UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	07/23/2013	8493132	Q107099	2405

23373 7590 07/03/2013

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 81 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Koichiro HAYASHI, Tokyo, JAPAN;
Hitoshi Tanaka, Ome, JAPAN;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/864,375
Confirmation Number	3399
Filing Date	September 28, 2007
First Named Inventor	Masashi IKEDA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q104215

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
/K.A./	1	5861973		1999-01-19	Inagaki, et al.	
/K.A./	2	2003169489		2003-11-09	Jiang, et al.	
/K.A./	3	~~20030048524~~ 20030048524		2003-03-13	Chavez-Pirson, et al.	
/K.A./	4	2006187540		2006-08-24	Andrejco, et al.	

Change(s) applied to document, /P.A./ 4/11/2013

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1							

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Khareem Almo/ (08/03/2009)	Date Considered	08/03/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /K.A./

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or **Fax** (571) 273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS
(Note: Use Block 1 for any change of address)

23373

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, NW
SUITE 800
WASHINGTON, DC 20037

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

TITLE OF INVENTION: SUPPLY VOLTAGE GENERATING CIRCUIT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	Undiscounted	$1780	$300	$0	$2080	06/24/2013

EXAMINER	ART UNIT	CLASS-SUBCLASS
ALMO, KHAREEM E	2816	327-536000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363)
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached.
Use of a Customer Number is required.

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Sughrue Mion, PLLC
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)
PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.
(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)
ELPIDA MEMORY, INC. Tokyo, JAPAN
Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☑ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☑ Issue Fee
☑ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☑ Payment by credit card. Form PTO-2038 is attached.
☑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 19-4880 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ Applicant certifying micro entity status. See 37 CFR 1.29 — NOTE: Absent a valid certification of Micro Entity Status (see form PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
☐ Applicant asserting small entity status. See 37 CFR 1.27 — NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
☐ Applicant changing to regular undiscounted fee status — NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature	/ Carl J. Pellegrini /	Date	June 21, 2013
Typed or Printed Name	Carl J. Pellegrini	Registration No.	40,766

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	Carl Joseph Pellegrini/Christopher Healey
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl Issue Fee	1501	1	1780	1780
Publ. Fee- Early, Voluntary, or Normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**2080**

Electronic Acknowledgement Receipt	
EFS ID:	16121314
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Carl Joseph Pellegrini/Christopher Healey
Filer Authorized By:	Carl Joseph Pellegrini
Attorney Docket Number:	Q107099
Receipt Date:	21-JUN-2013
Filing Date:	20-MAR-2008
Time Stamp:	15:45:46
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$2080
RAM confirmation Number	13662
Deposit Account	194880
Authorized User	SUGHRUE MION, PLLC
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	PTO-85.PDF	59303 8b4598b9a4f6c9185483ac18ae6a21646359d6dd	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	31974 b27e7b932bb474045b25c49e441b91573fd5c072	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	91277		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

23373 7590 03/22/2013

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER
ALMO, KHAREEM E

ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 03/22/2013

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	INV001Koichiro HAYASHI	Q107099	2405

TITLE OF INVENTION: SUPPLY VOLTAGE GENERATING CIRCUIT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1780	$300	$0	$2080	06/24/2013

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 02/11)

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23373 7590 03/22/2013
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	INV001Koichiro HAYASHI	Q107099	2405

TITLE OF INVENTION: SUPPLY VOLTAGE GENERATING CIRCUIT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1780	$300	$0	$2080	06/24/2013

EXAMINER	ART UNIT	CLASS-SUBCLASS
ALMO, KHAREEM E	2816	327-536000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

PTOL-85 (Rev. 02/11)

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29	NOTE: Absent a valid certification of Micro Entity Status (see form PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
❑ Applicant asserting small entity status. See 37 CFR 1.27	NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
❑ Applicant changing to regular undiscounted fee status.	NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	INV001Koichiro HAYASHI	Q107099	2405

23373 7590 03/22/2013

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

DATE MAILED: 03/22/2013

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 81 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 81 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *papers filed 2/6/2013*.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are *14-23 and 25-29*. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov .

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
5. ☐ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

DETAILED ACTION

Allowable Subject Matter

1. Claims 14-23 and 25-29 are allowed.

2. The following is an examiner's statement of reasons for allowance:

With respect to claim 14, the prior art of record fails to suggest or disclose a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting a second switching state the second internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 19, the prior art of record fails to suggest or disclose a first switch circuit configured to charge the capacitor with a first voltage at the input terminal, apply a second voltage to one end of the capacitor, and coupe the other end of the capacitor to the output terminal to boost the output terminal up to a third voltage that takes approximately a sum of the first and second voltages; and a second switch circuit configured to set the first voltage to a fist level when a first state is designated and to a second level when a second state is designated, the first and second level being different from each other.

With respect to claim 25, the prior art of record fails to suggest or disclose a selector circuit including a first input node supplied with a first power supply voltage, a

second input node supplied with a second power supply voltage that is different from the first power supply voltage, and an output node coupled to the input terminal, the selector being configured to couple a selected one of the first and second input nodes to the output node so that the boosted voltage at the output terminal takes a first level when the first input node is coupled to the output node and a second level when the second input node is coupled to the output node.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

3. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1988. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/KHAREEM E. ALMO/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	4730	(327/535-537).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L2	1494	(363/59-60).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L3	2	("0000012").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L4	5758	L1 L2	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L5	4421	L4 and capacit$4	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L6	4197	L5 and (transistor switch mos)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L7	520	L6 and (booster)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L8	222	L6 and (step adj down)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L9	359	L6 and (gate near oxide)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L10	2529	(327/536).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L11	0	("1and(by-passorbypass)").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L12	103	L10 and (by-pass or bypass)	US-PGPUB; USPAT; USOCR; JPO	OR	OFF	2013/03/14 23:56
L13	43	L12 and variable	US-PGPUB; USPAT; USOCR; JPO	OR	OFF	2013/03/14 23:56
L14	1	("20070139982").PN.	US-PGPUB;	OR	OFF	2013/03/14 23:56

			USPAT; USOCR			
L15	1	("6218818").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L16	1	("6504422").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L17	1	("20040017241").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L18	1	("20070024341").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L19	1	("7288984").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L20	6	("20020105312" | "20060001474" | "6392904" | "6661683").PN. OR ("7288984").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L21	1	("20070139982").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L22	0	("20080094128").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L23	1	("20080094128").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L24	1	(11/792178).APP.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L25	6	("20030227321" | "20050231127" | "5561385" | "6930535").PN. OR ("7592856").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L26	1	("2004350870").PN.	JPO	OR	OFF	2013/03/14 23:56
L27	1	("2003348821").PN.	JPO	OR	OFF	2013/03/14 23:56
L28	0	(10/312695).APP.	JPO	OR	OFF	2013/03/14 23:56
L29	1	("20040004851").PN.	US-PGPUB	OR	OFF	2013/03/14 23:56
L30	0	("(Vddnearvss)andboostand((inputadjtermainal)near(outputadjtermainl))").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L31	0	(Vdd near vss)and boost$3 and((input adj termainal) near(output adj termainl))	USPAT	OR	OFF	2013/03/14 23:56
L32	0	(Vdd near vss)and boost$3 and((input adj termainal) near(output adj termainl))	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L33	9007	(Vdd near vss)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L34	6286	L33 and (capacit$3 or boost$3)	US-	OR	OFF	2013/03/14

			PGPUB; USPAT; USOCR			23:56
L35	0	L34 and (input adj termainal)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L36	2017	L34 and (input adj terminal)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L37	1627	L34 and ((input adj terminal) and (output adj terminal))	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L38	1512	L37 and (switch$3 or select$3)	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L39	4730	(327/535-537).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L40	1494	(363/59-60).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L41	5758	L39 L40	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L42	47	L41 and L38	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L43	0	(garret adj morgan).in.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L44	0	((garret adj a) adj morgan).in.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/03/14 23:56
L45	2	("1475024").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L46	2	("0129843").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L47	2	("2301710").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L48	2	("1522176").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L49	2	("1541478").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L50	2	("0247097").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56
L51	2	("0373915").PN.	USPAT; USOCR	OR	OFF	2013/03/14 23:56

3/15/2013 12:00:42 AM
C:\Users\kalmo\Documents\EAST\Workspaces\12052422.wsp

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12052422	HAYASHI ET AL.
	Examiner	**Art Unit**
	KHAREEM E ALMO	2816

CPC		
Symbol	**Type**	**Version**

CPC Combination Sets				
Symbol	**Type**	**Set**	**Ranking**	**Version**

US ORIGINAL CLASSIFICATION		INTERNATIONAL CLASSIFICATION									
CLASS	**SUBCLASS**	**CLAIMED**					**NON-CLAIMED**				
327	536	G	0	5	F	1 / 10 (2006.0)					
CROSS REFERENCE(S)											
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**										

/KHAREEM E ALMO/ Examiner.Art Unit 2816	3/14/2013	**Total Claims Allowed:** 15
(Assistant Examiner)	(Date)	
/LINCOLN DONOVAN/ Supervisory Patent Examiner.Art Unit 2816	03/17/2013	O.G. Print Claim(s): 14 / O.G. Print Figure: 2
(Primary Examiner)	(Date)	

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12052422	HAYASHI ET AL.
	Examiner	**Art Unit**
	KHAREEM E ALMO	2816

/KHAREEM E ALMO/ Examiner.Art Unit 2816	3/14/2013	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	15	
/LINCOLN DONOVAN/ Supervisory Patent Examiner.Art Unit 2816	03/17/2013	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	14	2

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12052422	HAYASHI ET AL.
	Examiner	**Art Unit**
	KHAREEM E ALMO	2816

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original

/KHAREEM E ALMO/ Examiner.Art Unit 2816	3/14/2013	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	15	
/LINCOLN DONOVAN/ Supervisory Patent Examiner.Art Unit 2816	03/17/2013	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	14	2

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12052422	HAYASHI ET AL.
	Examiner	Art Unit
	KHAREEM E ALMO	2816

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES		
Search Notes	Date	Examiner
EAST (A Copy of East is included)	3/14/2013	KEA
A Limited search of class 327 subclasses 535-537	3/14/2013	KEA
A limited search of class 363 subclasses 59-60	3/14/2013	KEA

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
327	535	3/14/2013	KEA
327	536	3/14/2013	KEA
363327	537	3/14/2013	KEA
363	59	3/14/2013	KEA
363	60	3/14/2013	KEA

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 2405

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
12/052,422	03/20/2008 RULE	327	2816	Q107099

APPLICANTS
Koichiro HAYASHI, Tokyo, JAPAN;
Hitoshi Tanaka, Ome, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************
JAPAN 2007-081754 03/27/2007

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
04/04/2008

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /KHAREEM E ALMO/ Examiner's Signature	☐ Met after Allowance KEA Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	5	8	1

ADDRESS
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037
UNITED STATES

TITLE
SUPPLY VOLTAGE GENERATING CIRCUIT

FILING FEE RECEIVED		
1030	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

EAST Search History

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L52	1203	(327/535-537).CCLS.	US-PGPUB; UPAD	OR	OFF	2013/03/14 23:59
L53	159	(363/59-60).CCLS.	US-PGPUB; UPAD	OR	OFF	2013/03/14 23:59

3/ 15/ 2013 12:00:24 AM
C:\ Users\ kalmo\ Documents\ EAST\ Workspaces\ 12052422.wsp

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI , et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

AMENDMENT UNDER 37 C.F.R. § 1.111

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Further to the Amendment dated November 8, 2012, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 7

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1 - 13 (canceled).

14. (previously presented): A semiconductor device comprising:

first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third internal potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

15. (previously presented): The semiconductor device as claimed in claim 14, further comprising a first external voltage terminal supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

16. (previously presented): The semiconductor device as claimed in claim 14, further comprising a second external voltage terminal supplied with a second external voltage and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

17. (previously presented): The semiconductor device as claimed in claim 15, further comprising a second external voltage terminal supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

18 (previously presented): The semiconductor device as claimed in claim 17, wherein the first external potential is lower than the second external potential.

19. (previously presented): A semiconductor device comprising:

a voltage booster circuit that comprises,

an input terminal;

an output terminal;

a capacitor; and

a first switch circuit configured to charge the capacitor with a first voltage at the input terminal, apply a second voltage to one end of the capacitor, and couple the other end of the capacitor to the output terminal to boost the output terminal up to a third voltage that takes approximately a sum of the first and second voltages; and

a second switch circuit configured to set the first voltage to a first level when a first state is designated and to a second level when a second state is designated, the first and second level being different from each other.

20. (previously presented): The semiconductor device as claimed in claim 19, wherein the first switch circuit of the voltage booster circuit includes a first transistor provided between the input terminal and the other end of the capacitor and a second transistor provided between the output terminal and the other end of the capacitor.

21. (previously presented): The semiconductor device as claimed in claim 20, wherein the first transistor connects the input terminal and the other end of the capacitor when a first control signal takes an active state and disconnects the input terminal from the other end of the capacitor when the first control signal takes an inactive state, the second transistor connecting the output terminal and the other end of the capacitor when a second control signal takes an active state and disconnecting the output terminal from the other end of the capacitor when the second control

signal takes an inactive state, the first and second control signals being inverted in phase each other.

22. (previously presented): The semiconductor device as claimed in claim 21, wherein the second control signal is greater in amplitude than the first control signal.

23. (previously presented): The semiconductor device as claimed in claim 20, wherein each of the first and second transistors is N-type.

24. (cancelled).

25. (currently amended): ~~The semiconductor device as claimed in claim 24,~~ A semiconductor device comprising:

an input terminal;

an output terminal;

a voltage booster circuit coupled between the input and output terminal and configured to boost a voltage at the input terminal and produce a boosted voltage at the output terminal, the boosted voltage being greater than the voltage at the input terminal; and

a selector circuit including a first input node supplied with a first power supply voltage, a second input node supplied with a second power supply voltage that is different from the first power supply voltage, and an output node coupled to the input terminal, the selector being configured to couple a selected one of the first and second input nodes to the output node so that

the boosted voltage at the output terminal takes a first level when the first input node is coupled to the output node and a second level when the second input node is coupled to the output node,

wherein the voltage booster circuit includes first and second transistors and a capacitor, the first transistor being provided between the input terminal and one end of the capacitor, the second transistor being provided between the one end of the capacitor and the output terminal.

26. (previously presented): The semiconductor device as claimed in claim 25, wherein the first transistor is configured to supply the one end of the capacitor with the voltage at the input terminal, the capacitor being configured to be supplied with an additional voltage at the other end thereof to boost the voltage at the input terminal up to the boosted voltage, the second transistor being configured to supply the output terminal with the boosted voltage.

27. (previously presented): The semiconductor device as claimed in claim 25, wherein each of the first and second transistors is N-type.

28. (previously presented): The semiconductor device as claimed in claim 26, wherein the first transistor takes an ON-state when the second transistor takes an OFF-state and the first transistor takes an OFF-state when the second transistor takes an ON-state.

29. (previously presented): The semiconductor device as claimed in claim 26, wherein the boosted voltage takes approximately a sum of the voltage at the input terminal and the additional voltage.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested.

Claim 24 is rejected under 35 U.S.C. § 103(a) as being unpatentable over Kimura (U.S. 2004/0155698). Claims 25-29 are objected to being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims. Claims 14-23 are allowed.

Applicant cancels claim 24 and amends claim 25 to incorporate all the features of claim 24. Thus, Applicant respectfully submits that all the pending claims 14-23 and 25-29 should be allowed.

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/ Carl J. Pellegrini /

Carl J. Pellegrini
Registration No. 40,766

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: Febraury 6, 2013

Electronic Acknowledgement Receipt

EFS ID:	14892156
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Jerrick J. Ho/Tiara Hill
Filer Authorized By:	Jerrick J. Ho
Attorney Docket Number:	Q107099
Receipt Date:	06-FEB-2013
Filing Date:	20-MAR-2008
Time Stamp:	15:38:40
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		111_Amd_as_filed.PDF	38911 82adf621c6307cb7e790a5acccfab9b72041510f	yes	7

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	6
	Applicant Arguments/Remarks Made in an Amendment	7	7
Warnings:			
Information:			
	Total Files Size (in bytes):	38911	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	02/06/2013	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 15	Minus	** 20	= 0	X $ =		OR	X $62=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X $ =		OR	X $250=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/ANNIE SINGLETON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 11/08/2012

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
11/08/2012	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USPTO@sughrue.com
sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

5)☒ Claim(s) *14-29* is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6)☒ Claim(s) *14-23* is/are allowed.

7)☒ Claim(s) *24* is/are rejected.

8)☒ Claim(s) *25-29* is/are objected to.

9)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

12)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

13)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *2/23/2012*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

1. A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 1/9/2012 has been entered.

Claim Rejections - 35 USC § 102

2. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

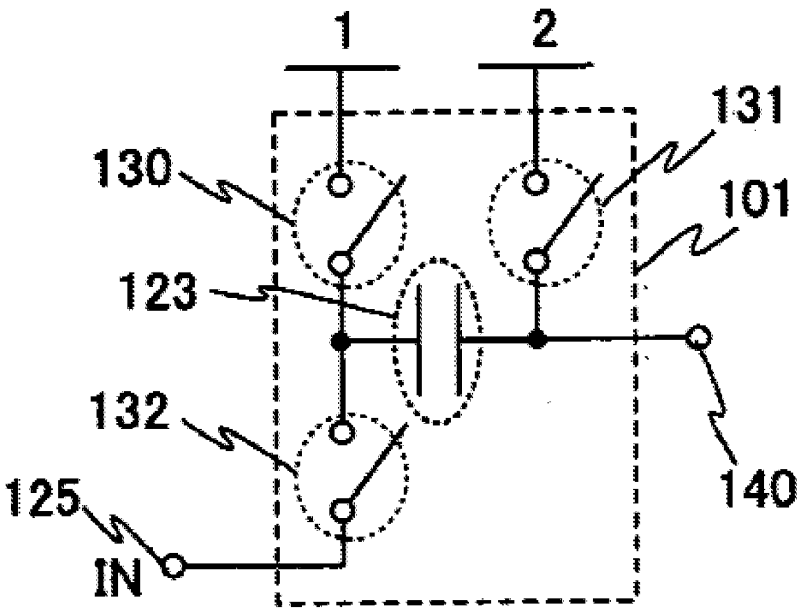
Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

4. Claim 24 rejected under 35 U.S.C. 103(a) as being unpatentable over Kimura (US 20040155698) et al.

FIG. 1B



With respect to claim 24, figure 1B of Kimura discloses a semiconductor device comprising; an input terminal (IN, 125) and output terminal (140) a voltage booster circuit (123) coupled between the input terminal and output terminal and configured to boost a voltage at the input terminal and produce a boosted voltage at the output terminal, the boosted voltage being greater than the voltage at the input terminal; and a selector circuit (130, 131 and 132) including a first input node (at 1) supplied with a first

power supply voltage (1) a second input node (2) supplied with a second power supply voltage and an output node (140) coupled to the input terminal (125), the selector being configured to couple a selected one of the first and second input nodes to the output node so that the boosted voltage at the output terminal takes a first level when the first input node is coupled to the output node and a second level when the second input node is coupled to the output node but fails to disclose the second power supply voltage that is different from the first power supply voltage. It would have been obvious to one having ordinary skill in the art at the time the invention was made to set the power supply potential 1 higher than the power supply potential 2 since it has been held that where the general conditions of a claim are disclosed in the prior art, discovering the optimum or workable ranges involves only routine skill n the art. In re Aller, 105 USPQ 233.

Allowable Subject Matter

5. Claims 14-23 are allowed.

6. The following is an examiner's statement of reasons for allowance:

With respect to claim 14, the prior art of record fails to suggest or disclose a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting l a second switching state the second internal voltage terminal directly to the third internal voltage terminal so

that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 19 the prior art of record fails to suggest or disclose a first switch circuit configured to charge the capacitor with a first voltage at the input terminal, apply a second voltage to one end of the capacitor, and couple the other end of the capacitor to the output terminal to boost the output terminal up to a third voltage that takes approximately a sum of the first and second voltages; and a second switch circuit configured to set the first voltage to a first level when a first state is designated and to a second level when a second state is designated, the first and second level being different from each other.

With respect to claim 24, the prior art of record fails to suggest or disclose a selector circuit including a first input node supplied with a first power supply voltage, a second input node supplied with a second power supply voltage that is different from the first power supply voltage, and an output node coupled to the input terminal, the selector being configured to couple a selected one of the first and second input nodes to the output node so that the boosted voltage at the output t terminal takes a first level when the first input node is coupled to the output node and a second level when the second input node is coupled to the output node.

7. Claims 25-29 objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

With respect to claim 25 the prior art of record fails to suggest or disclose wherein the voltage booster circuit includes first and second transistors and a capacitor, the first transistor being provided between the input termainl and one end of the capacitor, the second transistor being provided between the one end of the capacitor and the output terminal.

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Notice of References Cited	Application/Control No. 12/052,422	Applicant(s)/Patent Under Reexamination HAYASHI ET AL.	
	Examiner KHAREEM E. ALMO	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2004/0155698	08-2004	Kimura, Hajime	327/536
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	12/052,422
Filing Date	03-20-08
First Named Inventor	Koichiro HAYASHI
Art Unit	2816
Examiner Name	Khareem E. Almo
Attorney Docket Number	Q107099

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
/K.A./	1	JP 11120784 - A	04-30-1999	Toshiba Corp.		☐
/K.A./	2	JP 2002237185 - A	08-23-2002	Sanyo Electric Co.		☐
/K.A./	3	JP 2003249076 - A	09-05-2003	Elpida Memory Inc. et al.		☐
/K.A./	4	JP 200511475 - A	01-13-2005	Matsushita Electric Ind. Co.		☐
/K.A./	5	JP 5259289 - A	10-08-1993	Fujitsu KK		☐
						☐

Examiner Signature	/Khareem Almo/ (10/26/2012)	Date Considered	10/26/2012

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /K.A./

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	2	of	2

Complete if Known	
Application Number	12/052,422
Filing Date	03-20-08
First Named Inventor	Koichiro HAYASHI
Art Unit	2816
Examiner Name	Khareem E. Almo
Attorney Docket Number	Q107099

NON PATENT LITERATURE DOCUMENTS

Examiner initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
/K.A./	6	Communication dated January 31, 2012 from the Japanese Patent Office in counterpart Japanese application no. 2007-081754	☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐

Examiner Signature	/Khareem Almo/ (10/26/2012)	Date Considered	10/26/2012

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicants unique citation designation number. (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Cheif Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /K.A./

INFORMATION DISCLOSURE CERTIFICATION STATEMENT		
	Application Number	12/052,422
	Filing Date	March 20, 2008
	First Named Inventor	Koichiro HAYASHI
	Group Art Unit	2816
	Examiner Name	Khareem E. Almo
	Attorney Docket Number	Q107099

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☑ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☑ That each item of information contained in the Information Disclosure Statement filed concurrently herewith: (i) was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the Information Disclosure Statement; or (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the Information Disclosure Statement. See 37 CFR 1.704(d).

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☑ The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

☐ None

SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, DC 20037
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/ Carl J. Pellegrini /	Date	February 23, 2012
Name/Print	Carl J. Pellegrini	Registration Number	40,766

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /K.A./

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	12/052,422
Filing Date	03-20-08
First Named Inventor	Koichiro HAYASHI
Art Unit	2816
Examiner Name	Khareem E. Almo
Attorney Docket Number	Q107099

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country [3] Code Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	1	JP 11120784 - A	04-30-1999	Toshiba Corp.		
	2	JP 2002237185 - A	08-23-2002	Sanyo Electric Co.		
	3	JP 2003249076 - A	09-05-2003	Elpida Memory Inc. et al.		
	4	JP 200511475 - A	01-13-2005	Matsushita Electric Ind. Co.		
	5	JP 5259289 - A	10-08-1993	Fujitsu KK		

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant´s unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449B/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet	2	of	2

Complete if Known	
Application Number	12/052,422
Filing Date	03-20-08
First Named Inventor	Koichiro HAYASHI
Art Unit	2816
Examiner Name	Khareem E. Almo
Attorney Docket Number	Q107099

NON PATENT LITERATURE DOCUMENTS

Examiner initial *	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T [2]
	6	Communication dated January 31, 2012 from the Japanese Patent Office in counterpart Japanese application no. 2007-081754	☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐
			☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1. Applicants unique citation designation number. (optional) 2. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Cheif Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 and select option 2.

INFORMATION DISCLOSURE CERTIFICATION STATEMENT		
	Application Number	12/052,422
	Filing Date	March 20, 2008
	First Named Inventor	Koichiro HAYASHI
	Group Art Unit	2816
	Examiner Name	Khareem E. Almo
	Attorney Docket Number	Q107099

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☑ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☑ That each item of information contained in the Information Disclosure Statement filed concurrently herewith: (i) was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the Information Disclosure Statement; or (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than thirty days prior to the filing of the Information Disclosure Statement. See 37 CFR 1.704(d).

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☑ The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

☐ None

SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, DC 20037
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/ Carl J. Pellegrini /	Date	February 23, 2012
Name/Print	Carl J. Pellegrini	Registration Number	40,766

Espacenet

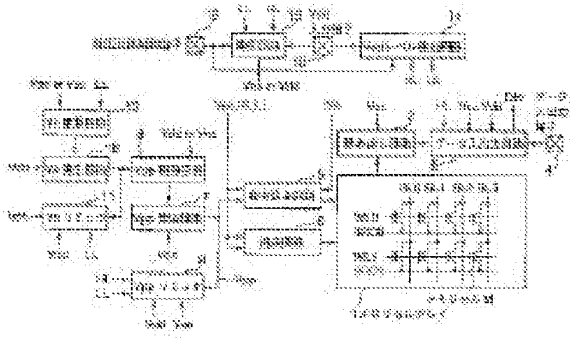
Bibliographic data: JP11120784 (A) — 1999-04-30

SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MEMORY

Inventor(s):	TANAKA TOMOHARU +
Applicant(s):	TOSHIBA CORP +
Classification:	**- international:** ***G11C11/413; G11C16/06;*** (IPC1-7): G11C11/413; G11C16/06 **- European:**
Application number:	JP19970283587 19971016
Priority number (s):	JP19970283587 19971016

Abstract of JP11120784 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor memory which is operated under plural power source voltage. SOLUTION: This device is provided with a writing circuit 5, an erasing circuit 6, a Vpp generating circuit 7 generating high voltage Vpp used for the writing circuit 5 or the erasing circuit 6, a Vpp driving circuit 8 driving the Vpp generating circuit 7, a Vpp limiter 9 controlling voltage of high voltage Vpp, a Vh generating circuit 10 supplying voltage Vh to the Vpp driving circuit 8 when external power source voltage Vdd is low, a Vh limiter 11 controlling a value of the voltage Vh, and a Vh driving circuit 12 driving the Vh generating circuit. An inputted Vdd level is detected by a Vdd level detecting circuit 14, when Vdd is high, an output signal HL of the Vdd level detecting circuit 14 becomes 'H', when Vdd is low, an output signal LL becomes 'H'. Voltage Vdd is supplied to a voltage dropping circuit 15, and internal power source voltage Vcc is generated.



Last updated: 5.12.2011 Worldwide Database 5.7.31; 93p

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平11－120784

(43)公開日　平成11年(1999)４月30日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｇ１１Ｃ　16/06		Ｃ１１Ｃ　17/00	６３４Ｆ
11/413		11/34	３３５Ａ
		17/00	６３２Ｄ

審査請求　未請求　請求項の数11　ＯＬ　（全 28 頁）

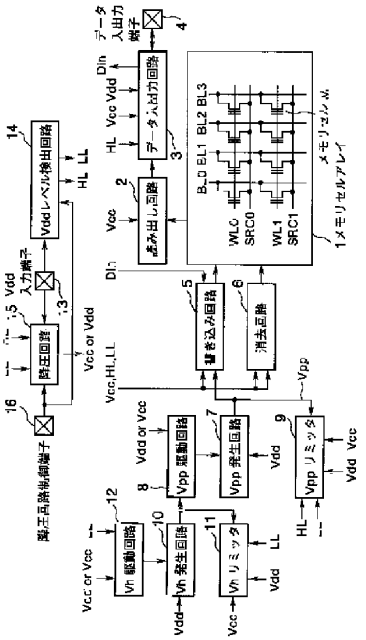
(21)出願番号　特願平9－283587

(22)出願日　平成９年(1997)10月16日

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者　田中　智晴
神奈川県川崎市幸区堀川町580番１号　株式会社東芝半導体システム技術センター内
(74)代理人　弁理士　鈴江　武彦　（外６名）

(54)【発明の名称】　半導体装置および半導体記憶装置

(57)【要約】
【課題】本発明は、複数の電源電圧下で動作する半導体記憶装置を実現することを最も主要な特徴とする。
【解決手段】書き込み回路５、消去回路６、書き込み回路５あるいは消去回路６で使用される高電圧Ｖｐｐを発生するＶｐｐ発生回路７、Ｖｐｐ発生回路７を駆動するＶｐｐ駆動回路８、高電圧Ｖｐｐの電圧を制御するＶｐｐリミッタ９、外部電源電圧Ｖｄｄが低いときにＶｐｐ駆動回路８に電圧Ｖｈを供給するＶｈ発生回路１０、電圧Ｖｈの値を制御するＶｈリミッタ１１、Ｖｈ発生回路を駆動するＶｈ駆動回路１２が設けられる。入力されたＶｄｄのレベルは、Ｖｄｄレベル検出回路１４によって検出され、Ｖｄｄが高い時、Ｖｄｄレベル検出回路１４の出力信号ＨＬは“Ｈ”となり、低い時、出力信号ＬＬは“Ｈ”となる。電圧Ｖｄｄは降圧回路１５に供給されて、内部電源電圧Ｖｃｃが発生される。



【特許請求の範囲】
【請求項１】　外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記電圧レベル検出回路で電源電圧レベルが所定レベルよりも低いことが検出されたときに、上記電源電圧よりも高い電圧レベルの第１の電圧を発生する第１の電圧発生回路と、
上記外部電源電圧および上記第１の電圧が供給され、これら外部電源電圧および第１の電圧に対応した高レベル電圧を有する駆動信号を発生する駆動信号発生回路と、
上記駆動信号によって駆動され、上記外部電源電圧よりも高い電圧レベルの第２の電圧を発生する第２の電圧発生回路とを具備したことを特徴とする半導体装置。
【請求項２】　データの書き込みが可能なメモリセルと、
上記メモリセルにデータの書き込みを行う書き込み回路と、
外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路と、
外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路と、
上記メモリセルにデータ書き込みを行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の書き込み電圧を発生する電圧発生回路と、
上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを可能にする書き込み禁止回路とを具備したことを特徴とする半導体記憶装置。
【請求項３】　データの書き込み／消去が可能なメモリセルと、
上記メモリセルのデータを消去する消去回路と、
外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路と、
外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路と、
上記メモリセルのデータ消去を行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の消去電圧を発生する電圧発生回路と、
上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記消去回路による上記メモリセルへのデータ消去を禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記消去回路による上記メモリセルのデータ消去を可能にする消去禁止回路とを具備したことを特徴とする半導体記憶装置。
【請求項４】　複数の不揮発性メモリセルと、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記電圧レベル検出回路の電圧レベル検出結果に応じて同時に書き込みを行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルへデータの書き込みを行う書き込み回路とを具備したことを特徴とする不揮発性半導体記憶装置。
【請求項５】　複数の不揮発性メモリセルと、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記電圧レベル検出回路の電圧レベル検出結果に応じて同時にデータ消去を行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルのデータ消去を行う消去回路とを具備したことを特徴とする不揮発性半導体記憶装置。
【請求項６】　不揮発性メモリセルと、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記不揮発性メモリセルへのデータ書き込み時に上記不揮発性メモリセルに印加される書き込み電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する書き込み電圧制限回路とを具備したことを特徴とする不揮発性半導体記憶装置。
【請求項７】　不揮発性メモリセルと、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記不揮発性メモリセルのデータ消去時に上記不揮発性メモリセルに印加される消去電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する消去電圧制限回路とを具備したことを特徴とする不揮発性半導体記憶装置。
【請求項８】　メモリセルと、
上記メモリセルの動作を制御する制御回路と、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記電圧レベル検出回路で外部電源電圧レベルが所定レベルよりも高いことが検出されたときに、上記外部電源電圧よりも低い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する降圧回路とを具備したことを特徴とする半導体記憶装置。
【請求項９】　メモリセルと、
上記メモリセルの動作を制御する制御回路と、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記電圧レベル検出回路で外部電源電圧レベルが所定レ

ベルよりも低いことが検出されたときに、上記外部電源電圧よりも高い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する昇圧回路とを具備したことを特徴とする半導体記憶装置。

【請求項１０】　メモリセルと、
外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、
上記メモリセルに記憶されているデータを読み出す読み出し回路と、
上記電圧レベル検出回路の電圧レベル検出結果に応じて外部に対する電流供給能力が変更され、上記読み出し回路が読み出したデータを外部へ出力する出力回路とを具備したことを特徴とする半導体記憶装置。

【請求項１１】　メモリセルと、
上記メモリセルの動作を制御する制御回路と、
制御信号が入力される入力端子と、
外部から供給される外部電源電圧を受け、この外部電源電圧から上記制御回路に供給する内部電源電圧を発生すると共にこの内部電源電圧の値を制御し、上記制御信号に基づいて上記内部電源電圧を上記制御回路に供給するか否かの制御を行う内部電源電圧制御回路とを具備したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は半導体装置に係り、特に外部から供給される電源電圧を昇圧する昇圧回路を備えたフラッシュメモリやＥＥＰＲＯＭ等の半導体記憶装置に関する。

【０００２】

【従来の技術】フラッシュメモリのメモリセルの１つとして、ｐ型半導体基板上に電荷蓄積層（浮遊ゲート）と制御ゲートが積層形成されたｎチャネル型のＭＯＳＦＥＴ構造を有するものが知られている。このような構造のメモリセルにおいては、通常、浮遊ゲートに蓄えられた電荷量によって、データ“０”または“１”を記憶する。記憶されたデータは、制御ゲートに読み出し電圧を与え、メモリセルに流れる電流（読み出しセル電流）の多さを検出して読み出すことができる。例えば、浮遊ゲートに正の電荷が蓄えられており、メモリセルのしきい値が２Ｖ以下の場合、制御ゲートに３Ｖの読み出し電圧が与えられると読み出しセル電流が流れ、データ“１”が読み出される。浮遊ゲートに負の電荷が蓄えられており、メモリセルのしきい値が４Ｖ以上の場合、制御ゲートに３Ｖの読み出し電圧が与えられても読み出しセル電流は流れず、データ“０”が読み出される。

【０００３】複数のメモリセルはマトリクス状に配置されメモリセルアレイを形成する。また、アドレス信号によって選択されたメモリセルのデータを読むためのセンスアンプが設けられる。このセンスアンプによって読み出されたデータは、データ出力端子からチップ外部へ出力される。また、アドレス信号によって選択されたメモリセルのデータを消去するための消去回路が設けられる。メモリセルの制御ゲートに例えば－５Ｖ、ソースに例えば１０Ｖを印加し、浮遊ゲート中の電子を抜くことで消去される。通常、６４Ｋビット単位で消去が行われる。

【０００４】さらに、アドレス信号によって選択されたメモリセルにデータを書き込むための書き込み回路が設けられる。メモリセルの制御ゲートに例えば１０Ｖ、ドレインに例えば６Ｖを印加すると、メモリセルにホットエレクトロンを生じるような書き込み電流が流れ、メモリセルの浮遊ゲートに電子が蓄積される。この書き込みは、通常、８ビットあるいは１６ビットといった単位で同時に行われる。

【０００５】フラッシュメモリで使用される電源電圧は、今日では５Ｖあるいは３．３Ｖが主流である。上記の書き込み電圧、消去電圧はチップ内部で電源電圧から発生されるが、書き込み電流が大きいために、低コスト化のため書き込み用の電源（例えば１２Ｖ）を要求するフラッシュメモリもある。

【０００６】フラッシュメモリは、コンピュータの分野ではＢＩＯＳ（Basic Input/OutputSystem ）を記憶したり、携帯電話では通信プロトコルを記憶したりする、重要なデバイスである。他にもデジタルカメラでの画像記憶や、携帯パソコン等でハードディスクの代わりに使われる。また、応用分野によって電源電圧が異なるのであるが、フラッシュメモリのために電源電圧を変換して使う例も少なくない。例えば、携帯電話では軽量化、低消費電力化のため１．５Ｖ電池１個で動作するものが望まれる。低消費電力化は携帯機器では重要な技術である。また、コンピュータでは、他のＣＰＵなどの電源と共通化するため、３．３Ｖ電源電圧で動作するものが望まれる。

【０００７】３．３Ｖで動作するフラッシュメモリを５Ｖ電源を供給するシステムに搭載すると、消費電力が増大し、また、３．３Ｖの電圧しか印加されない想定で設計されているトランジスタで構成されるので、５Ｖ電源では電圧が高すぎ、トランジスタの信頼性に悪影響を与える。

【０００８】また、５Ｖまでの電圧が印加される想定で設計されているトランジスタで構成されるフラッシュメモリでは、電源電圧を３．３Ｖにするとトランジスタの能力が不足し、動作しない場合もある。電源電圧が規格値と異なる場合には動かないことも多い。このように、電源電圧の異なるシステム間では、フラッシュメモリを移動させて、データの転送ができなくなる。このため、応用分野に応じて５Ｖで動作するフラッシュメモリ、３．３Ｖで動作するフラッシメモリ等、様々な電源仕様のフラッシュメモリを用意しなければならないので、コストが高くなってしまう。

【０００９】
【発明が解決しようとする課題】従来の半導体記憶装置では応用分野によって異なる様々な電源仕様のものを用意する必要があり、互換性がないという問題があった。また、携帯機器等に用いた場合に電源仕様がその機器に適合していないと、消費電力化が大きくなるという問題があった。
【００１０】本発明は、上記のような事情を考慮してなされたもので、その目的は、様々な電源電圧のもとで動作する半導体記憶装置を提供することにある。
【００１１】さらに本発明の他の目的は、消費電力の少ない半導体記憶装置を提供することにある。
【００１２】
【課題を解決するための手段】請求項１に係る半導体装置は、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記電圧レベル検出回路で電源電圧レベルが所定レベルよりも低いことが検出されたときに、上記電源電圧よりも高い電圧レベルの第１の電圧を発生する第１の電圧発生回路と、上記外部電源電圧および上記第１の電圧が供給され、これら外部電源電圧および第１の電圧に対応した高レベル電圧を有する駆動信号を発生する駆動信号発生回路と、上記駆動信号によって駆動され、上記外部電源電圧よりも高い電圧レベルの第２の電圧を発生する第２の電圧発生回路とを具備したことを特徴とする半導体装置。
【００１３】請求項２に係る半導体記憶装置は、データの書き込みが可能なメモリセルと、上記メモリセルにデータの書き込みを行う書き込み回路と、外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路と、外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路と、上記メモリセルにデータ書き込みを行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の書き込み電圧を発生する電圧発生回路と、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを可能にする書き込み禁止回路とを具備したことを特徴とする。
【００１４】請求項３に係る半導体記憶装置は、データの書き込み／消去が可能なメモリセルと、上記メモリセルのデータを消去する消去回路と、外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路と、外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路と、上記メモリセルのデータ消去を行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の消去電圧を発生する電圧発生回路と、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記消去回路による上記メモリセルへのデータ消去を禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記消去回路による上記メモリセルのデータ消去を可能にする消去禁止回路とを具備したことを特徴とする。
【００１５】請求項４に係る不揮発性半導体記憶装置は、複数の不揮発性メモリセルと、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記電圧レベル検出回路の電圧レベル検出結果に応じて同時に書き込みを行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルへデータの書き込みを行う書き込み回路とを具備したことを特徴とする。
【００１６】請求項５に係る不揮発性半導体記憶装置は、複数の不揮発性メモリセルと、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記電圧レベル検出回路の電圧レベル検出結果に応じて同時にデータ消去を行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルのデータ消去を行う消去回路とを具備したことを特徴とする。
【００１７】請求項６に係る不揮発性半導体記憶装置は、不揮発性メモリセルと、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記不揮発性メモリセルへのデータ書き込み時に上記不揮発性メモリセルに印加される書き込み電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する書き込み電圧制限回路とを具備したことを特徴とする。
【００１８】請求項７に係る不揮発性半導体記憶装置は、不揮発性メモリセルと、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記不揮発性メモリセルのデータ消去時に上記不揮発性メモリセルに印加される消去電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する消去電圧制限回路とを具備したことを特徴とする。
【００１９】請求項８に係る半導体記憶装置は、メモリセルと、上記メモリセルの動作を制御する制御回路と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記電圧レベル検出回路で外部電源電圧レベルが所定レベルよりも高いことが検出されたときに、上記外部電源電圧よりも低い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する降圧回路とを具備したことを特徴とする。

【００２０】請求項９に係る半導体記憶装置は、メモリセルと、上記メモリセルの動作を制御する制御回路と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記電圧レベル検出回路で外部電源電圧レベルが所定レベルよりも低いことが検出されたときに、上記外部電源電圧よりも高い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する昇圧回路とを具備したことを特徴とする。

【００２１】請求項１０に係る半導体記憶装置は、メモリセルと、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路と、上記メモリセルに記憶されているデータを読み出す読み出し回路と、上記電圧レベル検出回路の電圧レベル検出結果に応じて外部に対する電流供給能力が変更され、上記読み出し回路が読み出したデータを外部へ出力する出力回路とを具備したことを特徴とする。請求項１１に係る半導体記憶装置は、メモリセルと、上記メモリセルの動作を制御する制御回路と、制御信号が入力される入力端子と、外部から供給される外部電源電圧を受け、この外部電源電圧から上記制御回路に供給する内部電源電圧を発生すると共にこの内部電源電圧の値を制御し、上記制御信号に基づいて上記内部電源電圧を上記制御回路に供給するか否かの制御を行う内部電源電圧制御回路とを具備したことを特徴とする。

【００２２】本発明では、第１の高電圧発生回路と第２の高電圧発生回路を備え、外部電源電圧が低いとき第１の高電圧発生回路で発生させた高電圧を第２の高電圧発生回路に供給して、外部電源電圧が低いときに高電圧が発生できないことを防ぐ。

【００２３】また、外部電源電圧が低いときに、書き込み用の電圧が供給されたことを検出しないと書き込みを禁止し、書き込み不良を防ぐ。

【００２４】また、外部電源電圧が低いときに、消去用の電圧が供給されたことを検出しないと消去を禁止し、消去不良を防ぐ。

【００２５】また、外部電源電圧に応じて同時に書き込みを行うメモリセルの数を変え、外部電源電圧が低いときには同時に書き込みを行うメモリセルの数を減らして、消費電力を低減する。

【００２６】また、外部電源電圧に応じて同時に消去するメモリセルの数を変え、外部電源電圧が低いときには同時に消去するメモリセルの数を減らして、消費電力を低減する。

【００２７】また、外部電源電圧に応じて書き込み電圧の値を変え、外部電源電圧が低いときには書き込み電圧を低くして、消費電力を低減する。

【００２８】また、外部電源電圧に応じて消去電圧の値を変え、外部電源電圧が低いときには消去電圧を低くして、消費電力を低減する。

【００２９】また、外部電源電圧が高いときは、降圧回路によって降圧した電圧を他の回路に供給し、高い電源電圧が印加されたときに回路を構成するトランジスタの信頼性を確保する。

【００３０】また、外部電源電圧が低いときは、昇圧回路によって昇圧された電圧を他の回路に供給し、低い電源電圧による動作不良を防ぐ。

【００３１】また、外部電源電圧が高いときは、データを外部に出力する出力回路の電流供給能力を下げ、高い電源電圧時に出力回路で消費される電力の無駄を防ぐ。

【００３２】また、内部電源を制御する回路とその内部電源を内部回路に供給するか否かを外部から制御できるようにし、システムが長い待機状態になったとき内部電源の供給を止め、スタンバイ電力を低減する。

【００３３】これらによって複数の電源電圧下で動作する半導体記憶装置を実現することができる。また、消費電力の少ない半導体記憶装置を実現することができる。

【００３４】

【発明の実施の形態】以下、本発明を実施の形態により説明する。

【００３５】図１は、本発明に係るフラッシュメモリの全体の構成を示すブロック図である。なお、ここでは図面を簡略化するために特徴的な回路のみを示している。従って、ここに示した回路や端子の他に、ここに示した各回路を制御するための制御信号あるいは電圧を発生する回路や制御信号入力端子、アドレス信号入力端子等があるが、それらは全て図示を省略している。

【００３６】複数のフラッシュメモリセルＭは、マトリクス状に配置されてメモリセルアレイ１を構成している。上記各メモリセルＭの制御ゲートは、複数のワード線ＷＬ（図ではワード線ＷＬ０、ＷＬ１の２本のみ示している）のうちの１つに接続されており、ドレインは複数のビット線ＢＬ（図ではビット線ＢＬ０～ＢＬ３の４本のみ示している）のうちの１つに接続されており、ソースはソース線ＳＲＣ（図ではソース線ＳＲＣ０、ＳＲＣ１の２本のみ示している）のうちの１つに接続されている。

【００３７】上記メモリセルアレイ１には、選択されたメモリセルＭのデータを読み出すために読み出し回路２が接続されている。この読み出し回路２によって読み出されたデータは、データ入出力回路３を介してデータ入出力端子４に出力されチップ外部に伝えられる。さらに上記メモリセルアレイ１には、選択されたメモリセルＭのデータの書き込み／消去を行うために書き込み回路５および消去回路６が接続されている。また、書き込み回路５で書き込みに使用されるあるいは消去回路６で消去に使用される高電圧Ｖｐｐを発生するためのＶｐｐ発生回路７と、このＶｐｐ発生回路７を駆動するＶｐｐ駆動回路８と、高電圧Ｖｐｐの電圧を制御するＶｐｐリミッタ９が設けられている。

【００３８】さらに、外部から供給される電源電圧Ｖｄ

ｄの値が低いときに上記ＶｐｐＨ駆動回路８に電圧ＶｈＨを供給するためのＶｈＨ発生回路１０、電圧ＶｈＨの値を制御するＶｈＨリミッタ１１及びＶｈＨ発生回路を駆動するＶｈＨ駆動回路１２が設けられている。

【００３９】１３は上記外部電源電圧ＶｄｄＨの入力端子であり、この入力端子１３に入力された外部電源電圧ＶｄｄＨの電圧レベルは、ＶｄｄＨレベル検出回路１４によって検出される。そして、外部電源電圧ＶｄｄＨの電圧レベルが比較的高い時、上記ＶｄｄＨレベル検出回路１４からの一方の出力信号ＨＬＨは“Ｈ”となり、電源電圧ＶｄｄＨの電圧レベルが比較的低い時には、上記ＶｄｄＨレベル検出回路１４からの他方の出力信号ＬＬＨは“Ｈ”となる。

【００４０】また、上記入力端子１３に入力された外部電源電圧ＶｄｄＨは降圧回路１５に供給される。この降圧回路１５は、電源電圧ＶｄｄＨから降圧された内部電源電圧ＶｃｃＨを発生する回路である。そして、降圧回路制御端子１６に入力される制御信号に応じて、上記降圧回路１５は、電源電圧ＶｃｃＨを内部回路（例えば、書き込み回路５、消去回路６及び読み出し回路２等）に供給したり、その供給を停止したりする。なお、上記降圧回路制御端子１６に入力される制御信号は、ＶｄｄＨレベル検出回路１４にも供給される。

【００４１】図２は、図１中のメモリセルアレイ１内に設けられている複数の各メモリセルＭの素子断面構造を示している。ｐ型半導体基板３０表面にはｎ型拡散層３１がドレインおよびソースとして形成される。これらドレインとソースの間のチャネル領域上に絶縁膜３２が形成されその上に浮遊ゲート３３が形成される。さらに浮遊ゲート３３上に絶縁膜３４と制御ゲート３５が積層形成される。チャネル領域には、必要に応じて、中性しきい値（浮遊ゲート中の電荷が０の場合のしきい値）を制御するために適宜、不純物が追加導入される。なお、図２中の各電圧ＶＳＵＢ、ＶＢＬ、ＶＳＲＣ、ＶＷＬはそれぞれ基板、ビット線、ソース線、ワード線の電圧であり、それぞれ基板、ビット線、ソース線、ワード線に接続されている。

【００４２】図２のような構造のメモリセルにおいて、例えばソース線を１０Ｖ、基板を０Ｖ、ビット線をフローティング状態、ワード線を－５Ｖとすることによって、データ消去が行われる。この消去によって浮遊ゲートの電位が正の方向にシフトし、メモリセルのしきい値が下がる。消去状態は、記憶データ“１”の状態と同じである。また、例えばソース線を０Ｖ、基板を０Ｖ、ビット線を６Ｖ、ワード線を１０Ｖとすることによって、データ“０”の書き込みが行われる。この“０”書き込みによって浮遊ゲートの電位が負の方向にシフトし、メモリセルのしきい値が上がる。そして、例えばワード線を４Ｖ、基板を０Ｖ、ソースを０Ｖにしたときに、ドレインからソースに電流が流れればデータは“１”、流れなければデータは“０”として読み出される。この読み出しは図１中の読み出し回路２によって行われる。

【００４３】図３は、図１に示される読み出し回路２、データ入出力回路３及びデータ入出力端子４の一部回路の構成を具体的に示している。図１ではデータ入出力端子４は１つしか示さなかったが、図３ではデータ入出力端子４が複数ある場合の例であり、その１つが第１データ入出力端子４－１として示してある。

【００４４】読み出し回路２の一部は、ｎチャネルＭＯＳトランジスタＱｎ１、Ｑｎ２、ｐチャネルＭＯＳトランジスタＱｐ１、Ｑｐ２及びＮＡＮＤ論理ゲートＧ１で構成されている。すなわち、ＮＡＮＤ論理ゲートＧ１の一方入力端子には信号ＳＥＮＳＥが供給される。また、前記降圧回路１５で降圧された内部電源電圧ＶｃｃＨの供給ノードと上記ＮＡＮＤ論理ゲートＧ１の他方入力端子との間には、上記トランジスタＱｐ１、Ｑｐ２のソース、ドレイン間が直列に挿入されている。上記トランジスタＱｐ１のゲートには信号ＳＥＮＳＥＢ（信号ＳＥＮＳＥの反転信号）が供給される。また、上記トランジスタＱｐ２のゲートはＮＡＮＤ論理ゲートＧ１の他方入力端子に接続されている。また、上記ＮＡＮＤ論理ゲート回路Ｇ１の他方入力端子とビット線ＢＬ０、ＢＬ１との間には上記トランジスタＱｎ１、Ｑｎ２の各ソース、ドレイン間が並列に挿入されている。上記トランジスタＱｎ１のゲートにはカラムアドレス信号Ａ０Ｒが、トランジスタＱｎ２のゲートにはカラムアドレス信号Ａ１Ｒがそれぞれ供給される。

【００４５】このような構成の読み出し回路において、信号ＳＥＮＳＥＢが“Ｌ”になり、トランジスタＱｐ１がオンすると、カラムアドレス信号Ａ０ＲとＡ１Ｒで選択されたビット線ＢＬにデータ読み出しのための電流が供給される。このとき選択されたワード線ＷＬには４Ｖが印加されている。非選択のワード線ＷＬは０Ｖである。選択されたメモリセルＭのデータが“１”であれば、選択されたメモリセルＭには電流が流れ、トランジスタＱｐ２のドレイン電圧は低下する。信号ＳＥＮＳＥが“Ｈ”になると、このドレイン電圧はセンスされ、ＮＡＮＤ論理ゲート回路Ｇ１の出力は“Ｈ”となる。選択されたメモリセルＭのデータが“０”であれば、選択されたメモリセルＭには電流が流れず、トランジスタＱｐ２のドレイン電圧は高い。信号ＳＥＮＳＥが“Ｈ”でこのドレイン電圧はセンスされ、ＮＡＮＤ論理ゲート回路Ｇ１の出力は“Ｌ”となる。

【００４６】データ入出力回路３の一部は、インバータＩ１、Ｉ２、Ｉ３、ＮＡＮＤ論理ゲート回路Ｇ２、Ｇ４、ＮＯＲ論理ゲート回路Ｇ３、Ｇ５、書き込みや消去時に用いられる高電圧および電源電圧ＶｄｄＨに耐えうる高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１～Ｑｈｐ６、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ１～Ｑｈｎ６で構成されている。すなわち、ＮＡＮＤ論理ゲート回路Ｇ２には、読み出し回路２内のＮＡＮＤ論理ゲー

ト回路Ｇ１の出力と制御信号ＤＯＥが供給される。ＮＯＲ論理ゲート回路Ｇ３には、読み出し回路２内のＮＡＮＤ論理ゲート回路Ｇ１の出力と制御信号ＤＯＥＢが供給される。また、ＮＡＮＤ論理ゲート回路Ｇ２の出力はインバータＩ２で反転される。

【００４７】前記Ｖｄｄレベル検出回路１４からの一方の出力信号ＨＬはインバータＩ１を介してＮＡＮＤ論理ゲート回路Ｇ４に供給されると共にＮＯＲ論理ゲート回路Ｇ３に供給される。上記ＮＡＮＤ論理ゲート回路Ｇ４にはまた、読み出し回路２内のＮＡＮＤ論理ゲート回路Ｇ１の出力と制御信号ＤＯＥが供給される。また、上記ＮＯＲ論理ゲート回路Ｇ５には、読み出し回路２内のＮＡＮＤ論理ゲート回路Ｇ１の出力と制御信号ＤＯＥＢ（制御信号ＤＯＥの反転信号）が供給される。また、ＮＡＮＤ論理ゲート回路Ｇ４の出力はインバータＩ３で反転される。

【００４８】上記高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１、Ｑｈｐ２と高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ１、Ｑｈｎ２及びｐチャネルＭＯＳトランジスタＱｈｐ３、Ｑｈｐ４と高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ３、Ｑｈｎ４とはそれぞれ、上記ＮＡＮＤ論理ゲート回路Ｇ２、Ｇ４から出力されるＶｃｃ系の出力信号をＶｄｄ系の信号にレベル変換するレベル変換回路４１－１、４１－２を構成している。例えばＮＡＮＤ論理ゲート回路Ｇ２の出力信号をレベル変換するレベル変換回路４１－１では、外部電源電圧Ｖｄｄの供給ノードと接地電圧のノードとの間にはトランジスタＱｈｐ１、Ｑｈｎ１のソース、ドレイン間が直列に挿入され、同様にＶｄｄの供給ノードと接地電圧のノードとの間にはトランジスタＱｈｐ２、Ｑｈｎ２のソース、ドレイン間が直列に挿入されている。そして、トランジスタＱｈｐ１のゲートはトランジスタＱｈｐ２、Ｑｈｎ２のドレイン共通接続ノードに接続され、トランジスタＱｈｐ２のゲートはトランジスタＱｈｐ１、Ｑｈｎ１のドレイン共通接続ノードに接続され、トランジスタＱｈｎ１のゲートには上記ＮＡＮＤ論理ゲート回路Ｇ２の出力信号が、トランジスタＱｈｎ２のゲートには上記インバータＩ２の出力信号がそれぞれ供給される。

【００４９】他方のレベル変換回路４１－２も一方のレベル変換回路４１－１と同様に構成されており、トランジスタＱｈｐ３、Ｑｈｐ４がＱｈｐ１、Ｑｈｐ２に、トランジスタＱｈｎ３、Ｑｈｎ４がＱｈｎ１、Ｑｈｎ２にそれぞれ対応している。

【００５０】上記トランジスタＱｈｐ５とＱｈｎ５及びトランジスタＱｈｐ６とＱｈｎ６はそれぞれ、前記第１データ入出力端子４－１から読み出しデータを出力する際の出力トランジスタとして使用されている。すなわち、トランジスタＱｈｐ５のソース、ドレイン間はＶｄｄの供給ノードと第１データ入出力端子４－１との間に挿入されており、そのゲートには上記レベル変換回路４１－１からの出力信号（トランジスタＱｈｐ２、Ｑｈｎ２のドレイン共通接続ノードの信号）が供給される。トランジスタＱｈｎ５のソース、ドレイン間は第１データ入出力端子４－１と接地電圧の供給ノードとの間に挿入されており、そのゲートには先のＮＯＲ論理ゲート回路Ｇ３の出力信号が供給される。トランジスタＱｈｐ６のソース、ドレイン間はＶｄｄの供給ノードと第１データ入出力端子４－１との間に挿入されており、そのゲートには上記レベル変換回路４１－２からの出力信号（トランジスタＱｈｐ４、Ｑｈｎ４のドレイン共通接続ノードの信号）が供給される。トランジスタＱｈｎ６のソース、ドレイン間は第１データ入出力端子４－１と接地電圧の供給ノードとの間に挿入されており、そのゲートには先のＮＯＲ論理ゲート回路Ｇ５の出力信号が供給される。

【００５１】このような構成のデータ入出力回路において、制御信号ＤＯＥが“Ｈ”、ＤＯＥＢが“Ｌ”で、読み出し回路２から読み出されたメモリセルＭのデータが第１データ入出力端子４－１に出力される。外部電源電圧Ｖｄｄが比較的高い時は、制御信号ＨＬが“Ｈ”なので、データは高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ５と高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ５のみを用いて出力される。電源電圧Ｖｄｄが比較的低い時は、制御信号ＨＬが“Ｌ”なので、データは高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ５、Ｑｈｎ６と高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ５、Ｑｈｐ６の両方を用いて出力される。

【００５２】すなわち、外部電源電圧Ｖｄｄが比較的高いときは、データを出力するためのトランジスタの数を少なくし、電流供給能力を低下させて、消費電力の増大を防いでいる。電流供給能力を低下させても外部電源電圧Ｖｄｄが高いので、正味の電流供給は十分確保されるように、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ５、Ｑｈｎ６と高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ５，Ｑｈｐ６の寸法が設定されている。なお、図３中、破線で囲まれた領域内に存在しているインバータＩ１、Ｉ２、Ｉ３、ＮＡＮＤ論理ゲート回路Ｇ２、Ｇ４、ＮＯＲ論理ゲート回路Ｇ３、Ｇ５には降圧回路１７で降圧された内部電源電圧Ｖｃｃが電源として供給されている。

【００５３】図３に示したデータ入出力回路は２本のビット線ＢＬ０とＢＬ１に対応するものであり、残り２本のビット線ＢＬ２とＢＬ３に対応するデータ入出力回路の構成が図４に示されている。図４では、第２データ入出力端子４－２から読み出しデータが出力される。なお、図３と図４で対応する箇所には同じ符号を付してその説明は省略する。

【００５４】図５は、データ読み出しの動作を示すタイミングチャートである。カラムアドレス信号Ａ０ＲとＡ１Ｒが確定して、制御信号ＳＥＮＳＥが“Ｈ”、ＳＥＮ

ＳＥＢが“Ｌ”になると、選択されたビット線ＢＬに接続されたメモリセルＭのデータが読み出される。また、制御信号ＤＯＥが“Ｈ”、ＤＯＥＢが“Ｌ”となって、読み出しデータが第１、第２データ入出力端子４－１、４－２から出力される。なお、ここでは示してないが、選択されたワード線ＷＬはカラムアドレス信号と同期して４Ｖにされる。

【００５５】図６は、図１に示される書き込み回路５とデータ入出力回路３とデータ入出力端子４の一部回路の具体的な回路構成を示している。図１ではデータ入出力端子４は１つしか示していないが、図６ではデータ入出力端子４が複数ある場合を示しており、その１つが第１データ入出力端子４－１として示してある。

【００５６】書き込み回路５の一部は、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ１１～Ｑｈｎ１７、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１１～Ｑｈｐ１４、ＮＡＮＤ論理ゲート回路Ｇ６、インバータＩ５、Ｉ６、Ｉ７で構成されている。

【００５７】すなわち、前記内部電源電圧Ｖｃｃの供給ノードと内部ノード４２との間にはトランジスタＱｈｐ１１、Ｑｈｐ１２のソース、ドレイン間が直列に挿入されている。また、上記内部ノード４２と接地電圧のノードとの間にはトランジスタＱｈｎ１１、Ｑｈｎ１２のソース、ドレイン間が直列に挿入されている。そして、上記トランジスタＱｈｐ１１のゲートにはラッチ制御信号ＬＡＴＣＨＢ（信号ＬＡＴＣＨの反転信号）が、トランジスタＱｈｎ１２のゲートにはラッチ制御信号ＬＡＴＣＨがそれぞれ供給され、トランジスタＱｈｐ１２、Ｑｈｎ１１の各ゲートには、前記データ入出力回路３から出力される入力データＤｉｎ１が供給される。

【００５８】上記内部ノード４２には、インバータＩ５、Ｉ６からなるラッチ回路４３が接続されており、このラッチ回路４３の出力はＮＡＮＤ論理ゲート回路Ｇ６の一方入力端子に供給される。このＮＡＮＤ論理ゲート回路Ｇ６の他方入力端子には書き込み信号ＷＲＩＴＥ１が供給される。インバータＩ７は上記ＮＡＮＤ論理ゲート回路Ｇ６の出力を反転する。

【００５９】上記高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１３、Ｑｈｐ１４と高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ１３、Ｑｈｎ１４とは、上記ＮＡＮＤ論理ゲート回路Ｇ６から出力されるＶｃｃ系の出力信号をＶｐｐ系の信号にレベル変換するレベル変換回路４４を構成している。このレベル変換回路４４では、前記図１中のＶｐｐ発生回路７で得られる高電圧Ｖｐｐの供給ノードと接地電圧のノードとの間にトランジスタＱｈｐ１３、Ｑｈｎ１３のソース、ドレイン間が直列に挿入され、同様にＶｐｐの供給ノードと接地電圧のノードとの間にトランジスタＱｈｐ１４、Ｑｈｎ１４のソース、ドレイン間が直列に挿入されている。そして、トランジスタＱｈｐ１３のゲートはトランジスタＱｈｐ１４、Ｑｈｎ１４のドレイン共通接続ノードに接続され、トランジスタＱｈｐ１４のゲートはトランジスタＱｈｐ１３、Ｑｈｎ１３のドレイン共通接続ノードに接続され、トランジスタＱｈｎ１３のゲートには上記インバータＩ７の出力信号が、トランジスタＱｈｎ１４のゲートには上記ＮＡＮＤ論理ゲート回路Ｇ６の出力信号がそれぞれ供給される。

【００６０】そして、上記レベル変換回路４４の出力ノードであるトランジスタＱｈｐ１４、Ｑｈｎ１４のドレイン共通接続ノードには、トランジスタＱｈｐ１５のゲートが接続されている。このトランジスタＱｈｐ１５のソースは高電圧Ｖｐｐの供給ノードに接続されている。さらにこのトランジスタＱｈｐ１５のドレインとビット線ＢＬ０との間には、ゲートに書き込みカラムアドレス信号Ａ０Ｗが供給されるトランジスタＱｈｎ１６のソース、ドレイン間及びゲートに書き込みカラムアドレス信号Ａ１Ｗが供給されるトランジスタＱｈｎ１７のソース、ドレイン間が並列に挿入されている。

【００６１】また、図６において、データ入出力回路３の一部は、インバータＩ４、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ７～Ｑｈｐ１０、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ７～Ｑｈｎ１０で構成されている。このデータ入出力回路３の一部は、前記第１データ入出力端子４－１に外部から供給される書き込み用のデータを取り込んで、上記書き込み回路５にＤｉｎ１として与えるものであり、以下のように構成されている。すなわち、内部電源電圧Ｖｄｄの供給ノードとＤｉｎ１のノードとの間にはトランジスタＱｈｐ７、Ｑｈｐ８のソース、ドレイン間が直列に挿入されている。また、Ｄｉｎ１のノードと接地電圧のノードとの間にはトランジスタＱｈｎ７、Ｑｈｎ８のソース、ドレイン間が並列に挿入されている。そして、上記トランジスタＱｈｐ７、Ｑｈｎ７の各ゲート及び上記トランジスタＱｈｐ８、Ｑｈｎ８の各ゲートはそれぞれ共通に接続され、トランジスタＱｈｐ８、Ｑｈｎ８のゲート共通接続ノードは第１データ入出力端子４－１に接続されている。制御信号ＤＩＥは書き込みデータを取り込む制御を行うために使用されるＶｃｃ系の信号であり、トランジスタＱｈｐ９、Ｑｈｐ１０とトランジスタＱｈｎ９、Ｑｈｎ１０とは、この制御信号ＤＩＥをＶｄｄ系の信号にレベル変換するレベル変換回路４５を構成している。

【００６２】上記レベル変換回路４５では、外部電源電圧Ｖｄｄの供給ノードと接地電圧のノードとの間にトランジスタＱｈｐ９、Ｑｈｎ９のソース、ドレイン間が直列に挿入され、同様にＶｄｄの供給ノードと接地電圧のノードとの間にトランジスタＱｈｐ１０、Ｑｈｎ１０のソース、ドレイン間が直列に挿入されている。そして、トランジスタＱｈｐ９のゲートはトランジスタＱｈｐ１０、Ｑｈｎ１０のドレイン共通接続ノードに接続され、トランジスタＱｈｐ１０のゲートはトランジスタＱｈｐ

９、Ｑｈｎ９のドレイン共通接続ノードに接続され、トランジスタＱｈｎ１０のゲートには上記制御信号ＤＩＥが、トランジスタＱｈｎ９のゲートには上記インバータＩ４の出力信号がそれぞれ供給される。

【００６３】このような構成の回路において、信号ＷＲＩＴＥ１が“Ｈ”となると、書き込みカラムアドレス信号Ａ０ＷとＡ１Ｗで選択されたビット線ＢＬに書き込みデータに応じて電圧が供給される。データ“０”書き込み時にビット線ＢＬには６Ｖの電圧が印加され、データ“１”書き込み時は供給されない。このとき選択されたワード線ＷＬには１０Ｖが印加されている。非選択のワード線ＷＬは０Ｖである。書き込みデータはインバータＩ５とＩ６で構成されるラッチ回路４３に記憶されている。なお、図６中、破線で囲まれた領域内に存在しているインバータＩ４、Ｉ５、Ｉ６、ＮＡＮＤ論理ゲート回路Ｇ６には、降圧回路１７で降圧された内部電源電圧Ｖｃｃが電源として供給されている。

【００６４】また、データ入出力回路３では、制御信号ＤＩＥが“Ｈ”のときに第１データ入出力端子４－１に入力された書き込みデータを取り込む。

【００６５】図６に示した書き込み回路はビット線ＢＬ０とＢＬ１に対応するものであり、ビット線ＢＬ２とＢＬ３に対応する書き込み回路の構成が図７に示されている。図７では、第２データ入出力端子４－２に書き込みデータが入力される。また、前記ＮＡＮＤ論理ゲート回路Ｇ６には、書き込み信号ＷＲＩＴＥ１に対応した信号ＷＲＩＴＥ２が供給される。なお、図６と図７で対応する箇所には同じ符号を付してその説明は省略する。

【００６６】図８は、図１中の書き込み回路５において、上記書き込み信号ＷＲＩＴＥ１、ＷＲＩＴＥ２を発生する回路部分の具体的な回路構成を示している。この回路は、ＮＡＮＤ論理ゲート回路Ｇ９～Ｇ１２、インバータＩ９、Ｉ１０及びキャパシタＣ１で構成されている。すなわち、ＮＡＮＤ論理ゲート回路Ｇ９には内部電源電圧Ｖｃｃ（“Ｈ”）と制御信号ＷＲＩＴＥとが供給される。そして、このＮＡＮＤ論理ゲート回路Ｇ９の出力信号がインバータＩ８で反転されることにより、前記書き込み信号ＷＲＩＴＥ１が出力される。ＮＡＮＤ論理ゲート回路Ｇ１０には内部電源電圧Ｖｃｃ（“Ｈ”）、制御信号ＷＲＩＴＥ及び前記Ｖｄｄレベル検出回路１４の出力信号ＬＬが供給される。上記ＮＡＮＤ論理ゲート回路Ｇ１０の出力信号は２個のインバータＩ９、Ｉ１０を介して、ＮＡＮＤ論理ゲート回路Ｇ１１の一方入力端子に供給される。ＮＡＮＤ論理ゲート回路Ｇ１２には内部電源電圧Ｖｃｃ（“Ｈ”）、制御信号ＷＲＩＴＥ及び前記Ｖｄｄレベル検出回路１４の出力信号ＨＬが供給される。上記ＮＡＮＤ論理ゲート回路Ｇ１２の出力信号はＮＡＮＤ論理ゲート回路Ｇ１１の他方入力端子に供給される。なお、上記キャパシタＣ１は、ＮＡＮＤ論理ゲート回路Ｇ１０の出力端子からインバータＩ９の入力端子に至る経路に一端が接続されており、他端は接地電圧のノードに接続されている。

【００６７】図８に示した回路において、外部電源電圧Ｖｄｄの値が比較的高く、前記Ｖｄｄレベル検出回路１４からの出力信号ＨＬが“Ｈ”で、出力信号ＬＬが“Ｌ”のときに、制御信号ＷＲＩＴＥが入力されると、書き込み信号ＷＲＩＴＥ１とＷＲＩＴＥ２とが同時に発生する。また、外部電源電圧Ｖｄｄの値が比較的低いときは、信号ＨＬが“Ｌ”、信号ＬＬが“Ｈ”となり、図８に示される回路で発生される書き込み信号ＷＲＩＴＥ１とＷＲＩＥ２とはタイミングをずらして発生される。なお、上記ＮＡＮＤ論理回路Ｇ９～Ｇ１２とインバータＩ８～Ｉ１０にはそれぞれ内部電源電圧Ｖｃｃが供給される。また、上記キャパシタＣ１は信号ＷＲＩＴＥ１とＷＲＩＴＥ２のタイミングをずらすためのものである。

【００６８】図８の回路で発生させる両制御信号ＷＲＩＴＥ１、ＷＲＩＴＥ２により、外部電源電圧Ｖｄｄが比較的高い時は、２つのメモリセルＭで同時にデータ書き込みが行われ、Ｖｄｄが比較的低い時には１つのメモリセルＭで書き込みが行われる。これによって、外部電源電圧Ｖｄｄが比較的低いとき、Ｖｐｐ発生回路７で発生される電圧Ｖｐｐの電流供給能力も低いものとなるが、１つのメモリセルＭでのみ書き込みが行われるために、電流供給能力が低いＶｐｐ発生回路７の電圧Ｖｐｐを用いても、正常に書き込みを行うことができる。また、外部電源電圧Ｖｄｄが比較的高いとき、Ｖｐｐ発生回路７で発生される電圧Ｖｐｐの電流供給能力が十分に高くなるので、２つのメモリセルＭで同時に書き込みを行っても、正常に書き込みを行うことができる。

【００６９】図９は、外部電源電圧Ｖｄｄの値が比較的高い時のデータ書き込みの動作を示すタイミングチャートである。第１、第２データ入出力端子４－１、４－２に書き込みデータが入力され、制御信号ＤＩＥが“Ｈ”になると、書き込みデータが内部に取り込まれる。制御信号ＬＡＴＣＨが“Ｈ”、ＬＡＴＣＨＢが“Ｌ”になると、書き込みデータがインバータＩ５、Ｉ６からなるラッチ回路４３でラッチされる。そして、書き込みカラムアドレス信号Ａ０ＷとＡ１Ｗが確定して、書き込み信号ＷＲＩＴＥ１、ＷＲＩＴＥ２が“Ｈ”となって、２つの選択されたメモリセルＭに同時に書き込みが行われる。このとき、図示しないが、制御信号ＷＲＩＴＥ１、ＷＲＩＴＥ２に同期して、選択されたワード線ＷＬには１０Ｖの電圧が与えられる。

【００７０】図１０は、外部電源電圧Ｖｄｄの値が比較的低い時のデータ書き込みの動作を示すタイミングチャートである。第１、第２データ入出力端子４－１、４－２に書き込みデータが入力され、制御信号ＤＩＥが“Ｈ”になると、書き込みデータが内部に取り込まれる。そして、制御信号ＬＡＴＣＨが“Ｈ”、ＬＡＴＣＨＢが“Ｌ”になると、書き込みデータがラッチ回路４３

でラッチされる。さらに、書き込みカラムアドレス信号Ａ０ＷとＡ１Ｗが確定し、次にまず一方の書き込み信号ＷＲＩＴＥ１が“Ｈ”になって、１つの選択されたメモリセルＭに書き込みが行われる。この後、他方の書き込み信号ＷＲＩＴＥ１２が“Ｈ”になって、もう１つの選択されたメモリセルＭに書き込みが行われる。このとき、図示しないが、書き込み信号ＷＲＩＴＥ１、ＷＲＩＴＥ２に同期して、選択されたワード線ＷＬには１０Ｖの電圧が与えられる。

【００７１】図１１は、図１中の消去回路６の一部回路の具体的な回路構成を示している。この回路は、ＮＡＮＤ論理ゲート回路Ｇ１５～Ｇ１８、インバータＩ１１～Ｉ１５、キャパシタＣ２、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ１８～Ｑｈｎ２５、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１５～Ｑｈｐ１８で構成されている。すなわち、ＮＡＮＤ論理ゲート回路Ｇ１５には内部電源電圧Ｖｃｃと制御信号ＥＲＡＳＥとが供給される。そして、このＮＡＮＤ論理ゲート回路Ｇ１５の出力信号がインバータＩ１１で反転される。

【００７２】ＮＡＮＤ論理ゲート回路Ｇ１６には内部電源電圧Ｖｃｃ、制御信号ＥＲＡＳＥ及び前記Ｖｄｄレベル検出回路１４の出力信号ＬＬが供給される。上記ＮＡＮＤ論理ゲート回路Ｇ１６の出力信号は２個のインバータＩ１２、Ｉ１３を介して、ＮＡＮＤ論理ゲート回路Ｇ１８の一方入力端子に供給される。ＮＡＮＤ論理ゲート回路Ｇ１７には内部電源電圧Ｖｃｃ、制御信号ＥＲＡＳＥ及び前記Ｖｄｄレベル検出回路１４の出力信号ＨＬが供給される。上記ＮＡＮＤ論理ゲート回路Ｇ１７の出力信号はＮＡＮＤ論理ゲート回路Ｇ１８の他方入力端子に供給される。上記キャパシタＣ２は、ＮＡＮＤ論理ゲート回路Ｇ１６の出力端子からインバータＩ１２の入力端子に至る経路に一端が接続されており、他端は接地電圧のノードに接続されている。

【００７３】上記インバータＩ１１の出力信号はインバータＩ１４で反転され、上記ＮＡＮＤ論理ゲート回路Ｇ１８の出力信号はインバータＩ１５で反転される。

【００７４】上記トランジスタＱｈｐ１５、Ｑｈｐ１６とトランジスタＱｈｎ１８、Ｑｈｎ１９とは、前記図６、図７に示すレベル変換回路４５と同様のレベル変換回路４６を構成しており、このレベル変換回路４６は上記インバータＩ１１の出力信号をＶｐｐ系の信号にレベル変換する。

【００７５】同様に、上記トランジスタＱｈｐ１７、Ｑｈｐ１８とトランジスタＱｈｎ２０、Ｑｈｎ２１とは、上記レベル変換回路４６と同様のＶｃｃ系からＶｐｐ系へのレベル変換回路４７を構成している。

【００７６】上記トランジスタＱｈｎ２２とＱｈｎ２３及びトランジスタＱｈｎ２４とＱｈｎ２５はそれぞれ、前記図１中のソース線ＳＲＣ０、ＳＲＣ１にソース電圧を出力する際の出力トランジスタとして使用されている。すなわち、トランジスタＱｈｐ２２のソース、ドレイン間はＶｐｐの供給ノードとソース線ＳＲＣ０との間に挿入されており、そのゲートには上記レベル変換回路４６からの出力信号（トランジスタＱｈｐ１６、Ｑｈｎ１９のドレイン共通接続ノードの信号）が供給される。トランジスタＱｈｎ２３のソース、ドレイン間はソース線ＳＲＣ０と接地電圧の供給ノードとの間に挿入されており、そのゲートにはインバータＩ１４の出力信号が供給される。トランジスタＱｈｐ２４のソース、ドレイン間はＶｐｐの供給ノードとソース線ＳＲＣ１との間に挿入されており、そのゲートには上記レベル変換回路４７からの出力信号（トランジスタＱｈｐ１８、Ｑｈｎ２１のドレイン共通接続ノードの信号）が供給される。トランジスタＱｈｎ２５のソース、ドレイン間はソース線ＳＲＣ１と接地電圧の供給ノードとの間に挿入されており、そのゲートにはインバータＩ１５の出力信号が供給される。

【００７７】図１１に示した回路において、外部電源電圧Ｖｄｄの値が比較的高い時で、前記Ｖｄｄレベル検出回路１４の出力信号ＨＬが“Ｈ”で、ＬＬが“Ｌ”のとき、消去信号ＥＲＡＳＥが入力されると、メモリセルアレイ１の２つのソース線ＳＲＣ０、ＳＲＣ１に同時に高電圧Ｖｐｐ（実際にはＶｐｐからｎチャネルＭＯＳトランジスタＱｈｎ２２、Ｑｈｎ２４のしきい値分だけ低下した電圧Ｖｐｐ´）が出力され、図１中のメモリセルアレイ１内の全ての（８個の）メモリセルＭが同時に消去される。

【００７８】また、外部電源電圧Ｖｄｄの値が比較的低く、前記Ｖｄｄレベル検出回路１４の出力信号ＨＬが“Ｌ”で、ＬＬが“Ｈ”のときに、消去信号ＥＲＡＳＥが入力されると、まず一方のソース線ＳＲＣ０に高電圧Ｖｐｐ´が出力され、このソース線ＳＲＣ０に接続されている４個のメモリセルＭで同時に消去が行われる。次にソース線ＳＲＣ１に高電圧Ｖｐｐ´が出力され、メモリセルアレイ１内の残りの４個のメモリセルＭで消去が行われる。

【００７９】ここで、ＮＡＮＤ論理回路Ｇ１５～Ｇ１８とインバータＩ１１～Ｉ１５にはそれぞれ内部電源電圧Ｖｃｃが電源として供給される。また、キャパシタＣ２は、ソース線ＳＲＣ０とＳＲＣ１に電圧を出力する際のタイミングをずらすためのものである。

【００８０】これによって、外部電源電圧Ｖｄｄの値が比較的低いとき、Ｖｐｐ発生回路７で発生される電圧Ｖｐｐの電流供給能力も低いものとなるが、メモリセルアレイ１内のメモリセルＭのうち半数のメモリセルでデータ消去が行われるために、電流供給能力が低いＶｐｐ発生回路７の電圧Ｖｐｐを用いても、正常に消去を行うことができる。また、外部電源電圧Ｖｄｄが比較的高いとき、Ｖｐｐ発生回路７で発生される電圧Ｖｐｐの電流供給能力が十分に高くなるので、メモリセルアレイ１内の

全てのメモリセルＭで同時に消去を行っても、正常に消去を行うことができる。

【００８１】図１２は、外部電源電圧Ｖｄｄの値が比較的高い時のデータ消去の動作を示すタイミングチャートである。ソース線ＳＲＣ０とＳＲＣ１が同時にＶｐｐ（前記のように実際はＶｐｐ′）となって、８つのメモリセルＭで同時に消去が行われる。このとき、図示しないが、ソース線ＳＲＣ０とＳＲＣ１に同期してワード線ＷＬ０とＷＬ１に－５Ｖの電圧が与えられる。

【００８２】図１３は、外部電源電圧Ｖｄｄの値が比較的低い時のデータ消去の動作を示すタイミングチャートである。まず、ソース線ＳＲＣ０がＶｐｐ（前記のように実際はＶｐｐ′）となって、４つのメモリセルＭで同時に消去が行われる。このとき、図示しないが、ソース線ＳＲＣ０に同期してワード線ＷＬ０に－５Ｖの電圧が与えられる。次に、ソース線ＳＲＣ１がＶｐｐ（前記のように実際はＶｐｐ′）となって、残りの４つのメモリセルＭで同時に消去が行われる。このときも、ソース線ＳＲＣ１に同期してワード線ＷＬ１に－５Ｖの電圧が与えられる。

【００８３】図１４は、図１中のＶｐｐ発生回路７の具体的な回路構成を示している。この回路は、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ２６～Ｑｈｎ３５とキャパシタＣ３～Ｃ１０で構成されている。すなわち、外部電源電圧Ｖｄｄの供給ノードとＶｐｐの出力ノードとの間にトランジスタＱｈｎ２６、Ｑｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２、Ｑｈｎ３４、Ｑｈｎ３５のソース、ドレイン間が直列に挿入されている。上記トランジスタＱｈｎ２６のゲートはＶｄｄの供給ノードに接続され、上記トランジスタＱｈｎ３５のゲートはＶｐｐの出力ノードとは反対側に位置するソースもしくはドレインに接続されている。また、上記トランジスタＱｈｎ２７、Ｑｈｎ２９、Ｑｈｎ３１、Ｑｈｎ３３の各ソース、ドレイン間は、上記トランジスタＱｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２、Ｑｈｎ３４の各ゲートと、これらトランジスタＱｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２、Ｑｈｎ３４の各ソース、ドレインのうちＶｄｄの供給ノードに近い側に位置するソースもしくはドレインとの間にそれぞれ挿入されている。また、上記トランジスタＱｈｎ２７、Ｑｈｎ２９、Ｑｈｎ３１、Ｑｈｎ３３の各ゲートは、上記トランジスタＱｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２、Ｑｈｎ３４の各ソース、ドレインのうちＶｐｐの出力ノードに近い側に位置するドレインもしくはソースにそれぞれ接続されている。

【００８４】上記キャパシタＣ３、Ｃ５、Ｃ７、Ｃ９の各一端は上記トランジスタＱｈｎ２６、Ｑｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２の各ゲートに接続されている。上記キャパシタＣ４、Ｃ６、Ｃ８、Ｃ１０の各一端は上記トランジスタＱｈｎ２６、Ｑｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２の各ゲートに接続されている。また、上記キャパシタＣ４、Ｃ６、Ｃ８、Ｃ１０の各他端には２種類の駆動信号ＦＩ１、ＦＩ２が交互に供給され、上記キャパシタＣ３、Ｃ５、Ｃ７、Ｃ９の各他端には２種類の駆動信号ＦＩ４、ＦＩ３が交互に供給される。

【００８５】図１４のような構成のＶｐｐ発生回路において、信号ＦＩが“Ｈ”でかつ信号ＦＩ２が“Ｌ”のとき、キャパシタＣ４あるいはＣ８で昇圧された電圧がそれぞれキャパシタＣ６あるいはＣ１０に転送される。また、信号ＦＩが“Ｌ”でかつ信号ＦＩ２が“Ｈ”のとき、キャパシタＣ６あるいはＣ１０で昇圧された電圧がそれぞれキャパシタＣ８あるいはＶｐｐの出力ノードに転送される。さらに、電圧転送時に、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ２８、Ｑｈｎ３０、Ｑｈｎ３２、Ｑｈｎ３４それぞれにおけるしきい値分の転送効率低下を防ぐ目的で、それらのトランジスタのゲート電極を昇圧するために上記キャパシタＣ３、Ｃ５、Ｃ７、Ｃ９が設けられている。

【００８６】なお、ここで上記信号ＦＩ１とＦＩ２はＶｃｃ系の信号であり、信号ＦＩ３とＦＩ４はＶｈ系の信号である。

【００８７】図１５は、図１中のＶｐｐ駆動回路８の一部回路の具体的構成を示している。図１５に示した回路は、内部電源電圧Ｖｃｃの値に逆比例した周波数を持つ駆動信号ＦＩを発生する回路であり、抵抗Ｒ１、Ｒ２、ダイオードＤ１、キャパシタＣ１１、Ｃ１２、インバータＩ１６～Ｉ１８、ＮＡＮＤ論理ゲート回路Ｇ１９、Ｇ２０、ｐチャネルＭＯＳトランジスタＱｐ３～Ｑｐ１２及びｎチャネルＭＯＳトランジスタＱｎ４～Ｑ１５で構成されている。

【００８８】図１５において、抵抗Ｒ１、ダイオードＤ１及びｎチャネルＭＯＳトランジスタＱｎ３からなる回路は、トランジスタＱｎ３のゲートに“Ｈ”の信号が供給されて、このトランジスタＱｎ３がオンすることにより、ダイオードＤ１のブレークダウン電圧に応じた定電圧を発生する定電圧回路４８である。なお、上記トランジスタＱｎ３のゲート信号は、制御信号ＲＮＧＢ（制御信号ＲＮＧの反転信号）をインバータＩ１６で反転することによって得られる。

【００８９】また、ｐチャネルＭＯＳトランジスタＱｐ３、ｎチャネルＭＯＳトランジスタＱｎ４、抵抗Ｒ２及び２個のｎチャネルＭＯＳトランジスタＱｎ４、Ｑｎ５からなる回路は、上記定電圧回路４８で発生される定電圧が供給され、制御信号ＲＮＧＢに同期して定電圧Ｖｒｅｆを発生する定電圧回路４９である。すなわち、この定電圧回路４９では、制御信号ＲＮＧＢが“Ｌ”のときに、抵抗Ｒ２とトランジスタＱｎ４、Ｑｎ５との共通接続ノードに定電圧Ｖｒｅｆを発生する。

【００９０】上記２個のＮＡＮＤ論理ゲート回路Ｇ１９、Ｇ２０は、一方の入力端子が他方の出力端子に交互に接続されて、フリップフロップ回路５０を構成してお

り、一方のＮＡＮＤ論理ゲート回路Ｇ１９の出力端子から発振信号ＦＩが出力される。また、他方のＮＡＮＤ論理ゲート回路Ｇ２０の出力端子と接地電圧のノードとの間には、ゲートに制御信号ＲＮＧＢが供給されるトランジスタＱｎ６が挿入されている。

【００９１】上記ＮＡＮＤ論理ゲート回路Ｇ２０の出力信号は、ｐチャネルＭＯＳトランジスタＱｐ５、ｎチャネルＭＯＳトランジスタＱｎ７、Ｑｎ８及びキャパシタＣ１１からなる反転回路５１で検出される。ここで、上記トランジスタＱｎ８のゲートには、上記定電圧回路４９で発生される定電圧Ｖｒｅｆが供給されている。この反転回路５１では、ＮＡＮＤ論理ゲート回路Ｇ２０の出力信号に応じて、トランジスタＱｐ５がオンするときにはこのトランジスタＱｐ５を介してキャパシタＣ１１が急速に充電され、トランジスタＱｎ８がオンするときにはこのトランジスタＱｎ８を介してキャパシタＣ１１が、前記トランジスタＱｎ５に流れる一定電流と等価な値の電流で放電される。

【００９２】上記ｐチャネルＭＯＳトランジスタＱｐ６～Ｑｐ８、ｎチャネルＭＯＳトランジスタＱｎ９、Ｑｎ１０及びインバータＩ１７は、上記反転回路５１の出力信号を前記定電圧Ｖｒｅｆと比較する差動増幅器５２を構成しており、この差動増幅器５２の出力信号はＮＡＮＤ論理ゲート回路Ｇ１９に供給される。

【００９３】上記ＮＡＮＤ論理ゲート回路Ｇ１９の出力信号は、前記反転回路５１と同様に構成された反転回路５３で検出される。この反転回路５３中のｐチャネルＭＯＳトランジスタＱｐ９、ｎチャネルＭＯＳトランジスタＱｎ１１、Ｑｎ１２及びキャパシタＣ１２は、前記反転回路５１中のトランジスタＱｐ５、Ｑｎ７、Ｑｎ８及びキャパシタＣ１１にそれぞれ対応している。

【００９４】上記反転回路５３の出力信号は、前記差動増幅器５２と同様に構成された差動増幅器５４に供給される。この差動増幅器５４中のｐチャネルＭＯＳトランジスタＱｐ１０～Ｑｐ１２、ｎチャネルＭＯＳトランジスタＱｎ１３、Ｑｎ１４及びインバータＩ１８は、前記差動増幅器５２中のトランジスタＱｐ６～Ｑｐ８、Ｑｎ９、Ｑｎ１０及びインバータＩ１７にそれぞれ対応している。そして、この差動増幅器５４の出力信号はＮＡＮＤ論理ゲート回路Ｇ１９に供給される。

【００９５】図１５に示した構成の回路では、制御信号ＲＮＧＢが“Ｌ”のときは、ＮＡＮＤ論理ゲートＧ１９とＧ２０で構成されるフリップフロップ回路５０が動作して、内部電源電圧Ｖｃｃに逆比例した周波数を有する発振信号ＦＩが出力される。また、制御信号ＲＮＧＢが“Ｈ”のときの非発振時では、トランジスタＱｎ６がオンして、発振信号ＦＩが“Ｌ”に固定されると共に、トランジスタＱｐ４がオンして反転回路５１中のキャパシタＣ１１の一端が充電され、差動増幅器５２の出力信号が“Ｈ”に固定される。

【００９６】図１６は、図１に示されるＶｐｐ駆動回路１１の残りの回路部分の構成を示している。この図１６に示した回路は、上記図１５の回路で発生される発振信号ＦＩを受けて前記４種類の駆動信号ＦＩ１、ＦＩ２、ＦＩ３、ＦＩ４を発生するものであり、信号遅延回路ＤＬＹ１～ＤＬＹ３、ＮＡＮＤ論理ゲート回路Ｇ２１、Ｇ２２、ＮＯＲ論理ゲート回路Ｇ２３、Ｇ２４、インバータＩ１９～Ｉ２２、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ１９～Ｑｈｐ２２及び高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ３６～Ｑｈｎ３９とから構成されている。

【００９７】上記３個の信号遅延回路ＤＬＹ１～ＤＬＹ３は直列接続されており、これら各信号遅延回路は、上記図１５の回路で発生される発振信号ＦＩを時間ｔ２、ｔ１、ｔ２だけ遅らせて出力する。上記２個の信号遅延回路ＤＬＹ１、ＤＬＹ２の出力信号はＮＡＮＤ論理ゲート回路Ｇ２１に供給される。そして、前記駆動信号ＦＩ１はこのＮＡＮＤ論理ゲート回路Ｇ２１の出力信号として得られる。上記２個の信号遅延回路ＤＬＹ１、ＤＬＹ２の出力信号はＮＯＲ論理ゲート回路Ｇ２３に供給される。そして、このＮＯＲ論理ゲート回路Ｇ２３の出力信号がインバータＩ１９で反転されることにより前記駆動信号ＦＩ２が得られる。

【００９８】さらに前記信号ＦＩ及び信号遅延回路ＤＬＹ３の出力信号はＮＯＲ論理ゲート回路Ｇ２４に供給される。このＮＯＲ論理ゲート回路Ｇ２４の出力信号は、トランジスタＱｈｐ１９、Ｑｈｐ２０、Ｑｈｎ３６、Ｑｈｎ３７とインバータＩ２１とから構成されたレベル変換回路５５によってＶｃｃ系の信号からＶｈ系の信号にレベル変換されることにより、前記駆動信号ＦＩ３が得られる。

【００９９】前記信号ＦＩ及び信号遅延回路ＤＬＹ３の出力信号はＮＡＮＤ論理ゲート回路Ｇ２２に供給される。また、このＮＡＮＤ論理ゲート回路Ｇ２２の出力信号はインバータＩ２０によって反転される。このインバータＩ２０の出力信号は、トランジスタＱｈｐ２１、Ｑｈｐ２２、Ｑｈｎ３８、Ｑｈｎ３９とインバータＩ２２とから構成されたレベル変換回路５６によってＶｃｃ系の信号からＶｈ系の信号にレベル変換されることにより、前記駆動信号ＦＩ４が得られる。これら各駆動信号の関係を図１７のタイミングチャートに示す。

【０１００】従って、この図１６の回路で発生される駆動信号ＦＩ１とＦＩ２とは０Ｖと電圧Ｖｃｃの間の振幅を持つ信号であり、駆動信号ＦＩ３とＦＩ４は０Ｖと電圧Ｖｈの間の振幅を持つ信号となる。

【０１０１】なお、上記各遅延回路ＤＬＹ１、ＤＬＹ２、ＤＬＹ３、ＮＡＮＤ論理ゲート回路Ｇ２１、Ｇ２２、ＮＯＲ論理ゲートＧ２３、Ｇ２４、インバータＩ１９～Ｉ２２にはそれぞれ電源電圧として内部電源電圧Ｖｃｃが与えられる。

【０１０２】図１８は図１に示されるＶｐｐリミッタ９の具体的な回路構成を示している。このＶｐｐリミッタ９は、前記Ｖｐｐ発生回路７で発生される高電圧Ｖｐｐの値を、前記Ｖｐｐレベル検出回路１４の出力信号ＨＨ、ＨＬに基づいて制限する機能を有するものであり、３個の抵抗Ｒ３～Ｒ５、ｎチャネルＭＯＳトランジスタＱｎ１６～Ｑｎ１９、ｐチャネルＭＯＳトランジスタＱｐ１３～Ｑｐ１５、ディプレッション型の高耐圧トランジスタＱｄ１及び高耐圧のｎチャネルＭＯＳトランジスタＱｈｎ４０とから構成されている。

【０１０３】上記３個の抵抗Ｒ３～Ｒ５は、電圧Ｖｐｐのノードと接地電圧のノードとの間に直列に接続されており、上記電圧Ｖｐｐを抵抗分割してＶｐｐよりも低い２種類の分割電圧を形成する。

【０１０４】上記トランジスタＱｎ１６、１７のソース、ドレイン間の各一端は上記抵抗Ｒ３とＲ４の直列接続ノード、抵抗Ｒ４とＲ５の直列接続ノードにそれぞれ接続され、他端は共通に接続されている。そして、一方のトランジスタＱｎ１６のゲートには前記信号ＬＬが、他方のトランジスタＱｎ１７のゲートには前記信号ＨＬがそれぞれ供給される。すなわち、この２個のトランジスタＱｎ１６、１７はスイッチとして作用し、信号ＨＬ、ＬＬに基づいて、上記２種類の分割電圧を選択的に出力する。

【０１０５】上記トランジスタＱｐ１３～Ｑｐ１５、Ｑｎ１８、Ｑｎ１９からなる回路は、上記トランジスタＱｎ１６、１７のソース、ドレイン間の他端共通接続ノードに得られる先の２種類の分割電圧のいずれか一方を前記定電圧Ｖｒｅｆと比較する差動増幅器５７を構成している。

【０１０６】上記ディプレッション型のトランジスタＱｈｄ１のソース、ドレイン間は、外部電源電圧Ｖｄｄの供給ノードと電圧Ｖｐｐのノードとの間に挿入されており、このトランジスタＱｈｄ１のゲートには前記制御信号ＲＮＧＢが供給される。さらに上記トランジスタＱｈｎ４０のソース、ドレイン間は、電圧Ｖｐｐのノードと接地電圧の供給ノードとの間に挿入されており、このトランジスタＱｈｎ４０のゲートには上記差動増幅器５７の出力信号が供給される。

【０１０７】このような構成のリミッタでは、信号ＲＮＧＢが“Ｌ”のときに活性化されて電圧Ｖｐｐの電圧調整が行われる。信号ＲＮＧＢが“Ｈ”の時は、トランジスタＱｈｄ１がオンして、Ｖｐｐのノードに内部電源電圧Ｖｄｄが供給される。

【０１０８】活性化状態のとき、外部電源電圧Ｖｄｄの値が比較的高く、前記Ｖｐｐレベル検出回路１４から出力される信号ＨＬが“Ｈ”のとき、トランジスタＱｎ１７がオンして、前記２種類の分割電圧のうち、抵抗Ｒ４とＲ５の直列接続ノードに得られる高い値の分割電圧が差動増幅器５７に供給される。差動増幅器５７では、この分割電圧が定電圧Ｖｒｅｆと比較され、この比較出力に基づいてトランジスタＱｈｎ４０のゲートが制御されるので、電圧Ｖｐｐは比較的高い値の一定値となるように制限される。

【０１０９】他方、外部電源電圧Ｖｄｄの値が比較的低く、前記Ｖｐｐレベル検出回路１４から出力される信号ＬＬが“Ｈ”のときは、トランジスタＱｎ１６がオンして、前記２種類の分割電圧のうち、抵抗Ｒ３とＲ４の直列接続ノードに得られる低い値の分割電圧が差動増幅器５７に供給される。差動増幅器５７では、この分割電圧が定電圧Ｖｒｅｆと比較され、この比較出力に基づいてトランジスタＱｈｎ４０のゲートが制御されるので、電圧Ｖｐｐは比較的低い一定値となるように制限される。

【０１１０】すなわち、前記図１のメモリでは、外部電源電圧Ｖｄｄの値が比較的低いとき、電圧Ｖｐｐを低くすることでＶｐｐ発生回路７における電流供給能力の低下を防ぎ、これにより書き込みや消去を正常に行えるようにしている。

【０１１１】なお、書き込みと消去で電圧Ｖｐｐの値を変えることも容易に実施できる。これは、書き込みと消去で抵抗Ｒ３、Ｒ４、Ｒ５の抵抗比を変えることで容易に実現できる。

【０１１２】図１９は、図１に示されるＶｈ発生回路１０の具体的な回路構成を示している。このＶｈ発生回路１０は、前記図１４に示したＶｐｐ発生回路７とほぼ同様の構成であり、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ４１～Ｑｈｎ４６とキャパシタＣ１３～Ｃ１６とで構成されている。

【０１１３】そして、上記キャパシタＣ１３、Ｃ１５の各他端には２種類の駆動信号ＦＩ１Ｓ、ＦＩ２Ｓが交互に供給され、上記キャパシタＣ１４、Ｃ１６各他端には２種類の駆動信号ＦＩ４Ｓ、ＦＩ３Ｓが交互に供給される。

【０１１４】図１４のような構成のＶｈ発生回路の基本的な動作は、前記図１４に示したＶｐｐ発生回路７と同様なのでその説明は省略する。なお、キャパシタＣ１４、Ｃ１６は、電圧転送時に、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ４３、Ｑｈｎ４５それぞれにおけるしきい値分の転送効率低下を防ぐ目的で設けられている。また、上記信号ＦＩ１Ｓ～ＦＩ４Ｓは全てＶｃｃ系の信号である。

【０１１５】図２０は、図１に示されているＶｈ駆動回路１２の具体的な回路構成を示している。この回路は、前記図１５に示される回路で発生される信号ＦＩと、前記Ｖｐｐレベル検出回路１４で発生される信号ＬＬとを受け、外部電源電圧Ｖｄｄの値が比較的高いときに、上記図１９に示されるＶｈ発生回路１０で使用される駆動信号ＦＩ１Ｓ～ＦＩ４Ｓを発生するものであり、信号遅延回路ＤＬＹ４～ＤＬＹ６、ＮＡＮＤ論理ゲート回路Ｇ２５～Ｇ２７、ＮＯＲ論理ゲート回路Ｇ２８、Ｇ２９、

インバータＩ２３～Ｉ２５とから構成されている。

【０１１６】すなわち、上記信号ＦＩと信号ＬＬとがＮＡＮＤ論理ゲート回路Ｇ２５に供給され、このＮＡＮＤ論理ゲート回路Ｇ２５の出力信号がインバータＩ２３で反転される。

【０１１７】上記３個の信号遅延回路ＤＬＹ４～ＤＬＹ６は直列接続されており、これら各信号遅延回路は、上記インバータＩ２３の出力信号を時間ｔ２、ｔ１、ｔ２だけ遅らせて出力する。上記２個の信号遅延回路ＤＬＹ４、ＤＬＹ５の出力信号はＮＡＮＤ論理ゲート回路Ｇ２６に供給される。そして、前記駆動信号ＦＩ１Ｓはこの ＮＡＮＤ論理ゲート回路Ｇ２６の出力信号として得られる。上記２個の信号遅延回路ＤＬＹ４、ＤＬＹ５の出力信号はＮＯＲ論理ゲート回路Ｇ２８に供給される。そして、このＮＯＲ論理ゲート回路Ｇ２８の出力信号がインバータＩ２４で反転されることにより前記駆動信号ＦＩ２Ｓが得られる。

【０１１８】さらに上記インバータＩ２３の出力信号及び信号遅延回路ＤＬＹ６の出力信号はＮＯＲ論理ゲート回路Ｇ２９に供給される。前記駆動信号ＦＩ３Ｓはこの ＮＯＲ論理ゲート回路Ｇ２９の出力信号として得られる。上記インバータＩ２３の出力信号及び信号遅延回路ＤＬＹ６の出力信号はＮＡＮＤ論理ゲート回路Ｇ２７に供給される。また、このＮＡＮＤ論理ゲート回路Ｇ２７の出力信号はインバータＩ２５によって反転される。前記駆動信号ＦＩ４ＳはこのインバータＩ２５の出力信号として得られる。

【０１１９】なお、上記ＮＡＮＤ論理ゲート回路Ｇ２５～Ｇ２７、ＮＯＲ論理ゲート回路Ｇ２８、Ｇ２９、インバータＩ２３～Ｉ２５には電源電圧としてそれぞれ内部電源電圧Ｖｃｃが供給されている。従って、上記駆動信号ＦＩ１Ｓ～ＦＩ４Ｓは０ＶとＶｃｃの間の振幅を持った信号である。また、この回路で発生される上記駆動信号ＦＩ１Ｓ～ＦＩ４Ｓのタイミングは、図１７に示される駆動信号ＦＩ１～ＦＩ４のタイミングと同じである。

【０１２０】図１のメモリにおいて、外部電源電圧Ｖｄｄの値が比較的高いとき、Ｖｈ発生回路１０を活性にしなくてもＶｐｐ発生回路８は十分な電流供給能力があるので、Ｖｈ発生回路１０を非活性にすることで消費電力の削減を図ることができる。

【０１２１】図２１は図１に示されるＶｈリミッタ１１の具体的な回路構成を示している。このＶｈリミッタ１１の具体的な回路は、前記図１８に示したＶｐｐリミッタ９とほぼ同様な構成であるので、Ｖｐｐリミッタ９と異なる点のみを説明する。図１８のＶｐｐリミッタ９では３個の抵抗Ｒ３～Ｒ５を用いて、Ｖｐｐから２種類の分割電圧を得るようにしていたが、このＶｈリミッタ１１では２個の抵抗Ｒ６、Ｒ６を直列接続して、電圧Ｖｈから１種類の分割電圧を得るようにしている。

【０１２２】なお、前記差動増幅器５７に対応したものが差動増幅器５８であり、この差動増幅器５８内のｐチャネルＭＯＳトランジスタＱｐ１６～Ｑｐ１８、ｎチャネルＭＯＳトランジスタＱｎ２０、Ｑｎ２１は、前記差動増幅器５７内のトランジスタＱｐ１３～Ｑｐ１５、Ｑｎ１８、Ｑｎ１９に対応している。

【０１２３】また、ディプレッション型の高耐圧ＭＯＳトランジスタＱｈｄ２は前記トランジスタＱｈｄ１に対応するものであり、そのゲートには制御信号ＲＮＧＢＳが供給される。この制御信号ＲＮＧＢＳは、前記信号ＲＮＧＢを反転するインバータＩ２６と、このインバータＩ２６の出力信号及び前記信号ＬＬが供給されるＮＡＮＤ論理ゲート回路Ｇ３０の出力信号として得られる。さらに、高耐圧のｎチャネルＭＯＳトランジスタＱｈｎ４７は前記トランジスタＱｈｎ４０に対応している。なお、上記インバータＩ２６とＮＡＮＤ論理ゲート回路Ｇ３０には、電源電圧として内部電源電圧Ｖｃｃが供給される。

【０１２４】このような構成のリミッタでは、信号ＲＮＧＢＳが“Ｌ”のときに活性化されて電圧Ｖｈの電圧調整が行われる。また、信号ＲＮＧＢが“Ｈ”の時は、トランジスタＱｈｄ１がオンし、Ｖｈのノードに内部電源電圧Ｖｄｄが供給される。

【０１２５】活性化状態のとき、抵抗Ｒ６とＲ７の直列接続ノードに得られる分割電圧が差動増幅器５８に供給される。差動増幅器５８では、この分割電圧が定電圧Ｖｒｅｆと比較され、この比較出力に基づいてトランジスタＱｈｎ４７のゲートが制御されるので、電圧Ｖｈが一定値となるように制限される。

【０１２６】図２２は、図１に示される、Ｖｄｄレベル検出回路１４と降圧回路１５の具体的な回路構成を示している。

【０１２７】図２２に示した回路には、外部電源電圧Ｖｄｄの供給ノードと接地電圧の供給ノードとの間に直列に挿入された抵抗Ｒ１０、ダイオードＤ２、高耐圧のｎチャネルＭＯＳトランジスタＱｈｎ５１からなる定電圧発生回路５９が設けられている。上記トランジスタＱｈｎ５１のゲートには前記降圧回路制御端子１６に供給される制御信号が入力され、この制御信号が“Ｈ”のときに上記トランジスタＱｈｎ５１がオンして、ダイオードＤ２の逆方向ブレークダウン電圧に応じた定電圧Ｖｓｔが発生する。

【０１２８】Ｖｄｄレベル検出回路１４は、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ２５～Ｑｈｐ２８、高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ５２、Ｑｈｎ５３、抵抗Ｒ１１、Ｒ１２及び高耐圧ＭＯＳトランジスタを用いた高耐圧インバータＩｈ１～Ｉｈ３で構成されている。すなわち、トランジスタＱｈｐ２５、抵抗Ｒ１２、Ｒ１３からなる回路は、外部電源電圧Ｖｄｄを抵抗分割する電圧分割回路６０であり、前記制御端子１６の信号がインバータＩｈ１を介してトランジスタＱｈｐ２

５のゲートに供給される。この電圧分割回路６０において、前記制御端子１６に供給される信号が“Ｈ”のとき、インバータＩｈ１の出力信号は“Ｌ”となり、トランジスタＱｈｐ２５がオンして活性化される。

【０１２９】また、上記トランジスタＱｈｐ２６～Ｑｈｐ２８及びトランジスタＱｈｎ５２、Ｑｈｎ５３は、上記電圧分割回路６０からの出力電圧と前記定電圧Ｖｓｔとを比較する差動増幅器６１を構成しており、この差動増幅器６１の出力信号をインバータＩｈ２で反転することにより一方の信号ＬＬが得られ、さらにこの信号ＬＬをインバータＩｈ３で反転することにより他方の信号ＨＬが得られる。

【０１３０】上記構成以外の回路が降圧回路１５を構成している。

【０１３１】すなわち、制御端子１６の信号は上記信号ＬＬと共に高耐圧ＮＡＮＤ論理ゲート回路Ｇｈ１に供給され、制御端子１６の信号は上記信号ＨＬと共に高耐圧ＮＡＮＤ論理ゲート回路Ｇｈ２に供給される。さらにＮＡＮＤ論理ゲート回路Ｇｈ２の出力信号はインバータＩｈ４によって反転される。そして、ＮＡＮＤ論理ゲート回路Ｇｈ２の出力信号は制御信号ＤＶＢ（制御信号ＤＶの反転信号）として、インバータＩｈ４の出力信号は制御信号ＤＶとして、それぞれ降圧回路１５内部の他の回路部分に供給される。なお、この上記両ＮＡＮＤ論理ゲート回路Ｇｈ１、Ｇｈ２及びインバータＩｈ４はそれぞれ、高耐圧ＭＯＳトランジスタによって構成されている。

【０１３２】降圧回路１５には、高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ２９と２個の抵抗Ｒ１３、Ｒ１４とからなり、上記電圧分割回路６０と同様に構成された電圧分割回路６２が設けられている。なお、この電圧分割回路６２内のトランジスタＱｈｐ２９のゲートは上記制御信号ＤＶＢで制御される。

【０１３３】トランジスタＱｈｐ３０～Ｑｈｐ３２及びトランジスタＱｈｎ５４、Ｑｈｎ５５から回路は、上記差動増幅器６１と同様に構成され、上記制御信号ＤＶＢで活性化制御される差動増幅器６３であり、この差動増幅器６３の出力信号は前記制御信号ＤＶと共に高耐圧ＮＡＮＤ論理ゲート回路Ｇｈ３に供給される。さらにこのＮＡＮＤ論理ゲート回路Ｇｈ３の出力信号は、前記制御信号ＤＶＢと共に高耐圧ＮＯＲ論理ゲート回路Ｇｈ４に供給される。

【０１３４】ソース、ドレイン間がそれぞれ並列接続されたトランジスタＱｈｎ５６とＱｈｐ３３及びトランジスタＱｈｎ５７とＱｈｐ３４はＣＭＯＳトランスファゲートＴＧ１、ＴＧ２を構成しており、それぞれ上記ＮＡＮＤ論理ゲート回路Ｇｈ３、ＮＯＲ論理ゲート回路Ｇｈ４の出力信号でスイッチ制御される。そして、上記一方のトランスファゲートＴＧ１には入力信号として前記定電圧Ｖｓｔが供給され、上記他方のトランスファゲートＴＧ１には入力信号として前記電圧分割回路６２の分割電圧が供給される。なお、上記両トランスファゲートＴＧ１、ＴＧ２の出力は共通に接続されている。

【０１３５】上記トランジスタＱｈｐ３５～Ｑｈｐ３７及びトランジスタＱｈｎ５８、Ｑｈｎ５９からなる回路は、上記制御信号ＤＶＢで活性化制御される差動増幅器６４であり、この差動増幅器６４の一方の入力端子であるトランジスタＱｈｎ５８のゲートには、上記両トランスファゲートＴＧ１、ＴＧ２の出力共通接続ノードの電圧が供給される。

【０１３６】また、外部電源電圧Ｖｄｄの供給ノードと降圧電圧Ｖｃｃを得るノードとの間には、ゲートに制御信号ＤＶが供給されるトランジスタＱｈｎ３８、ゲートに上記差動増幅器６４の出力信号が供給されるトランジスタＱｈｎ３９のソース、ドレイン間が直列に挿入されている。また、上記降圧電圧Ｖｃｃのノードと接地電圧の供給ノードとの間には２個の抵抗Ｒ１５、Ｒ１６が直列に挿入されている。そして、上記両抵抗Ｒ１５、Ｒ１６の直列接続ノードの電圧が、上記差動増幅器６４の他方の入力端子であるトランジスタＱｈｎ５９のゲートに供給される。

【０１３７】さらに、外部電源電圧Ｖｄｄの供給ノードと上記降圧電圧Ｖｃｃのノードとの間には、ゲートに前記ＮＡＮＤ論理ゲート回路Ｇｈ１の出力信号が供給されるトランジスタＱｈｐ４０のソース、ドレイン間が挿入されている。

【０１３８】図２２のような構成の回路において、降圧回路制御端子１６に供給される制御信号が“Ｈ”のとき、定電圧発生回路５９で定電圧Ｖｓｔが発生し、さらにインバータＩｈ１の出力信号が“Ｌ”となり、Ｖｄｄレベル検出回路１４内の電圧分割回路６０と差動増幅器６１が動作し、外部電源電圧Ｖｄｄの値に比例した分割電圧と定電圧Ｖｓｔとが比較されて、信号ＬＬ、ＨＬのいずれか一方が“Ｈ”、他方が“Ｌ”となり、外部電源電圧Ｖｄｄの値が検出される。

【０１３９】また、降圧回路制御端子１６のレベルが“Ｈ”で、外部電源電圧Ｖｄｄの値が比較的低い場合、つまり信号ＬＬが“Ｈ”のときは、トランジスタＱｈｐ４０がオンになり、内部電源電圧Ｖｃｃの値は外部から供給される電源電圧Ｖｄｄと等しくなる。

【０１４０】他方、降圧回路制御端子１６のレベルが“Ｈ”で、外部電源電圧Ｖｄｄの値が比較的高い場合、つまり信号ＬＬが“Ｌ”のときは、上記トランジスタＱｈｐ４０がオフとなり、内部電源電圧Ｖｃｃは、外部から供給される外部電源電圧Ｖｄｄの値よりも低くされる。すなわち、降圧回路制御端子１６のレベルが“Ｈ”で、電圧Ｖｄｄが比較的高い場合、つまり信号ＤＶが“Ｈ”、ＤＶＢが“Ｌ”のとき、抵抗Ｒ１３とＲ１４の直列接続ノードの電圧と定電圧Ｖｓｔの高い方と、抵抗Ｒ１５とＲ１６の直列接続ノードの電圧とが等しくなる

ように制御される。

【０１４１】この結果、降圧回路制御端子１６のレベルが“Ｈ”のときの内部電源電圧Ｖｃｃは図２３に示されるようになる。つまり、ＶｄｄがＶ１までの範囲では、信号ＬＬが“Ｈ”なので、ＶｄｄとＶｃｃは等しくなる。

【０１４２】また、ＶｄｄがＶ１よりも高くＶ２よりも低い範囲のときは、信号ＬＬが“Ｌ”、つまり信号ＨＬが“Ｈ”であり、また、抵抗Ｒ１３とＲ１４の直列接続ノードの電圧より定電圧Ｖｓｔのほうが高く、ＶｃｃはＶｄｄより低い一定電圧に固定される。

【０１４３】さらにＶｄｄがＶ２より高い場合は、抵抗Ｒ１３とＲ１４の直列接続ノードの電圧のほうが定電圧Ｖｓｔより高くなり、ＶｃｃはＶｄｄより低いＶｄｄに比例した電圧に制御される。このＶ２以上の値のＶｄｄが用いられるのは、フラッシュメモリの信頼性試験時等であり、高い外部電源電圧Ｖｄｄを加えた時に、内部のトランジスタ等がどの位の時間耐えられるかを測定するためである。

【０１４４】降圧回路制御端子１６のレベルが“Ｌ”の場合、トランジスタＱｈｐ４０とＱｈｐ３８はともにオフするので、内部電源電圧Ｖｃｃのノードには電圧は供給されない。

【０１４５】このようにして、図２３に示されるように、第１の電源レンジ（Ｖ１までの範囲）では内部電源電圧Ｖｃｃは外部から供給される電源電圧ＶｄｄとＶｄｄと等しくされ、第２の電源レンジ（Ｖ１からＶ２の範囲）では、内部電源電圧Ｖｃｃは外部から供給される電源電圧Ｖｄｄより低い一定電圧に固定される。よって、比較的高い電源電圧Ｖｄｄが外部から供給された場合、内部のトランジスタを保護するように内部電源電圧Ｖｃｃは外部電源電圧Ｖｄｄよりも低くされる。また、フラッシュメモリを非常に長い時間待機状態にする場合に、降圧回路制御端子１６に入力される信号で降圧回路１５やＶｄｄレベル検出回路１４を非活性に制御することができるので、このような場合に消費電力を低減することができる。

【０１４６】図２４は、本発明の他の実施の形態に係るフラッシュメモリの構成を示すブロック図である。この実施の形態のメモリでは、外部電源電圧Ｖｄｄが低いときに使用する、外部から供給される書き込みあるいは消去のための高電圧Ｖｐｐｅｘｔを受けるためのＶｐｐｅｘｔ入力端子１７が設けられる。この端子１７を設けることにより、外部電源電圧Ｖｄｄの値が比較的低いときは昇圧効率の悪い電圧Ｖｐｐを内部で昇圧せずにすむ。

【０１４７】上記端子１７に入力された電圧Ｖｐｐｅｘｔの電圧レベルはＶｐｐレベル検出回路１８で検出される。このＶｐｐレベル検出回路１８は、電圧Ｖｐｐｅｘｔの電圧レベルを検出して、信号ＰＬ及び信号ＰＬＢ（信号ＰＬの反転信号）を出力する。例えば、電圧Ｖｐｐｅｘｔの電圧レベルが所定のレベルである時は信号ＰＬは“Ｈ”となり、信号ＰＬＢは“Ｌ”となり、所定のレベルでない時は信号ＰＬは“Ｌ”となり、信号ＰＬＢは“Ｈ”となる。また、このメモリでは、上記電圧Ｖｐｐｅｘｔが所定の電圧であることが検出されると、端子１７に入力された電圧Ｖｐｐｅｘｔを電圧Ｖｐｐとして内部へ供給するＶｐｐ出力回路１９が設けられている。また、内部もしくは外部の電圧Ｖｐｐが所定の電圧に達してないときに、書き込みや消去を禁止するための書き込み禁止回路２０や消去禁止回路２１も設けられている。

【０１４８】図２５は、図２４に示したメモリにおける書き込み回路５の一部回路の具体的な構成を示している。なお、この図２５の回路において、前記図８に示した、図１のメモリで使用される書き込み回路５の一部回路と対応する箇所には同じ符号を付してその説明は省略する。

【０１４９】この図２５の回路が図８と異なっている点は、ＮＡＮＤ論理ゲート回路Ｇ８で構成される書き込み禁止回路６の出力信号が、３個のＮＡＮＤ論理ゲート回路Ｇ９、Ｇ１０、Ｇ１２にそれぞれ供給されることである。外部電源電圧Ｖｄｄの値が比較的低い場合で、電圧Ｖｐｐｅｘｔが所定の電圧でない場合、書き込み制御信号ＷＲＩＴＥ１とＷＲＩＴＥ２は発生されず、書き込み動作は禁止される。これにより、外部電源電圧Ｖｄｄの値が比較的低く、電圧Ｖｐｐが低くて正常な書き込みが不能な場合は、自動的に書き込みが禁止され、メモリセルがデータ“１”と“０”の間の異常な状態になること等が防止される。

【０１５０】図２６は、図２４に示したメモリにおける消去回路６の一部回路の具体的な構成を示している。この図２６に示した回路は、データの書き込み時に、前記メモリセルアレイ１内のソース線ＳＲＣ０、ＳＲＣ１に所定の電圧を出力する回路であり、図１のメモリで使用される前記図１１に示した回路に対応している。従って、図１１と対応する箇所には同じ符号を付してその説明は省略する。この図２６の回路が前記図１１のものと異なる点は、ＮＡＮＤ論理ゲート回路Ｇ１４で構成される消去禁止回路２１の出力信号が前記３個のＮＡＮＤ論理ゲート回路Ｇ１５～Ｇ１７にそれぞれ供給されることである。外部電源電圧Ｖｄｄの値が比較的低い場合で、電圧Ｖｐｐｅｘｔが所定の電圧でない場合、ソース線ＳＲＣ０とＳＣＲ１にはＶｐｐは印加されず消去は禁止される。これにより、外部電源電圧Ｖｄｄの値が比較的低く、電圧Ｖｐｐが低くて、正常な消去動作が不能な場合は、自動的に消去が禁止され、メモリセルがデータ“１”と“０”の間の異常な状態になること等が防止される。

【０１５１】図２７は、図２４に示されるメモリにおけるＶｐｐ駆動回路８の一部回路の具体的な構成を示して

おり、図１のメモリで使用される前記図１５に示す回路に対応している。従って、図１５と対応する箇所には同じ符号を付してその説明は省略する。この図２７の回路が前記図１５のものと異なる点は、インバータＩ１０１とＮＡＮＤ論理ゲート回路Ｇ１０１が新たに設けられている点である。また、信号ＲＮＧＢの代わりに信号ＲＮＧＢ２が入力される点である。これによって、外部電源電圧Ｖｄｄの値が比較的高いときのみ前記信号ＦＩが発生される。

【０１５２】図２８は、図２４に示されるメモリにおけるＶｐｐ出力回路１９とＶｐｐレベル検出回路１８の具体的な回路構成を示している。この図２８において、インバータＩ２７～Ｉ３０、ＮＡＮＤ論理ゲート回路Ｇ３１、抵抗Ｒ８、Ｒ９、ｐチャネルＭＯＳトランジスタＱｐ２１～Ｑｐ２３及びｎチャネルＭＯＳトランジスタＱｎ２２～Ｑｎ２４でＶｐｐレベル検出回路１８が構成されている。

【０１５３】なお、上記差動増幅器６５の活性化を制御する差動増幅器６５内のトランジスタＱｐ２１のゲートには制御信号ＥＸＢ（信号ＥＸの反転信号）が供給されており、この制御信号ＥＸＢは、インバータＩ３０とＮＡＮＤ論理ゲート回路Ｇ３１とからなる回路で形成される。すなわち、上記インバータＩ３０には前記信号ＲＮＧＢが供給され、このインバータＩ３０の出力信号と共に前記信号ＬＬが上記ＮＡＮＤ論理ゲート回路Ｇ３１に供給される。そして、上記制御信号ＥＸＢは、このＮＡＮＤ論理ゲート回路Ｇ３１の出力信号として得られる。また、上記インバータＩ３０とＮＡＮＤ論理ゲート回路Ｇ３１とには、電源電圧として内部電源電圧Ｖｃｃが供給される。

【０１５４】このような構成のＶｐｐ出力回路１９において、抵抗Ｒ８とＲ９の直列接続ノードには外部から供給される電圧Ｖｐｐｅｘｔに比例した電圧が発生し、この電圧と、前記図２７で発生される定電圧Ｖｒｅｆとを、トランジスタＱｐ２１～Ｑｐ２３及びトランジスタＱｎ２２～Ｑｎ２４からなる差動増幅器６５で比較することで、電圧Ｖｐｐｅｘｔが検出される。すなわち、信号ＲＮＧＢが“Ｌ”となって外部電源電圧Ｖｄｄの値が比較的低いときに、電圧Ｖｐｐｅｘｔの電圧レベルが検出される。電圧Ｖｐｐｅｘｔが十分高いときは、信号ＰＬが“Ｈ”、ＰＬＢが“Ｌ”となり、電圧Ｖｐｐｅｘｔが低いときは、信号ＰＬが“Ｌ”となり、ＰＬＢが“Ｈ”となる。

【０１５５】高耐圧ｎチャネルＭＯＳトランジスタＱｈｎ４８～Ｑｈｎ５０と高耐圧ｐチャネルＭＯＳトランジスタＱｈｐ２３、Ｑｈｐ２４とでＶｐｐ出力回路１９が構成されている。すなわち、信号ＲＮＧＢが“Ｌ”となり、外部電源電圧Ｖｄｄの値が比較的低いとき、Ｖｐｐ検出回路１９でＶｐｐｅｘｔが十分高いと検出されると、トランジスタＱｈｎ４８がオンして、Ｖｐｐｅｘｔが Ｖｐｐとして出力される。

【０１５６】なお、図２４のメモリで説明しなかった他の回路、例えばＶｄｄレベル検出回路１４、Ｖｐｐ発生回路７等は、図１のメモリに設けられているものと同様に構成されているので、それらの説明は省略する。

【０１５７】図２９及び図３０は、本発明のフラッシュメモリの応用例を示している。図２９は本発明のフラッシュメモリを携帯電話８１に内蔵させて、通信プロトコルを記憶させる用途に使用したものである。通常、携帯電話８１の電源として、１．５Ｖの電池８２が１個使用される。

【０１５８】図３０は、本発明のフラッシュメモリを携帯型コンピュータ８３に内蔵させて、ＢＩＯＳを記憶させる用途に使用したものである。この携帯型コンピュータ８３の電源として、１．５Ｖの電池２８が２個使用される。

【０１５９】このように、電源電圧の異なるシステムにおいても、本発明のフラッシュメモリは容易に適用できるように構成されている。

【０１６０】上記説明した本発明は、以下のように要約することができる。

【０１６１】即ち、本発明の半導体装置は、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記電圧レベル検出回路で電源電圧レベルが所定レベルよりも低いことが検出されたときに、上記電源電圧よりも高い電圧レベルの第１の電圧を発生する第１の電圧発生回路（Ｖｈ発生回路１０）と、上記外部電源電圧および上記第１の電圧が供給され、これら外部電源電圧および第１の電圧に対応した高レベル電圧を有する駆動信号を発生する駆動信号発生回路（Ｖｐｐ駆動回路８）と、上記駆動信号によって駆動され、上記外部電源電圧よりも高い電圧レベルの第２の電圧を発生する第２の電圧発生回路（Ｖｐｐ発生回路７）とを具備している。

【０１６２】本発明の半導体記憶装置は、データの書き込みが可能なメモリセル（メモリセルＭ）と、上記メモリセルにデータの書き込みを行う書き込み回路（書き込み回路５）と、外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路（Ｖｐｐレベル検出回路１８）と、上記メモリセルにデータ書き込みを行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の書き込み電圧を発生する電圧発生回路（Ｖｐｐ発生回路７）と、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを

禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記書き込み回路による上記メモリセルへのデータ書き込みを可能にする書き込み禁止回路（書き込み禁止回路２０）とを具備している。

【０１６３】本発明の半導体記憶装置は、データの書き込み／消去が可能なメモリセル（Ｍ）と、上記メモリセルのデータを消去する消去回路（消去回路６）と、外部から供給される第１の外部電源電圧の電圧レベルを検出する第１の電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、外部から供給される第２の外部電源電圧の電圧レベルを検出する第２の電圧レベル検出回路（Ｖｐｐレベル検出回路１８）と、上記メモリセルのデータ消去を行う際に上記メモリセルに印加する、上記第１の外部電源電圧よりも高電圧の消去電圧を発生する電圧発生回路（Ｖｐｐ発生回路７）と、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも低くかつ上記第２の電圧レベル検出回路で第２の外部電源電圧レベルが第２の所定レベルよりも低いことが検出されたときは上記消去回路による上記メモリセルへのデータ消去を禁止し、上記第１の電圧レベル検出回路で第１の外部電源電圧レベルが第１の所定レベルよりも高いことが検出されたときは上記消去回路による上記メモリセルのデータ消去を可能にする消去禁止回路（消去禁止回路２１）とを具備している。

【０１６４】本発明の不揮発性半導体記憶装置は、複数の不揮発性メモリセル（Ｍ）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記電圧レベル検出回路の電圧レベル検出結果に応じて同時に書き込みを行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルへデータの書き込みを行う書き込み回路（書き込み回路５）とを具備している。

【０１６５】本発明の不揮発性半導体記憶装置は、複数の不揮発性メモリセル（Ｍ）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記電圧レベル検出回路の電圧レベル検出結果に応じて同時にデータ消去を行う上記不揮発性メモリセルの個数を変えて上記複数の不揮発性メモリセルのデータ消去を行う消去回路（消去回路２１）とを具備している。

【０１６６】本発明の不揮発性半導体記憶装置は、不揮発性メモリセル（Ｍ）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記不揮発性メモリセルへのデータ書き込み時に上記不揮発性メモリセルに印加される書き込み電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する書き込み電圧制限回路（Ｖｐｐリミッタ９）とを具備している。

【０１６７】本発明の不揮発性半導体記憶装置は、不揮発性メモリセル（Ｍ）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記不揮発性メモリセルのデータ消去時に上記不揮発性メモリセルに印加される消去電圧の値を上記電圧レベル検出回路の電圧レベル検出結果に応じて制限する消去電圧制限回路（Ｖｐｐリミッタ９）とを具備している。

【０１６８】本発明の半導体記憶装置は、メモリセル（Ｍ）と、上記メモリセルの動作を制御する制御回路（読み出し回路２、データ入出力回路３、書き込み回路５、Ｖｐｐ発生回路７，Ｖｐｐリミッタ９、Ｖｐｐ駆動回路８）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記電圧レベル検出回路で外部電源電圧レベルが所定レベルよりも高いことが検出されたときに、上記外部電源電圧よりも低い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する降圧回路（降圧回路１５）とを具備している。

【０１６９】本発明の半導体記憶装置は、メモリセル（Ｍ）と、上記メモリセルの動作を制御する制御回路（読み出し回路２、データ入出力回路３、書き込み回路５、Ｖｐｐ発生回路７，Ｖｐｐリミッタ９、Ｖｐｐ駆動回路８）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記電圧レベル検出回路で外部電源電圧レベルが所定レベルよりも低いことが検出されたときに、上記外部電源電圧よりも高い電圧レベルの電源電圧を発生して上記制御回路の少なくとも一部に供給する昇圧回路（Ｖｈ発生回路１０）とを具備している。

【０１７０】本発明の半導体記憶装置は、メモリセル（Ｍ）と、外部から供給される外部電源電圧の電圧レベルを検出する電圧レベル検出回路（Ｖｄｄレベル検出回路１４）と、上記メモリセルに記憶されているデータを読み出す読み出し回路（読み出し回路２）と、上記電圧レベル検出回路の電圧レベル検出結果に応じて外部に対する電流供給能力が変更され、上記読み出し回路が読み出したデータを外部へ出力する出力回路（データ入出力回路３）とを具備している。

【０１７１】本発明の半導体記憶装置は、メモリセル（Ｍ）と、上記メモリセルの動作を制御する制御回路（読み出し回路２、データ入出力回路３、書き込み回路５、Ｖｐｐ発生回路７，Ｖｐｐリミッタ９、Ｖｐｐ駆動回路８）と、制御信号が入力される入力端子（降圧回路制御端子１６）と、外部から供給される外部電源電圧を受け、この外部電源電圧から上記制御回路に供給する内部電源電圧を発生すると共にこの内部電源電圧の値を制御し、上記制御信号に基づいて上記内部電源電圧を上記制御回路に供給するか否かの制御を行う内部電源電圧制御回路（降圧回路１５）とを具備している。

【０１７２】以上のようにして、本発明に係る半導体記

憶装置は、第１の高電圧発生回路と第２の高電圧発生回路を備え、外部電源電圧が低いとき第１の高電圧発生回路で発生させた高電圧を第２の高電圧発生回路に供給し、外部電源電圧が低いときに高電圧が発生できないのを防ぐ。

【０１７３】また、外部電源電圧が低いときに、書き込み用の電圧が供給されたことを検出しないと書き込みを禁止し、書き込み不良を防ぐ。

【０１７４】さらに、外部電源電圧が低いときに、消去用の電圧が供給されたことを検出しないと消去を禁止し、消去不良を防ぐ。

【０１７５】また、外部電源電圧の値に応じて同時に書き込みするメモリセルの数を変え、外部電源電圧が低いときには同時に書き込みするメモリセルの数を減らして、消費電力を低減する。

【０１７６】さらに、外部電源電圧の値に応じて同時に消去するメモリセルの数を変え、外部電源電圧が低いときには同時に消去するメモリセルの数を減らして、消費電力を低減する。

【０１７７】また、外部電源電圧に応じて書き込み電圧を変え、外部電源電圧が低いときには書き込み電圧を低くして、消費電力を低減する。

【０１７８】また、外部電源電圧に応じて消去電圧を変え、外部電源電圧が低いときには消去電圧を低くして、消費電力を低減する。

【０１７９】また、外部電源電圧が高いとき、降圧回路によって降圧した電圧を他の回路に供給し、高い外部電源電圧を内部トランジスタに直接印加しないことにより、内部トランジスタの信頼性を確保する。

【０１８０】また、外部電源電圧が低いとき、昇圧回路によって昇圧された電圧を他の回路に供給し、低い電源電圧によって動作不良するのを防ぐ。

【０１８１】また、外部電源電圧が高いとき、データ出力用のトランジスタの電流供給の能力を下げ、高い電源電圧時にデータ出力回路で消費される電力の無駄を防ぐ。

【０１８２】また、内部電源を制御する回路とその内部電源を内部回路に供給するか否かを外部から制御できるようにし、システムが長い待機状態になったとき内部電源の供給を止め、スタンバイ電力を低減する。

【０１８３】これらによって複数の電源電圧下で動作する半導体記憶装置を実現することができる。また、消費電力の少ない半導体記憶装置を実現することができる。

【０１８４】なお、本発明は上述した実施の形態に限定されるものではない。例えば上記実施の形態では、本発明をフラッシュメモリに適用した場合について説明したが、その他に、ＲＯＭ、ＰＰＯＭ、ＥＰＲＯＭ，ＥＥＰＲＯＭ、ＳＲＡＭ、ＤＲＡＭ等の半導体記憶装置に対しても同様に実施することができる。

【０１８５】その他、本発明の要旨を逸脱しない範囲で、種々変型して実施することができる。

【０１８６】

【発明の効果】以上説明したように、本発明によれば、複数の電源電圧下で動作する半導体記憶装置を実現することができる。また、消費電力の少ない半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図１】本発明に係るフラッシュメモリの全体の構成を示すブロック図。

【図２】図１中のメモリセルアレイ内に設けられているメモリセルの素子断面構造を示す図。

【図３】図１に示される読み出し回路、データ入出力回路及びデータ入出力端子の一部回路の構成を具体的に示す図。

【図４】図１に示される読み出し回路、データ入出力回路及びデータ入出力端子の一部回路の構成を具体的に示す図。

【図５】図１のメモリにおけるデータ読み出しの動作を示すタイミングチャート。

【図６】図１に示される書き込み回路とデータ入出力回路とデータ入出力端子の一部回路の具体的な回路構成を示す図。

【図７】図１に示される書き込み回路とデータ入出力回路とデータ入出力端子の一部回路の具体的な回路構成を示す図。

【図８】図１中の書き込み回路において、書き込み信号ＷＲＩＴＥ１、ＷＲＩＴＥ２を発生する回路部分の具体的な回路構成を示す図。

【図９】図１のメモリにおいて外部電源電圧Ｖｄｄの値が比較的高い時のデータ書き込みの動作を示すタイミングチャート。

【図１０】図１のメモリにおいて外部電源電圧Ｖｄｄの値が比較的低い時のデータ書き込みの動作を示すタイミングチャート。

【図１１】図１中の消去回路の一部回路の具体的な回路構成を示す図。

【図１２】図１のメモリにおいて外部電源電圧Ｖｄｄの値が比較的高い時のデータ消去の動作を示すタイミングチャート。

【図１３】図１のメモリにおいて外部電源電圧Ｖｄｄの値が比較的低い時のデータ消去の動作を示すタイミングチャート。

【図１４】図１中のＶｐｐ発生回路の具体的な回路構成を示す図。

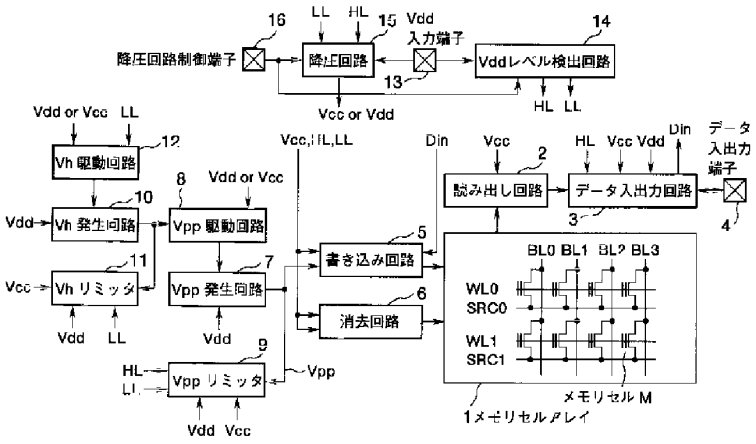
【図１５】図１中のＶｐｐ駆動回路の一部回路の具体的構成を示す図。

【図１６】図１に示されるＶｐｐ駆動回路の残りの回路部分の構成を示す図。

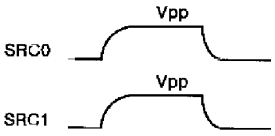
【図１７】図１６のＶｐｐ駆動回路で発生される駆動信号の一例を示すタイミングチャート。

【図１８】図１に示されるＶｐｐリミッタの具体的な回路構成を示す図。
【図１９】図１に示されるＶｈ発生回路の具体的な回路構成を示す図。
【図２０】図１に示されるＶｈ駆動回路の具体的な回路構成を示す図。
【図２１】図１に示されるＶｈリミッタの具体的な回路構成を示す図。
【図２２】図１に示されるＶｄｄレベル検出回路と降圧回路の具体的な回路構成を示す図。
【図２３】図１のメモリにおける降圧回路の特性を示す図。
【図２４】本発明の他の実施の形態に係るフラッシュメモリの構成を示すブロック図。
【図２５】図２４に示したメモリにおける書き込み回路の一部回路の具体的な構成を示す図。
【図２６】図２４に示したメモリにおける消去回路の一部回路の具体的な構成を示す図。
【図２７】図２４に示されるメモリにおけるＶｐｐ駆動回路の一部回路の具体的な構成を示す図。
【図２８】図２４に示されるメモリにおけるＶｐｐ出力回路とＶｐｐレベル検出回路の具体的な回路構成を示す図。
【図２９】本発明のフラッシュメモリを携帯電話に応用した例を示す図。
【図３０】本発明のフラッシュメモリを携帯型コンピュータに応用した例を示す図。
【符号の説明】
１…メモリセルアレイ、
２…読み出し回路、
３…データ入出力回路、
４…データ入出力端子、
５…書き込み回路、
６…消去回路、
７…Ｖｐｐ発生回路、
８…Ｖｐｐ駆動回路、
９…Ｖｐｐリミッタ、
１０…Ｖｈ発生回路、
１１…Ｖｈリミッタ、
１２…Ｖｈ駆動回路、
１３…外部電源電圧Ｖｄｄの入力端子、
１４…Ｖｄｄレベル検出回路、
１５…降圧回路、
１６…降圧回路制御端子、
１７…Ｖｐｐｅｘｔ入力端子、
１８…Ｖｐｐレベル検出回路、
１９…Ｖｐｐ出力回路、
２０…書き込み禁止回路、
２１…消去禁止回路。

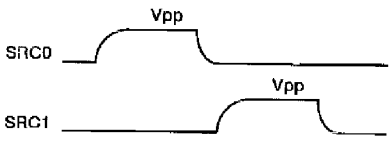
【図１】



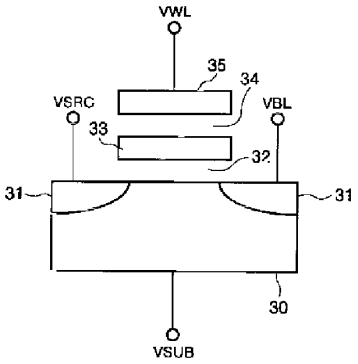
【図１２】



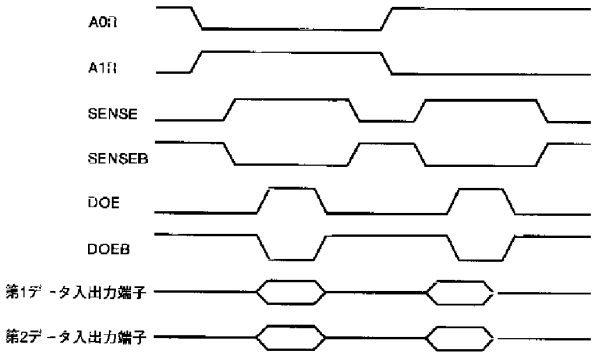
【図１３】



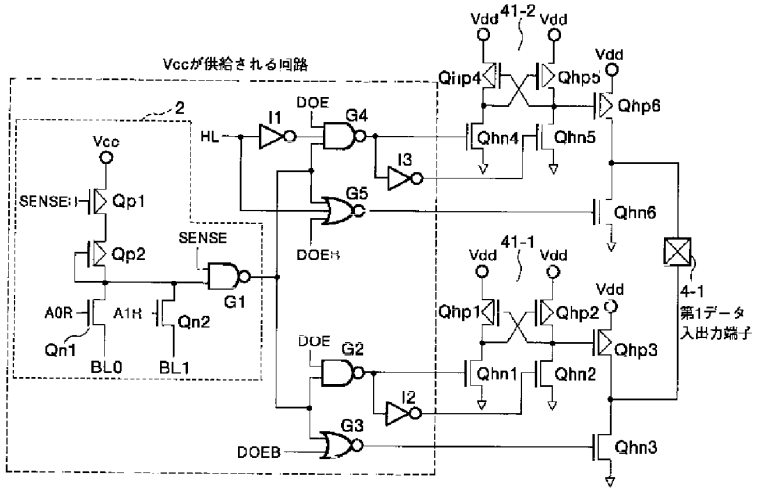
【図２】


VWL
35
34
VSRC
VBL
33
32
31
31
30
VSUB

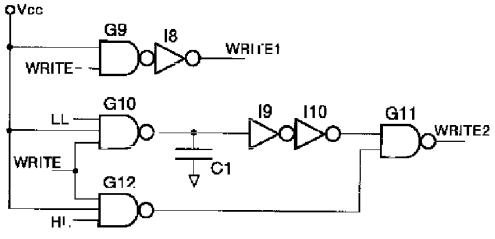
【図５】


A0R
A1R
SENSE
SENSEB
DOE
DOEB
第1データ入出力端子
第2データ入出力端子

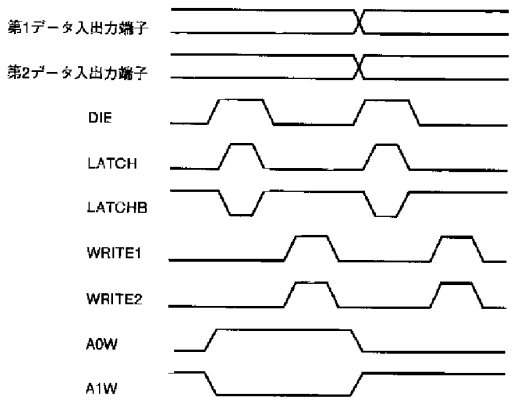
【図３】


Vccが供給される回路
2
Vcc
SENSE
Qp1
Qp2
A0R
A1R
Qn1
Qn2
BL0
BL1
G1
HL
I1
DOE
G4
I3
G5
DOEB
SENSE
Vdd
41-2
Qhp4
Qhp5
Qhp6
Qhn4
Qhn5
Qhn6
41-1
Qhp1
Qhp2
Qhp3
Qhn1
Qhn2
Qhn3
4-1
第1データ
入出力端子
G2
I2
G3
DOEB

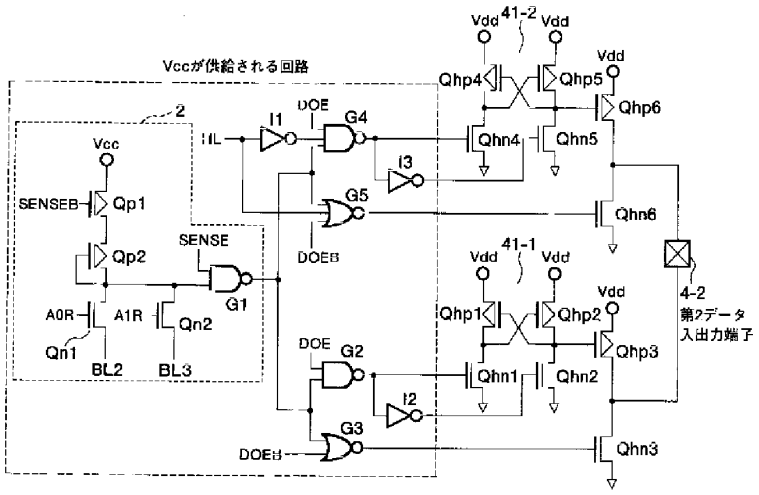
【図８】


Vcc
G9
I8
WRITE1
WRITE
LL
G10
I9
I10
G11
WRITE2
C1
WRITE
G12
HL

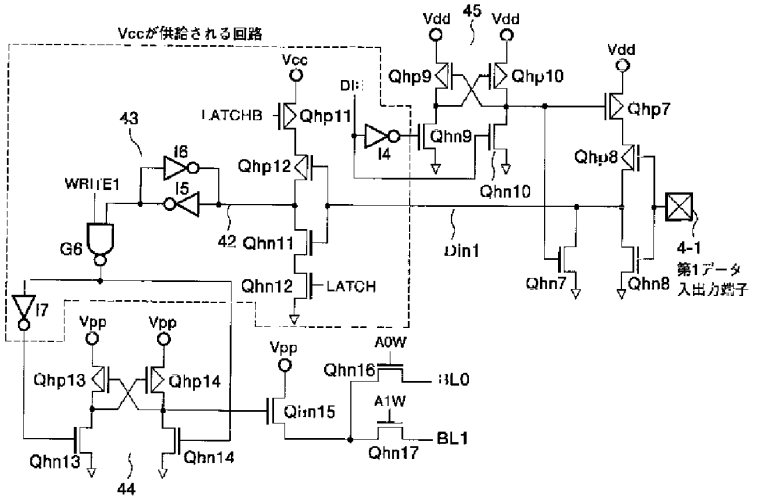
【図９】


第1データ入出力端子
第2データ入出力端子
DIE
LATCH
LATCHB
WRITE1
WRITE2
A0W
A1W

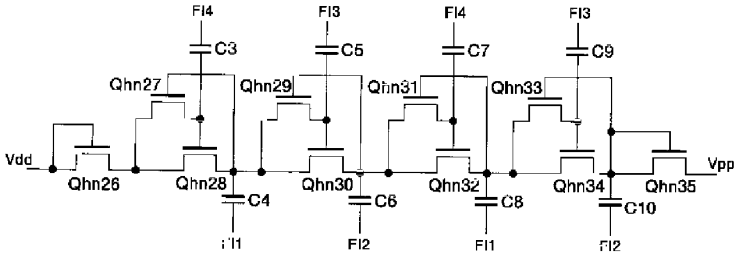
【図４】


Vccが供給される回路
2
Vcc
SENSEB
Qp1
Qp2
SENSE
G1
A0R
A1R
Qn2
Qn1
BL2
BL3
HL
I1
DOE
G4
I3
G5
DOEB
G2
I2
G3
DOEB
Vdd
41-2
Qhp4
Qhp5
Qhp6
Qhn4
Qhn5
Qhn6
41-1
Qhp1
Qhp2
Qhp3
Qhn1
Qhn2
Qhn3
4-2
第2データ
入出力端子

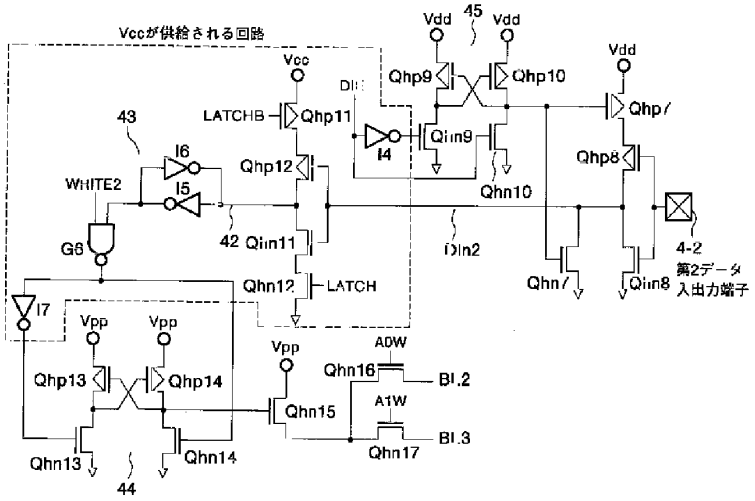
【図６】


Vccが供給される回路
Vcc
Vdd
45
Qhp9
Qhp10
Qhp7
Qhp8
Qhn9
Qhn10
DI
I4
LATCHB
Qhp11
43
I8
Qhp12
WRITE1
I5
G6
42
Qhn11
Qhn12
LATCH
I7
Din1
Qhn7
Qhn8
4-1
第1データ
入出力端子
Vpp
Qhp13
Qhp14
Qhn13
Qhn14
44
Qhn15
A0W
Qhn16
BL0
A1W
Qhn17
BL1

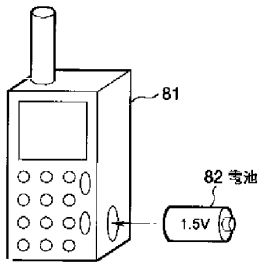
【図１４】


FI4
FI3
C3
C5
C7
C9
Qhn27
Qhn29
Qhn31
Qhn33
Vdd
Qhn26
Qhn28
Qhn30
Qhn32
Qhn34
Qhn35
Vpp
C4
C6
C8
C10
FI1
FI2

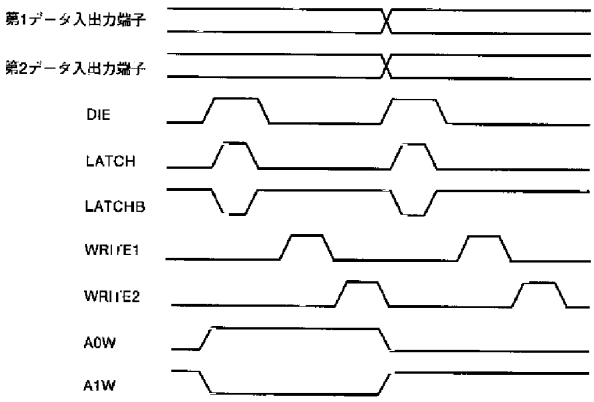
【図７】



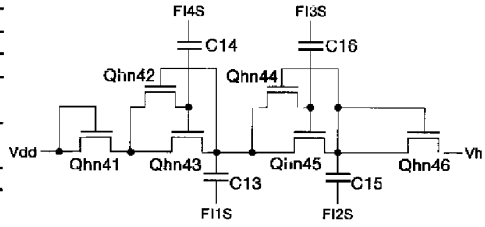
【図２９】



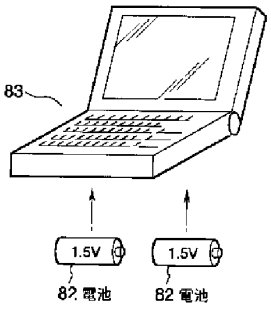
【図１０】



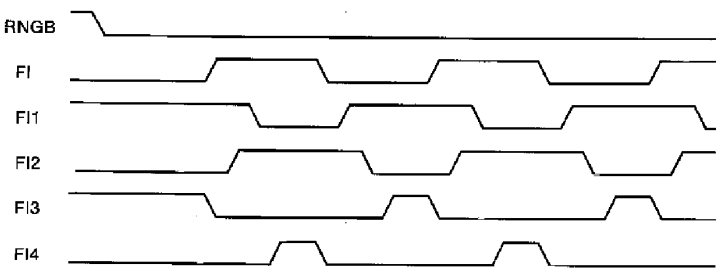
【図１９】



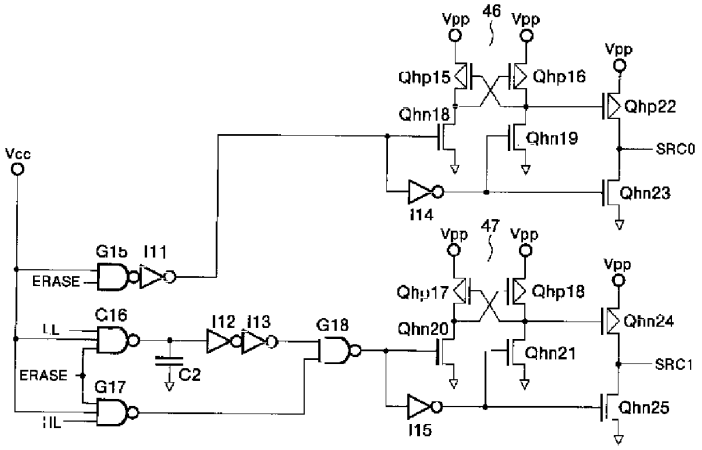
【図３０】



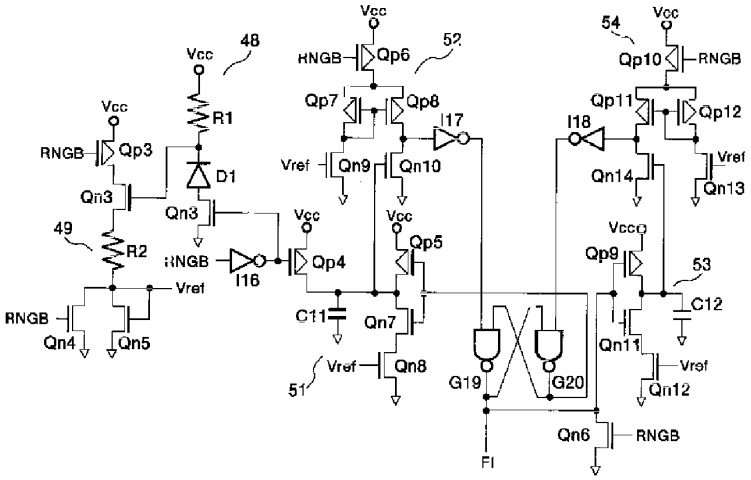
【図１７】



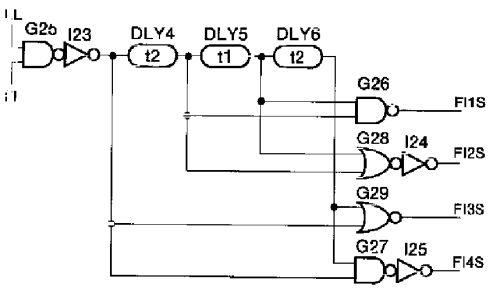
【図１１】



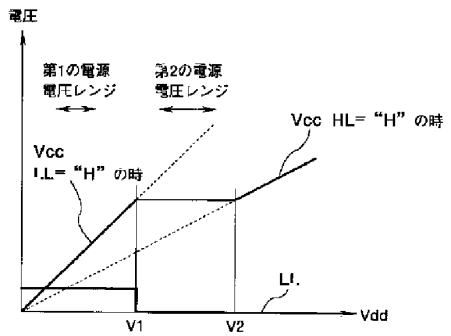
【図１５】



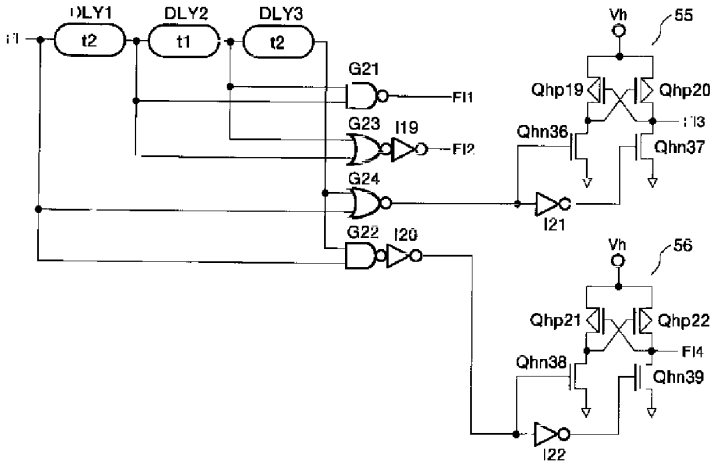
【図２０】



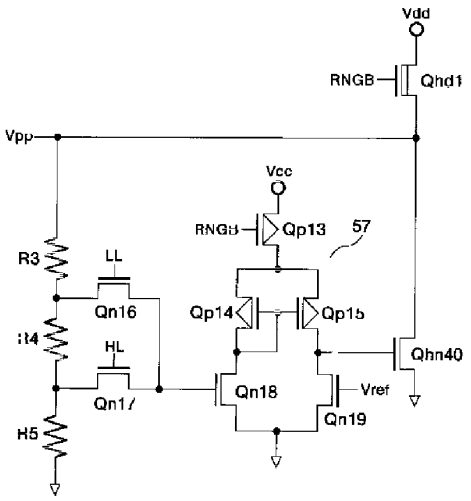
【図２３】



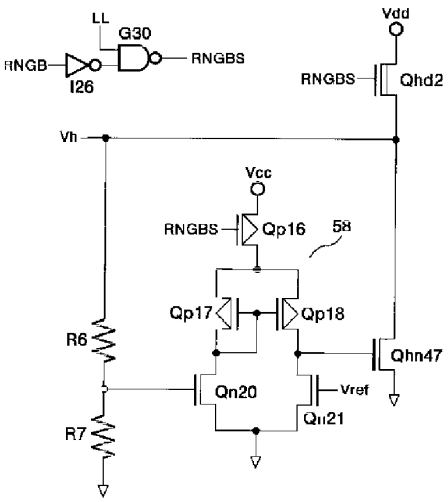
【図１６】


DLY1
DLY2
DLY3
t2
t1
t2
G21
G23
I19
G24
G22
I20
I21
I22
Vh
55
56
Qhp19
Qhp20
Qhn36
Qhn37
Qhp21
Qhp22
Qhn38
Qhn39

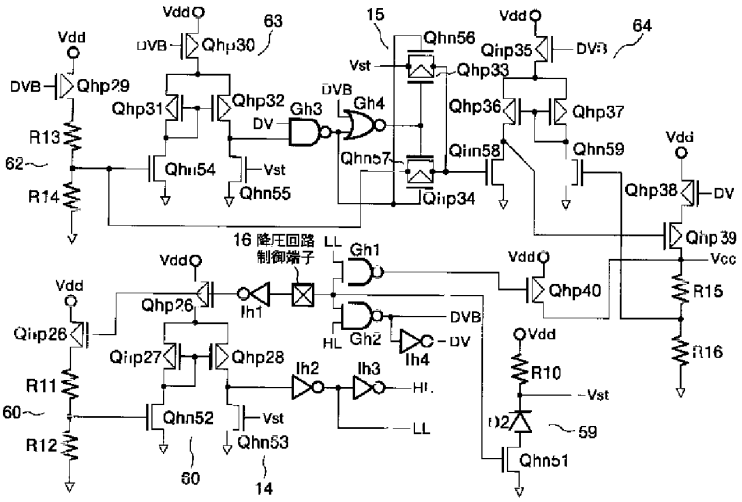
【図１８】


Vdd
RNGB
Qhd1
Vpp
Vcc
RNGB
Qp13
57
R3
LL
Qn16
Qp14
Qp15
HL
Qhn40
Qn18
Vref
Qn19
R5

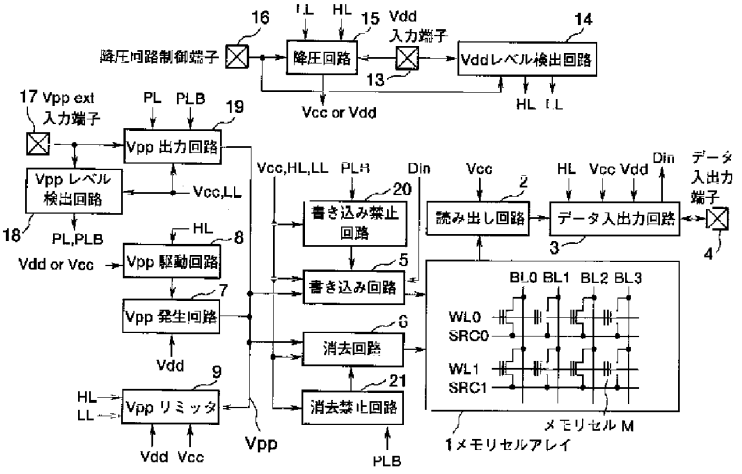
【図２１】


LL
G30
RNGB
I26
RNGBS
Vdd
RNGBS
Qhd2
Vh
Vcc
RNGBS
Qp16
58
Qp17
Qp18
R6
Qhn47
Qn20
Vref
Qn21
R7

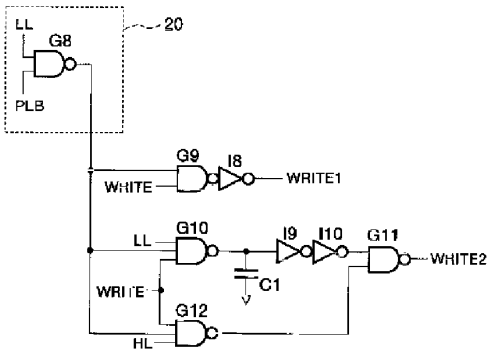
【図２２】


Vdd
DVB
Qhp30
63
15
Qhn56
Qhp35
64
Vst
Qhp33
Qhp29
Qhp31
Qhp32
Gh3
Gh4
Qhp36
Qhp37
R13
62
Qhn54
Qhn55
Qhn57
Qhn58
Qhn59
R14
Qhp34
Qhp38
DV
Qhp39
Vcc
16 降圧回路制御端子
LL
Gh1
Qhp40
R15
Qhp26
Ih1
Qhp27
Qhp28
Gh2
Ih4
HL
Ih2
Ih3
R10
R11
60
Qhn52
Qhn53
R12
59
Qhn51
14

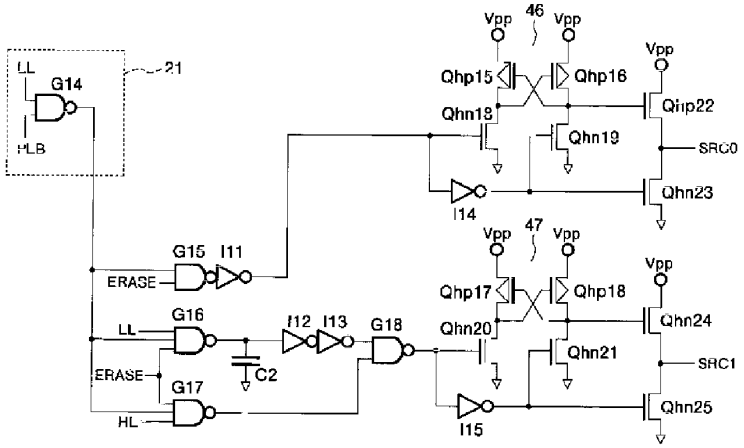
【図２４】


16
降圧回路制御端子
降圧回路
15
入力端子
Vddレベル検出回路
14
13
Vcc or Vdd
17 Vpp ext 入力端子
PL PLB
19
Vpp 出力回路
Vpp レベル検出回路
Vcc,LL
18
PL,PLB
Vdd or Vcc
HL
8
Vpp 駆動回路
7
Vpp 発生回路
Vdd
9
HL
LL
Vpp リミッタ
Vdd Vcc
Vpp
Vcc,HL,LL
PLB
Din
20
書き込み禁止回路
5
書き込み回路
6
消去回路
21
消去禁止回路
PLB
Vcc
2
読み出し回路
HL Vcc Vdd
Din
データ入出力回路
3
データ入出力端子
4
BL0 BL1 BL2 BL3
WL0
SRC0
WL1
SRC1
メモリセル M
1メモリセルアレイ

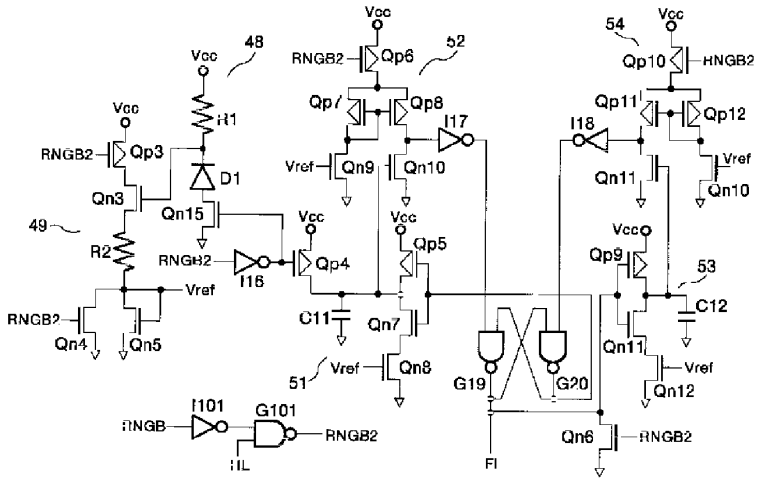
【図２５】


LL
G8
20
PLB
G9
I8
WHITE
WRITE1
LL
G10
I9
I10
G11
WHITE2
C1
WRITE
G12
HL

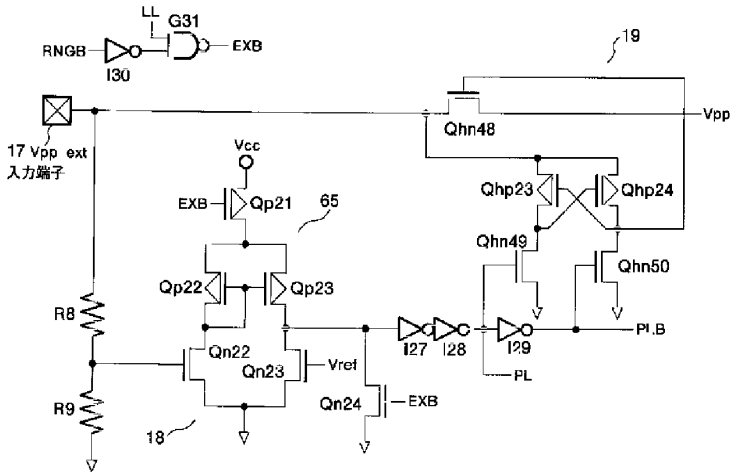
【図２６】


LL
G14
21
PLB
Vpp
46
Vpp
Vpp
Qhp15
Qhp16
Qhp22
Qhn18
Qhn19
SRC0
Qhn23
I14
G15
I11
ERASE
Vpp
47
Vpp
Vpp
Qhp17
Qhp18
Qhn24
G16
LL
I12
I13
G18
Qhn20
Qhn21
SRC1
C2
ERASE
G17
Qhn25
HL
I15

【図２７】


Vcc
48
Vcc
RNGB2
Qp6
52
Vcc
54
Qp10
RNGB2
Qp7
Qp8
I17
Qp11
Qp12
I18
Vcc
R1
RNGB2
Qp3
Vref
Qn9
Qn10
Qn11
Vref
Qn10
D1
Qn3
Qn15
Vcc
Vcc
Qp5
Vcc
49
R2
RNGB2
I16
Qp4
Qp9
53
Vref
C11
Qn7
C12
RNGB2
Qn4
Qn5
Qn11
51
Vref
Qn8
G19
G20
Vref
Qn12
I101
G101
RNGB
RNGB2
Qn6
RNGB2
HL
FI

【図２８】


G31
RNGB
EXB
I30
19
Vpp
Qhn48
17 Vpp ext
入力端子
Vcc
EXB
Qp21
65
Qhp23
Qhp24
Qhn49
Qhn50
Qp22
Qp23
R8
Qn22
Qn23
Vref
I27
I28
I29
PI.B
PL
R9
Qn24
EXB
18

Espacenet

Bibliographic data: JP2002237185 (A) — 2002-08-23

SEMICONDUCTOR MEMORY, AND SWITCHING METHOD OF SEMICONDUCTOR MEMORY

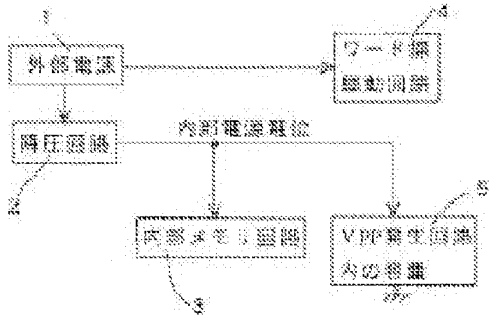
Inventor(s):	MOGI HIROSHI ±
Applicant(s):	SANYO ELECTRIC CO ±

Classification:	**- international:** ***G11C11/407;*** (IPC1-7): G11C11/407
	- European:
Application number:	JP20010035366 20010213
Priority number(s):	JP20010035366 20010213

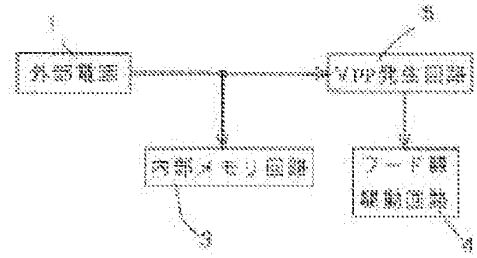
Abstract of JP2002237185 (A)

PROBLEM TO BE SOLVED: To switch products having different specifications of external power source voltage 5 V (internal step-down potential 3.3 V) and external power source voltage 3.3 V by a metal reticle. SOLUTION: A first semiconductor memory comprises an external power source 1, a voltage step-down circuit 2 stepping down external power source voltage supplied from the external power source 1 to the prescribed potential, an internal memory circuit 3 connected to the voltage step-down circuit 2, and a word line drive circuit 4 to which the external power source 1 is connected. A second semiconductor memory comprises an external power source 1, an internal memory circuit 3 to which the external power source 1 is connected, a VPP circuit 6 boosting external power source voltage supplied from the external power source 1 to the prescribed potential, and a word line drive circuit 4 connected to the VPP circuit 6. The first and the second semiconductor memory are switched by a metal reticle.

(a)



(b)



Last updated: 5.12.2011 Worldwide Database 5.7.31.93p

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2002－237185
（P2002－237185A）
(43)公開日　平成14年８月23日(2002.8.23)

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｇ１１Ｃ　11/407		Ｃ１１Ｃ　11/34	３５４Ｆ　５Ｂ０２４
			３５４Ｄ

審査請求　未請求　請求項の数５　ＯＬ　（全 ３ 頁）

(21)出願番号　特願2001－35366(P2001－35366)

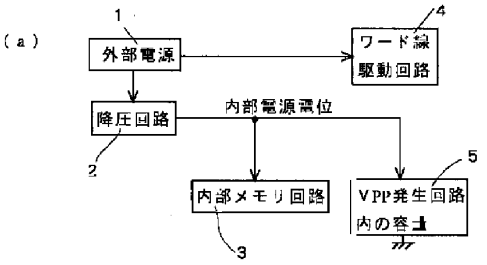
(22)出願日　平成13年２月13日(2001.2.13)

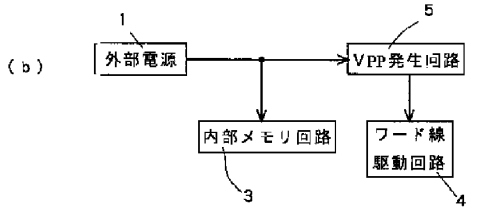
(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(72)発明者　茂木　比呂志
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(74)代理人　100111383
弁理士　芝野　正雅

Ｆターム(参考)　5B024 AA01 AA03 BA13 BA29 CA07 CA15

(54)【発明の名称】　半導体記憶装置、半導体記憶装置の切り替え方法

(57)【要約】
【課題】　外部電源電圧５Ｖ（内部降圧電位３．３Ｖ）版と外部電源電圧３．３Ｖ単一版の異なる仕様の製品をメタルレチクルで切り替える。
【解決手段】　外部電源１と、前記外部電源１から供給される外部電源電圧を所望電位まで降圧する降圧回路２と、前記降圧回路２に接続された内部メモリ回路３と、前記外部電源１が接続されたワード線駆動回路４とから成る第１の半導体記憶装置と、外部電源１と、前記外部電源１が接続された内部メモリ回路３と、前記外部電源１から供給される外部電源電圧を所望電位まで昇圧するＶＰＰ回路６と、前記ＶＰＰ回路６に接続されたワード線駆動回路４とから成る第２の半導体記憶装置とをメタルレチクル切り替えする。





【特許請求の範囲】
【請求項１】　外部電源と、
前記外部電源から供給される外部電源電圧を所望電位まで降圧する降圧回路と、
前記降圧回路に接続された内部メモリ回路と、
前記外部電源が接続されたワード線駆動回路とから成ることを特徴とする半導体記憶装置。
【請求項２】　前記降圧回路には昇圧回路内の容量が接続されていることを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】　外部電源と、
前記外部電源が接続された内部メモリ回路と、
前記外部電源から供給される外部電源電圧を所望電位まで昇圧する昇圧回路と、
前記昇圧回路に接続されたワード線駆動回路とから成ることを特徴とする半導体記憶装置。
【請求項４】　外部電源と、
前記外部電源から供給される外部電源電圧を所望電位まで降圧する降圧回路と、
前記降圧回路に接続された内部メモリ回路と、
前記外部電源が接続されたワード線駆動回路とから成る第１の半導体記憶装置と、
外部電源と、
前記外部電源が接続された内部メモリ回路と、
前記外部電源から供給される外部電源電圧を所望電位まで昇圧する昇圧回路と、
前記昇圧回路に接続されたワード線駆動回路とから成る第２の半導体記憶装置とをマスク切り替えすることを特徴とする半導体記憶装置の切り替え方法。
【請求項５】　前記マスク切り替え工程は、メタルレチクル切り替えであることを特徴とする請求項４に記載の半導体記憶装置の切り替え方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体記憶装置に関し、更に言えば、外部電源を降圧して内部電源を作り動作させるＤＲＡＭ等の半導体記憶装置において、例えば外部電源電圧５Ｖ（内部降圧電位３．３Ｖ）版と外部電源電圧３．３Ｖ単一版の異なる仕様の製品をメタルレチクル等の切り替えで作るメモリに関する。
【０００２】
【従来の技術】従来の半導体記憶装置、特にＤＲＡＭはプロセスの微細化に伴いＬＳＩ内部の信頼性を確保するため、外部電源を降圧回路を用いて降圧し、内部電源を発生させて内部回路を動作させている。
【０００３】この場合、ＤＲＡＭ特有のワード線電位は内部の電源よりも高い電圧レベルが必要なため、VPP（＞VCC）発生回路等のチャージポンプ回路を使い昇圧電位を発生させて、ワード線駆動回路の電源として使うのが一般的であった。
【０００４】即ち、図２に示すように外部電源１０（例えば、外部電源電圧５Ｖ）を降圧回路１１により所望の内部降圧電位（例えば、内部電源電位３．３Ｖ）まで降圧し、この内部降圧電位を用いて内部メモリ回路１２を動作させる。また、ワード線駆動回路１４を動作させる場合には、VPP発生回路１３を用いて前記内部降圧電位を所望電位までに昇圧し、当該ワード線駆動回路１４を動作させている。
【０００５】
【発明が解決しようとする課題】上述したようにVPP発生回路１３は、チャージポンプ回路から成り、ポンプの駆動用に大きな容量が必要となる。そのため、チップサイズが大きくなるといった問題があった。
【０００６】また、降圧回路で発生させる内部電源電圧は、電流駆動能力がある程度制限されるため、センスアンプの動作時等、ピーク電流が大きく流れると、その電位が大きく変動するといった問題もあった。
【０００７】
【課題を解決するための手段】そこで、本発明の半導体記憶装置は上記課題に鑑み、外部電源と、前記外部電源から供給される外部電源電圧を所望電位まで降圧する降圧回路と、前記降圧回路に接続された内部メモリ回路と、前記外部電源が接続されたワード線駆動回路とから成る第１の半導体記憶装置と、外部電源と、前記外部電源が接続された内部メモリ回路と、前記外部電源から供給される外部電源電圧を所望電位まで昇圧する昇圧回路と、前記昇圧回路に接続されたワード線駆動回路とから成る第２の半導体記憶装置とをマスク切り替えすることを特徴とする。
【０００８】
【発明の実施の形態】以下、本発明の半導体記憶装置に係る一実施形態について図面を参照しながら説明する。
【０００９】ここで、本発明の特徴は、外部電源を降圧して内部電源を作り動作させるＤＲＡＭ等の半導体記憶装置において、例えば外部電源電圧５Ｖ（内部降圧電位３．３Ｖ）版と外部電源電圧３．３Ｖ単一版の異なる仕様の製品をメタルレチクル等で切り替え可能にしたことである。
【００１０】図１（ａ）は本発明の半導体記憶装置における、外部電源電圧５Ｖ（内部降圧電位３．３Ｖ）版の実施形態で、図１（ｂ）は外部電源電圧３．３Ｖ単一版の実施形態を説明するための図である。
【００１１】即ち、図１（ａ）に示すように外部電源電圧５Ｖ（内部降圧電位３．３Ｖ）版の場合、外部電源１（外部電源電圧５Ｖ）を降圧回路２により所望の内部降圧電位（内部電源電位３．３Ｖ）まで降圧し、この内部降圧電位を用いて内部メモリ回路３を動作させる。
【００１２】また、ワード線駆動回路４を動作させる場合には、従来技術で説明したような昇圧電位の代わりに前記外部電源１から外部電源電圧を直接供給している。

【００１３】そして、使わなくなったVP P発生回路５内の大きな容量は、内部電源の安定化容量として用いる。

【００１４】更に、低電圧版、即ち外部電源電圧３．３Ｖ単一版の場合には、図１（ｂ）に示すように外部電源１（外部電源電圧３．３Ｖ）を直接、内部メモリ回路３に供給して当該内部メモリ回路３を動作させる。

【００１５】また、ワード線駆動回路４を動作させる場合には、前記外部電源１（外部電源電圧３．３Ｖ）をＶPP発生回路５を用いてワード線昇圧電位まで昇圧し、当該ワード線駆動回路４を動作させている。

【００１６】このとき、降圧回路は未使用で、内部メモリ回路３には外部電源が直接供給されるため、電位変動は少なく、安定化容量は必要なくなる。

【００１７】このように本発明では、外部電源５Ｖ版の場合、内部電源電位の安定化が図れ、またVPP発生回路５を使用していないため、省電力化が図れる。

【００１８】更に、本発明では上記外部電源５Ｖ版と低電圧版がメタル等のレチクル切り替えで生産可能となり、開発コストの低減化並びに納期期間の短縮化が図れる。

【００１９】

【発明の効果】本発明によれば、外部電源が高電圧版の場合、内部電源電位の安定化が図れ、また昇圧回路を使用しないため、省電力化が図れる。

【００２０】また、外部電源が低電圧版の場合、内部メモリ回路に外部電源が直接供給されるため、電位変動が少なくて済む。

【００２１】更に、外部電源が異なる（高電圧版と低電圧版）仕様の製品をメタル等のレチクル切り替えで生産可能となり、開発コストの低減化並びに納期期間の短縮化が図れる。

【図面の簡単な説明】

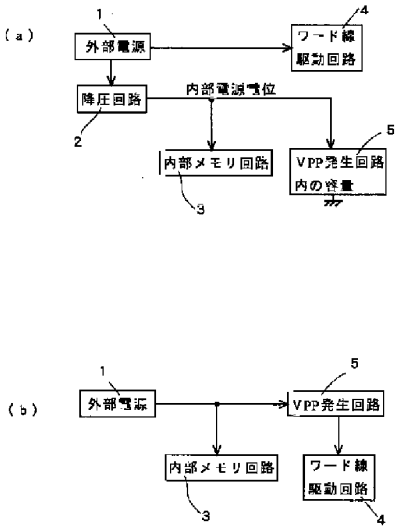
【図１】本発明の一実施形態の半導体記憶装置を示す断面図である。

【図２】従来の半導体記憶装置を示す図である。

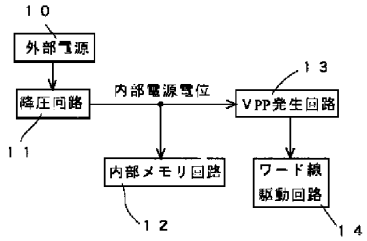
【符号の説明】

1　外部電源
2　降圧回路
3　内部メモリ回路
4　ワード線駆動回路
5　VPP発生回路

【図１】



【図２】



Original document

BOOSTING POTENTIAL GENERATING CIRCUIT AND CONTROL METHOD

Page bookmark	JP2003249076 (A) - BOOSTING POTENTIAL GENERATING CIRCUIT AND CONTROL METHOD
Inventor(s):	NARUI SEIJI; MAE KENJI; MORINO MAKOTO; KUBONAI SHUICHI +
Applicant(s):	ELPIDA MEMORY INC; HITACHI ULSI SYS CO LTD; HITACHI LTD +
Classification: - **international:**	***G11C11/407; G11C11/4074; G11C5/14; H01L21/822; H01L21/8242; H01L27/04; H01L27/10; H01L27/108; H02M3/07;*** (IPC1-7): G11C11/407; H01L21/822; H01L21/8242; H01L27/04; H01L27/10; H01L27/108; H02M3/07
- European:	G11C11/4074; G11C5/14P
Application number:	JP20020044533 20020221
Priority number(s):	JP20020044533 20020221
Also published as:	JP4257064 (B2) US2003202390 (A1) US6954386 (B2) TWI297529 (B)

Abstract of JP2003249076 (A)

Translate this text

PROBLEM TO BE SOLVED: To provide a boosting potential generating circuit in which high speed operation can be performed in a semiconductor memory, while miniaturization also can be performed, even if external power source voltage is dropped in a semiconductor memory. ; SOLUTION: In a boosting potential generating circuit provided with a capacitive

MOS transistor and a transfer MOS transistor and used for a DRAM comprising memory cells, a boosting potential generating circuit of small area and large capacitance can be realized by making a gate insulation film of the capacitive MOS transistor a thinner film than a gate insulation film of a MOS transistor constituting a memory cell. In this case, it is preferable that thickness of a gate insulation film of the transfer MOS transistor is made the same as or thicker than that of the capacitive MOS transistor. ; COPYRIGHT: (C)2003,JPO

Description not available for JP2003249076 (A) Description of corresponding document: US2003202390 (A1)

Translate this text

Claims not available for JP2003249076 (A)
Claims of corresponding document:
US2003202390 (A1)

Translate this text

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2003－249076
（P2003－249076A）
(43)公開日　平成15年９月５日(2003.9.5)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｇ１１Ｃ　11/407		Ｈ０１Ｌ　27/10	４８１	５Ｆ０３８
Ｈ０１Ｌ　21/822		Ｈ０２Ｍ　3/07		５Ｆ０８３
21/8242		Ｇ１１Ｃ　11/34	３５４Ｆ	５Ｈ７３０
27/04		Ｈ０１Ｌ　27/10	６８１Ｆ	５Ｍ０２４
27/10	４８１	27/04	Ｇ	

審査請求　未請求　請求項の数22　ＯＬ　（全 20 頁）　最終頁に続く

(21)出願番号　特願2002－44533(P2002－44533)

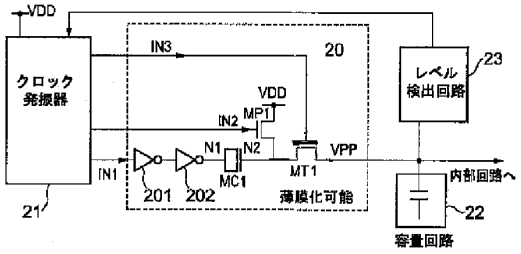
(22)出願日　平成14年２月21日(2002.2.21)

(71)出願人　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(71)出願人　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目22番１号
(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(74)代理人　100071272
弁理士　後藤　洋介　（外１名）

最終頁に続く

(54)【発明の名称】　昇圧電位発生回路及び制御方法

(57)【要約】
【課題】　半導体メモリにおいて、外部電源電圧が低下しても、半導体メモリ内部では、高速動作を可能にすると共に、小型化をも可能にする昇圧電位発生回路を提供する。
【解決手段】　容量ＭＯＳトランジスタとトランスファＭＯＳトランジスタとを備え、メモリセルを含むＤＲＡＭに使用される昇圧電位発生回路において、容量ＭＯＳトランジスタのゲート絶縁膜を、メモリセルを構成するＭＯＳトランジスタのゲート絶縁膜の膜厚よりも薄い膜厚にすることにより、小面積で大容量の昇圧電位発生回路を実現する。この場合、トランスファＭＯＳトランジスタのゲート絶縁膜の厚さを容量ＭＯＳトランジスタのゲート絶縁膜の厚さを同等以上に厚くすることが好ましい。



【特許請求の範囲】

【請求項１】　ＭＯＳトランジスタによって構成されたメモリセルを含む半導体装置に使用される昇圧電位発生回路において、容量素子として使用され、第１及び第２のノード間に接続された容量ＭＯＳトランジスタと、前記第２のノードに接続されたトランスファＭＯＳトランジスタと、更に、前記第２のノードに接続されたプリチャージＭＯＳトランジスタとを備え、前記容量ＭＯＳトランジスタの前記第１及び第２のノード間の電位差が、前記容量ＭＯＳトランジスタのゲート絶縁膜の耐圧を越えないように、前記容量ＭＯＳトランジスタ、前記トランスファＭＯＳトランジスタ、及び、前記プリチャージＭＯＳトランジスタのゲートが制御されることを特徴とする昇圧電位発生回路。

【請求項２】　請求項１において、前記容量ＭＯＳトランジスタは、前記メモリセルを構成するＭＯＳトランジスタ、或いは、前記トランスファＭＯＳトランジスタのゲート絶縁膜の膜厚より薄いゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項３】　請求項１又は２において、前記第１のノードには、第１のクロックとして制御信号が与えられ、前記プリチャージＭＯＳトランジスタのゲートには、第２のクロックとして制御信号が与えられ、更に、前記トランスファＭＯＳトランジスタのゲートには、第３のクロックとして制御信号が与えられる構成を備え、前記第１のクロックによって規定される前記容量ＭＯＳトランジスタのチャージポンプ期間は、前記第２のクロックによって規定されるプリチャージＭＯＳトランジスタのプリチャージ期間とオーバーラップしないように制御されると共に、前記第３のクロックによって規定されるトランスファ期間は、前記チャージポンプ期間より短いことを特徴とする昇圧電位発生回路。

【請求項４】　請求項１乃至３のいずれかにおいて、前記プリチャージＭＯＳトランジスタには、外部電源電圧が与えられる構成を備え、前記トランスファＭＯＳトランジスタからは、前記外部電源電圧に対して２倍の電位を発生できることを特徴とする昇圧電位発生回路。

【請求項５】　請求項４において、前記トランスファＭＯＳトランジスタは、前記メモリセルと同等の厚膜のゲート絶縁膜を備え、当該トランスファＭＯＳトランジスタのゲートに与えられる第３のクロックは、前記外部電源電圧の２倍の振幅を有していることを特徴とする昇圧電位発生回路。

【請求項６】　請求項４において、前記トランスファＭＯＳトランジスタは、前記容量ＭＯＳトランジスタと同等の薄膜のゲート絶縁膜を備え、当該トランスファＭＯＳトランジスタのゲートに与えられる第３のクロックは、前記外部電源電圧に等しい振幅を有していることを特徴とする昇圧電位発生回路。

【請求項７】　外部電源電圧を昇圧する昇圧電位発生回路において、第１及び第２のノードの間に接続された第１の容量ＭＯＳトランジスタ、第３及び第４のノード間に接続された第２の容量ＭＯＳトランジスタ、前記外部電源電圧が与えられる電源端子と前記第２のノード間に接続された第１のプリチャージＭＯＳトランジスタ、前記電源端子と第４のノード間に接続された第２のプリチャージＭＯＳトランジスタ、及び、前記第４のノードに接続されたトランスファＭＯＳトランジスタとを備え、前記第２のノードと前記第３のノードの間には、スイッチ回路が接続された構成を備え、前記トランスファＭＯＳトランジスタからは前記外部電源電圧の３倍圧の電位を発生できることを特徴とする昇圧電位発生回路。

【請求項８】　請求項７において、前記第１及び第２の容量ＭＯＳトランジスタは、前記メモリセルを構成するＭＯＳトランジスタ、或いは、前記トランスファＭＯＳトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有するＭＯＳトランジスタによって構成されていることを特徴とする昇圧電位発生回路。

【請求項９】　請求項７又は８において、前記スイッチ回路は、前記第２のノードと前記第３のノード間に接続された第１のＭＯＳトランジスタと、第３のノードと接地間に接続された第２及び第３のＭＯＳトランジスタとを有していることを特徴とする昇圧電位発生回路。

【請求項１０】　請求項９において、前記第１のＭＯＳトランジスタは、ＰチャンネルＭＯＳであり、他方、第２及び第３のＭＯＳトランジスタはＮチャンネルＭＯＳであることを特徴とする昇圧電位発生回路。

【請求項１１】　請求項１０において、前記第１乃至第３のＭＯＳトランジスタは厚膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項１２】　請求項１０において、前記第１乃至第３のＭＯＳトランジスタは薄膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項１３】　請求項７において、前記第１の容量ＭＯＳトランジスタ、前記第１のプリチャージＭＯＳトランジスタ、前記スイッチ回路、前記第２のプリチャージＭＯＳトランジスタ、及び、前記トランスファＭＯＳトランジスタには、制御信号として、それぞれ、第１、第２、第３、第４、及び、第５のクロックが与えられる構成を有し、前記第５のクロックで規定されるトランスファＭＯＳトランジスタの電荷転送期間は、前記第１のクロックで規定される第１の容量ＭＯＳトランジスタのチャージポンプ期間と実質的にオーバーラップし、前記第２及び第４のクロックで規定されるプリチャージ期間と実質的にオーバーラップしないことを特徴とする昇圧電位発生回路。

【請求項１４】　請求項１３において、前記スイッチ回路は、第２及び第４のクロックで規定されるプリチャージ期間において、第２のノードと第３のノード間を非導通とし、第３のノードをローレベルとし、前記チャージ

ポンプ期間においては、第2のノードと第3のノード間を導通させることを特徴とする昇圧電位発生回路。

【請求項15】 請求項13において、前記トランスファMOSトランジスタは、PチャンネルMOSによって構成され、前記スイッチ回路は、第2及び第3のノード間に接続されたPチャンネルの第1のMOSトランジスタと、第3のノードと接地間に直列に接続されたNチャンネルの第2及び第3のMOSトランジスタとを有していることを特徴とする昇圧電位発生回路。

【請求項16】 請求項15において、前記第1及び第2のMOSトランジスタのゲートは、共通に電源電圧端子に接続される一方、前記第3のMOSトランジスタのゲートには、第3のクロックが与えられ、第2及び第4のクロックで規定されるプリチャージ期間において第2のノードと第3のノード間を非導通にすると共に、第3のノードをローレベルとし、チャージポンプ期間においては、第2のノードと第3のノード間を導通させることを特徴とする昇圧電位発生回路。

【請求項17】 請求項16において、前記第1乃至第3のMOSトランジスタ、並びに、前記第1及び第2の容量MOSトランジスタは薄膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項18】 請求項17において、前記第1のプリチャージMOSトランジスタは薄膜のゲート絶縁膜を有し、他方、第2のプリチャージMOSトランジスタ及びトランスファMOSトランジスタは厚膜のゲート絶縁膜を有していることを特徴とする昇圧電位発生回路。

【請求項19】 予め定められた膜厚を有するゲート絶縁膜を備えた容量MOSトランジスタ、当該容量MOSトランジスタのゲート絶縁膜より厚い膜厚を有するゲート絶縁膜を備えたトランスファMOSトランジスタ、及び、前記容量MOSトランジスタと前記トランスファMOSトランジスタに結合されたプリチャージMOSトランジスタとを含む昇圧電位発生回路の制御方法において、チャージポンプ期間を規定する第1のクロックを前記容量MOSトランジスタに供給するステップ、前記第1のクロックによるチャージポンプ期間の開始前に終了するようなプリチャージ期間を決定する第2のクロックをプリチャージMOSトランジスタに与えるステップ、及び、前記第1のクロックによるチャージポンプ期間内に、電荷転送期間を規定する第3のクロックを前記トランスファMOSトランジスタに供給するステップとを備え、これによって、前記昇圧期間内、容量MOSトランジスタに加わる電圧を制限することを特徴とする制御方法。

【請求項20】 請求項19において、前記第3のクロックは第1のクロックに比較して大きい振幅を有していることを特徴とする制御方法。

【請求項21】 請求項19又は20において、前記チャージポンプ期間及びプリチャージ期間に、前記容量MOSトランジスタに加わる電圧は、前記容量MOSトランジスタのゲート絶縁膜の耐圧より低くなるように制御されることを特徴とする制御方法。

【請求項22】 MOSトランジスタによって構成されたメモリセルを含む半導体装置に使用される昇圧電位発生回路において、容量素子として使用され、第1及び第2のノード間に接続された容量MOSトランジスタと、前記第2のノードに接続されたトランスファMOSトランジスタと、更に、前記第2のノードに接続されたプリチャージMOSトランジスタとを備え、前記容量MOSトランジスタの前記第1のノードに接続され、当該容量MOSトランジスタを昇圧する回路と、第1のノードの電位を接地電位以下の基板電位にする回路とを有していることを特徴とする昇圧電位発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、特に、半導体メモリに使用される昇圧電位発生回路、その制御方法、並びに、製造方法に関する。

【0002】

【従来の技術】一般に、半導体集積回路、特に、半導体メモリでは、メモリ容量が増大すると同時に、外部電源から与えられる外部電源電圧が低下する傾向にある。更に、半導体メモリに対しては、高速化の要求もある。このような要求に応えるために、半導体メモリ内部に外部電源電圧を昇圧する昇圧電位発生回路を設け、この昇圧電位発生回路において外部電源電圧を半導体メモリに必要な電圧まで昇圧し、内部のメモリセルにおける高速化を実現している。

【0003】一方、メモリ容量の増大に伴い、消費電流も大きくなることから、消費電流を少なくすることも必要になっている。このため、昇圧電位発生回路は、半導体メモリ中の複数の回路に設けられており、各昇圧電位発生回路は使用される回路に必要となる電位に応じて設計されるのが普通である。いずれにしても、昇圧電位発生回路には、消費電流が小さいこと、チップ占有面積が小さいこと、及び、種々の昇圧電位を簡単な設計変更だけで発生できることが好ましい。

【0004】従来、この種の昇圧電位発生回路は、特開2000-112547号公報（以下、引用例1と呼ぶ）に記載されている。記載された昇圧電位発生回路は、基板電位発生回路部と共に使用されており、昇圧電位発生回路は昇圧電圧（V_{PP}）をメモリアレイのワード線及び周辺回路に供給し、他方、基板電位発生回路部は、基板に対して所定の負電圧（V_{BB}）をデバイス基板に供給している。引用例1の場合、昇圧電位発生回路で発生された昇圧電位（V_{PP}）は基板電位発生回路部に与えられ、この昇圧電位（V_{PP}）から所望の電圧を得るように構成されている。

【0005】更に、引用例1に記載された基板電位発生

回路部は、クロックを発生するリングオッシレータ等の発振器と、チャージポンプ回路とによって構成されている。この場合、チャージポンプ回路では、発振器からのクロックと、クロックの反転信号を複数の容量素子及びトランジスタに与えて、昇圧すると共に、電圧レベルをクランプすることで昇圧電位が過度に高くならないように制御している。

【０００６】この構成を採用することによって、チャージポンプ回路に使用されるトランジスタとして、ゲート酸化膜（以下では、ゲート絶縁膜と呼ぶ）の薄いトランジスタを用いることができる。しかしながら、引用例１は、基板電位発生回路の構成について説明しているだけで、外部電圧（V_{DD}）から昇圧電圧（V_{PP}）を発生する昇圧電位発生回路の構成について何等開示していない。

【０００７】一方、特開平１１－２９７９５０号公報（以下、引用例２と呼ぶ）には、内部電圧発生部で発生した昇圧電圧（V_{PP}）を受けて動作する第１の内部回路に、厚い膜厚のゲート絶縁膜を有するＭＯＳＦＥＴを設け、降圧電圧（V_{DL}）を受けて動作する第２の内部回路を薄い膜厚のゲート絶縁膜を有するＭＯＳＦＥＴによって構成した半導体集積回路装置が開示されている。しかしながら、引用例２は、昇圧電圧を受けて動作を行う回路を開示しているだけで、昇圧電圧を発生する回路の構成については開示していない。

【０００８】更に、特開平６－２８３６６７号公報（以下、引用例３と呼ぶ）には、不揮発性メモリの消去、書込時に必要な高電圧を発生させるために使用される高電圧発生回路が提案されている。この提案に係る高電圧発生回路は、複数個のＭＯＳトランジスタとこれらトランジスタの相互接続ノードに接続された昇圧容量素子とを備え、これら複数個の昇圧容量素子の絶縁膜として２種類以上の厚さを有するものを使用している。引用例３によれば、パターン面積を小さく、低電圧動作可能な高電圧発生回路を構成することができる。

【０００９】しかしながら、引用例３においても、ＤＲＡＭに使用される昇圧電位発生回路に対する要求並びに具体的な構成について、何等、開示していない。

【００１０】ここで、一般に、ＤＲＡＭに使用されている昇圧電位発生回路に対する具体的な構成並びに要求について説明する。

【００１１】最近、ＤＲＡＭにおけるメモリセルの高密度化、小型化と共に、外部電源電圧、例えば、V_{DD}は、５Ｖから２Ｖ、或いは、１.８Ｖ程度まで低下している。このように、外部電源電圧が１.８Ｖ程度まで低下した場合、内部電圧発生回路の昇圧回路部では、昇圧電圧（V_{PP}）として、３.０Ｖ以上の電圧（具体的には、３.０Ｖ～３.９Ｖ）を発生する必要がある。

【００１２】従来、この種、ＤＲＡＭに使用される昇圧電位発生回路は、発振器とチャージポンプ回路とによって構成されており、当該チャージポンプ回路として、２倍圧或いは３倍圧の昇圧電位発生回路が使用されている。ここで、この種の昇圧回路部は、単に、ワード線に昇圧電位を与えるだけでなく、シェアードＭＯＳトランジスタ、ビット線プリチャージＭＯＳトランジスタ、センスアンプに対しても、昇圧電位或いはオーバードライブ電位を供給するためにも使用されること、及び、これらの制御信号としても使用されることを考慮しておく必要がある。

【００１３】

【発明が解決しようとする課題】しかし、従来の昇圧電位発生回路を用いた前述した昇圧回路部の構成では、上記したワード線昇圧電位（V_{PP}）を含めた各種電源電位をメモリアレイに充分に供給できない状況になってきた。

【００１４】更に、半導体メモリ、特に、ＤＲＡＭでは、上記したように、外部電源電圧が低くなっても、データのやり取りに関連するメモリセルのトランスファゲート、センスアンプは昇圧電圧で動作させ、メモリセルの書込レベルを充分確保した上で更に高速動作を行わせている。

【００１５】この関係で、ＤＲＡＭのメモリセルを構成するＭＯＳトランジスタには、昇圧電圧に耐える比較的厚膜のゲート絶縁膜（例えば、６ｎｍ）を有するＭＯＳトランジスタが使用され、外部電源電圧で動作する周辺回路部を構成するＭＯＳトランジスタには、薄いゲート絶縁膜（例えば、３.５ｎｍ）を有するＭＯＳトランジスタが使用されるのが普通である。

【００１６】具体的に説明すると、ワード線、ビット線、メモリセル、及び、センスアンプを備えたＤＲＡＭにおいて、センスアンプを外部電源電圧の低下と共に低くした場合、センスアンプの動作速度が遅くなってしまうため、センスアンプは昇圧電圧で動作させる必要がある。また、ビット線のプリチャージ及びメモリセルの書込動作を高速で行わせるために、これらのトランジスタの動作を制御するゲート電圧を昇圧しておく必要がある。この結果、メモリセルを構成するＭＯＳトランジスタのゲート酸化膜の膜厚は前述したように薄くできない。

【００１７】一方、ＤＲＡＭに対して各種の電圧を発生する昇圧電位発生回路は、容量ＭＯＳトランジスタ及びトランスファＭＯＳトランジスタとを備えているが、これらのＭＯＳトランジスタは、昇圧電位が印加される関係上、メモリセルのＭＯＳトランジスタのゲート酸化膜と等しい膜厚を有するＭＯＳトランジスタによって構成されるのが普通である。

【００１８】更に、前述したように、種々の回路に対応した内部電源電位を発生するためには、単に、外部電源電圧を２倍圧の昇圧電位を発生する昇圧電位発生回路を用いただけでは、ワード線昇圧電位を初めとするＤＲＡ

Mに必要な各種電源電位を発生させることが出来ない。例えば、外部電源電圧の低下と共に、この種、昇圧電位発生回路に対しては、ワード線昇圧電位のほか、シェアードMOSトランジスタ、ビット線プリチャージMOSトランジスタ、及び／又は、センスアンプのオーバードライブを制御する電位をも供給することが要求される傾向にある。

【００１９】上記した点を考慮すると、今後、昇圧電位発生回路では、３.０～３.９V以上の高い昇圧電位を発生させることも必要になるものと考えられる。

【００２０】一方、上記したように高い昇圧電位を得るために、従来と同様に、２倍圧の昇圧電位発生回路が使用されるものと想定する。まず、昇圧電位発生回路の電流効率は、通常、負荷電流と消費電流との比（即ち、負荷電流／消費電流）であらわされるが、２倍圧の昇圧電位発生回路を用いて、高い電圧を発生しようとすると、発生される電圧が高くなるにしたがって、電流効率は急激に低下する。この結果、２倍圧の昇圧電位発生回路を用いて、高い昇圧電位を発生させた場合、電流効率の低下を避けることができず、充分な電流供給能力が得られないと言う欠点がある。また、２倍圧の昇圧電位発生回路を用いて、充分な電流供給能力を得るためには、容量MOSトランジスタを大きくする必要があり、結果的に、チップサイズが大きくなってしまう。

【００２１】このような状況の下で、高い昇圧電位においても電流効率が安定に保たれる３倍圧の昇圧電位発生回路を使用することも考慮されている。しかしながら、３倍圧の昇圧電位発生回路では、発生される電圧自体が高いため、昇圧電位発生回路に使用されるMOSトランジスタとして、高電圧に耐えるように、ゲート絶縁膜厚の厚い容量MOSトランジスタを使用しなければならない。このことは、３倍圧の昇圧電位発生回路においても、所望の容量値を得るための容量MOSトランジスタとして、ゲート絶縁膜の厚いMOSトランジスタを使用しなければならないことを意味している。

【００２２】しかしながら、厚いゲート絶縁膜を有する容量MOSトランジスタは、所望の容量値を実現するためにはその面積を大きくしなければならず、結果として、チップサイズが大きくなってしまい、昇圧電位発生回路を小面積で形成することはできないと言う欠点がある。

【００２３】また、外部電源電圧の低電圧化と共に、スケーリング則に従って、昇圧電位発生回路の容量MOSトランジスタとトランスファMOSトランジスタとして、周辺回路に使用される膜厚の薄いゲート絶縁膜を有するMOSトランジスタを使用することも考慮されるかもしれない。

【００２４】しかし、薄膜のトランスファMOSトランジスタを使用した昇圧電位発生回路に使用した場合、高い電位をゲート絶縁膜に与えることができないため、高い昇圧電位を得ることが出来ず、したがって、高速動作を行えず、これまた、半導体メモリの高速化の要求に応えられないと言う欠点が生じる。

【００２５】本発明の目的は、外部電源電圧の低下に応じて、２倍圧の昇圧電位だけでなく、種々の電位の発生をも可能にする半導体メモリに適した昇圧電位発生回路を提供することである。

【００２６】本発明の目的は、チップサイズを拡大することなく、大きな電流供給能力を得ることができる昇圧電位発生回路及びその制御方法を提供することである。

【００２７】本発明の他の目的は、消費電流の増加を抑制しつつ、到達レベル、電流供給能力を高めることができ、昇圧電位発生回路として使用できる回路構成を提供することである。

【００２８】本発明の更に他の目的は、MOSトランジスタのゲート絶縁膜を最適化することにより、小面積且つ高効率な昇圧電位発生回路を提供することである。

【００２９】本発明の他の目的は、上記した昇圧電位発生回路を最適に駆動するための制御方法を提供することである。

【００３０】

【課題を解決するための手段】本発明の一態様によれば、MOSトランジスタによって構成されたメモリセルを含む半導体装置に使用される昇圧電位発生回路において、容量素子として使用され、第１及び第２のノード間に接続された容量MOSトランジスタと、前記第２のノードに接続されたトランスファMOSトランジスタと、更に、前記第２のノードに接続されたプリチャージMOSトランジスタとを備え、前記容量MOSトランジスタの前記第１及び第２のノード間の電位差が、前記容量MOSトランジスタのゲート絶縁膜の耐圧を越えないように、前記容量MOSトランジスタ、前記トランスファMOSトランジスタ、及び、前記プリチャージMOSトランジスタのゲートが制御されることを特徴とする昇圧電位発生回路が得られる。

【００３１】この場合、前記容量MOSトランジスタは、前記メモリセルを構成するMOSトランジスタ、或いは、前記トランスファMOSトランジスタのゲート絶縁膜の膜厚より薄いゲート絶縁膜を有していることが望ましい。

【００３２】具体的に説明すると、前記容量MOSトランジスタ及び前記プリチャージMOSトランジスタのゲートには、第１及び第２のクロックとして制御信号が与えられ、前記トランスファMOSトランジスタのゲートには、第３のクロックとして制御信号が与えられる構成を備え、前記第１のクロックによって規定される前記容量MOSトランジスタのチャージポンプ期間は、前記第２のクロックによって規定されるプリチャージMOSトランジスタのプリチャージ期間とオーバーラップしないように制御されると共に、前記第３のクロックによって

規定されるトランスファ期間は、前記チャージポンプ期間より短くなるように制御される。

【００３３】この構成によれば、前記プリチャージＭＯＳトランジスタには、外部電源電圧が与えられる構成を備え、前記トランスファＭＯＳトランジスタからは、前記外部電源電圧に対して２倍の電位を発生できる。

【００３４】本発明の他の実施態様によれば、外部電源電圧を昇圧する昇圧電位発生回路において、第１及び第２のノードの間に接続された第１の容量ＭＯＳトランジスタ、第３及び第４のノード間に接続された第２の容量ＭＯＳトランジスタ、前記外部電源電圧が与えられる電源端子と前記第２のノード間に接続された第１のプリチャージＭＯＳトランジスタ、及び、前記電源端子と第４のノード間に接続された第２のプリチャージＭＯＳトランジスタ、及び、前記第４のノードに接続されたトランスファＭＯＳトランジスタとを備え、前記第２のノードと前記第３のノードの間には、スイッチ回路が接続された構成を備え、前記トランスファＭＯＳトランジスタからは前記外部電源電圧の３倍圧の電位を発生できることを特徴とする昇圧電位発生回路が得られる。

【００３５】この場合、前記第１及び第２の容量ＭＯＳトランジスタは、前記メモリセルを構成するＭＯＳトランジスタ、或いは、前記トランスファＭＯＳトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有するＭＯＳトランジスタによって構成され、前記スイッチ回路は、前記第２のノードと前記第３のノード間に接続された第１のＭＯＳトランジスタと、第３のノードと接地間に接続された第２及び第３のＭＯＳトランジスタとによって構成される。

【００３６】更に、具体的に説明すると、前記第１の容量ＭＯＳトランジスタ、前記第１のプリチャージＭＯＳトランジスタ、前記スイッチ回路、前記第２のプリチャージＭＯＳトランジスタ、及び、前記トランスファＭＯＳトランジスタには、制御信号として、それぞれ、第１、第２、第３、第４、及び、第５のクロックが与えられる構成を有し、前記第５のクロックで規定されるトランスファＭＯＳトランジスタの電荷転送期間は、前記第１のクロックで規定される第１の容量ＭＯＳトランジスタのチャージポンプ期間と実質的にオーバーラップし、前記第２及び第４のクロックで規定されるプリチャージ期間と実質的にオーバーラップしないように、制御されることが望ましい。

【００３７】本発明の別の態様によれば、前記トランスファＭＯＳトランジスタは、ＰチャンネルＭＯＳによって構成され、前記スイッチ回路は、第２及び第３のノード間に接続されたＰチャンネルの第１のＭＯＳトランジスタと、第３のノードと接地間に直列に接続されたＮチャンネルの第２及び第３のＭＯＳトランジスタとを有していることを特徴とする昇圧電位発生回路が得られる。

【００３８】本発明の他の態様によれば、予め定められた膜厚を有するゲート絶縁膜を備えた容量ＭＯＳトランジスタ、当該容量ＭＯＳトランジスタのゲート絶縁膜より厚い膜厚を有するゲート絶縁膜を備えたトランスファＭＯＳトランジスタ、及び、前記容量ＭＯＳトランジスタと前記トランスファＭＯＳトランジスタに結合されたプリチャージＭＯＳトランジスタとを含む昇圧電位発生回路の制御方法において、チャージポンプ期間を規定する第１のクロックを前記容量ＭＯＳトランジスタに供給するステップ、前記第１のクロックによるチャージポンプ期間の開始前に終了するようなプリチャージ期間を決定する第２のクロックをプリチャージＭＯＳトランジスタに与えるステップ、及び、前記第１のクロックによるチャージポンプ期間内に、電荷転送期間を規定する第３のクロックを前記トランスファＭＯＳトランジスタに供給するステップとを備え、これによって、前記昇圧期間内、容量ＭＯＳトランジスタに加わる電圧を制限することを特徴とする制御方法が得られる。

【００３９】

【発明の実施の形態】図１に、本発明の第１の実施形態に係る昇圧電位発生回路２０を含む回路構成を示し、図２にその動作を説明するための波形図を示す。

【００４０】図１及び２に示された昇圧電位発生回路２０は、入力側にクロック発振器２１を備え、出力側に容量回路２２とレベル検出回路２３を備えている。クロック発振器２１は外部電源電圧V_{DD}として１.８Ｖの電圧が与えられ、この外部電源電圧V_{DD}から第１、第２、及び、第３のクロックＩＮ１、ＩＮ２、及び、ＩＮ３が後述するタイミングで与えられる。ここで、これら第１乃至第３のクロックＩＮ１、ＩＮ２、ＩＮ３は、制御信号としての役割を有しているから、制御信号と呼ばれても良い。

【００４１】出力側の容量回路２２は昇圧電位発生回路２０の出力電圧を平滑して約２.９Ｖの内部昇圧電位V_{PP}を発生させ、半導体メモリの内部回路へ供給する。また、レベル検出回路２３は、内部昇圧電位V_{PP}を検出し、所定の電位V_{PP}以上の昇圧電位が得られた場合は、クロック発振器２１へフィードバックし、クロック発振器２１の動作を中止させ、所定の電位以下の場合は、クロック発振器２１を動作させる。

【００４２】尚、クロック発振器２１、容量回路２２、レベル検出回路２３は他の実施形態においても同様に使用されるが、説明を簡略化するため、以下では説明を省略する。

【００４３】昇圧電位発生回路２０はインバータ２０１、２０２を介して第１のクロックＩＮ１を受けて昇圧、即ち、チャージポンプ動作を行う容量素子としてのＭＯＳトランジスタ（容量ＭＯＳトランジスタ）ＭＣ１、当該容量ＭＯＳトランジスタＭＣ１に接続されたトランスファＭＯＳトランジスタＭＴ１、及び、両トランジスタＭＣ１及びＭＴ１の間に接続されたプリチャージ

トランジスタMP１とを備えている。また、図示されているように、容量MOSトランジスタMC１は、基板側ノード（第1のノードN１）と、ゲート側ノード（第2のノードN２）との間に接続されている。

【００４４】図示されたトランジスタMC１、MT１、MP１のうち、トランジスタMC１、MP１は薄いゲート絶縁膜を有するMOSトランジスタによって構成されており、他方、MT１は厚いゲート絶縁膜を有するMOSトランジスタによって構成されている。尚、トランスファMOSトランジスタMT１のゲート絶縁膜の厚さは、DRAM（ここでは、１トランジスタ、１セル型のDRAM）のメモリセルを構成するMOSトランジスタのゲート絶縁膜の膜厚と同じであるものとする。この例では、トランスファMOSトランジスタMT１及びDRAMのメモリセルを構成するMOSトランジスタのゲート絶縁膜（厚いゲート絶縁膜）の膜厚を６ｎｍとする。一方、薄いゲート絶縁膜とは、外部から供給される電源電圧V_{DD}以下の電圧で動作するMOSトランジスタに使用されるゲート絶縁膜であり、その膜厚は、例えば、３.５ｎｍである。

【００４５】MOSトランジスタにおける膜厚の違いを明らかにするために、図１では、MOSトランジスタMC１、MP１のゲート部分を細線によって示し、他方、MOSトランジスタMT１のゲート部分を太線によって示している。したがって、図示されたトランスファMOSトランジスタMT１は、容量MOSトランジスタMC１及びプリチャージMOSトランジスタMP１よりも厚いゲート絶縁膜を有していることが図面上からも分かる。また、図示されたMOSトランジスタはいずれもNチャンネルMOSトランジスタである。

【００４６】次に、図示された例では、第１のクロックIN１がインバータ２０１、２０２を介して容量MOSトランジスタMC１に与えられているが、これらインバータ２０１、２０２はクロック発振器２１内に設けられても良いし、インバータ２０１、２０２の数は２つに限定される必要もない。図示された例の場合、第１のクロックIN１のハイレベル（V_{DD}）期間に、容量MOSトランジスタMC１はチャージポンプ動作を行うから、第１のクロックIN１は容量MOSトランジスタMC１のチャージポンプ期間を規定している。

【００４７】更に、プリチャージMOSトランジスタMP１のゲートには、クロック発振器２１から、第２のクロックIN２が与えられており、ドレインには電源電圧V_{DD}が与えられている。また、そのソースは容量MOSトランジスタMC１とトランスファMOSトランジスタMT１の共通接続点に接続されている。この構成では、第２のクロックIN２がハイレベル（$2V_{DD}$）にある期間中、プリチャージMOSトランジスタMP１はオン状態となり、容量MOSトランジスタMC１をプリチャージする。したがって、第２のクロックIN２はプリチャージ期間を規定し、図示された例の場合、プリチャージ期間とチャージポンプ期間とはオーバーラップしていないことが分る。

【００４８】他方、トランスファMOSトランジスタMT１のゲートには、クロック発振器２１から第３のクロックIN３が与えられ、当該第３のクロックIN３のハイレベル（$3V_{DD}$）期間、トランスファMOSトランジスタMT１はオン状態となり、電荷の転送が行われる。したがって、第３のクロックIN３はトランスファMOSトランジスタMT１の電荷転送期間を規定し、この電荷転送期間はプリチャージ期間とオーバーラップしていない。

【００４９】図２を更に参照して、図１に示された昇圧電位発生回路２０の動作を更に具体的に説明する。まず、クロック発振器２１は、図２に示すように、０電位からV_{DD}まで変化する電圧振幅V_{DD}の第１のクロックIN１を発生する一方、$2V_{DD}$からV_{DD}の間で変化する電圧振幅V_{DD}の第２のクロックIN２、及び、V_{DD}から$3V_{DD}$まで変化する電圧振幅$2V_{DD}$の第３のクロックIN３を発生する。

【００５０】図２からも明らかな通り、第２のクロックIN２が$2V_{DD}$からV_{DD}のレベルまで低下し、プリチャージが終了すると、第２のクロックIN２がV_{DD}のレベルにあり、プリチャージMOSトランジスタMP１がオフ状態にある期間内に、第１のクロックIN１がV_{DD}のレベルまで上昇して、容量MOSトランジスタMC１をチャージポンプする。また、第１のクロックIN１がV_{DD}レベルにある期間中に、第３のクロックIN３が$3V_{DD}$の電位まで上昇する。この結果、トランスファMOSトランジスタMT１がオン状態となり、容量MOSトランジスタMC１の電荷は、トランスファMOSトランジスタMT１を介して半導体メモリの内部回路に供給される。このように、第３のクロックIN３は、第１のクロックIN１がV_{DD}レベルにある期間内に正確に立ち上がるように制御されている。換言すれば、第１のクロックIN１のパルス幅は、第３のクロックIN３のパルス幅よりも、前縁及び後縁において、各マージン幅（例えば、０.５ｎｓ）だけ広くなっている。また、同様に第２のクロックIN２のローレベル期間は第１のクロックIN１のハイレベル期間よりも広くなるように制御されている。

【００５１】尚、上記した電圧振幅を有する第１乃至第３のクロックIN１～IN３を発生すると共に、第１乃至第３のクロックIN１～IN３を前述したタイミング関係で発生するクロック発振器２１は、通常の回路技術を用いて容易に実現できるから、ここでは、詳述しない。

【００５２】図２には、図１に示された各ノードN１及びN２の電位の波形を第１～第３のクロックIN１～IN３の波形と共に示している。図２からも明らかなよう

に、第１のクロックＩＮ１の生成に先立ち、第２のクロックＩＮ２のレベルが２V_{DD}レベルからV_{DD}レベルへ変化している。このことは、第１のクロックＩＮ１が立ち上がる前に、プリチャージＭＯＳトランジスタＭＰ１によるプリチャージは終了して、当該プリチャージＭＯＳトランジスタＭＰ１はオフ状態にあることを意味している。

【００５３】この状態で、第１のクロックＩＮ１がインバータ２０１、２０２を介して、容量ＭＯＳトランジスタＭＣ１に与えられると、容量ＭＯＳトランジスタＭＣ１の第１のノード電位Ｎ１及び第２のノードＮ２の電位は図２に示すように変化する。容量ＭＯＳトランジスタＭＣ１は第２のノードＮ２の電位を常に第１のノードＮ１より高くなるようにする。即ち、容量ＭＯＳトランジスタＭＣ１の第１のノード電位Ｎ１は、第１のクロックＩＮ１と同様に、第１のクロックＩＮ１に同期して接地電位０とV_{DD}電位との間で変化し、他方、容量ＭＯＳトランジスタＭＣ１の第２のノード電位Ｎ２は、プリチャージＭＯＳトランジスタＭＰ１によりV_{DD}の電位にプリチャージされているから、図２に示すように、第１のクロックＩＮ１に同期してV_{DD}電位と２V_{DD}電位の間で変化する。

【００５４】ここで、第２のノードＮ２電位の波形と第１のノードＮ１電位の波形を参照すると、図１に示された昇圧電位発生回路２０の構成では、第２のノードＮ２電位と第１のノードＮ１電位との間の電位差は、常に、V_{DD}に維持されており、この電位差はV_{DD}を超えることなく一定に保たれている。このため、容量ＭＯＳトランジスタＭＣ１としては、メモリセルを構成するＭＯＳトランジスタや、トランスファＭＯＳトランジスタのゲート絶縁膜と比較して、膜厚の薄いゲート絶縁膜を有するＭＯＳトランジスタを使用して、所望の容量値を得ることができる。このことは、小面積で所望の容量を有する容量ＭＯＳトランジスタＭＣ１を構成できることを意味している。

【００５５】図２を更に参照すると、容量ＭＯＳトランジスタＭＣ１のゲート側ノードＮ２に接続されたトランスファＭＯＳトランジスタＭＴ１には、V_{DD}（ローレベル）と３V_{DD}（ハイレベル）の電位の間で変化する第３のクロックＩＮ３が与えられている。図示された例では、ゲート側ノード電位Ｎ２が２V_{DD}の電位を取っている期間内に、トランスファＭＯＳトランジスタＭＴ１のゲートに供給されている第３のクロックＩＮ３はハイレベルとなっている。この結果、第３のクロックＩＮ３のハイレベル期間中、トランスファＭＯＳトランジスタＭＴ１はオン状態となって、容量ＭＯＳトランジスタＭＣ１からの電荷を容量回路２２に転送する。容量回路２２は、転送された電荷を平滑して、昇圧された電圧V_{PP}を発生する。図示された例では、上記した第１のクロックＩＮ１のハイレベル期間は、昇圧期間を規定している。他方、第２のクロックＩＮ２のハイレベル期間は、プリチャージＭＯＳトランジスタＭＰ１のプリチャージ期間を規定しており、このプリチャージ期間は昇圧期間と重ならないように調整されている。言い換えれば、この例の場合、昇圧は、プリチャージされていない期間に行われることが判る。また、第３のクロックＩＮ３のハイレベル期間は、トランスファＭＯＳトランジスタＭＴ１の電荷転送期間を規定しており、昇圧期間より短くなるように調整されている。

【００５６】このような構成によれば、トランスファＭＯＳトランジスタＭＴ１は、プリチャージＭＯＳトランジスタＭＰ１によるプリチャージが完全に終了し、更に昇圧された後、電荷を転送しているため、電荷の転送を確実に行うことができる。また、トランスファＭＯＳトランジスタＭＴ１には、V_{DD}より高い電位３V_{DD}を有する第３のクロックＩＮ３が与えられ、この第３のクロックＩＮ３によりオン状態となっている。図示された例のように、トランスファＭＯＳトランジスタＭＴ１として、厚膜のゲート絶縁膜を有するＭＯＳトランジスタを使用し、２V_{DD}の電圧振幅を有する第３のクロックＩＮ３でトランスファＭＯＳトランジスタを駆動することにより、迅速に電荷を転送できると共に充分な電流供給能力を得ることができる。

【００５７】上記したことからも明らかなように、クロックＩＮ１～ＩＮ３を使用して、図示されたトランジスタを制御することにより容量ＭＯＳトランジスタＭＣ１としては、薄膜のゲート絶縁膜を有するＭＯＳトランジスタを使用できる。

【００５８】このことは、薄いゲート絶縁膜で耐圧の低いＭＯＳトランジスタを容量ＭＯＳトランジスタとして使用できることを意味している。薄膜のゲート絶縁膜を有する容量ＭＯＳトランジスタは、小面積で大容量を実現でき、チップサイズを縮小するのに有効である。例えば、厚さ３．５ｎｍのゲート絶縁膜を有するＭＯＳトランジスタを容量ＭＯＳトランジスタとして用いることにより、メモリセルを構成するＭＯＳトランジスタや、トランスファＭＯＳトランジスタに使用される厚さ６．０ｎｍのゲート絶縁膜を有するＭＯＳトランジスタを容量ＭＯＳトランジスタとして用いる場合に比較して、昇圧電位発生回路に要する面積を３０％程度縮小することができる。

【００５９】上記した昇圧電位発生回路をＤＲＡＭに使用する場合、外部電源電圧V_{DD}を１．８Ｖとし、所望の昇圧電位を２．９Ｖ、トランスファＭＯＳトランジスタの閾値を０．５Ｖとすれば、昇圧されたノード電位Ｎ２は２ｘ１．８Ｖ（３．６Ｖ）となり、このとき、トランスファＭＯＳトランジスタＭＴ１のゲートレベル（ＩＮ３）は３ｘ１．８Ｖ（５．４Ｖ）となる。このとき、トランスファＭＯＳトランジスタＭＴ１のゲート・ソース間の電位は、閾値以上の電位差であり、ノードＮ２か

らの電荷の転送を迅速に行うことができる。

【００６０】このように、各クロック信号の立ち上がり／立下りにマージンを与え、容量ＭＯＳトランジスタＭＣ１に印加される電位差をV_{DD}以内とするように制御することにより、容量ＭＯＳトランジスタＭＣ１におけるゲート絶縁膜の膜厚の薄膜化を可能にしている。

【００６１】また、図示された実施形態では、トランスファＭＯＳトランジスタＭＴ１のゲート絶縁膜の膜厚を厚いゲート膜厚としたが、図１、図２に示すように、クロックＩＮ３のハイレベルを$2V_{DD}$とすることによって、薄いゲート膜厚にすることができる。

【００６２】この場合も、トランスファＭＯＳトランジスタＭＴ１のゲート・ソース間電位は、$2\times V_{DD} - V_{PP} = 2\times 1.8 - 2.9 = 0.7V$となり、トランスファＭＯＳトランジスタＭＴ１はオン状態となり、電荷を転送できる。

【００６３】このように、全てのＭＯＳトランジスタを薄膜化することで、更に、小面積の昇圧電位発生回路が得られる。逆に、プリチャージＭＯＳトランジスタＭＰ１のゲート膜厚を厚くしても良い。しかし、昇圧電位が内部回路に供給されると、大きな電圧変動が生じるため、トランスファＭＯＳトランジスタＭＴ１は厚いゲート膜厚とすることが後述する他の実施形態を含めてより好ましい。

【００６４】図３を参照すると、本発明の第２の実施形態に係る昇圧電位発生回路２０ａは、トランスファＭＯＳトランジスタＭＴ１として、厚膜のゲート絶縁膜を有するＰチャンネルＭＯＳトランジスタが使用されている以外、図１に示す昇圧電位発生回路２０と同様である。また、ＰチャンネルＭＯＳトランジスタをトランスファＭＯＳトランジスタＭＴ１として使用している関係上、当該ＰチャンネルＭＯＳトランジスタのゲートに与えられる第３のクロックＩＮ３は、図４に示すように、図２の第３のクロックＩＮ３とは、異なる極性を有している。即ち、図４に示された第３のクロックＩＮ３は$2V_{DD}$と０電位との間で変化する電圧振幅を有している。図３に示す構成では、第３のクロックＩＮ３によって、図１の場合と同様に、外部電源電圧V_{DD}の２倍圧の昇圧電圧V_{PP}を発生させることができる。

【００６５】また、トランスファＭＯＳトランジスタＭＴ１を薄膜化する場合は、図４の点線で示すように、ＶＤＤをローレベルとする第３のクロックＩＮ３を使用すれば、全てのＭＯＳトランジスタを薄膜化できる。しかし、内部回路に供給された昇圧電位は内部回路で使用されることにより、昇圧電位が大幅に低下する場合もあり、また、高い制御電圧を与え、高速に内部回路に供給するためには、トランスファＭＯＳトランジスタＭＴ１のゲート膜厚は厚膜がより好ましい。

【００６６】図５を参照して、本発明の第３の実施形態に係る昇圧電位発生回路を説明する。

【００６７】図５に示された昇圧電位発生回路２０ｂは、図１に示された構成に、レベル変換回路を接続した構成を有し、外部電源電圧V_{DD}の２倍圧の電位V_{PP}を発生する。昇圧電位発生回路２０ｂは、図１と同様に、容量ＭＯＳトランジスタＭＣ１（以下、第１の容量ＭＯＳトランジスタと呼ぶ）、プリチャージＭＯＳトランジスタＭＰ１（以下、第１のプリチャージＭＯＳトランジスタと呼ぶ）、及び、トランスファトランジスタＭＴ１を備えると共に、第１乃至第６のＭＯＳトランジスタＭ１～Ｍ６、第２の容量ＭＯＳトランジスタＭＣ２によって構成されたレベル変換回路を有している。第１の容量ＭＯＳトランジスタＭＣ１には、インバータ２０１、２０２を介して、第１のクロックＩＮ１が与えられており、プリチャージＭＯＳトランジスタＭＰ１には、第２のクロックＩＮ２が与えられている。また、トランスファトランジスタＭＴ１のゲートには、レベル変換回路を介して第３のクロックＩＮ３が供給され、且つ、第２のプリチャージＭＯＳトランジスタＭＰ２のソースが接続されている。第２のプリチャージＭＯＳトランジスタＭＰ２のゲートには、第４のクロックＩＮ４が供給されている。

【００６８】更に、レベル変換回路を構成する第１～第６のＭＯＳトランジスタＭ１～Ｍ６は、外部電源電圧V_{DD}より高い昇圧電圧V_{PP}が与えられるため、厚膜のゲート絶縁膜を有するトランジスタによって構成されている。

【００６９】具体的に説明すると、図示されたレベル変換回路を構成する第１、第３、及び、第４のＭＯＳトランジスタＭ１、Ｍ３、及び、Ｍ４はＰチャンネルＭＯＳトランジスタであり、残りのＭＯＳトランジスタＭ２、Ｍ５、及び、Ｍ６はＮチャンネルＭＯＳトランジスタである。昇圧電位発生回路の出力端子と同じ電位が与えられるノードＮ３と、接地電位V_{SS}との間には、第１及び第２のＭＯＳトランジスタＭ１、Ｍ２が直列に接続されると共に、第４及び第６のＭＯＳトランジスタＭ４、Ｍ６も直列に接続されている。更に、第１及び第２のＭＯＳトランジスタＭ１、Ｍ２の夫々のドレイン共通接続点は、第２の容量ＭＯＳトランジスタＭＣ２の基板側に接続されている。一方、第４及び第６のＭＯＳトランジスタＭ４、Ｍ６の共通接続点は、第１及び第２のＭＯＳトランジスタＭ１、Ｍ２のゲートに接続され、第３のＭＯＳトランジスタＭ３のゲートにも接続されている。

【００７０】ノードＮ３と第３のクロックＩＮ３端子間には、第３及び第５のＭＯＳトランジスタＭ３、Ｍ５が直列に接続され、その共通接続点は、第４のＭＯＳトランジスタＭ４のゲートに接続されている。また、第５のＭＯＳトランジスタＭ５のソースは、第６のＭＯＳトランジスタＭ６のゲートに接続され、当該第５のＭＯＳトランジスタＭ５のソースには、第３のクロックＩＮ３が与えられている。更に、第５のＭＯＳトランジスタＭ５

のゲートはV_{DD}に接続されている。

【００７１】第２の容量ＭＯＳトランジスタＭＣ２のゲート側はノードＮ４を介してトランスファＭＯＳトランジスタＭＴ１に接続され、且つ、当該ノードＮ４には、第２のプリチャージＭＯＳトランジスタＭＰ２のソースに接続されている。

【００７２】図示されているように、第１及び第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２のドレイン、及び、第５のＭＯＳトランジスタＭ５のゲートには、外部電源電圧V_{DD}が供給され、他方、第２及び第６のＭＯＳトランジスタＭ２及びＭ６のソースは、接地電位V_{SS}　に接続されている。

【００７３】図５に示された昇圧電位発生回路２０ｂの動作を図６に示された波形図を参照して説明する。まず、図５に示されているように、第１のクロックＩＮ１は、図２と同様に、電圧振幅V_{DD}を有し、０レベル（ローレベル）とV_{DD}レベル（ハイレベル）の間で変化し、他方、第２のクロックＩＮ２は$2V_{DD}$レベル（ハイレベル）とV_{DD}レベル（ローレベル）の間で変化している。ここで、第１のクロックＩＮ１のハイレベル期間は第２のクロックＩＮ２の低レベル期間より短くなるように設定されている。更に、第３のクロックＩＮ３は０レベル（ローレベル）とV_{DD}レベル（ハイレベル）との間で変化し、そのハイレベル期間は、第１のクロックＩＮ１のハイレベル期間より短くなるように調整されている。更に、第４のクロックＩＮ４は第１のクロックＩＮ１に対して逆極性を有しており、$2V_{DD}$レベル（ハイレベル）とV_{DD}（ローレベル）との間で変化する。上記した第１～第４のクロックＩＮ１～ＩＮ４は図１と同様にクロック発振器２１によって発生される。

【００７４】第２のクロックＩＮ２がハイレベル（$2V_{DD}$）を取り、第４のクロックＩＮ４もハイレベル（$2V_{DD}$）の状態にある期間、第１及び第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２がオンになる。このとき、第１の容量ＭＯＳトランジスタＭＣ１のノードＮ１及びＮ２の電位は、図６に示すように、それぞれ０及びV_{DD}レベルになる。また、ノードＮ４はV_{DD}のレベルを取る。これは、第３のクロックＩＮ３がローレベルを取り、この状態では、第５、第４、及び、第２のＭＯＳトランジスタＭ５、Ｍ４、及び、Ｍ２がオンになり、第２の容量ＭＯＳトランジスタＭＣ２のノードＮ５がローレベル（Ｖｓｓ）になるからである。

【００７５】続いて、第２のクロックＩＮ２がローレベルに移行し、且つ、第１のクロックＩＮ１がハイレベル、第４のクロックＩＮ４がローレベルになると、第１及び第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２はオフになる。この時、ノードＮ３の電位は、略V_{PP}の電位に保たれている。この状態で、第３のクロックＩＮ３がハイレベルになると、第６及び第１のＭＯＳトランジスタＭ６、Ｍ１がオンになり、結果として、ノードＮ３を通して、昇圧電位V_{PP}が第２の容量ＭＯＳトランジスタＭＣ２のノードＮ５に与えられる。このため、第２の容量ＭＯＳトランジスタＭＣ２のゲート側電位Ｎ４は、図６に示すように、$V_{DD}+V_{PP}$まで上昇する。電位V_{PP}は電位V_{DD}よりも高いから、図６に示すように、ノードＮ４に接続されたトランスファＭＯＳトランジスタＭＴ１のゲートの電位は、$2V_{DD}$を越え、$3V_{DD}$に近いレベルに達する。したがって、図１と同様に、トランスファＭＯＳトランジスタＭＴ１は、迅速に電荷を転送することができ、容量回路２２を通して略一定の昇圧電位ＶＰＰを発生することができる。

【００７６】この実施形態においても、トランスファＭＯＳトランジスタＭＴ１を薄膜化することも可能である。しかしながら、図４に関連して説明したように、内部回路に供給された昇圧電位は内部回路で使用されることにより、昇圧電位が大幅に低下する場合もあり、また、高い制御電圧を与え、高速に内部回路に供給するためには、トランスファＭＯＳトランジスタＭＴ１のゲート膜厚は厚膜がより好ましい。

【００７７】図７を参照すると、本発明の第４の実施形態に係る昇圧電位発生回路２０ｃは、トランスファＭＯＳトランジスタＭＴ１としてＰチャンネルＭＯＳトランジスタを使用している点で、図５に示された昇圧電位発生回路２０ｂと相違している。この関係で、図７の回路は、図５に示された第２のプリチャージＭＯＳトランジスタＭＣ２を含んでいない。また、図７に示された昇圧電位発生回路２０ｃでは、トランスファＭＯＳトランジスタＭＴ１のゲート電位であるノードＮ４の電位が図８に示すように、接地電位０レベル（V_{SS}）とV_{PP}レベルとの間で変化すること以外、図５及び６と同様であるので、説明を省略する。

【００７８】図８のノードＮ３における電位からも明らかな通り、図７に示された構成によっても、$2V_{DD}$の電位に近い昇圧電位V_{PP}を発生することができる。

【００７９】図７に示された昇圧電位発生回路２０ｃにおいても、トランスファＭＯＳトランジスタＭＴ１のゲート絶縁膜の膜厚を薄膜化することができるが、トランスファＭＯＳトランジスタＭＴ１のゲート膜厚は厚膜がより好ましいことは、前述した通りである。

【００８０】図９を参照すると、本発明の第５の実施形態に係る昇圧電位発生回路２０ｄは、複数の容量ＭＯＳトランジスタ（ここでは、ＭＣ１、ＭＣ２）を含んだ構成を備え、これによって、３倍圧の昇圧電圧V_{PP}を発生することができる。図示された例では、容量ＭＯＳトランジスタＭＣ１（第１の容量ＭＯＳトランジスタと呼ぶ）、及び、容量ＭＯＳトランジスタＭＣ２（第２の容量ＭＯＳトランジスタと呼ぶ）はともにメモリセルを構成するＭＯＳトランジスタ、或いは、トランスファＭＯＳトランジスタのゲート酸化膜に比較して薄膜のゲート酸化膜を有するＭＯＳトランジスタによって構成されて

いる。

【００８１】図９では、第１の容量ＭＯＳトランジスタＭＣ１の基板側及びゲート側のノードをそれぞれ第１及び第２のノードＮ１、Ｎ２とし、第１のノードＮ１には、インバータを介して第１のクロックＩＮ１が与えられ、他方、第２のノードＮ２は、第１のプリチャージＭＯＳトランジスタＭＰ１に接続されている。第１のプリチャージＭＯＳトランジスタＭＰ１は薄膜のゲート絶縁膜を有し、そのドレインには、外部電源電圧V_{DD}が与えられる一方、ゲートには、第２のクロックＩＮ２が供給されている。

【００８２】一方、第２のノードＮ２と、接地電位（V_{SS}）との間には、スイッチ回路として、厚膜のゲート絶縁膜を有する第１～第３のＭＯＳトランジスタＭ１～Ｍ３が直列に接続されている。このうち、第１のＭＯＳトランジスタＭ１はＰチャンネルＭＯＳトランジスタであり、第２及び第３のＭＯＳトランジスタＭ２、Ｍ３はＮチャンネルＭＯＳトランジスタである。図に示されているように、第１及び第３のＭＯＳトランジスタＭ１、Ｍ３のゲートには、第３のクロックＩＮ３が与えられており、第２のＭＯＳトランジスタＭ２のゲートには、外部電源電圧V_{DD}が供給されている。

【００８３】薄膜のゲート絶縁膜を有する第２の容量ＭＯＳトランジスタＭＣ２は、基板側ノード（第３のノード）Ｎ３とゲート側ノード（第４のノード）Ｎ４とを備え、第３のノードＮ３は第１及び第２のＭＯＳトランジスタＭ１、Ｍ２の共通接続点に接続されている。一方、第４のノードＮ４はトランスファＭＯＳトランジスタＭＴ１に接続されると共に、第２のプリチャージＭＯＳトランジスタＭＰ２のソースに接続されている。これら、第２のプリチャージＭＯＳトランジスタＭＰ２及びトランスファＭＯＳトランジスタＭＴ１は厚膜のゲート絶縁膜を有するＭＯＳトランジスタによって構成されている。

【００８４】第２のプリチャージＭＯＳトランジスタＭＰ２のドレインには、外部電源電圧V_{DD}が供給されており、そのゲートには、第４のクロックＩＮ４が与えられ、また、トランスファＭＯＳトランジスタＭＴ１のゲートには、第５のクロックＩＮ５が与えられている。

【００８５】図１０には、上記した各クロックＩＮ１～ＩＮ５の波形と、各ノードＮ１～Ｎ４における電位変化が示されている。まず、第５のクロックＩＮ５以外が与えられていない場合、即ち、ローレベルにあって電荷が転送されていない場合、第１乃至第４のノードＮ１、Ｎ２、Ｎ３、Ｎ４の電位はそれぞれV_{DD}、$2V_{DD}$、$2V_{DD}$、及び$3V_{DD}$に維持されている。

【００８６】第１のクロックＩＮ１がインバータを介して与えられると、図１０に示された第１及び第２のノードＮ１、Ｎ２の波形からも明らかなように、第１のノードＮ１の電位は、V_{DD}レベルから０レベルに変化し、他方、第２のノードＮ２の電位は、$2V_{DD}$レベルからV_{DD}レベルに変化する。この状態では、第２のクロックＩＮ２及び第４のクロックＩＮ４はローレベルにあるため、第１及び第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２はオフに保たれている。

【００８７】続いて、第３のクロックＩＮ３がハイレベルになると共に、第２、第４のクロックＩＮ２、ＩＮ４がハイレベルになると、第１及び第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２がオン状態となり、この結果、第１及び第２の容量ＭＯＳトランジスタＭＣ１、ＭＣ２は、外部電源電圧V_{DD}によりプリチャージされる状態になる。

【００８８】即ち、第３のクロックＩＮ３がハイレベルになり、第２及び第３のＭＯＳトランジスタＭ２、Ｍ３が第３のクロックＩＮ３によってオンになると、図１０に示されるように、第３及び第４のノードＮ３、Ｎ４の電位がそれぞれ０及びV_{DD}レベルまでそれぞれ低下する。以後、第２のクロックＩＮ２がローレベルになるまで、オン状態を継続し、第２及び第４のノードＮ２、Ｎ４をV_{DD}レベルに保持する。

【００８９】次に、図１０に示すように、第２、第３、及び、第４のクロックＩＮ２、ＩＮ３、及びＩＮ４がローレベルになると、第１、第２のプリチャージＭＯＳトランジスタＭＰ１、ＭＰ２がオフ状態になると共に、第１のＭＯＳトランジスタＭ１がオンとなり、第３のＭＯＳトランジスタＭ３がオフ状態になる。

【００９０】第３のクロックＩＮ３がローレベルになると、第２のノードＮ２の電位により第３のノードＮ３が充電されることにより、第３のノードＮ３の電位が接地電位０から上昇し、この結果、第４のノードＮ４の電位も、V_{DD}から上昇し、チャージポンプが開始される。

【００９１】更に、第１のクロックＩＮ１がローレベルになると、第１のノードＮ１及び第２のノードＮ２の電位は、それぞれV_{DD}及び$2V_{DD}$に昇圧され、チャージポンプ状態となる。このとき、第１のＭＯＳトランジスタＭ１はオン状態にあるから、第３及び第４のノードＮ３及びＮ４の電位は、ノードＮ２の電位の上昇に応じて、更に、上昇し、それぞれ、$2V_{DD}$、$3V_{DD}$になる。したがって、図示された例では、第１のクロックＩＮ１のローレベル期間は、チャージポンプ期間を規定していることが分る。

【００９２】次に、図１０に示すように、第１のクロックＩＮ１がローレベルになり、第４のノードＮ４の電位が$3V_{DD}$に達すると、第５のクロックＩＮ５がハイレベルになる。このように、トランスファＭＯＳトランジスタＭＴ１は、第１のクロックＩＮ１がローレベルの期間に、オン状態となり、トランスファＭＯＳトランジスタＭＴ１の電位は$3V_{DD}$となって電荷転送状態となる。

【００９３】電荷転送が終了し、第５のクロックＩＮ５

がローレベルになり、続いて、第1のクロックＩＮ1がハイレベルになる。この時点では、第2及び第4のクロックＩＮ2、ＩＮ4で動作する第1及び第2のプリチャージMOSトランジスタMP1、MP2はオフ状態にあり、他方、第3のクロックＩＮ3で動作する第3のMOSトランジスタM3はオン状態にある。この状態では、第1のクロックＩＮ1がハイレベルになると、第1及び第2のノードＮ1、Ｎ2の電位が、それぞれV_{DD}から接地電位、$2V_{DD}$からV_{DD}へと低下する。この結果、第3及び第4のノードＮ3、Ｎ4の電位も、それぞれ$2V_{DD}$からV_{DD}へ、$3V_{DD}$から$2V_{DD}$へと変化する。

【００９４】第1のクロックＩＮ1のハイレベル期間中に、第2、第3、及び、第4のクロックＩＮ2、ＩＮ3、及び、ＩＮ4がハイレベルになると、第3及び第4のノードＮ3、Ｎ4の電位は、それぞれV_{DD}から0電位へ、$2V_{DD}$からV_{DD}へと更に低下して、第1及び第2の容量MOSトランジスタMC1、MC2はプリチャージされる状態になる。以後、同様な動作が繰り返し行われる。

【００９５】図１０に示された例では、第1のクロックＩＮ1のローレベル期間中に、第5のクロックＩＮ5がハイレベル（$3V_{DD}$）になっている。このことは、トランスファMOSトランジスタMT1の電荷転送期間と、第1のクロックＩＮ1のローレベル期間によって規定されるチャージポンプ期間とがオーバーラップし、他方、第1のクロックＩＮ1のハイレベル期間、第2及び第4のクロックＩＮ2、ＩＮ4のハイレベル期間によって規定されるプリチャージ期間と、電荷転送期間とが実質上、オーバーラップしないように、制御されていることが分る。

【００９６】尚、図１０では、第1のクロックＩＮ1と第5のクロックＩＮ5とをオーバーラップしないように制御しているが、第2の容量MOSトランジスタMC2として厚膜のゲート酸化膜を有するMOSトランジスタを使用した場合、第1のクロックＩＮ1と第5のクロックＩＮ5とが多少オーバーラップしても良い。

【００９７】図１１を参照すると、本発明の第6の実施形態に係る昇圧電位発生回路２０ｅは、第1乃至第3のMOSトランジスタM1、M2、M3及びそのゲート接続回路を変更した以外、図9に示された昇圧電位発生回路２０ｄと同様であり、図１０と同じ波形図で動作する。即ち、図１１に示された回路２０ｅでは、第1～第3のMOSトランジスタM1、M2、M3を薄膜のゲート絶縁膜を有するMOSトランジスタによって構成し、第1及び第2のMOSトランジスタM1、M2のゲートが外部電源電圧VDDを与える外部電源に共通に接続されている点、及び、第3のクロックＩＮ3が第3のMOSトランジスタM3のゲートにだけ与えられている点で、図9とは異なっている。この構成では、PチャンネルMOSによって構成された第1のMOSトランジスタM1のソース電位が、ゲート電位V_{DD}より、当該トランジスタの閾値電圧以上高くなった場合に、当該第1のMOSトランジスタM1はオン状態になること以外、図9の回路と同様である。図示された昇圧電位発生回路２０ｅも、3倍圧の昇圧電位V_{PP}を発生することができる。

【００９８】図１２及び１３を参照して、本発明の更に別の実施形態（第7の実施形態）に係る昇圧電位発生回路２０ｆを説明する。図１２に示された昇圧電位発生回路２０ｆは、図１１と同様に3倍圧の昇圧電位V_{PP}を発生する回路である。具体的に説明すると、図１２に示された昇圧電位発生回路２０ｆは、図１１と同様に、メモリセルを構成するMOSトランジスタ、或いは、トランスファMOSトランジスタのゲート絶縁膜より薄膜のゲート絶縁膜を有する第1～第3のMOSトランジスタM1、M2、M3によって構成され、第1及び第2のMOSトランジスタM1、M2のゲートは外部電源電圧V_{DD}を与える外部電源に共通に接続される一方、第3のMOSトランジスタM3に第3のクロックＩＮ3が与えられている。

【００９９】また、トランスファMOSトランジスタMT1として、ゲート絶縁膜の厚いPチャンネルMOSトランジスタが使用されている点で、前述した昇圧電位発生回路２０ｅと相違している。尚、第1のMOSトランジスタM1はPチャンネルMOSトランジスタによって構成され、第1及び第2の容量MOSトランジスタMC1、MC2、第1及び第2のプリチャージMOSトランジスタMP1、MP2が設けられている点は、図１１と同様である。

【０１００】図１３を参照して、図１２に示された昇圧電位発生回路２０ｆの動作を説明する。まず、トランスファMOSトランジスタMT1のゲートには、図１０に示された第5のクロックＩＮ5に対して反転した極性を有するクロックが第5のクロックＩＮ5として与えられている。更に、この例では、第5のクロックＩＮ5として、V_{DD}の電位をローレベルとし、$3V_{DD}$の電位をハイレベルとするクロックが使用され、当該第5のクロックＩＮ5は、第1のクロックＩＮ1のハイレベル期間よりも幅広いハイレベル期間を有している。トランスファMOSトランジスタMT1では、第5のクロックＩＮ5のローレベル期間に電荷の転送が行なわれるため、トランスファMOSトランジスタMT1における電荷転送時間は、第1のクロックＩＮ1のハイレベル期間とオーバーラップしないことが分る。

【０１０１】尚、図１３に示された第2～第4のクロックＩＮ2、ＩＮ3、ＩＮ4は図１０に示された第2～第4のクロックとそれぞれ同様である。

【０１０２】図１２及び１３において、まず、第5のクロックＩＮ5がV_{DD}から$3V_{DD}$に変化して、トラン

スファMOSトランジスタMT1がオフ状態に保たれる。この状態で、第1のクロックIN1が0レベルからV_{DD}レベルに変化すると、図13に示すように、ノードN1、N2の電位は、それぞれV_{DD}から0へ、2V_{DD}からV_{DD}へとそれぞれ変化する。

【0103】図示された昇圧電位発生回路20fにおいて、まず、第1のクロックIN1がハイレベルになる。この結果、第1及び第2のノードN1及びN2の電位は、それぞれV_{DD}から0、2V_{DD}からV_{DD}へとそれぞれ低下する。続いて、第2、第3、及び、第4のクロックN2、N3、及び、N4がハイレベルになると、プリチャージMOSトランジスタMP1、MP2、及び、第3のMOSトランジスタM3はオン状態となり、第3のノードN3は0電位に低下し、第2及び第4のノードN2及びN4はV_{DD}レベルにプリチャージされる。

【0104】次に、第2のクロックIN2～第4のクロックIN4がローレベルになると、プリチャージMOSトランジスタMP1、MP2、及び、第3のMOSトランジスタM3はオフ状態となり、第2、第3、及び、第4のノードN2、N3、及び、N4は、それぞれV_{DD}、0、及び、V_{DD}レベルを保持する。

【0105】続いて、第1のクロックIN1がローレベルになると、ノードN1及びN2の電位がそれぞれV_{DD}及び2V_{DD}になる。ノードN2の電位が2V_{DD}になると、第1のMOSトランジスタM1がオン状態になって、ノードN3、N4の電位がそれぞれ2V_{DD}及び3V_{DD}に上昇する。この状態で、第5のクロックIN5がローレベル（V_{DD}）に低下すると、トランスファMOSトランジスタMT1がオン状態となって電荷が転送される。

【0106】この結果、昇圧電位発生回路20fは、3倍圧に昇圧された電位V_{PP}を出力することができる。

【0107】図9、11、及び12に示すように、オン／オフ動作を行うスイッチ素子としてのトランジスタを介して、複数の容量MOSトランジスタMC1、MC2を実質上直列に接続した構成により、それぞれの容量をチャージポンプすることにより、加算された電圧が得られ、3倍圧の昇圧電位V_{PP}を発生することができる。

【0108】図14を参照すると、本発明の第8の実施形態に係る昇圧電位発生回路20gは、正電位のV_{DD}及び接地電位V_{SS}のほかに、－0.7V程度の基板電圧（V_{BB}）をも使用している点で、前述した実施形態とは異なっている。

【0109】具体的に説明すると、昇圧電位発生回路20gは、第1及び第2のクロックIN1、IN2をそれぞれゲートで受けて動作する第1及び第2のMOSトランジスタM1、M2を備え、両MOSトランジスタM1、M2は外部電源電圧V_{DD}端子と接地電位V_{SS}との間に直列に接続され、両MOSトランジスタM1、M2の共通接続点であるノードN1は容量MOSトランジスタMC1の基板側に接続されている。また、ノードN1と基板電位（V_{BB}）との間には、第3及び第4のMOSトランジスタM3、M4が直列に接続されている。ここで、第3のMOSトランジスタM3のゲートには、外部電源電圧VDDが供給され、他方、第4のMOSトランジスタM4のゲートには、第3のクロックIN3が与えられている。これら第1乃至第4のMOSトランジスタM1～M4は、薄いゲート絶縁膜を有しており、第1のMOSトランジスタM1だけがPチャンネル、他のMOSトランジスタM2～M4はNチャンネルMOSトランジスタである。

【0110】容量MOSトランジスタMC1のゲート側はノードN2に接続され、当該ノードN2にはプリチャージMOSトランジスタMP及びトランスファMOSトランジスタMTが接続されている。両MOSトランジスタMP及びMTはNチャンネルMOSトランジスタであり、MTは厚膜のゲート絶縁膜を有している。MOSトランジスタMP及びMTのゲートには、それぞれ第4及び第5のクロックIN4及びIN5が与えられている。

【0111】図15をも併せ参照すると、第1のクロックIN1はV_{DD}レベルとV_{SS}レベルとの間で変化し、第2のクロックIN2はV_{DD}レベルとV_{BB}レベルとの間で変化する。更に、第3のクロックIN3はV_{DD}レベルとV_{BB}レベルとの間で変化する振幅を有している。

【0112】図15からも明らかなように、第1のクロックIN1がハイレベルを取るプリチャージ期間に、第2のクロックIN2と第3のクロックIN3はハイレベルとなり、第1のノードN1をV_{SS}レベル及びV_{BB}レベルに引き下げる。

【0113】更に、第4のクロックIN4は、図15に示すように、2V_{DD}レベルとV_{DD}レベルとの間で変化し、そのタイミングは第1のクロックIN1と同じタイミングである。また、第1のクロックIN1のローレベル期間に、即ち、チャージポンプ期間にハイレベルになる第5のクロックIN5はV_{DD}と3V_{DD}との間で変化している。

【0114】図14において、第2のクロックIN2の電位がハイレベルの時、第1のノードN1はV_{SS}レベルにあり、第2のクロックIN2がローレベルに変わると、第2のMOSトランジスタM2はオフとなると共に、第4のMOSトランジスタM4に与えられている第3のクロックIN3がハイレベル（V_{DD}）になって、第4のMOSトランジスタM4は第3のMOSトランジスタM3と共にオンになり、結果として、図15に示すように、ノードN1の電位はV_{BB}まで引き下げられる。このことは、一旦、V_{SS}（接地電位）まで低下したノードN1の電位が更にV_{BB}まで引き下げられ、プリチャージが行われることを意味している。

【0115】続いて、第1、第3、及び、第4のクロックIN1、IN3、IN4がローレベルに低下すると、プリチャージ期間が完了し、第3及び第4のMOSトランジスタM3、M4、及び、プリチャージMOSトランジスタMPはオフ状態となる。このとき、第1のMOSトランジスタM1がオンとなって、第1のノードN1の電位は、V_{DD}レベルの方向に上昇し始め、チャージポンプ期間となる。この期間中、第1のノードN1のレベルがV_{BB}からV_{DD}に引上げられることにより、第2のノードN2の電位は$2V_{DD}+V_{BB}$レベルまで上昇していく。このとき、第5のクロックIN5が$3V_{DD}$に達すると、トランスファMOSトランジスタMTがオンして、電荷の転送が行われる。

【0116】このように、この実施形態では、ノードN1の電位を一旦接地電位（V_{SS}）まで、放電した後、更に、負電位（V_{BB}）まで引き下げることにより、直接、負電位に引き下げる場合に比べて、負電源に対する負荷を減少させることができる。したがって、図14に示された昇圧電位発生回路20gはV_{BB}電源を利用して、即ち、1個の容量MOSトランジスタだけを用いて、$2V_{DD}+V_{BB}$の昇圧レベルを得ることができる。この場合、容量MOSトランジスタに印加される電位差はV_{DD}よりは大きくなるが、$2V_{DD}$よりは小さいため薄膜ゲートを使用できる。

【0117】上述した各実施形態に係る昇圧電位発生回路を製造するためには、互いに異なるゲート絶縁膜を有するMOSトランジスタを製作する必要がある。

【0118】図16（a）～（f）を参照して、膜厚の互いに異なるMOSトランジスタを製作するために使用されるマルチオキサイドプロセスについて説明する。まず、図16（a）に示すように、シリコン基板31上に、STI（shallow trenchisolation）により、選択的に絶縁領域32を設ける。これによって、シリコン基板31は互いに絶縁された複数の領域に区画される。次に、シリコン基板31及び絶縁領域32の表面上に、第1の絶縁膜33を形成する（図16（b））。

【0119】続いて、図16（c）に示すように、第1の絶縁膜33上に、選択的にレジスト膜34を塗布した後、レジスト膜34によって覆われていない部分の第1の絶縁膜33をエッチングして、シリコン基板31及び絶縁領域32を部分的に露出させる（図16（d））。この状態で、レジスト膜34を除去して、第1の絶縁膜33を露出させ（図16（e））、露出した第1の絶縁膜33、シリコン基板31、及び、絶縁領域32上に第2の絶縁膜35を形成する。

【0120】この結果、第1及び第2の絶縁膜33及び35が積層された領域には、厚い絶縁膜が形成され、第1の絶縁膜33が形成されていない領域には、薄い絶縁膜が形成される。このように、マルチオキサイドプロセスを利用することにより、厚い絶縁膜及び薄い絶縁膜を形成できる。また、これら厚い絶縁膜及び薄い絶縁膜を昇圧電位発生回路を構成するMOSトランジスタのゲート絶縁膜として利用することにより、前述した実施形態に使用されるMOSトランジスタを製作することができる。

【0121】図17を参照して、本発明の更に別の実施形態（第9の実施形態）に係る昇圧電位発生回路について説明する。この実施形態に係る昇圧電位発生回路は、ビット線センスアンプ（SA）のオーバードライブ電源回路として使用されている。図示された例では、外部電源電圧V_{DD}を降圧して、内部降圧電位V_{DL}を得るための内部降圧回路41がオーバードライブ電源回路に接続されている。この例では、外部電源を直接利用する代わりに、内部降圧した電位V_{DL}をオーバードライブ電源回路に供給して、当該オーバードライブ電源回路により昇圧電位VDARYは、駆動用MOSトランジスタMDを介してセンスアンプSAに与えられる。この構成では、外部電源のレベルの変動による昇圧電位VDARYのレベル変動の影響を抑制できる。また、内部降圧回路41を使用することにより、外部電源を利用した場合に比較して、ビット線に必要な容量を有する容量MOSトランジスタMC1のゲート絶縁膜の膜厚を薄くすることができ、容量MOSトランジスタMC1に要する面積を縮小することができる。

【0122】図17に示されたオーバードライブ電源回路は、内部降圧電位V_{DL}と接地間に接続されたPチャンネルの第1のMOSトランジスタM1とNチャンネルの第2のMOSトランジスタM2との直列回路を備え、両MOSトランジスタM1及びM2の共通接続点に、上記した容量MOSトランジスタMC1が接続されている。当該容量MOSトランジスタMC1のゲート側には、プリチャージMOSトランジスタMP1及びトランスファMOSトランジスタMT1が接続されている。更に、図示された回路は、V_{DL}電位を選択的に供給するスイッチングMOSトランジスタMSを備えている。

【0123】ここで、MOSトランジスタM1及びM2のゲートには、第1のクロックIN1、プリチャージMOSトランジスタMP1のゲートには、第2のクロックIN2、トランスファMOSトランジスタMT1のゲートには、第3のクロックIN3、スイッチングMOSトランジスタMSには、第4のクロックIN4、及び、駆動用MOSトランジスタMDには第5のクロックIN5が供給されている。

【0124】より具体的に、図18をも参照して、図17の動作を説明すると、外部電源電圧V_{DD}は内部降圧回路41によりV_{DL}に降圧されてオーバードライブ電源回路に与えられている。この状態で、プリチャージMOSトランジスタMP1には、プリチャージ（PRE）期間、図18に示すように、第2のクロックIN2がハ

イレベルの状態にあり、プリチャージＭＯＳトランジスタＭＰ１はオン状態となって、容量ＭＯＳトランジスタＭＣ１をプリチャージする。また、この状態では第１のクロックＩＮ１がハイレベルにあるため、第１のＭＯＳトランジスタＭ１はオフの状態にある。

【０１２５】次に、第１のクロックＩＮ１及び第２のクロックＩＮ２がローレベルになって、プレチャージ期間からチャージポンプ期間に移行する。この期間中、第３のクロックＩＮ３がハイレベルになる。このチャージポンプ期間、プリチャージＭＯＳトランジスタＭＰ１は第２のクロックＩＮ２によりオフとなり、第１のクロックＩＮ１のローレベルがＡＣＴＶ信号として第１及び第２のＭＯＳトランジスタＭ１、Ｍ２のゲートに入力される。この結果、第１のＭＯＳトランジスタＭ１がオンとなり、他方、第２のクロックＩＮ２によりプリチャージＭＯＳトランジスタＭＰ１はオフとなり、トランスファＭＯＳトランジスタＭＴ１はオンとなる。したがって、この期間中に昇圧が行われ、昇圧電位ＶＤＡＲＹがトランスファＭＯＳトランジスタＭＴ１から出力される。

【０１２６】このとき、第４のクロックＩＮ４がローレベル状態にあるため、スイッチングＭＯＳトランジスタＭＳはオフの状態にある。一方、駆動用ＭＯＳトランジスタＭＤが第５のクロックＩＮ５により、オンの状態にあり、オーバードライブの電荷がトランスファＭＯＳトランジスタＭＴ１から、駆動用ＭＯＳトランジスタＭＤを介してセンスアンプ（ＳＡ）に供給される。

【０１２７】図示された例では、ビット線の増幅終了と前後して、第１のクロックＩＮ１、第２のクロックＩＮ２はハイレベル、第３のクロックＩＮ３はローレベルに変化し、更に、再書き込み期間を指示する信号が第４のクロックＩＮ４としてスイッチングＭＯＳトランジスタＭＳに与えられ、当該スイッチングＭＯＳトランジスタＭＳがオンとなって、V_{DL}（ビット線ハイレベル供給電源）に切り替えられる。切替終了により容量ＭＯＳトランジスタはプリチャージ状態になる。

【０１２８】このように、図示されたオーバードライブ電源回路は、V_{DL}と昇圧されたオーバードライブ電源電圧ＶＤＡＲＹを選択的に供給できるため、従来のように、オーバードライブ用電源線とV_{DL}電源線を個別に配線する必要がないと言う利点を備えている。

【０１２９】また、図示されたオーバードライブ電源回路を構成する容量ＭＯＳトランジスタのゲート絶縁膜は、ＤＲＡＭのメモリセルを構成するＭＯＳトランジスタのゲート絶縁膜より薄くしているが、同じ厚さであっても良い。

【０１３０】

【発明の効果】以上説明したように、本発明によれば、容量ＭＯＳトランジスタのゲート絶縁膜の厚さを薄くし、小面積で大きな容量を実現することができると言う利点がある。また、本発明では、大きな容量を要する３倍圧の昇圧電位発生回路を容易に構成できると言う利点もある。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係る昇圧電位発生回路を説明するための図である。

【図２】図１に示された昇圧電位発生回路の動作を説明するための波形図である。

【図３】本発明の第２の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図４】図３に示された昇圧電位発生回路の動作を説明するための波形図である。

【図５】本発明の第３の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図６】図５に示された昇圧電位発生回路の動作を説明するための波形図である。

【図７】本発明の第４の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図８】図７に示された昇圧電位発生回路の動作を説明するための波形図である。

【図９】本発明の第５の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図１０】図９に示された昇圧電位発生回路の動作を説明するための波形図である。

【図１１】本発明の第６の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図１２】本発明の第７の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図１３】図１２に示された昇圧電位発生回路の動作を説明するための波形図である。

【図１４】本発明の第８の実施形態に係る昇圧電位発生回路を説明するための回路図である。

【図１５】図１４に示された昇圧電位発生回路の動作を説明するための波形図である。

【図１６】（ａ）、（ｂ）、（ｃ）、（ｄ）、（ｅ）、（ｆ）は本発明に係る昇圧電位発生回路に使用されるＭＯＳトランジスタを製造する方法を工程順に説明するための図である。

【図１７】本発明の第９の実施形態に係る昇圧電位発生回路を説明するための回路図である。

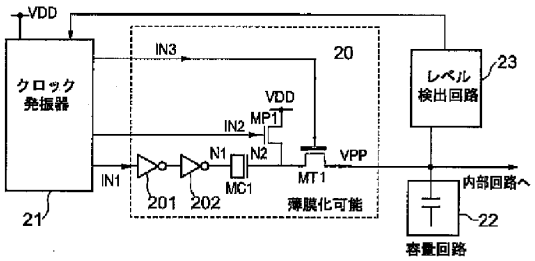
【図１８】図１７に示された昇圧電位発生回路の動作を説明するための波形図である。

【符号の説明】

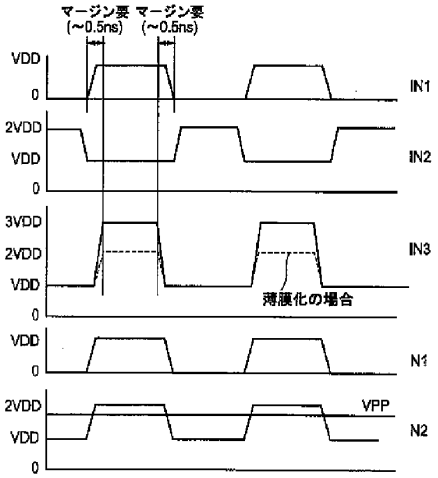
ＭＣ１	容量ＭＯＳトランジスタ
ＭＴ１	トランスファＭＯＳトランジスタ
ＭＰ１	プリチャージＭＯＳトランジスタ
２０、２０ａ～２０ｇ	昇圧電位発生回路
２１	クロック発振器
２２	容量回路

201、202　　インバータ　　M1～M6　　MOSトランジスタ

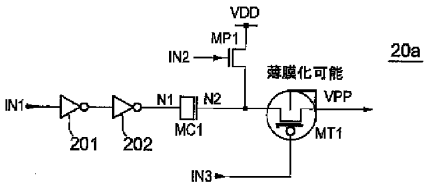
【図1】



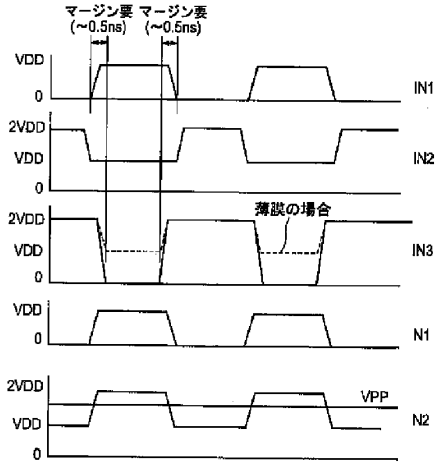
【図2】



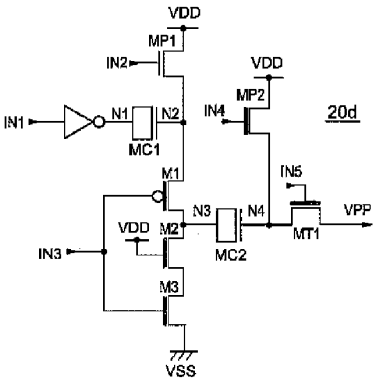
【図3】



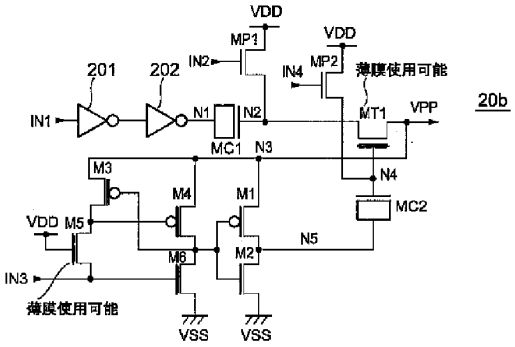
【図4】



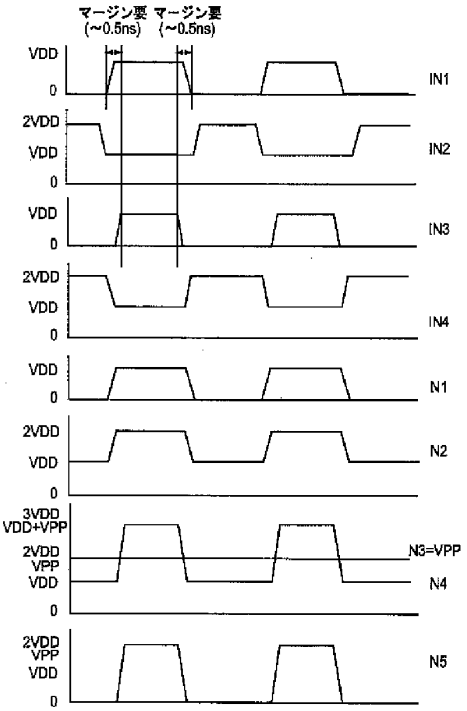
【図9】



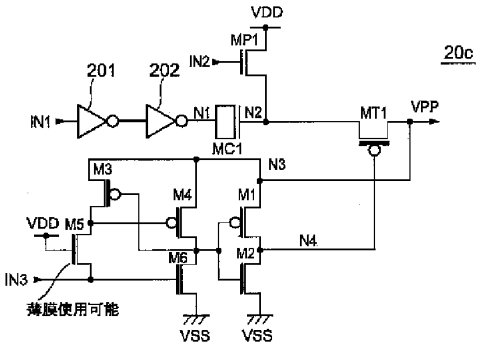
【図5】



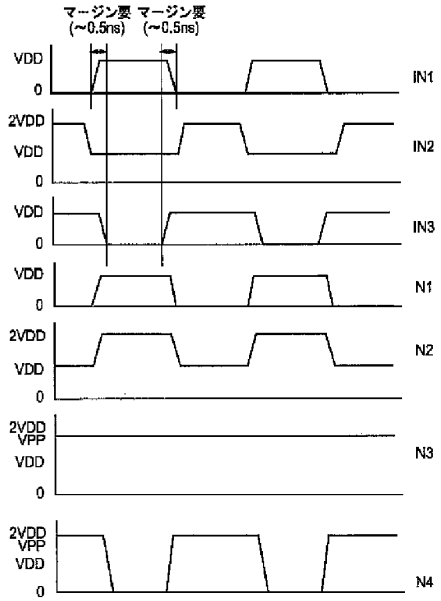
【図6】



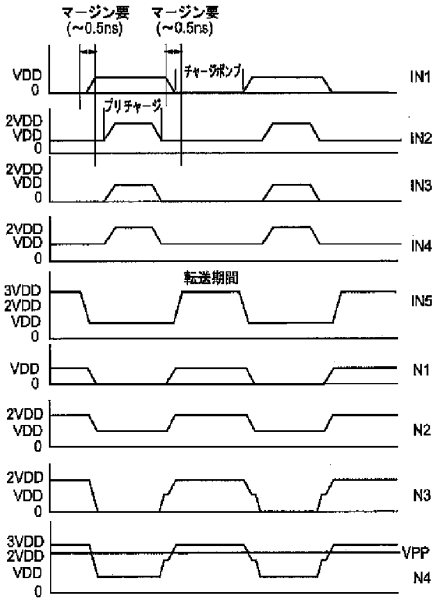
【図7】



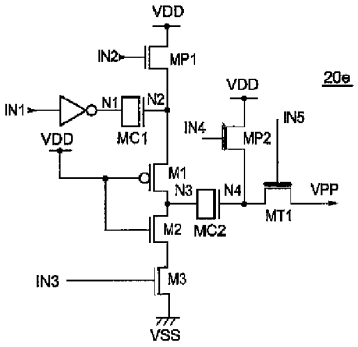
【図8】



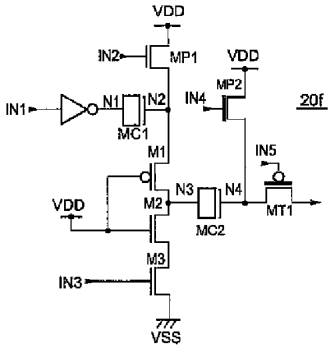
【図10】



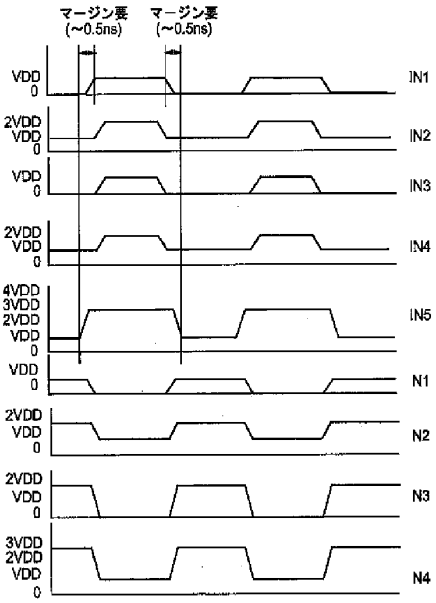
【図11】



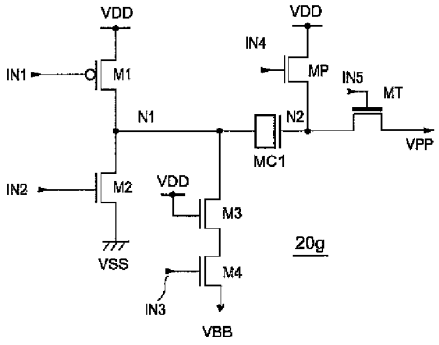
【図12】



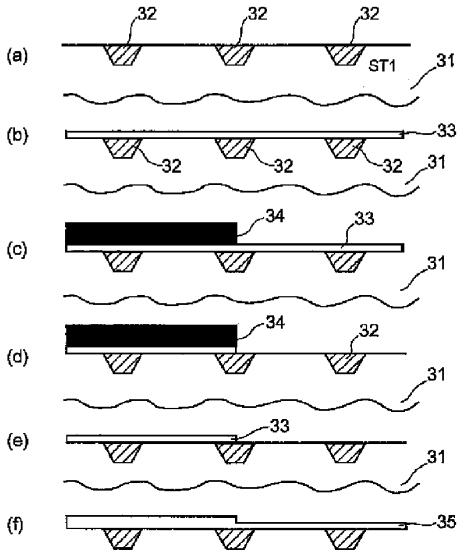
【図13】



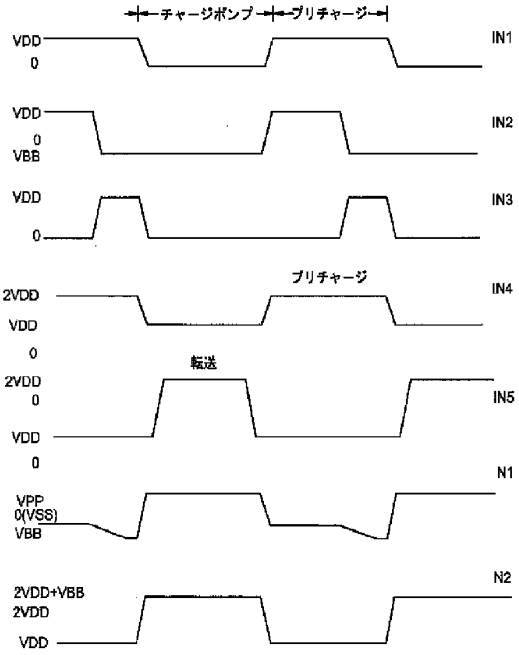
【図14】



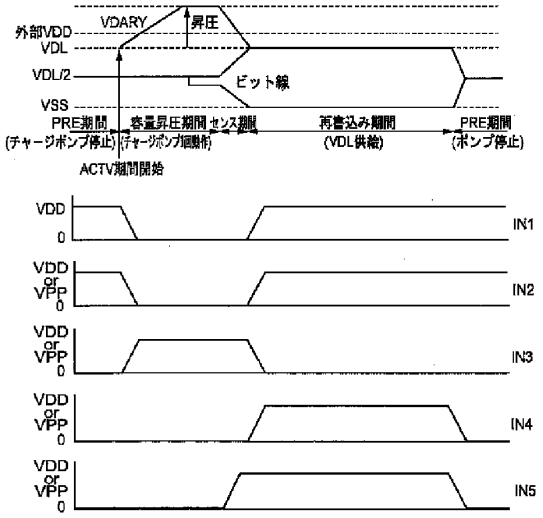
【図16】



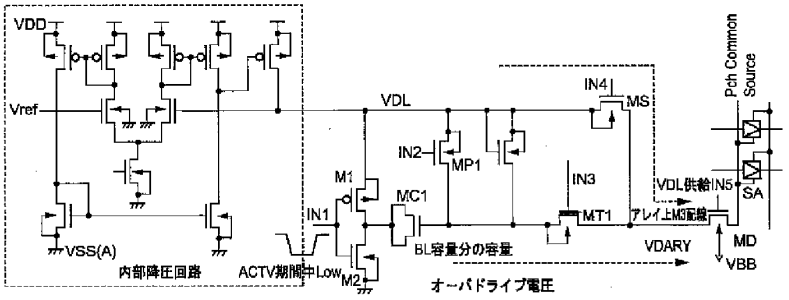
【図１５】



【図１８】



【図１７】



フロントページの続き

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ 27/108		Ｈ０１Ｌ 27/04	Ｃ
Ｈ０２Ｍ 3/07			

(72)発明者　成井　誠司
東京都中央区八重洲二丁目２番１号　エルピーダメモリ株式会社内
(72)発明者　前　健治
東京都小平市上水本町五丁目22番１号　株式会社日立超エル・エス・アイ・システムズ内
(72)発明者　森野　誠
東京都小平市上水本町五丁目22番１号　株式会社日立超エル・エス・アイ・システムズ内
(72)発明者　久保内　修一
東京都小平市上水本町五丁目22番１号　株式会社日立超エル・エス・アイ・システムズ内

Ｆターム(参考)　5F038 AC03 AC05 AC08 AC14 AC15
AC17 BG02 BG03 BG05 CD06
DF05 EZ20
5F083 GA19 LA05 LA08 LA10 NA01
ZA07 ZA08
5H730 AA14 AA15 BB02 BB57 DD04
EE07 EE59 FD01 FG01
5M024 AA04 AA58 BB29 BB35 BB36
FF03 FF13 FF22 HH01 PP01
PP03 PP05 PP07

Original document

SEMICONDUCTOR CIRCUIT AND ITS INSPECTION METHOD

Page bookmark	JP2005011475 (A) - SEMICONDUCTOR CIRCUIT AND ITS INSPECTION METHOD
Inventor(s):	KONDO MASATAKA ±
Applicant(s):	MATSUSHITA ELECTRIC IND CO LTD ±
Classification:	**- international:** ***G01R31/28; G05F1/56; G11C11/401; G11C11/407; G11C29/00; G11C29/06; H01L21/822; H01L27/04; H02M3/07;*** (IPC1-7): G01R31/28; G05F1/56; G11C11/401; G11C11/407; G11C29/00; H01L21/822; H01L27/04; H02M3/07
	- European:
Application number:	JP20030177401 20030623
Priority number(s):	JP20030177401 20030623

Abstract of JP2005011475 (A)

Translate this text

PROBLEM TO BE SOLVED: To provide a semiconductor circuit in which a necessary memory capacity is automatically produced and a power supply circuit can be easily optimized when the memory core of a DRAM is obtained, and to provide its inspection method. ;
SOLUTION: By making the potential V applied to a buffer at the final stage connected to a capacitive element performing the charge pumping, a value adjusted by a step-down power supply on the basis of the relation of capacitor accumulated charge Q=CV, the adjustment of this potential V is made equivalent to the adjustment of the capacitance C of a

capacitor , then the optimization of the power supply in accordance with the memory capacity can be carried out. ; COPYRIGHT: (C)2005,JPO&NCIPI

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-11475
(P2005-11475A)
(43)公開日　平成17年1月13日(2005.1.13)

(51)Int.Cl.[7]	F I			テーマコード（参考）
G11C 29/00	G11C	29/00	671F	2G132
G01R 31/28	G05F	1/56	310K	5F038
G05F 1/56	G05F	1/56	310Q	5H430
G11C 11/401	G05F	1/56	310U	5H730
G11C 11/407	H02M	3/07		5L106

審査請求 未請求　請求項の数 29　ＯＬ　（全 25 頁）　最終頁に続く

(21)出願番号　特願2003-177401(P2003-177401)
(22)出願日　平成15年6月23日(2003.6.23)

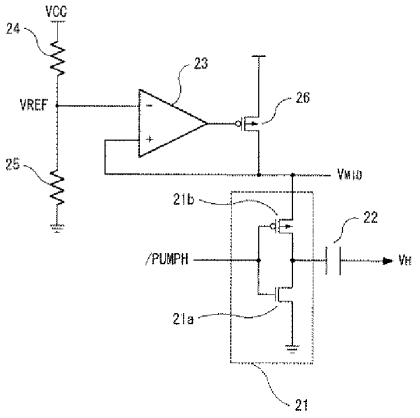
(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100113859
弁理士　板垣　孝夫
(74)代理人　100068087
弁理士　森本　義弘
(72)発明者　近藤　昌貴
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

Ｆターム(参考)　2G132 AA08 AC14 AK07 AK08 AK15 AK23 AL00

最終頁に続く

(54)【発明の名称】半導体回路およびその検査方法

(57)【要約】
【課題】必要なメモリ容量を自動生成してＤＲＡＭのメモリコアを得る際の電源回路の最適化を容易に行なえる半導体回路およびその検査方法を提供する。
【解決手段】コンデンサの蓄積電荷Ｑ＝ＣＶの関係を基に、チャージポンプを行なう容量素子に接続される最終段のバッファに与える電位Ｖを、降圧電源により調整した値とすることにより、この電位Ｖの調整をコンデンサの容量Ｃの調整と等価なものにして、メモリ容量に応じた電源回路の最適化を行なえるようにする。
【選択図】　図２



【特許請求の範囲】
【請求項1】
供給された電源の電圧を昇圧して出力する昇圧電源回路と、供給された電源の電圧に対する降圧機能を有する降圧電源回路とからなる電源装置を有し、前記昇圧電源回路からの出力電圧を他回路へ供給する半導体回路であって、前記昇圧電源回路からの出力電圧の前記昇圧を、前記降圧電源回路の前記降圧機能により制御するよう構成したことを特徴とする半導体回路。
【請求項2】
請求項１記載の半導体回路であって、供給電源の電圧を第一の電源電位とし、前記降圧電源回路は、前記第一の電源電位と接地電位の間にある任意電位を第三の電源電位として生成するよう構成し、前記昇圧電源回路は、蓄電素子と制御回路とからなり、前記降圧電源回路の降圧機能を利用して、前記制御回路により、前記蓄電素子に前記第一の電源電位と前記第三の電源電位との差をなす電位を与えてその電位に応じた量の電荷を蓄積し、前記蓄電素子を前記制御回路で駆動して第二の電源電位を生成するよう構成したことを特徴とする半導体回路。
【請求項3】
請求項１記載の半導体回路であって、供給電源の電圧を第一の電源電位とし、前記降圧電源回路は、前記第一の電源電位と接地電位の間にある２つの任意電位を第三の電源電位および第四の電源電位として生成するよう構成し、前記昇圧電源回路は、蓄電素子と制御回路とからなり、前記降圧電源回路の降圧機能を利用して、前記制御回路により、前記蓄電素子に、前記第一の電源電位と前記第四の電源電位との差をなす電位を与えて、その電位に応じた量の電荷を蓄積し、前記蓄電素子を前記制御回路で前記第三の電位に駆動して第二の電源電位を生成するよう構成したことを特徴とする半導体回路。
【請求項4】
請求項２に記載の半導体回路であって、前記電源装置は、前記昇圧電源回路からの出力電圧の制御に用いる電源電位を切替え可能とするスイッチを設け、前記スイッチは、前記第三の電源電位と前記第一の電源電位あるいは接地電位とを切替えるよう構成し、前記降圧電源回路に、前記第三の電源電位を調整する電圧調整手段を設けたことを特徴とする半導体回路。
【請求項5】
請求項４記載の半導体回路であって、前記電圧調整手段は、回路の動作周波数が低い状態に遷移した場合あるいは当該降圧電源回路の動作が安定な定常状態となった場合には、前記第三の電源電位が低くなるように調整し、前記低い動作周波数あるいは前記定常状態から復帰した場合には、前記第三の電源電位が高くなるように調整するよう構成したことを特徴とする半導体回路。
【請求項6】
請求項４記載の半導体回路であって、前記スイッチは、前記昇圧電源回路の昇圧能力が要求される場合には、前記昇圧電源回路からの出力電圧の制御に用いる電源電位として、前記第一の電源電位に切替えるよう構成したことを特徴とする半導体回路。
【請求項7】
請求項４記載の半導体回路であって、前記スイッチは、前記昇圧電源回路が停止状態に遷移した場合には、前記昇圧電源回路からの出力電圧の制御に用いる電源電位として、前記接地電位に切替えるよう構成したことを特徴とする半導体回路。
【請求項8】
請求項４記載の半導体回路であって、前記降圧電源回路に、前記第三の電源電位として前記第一の電源電位と接地電位の間に任意電位を得るための複数の抵抗素子からなる分圧回路を設け、前記電圧調整手段は、前記第三の電源電位を調整する場合に、前記抵抗素子の接続数を可変する手段として、その接続状態をアクティブにするヒューズ、あるいは接続状態が書込み可能な不揮発性メモリあるいは書き換え可能な不揮発性メモリを設けたこと

を特徴とする半導体回路。
【請求項9】
請求項４記載の半導体回路であって、前記降圧電源回路に、前記第三の電源電位として前記第一の電源電位と接地電位の間に任意電位を得るための複数の抵抗素子からなる分圧回路を設け、前記電圧調整手段は、前記第三の電源電位を調整する場合に、前記抵抗素子の接続数を可変する手段として、その接続状態を変更する論理回路を設け、外部からの電圧設定信号を前記論理回路に入力することで前記第三の電位の値を決定するよう構成したことを特徴とする半導体回路。
【請求項10】
請求項８記載の半導体回路を検査する検査方法であって、前記半導体回路に対する全数検査をあらかじめ実行し、正常であった前記半導体回路に対してのみ前記電圧調整手段による第三の電源電位の調整を実行する検査工程を有することを特徴とする半導体回路の検査方法。
【請求項11】
請求項２から請求項９のいずれかに記載の半導体回路であって、前記昇圧電源回路は、蓄電素子ならびに前記第三の電位が印加される制御回路を、他の回路部分と同様の薄膜トランジスタにより形成したことを特徴とする半導体回路。
【請求項12】
請求項２から請求項９のいずれかに記載の半導体回路であって、前記昇圧電源回路は、蓄電素子ならびに前記第三の電位が印加される制御回路を、他の回路部分より耐圧電位の高い厚膜トランジスタにより形成したことを特徴とする半導体回路。
【請求項13】
請求項１から請求項９のいずれかに記載の半導体回路であって、前記降圧電源回路は、第一および第二の演算増幅器と、ＰチャネルトランジスタおよびＮチャネルトランジスタとを有し、前記第一の電源電位と接地電位の間にある任意電位として、前記第一および第二の演算増幅器の各反転入力端子に印加される第一および第二の参照電位のうち、高い方の参照電位が入力される側の前記第一の演算増幅器の出力は前記Ｎチャネルトランジスタのゲートに接続され、前記Ｎチャネルトランジスタのソースは接地電位に、ドレインは前記第三の電源電位に接続され、低い方の参照電位が入力される側の前記第二の演算増幅器の出力は前記Ｐチャネルトランジスタのゲートに接続され、前記Ｐチャネルトランジスタのソースは前記第一の電源電位に、ドレインは前記第三の電源電位に接続され、前記第一および第二の演算増幅器のいずれの正入力にも前記第三の電源電位が接続されていることを特徴とする半導体回路。
【請求項14】
請求項１３記載の半導体回路であって、前記降圧電源回路は、前記Ｐチャネルトランジスタを駆動する前記第二の演算増幅器に印加される電源電位を、前記第一の電源電位よりも大とし、かつ該演算増幅器を厚膜トランジスタで形成したことを特徴とする半導体回路。
【請求項15】
請求項１４記載の半導体回路であって、前記降圧電源回路は、第三の演算増幅器と第二のＰチャネルトランジスタとを設け、前記第三の演算増幅器の反転入力には前記第一および第二の参照電位よりも低い第三の参照電位が接続され、前記第三の演算増幅器の正入力には前記第三の電源電位が接続され、前記第三の演算増幅器の出力には前記第二のＰチャネルトランジスタのゲートが接続され、前記第二のＰチャネルトランジスタのソースは前記第一の電源電位に、ドレインは前記第三の電源電位に接続されていることを特徴とする半導体回路。
【請求項16】
請求項１５記載の半導体回路であって、前記昇圧電源回路の出力電圧は正の電圧とすることを特徴とする半導体回路。
【請求項17】
請求項１５記載の半導体回路であって、前記昇圧電源回路の出力電圧は負の電圧とするこ

とを特徴とする半導体回路。
【請求項18】
請求項１６または請求項１７に記載の半導体回路であって、前記昇圧電源回路は、半導体集積回路の一機能として備えられたメモリ回路に適用されることを特徴とする半導体回路。
【請求項19】
請求項１８記載の半導体回路であって、前記メモリ回路は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）とし、前記昇圧電源回路は、その出力電圧を前記ＤＲＡＭのアクセス経路に印加するよう構成したことを特徴とする半導体回路。
【請求項20】
請求項１９記載の半導体回路であって、前記昇圧電源回路は、その出力電圧を論理反転し、前記反転論理を前記ＤＲＡＭのアクセス経路に印加するよう構成したことを特徴とする半導体回路。
【請求項21】
請求項２０記載の半導体回路であって、前記電圧調整手段は、隣接する２層の配線層間の絶縁体層を貫いて前記配線層間を接続する金属電極の有無によって、前記第三の電源電位を設定するよう構成したことを特徴とする半導体回路。
【請求項22】
請求項２１記載の半導体回路の設計データ生成方法であって、前記２層の配線層間の配線状態の違いによって、前記半導体回路に搭載されるメモリの構成に適切な設定状態があらかじめレイアウトデータとして用意され、前記レイアウトデータを含めたメモリマクロを自動生成することを特徴とする半導体回路の設計データ生成方法。
【請求項23】
請求項２１記載の半導体回路の検査方法であって、前記金属電極の状態が正常であることを検査するために、前記金属電極の状態を論理出力する回路の設定状態を、複数のフリップ・フロップからなるスキャン列との比較を行なえるようにし、前記スキャン列に入力されたデータと前記金属電極の状態の出力とを、それぞれ排他的論理和により比較し、それらの出力の論理和によって、前記金属電極のいずれかに不良があったかどうかを判定する検査項目を含むことを特徴とする半導体回路の検査方法。
【請求項24】
請求項２３記載の半導体回路の検査方法であって、前記判定による出力により、前記金属電極の状態に不良があった場合に、前記金属電極以外の方法により前記第三の電源電位を発生するように切替えて、前記降圧電源回路を検査する検査工程を含むことを特徴とする半導体回路の検査方法。
【請求項25】
請求項２４記載の半導体回路の検査方法であって、前記電源装置を搭載した複数のメモリ回路を含む場合に、前記切替え指示の規定状態を不活性とし、前記複数のメモリ回路を共通して動作させ、前記降圧電源回路を検査する検査工程を含むことを特徴とする半導体回路の検査方法。
【請求項26】
請求項２４記載の半導体回路の検査方法であって、前記切替え指示の規定状態をマスクプログラムにより指定し、例外とした特定のマクロにより独立して電源装置を動作させて検査する検査工程を含むことを特徴とする半導体回路の検査方法。
【請求項27】
請求項２５または請求項２６に記載の半導体回路の検査方法であって、前記半導体回路に高負荷を加えて検査する信頼性検査工程で、その検査中は、前記降圧電源回路から出力される第三の電源電位を下げて前記昇圧電源回路の出力を降下させることを特徴とする半導体回路の検査方法。
【請求項28】
請求項２７記載の半導体回路の検査方法であって、メモリの特性を評価する際、前記第三

の電源電位を接地電位として前記昇圧電源回路を不活性化し、前記昇圧電源回路からの出力電圧の代わりに外部印加電圧を用いて前記メモリを駆動することを特徴とする半導体回路の検査方法。
【請求項29】
請求項２５または請求項２６に記載の半導体回路の検査方法であって、前記半導体回路に高負荷を加えて検査する信頼性検査工程で、その検査中は、前記第三の電源電位を接地電位として前記昇圧電源回路を不活性化し、前記昇圧電源回路からの出力電圧の代わりに外部印加電圧を用いて前記メモリを駆動することを特徴とする半導体回路の検査方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、内蔵されたＤＲＡＭへ電源供給するための電源回路を備えた半導体回路およびその検査方法に関するものである。
【０００２】
【従来の技術】
従来から、システムＬＳＩの回路設計において、その設計工数を削減するためには、容易に部品の再利用ができる回路設計が行いやすい環境を構築することが重要なこととして挙げられ、システムの要求に応じて容量可変なメモリを提供することで最適なメモリ構成となり、パフォーマンスの向上が可能となるため、メモリは可能な限り自由な容量構成をとれるような設計方法を提供することが重要である。
【０００３】
一般的に、システムＬＳＩではその目的に応じ、マスクＲＯＭ、ＳＲＡＭ、ＤＲＡＭなど多種のメモリが使用されており、プログラムの格納、キャッシュメモリに用いてデータのヒット率向上、データ処理などの目的に応じて、最適なメモリが使用される。
【０００４】
通常のＣＭＯＳプロセスで形成可能なマスクＲＯＭやＳＲＡＭでは、システムＬＳＩに搭載されるメモリとして広く用いられてきていることから、この設計工数削減の手段として、コンパイラブルなメモリジェネレータを用い、メモリを自動的に配置設計することにより、容易に所望のメモリ構成を得ることができるものが提供されている。
【０００５】
一方、ＤＲＡＭ（例えば、特許文献１および特許文献２を参照）では、リーク電流の削減、アクセス速度の補償、信頼性の向上などを行なう目的で、外部から印加される電位から各部位に最適な中間電位、昇圧電位、負電位を供給しており、それらを生成する回路が必要となってくる。
【０００６】
このような理由により、回路設計において、ＤＲＡＭは自動生成が行ないにくいという特性があり、例えば電源回路に限定して着目してみても、メモリの容量に合わせて、チャージポンプ回路の能力を可変とする際には、チャージポンプを行なうコンデンサの容量だけでなく、そのコンデンサに電荷を転送するバッファのサイズをも変更する必要がある。
【０００７】
その設計工数を考慮した場合、サイズ決定、シミュレーションによる検証、レイアウト、ポストレイアウトシミュレーションというように、各工程による作業段階を踏んで回路設計を行なう必要があり、自動化の障害となっている。
【０００８】
しかしながら、ＤＲＡＭは、１ビット当たりの素子数による回路面積を小さくできるという理由から、大きなメモリ容量を必要とする箇所で求められており、ＳＲＡＭを適用した場合には１ビット当たりの素子数による回路面積が大きくなるという面積デメリットが顕在化するなかで、上記のようなデメリットを考慮に入れても搭載する価値がある。さらに近年では、通常のＣＭＯＳプロセスで形成可能なプレーナ構造を備えたＤＲＡＭが適用されてきており、システムＬＳＩにおけるＤＲＡＭの適用範囲は、今後大きく伸びていくことが予想される。

【０００９】
【特許文献１】
特開２００１－２５０３８１号公報
【００１０】
【特許文献２】
特開２００１－１６３８８８号公報
【００１１】
【発明が解決しようとする課題】
以上のような従来の半導体回路の回路設計においては、他種のメモリと同様に、ＤＲＡＭによるメモリ構成が容易に自動生成できる設計方法の確立が急務であり、その１つとして、前述した電源回路に関する問題を解決する必要がある。
【００１２】
これに対し、前述のようなＤＲＡＭを自動生成に対応させるためには、従来自動生成への対応が不十分である電源回路の自由度をあげて、回路設計時の自動生成が容易に行うことができ、設計工数の低減が行なえるようにする必要がある。
【００１３】
そのためには、トランジスタの面積変化による能力の違いを明確にすることに加え、素子のサイズによらない調整手段を選択し、それによってコンパイラ化を実現する手法を模索するのが最良であると考えられる。
【００１４】
本発明は、上記従来の問題点を解決するもので、メモリ容量の違いに関わらず、電源回路のレイアウトとしては共通のものを用いることができ、電源回路の自動生成に対する自由度を向上し、その自動生成を容易化して回路設計時の設計工数を削減することができるとともに、回路を構成する素子のばらつきに対応して、ポンピング容量素子に与える電圧を容易に調整することができ、回路設計の際に用いるコンパイラの扱いやすさを向上することができる半導体回路およびその検査方法を提供する。
【００１５】
【課題を解決するための手段】
上記の課題を解決するために、本発明の請求項１に記載の半導体回路は、供給された電源の電圧を昇圧して出力する昇圧電源回路と、供給された電源の電圧に対する降圧機能を有する降圧電源回路とからなる電源装置を有し、前記昇圧電源回路からの出力電圧を他回路へ供給する半導体回路であって、前記昇圧電源回路からの出力電圧の前記昇圧を、前記降圧電源回路の前記降圧機能により制御するよう構成したことを特徴とする。
【００１６】
また、本発明の請求項２に記載の半導体回路は、請求項１記載の半導体回路であって、供給電源の電圧を第一の電源電位とし、前記降圧電源回路は、前記第一の電源電位と接地電位の間にある任意電位を第三の電源電位として生成するよう構成し、前記昇圧電源回路は、蓄電素子と制御回路とからなり、前記降圧電源回路の降圧機能を利用して、前記制御回路により、前記蓄電素子に前記第一の電源電位と前記第三の電源電位との差をなす電位を与えてその電位に応じた量の電荷を蓄積し、前記蓄電素子を前記制御回路で駆動して第二の電源電位を生成するよう構成したことを特徴とする。
【００１７】
また、本発明の請求項３に記載の半導体回路は、請求項１記載の半導体回路であって、供給電源の電圧を第一の電源電位とし、前記降圧電源回路は、前記第一の電源電位と接地電位の間にある２つの任意電位を第三の電源電位および第四の電源電位として生成するよう構成し、前記昇圧電源回路は、蓄電素子と制御回路とからなり、前記降圧電源回路の降圧機能を利用して、前記制御回路により、前記蓄電素子に、前記第一の電源電位と前記第四の電源電位との差をなす電位を与えて、その電位に応じた量の電荷を蓄積し、前記蓄電素子を前記制御回路で前記第三の電位に駆動して第二の電源電位を生成するよう構成したことを特徴とする。

【００１８】
以上により、昇圧電源回路に印加する電圧を降圧電源回路からメモリ容量に応じて調整して供給することにより、メモリ容量に応じて自由に電源の能力を決定することができる。
【００１９】
また、本発明の請求項４に記載の半導体回路は、請求項２に記載の半導体回路であって、前記電源装置は、前記昇圧電源回路からの出力電圧の制御に用いる電源電位を切替え可能とするスイッチを設け、前記スイッチは、前記第三の電源電位と前記第一の電源電位あるいは接地電位とを切替えるよう構成し、前記降圧電源回路に、前記第三の電源電位を調整する電圧調整手段を設けたことを特徴とする。
【００２０】
以上により、昇圧電源回路を駆動する降圧電源回路の制御を、その内部に備えたスイッチを用いてさまざまなレベルに変化させることを可能とし、最大能力を与える場合、初期設定電位から予め設定した範囲に微調整を行なう場合、あるいは昇圧電源回路を不活性化させる場合について、それぞれを回路動作中に変更することができる。
【００２１】
また、本発明の請求項５に記載の半導体回路は、請求項４記載の半導体回路であって、前記電圧調整手段は、回路の動作周波数が低い状態に遷移した場合あるいは当該降圧電源回路の動作が安定な定常状態となった場合には、前記第三の電源電位が低くなるように調整し、前記低い動作周波数あるいは前記定常状態から復帰した場合には、前記第三の電源電位が高くなるように調整するよう構成したことを特徴とする。
【００２２】
また、本発明の請求項６に記載の半導体回路は、請求項４記載の半導体回路であって、前記スイッチは、前記昇圧電源回路の昇圧能力が要求される場合には、前記昇圧電源回路からの出力電圧の制御に用いる電源電位として、前記第一の電源電位に切替えるよう構成したことを特徴とする。
【００２３】
また、本発明の請求項７に記載の半導体回路は、請求項４記載の半導体回路であって、前記スイッチは、前記昇圧電源回路が停止状態に遷移した場合には、前記昇圧電源回路からの出力電圧の制御に用いる電源電位として、前記接地電位に切替えるよう構成したことを特徴とする。
【００２４】
以上により、低速動作モードや待機モード時のように消費電力を落すべきところでは昇圧回路も能力を落とし、電源立ち上げ時のように大きな能力が必要な場面では昇圧回路の能力を上げ、停止状態では電力供給を止めることにより、それぞれの状態に最適な動作モードを与えることができる。
【００２５】
また、本発明の請求項８に記載の半導体回路は、請求項４記載の半導体回路であって、前記降圧電源回路に、前記第三の電源電位として前記第一の電源電位と接地電位の間に任意電位を得るための複数の抵抗素子からなる分圧回路を設け、前記電圧調整手段は、前記第三の電源電位を調整する場合に、前記抵抗素子の接続数を可変する手段として、その接続状態をアクティブにするヒューズ、あるいは接続状態が書込み可能な不揮発性メモリあるいは書き換え可能な不揮発性メモリを設けたことを特徴とする。
【００２６】
また、本発明の請求項９に記載の半導体回路は、請求項４記載の半導体回路であって、前記降圧電源回路に、前記第三の電源電位として前記第一の電源電位と接地電位の間に任意電位を得るための複数の抵抗素子からなる分圧回路を設け、前記電圧調整手段は、前記第三の電源電位を調整する場合に、前記抵抗素子の接続数を可変する手段として、その接続状態を変更する論理回路を設け、外部からの電圧設定信号を前記論理回路に入力することで前記第三の電位の値を決定するよう構成したことを特徴とする。
【００２７】

また、本発明の請求項１０に記載の半導体回路の検査方法は、請求項８記載の半導体回路を検査する検査方法であって、前記半導体回路に対する全数検査をあらかじめ実行し、正常であった前記半導体回路に対してのみ前記電圧調整手段による第三の電源電位の調整を実行する検査工程を有する方法としたことを特徴とする。

【００２８】

以上により、検査により電圧調整を行なう場合に、ヒューズあるいは不揮発性メモリで状態変化を行なわせるものに加え、外部にヒューズボックスなどの調整手段を持つことができる。

【００２９】

また、本発明の請求項１１に記載の半導体回路は、請求項２から請求項９のいずれかに記載の半導体回路であって、前記昇圧電源回路は、蓄電素子ならびに前記第三の電位が印加される制御回路を、他の回路部分と同様の薄膜トランジスタにより形成したことを特徴とする。

【００３０】

また、本発明の請求項１２に記載の半導体回路は、請求項２から請求項９のいずれかに記載の半導体回路であって、前記昇圧電源回路は、蓄電素子ならびに前記第三の電位が印加される制御回路を、他の回路部分より耐圧電位の高い厚膜トランジスタにより形成したことを特徴とする。

【００３１】

以上により、降圧電源回路を使用して適用電圧範囲を低くした場合に使用するトランジスタとして薄い絶縁膜のものにも対応し、回路を実現するためのプロセスの自由度を上げることができるとともに、論理回路の高速性が必要な箇所だけ絶縁膜の厚いトランジスタを適用させることにより、論理回路の高速性の犠牲をできる限り抑え、回路の信頼性を向上させることができる。

【００３２】

また、本発明の請求項１３に記載の半導体回路は、請求項１から請求項９のいずれかに記載の半導体回路であって、前記降圧電源回路は、第一および第二の演算増幅器と、Ｐチャネルトランジスタおよびｎチャネルトランジスタとを有し、前記第一の電源電位と接地電位の間にある任意電位として、前記第一および第二の演算増幅器の各反転入力端子に印加される第一および第二の参照電位のうち、高い方の参照電位が入力される側の前記第一の演算増幅器の出力は前記ｎチャネルトランジスタのゲートに接続され、前記ｎチャネルトランジスタのソースは接地電位に、ドレインは前記第三の電源電位に接続され、低い方の参照電位が入力される側の前記第二の演算増幅器の出力は前記Ｐチャネルトランジスタのゲートに接続され、前記Ｐチャネルトランジスタのソースは前記第一の電源電位に、ドレインは前記第三の電源電位に接続され、前記第一および第二の演算増幅器のいずれの正入力にも前記第三の電源電位が接続されている構成としたことを特徴とする。

【００３３】

また、本発明の請求項１４に記載の半導体回路は、請求項１３記載の半導体回路であって、前記降圧電源回路は、前記Ｐチャネルトランジスタを駆動する前記第二の演算増幅器に印加される電源電位を、前記第一の電源電位よりも大とし、かつ該演算増幅器を厚膜トランジスタで形成したことを特徴とする。

【００３４】

また、本発明の請求項１５に記載の半導体回路は、請求項１４記載の半導体回路であって、前記降圧電源回路は、第三の演算増幅器と第二のＰチャネルトランジスタとを設け、前記第三の演算増幅器の反転入力には前記第一および第二の参照電位よりも低い第三の参照電位が接続され、前記第三の演算増幅器の正入力には前記第三の電源電位が接続され、前記第三の演算増幅器の出力には前記第二のＰチャネルトランジスタのゲートが接続され、前記第二のＰチャネルトランジスタのソースは前記第一の電源電位に、ドレインは前記第三の電源電位に接続されている構成としたことを特徴とする。

【００３５】

以上により、差動増幅機能の追加のための構成配置を行なうことにより、電圧変動やポンピングの頻度、電圧の設定範囲など、設定内容の自由度を増大することができる。

【００３６】

また、本発明の請求項１６に記載の半導体回路は、請求項１５記載の半導体回路であって、前記昇圧電源回路の出力電圧は正の電圧とする構成としたことを特徴とする。

【００３７】

また、本発明の請求項１７に記載の半導体回路は、請求項１５記載の半導体回路であって、前記昇圧電源回路の出力電圧は負の電圧とする構成としたことを特徴とする。

【００３８】

また、本発明の請求項１８に記載の半導体回路は、請求項１６または請求項１７に記載の半導体回路であって、前記昇圧電源回路は、半導体集積回路の一機能として備えられたメモリ回路に適用される構成としたことを特徴とする。

【００３９】

また、本発明の請求項１９に記載の半導体回路は、請求項１８記載の半導体回路であって、前記メモリ回路は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）とし、前記昇圧電源回路は、その出力電圧を前記ＤＲＡＭのアクセス経路に印加するよう構成したことを特徴とする。

【００４０】

また、本発明の請求項２０に記載の半導体回路は、請求項１９記載の半導体回路であって、前記昇圧電源回路は、その出力電圧を論理反転し、前記反転論理を前記ＤＲＡＭのアクセス経路に印加するよう構成したことを特徴とする。

【００４１】

以上により、昇圧回路あるいは負電圧発生回路として、ＤＲＡＭでの正論理あるいは負論理用回路に適用させることができる。

【００４２】

また、本発明の請求項２１に記載の半導体回路は、請求項２０記載の半導体回路であって、前記電圧調整手段は、隣接する２層の配線層間の絶縁体層を貫いて前記配線層間を接続する金属電極の有無によって、前記第三の電源電位を設定するよう構成したことを特徴とする。

【００４３】

また、本発明の請求項２２に記載の半導体回路の設計データ生成方法は、請求項２１記載の半導体回路の設計データ生成方法であって、前記２層の配線層間の配線状態の違いによって、前記半導体回路に搭載されるメモリの構成に適切な設定状態があらかじめレイアウトデータとして用意され、前記レイアウトデータを含めたメモリマクロを自動生成する方法としたことを特徴とする。

【００４４】

以上により、電圧設定手段として、配線層によるプログラミングにより、メモリの自動生成を可能にすることができる。

【００４５】

また、本発明の請求項２３に記載の半導体回路の検査方法は、請求項２１記載の半導体回路の検査方法であって、前記金属電極の状態が正常であることを検査するために、前記金属電極の状態を論理出力する回路の設定状態を、複数のフリップ・フロップからなるスキャン列との比較を行なえるようにし、前記スキャン列に入力されたデータと前記金属電極の状態の出力とを、それぞれ排他的論理和により比較し、それらの出力の論理和によって、前記金属電極のいずれかに不良があったかどうかを判定する検査項目を含む方法としたことを特徴とする。

【００４６】

また、本発明の請求項２４に記載の半導体回路の検査方法は、請求項２３記載の半導体回路の検査方法であって、前記判定による出力により、前記金属電極の状態に不良があった場合に、前記金属電極以外の方法により前記第三の電源電位を発生するように切替えて、

前記降圧電源回路を検査する検査工程を含む方法としたことを特徴とする。
【００４７】
以上により、コンパイラによるメモリ検査時に不具合があった場合でも、その不具合に対して充分な対応をとることができる。
【００４８】
また、本発明の請求項２５に記載の半導体回路の検査方法は、請求項２４記載の半導体回路の検査方法であって、前記電源装置を搭載した複数のメモリ回路を含む場合に、前記切替え指示の規定状態を不活性とし、前記複数のメモリ回路を共通して動作させ、前記降圧電源回路を検査する検査工程を含む方法としたことを特徴とする。
【００４９】
また、本発明の請求項２６に記載の半導体回路の検査方法は、請求項２４記載の半導体回路の検査方法であって、前記切替え指示の規定状態をマスクプログラムにより指定し、例外とした特定のマクロにより独立して電源装置を動作させて検査する検査工程を含む方法としたことを特徴とする。
【００５０】
以上により、複数のメモリコアで電源回路の設定を共用することを可能とし、この場合にも、使用者が指定した特定のコアに対しては、設定を変更することができる。
【００５１】
また、本発明の請求項２７に記載の半導体回路の検査方法は、請求項２５または請求項２６に記載の半導体回路の検査方法であって、前記半導体回路に高負荷を加えて検査する信頼性検査工程で、その検査中は、前記降圧電源回路から出力される第三の電源電位を下げて前記昇圧電源回路の出力を降下させる方法としたことを特徴とする。
【００５２】
また、本発明の請求項２８に記載の半導体回路の検査方法は、請求項２７記載の半導体回路の検査方法であって、メモリの特性を評価する際、前記第三の電源電位を接地電位として前記昇圧電源回路を不活性化し、前記昇圧電源回路からの出力電圧の代わりに外部印加電圧を用いて前記メモリを駆動する方法としたことを特徴とする。
【００５３】
また、本発明の請求項２９に記載の半導体回路の検査方法は、請求項２５または請求項２６に記載の半導体回路の検査方法であって、前記半導体回路に高負荷を加えて検査する信頼性検査工程で、その検査中は、前記第三の電源電位を接地電位として前記昇圧電源回路を不活性化し、前記昇圧電源回路からの出力電圧の代わりに外部印加電圧を用いる方法としたことを特徴とする。
【００５４】
以上により、メモリの検査項目における信頼性試験やメモリセル特性評価などを行なう際に、電源における動作電圧の降下あるいは停止などの各モードを適用することができる。
【００５５】
【発明の実施の形態】
以下、本発明の実施の形態を示す半導体回路およびその検査方法について、図面を参照しながら具体的に説明する。
【００５６】
図１は本実施の形態の半導体回路における電源回路の構成を示すブロック図である。この電源回路は、図１に示すように、昇圧電源回路１１と降圧電源回路１２とで構成され、降圧電源回路１２の出力ＶＭＩＤは、昇圧電源回路１１に加えられる。昇圧電源回路１１は活性化信号ＥＮＶＨによって活性化され、その出力としてＶＨを例えば半導体回路内の他の回路に供給するものである。
【００５７】
図２は本実施の形態における電源回路の概略構成例（１）を示すブロック図であり、昇圧電源回路１１と降圧電源回路１２の関係を示すもので、それぞれの回路が有する機能を特徴付ける部分を示すものである。昇圧電源回路１１の機能として、電荷転送を行なう部分

を出力バッファ２１と電荷蓄積／転送コンデンサ２２として抜き出した。

【００５８】

チャージポンプを行なう信号／ＰＵＭＰＨが「Ｈ」レベルの場合、出力バッファ２１内のトランジスタ２１ａのみがオン（ＯＮ）となり、ＶＨは電源電位（以下、ＶＣＣで表す）であるので、コンデンサ２２の両端には電位差ＶＣＣが発生して、このＶＣＣに充電される。／ＰＵＭＰＨが「Ｌ」レベルに変化すると、トランジスタ２１ａはオフ（ＯＦＦ）となりトランジスタ２１ｂのみがオン（ＯＮ）となって、コンデンサ２２の電位差は保たれた状態で、さらに出力ＶＭＩＤがトランジスタ２１ｂを通じて加算され、ＶＨの電位はＶＣＣ＋ＶＭＩＤに押し上げられる。

【００５９】

通常、このバッファ２１にはＶＣＣが印加されるので、従来の電源回路では、ＶＨはＶＣＣの２倍になる。

【００６０】

しかしながら本実施の形態の電源回路では、演算増幅器２３、抵抗器２４、２５から作られる参照電位ＶＲＥＦ（＜ＶＣＣ）、および出力トランジスタ２６からなる回路において、ＶＲＥＦは抵抗器２４と抵抗器２５の抵抗値比率に分圧された値となり、演算増幅器２３の働きによって、ＶＭＩＤはＶＲＥＦと等しい値になるところで安定し、また、／ＰＵＭＰＨが「Ｈ」レベルから「Ｌ」レベルに変化した場合、出力バッファ２１の出力は、上記のように、接地電位（０Ｖ）からＶＭＩＤにしか上昇せず、このためＶＨの電位変化は、ＶＣＣにＶＭＩＤを加えた値、つまりＶＣＣ＋ＶＲＥＦに限定される。

【００６１】

このことは、ＶＨを従来の２×ＶＣＣから（ＶＣＣ＋ＶＲＥＦ）へ小さくした場合に相当するため、コンデンサの蓄積電荷の一般式Ｑ＝ＣＶに当てはめて、ＶＨをＶとすると、Ｖが降下したことになり、コンデンサの蓄積電荷Ｑに対しては、Ｖが一定とした時にＣを小さくした場合とほぼ等価な動作となるということがわかる。

【００６２】

図３は本実施の形態における電源回路の概略構成例（２）を示すブロック図であり、図２の場合と同様に、出力バッファ３１に与える電圧を、ＶＣＣならびにＶＭＩＤにしたもので、通常０となる「Ｌ」レベルをＶＭＩＤにしたものである。

【００６３】

この場合、／ＰＵＭＰＨが「Ｈ」レベルの時、バッファ３１の出力はＶＭＩＤとなり、コンデンサ３２の両端にはＶＣＣとＶＭＩＤしかかかっていない。そのため、コンデンサ３２に蓄えられる電荷量は小さくなる。／ＰＵＭＰＨが「Ｌ」レベルに変化すると、出力バッファ３１の出力値はＶＣＣとなるが、蓄積された電荷が少なく、コンデンサ３２にはＶＭＩＤに相当する電荷しか蓄積されてないため、ＶＨは２ＶＣＣ－ＶＭＩＤの値となり、やはり昇圧電源回路１１により昇圧される電圧を小さくできるという効果が得られる。

【００６４】

図４は本実施の形態における電源回路の概略構成例（３）を示すブロック図であり、出力バッファ４１の電位供給端子の両側を降圧電源回路４３、４４の出力で抑えたものである。降圧電源回路４３、４４の出力電位をそれぞれＶＭＩＤ１、ＶＭＩＤ２と設定したとき、／ＰＵＭＰＨが「Ｈ」レベルの時のコンデンサ４２の両電極の電位差はＶＣＣ－ＶＭＩＤ２となり、／ＰＵＭＰＨが「Ｌ」レベルとなって出力バッファ４１によって押し上げられた時のコンデンサ４２の両電極の電位はＶＣＣ－ＶＭＩＤ２＋ＶＭＩＤ１となる。

【００６５】

これらの機能により、過剰な昇圧能力を抑えることにより、昇圧動作すなわちチャージポンプ動作時のリップルが抑えられる。この効果は、昇圧電圧を供給する経路に配置しなければならない平滑コンデンサが小さくて済むという効果も得られる。

【００６６】

しかしながら、実際のメモリに適用することを考えると、昇圧能力の変化がリアルタイムでできる方が有効であり、そのために電源回路の適用範囲が広くなるという利点も得られ

る。

【００６７】

図５は本実施の形態における電源回路の制御端子群の構成を示すブロック図であり、前述のような目的のために昇圧能力の変化などの制御を行なえるように構成したものである。

【００６８】

ＵＳＥＲＥＧが「Ｈ」レベルであれば、スイッチ５１が選択されて導通状態となって経路となり、降圧電源回路５３からの出力がＶＭＩＤとして選ばれる。ＵＳＥＲＥＧが「Ｌ」レベルになると、スイッチ５２が選択されて導通状態となって経路となり、インバータ５４からの出力がＶＭＩＤとして選ばれる。

【００６９】

また、降圧電源回路５３には、参照電圧を変化させる制御端子としてＵＰ端子とＤＯＷＮ端子が備えられている。図面では簡単のために、ＵＰ、ＤＯＷＮひとつずつ配置しているものとなっているが、これらＵＰ、ＤＯＷＮは、それぞれ複数あっても良く、必要に応じて抵抗値の変化を起こすことができる機能がある。

【００７０】

スイッチ５２の経路が選ばれたときは、制御信号ＤＩＳＡＢＬＥによってＶＭＩＤに供給される電圧がＶＣＣになるか０になるかを選択できる。通常ではＤＩＳＡＢＬＥは「Ｌ」レベルであり、従ってスイッチ５２が選ばれた時はＶＭＩＤにはＶＣＣが与えられる。

【００７１】

これらの動作モードを表１にまとめると、制御信号によってＶＭＩＤをさまざまな値に変更可能であり、それゆえ動作モードによって昇圧電源回路の能力がリアルタイムに変更できるという利点が明確にされる。

【００７２】

【表１】

STATUS	USEREG	UP	DWN	DISABLE	VHﾎﾟﾝﾌﾟ電圧
1	H	L	L	-	VMID
2	H	H	L	-	VMID(u)>VMID
3	H	L	H	-	VMID(d)<VMID
4	H	H	H	-	詳細は省略
5	L	-	-	L	VDD
6	L	-	-	H	0

図６は本実施の形態における電源回路の電圧調整手段（１）の構成を示すブロック図であり、別の手段により出力電位ＶＭＩＤが変更可能なように構成したものを示すものである。

【００７３】

降圧電源回路の参照電位ＶＲＥＦは、抵抗器６１および抵抗器６２の抵抗値比率で決められるが、それぞれの経路には、ヒューズによって短絡された調整用の抵抗器６１ａ、６１ｂ、６１ｃ、および抵抗器６２ａ、６２ｂ、６２ｃが備えられており、それらに対応するヒューズ６３ａ、６３ｂ、６３ｃ、およびヒューズ６４ａ、６４ｂ、６４ｃとして表すことにする。

【００７４】

また、図７は本実施の形態における電源回路の電圧調整手段（２）の構成を示すブロック図であり、ヒューズによらない手段で電圧調整を行うように構成したものである。

【００７５】

外部に備えられた例えばヒューズボックスや不揮発性メモリなどに記録された電圧調整情報は、ＡＤＪＤＡＴＡとして抵抗値調整回路７３を介して、抵抗器７１ａ、７１ｂ、７１ｃ、および抵抗器７２ａ、７２ｂ、７２ｃのそれぞれを活性化するかどうかを決定する。抵抗値調整回路７３において、各抵抗器の両端にソースおよびドレインが接続されたトランジスタがオフとなった場所では、その抵抗器を経由することで、基本の抵抗器７１および抵抗器７２の値を調整することができる。

【００７６】
これらの電圧調整手段を用いた検査のフローは図８に示すようなものであり、全数検査（ステップ＃１）において、まずレギュレータ、すなわちここで用いられる降圧電源装置の機能検査が行なわれ（ステップ＃２）、その電圧をモニタリングし（ステップ＃３）、正しい値が出てきていないものに対しては（ステップ＃４）、電圧調整手段を変更する（ステップ＃５）ことで正常に動作するようにして電源回路の調整を完了する（ステップ＃６）。この手順を採用することで、電圧調整が必要なものを絞りこんだ検査が行なえるようになり、検査のコストが下げられるという利点がある。
【００７７】
なお、ここまで述べてきた回路を実際に拡散によってＬＳＩとして作り上げる時、使用する電圧範囲によって適用されるトランジスタを変更できる。例えば、使用する電圧範囲が低い値が中心であれば、図９に示すように、バッファおよびコンデンサからなるポンピング回路を、薄膜のゲート酸化膜を用いた薄膜トランジスタＨＴ１で作り、またその一方で、使用する電圧範囲が高い値になる可能性があれば、図１０に示すように、バッファおよびコンデンサからなるポンピング回路を、厚膜のゲートで構成される厚膜トランジスタＡＴ１を用いることができ、このように、降圧電源回路１２の構成を厚膜のゲート構成に変更することで、高速動作に対応することが可能である。
【００７８】
図１１は本実施の形態における電源回路の降圧電源構成（１）を示すブロック図であり、図２に示す構成の改良例である。
【００７９】
ＶＭＩＤを参照電圧に上げる補償を行なう演算増幅器１１１、Ｐチャネル型トランジスタ１１６に加え、ＶＭＩＤを参照電圧に下げる補償を行なう演算増幅器１１２、Ｎチャネル型トランジスタ１１７が備えられており、抵抗器の構成も抵抗器１１３、１１４に加え、両者の演算増幅器が動作する電圧にオフセットを設ける目的で抵抗器１１５が追加されており、これら抵抗器は直列に接続されている。これは、ＶＭＩＤの変動が大きい場合に効果が高く、ＶＭＩＤを目標の電圧にする時間の短縮が可能である。
【００８０】
図１２は本実施の形態における電源回路の降圧電源構成（２）を示すブロック図であり、ＶＭＩＤを下げる方向に補償する演算増幅器１２２を、通常の電源電圧ＶＣＣより大きな値ＶＣＨで駆動する構成としたものである。
【００８１】
この効果としては、ＶＭＩＤの目標電圧がＶＣＣに近いところでも、演算増幅器１２２の動作電圧には余裕があり、設定範囲が広くできるという効果がある。
【００８２】
図１３は本実施の形態における電源回路の降圧電源構成（３）を示すブロック図であり、ＶＭＩＤを上げる方向に補償する能力を向上するために、演算増幅器１３８とＰチャネル型トランジスタ１３１０を追加した構成である。
【００８３】
新たに追加した抵抗器１３９により、演算増幅器１３２の動作範囲よりも低い電圧で働くので、ＶＭＩＤが大きく下がった場合に効果が高い。
【００８４】
これまで述べてきた回路を実際に使用する適用例は、図１４に示される昇圧電源ＶＰＰを生成する回路、および図１５に示される負電圧ＶＢＢを生成する回路として挙げられる。
【００８５】
図１４では、チャージポンプを行なう信号／ＰＵＭＰおよび制御信号ＣＴＲＬは同相のパルス信号で、それぞれ「Ｈ」レベルの時にはトランジスタ１４６、１４７がオン状態になり、ノードＶＴＲＡＮＳおよびＶＧＡＴＥがＶＣＣになる。
この状態ではトランジスタ１４８、１４５はオフであり、コンデンサ１４１の電極間にはＶＣＣの電位差があるので、コンデンサ１４１は充電状態となっている。

【００８６】
入力信号／ＰＵＭＰおよびＣＴＲＬが「Ｌ」レベルに変化すると、ＶＧＡＴＥは２ＶＣＣに押し上げられ、またＶＴＲＡＮＳはＶＣＣ＋ＶＭＩＤになる。ここでトランジスタ１４８がオン状態となるから、昇圧されたＶＴＲＡＮＳがＶＰＰとして出力される。
【００８７】
図１５も同様に、／ＰＵＭＰおよびＣＴＲＬが「Ｌ」レベルの時にはＶＴＲＡＮＳおよびＶＧＡＴＥが０になり、／ＰＵＭＰ、ＣＴＲＬが「Ｈ」レベルに変化した際にＶＧＡＴＥが－ＶＣＣに、ＶＴＲＡＮＳが－ＶＭＩＤとなり、ＶＢＢに－ＶＭＩＤが転送されるので負の電圧が出力される。
【００８８】
ここで、それぞれのＶＭＩＤは降圧電源回路によって最大値が制限されているために、コンデンサ１４１およびコンデンサ１５１から転送される電荷量が少なくなる。よって、通常の回路では昇圧回路の場合電源電位の約２倍の値、負電圧回路の場合電源電位と絶対値の等しい負の値となる出力値を、中間の値にすることができる。
【００８９】
図１６と図１７は本発明が適用される回路について示したもので、図１６は本実施の形態における電源回路のポジティブワード線によるＤＲＡＭへの適用例を示すブロック図であり、図１７は本実施の形態における電源回路のネガティブワード線によるＤＲＡＭへの適用例を示すブロック図であり、それぞれＤＲＡＭに適用した場合の構成を示してある。
【００９０】
図１６について説明すると、ＤＲＡＭメモリセルＤＭ１内のメモリセルトランジスタ１６４のゲートに接続されるワード線１６７の電位は、動作速度を確保する目的で昇圧電源回路１６１の出力電位ＶＰＰとなっている。また、メモリセルトランジスタ１６４のリークを低減するために、閾値を上げる必要があり、その基板電位には負電圧発生回路１６２の出力電圧ＶＢＢが印加されている。この場合では、昇圧電源回路１６１および負電圧発生回路１６２に対し、前述した機能を搭載可能である。
【００９１】
図１７は、ＤＲＡＭで反転論理のものであり、これはプレーナ型のＤＲＡＭメモリセルＤＭ２を有する構造で用いられるものである。この場合もアクセス速度とリーク電流の削減を目的として、負電圧ＶＢＢ１を発生する負電圧電源回路１７１および負電圧ＶＢＢ２を発生する負電圧電源回路１７２が搭載できるものとなっており、これらにも前述の機能を加えることができる。
【００９２】
メモリへの搭載に対し、これらの応用範囲を広げるために、昇圧電源回路の電流能力を調整する機能を有することに加え、実際に作製する時に適切な電流能力が出力されるようにすることは有意義であるといえる。
【００９３】
図１８～図２０はその目的で備えられた機能について説明するものであり、具体的には配線層と配線層を互いに接続する層間絶縁膜に空けた穴に金属を埋め込んだコンタクトを用いて設定を行なう。
【００９４】
図１８は本実施の形態における電源回路のメタルプログラミングによる電圧調整手段（３）の構成を示すブロック図であり、コンタクト１８１の有無を判定して論理信号を出力する回路の例である。
【００９５】
まず、初期設定としてＲＥＳＥＴに一定時間「Ｈ」レベルとなる信号を入力する。この期間ノードＡの電位は「Ｌ」レベルとなりインバータ１８３を介し、出力ＣＦＧＤＡＴＡが「Ｈ」レベルに、そのデータを用いトランジスタ１８４が活性化され、Ａの電位を「Ｌ」レベルになる方向に促進する。
【００９６】

コンタクトが接続されていれば、ＲＥＳＥＴ信号が切れて「Ｌ」レベルに変化した場合、インバータ１８２の働きでノードＡの電位が上がる。Ａの電位が上昇し、インバータ１８３の出力が反転することでＣＦＧＤＡＴＡが「Ｌ」レベルとなると、そこでトランジスタ１８４はオフとなり、ノードＡは「Ｈ」レベルで安定する。

【００９７】

コンタクトが接続されていない時には、ＲＥＳＥＴの信号入力が「Ｌ」レベルに切り替わっても、ノードＡの電位は変化せず、「Ｌ」レベルを保ち続ける。そのため、インバータ１８３の出力、すなわちＣＦＧＤＡＴＡの電位は「Ｈ」となり、トランジスタ１８４のデータが保持されるので、ノードＡの電位に「Ｌ」レベルが割り当てられる。従って、ＣＦＧＤＡＴＡは入力信号レベルによらず「Ｈ」レベルが保たれる。

【００９８】

このコンタクトによるメタルプログラムを用いれば、図６あるいは図７における電圧調整パターンをマスクデータとして固定可能であり、電源回路を含むメモリマクロの自動生成を行なう際の設定データとして提供可能となる。

【００９９】

この設定が正しいことを検査するために用いることのできる回路例を図１９に示す。図１８に相当するコンタクト１８１の設定回路の出力１９１（１９１ａ、１９１ｂ、…１９１ｎ）に対し、スキャンフリップフロップの列１９２（１９２ａ、１９２ｂ、…１９２ｎ）に比較データを入力し、排他的論理和１９３（１９３ａ、１９３ｂ、…１９３ｎ）で比較を行なう。

【０１００】

設定に誤りがあれば、１９３ａ～１９３ｎのいずれかが「Ｈ」レベルとなり、間違いがなければすべてが「Ｌ」レベルとなるので、この比較結果を論理和１９４で重ねあわせた信号ＣＨＥＣＫＶＩＡが検査結果として出力すれば、設定データの検査ができる。

【０１０１】

設定データが正しいか誤りがあるかに従って設定論理を変更できる回路例を図２０に示す。判定回路２０３あるいは切替え指示回路２０４のいずれかが「Ｈ」レベルになる場合と、そうでない場合で、コンタクト設定回路２０１と、別途用意した設定回路２０２の経路を、セレクタ２０５で選択し、設定データとして選ぶ。

【０１０２】

この設定変更回路を用いることで、設定変更指示をヒューズなどで検査後に設定し、外部の設定回路を用いて設定変更を行なうこと、また、外部の設定回路を共通に用いるような設定を行なえるようにできること、複数のマクロで設定の共通化、あるいは特定マクロでは設定を独立で行なえる設定にできることが可能となる。

【０１０３】

また、検査のモード変更のための回路としてこの切替え指示回路を用いることで、信頼性試験を行なう際に出力電位を下げることや、降圧電源回路を止めることで昇圧電源回路の動作を停止するモードを実現できる。また、このように昇圧電源を停止するモードはメモリの特性評価を行なう段階でも使用可能であるが、これらのモードを切替え指示回路２０４の働きによって実現できる。

【０１０４】

また、メモリの特性を評価する際には、降圧電源回路の出力電位ＶＭＩＤを接地電位として昇圧電源回路を不活性化し、昇圧電源回路からの出力電圧ＶＨの代わりに外部印加電圧を用いてメモリを駆動するようにしてもよい。

【０１０５】

これにより、メモリの検査項目における信頼性試験やメモリセル特性評価などを行なう際に、外部印加電圧を用いても、同様に動作電圧の降下あるいは停止などの各検査モードを適用することができ、外部電源からの出力電圧により各検査モードについて容易に対応させることができる。

【０１０６】

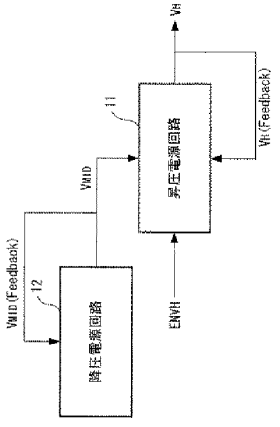
【発明の効果】
以上のように本発明によれば、コンデンサの蓄積電荷Ｑ＝ＣＶの関係を基に、チャージポンプを行なうポンピング容量素子に接続される最終段のバッファに与える電位Ｖを降圧電源回路により調整し、この調整電位に基づいて昇圧電源回路からの出力電圧を調整することにより、チャージポンプ回路内のバッファサイズおよびコンデンサ容量サイズを固定したままでも、回路設計のコンパイラブル化を可能にし、このコンパイラを用いてメモリ容量に応じた電源回路の最適化を行なえるようにすることができる。
【０１０７】
そのため、メモリ容量の違いに関わらず、電源回路のレイアウトとしては共通のものを用いることができ、電源回路の自動生成に対する自由度を向上し、その自動生成を容易化して回路設計時の設計工数を削減することができる。
【０１０８】
また、回路を構成する素子のばらつきに対応して、ポンピング容量素子に与える電圧を容易に調整することができ、回路設計の際に用いるコンパイラの扱いやすさを向上することができる。
【０１０９】
また、降圧電源回路の電圧調整や動作制御によりチャージポンプ回路の能力をリアルタイムで変更することができ、チャージポンプ回路の能力として、待機モードや低速動作モード時のように大きな能力を必要としない場合、あるいは立ち上げ時のように大きな能力を必要とする場合に対しても、それらの各場合に応じて昇圧電源回路の能力を変更することができる。
【０１１０】
そのため、別にサブ的な電源回路など複雑な機構を追加することなく、回路の動作モードを増やすことができるとともに、回路設計の自動化における設計工数を削減することができる。
【０１１１】
また、設定データをコンタクトのデータとして保持することで、メモリ容量に応じて電源回路の能力を最適化したデータを、回路設計時のデータとして提供することができ、その設計データを設計自動化の際に利用することができる。
【図面の簡単な説明】
【図１】本発明の実施の形態の半導体回路における電源回路の構成を示すブロック図
【図２】同実施の形態における電源回路の概略構成例（１）を示すブロック図
【図３】同実施の形態における電源回路の概略構成例（２）を示すブロック図
【図４】同実施の形態における電源回路の概略構成例（３）を示すブロック図
【図５】同実施の形態における電源回路の制御端子群の構成を示すブロック図
【図６】同実施の形態における電源回路の電圧調整手段（１）の構成を示すブロック図
【図７】同実施の形態における電源回路の電圧調整手段（２）の構成を示すブロック図
【図８】同実施の形態における電源回路の検査手順例を示すフローチャート
【図９】同実施の形態における電源回路の薄膜トランジスタでの構成を示すブロック図
【図１０】同実施の形態における電源回路の厚膜トランジスタでの構成を示すブロック図
【図１１】同実施の形態における電源回路の降圧電源構成（１）を示すブロック図
【図１２】同実施の形態における電源回路の降圧電源構成（２）を示すブロック図
【図１３】同実施の形態における電源回路の降圧電源構成（３）を示すブロック図
【図１４】同実施の形態における電源回路の昇圧電源構成を示すブロック図
【図１５】同実施の形態における電源回路の負電圧発生回路を示すブロック図
【図１６】同実施の形態における電源回路のポジティブワード線によるＤＲＡＭへの適用例を示すブロック図
【図１７】同実施の形態における電源回路のネガティブワード線によるＤＲＡＭへの適用例を示すブロック図
【図１８】同実施の形態における電源回路のメタルプログラミングによる電圧調整手段（

３）の構成を示すブロック図
【図１９】同実施の形態における電源回路の電圧調整手段に対する評価回路の構成を示すブロック図
【図２０】同実施の形態におけるメタルプログラムとその他の電圧調整手段との切替え構成を示すブロック図
【符号の説明】
１１　昇圧電源回路
１２　降圧電源回路
２１　出力バッファ
２２　コンデンサ
２３　演算増幅器
２４　抵抗器
２５　抵抗器
２６　出力トランジスタ
３１　出力バッファ
３２　コンデンサ
３３　演算増幅器
３４　抵抗器
３５　抵抗器
３６　出力トランジスタ
４１　出力バッファ
４２　コンデンサ
４３　降圧電源回路
４４　降圧電源回路
５１　スイッチ
５２　スイッチ
５３　降圧電源回路
５４　インバータ
６１　抵抗器
６２　抵抗器
６３　ヒューズ
６４　ヒューズ
７１　抵抗器
７２　抵抗器
７３　抵抗値調整回路
１１１　演算増幅器
１１２　演算増幅器
１１３　抵抗器
１１４　抵抗器
１１５　抵抗器
１１６　（Ｐチャネル型）トランジスタ
１１７　（Ｎチャネル型）トランジスタ
１２１　演算増幅器
１２２　演算増幅器
１２３　抵抗器
１２４　抵抗器
１２５　抵抗器
１２６　（Ｐチャネル型）トランジスタ
１２７　（Ｎチャネル型）トランジスタ
１３１　演算増幅器

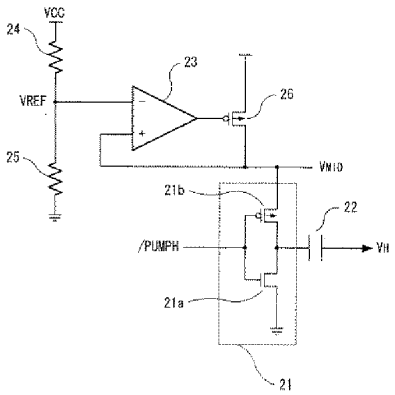
１３２　演算増幅器
１３３　抵抗器
１３４　抵抗器
１３５　抵抗器
１３６　（Ｐチャネル型）トランジスタ
１３７　（Ｎチャネル型）トランジスタ
１３８　演算増幅器
１３９　抵抗器
１３１０　（Ｐチャネル型）トランジスタ
１４１　コンデンサ
１４２　コンデンサ
１４３　コンデンサ
１４４　インバータ
１４５　（Ｎチャネル型）トランジスタ
１４６　（Ｎチャネル型）トランジスタ
１４７　（Ｎチャネル型）トランジスタ
１４８　（Ｎチャネル型）トランジスタ
１５１　コンデンサ
１５２　コンデンサ
１５３　コンデンサ
１５４　インバータ
１５５　（Ｐチャネル型）トランジスタ
１５６　（Ｐチャネル型）トランジスタ
１５７　（Ｐチャネル型）トランジスタ
１５８　（Ｐチャネル型）トランジスタ
１６１　昇圧電源回路
１６２　負電圧電源回路
１６３　中間電位発生回路
１６４　メモリセルトランジスタ
１６５　メモリセルコンデンサ
１６６　データ線
１６７　ワード線
１７１　負電圧電源回路（１）
１７２　負電圧電源回路（２）
１７３　メモリセルトランジスタ
１７４　メモリセルコンデンサ
１７５　データ線
１７６　ワード線
１８１　コンタクト
１８２　インバータ
１８３　インバータ
１８４　（Ｎチャネル型）トランジスタ
１９１　Ｖｉａ設定回路
１９２　スキャンフリップフロップ
１９３　排他的論理和
１９４　論理和
２０１　Ｖｉａ設定回路
２０２　（ヒューズなど）設定回路
２０３　判定回路
２０４　切替え指示回路

２０５　セレクタ
ＡＴ１　厚膜トランジスタ
ＨＴ１　薄膜トランジスタ
ＤＭ１　ＤＲＡＭメモリセル
ＤＭ２　ＤＲＡＭメモリセル

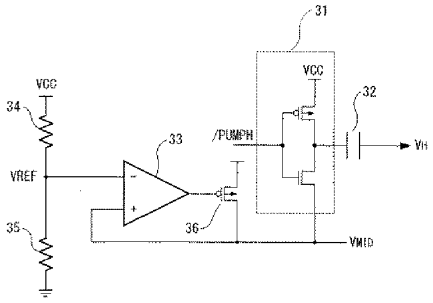
【図1】



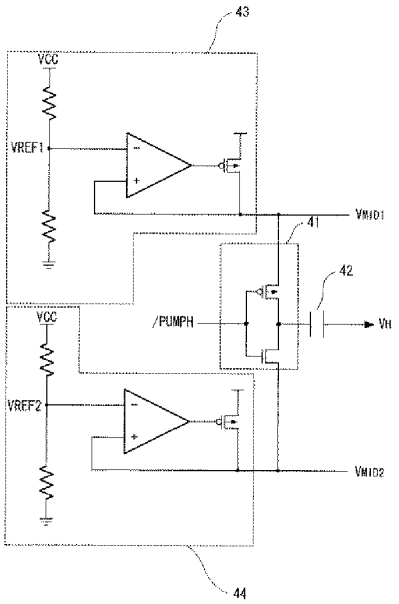
【図2】



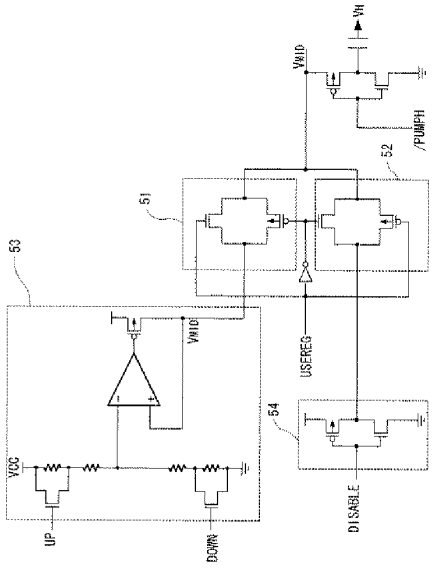
【図3】



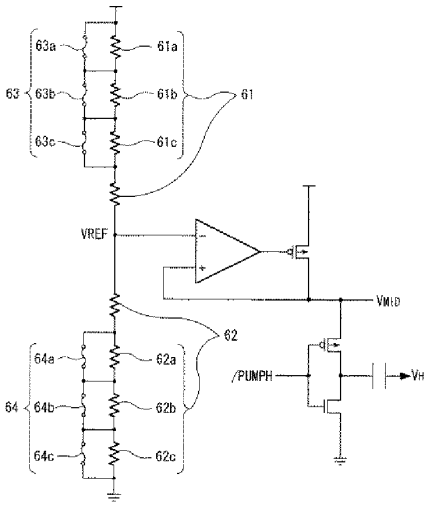
【図4】


43
VCC
VREF1
VMID1
41
42
/PUMPH
VH
VCC
VREF2
VMID2
44

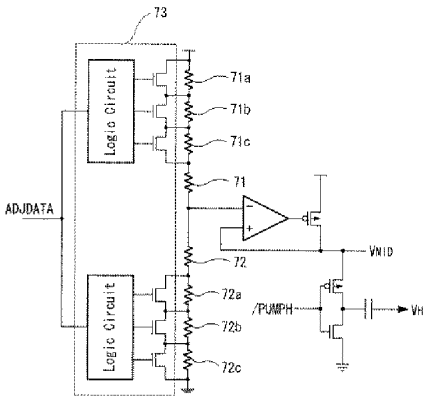
【図5】


VH
VMID
/PUMPH
52
51
53
VMID
USEREG
54
VCC
DISABLE
UP
DOWN

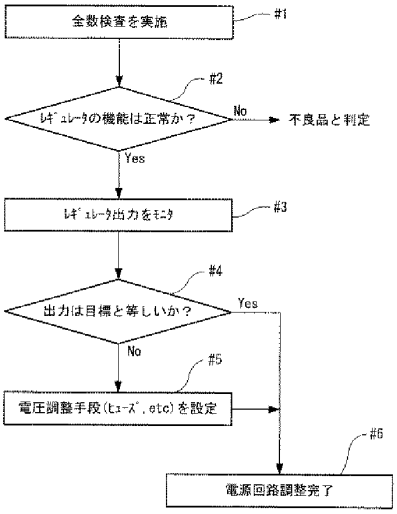
【図6】


63a
61a
63
63b
61b
61
63c
61c
VREF
VMID
62
64a
62a
/PUMPH
VH
64
64b
62b
64c
62c

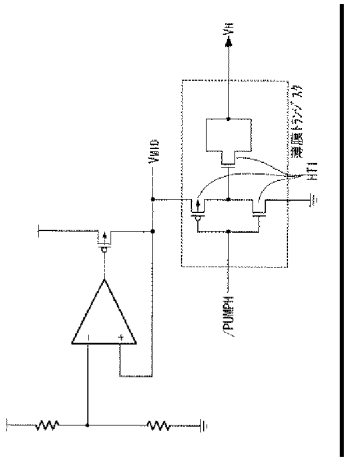
【図7】


73
Logic Circuit
71a
71b
71c
71
ADJDATA
72
VMID
Logic Circuit
72a
/PUMPH
VH
72b
72c

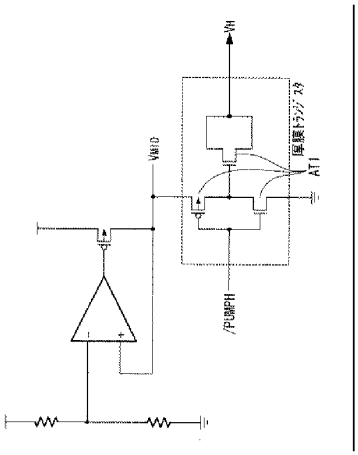
【図8】


全数検査を実施
#1
#2
ﾚｷﾞｭﾚｰﾀの機能は正常か？
No
不良品と判定
Yes
ﾚｷﾞｭﾚｰﾀ出力をﾓﾆﾀ
#3
#4
出力は目標と等しいか？
Yes
No
#5
電圧調整手段(ﾋｭｰｽﾞ, etc)を設定
#6
電源回路調整完了

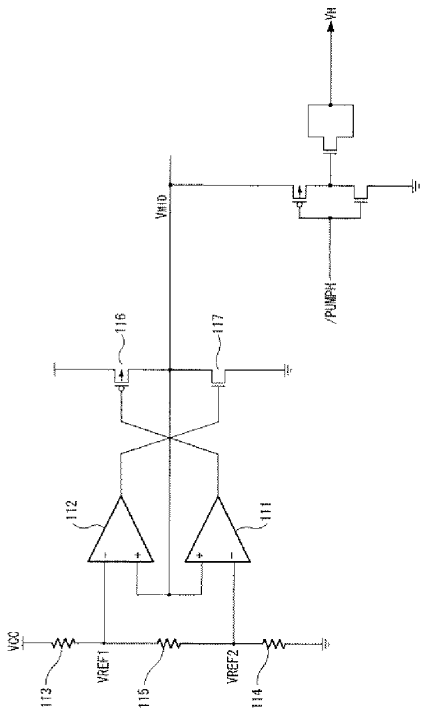
【図9】


VH
VHHD
厚膜トランジスタ
HT1
/PUMPH

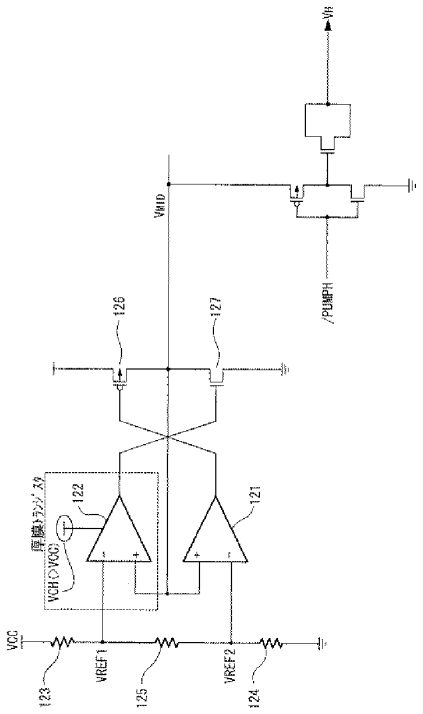
【図10】


VH
VHHD
厚膜トランジスタ
HT1
/PUMPH

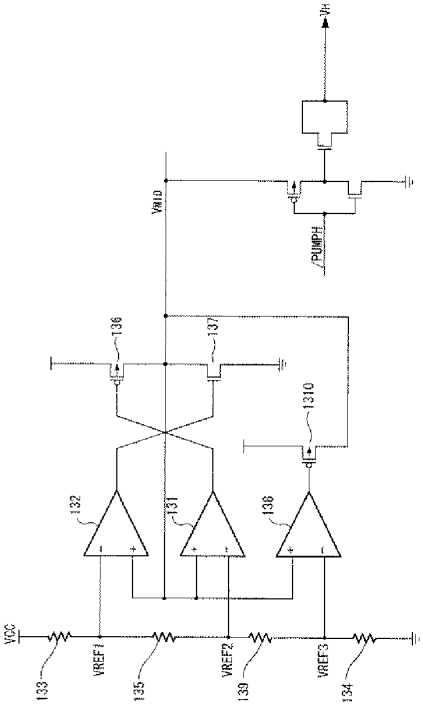
【図11】


VH
VHHD
/PUMPH
116
117
112
111
VCC
VREF1
VREF2
113
115
114

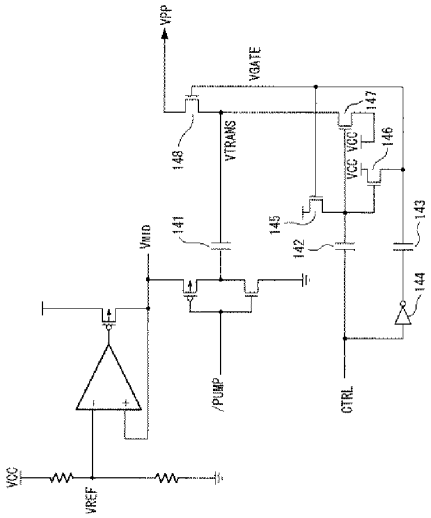
【図12】



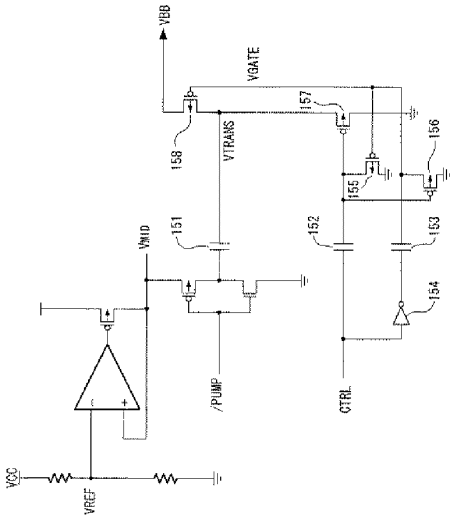
【図13】



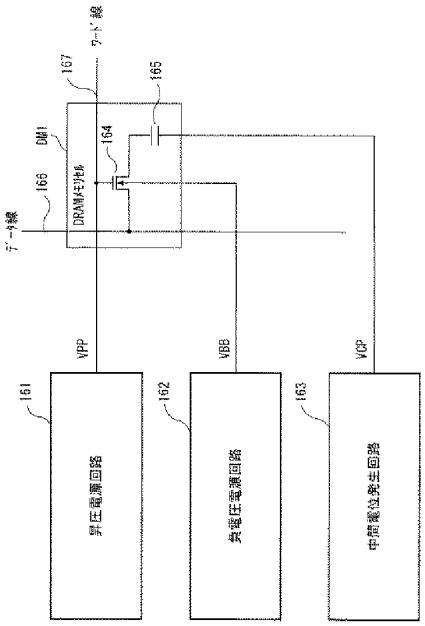
【図14】



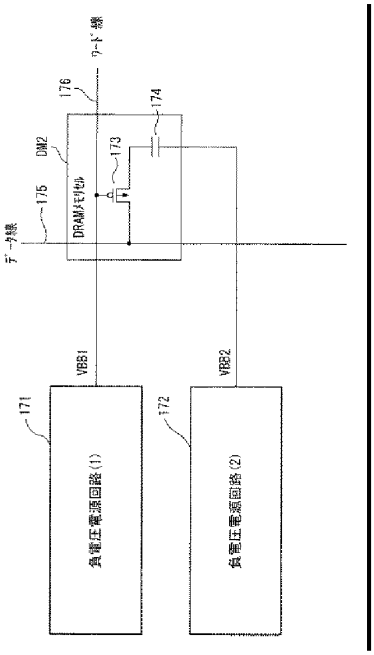
【図15】



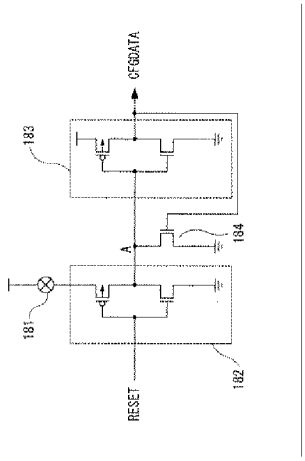
【図16】



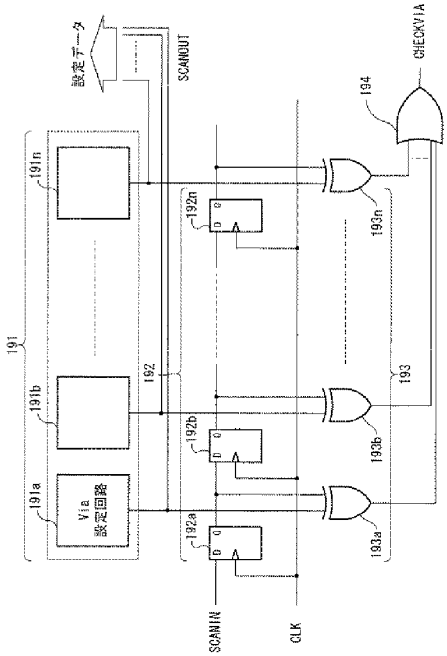
【図17】



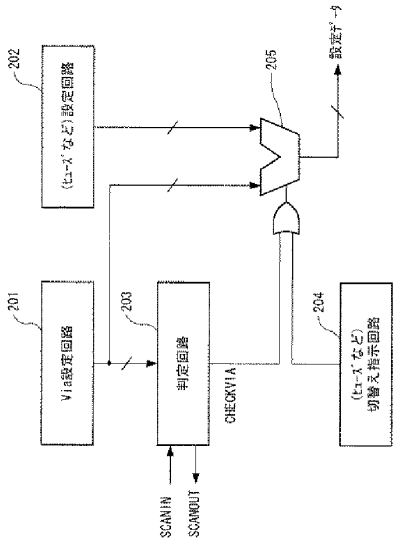
【図18】



【図19】



【図20】


202
(セーブなど)設定回路
205
設定データ
201
Via設定回路
203
判定回路
CHECKVIA
204
(セーブなど)
切替え指示回路
SCANIN
SCANOUT

(51)Int.Cl.[7]	FI			テーマコード（参考）
Ｈ０１Ｌ　21/822	Ｇ１１Ｃ	11/34	３５４Ｆ	５Ｍ０２４
Ｈ０１Ｌ　27/04	Ｈ０１Ｌ	27/04	Ｂ	
Ｈ０２Ｍ　3/07	Ｈ０１Ｌ	27/04	Ｇ	
	Ｈ０１Ｌ	27/04	Ｖ	
	Ｈ０１Ｌ	27/04	Ｔ	
	Ｇ０１Ｒ	31/28	Ｂ	
	Ｇ０１Ｒ	31/28	Ｇ	
	Ｇ１１Ｃ	11/34	３７１Ａ	

Ｆターム(参考) 5F038 AV08 AV15 AV18 BB05 BB07 BB08 BG03 BG05 BG06 CA17
DF05 DF17 DT02 DT06 DT09 DT15 DT18 EZ09 EZ20
5H430 BB01 BB05 BB09 BB11 EE06 FF13 GG05 HH03
5H730 AA14 AA15 AS01 AS04 BB02 BB57 CC22 DD04 FD01 FF06
FV05 FV09
5L106 AA01 DD25 EE08 GG07
5M024 AA74 BB29 FF02 FF03 FF23 HH09 HH10 PP01 PP02 PP03
PP10

Original document

No title available

Page bookmark	JP5259289 (A) - No title available
Inventor(s):	KANAZAWA KENICHI
Applicant(s):	FUJITSU KK
Classification: - **international:**	***G11C11/401; G11C11/407; H01L21/82; H01L21/822; H01L21/8242; H01L27/04; H01L27/10; H01L27/108; H02M3/07;*** (IPC1-7): G11C11/401; G11C11/407; H01L21/82; H01L27/04; H01L27/108; H02M3/07
- European:	
Application number:	JP19920054970 19920313
Priority number(s):	JP19920054970 19920313
Also published as:	JP2966183 (B2)

Abstract of JP5259289 (A)

Translate this text

PURPOSE:To alleviate workings in the design and process steps in accordance with a change of power supply voltage in a semiconductor device comprising MOS transistors. CONSTITUTION:A semiconductor device comprises a structure where a plurality wiring bonding pads 2, 3, 5, 6, 7, 8 allowing impression of different voltages are connected in parallel to an input terminal or output terminal, step-down circuits 9, 10 having different step-down capability are formed between at least a part of the wire bonding pads 2, 3, 5 in

the input terminal side and an internal circuit 1, and voltage boosting circuits 11, 12 having different voltage boosting capability are provided between at least a part of the wire bonding pads 6, 7, 8 in the output terminal side and the internal circuit 1.

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平5－259289

(43)公開日　平成５年(1993)10月８日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０１Ｌ　21/82					
Ｇ１１Ｃ　11/407					
11/401					
		9169－4M	Ｈ０１Ｌ　21/ 82	Ｐ	
		6628－5L	Ｇ１１Ｃ　11/ 34	３５４　Ｆ	

審査請求　未請求　請求項の数２(全 10 頁)　最終頁に続く

(21)出願番号　特願平4－54970

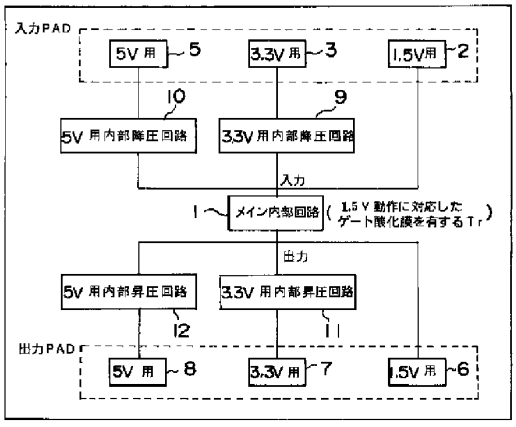
(22)出願日　平成４年(1992)３月13日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者　金沢　賢一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人　弁理士　岡本　啓三

(54)【発明の名称】　半導体装置

(57)【要約】
【目的】本発明は、ＭＯＳトランジスタを有する半導体装置に関し、電源電圧の変化にも対応でき、設計・プロセスの作業を軽減することを目的とする。
【構成】入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド2,3,5,6,7,8 が複数並列に接続され、前記入力端子側の前記ワイヤボンディングパッド2,3,5 の各々の少なくとも一部と内部回路１との間には降圧能力の異なる降圧回路9,10が形成されるとともに、前記出力端子側の前記ワイヤボンディングパッド6,7,8 の各々の少なくとも一部と内部回路１との間には昇圧能力の異なる昇圧回路11,12 が設けられていることを含み構成する。

本発明の一実施例を示す回路構成図



【特許請求の範囲】
【請求項１】入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド（2,3,5,6,7,8)が複数並列に接続され、
前記入力端子側の前記ワイヤボンディングパッド(2,3,5）の各々の少なくとも一部と内部回路（１）との間には降圧能力の異なる降圧回路(9,10)が形成されるとともに、
前記出力端子側の前記ワイヤボンディングパッド(6,7,8）の各々の少なくとも一部と内部回路（１）との間には昇圧能力の異なる昇圧回路（11,12)が設けられていることを特徴とする半導体装置。
【請求項２】前記降圧回路(9,10)又は前記昇圧回路（11,12)がＭＯＳトランジスタにより形成されるとともに、該ＭＯＳトランジスタのゲート絶縁膜は、前記内部回路（１）におけるＭＯＳトランジスタのゲート絶縁膜よりも厚く形成されていることを特徴とする請求項１記載の半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、ＭＯＳトランジスタを有する半導体装置に関する。
【０００２】
【従来の技術】半導体装置は、市場からの大容量・高速化・低消費電力等が要求されている。テクノロジードライバーとなっているＤＲＡＭを例にとると、１６Mbitから６４Mbit という大容量へ開発が進行中である。この６４Mbit における技術動向は、電源電圧が３．３Ｖになるという見方が一般的であり、この電源電圧３．３Ｖは５Ｖと比較して高速化・低消費電力化等に有利である。
【０００３】ところが、電源電圧の切換えの時期は明確でないのが現状で、開発側としてはその流れに注意を払わなければならない。これは５Ｖから３．３Ｖへの変化というだけではなく、今後もその大きさを変えることは起こりうることである。
【０００４】例えばＤＲＡＭにおいては転送トランジスタに電源電圧が印加されるために、その電圧に耐えられるゲート絶縁膜の厚さが必要となる。つまり、電源電圧が大きくなるほどゲート絶縁膜を厚くしなければならない。
【０００５】また、トランジスタにかかる電圧が違ってくると、それに合わせてトランジスタのディメンジョンひいては設計ルールを決定する必要があり、これは当然チップサイズにも影響がでてくる。
【０００６】
【発明が解決しようとする課題】しかし、開発時に５Ｖと３．３Ｖの両電源に対応させるためには、例えば図６(a) (b) に示すような２通りのデバイスD_1,D_2 の開発を並行に進めなければならない、といった膨大に手間のかかる設計作業・プロセス作業を強いられるといった問題が生じる。
【０００７】本発明はこのような問題に鑑みてなされたものであって、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業を軽減できる半導体装置を提供することを目的とする。
【０００８】
【課題を解決するための手段】上記した課題は、図１に例示するように、入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド2,3,5,6,7,8 が複数並列に接続され、前記入力端子側の前記ワイヤボンディングパッド2,3,5 の各々の少なくとも一部と内部回路１との間には降圧能力の異なる降圧回路9,10が形成されるとともに、前記出力端子側の前記ワイヤボンディングパッド6,7,8 の各々の少なくとも一部と内部回路１との間には昇圧能力の異なる昇圧回路11,12 が設けられていることを特徴とする半導体装置によって達成する。
【０００９】または、図４，５に例示するように、前記降圧回路9,10又は前記昇圧回路11,12 がＭＯＳトランジスタにより形成されるとともに、該ＭＯＳトランジスタのゲート絶縁膜は、前記内部回路１におけるＭＯＳトランジスタのゲート絶縁膜よりも厚く形成されていることを特徴とする半導体装置により達成する。
【００１０】
【作　用】本発明によれば、印加電圧の異なる入力パッド2,3,5 と出力パッド6,7,8 を複数並列に形成するとともに、少なくとも一部の入力パッド3,5 と内部回路１の間に降圧回路9,10を設けまた、少なくとも一部の出力パッド3,5 と内部回路6,7,8の間に昇圧回路11,12 を形成するようにしている。
【００１１】このため、外部の電源電圧に応じた入力パッド2,3,5 、出力パッド6,7,8 を選択してワイヤボンディングを行えば、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業も軽減される。
【００１２】例えば、図１に示すように、仮に、内部回路１のトランジスタが1.５Ｖで動作し、しかも使用電源電圧のバリエーションが５Ｖ、３．３Ｖ、1.５Ｖとなっている場合、５Ｖ入出力電源電圧用パッド５，８には1.５Ｖまで降圧及び昇圧できる回路10，12を形成し、３Ｖ入出力電源電圧用パッド３，７にも1.５Ｖまで降圧及び昇圧できる回路11，12が設けられている。
【００１３】なお、1.５Ｖ入出力電源電圧用パッド２，６には、降圧及び昇圧回路は設けられていない。内部トランジスタが１．５Ｖで動作するからである。この構成によれば、５Ｖと３Ｖ電源で用いる降圧、昇圧回路９～12において、各々の電源電圧がかかるＭＯＳトランジスタのゲート絶縁膜の膜厚は５Ｖの電源電圧に耐え得るような膜厚に設定する。
【００１４】このように、半導体装置を作成しておけ

ば、ボンディングオプションにて３種の電源電圧のどれにでも対応が可能になる。しかも、使用する電源電圧の選択肢が２種以上存在する場合、プロセス設計と回路設計は一番低い電源電圧の使用のみを考えて設計すればよく、開発のスループットが向上する。

【００１５】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。図１～５は、本発明の一実施例を示す回路構成図である。

【００１６】図１において符号１は、例えばＤＲＡＭを構成するメイン内部回路で、このメイン内部回路１は、電圧1.５Ｖに対応させた構造の素子を有し、例えばＤＲＡＭセルの転送トランジスタのゲート絶縁膜が閾値電圧1.５Ｖで動作するような膜厚となっている。そして、メイン内部回路１の入力側にある電源配線端や各信号配線端には、それぞれ1.５Ｖ用パッド２と、３．３Ｖ用パッド３と、５Ｖ用パッド５が分岐して接続され、これらのパッド２，３，５を介して外部から電源、信号を入力するように構成されている。

【００１７】一方、メイン内部回路１の出力側の各信号配線端には、それぞれ1.５Ｖ用パッド６と、３．３Ｖ用パッド７と、５Ｖ用パッド８が分岐して接続され、これらのパッド６～８を介して信号を外部に出力するように構成されている。

【００１８】なお、図においては、１組のパッド２，３，５を代表して描いているのであって、各配線端にも同様なパッドが形成される。また、上記した入力側の３．３Ｖ用パッド３とメイン内部回路１の間には３．３Ｖ用内部降圧回路９が形成され、また、５Ｖ用パッド５とメイン内部回路１の間には５Ｖ用内部降圧回路１０が設けられている。一方、出力側の３．３Ｖ用パッド７とメイン内部回路１との間には３．３Ｖ用内部昇圧回路１１が形成され、また、５Ｖ用パッド８とメイン内部回路１の間には５Ｖ用内部昇圧回路１２が設けられている。

【００１９】次に、上記した降圧回路の一例を図２に基づいて説明する。図２(a) において、３．３Ｖ用内部降圧回路９は、例えば閾値電圧1.８ＶのＮＭＯＳトランジスタのドレインとゲートを短絡した素子９ａからなり、この素子９ａにより電圧を1.８Ｖ低下させて、1.５Ｖの電源或いは信号をメイン内部回路１に入力させるものである。

【００２０】また、５Ｖ用内部降圧回路１０は、例えば閾値電圧1.７５ＶのＮＭＯＳトランジスタのドレインとゲートを短絡した素子１０ａ，１０ｂを２個直列に接続し、各素子１０ａ，１０ｂにより電圧を１．７５Ｖずつ低下させ、これらにより1.５Ｖの電源或いは信号をメイン内部回路１に入力するものである。

【００２１】ところで、降圧回路９，１０をシリコン基板に形成した場合の平面は例えば図２(b) に示すようになり、シリコン基板２０では表面が絶縁膜２１に囲まれた複数の活性領域X_1,X_2,X_3にはゲート電極g_1,g_2,g_3が形成され、それらの両側にはソース層s_1,s_2,s_3、ドレイン層d_1,d_2,d_3が形成され、これらによりＭＯＳトランジスタT_1,T_2,T_3が構成される。

【００２２】そして、ゲート電極g_1,g_2,g_3とこれに隣接する各ソース層s_1,s_2,s_3は、ＭＯＳトランジスタを覆う層間絶縁膜（不図示）に形成されたコンタクトホールCH_1～CH_9を通して配線L_{11},L_{12},L_{21}により短絡され、これにより素子９ａ，１０ａ，１０ｂが構成される。

【００２３】また、５Ｖ用内部降圧回路１０では、配線L_{12}を介して２個の素子１０ａ，１０ｂが接続され、しかも、配線L_{10},L_{11}を介してメイン内部回路１と５Ｖ用パッド５に接続されている。さらに、３．３Ｖ用内部降圧回路９を構成する素子９ａは、配線L_{20},L_{21}により３．３Ｖ用パッド３とメイン内部回路１に接続されている。

【００２４】なお、1.５Ｖ用パッド２とメイン内部回路１の間には降圧回路は存在せず、1.５Ｖ用パッド２とメイン内部回路１は配線L_0により直に接続されている。次に、降圧回路１１，１２の一例を図３に基づいて説明する。

【００２５】昇圧回路は、図３(a) に例示するように、デプレッション型の負荷ＮＭＯＳトランジスタt_{11},t_{12}(t_{13},t_{14})のゲートとソースとを短絡し、そのソースにエンハンスメント型の駆動ＮＭＯＳトランジスタt_{21},t_{22}(t_{23},t_{24})のドレインを接続してなるバッファ31a,31b(32a,32b)を２段接続して構成されている。この場合、駆動ＮＭＯＳトランジスタt_{21},t_{22}(t_{23},t_{24})のゲートを入力端、そのドレインを出力端とする。

【００２６】そして、負荷ＮＭＯＳトランジスタt_{11},t_{12}(t_{13},t_{14})のソースには入力側に接続される電源電圧（３．３Ｖ或いは５Ｖ）が印加され、また、駆動ＮＭＯＳトランジスタt_{21},t_{22}(t_{23},t_{24})のソースにはそれよりも低い接地電圧が印加される。

【００２７】上記した３．３Ｖ用内部昇圧回路１１においては、前段のバッファ31a の駆動ＮＭＯＳトランジスタt_{21} の閾値電圧が1.５Ｖであって、その入力端がメイン内部回路１に接続され、また、後段バッファ31b の駆動ＮＭＯＳトランジスタt_{22}の閾値電圧が３Ｖであって、その出力端は３．３Ｖ用パッド７に接続される。

【００２８】これによれば、前段のバッファ31a に電圧1.５Ｖが入力すると、後段のバッファ31b のＮＭＯＳトランジスタt_{22} がＯＦＦしてその出力の高レベル電圧は３．３Ｖとなり、３．３Ｖ用出力パッド７に出力されることになる。

【００２９】他方、５Ｖ用内部昇圧回路１２は、３．３Ｖ用内部昇圧回路１１と同様にバッファ32a，32bを２段接続して構成されるもので、各バッファ32a，32bの負荷ＮＭＯＳトランジスタt_{13}，t_{14}のドレインに５Ｖの電圧を印加して、後段バッファ32b の出力の高レベル電圧が

５Ｖとなるように構成されている。

【００３０】次に、上記した実施例の作用について説明する。上記した実施例において、メイン内部回路１の入出力端には、印加電圧の異なる複数のパッド２～８を並列に接続しているが、アセンブリ工程におけるワイヤボンディングの際には、入力電圧、出力電圧に対応したパッド２～８にボンディングを行えばよい。

【００３１】この場合、１．５Ｖ以外の入出力側のパッド３，５、７，８とメイン内部回路１の間には降圧回路９，１０、昇圧回路１１，１２を介在させているので、電源電圧が変更される毎にメイン内部回路１を変える必要はなくなり、設計変更が不要となる。

【００３２】ところで、降圧回路９，１０、昇圧回路１１，１２の中のＭＯＳトランジスタの閾値は、メイン内部回路内のＭＯＳトランジスタの閾値と相違するものが多く、ゲート絶縁膜を厚くしたり薄くしたりする必要が生じる。例えば、５Ｖ用内部降圧回路１０や５Ｖ用内部昇圧回路１２では、５Ｖ動作に対応したゲート絶縁膜の膜厚とする。

【００３３】そこで次に、ゲート絶縁膜の膜厚が異なる複数のＭＯＳトランジスタの形成工程を説明する。まず、図４(a) に示すように、ｐ型シリコン基板２０の表面を選択酸化法により酸化してSiO_2よりなる絶縁膜２１を約５０００Åの厚さに形成し、これにより複数の活性領域X_1、Xnを囲む。ここで、第１の活性領域X_1には上記した５Ｖ用内部昇圧回路１０のＮＭＯＳトランジスタT_1を形成し、その閾値を1.７５Ｖとする一方、メイン内部回路１のＮＭＯＳトランジスタ（不図示）の閾値を1.５Ｖとしてこれを第２の活性領域Xnに形成する。

【００３４】次に、図４(b) に示すように、シリコン基板２０の活性領域X_1、Xnを熱酸化してその表面に膜厚５０Å程度のSiO_2膜２２を形成した後に、硼素をイオン注入し、閾値電圧調整を行う。

【００３５】この後に、図４(c) に示すように、少なくとも第１の活性領域X_1をレジストマスク２３によって覆い、第２の活性領域Xnの表面のSiO_2膜２２を弗酸により除去する。

【００３６】ついで、レジストマスク２３を除去した後に、再び活性領域X_1、Xnを熱酸化することにより、図４(d) に示すように、レジストマスク２３により覆われていた第１の活性領域X_1の表面のSiO_2膜２２を１５０Åの厚さに増加するとともに、第２の活性領域Xnの表面に膜厚１００ÅのSiO_2膜２４を形成する。

【００３７】次に、全体に膜厚１０００Å程度の多結晶シリコン膜を形成し、これをフォトリソグラフィー法によりパターニングし、活性領域X_1、Xnの中央を通るゲート電極g_1,gn を形成した後に、ゲート電極g_1,gn をマスクにしてシリコン基板２０にドーズ量1×10^{15}atom／cm^2 の条件で砒素をイオン注入してその両側にｎ型のソース層s_1,sn とドレイン層d_1,dn を形成する（図４(e)）。

【００３８】つづいて、全体にPSG,SiO_2等の層間絶縁膜２５をＣＶＤ法により形成した後に（図５(f)）、、第１の活性領域X_1のゲート電極g_1、ソース層s_1、ドレイン層d_1の上にコンタクトホールCH_1 ～CH_3 を形成するとともに、第二の活性領域Xnのドレイン層dnの上にコンタクトホールCHn を形成する。

【００３９】次に、アルミニウム膜を形成し、これをフォトリソグラフィー法によりパターニングして配線を形成し、図２(b) に示すような配線L_{11}，L_{12}を形成し、これにより降圧回路１０を形成するとともに、メイン内部回路１内の配線を行い（図５(g)）、その上をPSG/SiNよりなるカバー膜２６で覆う（図５(h)）。

【００４０】この後に、アセンプリ工程に進むが、この工程では、電源電圧に対応したパッド２～８にワイヤをボンディングすればよい。なお、上記した実施例では、メイン内部回路１内のＭＯＳトランジスタの閾値電圧を１．５Ｖとして説明したが、それ以下であってもよく、少なくとも使用電源電圧の種類の中で最も低い電圧にしてもゲート絶縁膜の耐圧が保証される以上の膜厚としてもよい。

【００４１】この場合には、降圧後の電圧をその最も低い電圧となり、また、昇圧回路の降圧前の電圧をその電圧とすることになる。

【００４２】

【発明の効果】以上述べたように本発明によれば、印加電圧の異なる入力パッドと出力パッドを複数並列に形成するとともに、少なくとも一部の入力パッドと内部回路の間に降圧回路を設けまた、少なくとも一部の出力パッドと内部回路の間に昇圧回路を形成するようにしたので、外部の電源電圧に応じた入力パッド、出力パッドを選択してワイヤボンディングを行えば、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業を軽減することができる。

【図面の簡単な説明】

【図１】本発明の一実施例を示す回路構成図である。

【図２】本発明の一実施例装置における昇圧回路の一例を示す回路図、平面図である。

【図３】本発明の一実施例装置における降圧回路の一例を示す回路図である。

【図４】本発明の一実施例装置におけるＭＯＳＦＥＴの形成工程を示す断面図（その１）である。

【図５】本発明の一実施例装置におけるＭＯＳＦＥＴの形成工程を示す断面図（その２）である。

【図６】従来装置の一例を示す構成図である。

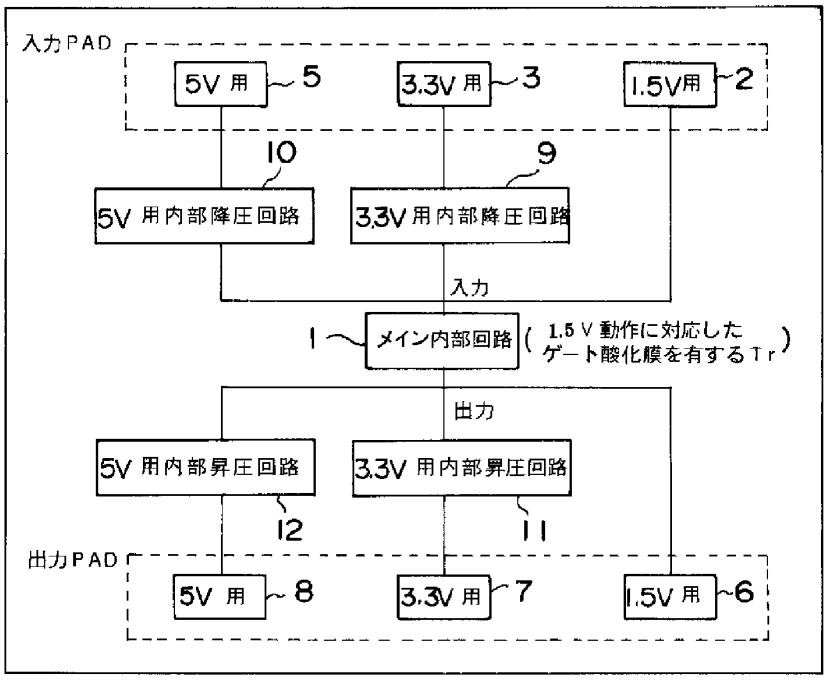
【符号の説明】

１　メイン内部回路
２　１．５用パッド
３　３Ｖ用パッド
５　５Ｖ用パッド

６　１．５用パッド
７　３Ｖ用パッド
８　５Ｖ用パッド
９　３．３Ｖ用内部降圧回路
１０　５Ｖ用内部降圧回路
１１　３．３Ｖ用内部昇圧回路
１２　５Ｖ用内部昇圧回路

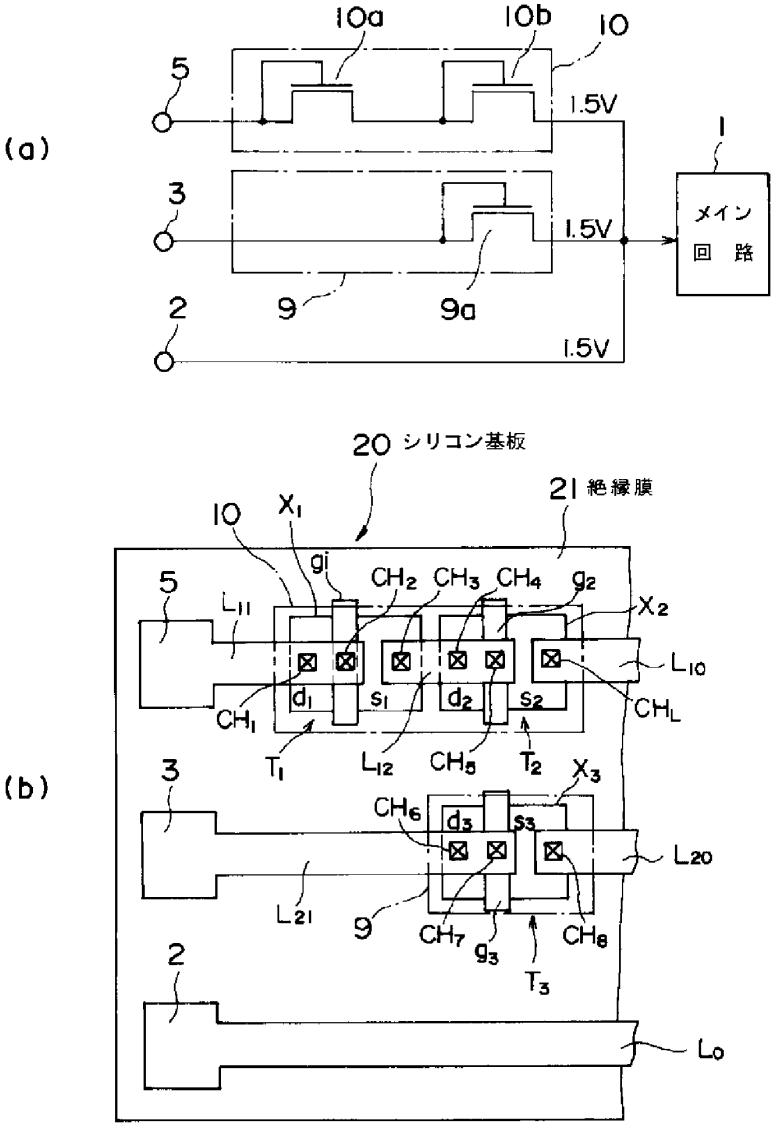
【図１】

本発明の一実施例を示す回路構成図



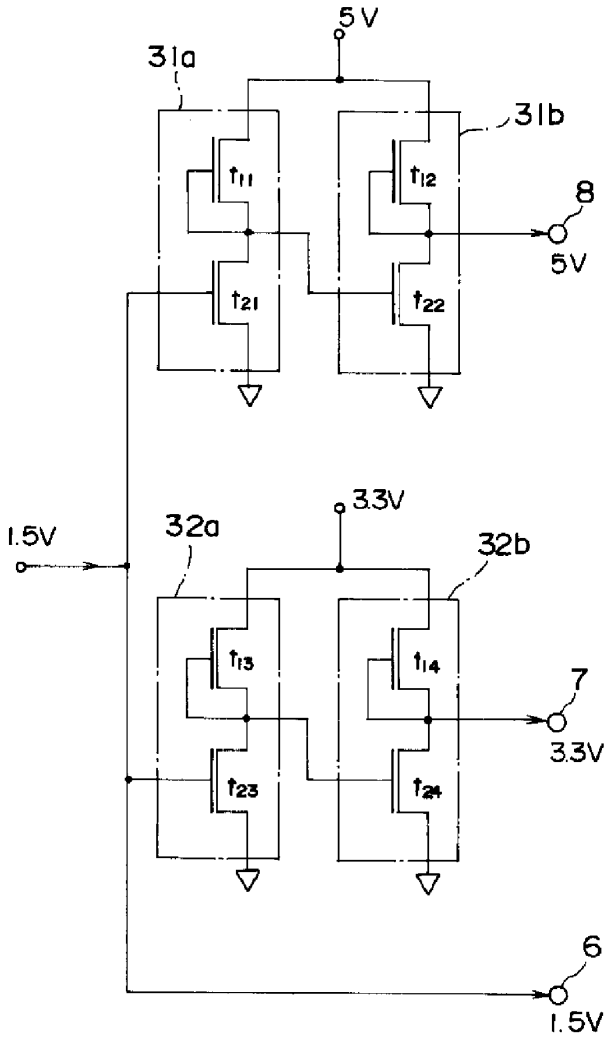
【図2】

本発明の一実施例装置における昇圧回路の一例を示す回路図，平面図



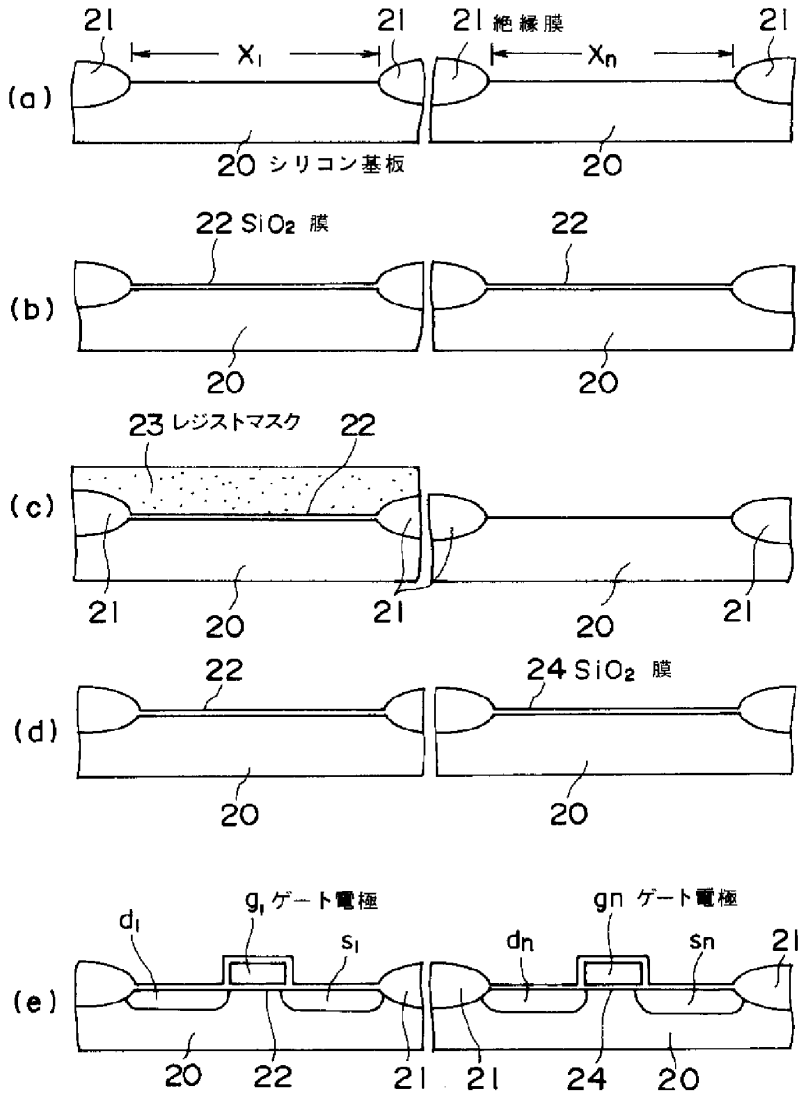
【図3】

本発明の一実施例装置における降圧回路の一例を示す回路図



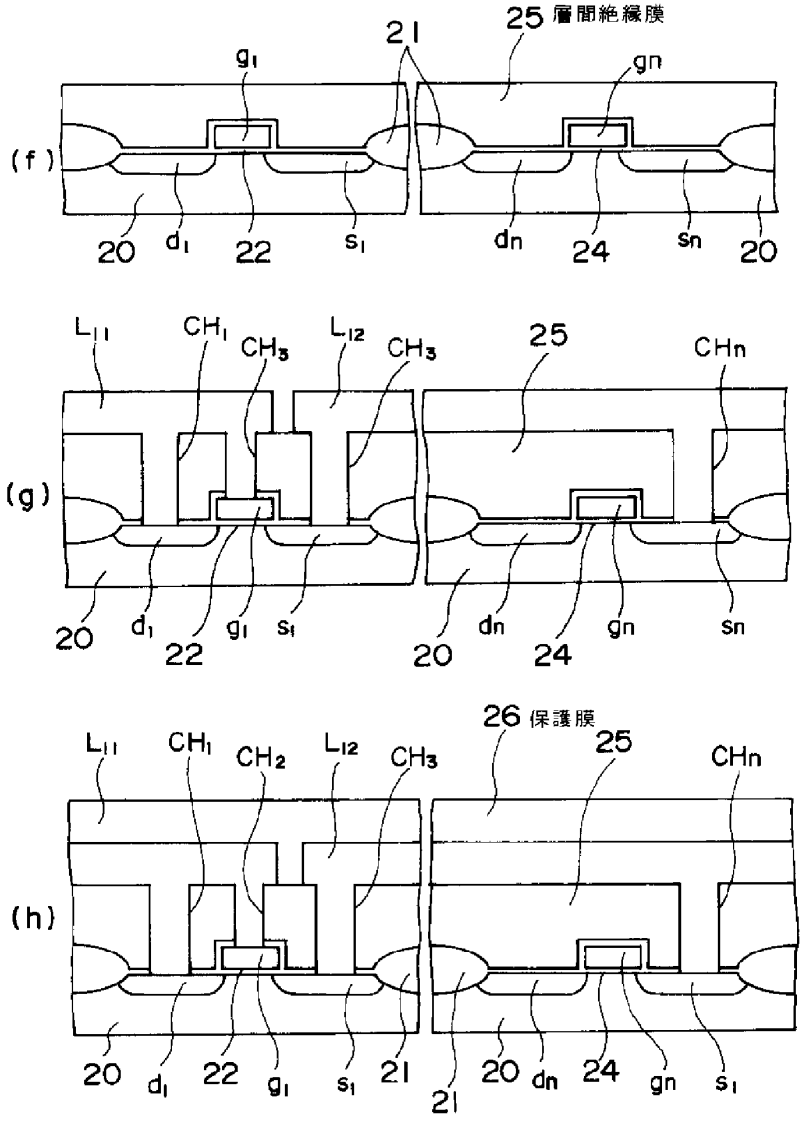
【図4】

本発明の一実施例装置におけるMOSFETの形成工程を示す断面図（その１）



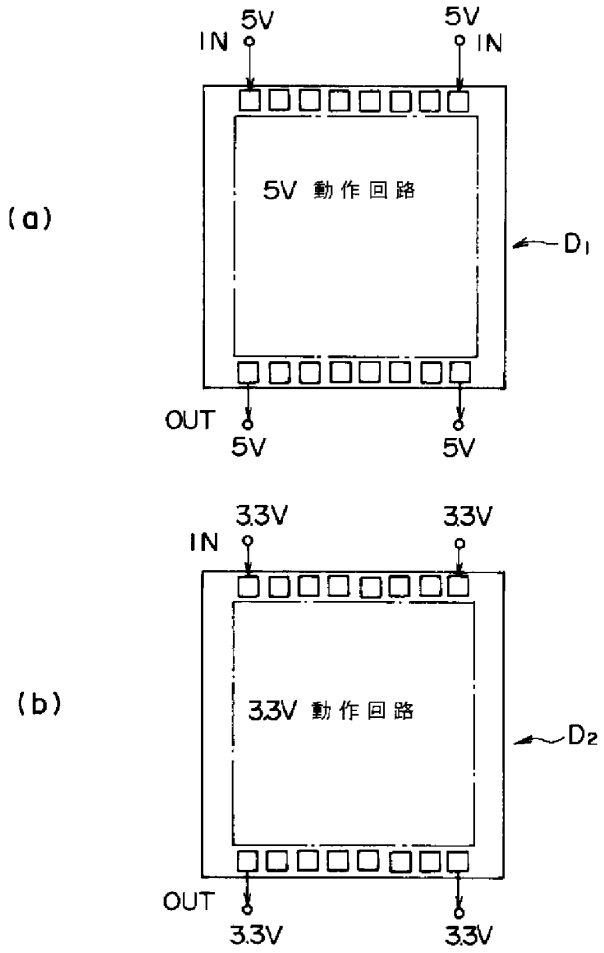
【図５】

本発明の一実施例装置におけるMOSFETの形成工程を示す断面図（その２）



【図６】

従来装置の一例を示す構成図



フロントページの続き

(51)Int.Cl.⁵	識別記号	庁内整理番号	FI		技術表示箇所
H01L 27/04		G 8427－4M			
27/108					
H02M 3/07		8726－5H			
		6628－5L	G11C 11/34	371 K	
		8728－4M	H01L 27/10	325 V	

Electronic Acknowledgement Receipt

EFS ID:	12143758
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Carl Joseph Pellegrini/William Driscoll
Filer Authorized By:	Carl Joseph Pellegrini
Attorney Docket Number:	Q107099
Receipt Date:	23-FEB-2012
Filing Date:	20-MAR-2008
Time Stamp:	15:05:51
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		IDS_as_filed.PDF	202674 8d65f9ca0ab68975c7ee2831fd3851147d7d45a9	yes	5

	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Transmittal Letter		1	2	
	Information Disclosure Statement (IDS) Form (SB08)		3	5	
Warnings:					
Information:					
2	Foreign Reference	JP11120784.PDF	3177884 1639d0bb971b32b0fe15ecfce98aa44c5deece0d	no	29
Warnings:					
Information:					
3	Foreign Reference	JP2002237185.PDF	389105 05a1dc1c93e695b878e79cae4ae7b715a4a93fc5	no	4
Warnings:					
Information:					
4	Foreign Reference	JP2003249076.PDF	2314750 0bb6a024f7ad5b1bea6206a02a6afcbae73e8231	no	22
Warnings:					
Information:					
5	Foreign Reference	JP2005011475A.PDF	1997507 c114f208c696474016f640b8b0b0a26ae05ee3d8	no	27
Warnings:					
Information:					
6	Foreign Reference	JP5259289.PDF	749631 e6e84fee296d93d8e6ed981b5ecdeb0a2262fbae	no	12
Warnings:					
Information:					
7	Non Patent Literature	JPOA.PDF	334666 64490d8b25ad9af6e1ba8efa891d793c6e0c232c	no	6
Warnings:					
Information:					
		Total Files Size (in bytes):	9166217		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Koichiro HAYASHI

Appln. No.: 12/052,422

Confirmation No.: 2405

Filed: March 20, 2008

For: SUPPLY VOLTAGE GENERATING CIRCUIT

Docket No: Q107099

Group Art Unit: 2816

Examiner: Khareem E. Almo

INFORMATION DISCLOSURE STATEMENT
UNDER 37 C.F.R. §§ 1.97 and 1.98

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

One copy of each of the listed documents is submitted herewith, except for the following: U.S. patents and/or U.S. patent publications; and co-pending non-provisional U.S. applications filed after June 30, 2003.

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is

required. However, since a Statement under 37 C.F.R. § 1.97(e) can be made, a Statement is submitted herewith.

In compliance with the concise explanation requirement under 37 C.F.R. § 1.98(a)(3) for foreign language documents, Applicant encloses herewith a copy of a Communication dated January 31, 2012 from the Japanese Patent Office in a counterpart application citing such documents, together with an English-language version of at least that portion of the Communication indicating the degree of relevance found by the Japanese Patent Office. Further, Applicant submits English-language abstracts for all foreign-language references.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,
/ Carl J. Pellegrini /

SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, DC 20037
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Carl J. Pellegrini
Registration No. 40,766

Date: February 23, 2012

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI , et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

SUPPLEMENTAL AMENDMENT

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Further to the Amendment dated November 29, 2011, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 7

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1 - 13 (canceled).

14. (previously presented): A semiconductor device comprising:

first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third internal potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

15. (previously presented): The semiconductor device as claimed in claim 14, further comprising a first external voltage terminal supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

16. (previously presented): The semiconductor device as claimed in claim 14, further comprising a second external voltage terminal supplied with a second external voltage and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

17. (previously presented): The semiconductor device as claimed in claim 15, further comprising a second external voltage terminal supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

18 (previously presented): The semiconductor device as claimed in claim 17, wherein the first external potential is lower than the second external potential.

19. (new): A semiconductor device comprising:

a voltage booster circuit that comprises,

an input terminal;

an output terminal;

a capacitor; and

a first switch circuit configured to charge the capacitor with a first voltage at the input terminal, apply a second voltage to one end of the capacitor, and couple the other end of the capacitor to the output terminal to boost the output terminal up to a third voltage that takes approximately a sum of the first and second voltages; and

a second switch circuit configured to set the first voltage to a first level when a first state is designated and to a second level when a second state is designated, the first and second level being different from each other.

20. (new): The semiconductor device as claimed in claim 19, wherein the first switch circuit of the voltage booster circuit includes a first transistor provided between the input terminal and the other end of the capacitor and a second transistor provided between the output terminal and the other end of the capacitor.

21. (new): The semiconductor device as claimed in claim 20, wherein the first transistor connects the input terminal and the other end of the capacitor when a first control signal takes an active state and disconnects the input terminal from the other end of the capacitor when the first control signal takes an inactive state, the second transistor connecting the output terminal and the other end of the capacitor when a second control signal takes an active state and disconnecting

the output terminal from the other end of the capacitor when the second control signal takes an inactive state, the first and second control signals being inverted in phase each other.

22. (new): The semiconductor device as claimed in claim 21, wherein the second control signal is greater in amplitude than the first control signal.

23. (new): The semiconductor device as claimed in claim 20, wherein each of the first and second transistors is N-type.

24. (new): A semiconductor device comprising:

an input terminal;

an output terminal;

a voltage booster circuit coupled between the input and output terminal and configured to boost a voltage at the input terminal and produce a boosted voltage at the output terminal, the boosted voltage being greater than the voltage at the input terminal; and

a selector circuit including a first input node supplied with a first power supply voltage, a second input node supplied with a second power supply voltage that is different from the first power supply voltage, and an output node coupled to the input terminal, the selector being configured to couple a selected one of the first and second input nodes to the output node so that the boosted voltage at the output terminal takes a first level when the first input node is coupled to the output node and a second level when the second input node is coupled to the output node.

25. (new): The semiconductor device as claimed in claim 24, wherein the voltage booster circuit includes first and second transistors and a capacitor, the first transistor being provided between the input terminal and one end of the capacitor, the second transistor being provided between the one end of the capacitor and the output terminal.

26. (new): The semiconductor device as claimed in claim 25, wherein the first transistor is configured to supply the one end of the capacitor with the voltage at the input terminal, the capacitor being configured to be supplied with an additional voltage at the other end thereof to boost the voltage at the input terminal up to the boosted voltage, the second transistor being configured to supply the output terminal with the boosted voltage.

27. (new): The semiconductor device as claimed in claim 25, wherein each of the first and second transistors is N-type.

28. (new): The semiconductor device as claimed in claim 26, wherein the first transistor takes an ON-state when the second transistor takes an OFF-state and the first transistor takes an OFF-state when the second transistor takes an ON-state.

29. (new): The semiconductor device as claimed in claim 26, wherein the boosted voltage takes approximately a sum of the voltage at the input terminal and the additional voltage.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested. By this Amendment, claims 19-29 are newly added.

I. Status of the Application

Claims 11 and 13 are rejected under 35 U.S.C. § 102(e) as being anticipated by Kelly et al. (U.S. Patent Publication No. 2006/0186948; hereinafter "Kelly"). Claims 11 and 13-18 are rejected under 35 U.S.C. § 102(b) as being anticipated by UENO et al. (U.S. Patent Publication No. 2007/0139982; hereinafter "UENO").

II. Rejection under 35 U.S.C. § 102(e) and § 102(b)

A. Rejection of claims 11 and 13 based Kelly

Claims 11 and 13 were cancelled in the Amendment dated November 29, 2011. Thus, the rejection of claims 11 and 13 based on Kelly should be moot.

B. Rejection of Claims 11, 13 and 14-18 based on UENO

By the November 29 Amendment, Applicant amended claim 14 to more particularly point out the invention.

In "Response to Arguments" of the Office Action, the Examiner points out that "the claim does not call for a direct connection to a power terminal only a connection" (Office Action at page 11). Claim 14 clearly recites the feature of directly connecting the first and second terminals to the third terminal.

Claim 14 recites as follows (emphasis added):

> A semiconductor device comprising:
>
> first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third internal potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the *first* internal voltage terminal ***directly*** to the *third* internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the *second* internal voltage terminal ***directly*** to the *third* internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

Applicant submits that UENO does not teach all the features of claim 14.

In the Office Action of August 1, 2011, the Examiner contends that FIG. 6 of UENO discloses all the features of claim 14. Specifically, the Examiner asserts that the connection point between the switch elements 211 and 212, the connection point between the switch elements 214 and 215 and the connection point between the switch elements 213 and 214 (i.e., the detection point Vc) correspond to the first, second and third voltage terminals of claim 14, respectively. Further, the Examiner contends that the switch elements 211-207 of UENO correspond to the claimed switch circuit.

However, UENO does not teach the claimed switch circuit because UENO's switch elements do not serve to directly connect the connection point between the switch elements 211 and 212 (first terminal) to the detection point Vc (third terminal) in a first switching state and directly connect the connection point between the switch elements 214 and 215 (second

terminal) to the detection point Vc (third terminal) in a second switching state in a manner as recited in claim 14.

Referring to FIG. 6 of UENO, when the charge pump 200 is in the charge stage, the switch element 214 is closed and thus the detection point voltage Vc (third terminal) is equal to the voltage at the connection point between 214 and 215 (second terminal). On the other hand, when the pump is in the discharge state, the capacitor 206 and the capacitor 207 are connected in parallel and connected between the input terminal 101 and the output terminal 102 with the switch elements 212, 213, 215, 216 being closed and **the switch elements 211, 214, 217 being open**. Thus, the detection voltage Vc simply drops in the discharge state (paragraph 81). **Therefore, the detection point Vc (third terminal) does not directly receive the voltage at the connection point between 211 and 212 (first terminal) as its voltage potential.** Accordingly, UENO does not teach "the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal...," as recited in claim 14.

Applicant respectfully submits that claim 14 is patentable over UENO because UENO does not disclose each and every element of claim 14. Dependent claims 15-18 should be patentable at least by virtue of its dependency on claim 14.

III. New Claims

Applicant adds new claims 19-29. New claim 19 reads as follows:

> A semiconductor device comprising:
> a voltage booster circuit that comprises,
> an input terminal;
> an output terminal;
> a capacitor; and

> a first switch circuit configured to charge the capacitor with a first voltage at the input terminal, apply a second voltage to one end of the capacitor, and couple the other end of the capacitor to the output terminal to boost the output terminal up to a third voltage that takes approximately a sum of the first and second voltages; and
>
> a second switch circuit configured to set the first voltage to a first level when a first state is designated and to a second level when a second state is designated, the first and second level being different from each other.

Applicant submits that claims 19-29 are patentable.

For instance, claim 19 recites "a voltage booster circuit" that comprises "an input terminal," "an output terminal," "a capacitor" and "a first switch circuit" wherein the structure of the first switch circuit is further defined in detail.

In contrast, the "programmable capacitor circuit 62" of Kelly (FIG. 3) and the "output capacitor 103" of Ueno (FIG. 6) relate to a mere capacitor whose one end is connected to the output terminal while the other end is connected to GND(VSS). It is clear that such a capacitor does not correspond to the claimed "voltage booster circuit." Thus, the limitations of new claim 19 are not disclosed by Kelly and Ueno if the comparison is made according to the Examiner's understanding shown in the Final Action.

Meanwhile, Kelly and Ueno disclose the "clock booster circuit 42" and the "charge pump circuit 200," respectively as a functional unit for performing "voltage boost." In this regard, it would be natural that one of ordinary skill in the art would compare the "clock booster circuit 42" and the "charge pump circuit 200" with the claimed "voltage booster circuit," but would not compare the "programmable capacitor circuit 62" and the "output capacitor 103" with the claimed voltage booster circuit. Even if such comparison might be made, there is no teaching in the cited prior arts on the configuration corresponding to the claimed "second switch circuit" that

supplies voltage to such circuits. Accordingly, Applicant submits that new claim 19 is patentable over Kelly and Ueno because the references do not teach or suggest all the claimed features.

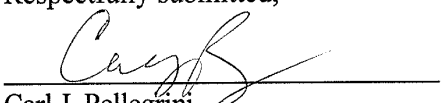
Claim 24 further define the "voltage booster circuit" and the "selector circuit." Applicant submits that claim 24 is patentable over the references because the references do not teach or suggest all the claimed features. Dependent claims 20-23 and 25-29 should be patentable at least by virtue of its dependency on claim 19 or claim 24.

IV. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



Carl J. Pellegrini
Registration No. 40,766

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: Janaury 9, 2012

Electronic Acknowledgement Receipt

EFS ID:	11790299
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Carl Joseph Pellegrini/Tiara Hill
Filer Authorized By:	Carl Joseph Pellegrini
Attorney Docket Number:	Q107099
Receipt Date:	09-JAN-2012
Filing Date:	20-MAR-2008
Time Stamp:	15:28:53
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Supplemental_Amendment_as_filed.PDF	433862 e01aff6016ad8499791dc13b2f65567c9bebc97b	yes	11

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Supplemental Response or Supplemental Amendment	1	1
	Claims	2	6
	Applicant Arguments/Remarks Made in an Amendment	7	11
Warnings:			
Information:			
	Total Files Size (in bytes):	433862	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	01/09/2012	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 16	Minus	** 20	= 0	X $ =		OR	X $60=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X $ =		OR	X $250=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/EVELYN NIMMONS/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	01/09/2012	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 16	Minus	** 20	= 0	X $ =		OR	X $60=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X $ =		OR	X $250=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/EVELYN NIMMONS/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/30 (11-08)
Approved for use through 12/31/2008. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Request for Continued Examination (RCE) Transmittal

Address to:
Mail Stop RCE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Application Number	12/052,422
Filing Date	March 20, 2008
First Named Inventor	Koichiro HAYASHI
Art Unit	2816
Examiner Name	Khareem E. Almo
Attorney Docket Number	Q107099

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. See Instruction Sheet for RCEs (not to be submitted to the USPTO) on page 2.

1. Submission required under 37 CFR 1.114 Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

   a. [✓] Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

      i. [ ] Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____

      ii. [✓] Other Consider the Amendment under 37 C.F.R. 1.116 filed on November 29, 2011

   b. [ ] Enclosed

      i. [ ] Amendment/Reply

      ii. [ ] Affidavit(s)/ Declaration(s)

      iii. [ ] Information Disclosure Statement (IDS)

      iv. [ ] Other _____

2. Miscellaneous

   a. [ ] Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

   b. [ ] Other _____

3. Fees The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

   a. [✓] The Director is hereby authorized to charge the following fees, any underpayment of fees, or credit any overpayments, to Deposit Account No. 19-4880.

      i. [✓] RCE fee required under 37 CFR 1.17(e)

      ii. [✓] Extension of time fee (37 CFR 1.136 and 1.17)

      iii. [ ] Other _____

   b. [ ] Check in the amount of $ _____ enclosed

   c. [ ] Payment by credit card (Form PTO-2038 enclosed)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

Signature	/J. Warren Lytle, Jr./	Date	December 29, 2011
Name (Print/Type)	J. Warren Lytle, Jr.	Registration No.	39,283

CERTIFICATE OF MAILING OR TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop RCE, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450 or facsimile transmitted to the U.S. Patent and Trademark Office on the date shown below.

Signature			
Name (Print/Type)		Date	

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Mail Stop RCE, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/(09-11)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARMENT OF COMMERCE
Under the paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless if displays a valid OMB control number.

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)	Docket Number (Optional) Q107099
Application Number 12/052,422	Filed March 20, 2008
For SUPPLY VOLTAGE GENERATING CIRCUIT	
Art Unit 2816	Examiner Khareem E. Almo

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

		Fee	Small Entity Fee	
☐	One month (37 CFR 1.17(a)(1))	$150	$75	$
☑	Two months (37 CFR 1.17(a)(2))	$560	$280	$ 410.00
☐	Three months (37 CFR 1.17(a)(3))	$1270	$635	$
☐	Four months (37 CFR 1.17(a)(4))	$1980	$990	$
☐	Five months (37 CFR 1.17(a)(5))	$2690	$1345	$

☐ Applicant claims small entity status. See 37 CFR 1.27.

☐ A check in the amount of the fee is enclosed.

☐ Payment by credit card. Form PTO-2038 is attached.

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☑ The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number 19-4880.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

I am the

☐ applicant/inventor.

☑ assignee of record of the entire interest. See 37 CFR 3.71.
Statement under 37 CFR 3.73(b) is enclosed (Form PTO/SB/96).

☐ attorney or agent of record. Registration Number 39,283

☐ attorney or agent under 37 CFR 1.34.
Registration number if acting under 37 CFR 1.34 _____

/J. Warren Lytle, Jr./ — Signature

December 29, 2011 — Date

J. Warren Lytle, Jr. — Typed or printed name

202-293-7060 — Telephone Number

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.

Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.136(a). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 6 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	J. Lytle/Krystle Lynch
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 2 months with $150 paid	1252	1	410	410

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Request for continued examination	1801	1	930	930
		Total in USD ($)		**1340**

Electronic Acknowledgement Receipt

EFS ID:	11726677
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	J. Lytle/Krystle Lynch
Filer Authorized By:	J. Lytle
Attorney Docket Number:	Q107099
Receipt Date:	29-DEC-2011
Filing Date:	20-MAR-2008
Time Stamp:	12:51:44
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$1340
RAM confirmation Number	9716
Deposit Account	194880
Authorized User	SUGHRUE MION, PLLC
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Request for Continued Examination (RCE)	Q107099RCE.PDF	159000 4018f62e03dab952f76b6641c7c7378f4260d4e4	no	1
Warnings:					
This is not a USPTO supplied RCE SB30 form.					
Information:					
2	Extension of Time	Q107099EOT.PDF	105520 382ce3f4f9dc4afeb08390b2a36705299596 8612	no	1
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	32282 698904ec2707db19989573ee6974ae60906fc93d	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	296802		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	12/29/2011	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 5	Minus	** 20	= 0	X $ =		OR	X $60=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $ =		OR	X $250=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/CHRISTINE MOLLISH/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 12/22/2011

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
12/22/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USPTO@sughrue.com
sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM

Advisory Action Before the Filing of an Appeal Brief	**Application No.** 12/052,422	**Applicant(s)** HAYASHI ET AL.
	Examiner KHAREEM E. ALMO	**Art Unit** 2816

--The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

THE REPLY FILED 29 November 2011 FAILS TO PLACE THIS APPLICATION IN CONDITION FOR ALLOWANCE.

1. ☒ The reply was filed after a final rejection, but prior to or on the same day as filing a Notice of Appeal. To avoid abandonment of this application, applicant must timely file one of the following replies: (1) an amendment, affidavit, or other evidence, which places the application in condition for allowance; (2) a Notice of Appeal (with appeal fee) in compliance with 37 CFR 41.31; or (3) a Request for Continued Examination (RCE) in compliance with 37 CFR 1.114. The reply must be filed within one of the following time periods:
   a) ☒ The period for reply expires *3* months from the mailing date of the final rejection.
   b) ☐ The period for reply expires on: (1) the mailing date of this Advisory Action, or (2) the date set forth in the final rejection, whichever is later. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of the final rejection.

   Examiner Note: If box 1 is checked, check either box (a) or (b). ONLY CHECK BOX (b) WHEN THE FIRST REPLY WAS FILED WITHIN TWO MONTHS OF THE FINAL REJECTION. See MPEP 706.07(f).

Extensions of time may be obtained under 37 CFR 1.136(a). The date on which the petition under 37 CFR 1.136(a) and the appropriate extension fee have been filed is the date for purposes of determining the period of extension and the corresponding amount of the fee. The appropriate extension fee under 37 CFR 1.17(a) is calculated from: (1) the expiration date of the shortened statutory period for reply originally set in the final Office action; or (2) as set forth in (b) above, if checked. Any reply received by the Office later than three months after the mailing date of the final rejection, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

NOTICE OF APPEAL

2. ☐ The Notice of Appeal was filed on _____. A brief in compliance with 37 CFR 41.37 must be filed within two months of the date of filing the Notice of Appeal (37 CFR 41.37(a)), or any extension thereof (37 CFR 41.37(e)), to avoid dismissal of the appeal. Since a Notice of Appeal has been filed, any reply must be filed within the time period set forth in 37 CFR 41.37(a).

AMENDMENTS

3. ☒ The proposed amendment(s) filed after a final rejection, but prior to the date of filing a brief, will not be entered because
   (a) ☒ They raise new issues that would require further consideration and/or search (see NOTE below);
   (b) ☐ They raise the issue of new matter (see NOTE below);
   (c) ☐ They are not deemed to place the application in better form for appeal by materially reducing or simplifying the issues for appeal; and/or
   (d) ☐ They present additional claims without canceling a corresponding number of finally rejected claims.

   NOTE: *See Continuation Sheet*. (See 37 CFR 1.116 and 41.33(a)).
4. ☐ The amendments are not in compliance with 37 CFR 1.121. See attached Notice of Non-Compliant Amendment (PTOL-324).
5. ☐ Applicant's reply has overcome the following rejection(s): _____.
6. ☐ Newly proposed or amended claim(s) _____ would be allowable if submitted in a separate, timely filed amendment canceling the non-allowable claim(s).
7. ☒ For purposes of appeal, the proposed amendment(s): a) ☒ will not be entered, or b) ☐ will be entered and an explanation of how the new or amended claims would be rejected is provided below or appended.
   The status of the claim(s) is (or will be) as follows:
   Claim(s) allowed: _____.
   Claim(s) objected to: _____.
   Claim(s) rejected: *11 and 13-18*.
   Claim(s) withdrawn from consideration: _____.

AFFIDAVIT OR OTHER EVIDENCE

8. ☐ The affidavit or other evidence filed after a final action, but before or on the date of filing a Notice of Appeal will not be entered because applicant failed to provide a showing of good and sufficient reasons why the affidavit or other evidence is necessary and was not earlier presented. See 37 CFR 1.116(e).
9. ☐ The affidavit or other evidence filed after the date of filing a Notice of Appeal, but prior to the date of filing a brief, will not be entered because the affidavit or other evidence failed to overcome all rejections under appeal and/or appellant fails to provide a showing a good and sufficient reasons why it is necessary and was not earlier presented. See 37 CFR 41.33(d)(1).
10. ☐ The affidavit or other evidence is entered. An explanation of the status of the claims after entry is below or attached.

REQUEST FOR RECONSIDERATION/OTHER

11. ☐ The request for reconsideration has been considered but does NOT place the application in condition for allowance because: _____.
12. ☐ Note the attached Information *Disclosure Statement*(s). (PTO/SB/08) Paper No(s). _____
13. ☐ Other: _____.

/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Continuation of 3. NOTE: claim 14 changes the scope to include a third internal voltage terminal supplied with a third internal potential as well as a switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage termainl and the second internal voltage terminal directly to the third internal voltage terminal..

/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2816
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Koichiro HAYASHI , et al.

Appln. No.: 12/052,422

Confirmation No.: 2405

Filed: March 20, 2008

For: SUPPLY VOLTAGE GENERATING CIRCUIT

Docket No: Q107099

Group Art Unit: 2816

Examiner: Khareem E. Almo

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

DO NOT ENTER: /K.A./ (12/18/2011)

Sir:

In response to the Office Action dated August 1, 2011, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 4

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2816
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI , et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 1, 2011, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 4

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1 - 13 (canceled).

14. (currently amended): A semiconductor device comprising:

first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third internal potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal directly to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

15. (previously presented): The semiconductor device as claimed in claim 14, further comprising a first external voltage terminal supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

16. (previously presented): The semiconductor device as claimed in claim 14, further comprising a second external voltage terminal supplied with a second external voltage and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

17. (previously presented): The semiconductor device as claimed in claim 15, further comprising a second external voltage terminal supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

18 (previously presented): The semiconductor device as claimed in claim 17, wherein the first external potential is lower than the second external potential.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested.

I. Status of the Application

Claims 11 and 13-18 are pending in the application. Claims 11 and 13 are rejected under 35 U.S.C. § 102(e) as being anticipated by Kelly et al. (U.S. Patent Publication No. 2006/0186948; hereinafter "Kelly"). Claims 11 and 13-18 are rejected under 35 U.S.C. § 102(b) as being anticipated by UENO et al. (U.S. Patent Publication No. 2007/0139982; hereinafter "UENO").

II. Rejection under 35 U.S.C. § 102(e) and § 102(b)

A. Rejection of claims 11 and 13 based Kelly

By this Amendment, claims 11 and 13 are cancelled. Thus, the rejection of claims 11 and 13 based on Kelly should be moot.

B. Rejection of Claims 11, 13 and 14-18 based on UENO

Applicant cancels claims 11 and 13 and amends claim 14 to more particularly point out the invention.

In "Response to Arguments" of the Office Action, the Examiner points out that "the claim does not call for a direct connection to a power terminal only a connection" (Office Action at page 11). Amended claim 14 clearly recites the feature of directly connecting the first and second terminals to the third terminal.

Claim 14 recites as follows (emphasis added):

> A semiconductor device comprising:
>
> first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third internal potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the *first* internal voltage terminal ***directly*** to the *third* internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the *second* internal voltage terminal ***directly*** to the *third* internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

Applicant submits that UENO does not teach all the features of claim 14.

In the Office Action, the Examiner contends that FIG. 6 of UENO discloses all the features of claim 14. Specifically, the Examiner asserts that the connection point between the switch elements 211 and 212, the connection point between the switch elements 214 and 215 and the connection point between the switch elements 213 and 214 (i.e., the detection point Vc) correspond to the first, second and third voltage terminals of claim 14, respectively. Further, the Examiner contends that the switch elements 211-207 of UENO correspond to the claimed switch circuit.

However, UENO does not teach the claimed switch circuit because UENO's switch elements do not serve to directly connect the connection point between the switch elements 211 and 212 (first terminal) to the detection point Vc (third terminal) in a first switching state and directly connect the connection point between the switch elements 214 and 215 (second

terminal) to the detection point Vc (third terminal) in a second switching state in a manner as recited in claim 14.

Referring to FIG. 6 of UENO, when the charge pump 200 is in the charge stage, the switch element 214 is closed and thus the detection point voltage Vc (third terminal) is equal to the voltage at the connection point between 214 and 215 (second terminal). On the other hand, when the pump is in the discharge state, the capacitor 206 and the capacitor 207 are connected in parallel and connected between the input terminal 101 and the output terminal 102 with the switch elements 212, 213, 215, 216 being closed and **the switch elements 211, 214, 217 being open**. Thus, the detection voltage Vc simply drops in the discharge state (paragraph 81). **Therefore, the detection point Vc (third terminal) does not directly receive the voltage at the connection point between 211 and 212 (first terminal) as its voltage potential.** Accordingly, UENO does not teach "the switch circuit connecting in a first switching state the first internal voltage terminal directly to the third internal voltage terminal...," as recited in claim 14.

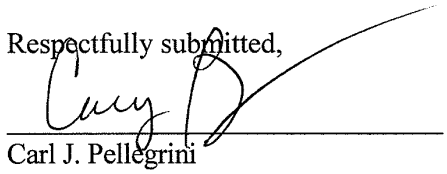
Applicant respectfully submits that claim 14 is patentable over UENO because UENO does not disclose each and every element of claim 14. Dependent claims 15-18 should be patentable at least by virtue of its dependency on claim 14.

III. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Carl J. Pellegrini
Registration No. 40,766

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: November 29, 2011

PTO/SB/(09-11)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARMENT OF COMMERCE
Under the paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless if displays a valid OMB control number.

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)	Docket Number (Optional) Q107099
Application Number 12/052,422	Filed March 20, 2008
For SUPPLY VOLTAGE GENERATING CIRCUIT	
Art Unit 2816	Examiner Khareem E. Almo

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

	Fee	Small Entity Fee	
☑ One month (37 CFR 1.17(a)(1))	$150	$75	$ 150.00
☐ Two months (37 CFR 1.17(a)(2))	$560	$280	$
☐ Three months (37 CFR 1.17(a)(3))	$1270	$635	$
☐ Four months (37 CFR 1.17(a)(4))	$1980	$990	$
☐ Five months (37 CFR 1.17(a)(5))	$2690	$1345	$

☐ Applicant claims small entity status. See 37 CFR 1.27.

☐ A check in the amount of the fee is enclosed.

☐ Payment by credit card. Form PTO-2038 is attached.

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☑ The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number 19-4880.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

I am the

☐ applicant/inventor.

☐ assignee of record of the entire interest. See 37 CFR 3.71.
Statement under 37 CFR 3.73(b) is enclosed (Form PTO/SB/96).

☑ attorney or agent of record. Registration Number 40,766

☐ attorney or agent under 37 CFR 1.34.
Registration number if acting under 37 CFR 1.34 _____

Signature	November 29, 2011 (Date)
Carl J. Pellegrini (Typed or printed name)	(202) 293-7060 (Telephone Number)

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.

Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.136(a). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 6 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	Peter A. McKenna/Tiara Hill
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	150	150

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
			Total in USD ($)	**150**

Electronic Acknowledgement Receipt

EFS ID:	11500720
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Peter A. McKenna/Tiara Hill
Filer Authorized By:	Peter A. McKenna
Attorney Docket Number:	Q107099
Receipt Date:	29-NOV-2011
Filing Date:	20-MAR-2008
Time Stamp:	15:52:30
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$150
RAM confirmation Number	2678
Deposit Account	194880
Authorized User	SUGHRUE MION, PLLC
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Amd116_as_filed.PDF	314778 0c47ec18d3d6186c5e2247d95a8e4d6b8bda0c0f	yes	8

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment After Final	1	1
	Claims	2	3
	Applicant Arguments/Remarks Made in an Amendment	4	7
	Extension of Time	8	8

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	30228 a179a1eead4b373cf2ae9996bd300714099 1f240	no	2

Warnings:

Information:

Total Files Size (in bytes):	345006

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☒ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	**310**
☒ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	**510**
☒ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	**210**
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	**1030**

APPLICATION AS AMENDED – PART II

AMENDMENT	11/29/2011	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 5	Minus	** 20	= 0	X $ =		OR	X $60=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $ =		OR	X $250=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	**0**

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)	OR	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/KATINA TOBIN/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 08/01/2011

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
08/01/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *01 June 2011*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *11 and 13-18* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *11 and 13-18* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

2. Claims 11-13 rejected under 35 U.S.C. 102(e) as being anticipated by Kelly et al. (US 20060186948).

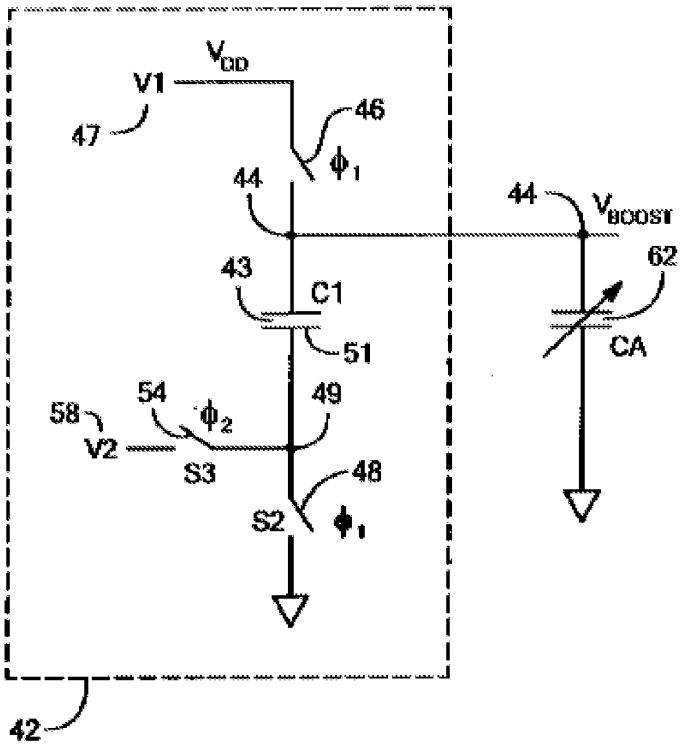


FIG. 3

With respect to claim 11, figure 3 discloses a semiconductor device comprising: a voltage booster circuit (42 and 44) including a power supply terminal (44) and operating on a voltage (Vdd) supplied to the power supply terminal to produce a boosted voltage (Vboost) from the voltage supplied to the power supply terminal; a switch circuit (46) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit wherein the switch circuit is

supplied with a first voltage (V1) and a second voltage (V2) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit (46 closed) and with the second voltage (V2) in a second switching state of the switch circuit (46 open) where each of the first voltage and the second voltage is higher than zero. (Note: when theta 1 is open theta 2 is closed and vice versa in 50 and 52)

With respect to claim 13, Kelly et al. discloses the device as claimed in claim 11, wherein the device is supplied with an external power supply voltage (V1) and further comprises an internal voltage circuit (C1) generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as first and second voltages.

3. Claims 11 rejected under 35 U.S.C. 102(e) as being anticipated by UENO et al. (US 20070139982).

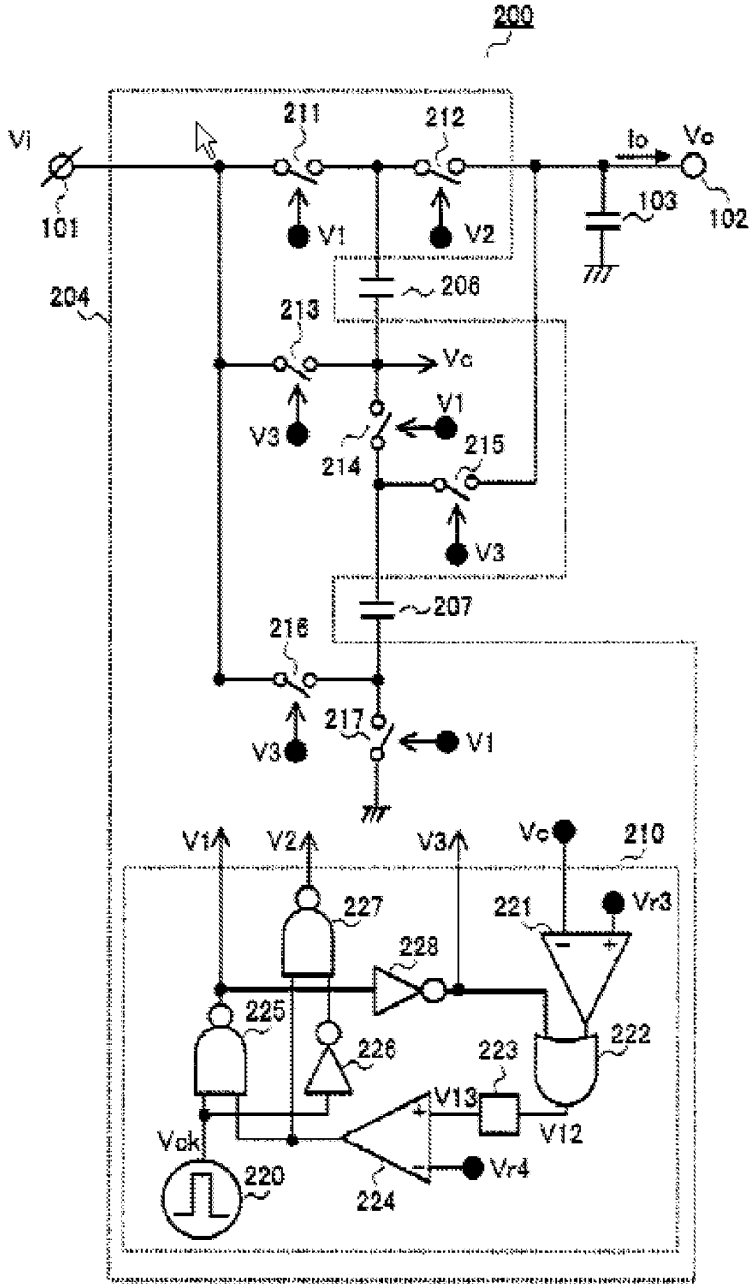

200
211
212
Vi
Io
Vo
101
V1
V2
103
102
206
204
213
Vo
V3
V1
214
215
V3
207
216
217
V3
V1
V1
V2
V3
Vo
210
227
221
Vr3
228
225
226
223
222
V13
V12
Vck
220
Vr4
224

FIG.6

With respect to claim 11, Ueno et al. figure 6 discloses a semiconductor device comprising: a voltage booster circuit (200) including a power supply terminal (between 103 and 212) and operating on a voltage (at the node) supplied to the power supply terminal to produce a boosted voltage (Vo) from the voltage supplied to the power supply terminal; a switch circuit (211-217) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit wherein the switch circuit is supplied with a first voltage (Vi) and a second voltage (Vc) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit where each of the first voltage and the second voltage is higher than zero. .

With respect to claim 13, UENO et al. discloses the device as claimed in claim 11, wherein the device is supplied with an external power supply voltage (Vi) and further comprises an internal voltage circuit (206) generating an internal power supply voltage (Vc)in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as first and second voltages.

With respect to claim 14, UENO et al. discloses a semiconductor device comprising: first (between 211 and 212) and second (between 207 and 214) internal voltage terminals supplied with first and second internal potentials respectively, the first and second internal potentials being different from each

other, a third internal voltage terminal supplied with a third potential (Vc); a Vss terminal supplied with a Vss potential an output terminal (Vo); a voltage booster (103) coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and a switch circuit (211-217) coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 15, UENO figure 6 discloses the device as claimed in claim 14, further comprising a first external voltage terminal (Vi) supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

With respect to claim 16, UENO figure 6 discloses the semiconductor device as claimed in claim 14, further comprising a second external voltage terminal (Vi) supplied with a second external voltage and an internal voltage generating circuit (207) coupled to the second external voltage terminal and the second internal

voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

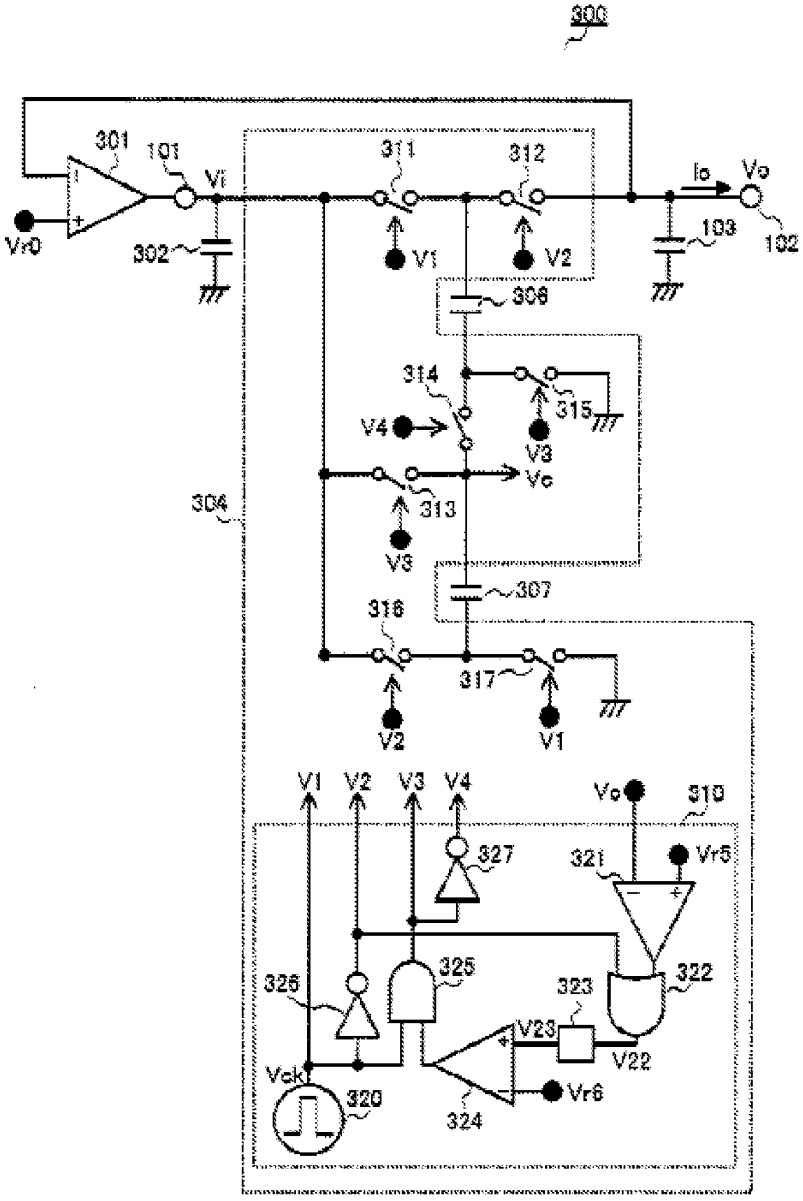

300
301
101
Vi
311
312
Io
Vo
Vr0
302
V1
V2
103
102
308
314
315
V4
V3
Vc
313
304
V3
307
316
317
V2
V1
V1
V2
V3
V4
Vc
310
327
321
Vr5
325
325
323
322
V23
V22
Vck
320
Vr6
324

FIG.10

With respect to claim 17, UENO figure 10 discloses the semiconductor device as claimed in claim 15, further comprising a second external voltage terminal Vro supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential (via 301) to supply the second internal voltage terminal with the second interanl potential. (NOTE: here claims 14 and 15 are interpreted as With respect to claim 14, UENO et al. discloses a semiconductor device comprising: first (between 311 and 312) and second (between 307 and 314) internal voltage terminals supplied with first and second internal potentials respectively, the first and second internal potentials being different from each other, a third internal voltage terminal supplied with a third potential (Vc); a Vss terminal supplied with a Vss potential an output terminal (Vo); a voltage booster (103) coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and a switch circuit (311-317) coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal

to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 15, UENO figure 6 discloses the device as claimed in claim 14, further comprising a first external voltage terminal (Vi) supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.)

With respect to claim 18, figure 10 of UENO discloses the semiconductor device as claimed in claim 17, wherein the first external potential (at 101) is lower than the second external potential (at Vr0).

Response to Arguments

4. Applicant's arguments filed 6/1/2011 have been fully considered but they are not persuasive.

With respect to applicant's arguments concerning Kelly, 14 receives the signal and theta 1 and theta two operate inversely to each other as shown in figure 3 the signals of elements 50. As such, 44 receives the V2 signal when 46 is open and 54 is closed and 44 receives the V1 signal when 46 is closed and 54 is closed.

With respect UENO, the Examiner points out that one, the claim does not call for a direct connection to the power terminal only a connection and secondly, the performance limitations might have no patentable weight, they are deemed inherent since the claimed structure is fully anticipated by UENO. (In re Best). In

light of these two observations the UENO reference anticipates the claimed invention.

With reference to applicant's argument that Vi is not supplied to the connection between 212 and 103 indirectly via the charge and release of the capacitor. If voltages v1 and v2 refer only to direct connections to the power terminal then the internal voltages from 206 and 207 meet the definitions of V1 and v2 during the period of closure. This argument is similar to the argument that is posed for the vc voltage. As such they correspond to the voltages. Vc is supplied to the connection voltage of 210 and also to 207 when v1 is closed. The value of vc changes but when 215 is closed vc is supplied to the power terminal via 215.

With respect to vo, increasing the potential difference between vc and vo although it purpose is to smooth the output of the charge pump it also increases the potential difference (i.e. the voltage difference when vo is boosted is greater in reference to vc than when it is not boosted) it also serves this purpose.

With respect to the claimed switch circuit applicant's arguments are merely based on the signals input to the device not the device itself. The device or structure reads on the claim limitations.

5. **THIS ACTION IS MADE FINAL.** Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is

filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of this final action.

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI, et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

RESPONSE UNDER 37 C.F.R. § 1.111

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated February 4, 2011, please consider the remarks as submitted herewith on the accompanying pages.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested.

I. Status of the Application

Claims 11 and 13-18 are pending in the application.

Claims 11 and 13 are rejected under 35 U.S.C. § 102(e) as being anticipated by Kelly et al. (U.S. Patent Publication No. 2006/0186948; hereinafter "Kelly").

Claims 11 and 13-18 are rejected under 35 U.S.C. § 102(b) as being anticipated by UENO et al. (U.S. Patent Publication No. 2007/0139982; hereinafter "UENO").

II. Claim Rejection under 35 U.S.C. § 102(e)

A. Rejection of claims 11 and 13 based Kelly

Claims 11 and 13 are rejected under 35 U.S.C. § 102(e) as being anticipated by Kelly.

Referring to FIG. 1 of the present application, the exemplary supply voltage generating circuit includes a switch SW1 and a voltage booster (20) where the switch SW1 supplies an external voltage VDDP1 or a step-down voltage VDLP to a power supply terminal Vdd of the booster, and the booster generates a boosted voltage from the power supply Vdd by charge pumping of capacitors of the booster.

Claim 11 reads as follows (emphasis added):

> A semiconductor device comprising:
>
> a voltage booster circuit including **a power supply terminal** and operating on a voltage supplied to the power supply terminal to produce a boosted voltage from the voltage supplied to the power supply terminal;

a switch circuit coupled to the power supply terminal of the voltage booster circuit to control a level of the voltage to be supplied to the power supply terminal of the voltage booster circuit,

wherein the switch circuit is supplied with **a first voltage** and **a second voltage** that is different in level from the first voltage, the switch circuit supplying **the power supply terminal** of the voltage boosting booster circuit with **the first voltage** in a first switching state of the switch circuit and with **the second voltage** in a second switching state of the switch circuit,

where each of the first voltage and the second voltage is higher than zero.

Kelly discloses a programmable clock booster system. FIG. 3 of Kelly shows a booster system 40 including a booster circuit 42 circuit having a booster capacitor C1 connected to a node 44 and a node 49 and switching devices 46, 48, 54, and a programmable capacitor circuit 62 (CA) where the booster circuit 42 samples input voltage V1(47) at a first phase ϕ_1 and applies a boost voltage V2 (58) to the node 49 at a second phase ϕ_2 and the progamable capacitor circuit 62 provides a boosted voltage V_{BOOST} at the node 44 during the seocnd phase ϕ_2 (paragarphs 38, 39).

In the Office Action, the Examiner contends that FIG. 3 of Kelly teaches all the features of claim 11. In support of the rejection, the Examiner asserts that **the input voltage terminal V1 (47)**, and **the switching device (46)** of Kelly correspond to **the power supply terminal** and **the switch circuit** of claim 11, respectively. In addition, the Examiner contends that the input voltage V1 and **the boosting voltage V2(58)** of Kelly correspond to the first voltage and **the second voltage** of claim 11. With this assumption, the Examiner asserts the following (emphasis added):

wherein the switch circuit is supplied with a first voltage (V1) and a second voltage (V2) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit (46 closed) and with the second voltage (V2) in a

second switching state of the switch circuit (46 open), where each of the first voltage and the second voltage is higher than zero. (Office Action at pages 3 and 4)

As noted above, the Examiner contends that in Kelly, when the switching device 46 (the claimed switch circuit) is open, i.e., at the second phase, the boosting voltage 58 (V2) is supplied to the input voltage terminal V1 (47) (the claimed power supply terminal). However, it is quite clear that when the switching device 46 is open at the second phase, the boosting voltage V2 (58) is not supplied to the input voltage terminal V1(47). That is, the boosting voltage V2 is supplied to the node 49 at the second phase ϕ_2 since the switching device 54 is closed. However, because the switching device (46) is open, the boosting voltage V2 is not supplied to the input voltage terminal V1 (47) at the second phase. Therefore, contrary to the Examiner's assertion, Kelly's input voltage terminal V1 (47), and the switching device (46) cannot possibly correspond to the power supply terminal and the switch circuit of claim 11.

Even assuming that the Examiner intended to indicate the node 44 of Kelly as corresponding to the claimed power supply terminal, the boosting voltage V2 would not be supplied to the node 44.

Accordingly, Applicant respectfully submits that claim 11 is patentable over Kelly because Kelly fails to teach each and every element of claim 11. Dependent claim 13 should be allowed at least by virtue of its dependency on claim 11.

B. Rejection of Claims 11, 13 and 14-18 based on UENO

Claims 11, 13 and 14-18 are rejected under 35 U.S.C. § 102(b) as being anticipated by Ueno.

Claims 11 and 13

With regard to claim 11, the Examiner cites FIG. 6 of UENO as disclosing all the features of claim 11.

UENO (FIG. 6) discloses a charge pump circuit 200 including an input terminal 101 and an output terminal 102, switch elements 211-217, capacitors 206, 207 and a detection circuit 210 where the detection circuit 210 detects the voltage Vc of the connection point between the switch elements 213 and 214 and outputs driving signals V1, V2, V3 for driving the switch elements 211-217 (paragraphs 74, 77). Referring to FIG. 7, when the driving signal V1 is at high level, the driving signals V2 and V3 are at a low level and thus the switch elements **211, 214**, 217 are **closed** and the switch elements **212**, 213, 215, 216 are **open** (a charge stage). On the other hand, when the driving signal V1 is at low level, the driving signals V2 and V3 are at a high level and thus the switch elements **211**, 214 , 217 are **open** and the switch elements **212**, 213, 215, 216 are **closed** (a discharge stage) (paragraph 81).

On page 6 of the Office Action, the Examiner asserts that the connection point between the switch elements 212 and the output capacitor 103 of UENO corresponds to the power supply terminal of claim 11. In addition, the Examiner asserts that the switch elements 211-217, the input voltage Vi and the voltage Vc of the connection point between the switch elements 213 and 214 of UENO correspond to the first voltage and the second voltage of claim 11.

UENO, however, does not teach the following features of claim 11 (emphasis added):

> wherein the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit,
>
> where each of the first voltage and the second voltage is higher than zero.

Firstly, in UENO, the input voltage Vi (the first voltage) is not supplied to the connection point between 212 and 103 (the power supply terminal) (FIG. 6). For instance, when the charge pump 200 is in the charge stage, the input voltage Vi is supplied to the capacitors 206 and 206, but it is not supplied to the connection point between 212 and 103 because **both the switch elements 212 and 215 are open** (the driving signal V2 being in phase with the driving signal V3) (paragraphs 74, 81). In other words, **neither the input voltage Vi nor the detection voltage Vc is supplied to the connection point between 212 and 103 in the charge stage**. On the other hand, when the pump is in the discharge stage, the switch elements 211, 214 and 217 are open and the other switch elements 212, 213, 215, 216 are closed. Thus, the input voltage Vi is not supplied to the connection point between 212 and 103.

As discussed above, UENO's switch elements 211-217 do not supply any of the input voltage Vi and the detection voltage Vc to the connection point between 212 and 103 (the power supply terminal) at the charge stage. Thus, the UENO's switch elements 211-217 cannot possibly correspond to the claimed switch circuit.

In addition, the detection voltage Vc which the Examiner considers to be the claimed second voltage is not supplied to the connection point between 212 and 103 at any stage. Instead, the detection voltage Vc is merely supplied to the detection circuit 210. More specifically, when the charge pump is in the charge stage, the switch element 214 is closed but the switch elements 212 and 215 are open and thus, the detection voltage Vc is not supplied to the connection point between 212 and 213. In the discharge state, the detection voltage Vc is simply supplied to the detection circuit (210).

Accordingly, Applicant respectfully submits that claim 11 is patentable over UENO because UENO fails to teach each and every element of claim 11. Dependent claim 13 should be allowed at least by virtue of its dependency on claim 11.

Claims 14-18

Claim 14 recites as follows (emphasis added):

> A semiconductor device comprising:
>
> **first and second internal voltage terminals** supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;
>
> **a third internal voltage terminal** supplied with a third potential;
>
> a Vss terminal supplied with a Vss potential;
>
> an output terminal:
>
> **a voltage booster circuit** coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and
>
> a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting **in a first switching state** the **first** internal voltage terminal to the **third** internal voltage terminal so that **the third internal voltage terminal receives the first internal potential as the third internal potential**, and connecting **in a second switching state** the **second** internal voltage terminal to the **third** internal voltage terminal so that **the third internal voltage terminal receives the second internal potential as the third internal potential**.

In the Office Action, the Examiner contends that FIG. 6 of UENO discloses all the features of claim 14. Specifically, the Examiner asserts that the connection point between 211 and 212, the connection point between 214 and 215 and the connection point 213 and 214 (i.e., the detection point Vc) correspond to the first, second and third voltage terminals of claim 14, respectively. Also, the Examiner contends that the output capacitor 103 and the output voltage Vo of correspond to the claimed voltage booster circuit and Vss potential.

However, firstly, the output capacitor 103 of UENO does not correspond to the claimed voltage booster circuit because the capacitor 103 does not serve to boost the potential difference between the detection voltage Vc and the output voltage Vo. Rather, the output capacitor 103 is to smooth the output of the charge pump which is boosted by the charge pump circuit (paragraph 74).

In addition, UENO does not teach the claimed switch circuit because UENO's switch elements do not serve to connect **the connection point between 211 and 212** (first terminal) to **the detection point Vc** (third terminal) in **a first switching state** and connect **the connection point between 214 and 215** (second terminal) to **the detection point Vc** (third terminal) in **a second switching state** in a manner as recited in claim 14.

In UENO, when the charge pump is in the charge stage, the switch element 214 is closed and thus the detection point voltage Vc (third terminal) is equal to the voltage at the connection point between 214 and 215 (second terminal). On the other hand, when the pump is in the discharge state, the capacitor 206 and the capacitor 207 are connected in parallel and connected between the input terminal 101 and the output terminal 102 with the switch element 214 being open. The detection voltage Vc simply drops in this discharge state (paragraph 81). Thus, the detection point Vc does not receive the voltage at the connection point between 211 and 212 (first terminal) as its voltage potential. Accordingly, UENO does not teach the claimed switch circuit.

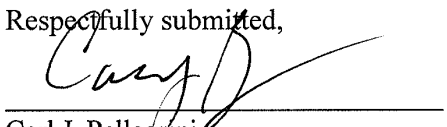
Accordingly, Applicant respectfully submits that claim 14 is patentable over UENO because UENO does not disclose each and every element of claim 14. Dependent claims 15-18 should be patentable at least by virtue of its dependency on claim 14.

III. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,



Carl J. Pellegrini
Registration No. 40,766

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: June 1, 2011

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)

FY 2009

(Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).)

Docket Number
Q107099

Confirmation Number
2405

Application Number	12/052,422	Filing Date	March 20, 2008
For	SUPPLY VOLTAGE GENERATING CIRCUIT		
Art Unit	2816	Examiner Name	Khareem E. Almo

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

		Fee	Small Entity Fee	
☑	One month (37 CFR 1.17(a)(1))	$130.00	$65.00	$130.00
☐	Two month (37 CFR 1.17(a)(2))	$490.00	$245.00	
☐	Three month (37 CFR 1.17(a)(3))	$1110.00	$555.00	
☐	Four month (37 CFR 1.17(a)(4))	$1730.00	$865.00	
☐	Five month (37 CFR 1.17(a)(5))	$2350.00	$1175.00	

☐ Previous Payment Amount _____ Date Submitted _____

☐ Applicant claims small entity status. See 37 CFR 1.27

☐ A check in the amount of the fee is enclosed.

☑ Payment by credit card.

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☑ The Director is hereby authorized to charge any fees, **except for the Issue Fee and the Publication Fee**, or credit any overpayment, to Deposit Account Number 19-4880.

I am the

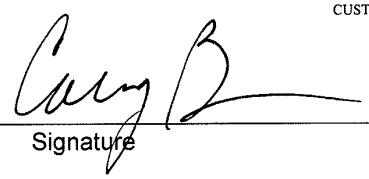
☐ applicant/inventor

☐ assignee of record of the entire interest. See 37 CFR 3.71. Statement under 37 CFR 3.73(b) is enclosed (Form PTO/SB/96).

☑ attorney or agent of record. Registration Number 40,766

☐ attorney or agent under 37 CFR 1.34. Registration number if acting under 37 CFR 1.34 _____

WASHINGTON OFFICE
23373
CUSTOMER NUMBER



Signature — June 1, 2011 (Date)

Carl J. Pellegrini (Typed or printed name) — (202) 293-7060 (Telephone Number)

Note: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.

☑ Total of 1 form is submitted.

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	Peter A. McKenna/Aran Mottley
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	130	130

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
		Total in USD ($)		**130**

Electronic Acknowledgement Receipt

EFS ID:	10210836
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Peter A. McKenna/Aran Mottley
Filer Authorized By:	Peter A. McKenna
Attorney Docket Number:	Q107099
Receipt Date:	01-JUN-2011
Filing Date:	20-MAR-2008
Time Stamp:	17:33:51
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$130
RAM confirmation Number	4803
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1		Q107099-111RSP.pdf	430331 e3e5584ba2968492ea913a06907bee4951bafc96	yes	10

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Applicant Arguments/Remarks Made in an Amendment	2	9
	Extension of Time	10	10

Warnings:

Information:

2	Fee Worksheet (PTO-875)	fee-info.pdf	30331 77708a4d46e3edc4423d828b9d1fbf9cb4424c2c	no	2

Warnings:

Information:

Total Files Size (in bytes):	460662

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 02/04/2011

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
02/04/2011	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *03 December 2010*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *11 and 13-18* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *11 and 13-18* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

1. A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 12/3/2010 has been entered.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

2. Claims 11-13 rejected under 35 U.S.C. 102(e) as being anticipated by Kelly et al. (US 20060186948).

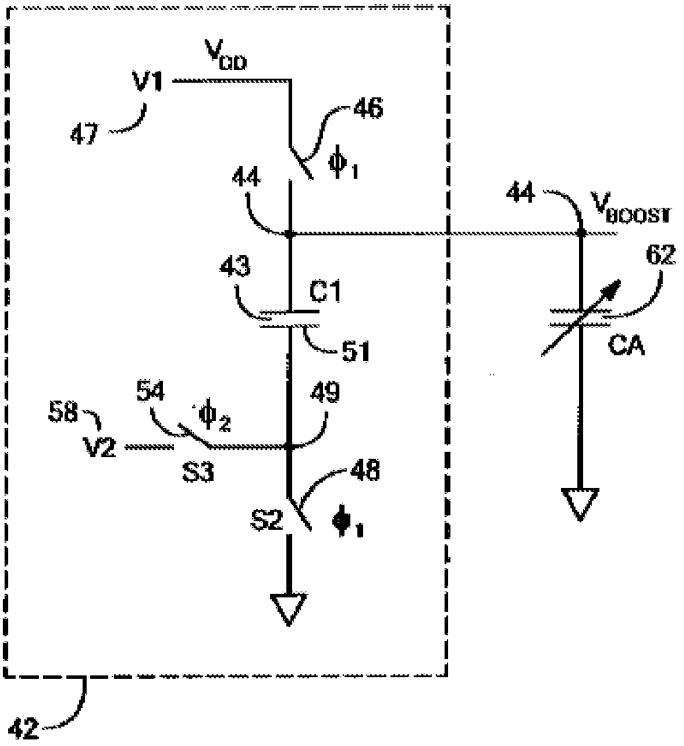


FIG. 3

With respect to claim 11, figure 3 discloses a semiconductor device comprising: a voltage booster circuit (42 and 44) including a power supply terminal (V1) and operating on a voltage (Vdd) supplied to the power supply terminal to produce a boosted voltage (44) from the voltage supplied to the power supply terminal; a switch circuit (46) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit wherein the switch circuit is supplied with a first voltage (V1) and a second voltage (V2)

that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit (46 closed) and with the second voltage (V2) in a second switching state of the switch circuit (46 open) where each of the first voltage and the second voltage is higher than zero.

With respect to claim 13, Kelly et al. discloses the device as claimed in claim 11, wherein the device is supplied with an external power supply voltage (V1) and further comprises an internal voltage circuit (C1) generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as first and second voltages.

3. Claims 11 rejected under 35 U.S.C. 102(e) as being anticipated by UENO et al. (US 20070139982).

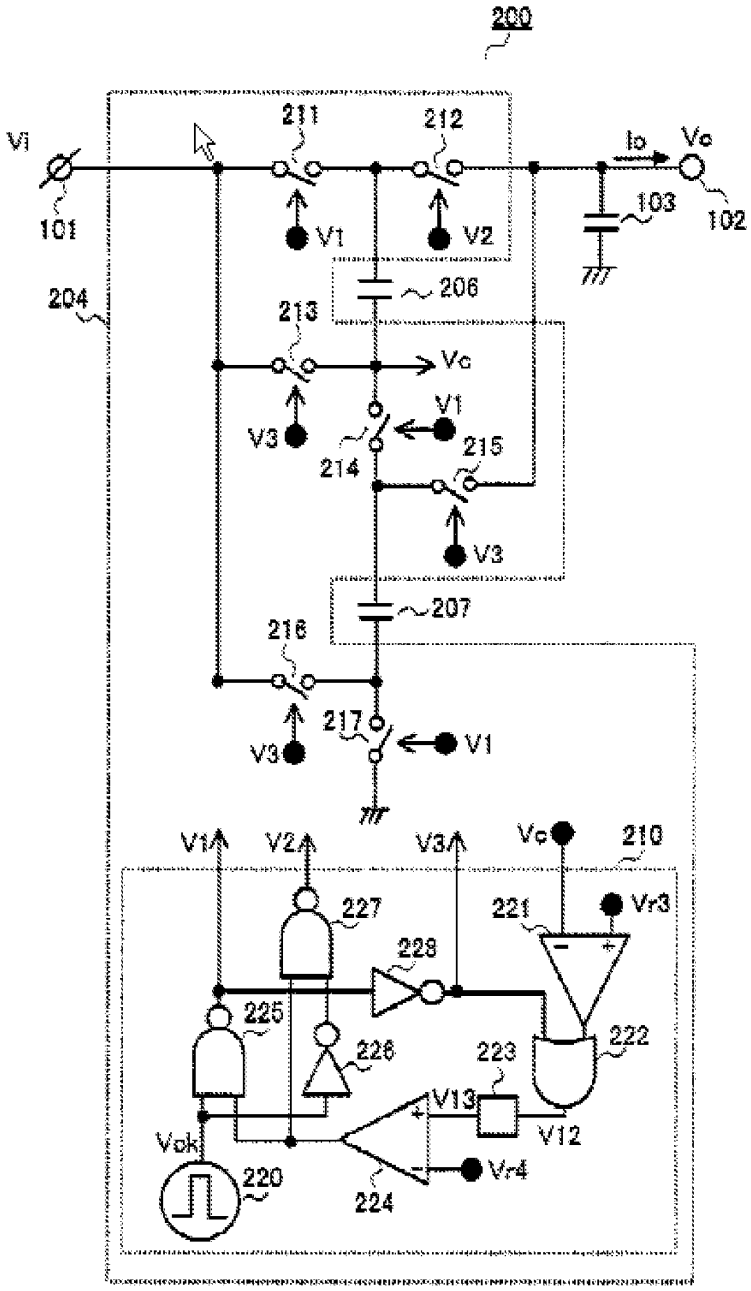

200
211
212
Vi
Io
Vo
101
V1
V2
103
102
206
204
213
Vc
V3
V1
214
215
V3
207
216
V3
217
V1
V1
V2
V3
Vc
210
227
221
Vr3
228
225
226
223
222
V13
V12
Vck
Vr4
220
224

FIG.6

With respect to claim 11, Ueno et al. figure 6 discloses a semiconductor device comprising: a voltage booster circuit (200) including a power supply terminal (between 103 and 212) and operating on a voltage (at the node) supplied to the power supply terminal to produce a boosted voltage (Vo) from the voltage supplied to the power supply terminal; a switch circuit (211-217) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit wherein the switch circuit is supplied with a first voltage (Vi) and a second voltage (Vc) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit where each of the first voltage and the second voltage is higher than zero. .

With respect to claim 13, UENO et al. discloses the device as claimed in claim 11, wherein the device is supplied with an external power supply voltage (Vi) and further comprises an internal voltage circuit (206) generating an internal power supply voltage (Vc)in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as first and second voltages.

With respect to claim 14, UENO et al. discloses a semiconductor device comprising: first (between 211 and 212) and second (between 207 and 214) internal voltage terminals supplied with first and second internal potentials respectively, the first and second internal potentials being different from each other, a third internal voltage

terminal supplied with a third potential (Vc); a Vss terminal supplied with a Vss potential an output terminal (Vo); a voltage booster (103) coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and a switch circuit (211-217) coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 15, UENO figure 6 discloses the device as claimed in claim 14, further comprising a first external voltage terminal (Vi) supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

With respect to claim 16, UENO figure 6 discloses the semiconductor device as claimed in claim 14, further comprising a second external voltage terminal (Vi) supplied with a second external voltage and an internal voltage generating circuit (207) coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the

second internal potential to supply the second internal voltage terminal with the second internal potential.

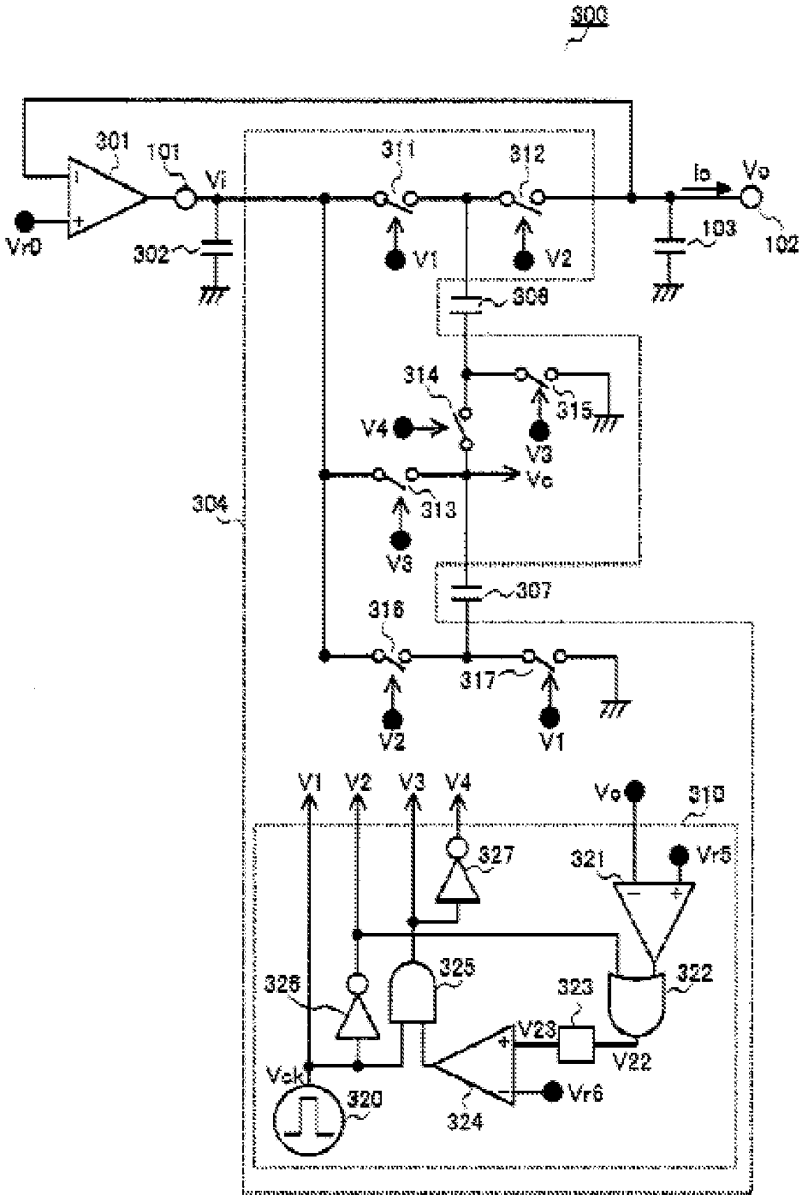

300
301
101
Vi
311
312
Io
Vo
Vr0
302
V1
V2
103
102
309
314
315
V4
V3
Vo
304
313
V3
307
316
317
V2
V1
V1
V2
V3
V4
Vo
318
327
321
Vr5
325
326
323
322
V23
V22
Vck
320
Vr6
324

FIG.10

With respect to claim 17, UENO figure 10 discloses the semiconductor device as claimed in claim 15, further comprising a second external voltage terminal Vro supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential (via 301) to supply the second internal voltage terminal with the second interanl potential. (NOTE: here claims 14 and 15 are interpreted as With respect to claim 14, UENO et al. discloses a semiconductor device comprising: first (between 311 and 312) and second (between 307 and 314) internal voltage terminals supplied with first and second internal potentials respectively, the first and second internal potentials being different from each other, a third internal voltage terminal supplied with a third potential (Vc); a Vss terminal supplied with a Vss potential an output terminal (Vo); a voltage booster (103) coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and a switch circuit (311-317) coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal

voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

With respect to claim 15, UENO figure 6 discloses the device as claimed in claim 14, further comprising a first external voltage terminal (Vi) supplied with a first external potential, the first external voltage terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.)

With respect to claim 18, figure 10 of UENO discloses the semiconductor device as claimed in claim 17, wherein the first external potential (at 101) is lower than the second external potential (at Vr0).

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Notice of References Cited	Application/Control No. 12/052,422	Applicant(s)/Patent Under Reexamination HAYASHI ET AL.	
	Examiner KHAREEM E. ALMO	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2007/0139982	06-2007	UENO et al.	363/059
*	B	US-2006/0186948	08-2006	Kelly et al.	327/536
*	C	US-6,859,091	02-2005	Nicholson et al.	327/536
*	D	US-2005/0219878	10-2005	Ito et al.	363/059
*	E	US-7,288,984	10-2007	Armaroli et al.	327/536
*	F	US-2007/0024341	02-2007	Muggler et al.	327/520
*	G	US-2004/0017241	01-2004	Saeki, Takanori	327/291
*	H	US-6,075,403	06-2000	Ishikawa et al.	327/536
*	I	US-6,504,422	01-2003	Rader et al.	327/536
*	J	US-6,218,818	04-2001	Kim, Han-Sang	323/284
*	K	US-2005/0047180	03-2005	Kim, Hyoung-Rae	363/059
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

MODIFIED PTO/SB/30 (07/09)

REQUEST FOR CONTINUED EXAMINATION (RCE) TRANSMITTAL

Application Number	12/052,422	Filing Date	March 20, 2008	Confirmation Number	2405	Docket Number	Q107099
First Named Inventor	Koichiro HAYASHI		Examiner Name	Khareem E. Almo		Art Unit	2816
Title	SUPPLY VOLTAGE GENERATING CIRCUIT						

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.

SUBMISSION REQUIRED UNDER 37 CFR 1.114

Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

☐ Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

- ☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____
- ☐ Other _____

☐ Do NOT consider the amendment(s)/reply under 37 CFR 1.116 previously filed on _____

☑ Enclosed

- ☑ Amendment/Reply
- ☐ Information Disclosure Statement (IDS)
- ☐ Affidavit(s)/Declaration(s)
- ☐ Other _____

MISCELLANEOUS

☐ Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

☐ Other _____

FEES

The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

☑ The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

CORRESPONDENCE ADDRESS

Direct all correspondence to the address for SUGHRUE MION, PLLC filed under the Customer Number listed below:

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

SIGNATURE OF REGISTERED U.S. PATENT PRACTITIONER

Signature /J. Warren Lytle, Jr./ Date December 3, 2010

Name J. Warren Lytle, Jr. Registration No. 39,283

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)

FY 2009

(Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).)

Docket Number
Q107099

Confirmation Number
2405

Application Number	12/052,422	Filing Date	March 20, 2008
For	SUPPLY VOLTAGE GENERATING CIRCUIT		
Art Unit	2816	Examiner Name	Khareem E. Almo

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

		Fee	Small Entity Fee	
☑	One month (37 CFR 1.17(a)(1))	$130.00	$65.00	$130.00
☐	Two month (37 CFR 1.17(a)(2))	$490.00	$245.00	
☐	Three month (37 CFR 1.17(a)(3))	$1110.00	$555.00	
☐	Four month (37 CFR 1.17(a)(4))	$1730.00	$865.00	
☐	Five month (37 CFR 1.17(a)(5))	$2350.00	$1175.00	

☐ Previous Payment Amount Date Submitted

☐ Applicant claims small entity status. See 37 CFR 1.27

☐ A check in the amount of the fee is enclosed.

☑ Payment by credit card.

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☑ The Director is hereby authorized to charge any fees, **except for the Issue Fee and the Publication Fee**, or credit any overpayment, to Deposit Account Number 19-4880.

I am the

☐ applicant/inventor

☐ assignee of record of the entire interest. See 37 CFR 3.71. Statement under 37 CFR 3.73(b) is enclosed (Form PTO/SB/96).

☑ attorney or agent of record. Registration Number 39,283

☐ attorney or agent under 37 CFR 1.34. Registration number if acting under 37 CFR 1.34

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

/J. Warren Lytle, Jr./
Signature

December 3, 2010
Date

J. Warren Lytle, Jr.
Typed or printed name

(202) 293-7060
Telephone Number

Note: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.

☑ Total of 1 form is submitted.

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	J. Lytle/Dawne Blanche
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	130	130

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Request for continued examination	1801	1	810	810
		Total in USD ($)		**940**

Electronic Acknowledgement Receipt

EFS ID:	8964839
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	J. Lytle/Dawne Blanche
Filer Authorized By:	J. Lytle
Attorney Docket Number:	Q107099
Receipt Date:	03-DEC-2010
Filing Date:	20-MAR-2008
Time Stamp:	16:15:06
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$940
RAM confirmation Number	2670
Deposit Account	194880
Authorized User	SUGHRUE MION, PLLC
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Q107099_RCE_1114cAM_EOT.PDF	137871 c28b72c96186a2311d3f4d0ebdab02c197a68ba7	yes	12

Multipart Description/PDF files in .zip description

Document Description	Start	End
Amendment Submitted/Entered with Filing of CPA/RCE	1	1
Claims	2	4
Applicant Arguments/Remarks Made in an Amendment	5	10
Request for Continued Examination (RCE)	11	11
Extension of Time	12	12

Warnings:

Information:

2	Fee Worksheet (PTO-875)	fee-info.pdf	32620 2bb5b8a1d45d0a1e252a939393212a412eb45862	no	2

Warnings:

Information:

Total Files Size (in bytes):	170491

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Koichiro HAYASHI, et al.

Appln. No.: 12/052,422

Confirmation No.: 2405

Filed: March 20, 2008

For: SUPPLY VOLTAGE GENERATING CIRCUIT

Docket No: Q107099

Group Art Unit: 2816

Examiner: Khareem E. Almo

AMENDMENT UNDER 37 C.F.R. § 1.114(c)

MAIL STOP RCE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 9, 2010, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2
REMARKS 5

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1 - 10 (canceled).

11. (currently amended): A semiconductor device comprising:

a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage ~~related to a level of~~ from the voltage ~~at~~ supplied to the power supply terminal;

a switch circuit coupled to the power supply terminal of the voltage booster circuit to control ~~the~~ a level of the voltage to be supplied to the power supply terminal of the voltage booster circuit,

wherein the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit,

where each of the first voltage and the second voltage is higher than zero.

12. (canceled).

13. (currently amended): The device as claimed in ~~claim 12~~ claim 11, wherein the device is supplied with an external power supply voltage and further comprises an internal voltage

circuit generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as the first and second ~~voltage~~ voltages.

14. (new): A semiconductor device comprising:

first and second internal voltage terminals supplied with first and second internal potentials, respectively, the first and second internal potentials being different from each other;

a third internal voltage terminal supplied with a third potential;

a Vss terminal supplied with a Vss potential;

an output terminal:

a voltage booster circuit coupled to the Vss terminal, the third internal voltage terminal and the output terminal, the voltage booster circuit boosting a potential difference between the third internal potential appearing at the third internal voltage terminal and the Vss potential at the Vss terminal to generate a boosted potential at the output terminal; and

a switch circuit coupled to the first, second and third internal voltage terminals, the switch circuit connecting in a first switching state the first internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the first internal potential as the third internal potential, and connecting in a second switching state the second internal voltage terminal to the third internal voltage terminal so that the third internal voltage terminal receives the second internal potential as the third internal potential.

15. (new): The semiconductor device as claimed in claim 14, further comprising a first external voltage terminal supplied with a first external potential, the first external voltage

terminal being coupled to the first internal voltage terminal to supply the first internal voltage terminal with the first external potential as the first internal potential.

16. (new): The semiconductor device as claimed in claim 14, further comprising a second external voltage terminal supplied with a second external voltage and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

17. (new): The semiconductor device as claimed in claim 15, further comprising a second external voltage terminal supplied with a second external potential and an internal voltage generating circuit coupled to the second external voltage terminal and the second internal voltage terminal, the internal voltage generating circuit converting the second external potential into the second internal potential to supply the second internal voltage terminal with the second internal potential.

18 (new): The semiconductor device as claimed in claim 17, wherein the first external potential is lower than the second external potential.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested. By this Amendment, claims 11 and 13 are amended and claim 12 is canceled without prejudice or disclaimer. In addition, claims 14-18 are added. Thus, claims 11, 13-18 are all the claims pending in the application. Applicant submits that the pending claims should be allowed as discussed below.

I. Claim Rejections under 35 U.S.C. §§ 102(e) and 102(b)

A. Rejection of claims 11-13 based on Ito

Claims 11-13 are rejected under 35 U.S.C. § 102(e) as being anticipated by Ito et al. (U.S. Patent Publication No. 2008/0094128; hereinafter "Ito"). Applicant respectfully traverses the rejection because Ito does not teach all the elements of the claims.

Referring to FIG. 1 of the present application, in the exemplary power supply circuit, (1) the switch SW1 is supplied with the external voltage VDDP1 or the step-down voltage VDLP depending on the switching state of the switch, (2) both of the supplied voltages are higher than zero and (3) the voltage booster (20) generates a boosted voltage from the voltage supplied to the input terminal (paragraphs [0023], [0024] and [0047]; FIGs. 2-5, Vdd). Claim 11 is amended to more clearly recite these features, and claim 12 is cancelled.

Claim 11 reads as follows (emphasis added):

> A semiconductor device comprising:
>
> a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage from the voltage supplied to the power supply terminal;

a switch circuit coupled to the power supply terminal of the voltage booster circuit to control a level of the voltage to be supplied to the power supply terminal of the voltage booster circuit,

wherein the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit,

where each of the first voltage and the second voltage is higher than zero.

Applicant submits that Ito does not teach at least "the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit, where each of the first voltage and the second voltage is higher than zero," as recited in claim 11.

Ito discloses a driver circuit for driving a charge pump circuit. FIG. 2 of Ito discloses a charge pump circuit (10) that steps up a battery voltage Vbat input from an input terminal (102) to generate an output voltage Vout to be output from an output terminal (104). The charge pump circuit (10) comprises a first capacitor C1, a second capacitor C2, and first to ninth switches SW1 to SW 9 for controlling connection states of the capacitors and is configured to switch between a plurality of step-up ratios (1, 1.5, 2) (paragraphs [0025]-[0026]).

In the Office Action, the Examiner contends that the elements (SW5, C2 and SW6) and the switch SW9 of the charge pump circuit (10) of Ito (FIG. 2) correspond to the voltage booster circuit and the switch circuit of claim 11, respectively. Also, the Examiner considers the connection point between the switch SW2 and the switch SW9 to be the power supply terminal of claim 11. Additionally, the Examiner asserts that since the switch SW9 of Ito controls the

voltage level of the connection point between SW2 and SW9 from "ground" to a voltage, the switch SW9 corresponds to the switch circuit of claim 11.

Referring to FIG. 2 of Ito, when the step-up ratio of the charge pump circuit (10) is set to 1 or 1.5, the switch SW9 remains at an "off" state(paragraphs [0029]-[0033]). On the other hand, when the step-up ratio is 2, the charge pump circuit (10) repeats a first period and a second period where the switch SW9 operates between on and off states (paragraphs [0036]-[0037]). When the switch SW9 is switched to "on," the connection point between SW2 and SW9 is grounded and when the switch SW 9 is switched to "off," the connection point is at a level of Vbat. That is, the connection point between the switch SW2 and the switch SW9 changes between ground and Vbat. Therefore, Ito does not teach "each of the first voltage and the second voltage is higher than zero," as recited in claim 11.

Also, on page 3 of the Office Action, the Examiner contends that the states of the switches SW2 and SW5 of Ito correspond to the claimed first and second states. However, claim 11 recites "the first voltage in a first switching state of the switch circuit" and "the second voltage in a second switching state of the switch circuit." Therefore, the switching states of SW2 and SW5 of Ito do not correspond to the first and second switching states of the switch circuit of claim 11.

Thus, Ito fails to teach "the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit, where each of the first voltage and the second voltage is higher than zero," as recited in claim 11.

Accordingly, Applicant respectfully submits that Ito does not anticipate claim 11 because Ito fails to disclose each and every element of claim 11. Dependent claim 13 should be allowed at least by virtue of its dependency on claim 11.

B. Rejection of Claims 11 and 12 based on Sivero

Claims 11-12 are rejected under 35 U.S.C. § 102(b) as being anticipated by Sivero et al. (U.S. Patent Publication No. 2005/0189983; hereinafter "Sivero").

Sivero relates to a voltage regulator for regulating a charge pump voltage output. Referring to FIG. 1 of Sivero, the voltage regulator includes, among others, a charge pump (10) having a first input terminal Vcc, a second input terminal (14) connected to the output of a two-input AND gate (18) where one input of the AND gate receives a clock signal clk and the other input of the AND gate is connected to a switch (38).

In the Office Action, the Examiner contends that FIG. 1 of Sivero discloses all the element of claim 11. In particular, the Examiner asserts that the charge pump (10) and the AND gate (18) of Sivero correspond to the voltage booster circuit of claim 11, and the switch (38) of Sivero corresponds to the switch circuit of claim 11.

However, Sivero does not teach "a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage from the voltage at the power supply terminal," as recited in the amended claim 11.

On page 4 of the Office Action, the Examiner specifically contends that the input at the AND gate (18) corresponds to the power supply terminal of claim 11. However, one input of the AND gate (18) receives a digital signal equal to Vcc or ground depending on the result of comparison of an op amp (34), and the output of the AND gate (18) enables or disables the

application of the clock signal to the charge pump (10) (paragraph [0018], "logic gate' in claim 1). In Sivero, the charge pump (10) does not generate a boosted voltage from the voltage of the input of the AND gate (18). Rather, the charge pump merely boosts the input voltage Vcc. In contrast, claim 11 recites "a booster circuit...produce a boosted voltage from the voltage at the power supply terminal. Since Ito's charge pump does not produce a boosted voltage from the voltage at the input of the AND gate (18), the input of the AND gate cannot possibly correspond to the claimed power supply terminal. Accordingly, Sivero does not disclose "a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage from the voltage at the power supply terminal," as recited in claim 11.

Further, Sivero fails to teach "wherein the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting booster circuit with the first voltage in a first switching state of the switch circuit and with the second voltage in a second switching state of the switch circuit, where each of the first voltage and the second voltage is higher than zero," as recited in claim 11. As the Examiner points out on page 5 of the Office Action, the switch (38) of Sivero receives a voltage equal to Vcc or equal to ground depending on the comparison result of the op amp (34) (FIG. 2b). Thus, Sivero fails to teach "each of the first voltage and the second voltage is higher than zero," of claim 11.

Accordingly, Applicant respectfully submits that Sivero does not anticipate claim 11 because Sivero does not disclose each and every element of claim 11.

New claims 14-17 particularly points out the features of the invention. Applicant submits that claims 14-17 are patentable over the references.

II. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/J. Warren Lytle, Jr./

J. Warren Lytle, Jr.
Registration No. 39,283

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: December 3, 2010

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	8 minus 20 =	* 0	X $ =		OR	X $50 =	0
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	* 0	X $ =			X $210 =	0
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	0

APPLICATION AS AMENDED – PART II

AMENDMENT	12/03/2010	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 7	Minus	** 20	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 2	Minus	***3	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/GERALDINE STANLEY/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 08/09/2010

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
08/09/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *6/11/2010*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *11-13* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *11-13* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

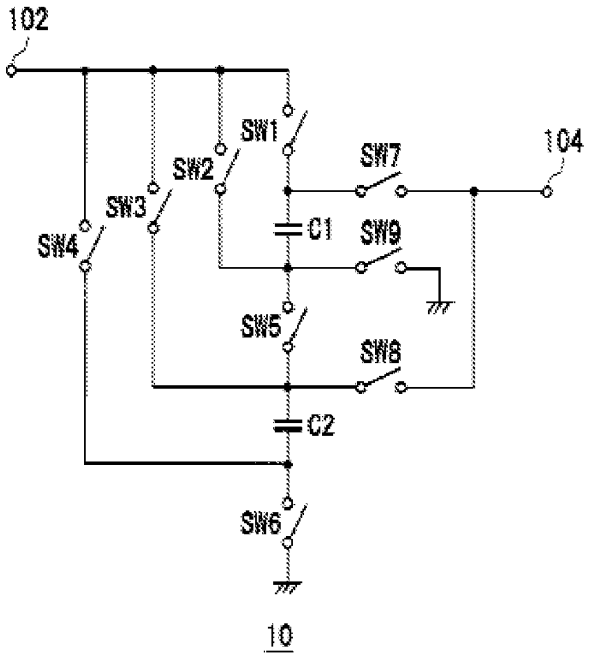
DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

2. Claims 11-13 rejected under 35 U.S.C. 102(e) as being anticipated by Ito et al. (US 20080094128).



With respect to claim 11, Ito et al. discloses a semiconductor device comprising: a voltage booster circuit (SW5, C2 and SW6) including a power supply terminal (between SW2 and SW9) and operating on a voltage (ground) supplied to the power supply terminal to produce (104) related to a level of voltage at the power supply terminal; a switch circuit (SW9) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit.

With respect to claim 12, Ito et al. discloses wherein the switch circuit is supplied with a first voltage (from SW2) and a second voltage (from SW5) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage booster circuit with the first voltage in a first switching state (when SW2 is closed) and with the second voltage in a second switching state (when SW5 is closed).

With respect to claim 13, Ito et al. discloses the device as claimed in claim 12, wherein the device is supplied with an external power supply voltage (102) and further comprises an internal voltage circuit (C1) generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as first and second voltages.

3. Claims 11-12 rejected under 35 U.S.C. 102(b) as being anticipated by Sivero et al. (US 20050189983).

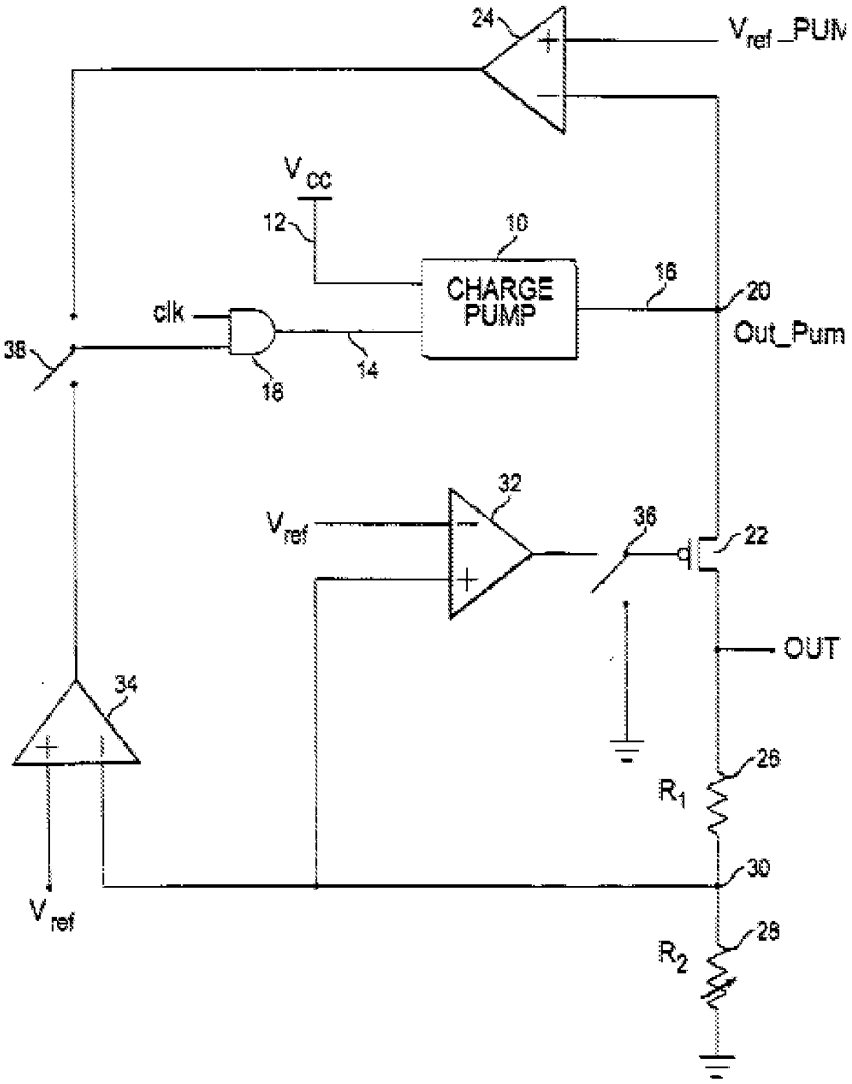


Fig. 1

With respect to claim 11, Sivero et al. discloses a semiconductor device comprising: a voltage booster circuit (10 and 18) including a power supply terminal (input at 18) and operating on a voltage (Vcc or Gnd) supplied to the power supply terminal to produce a boosted voltage (out pump) related to a level of voltage at the

power supply terminal; a switch circuit (38) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the booster circuit.

With respect to claim 12, Sivero et al. discloses wherein the switch circuit is supplied with a first voltage (equal to Vcc) and a second voltage (equal to ground) that is different in level from the first voltage, the switch circuit supplying the power supply terminal (18) of the voltage booster circuit with the first voltage (Vcc) in a first switching state (Vref>Vcenter_tap) and with the second voltage (Vgnd) in a second switching state (Vref<Vcenter_tap).

4. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Notice of References Cited	Application/Control No. 12/052,422	Applicant(s)/Patent Under Reexamination HAYASHI ET AL.	
	Examiner KHAREEM E. ALMO	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2005/0189983	09-2005	Sivero et al.	327/536
*	B	US-2008/0094128	04-2008	Ito et al.	327/536
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI, et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

STATEMENT OF SUBSTANCE OF INTERVIEW

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Please review and enter the following remarks summarizing the interview conducted on June 23, 2010:

REMARKS

An Examiner's Interview Summary Record (PTO-413) was mailed to the Applicant on July 6, 2010.

During the interview, the following was discussed with respect to claim 11:

1. Brief description of exhibits or demonstration: None
2. Identification of claims discussed: claim 11
3. Identification of art discussed: Kimura et al. (U.S. Patent Publication No. 200/0210774)
4. Identification of principal proposed amendments: None

5. Brief Identification of principal arguments: With regard to Kimura, Applicant argued that the voltage of the terminal T1 of Kimura maintains at a constant level and the switch does not control the voltage whereas the switch circuit of the claimed invention is coupled to the power supply terminal to control the level of the voltage to be supplied to the power supply terminal.

6. Indication of other pertinent matters discussed: None

7. Results of Interview: Based on the argument, the Examiner agreed that the initial interpretation of the claim langue in regard to Kimura does not read on claim 11 and a further search would be required.

It is respectfully submitted that the instant STATEMENT OF SUBSTANCE OF INTERVIEW complies with the requirements of 37 C.F.R. §§1.2 and 1.133 and MPEP §713.04.

It is believed that no petition or fee is required. However, if the USPTO deems otherwise, Applicant hereby petitions for any extension of time which may be required to maintain the pendency of this case, and any required fee, except for the Issue Fee, for such extension is to be charged to Deposit Account No. 19-4880.

Respectfully submitted,

/ Carl J. Pellegrini cjp / 40,766
J. Warren Lytle, Jr.
Registration No. 39,283

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: August 4, 2010

Electronic Acknowledgement Receipt

EFS ID:	8151146
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Brian Kenneth Shelton/Aran Mottley
Filer Authorized By:	Brian Kenneth Shelton
Attorney Docket Number:	Q107099
Receipt Date:	04-AUG-2010
Filing Date:	20-MAR-2008
Time Stamp:	11:51:17
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Applicant summary of interview with examiner	Q107099-SOS.pdf	68476 81d66b3127d6e47b899c081de76311bb1708b85a	no	2

Warnings:	
Information:	

Total Files Size (in bytes):	68476

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 07/06/2010

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
07/06/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Interview Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

All participants (applicant, applicant's representative, PTO personnel):

(1) *KHAREEM E. ALMO*. (3)*Lincoln Donavan*.

(2) *Elam Ko*. (4)*Jay Lytle*.

Date of Interview: *23 June 2010*.

Type: a)☐ Telephonic b)☐ Video Conference
c)☒ Personal [copy given to: 1)☐ applicant 2)☒ applicant's representative]

Exhibit shown or demonstration conducted: d)☐ Yes e)☒ No.
If Yes, brief description: _____.

Claim(s) discussed: *11*.

Identification of prior art discussed: *Kimura et al. (US 20070210774)*.

Agreement with respect to the claims f)☐ was reached. g)☐ was not reached. h)☒ N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: *Discussed patentability of claim 11 over Kimura. Applicant pointed out the terminal T1 is a constant voltage and therefore argued could not be controlled by the switches. Based on this, Examiner agreed the initial interpretation of the claim language in regard to Kimura did not read on the claim 11. In view of the applicant's arguments a further search is required*.

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN A NON-EXTENDABLE PERIOD OF THE LONGER OF ONE MONTH OR THIRTY DAYS FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

/Khareem E Almo/ Examiner, Art Unit 2816	/Lincoln Donovan/ Supervisory Patent Examiner, Art Unit 2816

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record
A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews
Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.
All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

———

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:
- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:
1) A brief description of the nature of any exhibit shown or any demonstration conducted,
2) an identification of the claims discussed,
3) an identification of the specific prior art discussed,
4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
5) a brief identification of the general thrust of the principal arguments presented to the examiner,
   (The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
6) a general indication of any other pertinent matters discussed, and
7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2816
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI , et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated March 11, 2010, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 4

OK TO ENTER: /K.A./ (06/21/2010)

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 06/25/2010

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
06/25/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Advisory Action Before the Filing of an Appeal Brief	**Application No.** 12/052,422	**Applicant(s)** HAYASHI ET AL.	
	Examiner KHAREEM E. ALMO	**Art Unit** 2816	

--The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

THE REPLY FILED 11 June 2010 FAILS TO PLACE THIS APPLICATION IN CONDITION FOR ALLOWANCE.

1. ☒ The reply was filed after a final rejection, but prior to or on the same day as filing a Notice of Appeal. To avoid abandonment of this application, applicant must timely file one of the following replies: (1) an amendment, affidavit, or other evidence, which places the application in condition for allowance; (2) a Notice of Appeal (with appeal fee) in compliance with 37 CFR 41.31; or (3) a Request for Continued Examination (RCE) in compliance with 37 CFR 1.114. The reply must be filed within one of the following time periods:
   a) ☒ The period for reply expires *3* months from the mailing date of the final rejection.
   b) ☐ The period for reply expires on: (1) the mailing date of this Advisory Action, or (2) the date set forth in the final rejection, whichever is later. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of the final rejection.

   Examiner Note: If box 1 is checked, check either box (a) or (b). ONLY CHECK BOX (b) WHEN THE FIRST REPLY WAS FILED WITHIN TWO MONTHS OF THE FINAL REJECTION. See MPEP 706.07(f).

Extensions of time may be obtained under 37 CFR 1.136(a). The date on which the petition under 37 CFR 1.136(a) and the appropriate extension fee have been filed is the date for purposes of determining the period of extension and the corresponding amount of the fee. The appropriate extension fee under 37 CFR 1.17(a) is calculated from: (1) the expiration date of the shortened statutory period for reply originally set in the final Office action; or (2) as set forth in (b) above, if checked. Any reply received by the Office later than three months after the mailing date of the final rejection, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

NOTICE OF APPEAL

2. ☐ The Notice of Appeal was filed on _____. A brief in compliance with 37 CFR 41.37 must be filed within two months of the date of filing the Notice of Appeal (37 CFR 41.37(a)), or any extension thereof (37 CFR 41.37(e)), to avoid dismissal of the appeal. Since a Notice of Appeal has been filed, any reply must be filed within the time period set forth in 37 CFR 41.37(a).

AMENDMENTS

3. ☐ The proposed amendment(s) filed after a final rejection, but prior to the date of filing a brief, will not be entered because
   (a) ☐ They raise new issues that would require further consideration and/or search (see NOTE below);
   (b) ☐ They raise the issue of new matter (see NOTE below);
   (c) ☐ They are not deemed to place the application in better form for appeal by materially reducing or simplifying the issues for appeal; and/or
   (d) ☐ They present additional claims without canceling a corresponding number of finally rejected claims.

   NOTE: _____. (See 37 CFR 1.116 and 41.33(a)).
4. ☐ The amendments are not in compliance with 37 CFR 1.121. See attached Notice of Non-Compliant Amendment (PTOL-324).
5. ☐ Applicant's reply has overcome the following rejection(s): _____.
6. ☐ Newly proposed or amended claim(s) _____ would be allowable if submitted in a separate, timely filed amendment canceling the non-allowable claim(s).
7. ☒ For purposes of appeal, the proposed amendment(s): a) ☐ will not be entered, or b) ☒ will be entered and an explanation of how the new or amended claims would be rejected is provided below or appended.
   The status of the claim(s) is (or will be) as follows:
   Claim(s) allowed: _____.
   Claim(s) objected to: _____.
   Claim(s) rejected: *11-13*.
   Claim(s) withdrawn from consideration: _____.

AFFIDAVIT OR OTHER EVIDENCE

8. ☐ The affidavit or other evidence filed after a final action, but before or on the date of filing a Notice of Appeal will not be entered because applicant failed to provide a showing of good and sufficient reasons why the affidavit or other evidence is necessary and was not earlier presented. See 37 CFR 1.116(e).
9. ☐ The affidavit or other evidence filed after the date of filing a Notice of Appeal, but prior to the date of filing a brief, will not be entered because the affidavit or other evidence failed to overcome all rejections under appeal and/or appellant fails to provide a showing a good and sufficient reasons why it is necessary and was not earlier presented. See 37 CFR 41.33(d)(1).
10. ☐ The affidavit or other evidence is entered. An explanation of the status of the claims after entry is below or attached.

REQUEST FOR RECONSIDERATION/OTHER

11. ☒ The request for reconsideration has been considered but does NOT place the application in condition for allowance because: See Continuation Sheet.
12. ☐ Note the attached Information *Disclosure Statement*(s). (PTO/SB/08) Paper No(s). _____
13. ☐ Other: _____.

/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Continuation of 11. does NOT place the application in condition for allowance because: With respect to Kimura, does not control the level of the input voltage VIN, (4) controls the level of the voltage to be supplied to T1, the power supply terminal. the terminal is controlled by 5, which is controlled by 6 which is controlled by 4. Furthermore, 16 and 21, control T1 via 17 switch and 23 and 22 switch. The examiner interprets T1 as being directly connected to 5, 17 and 22. .

/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

AMENDMENT UNDER 37 C.F.R. § 1.116
EXPEDITED PROCEDURE
GROUP 2816
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI , et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

AMENDMENT UNDER 37 C.F.R. § 1.116

MAIL STOP AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated March 11, 2010, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 4

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1 - 10 (canceled).

11. (previously presented): A semiconductor device comprising:

a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage related to a level of the voltage at the power supply terminal;

a switch circuit coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the voltage booster circuit.

12. (currently amended): The device as claimed in claim 11, wherein the switch circuit is supplied with a first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage ~~boosting~~ booster circuit with the first voltage in a first switching state and with the second voltage in a second switching state.

13. (currently amended): The device as claimed in claim 12, wherein the device is supplied with an external power supply voltage and further comprises an internal voltage circuit

generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as the first and second ~~voltage~~ voltages.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested. Claims 1-10 are canceled without prejudice or disclaimer. Accordingly, claims 11-13 are all the claims pending in the application. Applicant submits that the pending claims should be allowed as discussed below.

Applicant has made minor corrections to claims 12 and 13, and the amendments are not made for purposes of patentability. These amendments do not require any further search or consideration by the Examiner. Accordingly, entry of the amendments is respectfully requested.

I. Claim Rejections under 35 U.S.C. §§ 102(e) and 103(a)

The Examiner rejects claims 1 and 3-13 under 35 U.S.C. § 102(e) as being anticipated by Kimura et al. (U.S. Patent Publication No. 2007/0210774; hereinafter "Kimura"). Claim 2 is rejected under 35 U.S.C. § 103(a) as being unpatentable over Kimura.

By this Amendment, Applicant has cancelled claims 1-10 without prejudice or disclaimer. Applicant respectfully traverses the Examiner's rejections of claims 11-13 for the reasons set forth below.

Claim 11 is directed to a semiconductor device and comprises (emphasis added):

> a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage related to a level of the voltage at the power supply terminal;
>
> a switch circuit coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the voltage booster circuit.

With regard to claim 11, the Examiner asserts that FIGs. 4, 5, 8 and 10 of Kimura disclose all the claimed elements. More specifically, the Examiner contends that the "control circuit 4, 18, 21, 6, 17 and 23" of Kimura corresponds to "a switch circuit" of claim 1, and "an input terminal T1" of Kimura corresponds to "a power supply terminal" of claim 1 (Office Action at page 8). However, Kimura's "control circuit" does not correspond to the "switch circuit" of claim 1.

Kimura teaches a switching power supply circuit including a DC-DC converter (100), a charge pump (102) and a control circuit (4) (FIG. 4). As shown in FIG. 4, the charge pump (102) includes a charge pump control circuit (3) supplied with an input voltage VIN (paragraph [0062]). The charge pump (102) acts as a step-up power supply for a control circuit (4) for boosting the input voltage VIN and outputting an output voltage VC to the control circuit (4). The control circuit (4) outputs driving pluses V6 and V8 to the gates of switches (6, 8) of the DC-DC converter (100) (paragraph [0061]).

However, Kimura's control circuit (4) does not control the level of the input voltage VIN. Referring to FIGs. 3 and 6 of Kimura, the input voltage VIN of the input terminal T1 is maintained at a constant level even when the pulses V6 and V8 output by the control circuit oscillate. Thus, the control circuit (4) of Kimura cannot correspond to "a switch circuit coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal," as recited in claim 11.

In addition, the elements (18, 21, 6, 17 and 23) of FIGs. 4, 8 and 10 of Kimura that the Examiner cites cannot correspond to the switch circuit required by claim 1 because these elements do not control the level of the input voltage VIN to be supplied to the power supply

terminal (T1). For instance, the elements (17, 23 in FIG. 10) are the main switches to which the control circuits (16, 21) supply driving pluses. The switch (17) serves to control the current from the terminal T1 in response to the driving pulse of the control circuit (16). However, the switch (17) does not control the input voltage VIN to be supplied to the power supply terminal (T1). The voltage VIN of the input terminal T1 is maintained at a constant level regardless of the switching states of the elements, as shown in Fig. 6. Nowhere does Kimura disclose that the elements (18, 21, 6, 17 and 23) control the level of the input voltage VIN to be supplied to the power supply terminal (T1).

Accordingly, Kimura fails to teach "a switch circuit coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the voltage booster circuit," as recited in claim 11.

Applicant respectfully submits that claim 11 is not anticipated by Kimura because the reference does not disclose each and every element of claim 11.

Dependent claims 12-13 should be allowable at least by virtue of their dependency on claim 11.

II. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/J. Warren Lytle, Jr./

J. Warren Lytle, Jr.
Registration No. 39,283

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: June 11, 2010

Electronic Acknowledgement Receipt

EFS ID:	7800731
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Brian Kenneth Shelton/Aran Mottley
Filer Authorized By:	Brian Kenneth Shelton
Attorney Docket Number:	Q107099
Receipt Date:	11-JUN-2010
Filing Date:	20-MAR-2008
Time Stamp:	18:30:06
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Q107099-116AM.pdf	196586 ba34d764ce763e104c8d16262dfaed01c4aba2a3	yes	7

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment After Final	1	1
	Claims	2	3
	Applicant Arguments/Remarks Made in an Amendment	4	7
Warnings:			
Information:			
	Total Files Size (in bytes):	196586	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

		(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
AMENDMENT	06/11/2010	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 3	Minus	** 20	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

		(Column 1)		(Column 2)	(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/PAULA BRITTON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

		(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
	06/11/2010	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
AMENDMENT	Total (37 CFR 1.16(i))	* 3	Minus	** 20	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

		(Column 1)		(Column 2)	(Column 3)					
		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
AMENDMENT	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/PAULA BRITTON/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 03/11/2010

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

NOTIFICATION DATE	DELIVERY MODE
03/11/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

sughrue@sughrue.com
PPROCESSING@SUGHRUE.COM
USPTO@SUGHRUE.COM

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *13 January 2010*.

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-13* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-13* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> ((e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

2. Claims 1 and 3-8 rejected under 35 U.S.C. 102(e) as being anticipated by Kimura et al. (US 20070210774).

FIG. 8

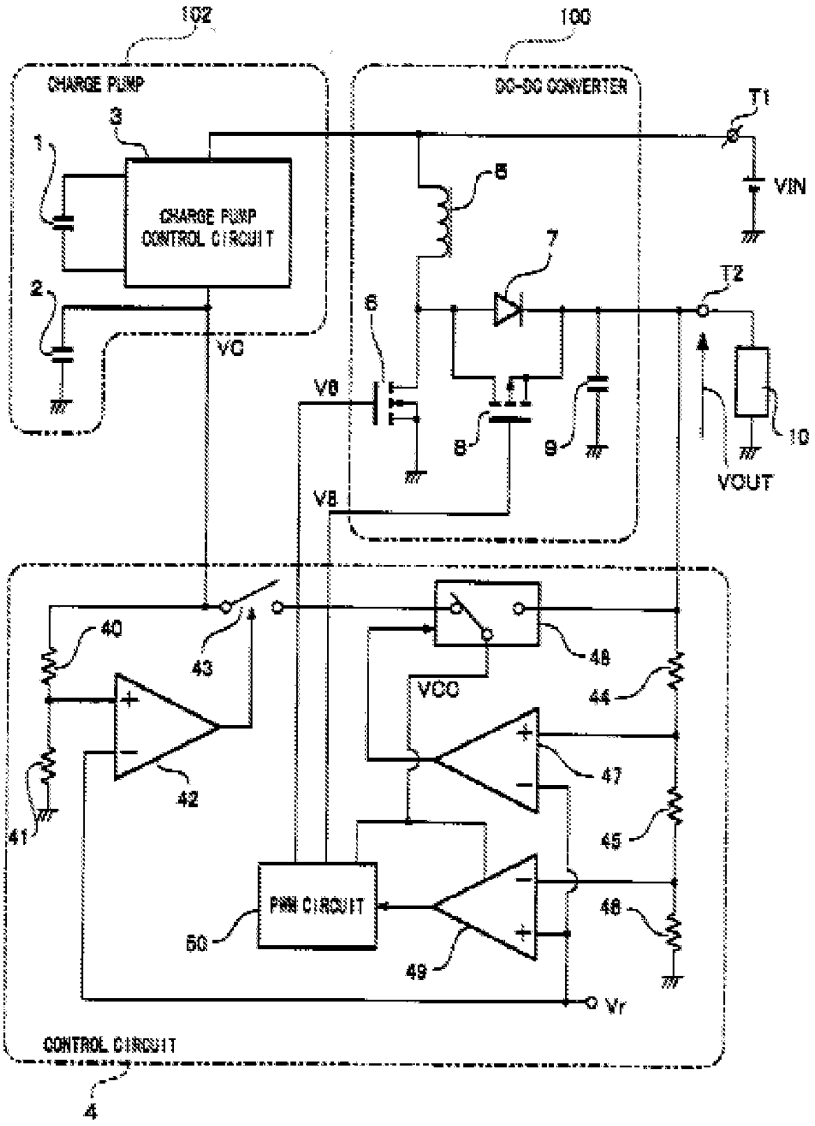

102
100
CHARGE PUMP
DC-DC CONVERTER
T1
3
1
CHARGE PUMP CONTROL CIRCUIT
5
VIN
7
2
6
T2
VC
V8
8
9
10
VOUT
V8
40
43
48
VCC
44
47
42
41
45
PWM CIRCUIT
46
50
49
Vr
CONTROL CIRCUIT
4

FIG. 10

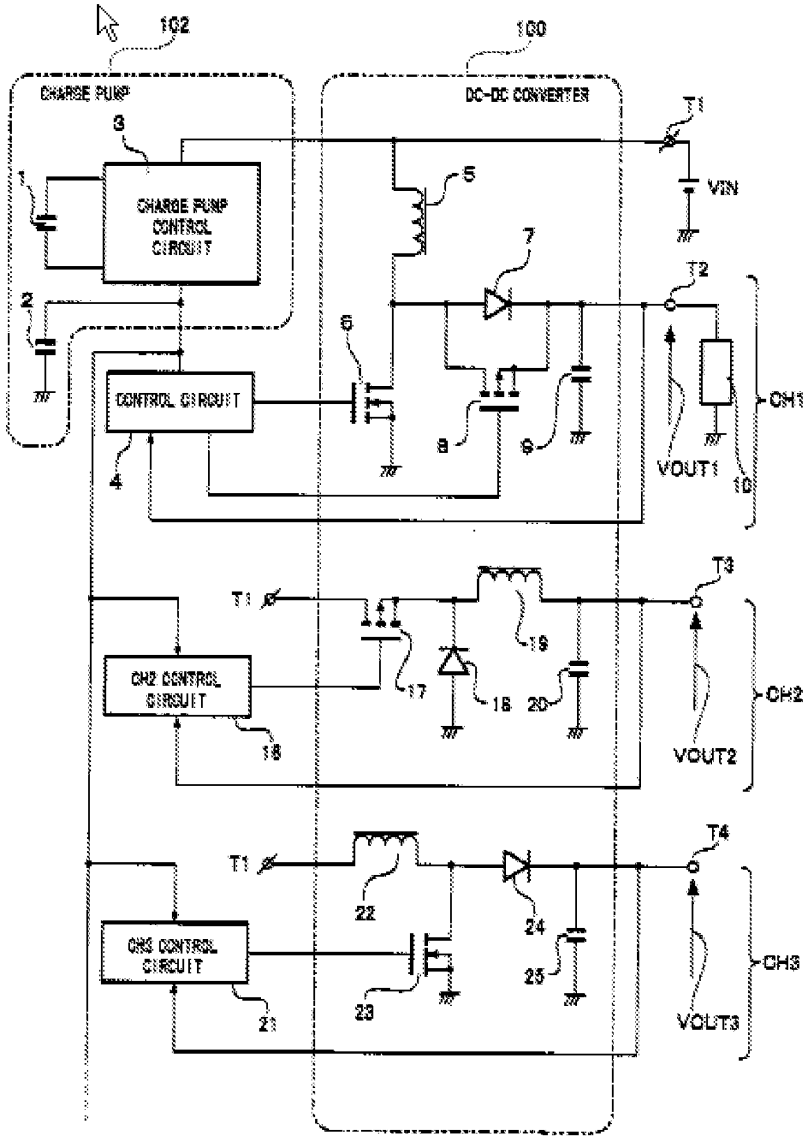
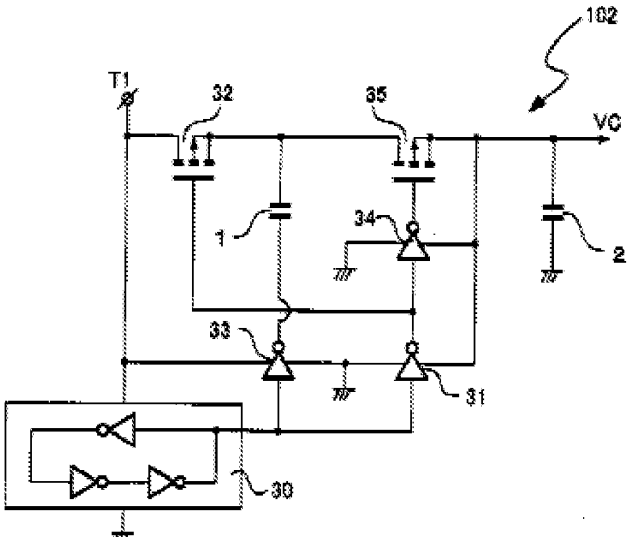

102
100
CHARGE PUMP
DC-DC CONVERTER
CHARGE PUMP CONTROL CIRCUIT
CONTROL CIRCUIT
CH1 CONTROL CIRCUIT
CH2 CONTROL CIRCUIT
CH3 CONTROL CIRCUIT
VIN
VOUT1
VOUT2
VOUT3
CH1
CH2
CH3
T1
T2
T3
T4

FIG. 5



With respect to claim 1, figure 4, 5, 8 and 10 disclose a supply voltage generating circuit comprising: a booster (102) that generates a boosted voltage by charge pumping of a capacitor element (2) ; a power-supply step-down unit (100, excluding 6, 17 and 23) that steps down a voltage of an external power supply (T1) to a voltage within a breakdown-voltage range of the capacitor element, and outputs the stepped-down voltage (at T2) ; and a switch circuit (control circuit 4, 18, 21, 6, 17 and 23) that switches between a direct application of the external power supply to the power supply of said booster and an application of the external power supply to the power supply of said booster via said power-supply step-down unit..

With respect to claim 3, figure 4, 5, 8 and 10 discloses the circuit according to claim 1, wherein said booster (102) comprises multiple stages of booster circuits (multiple capacitor each comprise a stage of the booster circuit), and thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in

respective ones of the booster circuits are the same.

With respect to claim 4, the circuit according to claim 3, wherein said booster is so adapted that the number of booster stages in the multiple stages of booster circuits is changed over by the switch circuit ((control circuit 4, 18, 21, 6, 17 and 23)) in accordance with the voltage applied to said booster.

With respect to claim 5, figure 4, 5, 8 and 10 discloses the circuit according to claim 4, wherein said booster includes a pre-stage booster circuit (1 and 32 of fig 5) and a post-stage booster circuit (35 and 2);said pre-stage booster circuit generates a first boosted signal having an amplitude between ground potential and a potential that is double the potential of the external power supply; said post-stage booster circuit receives, as an input, the first boosted signal or a second boosted signal having an amplitude between ground potential and the output potential of said power-supply step-down unit; and said switch circuit ((control circuit 4, 18, 21, 6, 17 and 23)) has a first switch element (43)for switching a connection destination of the power supply of said booster to the external power supply or to the output of said power-supply step-down unit, and a second switch element (48)for switching a connection destination of the input of said post-stage booster circuit to the first or second boosted signal; wherein said second switch element is switched to the first boosted signal when said first switch element has been switched to the external power supply, and said second switch element is switched to the second boosted signal when said first switch element has been switched to the output of said power-supply step-down unit.

With respect to claim 6, figure 4, 5, 8 and 10 discloses the circuit according to claim 4, wherein it is so arranged that a capacitor element (9) that has become unnecessary for the boosting operation in the multiple stages of booster circuits owing to switching by said switch circuit in accordance with the voltage applied to said booster is connected by said switch circuit ((control circuit 4, 18, 21, 6, 17 and 23)) and made to function as a capacitor element for stabilizing the output of said power-supply step-down unit (Vout).

With respect to claim 7, figure 4, 5, 8 and 10 discloses the circuit according to claim 1 wherein said switch circuit (4 of figure 8) is controlled by any of a metal option, fuse option and bonding option. (Note the metal is assumed to be the resistor going into 40)

With respect to claim 8, figure 4, 5, 8 and 10 discloses a semiconductor storage device comprising: the supply power generating circuit set forth in claim 1; and a load circuit (10) having the output of said booster as its power supply.

With respect to claim 9, figure 4, 5, 8 and 10 discloses the circuit according to claim 1, wherein the switch circuit comprises a group of switch elements (43, 48, 6, 17 and 23).

With respect to claim 10, figure 4, 5, 8 and 10 disclose a supply voltage generating circuit comprising : a booster (102) that generates a boosted voltage by charge pumping of a capacitor element (2); a power supply step down unit (100 exclusive of 23, 17 and 6) that receives a first external voltage being equal to or higher than a break-down voltage of the capacitor element, steps down the external voltage (Vin) to a voltage

lower than the breakdown voltage and outputs the stepped down voltage ; a switch circuit (control circuit 4, 18, 21, 6, 17 and 23) that switches between application of the stepped down (T2) voltage to the booster (102) and direct application of a second external voltage (GND) being lower than the breakdown voltage to the booster.

With respect to claim 11, figure 4, 5 8 and 10 disclose a semiconductor device comprising a voltage booster circuit (102) including a power supply terminal (at T1) operating on a voltage supplied to the power supply terminal (Vin) to produce a boosted voltage related to a level of the voltage at the power supply terminal; a switch circuit (control circuit 4, 18, 21, 6, 17 and 23) coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the voltage booster circuit.

With respect to claim 12, figure 5, 8 and 10 disclose the device as claimed in claim 11, wherein the switch circuit is supplied with first voltage (T1) and a second voltage (GND) that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting circuit with the first voltage in a first switching state and with the second voltage in a second switching state.

With respect to claim 12, figure 5, 8 and 10 disclose the device as claimed in claim 12, wherein the device is supplied with an external power supply voltage (Vin) and further comprises an internal voltage circuit (50) generating an internal power supply voltage (V6 and V8) in response to the external power supply voltage (T1), the external and internal power supply voltages are supplied to the switch circuit respectively as the first (T1) and second voltage (GND).

Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

4. Claim 2 rejected under 35 U.S.C. 103(a) as being unpatentable over Kimura et al (US 20070210774)

With respect to claim 2, figures 4, 5, 8 and 10discloses the circuit according to claim 1, but fails to disclose wherein the capacitor element is constituted by a MOS transistor having a gate oxide film, and the gate oxide film is a thickness less than a thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of said booster as its power supply. Where the general conditions of the claim are disclosed in the prior art, It is not inventive to discover the optimum or workable ranges by routine experimentation. Therefore it would be obvious at the time the invention was made, to a person having ordinary skill in the art to use optimize the general capacitor in such a way wherein the gate oxide film is a thickness less than a thickness of a gate oxide film of a MOS transistor in the load.

Response to Arguments

5. Applicant's arguments with respect to claim 1-13 have been considered but are moot in view of the new ground(s) of rejection.

With respect to the power supply step down unit, since elements inside 100 takes the original voltage T1 and outputs a lower voltage it is considered a step down voltage unit. If the polarity of the Vin is negative then the output is stepped down though the magnitude of the voltage is increased.

With regard to the switch circuit, the switch circuit is now interpreted to be inclusive of element 4, 16, 21, 6, 17 and 23. the input T1 is switched via 17 because T1 is a terminal. As shown in figure 10 the terminal via 17 or 23 can be switched to the grounded voltage.

6. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

7. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q107099
Koichiro HAYASHI, et al.	
Appln. No.: 12/052,422	Group Art Unit: 2816
Confirmation No.: 2405	Examiner: Khareem E. Almo
Filed: March 20, 2008	

For: SUPPLY VOLTAGE GENERATING CIRCUIT

AMENDMENT UNDER 37 C.F.R. § 1.111

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the Office Action dated August 6, 2009, please amend the above-identified application as follows on the accompanying pages.

TABLE OF CONTENTS

AMENDMENTS TO THE CLAIMS 2

REMARKS 6

AMENDMENTS TO THE CLAIMS

This listing of claims will replace all prior versions and listings of claims in the application:

LISTING OF CLAIMS:

1. (currently amended): A supply voltage generating circuit comprising:

a booster that generates ~~for outputting~~ a boosted voltage by charge pumping of a capacitor element;

a power-supply step-down unit that steps down a voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and ~~applies~~outputs the stepped-down voltage ~~to the power supply of said booster~~; and

a switch circuit ~~group~~ that switches between a direct application of the external power supply to the power supply of said booster ~~directly or~~and an application of the external power supply to the power supply of said booster via said power-supply step-down unit.

2. (original): The circuit according to claim 1, wherein the capacitor element is constituted by a MOS transistor having a gate oxide film, and the gate oxide film is a thickness less than a thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of said booster as its power supply.

3. (original): The circuit according to claim 1, wherein said booster comprises multiple stages of booster circuits, and thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in respective ones of the booster circuits are the same.

4. (currently amended): The circuit according to claim 3, wherein said booster is so adapted that the number of booster stages in the multiple stages of booster circuits is changed over by the switch circuit ~~group~~ in accordance with the ~~power-supply~~ voltage applied to said booster.

5. (currently amended): The circuit according to claim 4, wherein said booster includes a pre-stage booster circuit and a post-stage booster circuit;

said pre-stage booster circuit generates a first boosted signal having an amplitude between ground potential and a potential that is double the potential of the external power supply;

said post-stage booster circuit receives, as an input, the first boosted signal or a second boosted signal having an amplitude between ground potential and the output potential of said power-supply step-down unit; and

said switch circuit ~~group~~ has a first switch element for switching a connection destination of the power supply of said booster to the external power supply or to the output of said power-supply step-down unit, and a second switch element for switching a connection destination of the input of said post-stage booster circuit to the first or second boosted signal;

wherein said second switch element is switched to the first boosted signal when said first switch element has been switched to the external power supply, and said second switch element is switched to the second boosted signal when said first switch element has been switched to the output of said power-supply step-down unit.

6. (currently amended): The circuit according to claim 4, wherein it is so arranged that a capacitor element that has become unnecessary for the boosting operation in the multiple stages of booster circuits owing to switching by said switch circuit ~~group~~ in accordance with the ~~power-supply~~ voltage applied to said booster is connected by said switch circuit ~~group~~ and made to function as a capacitor element for stabilizing the output of said power-supply step-down unit.

7. (currently amended): The circuit according to claim 1 wherein said switch circuit ~~group~~ is controlled by any of a metal option, fuse option and bonding option.

8. (original): A semiconductor storage device comprising: the supply power generating circuit set forth in claim 1; and a load circuit having the output of said booster as its power supply.

9. (new): The circuit according to claim 1, wherein the switch circuit comprises a group of switch elements.

10. (new): A supply voltage generating circuit comprising:

a booster that generates a boosted voltage by charge pumping of a capacitor element;

a power-supply step-down unit that receives a first external voltage being equal to or higher than a break-down voltage of the capacitor element, steps-down the external voltage to a voltage lower than the break-down voltage and outputs the stepped-down voltage;

a switch circuit that switches between application of the stepped-down voltage to the booster and direct application of a second external voltage being lower than the break-down voltage to the booster.

11. (new): A semiconductor device comprising:

a voltage booster circuit including a power supply terminal and operating on a voltage supplied to the power supply terminal to produce a boosted voltage related to a level of the voltage at the power supply terminal;

a switch circuit coupled to the power supply terminal of the voltage booster circuit to control the level of the voltage to be supplied to the power supply terminal of the voltage booster circuit.

12. (new): The device as claimed in claim 11, wherein the switch circuit is supplied with first voltage and a second voltage that is different in level from the first voltage, the switch circuit supplying the power supply terminal of the voltage boosting circuit with the first voltage in a first switching state and with the second voltage in a second switching state.

13. (new) The device as claimed in claim 12, wherein the device is supplied with an external power supply voltage and further comprises an internal voltage circuit generating an internal power supply voltage in response to the external power supply voltage, the external and internal power supply voltages are supplied to the switch circuit respectively as the first and second voltage.

REMARKS

Reconsideration and allowance of the subject application are respectfully requested. Claims 9-13 have been added and claims 1-13 are all the claims pending in the application. Applicant submits that the pending claims should be allowed as discussed below.

I. Claim Rejections under 35 U.S.C. § 102(e)

The Examiner rejects claims 1 and 3-8 under 35 U.S.C. § 102(e) as being anticipated by Kimura et al. (U.S. Patent Publication No. 2007/0210774; hereinafter "Kimura"). By this Amendment, Applicant has amended claim 1 to improve clarity. Applicant respectfully traverses the Examiner's rejection.

Claim 1 is directed to a supply voltage generating circuit and comprises:

> a booster that generates a boosted voltage by charge pumping of a capacitor element;
>
> a power-supply step-down unit that steps down a voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and outputs the stepped-down voltage; and
>
> a switch circuit that switches between a direct application of the external power supply to the power supply of said booster and an application of the external power supply to the power supply of said booster via said power-supply step-down unit. (emphasis added)

With regard to claim 1, the Examiner asserts that FIGs. 4, 5, 8 and 10 of Kimura discloses all the claimed elements.

Firstly, however, Kimura does not teach "a power-supply step-down unit" of claim 1. In the rejection of claim 1, the Examiner asserts that Kimura's DC-DC converter corresponds to the

power-supply step-down unit of claim 1. Contrary to the Examiner's assertion, however, Kimura's DC-DC converter merely boosts, i.e., steps up, an input voltage (VIN) to an output voltage (VOUT), but it does not have anything to do with "stepping-down of an input voltage."

Kimura teaches a switching power supply circuit including a DC-DC converter (100), a charge pump (102) and a control circuit (4) (FIG. 4) where the DC-DC converter is a step-up converter boosting an input voltage (VIN) to a DC output voltage (VOUT). More specifically, the DC-DC converter includes a chock coil (5), a main switch (6), a rectifier switch (8) and an output smoothing capacitor (9). In Kimura, the DC-DC converter simply boosts the input voltage (VIN) to a target value (FIG. 6 (e)) according to an alternative on/of control of the switches (6, 8) by the driving pulses from the controller (4) (paragraph [0069]). Thus, it is evident that the DC-DC converter does not step down the input voltage, but instead it steps up the input voltage to a boosted voltage. Further, Kimura does not teach that the DC-DC converter converts the input voltage within the breakdown-voltage range of the capacitor element of the charge pump. There is no disclosure in Kimura that the DC-DC converter takes into account of the breakdown-voltage of the capacitor element. In addition, Kimura's DC-DC converter does not apply a stepped down voltage to a power supply of a booster. Rather, as shown in FIG. 4, the input voltage (VIN), as a power supply voltage, is provided to the charge pump (102) which boosts the input voltage to an output voltage (VC) (paragraph [0065]). Therefore, Kimura does not teach "a power-supply step-down unit that steps down voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and outputs the stepped-down voltage," as recited in claim 1.

Moreover, Kimura does not teach "a switch circuit that switches between a direct application of the external power supply to the power supply of said booster and an application

of the external power supply to the power supply of said booster via said power-supply step-down unit," as recited in claim 1.

With regard to the switch circuit, the Examiner asserts that Kimura's control circuit (4 in FIG. 4) corresponds to the claimed switch circuit. Kimura describes that the control circuit receives the output voltage (VC) of the charge pump and produces driving pulses V6 and V8 to alternatively turn on/off the main switch (6) and the rectifier switch (8) of the DC-DC converter (100) thereby increasing the output voltage (VOUT) (FIGs. 4 and 6; paragraph [0069]). The input voltage (VIN) is always input to the DC-DC converter. It is thus quite evident that Kimura's control circuit does not correspond to the claimed switch circuit. Therefore, Kimura fails to disclose that the control circuit switches between a direct application of an external power supply to the power supply of a booster and an application of the external power supply to the power supply of the booster via a power-supply step-down unit as required in claim 1.

Accordingly, Applicant respectfully submits that claim is not anticipated by Kimura because the reference does not disclose each and every element of claim 1.

Dependent claims 3-8 should be allowable at least by virtue of their dependencies on claim 1.

II. Claim Rejections under 35 U.S.C. § 103(a)

Claim 2 is rejected under 35 U.S.C. § 103(a) as being unpatentable over Kimura.

However, as discussed with regard to claim 1, Kimura does not teach all the elements of claim 1 on which claim 2 depends. Applicant respectfully submits that Kimura would not have rendered claim 2 as obvious at least because the reference does not disclose all the elements of claim 2.

III. New claims

By this amendment, Applicant has added one dependent claims 9, 12 and 13 and two independent claims 10 and 11. Claim 10 recites features analogous to those of claim 1 and is supported by at least FIG. 1 and its description of the application (e.g., page 8). In addition, claim 11 recites a semiconductor device comprising a voltage booster circuit and a switch circuit. Claim 11 is supported by at least FIG. 1 (BOOSTER, Vdd, VPP, SW1) and its relevant description of the application. Thus, no new matter has been introduced.

Claim 9 is patentable over Kimura at least by virtue of its dependency on claim 1. Independent claim 10 should be allowable for the reasons similar to those submitted for claim 1. Further, claim 11 is patentable over Kimura because Kimura does not disclose the elements of claim 11. In particular, Kimura does not teach or suggest the feature of "a switch circuit" of claim 11. Dependent claims 12 and 13 are patentable at least because of their dependency on claim 11.

IV. Conclusion

In view of the above, reconsideration and allowance of this application are now believed to be in order, and such actions are hereby solicited. If any points remain in issue which the Examiner feels may be best resolved through a personal or telephone interview, the Examiner is kindly requested to contact the undersigned at the telephone number listed below.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/J. Warren Lytle, Jr./
J. Warren Lytle, Jr.
Registration No. 39,283

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: November 30, 2009

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Koichiro HAYASHI, et al.

Appln. No.: 12/052,422

Confirmation No.: 2405

Filed: March 20, 2008

For: SUPPLY VOLTAGE GENERATING CIRCUIT

Docket No: Q107099

Group Art Unit: 2816

Examiner: Khareem E. Almo

PETITION FOR EXTENSION OF TIME UNDER 37 C.F.R. § 1.136

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 37 C.F.R. § 1.136, Applicant hereby petitions for an extension of time of one month, extending the time for responding to the Office Action of August 6, 2009 to December 6, 2009.

The USPTO is directed and authorized to charge the statutory fee of $130.00 and all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/J. Warren Lytle, Jr./
J. Warren Lytle, Jr.
Registration No. 39,283

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: November 30, 2009

Electronic Patent Application Fee Transmittal

Application Number:	12052422
Filing Date:	20-Mar-2008
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	Kelly G. Hyndman/Tesha Bush
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with $0 paid	1251	1	130	130

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
		Total in USD ($)		**130**

Electronic Acknowledgement Receipt

EFS ID:	6541500
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Kelly G. Hyndman/Tesha Bush
Filer Authorized By:	Kelly G. Hyndman
Attorney Docket Number:	Q107099
Receipt Date:	30-NOV-2009
Filing Date:	20-MAR-2008
Time Stamp:	17:28:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$130
RAM confirmation Number	9062
Deposit Account	194880
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1		Q107099Amendment.pdf	101126 5907981e355f5cf21762e21a9215a5707fd63b7d	yes	11

Multipart Description/PDF files in .zip description		
Document Description	**Start**	**End**
Amendment/Req. Reconsideration-After Non-Final Reject	1	1
Claims	2	5
Applicant Arguments/Remarks Made in an Amendment	6	10
Extension of Time	11	11

Warnings:

Information:

2	Fee Worksheet (PTO-875)	fee-info.pdf	30521 2d45a83e3aaecc90a05c7fef69d31269706777ff	no	2

Warnings:

Information:

Total Files Size (in bytes):	131647

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/052,422	03/20/2008	

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)	SMALL ENTITY ☐		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	11/30/2009	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 13	Minus	** 20	= 0	X $ =		OR	X $52=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X $ =		OR	X $220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/SHARAIN MORELAND/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099	2405

23373 7590 08/06/2009

SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

EXAMINER	
ALMO, KHAREEM E	
ART UNIT	**PAPER NUMBER**
2816	

MAIL DATE	DELIVERY MODE
08/06/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *25 April 2008*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-8* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-8* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *20 March 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *4/25/2008, 4/25/2008*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> ((e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

2. Claims 1 and 3-8 rejected under 35 U.S.C. 102(e) as being anticipated by Kimura et al. (US 20070210774).

With respect to claim 1, figure 4, 5, 8 and 10 disclose a supply voltage generating circuit comprising: a booster (102) that generates for outputting a boosted voltage by charge pumping of a capacitor element (2) ; a power-supply step-down unit (100) that steps down voltage of an external power supply (Vin) to a voltage within a breakdown-voltage range of the capacitor element, and applies the stepped-down voltage to the power supply of said booster (102) ; and a switch circuit group (control circuit 4) that switches between application of the external power supply to the power supply of said booster directly or via said power-supply step-down unit..

With respect to claim 3, figure discloses the circuit according to claim 1, wherein said booster (102) comprises multiple stages of booster circuits (multiple capacitor each comprise a stage of the bootster circuit), and thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in respective ones of the

booster circuits are the same.

With respect to claim 4, the circuit according to claim 3, wherein said booster is so adapted that the number of booster stages in the multiple stages of booster circuits is changed over by the switch circuit group (control via V6 output) in accordance with the power-supply voltage applied to said booster.

With respect to claim 5, figure discloses the circuit according to claim 4, wherein said booster includes a pre-stage booster circuit (1 and 32 of fig 5) and a post-stage booster circuit (35 and 2);said pre-stage booster circuit generates a first boosted signal having an amplitude between ground potential and a potential that is double the potential of the external power supply; said post-stage booster circuit receives, as an input, the first boosted signal or a second boosted signal having an amplitude between ground potential and the output potential of said power-supply step-down unit; and said switch circuit group (4) has a first switch element (43)for switching a connection destination of the power supply of said booster to the external power supply or to the output of said power-supply step-down unit, and a second switch element (48)for switching a connection destination of the input of said post-stage booster circuit to the first or second boosted signal; wherein said second switch element is switched to the first boosted signal when said first switch element has been switched to the external power supply, and said second switch element is switched to the second boosted signal when said first switch element has been switched to the output of said power-supply step-down unit.

With respect to claim 6, figure discloses the circuit according to claim 4, wherein it is so arranged that a capacitor element (9) that has become unnecessary for the boosting operation in the multiple stages of booster circuits owing to switching by said switch circuit group in accordance with the power-supply voltage applied to said booster is connected by said switch circuit group (4) and made to function as a capacitor element for stabilizing the output of said power-supply step-down unit (Vout).

With respect to claim 7, figure discloses the circuit according to claim 1 wherein said switch circuit group (4 of figure 8) is controlled by any of a metal option, fuse option and bonding option. (Note the metal is assumed to be the resistor going into 40)

With respect to claim 8, figure discloses a semiconductor storage device comprising: the supply power generating circuit set forth in claim 1; and a load circuit (10) having the output of said booster as its power supply.

Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

4. Claim 2 rejected under 35 U.S.C. 103(a) as being unpatentable over Kimura et al (US 20070210774)

With respect to claim 2, figures 4, 5 and 8 discloses the circuit according to claim 1, but fails to disclose wherein the capacitor element is constituted by a MOS transistor having a gate oxide film, and the gate oxide film is a thickness less than a

thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of said booster as its power supply. Where the general conditions of the claim are disclosed in the prior art, It is not inventive to discover the optimum or workable ranges by routine experimentation. Therefore it would be obvious at the time the invention was made, to a person having ordinary skill in the art to use optimize the general capacitor in such a way wherein the gate oxide film is a thickness less than a thickness of a gate oxide film of a MOS transistor in the load. Any inquiry concerning this communication or earlier communications from the examiner should be directed to KHAREEM E. ALMO whose telephone number is (571)272-5524. The examiner can normally be reached on Mon-Fri (8:30-5:00).

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Lincoln Donovan can be reached on (571) 272-1736. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Khareem E Almo/
Examiner, Art Unit 2816
/Lincoln Donovan/
Supervisory Patent Examiner, Art Unit 2816

Notice of References Cited	Application/Control No. 12/052,422	Applicant(s)/Patent Under Reexamination HAYASHI ET AL.	
	Examiner KHAREEM E. ALMO	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2007/0210774	09-2007	Kimura et al.	323/282
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Search Notes	Application/Control No.	Applicant(s)/Patent under Reexamination	
	12/052,422	HAYASHI ET AL.	
	Examiner	Art Unit	
	KHAREEM E. ALMO	2816	

SEARCHED			
Class	Subclass	Date	Examiner

INTERFERENCE SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES (INCLUDING SEARCH STRATEGY)		
	DATE	EXMR
EAST (A Copy of East is included)	7/27/2009	KEA
A limited search of class 327 subclasses 535-537 and class 363 subclasses 59-60	7/27/2009	KEA

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	3701	(327/535-537).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:44
S2	1248	(363/59-60).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:45
S3	2	("0000012").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:45
S4	4615	S1 S2	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:45
S5	3426	S4 and capacit$4	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:46
S6	3217	S5 and (transistor switch mos)	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:47
S7	408	S6 and (booster)	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:48
S8	168	S6 and (step adj down)	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:48
S9	276	S6 and (gate near oxide)	US-PGPUB; USPAT; USOCR	OR	OFF	2009/07/27 18:49

8/3/2009 4:23:21 AM
C:\Documents and Settings\kalmo\My Documents\EAST\Workspaces\12052422.wsp

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12/052,422
Confirmation Number	2405
Filing Date	March 20, 2008
First Named Inventor	Koichiro HAYASHI
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q107099

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1.					

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2005-158098	JP		2005-06-16			N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature	/Khareem Almo/ (08/03/2009)	Date Considered	08/03/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /K.A./

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099

CONFIRMATION NO. 2405

23373
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

PUBLICATION NOTICE



Title:SUPPLY VOLTAGE GENERATING CIRCUIT

Publication No.US-2008-0238536-A1
Publication Date:10/02/2008

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００７年　３月２７日
出願番号 Application Number:	特願２００７－０８１７５４
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００７－０８１７５４
出願人 Applicant(s):	エルピーダメモリ株式会社 株式会社日立超エル・エス・アイ・システムズ

２００８年　８月２９日

特許庁長官
Commissioner,
Japan Patent Office　鈴木隆

【書類名】　特許願
【整理番号】　22311733
【提出日】　平成19年 3月27日
【あて先】　特許庁長官　殿
【国際特許分類】　G11C 11/407
H02M 3/135
【発明者】
【住所又は居所】　東京都中央区八重洲２－２－１　エルピーダメモリ株式会社内
【氏名】　林　浩一郎
【発明者】
【住所又は居所】　東京都小平市上水本町五丁目２２番１号　株式会社日立超エル・エス・アイ・システムズ内
【氏名】　田中　均
【特許出願人】
【識別番号】　500174247
【氏名又は名称】　エルピーダメモリ株式会社
【特許出願人】
【識別番号】　000233169
【氏名又は名称】　株式会社日立超エル・エス・アイ・システムズ
【代理人】
【識別番号】　100080816
【弁理士】
【氏名又は名称】　加藤　朝道
【電話番号】　045-476-1131
【手数料の表示】
【予納台帳番号】　030362
【納付金額】　16,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【包括委任状番号】　0114028

【書類名】特許請求の範囲
【請求項１】
　容量素子のチャージポンピングによって昇圧電圧を発生して出力する昇圧部と、
　前記容量素子の耐圧範囲内の電圧に該外部電源の電圧を降圧して前記昇圧部の電源に与える電源降圧部と、
　前記昇圧部の電源に前記外部電源を直接与えるか前記電源降圧部を介して与えるかを切り替えるスイッチ回路群と、
　を備えることを特徴とする電源電圧発生回路。
【請求項２】
　前記容量素子をＭＯＳトランジスタで構成し、該ＭＯＳトランジスタのゲート酸化膜の厚さを、前記昇圧部の出力を電源とする負荷回路に含まれるＭＯＳトランジスタのゲート酸化膜の厚さより薄くなるように構成することを特徴とする請求項１記載の電源電圧発生回路。
【請求項３】
　前記昇圧部は、多段の昇圧回路から構成され、該多段の昇圧回路のそれぞれに含まれるＭＯＳトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であることを特徴とする請求項１または２記載の電源電圧発生回路。
【請求項４】
　前記昇圧部は、前記多段の昇圧回路における昇圧段数を、前記昇圧部に与えられる電源電圧に応じて前記スイッチ回路群によって切り替えるように構成されることを特徴とする請求項３記載の電源電圧発生回路。
【請求項５】
　前記昇圧部は、前段および後段の昇圧回路を含み、
　前記前段の昇圧回路は、前記外部電源の電位の二倍の電位と接地電位との間の振幅を有する第１の昇圧信号を生成し、
　前記後段の昇圧回路は、前記電源降圧部の出力電位と接地電位との間の振幅を有する第２の昇圧信号、または前記第１の昇圧信号を入力し、
　前記スイッチ回路群は、前記昇圧部の電源の接続先を、前記外部電源または前記電源降圧部の出力に切り替える第１のスイッチ素子と、前記後段の昇圧回路の入力の接続先を、前記第１または第２の昇圧信号に切り替える第２のスイッチ素子と、を含み、
　前記第１のスイッチ素子が前記外部電源に切り替えられているときに前記第２のスイッチ素子が前記第１の昇圧信号に切り替えられ、前記第１のスイッチ素子が前記電源降圧部の出力に切り替えられているときに前記第２のスイッチ素子が前記第２の昇圧信号に切り替えられることを特徴とする請求項４記載の電源電圧発生回路。
【請求項６】
　前記昇圧部に与えられる電源電圧に応じて前記スイッチ回路群によって切り替えられて前記多段の昇圧回路における昇圧動作に不要となった容量素子を、前記スイッチ回路群によって接続して前記電源降圧部の出力安定用の容量素子として機能させるように構成することを特徴とする請求項４記載の電源電圧発生回路。
【請求項７】
　前記スイッチ回路群は、メタルオプション、ヒューズオプションおよびボンディングオプションのいずれかによって制御されることを特徴とする請求項１、４、５、６のいずれか一に記載の電源電圧発生回路。
【請求項８】
　請求項１乃至７のいずれか一に記載の電源電圧発生回路と、前記昇圧部の出力を電源とする負荷回路とを備える半導体記憶装置。

【書類名】明細書
【発明の名称】電源電圧発生回路
【技術分野】
【０００１】
本発明は、電源電圧発生回路に係り、特に、半導体記憶装置の内部において昇圧電圧を発生する電源電圧発生回路に係る。
【背景技術】
【０００２】
ＤＲＡＭにおいて、仕様が大きく変更される場合や仕様が十分に固まっていない場合、ユーザからの要求で外部から供給される電源電圧が異なる場合がある。ワード線ドライブ用の電源電圧供給回路は、外部から印加される電源に異なる電源電圧を要求される回路の１つである。このような電源電圧供給回路を設計する上で設計側としては、最適に回路が動作する酸化膜厚をもつトランジスタを数種類用意し、数種類のトランジスタを基に回路の設計を行う。この時、供給される電源が仕様によって異なる場合を想定して昇圧回路を設計する場合、酸化膜耐圧問題やゲートリークによる消費電流問題を考慮しなければならない。このような問題を回避するため、仕様により設定されている電圧のうちの高い電圧に合わせて厚膜容量用のトランジスタを回路に用いると、昇圧回路の面積が大きくなってしまう虞がある。
【０００３】
そこで、動作電源電圧に応じて異なった膜厚のキャパシタを使い分けて、回路レイアウト面積を縮小し、安定した電源電圧を発生させる電源電圧発生回路が特許文献１に記載されている。この電源電圧発生回路は、装置の動作電源電圧を昇圧して出力する電源電圧発生回路であって、厚い絶縁膜で作られた第１のキャパシタと薄いゲート絶縁膜で作られた第２のキャパシタを備え、動作電源電圧に応じて第１、２のキャパシタの回路接続を変えるスイッチ回路を有するものである。
【０００４】
【特許文献１】特開２００５－１５８０９８号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
ところで、電源電圧発生回路の昇圧部には、トランジスタの酸化膜容量を利用した昇圧用のポンプ容量素子が備えられる。この昇圧用容量素子は、非常に大きな容量を必要とする場合が多く、多大な面積を必要とし、チップ全体の面積に対するインパクトも大きい。酸化膜容量は、酸化膜の厚さに反比例するので、通常は薄膜容量素子（薄膜トランジスタ）を用いたい。しかし、前述のように外部から供給される電源電圧が仕様により異なる場合、供給される電源電圧が薄膜トランジスタの耐圧をオーバーしないように昇圧用容量素子に厚膜トランジスタを用いるのが普通である。ワード線をドライブする電圧の値は、外部から供給される電源電圧の値が変化してもほとんど変更しないのが通常である。したがって、外部電源電圧が低い場合ほど多くのポンプ容量素子が必要であるにも関わらず、酸化膜の耐圧のために電圧が低い場合においても容量の少ない厚膜を使わざるをえない。このように、従来の回路方式では、トランジスタの耐圧を外部電源電圧が高い側にあわせて設計せざるを得ない。このため、昇圧回路における昇圧容量の一部、例えば特許文献１では第１のキャパシタを厚膜容量素子にせざるを得ず、チップ面積をより小さくするには限度があった。
【０００６】
したがって、本発明の目的は、チップ面積をより小さくする電源電圧発生回路を提供することにある。
【課題を解決するための手段】
【０００７】
本発明の１つのアスペクトに係る電源電圧発生回路は、容量素子のチャージポンピング

によって昇圧電圧を発生して出力する昇圧部と、容量素子の耐圧範囲内の電圧に該外部電源の電圧を降圧して昇圧部の電源に与える電源降圧部と、昇圧部の電源に外部電源を直接与えるか電源降圧部を介して与えるかを切り替えるスイッチ回路群と、を備える。

【０００８】

本発明の電源電圧発生回路において、容量素子をＭＯＳトランジスタで構成し、該ＭＯＳトランジスタのゲート酸化膜の厚さを、昇圧部の出力を電源とする負荷回路に含まれるＭＯＳトランジスタのゲート酸化膜の厚さより薄くなるように構成することが好ましい。

【０００９】

本発明の電源電圧発生回路において、昇圧部は、多段の昇圧回路から構成され、該多段の昇圧回路のそれぞれに含まれるＭＯＳトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であることが好ましい。

【００１０】

本発明の電源電圧発生回路において、昇圧部は、多段の昇圧回路における昇圧段数を、昇圧部に与えられる電源電圧に応じてスイッチ回路群によって切り替えるように構成されることが好ましい。

【００１１】

本発明の電源電圧発生回路において、昇圧部は、前段および後段の昇圧回路を含み、前段の昇圧回路は、外部電源の電位の二倍の電位と接地電位との間の振幅を有する第１の昇圧信号を生成し、後段の昇圧回路は、電源降圧部の出力電位と接地電位との間の振幅を有する第２の昇圧信号、または第１の昇圧信号を入力し、スイッチ回路群は、昇圧部の電源の接続先を、外部電源または電源降圧部の出力に切り替える第１のスイッチ素子と、後段の昇圧回路の入力の接続先を、第１または第２の昇圧信号に切り替える第２のスイッチ素子と、を含み、第１のスイッチ素子が外部電源に切り替えられているときに第２のスイッチ素子が第１の昇圧信号に切り替えられ、第１のスイッチ素子が電源降圧部の出力に切り替えられているときに第２のスイッチ素子が第２の昇圧信号に切り替えられるようにしてもよい。

【００１２】

本発明の電源電圧発生回路において、昇圧部に与えられる電源電圧に応じてスイッチ回路群によって切り替えられて多段の昇圧回路における昇圧動作に不要となった容量素子を、スイッチ回路群によって接続して電源降圧部の出力安定用の容量素子として機能させるように構成することが好ましい。

【００１３】

本発明の電源電圧発生回路において、スイッチ回路群は、メタルオプション、ヒューズオプションおよびボンディングオプションのいずれかによって制御されるようにしてもよい。

【発明の効果】

【００１４】

本発明によれば、外部電源の電圧が容量素子の耐圧を超える場合に、容量素子の耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部に供給するので、昇圧部における容量素子に全て薄膜の容量素子を用いることができる。したがって、チップ面積をより小さくすることができる。

【発明を実施するための最良の形態】

【００１５】

図１は、本発明の実施形態に係る電源電圧発生回路の構成を示すブロック図である。図１において、電源電圧発生回路は、電源降圧部１０と、昇圧部２０と、スイッチ素子ＳＷ１と、を備える。

【００１６】

昇圧部２０は、容量素子のチャージポンピングによって昇圧電圧を発生して出力する。電源降圧部１０は、外部電源の電圧が容量素子の耐圧を超える場合に、容量素子の耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部２０の電源に与える。スイッチ素子ＳＷ１

は、昇圧部２０の電源に外部電源を直接与えるか電源降圧部１０を介して与えるかを切り替える。

【００１７】

また、昇圧部２０における容量素子がＭＯＳトランジスタで構成され、このＭＯＳトランジスタのゲート酸化膜の厚さは、昇圧部２０の出力（図１のＶＰＰ）を電源とする負荷回路、例えばワード線ドライブ用の回路に含まれるＭＯＳトランジスタのゲート酸化膜より薄いことが好ましい。

【００１８】

さらに、昇圧部２０は、多段の昇圧回路２１ａ、２１ｂから構成され、多段の昇圧回路２１ａ、２１ｂのそれぞれに含まれるＭＯＳトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であることが好ましい。

【００１９】

また、昇圧部２０は、多段の昇圧回路２１ａ、２１ｂにおける昇圧段数（例えば、一段か二段か）を、昇圧部２０に与えられる電源電圧に応じてスイッチ素子ＳＷ２によって切り替えるように構成されることが好ましい。

【００２０】

ＤＲＡＭ、特にＤＤＲ－ＳＤＡＲＭに代表される半導体記憶装置は、以上のような構成の電源電圧発生回路と、昇圧部２０の出力を電源とする図示されない負荷回路、例えばワード線ドライブ用の回路とを備えるようにしてもよい。

【００２１】

以上のような構成の電源電圧発生回路によれば、外部電源電圧が仕様によって異なる条件の元で、外部電源電圧が容量素子（薄膜トランジスタ）の耐圧を超えるような高い場合に外部電源の電圧を電源降圧部１０で降圧する。そして、容量の大きい薄膜の容量素子を、電源電圧が低い場合と共有して昇圧部２０に用いることが可能となる。したがって、チップにおけるレイアウト面積を大幅に削減することが出来る。以下、実施例に即し、詳細に説明する。

【実施例１】

【００２２】

図１は、本発明の実施例に係る電源電圧発生回路の回路図である。図１において、電源電圧発生回路は、電源降圧部１０と、昇圧部２０と、単極双投型のスイッチ素子ＳＷ１と、を備える。スイッチ素子ＳＷ１は、昇圧部２０の電源Ｖｄｄに対し、外部電源ＶＤＤＰ１を直接与えるか、外部電源ＶＤＤＰ２の電圧を電源降圧部１０によって降圧して電源ＶＤＬＰとして与えるかを切り替える。

【００２３】

昇圧部２０は、前段の昇圧回路２１ａ、後段の昇圧回路２１ｂ、昇圧回路２１ａ、２１ｂを切り替える単極双投型のスイッチ素子ＳＷ２を備える。昇圧部２０は、駆動信号Ｓ０を用いて容量素子のチャージポンピングによって電源Ｖｄｄから昇圧電圧を発生し、電源ＶＰＰとして図示されない負荷回路、例えばワード線ドライブ用の回路に供給する。この時、スイッチ素子ＳＷ２は、昇圧部２０における昇圧段数を、昇圧回路２１ｂの１段とするか、昇圧回路２１ａ、２１ｂの２段とするかを切り替える。

【００２４】

昇圧回路２１ａは、駆動信号Ｓ０を入力し、外部電源ＶＤＤＰ１の電位の二倍の電位と接地電位との間の振幅を有する信号（第１の昇圧信号）を出力する。また、昇圧回路２１ｂは、駆動信号Ｓ０として電源ＶＤＬＰの電位と接地電位との間の振幅を有する信号（第２の昇圧信号）、または昇圧回路２１ａの出力信号（第１の昇圧信号）を入力し、昇圧して電源ＶＰＰとして出力する。この時、スイッチ素子ＳＷ１が外部電源ＶＤＤＰ１に切り替えられているときにスイッチ素子ＳＷ２が第１の昇圧信号に切り替えられ、スイッチ素子ＳＷ１が電源降圧部１０の出力（ＶＤＬＰ）に切り替えられているときにスイッチ素子ＳＷ２が第２の昇圧信号に切り替えられる。

【００２５】

次に、昇圧部２０の詳細について説明する。図２は、本発明の実施例に係る昇圧部の回路図である。図２において、昇圧部２０は、昇圧回路２１ａ、２１ｂと、信号Ｓ０を入力して信号Ｓ１～Ｓ５を出力する信号供給回路２２とを含む。昇圧回路２１ａは、ＮｃｈトランジスタＮ１、Ｎ２、ＰｃｈトランジスタＰ１、ＭＯＳトランジスタで構成される容量素子Ｃ１、単極双投型のスイッチ素子ＳＷ３～ＳＷ７を備える。また、昇圧回路２１ｂは、ＮｃｈトランジスタＮ３、Ｎ４、ＭＯＳトランジスタで構成される容量素子Ｃ２、スイッチ素子ＳＷ２を備える。ここでＮｃｈトランジスタＮ１および容量素子Ｃ１、Ｃ２は、ゲート絶縁膜の薄いトランジスタ（薄膜トランジスタ）である。また、ＮｃｈトランジスタＮ２～Ｎ４、ＰｃｈトランジスタＰ１は、ゲート絶縁膜の厚いトランジスタ（厚膜トランジスタ）である。さらに、スイッチ素子ＳＷ１～ＳＷ７は、メタルオプション、ヒューズオプション、ボンディングオプションのいずれかによる切り替えスイッチオプション信号によって制御される。

【００２６】

ＮｃｈトランジスタＮ１は、ドレインを電源Ｖｄｄに接続し、他端が電源Ｖｄｄに接続されるスイッチ素子ＳＷ４の一端およびＰｃｈトランジスタＰ１のソースにソースを接続し、ゲートをスイッチ素子ＳＷ５の単極側接点に接続する。ＰｃｈトランジスタＰ１は、ドレインをＮｃｈトランジスタＮ２のドレインおよびスイッチ素子ＳＷ２の一端に接続し、ゲートをスイッチ素子ＳＷ３の単極側接点に接続する。ＮｃｈトランジスタＮ２は、ソースを電源Ｖｓｓ（接地）に接続し、ゲートをスイッチ素子ＳＷ６の単極側接点に接続する。容量素子Ｃ１は、一端をスイッチ素子ＳＷ４の単極側接点に接続し、他端をスイッチ素子ＳＷ７の単極側接点に接続する。スイッチ素子ＳＷ３は、一端に信号Ｓ３を与え、他端を電源Ｖｓｓに接続する。スイッチ素子ＳＷ５は、一端に信号Ｓ１を与え、他端を電源Ｖｓｓに接続する。スイッチ素子ＳＷ７は、一端に信号Ｓ２を与え、他端を電源Ｖｓｓに接続する。スイッチ素子ＳＷ６は、一端に信号Ｓ３を与え、他端を電源Ｖｄｄに接続する。

【００２７】

ＮｃｈトランジスタＮ３は、ドレインを電源Ｖｄｄに接続し、容量素子Ｃ２の一端およびＮｃｈトランジスタＮ４のドレインにソースを接続し、ゲートに信号Ｓ１を与える。ＮｃｈトランジスタＮ４は、ソースを電源ＶＰＰとして接続し、ゲートに信号Ｓ５を与える。容量素子Ｃ２は、他端をスイッチ素子ＳＷ２の単極側接点に接続し、スイッチ素子ＳＷ２の他端には信号Ｓ４を与える。

【００２８】

次に、図２におけるスイッチ素子ＳＷ２～ＳＷ７が図１のスイッチ素子ＳＷ１と連動して切り替わる際の昇圧回路の動作について説明する。図３は、外部電源ＶＤＤＰ１の電圧が薄膜トランジスタ耐圧より低い場合の接続、図４は、外部電源ＶＤＤＰ２の電圧が薄膜トランジスタ耐圧より高い場合の接続を示す。なお、以下において、電源の符号と、この電源の電圧値とを同じ符号で表すものとする。ＶＤＤＰ１が薄膜トランジスタ耐圧より低い外部電源電圧、ＶＤＤＰ２が薄膜トランジスタ耐圧より高い電源電圧、ＶＰＰはワード線ドライブ用などの電源電圧、ＶＤＬＰはＶＤＤＰ２を電源降圧部１０によって薄膜トランジスタ耐圧範囲内までに降圧した電源電圧を示している。すなわち、薄膜トランジスタの耐圧許容範囲をＶＤＬＰ以下、厚膜トランジスタの耐圧許容範囲をＶＰＰ程度以下とする。また、各電源電圧の関係は、簡単のため、ＶＰＰ＞ＶＤＤＰ２＞ＶＤＬＰ＞ＶＤＤＰ１、２・ＶＤＬＰ＞ＶＰＰ、３・ＶＤＤＰ１＞ＶＰＰ、ＶＰＰ＞２・ＶＤＤＰ１とする。

【００２９】

図３は、昇圧部が二段動作を行う場合の等価回路および各部信号の波形を示す図である。図３（Ａ）は、外部電源ＶＤＤＰ１の電圧が薄膜トランジスタ耐圧より低い場合における昇圧部２０の接続に係る等価回路を示す。図３（Ｂ）は、各部の信号のタイミングチャートである。

【００３０】

（１）信号Ｓ１の電圧レベルが２・ＶＤＤＰ１の時、ゲートに信号Ｓ１が与えられるＮ

ｃｈトランジスタＮ１は、オンとなり、ＮｃｈトランジスタＮ１のソース、すなわち、容量素子Ｃ１の一端は、ＶＤＤＰ１に向けて充電される。この時、信号Ｓ３の電圧レベルがＶＤＤＰ１であるので、ＰｃｈトランジスタＰ１は、オフであり、容量素子Ｃ１の充電動作に影響を与えない。なお、信号Ｓ２の電圧レベルは、Ｖｓｓである。したがって、容量素子Ｃ１は、ＶＤＤＰ１－Ｖｓｓの電位で充電される。

【００３１】

一方、信号Ｓ１の電圧レベルが、２・ＶＤＤＰ１であるので、ＮｃｈトランジスタＮ３は、オンとなり、ＮｃｈトランジスタＮ３のソースである接点Ａ２、すなわち容量素子Ｃ２の一端の電位は、ＶＤＤＰ１に向けて充電される。この時、信号Ｓ３の電圧レベルがＶＤＤＰ１であるので、ＮｃｈトランジスタＮ２は、オンであり、容量素子Ｃ２の他端の電位はＶｓｓである。

【００３２】

（２）信号Ｓ１の電圧レベルがＶＤＤＰ１となると、信号Ｓ２の電圧レベルがＶｓｓからＶＤＤＰ１に上昇し、これに伴ってＮｃｈトランジスタＮ１のソース、すなわち容量素子Ｃ１の一端の電位は、ＶＤＤＰ１から２・ＶＤＤＰ１に上昇する。ＮｃｈトランジスタＮ１は、オフとなり、この上昇の動作に影響を与えない。この時、信号Ｓ３の電圧レベルがＶｓｓであるので、ＰｃｈトランジスタＰ１は、オンであり、ＮｃｈトランジスタＮ２は、オフである。したがって、容量素子Ｃ１の一端の電位は、接点Ａ１の電位として容量素子Ｃ２の他端に伝達される。

【００３３】

これによって、容量素子Ｃ２の一端の電位は、ＶＤＤＰ１から３・ＶＤＤＰ１に上昇する。この時、信号Ｓ１の電圧レベルがＶＤＤＰ１であるので、ＮｃｈトランジスタＮ３は、オフであって、この上昇の動作に影響を与えない。また、信号Ｓ５の電圧レベルがＶＤＤＰ１＋ＶＰＰであるので、ＮｃｈトランジスタＮ４は、オンとなって、容量素子Ｃ２の一端、すなわち接点Ａ２の電位がＶＰＰに伝達される。外部に容量素子Ｃ２の充電電荷が供給されることで、接点Ａ２の電位は、徐々に低下する。

【００３４】

昇圧部２０は、以上のように動作することでＶＰＰに２・ＶＤＤＰ１に近い電圧を供給する。この際、昇圧部２０において、容量素子Ｃ１、Ｃ２等の薄膜トランジスタで構成された箇所は、必ずゲート・ソース間もしくはゲート・ドレイン間にＶＤＤＰ１以下の差電位しかかかっていない。

【００３５】

図４は、昇圧部が一段動作を行う場合の等価回路および各部信号の波形を示す図である。図４（Ａ）は、外部電源ＶＤＤＰ２の電圧が薄膜トランジスタ耐圧より高い場合における昇圧部１０の接続に係る等価回路を示す。この場合、ＶＤＤＰ２は、電源降圧部１０によってＶＤＬＰに降圧され、ＶＤＬＰが昇圧部２０の電源Ｖｄｄとして与えられる。

【００３６】

図２において、ＮｃｈトランジスタＮ１は、ゲートがＶｓｓに接続され、オフとなる。また、ＮｃｈトランジスタＮ２は、ゲートがＶｄｄに接続され、オンとなり、ＰｃｈトランジスタＰ１は、ゲートがＶｓｓに接続され、オンとなる。したがって、昇圧動作から切り離されたＮｃｈトランジスタＮ１、Ｎ２、Ｐ１は、他の回路に影響を与えない。

【００３７】

一方、図４（Ａ）に示すように容量素子Ｃ１の一端は、電源Ｖｄｄ、すなわち、電源降圧部１０で降圧された電源ＶＤＬＰに接続され、他端は、Ｖｓｓに接続される。したがって、容量素子Ｃ１は、昇圧部２０におけるＶｄｄ／Ｖｓｓ間の安定化容量として機能する。

【００３８】

図４（Ｂ）は、図４（Ａ）の各部の信号のタイミングチャートである。

【００３９】

（１）信号Ｓ１の電圧レベルが２・ＶＤＬＰの時、ゲートに信号Ｓ１が与えられるＮｃ

ｈトランジスタＮ３は、オンとなり、Ｎｃｈトランジスタ Ｎ３のソース、すなわち、接点Ａ２である容量素子Ｃ２の一端は、ＶＤＬＰに向けて充電される。容量素子Ｃ２の他端は、信号Ｓ４によってＶｓｓとされる。

【００４０】

（２）信号Ｓ１の電圧レベルがＶＤＬＰとなると、信号Ｓ４の電圧レベルがＶｓｓからＶＤＬＰに上昇し、接点Ａ２、すなわち容量素子Ｃ２の一端の電位は、ＶＤＬＰから２・ＶＤＬＰに上昇する。この時、信号Ｓ１の電圧レベルがＶＤＬＰであるので、Ｎｃｈトランジスタ Ｎ３は、オフであって、この上昇の動作に影響を与えない。また、信号Ｓ５の電圧レベルがＶＤＬＰ＋ＶＰＰであるので、Ｎｃｈトランジスタ Ｎ４は、オンとなって、容量素子Ｃ２の一端、すなわち接点Ａ２の電位がＶＰＰに伝達される。容量素子Ｃ２の充電電荷が外部に供給されることで、接点Ａ２の電位は、徐々に低下する。

【００４１】

以上のように動作する昇圧部２０において、容量素子Ｃ１、Ｃ２等の薄膜トランジスタで構成された箇所は、必ずゲート・ソース間もしくはゲート・ドレイン間にＶＤＤＰ１以下の差電位しかかかっていない。

【００４２】

以上のように構成される昇圧部２０において、外部電源電圧がＶＤＤＰ２である場合、昇圧段数を一段構成にしている。これは２・ＶＤＬＰがＶＰＰに対してある程度大きく、二段構成よりも一段構成の方が消費電流が少なく、ＶＰＰレベルの電源が供給できるからである。この理由は、理想的には図３（Ａ）における接点Ａ１、Ａ２は、それぞれ２・ＶＤＤＰ１、３・ＶＤＤＰ１になるが、実際には寄生容量の影響を受けて理想どおりの電位にはならない。したがって、寄生容量の影響を受けないようにできるだけ段数は少ない方が電圧変換効率が良く好ましい。また、一段構成よりも二段構成の方が動作する接点が多い分消費電流が多くなり好ましくない。

【００４３】

図５は、電源降圧部１０の回路図である。電源降圧部１０は、ＶＤＤＰ２を降圧し、ＤＲＡＭ等内部で発生させたＶＤＬＰ／２の電源電圧をＶＤＬＰレベルにしてドライブする回路である。電源降圧部１０は、ＮｃｈトランジスタＮ１１～Ｎ１６、ＰｃｈトランジスタＰ１１～Ｐ１４、スイッチ素子ＳＷ８～ＳＷ１０を備える。差動対であるＮｃｈトランジスタＮ１２、Ｎ１３は、ソースを共通に電流源となるＮｃｈトランジスタＮ１１に接続し、ドレインをカレントミラーを構成するＰｃｈトランジスタＰ１１、Ｐ１２に接続する。ＮｃｈトランジスタＮ１２のゲートには、ＶＤＬＰ／２が与えられ、ＮｃｈトランジスタＮ１３のゲートには、それぞれがダイオード接続されたＮｃｈトランジスタＮ１４、Ｎ１５の直列回路の中点に接続される。ＮｃｈトランジスタＮ１２のドレインは、ソースがＶＤＤＰ２に接続されるＰｃｈトランジスタＰ１４のゲートに接続される。さらに、ＰｃｈトランジスタＰ１４のドレインは、電源降圧部１０の出力としてＶＤＬＰを昇圧部２０に供給すると共に、ＮｃｈトランジスタＮ１４のアノード（ドレインおよびゲート）に接続される。ＮｃｈトランジスタＮ１５は、ソースがＶｓｓに接続される。

【００４４】

なお、電源降圧部１０が降圧機能として用いられない場合、図５に示すＳＷ８～ＳＷ１０を切り替えて電源降圧部１０を動作させないようにする。すなわち、ＰｃｈトランジスタＰ１３のゲートがＶｓｓとなって、ＰｃｈトランジスタＰ１３がオンとなって、ＰｃｈトランジスタＰ１１、Ｐ１２、Ｐ１４をオフとする。また、ＮｃｈトランジスタＮ１１のゲートがＶｓｓとなって、ＮｃｈトランジスタＮ１１がオフとなって、ＮｃｈトランジスタＮ１２、Ｎ１３への電流供給を停止する。さらに、ＮｃｈトランジスタＮ１６のゲートがＶＤＤＰ１となって、ＮｃｈトランジスタＮ１６がオンとなって、ＶＤＬＰをＶｓｓのレベルに保つ。

【００４５】

このような電源降圧部１０の回路は、薄膜トランジスタ耐圧を超えるＶＤＤＰ２が入力されるため、全て厚膜トランジスタで構成される。ＶＤＤＰ１が外部電源電圧として入力

される場合は、ＳＷ８～ＳＷ１０を切り替えて降圧機能が無効にされる。尚、図５に示す電源降圧部１０は、一例を示すものであり、必ずしもこの回路と同じ構成をとる必要はなく、ＶＤＤＰ２からＶＤＬＰレベルの電源電圧を出力する回路であれば他の回路構成であっても良い。

【００４６】

以上のような構成の電源電圧発生回路によれば、外部電源電圧が薄膜トランジスタの耐圧を超える場合に、電源降圧部１０によって薄膜トランジスタの耐圧範囲内の電圧に降圧し、薄膜トランジスタから構成された昇圧部２０によってワード線ドライブ用の電源電圧を昇圧する。したがって、外部電源電圧が薄膜トランジスタの耐圧を超えるような高い場合であっても、電源電圧が低い場合と共有してワード線ドライブ用の昇圧部２０に容量の大きい薄膜容量素子（薄膜容量トランジスタ）を用いることが可能となる。昇圧部２０に全て薄膜の容量素子を用いることで、チップ面積をより減らすことができる。

【００４７】

次に、具体的な数字例を用いて説明する。仮にＶＰＰ＝２．５Ｖ、ＶＤＤＰ２＝１．８Ｖ、ＶＤＬＰ＝１．５Ｖ、ＶＤＤＰ１＝１．２Ｖ、薄膜トランジスタの耐圧＝１．５Ｖ、厚膜トランジスタの耐圧＝３．０Ｖとする。厚膜トランジスタの耐圧が薄膜トランジスタの耐圧の二倍であることから、酸化膜の厚さに関し、通常、厚膜は薄膜の二倍あるので、厚膜の容量は薄膜の容量の半分である。トランジスタの面積は、ＶＰＰの供給能力において最悪条件であるＶＤＤＰ１＝１．２Ｖの場合を想定して決められるが、厚膜容量素子を使用すると単純に薄膜の倍の面積が必要となってしまう。ＤＲＡＭにおけるポンプ容量素子の面積は、数ミリ平方メートル程度になることが多いので、この面積が半分になると、チップ面積の削減においてかなり有利である。なお、電源電圧発生回路に電源降圧部が加わることで電源降圧部に対応するチップ面積が増えてしまう。しかしながら、電源降圧部の面積は、ポンプ容量素子の面積に比べると充分に小さく無視することができる（ＶＤＬＰ安定化容量を増やさなくても良い）。

【００４８】

また、本実施例の電源電圧発生回路によれば、ワード線ドライブ用の電源昇圧回路の昇圧段数を、メタルオプション、ヒューズオプション、ボンディングオプションのいずれかによって切り替えて、外部電圧のレベルによって最も効率の良い昇圧段数に切り替えるように構成することが可能である。

【００４９】

先に説明した条件と同じ条件で具体的に説明する。単純にＶＰＰ＝２．５Ｖを得るためには、外部電源電圧がＶＤＤＰ１＝１．２Ｖの場合、３・ＶＤＤＰ１＝３．６Ｖまで昇圧しなくてはならず二段昇圧にする。これに対し、ＶＤＤＰ２＝１．８Ｖの場合は、ＶＤＬＰ＝１．５Ｖで、２・ＶＤＬＰ＝３．０Ｖであり、ＶＰＰに対して供給能力があるので、一段昇圧でよい。先に説明したように、段数が少ないほどＶＰＰに対する電源供給の効率は良い。

【００５０】

以上の説明では、外部電源電圧によって昇圧回路を一段および二段に切り替える方式を説明した。しかし、これに限定されることなく、外部電源電圧に対するＶＰＰの値によって他の段数との切り替えが有効となる場合にも適用することができる。例えば、二段と三段、もしくは三段と四段等の切り替えに適用してもよい。また、極端な場合では、一段と三段の切り替えなどにも適用可能である。さらに、外部電源電圧が薄膜トランジスタの耐圧を超えることなく、かつ、一段の昇圧でＶＰＰへの供給が間に合う場合も想定される。しかし、このような場合であっても本実施例の電源電圧発生回路を適用することができる。

【００５１】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【００５２】

【図１】本発明の実施形態に係る電源電圧発生回路の構成を示すブロック図である。

【図２】本発明の実施例に係る昇圧部の回路図である。

【図３】昇圧部が二段動作を行う場合の等価回路および各部信号の波形を示す図である。

【図４】昇圧部が一段動作を行う場合の等価回路および各部信号の波形を示す図である。

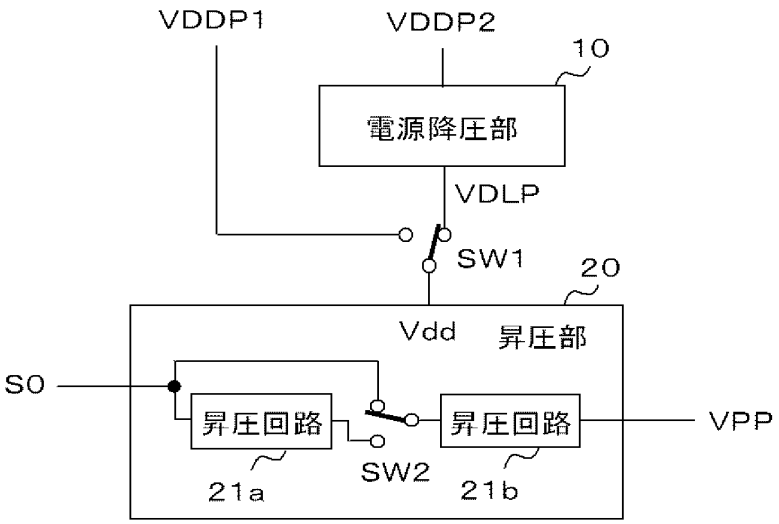
【図５】電源降圧部の回路図である。

【符号の説明】

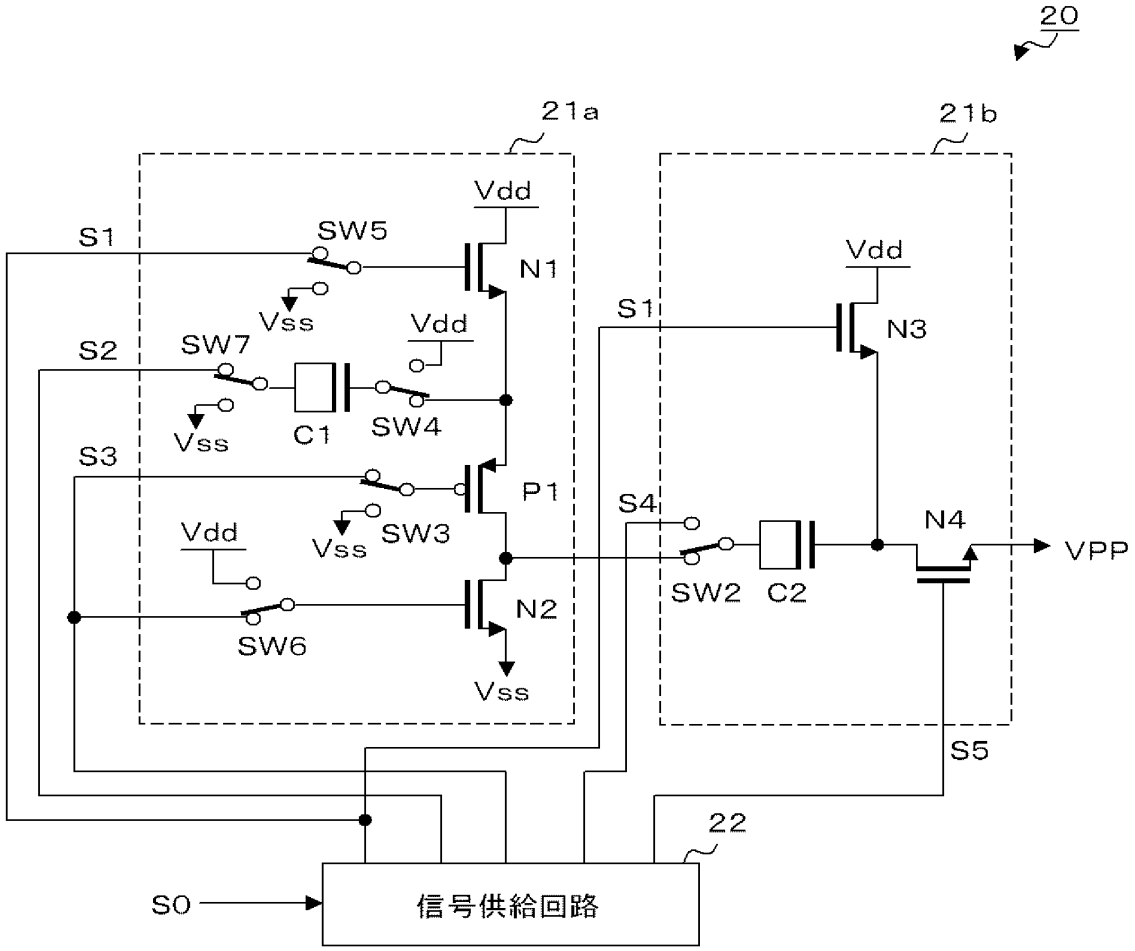
【００５３】

１０　電源降圧部
２０　昇圧部
２１ａ、２１ｂ　昇圧回路
２２　信号供給回路
Ｃ１、Ｃ２　薄膜容量素子
Ｎ１～Ｎ４、Ｎ１１～Ｎ１６　Ｎｃｈトランジスタ
Ｐ１、Ｐ１１～Ｐ１４　Ｐｃｈトランジスタ
Ｓ０～Ｓ５　信号
ＳＷ１～ＳＷ１０　スイッチ素子

【書類名】図面
【図１】

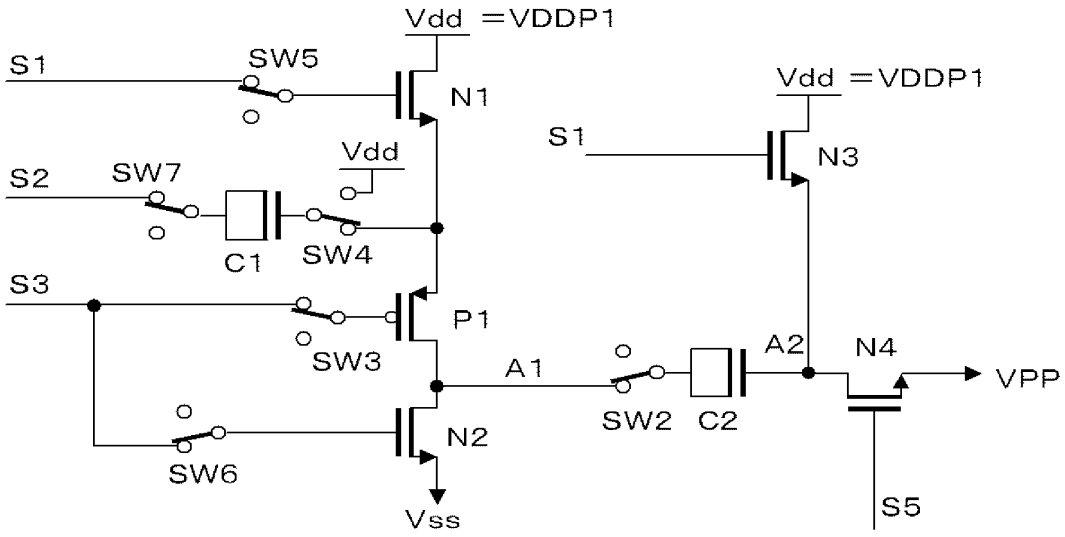

VDDP1
VDDP2
10
電源降圧部
VDLP
SW1
20
Vdd
昇圧部
S0
昇圧回路
昇圧回路
VPP
SW2
21a
21b

【図２】

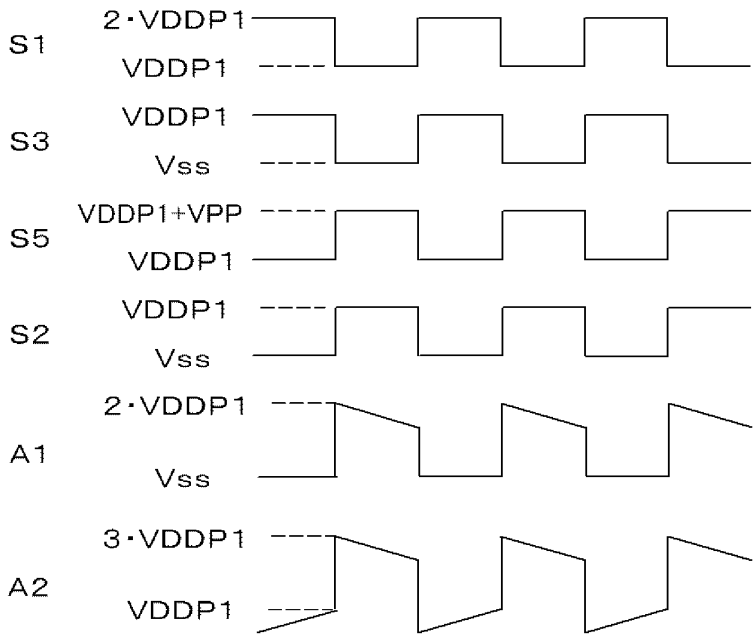

20
21a
21b
Vdd
S1
SW5
N1
Vss
Vdd
S2
SW7
C1
SW4
Vss
S3
P1
Vdd
Vss
SW3
SW6
N2
Vss
S1
Vdd
N3
S4
SW2
C2
N4
VPP
S5
22
S0
信号供給回路

【図３】

（A）

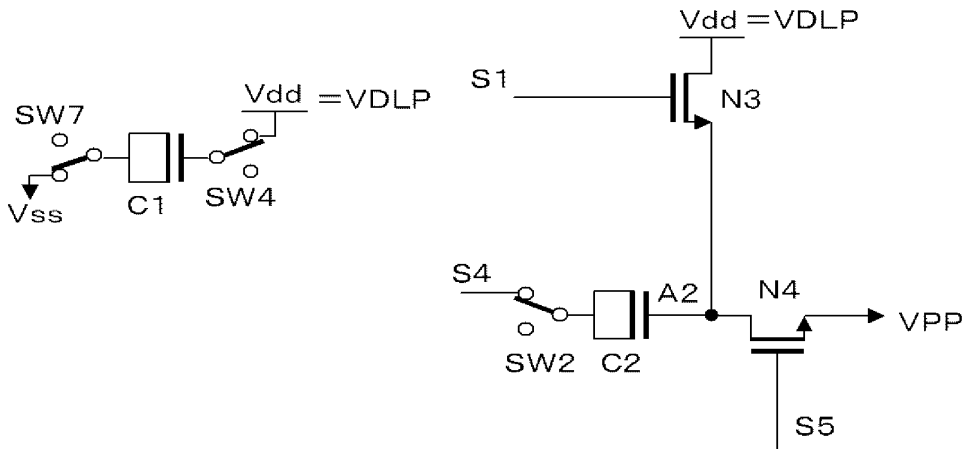

Vdd =VDDP1
S1
SW5
N1
Vdd =VDDP1
S1
N3
Vdd
S2
SW7
C1
SW4
S3
P1
SW3
A1
A2
N4
VPP
SW2
C2
N2
SW6
Vss
S5

（B）

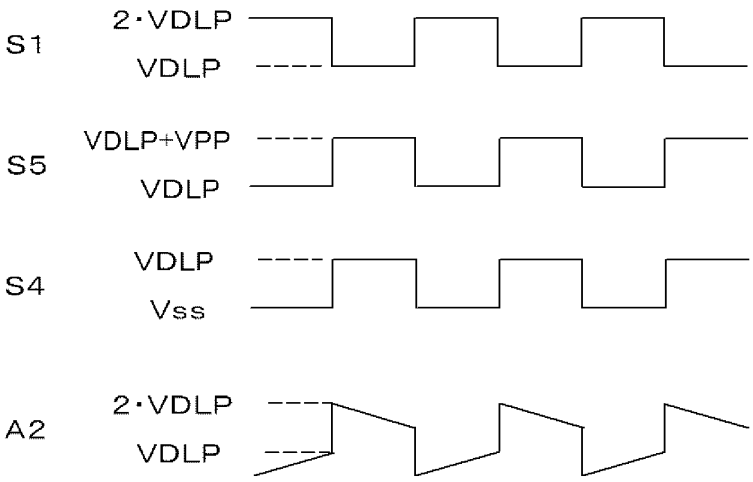

S1
2・VDDP1
VDDP1
S3
VDDP1
Vss
S5
VDDP1+VPP
VDDP1
S2
VDDP1
Vss
A1
2・VDDP1
Vss
A2
3・VDDP1
VDDP1

【図４】

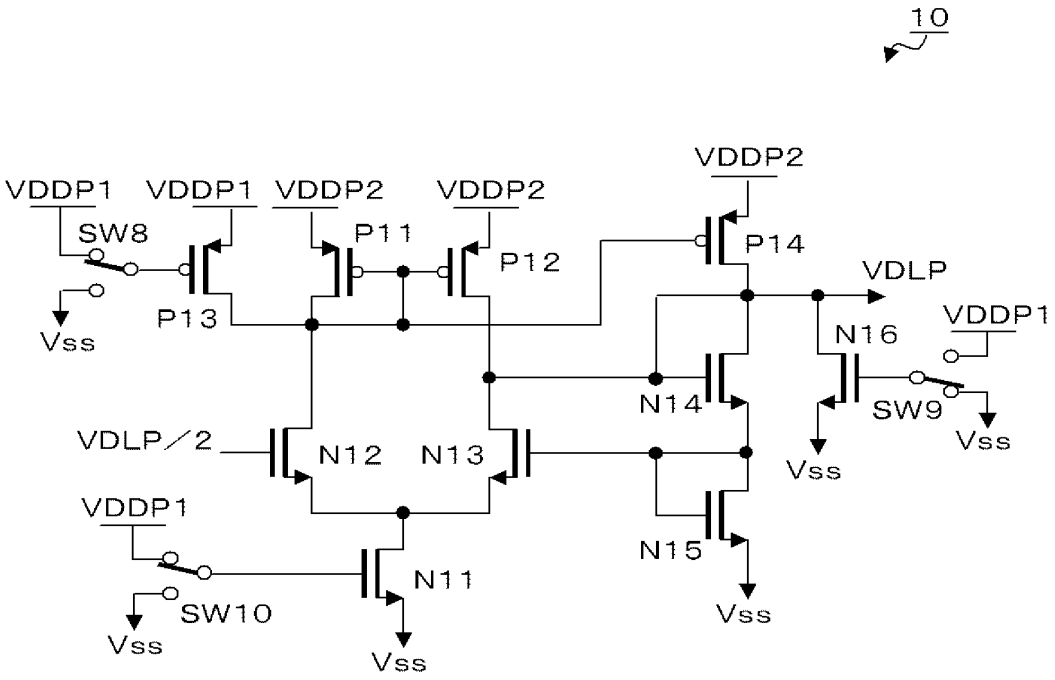
（A）


Vdd =VDLP
S1
N3
SW7
Vdd =VDLP
Vss
C1
SW4
S4
A2
N4
VPP
SW2
C2
S5

（B）


S1
2・VDLP
VDLP
S5
VDLP+VPP
VDLP
S4
VDLP
Vss
A2
2・VDLP
VDLP

【図５】


10
VDDP1
VDDP1
VDDP2
VDDP2
VDDP2
SW8
P11
P12
P14
VDLP
P13
Vss
VDDP1
N16
N14
SW9
Vss
VDLP／2
N12
N13
Vss
VDDP1
N15
N11
SW10
Vss
Vss
Vss

【書類名】要約書
【要約】
【課題】チップ面積をより小さくする。
【解決手段】容量素子のチャージポンピングによって昇圧電圧を発生して出力する昇圧部２０と、外部電源の電圧が容量素子の耐圧を超える場合に、容量素子の耐圧範囲内の電圧に外部電源の電圧を降圧して昇圧部２０の電源に与える電源降圧部１０と、昇圧部２０の電源に外部電源を直接与えるか電源降圧部１０を介して与えるかを切り替えるスイッチ素子ＳＷ１と、を備える。昇圧部２０は、多段の昇圧回路から構成され、多段の昇圧回路のそれぞれに含まれるＭＯＳトランジスタで構成される容量素子のゲート酸化膜の厚さが同一であり、昇圧部２０の出力を電源とする回路に含まれるＭＯＳトランジスタのゲート酸化膜より薄い。
【選択図】図１

【書類名】　　手続補正書
【整理番号】　　22311733
【提出日】　　平成19年 6月 7日
【あて先】　　特許庁長官殿
【事件の表示】
　【出願番号】　　特願2007- 81754
【補正をする者】
　【識別番号】　　000233169
　【氏名又は名称】　株式会社日立超エル・エス・アイ・システムズ
【代理人】
　【識別番号】　　100080816
　【弁理士】
　【氏名又は名称】　加藤　朝道
　【電話番号】　　045-476-1131
【手続補正1】
　【補正対象書類名】　特許願
　【補正対象項目名】　提出物件の目録
　【補正方法】　　追加
　【補正の内容】
　　【提出物件の目録】
　　【物件名】　　委任状　1

【物件名】　委任状

【添付書類】

委　任　状

平成19 年 5 月21 日

私儀弁理士　加　藤　朝　道　氏を以て代理人として下記事項を委任します。

1．（特願 2007 - 81754　についての）
特許出願

に関する一切の件並びに本件に関する放棄若しくは取下げ、出願変更、拒絶査定不服及び補正却下の決定に対する審判の請求並びに取下げ。

2．上記出願又は平成　年　願第　号
に基づく「特許法第４１条第１項及び実用新案法第８条第１項」の優先権主張並びにその取下げ。

3．上記出願の分割出願及び補正却下の決定に対する新たな出願に関する一切の件並びに本件に関する上記事項一切。

4．上記出願に関する審査請求、優先審査に関する事情説明書の提出、刊行物の提出、証明の請求及び上記出願又は審判請求に関する物件の下附を受けること。

5．第１項に関する通常実施権許諾の裁定請求、裁定取消請求並びにそれ等に対する答弁、取下其他本件に関する提出書類及び物件の下附を受けること。

6．上記出願に由来する全ての特許権又は登録及びこれらの権利に関する手続並びにこれらの権利の放棄並びにこれらの手続に関する請求の取下げ、申請の取下げ及び申立ての取下げ。

7．上記出願に由来する全ての特許又は登録に対する異議申立てに関する一切の手続。

8．上記出願に由来する全ての特許又は登録に対する無効審判に関する一切の手続。

9．上記出願に由来する全ての特許又は登録に関する訂正審判の請求及びその取下げ。

１０．上記各項に関し行政不服審査法に基づく諸手続を為すこと。

１１．上記事項を処理する為、復代理人を選任及び解任すること。

住　所　東京都小平市上水本町五丁目２２番１号

名　称　株式会社　日立超エル・エス・アイ・システムズ
取締役社長　木　原　利　昌

出願人履歴

５００１７４２４７

20000712

名称変更

東京都中央区八重洲２－２－１

エルピーダメモリ株式会社

０００２３３１６９

19980403

名称変更

５０４２３７０７２

東京都小平市上水本町５丁目２２番１号

株式会社日立超エル・エス・アイ・システムズ

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	Docket No: Q104215
Masashi IKEDA, et al.	
Appln. No.: 11/864,375	Group Art Unit: Not Yet Assigned
Confirmation No.: 3399	Examiner: Not Yet Assigned
Filed: September 28, 2007	

For: OPTICAL FIBER AND OPTICAL FIBER COUPLER, ERBIUM-DOPED OPTICAL FIBER AMPLIFIER, AND OPTICAL WAVEGUIDE USING THE SAME

INFORMATION DISCLOSURE STATEMENT UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 A & B (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. United States Patent Publication 5,861,973, published January 19, 1999.
2. United States Patent Publication 2003/169489, published September 11, 2003.
3. United States Patent Publication 2003/48524, published March 13, 2003.
4. United States Patent Publication 2006/187540, published August 24, 2006.

The listed documents are not submitted herewith, since they are all U.S. patent publications.

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action

on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is required.

The submission of the listed documents is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/Howard L. Bernstein/
Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: April 25, 2008

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	11/864,375
Confirmation Number	3399
Filing Date	September 28, 2007
First Named Inventor	Masashi IKEDA
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q104215

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	5861973		1999-01-19		
	2	2003169489		2003-11-09		
	3	200348524		2003-03-13		
	4	2006187540		2006-08-24		

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1							

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

Electronic Acknowledgement Receipt

EFS ID:	3211976
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Mariama Seasay
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q107099
Receipt Date:	25-APR-2008
Filing Date:	20-MAR-2008
Time Stamp:	16:42:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		q104215ids.pdf	129508 abdc6d771e170ed6e9922e5357763f6d8e46330c	yes	3

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Information Disclosure Statement Letter	1	2
	Information Disclosure Statement (IDS) Filed	3	3
Warnings:			
Information:			
	Total Files Size (in bytes):	129508	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Koichiro HAYASHI, et al.

Appln. No.: 12/052,422

Confirmation No.: 2405

Filed: March 20, 2008

For: SUPPLY VOLTAGE GENERATING CIRCUIT

Docket No: Q107099

Group Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT UNDER 37 C.F.R. §§ 1.97 and 1.98

MAIL STOP AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

In accordance with the duty of disclosure under 37 C.F.R. § 1.56, Applicant hereby notifies the U.S. Patent and Trademark Office of the documents which are listed on the attached PTO/SB/08 A & B (modified) form and/or listed herein and which the Examiner may deem material to patentability of the claims of the above-identified application.

1. Japanese Patent Application No. 2005-158098, published June 16, 2005.

A copy of of the listed document is submitted herewith.

The present Information Disclosure Statement is being filed: (1) No later than three months from the application's filing date; (2) Before the mailing date of the first Office Action on the merits (whichever is later); or (3) Before the mailing date of the first Office Action after filing a request for continued examination (RCE) under §1.114, and therefore, no Statement under 37 C.F.R. § 1.97(e) or fee under 37 C.F.R. § 1.17(p) is required.

In compliance with the concise explanation requirement under 37 C.F.R. § 1.98(a)(3) for foreign language documents, Applicant submits the following explanations:

INFORMATION DISCLOSURE STATEMENT
UNDER 37 C.F.R. §§ 1.97 and 1.98
U.S. Appln. No.: 12/052,422

Attorney Docket No.: Q107099

The above-listed reference is cited in the specification beginning on page 2.

The submission of the listed document is not intended as an admission that any such document constitutes prior art against the claims of the present application. Applicant does not waive any right to take any action that would be appropriate to antedate or otherwise remove any listed document as a competent reference against the claims of the present application.

The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

Respectfully submitted,

/Howard L. Bernstein/
Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

Date: April 25, 2008

MODIFIED PTO/SB/08a (05-07)
Approved for use through 11/30/2007.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12/052,422
Confirmation Number	2405
Filing Date	March 20, 2008
First Named Inventor	Koichiro HAYASHI
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	Q107099

U.S. PATENTS

Examiner Initials*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1.					

U.S. PATENT APPLICATION PUBLICATIONS

Examiner Initials*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1					

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[5]
	1	2005-158098	JP		2005-06-16			N

NON-PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city, and/or country where published.	T[5]
	1		

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

1 See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. 2 Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). 3 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 5 Applicant is to place a check mark here if English language translation is attached.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-158098
(P2005-158098A)
(43)公開日　平成17年6月16日(2005.6.16)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G11C 11/407	G11C 11/34	354F	5H730
H02M 3/135	H02M 3/135	F	5M024
	H02M 3/135	S	

審査請求 未請求　請求項の数 6　OL　（全 12 頁）

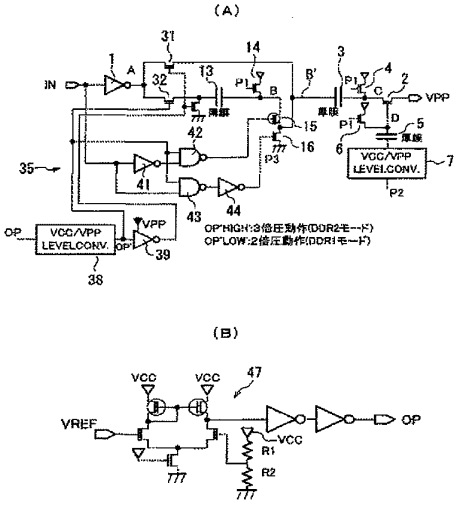
(21)出願番号　特願2003-391302 (P2003-391302)
(22)出願日　平成15年11月20日 (2003.11.20)

(71)出願人　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100070530
弁理士　畑　泰之
(72)発明者　俣野　達哉
東京都中央区八重洲２－２－１　エルピーダメモリ株式会社内

Fターム(参考)　5H730 AA15 AS04 BB02 BB57 BB86 DD04 FG01
5M024 AA49 AA58 AA70 BB29 FF03 FF25 HH11 JJ03 PP01 PP02 PP03 PP07

(54)【発明の名称】電源電圧発生回路

(57)【要約】
【課題】　ダブル・データ・レート（ＤＤＲ）型のＤＲＡＭ（ＤＤＲ－ＤＲＡＭ）に好適な電源電圧発生回路を提供する。
【解決手段】　厚い絶縁膜で作られた第１のキャパシタ３と薄いゲート絶縁膜で作られた第２のキャパシタ１３を備え、動作電源電圧に応じて第１、２のキャパシタの回路接続を変えるスイッチ回路を有することを特徴とする。
【選択図】　図４



【特許請求の範囲】
【請求項１】
装置の動作電源電圧を昇圧して出力する電源電圧発生回路において、
厚い絶縁膜で作られた第１のキャパシタと薄いゲート絶縁膜で作られた第２のキャパシタを備え、前記動作電源電圧に応じて前記第１、２のキャパシタの回路接続を変えるスイッチ回路を有することを特徴とする電源電圧発生回路。
【請求項２】
前記スイッチ回路は、
前記第１のキャパシタを充電するための第１の充電回路と、
前記第２のキャパシタを充電するための第２の充電回路と、
２倍圧動作の時、前記第１のキャパシタに充電された電圧と当該電源電圧発生回路への入力信号を反転した信号とを重畳することで、２倍圧動作の電圧を出力し、３倍圧動作の時、前記第１のキャパシタに充電された電圧と前記第２のキャパシタに充電された電圧と前記入力信号を反転した信号とを重畳することで、３倍圧の電圧を出力するように、前記第１及び第２の充電回路と、前記第１のキャパシタと前記第２のキャパシタとの接続を制御するスイッチ回路と、
前記２倍圧動作の際、前記第２のキャパシタの電荷を放電せしめる放電回路と、
を少なく含むことを特徴とする請求項１記載の電源電圧発生回路。
【請求項３】
前記スイッチ回路は、配線層で切り替えを行うスイッチであることを特徴とする請求項２記載の電源電圧発生回路。
【請求項４】
第１のインバータと、出力スイッチと、前記第１のインバータの出力にドレイン又はソースが接続された第１のスイッチと、一方の端子が前記第１のスイッチのソース又はドレインに接続され、他方の端子が前記出力スイッチに接続された第１のキャパシタと、前記第１のインバータの出力にドレイン又はソースが接続された第２のスイッチと、第２のスイッチのソース又はドレインに一方の端子が接続された第２のキャパシタと、前記第２のキャパシタの他方の端子にソースが接続され、ドレインが前記第１のキャパシタの一方の端子に接続された第３のスイッチと、前記第１のキャパシタの他方の端子に接続されて前記第１のキャパシタに充電用の電圧を印加する第４のスイッチと、前記第１のキャパシタの一方の端子とグランド間に設けた第５のスイッチと、前記第２のキャパシタの他方の端子に接続されて前記第２のキャパシタに充電用の電圧を印加する第６のスイッチとを含み、
更に、前記第１乃至前記第４のスイッチを制御する前記スイッチ制御回路と、
フューズをトリミングするトリミング回路と、
前記トリミング回路でのフューズのトリミングの有無に基づき、電源オン時に出力されるワンショットパルスをラッチするラッチ回路と、
前記ラッチ回路の出力レベルをシフトして前記スイッチ制御回路に入力せしめるレベル変換回路と、
を少なくとも含むことを特徴とする請求項１記載の電源電圧発生回路。
【請求項５】
第１のインバータと、出力スイッチと、前記第１のインバータの出力にドレイン又はソースが接続された第１のスイッチと、一方の端子が前記第１のスイッチのソース又はドレインに接続され、他方の端子が前記出力スイッチに接続された第１のキャパシタと、前記第１のインバータの出力にドレイン又はソースが接続された第２のスイッチと、第２のスイッチのソース又はドレインに一方の端子が接続された第２のキャパシタと、前記第２のキャパシタの他方の端子にソースが接続され、ドレインが前記第１のキャパシタの一方の端子に接続された第３のスイッチと、前記第１のキャパシタの他方の端子に接続されて前記第１のキャパシタに充電用の電圧を印加する第４のスイッチと、前記第１のキャパシタの一方の端子とグランド間に設けた第５のスイッチと、前記第２のキャパシタの他方の端

子に接続されて前記第２のキャパシタに充電用の電圧を印加する第６のスイッチとを含み、

更に、前記第１乃至前記第４のスイッチを制御する前記スイッチ制御回路と、

前記電源電圧発生回路が組み込まれているメモリ回路の動作電圧を検出する電圧検出回路と、

前記電圧検出回路の検出結果である出力をレベルシフトして前記スイッチ制御回路に入力せしめるレベル変換回路と、

を少なくとも含むことを特徴とする請求項１記載の電源電圧発生回路。

【請求項６】

前記スイッチ制御回路は、

前記レベル変換回路の出力レベルを反転せしめる第２のインバータと、

前記第１のインバータへの入力パルスを反転せしめる第３のインバータと、

前記レベル変換回路の出力と前記第３のインバータの出力とのＮＡＮＤをとり、その出力で前記第３のスイッチを制御する第１のＮＡＮＤ回路と、

前記レベル変換回路の出力と前記入力パルスとのＮＡＮＤをとり、その出力で前記第４のスイッチを制御する第２のＮＡＮＤ回路とからなり、

前記第１のスイッチは、前記レベル変換回路の出力信号で制御され、前記第２のスイッチは、前記第２のインバータの出力で制御されることを特徴とする請求項４又は５記載の電源電圧発生回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電源電圧発生回路に係わり、特に、ダブル・データ・レート（ＤＤＲ）型のＤＲＡＭ（ＤＤＲ－ＤＲＡＭ）に用いて好適な２倍昇圧回路と３倍昇圧回路とを有する電源電圧発生回路に関する。

【背景技術】

【０００２】

近年、クロックの立ち上がりとクロックの立ち下がりエッジの両方に同期してデータ転送を行うことにより、２倍の速度でデータ転送可能にしたダブル・データ・レート（ＤＤＲ）型のＤＲＡＭ（ＤＤＲ－ＤＲＡＭ）が用いられている。

【０００３】

図５で示した従来の回路では。この電源電圧発生回路が組み込まれているメモリ回路の動作電圧ＶＣＣが高い場合は（ＤＤＲ１スペック、ＶＣＣ＝２．５Ｖ）キャパシタを一つ使った２倍圧動作（２ｘＶＣＣ昇圧）で動作させ、動作電圧ＶＣＣが低い場合は（ＤＤＲ２スペック、ＶＣＣ＝１．８Ｖ）同じ容量値のキャパシタを二つ使った３倍圧動作（３ｘＶＣＣ昇圧）を行い、昇圧電圧ＶＰＰを発生させるものである。この場合、何れのキャパシタも、高いＶＣＣに耐圧をあわせた厚い酸化膜を用いている。

【０００４】

以下に、図５で示した従来の回路について詳細に説明する。

【０００５】

図５において、１はインバータ、２は、図示しない負荷回路に電圧ＶＰＰを出力する出力スイッチであるＮ型のＦＥＴ、３は、昇圧用のキャパシタ、Ｓ１はインバータ１の出力とキャパシタ３の一方の端子間に設けられた切換スイッチであり、２倍圧動作と３倍圧動作を切り換えるために設けた切換スイッチ、４は、キャパシタ３を充電するためのＮ型のＦＥＴ、５は、ＦＥＴ２のゲートを所定の電位にするために、ＦＥＴ２のゲートに一方の端子を接続したキャパシタ、６は、キャパシタ５を充電するためにキャパシタ５の一方の端子に接続したＮ型のＦＥＴ、７は、キャパシタ５の他方の端子に接続したレベルコンバータである。

【０００６】

また、１３は、３倍圧動作の際に昇圧用に用いられるキャパシタ、Ｓ２は、インバータ

１の出力とキャパシタ１３の一方の端子間に設けられた切換スイッチ、Ｓ３は、キャパシタ１３の他方の端子に接続された切換スイッチ、１４は、キャパシタ１３を充電するためのＮ型のＦＥＴであり、キャパシタ１３は、３倍圧動作の際に、ＦＥＴ１４を介して充電されるように構成されている。

【０００７】

また、Ｓ４は、２倍圧動作と３倍圧動作を切り換えるために設けた切換スイッチ、１５は、ソースがＦＥＴ１４のドレインに、ゲートがスイッチＳ４に接続されたＰ型のＦＥＴ、１６は、ドレインがＦＥＴ１５のソースに、ドレインがグラウンドに接続されたＮ型のＦＥＴである。

【０００８】

そして、２倍圧動作の際、ＦＥＴ１５のゲートには、スイッチＳ４を介してＶＣＣが印加されて、オフ状態になり、また、３倍圧動作の際は、ＦＥＴ１５のゲートに、入力パルスＰ０が印加されるように構成されている。また、昇圧動作の際、キャパシタ３は、ＦＥＴ４とＦＥＴ１６とを介して充電されるようになっている。

【０００９】

次に、このように構成した電源電圧発生回路の動作について説明する。

（１）２倍圧動作

２倍圧動作の接続図は、図６（Ａ）に、同図（Ｂ）には各部の波形図がそれぞれ示されている。

【００１０】

まず、期間ｔ１において、インバータ１の出力がＬレベルの時、ＦＥＴ４のゲートに印加される制御パルスＰ１の電位がＨレベル（２ＶＣＣ）になり、キャパシタ３は、ＦＥＴ４、接続線８、インバータ１を介して充電される。同時に、ＦＥＴ６もオン状態になる。このとき、制御パルスＰ２はＬレベルであるから、レベルコンバータ７のＦＥＴ７１もオン状態になり、キャパシタ５は、ＦＥＴ６、７１を介して充電される。

【００１１】

次に、期間ｔ２において、制御パルスＰ１がＬレベルになり、ＦＥＴ４、６、７１はオフ状態になる。そして、制御パルスＰ２がＨレベルになり、ＦＥＴ２のゲートの電位がＶＰＰ＋ＶＣＣに上昇し、ＦＥＴ２がオン状態になる。このとき、インバータ１の出力はＨレベルになり、インバータ１の出力とキャパシタ３の電圧が重畳され、２倍圧になった電圧がＦＥＴ２を介して出力ＶＰＰとして負荷回路に供給される。

（２）３倍圧動作

３倍圧動作の接続図は、図７（Ａ）に、同図（Ｂ）には各部の波形図がそれぞれ示されている。

【００１２】

まず、期間ｔ１において、インバータ１の出力がＬレベルの時、ＦＥＴ１４のゲートに印加される制御パルスＰ１の電位がＨレベル（２ＶＣＣ）になり、キャパシタ１３は、ＦＥＴ１４、スイッチＳ３、Ｓ２、インバータ１を介して充電される。

【００１３】

更に、ＦＥＴ４もオン状態になり、また、ＦＥＴ１６のゲートにも制御パルスＰ３が印加され、このとき、制御パルスＰ３がＨレベルであるから、ＦＥＴ１６もオン状態になる。更に、ＦＥＴ１５のゲートには、スイッチＳ４を介して、入力信号Ｐ０が印加され、このとき、入力信号Ｐ０がＨレベルであるから、ＦＥＴ１５はオフ状態である。従って、キャパシタ３は、ＦＥＴ４、１６を介して充電される。　同時に、ＦＥＴ６もオン状態になる。このとき、制御パルスＰ２はＬレベルであるから、レベルコンバータ７のＦＥＴ７１もオン状態になり、キャパシタ５は、ＦＥＴ６、７１を介して充電される。このように、期間ｔ１においては、キャパシタ３、５，１３がともに充電される。

【００１４】

次に、期間ｔ２において、制御パルスＰ１がＬレベルになり、ＦＥＴ４、６、１４、７１はオフ状態になる。更に、制御パルスＰ３がＬレベルになり、ＦＥＴ１６はオフ状態に

なる。一方、ＦＥＴ１５のゲートはＬレベルになり、ＦＥＴ１５はオン状態になる。そして、制御パルスＰ２がＨレベルになり、ＦＥＴ２のゲートの電位がＶＰＰ＋ＶＣＣに上昇し、ＦＥＴ２がオン状態になる。このとき、インバータ１の出力はＨレベルになり、インバータ１の出力とキャパシタ３とキャパシタ１３の充電電圧が重畳され、３倍圧になった電圧がＦＥＴ２を介して出力ＶＰＰとして付加回路に供給される。

【００１５】

しかしながら、上記回路では、所定の耐圧を得るためにキャパシタに厚い酸化膜を用いるように設計されているため、容量値を確保するために、広いレイアウト面積を必要とするという欠点があった。

【００１６】

なお、以下の特許文献１に示されたような「半導体集積回路」も提案されている。

【特許文献１】特開２０００－２２３６７３号公報（請求項１、段落０００７）

【発明の開示】

【発明が解決しようとする課題】

【００１７】

本発明は、特に、動作電源電圧に応じて異なった膜厚のキャパシタを使い分けて、回路レイアウト面積を縮小し安定した電源電圧を発生させる新規な電源電圧発生回路を提供するものである。

【課題を解決するための手段】

【００１８】

本発明は、上記した目的を達成するために、基本的には、以下に記載されたような技術構成を採用するものである。

【００１９】

本発明の電源電圧発生回路は、装置の動作電源電圧を昇圧して出力する電源電圧発生回路であって、厚い絶縁膜で作られた第１のキャパシタと薄いゲート絶縁膜で作られた第２のキャパシタを備え、前記動作電源電圧に応じて前記第１，２のキャパシタの回路接続を変えるスイッチ回路を有する
ことを特徴とする。

【００２０】

即ち、本発明に係わる電源電圧発生回路の第１の態様は、

装置の動作電源電圧を昇圧して出力する電源電圧発生回路において、

厚い絶縁膜で作られた第１のキャパシタと薄いゲート絶縁膜で作られた第２のキャパシタを備え、前記動作電源電圧に応じて前記第１、２のキャパシタの回路接続を変えるスイッチ回路を有することを特徴とするものであり、

又、第２の態様は、

前記スイッチ回路は、

前記第１のキャパシタを充電するための第１の充電回路と、

前記第２のキャパシタを充電するための第２の充電回路と、

２倍圧動作の時、前記第１のキャパシタに充電された電圧と当該電源電圧発生回路への入力信号を反転した信号とを重畳することで、２倍圧動作の電圧を出力し、３倍圧動作の時、前記第１のキャパシタに充電された電圧と前記第２のキャパシタに充電された電圧と前記入力信号を反転した信号とを重畳することで、３倍圧の電圧を出力するように、前記第１及び第２の充電回路と、前記第１のキャパシタと前記第２のキャパシタとの接続を制御するスイッチ回路と、

前記２倍圧動作の際、前記第２のキャパシタの電荷を放電せしめる放電回路と、

を少なく含むことを特徴とするものであり、

又、第３の態様は、

前記スイッチ回路は、配線層で切り替えを行うスイッチであることを特徴とするものであり、

又、第４の態様は、

第１のインバータと、出力スイッチと、前記第１のインバータの出力にドレイン又はソースが接続された第１のスイッチと、一方の端子が前記第１のスイッチのソース又はドレインに接続され、他方の端子が前記出力スイッチに接続された第１のキャパシタと、前記第１のインバータの出力にドレイン又はソースが接続された第２のスイッチと、第２のスイッチのソース又はドレインに一方の端子が接続された第２のキャパシタと、前記第２のキャパシタの他方の端子にソースが接続され、ドレインが前記第１のキャパシタの一方の端子に接続された第３のスイッチと、前記第１のキャパシタの他方の端子に接続されて前記第１のキャパシタに充電用の電圧を印加する第４のスイッチと、前記第１のキャパシタの一方の端子とグランド間に設けた第５のスイッチと、前記第２のキャパシタの他方の端子に接続されて前記第２のキャパシタに充電用の電圧を印加する第６のスイッチとを含み、

更に、前記第１乃至前記第４のスイッチを制御する前記スイッチ制御回路と、

フューズをトリミングするトリミング回路と、

前記トリミング回路でのフューズのトリミングの有無に基づき、電源オン時に出力されるワンショットパルスをラッチするラッチ回路と、

前記ラッチ回路の出力レベルをシフトして前記スイッチ制御回路に入力せしめるレベル変換回路と、

を少なくとも含むことを特徴とするものであり、

又、第５の態様は、

第１のインバータと、出力スイッチと、前記第１のインバータの出力にドレイン又はソースが接続された第１のスイッチと、一方の端子が前記第１のスイッチのソース又はドレインに接続され、他方の端子が前記出力スイッチに接続された第１のキャパシタと、前記第１のインバータの出力にドレイン又はソースが接続された第２のスイッチと、第２のスイッチのソース又はドレインに一方の端子が接続された第２のキャパシタと、前記第２のキャパシタの他方の端子にソースが接続され、ドレインが前記第１のキャパシタの一方の端子に接続された第３のスイッチと、前記第１のキャパシタの他方の端子に接続されて前記第１のキャパシタに充電用の電圧を印加する第４のスイッチと、前記第１のキャパシタの一方の端子とグランド間に設けた第５のスイッチと、前記第２のキャパシタの他方の端子に接続されて前記第２のキャパシタに充電用の電圧を印加する第６のスイッチとを含み、

更に、前記第１乃至前記第４のスイッチを制御する前記スイッチ制御回路と、

前記電源電圧発生回路が組み込まれているメモリ回路の動作電圧を検出する電圧検出回路と、

前記電圧検出回路の検出結果である出力をレベルシフトして前記スイッチ制御回路に入力せしめるレベル変換回路と、

を少なくとも含むことを特徴とするものであり、

又、第６の態様は、

前記スイッチ制御回路は、

前記レベル変換回路の出力レベルを反転せしめる第２のインバータと、

前記第１のインバータへの入力パルスを反転せしめる第３のインバータと、

前記レベル変換回路の出力と前記第３のインバータの出力とのＮＡＮＤをとり、その出力で前記第３のスイッチを制御する第１のＮＡＮＤ回路と、

前記レベル変換回路の出力と前記入力パルスとのＮＡＮＤをとり、その出力で前記第４のスイッチを制御する第２のＮＡＮＤ回路とからなり、

前記第１のスイッチは、前記レベル変換回路の出力信号で制御され、前記第２のスイッチは、前記第２のインバータの出力で制御されることを特徴とするものである。

【発明の効果】

【００２１】

本発明の電源電圧発生回路は、上記のように構成したので、昇圧回路のレイアウト面積を小さくすることができた。

【００２２】
又、２倍圧動作、３倍圧動作の自動切換は、簡単な構成で実現できるから、実施も容易であるという優れた特徴を有する。
【発明を実施するための最良の形態】
【００２３】
本発明を実施するための最良の形態について説明する。
【００２４】
電圧ＶＣＣが高い場合、酸化膜（酸化膜厚さＴｏｘ）が絶縁破壊しない電界（高いＶＣＣ／Ｔｏｘ＝７ＭＶ／ｃｍほど）以内で動作させることのできる厚いＴｏｘの酸化膜で形成されたキャパシタを使用しなければならない。このとき、２ＶＣＣレベルの高電圧を発生させるために、キャパシタ１つを使った２倍圧動作方式を用いる。又、動作電圧ＶＣＣが低い場合、３ＶＣＣレベルの高電圧を発生させるために、同じ容量値のキャパシタ２つを使った３倍圧動作方式を用いる。
【００２５】
このため、３倍圧動作方式において、動作電圧ＶＣＣが高い時に使用するのと同じ厚い酸化膜のキャパシタ２つを使って回路を構成した場合、面積が２倍になる。具体的には、動作電圧をワイドレンジ（一例として、２．５Ｖと１．８Ｖ）で動作させるチップの場合、低電圧側の昇圧回路面積で回路の大きさが決まってしまう。
【００２６】
しかし、動作電圧ＶＣＣが低い場合でのみ使われるキャパシタは、酸化膜が絶縁破壊しない電界（低いＶＣＣ／Ｔｏｘ＝７ＭＶ／ｃｍほど）以内の薄い容量膜厚にすればよいので、薄い酸化膜でキャパシタをつくってもよい。例えば、厚い酸化膜が６５オングストローム、薄い酸化膜の厚みが３５オングストロームであるときは、キャパシタ値Ｃ＝εＳ／ｄ（ε：キャパシタの誘電率、Ｓ：キャパシタ面積、ｄ：キャパシタの厚さ）の式により、厚い酸化膜のキャパシタに対し、約５３．８％の面積サイズで、厚い酸化膜キャパシタと容量値が等しい薄い酸化膜のキャパシタをつくることができる。
【００２７】
即ち、従来のキャパシタ面積比２に対し、約１．５４までキャパシタ面積を縮小して従来と同様な回路を構成することができる。
【００２８】
また、上記を実行してレイアウト面積に余裕が出た分、容量値の補強を行い、回路の電流供給能力を向上させることもできる。例えば、上記の例では削減された面積約４６．２％以内の領域を使って低い電圧動作側のキャパシタ値を補強できる（実施例２）。
【００２９】
なお、この方法は電源電圧の極性が負電圧の場合でも応用できる。
【実施例１】
【００３０】
図１は、実施例１を示す回路図である。
【００３１】
なお、背景技術の項で説明した部分と同じ部分には、同じ符号を付して、その説明を省略する。
【００３２】
実施例１では、動作電圧ＶＣＣが高いときは（２倍圧動作・２ｘＶＣＣ昇圧）、厚い酸化膜の容量を使い、電源電圧発生回路を動作させる。
【００３３】
また、動作電圧ＶＣＣが低いときは（３倍圧動作・３ｘＶＣＣ昇圧）、薄い酸化膜の容量を併用して、電源電圧発生回路を動作させる。従って、ＤＤＲ２モードのみでしか使わない容量１３は薄膜の容量で形成する。
【００３４】
Ａ－Ｂ間、Ｂ－Ｃ間の電圧はＶＣＣ以内である。

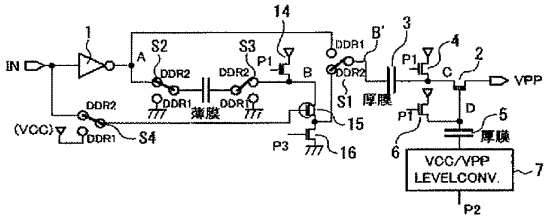
【実施例２】
【００３５】
図２は、第２の実施例を示す回路図である。
【００３６】
実施例１を実行してレイアウト面積に余裕が出た分、容量値の補強を行い、回路の電流供給能力を向上させることもできる。例えば、実施例２では、削減された面積約４６．２％以内の領域を使ってキャパシタ３に並列に薄い酸化膜のキャパシタ３Ａを接続し、キャパシタ３の容量を補強している。
【００３７】
実施例１及び実施例２のキャパシタの切換は、メタル層（配線層）によるメタル切換であり、ＤＤＲ１／２のモードに応じて、メタル配線を切り換えて使用する。
【実施例３】
【００３８】
図３は、実施例３を示す回路図であり、この実施例では、パワーオン時に発生するＨレベルのワンショットパルスを用いて２倍圧動作、３倍圧動作を自動的に切り換えるようにした回路である。
【００３９】
具体的には、実施例３では、２倍圧動作、３倍圧動作の切換指示は、図３（Ｂ）に示したように、フューズによるトリミングで行うように構成している。即ち、ＤＤＲ１／２の切換は、ヒューズの切断・非切断を検出して行う。図３（Ｂ）のＲＳＴ信号は、パワーオン時に発生するワンショットパルスであり、ヒューズの状況によりＯＰ信号のレベルが決定するようになっている。
【００４０】
この実施例３の場合、フューズがトリミングされていない場合、ＯＰ信号がＨレベルで３倍圧動作であり、ＯＰ信号がＬレベルの場合、２倍圧動作である。
【００４１】
次に、実施例３について説明する。
【００４２】
なお、背景技術の項で説明した部分と同一部分には、同じ符号を付して、その説明を省略する。又、各部の制御信号は、背景技術の項で説明したものと同じ制御信号を用いている。
【００４３】
この実施例３は、
第１のインバータ１と、出力スイッチ２と、前記第１のインバータ１の出力にドレイン又はソースが接続された第１のスイッチ３１と、一方の端子が前記第１のスイッチ３１のソース又はドレインに接続され、他方の端子が前記出力スイッチ２に接続された第１のキャパシタ３と、前記第１のインバータ１の出力にドレイン又はソースが接続された第２のスイッチ３２と、第２のスイッチ３２のソース又はドレインに一方の端子が接続された第２のキャパシタ１３と、前記第２のキャパシタ１３の他方の端子にソースが接続され、ドレインが前記第１のキャパシタの一方の端子に接続された第３のスイッチ１５と、前記第１のキャパシタ３の他方の端子に接続されて前記第１のキャパシタ３に充電用の電圧を印加する第４のスイッチ４と、前記第１のキャパシタ３の一方の端子とグランド間に設けた第５のスイッチ１６と、前記第２のキャパシタ１３の他方の端子に接続されて前記第２のキャパシタ１３に充電用の電圧を印加する第６のスイッチ１４とからなる電源電圧発生回路において、
前記第１乃至前記第４のスイッチを制御するスイッチ制御回路３５と、
フューズをトリミングするトリミング回路３６と、
前記トリミング回路３６でのフューズのトリミングの有無に基づき、電源オン時に出力されるワンショットパルスをラッチするラッチ回路３７と、
前記ラッチ回路３７の出力レベルをシフトして前記スイッチ制御回路３５に入力せしめ

るレベル変換回路３８と、
を少なくとも含むことを特徴とするものである。
【００４４】
又、前記スイッチ制御回路３５は、
前記レベル変換回路３８の出力レベルを反転せしめる第２のインバータ３９と、
前記第１のインバータ１への入力パルスＰ０を反転せしめる第３のインバータ４１と、
前記レベル変換回路３８の出力と前記第３のインバータ４１の出力とのＮＡＮＤをとり、その出力で前記第３のスイッチ１５を制御する第１のＮＡＮＤ回路４２と、
前記レベル変換回路３８の出力と前記入力パルスＰ０とのＮＡＮＤをとり、その出力で前記第４のスイッチ１６を制御する第２のＮＡＮＤ回路４３とからなり、
前記第１のスイッチ３１は、前記レベル変換回路３８の出力信号で制御され、前記第２のスイッチ３２は、前記第２のインバータ３９の出力で制御されることを特徴とするものである。
【００４５】
次に、スイッチ３１、３２、１５、１６を制御するスイッチ制御回路について更に詳細に説明する。
（１）２倍圧動作
２倍圧動作では、フューズが切断され、ＯＰ信号は、Ｌレベルになり、従って、レベル変換回路３８の出力ＯＰ′信号もＬレベルである。
【００４６】
この場合、ＯＰ′信号がＬレベルであるから、スイッチ３２は、オフ状態であり、また、スイッチ３１にはインバータ３９を介してＨレベルの信号が印加されるからスイッチ３１は、オン状態になる。
【００４７】
又、ＮＡＮＤ回路４２には、ＬレベルのＯＰ′信号が入力されるから、ＮＡＮＤ回路４２の出力は、Ｈレベルになり、スイッチ１５はオフ状態になる。
【００４８】
従って、第２のキャパシタ１３は、回路から切り離される。
【００４９】
又、同様に、ＮＡＮＤ回路４３には、ＬレベルのＯＰ′信号が入力されるから、ＮＡＮＤ回路４３の出力は、Ｈレベルになり、インバータ４４を介してＬレベルの信号がスイッチ１６に印加され、スイッチ１６もオフ状態になる。
【００５０】
従って、この状態においては、図６で示した接続関係になり、２倍圧動作が行われる。
（２）３倍圧動作
３倍圧動作では、フューズが非切断状態であり、ＯＰ信号は、Ｈレベルになり、従って、レベル変換回路３８の出力ＯＰ′信号もＨレベルである。
【００５１】
この場合、ＯＰ′信号がＨレベルであるから、スイッチ３２は、オン状態であり、また、スイッチ３１にはインバータ３９を介してＬレベルの信号が印加されるからスイッチ３１は、オフ状態になる。
【００５２】
又、ＮＡＮＤ回路４２には、ＨレベルのＯＰ′信号が入力され、また、インバータ４１により、入力パルスＰ０を反転させた信号をＮＡＮＤ回路４２に入力するから、ＮＡＮＤ回路４２の出力からは、入力パルスＰ０と同相の信号がスイッチ１５のゲートに入力される。
【００５３】
又、同様に、ＮＡＮＤ回路４３には、ＨレベルのＯＰ′信号が入力され、また、入力パルスＰ０がＮＡＮＤ回路４３に入力するから、スイッチ１６のゲートには、入力パルスＰ０と同相の制御パルスＰ３がスイッチ１６のゲートに入力される。

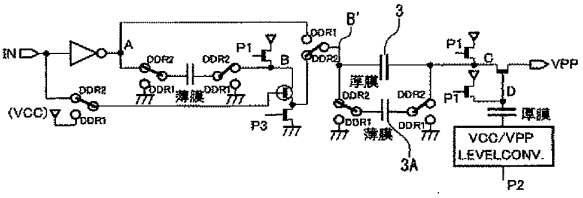
【００５４】
従って、この状態においては、図７で示した接続関係になり、３倍圧動作が行われる。
【００５５】
そして、３倍圧動作では、薄い絶縁膜のキャパシタ１３と厚い絶縁膜のキャパシタ３、５とを併用して用い、２倍圧動作では、厚い絶縁膜のキャパシタ３、５のみを用いて昇圧動作を行う。
【００５６】
なお、２倍圧動作の際、薄い絶縁膜のキャパシタ１３の二つの端子をグランドに接続し、薄い絶縁膜のキャパシタ１３の電荷を放電せしめる放電回路を設けるように構成してもよい。
【実施例４】
【００５７】
図４は、実施例４を示す図であり、この実施例では、電源電圧検出回路４７を用いて２倍圧動作、３倍圧動作を自動的に切り換えるようにした回路であり、電源電圧検出回路４７を除いて、実施例３と同様に構成している。
【００５８】
具体的には、実施例４では、２倍圧動作、３倍圧動作の切換指示は、図４に示したように構成される。
【００５９】
実施例４の電源電圧検出回路４７では、ＶＲＥＦ＝ＶＣＣＡｘＲ２／（Ｒ１＋Ｒ２）（ＶＣＣＡ：薄膜キャパシタが絶縁破壊しない程度の動作電圧）に設定され、この電源電圧発生回路が組み込まれているメモリ回路の動作電圧ＶＣＣが低いときには、ＨレベルのＯＰ信号が出力され、ＶＣＣが高いときには、ＬレベルのＯＰ信号が出力される。
【産業上の利用可能性】
【００６０】
本発明は、特に、ダブル・データ・レート（ＤＤＲ）型のＤＲＡＭ（ＤＤＲ－ＤＲＡＭ）に好適である。
【図面の簡単な説明】
【００６１】
【図１】本発明の実施例１の構成を示す回路図である。
【図２】本発明の実施例２の構成を示す回路図である。
【図３】本発明の実施例３の構成を示す回路図である。
【図４】本発明の実施例４の構成を示す回路図である。
【図５】従来技術の構成を示す回路図である。
【図６】図６（Ａ）は、図５の回路での２倍圧動作の接続関係を示す図、図６（Ｂ）は、各部の波形を示す図である。
【図７】図７（Ａ）は、図５の回路での３倍圧動作の接続関係を示す図、図７（Ｂ）は、各部の波形を示す図である。
【符号の説明】
【００６２】
１　第１のインバータ
２　ＦＥＴ（出力スイッチ）
３　キャパシタ（第１のキャパシタ）
５　キャパシタ
４、６、１４～１６　ＦＥＴ
７　レベル変換回路
１３　第２のキャパシタ
３５　スイッチ制御回路
３６　トリミング回路
３７　ラッチ回路

４７　電源電圧検出回路
７１　ＦＥＴ
Ｓ１～Ｓ４　スイッチ
Ｐ０～Ｐ３　制御信号

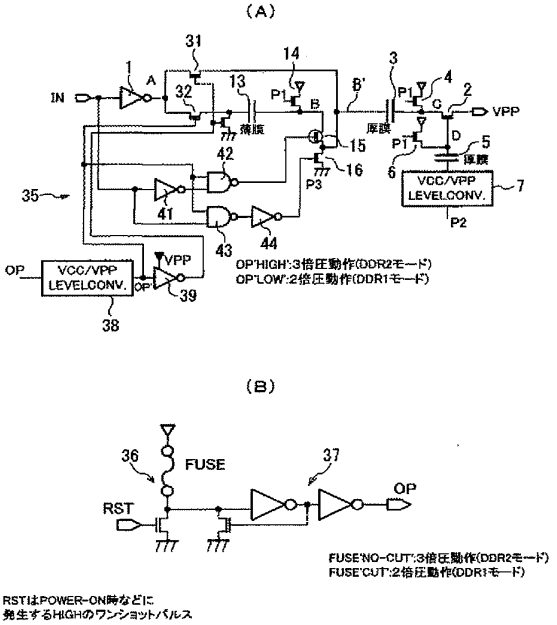
【図１】



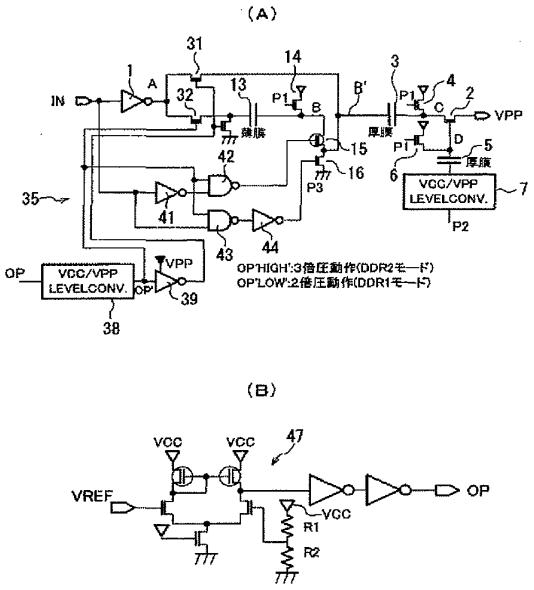
【図２】



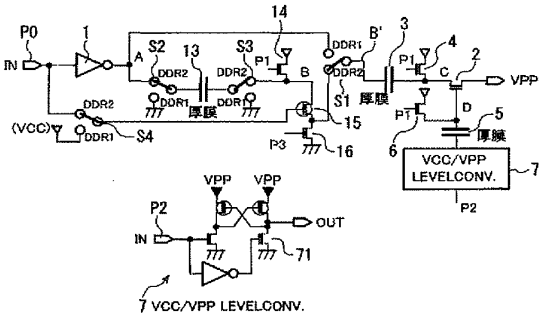
【図３】



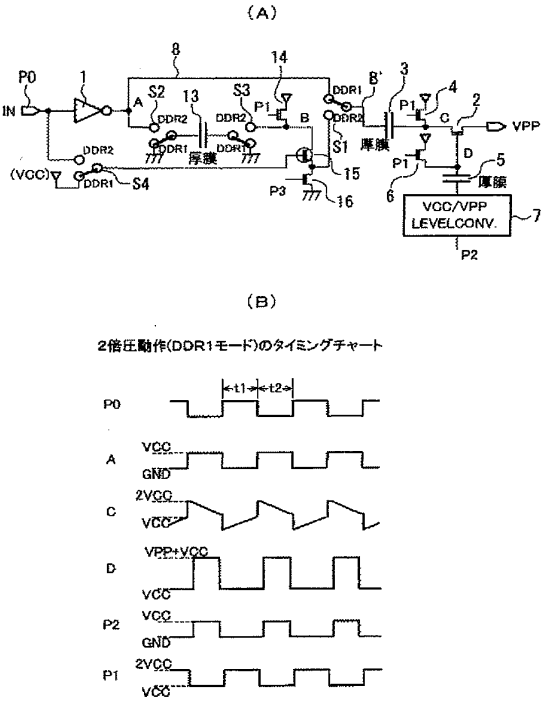
【図４】


(A)
IN
OP
VPP
VCC/VPP LEVELCONV.
OP'HIGH':3倍圧動作(DDR2モード)
OP'LOW':2倍圧動作(DDR1モード)
(B)
VCC
VREF
OP
R1
R2

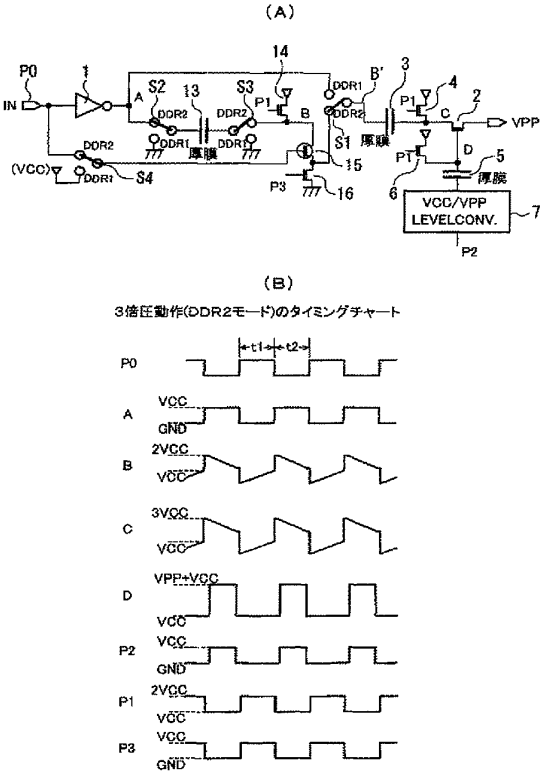
【図５】


P0
IN
S1
S2
S3
S4
DDR1
DDR2
(VCC)
厚膜
VPP
VCC/VPP LEVELCONV.
OUT
7 VCC/VPP LEVELCONV.

【図６】


(A)
P0
IN
S1
S2
S3
S4
DDR1
DDR2
(VCC)
厚膜
VPP
VCC/VPP LEVELCONV.
(B)
2倍圧動作(DDR1モード)のタイミングチャート
t1
t2
P0
A
VCC
GND
C
2VCC
D
VPP+VCC
P2
P1

【図７】


(A)
P0
IN
S1
S2
S3
S4
DDR1
DDR2
(VCC)
厚膜
VPP
VCC/VPP LEVELCONV.
(B)
3倍圧動作(DDR2モード)のタイミングチャート
t1
t2
P0
A
VCC
GND
B
2VCC
C
3VCC
D
VPP+VCC
P2
P1
P3

Electronic Acknowledgement Receipt

EFS ID:	3212114
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Mariama Seasay
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q107099
Receipt Date:	25-APR-2008
Filing Date:	20-MAR-2008
Time Stamp:	16:52:17
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		q107099ids.pdf	900031 506d14b62aefbc932bec7d359ea6e7eb0ff63339	yes	15

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Information Disclosure Statement Letter	1	2
	Information Disclosure Statement (IDS) Filed	3	3
	Foreign Reference	4	15
Warnings:			
Information:			
	Total Files Size (in bytes):	900031	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
12/052,422	03/20/2008	2827	1030	Q107099	8	1

CONFIRMATION NO. 2405

23373
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC 20037

FILING RECEIPT

OC000000029259422

Date Mailed: 04/10/2008

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Koichiro HAYASHI, Tokyo, JAPAN;
Hitoshi Tanaka, Ome, JAPAN;

Assignment For Published Patent Application

ELPIDA MEMORY, INC, Tokyo, JAPAN

Power of Attorney: The patent practitioners associated with Customer Number 23373

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2007-081754 03/27/2007

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 04/04/2008

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/052,422**

Projected Publication Date: 10/02/2008

Non-Publication Request: No

Early Publication Request: No

Title

SUPPLY VOLTAGE GENERATING CIRCUIT

Preliminary Class

365

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(c) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/052,422	03/20/2008	Koichiro HAYASHI	Q107099

CONFIRMATION NO. 2405

23373
SUGHRUE MION, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
SUITE 800
WASHINGTON, DC20037

Date Mailed. 04/10/2008

NOTICE OF NEW OR REVISED PROJECTED PUBLICATION DATE

The above-identified application has a new or revised projected publication date. The current projected publication date for this application is 10/02/2008. If this is a new projected publication date (there was no previous projected publication date), the application has been cleared by Licensing & Review or a secrecy order has been rescinded and the application is now in the publication queue.

If this is a revised projected publication date (one that is different from a previously communicated projected publication date), the publication date has been revised due to processing delays in the USPTO or the abandonment and subsequent revival of an application. The application is anticipated to be published on a date that is more than six weeks different from the originally-projected publication date.

More detailed publication information is available through the private side of Patent Application Information Retrieval (PAIR) System. The direct link to access PAIR is currently http://pair.uspto.gov. Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Questions relating to this Notice should be directed to the Office of Patent Publication at 1-888-786-0101.

PART 1 - ATTORNEY/APPLICANT COPY

MODIFIED FORM PTO/SB/05 (07-07)

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	Q107099
First Inventor	Koichiro HAYASHI
Title	SUPPLY VOLTAGE GENERATING CIRCUIT
Express Mail Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents

ADDRESS TO: **Commissioner for Patents**
P.O. Box 1450
Alexandria VA 22313-1450

1. ☐ Fee Transmittal Form (e.g., PTO/SB/17)
   (Submit an original and duplicate for fee processing)
2. ☐ Applicant claims small entity status.
   See 37 CFR 1.27.
3. ☑ Specification [Total Pages 29]
   Both the claims and abstract must start on a new page
   (For information on the preferred arrangement, see MPEP 608.01(a))
4. ☑ Drawing(s) (35 U.S.C. 113) [Total Sheets 5]
5. Oath or Declaration [Total Sheets 3]
   a. ☑ New executed (original or copy)
   b. ☐ A copy from a prior application (37 CFR 1.63(d))
   (for continuation/divisional with Box 18 completed)
   i. ☐ DELETION OF INVENTORS
   Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).
6. ☑ Application Data Sheet. See 37 CFR 1.76
7. ☐ CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix)
   ☐ Landscape Table on CD
8. ☐ Nucleotide and/or Amino Acid Sequence Submission
   (if applications, items a. – c. are required)
   c. ☐ Computer Readable Form (CRF)
   d. Specification Sequence Listing on:
   ii. ☐ CD-ROM or CD-R (2 copies); or
   iii. ☐ Paper
   e. ☐ Statements verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

9. ☐ Assignment Papers (cover sheet & document(s))
   Name of Assignee Elpida Memory, Inc.
10. ☐ 37 CFR 3.73(b) Statement ☑ Power of Attorney
    (when there is an assignee)
11. ☐ English Translation Document (if applicable)
12. ☐ Information Disclosure Statement (PTO/SB/08 or PTO-1449)
    ☐ Copies of foreign patent documents, publications, & other information
13. ☐ Preliminary Amendment
14. ☐ Return Receipt PostCard (MPEP 503)
    (Should be specifically itemized)
15. ☐ Certified Copy of Priority Document(s)
    (if foreign priority is claimed)
16. ☐ Nonpublication Request under 35 U.S.C. 122(b)(2)(B)(i)
    Applicant must attach form PTO/SB/35 or equivalent.
17. ☑ Priority is claimed from:

COUNTRY	APPLICATION NO.	FILING DATE
JAPAN	2007-081754	March 27, 2007

18. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:
☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No:
Prior application information: Examiner Art Unit:

19. CORRESPONDENCE ADDRESS

☑ The address associated with Customer Number:

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

OR ☐ Correspondence address below

Name					
Address					
City		State		Zip Code	
County		Telephone		Email Address	

Signature	/Howard L. Bernstein/	Date	March 20, 2008
Name (Print/Type)	Howard L. Bernstein	Registration No. (Attorney/Agent)	25,665

SUPPLY VOLTAGE GENERATING CIRCUIT

REFERENCE TO RELATED APPLICATION

This application is based upon and claims the benefit of the priority of Japanese patent application No. 2007-081754, filed on March 27, 2007, the disclosure of which is incorporated herein in its entirety by reference thereto.

FIELD OF THE INVENTION

[0001]

This invention relates to a supply voltage generating circuit and, more particularly, to a supply voltage generating circuit for generating a boosted voltage within a semiconductor storage device.

BACKGROUND OF THE INVENTION

[0002]

If specifications relating to a DRAM are changed or the specifications have not been fully decided, there are cases where the supply voltage supplied from the outside in accordance with a request from the user differs. A supply voltage supply circuit for driving a word line is one circuit for which different supply voltages are required of externally applied power. Designing such a supply voltage supply circuit involves preparing a plurality of types of transistors having oxide-film thicknesses for which circuit operation is optimum, and designing the circuit based upon the plurality of types of transistors. If a booster circuit is designed assuming a

case where the power supplied will differ depending upon the specifications, the problem of oxide-film withstand voltage and a current-consumption problem ascribable to gate leakage must be taken into account. If, in order to avoid these problems, a transistor for thick-film capacitance is used in the circuit in accordance with the higher voltage among voltages that have been set depending upon specifications, there is the danger that this will result in a booster circuit of larger area.

[0003]

Patent Document 1 describes a supply voltage generating circuit in which capacitors having different film thicknesses are used selectively in dependence upon the operating supply voltage, thereby reducing circuit layout area and generating a stable supply voltage. This supply voltage generating circuit is one that boosts the operating supply voltage of the device and outputs the boosted voltage and has a first capacitor made of a thick insulating film, a second capacitor made of a thin gate insulating film, and a switch circuit for changing the circuit connections of the first and second capacitors in accordance with the operating supply voltage.

[0004]

[Patent Document 1]

Japanese patent Kokai Publication No. JP-P2005-158098A

SUMMARY OF THE DISCLOSURE

[0005]

The following analyses are given by the present invention.

The entire disclosure of the above mentioned patent document is incorporated herein by reference thereto.

The booster of the supply voltage generating circuit has a boosting pump capacitor element that utilizes the oxide-film capacitance of a transistor. There are many cases where the boosting capacitor element requires a very large capacitance. This necessitates a large area and has a major impact upon the area of the overall chip. Since the capacitance of the oxide film is inversely proportional to the thickness of the oxide film, usually use of a thin-film capacitor element (thin-film transistor) is desired. However, in a case where the supply voltage supplied from the outside differs depending upon the specifications, as mentioned above, a thick-film transistor usually is used as the boosting capacitor element in order that the supply voltage supplied will not exceed the breakdown (or withstand) voltage of a thin-film transistor. Normally the value of a voltage for driving a word line will exhibit almost no change even if the supply voltage supplied from the outside changes. Accordingly, regardless of the fact that the lower the external supply voltage, the greater the number of pump capacitor elements required, a thick film having little capacitance must be used even in a case where voltage is low because of the breakdown voltage of the oxide film. Thus, with the conventional circuitry, the design must be such that transistor breakdown voltage will be in conformity with the high side of the external supply voltage. Consequently, part of the booster capacitance in the

booster circuit, e.g., the first capacitor in Patent Document 1, must be made a thick-film capacitor element and, hence, the degree to which chip area can be reduced is limited.

[0006]

Accordingly, it is an object of the present invention to provide a supply voltage generating circuit of smaller chip area.

[0007]

According to a first aspect of the present invention, there is provided a supply voltage generating circuit comprising: a booster that outputs a boosted voltage upon generating the boosted voltage by charge pumping of a capacitor element. There is a power-supply step-down unit that steps down voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and applies the stepped-down voltage to the power supply of the booster. There is a switch circuit group that switches between application of the external power supply to the power supply of the booster directly or via the power-supply step-down unit.

[0008]

Preferably, in the supply voltage generating circuit of the present invention, the capacitor element is constituted by a MOS transistor having a gate oxide film, and the thickness of the gate oxide film is made less than thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of the booster as its power supply.

[0009]

Preferably, in the supply voltage generating circuit of the present invention, the booster comprises multiple stages of booster circuits, and thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in respective ones of the booster circuits are the same.

[0010]

Preferably, in the supply voltage generating circuit of the present invention, the booster is so adapted that the number of booster stages in the multiple stages of booster circuits is changed over by the switch circuit group in accordance with the power-supply voltage applied to the booster.

[0011]

Preferably, in the supply voltage generating circuit of the present invention, the booster includes a pre-stage booster circuit and a post-stage booster circuit; the pre-stage booster circuit generates a first boosted signal having an amplitude between ground potential and a potential that is double the potential of the external power supply; the post-stage booster circuit receives, as an input, the first boosted signal or a second boosted signal having an amplitude between ground potential and the output potential of the power-supply step-down unit; and the switch circuit group has a first switch element for switching a connection destination of the power supply of the booster to the external power supply or to the output of the power-supply step-down unit, and a second switch element for switching a connection destination of the input of the post-stage

booster circuit to the first or second boosted signal; wherein the second switch element is switched to the first boosted signal when the first switch element has been switched to the external power supply, and the second switch element is switched to the second boosted signal when the first switch element has been switched to the output of the power-supply step-down unit.

[0012]

Preferably, in the supply voltage generating circuit of the present invention, it is so arranged that a capacitor element that has become unnecessary for the boosting operation in the multiple stages of booster circuits owing to switching by the switch circuit group in accordance with the power-supply voltage applied to the booster is connected by the switch circuit group and made to function as a capacitor element for stabilizing the output of the power-supply step-down unit.

[0013]

Preferably, in the supply voltage generating circuit of the present invention, the switch circuit group is controlled by any of a metal option, fuse option and bonding option.

In a second aspect of the present invention, there is provided a semiconductor storage device comprising the supply voltage generating circuit, and a load circuit having the output of the booster as its power supply.

[0014]

The meritorious effects of the present invention are

summarized as follows.

In accordance with the present invention, the voltage of the external power supply is stepped down to a voltage within the breakdown-voltage range of the capacitor element and is supplied to the booster in a case where the voltage of the external power supply exceeds the breakdown voltage of the capacitor element. As a result, thin-film capacitor elements can be used for all of the capacitor elements in the booster. This makes it possible to reduce chip area.

Other features and advantages of the present invention will be apparent from the following description taken in conjunction with the accompanying drawings, in which like reference characters designate the same or similar parts throughout the figures thereof.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a block diagram illustrating the configuration of a supply voltage generating circuit according to an exemplary embodiment of the present invention;

Fig. 2 is a circuit diagram of a booster according to an exemplary embodiment of the present invention;

Fig. 3A is an equivalent circuit in a case where the booster performs a two-stage operation, and Fig. 3B is a timing chart illustrating the waveforms of signals associated with the equivalent circuit;

Fig. 4A is an equivalent circuit in a case where the booster performs a single-stage operation, and Fig. 4B is a timing chart

illustrating the waveforms of signals associated with the equivalent circuit; and

Fig. 5 is a circuit diagram of a power-supply step-down unit.

PREFERRED MODES OF THE INVENTION

A preferred exemplary embodiment of the present invention will now be described in detail with reference to the accompanying drawings.

[0015]

Fig. 1 is a block diagram illustrating the configuration of a supply voltage generating circuit according to an exemplary embodiment of the present invention. As shown in Fig. 1, the supply voltage generating circuit includes a power-supply step-down unit 10, a booster 20 and a switch element SW1.

[0016]

The booster 20 generates a boosted voltage by the charge pumping of capacitor elements and outputs the boosted voltage generated. In a case where the voltage of an external power supply exceeds the breakdown voltage of the capacitor elements, the power-supply step-down unit 10 steps down the external supply voltage to a voltage within the range of breakdown voltage of the capacitor elements and applies the stepped-down voltage to the power supply of the booster 20. The switch element SW1 switches between application of the external power supply to the power supply of the booster 20 directly or via the power-supply step-down unit 10.

[0017]

The capacitor elements in the booster 20 are constituted by MOS transistors. Preferably, the thickness of the gate oxide film of each MOS transistor is made less than the thickness of a gate oxide film of a MOS transistor included in a load circuit having the output VPP (Fig. 1) of the booster 20 as its power supply. An example of the load circuit is a circuit for driving a word line.

[0018].

Preferably, the booster 20 comprises multiple booster circuits 21a and 21b, and the thicknesses of gate oxide films of the capacitor elements constituted by the MOS transistors included in respective ones of the booster circuits are the same.

[0019]

Preferably, the booster 20 is so adapted that the number of booster stages (e.g., one stage or two stages) constituted by the multiple booster circuits 21a, 21b is changed over by a switch element SW2 in accordance with the power-supply voltage applied to the booster 20.

[0020]

It may be so arranged that a semiconductor storage device typified by a DRAM, particularly a DDR-SDRAM, includes a supply voltage generating circuit having the above-described configuration, and a load circuit (not shown) the power supply of which is the output of the booster 20. An example of the load circuit is a circuit for driving a word line.

[0021]

In accordance with the supply voltage generating circuit having the above-described configuration, the voltage of the external power supply is stepped down by the power-supply step-down unit 10 in a case where the external supply voltage is so high as to exceed the breakdown voltage of the capacitor elements (thin-film transistors). This is based upon the condition that the external supply voltage will differ depending upon the specifications. It is possible for thin-film capacitor elements having a large capacitance to be used in the booster 20 and to be used conjointly also in a case where the supply voltage is low. Accordingly, layout area in the chip can be reduced by a wide margin. Now an exemplary embodiment of the present invention will be described in detail.

[EXEMPLARY EMBODIMENT]

[0022]

Fig. 1 is a block diagram illustrating a supply voltage generating circuit according to an exemplary embodiment of the present invention. As shown in Fig. 1, the supply voltage generating circuit includes the power-supply step-down unit 10, booster 20 and switch element SW1, which is of single-pole, double-throw type. The switch element SW1 switches between application of the voltage of an external power supply VDDP1 to power supply Vdd of the booster 20 directly or as power supply VDLP following stepping down of the voltage of an external power supply VDDP2 by the power-supply step-down unit 10,

[0023]

The booster 20 includes a pre-stage booster circuit 21a, a post-stage booster circuit 21b, and single-pole, double-throw switch element SW2 for switching between the booster circuits 21a and 21b. The booster 20 generates a boosted voltage from power supply Vdd by charge pumping of the capacitor elements using a driving signal S0, and supplies the boosted voltage to a load circuit, an example of which is a circuit for driving a word line, as power supply VPP. At this time the switch element SW2 changes over the number of booster stages in the booster 20 to one stage, namely the booster circuit 21b, or to two stages, namely the booster circuits 21a and 21b.

[0024]

The booster circuit 21a receives the driving signal S0 as an input and outputs a signal (a first boosted signal) having an amplitude between ground potential and a potential that is double the potential of the external power supply VDDP1. Further, the booster circuit 21b receives a signal (a second boosted signal) having an amplitude between ground potential and the potential of power supply VDLP, or the output signal (the first boosted signal) of the booster circuit 21a, as an input, boosts the signal and outputs the boosted signal as power supply VPP. The switch element SW2 is switched to the first boosted signal when the switch element SW1 has been switched to the external power supply VDDP1, and the switch element SW2 is switched to the second boosted signal when the switch element SW1 has been switched to the output (VDLP) of

the power-supply step-down unit 10.

[0025]

The details of the booster 20 will be described next. Fig. 2 is a circuit diagram of the booster according to this exemplary embodiment of the present invention. As shown in Fig. 2, the booster 20 includes the booster circuits 21a, 21b and a signal supply circuit 22 to which the signal S0 is input and which outputs signals S1 to S5. The booster circuit 21a has N-channel transistors N1, N2, a P-channel transistor P1, a capacitor element C1 constituted by a MOS transistor, and single-pole, double-throw switch elements SW3 to SW7. The booster circuit 21b has N-channel transistors N3, N4, a capacitor element C2 constituted by a MOS transistor, and the switch element SW2. The N-channel transistor N1 and capacitor elements C1, C2 are transistors (thin-film transistors) each having a thick gate insulating film. The N-channel transistors N2 to N4 and the P-channel transistor P1 are transistors (thick-film transistor) each having a thick gate insulating film. Furthermore, the switches SW1 to SW7 are controlled by a changeover switch-option signal according to any of a metal option, fuse option or bonding option.

[0026]

The N-channel transistor N1 has a drain connected to the power supply Vdd, a source connected to one end of the switch element SW4, the other end of which is connected to the power supply Vdd, and to the source of the P-channel transistor P1, and a gate connected to the contact on the single-pole side of the switch

element SW5. The P-channel transistor P1 has a drain connected to the drain of the N-channel transistor N2 and to one end of the switch element SW2, and a gate connected to the contact on the single-pole side of the switch element SW3. The N-channel transistor N2 has a source connected to power supply Vss (ground) and a gate connected to the single-pole side of the switch element SW6. The capacitor element C1 has one end connected to the contact on the single-pole side of the switch element SW4, and its other end connected to the contact on the single-pole side of the switch element SW7. The signal S3 is applied to one end of the switch element SW3, the other end of which is connected to the power supply Vss. The signal S1 is applied to one end of the switch element SW5, the other end of which is connected to the power supply Vss. The signal S2 is applied to one end of the switch element SW7, the other end of which is connected to the power supply Vss. The signal S3 is applied to one end of the switch element SW6, the other end of which is connected to the power supply Vdd.

[0027]

The N-channel transistor N3 has a drain connected to the power supply Vdd, a source connected to one end of the capacitor element C2 and to the drain of the N-channel transistor N4, and a gate to which the signal S1 is applied. The N-channel transistor N4 has a source connected as the power supply VPP and a gate to which the signal S5 is applied. The capacitor element C2 has its other end connected to the contact on the single-pole side of the switch

element SW2. The signal S4 is applied to the other end of the switch element SW2.

[0028]

Described next will be operation of the booster circuits when the switches SW2 to SW7 in Fig. 2 are changed over in operative association with the switch element SW1 in Fig. 1. Fig. 3A illustrates the connections in a case where the voltage of the external power supply VDDP1 is lower than the thin-film transistor breakdown voltage, and Fig. 4A illustrates the connections in a case where the voltage of the external power supply VDDP2 is higher than the thin-film transistor breakdown voltage. It should be noted that the power supplies and the voltage values of these power supplies will be represented by the same reference characters. VDDP1 indicates external supply voltage that is lower than the thin-film transistor breakdown voltage, VDDP2 indicates external supply voltage that is higher than the thin-film transistor breakdown voltage, VPP indicates supply voltage for driving a word line, and VDLP indicates supply voltage obtained by stepping down VDDP2 to the range of the thin-film transistor breakdown voltage by the power-supply step-down unit 10. That is, it is assumed that the allowable range of thin-film breakdown voltage is less than VDLP and that the allowable range of thick-film breakdown voltage is less than VPP. The relationships among these supply voltages are as follows for the sake of simplicity: $VPP>VDDP2>VDLP>VDDP1$, $2\cdot VDLP>VPP$, $3\cdot VDDP1>VPP$, $VPP>2\cdot VDDP1$.

[0029]

Fig. 3A is an equivalent circuit in a case where the booster performs a two-stage operation, and Fig. 3B is a timing chart illustrating the waveforms of signals associated with the equivalent circuit. More specifically, Fig. 3A illustrates an equivalent circuit relating to the connections of the booster 20 in a case where the voltage of the external power supply VDDP1 is lower than the thin-film transistor breakdown voltage. Fig. 3B is a timing chart of the associated signals.

[0030]

(1) When the voltage level of the signal S1 is 2·VDDP1, the N-channel transistor N1 to the gate of which the signal S1 is applied turns on and the source of the N-channel transistor N1, namely one end of the capacitor element C1, is charged toward VDDP1. Since the voltage level of the signal S3 is VDDP1 at this time, the P-channel transistor P1 if off and has no effect upon the charging operation of the capacitor element C1. It should be noted that the voltage level of the signal S2 is Vss. Accordingly, the capacitor element C1 is charged by the potential VDDP1-Vss.

[0031]

On the other hand, since the voltage level of the signal S1 is 2·VDDP1, the N-channel transistor N3 turns on and contact A2, which is the source of the N-channel transistor N3, namely one end of the capacitor element C2, is charged toward VDDP1. Since the voltage level of the signal S3 is VDDP1 at this time, the N-channel

transistor N2 is on and the potential at the other end of the capacitor element C2 is Vss.

[0032]

(2) If the voltage level of the signal S1 becomes VDDP1, then the voltage level of the signal S2 rises from Vss to VDDP1 and this is accompanied by a rise in the potential at the source of the N-channel transistor N1, namely at one end of the capacitor element C1, from VDDP1 to 2·VDDP1. The N-channel transistor N1 turns off and has no effect upon the potential elevating operation. Since the voltage level of the signal S3 is Vss at this time, the P-channel transistor P1 is on and the N-channel transistor N2 is off. Accordingly, the potential at one end of the capacitor element C1 is transmitted to the other end of the capacitor element C2 as the potential at contact (node) A1.

[0033]

As a result, the potential at one end of the capacitor element C2 rises from VDDP1 to 3·VDDP1. Since the voltage level of the signal S1 is VDDP1 at this time, the N-channel transistor N3 is off and has no effect upon the potential elevating operation. Further, since the voltage level of the signal S5 is VDDP1+VPP, the N-channel transistor N4 turns on and the potential at one end of the capacitor element C2, namely at contact (node) A2, is transmitted to VPP. By supplying the electric charge that has accumulated by charging in the capacitor element C2 to the outside, the potential at contact A2 gradually declines.

[0034]

The booster 20 supplies VPP with a voltage close to 2·VDDP1 by the operation described above. At this time, the locations at which the thin-film transistors of the capacitor elements C1 and C2, etc. are formed in the booster 20 are always subjected to only a difference potential of not more than VDDP1 across the gate and source or across the gate and drain.

[0035]

Fig. 4A is an equivalent circuit in a case where the booster performs a single-stage operation, and Fig. 4B is a timing chart illustrating the waveforms of signals associated with the equivalent circuit. More specifically, Fig. 4A illustrates an equivalent circuit relating to the connections of the booster 20 in a case where the voltage of the external power supply VDDP2 is higher than the thin-film transistor breakdown voltage. In this case, VDDP2 is stepped down to VDLP by the power-supply step-down unit 10 and VDLP is applied as the power supply Vdd of the booster 20.

[0036]

In Fig. 2, the N-channel transistor N1, which has its gate connected to Vss, is turned off. Further, the N-channel transistor N2, which has its gate connected to Vdd, turns on, and so does the P-channel transistor P1, which has its gate connected to Vss. Accordingly, the N-channel transistors N1, N2 and P-channel transistor P1, which have been isolated from the boosting operation, have no effect upon the other circuits.

[0037]

On the other hand, as illustrated in Fig. 4A, one end of the capacitor element C1 is connected to the power supply Vdd, namely to the power supply VDLP which is the result or step-down by the power-supply step-down unit 10, and the other end of the capacitor element is connected to Vss. Accordingly, the capacitor element C1 functions as a stabilizing capacitance between Vdd/Vss in the booster 20.

[0038]

Fig. 4B is a timing chart of signals associated with Fig. 4A.

[0039]

(1) When the voltage level of the signal S1 is 2·VDDP1, the N-channel transistor N3 to the gate of which the signal S1 is applied turns on and the source of the N-channel transistor N3, namely one end of the capacitor element C2, is charged toward VDLP. The other end of the capacitor element C2 is made Vss by the signal S4.

[0040]

(2) If the voltage level of the signal S1 becomes VDLP, then the voltage level of the signal S4 rises from Vss to VDLP and the potential at contact A2, namely at one end of the capacitor element C2, rises from VDLP to 2·VDLP. Since the voltage level of the signal S1 is VDLP at this time, the N-channel transistor N3 is off and has no effect upon the potential elevating operation. Further, since the voltage level of the signal S5 is VDLP+VPP, the N-channel transistor N4 turns on and the potential at one end of the capacitor

element C2, namely at contact A2, is transmitted to VPP. By supplying the electric charge that has accumulated by charging in the capacitor element C2 to the outside, the potential at contact A2 gradually declines.

[0041]

The locations (portions) at which the thin-film transistors of the capacitor elements C1 and C2, etc. are formed in the booster 20 which operates as set forth above are always subjected to only a difference potential of not more than VDDP1 across the gate and source or across the gate and drain.

[0042]

In a case where the external supply voltage is VDDP2 in the booster 20 constructed as described above, the configuration is made one in which the number of booster stages is made a single stage. This is because 2·VDLP is somewhat larger than VPP and the single-stage configuration is better than the two-stage configuration in that current consumption declines and a power supply at the VPP level is capable of being provided. The reason for this is that although the contacts A1 and A2 in Fig. 3A should ideally take on potentials of 2·VDDP1 3·VDDP1, respectively, in actuality the ideal potentials are not attained owing to the influence of parasitic capacitance. Accordingly, it is preferred in terms of obtaining good voltage conversion efficiency that the number of stages be made as small as possible so as to eliminate the influence of parasitic capacitance. Further, the two-stage configuration is not preferred

over the one-stage configuration since current consumption increases by an amount commensurate with the increased number of operating contacts.

[0043]

Fig. 5 is a circuit diagram of the power-supply step-down unit 10. The power-supply step-down unit 10 is a circuit for performing driving by stepping down VDDP2 and bringing the power-supply voltage of VDLP/2, which has been generated within the DRAM, etc., to the VDLP level. The power-supply step-down unit 10 has N-channel transistors N11 to N16, P-channel transistors P11 to P14 and switch elements SW8 to SW10. The N-channel transistors N12 and N13, which form a differential pair, have their sources tied together and connected to the N-channel transistor N11 serving as a current source, and have their drains connected respectively to the P-channel transistors P11, P12, which construct a current mirror. Further, VDLP/2 is applied to the gate of the N-channel transistor N12, and the gate of N-channel transistor N13 is connected to the middle point of a series circuit comprising diode-connected N-channel transistors N14 and N15. The drain of the N-channel transistor N12 is connected to the gate of the P-channel transistor P14, whose source is connected to VDDP2. Furthermore, the drain of the P-channel transistor P14 supplies the booster 20 with VDLP as the output of the power-supply step-down unit 10 and is connected to the anode (drain and gate) of the N-channel transistor N14. The N-channel transistor N14 has its source connected to Vss.

[0044]

It should be noted that in a case where the step-down function of the power-supply step-down unit 10 is not used, the switch elements SW8 to SW10 shown in Fig. 5 are changed over so as not to actuate the power-supply step-down unit 10. That is, the gate of the P-channel transistor P13 becomes Vss, and P-channel transistor P13 turns on and the P-channel transistors P11, P12, P14 are turned off. Further, the gate of the N-channel transistor N11 becomes Vss, the N-channel transistor N11 turns off and supply of current to the N-channel transistors N12, N13 is halted. Furthermore, the gate of the N-channel transistor N16 becomes VDDP1, the N-channel transistor N16 turns on and VDLP is held at the level of Vss.

[0045]

The circuit of the power-supply step-down unit 10 is composed entirely of thick-film transistors since VDDP2, which exceeds the thin-film transistor breakdown voltage, is input to the circuit. In a case where VDDP1 is input as the external supply voltage, the switch elements SW8 to SW10 are changed over to deactivate the step-down function. It should be noted that the power-supply step-down unit 10 illustrated in Fig. 5 is one example and it is not necessarily required that the unit have a circuit configuration identical with that illustrated. Another circuit configuration may be adopted so long as it is one in which a power-supply voltage at the VDLP level is output from VDDP2.

[0046]

In accordance with the supply voltage generating circuit having the configuration described above, if external supply voltage exceeds the thin-film transistor breakdown voltage, then voltage is stepped down to a voltage within the breakdown-voltage range of the thin-film transistors and the supply voltage for driving a word line is boosted by the booster 20 composed of thin-film transistors. Accordingly, even in a case where the external supply voltage is so high as to exceed the thin-film transistor breakdown voltage, it is possible for thin-film capacitor elements (transistors for thin-film capacitance) having a large capacitance to be used in the booster 20, which is for driving a word line, and to be used conjointly also in a case where the supply voltage is low. Chip area can be reduced by constructing the booster 20 entirely of thin-film capacitor elements.

[0047]

Next, the invention will be described using specific numerical values. Assume that the following values hold: VPP = 2.5 V, VDDP2 = 1.8 V, VDLP = 1.5 V, VDDP1 = 1.2 V, thin-film transistor breakdown voltage = 1.5 V, and thick-film transistor breakdown voltage = 3.0 V. The thick-film transistor breakdown voltage is double the thin-film transistor breakdown voltage. In relation to the thickness of an oxide film, therefore, usually the thick film has twice the thickness of the thin film and, hence, the capacitance of the thick film is half that of the thin film. The transistor area is decided assuming a case where VDDP1 = 1.2 V holds, which is the worst condition in terms of VPP supply capability. If thick-film

capacitor elements are used, however, an area that is twice that for thin-film capacitor elements is required. The area of a pump capacitor element in a DRAM often is made several square millimeters. If area is halved, therefore, this is considerably beneficial in reducing chip area. It should be noted that chip area that corresponds to the power-supply step-down unit is increased by providing the supply voltage generating circuit with the power-supply step-down unit. In comparison with the area of the pump capacitor element, however, the area of the power-supply step-down unit is small enough to be negligible (the VDLP stabilizing capacitance need not be increased).

[0048]

In accordance with the supply voltage generating circuit of this exemplary embodiment, it is possible to adopt an arrangement in which the number of booster stages is changed over to the most efficient number depending upon the level of the external voltage by changing over the number of booster stages of the supply boosting circuitry for word-line drive by any of a metal option, fuse option or bonding option.

[0049]

This will be described in detail under conditions identical with those described earlier. In order to simply obtain VPP = 2.5 V, if the external supply voltage is VDDP1 = 1.2 V, then boosting to 3·VDDP1 = 3.6 V must be performed and two-stage boosting is performed. By contrast, if VDDP2 = 1.8 V holds, then 2·VDLP =

3.0 V holds at VDLP = 1.5 V and performance with regard to supplying VPP with power is good. This means that single-stage boosting suffices. The smaller the number of stages, the better the efficiency at which VPP is supplied with power.

[0050]

In the scheme described above, the booster circuits are switched between one and two stages depending upon the external supply voltage. However, the present invention is applicable also to a case where changeover between other numbers of stages becomes effective depending upon the value of VPP with respect to the external supply voltage. For example, the invention may be applied to changeover between two and three stages or between three and four stages, etc. Further, in extreme cases, the invention is applicable to changeover between one and three stages, etc. Furthermore, a case is conceivable in which external supply voltage does not exceed the thin-film transistor breakdown voltage and single-stage boosting is enough to supply power to VPP. Even in this case, however, the supply voltage generating circuit of this exemplary embodiment can be applied.

[0051]

Though the present invention has been described in accordance with the foregoing exemplary embodiments, the invention is not limited to these exemplary embodiments and it goes without saying that the invention covers various modifications and changes that would be obvious to those skilled in the art within the scope of

the claims.

It should be noted that other objects, features and aspects of the present invention will become apparent in the entire disclosure and that modifications may be done without departing the gist and scope of the present invention as disclosed herein and claimed as appended herewith.

Also it should be noted that any combination of the disclosed and/or claimed elements, matters and/or items may fall under the modifications aforementioned.

WHAT IS CLAIMED IS:

1. A supply voltage generating circuit comprising:

a booster that generates for outputting a boosted voltage by charge pumping of a capacitor element;

a power-supply step-down unit that steps down voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and applies the stepped-down voltage to the power supply of said booster; and

a switch circuit group that switches between application of the external power supply to the power supply of said booster directly or via said power-supply step-down unit.

2. The circuit according to claim 1, wherein the capacitor element is constituted by a MOS transistor having a gate oxide film, and the gate oxide film is a thickness less than a thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of said booster as its power supply.

3. The circuit according to claim 1, wherein said booster comprises multiple stages of booster circuits, and thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in respective ones of the booster circuits are the same.

4. The circuit according to claim 3, wherein said booster is so adapted that the number of booster stages in the multiple stages of booster circuits is changed over by the switch circuit group in accordance with the power-supply voltage applied to said booster.

5. The circuit according to claim 4, wherein said booster includes a

pre-stage booster circuit and a post-stage booster circuit;

said pre-stage booster circuit generates a first boosted signal having an amplitude between ground potential and a potential that is double the potential of the external power supply;

said post-stage booster circuit receives, as an input, the first boosted signal or a second boosted signal having an amplitude between ground potential and the output potential of said power-supply step-down unit; and

said switch circuit group has a first switch element for switching a connection destination of the power supply of said booster to the external power supply or to the output of said power-supply step-down unit, and a second switch element for switching a connection destination of the input of said post-stage booster circuit to the first or second boosted signal;

wherein said second switch element is switched to the first boosted signal when said first switch element has been switched to the external power supply, and said second switch element is switched to the second boosted signal when said first switch element has been switched to the output of said power-supply step-down unit.

6. The circuit according to claim 4, wherein it is so arranged that a capacitor element that has become unnecessary for the boosting operation in the multiple stages of booster circuits owing to switching by said switch circuit group in accordance with the power-supply voltage applied to said booster is connected by said switch circuit group and made to function as a capacitor element for

stabilizing the output of said power-supply step-down unit.

7. The circuit according to claim 1 wherein said switch circuit group is controlled by any of a metal option, fuse option and bonding option.

8. A semiconductor storage device comprising: the supply power generating circuit set forth in claim 1; and a load circuit having the output of said booster as its power supply.

ABSTRACT OF THE DISCLOSURE

A supply voltage generating circuit that enables a reduction in chip area includes: a booster for outputting a boosted voltage upon generating the boosted voltage by charge pumping of a capacitor element; a power-supply step-down unit for stepping down voltage of an external power supply to a voltage within a breakdown-voltage range of the capacitor element, and applying the stepped-down voltage to the power supply of the booster; and a switch element for switching between application of the external power supply to the power supply of the booster directly or via the power-supply step-down unit. The booster comprises multiple stages of booster circuits. The thicknesses of gate oxide films of capacitor elements constituted by MOS transistors included in respective ones of the booster circuits are the same and are made smaller than the thickness of a gate oxide film of a MOS transistor included in a load circuit having the output of the booster at its power supply.

Docket No.: _____

DECLARATION AND POWER OF ATTORNEY FOR UTILITY OR DESIGN PATENT APPLICATION (37 C.F.R. 1.63)

実用・意匠特許出願宣言書および委任状 (37 C.F.R. 1.63)

Japanese Language Declaration

私は以下の通り宣言します：

各発明者の住所、郵送先、および国籍は下記氏名の後に記載された通りです。

下記名称の発明に関し請求範囲に記載され特許出願がされている発明内容につき、下記に記載された発明者が本来かつ最初の発明者であると信じます。

_____

_____

_____

_____

_____

☐ 上記発明の明細書は本書に添付されます。

または

☐ 上記発明は米国出願番号あるいはPCT国際出願番号 _____ (確認番号_____) として_____年__月__日に出願され、_____年__月__日に補正されました（該当する場合）。

私は補正が上に明示された場合は補正された特許請求範囲を含む前記明細書の内容を検討し、理解していることをここに表明します。

私は一部継続出願の場合先行出願の出願日から一部継続出願の国内あるいはPCT国際出願日までの期間中に入手された重要な情報を含み、37 C.F.R. 1.56に定義される特許性に肝要な情報について開示義務があることを認めます。

I hereby declare that:

Each inventor's residence, mailing address, and citizenship are as stated below next to their name.

I believe the inventor(s) named below to be the original and first inventor(s) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

SUPPLY VOLTAGE GENERATING CIRCUIT

☒ the specification of which is attached hereto

OR

☐ was filed on _____ as United States Application Number or PCT International Application Number _____ (Confirmation No. _____), and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 C.F.R. 1.56, including for continuation-in-part application(s), material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

Japanese Language Declaration

私は35 U.S.C. 119(a)-(d) あるいは (f),
または365(b)に基づき特許、発明者、あるいは植物育種家証書の下記外国出願、または365(a)に基づきアメリカ合衆国以外の少なくとも1ヶ国を指定した下記PCT国際出願についての外国優先権特典をここに主張するとともに、下記項目にx印を付けることにより優先権を主張する出願以前の出願日を有する特許、発明者、あるいは植物育種家証書の外国出願またはPCT国際出願を示します。

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or 365(a) of any PCT international application(s) which designated at least one country other than the United States of America, listed below and have also identified below, by checking the box, any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application(s) having a filing date before that of the application on which priority is claimed.

Prior Foreign Application Number(s)
先行外国出願番号

(Application Number) (出願番号)	(Country) (国名)	(Filing Date) (出願日)	Priority Claimed? 優先権の主張 ? Yes 有り	No 無し
2007-081754	Japan	March 27, 2007	☒	☐
			☐	☐

私は35 U.S.C. 119(e)に基づき下記の米国仮特許出願の国内優先権をここに主張します。

I hereby claim domestic priority under 35 U.S.C. 119(e) of any United States provisional application(s) listed below.

(Application Number) (出願番号)	(Filing Date) (出願日)

私は35 U.S.C. 120に基づき下記米国特許出願、あるいは365(c)に基づき米国を指定する下記PCT国際出願の利益をここに主張し、本特許出願内特許請求範囲の各項目の内容が35 U.S.C. 112の最初の項に規定される方法により先行米国あるいはPCT国際特許出願で開示されていない限りにおいて37 C.F.R. 1.56に定義される本出願の特許性に肝要で、先行特許出願の出願日から本特許出願の国内あるいはPCT国際出願日までの期間中に入手された情報について開示義務があることを認めます。

I hereby claim benefit under 35 U.S.C. 120 of any United States application(s) or 365(c) of any PCT international application(s) designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in a listed prior United States or PCT international application in the manner provided by the first paragraph of 35 U.S.C. 112, I acknowledge my duty to disclose any information material to the patentability of this application as defined in 37 C.F.R. 1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Prior U.S. or International Application Number(s)
先行米国あるいは国際出願番号

(Application Number) (出願番号)	(Filing Date) (出願日)	(Status: patented, pending, abandoned) (状態：特許成立済、係属中、放棄済)

私は本宣言書内で私自身の知識に基づいてなされたすべての陳述が真実であり、情報および信ずるところに基づいてなされたすべての陳述が真実であると信じられていることをここに宣言し、さらに故意になされた虚偽の陳述等々は18 U.S.C.
1001に基づき罰金あるいは拘禁または両方による処罰にあたり、またかような故意による虚偽の陳述はそれに基づく特許出願あるいは成立特許の有効性を危うくする可能性があることを認識した上でこれらの陳述をなしたことを宣言します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. 1001 and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Japanese Language Declaration

委任状：私は下記の米国特許商標局（USPTO）顧客番号のもとに記載されるSUGHRUE MION法律事務所のすべての弁護士を、同顧客番号のもとに記載される個々の弁護士はSughrue Mion法律事務所のみの自由裁量に基づき変更され得ることを認識した上で、本特許出願の手続きおよびそれに関わる米国特許商標局との業務を遂行する弁護士として指名し、本特許出願に関するすべての通信が同USPTO顧客番号のもとに提出された住所宛に送付されることを要請します。

POWER OF ATTORNEY: I hereby appoint all attorneys of **SUGHRUE MION, PLLC** who are listed under the USPTO Customer Number shown below as my attorneys to prosecute this application and to transact all business in the United States Patent and Trademark Office connected therewith, recognizing that the specific attorneys listed under that Customer Number may be changed from time to time at the sole discretion of Sughrue Mion, PLLC, and request that all correspondence about the application be addressed to the address filed under the same USPTO Customer Number.

STATEMENT OF ACCURATE TRANSLATION IN ACCORDANCE WITH 37 C.F.R. §1.69(b):

The declaration and power of attorney is an accurate translation of the corresponding English language declaration and power of attorney,.

Signature

Date 1/15/08

WASHINGTON OFFICE
23373
CUSTOMER NUMBER

電話連絡は下記へ：

SUGHRUE MION, PLLC
(202) 293-7060

Direct Telephone Calls to:

SUGHRUE MION, PLLC
(202) 293-7060

NAME OF SOLE OR FIRST INVENTOR: 唯一あるいは第一の発明者名			
Given Name (first and middle [if any]) 名 (名およびミドルネーム[該当する場合])	Koichiro	Family Name or Surname 姓	HAYASHI
Inventor's signature 発明者の署名	Koichiro Hayashi	Date 日付	March 03, 2008
Residence: 住所:	Tokyo, Japan	Citizenship 国籍	Japanese
Mailing Address: 郵送先:	c/o Elpida Memory, Inc., 2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan		
NAME OF SECOND INVENTOR: 第二の発明者名：			
Given Name (first and middle [if any]) 名 (名およびミドルネーム[該当する場合])	Hitoshi	Family Name or Surname 姓	TANAKA
Inventor's signature 発明者の署名	Hitoshi Tanaka	Date 日付	March 03, 2008
Residence: 住所:	Ome, Japan	Citizenship 国籍	Japanese
Mailing Address: 郵送先:	c/o Hitachi ULSI Systems Co., Ltd., 22-1, Josuihoncho 5-chome, Kodaira-shi, Tokyo 187-8522, Japan		

FIG.1

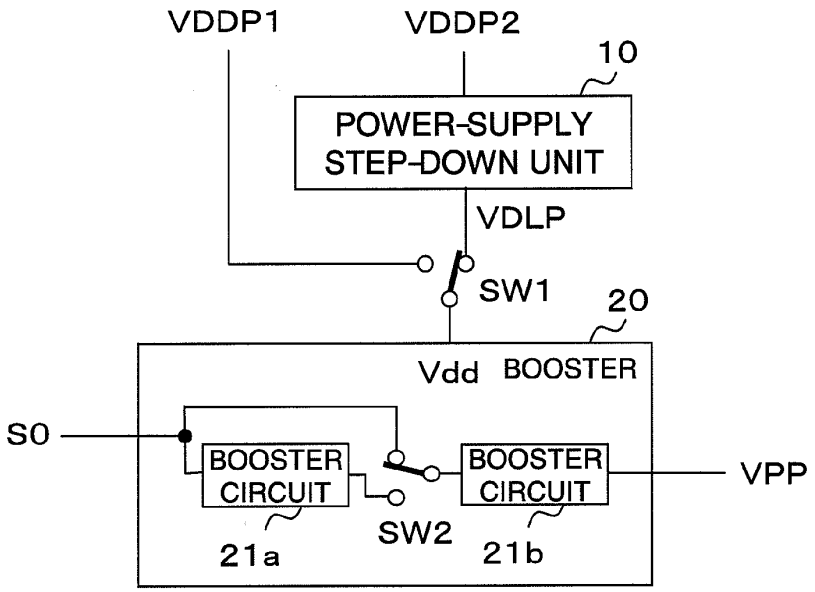

VDDP1
VDDP2
10
POWER-SUPPLY
STEP-DOWN UNIT
VDLP
SW1
20
Vdd
BOOSTER
S0
BOOSTER
CIRCUIT
BOOSTER
CIRCUIT
VPP
SW2
21a
21b

FIG.2

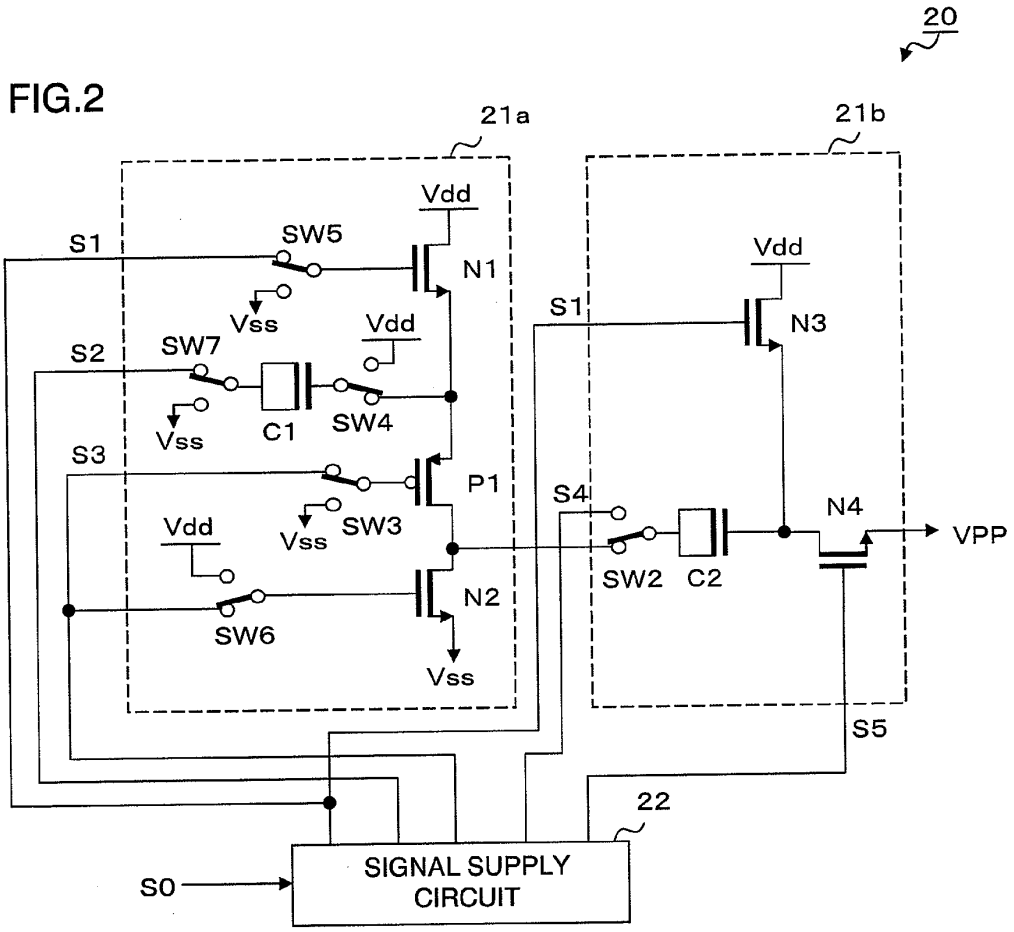

20
21a
21b
Vdd
S1
SW5
N1
Vss
Vdd
S2
SW7
C1
SW4
Vss
S3
P1
Vdd
Vss
SW3
N2
SW6
Vss
S1
Vdd
N3
S4
N4
VPP
SW2
C2
S5
22
S0
SIGNAL SUPPLY CIRCUIT

FIG.3A

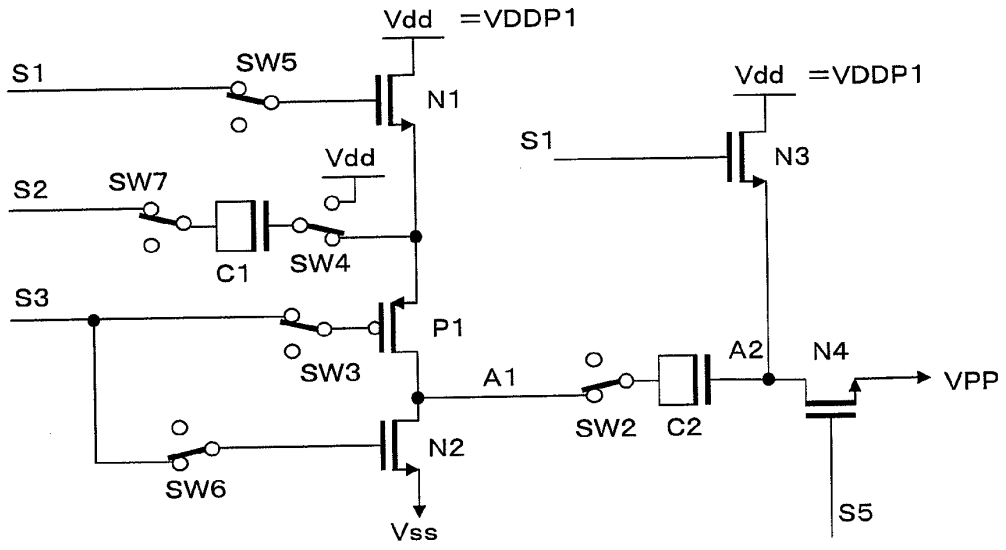

Vdd =VDDP1
S1
SW5
N1
Vdd =VDDP1
S1
N3
Vdd
S2
SW7
C1
SW4
S3
P1
SW3
A1
A2
N4
VPP
SW2
C2
N2
SW6
Vss
S5

FIG.3B

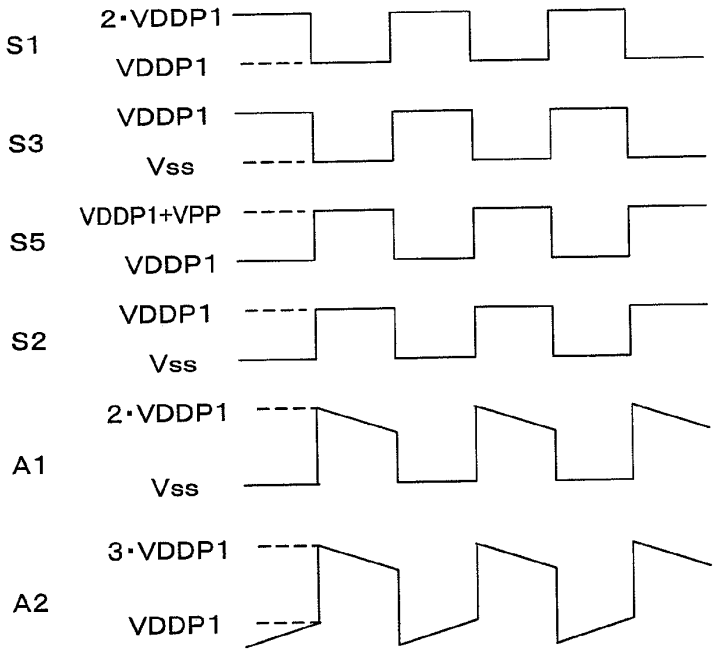

S1
2·VDDP1
VDDP1
S3
VDDP1
Vss
S5
VDDP1+VPP
VDDP1
S2
VDDP1
Vss
A1
2·VDDP1
Vss
A2
3·VDDP1
VDDP1

FIG.4A

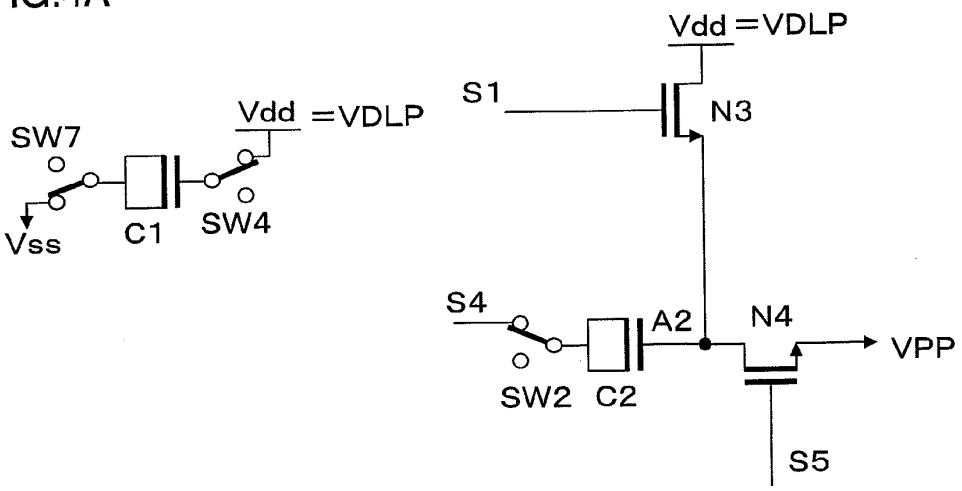

Vdd =VDLP
S1
N3
Vdd =VDLP
SW7
Vss
C1
SW4
S4
A2
N4
VPP
SW2
C2
S5

FIG.4B

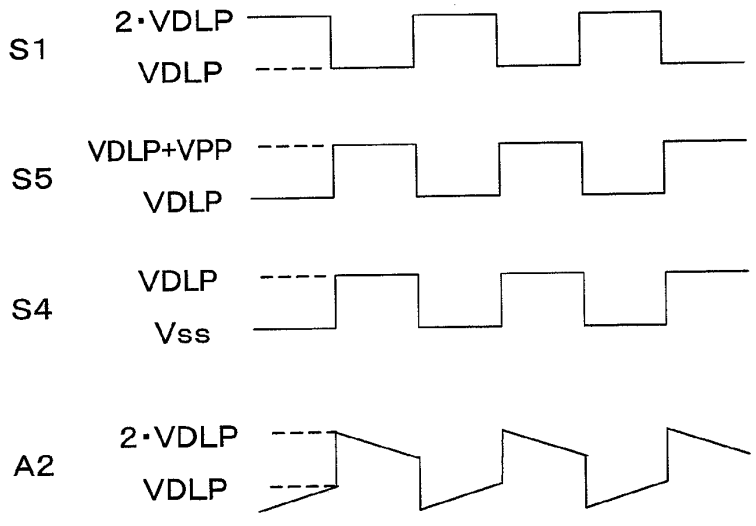
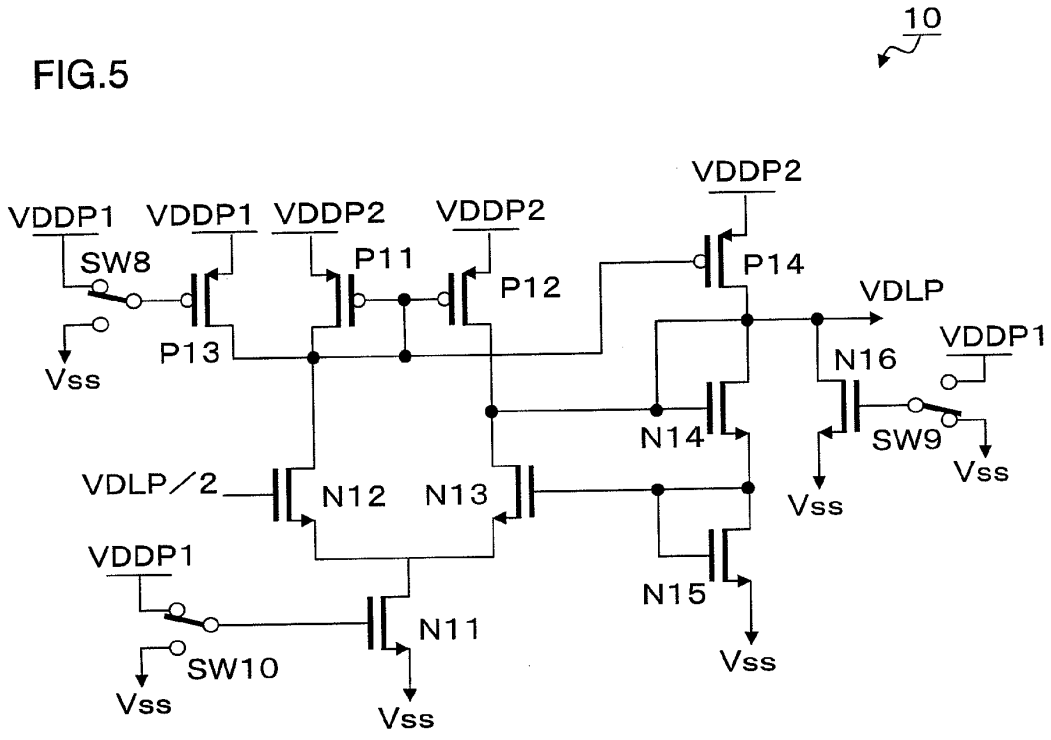

S1
2·VDLP
VDLP
S5
VDLP+VPP
VDLP
S4
VDLP
Vss
A2
2·VDLP
VDLP

FIG.5


10
VDDP2
VDDP1
VDDP1
VDDP2
VDDP2
SW8
P11
P12
P14
VDLP
P13
Vss
VDDP1
N16
N14
SW9
Vss
VDLP/2
N12
N13
Vss
VDDP1
N15
N11
SW10
Vss
Vss
Vss

PTO/SB/14 (07-07)
Approved for use through 06/30/2010. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q107099
	Application Number	
Title of Invention	SUPPLY VOLTAGE GENERATING CIRCUIT	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Applicant Information:

Applicant 1

Applicant Authority ◉ Inventor ○ Legal Representative under 35 U.S.C. 117 ○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Koichiro		HAYASHI	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Tokyo	Country Of Residence[i]	JP

Citizenship under 37 CFR 1.41(b) [i] JP

Mailing Address of Applicant:

Address 1	
Address 2	

City		State/Province	
Postal Code		Country[i]	

Applicant 2

Applicant Authority ○ Inventor ○ Legal Representative under 35 U.S.C. 117 ○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Hitoshi		TANAKA	

Residence Information (Select One) ○ US Residency ○ Non US Residency ○ Active US Military Service

City	Ome	Country Of Residence[i]	JP

Citizenship under 37 CFR 1.41(b) [i] JP

Mailing Address of Applicant:

Address 1	
Address 2	

City		State/Province	
Postal Code		Country[i]	

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

PTO/SB/14 (07-07)
Approved for use through 06/30/2010. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q107099
	Application Number	
Title of Invention	SUPPLY VOLTAGE GENERATING CIRCUIT	

Customer Number	23373		
Email Address	hbernstein@sughrue.com	Add Email	Remove Email

Application Information:

Title of the Invention	SUPPLY VOLTAGE GENERATING CIRCUIT		
Attorney Docket Number	Q107099	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		**Sub Class (if any)**	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	5	**Suggested Figure for Publication (if any)**	

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S. C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Enter either Customer Number or complete the Representative Name section below. If both sections are completed the Customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	23373		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78(a)(2) or CFR 1.78(a)(4), and need not otherwise be made part of the specification.

Prior Application Status			Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button.

Foreign Priority Information:

PTO/SB/14 (07-07)
Approved for use through 06/30/2010. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	Q107099
	Application Number	
Title of Invention	SUPPLY VOLTAGE GENERATING CIRCUIT	

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

Remove

Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
2007-081754	JP	2007-03-27	(•) Yes ( ) No

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button.

Assignee Information:

Providing this information in the application data sheet does not substitute for compliance with any requirement of part 3 of Title 37 of the CFR to have an assignment recorded in the Office.

Assignee 1

If the Assignee is an Organization check here. ☒

Organization Name	ELPIDA MEMORY, INC		
Mailing Address Information:			
Address 1			
Address 2			
City	Tokyo	**State/Province**	
Country [i]	JP	Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee Data may be generated within this form by selecting the **Add** button.

Signature:

A signature of the applicant or representative is required in accordance with 37 CFR 1.33 and 10.18. Please see 37 CFR 1.4(d) for the form of the signature.

Signature	/Howard L. Bernstein/			Date (YYYY-MM-DD)	2008-03-20
First Name	Howard L.	Last Name	Bernstein	Registration Number	25665

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Filer:	Howard Leonard Bernstein/Mariama Seasay
Attorney Docket Number:	Q107099

Filed as Large Entity

Utility Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	310	310
Utility Search Fee	1111	1	510	510
Utility Examination Fee	1311	1	210	210
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1030**

Electronic Acknowledgement Receipt	
EFS ID:	3031206
Application Number:	12052422
International Application Number:	
Confirmation Number:	2405
Title of Invention:	SUPPLY VOLTAGE GENERATING CIRCUIT
First Named Inventor/Applicant Name:	Koichiro HAYASHI
Customer Number:	23373
Filer:	Howard Leonard Bernstein/Mariama Seasay
Filer Authorized By:	Howard Leonard Bernstein
Attorney Docket Number:	Q107099
Receipt Date:	20-MAR-2008
Filing Date:	
Time Stamp:	16:58:30
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1030
RAM confirmation Number	2120
Deposit Account	194880
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		apptpbefiled.pdf	413952 6306d4f05f51eeb435c860a8635c0d1a633674e7	yes	38

Multipart Description/PDF files in .zip description

Document Description	Start	End
Transmittal of New Application	1	1
Specification	2	26
Claims	27	29
Abstract	30	30
Oath or Declaration filed	31	33
Drawings-only black and white line drawings	34	38

Warnings:

Information:

2	Application Data Sheet	ads.pdf	73016 3b6ad0d23c25564a37c4ade054fe437c30cd2853	no	4

Warnings:

Information:

This is not an USPTO supplied ADS fillable form

3	Fee Worksheet (PTO-06)	fee-info.pdf	8367 77d107d6306aea2c508aa9d518bed4004096c416	no	2

Warnings:

Information:

Total Files Size (in bytes):	495335

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (12-04)
Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Filing Date: **03/20/08**

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 12/052,422

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	RATE ($)	12047788	OR	OTHER THAN SMALL ENTITY RATE ($)	FEE ($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	310
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	510
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	210
TOTAL CLAIMS (37 CFR 1.16(i))	8	0	X$ 25		OR	X$50	0
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	* 0	X$100			X$210	0
APPLICATION SIZE FEE (37 CFR 1.16(s))							
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
			TOTAL	0		TOTAL	1030

* If the difference in column 1 is less than zero, enter "0" in column 2.

APPLICATION AS AMENDED – PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	ADDI-TIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	ADDI-TIONAL FEE ($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDI-TIONAL FEE ($)	OR	RATE ($)	ADDI-TIONAL FEE ($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	X =		OR	X =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X =		OR	X =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A		OR	N/A	
						TOTAL ADD'T FEE		OR	TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.