PTO/SB/123 (01-06)
Approved for use through 12/31/2008. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

CHANGE OF CORRESPONDENCE ADDRESS
Patent

Address to:
Mail Stop Post Issue
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Patent Number	6,894,547
Issue Date	May 17,2005
Application Number	10/320,059
Filing Date	December 16, 2002
First Named Inventor	Takahashi
Attorney Docket Number	ELPIDA 02P155

Please change the Correspondence Address for the above-identified patent to:

☑ The address associated with Customer Number: 27667

OR

☑ **Firm *or* Individual Name** Norman P. Soloway

HAYES SOLOWAY P.C.
3450 E. Sunrise Drive, Suite 140

Address

City Tucson	**State** Arizona	**ZIP** 85718
Country USA		
Telephone 520-882-7623	**Email**	

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

This form will not affect any "fee address" provided for the above-identified patent. To change a "fee address" use the "Fee Address Indication Form" (PTO/SB/47).

I am the:

☐ Patentee.

☐ Assignee of record of the entire interest. See 37 CFR 3.71.
Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

☑ Attorney or agent of record. Registration Number 24,315.

Signature Norman P. Soloway

Typed or Printed Name Norman P. Soloway

Date 01.11.08 Telephone 520-882-7623

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

☐ *Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Mail Stop Post Issue, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Acknowledgement Receipt	
EFS ID:	2704027
Application Number:	10320059
International Application Number:	
Confirmation Number:	1310
Title of Invention:	OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT
First Named Inventor/Applicant Name:	Tsugio Takahashi
Correspondence Address:	Norman P. Soloway HAYES SOLOWAY P.C. 130 W. Cushing Street - Tucson AZ 85701 US 5208827623 -
Filer:	Norman P. Soloway/catherine hes
Filer Authorized By:	Norman P. Soloway
Attorney Docket Number:	ELPIDA 02P155
Receipt Date:	11-JAN-2008
Filing Date:	16-DEC-2002
Time Stamp:	13:37:45
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Change of Address	chngadd.pdf	66792 80c994640aba7d471b99128b7bfed189b8b88b80	no	1
Warnings:					
Information:					
		Total Files Size (in bytes):	66792		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

CERTIFICATE OF CORRECTION

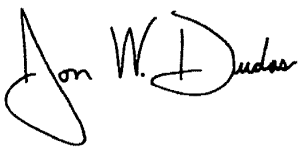
PATENT NO. : 6,894,547 B2
DATED : May 17, 2005
INVENTOR(S) : Takahashi

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

Title page,
Item [56], **References Cited**, U.S. PATENT DOCUMENTS, add the following:
-- 5,914,618 --

Signed and Sealed this

Twelfth Day of July, 2005



JON W. DUDAS
Director of the United States Patent and Trademark Office

OIPE
JUN 10 2005
PATENT & TRADEMARK OFFICE

10/320059 C of C

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLN. OF: TAKAHASHI

PATENT NO: 6,894,547 B2

ISSUED: May 17, 2005

FOR: Output Buffer Circuit and Integrated Semiconductor Circuit...

GROUP: 2816

DOCKET: ELPIDA 02P155

Certificate
JUN 14 2005
of Correction

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PETITION FOR CERTIFICATE OF CORRECTION

Dear Sirs:

Takahashi, the Patentee of the above-identified patent, through his attorney, hereby petition for issuance of a Certificate of Correction in the above identified patent. A Certificate of Correction (PTO form 1050) is enclosed, in duplicate. The Certificate of Correction is required to correct a significant printing error occurring on the cover page as follows:

U.S. Patent No. 5,914,618 should be listed under the References Cited.

Since the error was a Patent Office error, it is believed that the Certificate of Correction should be issued without charge to the Applicant. A copy of the Office Action dated October 8, 2003, including the Form PTO-892 where the reference was cited, is also enclosed in support of our claim.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

JUN 15 2005

OIPE
JUN 10 2005
PATENT & TRADEMARK OFFICE

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 7, 2005 at Tucson Arizona.

By: _____

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

JUN 15 2005

(Also Form PTO-1050)

UNITED STATES PATENT AND TRADEMARK OFFICE

CERTIFICATE OF CORRECTION

PATENT NO : 6,894,547 B2

DATED : May 17, 2005

INVENTOR(S) : TAKAHASHI

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

U.S. Patent No. 5,914,618 should be listed under the References Cited.

MAILING ADDRESS OF SENDER:

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

PATENT NO. 6,894,547 B2

No. of additional copies

P15/REV02

JUN 15 2005

(Also Form PTO-1050)

UNITED STATES PATENT AND TRADEMARK OFFICE
CERTIFICATE OF CORRECTION

PATENT NO : 6,894,547 B2
DATED : May 17, 2005
INVENTOR(S) : TAKAHASHI

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

U.S. Patent No. 5,914,618 should be listed under the References Cited.

MAILING ADDRESS OF SENDER:

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

PATENT NO. 6,894,547 B2

No. of additional copies

P15/REV02

JUN 15 2005

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 10/08/2003

EXAMINER
CUNNINGHAM, TERRY D

ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 10/08/2003

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

RECEIVED
OCT 1 0 2003
HAYES SOLOWAY

OIPE
JUN 1 0 2005
PATENT & TRADEMARK OFFICE
JC110

11/8/03 2/8/04
3mos. 12/8/03 3/8/04
1/8/04 4/8/04

Please find below and/or attached an Office communication concerning this application or proceeding.

PTO-90C (Rev. 10/03)

OIPE
JUN 10 2005
PATENT & TRADEMARK OFFICE

Office Action Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If the period for reply specified above is less than thirty (30) days, a reply within the statutory minimum of thirty (30) days will be considered timely.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____ .

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-16* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-16* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *13 December 2002* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

11)☐ The proposed drawing correction filed on _____ is: a)☐ approved b)☐ disapproved by the Examiner.

If approved, corrected drawings are required in reply to this Office action.

12)☐ The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. §§ 119 and 120

13)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____ .

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

14)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).

a) ☐ The translation of the foreign language provisional application has been received.

15)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO-1449) Paper No(s) 2 .
4) ☐ Interview Summary (PTO-413) Paper No(s). _____ .
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: .

DETAILED ACTION

Claim Rejections - 35 USC § 112

The following is a quotation of the first paragraph of 35 U.S.C. 112:

> The specification shall contain a written description of the invention, and of the manner and process of making and using it, in such full, clear, concise, and exact terms as to enable any person skilled in the art to which it pertains, or with which it is most nearly connected, to make and use the same and shall set forth the best mode contemplated by the inventor of carrying out his invention.

Claims 11-16 are rejected under 35 U.S.C. § 112, first paragraph, as based on a disclosure which is not enabling. The circuit of Fig. 9, less 23 and, is deemed critical or essential to the practice of the invention, but is not included in the claim(s). There is not support in the specification for a circuit using only the "delay monitor circuit" with the "output buffer circuit". As seen in Fig. 9, the use of "delay monitor circuit" necessitates the use of the remainder of the rest of the "phase synchronization circuit". *In re Mayhew*, 527 F.2d 1229, 188 USPQ 356 (CCPA 1976).

The following is a quotation of the second paragraph of 35 U.S.C. 112:

> The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 11-16 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claims 11 and 12, there is no connection recited of the "delay monitor circuit" to the rest of the circuit. Also, it is not understood what the purpose and operation of the "delay monitor circuit" is without the rest of the "phase synchronization circuit" of Fig. 9, as discussed above.

Claims 13-16 are rejected for the reasons discussed above with claims 11 and 12.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-16 are (11-16, insofar as understood) are rejected under 35 U.S.C. 102(b) as being anticipated by Atsushi (JPub 2001-068986, cited by Applicant). Atsushi discloses, in Fig. 1, a circuit comprising: "a main driver" having "a first p-channel transistor (PMO3)", "a first n-channel transistor (NMO3)", "a second p-channel transistor (PMO2)" and "a second n-channel transistor (NMO2)"; "a predriver" having "a third p-channel transistor (PA)2)", "a third n-channel transistor (NTO2)", "a fourth p-channel transistor (PTO2)", "a fourth n-channel transistor (NAO2)", "a fifth n-channel transistor (NSO2 or NTO1)" and "a fifth p-channel transistor (PSO2 or PTO1)", all connected and operating similarly as recited by Applicant.

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure. Reference is expressly made to the references of Uenishi and Burstein.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Terry Cunningham whose telephone number is 703-308-4872. The examiner can normally be reached on Monday-Thursday from 7:30 to 6:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on 703-308-4876. The fax phone numbers for Technology Center 2800 are 703-872-9318 for Before Final communications and 703-872-9319

for After Final communications. Please note, any faxed paper clearly stating **DRAFT** or **PROPOSED AMENDMENT** at the top will be forwarded directly to the Examiner. All others will be treated as a formal response and acted upon accordingly.

Any inquiry of a general nature or relating to the status of this application or proceeding should be directed to the Group receptionist whose telephone number is 703-308-0956.

Terry D. Cunningham
Primary Examiner
Art Unit 2816

TC
September 29, 2003

INFORMATION DISCLOSURE CITATION *(Use several sheets if necessary)*	ATTY DOCKET NO. **ELPIDA 021**	SERIAL NO.	
	APPLICANT(S) **TAKAHASHI**		
	FILING DATE **December 16, 2002**	GROUP	

OIPE JUN 10 2005 PATENT & TRADEMARK OFFICE

U.S. PTO 10/320059 12/16/02

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
TDC		2001-007695	12.01.2001	JAPAN (w/Abstract)	H03K	10/0175		✓
TDC		2000-332593	30.11.2000	JAPAN (w/Abstract)	H03K	10/0175		✓
TDC		2001-068986	16.03.2001	JAPAN (w/Abstract)	H03K	19/0175		✓
TDC		09-093111	04.04.1997	JAPAN (w/Abstract)	H03K	19/0175		✓
TDC		11-017516	22.01.1999	JAPAN (w/Abstract)	H03K	19/0175		✓

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

EXAMINER T. Cunningham	DATE CONSIDERED 9/27/03

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

INFORMATION DISCLOSURE CITATION

(Use several sheets if necessary)

ATTY DOCKET NO.	SERIAL NO.
ELPIDA 02. 5	
APPLICANT(S) TAKAHASHI	
FILING DATE December 16, 2002	GROUP

JUN 1 0 2005
PATENT & TRADEMARK OFFICE

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
TDC		02-092019	30.03.1990	JAPAN (w/Abstract)	H03K	19/0948		✓
TDC		05-175444	13.07.1993	JAPAN (w/Abstract)	H01L	27/092		✓

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

EXAMINER	DATE CONSIDERED
T. Cunningham	9/27/03

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Notice of References Cited	Application/Control No. 10/320,059	Applicant(s)/Patent Under Reexamination TAKAHASHI, TSUGIO	
	Examiner Terry D. Cunningham	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
✓	A	US-6,466,487 B2	10-2002	Otsuka, Nobuaki	365/189.05
✓	B	US-6,066,958 A	05-2000	Taniguchi et al.	326/27
✓	C	US-6,559,676 B1	05-2003	Tomita, Takashi	326/81
✓	D	US-6,483,340 B2	11-2002	Uenishi, Yasutaka	326/27
✓	E	US-5,500,610 A	03-1996	Burstein, Steven	326/85
✓	F	US-5,140,194 A	08-1992	Okitaka, Takenori	326/86
✓	G	US-6,573,753 B1	06-2003	Snyder, Warren	326/87
✓	H	US-5,914,618 A	06-1999	Mattos, Derwin W.	326/87
✓	I	US-5,773,999 A	06-1998	Park et al.	327/108
✓	J	US-6,320,433 B1	11-2001	Hinterscher, Eugene B.	327/112
✓	K	US-5,850,159 A	12-1998	Chow et al.	327/394
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together w applicable fee(s), to: Mail Mail Stop ISS FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (703) 746-4000

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

7590 01/14/2005

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701
04/12/2005 RFEKADU2 00000027 10320059

01 FC:1501 1400.00 OP
02 FC:1504 300.00 OP



Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (703) 746-4000, on the date indicated below.

Kim Good	(Depositor's name)
Kim Good	(Signature)
April 7, 2005	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

TITLE OF INVENTION: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1400	$300	$1700	04/14/2005

EXAMINER	ART UNIT	CLASS-SUBCLASS
CUNNINGHAM, TERRY D	2816	327-170000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 HAYES SOLOWAY P.C.
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: ELPIDA MEMORY, INC.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:
- ☒ Issue Fee
- ☒ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s):
- ☐ A check in the amount of the fee(s) is enclosed.
- ☒ Payment by credit card. Form PTO-2038 is attached.
- ☐ The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number 08-1391 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
- ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.
NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature Norman P. Soloway Date April 7, 2005

Typed or printed name Norman P. Soloway Registration No. 24,315

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

OIPE JC79
JAN 31 2005
PATENT & TRADEMARK OFFICE

FW 2816

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

MAIL STOP ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

APPLICANT'S INTERVIEW SUMMARY

Dear Sir:

The Interview Summary attached to the Notice of Allowability and Notice of Allowance mailed January 14, 2005 accurately reflects the substance of the January 6, 2005 interview.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: MAIL STOP ISSUE FEE, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on January 26, 2005, at Tucson, Arizona.

By Kim Hood

NPS:kg

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

7590 01/14/2005

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 01/14/2005

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

TITLE OF INVENTION: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1400	$300	$1700	04/14/2005

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE REFLECTS A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE APPLIED IN THIS APPLICATION. THE PTOL-85B (OR AN EQUIVALENT) MUST BE RETURNED WITHIN THIS PERIOD EVEN IF NO FEE IS DUE OR THE APPLICATION WILL BE REGARDED AS ABANDONED.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL should be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). Even if the fee(s) have already been paid, Part B - Fee(s) Transmittal should be completed and returned. If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 12/04) Approved for use through 04/30/2007.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (703) 746-4000

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

7590 01/14/2005

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (703) 746-4000, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

TITLE OF INVENTION: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1400	$300	$1700	04/14/2005

EXAMINER	ART UNIT	CLASS-SUBCLASS
CUNNINGHAM, TERRY D	2816	327-170000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:
- ☐ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s):
- ☐ A check in the amount of the fee(s) is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☐ The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
- ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above.
NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 01/14/2005

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	PAPER NUMBER
2816	

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

DATE MAILED: 01/14/2005

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571) 272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

PTOL-85 (Rev. 12/04) Approved for use through 04/30/2007.

Notice of Allowability	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *the amendment filed*.

2. ☒ The allowed claim(s) is/are *1-16*.

3. ☒ The drawings filed on *13 December 2002* are accepted by the Examiner.

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☒ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

6. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

7. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☐ Information Disclosure Statements (PTO-1449 or PTO/SB/08), Paper No./Mail Date _____
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application (PTO-152)
6. ☒ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☒ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

EXAMINER'S AMENDMENT

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

The following changes were made in the claims:

In claim 1, line 7, "output for driving" was changed to --outputs for driving only-- and --only-- was inserted following "and".

In claim 4, line 3, "output for driving" was changed to --outputs for driving only--, "in-channel" was changed to --n-channel-- and --only-- was inserted following "and".

In claim 11, line 19, the semicolon ";" was deleted and

line 21, "delaying" was changed to --controlling the delay of--.

In claim 12, line 24, the semicolon ";" was deleted and

line 26, "delaying" was changed to --controlling the delay of--.

Authorization for this examiner's amendment was given in a telephone interview with Norman Soloway on 3 January 2005.

STATEMENT OF REASONS FOR ALLOWANCE

In the above Examiner's Amendment, all indefiniteness and informalities have been overcome. Further, claims 1 and 4 were amended to be consistent with Applicant's remarks. The applied reference to Atsushi discloses that outputs the "predriver" controls plural output stages, whereas the claims now recite that the outputs of the "predriver" drive only the "first n-channel transistor" and only the "first p-channel transistor". Since the cited prior art references do not disclose the circuit recited in the pleasant claims, the case is in condition for allowance.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Terry Cunningham whose telephone number is 571-272-1742. The examiner can normally be reached on Monday-Thursday from 7:30 to 6:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on 571-272-1740. The fax phone number for the organization where this application or proceeding is assigned is (703) 872-9306.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).

Terry D. Cunningham
Primary Examiner
Art Unit 2816

TC
January 3, 2005

Interview Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

All participants (applicant, applicant's representative, PTO personnel):

(1) *Terry D. Cunningham*. (3)----------.

(2) *Normon Soloway*. (4)----------.

Date of Interview: *06 January 2005*.

Type: a)☒ Telephonic b)☐ Video Conference
c)☐ Personal [copy given to: 1)☐ applicant 2)☐ applicant's representative]

Exhibit shown or demonstration conducted: d)☐ Yes e)☒ No.
If Yes, brief description: _____.

Claim(s) discussed: *1,4,11 and 12*.

Identification of prior art discussed: *NONE*.

Agreement with respect to the claims f)☒ was reached. g)☐ was not reached. h)☐ N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: *Agreed to amend the claims to overcome remaining indefiniteness and to make the claims consistent with Applicant's remarks*.

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN ONE MONTH FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

Examiner Note: You must sign this form unless it is an Attachment to a signed Office action.

_____
Examiner's signature, if required

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record
A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews
Paragraph (b)
In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.
All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:
- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:
1) A brief description of the nature of any exhibit shown or any demonstration conducted,
2) an identification of the claims discussed,
3) an identification of the specific prior art discussed,
4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
5) a brief identification of the general thrust of the principal arguments presented to the examiner,
   (The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
6) a general indication of any other pertinent matters discussed, and
7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

EX1005 / Page 26 of 376
Western Digital Technologies, Inc.

Issue Classification	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

ISSUE CLASSIFICATION

ORIGINAL					CROSS REFERENCE(S)						
CLASS				SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					
327				170	327	112	374				
INTERNATIONAL CLASSIFICATION					326	87					
H	0	3	K	19/094							
				/							
				/							
				/							
				/							

********** (Assistant Examiner) (Date)	Terry D. Cunningham Primary Examiner Art Unit 2816 1/3/05 (Primary Examiner) (Date)	Total Claims Allowed: 16
(Legal Instruments Examiner) 1/12/05 (Date)		O.G. Print Claim(s): 1 / O.G. Print Fig.: 3

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1		31		61		91		121		151		181
2	2		32		62		92		122		152		182
3	3		33		63		93		123		153		183
5	4		34		64		94		124		154		184
6	5		35		65		95		125		155		185
7	6		36		66		96		126		156		186
4	7		37		67		97		127		157		187
8	8		38		68		98		128		158		188
9	9		39		69		99		129		159		189
10	10		40		70		100		130		160		190
13	11		41		71		101		131		161		191
15	12		42		72		102		132		162		192
11	13		43		73		103		133		163		193
12	14		44		74		104		134		164		194
14	15		45		75		105		135		165		195
16	16		46		76		106		136		166		196
	17		47		77		107		137		167		197
	18		48		78		108		138		168		198
	19		49		79		109		139		169		199
	20		50		80		110		140		170		200
	21		51		81		111		141		171		201
	22		52		82		112		142		172		202
	23		53		83		113		143		173		203
	24		54		84		114		144		174		204
	25		55		85		115		145		175		205
	26		56		86		116		146		176		206
	27		57		87		117		147		177		207
	28		58		88		118		148		178		208
	29		59		89		119		149		179		209
	30		60		90		120		150		180		210

OIPE JC46
NOV 08 2004
PATENT & TRADEMARK

2816

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

entered 1/12/05 amr

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

MAIL STOP AMENDMENTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT C AND INTERVIEW SUMMARY

Dear Sir:

This Amendment is being filed in response to the Official Action mailed September 1, 2004.

Please amend the Application as follows:

Amendments to the Claims begin on page 2 of this Amendment.

Remarks/Arguments begin on page 10 of this Amendment.

To be Entered. TDC 1/3/05

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIBDATASHEET

Bib Data Sheet

CONFIRMATION NO. 13

SERIAL NUMBER	FILING DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKE NO.
10/320,059	12/16/2002 RULE	327	2816	ELPIDA 02P155

APPLICANTS

Tsugio Takahashi, Tokyo, JAPAN;

** CONTINUING DATA ********** NONE TDC

** FOREIGN APPLICATIONS ********** TDC
JAPAN 2001-386126 12/19/2001

IF REQUIRED, FOREIGN FILING LICENSE GRANTED
** 01/31/2003

Foreign Priority claimed	STATE OR	SHEETS	TOTAL	INDEPENDE
☒ yes ☐ no	COUNTRY	DRAWING	CLAIMS	CLAIMS
35 USC 119 (a-d) conditions met ☒ yes ☐ no ☐ Met after Allowance	JAPAN	9	16	2
Verified and Acknowledged TDC (Examiner's Signature) (Initials)				

ADDRESS
Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson , AZ
85701

TITLE
Output buffer circuit and integrated semiconductor circuit device with such output buffer circuit

FILING FEE	FEES: Authority has been given in Paper	☐ All Fees
RECEIVED 826	No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:	☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

SEARCH

Class	Sub.	Date	Exmr.
327	112	9/25/03	TDC
	170		
	374		
	375		
	376		
	377		
=326	85		
	87		
	91		
Updated Search		1/3/05	

SEARCH NOTES

(List databases searched. Attach search strategy inside.)

	Date	Exmr.

INTERFERENCE SEARCHED

Class	Sub.	Date	Exmr.
Searched Above	Areas	1/3/05	TDC

BEST AVAILABLE COPY

BEST AVAILABLE COPY

PTO/SB/06 (08-03)
Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

October 1 2004 Substitute for Form PTO-875

Application or Docket Number: 10320059

CLAIMS AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE	SMALL ENTITY FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY FEE
BASIC FEE (37 CFR 1.16(a))				$ 395	OR		$ 790
TOTAL CLAIMS (37 CFR 1.16(c))	minus 20 =	*	x $ 9 =		OR	x $ 18 =	
INDEPENDENT CLAIMS (37 CFR 1.16(b))	minus 3 =	*	x $ 44 =		OR	x $ 88 =	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(d))			+ $ 150 =		OR	+ $ 300 =	
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL		OR	TOTAL	

CLAIMS AS AMENDED – PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	*	Minus	**	=	x $ 9 =		OR	x $ 18 =	
Independent (37 CFR 1.16(b))	*	Minus	***	=	x $ 44 =		OR	x $ 88 =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ 150 =		OR	+ $ 300 =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	*	Minus	**	=	x $ 9 =		OR	x $ 18 =	
Independent (37 CFR 1.16(b))	*	Minus	***	=	x $ 44 =		OR	x $ 88 =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ 150 =		OR	+ $ 300 =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

1/8/04

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total (37 CFR 1.16(c))	* 16	Minus	** 20	=	x $ 9 =		OR	x $ 18 =	
Independent (37 CFR 1.16(b))	* 4	Minus	*** 3	=	x $ 44 =		OR	x $ 88 =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(d))					+ $ 150 =		OR	+ $ 300 =	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10/320,059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	16 minus 20=	*
INDEPENDENT CLAIMS	2 minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT	☐	

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL		OR	TOTAL	

CLAIMS AS AMENDED - PART II

1/5/04

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 2	Minus	*** 3	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM	☐			

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

6/11/04

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 4	Minus	*** 3	= 1
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM	☐			

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	86.00
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM	☐			

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

FORM PTO-875 (Rev 10-03)

Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

BEST AVAILABLE COPY

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10/320059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	minus 20=	*
INDEPENDENT CLAIMS	minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL		OR	TOTAL	

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 4	Minus	*** 4	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT FEE		OR	TOTAL ADDIT FEE	

AMENDMENT B	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT FEE		OR	TOTAL ADDIT FEE	

AMENDMENT C	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

BEST AVAILABLE COPY

1,4,

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2001

Application or Docket Number: 10320059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	16	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	16 minus 20=	* 0
INDEPENDENT CLAIMS	2 minus 3 =	* 0
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	370.00	OR	BASIC FEE	740.00
X$ 9=		OR	X$18=	—
X42=		OR	X84=	—
+140=		OR	+280=	—
TOTAL		OR	TOTAL	740

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

BEST AVAILABLE COPY

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

FORM PTO-875 (Rev. 8/01) — Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

☆U.S. GPO:2001-482-124/53197

BEST AVAILABLE COPY



2816

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

MAIL STOP AMENDMENTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT C AND INTERVIEW SUMMARY

Dear Sir:

This Amendment is being filed in response to the Official Action mailed September 1, 2004.

Please amend the Application as follows:

Amendments to the Claims begin on page 2 of this Amendment.

Remarks/Arguments begin on page 10 of this Amendment.

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

AMENDMENTS TO THE CLAIMS:

Please amend claims 1 and 4, as shown below.

This listing of claims will replace all prior versions and listings of claims in the Application:

Claim 1 (currently amended): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver with output for driving said first in-channel MOS transistor and said first p-channel MOS transistor having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor,

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

wherein the output of the predriver is [[only]] directly connected only to said first p-channel MOS transistor and said first n-channel MOS transistor of said main driver.

Claim 2 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are equal to each other.

Claim 3 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are different from each other.

Claim 4 (currently amended): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver with output for driving said first n-channel MOS transistor and said first p-channel MOS transistor having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor,

wherein the output of the predriver is [[only]] directly connected only to said first p-channel MOS transistor and said first n-channel MOS transistor of said main driver.

Claim 5 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistor, said sixth n-channel MOS transistor, and said sixth p-channel MOS transistor are equal to each other.

Claim 6 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistors, said sixth n-channel MOS transistors, and said sixth p-channel MOS transistors are different from each other.

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

Claim 7 (original): The output buffer circuit according to claim 1, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 8 (original): The output buffer circuit according to claim 4, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 9 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 10 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 11 (previously presented): An integrated semiconductor circuit device comprising:

an output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, said output buffer circuit comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 12 (previously presented): An integrated semiconductor circuit device comprising:

an output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, said output buffer comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 13 (original): The integrated semiconductor circuit device according to claim 9, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 14 (original): The integrated semiconductor circuit device according to claim 10, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 15 (original): The integrated semiconductor circuit device according to claim 11, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

Claim 16 (original): The integrated semiconductor circuit device according to claim 12, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

REMARKS

Claim 1 has been amended to obviate the 35 USC § 112 rejection. Claim 4 contains the same phrase, "output of the predriver," and has been amended to obviate any possible § 112 rejections.

The Examiner rejects claims 11 and 12 under 35 USC § 112 because no connection is recited between the phase synchronizing circuit to the rest of the circuit. Claims 11 and 12 include "a phase synchronizing circuit including ... a plurality of capacitors for delaying the data output from said output buffer circuit." Thus, claims 11 and 12 recite a connection between the phase synchronizing circuit and the output buffer and the rejection is improper.

Turning to the art rejection, the rejection of claims 1-10 under 35 USC § 102(b) as being anticipated by Atsushi (Japanese Publication 2001-068986) is in error because Atsushi does not teach every element of the Applicants' invention. Independent claims 1 and 4 require "the output of the predriver is directly connected only to said first p-channel MOS transistor and said first n-channel MOS transistor of said main driver."

The Examiner claims the first p-channel MOS transistor in Atsushi is PMO3 and the first n-channel MOS transistor is NMO3. Thus, the only direct connection between the predriver (PAO2, NTO1, NTO2, PTO2, NAO2, NSO2, PSO2, PTO1) and the main driver (PMO1-PMO3, NMO1-NMO3) should occur through PMO3 and NMO3. However, this is not the case; numerous connections exist between the main driver and the predriver. A few examples include: the base of NMO2 (2nd p-channel transistor) is connected to the emitter of PTO1 and also to base of PTO2 (through resistor R22); the base of NMO1 is connected to the base of PTO1 (through resistor R21); and the base of PMO2 is connected to collector of NTO1. Thus, Atsushi does not anticipate nor render obvious independent claims 1 and 4.

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

Claims 2-3 and 5-10 depend directly or indirectly on claims 1 and 4 and are allowable for the same reasons as stated above, as well as for their own additional limitations.

Having dealt with all the objections raised by the Examiner, the Application is believed to be in order for allowance. Early and favorable action are respectfully requested.

The Office Action, at page 4 lists the Action as a Final Action. However, as acknowledged in the Interview held September 7, 2004, the Action is a non-Final Action.

In the event there are any fee deficiencies or additional fees are payable, please charge them (or credit any overpayment) to our Deposit Account Number 08-1391.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I certify that this correspondence is being deposited with the United States Postal Service as First Class mail in an envelope addressed to "MAILSTOP AMENDMENTS Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" on November 5, 2004 at Tucson, Arizona.

By: Linda Vanbel

NPS/WPO:lv

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

OIPE JC88
SEP 23 2004
PATENT & TRADEMARK OFFICE

2816 IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

APPLICANT'S INTERVIEW RECORD

Dear Sir:

The Examiner's Interview Summary mailed on September 14, 2004 accurately reflects the substance of the September 7, 2004 Interview.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on September 21, 2004, at Tucson, Arizona.

By Kim Hood

NPS:kg

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 09/14/2004

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 09/14/2004

Please find below and/or attached an Office communication concerning this application or proceeding.

PTO 90C (Rev 10/03)

Interview Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

All participants (applicant, applicant's representative, PTO personnel):

(1) *Terry D. Cunningham*. (3)**********.

(2) *Ashley Kirk*. (4)**********.

Date of Interview: *07 September 2004*.

Type: a)☒ Telephonic b)☐ Video Conference
c)☐ Personal [copy given to: 1)☐ applicant 2)☐ applicant's representative]

Exhibit shown or demonstration conducted: d)☐ Yes e)☒ No.
If Yes, brief description: _____.

Claim(s) discussed: *NONE*.

Identification of prior art discussed: *NONE*.

Agreement with respect to the claims f)☐ was reached. g)☐ was not reached. h)☒ N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: *Applicant's representative was informed that, contrary to the paragraph provided therein, the action mailed 01 September 2004 is a Non-Final Action*.

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN ONE MONTH FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

Examiner Note: You must sign this form unless it is an Attachment to a signed Office action.

Examiner's signature, if required

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record
A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews
Paragraph (b)
In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.
All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:
- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:
1) A brief description of the nature of any exhibit shown or any demonstration conducted,
2) an identification of the claims discussed,
3) an identification of the specific prior art discussed,
4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
5) a brief identification of the general thrust of the principal arguments presented to the examiner,
   (The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
6) a general indication of any other pertinent matters discussed, and
7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

EX1005 / Page 49 of 376
Western Digital Technologies, Inc.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 09/01/2004

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	**PAPER NUMBER**
2816	

DATE MAILED: 09/01/2004

Please find below and/or attached an Office communication concerning this application or proceeding.

PTO-90C (Rev. 10/03)

Office Action Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If the period for reply specified above is less than thirty (30) days, a reply within the statutory minimum of thirty (30) days will be considered timely.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *11 June 2004* .

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-16* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-16* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *13 December 2002* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

11)☐ The proposed drawing correction filed on _____ is: a)☐ approved b)☐ disapproved by the Examiner.

If approved, corrected drawings are required in reply to this Office action.

12)☐ The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. §§ 119 and 120

13)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____ .

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

14)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).

a) ☐ The translation of the foreign language provisional application has been received.

15)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO-1449) Paper No(s) _____ .
4) ☐ Interview Summary (PTO-413) Paper No(s). _____ .
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: .

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 06 July 2004 has been entered.

Claim Rejections - 35 USC § 112

The following is a quotation of the second paragraph of 35 U.S.C. 112:

> The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 1-16 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claim 1, lines 18, there is no antecedent for the phrase "the output of the predriver".

Claims 2-10 and 13-15 are rejected as including the indefiniteness discussed above with claim 1.

In claims 11 and 12, there is no connection recited of the "phase synchronizing circuit" to the rest of the circuit. Also, it is not understood nor is it recited what the purpose and operation of the "phase synchronizing circuit".

Claims 15-16 are rejected for the reasons discussed above with claims 11 and 12.

Examiner has fully considered Applicant's remarks for the above rejection and has not found them to be persuasive. It is not understood how making the claim independent in any way affects the rejection.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-10 are rejected under 35 U.S.C. 102(b) as being anticipated by Atsushi (JPub 2001-068986, cited by Applicant). Atsushi discloses, in Fig. 1, a circuit comprising: "a main driver (PMO1-PMO3 and NMO1-NMO3)" having "a first p-channel transistor (PMO3)", "a first n-channel transistor (NMO3)", "a second p-channel transistor (PMO2)" and "a second n-channel transistor (NMO2)"; "a predriver (PAO2, NTO2, PTO2, NAO2, NSO2, NTO1, PSO2, PTO1)" having an "output (the nodes connected to the gates of PMO3 and NMO3)"; "a third p-channel transistor (PAO2)", "a third n-channel transistor (NTO2)", "a fourth p-channel transistor (PTO2)", "a fourth n-channel transistor (NAO2)", "a fifth n-channel transistor (NSO2 or NTO1)" and "a fifth p-channel transistor (PSO2 or PTO1)", all connected and operating similarly as recited by Applicant.

Examiner has fully considered Applicant's remarks for the above rejection and has not found them to be persuasive. Claim 1 expressly states that the purpose of the "predriver" is "for driving the first n-channel MOS transistor" and "for driving the first p-channel MOS transistor". Thus, according the "output" is being read as the nodes connected to the gates of PMO3 and NMO3. While these nodes may be seen to be indirectly connected (i.e., via circuitry such as R12 and R22) to other elements, these nodes are "only directly connected to said first p-channel MOS (PMO3) transistor and said first n-channel MOS transistor (NMO3)".

Claims 11-16 would be allowable if rewritten or amended to overcome the rejection(s) under 35 U.S.C. 112, 2nd paragraph, set forth in this Office action.

Conclusion

Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Terry Cunningham whose telephone number is 571-272-1742. The examiner can normally be reached on Monday-Thursday from 7:30 to 6:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on 571-272-1740. The fax phone number for the organization where this application or proceeding is assigned is (703) 872-9306.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications

may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free).

Terry D. Cunningham
Primary Examiner
Art Unit 2816

TC
August 24, 2004

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10/320,059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	16 minus 20=	*
INDEPENDENT CLAIMS	2 minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL		OR	TOTAL	

CLAIMS AS AMENDED - PART II

1/5/04

AMENDMENT A	(Column 1)		(Column 2)	(Column 3)
A	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 2	Minus	*** 3	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

6/11/04

AMENDMENT B	(Column 1)		(Column 2)	(Column 3)
B	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 4	Minus	*** 3	= 1
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	86.00
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)		(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

FORM PTO-875 (Rev 10-03)

Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

ISSUE SLIP STAPLE AREA (for additional cross-references)

ISSUING CLASSIFICATION			
ORIGINAL		CROSS REFERENCE(S)	
CLASS	SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)
INTERNATIONAL CLASSIFICATION			
/			
/			
/			
/			
/			

BEST AVAILABLE COPY

^ Continued on Issue Slip Inside File Jacket

INDEX OF CLAIMS

✓ ..... Rejected - (Through numeral) ... Canceled N ..... Non-elected A ..... Appeal
= ..... Allowed ÷ ..... Restricted I ..... Interference O ..... Objected

Claim Final	Claim Original	Date	Claim Final	Claim Original	Date	Claim Final	Claim Original	Date
	1			51			101	
	2			52			102	
	3			53			103	
	4			54			104	
	5			55			105	
	6			56			106	
	7			57			107	
	8			58			108	
	9			59			109	
	10			60			110	
	11			61			111	
	12			62			112	
	13			63			113	
	14			64			114	
	15			65			115	
	16 ✓			66			116	
	17			67			117	
	18			68			118	
	19			69			119	
	20			70			120	
	21			71			121	
	22			72			122	
	23			73			123	
	24			74			124	
	25			75			125	
	26			76			126	
	27			77			127	
	28			78			128	
	29			79			129	
	30			80			130	
	31			81			131	
	32			82			132	
	33			83			133	
	34			84			134	
	35			85			135	
	36			86			136	
	37			87			137	
	38			88			138	
	39			89			139	
	40			90			140	
	41			91			141	
	42			92			142	
	43			93			143	
	44			94			144	
	45			95			145	
	46			96			146	
	47			97			147	
	48			98			148	
	49			99			149	
	50			100			150	

If more than 150 claims or 9 actions staple additional sheet here

JUL 06 2004 PATENT & TRADEMARK OFFICE

IFW $RCE 2816 CC

PTO/SB/30 (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR CONTINUED EXAMINATION (RCE) TRANSMITTAL

Address to:
Mail Stop RCE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Application Number	10/320,059
Filing Date	December 16, 2002
First Named Inventor	TAKAHASHI
Art Unit	2816
Examiner Name	CUNNINGHAM, TERRY D.
Attorney Docket Number	ELPIDA 02P155

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. See Instruction Sheet for RCEs (not to be submitted to the USPTO) on page 2.

1. Submission required under 37 CFR 1.114 Note: If the RCE is proper, any previously filed unentered and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

   a. ☒ Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.
      i. ☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____
      ii. ☒ Other Amendment B under Rule 116 mailed 6/11/04

   b. ☐ Enclosed
      i. ☐ Amendment/Reply
      ii. ☐ Affidavit(s)/Declaration(s)
      iii. ☐ Information Disclosure Statement (IDS)
      iv. ☐ Other _____

2. Miscellaneous

   a. ☐ Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)
   b. ☐ Other _____

3. Fees The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

   a. ☒ The Director is hereby authorized to charge the following fees, or credit any overpayments, to Deposit Account No. 08-1391
      i. ☐ RCE fee required under 37 CFR 1.17(e)
      ii. ☐ Extension of time fee (37 CFR 1.136 and 1.17)'
      iii. ☐ Other _____

   07/14/2004 AWONDAF1 00000068 10320059
   01 FC:1801 770.00 OP

   b. ☐ Check in the amount of $ _____ enclosed
   c. ☒ Payment by credit card (Form PTO-2038 enclosed)

   WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

Name (Print / Type)	Norman P. Soloway	*Registration No. (Attorney / Agent)*	24,315
Signature		*Date*	July 1, 2004

CERTIFICATE OF MAILING OR TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop RCE, Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 or facsimile transmitted to the U.S. Patent andTrademark Office on the date shown below.

Name (Print / Type)	Najdt Mishalanie		
Signature		*Date*	July 1, 2004

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Mail Stop RCE,Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2003

Application or Docket Number: 10/320059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS		
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	minus 20=	*
INDEPENDENT CLAIMS	minus 3 =	*
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	385.00	OR	BASIC FEE	770.00
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL		OR	TOTAL	

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	* 16	Minus	** 20	=
Independent	* 4	Minus	*** 4	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT FEE		OR	TOTAL ADDIT FEE	

AMENDMENT B	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT FEE		OR	TOTAL ADDIT FEE	

AMENDMENT C	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
XS 9=		OR	XS18=	
X43=		OR	X86=	
+145=		OR	+290=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

10/32005

Claim Final	Claim Original	Date
	1	
	2	
	3	
	4	
	5	
	6	
	7	
	8	
	9	
	10	
	11	
	12	
	13	
	14	
	15	
	16	
	17	
	18	
	19	
	20	
	21	
	22	
	23	
	24	
	25	
	26	
	27	
	28	
	29	
	30	
	31	
	32	
	33	
	34	
	35	
	36	
	37	
	38	
	39	
	40	
	41	
	42	
	43	
	44	
	45	
	46	
	47	
	48	
	49	
	50	

Claim Final	Claim Original	Date
	51	
	52	
	53	
	54	
	55	
	56	
	57	
	58	
	59	
	60	
	61	
	62	
	63	
	64	
	65	
	66	
	67	
	68	
	69	
	70	
	71	
	72	
	73	
	74	
	75	
	76	
	77	
	78	
	79	
	80	
	81	
	82	
	83	
	84	
	85	
	86	
	87	
	88	
	89	
	90	
	91	
	92	
	93	
	94	
	95	
	96	
	97	
	98	
	99	
	100	

Claim Final	Claim Original	Date
	101	
	102	
	103	
	104	
	105	
	106	
	107	
	108	
	109	
	110	
	111	
	112	
	113	
	114	
	115	
	116	
	117	
	118	
	119	
	120	
	121	
	122	
	123	
	124	
	125	
	126	
	127	
	128	
	129	
	130	
	131	
	132	
	133	
	134	
	135	
	136	
	137	
	138	
	139	
	140	
	141	
	142	
	143	
	144	
	145	
	146	
	147	
	148	
	149	
	150	

If more than 160 claims or 10 actions staple additional sheet here

(LEFT INSIDE)

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 06/23/2004

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 06/23/2004

Please find below and/or attached an Office communication concerning this application or proceeding.

PTO 90C (Rev 10/03)

Advisory Action	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

--The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

THE REPLY FILED 11 June 2004 FAILS TO PLACE THIS APPLICATION IN CONDITION FOR ALLOWANCE. Therefore, further action by the applicant is required to avoid abandonment of this application. A proper reply to a final rejection under 37 CFR 1.113 may only be either: (1) a timely filed amendment which places the application in condition for allowance; (2) a timely filed Notice of Appeal (with appeal fee); or (3) a timely filed Request for Continued Examination (RCE) in compliance with 37 CFR 1.114.

PERIOD FOR REPLY [check either a) or b)]

a) ☒ The period for reply expires 3 months from the mailing date of the final rejection.

b) ☐ The period for reply expires on: (1) the mailing date of this Advisory Action, or (2) the date set forth in the final rejection, whichever is later. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of the final rejection.
ONLY CHECK THIS BOX WHEN THE FIRST REPLY WAS FILED WITHIN TWO MONTHS OF THE FINAL REJECTION. See MPEP 706.07(f).

Extensions of time may be obtained under 37 CFR 1.136(a). The date on which the petition under 37 CFR 1.136(a) and the appropriate extension fee have been filed is the date for purposes of determining the period of extension and the corresponding amount of the fee. The appropriate extension fee under 37 CFR 1.17(a) is calculated from: (1) the expiration date of the shortened statutory period for reply originally set in the final Office action; or (2) as set forth in (b) above, if checked. Any reply received by the Office later than three months after the mailing date of the final rejection, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

1. ☐ A Notice of Appeal was filed on _____. Appellant's Brief must be filed within the period set forth in 37 CFR 1.192(a), or any extension thereof (37 CFR 1.191(d)), to avoid dismissal of the appeal.

2. ☒ The proposed amendment(s) will not be entered because:

   (a) ☒ they raise new issues that would require further consideration and/or search (see NOTE below);

   (b) ☐ they raise the issue of new matter (see Note below);

   (c) ☒ they are not deemed to place the application in better form for appeal by materially reducing or simplifying the issues for appeal; and/or

   (d) ☐ they present additional claims without canceling a corresponding number of finally rejected claims.

   NOTE: *See Continuation Sheet*.

3. ☐ Applicant's reply has overcome the following rejection(s): _____.

4. ☐ Newly proposed or amended claim(s) _____ would be allowable if submitted in a separate, timely filed amendment canceling the non-allowable claim(s).

5. ☐ The a)☐ affidavit, b)☐ exhibit, or c)☐ request for reconsideration has been considered but does NOT place the application in condition for allowance because: _____.

6. ☐ The affidavit or exhibit will NOT be considered because it is not directed SOLELY to issues which were newly raised by the Examiner in the final rejection.

7. ☒ For purposes of Appeal, the proposed amendment(s) a)☐ will not be entered or b)☐ will be entered and an explanation of how the new or amended claims would be rejected is provided below or appended.

   The status of the claim(s) is (or will be) as follows:

   Claim(s) allowed: _____.

   Claim(s) objected to: _____.

   Claim(s) rejected: *1-16*.

   Claim(s) withdrawn from consideration: _____.

8. ☐ The drawing correction filed on _____ is a)☐ approved or b)☐ disapproved by the Examiner.

9. ☐ Note the attached Information Disclosure Statement(s)(PTO-1449) Paper No(s). _____.

10. ☐ Other: _____

Terry D. Cunningham
Primary Examiner
Art Unit: 2816

Continuation of 2. NOTE: The proposed language provides a change in claim scope requiring further search and/or consideration..

OFFICIAL

RECEIVED
CENTRAL FAX CENTER
JUN 11 2004

HAYES SOLOWAY
130 W. Cushing Street
Tucson, Arizona 85701
Telephone (520) 882-7623
Facsimile (520) 882-7643

Client-Matter Number
ELPIDA 02P155

June 11, 2004

TELECOMMUNICATION INFORMATION COVER SHEET

The information contained in this Facsimile message is attorney/client privileged and confidential information intended only for the use of the individual(s) named below. If the reader of this message is not the intended recipient, or the employee or agent responsible to deliver it to the intended recipient, you are hereby notified that any dissemination, distribution or copying of this communication is strictly prohibited! If you have received this communication in error, please immediately notify us by telephone, and return the original message to us at the above address via the U.S. Postal Service. If you have received this communication in error, please DO NOT MAKE ANY COPIES of it. Thank You.

PLEASE DELIVER THE FOLLOWING PAGES TO:

	FACSIMILE NO.
TERRY D. CUNNINGHAM **U.S. PATENT AND TRADEMARK OFFICE**	**703-872-9306**

FROM: **Norman P. Soloway**

TOTAL NUMBER OF PAGES INCLUDING THIS COVER PAGE: 12

MESSAGE: **AMENDMENT B UNDER RULE 116**

In re Appln. Of: TAKAHASHI
Serial No.: 10/320,059
Filed: December 16, 2002
For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...
Group: 2816
Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

Received: 1. Amendment B under Rule 116 (11 pgs)

06/11/04 nm

IF YOU DO NOT RECEIVE ALL PAGE(S), PLEASE CALL: (520) 882-7623.

PAGE 1/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

RECEIVED
CENTRAL FAX CENTER
JUN 11 2004
OFFICIAL

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

MAIL STOP - AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT B UNDER RULE 116

Dear Sir:

This Amendment is being filed in response to the Final Action mailed April 6, 2004.

Please amend the Application as follows:

Amendments to the Claims begin on page 2 of this Amendment.

Remarks/Arguments begin on page 10 of this Amendment.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

AMENDMENTS TO THE CLAIMS:

Please amend claims 1, 4, 11 and 12, as shown below.

This listing of claims will replace all prior versions and listings of claims in the Application:

Claim 1 (currently amended): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 3/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

wherein the output of the predriver is only directly connected to said first p-channel MOS transistor and said first n-channel MOS transistor of said main driver.

Claim 2 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are equal to each other.

Claim 3 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are different from each other.

Claim 4 (currently amended): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at l ast one fifth p-channel MOS transistor for driving said first p-

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 4/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor,

wherein the output of the predriver is only directly connected to said first p-channel MOS transistor and said first n-channel MOS transistor of said main driver.

Claim 5 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistor, said sixth n-channel MOS transistor, and said sixth p-channel MOS transistor are equal to each other.

Claim 6 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistors, said sixth n-channel MOS transistors, and said sixth p-channel MOS transistors are different from each other.

Claim 7 (original): The output buffer circuit according to claim 1, wherein said second p-channel MOS transistor nd said second n-channel MOS transistor have a smaller device size

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 5/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 8 (original): The output buffer circuit according to claim 4, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 9 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 10 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 11 (currently amended): An integrated semiconductor circuit device comprising:

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 6/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

~~an output buffer circuit according to claim 1~~ an output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, said output buffer circuit comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 7/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 12 (currently amended): An integrated semiconductor circuit device comprising:

~~an output buffer circuit according to claim 4~~ an output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, said output buffer comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 8/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 13 (original): The integrated semiconductor circuit device according to claim 9, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 14 (original): The integrated semiconductor circuit device according to claim 10, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 15 (original): The integrated semiconductor circuit device according to claim 11, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 9/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

Claim 16 (original): The integrated semiconductor circuit device according to claim 12, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 10/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

REMARKS

The conditional allowability of claims 11-16 is noted, with thanks, and claims 11 and 12 have been amended to incorporate the features of claims 1 and 4, respectively, thus rendering moot the §112 rejection.

Turning to the rejection of claims 1-10 under 35 USC §102 as anticipated by Atsushi (JP Publication No. 2001-068986), claims 1 and 4 have been amended to include the feature that the output of the predriver is only directly connected to the first p-channel MOS transistor and the first n-channel MOS transistor of the main driver. Atsushi does not anticipate this feature. On page 2, paragraph 5, the Examiner states that the circuit of Atsushi discloses:

> " 'a main driver' having 'a first p-channel transistor (PMO3) [sic]' [and] 'a first n-channel transistor (NMO3) [sic],' 'a second p-channel transistor (PMO2) [sic]' and 'a second n-channel transistor (NMO2) [sic]'; 'a predriver' having 'a third p-channel transistor (PA)2) [sic]', 'a third n-channel transistor (NTO2) [sic]', 'a fourth p-channel transistor (PTO2) [sic]', 'a fourth n-channel transistor (NAO2)', 'a fifth n-channel transistor (NSO2 or NTO1) [sic]' and 'a fifth p-channel transistor (PSO2 or PTO1) [sic] ...."

However, PM03, NM03, PM02 and NM02 are each connected to the devices the Examiner defines collectively as the "predriver," i.e., (PA02), (NT02), (PT02), (NA02), (NS02) or (NT01), and (PS02) or (PT01). Thus, Atsushi does not anticipate amended claims 1 and 4, nor any claims dependent therefrom.

The foregoing Amendment makes no claim changes as would require further search by the Examiner. Thus, entry of the foregoing Amendment and allowance of the Application are respectfully requested.

Having dealt with all the objections raised by the Examiner, the Application is believed to be in order for allowance. Early and favorable action are respectfully requested.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 11/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

In the event there are any fee deficiencies or additional fees are payable, please charge them (or credit any overpayment) to our Deposit Account Number 08-1391.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF TRANSMISSION VIA FACSIMILE

I hereby certify that this correspondence is being sent via facsimile to EXAMINER TERRY D. CUNNINGHAM of the United States Patent and Trademark Office at facsimile number (703) 872-9306, on June 11, 2004 from Tucson, Arizona.

By _____

NPS/ALK:nm

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

PAGE 12/12 * RCVD AT 6/11/2004 12:44:18 PM [Eastern Daylight Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:520 882 7643 * DURATION (mm-ss):03-40

RECEIVED
CENTRAL FAX CENTER
JUN 11 2004
OFFICIAL

Fee Only

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

MAIL STOP - AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT B UNDER RULE 116

Dear Sir:

This Amendment is being filed in response to the Final Action mailed April 6, 2004.

Please amend the Application as follows:

Amendments to the Claims begin on page 2 of this Amendment.

Remarks/Arguments begin on page 10 of this Amendment.

07/22/2004 ADAVID 00000001 081391 10320059
01 FC:1201 86.00 DA

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 04/06/2004

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	

ART UNIT	PAPER NUMBER
2816	

DATE MAILED: 04/06/2004

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If the period for reply specified above is less than thirty (30) days, a reply within the statutory minimum of thirty (30) days will be considered timely.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *05 January 2004* .

2a)☒ This action is **FINAL**. 2b)☐ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-16* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-16* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *13 December 2002* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

11)☐ The proposed drawing correction filed on _____ is: a)☐ approved b)☐ disapproved by the Examiner.

If approved, corrected drawings are required in reply to this Office action.

12)☐ The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. §§ 119 and 120

13)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____ .

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

14)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).

a) ☐ The translation of the foreign language provisional application has been received.

15)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☐ Information Disclosure Statement(s) (PTO-1449) Paper No(s) _____ .
4) ☐ Interview Summary (PTO-413) Paper No(s). _____ .
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: .

DETAILED ACTION

Claim Rejections - 35 USC § 112

The following is a quotation of the second paragraph of 35 U.S.C. 112:

> The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 11-12 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claims 11 and 12, there is no connection recited of the "phase synchronizing circuit" to the rest of the circuit. Also, it is not understood nor is it recited what the purpose and operation of the "phase synchronizing circuit".

Claims 13-16 are rejected for the reasons discussed above with claims 11 and 12.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-10 are rejected under 35 U.S.C. 102(b) as being anticipated by Atsushi (JPub 2001-068986, cited by Applicant). Atsushi discloses, in Fig. 1, a circuit comprising: "a main driver" having "a first p-channel transistor (PMO3)", "a first n-channel transistor (NMO3)", "a second p-channel transistor (PMO2)" and "a second n-channel transistor (NMO2)"; "a predriver" having "a third p-channel transistor (PA)2)", "a third n-channel transistor (NTO2)", "a fourth p-channel transistor (PTO2)", "a fourth n-channel transistor (NAO2)", "a fifth n-channel transistor

(NSO2 or NTO1)" and "a fifth p-channel transistor (PSO2 or PTO1)", all connected and operating similarly as recited by Applicant.

Examiner has fully considered Applicant's remarks for the above rejection and has not found them to be persuasive. Applicant remarks as follows:

However, in the present Application, a single nMOS transistor QNI 1 is also provided to pull down the gate terminal of QPI which corresponds to PM03 in the above-mentioned prior art. A single transistor is superior to serially connected transistors in efficiency to pull down a terminal. On the other hand, serially connected transistors are superior to a single transistor in changing the pull-down rate. Thus, the present invention can regulate the slew rate with large dynamic range and with fine resolution by using both the single transistor (QNI 1) and the two serially connected transistors (QN14 and QN17, QN13 and N16, or QN12 and QN15). Thus, Atsushi cannot anticipate this feature of claims 1 and 4, nor any claims dependent therefrom.

These remarks are not understood. None of this discussion is directly relate the what is recited in the claims. Since the details discussed by Applicant are not found to correspond to any claim language, Applicant's remarks are not found to be persuasive.

Claims 11-16 would be allowable if rewritten to overcome the rejection(s) under 35 U.S.C. 112, second paragraph, set forth in this Office action and to include all of the limitations of the base claim and any intervening claims.

Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event,

however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Terry Cunningham whose telephone number is 703-308-4872. The examiner can normally be reached on Monday-Thursday from 7:30 to 6:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on 703-308-4876. The fax phone numbers for Technology Center 2800 are 703-872-9318 for Before Final communications and (703) 872-9306 for After Final communications. Please note, any faxed paper clearly stating **DRAFT** or **PROPOSED AMENDMENT** at the top will be forwarded directly to the Examiner. All others will be treated as a formal response and acted upon accordingly.

Any inquiry of a general nature or relating to the status of this application or proceeding should be directed to the Group receptionist whose telephone number is 703-308-0956.

Terry D. Cunningham
Primary Examiner
Art Unit 2816

TC
March 31, 2004

OIPE JC56
JAN 0 5 2004
PATENT & TRADEMARK OFFICE

41

2816

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: TAKAHASHI

Serial No.: 10/320,059

Filed: December 16, 2002

For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR

Group: 2816

Examiner: CUNNINGHAM, TERRY D. DOCKET: ELPIDA 02P155

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT A

Dear Sir:

This Amendment is being filed in response to the Official Action mailed October 8, 2003.

Please amend the Application as follows:

Amendments to the Claims begin on page 2 of this Amendment.

Remarks/Arguments begin on page 8 of this Amendment.

RECEIVED
JAN - 7 2004
TECHNOLOGY CENTER 2800

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

AMENDMENTS TO THE CLAIMS:

Please amend claims 11 and 12, as shown below.

This listing of claims will replace all prior versions and listings of claims in the Application:

Claim 1 (original): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

Claim 2 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are equal to each other.

Claim 3 (original): The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are different from each other.

Claim 4 (original): An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

Claim 5 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistor, said sixth n-channel MOS transistor, and said sixth p-channel MOS transistor are equal to each other.

Claim 6 (original): The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistors, said sixth n-channel MOS transistors, and said sixth p-channel MOS transistors are different from each other.

Claim 7 (original): The output buffer circuit according to claim 1, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 8 (original): The output buffer circuit according to claim 4, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

Claim 9 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 10 (original): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 11 (currently amended): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 12 (currently amended): An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a phase synchronizing circuit including a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

Claim 13 (original): The integrated semiconductor circuit device according to claim 9, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 14 (original): The integrated semiconductor circuit device according to claim 10, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

Claim 15 (original): The integrated semiconductor circuit device according to claim 11, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

Claim 16 (original): The integrated semiconductor circuit device according to claim 12, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

REMARKS

Claims 11 and 12 have been amended to overcome the Examiner's §112 rejections. No new matter has been entered.

Turning to the rejection of claims 11-16 under 35 USC §112 as based on non-enabling disclosure, claims 11 and 12 have been amended to include the feature that the "integrated semiconductor circuit device includes a phase synchronizing circuit including a delay monitor circuit." Thus, it is believed the Examiner's §112 rejection has been overcome.

Turning to the rejection of claims 1-16 under 35 USC §102 as anticipated by Atsushi (JP Publication No. 2001-068986), the Examiner's rejection is in error. As is clearly shown in FIG. 1 of Atsushi, in the pMOS transistor PMO3, there is no transistor to pull down the gate terminal of PMO3 except NT02 and NS02 (or NT01 and NS01). However, in the present Application, a single nMOS transistor QN11 is also provided to pull down the gate terminal of QP1 which corresponds to PM03 in the above-mentioned prior art. A single transistor is superior to serially connected transistors in efficiency to pull down a terminal. On the other hand, serially connected transistors are superior to a single transistor in changing the pull-down rate. Thus, the present invention can regulate the slew rate with large dynamic range and with fine resolution by using both the single transistor (QN11) and the two serially connected transistors (QN14 and QN17, QN13 and N16, or QN12 and QN15). Thus, Atsushi cannot anticipate this feature of claims 1 and 4, nor any claims dependent therefrom.

Having dealt with all the objections raised by the Examiner, the Application is believed to be in order for allowance. Early and favorable action are respectfully requested.

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

OIPE JC59
JAN 0 5 2004
PATENT & TRADEMARK OFFICE

In the event there are any fee deficiencies or additional fees are payable, please charge them (or credit any overpayment) to our Deposit Account Number 08-1391.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: MAIL STOP NON-FEE AMENDMENT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on January 2, 2004, at Tucson, Arizona.

By

NPS:nm

RECEIVED
JAN -7 2004
TECHNOLOGY CENTER 2800

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/320,059	12/16/2002	Tsugio Takahashi	ELPIDA 02P155	1310

7590 10/08/2003

Norman P. Soloway
HAYES SOLOWAY P.C.
130 W. Cushing Street
Tucson, AZ 85701

EXAMINER	
CUNNINGHAM, TERRY D	
ART UNIT	**PAPER NUMBER**
2816	

DATE MAILED: 10/08/2003

Please find below and/or attached an Office communication concerning this application or proceeding.

PTO-90C (Rev. 10/03)

Office Action Summary	Application No.	Applicant(s)	
	10/320,059	TAKAHASHI, TSUGIO	
	Examiner	Art Unit	
	Terry D. Cunningham	2816	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If the period for reply specified above is less than thirty (30) days, a reply within the statutory minimum of thirty (30) days will be considered timely.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____ .

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) 1-16 is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) 1-16 is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on 13 December 2002 is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

11)☐ The proposed drawing correction filed on _____ is: a)☐ approved b)☐ disapproved by the Examiner.

If approved, corrected drawings are required in reply to this Office action.

12)☐ The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. §§ 119 and 120

13)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____ .

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

14)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).

a) ☐ The translation of the foreign language provisional application has been received.

15)☐ Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO-1449) Paper No(s) 2 .
4) ☐ Interview Summary (PTO-413) Paper No(s). _____ .
5) ☐ Notice of Informal Patent Application (PTO-152)
6) ☐ Other: .

DETAILED ACTION

Claim Rejections - 35 USC § 112

The following is a quotation of the first paragraph of 35 U.S.C. 112:

> The specification shall contain a written description of the invention, and of the manner and process of making and using it, in such full, clear, concise, and exact terms as to enable any person skilled in the art to which it pertains, or with which it is most nearly connected, to make and use the same and shall set forth the best mode contemplated by the inventor of carrying out his invention.

Claims 11-16 are rejected under 35 U.S.C. § 112, first paragraph, as based on a disclosure which is not enabling. The circuit of Fig. 9, less 23 and, is deemed critical or essential to the practice of the invention, but is not included in the claim(s). There is not support in the specification for a circuit using only the "delay monitor circuit" with the "output buffer circuit". As seen in Fig. 9, the use of "delay monitor circuit" necessitates the use of the remainder of the rest of the "phase synchronization circuit". *In re Mayhew*, 527 F.2d 1229, 188 USPQ 356 (CCPA 1976).

The following is a quotation of the second paragraph of 35 U.S.C. 112:

> The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 11-16 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claims 11 and 12, there is no connection recited of the "delay monitor circuit" to the rest of the circuit. Also, it is not understood what the purpose and operation of the "delay monitor circuit" is without the rest of the "phase synchronization circuit" of Fig. 9, as discussed above.

Claims 13-16 are rejected for the reasons discussed above with claims 11 and 12.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-16 are (11-16, insofar as understood) are rejected under 35 U.S.C. 102(b) as being anticipated by Atsushi (JPub 2001-068986, cited by Applicant). Atsushi discloses, in Fig. 1, a circuit comprising: "a main driver" having "a first p-channel transistor (PMO3)", "a first n-channel transistor (NMO3)", "a second p-channel transistor (PMO2)" and "a second n-channel transistor (NMO2)"; "a predriver" having "a third p-channel transistor (PA)2)", "a third n-channel transistor (NTO2)", "a fourth p-channel transistor (PTO2)", "a fourth n-channel transistor (NAO2)", "a fifth n-channel transistor (NSO2 or NTO1)" and "a fifth p-channel transistor (PSO2 or PTO1)", all connected and operating similarly as recited by Applicant.

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure. Reference is expressly made to the references of Uenishi and Burstein.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Terry Cunningham whose telephone number is 703-308-4872. The examiner can normally be reached on Monday-Thursday from 7:30 to 6:00.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Timothy P. Callahan can be reached on 703-308-4876. The fax phone numbers for Technology Center 2800 are 703-872-9318 for Before Final communications and 703-872-9319

for After Final communications. Please note, any faxed paper clearly stating **DRAFT** or **PROPOSED AMENDMENT** at the top will be forwarded directly to the Examiner. All others will be treated as a formal response and acted upon accordingly.

Any inquiry of a general nature or relating to the status of this application or proceeding should be directed to the Group receptionist whose telephone number is 703-308-0956.

Terry D. Cunningham
Primary Examiner
Art Unit 2816

TC
September 29, 2003

Notice of References Cited	Application/Control No. 10/320,059	Applicant(s)/Patent Under Reexamination TAKAHASHI, TSUGIO	
	Examiner Terry D. Cunningham	Art Unit 2816	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
	A	US-6,466,487 B2	10-2002	Otsuka, Nobuaki	365/189.05
	B	US-6,066,958 A	05-2000	Taniguchi et al.	326/27
	C	US-6,559,676 B1	05-2003	Tomita, Takashi	326/81
	D	US-6,483,340 B2	11-2002	Uenishi, Yasutaka	326/27
	E	US-5,500,610 A	03-1996	Burstein, Steven	326/85
	F	US-5,140,194 A	08-1992	Okitaka, Takenori	326/86
	G	US-6,573,753 B1	06-2003	Snyder, Warren	326/87
	H	US-5,914,618 A	06-1999	Mattos, Derwin W.	326/87
	I	US-5,773,999 A	06-1998	Park et al.	327/108
	J	US-6,320,433 B1	11-2001	Hinterscher, Eugene B.	327/112
	K	US-5,850,159 A	12-1998	Chow et al.	327/394
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

INFORMATION DISCLOSURE CITATION

(Use several sheets if necessary)

ATTY DOCKET NO.	SERIAL NO.
ELPIDA 02P1	
APPLICANT(S) TAKAHASHI	
FILING DATE December 16, 2002	GROUP

U.S. PTO 12/16/02 10/320059 J033

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
TDC		2001-007695	12.01.2001	JAPAN (w/Abstract)	H03K	10/0175		✓
TDC		2000-332593	30.11.2000	JAPAN (w/Abstract)	H03K	10/0175		✓
TDC		2001-068986	16.03.2001	JAPAN (w/Abstract)	H03K	19/0175		✓
TDC		09-093111	04.04.1997	JAPAN (w/Abstract)	H03K	19/0175		✓
TDC		11-017516	22.01.1999	JAPAN (w/Abstract)	H03K	19/0175		✓

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

EXAMINER	DATE CONSIDERED
T. Cunningham	9/27/03

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

INFORMATION DISCLOSURE CITATION

(Use several sheets if necessary)

ATTY DOCKET NO.	SERIAL NO.
ELPIDA 02P[illegible]	
APPLICANT(S) TAKAHASHI	
FILING DATE December 16, 2002	GROUP

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
TDC		02-092019	30.03.1990	JAPAN (w/Abstract)	H03K	19/0948		✓
TDC		05-175444	13.07.1993	JAPAN (w/Abstract)	H01L	27/092		✓

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

EXAMINER	DATE CONSIDERED
T. Cunningham	9/27/03

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

12-17-02

A 4

jc784 U.S. PTO
12/16/02

HAYES SOLOWAY PC
130 W. Cushing Street
Tucson, AZ
85701 U.S.A.
TEL 520-882-7623
FAX 520-882-7643

Docket No.: ELPIDA 02P155
Date: December 16, 2002

J1033 U.S. PTO
10/320059
12/16/02

BOX PATENT APPLICATION
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Dear Sir:
Transmitted herewith for filing is the patent application of:

Inventor: TAKAHASHI
For: **OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT**

Enclosed are the following:

[ ] Letter: SUBMISSION OF INCOMPLETE APPLICATION
[X] Specification 33 pages; Claims 8 pages; Abstract 1 page
[X] Declaration and Power of Attorney
[X] Sheet(s) of drawings 9 pages
[X] An assignment of the invention to: Elpida Memory, Inc.
[X] A certified copy of Japanese application No. 2001-386126, filed December 19, 2001
[X] Information Disclosure Statement
[ ] Preliminary Amendment

[ ] Applicant claims small entity status. See 37 CFR 1.27.

Priority is hereby claimed under 35 USC 119 by way of Japanese patent application No. 2001-386126 filed December 19, 2001.

Benefit is hereby claimed under Title 35, United States Code 119(e) of United States provisional application No. _____ filed _____.

The filing fee has been calculated as shown below:

		SMALL ENTITY	LARGE ENTITY
BASIC FEE:		$370.00	$ 740.00
TOTAL CLAIMS:	16 - 20 =	x 9 =	x 18 =$ .00
INDEPENDENT CLAIMS:	4 - 3 =	x 42 =	1 x 84 =$ 84.00
MULT. DEPEND. CLAIMS:		+ 140=	+ 280=
TOTAL:		$	$ 824.00

[X] Form PTO-2038 authorizing credit card payment in the amount of $864.00 to cover the fees is enclosed.
[X] ($40.00 Assignment recordal fee is included)

The Commissioner is hereby authorized to charge any additional filing fees required under 37 CFR 1.16 or credit any overpayment to Deposit Account No. 08-1391.

Norman P. Soloway
Attorney of Record
Reg. No. 24,315

CERTIFICATE OF EXPRESS MAILING

"Express Mail" Mailing Label No. EU438466566US
Date of Deposit December 16, 2002

I hereby certify that this paper and the papers listed thereon are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Assistant Commissioner for Patents, Washington, DC 20231.

Signature of Person Mailing Sharon McKniff
Name of Person Mailing Sharon McKniff

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

BACKGROUND OF THE INVENTION

1. Field of the Invention:

The present invention relates to an output buffer circuit for use in an integrated semiconductor circuit device, and more particularly to an output buffer circuit which is capable of adjusting the output impedance thereof according to control signals from an external source.

2. Description of the Related Art:

Systems incorporating integrated semiconductor circuit devices in recent years employ memory devices such as DRAMs (Dynamic Random Access Memories) and SDRAMs (Synchronous DRAMs) which operate with a clock signal of several hundreds MHz as a result of processing operations at higher speeds. To meet lower power consumption requirements, there are also available integrated semiconductor circuit devices that operate at lower power supply voltages of about 1.5 V or lower.

It is important for systems operating at higher speeds and under low voltages to suppress variations in the driving capability and slew rate of the output buffer circuit of the integrated semiconductor circuit device in view of fluctuations in the power supply voltage and the

ambient temperature and different device performance capabilities.

For example, Japanese patent applications laid-open Nos. 05-175444 and 2-092019 propose arrangements for adjusting the driving capability of an output buffer circuit by changing the output impedance thereof. Proposals disclosed in Japanese patent applications laid-open Nos. 2001-68986 and 2000-332593 adjust the slew rate of an output buffer circuit by changing the ratio of tr(rise time)/tf(fall time) of an output pulse waveform.

Integrated semiconductor circuit devices such as DDR (Double Data Rate)-SDRAMs receive data from a memory device which outputs data in timed relation to rising and falling edges of a system clock signal CLK (see FIG. 1 of the accompanying drawings). In such an integrated semiconductor circuit device, if the timing to sent data (a cross-point CP between rising and falling waveforms shown in FIG. 1) is shifted a one-half period (tck/2) from the system clock signal CLK, then the integrated semiconductor circuit device fails to receive the transmitted data correctly. Actual systems have a very narrow range (window) of allowable cross-point variations because of delays caused by interconnections, etc.

If the slew rate becomes lower, then since the amplitude of output pulses cannot reach a maximum value when the system operates at a high speed, the system

fails to determine a logic level of "1" or "0" properly. Conversely, if the slew rate become higher, then high-frequency components increase to distort output pulses, thus increasing noise which tends to result in a system malfunction.

The above problems may be solved by compensating for variations in the cross-point CP and the slew rate at the data transmission side. However, variations in the cross-point CP and the slew rate cannot be compensated for simply by adjusting the output impedance. Only adjusting the slew rate fails to achieve a compensation within the allowable range of variations of the system which operates at a high speed and under a low voltage because the cross-point CP and the slew rate depend on variations of both the output impedance and the power supply voltage.

In particular, if only the slew rate is adjusted, when the high level of the output signal is lowered or the low level of the output signal is increased due to a reduction in the driving capability, the system becomes unable to determine a logic level of "1" or "0" properly.

The output impedance of an output buffer circuit can easily be detected for fluctuations by monitoring the load current and output level of the output buffer circuit even when the output buffer circuit is incorporated in a system. However, it is difficult to

detect fluctuations of the slew rate of the output buffer circuit because the slew rate cannot easily be monitored.

The output buffer circuits disclosed in the above applications offer an arrangement for adjusting either one of the output impedance and the slew rate, and are disadvantageous in that variations in the cross-point CP and the slew rate of the disclosed output buffer circuits as they are incorporated in a system cannot sufficiently be compensated for against variations in the power supply voltage and the ambient temperature.

Controlling the cross-point and the slew rate needs to take the following problems into account:

Generally, systems having integrated semiconductor circuit devices such high-speed DDR-DRAMs or the like employ a phase synchronizing circuit such as a DLL (Delay Locked Loop) or a PLL (Phase Locked Loop) in order to synchronize data output from the output buffer circuit of the integrated semiconductor circuit device with the system clock signal. The phase synchronizing circuit uses a circuit having a delay similar to the delay in the output buffer circuit for monitoring the delay in the output buffer circuit. The phase synchronizing circuit generates a compensating clock signal for compensating for the monitored delay, and synchronizes the output from the output buffer circuit with the generated compensating clock signal.

If the output impedance and the slew rate of the output buffer circuit are adjusted to improve the system performance, then the data output timing of the output buffer circuit varies because of the adjustment of the output impedance and the slew rate thereof.

In order to synchronize the data output timing of the output buffer circuit accurately with the system clock signal, therefore, it is necessary for the circuit which monitors the delay in the output buffer circuit to adjust its own delay depending on variations in the delay in the output buffer circuit.

SUMMARY OF THE INVENTION

It is therefore an object of the present invention to provide an output buffer circuit which is capable of sufficiently compensating for variations in the cross-point between rising and falling waveforms of output pulses and variations in the slew rate against variations in the power supply voltage and the ambient temperature even when the output buffer circuit is incorporated in a system.

To achieve the above object, an output buffer circuit according to the present invention has a main driver for driving a load and a predriver for driving the main driver. The main driver has at least a pair of a first p-channel MOS transistor and a first n-channel MOS

transistor for driving a load according to the data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving the load in coaction with the first p-channel MOS transistor and the first n-channel MOS transistor. The predriver has at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving the first p-channel MOS transistor according to the data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving the first n-channel MOS transistor according to the data, at least one fifth n-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth p-channel MOS transistor.

With the above arrangement, the number of transistors of the main driver for driving the load according to control signals and the number of transistors of the predriver are changed to simultaneously adjust the cross-point of output pulses and the slew rate as well as the output impedance with the same control signals. Consequently, the data receiving side connected to the output buffer circuit is prevented from malfunctioning, making it possible to achieve a system which operates normally even when the

EX1005 / Page 106 of 376
Western Digital Technologies, Inc.

power supply voltage and the ambient temperature vary.

Since the output impedance and the rise and fall times of output pulses are simultaneously controlled, the number of control signals and the steps of a testing process are made smaller than if the output impedance and the rise and fall times of output pulses were controlled independently of each other. Thus, the manufacturing cost of the output buffer circuit is prevented from increasing.

The system incorporating the output buffer circuit has its performance capability increased because the slew rate is automatically improved by monitoring and adjusting only the output impedance of the output buffer circuit.

Another output buffer circuit according to the present invention has a main driver which is identical to the main driver described above, and a predriver including at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving the first p-channel MOS transistor according to the data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving the first n-channel MOS transistor according to the data, at least one fifth n-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third n-channel MOS transistor, at least one

fifth p-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth n-channel MOS transistor.

With the above arrangement, the driving capabilities of both the third n-channel MOS transistor and the third p-channel MOS transistor are similarly increased, and the driving capabilities of both the fourth p-channel MOS transistor and the fourth n-channel MOS transistor are similarly increased. Therefore, a through current is preventing from flowing through the first p-channel MOS transistor and the first n-channel MOS transistor, and hence noise is prevented from being produced and the current consumption is prevented from increasing due to such a through current.

An integrated semiconductor circuit device according to the present invention has the above output buffer circuit and a delay monitor circuit identical in circuit arrangement to the output buffer circuit and having transistors controlled according to the control signals in the same manner as with the output buffer circuit, the delay monitor circuit having an output

terminal connected to a dummy load determined from an actual load of the output buffer circuit based on a transistor size ratio between the output buffer circuit and the delay monitor circuit.

Another integrated semiconductor circuit device according to the present invention has the above output buffer circuit and a delay monitor circuit comprising a plurality of capacitors for delaying the data output from the output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling the capacitors to delay the data according to the control signals, the delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of the output buffer circuit based on a transistor size ratio between the output buffer circuit and the delay monitor circuit.

With the above arrangements, since the delay monitor circuit reflects the adjusted values of the output impedance of the output buffer circuit and the ratio tr/tf of output pulses, a system clock signal and the data output from the output buffer circuit can be synchronized more accurately with each other.

The above and other objects, features, and advantages of the present invention will become apparent from the following description with reference to the accompanying drawings which illustrate examples of the

present invention.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a diagram illustrative of problems which arise when a conventional output buffer circuit is in operation;

FIG. 2 is a block diagram of a DRAM as an integrated semiconductor circuit device incorporating an output buffer circuit according to the present invention;

FIG. 3 is a circuit diagram of an output buffer circuit according to a first embodiment of the present invention;

FIG. 4 is a circuit diagram of a modification of the output buffer circuit according to the first embodiment;

FIG. 5 is a waveform diagram showing the results of a simulation of output pulses produced when the ratio tr/tf of the output buffer circuit according to the first embodiment is controlled and when the ratio tr/tf is not controlled;

FIG. 6 is a waveform diagram showing the results of a simulation of output pulses produced when the ratio tr/tf of the output buffer circuit according to the first embodiment is controlled and when the ratio tr/tf is not controlled;

FIG. 7 is a circuit diagram of an output buffer

EX1005 / Page 110 of 376
Western Digital Technologies, Inc.

circuit according to a second embodiment of the present invention;

FIG. 8 is a circuit diagram of a portion of the output buffer circuit according to the present invention and waveform diagrams showing the manner in which that portion of the output buffer circuit operates;

FIG. 9 is a block diagram of a phase synchronizing circuit which operates as shown in FIG. 1;

FIG. 10A and 10B are circuit diagrams showing examples in which a delay monitor circuit is used; and

FIG. 11 is a circuit diagram of a delay monitor circuit incorporated in the integrated semiconductor circuit device according to the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

A DRAM (including an SDRAM) as an example of an integrated semiconductor circuit device which incorporates an output buffer circuit according to the present invention will be described below.

As shown in FIG. 2, the DRAM comprises memory array 1 made up of a plurality of memory cells for storing data, X decoder (X-DEC) 2 and Y decoder (Y-DEC) 3 for decoding addresses Ai to access memory cells for writing data therein and reading data therefrom, ROW address buffer 4 and COLUMN address buffer 5 for temporarily holding addresses entered from an external source,

EX1005 / Page 111 of 376
Western Digital Technologies, Inc.

control circuit 6 for controlling operation of the DRAM according to various control signals supplied from an external source, mode control circuit 7 for operating the DRAM in certain modes according to various control signals supplied from an external source, output buffer circuit 8 for outputting data read from memory array 1 from DQ terminal at a predetermined timing, and phase synchronizing circuit 9 for synchronizing the data output timing of output buffer circuit 8 with a system clock signal CLK.

Data stored in memory array 1 are read by a sense amplifier (not shown) and transferred to output buffer circuit 8. Data to be stored in the DRAM are input through DQ terminal, and written into memory cells corresponding to write addresses by a driver circuit (not shown).

Control circuit 6 is supplied with various control signals including /RAS (Row Address Strobe command), /CAS (Column Address Strobe command), /WE (Write Enable), /CS (Chip Select), CKE (Clock Enable), CLK (Clock), /CLK, DM (input/output mask). The symbol "/" represents that the signal is significant when low in level.

Data read from memory array 1 by the non-illustrated sense amplifier is temporarily stored in a buffer memory (not shown), and output from output buffer circuit 8 through DQ terminal according to control

EX1005 / Page 112 of 376
Western Digital Technologies, Inc.

signals that are generated by control circuit 6 and mode control circuit 7. Data input from an external source through DQ terminal is temporarily stored in the non-illustrated buffer memory, and written through a write amplifier (not shown) into memory array 1 according to control signals that are generated by control circuit 6 and mode control circuit 7. At this time, output buffer circuit 8 has its output impedance kept at a high level by a control signal from control circuit 6.

Phase synchronizing circuit 9 comprises a DLL, a PLL, or the like. Phase synchronizing circuit 9 uses a circuit (a delay monitor circuit to be described later on) having a delay similar to the delay in output buffer circuit 8 for monitoring the delay in output buffer circuit 8. Phase synchronizing circuit 9 generates compensating clock signal CLKOE for compensating for the monitored delay from system clock CLK, and supplies generated compensating clock signal CLKOE to output buffer circuit 8.

Output buffer circuit 8 outputs data in synchronism with compensating clock signal CLKOE supplied from phase synchronizing circuit 9. The circuit for monitoring the delay in output buffer circuit 8 has its output impedance and slew rate controlled, as with output buffer circuit 8, by control signals $\phi 1$ through ϕN, $/\phi 1$ through $/\phi N$ to be described later on.

EX1005 / Page 113 of 376
Western Digital Technologies, Inc.

1st Embodiment:

An output buffer circuit according to a first embodiment of the present invention will be described below with reference to the drawings.

As shown in FIG. 3, the output buffer circuit according to the first embodiment has main driver 11 for driving a load connected to DQ terminal, main driver 11 having an output impedance which can be changed, a predriver 12 for driving main driver 11 according to data (DATA) read from a sense amplifier and changing the ratio tr/tf of output pulses of main driver 11, and a controller 13 for generating signals to change the output impedance of main driver 11 and the ratio tr/tf of output pulses according to control signals ϕ1 through ϕ6 from a control circuit, etc. Control signals /ϕ1 through /ϕ6 shown in FIG. 3 are inversions of signals ϕ1 through ϕ6. Inverters for inverting signals ϕ1 through ϕ6 are omitted from the illustration in FIG. 3.

For example, control signals ϕ1 through ϕ6 are generated from a control circuit 6 according to commands supplied from an external integrated semiconductor circuit that contains an output buffer circuit shown in FIG. 3. The data receiving the output buffer circuit shown in FIG. 3 is a signal which is synchronous with compensating clock signal CLKOE supplied from phase synchronizing circuit 9 shown in FIG. 2.

EX1005 / Page 114 of 376
Western Digital Technologies, Inc.

Main driver 11 comprises four p-channel MOS transistors (hereinafter referred to as "pMOS transistors") QP1 through QP4 and four n-channel MOS transistors (hereinafter referred to as "nMOS transistors") QN1 through QN4.

pMOS transistors QP1 through QP4 have respective sources connected to a power supply, and nMOS transistors QN1 through QN4 have respective sources connected to a ground potential. pMOS transistors QP1 through QP4 and nMOS transistors QN1 through QN4 have respective drains connected to DQ terminal. pMOS transistor QP1 and nMOS transistor QN1 have respective gates connected to predriver 12, and pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 have respective gates connected to controller 13.

pMOS transistors QP2 through QP4 as well as pMOS transistor QP1 drive the load connected to DQ terminal to adjust the output impedance when high-level data is output from main driver 11. nMOS transistors QN2 through QN4 as well as nMOS transistor NP1 drive the load connected to DQ terminal to adjust the output impedance when low-level data is output from main driver 11.

pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 comprise transistors having a small device size (a narrow gate width) whose effect on the ratio tr/tf of output pulses is smaller than pMOS

transistor QP1 and nMOS transistor QN1. The number of pMOS transistors connected parallel to pMOS transistor QP1 and the number of nMOS transistors connected parallel to nMOS transistor QN1 are not limited to three, but at least one pMOS transistor may be connected parallel to pMOS transistor QP1 and at least one nMOS transistor may be connected parallel to nMOS transistor QN1.

Predriver 12 comprise pMOS transistor QP11 and nMOS transistor QN11 for driving pMOS transistor QP1 of main driver 11, nMOS transistors QN12 through QN14 for adjusting the driving capability of nMOS transistor QN11 for driving pMOS transistor QP1, nMOS transistors QN15 through QN17 for turning on and off nMOS transistors QN12 through QN14, pMOS transistor QP21 and nMOS transistor QN21 for driving nMOS transistor QN1 of main driver 11, pMOS transistors QP22 through QP24 for adjusting the driving capability of pMOS transistor QP21 for driving nMOS transistor QN1, and pMOS transistors QP25 through QP27 for turning on and off pMOS transistors QP22 through QP24.

nMOS transistors QN15 through QN17 are controlled by respective control signals $\phi 1$ through $\phi 3$, and pMOS transistors PN25 through QP27 are controlled by respective control signals $\phi 4$ through $\phi 6$. In FIG. 3, predriver 12 has inverter INV1 for driving pMOS transistor QP11 and nMOS transistor QN11 according to the

data (DATA) supplied from an external source, and inverter INV2 for driving pMOS transistor QP21 and nMOS transistor QN21 according to the data (DATA) supplied from the external source. However, inverters INV1, INV2 may be dispensed with if no logic problem arises, or may be replaced with driver circuits which do not invert logic levels.

nMOS transistors QN12 through QN14 as well as nMOS transistor QN11 drive pMOS transistor QP1 as a load to adjust the time for pMOS transistor QP1 to be turned on from an OFF state, i.e., the rise time tr of an output pulse of main driver 11. pMOS transistors QP22 through QP24 as well as pMOS transistor QP21 drive nMOS transistor QN1 as a load to adjust the time for nMOS transistor QN1 to be turned on from an OFF state, i.e., the fall time tf of an output pulse of main driver 11. The number of nMOS transistors connected to nMOS transistor QN11 and the number of pMOS transistors connected to pMOS transistor QP21 are not limited to three, but at least one nMOS transistor may be connected to nMOS transistor QN11 and at least one pMOS transistor may be connected to pMOS transistor QP21.

Controller 13 is a logic circuit which comprises OR gates NOR1 through NOR3, AND gates NAND1 through NAND3, and inverters INV11 through INV16 for generating signals for turning on and off pMOS transistors QP2 through QP4

and nMOS transistors QN2 through QN4 of main driver 11 and nMOS transistors QN15 through QN17 and pMOS transistors QP25 through QP27 of predriver 12 according to control signals ϕ1 through ϕ6,

In FIG. 3, the ON/OFF states of nMOS transistors QN15 through QN17 are controlled by control signals ϕ1 through ϕ3 thereby to drive nMOS transistors QN12 through QN14 as well as nMOS transistor QN11, and the ON/OFF states of pMOS transistors QP25 through QP27 are controlled by control signals ϕ4 through ϕ6 thereby to drive pMOS transistors QP22 through QP24 as well as pMOS transistor QP21.

As with main driver 11, predriver 12 may be arranged such that nMOS transistors QN12 through QN14 and pMOS transistors QP22 through QP24 are driven directly by control signals output from the logic circuit of controller 13.

Conversely, as with predriver 12, main driver 11 may have pMOS transistors XP2 through XP4 connected in series to pMOS transistors QP2 through QP4 and nMOS transistors XN2 through XN4 connected in series to nMOS transistors QN2 through QN4, and may be arranged such that the ON/OFF states of pMOS transistors XP2 through XP4 and nMOS transistors XN2 through XN4 are controlled by control signals output from the logic circuit of controller 13.

For adjusting the output impedance of the output buffer circuit shown in FIG. 3, the level of control signals ϕ1 through ϕ3 is rendered low to turn on corresponding pMOS transistors QP2 through QP4 to lower the output impedance at the high-level data is output. At this time, the greater the number of pMOS transistors that are turned on, the smaller the output impedance. Similarly, the level of control signals ϕ4 through ϕ6 is rendered high to turn on corresponding nMOS transistors QN2 through QN4 to lower the output impedance at the low-level data is output. At this time, the greater the number of nMOS transistors that are turned on, the smaller the output impedance.

For adjusting the ratio tr/tf (slew rate) of output pulses, the level of control signals ϕ1 through ϕ3 is rendered high to turn on corresponding nMOS transistors QN12 through QN14 to shorten the rise time tr upon switching from the low-level data to the high-level data. At this time, the greater the number of nMOS transistors that are turned on, the shorter the rise time tr. Similarly, the level of control signals ϕ4 through ϕ6 is rendered low to turn on corresponding pMOS transistors QP22 through QP24 to shorten the fall time tf upon switching from the high-level data to the low-level data. At this time, the greater the number of pMOS transistors that are turned on, the shorter the fall time tf.

EX1005 / Page 119 of 376
Western Digital Technologies, Inc.

In the present embodiment, the output impedance is adjusted and the ratio tr/tf are adjusted simultaneously. For example, when control signal /ϕ1 is rendered low and control signal ϕ4 is rendered high in order to lower the output impedance by one stage, control signal ϕ1 which is an inversion of control signal /ϕ1 goes high, turning on nMOS transistors QN12, QN15, and control signal /ϕ4 which is an inversion of control signal ϕ4 goes low, turning on pMOS transistors QP22, QP25. Therefore, the ratio tr/tf is reduced by one stage. Similarly, when the output impedance is lowered by two stages, the ratio tr/tf is reduced by two stages, and when the output impedance is lowered by three stages, the ratio tr/tf is reduced by three stages. The output impedance and the rise time tr at the time the high-level data is output and the output impedance and the rise time tf at the time the low-level data is output can be adjusted independently of each other.

As described above, pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 comprise transistors having a small device size whose effect on the ratio tr/tf is smaller than pMOS transistor QP1 and nMOS transistor QN1. In FIG. 3, the ratio tr/tf is adjusted using only pMOS transistor QP1 and nMOS transistor QN1.

If pMOS transistors QP2 through QP4 and nMOS

transistors QN2 through QN4 have a large device size, it is possible to adjust the ratio tr/tf with each of the transistors. In that case, however, the circuit scale is relatively large because it is necessary to add the same arrangement as predriver 12 in place of each of inverters INV11 through INV16. Therefore, it is preferable as shown in FIG. 3 to adjust the ratio tr/tf with the pair of pMOS transistors QP1 and nMOS transistor QN1.

In FIG. 3, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are the same as each other. However, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are not required to be the same as each other, but may be different from each other. For example, as shown in FIG. 4, the main driver may have eight pairs of pMOS transistors and nMOS transistors for adjusting the output impedance in seven stages, and the ratio tr/tf may be adjusted in three stages as with the circuit shown in FIG. 3.

Generally, as the output impedance of an output buffer circuit increases due to variations in the power supply voltage and the ambient temperature, the ratio tr/tf of output pulses tends to be greater (longer). Therefore, if the relationship between changes in the output impedance of the output buffer circuit and changes

in the ratio tr/tf is determined in advance, then, since a corrective quantity for the ratio tr/tf of output pulses is known for a corrective quantity for the output impedance, the output impedance and the ratio tr/tf can simultaneously be corrected by one control signal. Consequently, the data receiving side is prevented from malfunctioning, making it possible to achieve a system which operates normally even when the power supply voltage and the ambient temperature vary.

According to the present embodiment, the output buffer circuit is controlled to increase the output impedance and increase the ratio tr/tf to compensate for fluctuations in the output level of the output buffer circuit and the cross-point of the output signal. For example, as indicated by the results of a simulation shown in FIG. 5, when the ratio tr/tf is controlled, a range of variations of the cross-point of the ratio tr/tf is reduced to about 2/3 of the range of variations of the cross-point when the ratio tr/tf is not controlled. FIG. 5 shows the ratio tr/tf in best conditions when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled against the ratio tr/tf in worst conditions. In the results of the simulation shown in FIG. 5, the output impedance is controlled both when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled.

FIG. 6 shows the results of a simulation which

EX1005 / Page 122 of 376
Western Digital Technologies, Inc.

indicate that when the ratio tr/tf is controlled, the range of variations of the slew rate is reduced to about 1/3 of the range of variations of the slew rate when the ratio tr/tf is not controlled. FIG. 6 illustrates waveforms (a: Device worst) when the ratio tr/tf is not controlled, the power supply voltage is minimum, and the device is at a high temperature at which the slew rate is lowest, waveforms (b: Device best) when the ratio tr/tf is not controlled, the power supply voltage is maximum, and the device is at a low temperature at which the slew rate is highest, and waveforms (c: Device best) when the ratio tr/tf is controlled, the power supply voltage is maximum, and the device is at a low temperature at which the slew rate is highest. In the results of the simulation shown in FIG. 6, the output impedance is controlled both when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled.

With the output buffer circuit according to the present embodiment, the output impedance is adjusted and the ratio tr/tf of output pulses is controlled at the same time for thereby reducing the number of control signals and the number of testing steps. Accordingly, the manufacturing cost of the output buffer circuit is prevented from increasing, and it is not necessary to conduct a complex test unlike the situation where the output impedance and the ratio tr/tf of output pulses are

EX1005 / Page 123 of 376
Western Digital Technologies, Inc.

controlled independently of each other. If only the output impedance of the output buffer circuit is monitored and adjusted, then since the slew rate is automatically improved, the performance of a system which employs the integrated semiconductor circuit device incorporating the output buffer circuit according to the present embodiment can be improved.

2nd Embodiment:

An output buffer circuit according to a second embodiment of the present invention will be described below with reference to the drawings.

As shown in FIG. 7, the output buffer circuit according to the second embodiment includes, in addition to the components of the predriver of the output buffer circuit according to the first embodiment shown in FIG. 3, pMOS transistors QP31 through QP33 for increasing the driving capability of the pMOS transistor QP11 for driving the pMOS transistor QP1, pMOS transistors QP34 through QP36 for turning on and off pMOS transistors QP31 through QP33, nMOS transistors QN31 through QN33 for increasing the driving capability of the nMOS transistor QN21 for driving the nMOS transistor QN1, and nMOS transistors QN34 through QN36 for turning on and off nMOS transistors QN31 through QN33.

pMOS transistors QP34 through QP36 are controlled by respective control signals /ϕ1 through /ϕ3, and nMOS

transistors QN34 through QN36 are controlled by respective control signals ϕ4 through ϕ6. Therefore, the ON/OFF states of pMOS transistors QP31 through QP33 are controlled at the same timing as nMOS transistors QN12 through QN14 shown in FIG. 3, and the ON/OFF states of nMOS transistors QN31 through QN33 are controlled at the same timing as pMOS transistors QP22 through QP24 shown in FIG. 3. Other structural and operational details of the output buffer circuit according to the second embodiment are identical to those of the output buffer circuit according to the first embodiment, and will not be described below.

In the first embodiment, of pMOS transistor QP11 and nMOS transistor QN11 which are provided to drive pMOS transistor QP1 of the main driver, only nMOS transistor QN11 has its driving capability increased, and of pMOS transistor QP21 and nMOS transistor QN21 which are provided to drive nMOS transistor QN1 of the main driver, only pMOS transistor QP11 has its driving capability increased.

With such an arrangement, when pMOS transistor QP11 switches from the ON state to the OFF state and the nMOS transistor QN11 switches from the OFF state to the ON state, as shown in FIG. 8(a), if the speed of switching from the OFF state to the ON state increases because of the large driving capability of nMOS transistor QN11,

EX1005 / Page 125 of 376
Western Digital Technologies, Inc.

then there occur periods of time in which pMOS transistor QP11 and nMOS transistor QN11 are turned on, allowing a through current to flow from the power supply to the ground potential. The through current serves as a noise source, and tends to increase the current consumption of the output buffer circuit.

In the present embodiment, pMOS transistors QP31 through QP36 are added to the arrangement shown in FIG. 3 to increase the driving capabilities of both pMOS transistor QP11 and nMOS transistor QN11 as shown in FIG. 8(b). The arrangement according to the second embodiment offers the advantages of the output buffer circuit according to the first embodiment, and is additionally effective to prevent noise from being produced and the current consumption from being increased by the through current. Similarly, nMOS transistors QN31 through QN36 are added to the arrangement shown in FIG. 3 to increase the driving capabilities of both pMOS transistor QP21 and nMOS transistor QN21 prevent noise from being produced and the current consumption from being increased by the through current.

In the output buffer circuit according to the second embodiment, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are not required to be the same as each other, but may be different from each other as with the

EX1005 / Page 126 of 376
Western Digital Technologies, Inc.

arrangement shown in FIG. 4 according to the first embodiment.

3rd Embodiment:

According to a third embodiment, the arrangements of the output buffer circuits according to the first and second embodiments are applied to another circuit.

As described above, an integrated semiconductor circuit device such as a DDR-SDRAM or the like which operates at a high speed incorporates phase synchronizing circuit 9 for synchronizing data output from output buffer circuit 8 with system clock signal CLK, as shown in FIG. 9.

Phase synchronizing circuit 9 comprises a DLL as shown in FIG. 9, for example. Phase synchronizing circuit 9 has input buffer circuit 21 for being supplied with system clock signal CLK, variable delay circuit 22 for delaying clock signal CLK1 output from input buffer circuit 21 to generate compensating clock signal CLKOE for compensating for output data timing of output buffer circuit 8, delay monitor circuit 23 for being supplied with compensating clock signal CLKOE and monitoring a delay of output buffer circuit 8, input buffer replica circuit 24 for being supplied with an output signal from delay monitor circuit 23 and outputting feedback clock signal CLKFB as a monitored full delay, input buffer replica circuit 24 having a delay equal to the delay of

EX1005 / Page 127 of 376
Western Digital Technologies, Inc.

input buffer circuit 21, phase comparator (PD) 25 for outputting a value proportional to the phase difference between clock signal CLK1 output from input buffer circuit 21 and feedback clock signal CLKFB, and counter (Counter) 26 for controlling the delay produced by variable delay circuit 22 according to the output value from phase comparator 25.

Since phase synchronizing circuit 9 operates to bring clock signal CLK1 output from input buffer circuit 21 into phase with feedback clock signal CLKFB (precisely, feedback clock signal CLKFB is in phase with clock signal CLK1 with a one period delay), compensating clock signal CLKOE output from variable delay circuit 22 has phase information for canceling out delays caused by delay monitor circuit 23 and input buffer replica circuit 24.

Therefore, by synchronizing data (DATAR, DATAF) read from memory array 1 with compensating clock signal CLKOE using multiplexer (MUX) 27, the data output from output buffer circuit 8 can be synchronized with system clock signal CLK.

Delay monitor circuit 23 having the same delay as output buffer circuit 8 may comprise an extra output buffer circuit incorporated in the integrated semiconductor circuit device for monitoring the delay. However, in order to reduce the current consumption and

EX1005 / Page 128 of 376
Western Digital Technologies, Inc.

the circuit area, it is preferable to employ a circuit (replica circuit) which is identical in construction to the output buffer circuit and which has transistors reduced in size.

The output terminal of the replica circuit may be connected to a dummy load determined from an actual load (represented by a simulated value) based on the ratio of transistor sizes of the output buffer circuit and the replica circuit for monitoring changes in the delay of the output buffer circuit due to variations in the ambient temperature and the power supply voltage. In FIG. 9, the dummy load is included in the replica circuit (delay monitor circuit 9).

For example, as shown in FIG. 10A, if the actual load has a load resistance R_T of 25 Ω, a load capacitance C_L of 30 pF, and an actual interconnection resistance R_S of 25 Ω, and the size of each of the transistors of the replica circuit is 1/10 of the size of each of the transistors of output buffer circuit 8, then, as shown in FIG. 10B, the dummy load may have a load resistance (R_T of 250 Ω) which is ten times the load resistance of the actual load, a load capacitance (C_L of 3 pF) which is 1/10 of the load capacitance of the actual load, and an interconnection resistance (R_S of 250 Ω) which is ten times the actual interconnection resistance. The dummy load does not need to have a circuit (e.g., a

EX1005 / Page 129 of 376
Western Digital Technologies, Inc.

load replica) whose resistance and capacitance vary depending on variations in the ambient temperature and the power supply voltage, and may be arranged to be unsusceptible to such variations.

pMOS transistor WP1 shown in FIGS. 10A and 10B represents all pMOS transistors QP1 through QP4 of the main driver shown in FIG. 3. nMOS transistor WN1 shown in FIGS. 10A and 10B represents all nMOS transistors QN1 through QN4 of the main driver shown in FIG. 3. Similarly, inverters WP2, WN2 shown in FIGS. 10A and 10B represent all pMOS transistors QP11, QP31 through QP36, nMOS transistors QN11 through QN17 of the predrivers shown in FIGS. 3 and 7, and inverters WP3, WN3 shown in FIGS. 10A and 10B represent all pMOS transistors QP21 through QP27, nMOS transistors QN21, QN31 through QN36 of the predrivers shown in FIGS. 3 and 7.

In FIGS. 10A and 10B, the controllers shown in FIGS. 3 and 7, and control signals ϕ1 through ϕ6, /ϕ1 through /ϕ6 which are supplied from the controller to pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 of the main driver, and pMOS transistors QP25 through QP27, pMOS transistors QP34 through QP36, nMOS transistors QN15 through QN17, and nMOS transistors QN34 through QN36 of the predriver are omitted from the illustration. However, the circuit arrangement shown in FIGS. 10A and 10B has those controller and control

signals as with the circuit arrangements shown in FIGS. 3 and 7.

Data RDATA (= CLKOE) input to the replica circuit switches between "0" and "1" at a predetermined period unlike data DATA input to the output buffer circuit.

In the present embodiment, delay monitor circuit 23 shown in FIG. 9 is of the same arrangement as the output buffer circuit according to the first embodiment or the second embodiment, and is made up of transistors whose device size is smaller than those of the output buffer circuit. As with the first and second embodiments, the transistors are operated by control signals ϕ1 through ϕN, /ϕ1 through /ϕN (N is a positive integer) to control the output impedance of delay monitor circuit 23 and the ratio tr/tf of output pulses. The numbers of stages for adjusting the output impedance of the delay monitor circuit and the output buffer circuit and the numbers of stages for adjusting the ratio tr/tf thereof are not required to be the same as each other. The numbers of adjusting stages for the delay monitor circuit may be smaller than the numbers of adjusting stages for the output buffer circuit.

If an integrated semiconductor circuit device employs output buffer circuit 8 according to the first or second embodiment, then since delay monitor circuit 23 reflects the adjusted values of the output impedance of

EX1005 / Page 131 of 376
Western Digital Technologies, Inc.

output buffer circuit 8 and the ratio tr/tf of output pulses, system clock signal CLK and the data output from the output buffer circuit can be synchronized more accurately with each other using phase synchronizing circuit 9.

Delay monitor circuit 23 may only adjust the delay which varies depending on the output impedance and the ratio tr/tf of output pulses which have been adjusted by output buffer circuit 8. Therefore, as shown in FIG. 11, a predriver in delay monitor circuit 23 which is arranged not to control the output impedance and the ratio tr/tf of output pulses may have a plurality of capacitors (C1 through C6 in FIG. 11) for changing the delay, and a plurality of switches (SW1 through SW6 in FIG. 11) for connecting the capacitors to output terminals of inverters INV1, INV2, for thereby controlling the ON/OFF states of the switches with control signals /ϕ1 through /ϕN (N = 6 in FIG. 11). The delay caused by each of the capacitors may be equalized to a delay after the output impedance of the output buffer circuit and the ratio tr/tf of output pulses have been adjusted for achieving the above advantages.

Each of pMOS transistor WP1 and nMOS transistor WN1 shown in FIG. 11 may comprise a single MOS transistor, unlike the arrangement shown in FIG. 3, and each of inverters (WP2, WN2), (WP3, WN3) may comprise a set of

pMOS and nMOS transistors unlike the arrangement shown in FIG. 3.

While preferred embodiments of the present invention have been described in specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without departing from the spirit or scope of the following claims.

EX1005 / Page 133 of 376
Western Digital Technologies, Inc.

What is claimed is:

1. An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out

of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

2. The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are equal to each other.

3. The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are different from each other.

4. An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and

EX1005 / Page 135 of 376
Western Digital Technologies, Inc.

a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said

sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

5. The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistor, said sixth n-channel MOS transistor, and said sixth p-channel MOS transistor are equal to each other.

6. The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistors, said sixth n-channel MOS transistors, and said sixth p-channel MOS transistors are different from each other.

7. The output buffer circuit according to claim 1, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

8. The output buffer circuit according to claim 4, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

9. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

10. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4;

EX1005 / Page 138 of 376
Western Digital Technologies, Inc.

and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

11. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

EX1005 / Page 139 of 376
Western Digital Technologies, Inc.

12. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

13. The integrated semiconductor circuit device according to claim 9, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

14. The integrated semiconductor circuit device according to claim 10, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

EX1005 / Page 140 of 376
Western Digital Technologies, Inc.

15. The integrated semiconductor circuit device according to claim 11, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

16. The integrated semiconductor circuit device according to claim 12, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

EX1005 / Page 141 of 376
Western Digital Technologies, Inc.

ABSTRACT OF THE DISCLOSURE

An output buffer circuit has a main driver including a first pMOS transistor and a first nMOS transistor for driving a load, and a second pMOS transistor and a second nMOS transistor for driving the load in coaction with the first pMOS transistor and the first nMOS transistor, and a predriver including a third pMOS transistor and a third nMOS transistor for driving the first pMOS transistor, a fourth pMOS transistor and a fourth nMOS transistor for driving the first nMOS transistor, a fifth nMOS transistor for driving the first pMOS transistor in coaction with the third nMOS transistor, and a fifth pMOS transistor for driving the first nMOS transistor in coaction with the fourth pMOS transistor.

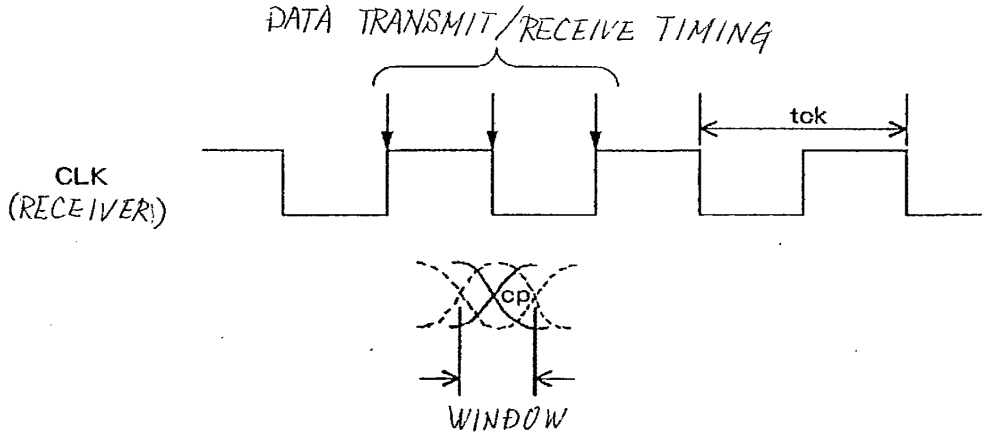


FIG. 1 (PRIOR ART)

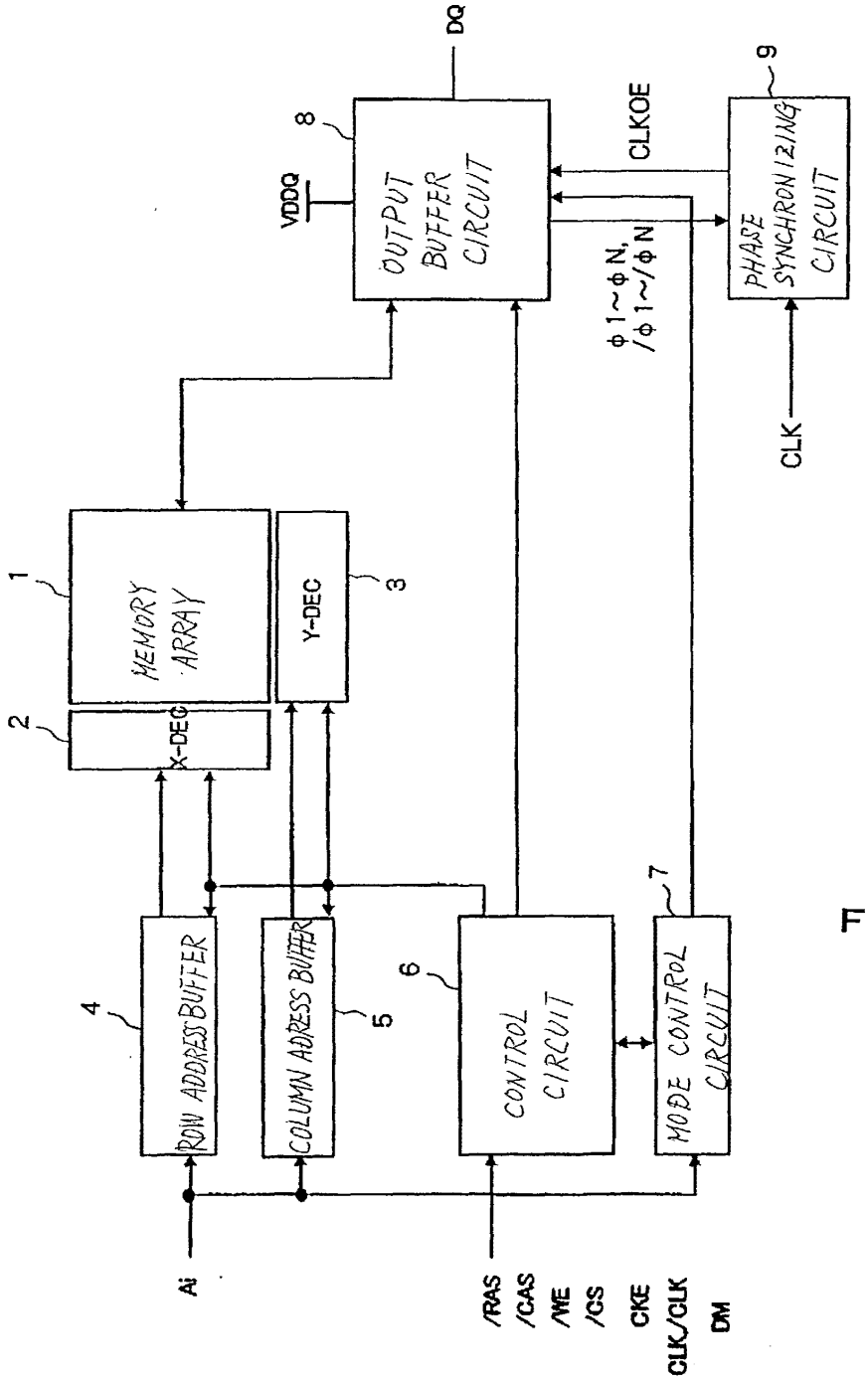

DQ
8
VDDQ
OUTPUT BUFFER CIRCUIT
CLKOE
9
PHASE SYNCHRONIZING CIRCUIT
φ1~φN,
/φ1~/φN
CLK
1
MEMORY ARRAY
3
Y-DEC
2
X-DEC
4
ROW ADDRESS BUFFER
5
COLUMN ADRESS BUFFER
6
CONTROL CIRCUIT
7
MODE CONTROL CIRCUIT
Ai
/RAS
/CAS
/WE
/CS
CKE
CLK/CLK
DM

FIG. 2

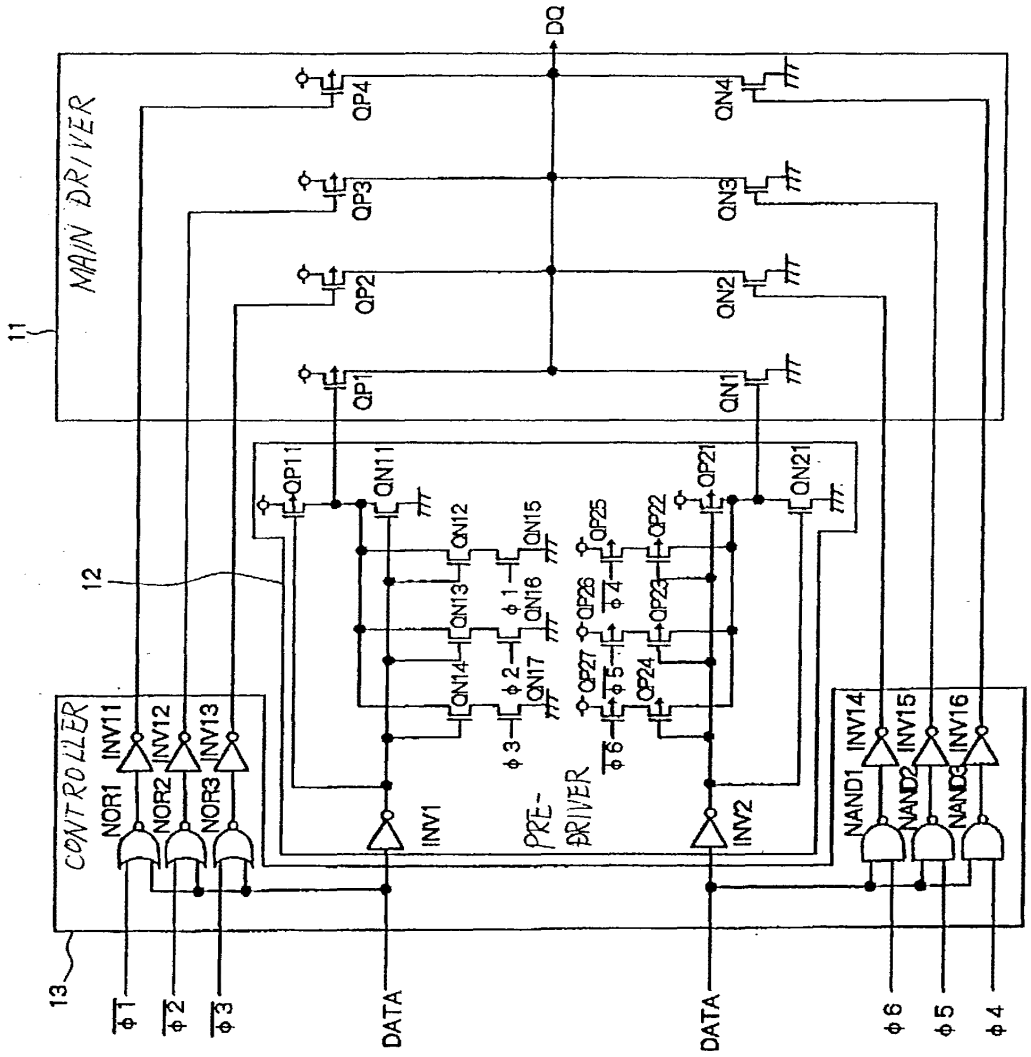

DQ
MAIN DRIVER
11
QP4
QP3
QP2
QP1
QN4
QN3
QN2
QN1
12
QP11
QN11
QN12
QN13
QN14
QN15
QN16
QN17
QP25
QP26
QP27
QP22
QP23
QP24
QP21
QN21
φ1
φ2
φ3
φ4
φ5
φ6
PRE-DRIVER
INV1
INV2
CONTROLLER
INV11
INV12
INV13
NOR1
NOR2
NOR3
INV14
INV15
INV16
NAND1
NAND2
NAND3
13
DATA
DATA
φ1
φ2
φ3
φ6
φ5
φ4

FIG. 3

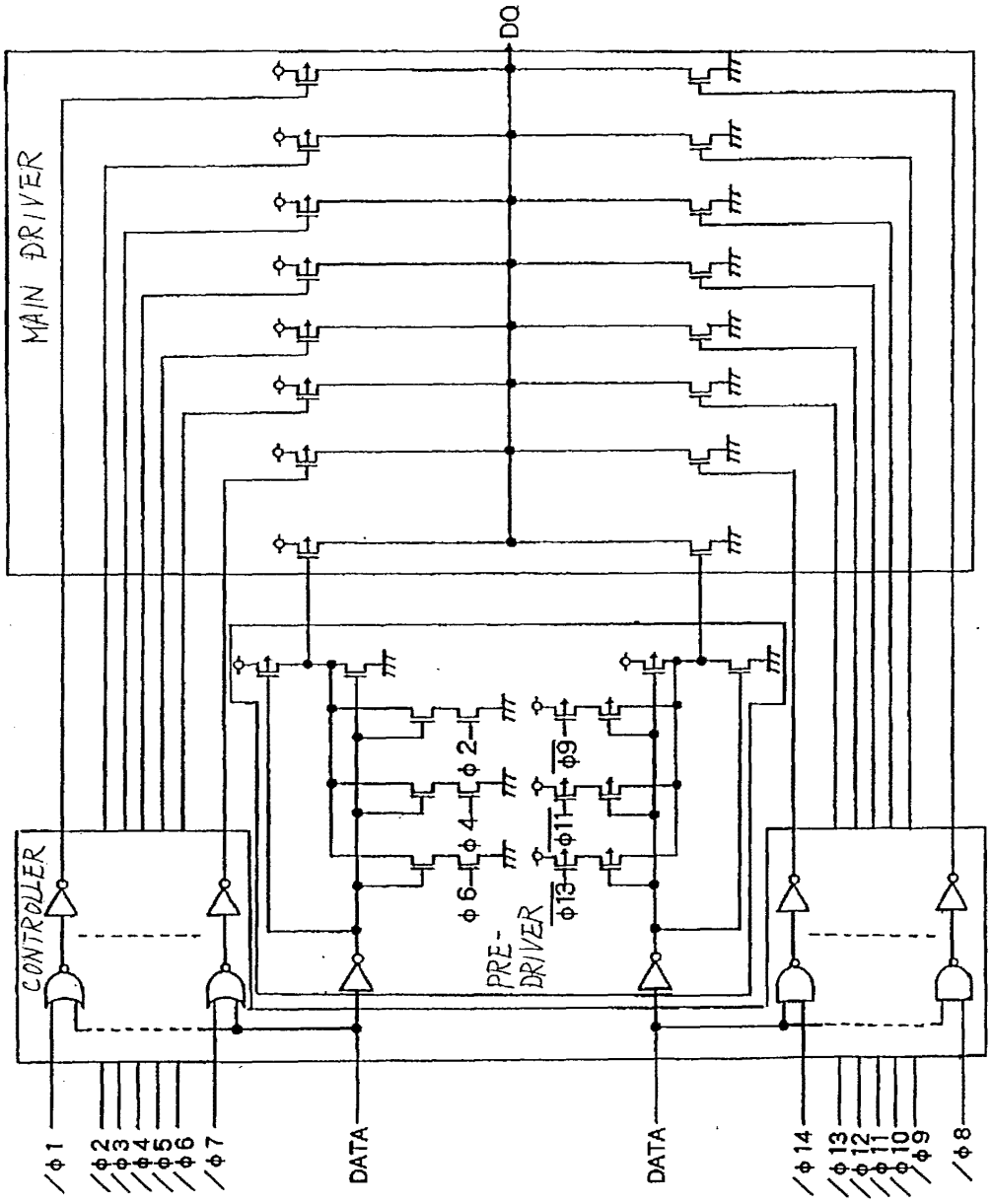

DQ
MAIN DRIVER
CONTROLLER
PRE-DRIVER
φ2
φ9
φ4
φ11
φ6
φ13
/φ1
φ2
φ3
φ4
φ5
φ6
/φ7
DATA
DATA
/φ14
φ13
φ12
φ11
φ10
φ9
/φ8

FIG. 4

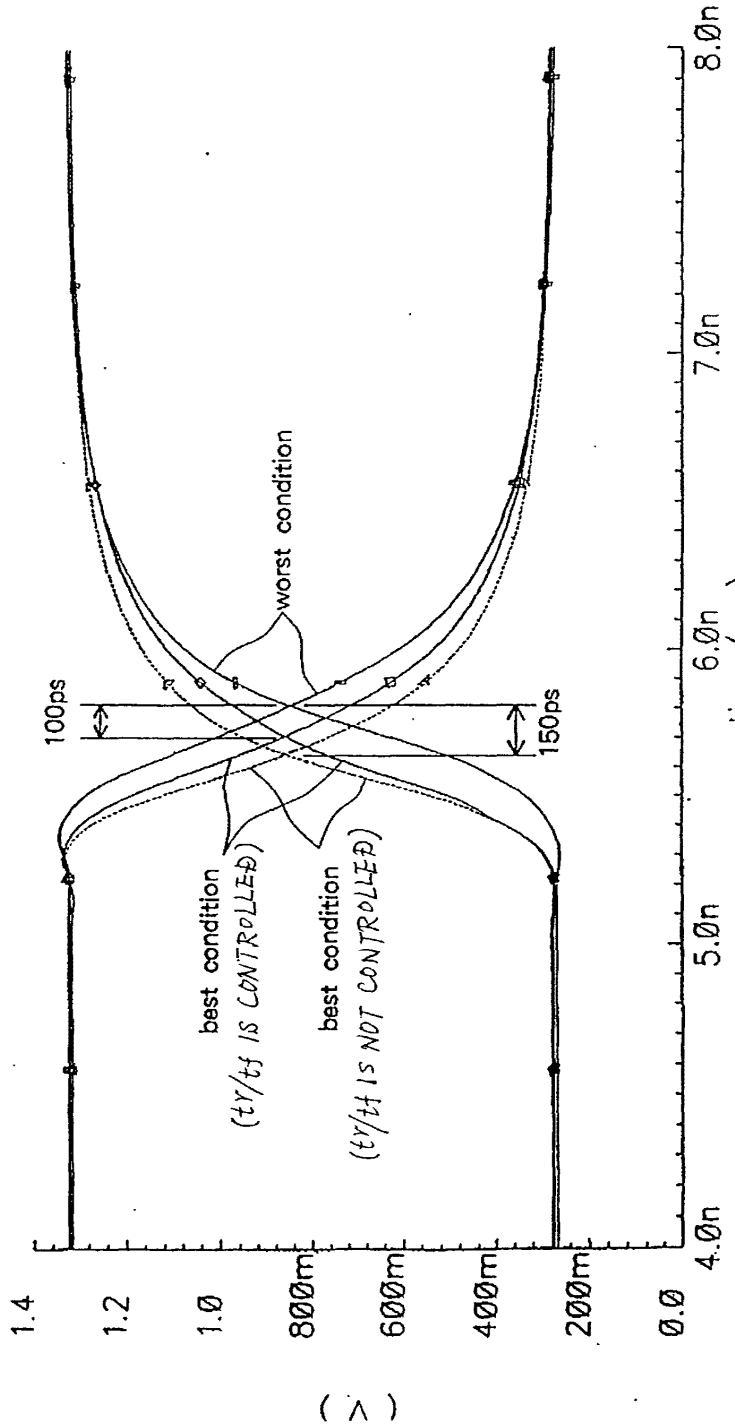

worst condition
100ps
150ps
best condition
(tY/tf IS CONTROLLED)
best condition
(tY/tf IS NOT CONTROLLED)
time (s)
4.0n
5.0n
6.0n
7.0n
8.0n
1.4
1.2
1.0
800m
600m
400m
200m
0.0
(V)

FIG. 5

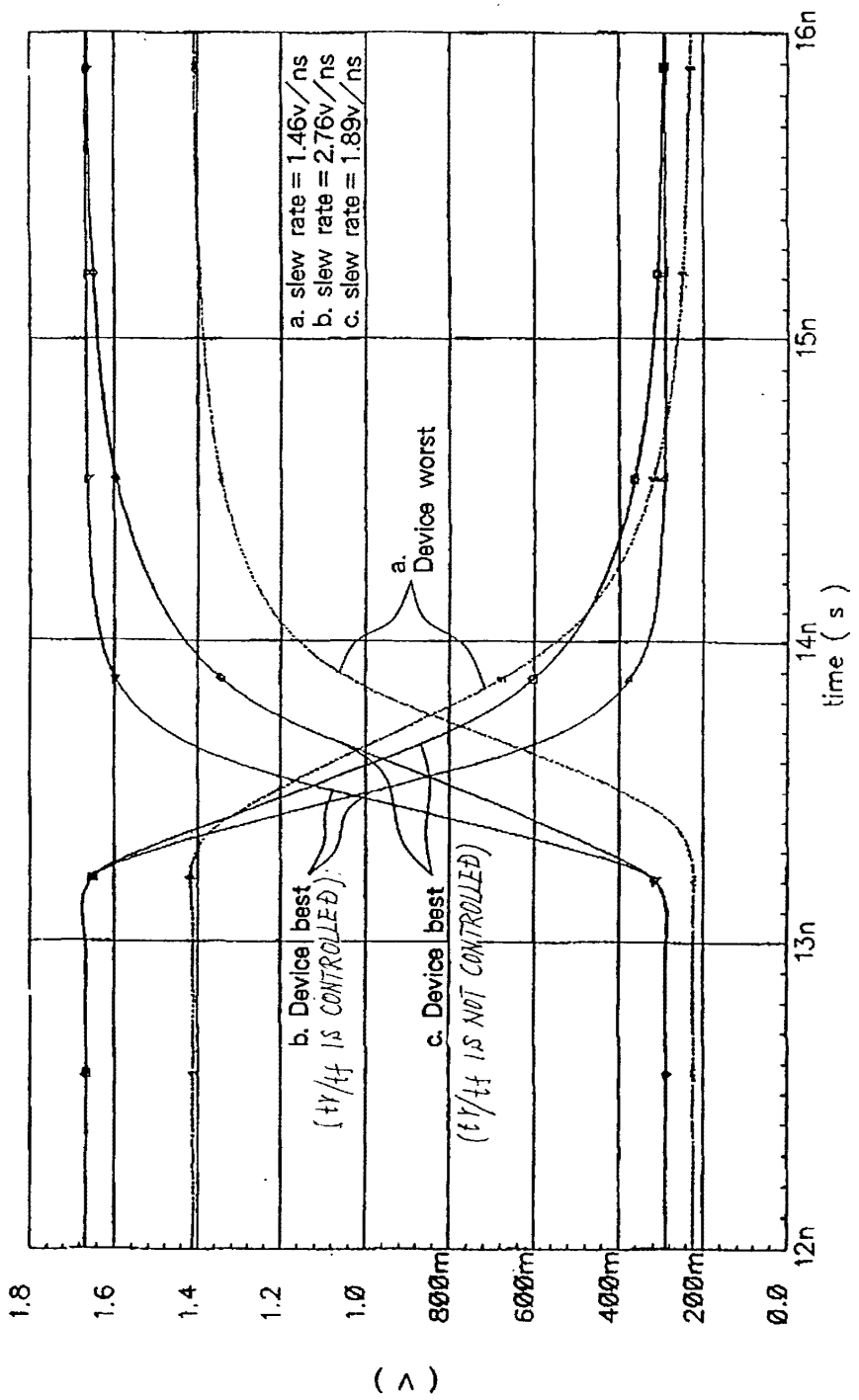

a. slew rate = 1.46v/ns
b. slew rate = 2.76v/ns
c. slew rate = 1.89v/ns
a. Device worst
b. Device best
(tr/tf IS CONTROLLED)
c. Device best
(tr/tf IS NOT CONTROLLED)
time (s)
16n
15n
14n
13n
12n
1.8
1.6
1.4
1.2
1.0
800m
600m
400m
200m
0.0
(v)

FIG. 6

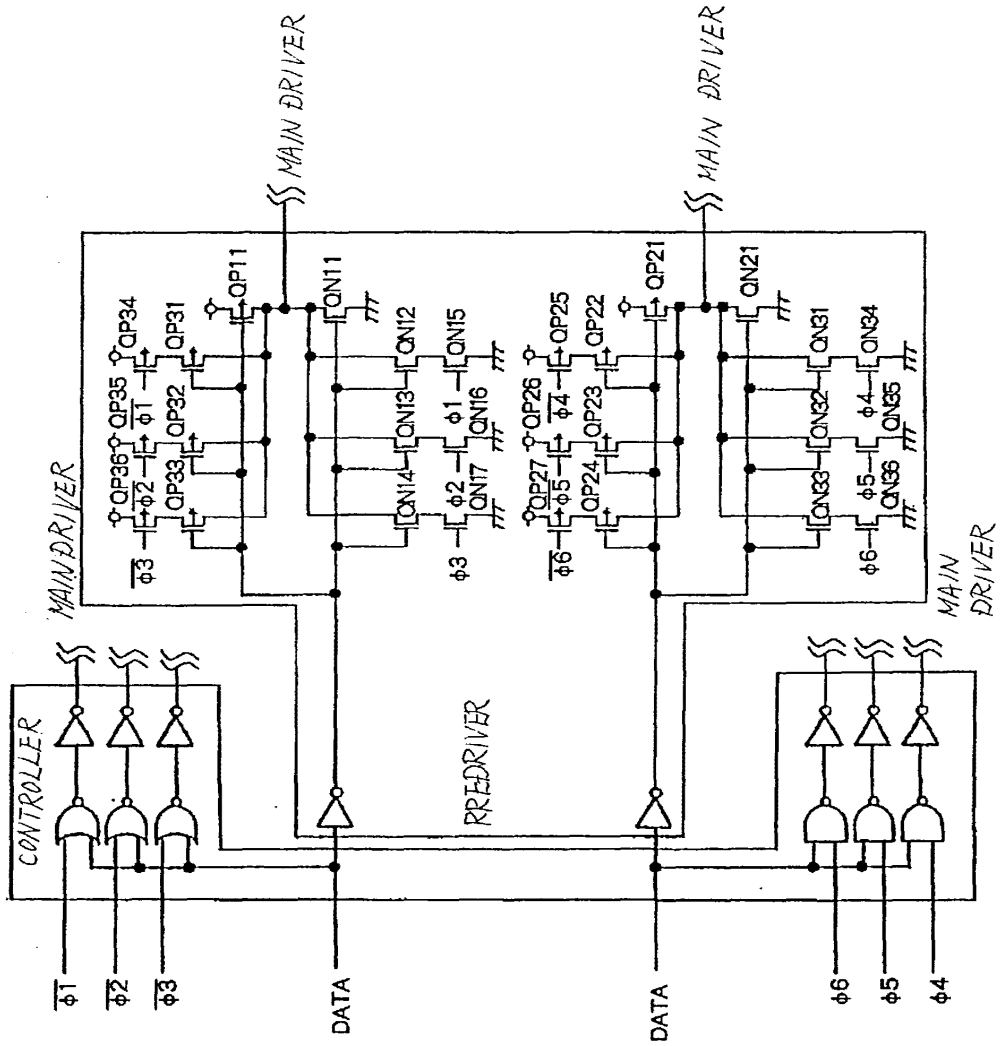

MAIN DRIVER
MAIN DRIVER
MAIN DRIVER
MAIN DRIVER
CONTROLLER
PREDRIVER
QP11
QN11
QP21
QN21
QP34
QP31
QP35
QP32
QP36
QP33
QN12
QN13
QN14
QN15
QN16
QN17
QP25
QP22
QP26
QP23
QP27
QP24
QN31
QN32
QN33
QN34
QN35
QN36
DATA
DATA

FIG. 7

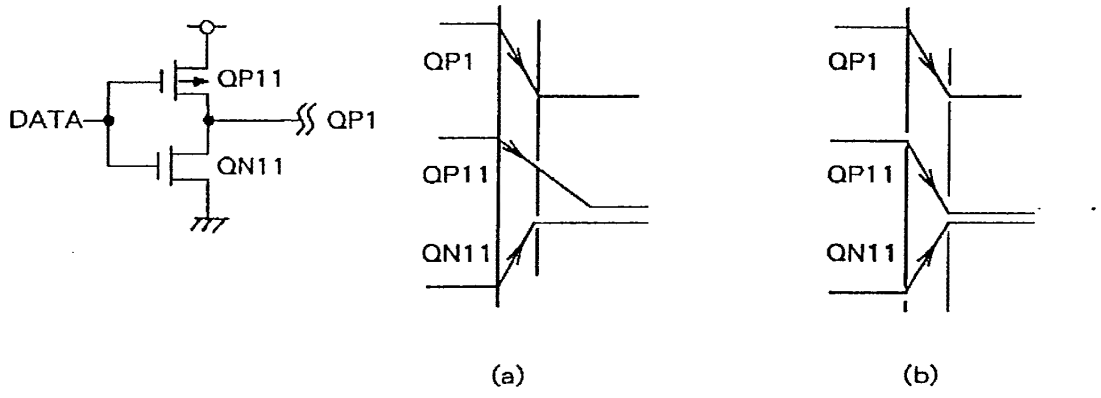

DATA
QP11
QP1
QN11
QP1
QP11
QN11
QP1
QP11
QN11
(a)
(b)

FIG. 8

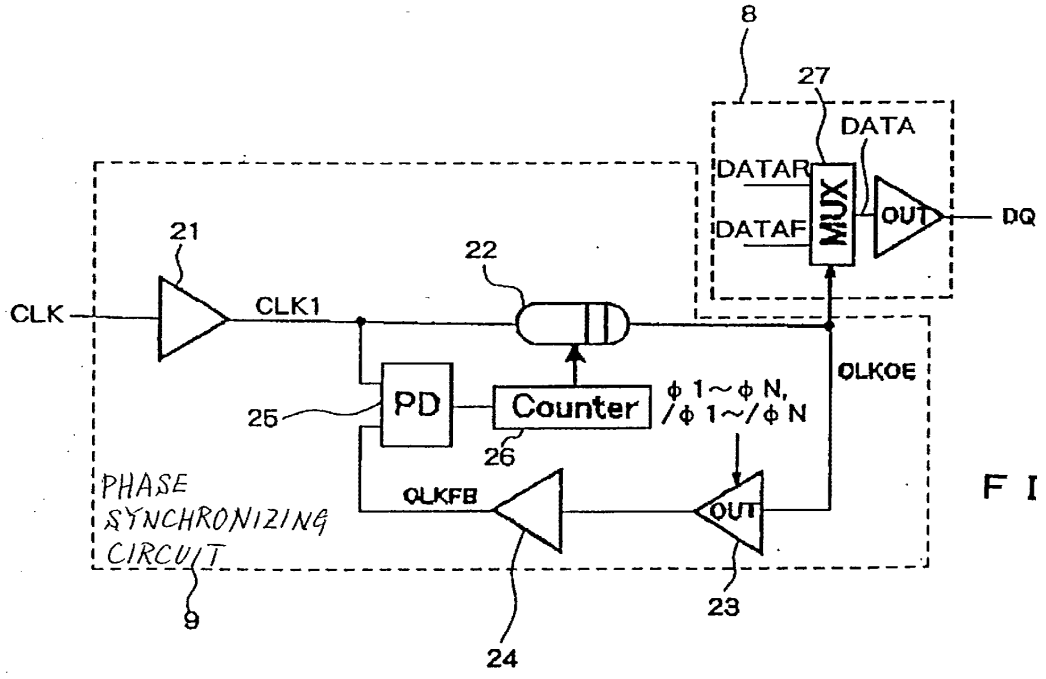

8
27
DATA
DATAR
DATAF
MUX
OUT
DQ
21
22
CLK
CLK1
OLKOE
25
PD
Counter
φ1~φN,
/φ1~/φN
26
PHASE
SYNCHRONIZING
CIRCUIT
OLKFB
OUT
9
24
23

FIG. 9

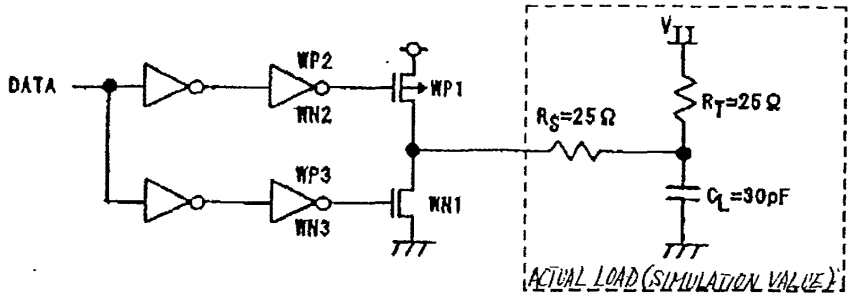


FIG. 10A

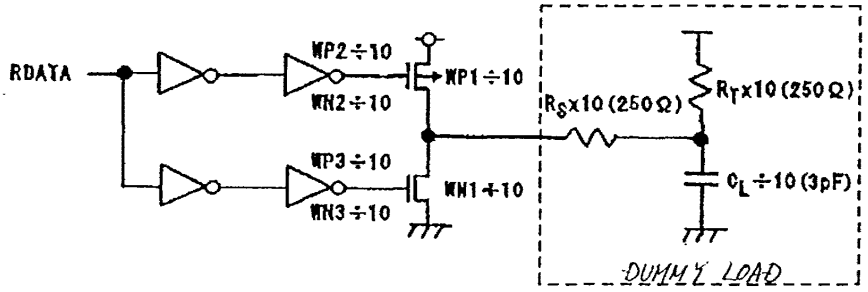


FIG. 10B

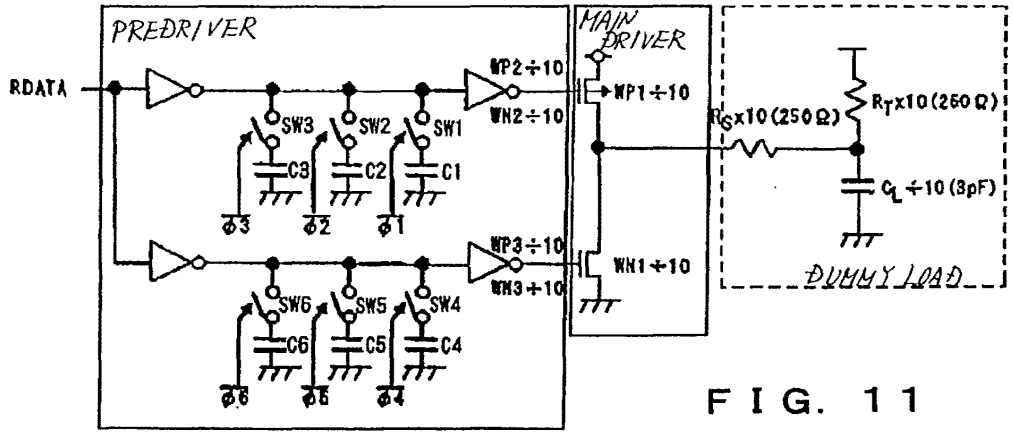


FIG. 11

DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION

Attorney Docket No:	ELPIDA 02P155
First Named Inventor:	TAKAHASHI
Complete if known: Serial No:	Filing Date: December 16, 2002
Group Art Unit:	Examiner:

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT, the specification of which is attached hereto.

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, S. 1.56(a).

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below any foreign application for patent or inventor's certificate or of any PCT international application having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s):			Priority Claimed	Certified Copy Attached
2001-386126	Japan	December/19/2001	[x] Yes [ ] No	[x] Yes [ ] No
(Number)	(Country)	(Month/Day/Year Filed)		
			[ ] Yes [ ] No	[ ] Yes [ ] No
(Number)	(Country)	(Month/Day/Year Filed)		

I hereby claim the benefit under 35 U.S.C. 119(e) of any United States provisional application(s) listed below:

Application No: Filing Date:

I hereby claim the benefit under 35 U.S.C. 120 of any United States application(s), or 365(c) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35 U.S.C 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application:

US Parent Application No. or PCT Parent Appln. No.	Parent Filing Date	Parent Patent Number (if applicable)

And I hereby appoint HAYES SOLOWAY P.C., a firm composed of Oliver W. Hayes, Reg. No. 15,867; William O. Hennessey, Reg. No. 32,032; Peter W. Murphy, Reg. No. 43,822; Jeffrey T. Placker, Reg. No. 47,862, or any of them, of 175 Canal Street, Manchester, New Hampshire 03101 (Telephone: 603-668-1400); or Norman P. Soloway, Reg. No. 24,315; or Kevin M. Drucker, Reg. No. 47,537, or any of them, of 130 W. Cushing Street, Tucson, Arizona 85701 (Telephone: 520-882-7623) my attorneys with full power of substitution and revocation, to prosecute this application and to transact all business in the Patent Office connected therewith.

Please direct all future correspondence in connection with this application to the attention of **Norman P. Soloway,** HAYES SOLOWAY P.C., 130 W. Cushing Street, Tucson, Arizona 85701 (Telephone: 520-882-7623).

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Full name of sole or first inventor: Tsugio TAKAHASHI

First Inventor's signature Tsugio Takahashi Date December 3, 2002
Residence: c/o Elpida Memory, Inc., 2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan
Citizenship: Japanese
Post Office Address: Same as Residence

IMPORTANT NOTICE RE DUTY OF CANDOR AND GOOD FAITH

The Duty of Disclosure requirements of Section 1.56(a), of Title 37 of the Code of Federal Regulations are as follows:

A duty of candor and good faith toward the Patent and Trademark Office rests on the inventor, on each attorney or agent who prepares or prosecutes the application and on every other individual who is substantively involved in the preparation or prosecution of the application and who is associated with the inventor, with the assignee or with anyone to whom there is an obligation to assign the application. All such individuals have a duty to disclose to the Office information they are aware of which is material to the examination of the application. Such information is material where there is a substantial likelihood that a reasonable examiner would consider it important in deciding whether to allow the application to issue as a patent. The duty is commensurate with the degree of involvement in the preparation or prosecution of the application.

By virtue of this regulation each inventor executing the Declaration for the filing of a Patent Application acknowledges his duty to disclose information of which he is aware and which may be material to the examination of the application.

Inherent in this is the duty to disclose any knowledge or belief that the invention:

(a) was ever known or used in the United States of America before his invention thereof;

(b) was patented or described in any printed publication in any country before his invention thereof or more than one year prior to the actual filing date of the U.S. patent application;

(c) was in public use or on sale in the United States of America more than one year prior to the actual filing date of the U.S. patent application; or

(d) has been patented or made the subject of inventor's certificate issued before the actual filing date of the U.S. patent application in any country foreign to the United States of America on an application filed by him or his legal representatives or assigns more than twelve months before the actual filing date in the United States.

NOTE: The "Information" concerned includes, but is not limited to, all published applications and patents, including applicant's and assignee's own, U.S. or foreign applications and patents, as well as any other pertinent prior art known, or which becomes known, to the inventor or his representatives. Where English language equivalents of foreign language documents are known, they should be identified and, when possible, copies supplied. Failure to comply with this requirement may result in a patent issued on the application being held invalid even if the known prior art which is not supplied is material to only one claim of that patent.

PATENT NUMBER and ISSUE DATE

U.S. UTILITY Patent Application

APPL NUM	FILING DATE	CLASS	SUBCLASS	GAU	EXAMINER
10320059	12/16/2002	327	112	2816	Cunningham

**APPLICANTS: Takahashi Tsugio;

**CONTINUING DATA VERIFIED: TDC

BEST AVAILABLE COPY

** FOREIGN APPLICATIONS VERIFIED:
JAPAN 2001-386126 12/19/2001 TDC

PG-PUB	DO NOT PUBLISH	RESCIND	
Foreign priority claimed	X yes no		ATTORNEY DOCKET NO
35 USC 119 conditions met	X yes no		ELPIDA 02P155
Verified and Acknowledged Examiners's intials	TDC		

TITLE : Output buffer circuit and integrated semiconductor circuit device with such output buffer circuit

U.S.DEPT. OF COMM./PAT.& TM-PTO-436L(Rev. 12-94)

NOTICE OF ALLOWANCE MAILED		Assistant Examiner	CLAIMS ALLOWED: Total Claims / Print Claim for O.G
ISSUE FEE: Amount Due / Date Paid		Primary Examiner	DRAWING: Sheets Drwg. / Figs.Drwg. / Print Fig.
☐ TERMINAL DISCLAIMER		PREPARED FOR ISSUE	Application Examiner

WARNING: The information disclosed herein may be restricted. Unauthorized disclosure may be prohibited by the United States Code Title 35, Sections 122, 181 and 368, Possession outside the U.S. Patent & Trademark Office is restricted to authorized employees and contractors only.

FILED WITH: ☐ DISK (CRF) ☐ CD-ROM
(Attached in pocket on right inside flap)

SEARCH

Class	Sub.	Date	Exmr.
327	112	9/25/03	TDC
	170		
	374		
	375		
	376		
	377		
326	85		
	87		
	91		

SEARCH NOTES

(List databases searched. Attach search strategy inside.)

	Date	Exmr.

BEST AVAILABLE COPY

INTERFERENCE SEARCHED

Class	Sub.	Date	Exmr.

ISSUE SLIP STAPLE AREA (for additional cross-references)

ISSUING CLASSIFICATION

ORIGINAL		CROSS REFERENCE(S)	
CLASS	SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)

INTERNATIONAL CLASSIFICATION

/
/
/
/
/

BEST AVAILABLE COPY

^ Continued on Issue Slip Inside File Jacket

INDEX OF CLAIMS

✓ ..... Rejected – (Through numeral) ... Canceled N ..... Non-elected A ..... Appeal
= ..... Allowed + ... Restricted I ..... Interference O ..... Objected

Claim Final	Claim Original	Date	Claim Final	Claim Original	Date	Claim Final	Claim Original	Date
	1			51			101	
	2			52			102	
	3			53			103	
	4			54			104	
	5			55			105	
	6			56			106	
	7			57			107	
	8			58			108	
	9			59			109	
	10			60			110	
	11			61			111	
	12			62			112	
	13			63			113	
	14			64			114	
	15			65			115	
	16			66			116	
	17			67			117	
	18			68			118	
	19			69			119	
	20			70			120	
	21			71			121	
	22			72			122	
	23			73			123	
	24			74			124	
	25			75			125	
	26			76			126	
	27			77			127	
	28			78			128	
	29			79			129	
	30			80			130	
	31			81			131	
	32			82			132	
	33			83			133	
	34			84			134	
	35			85			135	
	36			86			136	
	37			87			137	
	38			88			138	
	39			89			139	
	40			90			140	
	41			91			141	
	42			92			142	
	43			93			143	
	44			94			144	
	45			95			145	
	46			96			146	
	47			97			147	
	48			98			148	
	49			99			149	
	50			100			150	

If more than 150 claims or 9 actions staple additional sheet here

10320059 - 121602

12-17-02

12/16/02 JC784 U.S. PTO

HAYES SOLOWAY PC
130 W. Cushing Street
Tucson, AZ
85701 U.S.A.
TEL 520-882-7623
FAX 520-882-7643

Docket No.: ELPIDA 02P155
Date: December 16, 2002

J1033 U.S. PTO 10/320059 12/16/02

BOX PATENT APPLICATION
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Dear Sir:
Transmitted herewith for filing is the patent application of:

Inventor: TAKAHASHI
For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

Enclosed are the following:

[ ] Letter: SUBMISSION OF INCOMPLETE APPLICATION
[X] Specification 33 pages; Claims 8 pages; Abstract 1 page
[X] Declaration and Power of Attorney
[X] Sheet(s) of drawings 9 pages
[X] An assignment of the invention to: Elpida Memory, Inc.
[X] A certified copy of Japanese application No. 2001-386126, filed December 19, 2001
[X] Information Disclosure Statement
[ ] Preliminary Amendment

[ ] Applicant claims small entity status. See 37 CFR 1.27.

Priority is hereby claimed under 35 USC 119 by way of Japanese patent application No. 2001-386126 filed December 19, 2001.

Benefit is hereby claimed under Title 35, United States Code 119(e) of United States provisional application No. _____ filed _____.

The filing fee has been calculated as shown below:

		SMALL ENTITY	LARGE ENTITY
BASIC FEE:		$370.00	$ 740.00
TOTAL CLAIMS:	16 - 20 =	x 9 =	x 18 =$ .00
INDEPENDENT CLAIMS:	4 - 3 =	x 42 =	1 x 84 =$ 84.00
MULT. DEPEND. CLAIMS:		+ 140=	+ 280=
TOTAL:		$	$ 824.00

[X] Form PTO-2038 authorizing credit card payment in the amount of $864.00 to cover the fees is enclosed.
[X] ($40.00 Assignment recordal fee is included)

The Commissioner is hereby authorized to charge any additional filing fees required under 37 CFR 1.16 or credit any overpayment to Deposit Account No. 08-1391.

Norman P. Soloway
Attorney of Record
Reg. No. 24,315

CERTIFICATE OF EXPRESS MAILING

"Express Mail" Mailing Label No. EU438466566US
Date of Deposit December 16, 2002

I hereby certify that this paper and the papers listed thereon are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Assistant Commissioner for Patents, Washington, DC 20231.

Signature of Person Mailing Sharon McKniff
Name of Person Mailing Sharon McKniff

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

5,333,069 - 12/21/92

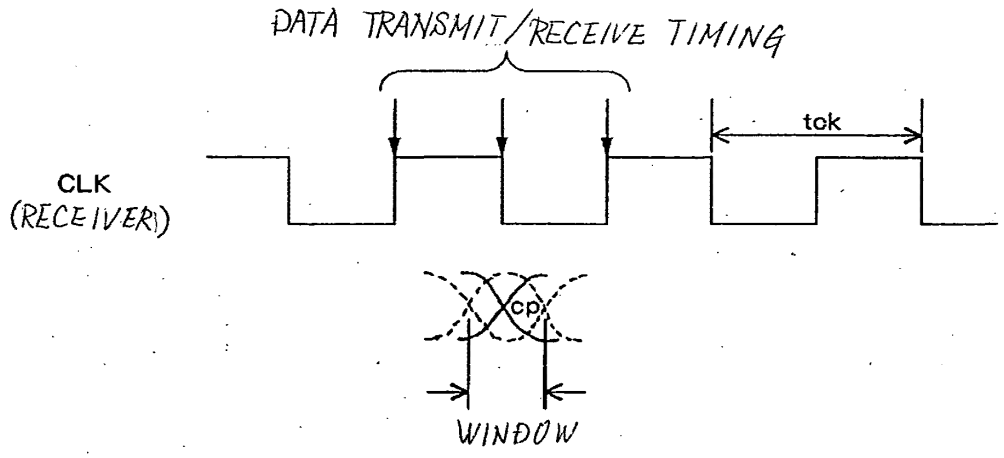


FIG. 1 (PRIOR ART)

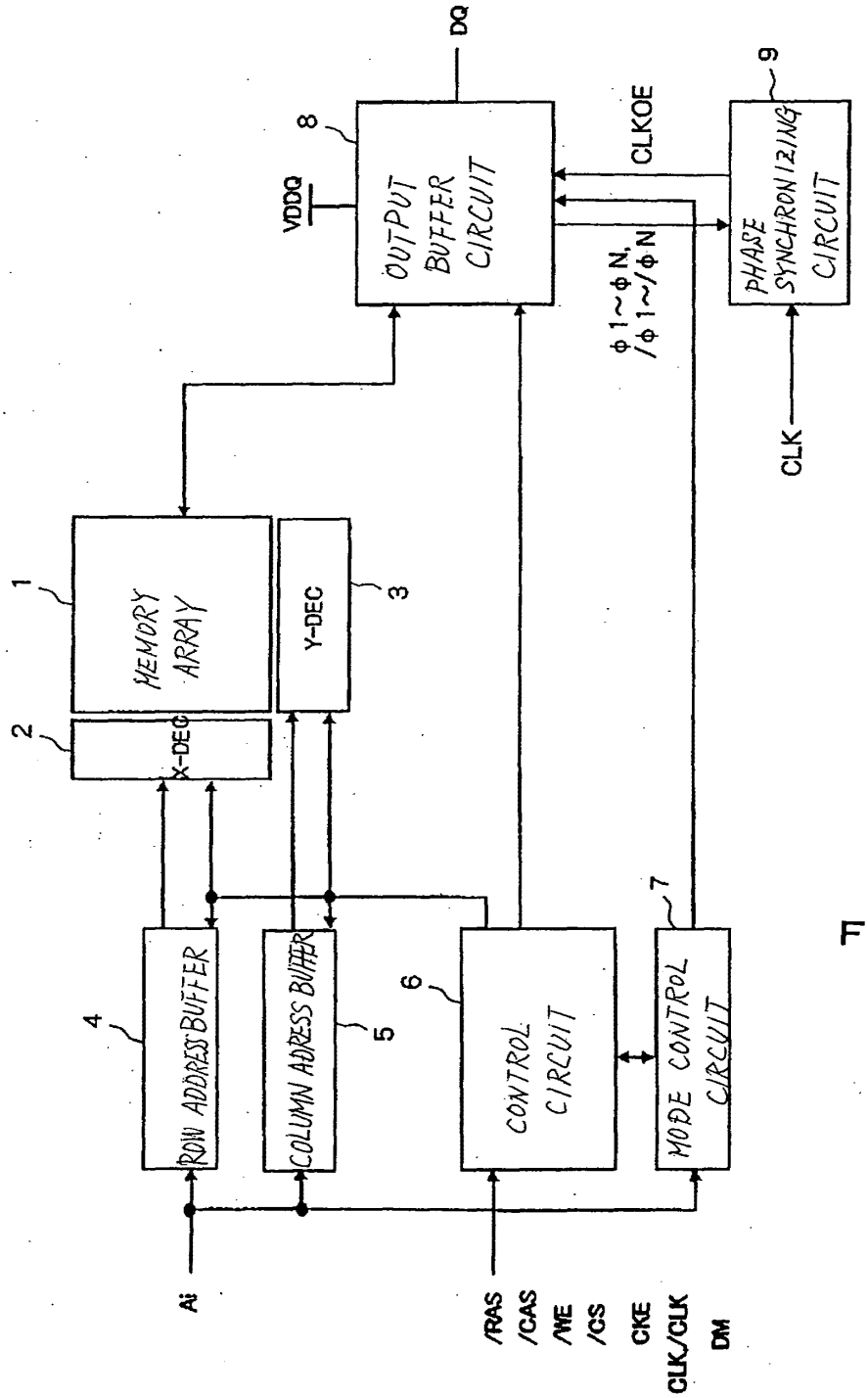

DQ
8
VDDQ
OUTPUT BUFFER CIRCUIT
CLKOE
9
PHASE SYNCHRONIZING CIRCUIT
φ1~φN,
/φ1~/φN
CLK
1
MEMORY ARRAY
2
X-DEC
Y-DEC
3
4
ROW ADDRESS BUFFER
COLUMN ADRESS BUFFER
5
6
CONTROL CIRCUIT
7
MODE CONTROL CIRCUIT
Ai
/RAS
/CAS
/WE
/CS
CKE
CLK/CLK
DM

FIG. 2

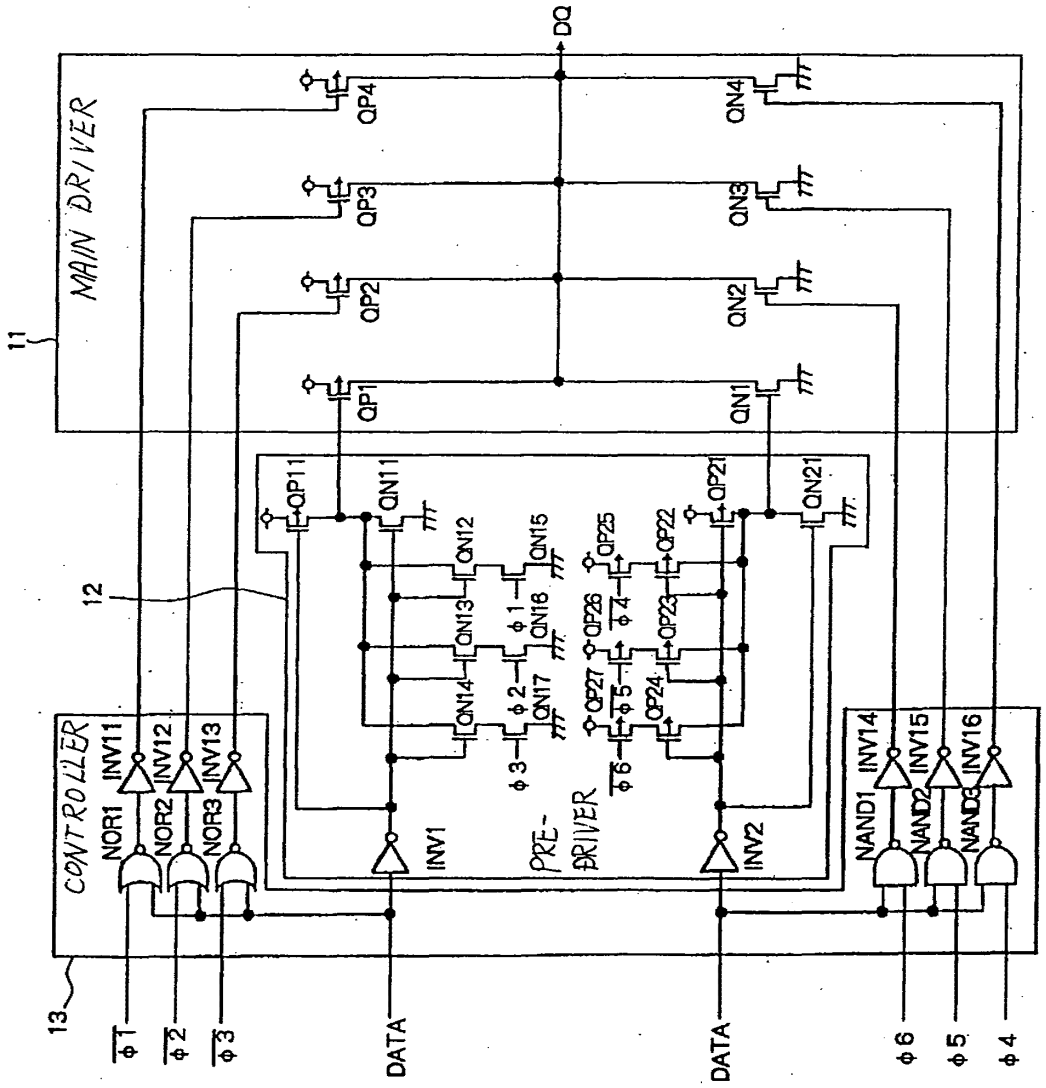

DQ
MAIN DRIVER
11
QP4
QP3
QP2
QP1
QN4
QN3
QN2
QN1
12
QP11
QN11
QN12
QN13
QN14
QN15
QN16
QN17
QP25
QP26
QP27
QP22
QP23
QP24
QP21
QN21
φ1
φ2
φ3
φ4
φ5
φ6
PRE-DRIVER
INV1
INV2
CONTROLLER
NOR1
NOR2
NOR3
INV11
INV12
INV13
NAND1
NAND2
NAND3
INV14
INV15
INV16
13
DATA
DATA

FIG. 3

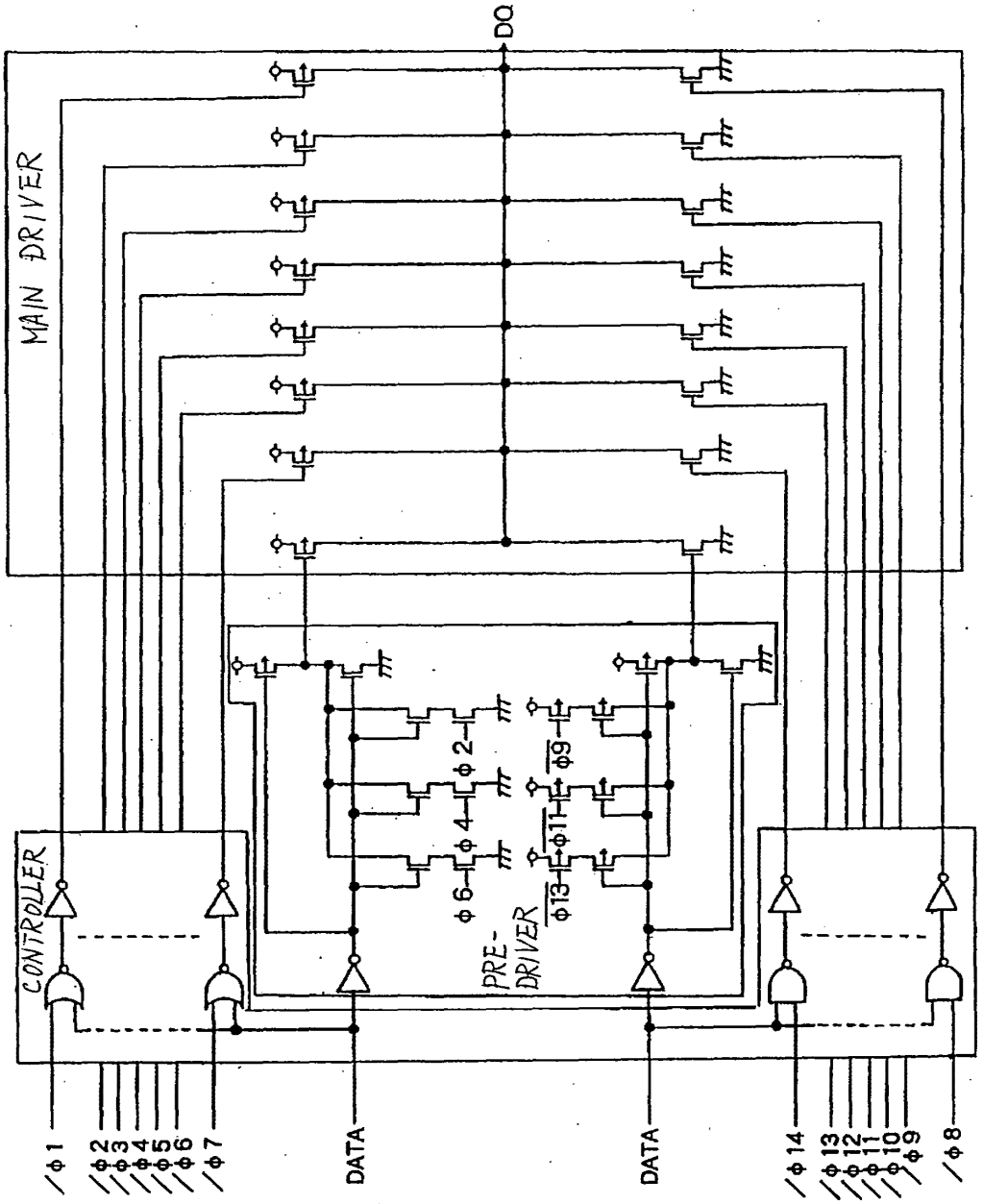

DQ
MAIN DRIVER
CONTROLLER
PRE-DRIVER
DATA
DATA
φ1
φ2
φ3
φ4
φ5
φ6
φ7
φ14
φ13
φ12
φ11
φ10
φ9
φ8

FIG. 4

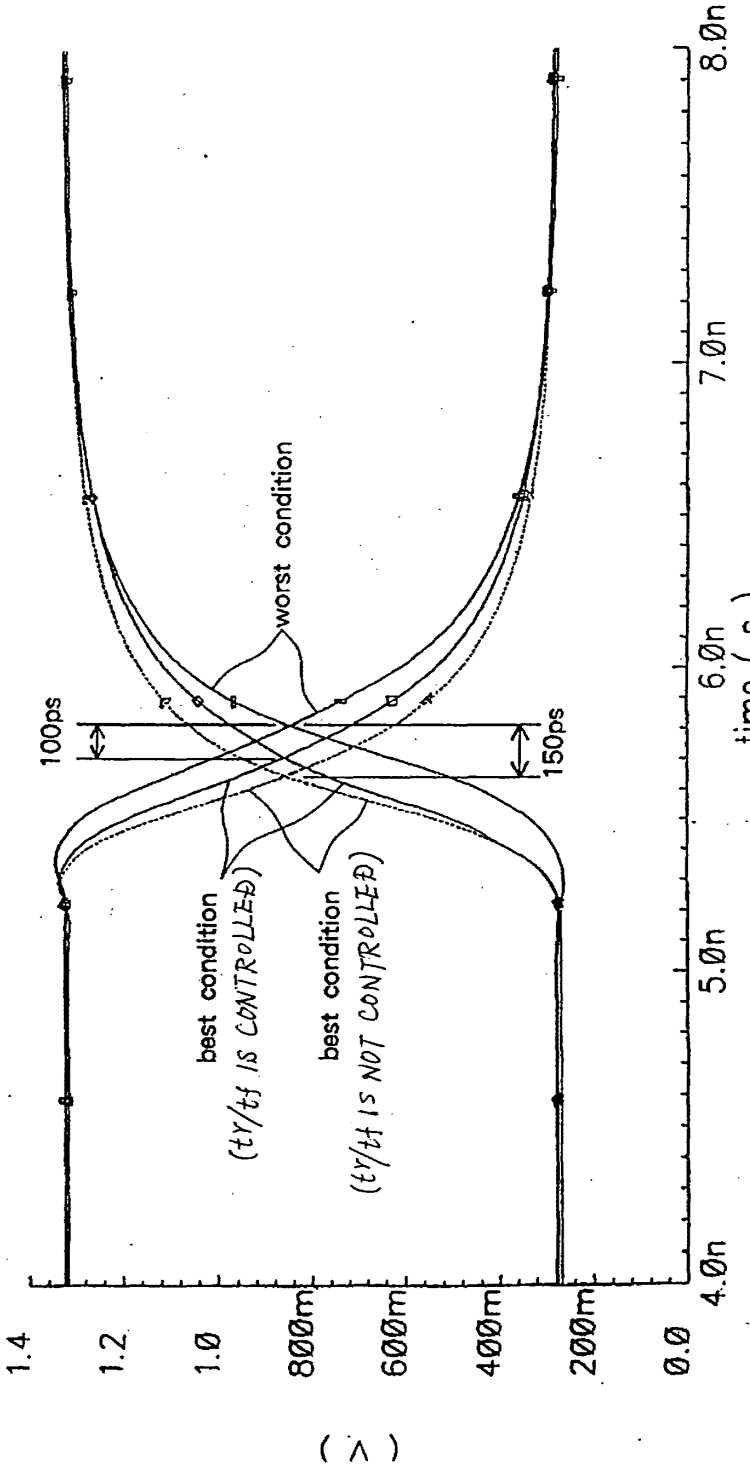

worst condition
100ps
150ps
best condition
(tr/tf IS CONTROLLED)
best condition
(tr/tf IS NOT CONTROLLED)
1.4
1.2
1.0
800m
600m
400m
200m
0.0
4.0n
5.0n
6.0n
7.0n
8.0n
time (s)
(V)

FIG. 5

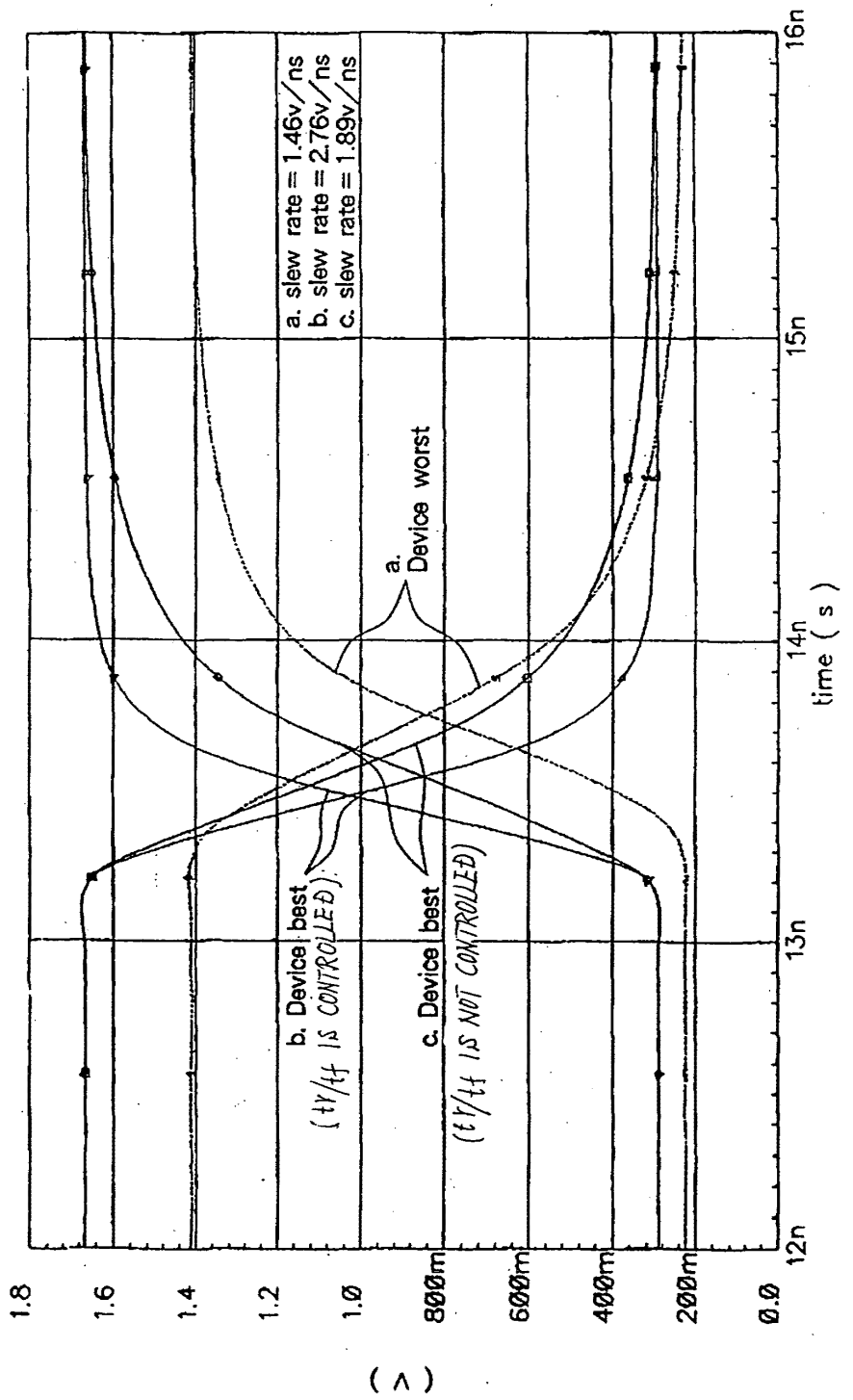

a. slew rate = 1.46v/ns
b. slew rate = 2.76v/ns
c. slew rate = 1.89v/ns
a. Device worst
b. Device best
(tr/tf IS CONTROLLED)
c. Device best
(tr/tf IS NOT CONTROLLED)
time (s)
16n
15n
14n
13n
12n
1.8
1.6
1.4
1.2
1.0
800m
600m
400m
200m
0.0
(v)

FIG. 6

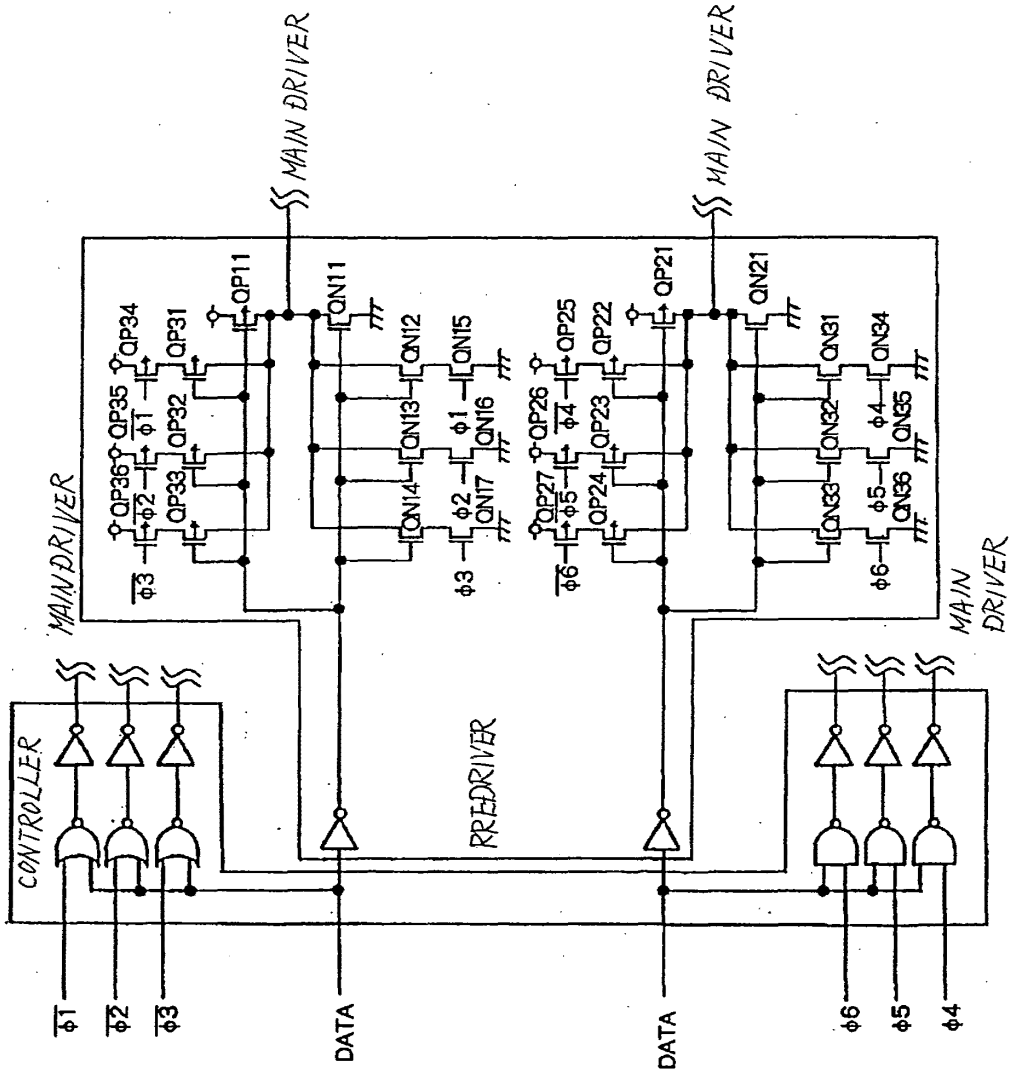

MAIN DRIVER
MAIN DRIVER
MAIN DRIVER
MAIN DRIVER
CONTROLLER
REDRIVER
QP11
QN11
QP21
QN21
QP34
QP31
QP35
QP32
QP36
QP33
QN12
QN15
QN13
QN16
QN14
QN17
QP25
QP22
QP26
QP23
QP27
QP24
QN31
QN34
QN32
QN35
QN33
QN36
φ1
φ2
φ3
φ4
φ5
φ6
DATA
DATA

FIG. 7

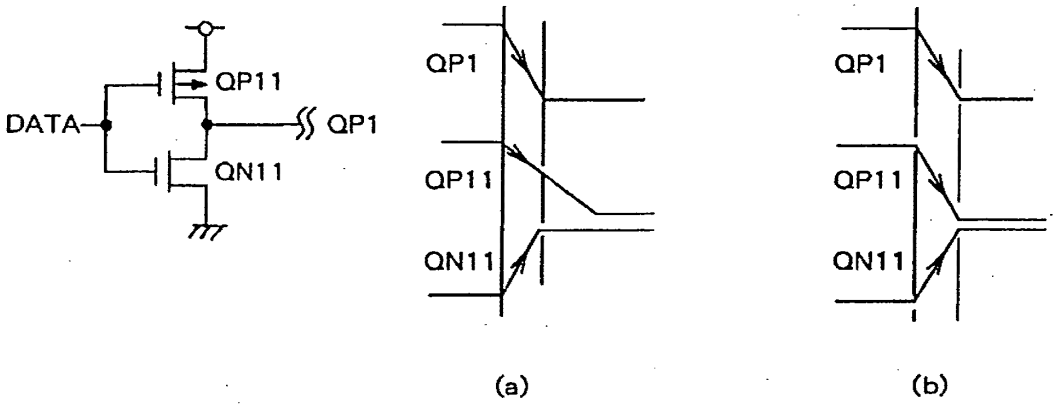

DATA
QP11
QP1
QN11
QP1
QP11
QN11
QP1
QP11
QN11
(a)
(b)

FIG. 8

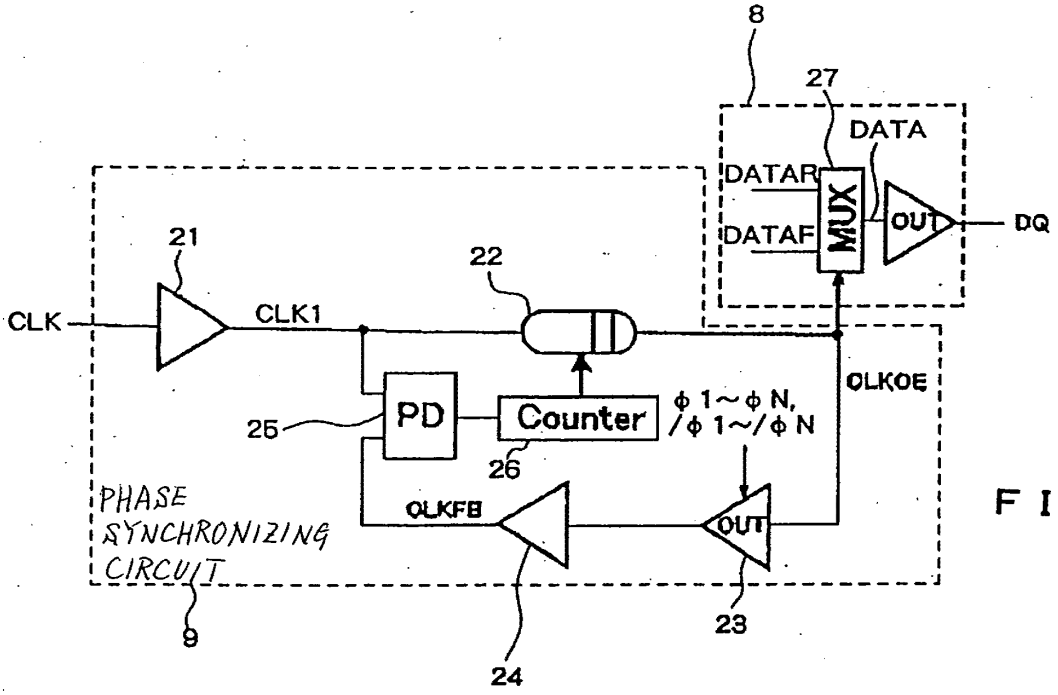

8
27
DATA
DATAR
DATAF
MUX
OUT
DQ
21
22
CLK
CLK1
OLKOE
25
PD
Counter
φ1~φN,
/φ1~/φN
26
PHASE
SYNCHRONIZING
CIRCUIT
OLKFB
OUT
9
24
23

FIG. 9

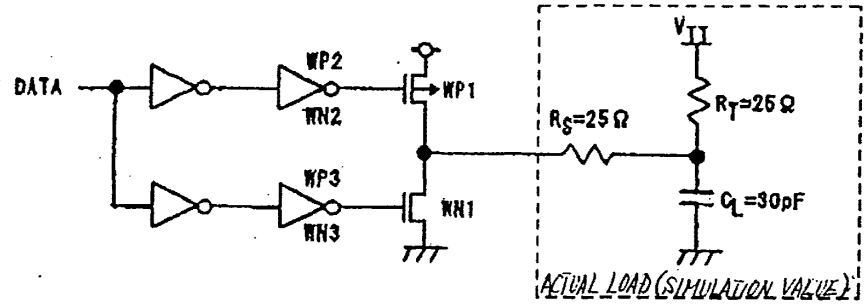


FIG. 10A

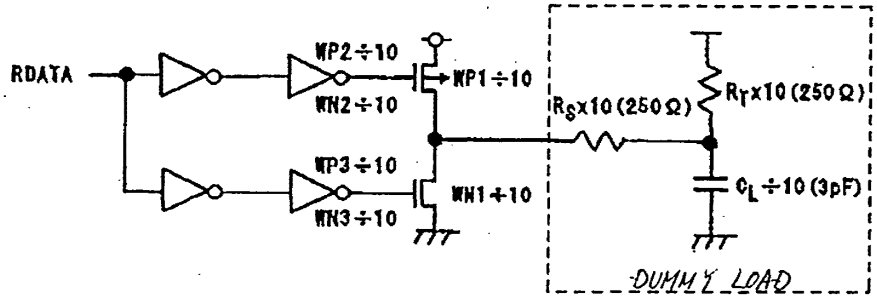


FIG. 10B

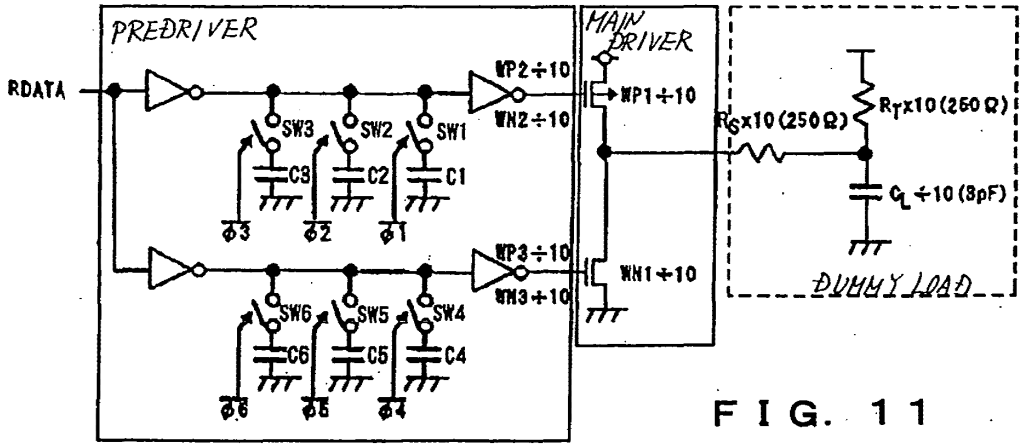


FIG. 11

OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

BACKGROUND OF THE INVENTION

1. Field of the Invention:

The present invention relates to an output buffer circuit for use in an integrated semiconductor circuit device, and more particularly to an output buffer circuit which is capable of adjusting the output impedance thereof according to control signals from an external source.

2. Description of the Related Art:

Systems incorporating integrated semiconductor circuit devices in recent years employ memory devices such as DRAMs (Dynamic Random Access Memories) and SDRAMs (Synchronous DRAMs) which operate with a clock signal of several hundreds MHz as a result of processing operations at higher speeds. To meet lower power consumption requirements, there are also available integrated semiconductor circuit devices that operate at lower power supply voltages of about 1.5 V or lower.

It is important for systems operating at higher speeds and under low voltages to suppress variations in the driving capability and slew rate of the output buffer circuit of the integrated semiconductor circuit device in view of fluctuations in the power supply voltage and the

ambient temperature and different device performance capabilities.

For example, Japanese patent applications laid-open Nos. 05-175444 and 2-092019 propose arrangements for adjusting the driving capability of an output buffer circuit by changing the output impedance thereof. Proposals disclosed in Japanese patent applications laid-open Nos. 2001-68986 and 2000-332593 adjust the slew rate of an output buffer circuit by changing the ratio of tr(rise time)/tf(fall time) of an output pulse waveform.

Integrated semiconductor circuit devices such as DDR (Double Data Rate)-SDRAMs receive data from a memory device which outputs data in timed relation to rising and falling edges of a system clock signal CLK (see FIG. 1 of the accompanying drawings). In such an integrated semiconductor circuit device, if the timing to sent data (a cross-point CP between rising and falling waveforms shown in FIG. 1) is shifted a one-half period (tck/2) from the system clock signal CLK, then the integrated semiconductor circuit device fails to receive the transmitted data correctly. Actual systems have a very narrow range (window) of allowable cross-point variations because of delays caused by interconnections, etc.

If the slew rate becomes lower, then since the amplitude of output pulses cannot reach a maximum value when the system operates at a high speed, the system

fails to determine a logic level of "1" or "0" properly. Conversely, if the slew rate become higher, then high-frequency components increase to distort output pulses, thus increasing noise which tends to result in a system malfunction.

The above problems may be solved by compensating for variations in the cross-point CP and the slew rate at the data transmission side. However, variations in the cross-point CP and the slew rate cannot be compensated for simply by adjusting the output impedance. Only adjusting the slew rate fails to achieve a compensation within the allowable range of variations of the system which operates at a high speed and under a low voltage because the cross-point CP and the slew rate depend on variations of both the output impedance and the power supply voltage.

In particular, if only the slew rate is adjusted, when the high level of the output signal is lowered or the low level of the output signal is increased due to a reduction in the driving capability, the system becomes unable to determine a logic level of "1" or "0" properly.

The output impedance of an output buffer circuit can easily be detected for fluctuations by monitoring the load current and output level of the output buffer circuit even when the output buffer circuit is incorporated in a system. However, it is difficult to

detect fluctuations of the slew rate of the output buffer circuit because the slew rate cannot easily be monitored.

The output buffer circuits disclosed in the above applications offer an arrangement for adjusting either one of the output impedance and the slew rate, and are disadvantageous in that variations in the cross-point CP and the slew rate of the disclosed output buffer circuits as they are incorporated in a system cannot sufficiently be compensated for against variations in the power supply voltage and the ambient temperature.

Controlling the cross-point and the slew rate needs to take the following problems into account:

Generally, systems having integrated semiconductor circuit devices such high-speed DDR-DRAMs or the like employ a phase synchronizing circuit such as a DLL (Delay Locked Loop) or a PLL (Phase Locked Loop) in order to synchronize data output from the output buffer circuit of the integrated semiconductor circuit device with the system clock signal. The phase synchronizing circuit uses a circuit having a delay similar to the delay in the output buffer circuit for monitoring the delay in the output buffer circuit. The phase synchronizing circuit generates a compensating clock signal for compensating for the monitored delay, and synchronizes the output from the output buffer circuit with the generated compensating clock signal.

If the output impedance and the slew rate of the output buffer circuit are adjusted to improve the system performance, then the data output timing of the output buffer circuit varies because of the adjustment of the output impedance and the slew rate thereof.

In order to synchronize the data output timing of the output buffer circuit accurately with the system clock signal, therefore, it is necessary for the circuit which monitors the delay in the output buffer circuit to adjust its own delay depending on variations in the delay in the output buffer circuit.

SUMMARY OF THE INVENTION

It is therefore an object of the present invention to provide an output buffer circuit which is capable of sufficiently compensating for variations in the cross-point between rising and falling waveforms of output pulses and variations in the slew rate against variations in the power supply voltage and the ambient temperature even when the output buffer circuit is incorporated in a system.

To achieve the above object, an output buffer circuit according to the present invention has a main driver for driving a load and a predriver for driving the main driver. The main driver has at least a pair of a first p-channel MOS transistor and a first n-channel MOS

transistor for driving a load according to the data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving the load in coaction with the first p-channel MOS transistor and the first n-channel MOS transistor. The predriver has at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving the first p-channel MOS transistor according to the data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving the first n-channel MOS transistor according to the data, at least one fifth n-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth p-channel MOS transistor.

With the above arrangement, the number of transistors of the main driver for driving the load according to control signals and the number of transistors of the predriver are changed to simultaneously adjust the cross-point of output pulses and the slew rate as well as the output impedance with the same control signals. Consequently, the data receiving side connected to the output buffer circuit is prevented from malfunctioning, making it possible to achieve a system which operates normally even when the

power supply voltage and the ambient temperature vary.

Since the output impedance and the rise and fall times of output pulses are simultaneously controlled, the number of control signals and the steps of a testing process are made smaller than if the output impedance and the rise and fall times of output pulses were controlled independently of each other. Thus, the manufacturing cost of the output buffer circuit is prevented from increasing.

The system incorporating the output buffer circuit has its performance capability increased because the slew rate is automatically improved by monitoring and adjusting only the output impedance of the output buffer circuit.

Another output buffer circuit according to the present invention has a main driver which is identical to the main driver described above, and a predriver including at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving the first p-channel MOS transistor according to the data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving the first n-channel MOS transistor according to the data, at least one fifth n-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third n-channel MOS transistor, at least one

fifth p-channel MOS transistor for driving the first p-channel MOS transistor in coaction with the third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving the first n-channel MOS transistor in coaction with the fourth n-channel MOS transistor.

With the above arrangement, the driving capabilities of both the third n-channel MOS transistor and the third p-channel MOS transistor are similarly increased, and the driving capabilities of both the fourth p-channel MOS transistor and the fourth n-channel MOS transistor are similarly increased. Therefore, a through current is preventing from flowing through the first p-channel MOS transistor and the first n-channel MOS transistor, and hence noise is prevented from being produced and the current consumption is prevented from increasing due to such a through current.

An integrated semiconductor circuit device according to the present invention has the above output buffer circuit and a delay monitor circuit identical in circuit arrangement to the output buffer circuit and having transistors controlled according to the control signals in the same manner as with the output buffer circuit, the delay monitor circuit having an output

terminal connected to a dummy load determined from an actual load of the output buffer circuit based on a transistor size ratio between the output buffer circuit and the delay monitor circuit.

Another integrated semiconductor circuit device according to the present invention has the above output buffer circuit and a delay monitor circuit comprising a plurality of capacitors for delaying the data output from the output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling the capacitors to delay the data according to the control signals, the delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of the output buffer circuit based on a transistor size ratio between the output buffer circuit and the delay monitor circuit.

With the above arrangements, since the delay monitor circuit reflects the adjusted values of the output impedance of the output buffer circuit and the ratio tr/tf of output pulses, a system clock signal and the data output from the output buffer circuit can be synchronized more accurately with each other.

The above and other objects, features, and advantages of the present invention will become apparent from the following description with reference to the accompanying drawings which illustrate examples of the

present invention.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a diagram illustrative of problems which arise when a conventional output buffer circuit is in operation;

FIG. 2 is a block diagram of a DRAM as an integrated semiconductor circuit device incorporating an output buffer circuit according to the present invention;

FIG. 3 is a circuit diagram of an output buffer circuit according to a first embodiment of the present invention;

FIG. 4 is a circuit diagram of a modification of the output buffer circuit according to the first embodiment;

FIG. 5 is a waveform diagram showing the results of a simulation of output pulses produced when the ratio tr/tf of the output buffer circuit according to the first embodiment is controlled and when the ratio tr/tf is not controlled;

FIG. 6 is a waveform diagram showing the results of a simulation of output pulses produced when the ratio tr/tf of the output buffer circuit according to the first embodiment is controlled and when the ratio tr/tf is not controlled;

FIG. 7 is a circuit diagram of an output buffer

EX1005 / Page 178 of 376
Western Digital Technologies, Inc.

circuit according to a second embodiment of the present invention;

FIG. 8 is a circuit diagram of a portion of the output buffer circuit according to the present invention and waveform diagrams showing the manner in which that portion of the output buffer circuit operates;

FIG. 9 is a block diagram of a phase synchronizing circuit which operates as shown in FIG. 1;

FIG. 10A and 10B are circuit diagrams showing examples in which a delay monitor circuit is used; and

FIG. 11 is a circuit diagram of a delay monitor circuit incorporated in the integrated semiconductor circuit device according to the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

A DRAM (including an SDRAM) as an example of an integrated semiconductor circuit device which incorporates an output buffer circuit according to the present invention will be described below.

As shown in FIG. 2, the DRAM comprises memory array 1 made up of a plurality of memory cells for storing data, X decoder (X-DEC) 2 and Y decoder (Y-DEC) 3 for decoding addresses Ai to access memory cells for writing data therein and reading data therefrom, ROW address buffer 4 and COLUMN address buffer 5 for temporarily holding addresses entered from an external source,

control circuit 6 for controlling operation of the DRAM according to various control signals supplied from an external source, mode control circuit 7 for operating the DRAM in certain modes according to various control signals supplied from an external source, output buffer circuit 8 for outputting data read from memory array 1 from DQ terminal at a predetermined timing, and phase synchronizing circuit 9 for synchronizing the data output timing of output buffer circuit 8 with a system clock signal CLK.

Data stored in memory array 1 are read by a sense amplifier (not shown) and transferred to output buffer circuit 8. Data to be stored in the DRAM are input through DQ terminal, and written into memory cells corresponding to write addresses by a driver circuit (not shown).

Control circuit 6 is supplied with various control signals including /RAS (Row Address Strobe command), /CAS (Column Address Strobe command), /WE (Write Enable), /CS (Chip Select), CKE (Clock Enable), CLK (Clock), /CLK, DM (input/output mask). The symbol "/" represents that the signal is significant when low in level.

Data read from memory array 1 by the non-illustrated sense amplifier is temporarily stored in a buffer memory (not shown), and output from output buffer circuit 8 through DQ terminal according to control

signals that are generated by control circuit 6 and mode control circuit 7. Data input from an external source through DQ terminal is temporarily stored in the non-illustrated buffer memory, and written through a write amplifier (not shown) into memory array 1 according to control signals that are generated by control circuit 6 and mode control circuit 7. At this time, output buffer circuit 8 has its output impedance kept at a high level by a control signal from control circuit 6.

Phase synchronizing circuit 9 comprises a DLL, a PLL, or the like. Phase synchronizing circuit 9 uses a circuit (a delay monitor circuit to be described later on) having a delay similar to the delay in output buffer circuit 8 for monitoring the delay in output buffer circuit 8. Phase synchronizing circuit 9 generates compensating clock signal CLKOE for compensating for the monitored delay from system clock CLK, and supplies generated compensating clock signal CLKOE to output buffer circuit 8.

Output buffer circuit 8 outputs data in synchronism with compensating clock signal CLKOE supplied from phase synchronizing circuit 9. The circuit for monitoring the delay in output buffer circuit 8 has its output impedance and slew rate controlled, as with output buffer circuit 8, by control signals $\phi 1$ through ϕN, $/\phi 1$ through $/\phi N$ to be described later on.

1st Embodiment:

An output buffer circuit according to a first embodiment of the present invention will be described below with reference to the drawings.

As shown in FIG. 3, the output buffer circuit according to the first embodiment has main driver 11 for driving a load connected to DQ terminal, main driver 11 having an output impedance which can be changed, a predriver 12 for driving main driver 11 according to data (DATA) read from a sense amplifier and changing the ratio tr/tf of output pulses of main driver 11, and a controller 13 for generating signals to change the output impedance of main driver 11 and the ratio tr/tf of output pulses according to control signals ϕ1 through ϕ6 from a control circuit, etc. Control signals /ϕ1 through /ϕ6 shown in FIG. 3 are inversions of signals ϕ1 through ϕ6. Inverters for inverting signals ϕ1 through ϕ6 are omitted from the illustration in FIG. 3.

For example, control signals ϕ1 through ϕ6 are generated from a control circuit 6 according to commands supplied from an external integrated semiconductor circuit that contains an output buffer circuit shown in FIG. 3. The data receiving the output buffer circuit shown in FIG. 3 is a signal which is synchronous with compensating clock signal CLKOE supplied from phase synchronizing circuit 9 shown in FIG. 2.

Main driver 11 comprises four p-channel MOS transistors (hereinafter referred to as "pMOS transistors") QP1 through QP4 and four n-channel MOS transistors (hereinafter referred to as "nMOS transistors") QN1 through QN4.

pMOS transistors QP1 through QP4 have respective sources connected to a power supply, and nMOS transistors QN1 through QN4 have respective sources connected to a ground potential. pMOS transistors QP1 through QP4 and nMOS transistors QN1 through QN4 have respective drains connected to DQ terminal. pMOS transistor QP1 and nMOS transistor QN1 have respective gates connected to predriver 12, and pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 have respective gates connected to controller 13.

pMOS transistors QP2 through QP4 as well as pMOS transistor QP1 drive the load connected to DQ terminal to adjust the output impedance when high-level data is output from main driver 11. nMOS transistors QN2 through QN4 as well as nMOS transistor NP1 drive the load connected to DQ terminal to adjust the output impedance when low-level data is output from main driver 11.

pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 comprise transistors having a small device size (a narrow gate width) whose effect on the ratio tr/tf of output pulses is smaller than pMOS

transistor QP1 and nMOS transistor QN1. The number of pMOS transistors connected parallel to pMOS transistor QP1 and the number of nMOS transistors connected parallel to nMOS transistor QN1 are not limited to three, but at least one pMOS transistor may be connected parallel to pMOS transistor QP1 and at least one nMOS transistor may be connected parallel to nMOS transistor QN1.

Predriver 12 comprise pMOS transistor QP11 and nMOS transistor QN11 for driving pMOS transistor QP1 of main driver 11, nMOS transistors QN12 through QN14 for adjusting the driving capability of nMOS transistor QN11 for driving pMOS transistor QP1, nMOS transistors QN15 through QN17 for turning on and off nMOS transistors QN12 through QN14, pMOS transistor QP21 and nMOS transistor QN21 for driving nMOS transistor QN1 of main driver 11, pMOS transistors QP22 through QP24 for adjusting the driving capability of pMOS transistor QP21 for driving nMOS transistor QN1, and pMOS transistors QP25 through QP27 for turning on and off pMOS transistors QP22 through QP24.

nMOS transistors QN15 through QN17 are controlled by respective control signals ϕ1 through ϕ3, and pMOS transistors PN25 through QP27 are controlled by respective control signals ϕ4 through ϕ6. In FIG. 3, predriver 12 has inverter INV1 for driving pMOS transistor QP11 and nMOS transistor QN11 according to the

data (DATA) supplied from an external source, and inverter INV2 for driving pMOS transistor QP21 and nMOS transistor QN21 according to the data (DATA) supplied from the external source. However, inverters INV1, INV2 may be dispensed with if no logic problem arises, or may be replaced with driver circuits which do not invert logic levels.

nMOS transistors QN12 through QN14 as well as nMOS transistor QN11 drive pMOS transistor QP1 as a load to adjust the time for pMOS transistor QP1 to be turned on from an OFF state, i.e., the rise time tr of an output pulse of main driver 11. pMOS transistors QP22 through QP24 as well as pMOS transistor QP21 drive nMOS transistor QN1 as a load to adjust the time for nMOS transistor QN1 to be turned on from an OFF state, i.e., the fall time tf of an output pulse of main driver 11. The number of nMOS transistors connected to nMOS transistor QN11 and the number of pMOS transistors connected to pMOS transistor QP21 are not limited to three, but at least one nMOS transistor may be connected to nMOS transistor QN11 and at least one pMOS transistor may be connected to pMOS transistor QP21.

Controller 13 is a logic circuit which comprises OR gates NOR1 through NOR3, AND gates NAND1 through NAND3, and inverters INV11 through INV16 for generating signals for turning on and off pMOS transistors QP2 through QP4

and nMOS transistors QN2 through QN4 of main driver 11 and nMOS transistors QN15 through QN17 and pMOS transistors QP25 through QP27 of predriver 12 according to control signals ϕ1 through ϕ6,

In FIG. 3, the ON/OFF states of nMOS transistors QN15 through QN17 are controlled by control signals ϕ1 through ϕ3 thereby to drive nMOS transistors QN12 through QN14 as well as nMOS transistor QN11, and the ON/OFF states of pMOS transistors QP25 through QP27 are controlled by control signals ϕ4 through ϕ6 thereby to drive pMOS transistors QP22 through QP24 as well as pMOS transistor QP21.

As with main driver 11, predriver 12 may be arranged such that nMOS transistors QN12 through QN14 and pMOS transistors QP22 through QP24 are driven directly by control signals output from the logic circuit of controller 13.

Conversely, as with predriver 12, main driver 11 may have pMOS transistors XP2 through XP4 connected in series to pMOS transistors QP2 through QP4 and nMOS transistors XN2 through XN4 connected in series to nMOS transistors QN2 through QN4, and may be arranged such that the ON/OFF states of pMOS transistors XP2 through XP4 and nMOS transistors XN2 through XN4 are controlled by control signals output from the logic circuit of controller 13.

For adjusting the output impedance of the output buffer circuit shown in FIG. 3, the level of control signals ϕ1 through ϕ3 is rendered low to turn on corresponding pMOS transistors QP2 through QP4 to lower the output impedance at the high-level data is output. At this time, the greater the number of pMOS transistors that are turned on, the smaller the output impedance. Similarly, the level of control signals ϕ4 through ϕ6 is rendered high to turn on corresponding nMOS transistors QN2 through QN4 to lower the output impedance at the low-level data is output. At this time, the greater the number of nMOS transistors that are turned on, the smaller the output impedance.

For adjusting the ratio tr/tf (slew rate) of output pulses, the level of control signals ϕ1 through ϕ3 is rendered high to turn on corresponding nMOS transistors QN12 through QN14 to shorten the rise time tr upon switching from the low-level data to the high-level data. At this time, the greater the number of nMOS transistors that are turned on, the shorter the rise time tr. Similarly, the level of control signals ϕ4 through ϕ6 is rendered low to turn on corresponding pMOS transistors QP22 through QP24 to shorten the fall time tf upon switching from the high-level data to the low-level data. At this time, the greater the number of pMOS transistors that are turned on, the shorter the fall time tf.

In the present embodiment, the output impedance is adjusted and the ratio tr/tf are adjusted simultaneously. For example, when control signal /ϕ1 is rendered low and control signal ϕ4 is rendered high in order to lower the output impedance by one stage, control signal ϕ1 which is an inversion of control signal /ϕ1 goes high, turning on nMOS transistors QN12, QN15, and control signal /ϕ4 which is an inversion of control signal ϕ4 goes low, turning on pMOS transistors QP22, QP25. Therefore, the ratio tr/tf is reduced by one stage. Similarly, when the output impedance is lowered by two stages, the ratio tr/tf is reduced by two stages, and when the output impedance is lowered by three stages, the ratio tr/tf is reduced by three stages. The output impedance and the rise time tr at the time the high-level data is output and the output impedance and the rise time tf at the time the low-level data is output can be adjusted independently of each other.

As described above, pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 comprise transistors having a small device size whose effect on the ratio tr/tf is smaller than pMOS transistor QP1 and nMOS transistor QN1. In FIG. 3, the ratio tr/tf is adjusted using only pMOS transistor QP1 and nMOS transistor QN1.

If pMOS transistors QP2 through QP4 and nMOS

transistors QN2 through QN4 have a large device size, it is possible to adjust the ratio tr/tf with each of the transistors. In that case, however, the circuit scale is relatively large because it is necessary to add the same arrangement as predriver 12 in place of each of inverters INV11 through INV16. Therefore, it is preferable as shown in FIG. 3 to adjust the ratio tr/tf with the pair of pMOS transistors QP1 and nMOS transistor QN1.

In FIG. 3, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are the same as each other. However, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are not required to be the same as each other, but may be different from each other. For example, as shown in FIG. 4, the main driver may have eight pairs of pMOS transistors and nMOS transistors for adjusting the output impedance in seven stages, and the ratio tr/tf may be adjusted in three stages as with the circuit shown in FIG. 3.

Generally, as the output impedance of an output buffer circuit increases due to variations in the power supply voltage and the ambient temperature, the ratio tr/tf of output pulses tends to be greater (longer). Therefore, if the relationship between changes in the output impedance of the output buffer circuit and changes

in the ratio tr/tf is determined in advance, then, since a corrective quantity for the ratio tr/tf of output pulses is known for a corrective quantity for the output impedance, the output impedance and the ratio tr/tf can simultaneously be corrected by one control signal. Consequently, the data receiving side is prevented from malfunctioning, making it possible to achieve a system which operates normally even when the power supply voltage and the ambient temperature vary.

According to the present embodiment, the output buffer circuit is controlled to increase the output impedance and increase the ratio tr/tf to compensate for fluctuations in the output level of the output buffer circuit and the cross-point of the output signal. For example, as indicated by the results of a simulation shown in FIG. 5, when the ratio tr/tf is controlled, a range of variations of the cross-point of the ratio tr/tf is reduced to about 2/3 of the range of variations of the cross-point when the ratio tr/tf is not controlled. FIG. 5 shows the ratio tr/tf in best conditions when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled against the ratio tr/tf in worst conditions. In the results of the simulation shown in FIG. 5, the output impedance is controlled both when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled.

FIG. 6 shows the results of a simulation which

indicate that when the ratio tr/tf is controlled, the range of variations of the slew rate is reduced to about 1/3 of the range of variations of the slew rate when the ratio tr/tf is not controlled. FIG. 6 illustrates waveforms (a: Device worst) when the ratio tr/tf is not controlled, the power supply voltage is minimum, and the device is at a high temperature at which the slew rate is lowest, waveforms (b: Device best) when the ratio tr/tf is not controlled, the power supply voltage is maximum, and the device is at a low temperature at which the slew rate is highest, and waveforms (c: Device best) when the ratio tr/tf is controlled, the power supply voltage is maximum, and the device is at a low temperature at which the slew rate is highest. In the results of the simulation shown in FIG. 6, the output impedance is controlled both when the ratio tr/tf is controlled and when the ratio tr/tf is not controlled.

With the output buffer circuit according to the present embodiment, the output impedance is adjusted and the ratio tr/tf of output pulses is controlled at the same time for thereby reducing the number of control signals and the number of testing steps. Accordingly, the manufacturing cost of the output buffer circuit is prevented from increasing, and it is not necessary to conduct a complex test unlike the situation where the output impedance and the ratio tr/tf of output pulses are

controlled independently of each other. If only the output impedance of the output buffer circuit is monitored and adjusted, then since the slew rate is automatically improved, the performance of a system which employs the integrated semiconductor circuit device incorporating the output buffer circuit according to the present embodiment can be improved.

2nd Embodiment:

An output buffer circuit according to a second embodiment of the present invention will be described below with reference to the drawings.

As shown in FIG. 7, the output buffer circuit according to the second embodiment includes, in addition to the components of the predriver of the output buffer circuit according to the first embodiment shown in FIG. 3, pMOS transistors QP31 through QP33 for increasing the driving capability of the pMOS transistor QP11 for driving the pMOS transistor QP1, pMOS transistors QP34 through QP36 for turning on and off pMOS transistors QP31 through QP33, nMOS transistors QN31 through QN33 for increasing the driving capability of the nMOS transistor QN21 for driving the nMOS transistor QN1, and nMOS transistors QN34 through QN36 for turning on and off nMOS transistors QN31 through QN33.

pMOS transistors QP34 through QP36 are controlled by respective control signals /ϕ1 through /ϕ3, and nMOS

transistors QN34 through QN36 are controlled by respective control signals $\phi 4$ through $\phi 6$. Therefore, the ON/OFF states of pMOS transistors QP31 through QP33 are controlled at the same timing as nMOS transistors QN12 through QN14 shown in FIG. 3, and the ON/OFF states of nMOS transistors QN31 through QN33 are controlled at the same timing as pMOS transistors QP22 through QP24 shown in FIG. 3. Other structural and operational details of the output buffer circuit according to the second embodiment are identical to those of the output buffer circuit according to the first embodiment, and will not be described below.

In the first embodiment, of pMOS transistor QP11 and nMOS transistor QN11 which are provided to drive pMOS transistor QP1 of the main driver, only nMOS transistor QN11 has its driving capability increased, and of pMOS transistor QP21 and nMOS transistor QN21 which are provided to drive nMOS transistor QN1 of the main driver, only pMOS transistor QP11 has its driving capability increased.

With such an arrangement, when pMOS transistor QP11 switches from the ON state to the OFF state and the nMOS transistor QN11 switches from the OFF state to the ON state, as shown in FIG. 8(a), if the speed of switching from the OFF state to the ON state increases because of the large driving capability of nMOS transistor QN11,

then there occur periods of time in which pMOS transistor QP11 and nMOS transistor QN11 are turned on, allowing a through current to flow from the power supply to the ground potential. The through current serves as a noise source, and tends to increase the current consumption of the output buffer circuit.

In the present embodiment, pMOS transistors QP31 through QP36 are added to the arrangement shown in FIG. 3 to increase the driving capabilities of both pMOS transistor QP11 and nMOS transistor QN11 as shown in FIG. 8(b). The arrangement according to the second embodiment offers the advantages of the output buffer circuit according to the first embodiment, and is additionally effective to prevent noise from being produced and the current consumption from being increased by the through current. Similarly, nMOS transistors QN31 through QN36 are added to the arrangement shown in FIG. 3 to increase the driving capabilities of both pMOS transistor QP21 and nMOS transistor QN21 prevent noise from being produced and the current consumption from being increased by the through current.

In the output buffer circuit according to the second embodiment, the number of stages for adjusting the output impedance and the number of stages for adjusting the ratio tr/tf are not required to be the same as each other, but may be different from each other as with the

arrangement shown in FIG. 4 according to the first embodiment.

3rd Embodiment:

According to a third embodiment, the arrangements of the output buffer circuits according to the first and second embodiments are applied to another circuit.

As described above, an integrated semiconductor circuit device such as a DDR-SDRAM or the like which operates at a high speed incorporates phase synchronizing circuit 9 for synchronizing data output from output buffer circuit 8 with system clock signal CLK, as shown in FIG. 9.

Phase synchronizing circuit 9 comprises a DLL as shown in FIG. 9, for example. Phase synchronizing circuit 9 has input buffer circuit 21 for being supplied with system clock signal CLK, variable delay circuit 22 for delaying clock signal CLK1 output from input buffer circuit 21 to generate compensating clock signal CLKOE for compensating for output data timing of output buffer circuit 8, delay monitor circuit 23 for being supplied with compensating clock signal CLKOE and monitoring a delay of output buffer circuit 8, input buffer replica circuit 24 for being supplied with an output signal from delay monitor circuit 23 and outputting feedback clock signal CLKFB as a monitored full delay, input buffer replica circuit 24 having a delay equal to the delay of

input buffer circuit 21, phase comparator (PD) 25 for outputting a value proportional to the phase difference between clock signal CLK1 output from input buffer circuit 21 and feedback clock signal CLKFB, and counter (Counter) 26 for controlling the delay produced by variable delay circuit 22 according to the output value from phase comparator 25.

Since phase synchronizing circuit 9 operates to bring clock signal CLK1 output from input buffer circuit 21 into phase with feedback clock signal CLKFB (precisely, feedback clock signal CLKFB is in phase with clock signal CLK1 with a one period delay), compensating clock signal CLKOE output from variable delay circuit 22 has phase information for canceling out delays caused by delay monitor circuit 23 and input buffer replica circuit 24.

Therefore, by synchronizing data (DATAR, DATAF) read from memory array 1 with compensating clock signal CLKOE using multiplexer (MUX) 27, the data output from output buffer circuit 8 can be synchronized with system clock signal CLK.

Delay monitor circuit 23 having the same delay as output buffer circuit 8 may comprise an extra output buffer circuit incorporated in the integrated semiconductor circuit device for monitoring the delay. However, in order to reduce the current consumption and

the circuit area, it is preferable to employ a circuit (replica circuit) which is identical in construction to the output buffer circuit and which has transistors reduced in size.

The output terminal of the replica circuit may be connected to a dummy load determined from an actual load (represented by a simulated value) based on the ratio of transistor sizes of the output buffer circuit and the replica circuit for monitoring changes in the delay of the output buffer circuit due to variations in the ambient temperature and the power supply voltage. In FIG. 9, the dummy load is included in the replica circuit (delay monitor circuit 9).

For example, as shown in FIG. 10A, if the actual load has a load resistance R_T of 25 Ω, a load capacitance C_L of 30 pF, and an actual interconnection resistance R_S of 25 Ω, and the size of each of the transistors of the replica circuit is 1/10 of the size of each of the transistors of output buffer circuit 8, then, as shown in FIG. 10B, the dummy load may have a load resistance (R_T of 250 Ω) which is ten times the load resistance of the actual load, a load capacitance (C_L of 3 pF) which is 1/10 of the load capacitance of the actual load, and an interconnection resistance (R_S of 250 Ω) which is ten times the actual interconnection resistance. The dummy load does not need to have a circuit (e.g., a

load replica) whose resistance and capacitance vary depending on variations in the ambient temperature and the power supply voltage, and may be arranged to be unsusceptible to such variations.

pMOS transistor WP1 shown in FIGS. 10A and 10B represents all pMOS transistors QP1 through QP4 of the main driver shown in FIG. 3. nMOS transistor WN1 shown in FIGS. 10A and 10B represents all nMOS transistors QN1 through QN4 of the main driver shown in FIG. 3. Similarly, inverters WP2, WN2 shown in FIGS. 10A and 10B represent all pMOS transistors QP11, QP31 through QP36, nMOS transistors QN11 through QN17 of the predrivers shown in FIGS. 3 and 7, and inverters WP3, WN3 shown in FIGS. 10A and 10B represent all pMOS transistors QP21 through QP27, nMOS transistors QN21, QN31 through QN36 of the predrivers shown in FIGS. 3 and 7.

In FIGS. 10A and 10B, the controllers shown in FIGS. 3 and 7, and control signals $\phi 1$ through $\phi 6$, $/\phi 1$ through $/\phi 6$ which are supplied from the controller to pMOS transistors QP2 through QP4 and nMOS transistors QN2 through QN4 of the main driver, and pMOS transistors QP25 through QP27, pMOS transistors QP34 through QP36, nMOS transistors QN15 through QN17, and nMOS transistors QN34 through QN36 of the predriver are omitted from the illustration. However, the circuit arrangement shown in FIGS. 10A and 10B has those controller and control

signals as with the circuit arrangements shown in FIGS. 3 and 7.

Data RDATA (= CLKOE) input to the replica circuit switches between "0" and "1" at a predetermined period unlike data DATA input to the output buffer circuit.

In the present embodiment, delay monitor circuit 23 shown in FIG. 9 is of the same arrangement as the output buffer circuit according to the first embodiment or the second embodiment, and is made up of transistors whose device size is smaller than those of the output buffer circuit. As with the first and second embodiments, the transistors are operated by control signals $\phi 1$ through ϕN, $/\phi 1$ through $/\phi N$ (N is a positive integer) to control the output impedance of delay monitor circuit 23 and the ratio tr/tf of output pulses. The numbers of stages for adjusting the output impedance of the delay monitor circuit and the output buffer circuit and the numbers of stages for adjusting the ratio tr/tf thereof are not required to be the same as each other. The numbers of adjusting stages for the delay monitor circuit may be smaller than the numbers of adjusting stages for the output buffer circuit.

If an integrated semiconductor circuit device employs output buffer circuit 8 according to the first or second embodiment, then since delay monitor circuit 23 reflects the adjusted values of the output impedance of

output buffer circuit 8 and the ratio tr/tf of output pulses, system clock signal CLK and the data output from the output buffer circuit can be synchronized more accurately with each other using phase synchronizing circuit 9.

Delay monitor circuit 23 may only adjust the delay which varies depending on the output impedance and the ratio tr/tf of output pulses which have been adjusted by output buffer circuit 8. Therefore, as shown in FIG. 11, a predriver in delay monitor circuit 23 which is arranged not to control the output impedance and the ratio tr/tf of output pulses may have a plurality of capacitors (C1 through C6 in FIG. 11) for changing the delay, and a plurality of switches (SW1 through SW6 in FIG. 11) for connecting the capacitors to output terminals of inverters INV1, INV2, for thereby controlling the ON/OFF states of the switches with control signals /ϕ1 through /ϕN (N = 6 in FIG. 11). The delay caused by each of the capacitors may be equalized to a delay after the output impedance of the output buffer circuit and the ratio tr/tf of output pulses have been adjusted for achieving the above advantages.

Each of pMOS transistor WP1 and nMOS transistor WN1 shown in FIG. 11 may comprise a single MOS transistor, unlike the arrangement shown in FIG. 3, and each of inverters (WP2, WN2), (WP3, WN3) may comprise a set of

pMOS and nMOS transistors unlike the arrangement shown in FIG. 3.

While preferred embodiments of the present invention have been described in specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without departing from the spirit or scope of the following claims.

EX1005 / Page 201 of 376
Western Digital Technologies, Inc.

What is claimed is:

1. An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, and at least one fifth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor; and

a controller for generating control signals to control said fifth n-channel MOS transistor into and out

of operation in coaction with said second p-channel MOS transistor, and control said fifth p-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

2. The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are equal to each other.

3. The output buffer circuit according to claim 1, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors and the number of said fifth n-channel MOS transistors and said fifth p-channel MOS transistors are different from each other.

4. An output buffer circuit for outputting data in the form of an input pulse train at a predetermined output impedance and slew rate, comprising:

a main driver having at least a pair of a first p-channel MOS transistor and a first n-channel MOS transistor for driving a load according to said data, and at least a pair of a second p-channel MOS transistor and

a second n-channel MOS transistor for driving said load in coaction with said first p-channel MOS transistor and said first n-channel MOS transistor;

a predriver having at least a pair of a third p-channel MOS transistor and a third n-channel MOS transistor for driving said first p-channel MOS transistor according to said data, at least a pair of a fourth p-channel MOS transistor and a fourth n-channel MOS transistor for driving said first n-channel MOS transistor according to said data, at least one fifth n-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third n-channel MOS transistor, at least one fifth p-channel MOS transistor for driving said first p-channel MOS transistor in coaction with said third p-channel MOS transistor, at least one sixth p-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth p-channel MOS transistor, and at least one sixth n-channel MOS transistor for driving said first n-channel MOS transistor in coaction with said fourth n-channel MOS transistor; and

a controller for generating control signals to control said fifth p-channel MOS transistor and said fifth n-channel MOS transistor into and out of operation in coaction with said second p-channel MOS transistor, and control said sixth p-channel MOS transistor and said

sixth n-channel MOS transistor into and out of operation in coaction with said second n-channel MOS transistor.

5. The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistor, said sixth n-channel MOS transistor, and said sixth p-channel MOS transistor are equal to each other.

6. The output buffer circuit according to claim 4, wherein the number of said second p-channel MOS transistors and said second n-channel MOS transistors, and the number of said fifth n-channel MOS transistors, said fifth p-channel MOS transistors, said sixth n-channel MOS transistors, and said sixth p-channel MOS transistors are different from each other.

7. The output buffer circuit according to claim 1, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

8. The output buffer circuit according to claim 4, wherein said second p-channel MOS transistor and said second n-channel MOS transistor have a smaller device size with a smaller gate width than said first p-channel MOS transistor and said first n-channel MOS transistor, and have a small effect on rise and fall times of pulses output from said main driver.

9. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

10. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4;

and

a delay monitor circuit identical in circuit arrangement to said output buffer circuit and having transistors controlled according to said control signals in the same manner as with said output buffer circuit, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

11. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 1; and

a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

12. An integrated semiconductor circuit device comprising:

an output buffer circuit according to claim 4; and

a delay monitor circuit comprising a plurality of capacitors for delaying the data output from said output buffer circuit by respective delays, and a plurality of switches for selectively enabling and disabling said capacitors to delay the data according to said control signals, said delay monitor circuit having an output terminal connected to a dummy load determined from an actual load of said output buffer circuit based on a transistor size ratio between said output buffer circuit and said delay monitor circuit.

13. The integrated semiconductor circuit device according to claim 9, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

14. The integrated semiconductor circuit device according to claim 10, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

15. The integrated semiconductor circuit device according to claim 11, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

16. The integrated semiconductor circuit device according to claim 12, wherein said delay monitor circuit has transistors having a smaller device size with a smaller gate width than the transistors of said output buffer circuit.

EX1005 / Page 209 of 376
Western Digital Technologies, Inc.

ABSTRACT OF THE DISCLOSURE

An output buffer circuit has a main driver including a first pMOS transistor and a first nMOS transistor for driving a load, and a second pMOS transistor and a second nMOS transistor for driving the load in coaction with the first pMOS transistor and the first nMOS transistor, and a predriver including a third pMOS transistor and a third nMOS transistor for driving the first pMOS transistor, a fourth pMOS transistor and a fourth nMOS transistor for driving the first nMOS transistor, a fifth nMOS transistor for driving the first pMOS transistor in coaction with the third nMOS transistor, and a fifth pMOS transistor for driving the first nMOS transistor in coaction with the fourth pMOS transistor.

DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION

Attorney Docket No:	ELPIDA 02P155
First Named Inventor:	TAKAHASHI
Complete if known: Serial No:	Filing Date: December 16, 2002
Group Art Unit:	Examiner:

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT, the specification of which is attached hereto.

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, S. 1.56(a).

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below any foreign application for patent or inventor's certificate or of any PCT international application having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s):			Priority Claimed	Certified Copy Attached
2001-386126	Japan	December/19/2001	[x] Yes [ ] No	[x] Yes [ ] No
(Number)	(Country)	(Month/Day/Year Filed)		
			[ ] Yes [ ] No	[ ] Yes [ ] No
(Number)	(Country)	(Month/Day/Year Filed)		

I hereby claim the benefit under 35 U.S.C. 119(e) of any United States provisional application(s) listed below:

Application No: Filing Date:

I hereby claim the benefit under 35 U.S.C. 120 of any United States application(s), or 365(c) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35 U.S.C 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application:

US Parent Application No. or PCT Parent Appln. No.	Parent Filing Date	Parent Patent Number (if applicable)

And I hereby appoint HAYES SOLOWAY P.C., a firm composed of Oliver W. Hayes, Reg. No. 15,867; William O. Hennessey, Reg. No. 32,032; Peter W. Murphy, Reg. No. 43,822; Jeffrey T. Placker, Reg. No. 47,862, or any of them, of 175 Canal Street, Manchester, New Hampshire 03101 (Telephone: 603-668-1400); or Norman P. Soloway, Reg. No. 24,315; or Kevin M. Drucker, Reg. No. 47,537, or any of them, of 130 W. Cushing Street, Tucson, Arizona 85701 (Telephone: 520-882-7623) my attorneys with full power of substitution and revocation, to prosecute this application and to transact all business in the Patent Office connected therewith.

Please direct all future correspondence in connection with this application to the attention of **Norman P. Soloway,** HAYES SOLOWAY P.C., 130 W. Cushing Street, Tucson, Arizona 85701 (Telephone: 520-882-7623).

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Full name of sole or first inventor: Tsugio TAKAHASHI

First Inventor's signature Tsugio Takahashi Date December 3, 2002
Residence: c/o Elpida Memory, Inc., 2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan
Citizenship: Japanese
Post Office Address: Same as Residence

IMPORTANT NOTICE RE DUTY OF CANDOR AND GOOD FAITH

The Duty of Disclosure requirements of Section 1.56(a), of Title 37 of the Code of Federal Regulations are as follows:

A duty of candor and good faith toward the Patent and Trademark Office rests on the inventor, on each attorney or agent who prepares or prosecutes the application and on every other individual who is substantively involved in the preparation or prosecution of the application and who is associated with the inventor, with the assignee or with anyone to whom there is an obligation to assign the application. All such individuals have a duty to disclose to the Office information they are aware of which is material to the examination of the application. Such information is material where there is a substantial likelihood that a reasonable examiner would consider it important in deciding whether to allow the application to issue as a patent. The duty is commensurate with the degree of involvement in the preparation or prosecution of the application.

By virtue of this regulation each inventor executing the Declaration for the filing of a Patent Application acknowledges his duty to disclose information of which he is aware and which may be material to the examination of the application.

Inherent in this is the duty to disclose any knowledge or belief that the invention:

(a) was ever known or used in the United States of America before his invention thereof;

(b) was patented or described in any printed publication in any country before his invention thereof or more than one year prior to the actual filing date of the U.S. patent application;

(c) was in public use or on sale in the United States of America more than one year prior to the actual filing date of the U.S. patent application; or

(d) has been patented or made the subject of inventor's certificate issued before the actual filing date of the U.S. patent application in any country foreign to the United States of America on an application filed by him or his legal representatives or assigns more than twelve months before the actual filing date in the United States.

NOTE: The "Information" concerned includes, but is not limited to, all published applications and patents, including applicant's and assignee's own, U.S. or foreign applications and patents, as well as any other pertinent prior art known, or which becomes known, to the inventor or his representatives. Where English language equivalents of foreign language documents are known, they should be identified and, when possible, copies supplied. Failure to comply with this requirement may result in a patent issued on the application being held invalid even if the known prior art which is not supplied is material to only one claim of that patent.

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

12/18/2002 MAHMED1 00000054 10320059
01 FC:1001 740.00 OP

PTO-1556
(5/87)

*U.S. GPO: 2000-468-987/39595

1,4,

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2001

Application or Docket Number: 10320059

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
TOTAL CLAIMS	16	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	16 minus 20=	* 0
INDEPENDENT CLAIMS	2 minus 3 =	* 0
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐		OR	OTHER THAN SMALL ENTITY	
RATE	FEE		RATE	FEE
BASIC FEE	370.00	OR	BASIC FEE	740.00
X$ 9=		OR	X$18=	—
X42=		OR	X84=	—
+140=		OR	+280=	—
TOTAL		OR	TOTAL	740

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

BEST AVAILABLE COPY

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM				☐

RATE	ADDITIONAL FEE		RATE	ADDITIONAL FEE
X$ 9=		OR	X$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
***If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

155

US

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００１年１２月１９日

出願番号
Application Number: 特願２００１－３８６１２６

[ST.10/C]: [ＪＰ２００１－３８６１２６]

出願人
Applicant(s): エルピーダメモリ株式会社

Priority Certified 4-20



２００２年１０月　１日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００２－３０７６０７１

【書類名】　特許願
【整理番号】　22310037
【提出日】　平成13年12月19日
【あて先】　特許庁長官　殿
【国際特許分類】　H03K 19/0175
【発明者】
【住所又は居所】　東京都中央区八重洲２－２－１　エルピーダメモリ株式会社内
【氏名】　高橋　継雄
【特許出願人】
【識別番号】　500174247
【氏名又は名称】　エルピーダメモリ株式会社
【代理人】
【識別番号】　100088328
【弁理士】
【氏名又は名称】　金田　暢之
【電話番号】　03-3585-1882
【選任した代理人】
【識別番号】　100106297
【弁理士】
【氏名又は名称】　伊藤　克博
【選任した代理人】
【識別番号】　100106138
【弁理士】
【氏名又は名称】　石橋　政幸
【手数料の表示】
【予納台帳番号】　089681
【納付金額】　21,000円

EX1005 / Page 217 of 376
Western Digital Technologies, Inc.

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0111098

【プルーフの要否】　要

EX1005 / Page 218 of 376
Western Digital Technologies, Inc.

【書類名】　明細書

【発明の名称】　出力バッファ回路及び半導体集積回路装置

【特許請求の範囲】

【請求項１】　入力されたパルス波形から成るデータを所定の出力インピーダンス及びスルーレートで出力するための出力バッファ回路であって、

前記データにしたがって負荷を駆動する少なくとも１対の第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタ、並びに前記第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に前記負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備えたメインドライバ部と、

前記データにしたがって前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１対の第３のｐチャネルＭＯＳトランジスタ及び第３のｎチャネルＭＯＳトランジスタ、前記データにしたがって前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１対の第４のｐチャネルＭＯＳトランジスタ及び第４のｎチャネルＭＯＳトランジスタ、前記第３のｎチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、並びに前記第４のｐチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタを備えたプリドライバ部と、

前記第２のｐチャネルＭＯＳトランジスタと共に前記第５のｎチャネルＭＯＳトランジスタの動作・非動作を制御し、前記第２のｎチャネルＭＯＳトランジスタと共に前記第５のｐチャネルＭＯＳトランジスタの動作・非動作を制御するための制御信号をそれぞれ生成する制御部と、

を有する出力バッファ回路。

【請求項２】　前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ及び前記第５のｐチャネルＭＯＳトランジスタの数とが等しい請求項１記載の出力バッファ回路。

【請求項３】　前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎ

EX1005 / Page 219 of 376
Western Digital Technologies, Inc.

チャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ及び前記第５のｐチャネルＭＯＳトランジスタの数とが異なる請求項１記載の出力バッファ回路。

【請求項４】　入力されたパルス波形から成るデータを所定の出力インピーダンス及びスルーレートで出力するための出力バッファ回路であって、

前記データにしたがって負荷を駆動する少なくとも１対の第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタ、並びに前記第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に前記負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備えたメインドライバ部と、

前記データにしたがって前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１対の第３のｐチャネルＭＯＳトランジスタ及び第３のｎチャネルＭＯＳトランジスタ、前記データにしたがって前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１対の第４のｐチャネルＭＯＳトランジスタ及び第４のｎチャネルＭＯＳトランジスタ、前記第３のｎチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、前記第３のｐチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタ、前記第４のｐチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第６のｐチャネルＭＯＳトランジスタ、並びに前記第４のｎチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第６のｎチャネルＭＯＳトランジスタを備えたプリドライバ部と、

前記第２のｐチャネルＭＯＳトランジスタと共に前記第５のｐチャネルＭＯＳトランジスタ及び前記第５のｎチャネルＭＯＳトランジスタの動作・非動作を制御し、前記第２のｎチャネルＭＯＳトランジスタと共に前記第６のｐチャネルＭＯＳトランジスタ及び前記第６のｎチャネルＭＯＳトランジスタの動作・非動作を制御するための制御信号をそれぞれ生成する制御部と、

を有する出力バッファ回路。

EX1005 / Page 220 of 376
Western Digital Technologies, Inc.

【請求項５】　前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ、前記第５のｐチャネルＭＯＳトランジスタ、前記第６のｎチャネルＭＯＳトランジスタ及び前記第６のｐチャネルＭＯＳトランジスタの数とが等しい請求項４記載の出力バッファ回路。

【請求項６】　前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ、前記第５のｐチャネルＭＯＳトランジスタ、前記第６のｎチャネルＭＯＳトランジスタ及び前記第６のｐチャネルＭＯＳトランジスタの数とが異なる請求項４記載の出力バッファ回路。

【請求項７】　前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタは、

オンした状態で前記メインドライバ部から出力されるパルスの立ち上がり時間及び立ち下がり時間に対する影響が少ない、前記第１のｐチャネルＭＯＳトランジスタ及び前記第１のｎチャネルＭＯＳトランジスタよりもゲート幅が狭く形成された小さいデバイスサイズである請求項１乃至６のいずれか１項記載の出力バッファ回路。

【請求項８】　請求項１乃至７のいずれか１項記載の出力バッファ回路と、

前記出力バッファ回路と同様に構成され、前記制御信号にしたがって前記出力バッファ回路と同様にトランジスタの動作がそれぞれ制御される、前記出力バッファ回路とのトランジスタサイズ比に基づいて前記出力バッファ回路の実負荷から求められた擬似負荷が出力に接続されるディレイモニタ回路と、

を有する半導体集積回路装置。

【請求項９】　請求項１乃至７のいずれか１項記載の出力バッファ回路と、

前記データの出力タイミングをそれぞれ所定量だけ遅延させる複数のキャパシタ、及び前記制御信号にしたがって前記キャパシタによる遅延を有効または無効にそれぞれ切り換える複数のスイッチを備え、前記出力バッファ回路とのトランジスタサイズ比に基づいて前記出力バッファ回路の実負荷から求められた擬似負荷が出力に接続されるディレイモニタ回路と、

EX1005 / Page 221 of 376
Western Digital Technologies, Inc.

を有する半導体集積回路装置。

【請求項１０】　前記ディレイモニタ回路が備えるトランジスタは、前記出力バッファ回路が備えるトランジスタよりもゲート幅が狭く形成された小さいデバイスサイズである請求項８または９記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置の出力バッファ回路に関し、特に外部からの制御信号にしたがって出力インピーダンスの切り替えが可能な出力バッファ回路に関する。

【０００２】

【従来の技術】

近年の半導体集積回路装置を用いたシステムでは、処理の高速化がより一層進んだ結果、例えば、数百ＭＨｚのクロックで動作するＤＲＡＭ（Dynamic Random Access Memory）やＳＤＲＡＭ（Synchronous DRAM）等の記憶装置が用いられるようになってきた。また、低消費電力化の要求に応じて電源電圧が低下し、例えば、１．５Ｖ程度の低電圧で動作する半導体集積回路装置も用いられる。

【０００３】

このように高速でかつ低電圧で動作するシステムでは、電源電圧や周囲温度の変動、あるいは素子性能の違いに対して、半導体集積回路装置が備える出力バッファ回路の駆動能力やスルーレートの変動を抑制し、ノイズの増大や誤動作を防止することが重要になる。

【０００４】

従来の出力バッファ回路のうち、出力インピーダンスを変えて駆動能力を変える構成は、例えば、特開平０５－１７５４４４号公報、あるいは特開平２－０９２０１９号公報等で提案されている。一方、出力パルス波形のｔｒ（立ち上がり時間）／ｔｆ（立ち下がり時間）を変えてスルーレートを変えるための構成は、例えば、特開２００１－６８９８６号公報、あるいは特開２０００－３３２５９３号公報等で提案されている。

EX1005 / Page 222 of 376
Western Digital Technologies, Inc.

【０００５】

【発明が解決しようとする課題】

ＤＤＲ（Double data rate）－ＳＤＲＡＭのように、システムクロックＣＬＫの立ち上がりと立ち下がりタイミングでそれぞれデータを出力する（図１１参照）記憶装置からのデータを受信する半導体集積回路装置では、データ送信側の出力タイミング（図１１の立ち上がり波形と立ち下がり波形のクロスポイントＣＰ）がシステムクロックＣＬＫに対して半周期（ｔｃｋ／２）以上ずれると、送信されたデータを正しく受け取ることができなくなる。特に実際のシステムでは、配線による遅延等もあるため、クロスポイントＣＰの変動を許容するマージン（ウィンドウ）が非常に少なくなる。

【０００６】

また、出力バッファ回路のスルーレートが小さくなった場合、高速動作させる際に出力パルスの振幅を最大値にすることができないため、「１」または「０」の論理を正しく判定することができなくなる。一方、出力バッファ回路のスルーレートが大きくなった場合、高周波成分の増大により出力パルスの波形が歪んでしまうため、ノイズが増加することでシステムの誤動作の要因となる。

【０００７】

そこで、データ送信側でクロスポイントＣＰやスルーレートの変動を補償すればよいが、例えば、出力インピーダンスを調整しただけではクロスポイントＣＰやスルーレートの変動を補償できるものではない。また、スルーレートだけを調整しても、クロスポイントＣＰやスルーレートは出力インピーダンス及び電源電圧のそれぞれの変動に依存するため、高速でかつ低電圧で動作するシステムで必要な変動範囲内に十分に補償することができない。

【０００８】

特に、スルーレートだけを調整した場合は、駆動能力の低下により出力信号のＨｉｇｈレベルが低下したりＬｏｗレベルが上昇したときに「１」または「０」の論理を正しく判定することができなくなる。また、出力バッファ回路の出力インピーダンスは、システムに実装された状態でも負荷電流や出力レベルをモニタすることで変動を容易に検出することが可能であるが、スルーレートはモニタす

EX1005 / Page 223 of 376
Western Digital Technologies, Inc.

ることが容易でないため変動を検出することが困難であるという問題もある。

【０００９】

上記したような従来の出力バッファ回路は、出力インピーダンスまたはスルーレートのいずれか一方だけを調整する構成を提案したものであり、システムに実装された状態で、電源電圧や周囲温度の変動に対してクロスポイントやスルーレートの変動を十分に補償することができないという問題があった。

【００１０】

また、クロスポイントやスルーレートを制御する場合、以下に記載する問題も生じる。

【００１１】

一般に、高速に動作するＤＤＲ－ＤＲＡＭ等の半導体集積回路装置を有するシステムでは、システムクロックに該半導体集積回路装置が備える出力バッファ回路のデータ出力タイミングを一致させるために、ＤＬＬやＰＬＬ等から成る位相同期回路が用いられる。位相同期回路は出力バッファ回路と同様の遅延量を有する回路を利用して出力バッファ回路の遅延量をモニタし、システムクロックから該遅延量を補償するための補償クロックを生成し、生成した補償クロックに出力バッファ回路のデータ出力タイミングを同期させる回路である。

【００１２】

システム性能を向上させるために出力バッファ回路のインピーダンスやスルーレートを制御する場合、出力バッファ回路のデータ出力タイミングはインピーダンスやスルーレートを制御することで変動する。

【００１３】

したがって、システムクロックに出力バッファ回路のデータ出力タイミングを正確に一致させるためには、上記出力バッファ回路のモニタ回路も出力バッファ回路の遅延量の変動に応じて遅延量を変える必要がある。

【００１４】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、システムに実装された状態でも電源電圧や周囲温度の変動に対して出力パルスの立ち上がり波形と立ち下がり波形のクロスポイントの変動やスルー

EX1005 / Page 224 of 376
Western Digital Technologies, Inc.

レートの変動を十分に補償することが可能な出力バッファ回路を提供することを目的とする。

【００１５】

また、本発明はインピーダンス及びスルーレートを制御する半導体集積回路においても出力バッファ回路のデータ出力タイミングの変動を十分に補償することが可能な位相同期回路を提供することを目的とする。

【００１６】

【課題を解決するための手段】

上記目的を達成するため本発明の出力バッファ回路は、入力されたパルス波形から成るデータを所定の出力インピーダンス及びスルーレートで出力するための出力バッファ回路であって、

前記データにしたがって負荷を駆動する少なくとも１対の第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタ、並びに前記第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に前記負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備えたメインドライバ部と、

前記データにしたがって前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１対の第３のｐチャネルＭＯＳトランジスタ及び第３のｎチャネルＭＯＳトランジスタ、前記データにしたがって前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１対の第４のｐチャネルＭＯＳトランジスタ及び第４のｎチャネルＭＯＳトランジスタ、前記第３のｎチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、並びに前記第４のｐチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタを備えたプリドライバ部と、

前記第２のｐチャネルＭＯＳトランジスタと共に前記第５のｎチャネルＭＯＳトランジスタの動作・非動作を制御し、前記第２のｎチャネルＭＯＳトランジスタと共に前記第５のｐチャネルＭＯＳトランジスタの動作・非動作を制御するための制御信号をそれぞれ生成する制御部と、

EX1005 / Page 225 of 376
Western Digital Technologies, Inc.

を有する構成である。

【００１７】

このとき、前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ及び前記第５のｐチャネルＭＯＳトランジスタの数とが等しくてもよく、

前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ及び前記第５のｐチャネルＭＯＳトランジスタの数とが異なっていてもよい。

【００１８】

また、本発明の他の出力バッファ回路は、入力されたパルス波形から成るデータを所定の出力インピーダンス及びスルーレートで出力するための出力バッファ回路であって、

前記データにしたがって負荷を駆動する少なくとも１対の第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタ、並びに前記第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に前記負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備えたメインドライバ部と、

前記データにしたがって前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１対の第３のｐチャネルＭＯＳトランジスタ及び第３のｎチャネルＭＯＳトランジスタ、前記データにしたがって前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１対の第４のｐチャネルＭＯＳトランジスタ及び第４のｎチャネルＭＯＳトランジスタ、前記第３のｎチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、前記第３のｐチャネルＭＯＳトランジスタと共に前記第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタ、前記第４のｐチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第６のｐチャネルＭＯＳトランジスタ、並びに前記第４のｎチャネルＭＯＳトランジスタと共に前記第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１

EX1005 / Page 226 of 376
Western Digital Technologies, Inc.

つの第６のｎチャネルＭＯＳトランジスタを備えたプリドライバ部と、

前記第２のｐチャネルＭＯＳトランジスタと共に前記第５のｐチャネルＭＯＳトランジスタ及び前記第５のｎチャネルＭＯＳトランジスタの動作・非動作を制御し、前記第２のｎチャネルＭＯＳトランジスタと共に前記第６のｐチャネルＭＯＳトランジスタ及び前記第６のｎチャネルＭＯＳトランジスタの動作・非動作を制御するための制御信号をそれぞれ生成する制御部と、

を有する構成である。

【００１９】

このとき、前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ、前記第５のｐチャネルＭＯＳトランジスタ、前記第６のｎチャネルＭＯＳトランジスタ及び前記第６のｐチャネルＭＯＳトランジスタの数とが等しくてもよく、

前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタの数と、前記第５のｎチャネルＭＯＳトランジスタ、前記第５のｐチャネルＭＯＳトランジスタ、前記第６のｎチャネルＭＯＳトランジスタ及び前記第６のｐチャネルＭＯＳトランジスタの数とが異なっていてもよい。

【００２０】

なお、前記第２のｐチャネルＭＯＳトランジスタ及び前記第２のｎチャネルＭＯＳトランジスタは、

オンした状態で前記メインドライバ部から出力されるパルスの立ち上がり時間及び立ち下がり時間に対する影響が少ない、前記第１のｐチャネルＭＯＳトランジスタ及び前記第１のｎチャネルＭＯＳトランジスタよりもゲート幅が狭く形成された小さいデバイスサイズであることが望ましい。

【００２１】

一方、本発明の半導体集積回路装置は、上記記載のいずれかの出力バッファ回路と、

前記出力バッファ回路と同様に構成され、前記制御信号にしたがって前記出力バッファ回路と同様にトランジスタの動作がそれぞれ制御される、前記出力バッファ回路とのトランジスタサイズ比に基づいて前記出力バッファ回路の実負荷か

EX1005 / Page 227 of 376
Western Digital Technologies, Inc.

ら求められた擬似負荷が出力に接続されるディレイモニタ回路と、
を有する構成である。

【００２２】

または、上記記載のいずれかの出力バッファ回路と、

前記データの出力タイミングをそれぞれ所定量だけ遅延させる複数のキャパシタ、及び前記制御信号にしたがって前記キャパシタによる遅延を有効または無効にそれぞれ切り換える複数のスイッチを備え、前記出力バッファ回路とのトランジスタサイズ比に基づいて前記出力バッファ回路の実負荷から求められた擬似負荷が出力に接続されるディレイモニタ回路と、
を有する構成である。

【００２３】

ここで、前記ディレイモニタ回路が備えるトランジスタは、

前記出力バッファ回路が備えるトランジスタよりもゲート幅が狭く形成された小さいデバイスサイズであることが望ましい。

【００２４】

上記のように構成された出力バッファ回路では、メインドライバ部に第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備え、プリドライバ部に第３のｎチャネルＭＯＳトランジスタと共に第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、並びに第４のｐチャネルＭＯＳトランジスタと共に第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタを備えることで、同一の制御信号により出力インピーダンス及び出力パルスのスルーレートを同時に調整することができる。

【００２５】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【００２６】

EX1005 / Page 228 of 376
Western Digital Technologies, Inc.

まず、本発明の出力バッファ回路を備える半導体集積回路装置の一例として、ＤＲＡＭ（ＳＤＲＡＭ等を含む）の構成を説明する。

【００２７】

図１は本発明の出力バッファ回路を備える半導体集積回路装置であるＤＲＡＭの一構成例を示すブロック図である。

【００２８】

図１に示すように、ＤＲＡＭは、データが格納される複数のメモリセルから成るメモリアレイ１と、データの書き込み／読み出しを行うメモリセルに対してアクセスするためにアドレス（Ai）をデコードするＸデコーダ（Ｘ－ＤＥＣ）２及びＹデコーダ（Ｙ－ＤＥＣ）３と、外部から入力されるアドレスを一時的に保持するＲＯＷアドレスバッファ４及びＣＯＬＵＭアドレスバッファ５と、外部から入力される各種制御信号にしたがってＤＲＡＭの動作を制御するコントロール回路６と、外部から入力される各種制御信号にしたがってＤＲＡＭを所定の動作モードで動作させるモードコントロール回路７と、メモリアレイ１から読み出された出力データを一時的に保持すると共に所定のタイミングでＤＱ端子から出力する出力バッファ回路８と、システムクロックＣＬＫに出力バッファ回路のデータ出力タイミングを一致させるための位相同期回路９とを有する構成である。

【００２９】

なお、メモリアレイ１に格納されたデータは不図示のセンスアンプによって読み出されて出力バッファ回路８に転送される。また、ＤＲＡＭに格納するデータはＤＱ端子を介して入力され、不図示のドライバ回路によって書き込みアドレスに対応するメモリセルに書き込まれる。

【００３０】

コントロール回路６には、例えば、／ＲＡＳ（Row Address Strobe command）、／ＣＡＳ（Column Address Strobe command）、／ＷＥ（Write Enable）、／ＣＳ(Chip select)、ＣＫＥ（Clock Enable）、ＣＬＫ（Clock）、／ＣＬＫ、ＤＭ（input/output mask）等の制御信号が入力される。なお、「／」はＬｏｗレベル時に有意な信号であることを示す。

【００３１】

このような構成において、上述したように、メモリアレイ１から不図示のセンスアンプによって読み出されたデータは、不図示のバッファメモリで一旦保持され、コントロール回路６及びモードコントロール回路７による制御タイミングにしたがって出力バッファ回路８からＤＱ端子を介して外部に出力される。一方、外部からＤＱ端子を介して入力されたデータは不図示のバッファメモリに一旦保持され、コントロール回路６及びモードコントロール回路７による制御タイミングにしたがって不図示の書き込みアンプを介してメモリアレイ１に書き込まれる。このとき、出力バッファ回路８はコントロール回路６からの制御信号にしたがってその出力がＨｉｇｈインピーダンスで維持される。

【００３２】

位相同期回路９は、上述したようにＤＬＬやＰＬＬ等から構成され、不図示の出力バッファ回路８と同様の遅延量を有する回路により出力バッファ回路８の遅延量をモニタし、システムクロックＣＬＫから該遅延量を補償するための補償クロックＣＬＫＯＥを生成し、生成した補償クロックＣＬＫＯＥを出力バッファ回路８に供給する。出力バッファ回路８は位相同期回路９から供給された補償クロックＣＬＫＯＥにデータ出力タイミングを同期させて出力する。なお、出力バッファ回路８の遅延量をモニタするための回路は、後述する制御信号φ１～φＮ、／φ１～／φＮにより出力インピーダンス、スルーレート、あるいは遅延量が制御される。

【００３３】

（第１の実施の形態）

次に本発明の出力バッファ回路の第１の実施の形態について図面を参照して説明する。

【００３４】

図２は本発明の出力バッファ回路の第１の実施の形態の構成を示す回路図である。

【００３５】

図２に示すように、本実施形態の出力バッファ回路は、ＤＱ端子に繋がる負荷を駆動する、出力インピーダンスが変更可能なメインドライバ部１１と、センス

EX1005 / Page 230 of 376
Western Digital Technologies, Inc.

アンプ等から読み出されたデータ（ＤＡＴＡ）にしたがってメインドライバ部１１を駆動する、該メインドライバ部１１の出力パルスのｔｒ／ｔｆを変更するためのプリドライバ部１２と、コントロール回路等から供給される制御信号φ１～φ６にしたがってメインドライバ部１１の出力インピーダンス及び出力パルスのｔｒ／ｔｆを変更するための信号を生成する制御部１３とを有する構成である。なお、図２に示す制御信号／φ１～／φ６は、制御信号φ１～φ６をそれぞれ反転させた信号であり、図２では制御信号φ１～φ６を反転させるためのインバータ回路がそれぞれ省略されている。制御信号φ１～φ６は外部から図２に示した出力バッファ回路を含む半導体集積回路装置の外部から入力されるコマンドにしたがって、例えばコントロール回路により生成されて供給される信号である。また、図２に示す出力バッファ回路に供給されるデータは、図１に示した位相同期回路から出力された補償クロックＣＬＫＯＥに同期させた後の信号とする。

【００３６】

メインドライバ部１１は、ドレインがそれぞれ共通に接続された４対のｐチャネルＭＯＳトランジスタ（以下、ｐＭＯＳトランジスタと称す）ＱＰ１～ＱＰ４及びｎチャネルＭＯＳトランジスタ（以下、ｎＭＯＳトランジスタと称す）ＱＮ１～ＱＮ４を有する構成である。

【００３７】

ｐＭＯＳトランジスタＱＰ１～ＱＰ４のソースはそれぞれ電源ＶＤＤに接続され、ｎＭＯＳトランジスタＱＮ１～ＱＮ４のソースはそれぞれ接地電位に接続され、ｐＭＯＳトランジスタＱＰ１～ＱＰ４及びｎＭＯＳトランジスタＱＮ１～ＱＮ４のドレインはそれぞれＤＱ端子に接続される。また、ｐＭＯＳトランジスタＱＰ１及びｎＭＯＳトランジスタＱＮ１のゲートはそれぞれプリドライバ部１２に接続され、ｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４のゲートはそれぞれ制御部１３に接続される。

【００３８】

ｐＭＯＳトランジスタＱＰ２～ＱＰ４はｐＭＯＳトランジスタＱＰ１と共にＤＱ端子に繋がる負荷を駆動することでメインドライバ部１１のＨｉｇｈデータ出力時の出力インピーダンスを調整するためのものである。また、ｎＭＯＳトラン

EX1005 / Page 231 of 376
Western Digital Technologies, Inc.

ジスタＱＮ２～ＱＮ４はｎＭＯＳトランジスタＱＮ１と共に負荷を駆動することでメインドライバ部１１のＬｏｗデータ出力時の出力インピーダンスを調整するためのものである。

【００３９】

ｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４は、出力パルスのｔｒ／ｔｆへの影響が少ないｐＭＯＳトランジスタＱＰ１及びｎＭＯＳトランジスタＱＮ１よりも小さいデバイスサイズ（ゲート幅が狭い）のトランジスタが用いられる。ｐＭＯＳトランジスタＱＰ１に並列に接続するｐＭＯＳトランジスタの数、及びｎＭＯＳトランジスタＱＮ１に並列に接続するｎＭＯＳトランジスタの数は３つに限定されるものではなく、少なくとも１つ以上であればいくつであってもよい。

【００４０】

プリドライバ部１２は、メインドライバ部１１のｐＭＯＳトランジスタＱＰ１を駆動するためのｐＭＯＳトランジスタＱＰ１１及びｎＭＯＳトランジスタＱＮ１１と、ｎＭＯＳトランジスタＱＮ１１によるｐＭＯＳトランジスタＱＰ１の駆動能力を調整するためのｎＭＯＳトランジスタＱＮ１２～ＱＮ１４と、ｎＭＯＳトランジスタＱＮ１２～ＱＮ１４をＯＮ／ＯＦＦさせるｎＭＯＳトランジスタＱＮ１５～ＱＮ１７と、メインドライバ部１１のｎＭＯＳトランジスタＱＮ１を駆動するためのｐＭＯＳトランジスタＱＰ２１及びｎＭＯＳトランジスタＱＮ２１と、ｐＭＯＳトランジスタＱＰ２１によるｎＭＯＳトランジスタＱＮ１の駆動能力を調整するためのｐＭＯＳトランジスタＱＰ２２～ＱＰ２４と、ｐＭＯＳトランジスタＱＰ２２～ＱＰ２４をＯＮ／ＯＦＦさせるｐＭＯＳトランジスタＱＰ２５～ＱＰ２７とを有する構成である。ｎＭＯＳトランジスタＱＮ１５～ＱＮ１７は制御信号φ１～φ３で制御され、ｐＭＯＳトランジスタＱＰ２５～ＱＰ２７は制御信号／φ４～／φ６で制御される。なお、図２では、ｐＭＯＳトランジスタＱＰ１１及びｎＭＯＳトランジスタＱＮ１１を外部から供給されるデータ（ＤＡＴＡ）にしたがって駆動するインバータＩＮＶ１、及びｐＭＯＳトランジスタＱＰ２１及びｎＭＯＳトランジスタＱＮ２１を外部から供給されるデータ（ＤＡＴＡ）にしたがって駆動するインバータＩＮＶ２を備える構成を例示しているが、

EX1005 / Page 232 of 376
Western Digital Technologies, Inc.

インバータＩＮＶ１、ＩＮＶ２は論理上問題がなければ無くてもよく、論理を反転しないドライバ回路であってもよい。

【００４１】

ｎＭＯＳトランジスタＱＮ１２～ＱＮ１４は、ｎＭＯＳトランジスタＱＮ１１と共に負荷であるｐＭＯＳトランジスタＱＰ１を駆動することでｐＭＯＳトランジスタＱＰ１がＯＦＦからＯＮする時間、すなわちメインドライバ部１１の出力パルスの立ち上がり時間ｔｒを調整するためのものである。また、ｐＭＯＳトランジスタＱＰ２２～ＱＰ２４は、ｐＭＯＳトランジスタＱＰ２１と共に負荷であるｎＭＯＳトランジスタＱＮ１を駆動することでｎＭＯＳトランジスタＱＮ１がＯＦＦからＯＮする時間、すなわちメインドライバ部１１の出力パルスの立ち下がり時間ｔｆを調整するためのものである。ｎＭＯＳトランジスタＱＮ１１に並列に接続するｎＭＯＳトランジスタの数、ｐＭＯＳトランジスタＱＰ２１に並列に接続するｐＭＯＳトランジスタの数は３つに限定されるものではなく、少なくとも１つ以上であればいくつであってもよい。

【００４２】

制御部１３は、外部から供給される制御信号φ１～φ６にしたがって、メインドライバ部１１のｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４、並びにプリドライバ部１２のｎＭＯＳトランジスタＱＮ１５～ＱＮ１７及びｐＭＯＳトランジスタＱＰ２５～ＱＰ２７とをそれぞれＯＮ／ＯＦＦさせるための信号を生成する論理和ゲートＮＯＲ１～３、論理積ゲートＮＡＮＤ１～３、及びインバータＩＮＶ１１～１６から成る論理回路である。

【００４３】

なお、図２では、上述したようにｎＭＯＳトランジスタＱＮ１５～ＱＮ１７のＯＮ／ＯＦＦを制御信号φ１～φ３で制御することで、ｎＭＯＳトランジスタＱＮ１２～ＱＮ１４をｎＭＯＳトランジスタＱＮ１１と共に駆動させ、ｐＭＯＳトランジスタＱＰ２５～ＱＰ２７のＯＮ／ＯＦＦを制御信号／φ４～／φ６で制御することで、ｐＭＯＳトランジスタＱＰ２２～ＱＰ２４をｐＭＯＳトランジスタＱＰ２１と共に駆動させる構成を示している。しかしながら、プリドライバ部１２は、メインドライバ部１１と同様に、制御部１３の論理回路から出力される制

EX1005 / Page 233 of 376
Western Digital Technologies, Inc.

御信号によりｎＭＯＳトランジスタＱＮ１２～ＱＮ１４及びｐＭＯＳトランジスタＱＰ２２～ＱＰ２４をそれぞれ直接動作させて、ｎＭＯＳトランジスタＱＮ１２～ＱＮ１４をｎＭＯＳトランジスタＱＮ１１と共に駆動させ、ｐＭＯＳトランジスタＱＰ２２～ＱＰ２４をｐＭＯＳトランジスタＱＰ２１と共に駆動させる構成であってもよい。

【００４４】

逆に、メインドライバ部１１は、プリドライバ部１２と同様に、ｐＭＯＳトランジスタＱＰ２～ＱＰ４に対してそれぞれ直列にｐＭＯＳトランジスタＸＰ２～ＸＰ４を接続し、ｎＭＯＳトランジスタＱＮ２～ＱＮ４に対してそれぞれ直列にｎＭＯＳトランジスタＸＮ２～ＸＮ４を接続し、ｐＭＯＳトランジスタＸＰ２～ＸＰ４のＯＮ／ＯＦＦを制御信号／φ１～／φ３で制御することで、ｐＭＯＳトランジスタＱＰ２～ＱＰ４をｐＭＯＳトランジスタＱＰ１と共に駆動させ、ｎＭＯＳトランジスタＸＮ２～ＸＮ４のＯＮ／ＯＦＦを制御信号φ４～φ６で制御することで、ｎＭＯＳトランジスタＱＮ２～ＱＮ４をｎＭＯＳトランジスタＱＮ１と共に駆動させる構成であってもよい。

【００４５】

このような構成において、図２に示した出力バッファ回路の出力インピーダンスを調整する場合、上述したように、制御信号／φ１～／φ３をＬｏｗレベルにすることで、対応するｐＭＯＳトランジスタＱＰ２～ＱＰ４をＯＮさせ、Ｈｉｇｈデータ出力時の出力インピーダンスを小さくする。このとき、ＯＮさせるｐＭＯＳトランジスタの数が多いほど出力インピーダンスはより小さい値になる。同様に、制御信号φ４～φ６をＨｉｇｈレベルにすることで、対応するｎＭＯＳトランジスタＱＮ２～ＱＮ４をＯＮさせ、Ｌｏｗデータ出力時の出力インピーダンスを小さくする。このとき、ＯＮさせるｎＭＯＳトランジスタの数が多いほど出力インピーダンスはより小さい値になる。

【００４６】

一方、出力パルスのｔｒ／ｔｆ（スルーレート）を調整する場合、制御信号φ１～φ３をＨｉｇｈレベルにすることで、対応するｎＭＯＳトランジスタＱＮ１２～ＱＮ１４をＯＮさせ、ＬｏｗデータからＨｉｇｈデータへの切り換わり時の

EX1005 / Page 234 of 376
Western Digital Technologies, Inc.

立ち上がり時間ｔｒを短くする。このとき、ＯＮさせるｎＭＯＳトランジスタの数が多いほど立ち上がり時間ｔｒはより短縮する。同様に、制御信号／φ４～／φ６をＬｏｗレベルにすることで、対応するｐＭＯＳトランジスタＱＰ２２～ＱＰ２４をＯＮさせ、Ｈｉｇｈデータからローデータへの切り換わり時の立ち下がり時間ｔｆを短くする。このとき、ＯＮさせるｐＭＯＳトランジスタの数が多いほど立ち下がり時間ｔｆはより短縮する。

【００４７】

本実施形態では、出力インピーダンスの調整とｔｒ／ｔｆの調整とを同時に行う構成であり、例えば、出力インピーダンスを１段階下げるために制御信号／φ１をＬｏｗレベル、制御信号φ４をＨｉｇｈレベルにすると、同時に、／φ１を反転させたφ１がＨｉｇｈレベルになってｎＭＯＳトランジスタＱＮ１２、ＱＮ１５をそれぞれＯＮさせ、φ４を反転させた／φ４がＬｏｗレベルになってｐＭＯＳトランジスタＱＰ２２、ＱＰ２５をそれぞれＯＮさせるため、ｔｒ／ｔｆがそれぞれ１段階づつ短縮する。同様に、出力インピーダンスを２段階下げればｔｒ／ｔｆもそれぞれ２段階短縮し、出力インピーダンスを３段階下げればｔｒ／ｔｆもそれぞれ３段階短縮する。なお、Ｈｉｇｈデータ出力時の出力インピーダンスと立ち上がり時間ｔｒ、あるいはＬｏｗデータ出力時の出力インピーダンスと立ち下がり時間ｔｆは、それぞれ独立して調整することも可能である。

【００４８】

上述したように、ｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４は、ｐＭＯＳトランジスタＱＰ１及びｎＭＯＳトランジスタＱＮ１に比べてｔｒ／ｔｆへの影響が少ない小さいデバイスサイズのトランジスタであるため、図２に示した構成では、ｐＭＯＳトランジスタＱＰ１及びｎＭＯＳトランジスタＱＮ１でのみｔｒ／ｔｆを調整する構成を示している。ｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４のサイズがそれぞれ大きい場合は、各々のトランジスタでｔｒ／ｔｆを調整する構成であってもよい。その場合、インバータＩＮＶ１１～ＩＮＶ１６をそれぞれプリドライバ部と同様な構成にする必要があるため、回路規模が大きくなってしまう。したがって、図２に示すような１対のｐＭＯＳトランジスタＱＰ１及びｎＭＯＳト

EX1005 / Page 235 of 376
Western Digital Technologies, Inc.

ランジスタＱＮ１でｔｒ／ｔｆを調整する構成が好ましい。

【００４９】

また、図２に示した構成では、出力インピーダンスの調整段階とｔｒ／ｔｆの調整段階の数がそれぞれ等しい構成を示しているが、これらは一致している必要はなく異なっていてもよい。例えば、図３に示すように、メインドライバ部に８対のｐＭＯＳトランジスタとｎＭＯＳトランジスタを設け、出力インピーダンスが７段階に調整可能な構成にし、ｔｒ／ｔｆは図２と同様に３段階に調整する構成にしてもよい。

【００５０】

一般に、出力バッファ回路の出力インピーダンスが電源電圧や周囲温度の変動によって大きくなると、出力パルスのｔｒ／ｔｆも大きく（長く）なる方向に変化する。したがって、予め出力バッファ回路の出力インピーダンスの変化量とｔｒ／ｔｆの変化量の関係を求めておけば、その出力インピーダンスの補正量と出力パルスのｔｒ／ｔｆの補正量が定まるので、同一の制御信号で出力インピーダンスと出力パルスのｔｒ／ｔｆとを同時に補正することができる。これにより、データ受信側における誤動作が防止され、電源電圧や周囲温度が変動しても正常に動作するシステムを得ることができる。

【００５１】

本実施形態では、出力インピーダンスを大きくすると共にｔｒ／ｔｆが長くなるように制御して出力バッファ回路の出力レベルと出力信号のクロスポイントの変動を補正している。例えば、図４のシミュレーション結果で示すように、ｔｒ／ｔｆを制御しない場合に比べてｔｒ／ｔｆを制御した場合の方が、ｔｒ／ｔｆのクロスポイントの変動幅が約２／３程度に抑制されていることが分かる。なお、図４では、ｔｒ／ｔｆが最悪の状態（worst condition）に対して、ｔｒ／ｔｆを制御する場合、ｔｒ／ｔｆを制御しない場合のそれぞれの最良の状態（best condition）を示している。また、図４では、ｔｒ／ｔｆを制御する場合、ｔｒ／ｔｆを制御しない場合共に出力インピーダンスの制御を行っている場合のシミュレーション結果を示している。

【００５２】

EX1005 / Page 236 of 376
Western Digital Technologies, Inc.

また、図５のシミュレーション結果で示すように、ｔｒ／ｔｆを制御しない場合に比べてｔｒ／ｔｆを制御した場合の方がスルーレートの変動幅が約１／３程度に抑制されていることが分かる。なお、図５では、ｔｒ／ｔｆを制御しない場合で、かつ電源電圧が最小でスルーレートが最も遅くなる素子の高温時の波形（ａ：Device worst）に対し、ｔｒ／ｔｆを制御しない場合で、かつ電源電圧が最大でスルーレートが最も速い素子の低温時の波形（ｂ：Device best）、及びｔｒ／ｔｆを制御する場合で、かつ電源電圧が最大でスルーレートが最も速い素子の低温時の波形（ｃ：Device best）をそれぞれ示している。また、図５では、ｔｒ／ｔｆを制御する場合、ｔｒ／ｔｆを制御しない場合共に出力インピーダンスの制御を行っている場合のシミュレーション結果を示している。

【００５３】

したがって、本実施形態の出力バッファ回路によれば、出力インピーダンスの調整に加えて出力パルスのｔｒ／ｔｆを同時に制御することで、制御信号の数や試験工数を削減することができるため製造コストの増大が抑制され、これらを独立して制御する場合に比べて複雑な試験を行なう必要がなくなる。また、システム側は出力バッファ回路の出力インピーダンスのみモニタして調整すればスルーレートも自動的に改善されるためシステム性能を向上させることができる。

【００５４】

（第２の実施の形態）

次に本発明の出力バッファ回路の第２の実施の形態について図面を用いて説明する。

【００５５】

図６は本発明の出力バッファ回路の第２の実施の形態の構成を示す回路図である。

【００５６】

図６に示すように、本実施形態の出力バッファ回路は、図１に示した第１の実施の形態の出力バッファ回路が有するプリドライバ部に、ｐＭＯＳトランジスタＱＰ１１によるｐＭＯＳトランジスタＱＰ１の駆動能力を上げるためのｐＭＯＳトランジスタＱＰ３１～ＱＰ３３と、ｐＭＯＳトランジスタＱＰ３１～ＱＰ３３

EX1005 / Page 237 of 376
Western Digital Technologies, Inc.

をＯＮ／ＯＦＦさせるｐＭＯＳトランジスタＱＰ３４～ＱＰ３６と、ｎＭＯＳトランジスタＱＮ２１によるｎＭＯＳトランジスタＱＮ１の駆動能力を上げるためのｎＭＯＳトランジスタＱＮ３１～ＱＮ３３と、ｎＭＯＳトランジスタＱＮ３１～ＱＮ３３をＯＮ／ＯＦＦさせるｎＭＯＳトランジスタＱＮ３４～ＱＮ３６とを追加した構成である。

【００５７】

ｐＭＯＳトランジスタＱＰ３４～ＱＰ３６は制御信号／φ１～／φ３で制御され、ｎＭＯＳトランジスタＱＮ３４～ＱＮ３６は制御信号φ４～φ６で制御される。したがって、ｐＭＯＳトランジスタＱＰ３１～ＱＰ３３は、図１に示したｎＭＯＳトランジスタＱＮ１２～ＱＮ１４と同じタイミングでＯＮ／ＯＦＦが制御され、ｎＭＯＳトランジスタＱＮ３１～ＱＮ３３は、図１に示したｐＭＯＳトランジスタＱＰ２２～ＱＰ２４と同じタイミングでＯＮ／ＯＦＦが制御される。その他の構成及び動作は第１の実施の形態と同様であるため、その説明は省略する。

【００５８】

第１の実施の形態では、メインドライバ部のｐＭＯＳトランジスタＱＰ１を駆動するために設けられたｐＭＯＳトランジスタＱＰ１１及びｎＭＯＳトランジスタＱＮ１１のうち、ｎＭＯＳトランジスタＱＮ１１側の駆動能力のみ向上させ、メインドライバ部のｎＭＯＳトランジスタＱＮ１を駆動するために設けられたｐＭＯＳトランジスタＱＰ２１及びｎＭＯＳトランジスタＱＮ２１のうち、ｐＭＯＳトランジスタＱＰ１１側の駆動能力のみ向上させている。

【００５９】

このような構成では、例えば、図７（ａ）に示すようにｐＭＯＳトランジスタＱＰ１１がＯＮからＯＦＦに切り換わり、ｎＭＯＳトランジスタＱＮ１１がＯＦＦからＯＮに切り換わる場合に、ｎＭＯＳトランジスタＱＮ１１側のみ駆動能力が大きくＯＦＦからＯＮへ切り換わるスピードが速まると、ｐＭＯＳトランジスタＱＰ１１及びｎＭＯＳトランジスタＱＮ１１がそれぞれＯＮする期間が生じ、電源から接地電位に貫通電流が流れてしまう。この貫通電流はノイズ源になると共に出力バッファ回路の消費電流を増大させる要因になる。

EX1005 / Page 238 of 376
Western Digital Technologies, Inc.

【００６０】

本実施形態では、図１に示した構成にｐＭＯＳトランジスタＱＰ３１～ＱＰ３６を追加することで、図７（ｂ）に示すようにｐＭＯＳトランジスタＱＰ１１側とｎＭＯＳトランジスタＱＮ１１側の双方の駆動能力を同様に向上させる。このようにすることで、第１の実施の形態の効果に加えて貫通電流が生じることによるノイズの発生や消費電流の増大が防止される。同様に、図１に示した構成にｎＭＯＳトランジスタＱＮ３１～ＱＮ３６を追加し、ｐＭＯＳトランジスタＱＰ２１側とｎＭＯＳトランジスタＱＮ２１側の双方の駆動能力を同様に向上させることで、貫通電流が生じることによるノイズの発生や消費電流の増大が防止される。

【００６１】

なお、本実施形態の出力バッファ回路も、出力インピーダンスの調整段階とｔｒ／ｔｆの調整段階の数がそれぞれ等しい構成である必要はなく、第１の実施の形態の図３で示した構成と同様に異なっていてもよい。

【００６２】

（第３の実施の形態）

第３の実施の形態では、第１の実施の形態及び第２の実施の形態で示した出力バッファ回路の構成を他の回路に適用する例について説明する。

【００６３】

上述したように、高速に動作するＤＤＲ－ＳＤＲＡＭ等の半導体集積回路装置には、出力バッファ回路８のデータ出力タイミングをシステムクロックＣＬＫに同期させるための位相同期回路９を備えている。

【００６４】

位相同期回路９は、例えば、図８に示すようなＤＬＬで構成され、システムクロックＣＬＫが入力される入力バッファ回路２１と、入力バッファ回路２１から出力されるクロックＣＬＫ１を遅延させ、出力バッファ回路８のデータ出力タイミングを補償するための補償クロックＣＬＫＯＥを出力する可変遅延回路２２と、補償クロックＣＬＫＯＥが入力される、出力バッファ回路８の遅延量をモニタするためのディレイモニタ回路２３と、ディレイモニタ回路２３の出力信号が入

EX1005 / Page 239 of 376
Western Digital Technologies, Inc.

力され、遅延量のモニタ結果である帰還クロックＣＬＫＦＢを出力する入力バッファレプリカ回路２４と、入力バッファ回路２１から出力されるクロックＣＬＫ１と帰還クロックＣＬＫＦＢの位相差に比例する値を出力する位相比較器（ＰＤ）２５と、位相比較器２５の出力値にしたがって可変遅延回路２２による遅延量を制御するカウンタ回路（Ｃｏｕｎｔｅｒ）２６とを有する構成である。

【００６５】

このような構成では、入力バッファ回路２１から出力されるクロックＣＬＫ１と帰還クロックＣＬＫＦＢの位相が一致するように動作するため（正確にはクロックＣＬＫ１に対して帰還クロックＣＬＫＦＢが１周期遅れて一致する）、可変遅延回路２２から出力される補償クロックＣＬＫＯＥには、ディレイモニタ回路２３及び入力バッファレプリカ回路２４による遅延量を相殺するための位相情報を持つようになる。したがって、マルチプレクサ（ＭＵＸ）２７を用いて補償クロックＣＬＫＯＥにメモリアレイ１から読み出したデータ（ＤＡＴＡＲ，ＤＡＴＡＦ）を同期させることで、出力バッファ回路８のデータ出力タイミングをシステムクロックＣＬＫに一致させることができる。

【００６６】

ここで、出力バッファ回路８と同様の遅延量を有するディレイモニタ回路２３として、半導体集積回路装置内に出力バッファ回路を余分に設け、その余分な出力バッファ回路を用いて遅延量をモニタする構成でもよいが、消費電流や回路面積を低減するために、各トランジスタのサイズをそれぞれ小さくした出力バッファ回路と同様構成の回路（レプリカ回路）を用いることが好ましい。

【００６７】

その場合、レプリカ回路の出力には、出力バッファ回路とレプリカ回路のトランジスタサイズ比に基づいて実負荷（シミュレーション値等）から求めた擬似負荷を接続すれば、周囲温度や電源電圧の変動による出力バッファ回路の遅延量の変化もモニタすることができる。なお、図８では擬似負荷がレプリカ回路（ディレイモニタ回路２３）内に含まれる構成を示している。

【００６８】

例えば、図９（ａ）に示すように、実負荷の負荷抵抗値R_Tが２５Ω、負荷容

量値C_Lが３０ｐＦ、実配線抵抗値R_Sが２５Ωであり、レプリカ回路の各トランジスタサイズを出力バッファ回路の１／１０にした場合、図９（ｂ）に示すように、擬似負荷には、実負荷の１０倍の負荷抵抗（R_T＝２５０Ω）、１／１０の負荷容量（C_L＝３ｐＦ）、及び実配線抵抗の１０倍の配線抵抗（R_S＝２５０Ω）をそれぞれ接続すればよい。擬似負荷には、周囲温度や電源電圧の変動に応じて抵抗値や容量値が変化する回路（例えば、負荷のレプリカ）を作る必要はなく、これらの影響を受け難い構成であってもよい。

【００６９】

なお、図９（ａ）、（ｂ）に示したｐＭＯＳトランジスタＷＰ１は図２で示したメインドライバ部のｐＭＯＳトランジスタＱＰ１～ＱＰ４をまとめて示し、ｎＭＯＳトランジスタＷＮ１は図２で示したメインドライバ部のｎＭＯＳトランジスタＱＮ１～ＱＭ４をまとめて示している。また、図９（ａ）、（ｂ）に示したインバータ（ＷＰ２，ＷＮ２）は図２または図６で示したプリドライバ部のｐＭＯＳトランジスタＱＰ１１、ＱＰ３１～ＱＰ３６、ｎＭＯＳトランジスタＱＮ１１～ＱＮ１７をまとめて示し、インバータ（ＷＰ３，ＷＮ３）は図２または図６で示したプリドライバ部のｐＭＯＳトランジスタＱＰ２１～ＱＰ２７、ｎＭＯＳトランジスタＱＮ２１，ＱＮ３１～ＱＮ３６をまとめて示している。

【００７０】

図９（ａ）、（ｂ）では、図２または図６で示した制御部と、制御部からメインドライバ部のｐＭＯＳトランジスタＱＰ２～ＱＰ４及びｎＭＯＳトランジスタＱＮ２～ＱＮ４、並びにプリドライバ部のｐＭＯＳトランジスタＱＰ２５～ＱＰ２７、ｐＭＯＳトランジスタＱＰ３４～ＱＰ３６、ｎＭＯＳトランジスタＱＮ１５～ＱＮ１７、及びｎＭＯＳトランジスタＱＮ３４～ＱＮ３６に供給される制御信号φ１～φ６、／φ１～／φ６がそれぞれ省略されているが、これらの構成及び制御信号も図２または図６で示した回路と同様に備えている。

【００７１】

また、レプリカ回路に入力されるデータＲＤＡＴＡ（＝ＣＬＫＯＥ）は、出力バッファ回路に入力されるデータＤＡＴＡとは異なって、所定の周期で「０」、「１」が切り換わるデータである。

EX1005 / Page 241 of 376
Western Digital Technologies, Inc.

【００７２】

本実施形態では、図８に示したディレイモニタ回路２３を、第１の実施の形態または第２の実施の形態で示した出力バッファ回路と同様構成で、かつ該出力バッファ回路よりも小さいデバイスサイズのトランジスタで構成する。そして、第１の実施の形態及び第２の実施の形態と同様に制御信号φ１～φＮ、／φ１～／φＮ（Ｎは正の整数）で各トランジスタをそれぞれ動作させることで、ディレイモニタ回路２３の出力インピーダンス及び出力パルスのｔｒ／ｔｆを同時に制御する。なお、ディレイモニタ回路と出力バッファ回路の出力インピーダンス及び出力パルスのｔｒ／ｔｆの調整段階の数は一致させる必要はなく、ディレイモニタ回路の調整段階の数は出力バッファ回路よりも少なくてよい。

【００７３】

このようなディレイモニタ回路２３を構成することで、半導体集積回路装置が第１の実施の形態または第２の実施の形態で示した出力バッファ回路８を用いる場合に、該出力バッファ回路８の出力インピーダンスや出力パルスのｔｒ／ｔｆの調整値がディレイモニタ回路２３に反映されるため、上記位相同期回路９を用いたシステムクロックＣＬＫと出力バッファ回路のデータ出力タイミングとの同期調整がより正確に実施される。

【００７４】

ところで、ディレイモニタ回路２３では出力バッファ回路８で調整された出力インピーダンスや出力パルスのｔｒ／ｔｆに応じて変動する遅延量のみ調整できればよい。したがって、図１０に示すように、出力インピーダンス及び出力パルスのｔｒ／ｔｆを制御しない構成のディレイモニタ回路２３のプリドライバ部に、遅延量を変えるための複数のキャパシタ（図１０ではＣ１～Ｃ６）、及び該キャパシタとインバータＩＮＶ１，２の出力とを接続するための複数のスイッチ（図１０ではＳＷ１～ＳＷ６）を設け、制御信号／φ１～／φＮ（図１０ではＮ＝６）で各スイッチのＯＮ／ＯＦＦを制御する構成にしてもよい。この場合、予め各キャパシタによる遅延量を、出力バッファ回路の出力インピーダンス及び出力パルスのｔｒ／ｔｆの調整後の遅延量にそれぞれ一致するようにしておけば、上記と同様の効果を得ることができる。

EX1005 / Page 242 of 376
Western Digital Technologies, Inc.

【００７５】

なお、図１０に示したｐＭＯＳトランジスタＷＰ１及びｎＭＯＳトランジスタＷＮ１は図２で示した構成と異なってそれぞれ１つのＭＯＳトランジスタで構成すればよく、インバータ（ＷＰ２，ＷＮ２）、（ＷＰ３，ＷＮ３）は図２または図６で示した構成と異なってそれぞれ一組のｐＭＯＳトランジスタ及びｎＭＯＳトランジスタで構成すればよい。

【００７６】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【００７７】

メインドライバ部に第１のｐチャネルＭＯＳトランジスタ及び第１のｎチャネルＭＯＳトランジスタと共に負荷を駆動する少なくとも１対の第２のｐチャネルＭＯＳトランジスタ及び第２のｎチャネルＭＯＳトランジスタを備え、プリドライバ部に第３のｎチャネルＭＯＳトランジスタと共に第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、並びに第４のｐチャネルＭＯＳトランジスタと共に第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタを備えることで、同一の制御信号により出力インピーダンスだけでなく出力パルスのクロスポイント及びスルーレートが同時に調整されるため、データ受信側における誤動作が防止されて、電源電圧や周囲温度が変動しても正常に動作するシステムを得ることができる。

【００７８】

また、出力インピーダンスと出力パルスの立ち上がり時間／立ち下がり時間を同時に制御することで、これらを独立して制御する場合に比べて制御信号の数や試験工数を削減することができるため、製造コストの増大が抑制される。

【００７９】

さらに、システム側は出力バッファ回路の出力インピーダンスのみモニタして調整すればスルーレートも自動的に改善されるためシステム性能を向上させるこ

EX1005 / Page 243 of 376
Western Digital Technologies, Inc.

とができる。

【００８０】

また、プリドライバ部に、第３のｎチャネルＭＯＳトランジスタと共に第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｎチャネルＭＯＳトランジスタ、第３のｐチャネルＭＯＳトランジスタと共に第１のｐチャネルＭＯＳトランジスタを駆動する少なくとも１つの第５のｐチャネルＭＯＳトランジスタ、第４のｐチャネルＭＯＳトランジスタと共に第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第６のｐチャネルＭＯＳトランジスタ、並びに第４のｎチャネルＭＯＳトランジスタと共に第１のｎチャネルＭＯＳトランジスタを駆動する少なくとも１つの第６のｎチャネルＭＯＳトランジスタを備えることで、第３のｎチャネルＭＯＳトランジスタと第３のｐチャネルＭＯＳトランジスタの双方の駆動能力が同様に向上し、第４のｐチャネルＭＯＳトランジスタと第４のｎチャネルＭＯＳトランジスタの双方の駆動能力が同様に向上する。したがって、第１のｐチャネルＭＯＳトランジスタと第１のｎチャネルＭＯＳトランジスタに貫通電流が流れることが防止され、貫通電流が生じることによるノイズの発生や消費電流の増大が防止される。

【００８１】

また、上記出力バッファ回路と同様に構成され、制御信号にしたがって出力バッファ回路と同様にトランジスタの動作がそれぞれ制御される、出力バッファ回路とのトランジスタサイズ比に基づいて出力バッファ回路の実負荷から求められた擬似負荷が出力に接続される構成、あるいはデータの出力タイミングをそれぞれ所定量だけ遅延させる複数のキャパシタ、及び制御信号にしたがってキャパシタによる遅延を有効または無効にそれぞれ切り換える複数のスイッチを備え、出力バッファ回路とのトランジスタサイズ比に基づいて出力バッファ回路の実負荷から求められた擬似負荷が出力に接続される構成のディレイモニタ回路を有することで、半導体集積回路装置に上述した第１の実施の形態または第２の実施の形態で示した出力バッファ回路を用いている場合に、該出力バッファ回路の出力インピーダンスや出力パルスのｔｒ／ｔｆの調整値がディレイモニタ回路に反映されるため、システムクロックと出力バッファ回路のデータ出力タイミングとの同

EX1005 / Page 244 of 376
Western Digital Technologies, Inc.

期調整がより正確に実施される。

【図面の簡単な説明】

【図１】

本発明の出力バッファ回路を備える半導体集積回路装置であるＤＲＡＭの一構成例を示すブロック図である。

【図２】

本発明の出力バッファ回路の第１の実施の形態の構成を示す回路図である。

【図３】

第１の実施の形態の出力バッファ回路の変形例の構成を示す回路図である。

【図４】

第１の実施の形態の出力バッファ回路のシミュレーション結果を示す図であり、ｔｒ／ｔｆを制御する場合及びｔｒ／ｔｆを制御しない場合の出力パルス波形を示す波形図である。

【図５】

第１の実施の形態の出力バッファ回路のシミュレーション結果を示す図であり、ｔｒ／ｔｆを制御する場合及びｔｒ／ｔｆを制御しない場合の出力パルス波形を示す波形図である。

【図６】

本発明の出力バッファ回路の第２の実施の形態の構成を示す回路図である。

【図７】

本発明の出力バッファ回路の要部の動作の様子を示す波形図である。

【図８】

図１に示した位相同期回路の一構成例を示すブロック図である。

【図９】

ディレイモニタ回路の使用例を示す回路図である。

【図１０】

本発明のディレイモニタ回路の一構成例を示す回路図である。

【図１１】

従来の出力バッファ回路の動作の問題点を説明するための模式図である。

【符号の説明】

１　メモリアレイ

２　Ｘデコーダ

３　Ｙデコーダ

４　ＲＯＷアドレスバッファ

５　ＣＯＬＵＭアドレスバッファ

６　コントロール回路

７　モードコントロール回路

８　出力バッファ回路

９　位相同期回路

１１　メインドライバ部

１２　プリドライバ部

１３　制御部

２１　入力バッファ回路

２２　可変遅延回路

２３　ディレイモニタ回路

２４　入力バッファレプリカ回路

２５　位相比較器

２６　カウンタ回路

２７　マルチプレクサ

ＱＰ１～ＱＰ４，ＱＰ２１～ＱＰ２７，ＱＰ３１～ＱＰ３６　ｐＭＯＳトランジスタ

ＱＮ１～ＱＮ４，ＱＮ１１～ＱＮ１７，ＱＮ３１～ＱＮ３６　ｎＭＯＳトランジスタ

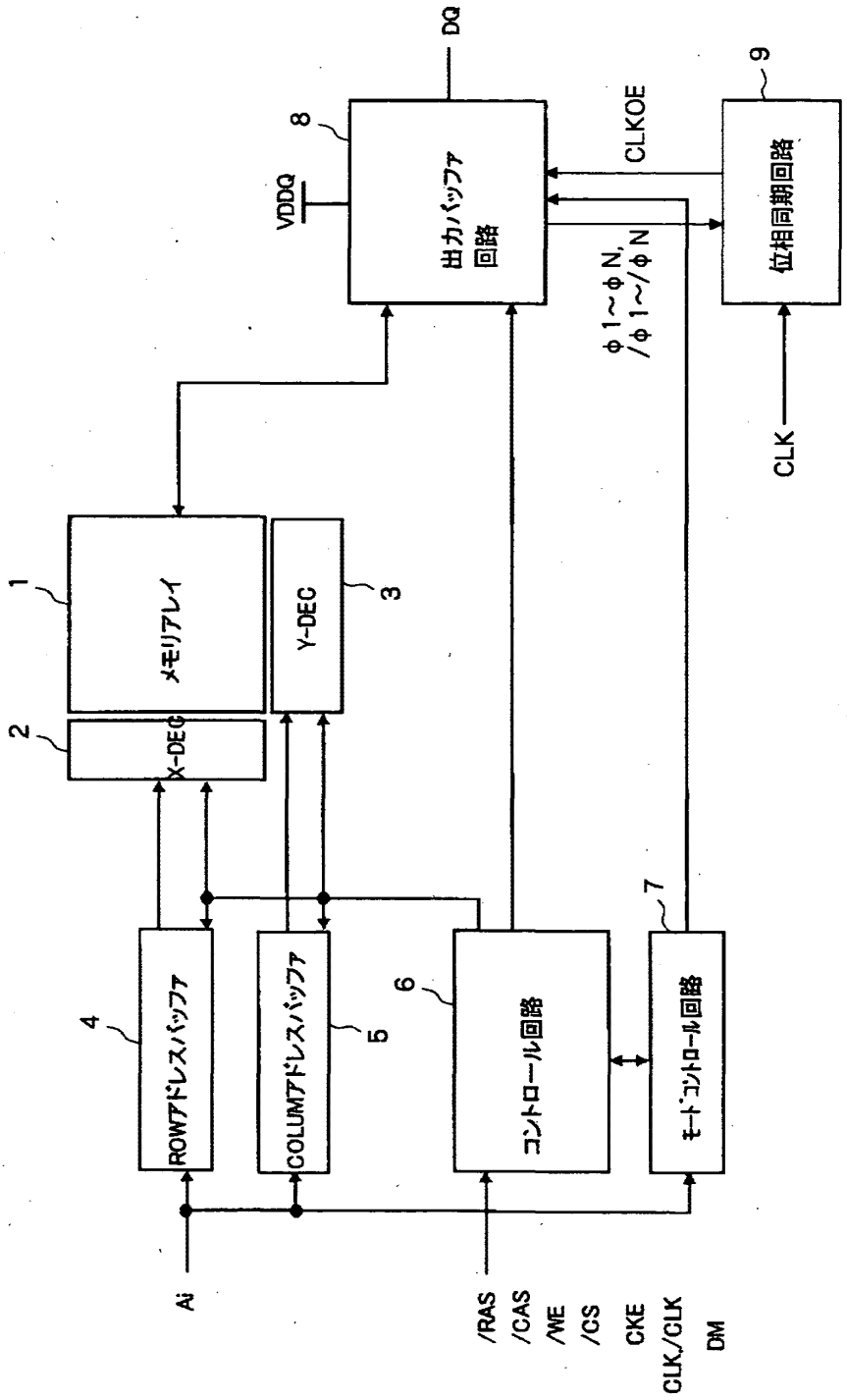
ＩＮＶ１，ＩＮＶ２，ＩＮＶ１１～ＩＮＶ１６　インバータ

ＮＯＲ１～ＮＯＲ３　論理和ゲート

ＮＡＮＤ１～ＮＡＮＤ３　論理積ゲート

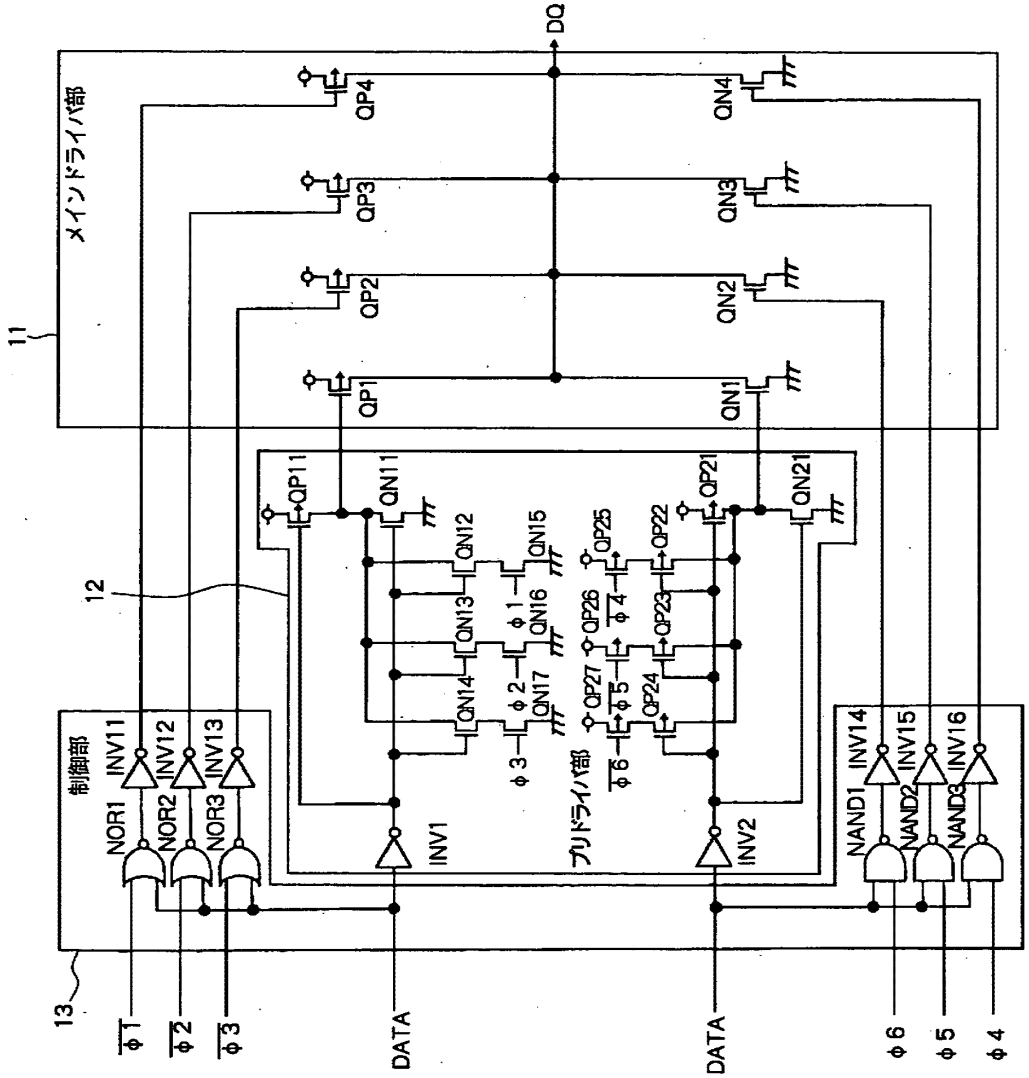
【書類名】　図面

【図１】



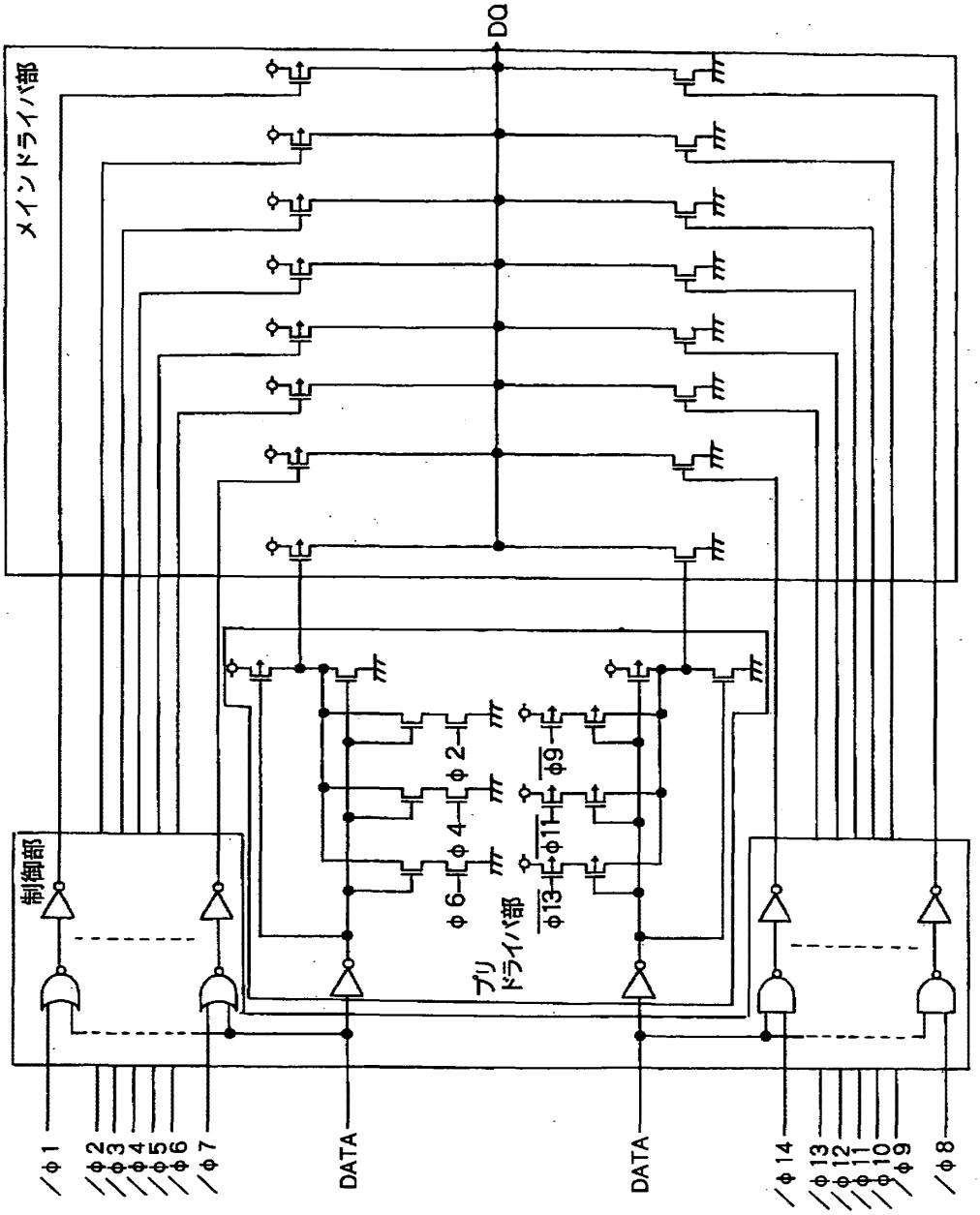
EX1005 / Page 247 of 376
Western Digital Technologies, Inc.

【図２】



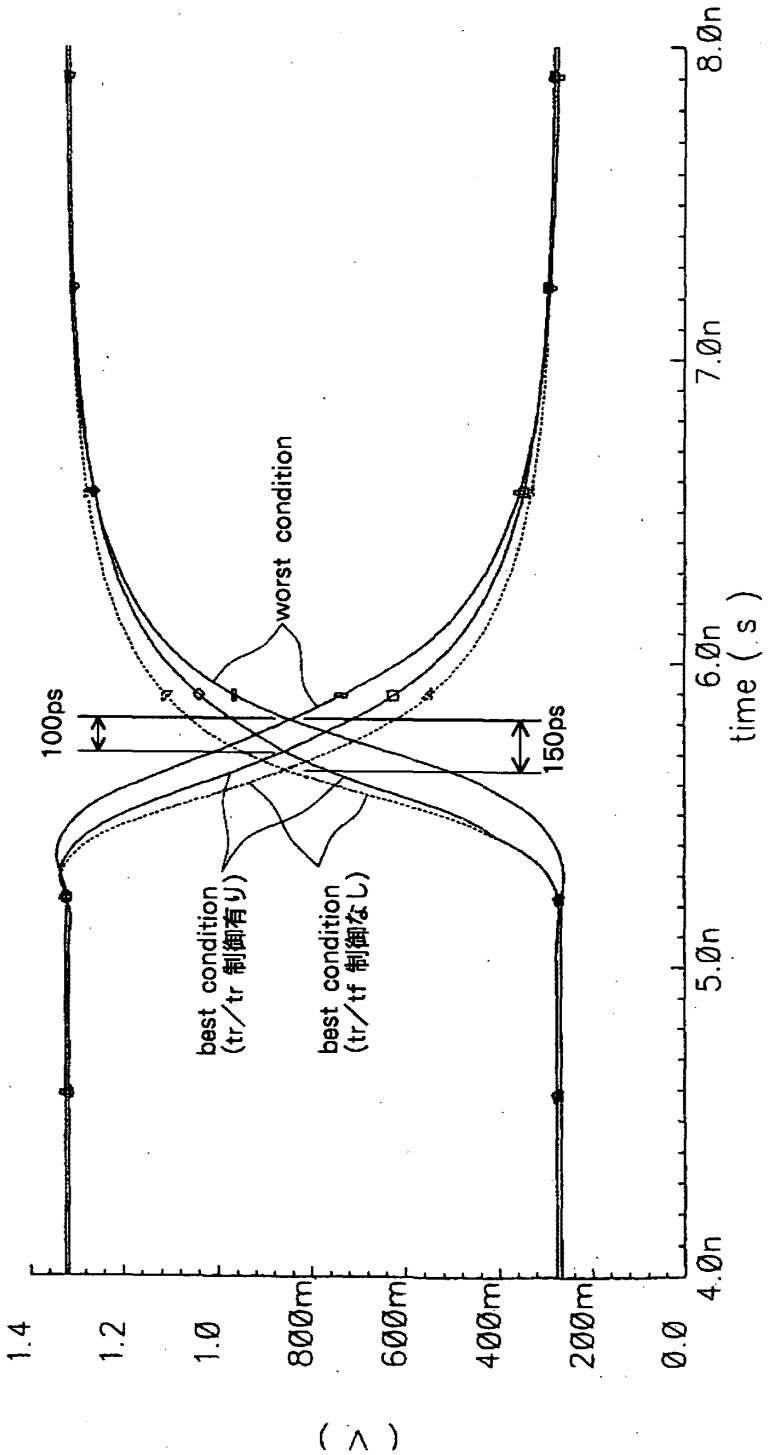
EX1005 / Page 248 of 376
Western Digital Technologies, Inc.

【図３】



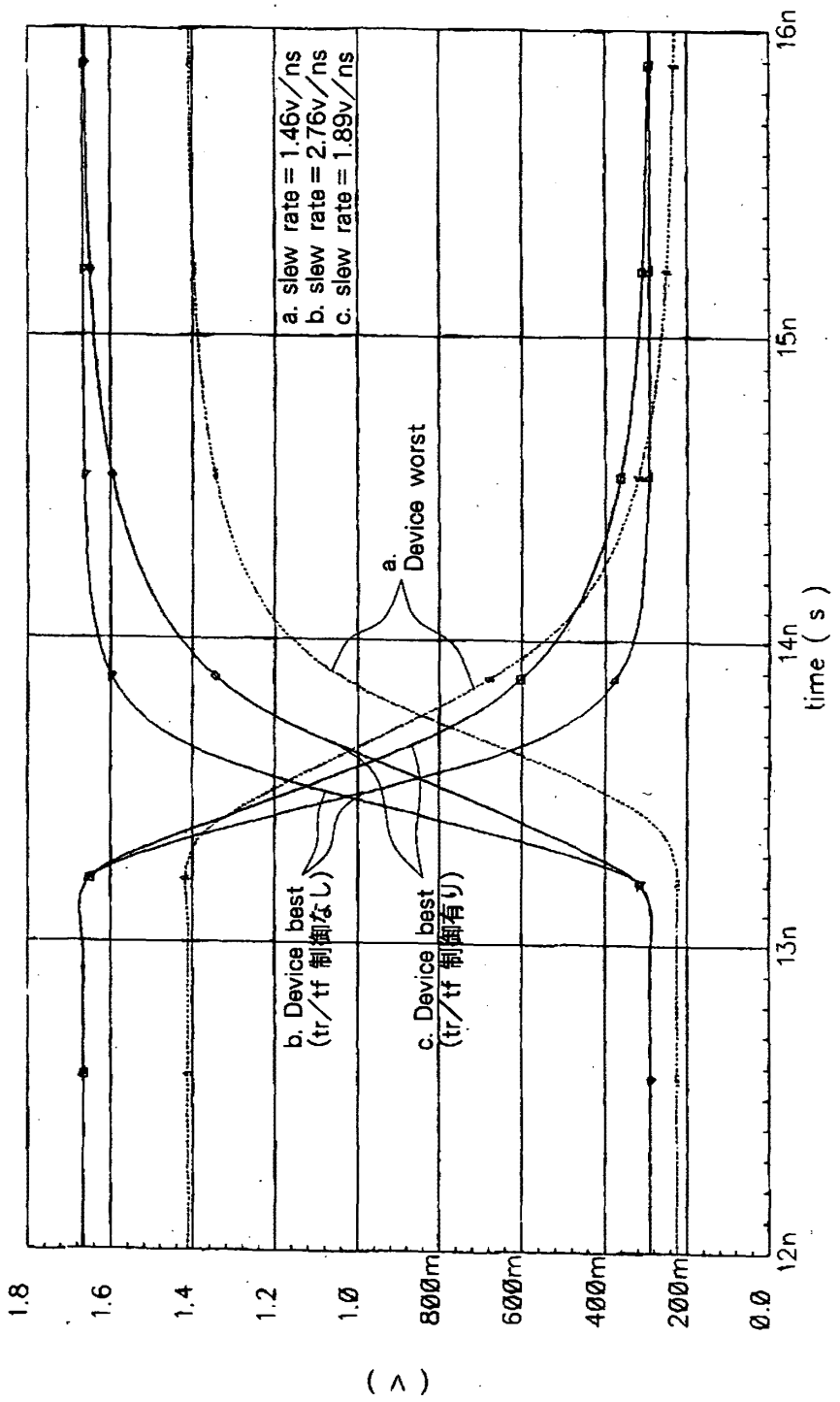
EX1005 / Page 249 of 376
Western Digital Technologies, Inc.

【図４】



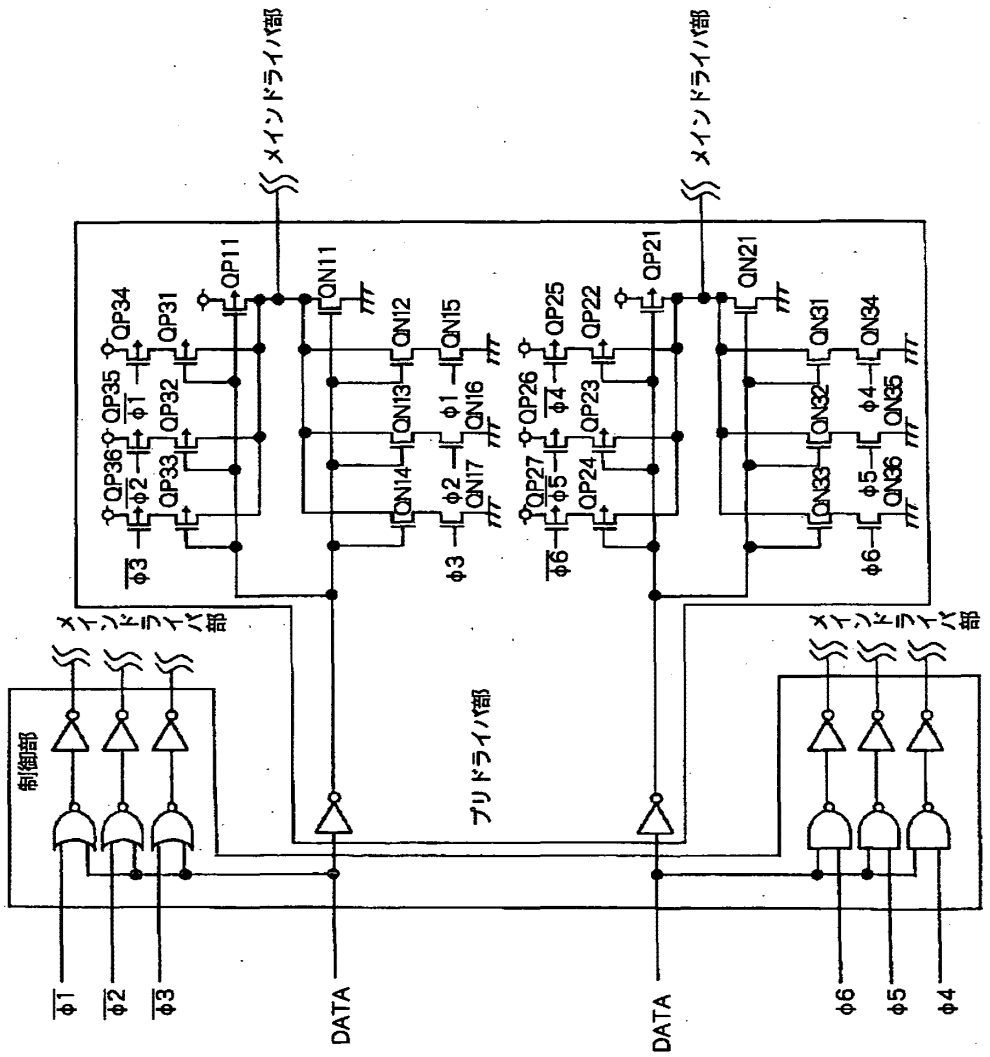
EX1005 / Page 250 of 376
Western Digital Technologies, Inc.

【図５】



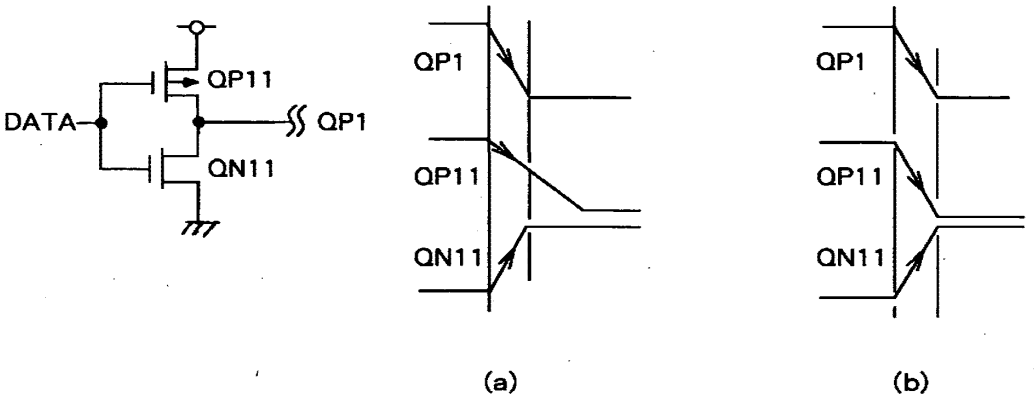
EX1005 / Page 251 of 376
Western Digital Technologies, Inc.

【図６】

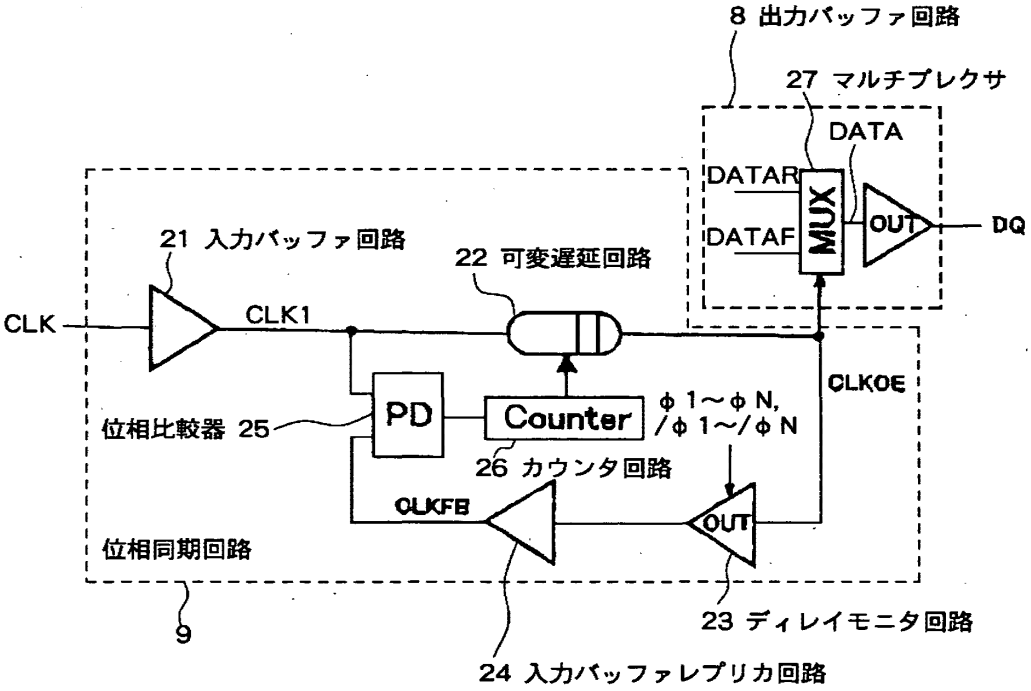


EX1005 / Page 252 of 376
Western Digital Technologies, Inc.

【図７】

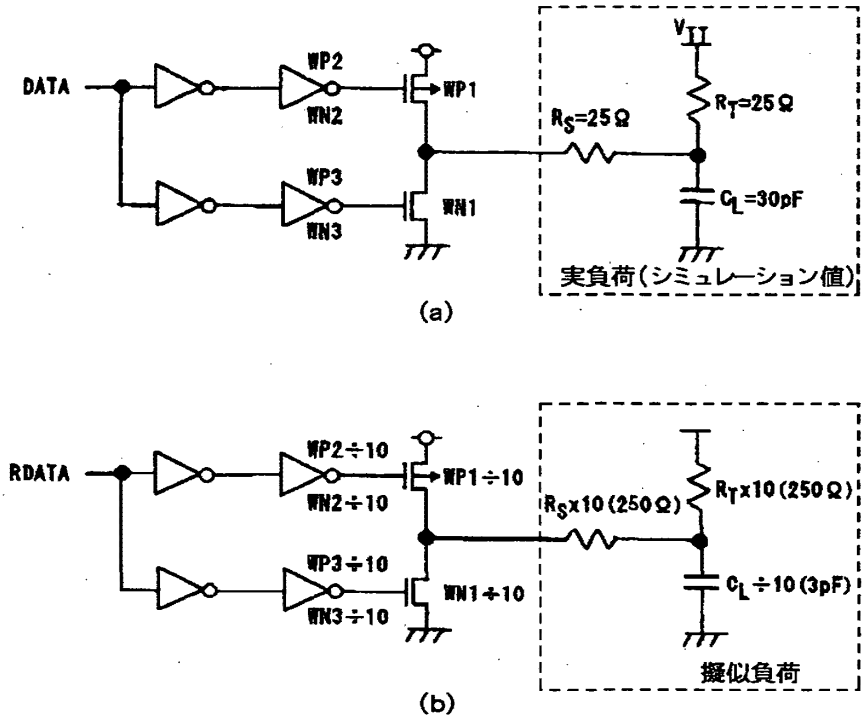


【図８】

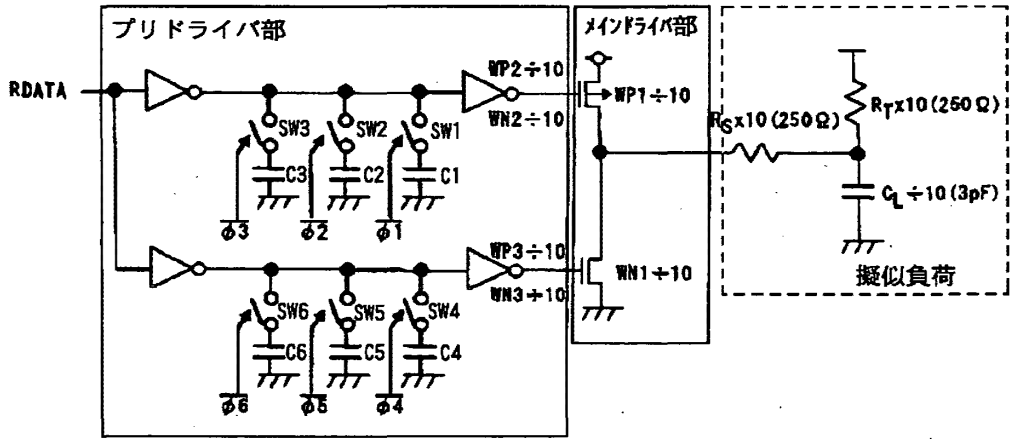


EX1005 / Page 253 of 376
Western Digital Technologies, Inc.

【図９】

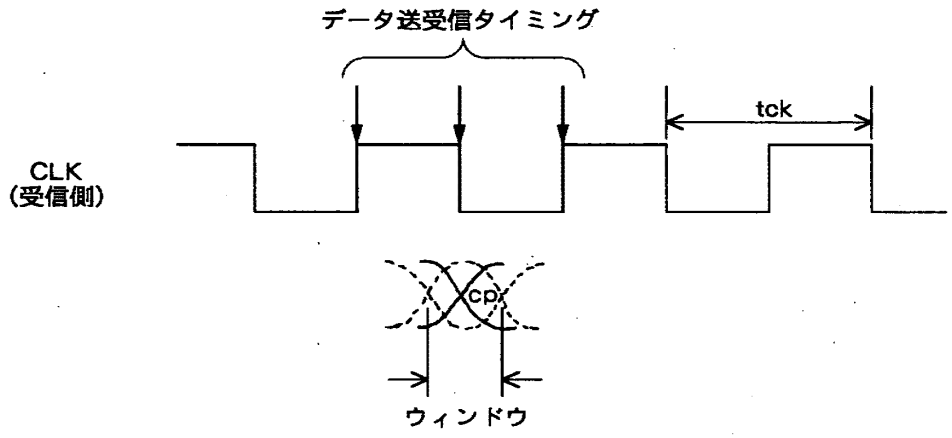


【図１０】



EX1005 / Page 254 of 376
Western Digital Technologies, Inc.

【図１１】



EX1005 / Page 255 of 376
Western Digital Technologies, Inc.

【書類名】　　要約書

【要約】

【課題】　システムに実装された状態で周囲環境の変動に対してクロスポイントやスルーレートの変動を十分に補償できる出力バッファ回路を提供する。

【解決手段】　メインドライバ部に、負荷を駆動する第１のｐＭＯＳトランジスタ及び第１のｎＭＯＳトランジスタ、並びにそれらと共に負荷を駆動する第２のｐＭＯＳトランジスタ及び第２のｎＭＯＳトランジスタを備え、プリドライバ部に、第１のｐＭＯＳトランジスタを駆動する第３のｐＭＯＳトランジスタ及び第３のｎＭＯＳトランジスタ、第１のｎＭＯＳトランジスタを駆動する第４のｐＭＯＳトランジスタ及び第４のｎＭＯＳトランジスタ、第３のｎＭＯＳトランジスタと共に第１のｐＭＯＳトランジスタを駆動する第５のｎＭＯＳトランジスタ、並びに第４のｐＭＯＳトランジスタと共に第１のｎＭＯＳトランジスタを駆動する第５のｐＭＯＳトランジスタを備えた構成とする。

【選択図】　図２

EX1005 / Page 256 of 376
Western Digital Technologies, Inc.

出　願　人　履　歴　情　報

識別番号　　〔５００１７４２４７〕

１．変更年月日　　２０００年　７月１２日
［変更理由］　名称変更
住　所　　東京都中央区八重洲２－２－１
氏　名　　エルピーダメモリ株式会社

EX1005 / Page 257 of 376
Western Digital Technologies, Inc.

J1033 U.S. PTO
10/320059
12/16/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLN. OF: TAKAHASHI

FILED: December 16, 2002

FOR: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR...

DOCKET: ELPIDA 02P155

BOX PATENT APPLICATION
Assistant Commissioner for Patents & Trademarks
Washington, D.C. 20231

INFORMATION DISCLOSURE STATEMENT

Dear Sir:

In connection with the above-entitled matter, Applicant hereby proffers U.S. Patent Office Form PTO-1449, including copies of the references listed therein, some of which are discussed in the specification. The claims in the present application are believed to be patentably distinguished over this reference.

This information disclosure statement is being made pursuant to the duty of disclosure imposed by law and formulated in 37 CFR 1.56(A). No representation is made that the information thus disclosed in fact constitutes prior art or that it is the closest prior art, inasmuch as 37 CFR 1.56(A) relies on a materiality concept which depends on subjectivity.

In the event there are any fee deficiencies or additional fees are payable, please charge them (or credit any overpayment) to our Deposit Account No. 08-1391.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24, 315

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007695
(43)Date of publication of application : 12.01.2001

(51)Int.Cl. H03K 19/0175
H03K 17/16

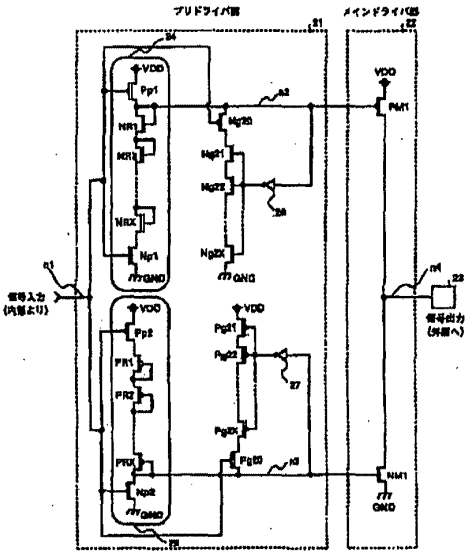
(21)Application number : 11-172905
(22)Date of filing : 18.06.1999

(71)Applicant : MITSUBISHI ELECTRIC CORP
MITSUBISHI ELECTRIC ENGINEERING CO LTD

(72)Inventor : KATADA KEIKO
KINOSHITA HIROSHI
KAWANO TETSUJI
AIHARA TAKAFUMI

(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To improve noise reduction without increasing tr/tf time by enhancing the tr/tf time, without decreasing noise reduction in an output buffer circuit of a CMOS configuration.
SOLUTION: Midway of the gate input signal of a PMOS transistor(TR) PM1 of a main driver section 22 transiting from H level to L level, an inverter 20 makes NMOS TRs Ng21,..., Ng2X conductive to charge up a gate capacitance of the PMOS TR PM1. Midway of a gate input signal of a PMOS transistor NM1 of the main driver section 22 transiting from L level to H level, an inverter 27 makes PMOS TRs Pg21,..., Pg2X conductive to charge up the gate capacitance of the NMOS TR NM1. Thus, the time constant is reduced and the speed of the tr/tf time can be increased, while keeping noise reduction.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号
特開2001－7695
（Ｐ２００１－７６９５Ａ）
(43)公開日　平成13年１月12日(2001.1.12)

(51)Int.Cl.'	識別記号	Ｆ Ｉ		テーマコード（参考）
H03K 19/0175		H03K 19/00	101	F 5J055
17/16		17/16		H 5J056

審査請求　未請求　請求項の数６　ＯＬ　（全26頁）

(21)出願番号　特願平11－172905

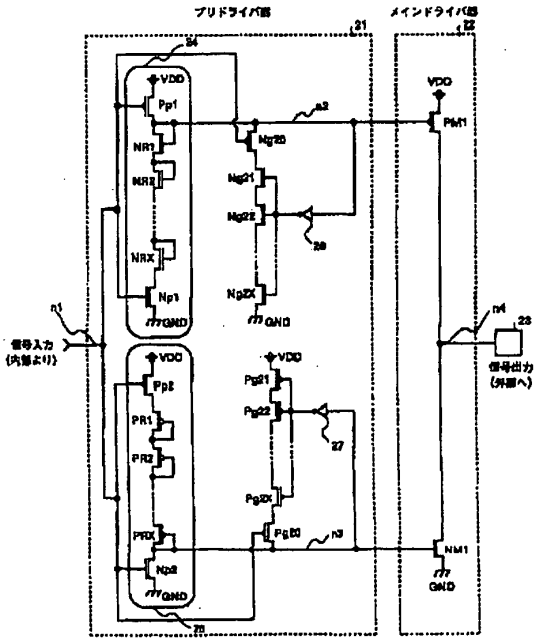
(22)出願日　平成11年６月18日(1999.6.18)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(71)出願人　591036457
三菱電機エンジニアリング株式会社
東京都千代田区大手町２丁目６番２号
(72)発明者　片田　恵子
東京都千代田区大手町二丁目６番２号　三菱電機エンジニアリング株式会社内
(74)代理人　100089118
弁理士　酒井　宏明

最終頁に続く

(54)【発明の名称】出力バッファ回路

(57)【要約】
【課題】　ＣＭＯＳ構成の出力バッファ回路において、ノイズ低減度を下げることなくｔｒ／ｔｆ時間を改善すること、ｔｒ／ｔｆ時間を大きくすることなくノイズ低減度を向上させること。
【解決手段】　メインドライバ部２２のＰＭＯＳトランジスタＰＭ１のゲート入力信号が“Ｈ”レベルから“Ｌ”レベルに遷移する途中で、インバータ２６によりＮＭＯＳトランジスタＮｇ２１，…，Ｎｇ２Ｘをオンさせ、ＰＭＯＳトランジスタＰＭ１のゲート容量を充電させる。メインドライバ部２２のＮＭＯＳトランジスタＮＭ１のゲート入力信号が“Ｌ”レベルから“Ｈ”レベルに遷移する途中でインバータ２７によりＰＭＯＳトランジスタＰｇ２１，…，Ｐｇ２Ｘをオンさせ、ＮＭＯＳトランジスタＮＭ１のゲート容量を放電させる。それによって時定数を小さくし、ノイズ低減度を保ったままｔｒ／ｔｆ時間の速度向上を図る。



EX1005 / Page 261 of 376
Western Digital Technologies, Inc.

1

【特許請求の範囲】

【請求項１】　ＣＭＯＳインバータ構造を成し、かつ内部回路から送られてくる信号をＣＭＯＳインバータのゲート入力信号とするブリドライバ部と、

ＣＭＯＳインバータ構造を成し、かつ前記ブリドライバ部の出力信号をＣＭＯＳインバータのゲート入力信号とするメインドライバ部と、

前記メインドライバ部のＰＭＯＳトランジスタのゲート容量を充電するための第１の電流パスと、

前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記ＰＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記第１の電流パスを無効から有効に切り替えるための第１の切り替え素子と、

前記メインドライバ部のＮＭＯＳトランジスタのゲート容量を放電するための第２の電流パスと、

前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記ＮＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記第２の電流パスを無効から有効に切り替えるための第２の切り替え素子と、

を具備することを特徴とする出力バッファ回路。

【請求項２】　前記第１の電流パスは、１または直列に接続された２以上のＮＭＯＳトランジスタにより構成され、かつ前記第１の切り替え素子はインバータで構成され、そのインバータの出力信号が前記第１の電流パスを形成するＮＭＯＳトランジスタのゲートに入力される構成となっているとともに、前記第２の電流パスは、１または直列に接続された２以上のＰＭＯＳトランジスタにより構成され、かつ前記第２の切り替え素子はインバータで構成され、そのインバータの出力信号が前記第２の電流パスを形成するＰＭＯＳトランジスタのゲートに入力される構成となっていることを特徴とする請求項１記載の出力バッファ回路。

【請求項３】　ＣＭＯＳインバータ構造を成し、かつ内部回路から送られてくる信号をＣＭＯＳインバータのゲート入力信号とするブリドライバ部と、

ＣＭＯＳインバータ構造を成し、かつ前記ブリドライバ部の出力信号をＣＭＯＳインバータのゲート入力信号とするメインドライバ部と、

前記メインドライバ部のＰＭＯＳトランジスタにより多くの電流を流すための第１の電流パスと、

前記メインドライバ部のＮＭＯＳトランジスタにより多くの電流を流すための第２の電流パスと、

前記メインドライバ部の出力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記第１の電流パスを無効から有効に切り替え、また、前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記第２の電流パスを無効から有効に切り替えるための切り替え素子と、

を具備することを特徴とする出力バッファ回路。

【請求項４】　前記第１の電流パスは、前記ブリドライバ部の出力信号をゲート入力信号とする前記ＰＭＯＳトランジスタと、電源との間に、直列に接続された１または２以上のＰＭＯＳトランジスタにより構成され、また、前記第２の電流パスは、前記ブリドライバ部の出力信号をゲート入力信号とする前記ＮＭＯＳトランジスタと、接地点との間に、直列に接続された１または２以上のＮＭＯＳトランジスタにより構成され、前記切り替え素子はインバータで構成され、そのインバータの出力信号が前記第１の電流パスを形成するＰＭＯＳトランジスタまたは前記第２の電流パスを形成するＮＭＯＳトランジスタの各ゲートに入力される構成となっていることを特徴とする請求項３記載の出力バッファ回路。

【請求項５】　ＣＭＯＳインバータ構造を成し、かつ内部回路から送られてくる信号をＣＭＯＳインバータのゲート入力信号とするブリドライバ部と、

ＣＭＯＳインバータ構造を成し、かつ前記ブリドライバ部の出力信号をＣＭＯＳインバータのゲート入力信号とするメインドライバ部と、

前記メインドライバ部のＰＭＯＳトランジスタのゲートに接続された第１のキャパシタと、

前記第１のキャパシタを充電するための第１の電流パスと、

前記第１のキャパシタを放電するための第２の電流パスと、

前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルの時に、前記第１の電流パスが有効となるように前記第１の電流パスの有効、無効を切り替える第１の切り替え素子と、

前記ＰＭＯＳトランジスタのゲート入力信号が前記第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記第２の電流パスが有効となるように前記第２の電流パスの有効、無効を切り替える第２の切り替え素子と、

前記メインドライバ部のＮＭＯＳトランジスタのゲートに接続された第２のキャパシタと、

前記第２のキャパシタを放電するための第３の電流パスと、

前記第２のキャパシタを充電するための第４の電流パスと、

前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルの時に、前記第３の電流パスが有効となるように前記第３の電流パスの有効、無効を切り替える第３の切り替え素子と、

3

前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記第４の電流パスが有効となるように前記第４の電流パスの有効、無効を切り替える第４の切り替え素子と、

を具備することを特徴とする出力バッファ回路。

【請求項６】　前記第１の切り替え素子および前記第４の切り替え素子は、内部回路から送られてくる信号をゲート入力信号とするＰＭＯＳトランジスタで構成され、前記第２の切り替え素子および前記第３の切り替え素子は、内部回路から送られてくる信号をゲート入力信号とするＮＭＯＳトランジスタで構成されていることを特徴とする請求項５記載の出力バッファ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体集積回路において用いられる出力バッファ回路に関し、特にＣＭＯＳで構成された出力バッファ回路に関する。

【０００２】

【従来の技術】近時、半導体集積回路の高集積化に伴って、半導体チップのピン数が増えており、そのため、高速で同時に出力信号のレベルを変化させるピン数が多くなっている。一般に、半導体集積回路において用いられる出力バッファ回路は、高速性を確保するため、大きなサイズのトランジスタを用いて構成されている。したがって、出力信号のレベル変化に伴って、トランジスタを流れる電流の時間変化が大きく、電源ラインまたは接地ラインの反射ノイズが大きくなってしまう。この反射ノイズは、半導体集積回路が誤動作する最大の要因となっているため、反射ノイズをできるだけ小さくする必要がある。また、スイッチングノイズやクロストークノイズなどもできるだけ小さくする必要がある。

【０００３】そのため、従来は、出力バッファ回路の抵抗および容量を調整して時定数を大きくすることによって、バッファ回路のトランジスタを流れる電流の時間変化を小さくするようにしている（スルーレートインプット方式）。すなわち、このスルーレートインプット方式では、バッファ回路に入力される入力信号の変化を鈍らせることにより、立ち上がり（ｔｒ）時間および立ち下がり（ｔｆ）時間（以下、ｔｒ／ｔｆ時間とする）を制御している。なお、本明細書においては、ｔｒ／ｔｆ時間とは、出力電圧ＶＯがフルスイング時の電圧値の２０％（すなわち、１／５ＶＯ）から８０％（すなわち、４／５ＶＯ）になるまでの時間、および８０％から２０％になるまでの時間を意味する。

【０００４】図８は、スルーレートインプット方式による従来の出力バッファ回路を示す回路図である。出力バッファ回路は、図示しない内部回路から信号が入力されるプリドライバ部１１と、プリドライバ部１１の出力信号に基づいて、図示しない外部出力端子に電気的に接続されるパッド１３に、相対的に高いレベル（以下、“Ｈ”レベルとする）または相対的に低いレベル（以下、“Ｌ”レベルとする）の電位を印加するメインドライバ部１２とから構成されている。

4

【０００５】プリドライバ部１１は、二つのインバータ１４，１５で構成されている。第１のインバータ１４は、第１のＰＭＯＳトランジスタＰｐ１と、直列に接続されたＸ個（Ｘは整数）のＮＭＯＳトランジスタＮＲ１，…，ＮＲＸからなる第１のノイズ低減用トランジスタ群と、第１のＮＭＯＳトランジスタＮｐ１とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰｐ１のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮｐ１のソース電位は接地電位ＧＮＤである。それら第１のＰＭＯＳトランジスタＰｐ１、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１の各ゲートは共通接続されており、各ゲートには、外部へ出力するための信号が内部回路から入力される。

【０００６】第２のインバータ１５は、第２のＰＭＯＳトランジスタＰｐ２と、直列に接続されたＸ個のＰＭＯＳトランジスタＰＲ１，…，ＰＲＸからなる第２のノイズ低減用トランジスタ群と、第２のＮＭＯＳトランジスタＮｐ２とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰｐ２のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮｐ２のソース電位は接地電位ＧＮＤである。それら第２のＰＭＯＳトランジスタＰｐ２、第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸおよび第２のＮＭＯＳトランジスタＮｐ２の各ゲートは共通接続されており、各ゲートには、第１のインバータ１４を構成するトランジスタの各ゲートに入力される信号と同じ信号が入力される。

【０００７】メインドライバ部１２は、ＰＭＯＳトランジスタＰＭ１とＮＭＯＳトランジスタＮＭ１とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰＭ１のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮＭ１のソース電位は接地電位ＧＮＤである。ＰＭＯＳトランジスタＰＭ１のゲート入力は、プリドライバ部１１の第１のインバータ１４を構成するＰＭＯＳトランジスタＰｐ１のドレイン出力である。また、ＮＭＯＳトランジスタＮＭ１のゲート入力は、第２のインバータ１５を構成するＮＭＯＳトランジスタＮｐ２のドレイン出力である。そして、ＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の各ドレインはパッド１３に共通接続されている。

【０００８】なお、以下の説明の便宜上、プリドライバ部１１の第１および第２のインバータ１４，１５において、各トランジスタＰｐ１，ＮＲ１，…，ＮＲＸ，Ｎｐ１，Ｐｐ２，ＰＲ１，…，ＰＲＸ，Ｎｐ２の共通接続さ

EX1005 / Page 263 of 376
Western Digital Technologies, Inc.

れたゲートをノードｎ１とし、メインドライバ部１２のPMOSトランジスタPM１およびNMOSトランジスタNM１の各ゲートをそれぞれノードｎ２およびノードｎ３とし、PMOSトランジスタPM１およびNMOSトランジスタNM１の共通ドレインをノードｎ４とする。

【０００９】つぎに、図８に示す出力バッファ回路の動作について、図９に示す波形図を参照しながら、説明する。なお、図９には、内部回路からの入力信号の波形、すなわちノードｎ１における信号の波形が、“L”レベルの状態（ｔ０～ｔ１の（１）の期間）から“H”レベルに遷移し（ｔ１～ｔ２の（２）の期間）、“H”レベルの状態を保持した後（ｔ２～ｔ３の（３）の期間）、“L”レベルに遷移し（ｔ３～ｔ４の（４）の期間）、“L”レベルの状態を保持（ｔ４～ｔ５の（５）の期間）するように変化した時の各ノードｎ２，ｎ３，ｎ４における信号波形が示されている。以下、（１）～（５）の各期間について説明する。

【００１０】（１）ｔ０～ｔ１の期間および（５）ｔ４～ｔ５の期間

この期間では、入力信号（ノードｎ１の信号）が“L”レベルであるため、第１のインバータ１４においては、第１のPMOSトランジスタＰｐ１がオン状態となり、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１は全てオフ状態となる。したがって、ノードｎ２の電位は“H”レベルとなるので、メインドライバ部１２のPMOSトランジスタPM１はオフ状態となる。

【００１１】一方、第２のインバータ１５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXは全てオン状態となり、第２のNMOSトランジスタＮｐ２はオフ状態となる。したがって、ノードｎ３の電位は“H”レベルとなるので、メインドライバ部１２のNMOSトランジスタNM１がオン状態となり、ノードｎ４の信号、すなわち出力信号は“L”レベルとなる。

【００１２】（２）ｔ１～ｔ２の期間

この期間では、入力信号（ノードｎ１の信号）が“L”レベルから“H”レベルに遷移するため、第２のインバータ１５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXはオン状態からオフ状態に遷移し、第２のNMOSトランジスタＮｐ２はオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は即座に“H”レベルから“L”レベルへ下降し、メインドライバ部１２のNMOSトランジスタNM１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“L”レベルからＶｔｐ分だけ高い電位（“L”＋Ｖｔｐ）までは直ぐに上昇する。

【００１３】一方、第１のインバータ１４においては、第１のPMOSトランジスタＰｐ１がオン状態からオフ状態に遷移し、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は“H”レベルからＶｔｐ分だけ低い電位（“H”－Ｖｔｐ）までは直ぐに下降する。

【００１４】その後は、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１が抵抗として作用し、NMOSトランジスタNR１、・・・、NMOSトランジスタNRX、第１のNMOSトランジスタＮｐ１の順で順次電流が流れていくため、メインドライバ部１２のPMOSトランジスタPM１のゲートには、これらのトランジスタNR１，…，NRX，Ｎｐ１のオン抵抗値とメインドライバ部１２のPMOSトランジスタPM１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、PMOSトランジスタPM１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“L”＋Ｖｔｐの電位以降は、“H”レベルまで緩やかに上昇する。

【００１５】（３）ｔ２～ｔ３の期間

この期間では、入力信号（ノードｎ１の信号）が“H”レベルであるため、第１のインバータ１４においては、第１のPMOSトランジスタＰｐ１はオフ状態となり、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１は全てオン状態となる。したがって、ノードｎ２の電位は“L”レベルとなるので、メインドライバ部１２のPMOSトランジスタPM１はオン状態となる。

【００１６】一方、第２のインバータ１５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXは全てオフ状態となり、第２のNMOSトランジスタＮｐ２はオン状態となる。したがって、ノードｎ３の電位は“L”レベルとなるので、メインドライバ部１２のNMOSトランジスタNM１はオフ状態となり、ノードｎ４の信号、すなわち出力信号は“H”レベルとなる。

【００１７】（４）ｔ３～ｔ４の期間

この期間では、入力信号（ノードｎ１の信号）が“H”レベルから“L”レベルに遷移するため、第１のインバータ１４においては、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１はオン状態からオフ状態に遷移し、第１のPMOSトランジスタＰｐ１はオ

EX1005 / Page 264 of 376
Western Digital Technologies, Inc.

フ状態からオン状態に遷移する。したがって、ノードｎ２の電位は即座に“Ｌ”レベルから“Ｈ”レベルへ上昇し、メインドライバ部１２のＰＭＯＳトランジスタＰＭ１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“Ｈ”レベルからＶｔｎ分だけ低い電位（“Ｈ”－Ｖｔｎ）までは直ぐに下降する。

【００１８】一方、第２のインバータ１５においては、第２のＮＭＯＳトランジスタＮｐ２がオン状態からオフ状態に遷移し、第２のＰＭＯＳトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸはオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は“Ｌ”レベルからＶｔｎ分だけ高い電位（“Ｌ”＋Ｖｔｎ）までは直ぐに上昇する。

【００１９】その後は、第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸおよび第２のＰＭＯＳトランジスタＰｐ２が抵抗として作用し、第２のＰＭＯＳトランジスタＰｐ２、ＰＭＯＳトランジスタＰＲ１、・・・、ＰＭＯＳトランジスタＰＲＸの順で順次電流が流れていくため、メインドライバ部１２のＮＭＯＳトランジスタＮＭ１のゲートには、これらのトランジスタＰｐ２，ＰＲ１，…，ＰＲＸのオン抵抗値とメインドライバ部１２のＮＭＯＳトランジスタＮＭ１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、ＮＭＯＳトランジスタＮＭ１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“Ｈ”－Ｖｔｎの電位以降は、“Ｌ”レベルまで緩やかに下降する。

【００２０】このように、スルーレートインプット方式によるバッファ回路では、メインドライバ部１２のＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１のオン／オフのタイミングがずれているため、出力信号の波形変化を緩やかにすることができる。したがって、メインドライバ部のトランジスタサイズが同一である通常のバッファ回路に比べて、スルーレートインプット方式によるバッファ回路は、電源端子とノードｎ４との間、またはノードｎ４と接地端子との間を流れる電流のピークを抑えることができるので、ノイズを低減することができる。

【００２１】なお、スルーレートインプット方式では、プリドライバ部１１のノイズ低減用トランジスタ群ＮＲ１，…，ＮＲＸ，ＰＲ１，…，ＰＲＸの各オン抵抗、およびメインドライバ部１２のＰＭＯＳトランジスタＰＭ１とＮＭＯＳトランジスタＮＭ１の各ゲート容量を調節することにより、ノイズの低減度を調節することができる。

【００２２】

【発明が解決しようとする課題】上述したように、従来のスルーレートインプット方式による出力バッファ回路では、高速化によってノイズが増大する場合には、ゲートの信号変化をより緩やかにする必要がある。そのためには、プリドライバ部１１のノイズ低減用トランジスタの数を増やすとともに、メインドライバ部１２のトランジスタサイズを大きくして、時定数を大きくする必要がある。しかし、ノイズ低減用トランジスタの数が多くなって電圧低下が大きくなり過ぎると、次段のゲートを駆動できなくなるため、接続することができるノイズ低減用トランジスタの数には上限がある。

【００２３】また、ＣＭＯＳ　ＥＣＡ（Embeded Cell Array）方式やゲートアレイ方式のように、あらかじめ同一サイズのゲートを複数個組み合わせて作り込んでおく場合には、作り込んでおけるトランジスタの数やサイズが制約されてしまうため、後の工程で所望のノイズ低減度を実現させることが困難となる場合がある。

【００２４】また、メインドライバ部１２のサイズが大きくなると、図１０に示す出力波形図のように、電源（ＶＤＤ）ラインの反射分ΔＶｖまたは接地（ＧＮＤ）ラインの反射分ΔＶｇによるノイズが大きくなり、所望の動作が得られなくなる場合がある。

【００２５】さらに、出力信号の波形変化が緩やかになると、出力バッファ回路の動作時に流れる電流の単位時間あたりの変化量は小さくなるが、メインドライバ部１２に流れる全電荷量は変わらないため、図１１に示す電流の経時変化を表すグラフのように、単位時間あたりの電流変化量が小さいｗ２の波形の方が、単位時間あたりの電流変化量が大きいｗ１の波形よりも、全ての電荷が流れ終わるまでに時間がかかり、ｔｒ／ｔｆ時間が大きくなってしまう。ｔｒ／ｔｆ時間が大きくなると、出力信号の電圧レベルが電源電位ＶＤＤまたは接地電位ＧＮＤに到達するまでに、中間電位が長く続くことになり、ノイズによって誤動作が生じ易くなってしまうため、好ましくない。

【００２６】以上、説明したように、従来のスルーレートインプット方式による出力バッファ回路では、ノイズ低減度の向上に対して限界があり、またノイズをある程度低減することができても、ｔｒ／ｔｆ時間を改善することは困難であるという問題点があった。

【００２７】本発明は、上記問題点を解決するためになされたもので、ノイズ低減度を下げることなくｔｒ／ｔｆ時間を改善することができる出力バッファ回路、あるいはｔｒ／ｔｆ時間を大きくすることなくノイズ低減度を向上させることができる出力バッファ回路を得ることを目的とする。

【００２８】

【課題を解決するための手段】上記目的を達成するため、本発明は、出力バッファ回路において、ＣＭＯＳインバータ構造を成し、かつ内部回路から送られてくる信号をＣＭＯＳインバータのゲート入力信号とするプリドライバ部と、ＣＭＯＳインバータ構造を成し、かつ前記

EX1005 / Page 265 of 376
Western Digital Technologies, Inc.

ブリドライバ部の出力信号をＣＭＯＳインバータのゲート入力信号とするメインドライバ部と、前記メインドライバ部のＰＭＯＳトランジスタのゲート容量を充電するための第１の電流パスと、前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記ＰＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記第１の電流パスを無効から有効に切り替えるための第１の切り替え素子と、前記メインドライバ部のＮＭＯＳトランジスタのゲート容量を放電するための第２の電流パスと、前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記ＮＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記第２の電流パスを無効から有効に切り替えるための第２の切り替え素子と、を具備することを特徴とする。

【００２９】この発明によれば、第１の切り替え素子は、前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記ＰＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記メインドライバ部のＰＭＯＳトランジスタのゲート容量を充電するための第１の電流パスを無効から有効に切り替える。第２の切り替え素子は、前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記ＮＭＯＳトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記メインドライバ部のＮＭＯＳトランジスタのゲート容量を放電するための第２の電流パスを無効から有効に切り替える。

【００３０】この発明において、前記第１の電流パスは、１または直列に接続された２以上のＮＭＯＳトランジスタにより構成され、かつ前記第１の切り替え素子はインバータで構成され、そのインバータの出力信号が前記第１の電流パスを形成するＮＭＯＳトランジスタのゲートに入力される構成となっているとともに、前記第２の電流パスは、１または直列に接続された２以上のＰＭＯＳトランジスタにより構成され、かつ前記第２の切り替え素子はインバータで構成され、そのインバータの出力信号が前記第２の電流パスを形成するＰＭＯＳトランジスタのゲートに入力される構成となっていてもよい。

【００３１】この発明によれば、第１の電流パスを形成するＮＭＯＳトランジスタのゲートに、第１の切り替え素子を構成するインバータの出力信号が入力され、また、第２の電流パスを形成するＰＭＯＳトランジスタのゲートに、第２の切り替え素子を構成するインバータの出力信号が入力される。

【００３２】また、本発明は、出力バッファ回路において、ＣＭＯＳインバータ構造を成し、かつ内部回路から送られてくる信号をＣＭＯＳインバータのゲート入力信号とするブリドライバ部と、ＣＭＯＳインバータ構造を成し、かつ前記ブリドライバ部の出力信号をＣＭＯＳインバータのゲート入力信号とするメインドライバ部と、前記メインドライバ部のＰＭＯＳトランジスタにより多くの電流を流すための第１の電流パスと、前記メインドライバ部のＮＭＯＳトランジスタにより多くの電流を流すための第２の電流パスと、前記メインドライバ部の出力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記第１の電流パスを無効から有効に切り替え、また、前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記第２の電流パスを無効から有効に切り替えるための切り替え素子と、を具備することを特徴とする。

【００３３】この発明によれば、切り替え素子は、前記メインドライバ部の出力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記ＰＭＯＳトランジスタのゲート入力信号が相対的に高い第１の電位レベルから相対的に低い第２の電位レベルに遷移する途中で、前記メインドライバ部のＰＭＯＳトランジスタにより多くの電流を流すための第１の電流パスを無効から有効に切り替え、また、前記ＮＭＯＳトランジスタのゲート入力信号が前記第２の電位レベルから前記第１の電位レベルに遷移する途中で、前記メインドライバ部のＮＭＯＳトランジスタにより多くの電流を流すための第２の電流パスを無効から有効に切り替える。

【００３４】この発明において、前記第１の電流パスは、前記ブリドライバ部の出力信号をゲート入力信号とする前記ＰＭＯＳトランジスタと、電源との間に、直列に接続された１または２以上のＰＭＯＳトランジスタにより構成され、また、前記第２の電流パスは、前記ブリドライバ部の出力信号をゲート入力信号とする前記ＮＭＯＳトランジスタと、接地点との間に、直列に接続された１または２以上のＮＭＯＳトランジスタにより構成され、前記切り替え素子はインバータで構成され、そのインバータの出力信号が前記第１の電流パスを形成するＰＭＯＳトランジスタまたは前記第２の電流パスを形成するＮＭＯＳトランジスタの各ゲートに入力される構成となっていてもよい。

【００３５】この発明によれば、第１の電流パスを形成するＰＭＯＳトランジスタのゲート、または第２の電流パスを形成するＮＭＯＳトランジスタのゲートに、切り替え素子を構成するインバータの出力信号が入力される。

【００３６】また、本発明は、ＣＭＯＳインバータ構造

11

を成し、かつ内部回路から送られてくる信号をCMOSインバータのゲート入力信号とするプリドライバ部と、CMOSインバータ構造を成し、かつ前記プリドライバ部の出力信号をCMOSインバータのゲート入力信号とするメインドライバ部と、前記メインドライバ部のPMOSトランジスタのゲートに接続された第1のキャパシタと、前記第1のキャパシタを充電するための第1の電流パスと、前記第1のキャパシタを放電するための第2の電流パスと、前記PMOSトランジスタのゲート入力信号が相対的に高い第1の電位レベルの時に、前記第1の電流パスが有効となるように前記第1の電流パスの有効、無効を切り替える第1の切り替え素子と、前記PMOSトランジスタのゲート入力信号が前記第1の電位レベルから相対的に低い第2の電位レベルに遷移する途中で、前記第2の電流パスが有効となるように前記第2の電流パスの有効、無効を切り替える第2の切り替え素子と、前記メインドライバ部のNMOSトランジスタのゲートに接続された第2のキャパシタと、前記第2のキャパシタを放電するための第3の電流パスと、前記第2のキャパシタを充電するための第4の電流パスと、前記NMOSトランジスタのゲート入力信号が前記第2の電位レベルの時に、前記第3の電流パスが有効となるように前記第3の電流パスの有効、無効を切り替える第3の切り替え素子と、前記NMOSトランジスタのゲート入力信号が前記第2の電位レベルから前記第1の電位レベルに遷移する途中で、前記第4の電流パスが有効となるように前記第4の電流パスの有効、無効を切り替える第4の切り替え素子と、を具備することを特徴とする。

【0037】この発明によれば、第1の切り替え素子は、前記メインドライバ部のPMOSトランジスタのゲート入力信号が相対的に高い第1の電位レベルの時に、PMOSトランジスタのゲートに接続された第1のキャパシタを充電するための第1の電流パスが有効となるように、前記第1の電流パスの有効、無効を切り替える。第2の切り替え素子は、PMOSトランジスタのゲート入力信号が前記第1の電位レベルから相対的に低い第2の電位レベルに遷移する途中で、前記第1のキャパシタを放電するための第2の電流パスが有効となるように、前記第2の電流パスの有効、無効を切り替える。また、第3の切り替え素子は、前記メインドライバ部のNMOSトランジスタのゲート入力信号が前記第2の電位レベルの時に、NMOSトランジスタのゲートに接続された第2のキャパシタを放電するための第3の電流パスが有効となるように、前記第3の電流パスの有効、無効を切り替える。第4の切り替え素子は、NMOSトランジスタのゲート入力信号が前記第2の電位レベルから前記第1の電位レベルに遷移する途中で、前記第2のキャパシタを充電するための第4の電流パスが有効となるように、前記第4の電流パスの有効、無効を切り替える。

【0038】この発明において、前記第1の切り替え素子および前記第4の切り替え素子は、内部回路から送られてくる信号をゲート入力信号とするPMOSトランジスタで構成され、前記第2の切り替え素子および前記第3の切り替え素子は、内部回路から送られてくる信号をゲート入力信号とするNMOSトランジスタで構成されていてもよい。

【0039】この発明によれば、第1の切り替え素子および第4の切り替え素子を構成する各PMOSトランジスタのゲート、および第2の切り替え素子および第3の切り替え素子を構成する各NMOSトランジスタのゲートに、内部回路から送られてくる信号が入力される。

【0040】

【発明の実施の形態】以下に、本発明にかかる出力バッファ回路の実施の形態について図1～図7を参照しつつ詳細に説明する。

【0041】実施の形態1．図1は、本発明の実施の形態1にかかる出力バッファ回路を示す回路図である。出力バッファ回路は、図示しない内部回路から信号が入力されるプリドライバ部21と、プリドライバ部21の出力信号に基づいて、図示しない外部出力端子に電気的に接続されるパッド23に、“H”レベルまたは“L”レベルの電位を印加するメインドライバ部22とを備えている。

【0042】プリドライバ部21は、二つのインバータ24，25を備えている。第1のインバータ24は、第1のPMOSトランジスタPp1と、直列に接続されたX個のNMOSトランジスタNR1，…，NRXからなる第1のノイズ低減用トランジスタ群と、第1のNMOSトランジスタNp1とが直列に接続された構成となっている。PMOSトランジスタPp1のソース電位は電源電位VDDであり、また、NMOSトランジスタNp1のソース電位は接地電位GNDである。第1のPMOSトランジスタPp1のゲートと第1のNMOSトランジスタNp1のゲートは共通接続されており、それらのゲートには、外部へ出力するための信号が内部回路から入力される。第1のノイズ低減用トランジスタ群の各NMOSトランジスタNR1，…，NRXは、ゲートとドレインを短絡した構成となっている。

【0043】PMOSトランジスタPp1のドレインから、メインドライバ部22を駆動する第1の駆動信号が出力される。また、PMOSトランジスタPp1のドレインには、NMOSトランジスタNg20のドレインが接続されている。このNMOSトランジスタNg20のゲートは、第1のPMOSトランジスタPp1のゲートおよび第1のNMOSトランジスタNp1のゲートに共通接続されている。NMOSトランジスタNg20のソースには、直列に接続されたNMOSトランジスタNg21，…，Ng2Xからなるトランジスタ群が、NMOSトランジスタNg20に対して直列に接続されている。そのトランジスタ群の終端のNMOSトランジスタ

12

EX1005 / Page 267 of 376
Western Digital Technologies, Inc.

13

Ｎｇ２Ｘのソースは接地されている。また、ＰＭＯＳトランジスタＰｐ１のドレイン出力は、第１の切り替え素子であるインバータ２６を介して、トランジスタ群を構成するＮＭＯＳトランジスタＮｇ２１，…，Ｎｇ２Ｘの各ゲートに入力される。

【００４４】第２のインバータ２５は、第２のＰＭＯＳトランジスタＰｐ２と、直列に接続されたＸ個のＰＭＯＳトランジスタＰＲ１，…，ＰＲＸからなる第２のノイズ低減用トランジスタ群と、第２のＮＭＯＳトランジスタＮｐ２とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰｐ２のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮｐ２のソース電位は接地電位ＧＮＤである。第２のＰＭＯＳトランジスタＰｐ２のゲートと第２のＮＭＯＳトランジスタＮｐ２のゲートは共通接続されており、それらのゲートには、第１のインバータ２４に入力される信号と同じ信号が入力される。第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸは、ゲートとドレインを短絡した構成となっている。

【００４５】ＮＭＯＳトランジスタＮｐ２のドレインから、メインドライバ部２２を駆動する第２の駆動信号が出力される。また、ＮＭＯＳトランジスタＮｐ２のドレインには、ＰＭＯＳトランジスタＰｇ２０のドレインが接続されている。このＰＭＯＳトランジスタＰｇ２０のゲートは、第２のＰＭＯＳトランジスタＰｐ２のゲートおよび第２のＮＭＯＳトランジスタＮｐ２のゲートに共通接続されている。ＮＭＯＳトランジスタＰｇ２０のソースには、直列に接続されたＰＭＯＳトランジスタＰｇ２１，…，Ｐｇ２Ｘからなるトランジスタ群が、ＰＭＯＳトランジスタＰｇ２０に対して直列に接続されている。そのトランジスタ群の終端のＰＭＯＳトランジスタＰｇ２１のソース電位は電源電位ＶＤＤである。また、ＮＭＯＳトランジスタＮｐ２のドレイン出力は、第２の切り替え素子であるインバータ２７を介して、トランジスタ群を構成するＰＭＯＳトランジスタＰｇ２１，…，Ｐｇ２Ｘの各ゲートに入力される。

【００４６】メインドライバ部２２は、ＰＭＯＳトランジスタＰＭ１とＮＭＯＳトランジスタＮＭ１とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰＭ１のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮＭ１のソース電位は接地電位ＧＮＤである。ＰＭＯＳトランジスタＰＭ１のゲート入力は、プリドライバ部２１の第１のインバータ２４を構成するＰＭＯＳトランジスタＰｐ１のドレイン出力、すなわち前記第１の駆動信号である。また、ＮＭＯＳトランジスタＮＭ１のゲート入力は、第２のインバータ２５を構成するＮＭＯＳトランジスタＮｐ２のドレイン出力、すなわち前記第２の駆動信号である。そして、ＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の各ドレインはパッド２３に共通接続されている。

14

【００４７】なお、以下の説明の便宜上、プリドライバ部２１の第１および第２のインバータ２４，２５において、各トランジスタＰｐ１，Ｎｐ１，Ｐｐ２，Ｎｐ２の共通接続されたゲートをノードｎ１とし、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の各ゲートをそれぞれノードｎ２およびノードｎ３とし、ＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の共通ドレインをノードｎ４とする。

【００４８】つぎに、図１に示す出力バッファ回路の動作について、図２に示す波形図を参照しながら、説明する。なお、図２には、内部回路からの入力信号の波形、すなわちノードｎ１における信号の波形が、“Ｌ”レベルの状態（ｔ０～ｔ１の（１）の期間）から“Ｈ”レベルに遷移し（ｔ１～ｔ２の（２）の期間）、“Ｈ”レベルの状態を保持した後（ｔ２～ｔ３の（３）の期間）、“Ｌ”レベルに遷移し（ｔ３～ｔ４の（４）の期間）、“Ｌ”レベルの状態を保持（ｔ４～ｔ５の（５）の期間）するように変化した時の各ノードｎ２，ｎ３，ｎ４における信号波形が示されている。以下、（１）～（５）の各期間について説明する。

【００４９】（１）ｔ０～ｔ１の期間および（５）ｔ４～ｔ５の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｌ”レベルであるため、第１のインバータ２４においては、第１のＰＭＯＳトランジスタＰｐ１がオン状態となり、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１は全てオフ状態となる。したがって、ノードｎ２の電位は“Ｈ”レベルとなるので、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１はオフ状態となる。

【００５０】一方、第２のインバータ２５においては、第２のＰＭＯＳトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸは全てオン状態となり、第２のＮＭＯＳトランジスタＮｐ２はオフ状態となる。したがって、ノードｎ３の電位は“Ｈ”レベルとなるので、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１がオン状態となり、ノードｎ４の信号、すなわち出力信号は“Ｌ”レベルとなる。

【００５１】（２）ｔ１～ｔ２の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｌ”レベルから“Ｈ”レベルに遷移するため、第２のインバータ２５においては、第２のＰＭＯＳトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸはオン状態からオフ状態に遷移し、第２のＮＭＯＳトランジスタＮｐ２はオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は即座に“Ｈ”レベルから“Ｌ”レベルへ下降

15

し、メインドライバ部２２のNMOSトランジスタNM１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“L”レベルからＶｔｐ分だけ高い電位（“L”＋Ｖｔｐ）までは直ぐに上昇する。

【００５２】一方、第１のインバータ２４においては、第１のPMOSトランジスタＰｐ１がオン状態からオフ状態に遷移し、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は“H”レベルからＶｔｐ分だけ低い電位（“H”－Ｖｔｐ）までは直ぐに下降する。

【００５３】その後は、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１が抵抗として作用し、NMOSトランジスタNR１、・・・、NMOSトランジスタNRX、第１のNMOSトランジスタＮｐ１の順で順次電流が流れていくため、メインドライバ部２２のPMOSトランジスタPM１のゲートには、これらのトランジスタNR１，…，NRX，Ｎｐ１のオン抵抗値とメインドライバ部２２のPMOSトランジスタPM１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、PMOSトランジスタPM１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“L”＋Ｖｔｐの電位以降は緩やかに上昇する。

【００５４】さらに、メインドライバ部２２のPMOSトランジスタPM１のゲート電圧、すなわちノードｎ２の電位が下降して、インバータ２６の閾値よりも低くなると、インバータ２６の出力信号が“L”レベルから“H”レベルに切り替わるため、その信号がゲートに入力されるNMOSトランジスタＮｇ２１，…，Ｎｇ２Ｘがオン状態になる。また、入力信号（ノードｎ１の信号）が“L”レベルから“H”レベルに遷移することによって、NMOSトランジスタＮｇ２０がオン状態となる。すなわち、PMOSトランジスタPM１のゲートと接地点とをつなぐパスが、NMOSトランジスタＮｇ２０、NMOSトランジスタＮｇ２１、・・・、およびNMOSトランジスタＮｇ２Ｘを介して形成される。そのパスを介して、PMOSトランジスタPM１のゲート容量が素早く充電されるので、時定数が小さくなり、ノードｎ２の電位の下がり方が急激になり、迅速に“L”レベルに到達する。その結果、ノードｎ４の電位、すなわち出力信号は速やかに上昇し、“H”レベルとなる。

【００５５】（３）ｔ２～ｔ３の期間

この期間では、入力信号（ノードｎ１の信号）が“H”レベルであるため、第１のインバータ２４においては、第１のPMOSトランジスタＰｐ１はオフ状態となり、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１は全てオン状態となる。したがって、ノードｎ２の電位は“L”レベルとなるので、メインドライバ部２２のPMOSトランジスタPM１はオン状態となる。

16

【００５６】一方、第２のインバータ２５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXは全てオフ状態となり、第２のNMOSトランジスタＮｐ２はオン状態となる。したがって、ノードｎ３の電位は“L”レベルとなるので、メインドライバ部２２のNMOSトランジスタNM１はオフ状態となり、ノードｎ４の信号、すなわち出力信号は“H”レベルとなる。

【００５７】（４）ｔ３～ｔ４の期間

この期間では、入力信号（ノードｎ１の信号）が“H”レベルから“L”レベルに遷移するため、第１のインバータ２４においては、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１はオン状態からオフ状態に遷移し、第１のPMOSトランジスタＰｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は即座に“L”レベルから“H”レベルへ上昇し、メインドライバ部２２のPMOSトランジスタPM１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“H”レベルからＶｔｎ分だけ低い電位（“H”－Ｖｔｎ）までは直ぐに下降する。

【００５８】一方、第２のインバータ２５においては、第２のNMOSトランジスタＮｐ２がオン状態からオフ状態に遷移し、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXはオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は“L”レベルからＶｔｎ分だけ高い電位（“L”＋Ｖｔｎ）までは直ぐに上昇する。

【００５９】その後は、第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXおよび第２のPMOSトランジスタＰｐ２が抵抗として作用し、第２のPMOSトランジスタＰｐ２、PMOSトランジスタPR１、・・・、PMOSトランジスタPRXの順で順次電流が流れていくため、メインドライバ部２２のNMOSトランジスタNM１のゲートには、これらのトランジスタＰｐ２，PR１，…，PRXのオン抵抗値とメインドライバ部２２のNMOSトランジスタNM１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、NMOSトランジスタNM１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“H”－Ｖｔｎの電位以降は緩やかに下降する。

EX1005 / Page 269 of 376
Western Digital Technologies, Inc.

【００６０】さらに、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１のゲート電圧、すなわちノードｎ３の電位が上昇して、インバータ２７の閾値を超えると、インバータ２７の出力信号が“Ｈ”レベルから“Ｌ”レベルに切り替わるため、その信号がゲートに入力されるＰＭＯＳトランジスタＰｇ２１，…，Ｐｇ２Ｘがオン状態になる。また、入力信号（ノードｎ１の信号）が“Ｈ”レベルから“Ｌ”レベルに遷移することによって、ＰＭＯＳトランジスタＰｇ２０がオン状態となる。すなわち、電源とＮＭＯＳトランジスタＮＭ１のゲートとをつなぐパスが、ＰＭＯＳトランジスタＰｇ２１、・・・、ＰＭＯＳトランジスタＰｇ２ＸおよびＰＭＯＳトランジスタＰｇ２０を介して形成される。そのパスを介して、ＮＭＯＳトランジスタＮＭ１のゲート容量が素早く放電されるので、時定数が小さくなり、ノードｎ３の電位の上がり方が急激になり、迅速に“Ｈ”レベルに到達する。その結果、ノードｎ４の電位、すなわち出力信号は速やかに下降し、“Ｌ”レベルとなる。

【００６１】実施の形態１によれば、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１のゲート入力信号が、“Ｈ”レベルから“Ｌ”レベルに遷移する途中で、インバータ２６の閾値よりも低くなると、ＮＭＯＳトランジスタＮｇ２１，Ｎｇ２２，…，Ｎｇ２Ｘがオンし、ＰＭＯＳトランジスタＰＭ１のゲート容量が充電される。また、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１のゲート入力信号が、“Ｌ”レベルから“Ｈ”レベルに遷移する途中で、インバータ２７の閾値よりも高くなると、ＰＭＯＳトランジスタＰｇ２１，Ｐｇ２２，…，Ｐｇ２Ｘがオンし、ＮＭＯＳトランジスタＮＭ１のゲート容量が放電される。したがって、インバータ２６，２７の閾値を境にして時定数が小さくなるので、ノイズ低減度を保ったままｔｒ／ｔｆ時間の速度向上を図ることができ、また、ｔｒ／ｔｆ時間を大きくすることなくノイズ低減度を向上させることができる。また、回路構成が簡素であるため、回路面積を増大させずに済む。

【００６２】なお、ＮＭＯＳトランジスタＮｇ２１，Ｎｇ２２，…，Ｎｇ２ＸおよびＰＭＯＳトランジスタＰｇ２１，Ｐｇ２２，…，Ｐｇ２Ｘは、それぞれ、３個以上に限らず、１個または２個でもよい。

【００６３】実施の形態２．図３は、本発明の実施の形態２にかかる出力バッファ回路を示す回路図である。実施の形態２の出力バッファ回路が実施の形態１と異なるのは、第１および第２のインバータ２４，２５を有するプリドライバ部２１に代えて、第１および第２のインバータ３４，３５を有するプリドライバ部３１を設けたことと、その第１のインバータ３４に設けられた第１のノイズ低減用トランジスタ群がＰＭＯＳトランジスタＰＲ１，…，ＰＲＸで構成されていることと、第２のインバータ３５に設けられた第２のノイズ低減用トランジスタ群がＮＭＯＳトランジスタＮＲ１，…，ＮＲＸで構成されていることである。なお、その他の構成は、実施の形態１と同じであるので、実施の形態１と同じ符号を付して説明を省略する。

【００６４】第１のインバータ３４において、第１のノイズ低減用トランジスタ群は、Ｘ個のＰＭＯＳトランジスタＰＲ１，…，ＰＲＸを直列に接続し、かつＰＭＯＳトランジスタＰＲ１のソースおよびＰＭＯＳトランジスタＰＲＸのドレインを、それぞれ、第１のＰＭＯＳトランジスタＰｐ１および第１のＮＭＯＳトランジスタＮｐ１の各ドレインに接続した構成となっている。第１のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸは、ゲートとドレインを短絡した構成となっている。

【００６５】第２のインバータ３５において、第２のノイズ低減用トランジスタ群は、Ｘ個のＮＭＯＳトランジスタＮＲ１，…，ＮＲＸを直列に接続し、かつＮＭＯＳトランジスタＮＲ１のドレインおよびＮＭＯＳトランジスタＮＲＸのソースを、それぞれ、第２のＰＭＯＳトランジスタＰｐ２および第２のＮＭＯＳトランジスタＮｐ２の各ドレインに接続した構成となっている。第２のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸは、ゲートとドレインを短絡した構成となっている。なお、図１３示す出力バッファ回路の動作については、実施の形態１と同じであるので、説明を省略する。

【００６６】実施の形態２によれば、実施の形態１と同様に、インバータ２６，２７の閾値を境にして時定数が小さくなるので、ノイズ低減度を保ったままｔｒ／ｔｆ時間の速度向上を図ることができ、また、ｔｒ／ｔｆ時間を大きくすることなくノイズ低減度を向上させることができる。また、回路構成が簡素であるため、回路面積を増大させずに済む。

【００６７】実施の形態３．図４は、本発明の実施の形態３にかかる出力バッファ回路を示す回路図である。出力バッファ回路は、図示しない内部回路から信号が入力されるプリドライバ部４１と、プリドライバ部４１の出力信号に基づいて、図示しない外部出力端子に電気的に接続されるパッド２３に、“Ｈ”レベルまたは“Ｌ”レベルの電位を印加するメインドライバ部４２とを備えている。

【００６８】プリドライバ部４１は、二つのインバータ４４，４５を備えている。第１のインバータ４４は、第１のＰＭＯＳトランジスタＰｐ１と、直列に接続されたＸ個のＮＭＯＳトランジスタＮＲ１，…，ＮＲＸからなる第１のノイズ低減用トランジスタ群と、第１のＮＭＯＳトランジスタＮｐ１とが直列に接続された構成となっている。ＰＭＯＳトランジスタＰｐ１のソース電位は電源電位ＶＤＤであり、また、ＮＭＯＳトランジスタＮｐ１のソース電位は接地電位ＧＮＤである。それら第１の

19

PMOSトランジスタＰｐ１、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１の各ゲートは共通接続されており、各ゲートには、外部へ出力するための信号が内部回路から入力される。

【００６９】第２のインバータ４５は、第２のPMOSトランジスタＰｐ２と、直列に接続されたX個のPMOSトランジスタPR１，…，PRXからなる第２のノイズ低減用トランジスタ群と、第２のNMOSトランジスタＮｐ２とが直列に接続された構成となっている。PMOSトランジスタＰｐ２のソース電位は電源電位VDDであり、また、NMOSトランジスタＮｐ２のソース電位は接地電位GNDである。それら第２のPMOSトランジスタＰｐ２、第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXおよび第２のNMOSトランジスタＮｐ２の各ゲートは共通接続されており、各ゲートには、第１のインバータ４４を構成するトランジスタの各ゲートに入力される信号と同じ信号が入力される。

【００７０】メインドライバ部４２は、２個のPMOSトランジスタPM４２，PM１、２個のNMOSトランジスタNM１，NM４２、切り替え素子であるインバータ４６および２個のトランスミッションゲート４７，４８を備えた構成となっている。PMOSトランジスタPM４２、PMOSトランジスタPM１、NMOSトランジスタNM１およびNMOSトランジスタNM４２は、この順番で直列に接続されている。PMOSトランジスタPM４２のソース電位は電源電位VDDであり、また、NMOSトランジスタNM４２のソース電位は接地電位GNDである。

【００７１】PMOSトランジスタPM１のゲート入力は、プリドライバ部４１の第１のインバータ４４を構成するPMOSトランジスタＰｐ１のドレイン出力であり、NMOSトランジスタNM１のゲート入力は、第２のインバータ４５を構成するNMOSトランジスタＮｐ２のドレイン出力である。そして、PMOSトランジスタPM１およびNMOSトランジスタNM１の各ドレインはパッド２３に共通接続されている。そのパッド２３に出力される信号は、インバータ４６を介して、PMOSトランジスタPM４２およびNMOSトランジスタNM４２の各ゲートに入力される。

【００７２】トランスミッションゲート４７は、電源とPMOSトランジスタPM１との間に挿入されており、また、トランスミッションゲート４８は、NMOSトランジスタNM１と接地点との間に挿入されている。それらトランスミッションゲート４７，４８は、常時オン状態の抵抗素子となっている。

【００７３】なお、以下の説明の便宜上、プリドライバ部４１の第１および第２のインバータ４４，４５において、各トランジスタＰｐ１，NR１，…，NRX，Ｎｐ１，Ｐｐ２，PR１，…，PRX，Ｎｐ２の共通接続されたゲートをノードｎ１とし、メインドライバ部４２のPMOSトランジスタPM１およびNMOSトランジスタNM１の各ゲートをそれぞれノードｎ２およびノードｎ３とし、PMOSトランジスタPM１およびNMOSトランジスタNM１の共通ドレインをノードｎ４とし、PMOSトランジスタPM４２のゲートおよびNMOSトランジスタNM４２のゲートをノードｎ５とする。

20

【００７４】つぎに、図４に示す出力バッファ回路の動作について、図５に示す波形図を参照しながら、説明する。なお、図５には、内部回路からの入力信号の波形、すなわちノードｎ１における信号の波形が、“L”レベルの状態（ｔ０～ｔ１の（１）の期間）から“H”レベルに遷移し（ｔ１～ｔ２の（２）の期間）、“H”レベルの状態を保持した後（ｔ２～ｔ３の（３）の期間）、“L”レベルに遷移し（ｔ３～ｔ４の（４）の期間）、“L”レベルの状態を保持（ｔ４～ｔ５の（５）の期間）するように変化した時の各ノードｎ２，ｎ３，ｎ４における信号波形が示されている。以下、（１）～（５）の各期間について説明する。

【００７５】（１）ｔ０～ｔ１の期間および（５）ｔ４～ｔ５の期間

この期間では、入力信号（ノードｎ１の信号）が“L”レベルであるため、第１のインバータ４４においては、第１のPMOSトランジスタＰｐ１がオン状態となり、第１のノイズ低減用トランジスタ群の各NMOSトランジスタNR１，…，NRXおよび第１のNMOSトランジスタＮｐ１は全てオフ状態となる。したがって、ノードｎ２の電位は“H”レベルとなるので、メインドライバ部４２のPMOSトランジスタPM１はオフ状態となる。

【００７６】一方、第２のインバータ４５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXは全てオン状態となり、第２のNMOSトランジスタＮｐ２はオフ状態となる。したがって、ノードｎ３の電位は“H”レベルとなるので、メインドライバ部４２のNMOSトランジスタNM１がオン状態となり、ノードｎ４の信号、すなわち出力信号は“L”レベルとなる。この時、インバータ４６の出力、すなわちノードｎ５の電位は“H”レベルとなるので、PMOSトランジスタPM４２およびNMOSトランジスタNM４２は、それぞれオフ状態およびオン状態となる。

【００７７】（２）ｔ１～ｔ２の期間

この期間では、入力信号（ノードｎ１の信号）が“L”レベルから“H”レベルに遷移するため、第２のインバータ４５においては、第２のPMOSトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各PMOSトランジスタPR１，…，PRXはオン状態からオフ状態に遷移し、第２のNMOSトランジスタＮｐ２はオ

EX1005 / Page 271 of 376
Western Digital Technologies, Inc.

フ状態からオン状態に遷移する。したがって、ノードｎ３の電位は即座に“Ｈ”レベルから“Ｌ”レベルへ下降し、メインドライバ部４２のＮＭＯＳトランジスタＮＭ１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“Ｌ”レベルからＶｔｐ分だけ高い電位（“Ｌ”＋Ｖｔｐ）までは直ぐに上昇する。

【００７８】一方、第１のインバータ４４においては、第１のＰＭＯＳトランジスタＰｐ１がオン状態からオフ状態に遷移し、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は“Ｈ”レベルからＶｔｐ分だけ低い電位（“Ｈ”－Ｖｔｐ）までは直ぐに下降する。

【００７９】その後は、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１が抵抗として作用し、ＮＭＯＳトランジスタＮＲ１、・・・、ＮＭＯＳトランジスタＮＲＸ、第１のＮＭＯＳトランジスタＮｐ１の順で順次電流が流れていくため、メインドライバ部４２のＰＭＯＳトランジスタＰＭ１のゲートには、これらのトランジスタＮＲ１，…，ＮＲＸ，Ｎｐ１のオン抵抗値とメインドライバ部４２のＰＭＯＳトランジスタＰＭ１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、ＰＭＯＳトランジスタＰＭ１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“Ｌ”＋Ｖｔｐの電位以降は緩やかに上昇する。

【００８０】さらに、出力信号の電位、すなわちノードｎ４の電位が上昇して、インバータ４６の閾値を超えると、インバータ４６の出力信号、すなわちノードｎ５の電位が“Ｈ”レベルから“Ｌ”レベルに切り替わるため、その信号がゲートに入力されるＰＭＯＳトランジスタＰＭ４２がオン状態になる。それによって、トランスミッションゲート４７とＰＭＯＳトランジスタＰＭ４２の両方のパスにより、ノードｎ４に電源から迅速に電流が供給されるので、ノードｎ４の電位が迅速に上昇し、“Ｈ”レベルに到達する。

【００８１】（３）ｔ２～ｔ３の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｈ”レベルであるため、第１のインバータ４４においては、第１のＰＭＯＳトランジスタＰｐ１はオフ状態となり、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１は全てオン状態となる。したがって、ノードｎ２の電位は“Ｌ”レベルとなるので、メインドライバ部４２のＰＭＯＳトランジスタＰＭ１はオン状態となる。

【００８２】一方、第２のインバータ４５においては、第２のＰＭＯＳトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸは全てオフ状態となり、第２のＮＭＯＳトランジスタＮｐ２はオン状態となる。したがって、ノードｎ３の電位は“Ｌ”レベルとなるので、メインドライバ部４２のＮＭＯＳトランジスタＮＭ１はオフ状態となり、ノードｎ４の信号、すなわち出力信号は“Ｈ”レベルとなる。この時、インバータ４６の出力、すなわちノードｎ５の電位は“Ｌ”レベルとなるので、ＰＭＯＳトランジスタＰＭ４２およびＮＭＯＳトランジスタＮＭ４２は、それぞれオン状態およびオフ状態となる。

【００８３】（４）ｔ３～ｔ４の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｈ”レベルから“Ｌ”レベルに遷移するため、第１のインバータ４４においては、第１のノイズ低減用トランジスタ群の各ＮＭＯＳトランジスタＮＲ１，…，ＮＲＸおよび第１のＮＭＯＳトランジスタＮｐ１はオン状態からオフ状態に遷移し、第１のＰＭＯＳトランジスタＰｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は即座に“Ｌ”レベルから“Ｈ”レベルへ上昇し、メインドライバ部４２のＰＭＯＳトランジスタＰＭ１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“Ｈ”レベルからＶｔｎ分だけ低い電位（“Ｈ”－Ｖｔｎ）までは直ぐに下降する。

【００８４】一方、第２のインバータ４５においては、第２のＮＭＯＳトランジスタＮｐ２がオン状態からオフ状態に遷移し、第２のＰＭＯＳトランジスタＰｐ２および第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸはオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は“Ｌ”レベルからＶｔｎ分だけ高い電位（“Ｌ”＋Ｖｔｎ）までは直ぐに上昇する。

【００８５】その後は、第２のノイズ低減用トランジスタ群の各ＰＭＯＳトランジスタＰＲ１，…，ＰＲＸおよび第２のＰＭＯＳトランジスタＰｐ２が抵抗として作用し、第２のＰＭＯＳトランジスタＰｐ２、ＰＭＯＳトランジスタＰＲ１、・・・、ＰＭＯＳトランジスタＰＲＸの順で順次電流が流れていくため、メインドライバ部４２のＮＭＯＳトランジスタＮＭ１のゲートには、これらのトランジスタＰｐ２，ＰＲ１，…，ＰＲＸのオン抵抗値とメインドライバ部４２のＮＭＯＳトランジスタＮＭ１のゲート容量との時定数によって遅れて鈍った波形の信号が入力される。したがって、ＮＭＯＳトランジスタＮＭ１はゆっくりと動作することになり、ノードｎ４の電位、すなわち出力信号の電位は、“Ｈ”－Ｖｔｎの電位以降は緩やかに下降する。

【００８６】さらに、出力信号の電位、すなわちノードｎ４の電位が下降して、インバータ４６の閾値よりも低くなると、インバータ４６の出力信号、すなわちノード

23

ｎ５の電位が“Ｌ”レベルから“Ｈ”レベルに切り替わるため、その信号がゲートに入力されるＮＭＯＳトランジスタＮＭ４２がオン状態になる。それによって、トランスミッションゲート４８とＮＭＯＳトランジスタＮＭ４２の両方のパスにより、ノードｎ４から迅速に電流が引き抜かれるので、ノードｎ４の電位が迅速に下降し、“Ｌ”レベルに到達する。

【００８７】実施の形態３によれば、電流パスとしてトランスミッションゲート４７，４８が設けられているため、プリドライバ部に設けることができるノイズ低減用トランジスタの数に制限がある従来構成の出力バッファ回路よりも、ノイズ低減度を向上させることができる。また、メインドライバ部４２のＰＭＯＳトランジスタＰＭ１のゲート入力信号が、“Ｈ”レベルから“Ｌ”レベルに遷移する途中で、インバータ４６の閾値よりも低くなると、ＰＭＯＳトランジスタＰＭ４２がオンして電流パスが形成され、一方、メインドライバ部４２のＮＭＯＳトランジスタＮＭ１のゲート入力信号が、“Ｌ”レベルから“Ｈ”レベルに遷移する途中で、インバータ４６の閾値よりも低くなると、ＮＭＯＳトランジスタＮＭ４２がオンして電流パスが形成される。したがって、ノイズ低減度を保ったままｔｒ／ｔｆ時間の速度向上を図ることができ、また、ｔｒ／ｔｆ時間を大きくすることなくノイズ低減度を向上させることができる。加えて、回路構成が簡素であるため、回路面積を増大させずに済む。

【００８８】なお、ＰＭＯＳトランジスタＰＭ４２およびＮＭＯＳトランジスタＮＭ４２は、それぞれ１個に限らず、２個以上でもよい。

【００８９】実施の形態４．図６は、本発明の実施の形態４にかかる出力バッファ回路を示す回路図である。実施の形態４の出力バッファ回路が実施の形態１と異なるのは、プリドライバ部２１に代えて、第１のインバータ５４、第２のインバータ５５、２個のＰＭＯＳトランジスタＰｇ５１，Ｐｇ５２、２個のＮＭＯＳトランジスタＮｇ５１，Ｎｇ５２および２個のキャパシタＣ５３，Ｃ５４を有するプリドライバ部５１を設けたことである。なお、その他の構成は、実施の形態１と同じであるので、実施の形態１と同じ符号を付して説明を省略する。

【００９０】第１のインバータ５４は、ドレインが共通接続された第１のＰＭＯＳトランジスタＰｐ１および第１のＮＭＯＳトランジスタＮｐ１で構成されている。それらＰＭＯＳトランジスタＰｐ１およびＮＭＯＳトランジスタＮｐ１の各ソース電位は、それぞれ電源電位ＶＤＤおよび接地電位ＧＮＤであり、また、それらの共通接続されたゲートには、外部へ出力するための信号が内部回路から入力される。

【００９１】ＰＭＯＳトランジスタＰｐ１とＮＭＯＳトランジスタＮｐ１との共通ドレインの出力は、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１のゲートに入力される。また、ＰＭＯＳトランジスタＰｐ１とＮＭＯＳトランジスタＮｐ１との共通のドレインには、第２の切り替え素子であるＮＭＯＳトランジスタＮｇ５１のソースが接続されている。このＮＭＯＳトランジスタＮｇ５１のドレインは、第１の切り替え素子であるＰＭＯＳトランジスタＰｇ５１のドレインに接続されているとともに、一方の電極が接地されたキャパシタＣ５３のもう一方の電極に接続されている。ＰＭＯＳトランジスタＰｇ５１のソース電位は電源電位ＶＤＤである。ＮＭＯＳトランジスタＮｇ５１およびＰＭＯＳトランジスタＰｇ５１の各ゲートは共通接続されており、内部回路から第１のインバータ５１に入力される信号と同じ信号が入力される。

【００９２】第２のインバータ５５は、ドレインが共通接続された第２のＰＭＯＳトランジスタＰｐ２および第２のＮＭＯＳトランジスタＮｐ２で構成されている。それらＰＭＯＳトランジスタＰｐ２およびＮＭＯＳトランジスタＮｐ２の各ソース電位は、それぞれ電源電位ＶＤＤおよび接地電位ＧＮＤであり、また、それらの共通接続されたゲートには、内部回路から第１のインバータ５１に入力される信号と同じ信号が入力される。

【００９３】ＰＭＯＳトランジスタＰｐ２とＮＭＯＳトランジスタＮｐ２との共通ドレインの出力は、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１のゲートに入力される。また、ＰＭＯＳトランジスタＰｐ２とＮＭＯＳトランジスタＮｐ２との共通ドレインには、第４の切り替え素子であるＰＭＯＳトランジスタＰｇ５２のソースが接続されている。このＰＭＯＳトランジスタＰｇ５２のドレインは、第３の切り替え素子であるＮＭＯＳトランジスタＮｇ５２のドレインに接続されているとともに、一方の電極が接地されたキャパシタＣ５４のもう一方の電極に接続されている。ＮＭＯＳトランジスタＮｇ５２のソース電位は接地電位ＧＮＤである。ＮＭＯＳトランジスタＮｇ５２およびＰＭＯＳトランジスタＰｇ５２の各ゲートは共通接続されており、内部回路から第１のインバータ５１に入力される信号と同じ信号が入力される。

【００９４】なお、以下の説明の便宜上、プリドライバ部５１の第１および第２のインバータ５４，５５において、各トランジスタＰｐ１，Ｎｐ１，Ｐｐ２，Ｎｐ２の共通接続されたゲートをノードｎ１とし、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の各ゲートをそれぞれノードｎ２およびノードｎ３とし、ＰＭＯＳトランジスタＰＭ１およびＮＭＯＳトランジスタＮＭ１の共通ドレインをノードｎ４とする。

【００９５】つぎに、図６に示す出力バッファ回路の動作について、図７に示す波形図を参照しながら、説明する。なお、図６には、内部回路からの入力信号の波形、すなわちノードｎ１における信号の波形が、“Ｌ”レベ

EX1005 / Page 273 of 376
Western Digital Technologies, Inc.

ルの状態（ｔ０～ｔ１の（１）の期間）から“Ｈ”レベルに遷移し（ｔ１～ｔ２の（２）の期間）、“Ｈ”レベルの状態を保持した後（ｔ２～ｔ３の（３）の期間）、“Ｌ”レベルに遷移し（ｔ３～ｔ４の（４）の期間）、“Ｌ”レベルの状態を保持（ｔ４～ｔ５の（５）の期間）するように変化した時の各ノードｎ２，ｎ３，ｎ４における信号波形が示されている。以下、（１）～（５）の各期間について説明する。

【００９６】（１）ｔ０～ｔ１の期間および（５）ｔ４～ｔ５の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｌ”レベルであるため、第１のインバータ５４においては、第１のＰＭＯＳトランジスタＰｐ１がオン状態となり、第１のＮＭＯＳトランジスタＮｐ１はオフ状態となる。したがって、ノードｎ２の電位は“Ｈ”レベルとなるので、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１はオフ状態となる。また、ＰＭＯＳトランジスタＰｇ５１がオン状態であるため、電源からＰＭＯＳトランジスタＰｇ５１およびキャパシタＣ５３を経由して接地点へ至るパスが形成されるので、そのパスによりキャパシタＣ５３に電荷がチャージされる。

【００９７】一方、第２のインバータ５５においては、第２のＰＭＯＳトランジスタＰｐ２はオン状態となり、第２のＮＭＯＳトランジスタＮｐ２はオフ状態となる。したがって、ノードｎ３の電位は“Ｈ”レベルとなるので、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１がオン状態となり、ノードｎ４の信号、すなわち出力信号は“Ｌ”レベルとなる。

【００９８】（２）ｔ１～ｔ２の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｌ”レベルから“Ｈ”レベルに遷移するため、第２のインバータ５５においては、第２のＰＭＯＳトランジスタＰｐ２はオン状態からオフ状態に遷移し、第２のＮＭＯＳトランジスタＮｐ２はオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は即座に“Ｈ”レベルから“Ｌ”レベルへ下降し、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“Ｌ”レベルからＶｔｐ分だけ高い電位（“Ｌ”＋Ｖｔｐ）までは直ぐに上昇する。

【００９９】一方、第１のインバータ５４においては、第１のＰＭＯＳトランジスタＰｐ１がオン状態からオフ状態に遷移し、第１のＮＭＯＳトランジスタＮｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は“Ｈ”レベルからＶｔｐ分だけ低い電位（“Ｈ”－Ｖｔｐ）までは直ぐに下降する。そして、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１のゲート容量は、ＮＭＯＳトランジスタＮｐ１を経由して接地点へ至るパスにより徐々に引き抜かれる。

【０１００】その後、ＮＭＯＳトランジスタＮｇ５１がオフ状態からオン状態に切り替わり、キャパシタＣ５３にチャージされていた電荷を、ＮＭＯＳトランジスタＮｇ５１およびＮＭＯＳトランジスタＮｐ１を経由して接地点へ至るパスにより即座に引き抜いて、ノードｎ２の電位を速やかに“Ｌ”レベルに引き下げる。その結果、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１がオフ状態からオン状態に速やかに切り替わり、ノードｎ４の電位、すなわち出力信号を“Ｈ”レベルとする。

【０１０１】（３）ｔ２～ｔ３の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｈ”レベルであるため、第１のインバータ５４においては、第１のＰＭＯＳトランジスタＰｐ１はオフ状態となり、第１のＮＭＯＳトランジスタＮｐ１はオン状態となる。したがって、ノードｎ２の電位は“Ｌ”レベルとなるので、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１はオン状態となる。

【０１０２】一方、第２のインバータ５５においては、第２のＰＭＯＳトランジスタＰｐ２はオフ状態となり、第２のＮＭＯＳトランジスタＮｐ２はオン状態となる。したがって、ノードｎ３の電位は“Ｌ”レベルとなるので、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１はオフ状態となり、ノードｎ４の信号、すなわち出力信号は“Ｈ”レベルとなる。また、ＮＭＯＳトランジスタＮｇ５２がオン状態であるため、接地点とキャパシタＣ５４とＮＭＯＳトランジスタＮｇ５２とを結ぶパスにより、キャパシタＣ５４に電荷は空になっている。

【０１０３】（４）ｔ３～ｔ４の期間

この期間では、入力信号（ノードｎ１の信号）が“Ｈ”レベルから“Ｌ”レベルに遷移するため、第１のインバータ５４においては、第１のＮＭＯＳトランジスタＮｐ１はオン状態からオフ状態に遷移し、第１のＰＭＯＳトランジスタＰｐ１はオフ状態からオン状態に遷移する。したがって、ノードｎ２の電位は即座に“Ｌ”レベルから“Ｈ”レベルへ上昇し、メインドライバ部２２のＰＭＯＳトランジスタＰＭ１は即座にオン状態からオフ状態に切り替わるため、ノードｎ４の電位、すなわち出力信号の電位は“Ｈ”レベルからＶｔｎ分だけ低い電位（“Ｈ”－Ｖｔｎ）までは直ぐに下降する。

【０１０４】一方、第２のインバータ５５においては、第２のＮＭＯＳトランジスタＮｐ２がオン状態からオフ状態に遷移し、第２のＰＭＯＳトランジスタＰｐ２はオフ状態からオン状態に遷移する。したがって、ノードｎ３の電位は“Ｌ”レベルからＶｔｎ分だけ高い電位（“Ｌ”＋Ｖｔｎ）までは直ぐに上昇する。そして、メインドライバ部２２のＮＭＯＳトランジスタＮＭ１のゲート容量が、電源からＰＭＯＳトランジスタＰｐ２を経由するパスにより徐々にチャージされる。

【０１０５】その後、ＰＭＯＳトランジスタＰｇ５２がオフ状態からオン状態に切り替わり、電源からＰＭＯＳトランジスタＰｐ２およびＰＭＯＳトランジスタＰｇ５

2を経由してキャパシタC54へ至るパスにより、キャパシタC54に電荷を即座にチャージして、ノードn3の電位を速やかに“H”レベルに引き上げる。その結果、メインドライバ部22のNMOSトランジスタNM1がオフ状態からオン状態に速やかに切り替わり、ノードn4の電位、すなわち出力信号を“L”レベルとする。

【0106】実施の形態4によれば、メインドライバ部22のPMOSトランジスタPM1のゲート入力信号が“H”レベルから“L”レベルに遷移する途中で、NMOSトランジスタNg51がオンして、キャパシタC53から電荷が速やかに引き抜かれ、また、メインドライバ部22のNMOSトランジスタNM1のゲート入力信号が“L”レベルから“H”レベルに遷移する途中で、PMOSトランジスタPg52がオンして、キャパシタC54に電荷が速やかにチャージされる。したがって、ノイズ低減度を保ったままtr／tf時間の速度向上を図ることができ、また、tr／tf時間を大きくすることなくノイズ低減度を向上させることができる。また、回路構成が簡素であるため、回路面積を増大させずに済む。

【0107】

【発明の効果】以上、説明したとおり、本発明によれば、第1の切り替え素子は、前記PMOSトランジスタのゲート入力信号が相対的に高い第1の電位レベルから相対的に低い第2の電位レベルに遷移する途中で、前記PMOSトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記メインドライバ部のPMOSトランジスタのゲート容量を充電するための第1の電流パスを無効から有効に切り替える。第2の切り替え素子は、前記NMOSトランジスタのゲート入力信号が前記第2の電位レベルから前記第1の電位レベルに遷移する途中で、前記NMOSトランジスタのゲート入力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記メインドライバ部のNMOSトランジスタのゲート容量を放電するための第2の電流パスを無効から有効に切り替える。したがって、ノイズ低減度を保ったままtr／tf時間の速度向上を図ることができ、また、tr／tf時間を大きくすることなくノイズ低減度を向上させることができる。

【0108】つぎの発明によれば、第1の電流パスを形成するNMOSトランジスタのゲートに、第1の切り替え素子を構成するインバータの出力信号が入力され、また、第2の電流パスを形成するPMOSトランジスタのゲートに、第2の切り替え素子を構成するインバータの出力信号が入力される構成となっているため、回路構成が簡素であり、回路面積の増大を招くことなく、ノイズ低減度を保ったままtr／tf時間の速度向上を図ることができる。

【0109】また、本発明によれば、切り替え素子は、前記メインドライバ部の出力信号の電位レベルを所定の閾値と比較し、その比較結果に基づいて、前記PMOSトランジスタのゲート入力信号が相対的に高い第1の電位レベルから相対的に低い第2の電位レベルに遷移する途中で、前記メインドライバ部のPMOSトランジスタにより多くの電流を流すための第1の電流パスを無効から有効に切り替え、また、前記NMOSトランジスタのゲート入力信号が前記第2の電位レベルから前記第1の電位レベルに遷移する途中で、前記メインドライバ部のNMOSトランジスタにより多くの電流を流すための第2の電流パスを無効から有効に切り替える。したがって、ノイズ低減度を保ったままtr／tf時間の速度向上を図ることができ、また、tr／tf時間を大きくすることなくノイズ低減度を向上させることができる。

【0110】つぎの発明によれば、第1の電流パスを形成するPMOSトランジスタのゲート、または第2の電流パスを形成するNMOSトランジスタのゲートに、切り替え素子を構成するインバータの出力信号が入力される構成となっているため、回路構成が簡素であり、回路面積の増大を招くことなく、tr／tf時間の速度向上を図ることができる。

【0111】また、本発明によれば、第1の切り替え素子は、前記メインドライバ部のPMOSトランジスタのゲート入力信号が相対的に高い第1の電位レベルの時に、PMOSトランジスタのゲートに接続された第1のキャパシタを充電するための第1の電流パスが有効となるように、前記第1の電流パスの有効、無効を切り替える。第2の切り替え素子は、PMOSトランジスタのゲート入力信号が前記第1の電位レベルから相対的に低い第2の電位レベルに遷移する途中で、前記第1のキャパシタを放電するための第2の電流パスが有効となるように、前記第2の電流パスの有効、無効を切り替える。また、第3の切り替え素子は、前記メインドライバ部のNMOSトランジスタのゲート入力信号が前記第2の電位レベルの時に、NMOSトランジスタのゲートに接続された第2のキャパシタを放電するための第3の電流パスが有効となるように、前記第3の電流パスの有効、無効を切り替える。第4の切り替え素子は、NMOSトランジスタのゲート入力信号が前記第2の電位レベルから前記第1の電位レベルに遷移する途中で、前記第2のキャパシタを充電するための第4の電流パスが有効となるように、前記第4の電流パスの有効、無効を切り替える。したがって、ノイズ低減度を保ったままtr／tf時間の速度向上を図ることができ、また、tr／tf時間を大きくすることなくノイズ低減度を向上させることができる。

【0112】つぎの発明によれば、第1の切り替え素子および第4の切り替え素子を構成する各PMOSトランジスタのゲート、および第2の切り替え素子および第3の切り替え素子を構成する各NMOSトランジスタのゲ

EX1005 / Page 275 of 376
Western Digital Technologies, Inc.

ートに、内部回路から送られてくる信号が入力される構成となっているため、回路構成が簡素であり、回路面積の増大を招くことなく、ｔｒ／ｔｆ時間の速度向上を図ることができる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１にかかる出力バッファ回路を示す回路図である。

【図２】　図１に示す出力バッファ回路の動作を説明するための波形図である。

【図３】　本発明の実施の形態２にかかる出力バッファ回路を示す回路図である。

【図４】　本発明の実施の形態３にかかる出力バッファ回路を示す回路図である。

【図５】　図４に示す出力バッファ回路の動作を説明するための波形図である。

【図６】　本発明の実施の形態４にかかる出力バッファ回路を示す回路図である。

【図７】　図６に示す出力バッファ回路の動作を説明するための波形図である。

【図８】　スルーレートインブット方式による従来の出力バッファ回路を示す回路図である。

【図９】　図８に示す出力バッファ回路の動作を説明するためのの波形図である。

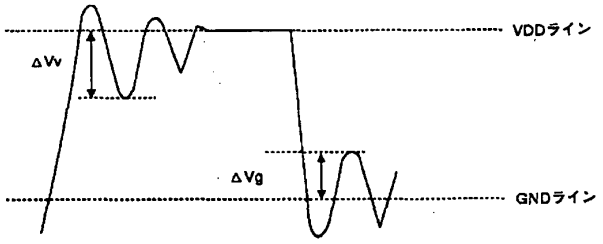
【図１０】　図８に示す出力バッファ回路の反射ノイズを示す波形図である。

【図１１】　出力バッファ回路の動作時に流れる電流の経時変化を定性的に示すグラフである。

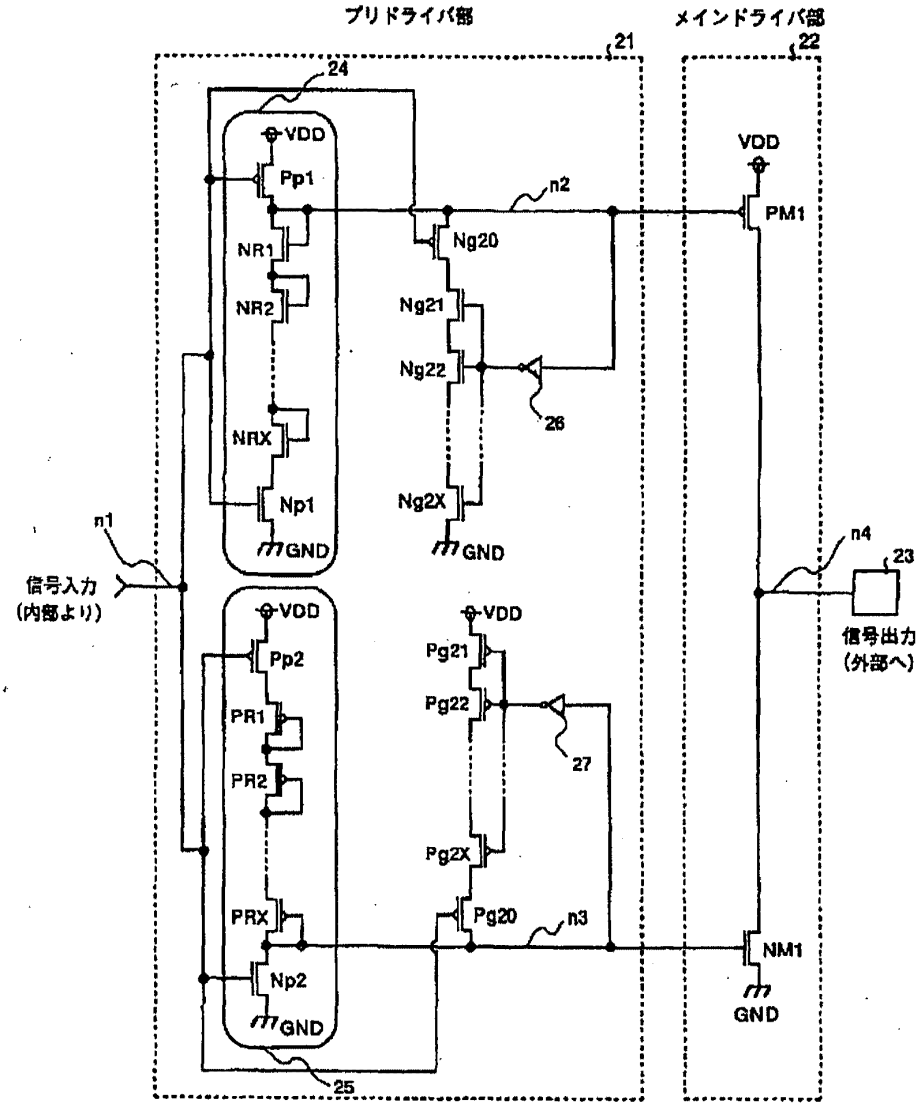
【符号の説明】

２１，３１，４１，５１　プリドライバ部、２２，４２　メインドライバ部、２６　インバータ（第１の切り替え素子）、２７　インバータ（第２の切り替え素子）、４６　インバータ（切り替え素子）、ＰＭ１　ＰＭＯＳトランジスタ、ＮＭ１　ＮＭＯＳトランジスタ、Ｎｇ２１～Ｎｇ２Ｘ　ＮＭＯＳトランジスタ（第１の電流バス）、Ｐｇ２１～Ｐｇ２Ｘ　ＰＭＯＳトランジスタ（第２の電流バス）、ＰＭ４２　ＰＭＯＳトランジスタ（第１の電流バス）、ＮＭ４２　ＮＭＯＳトランジスタ（第２の電流バス）、Ｃ５３　第１のキャパシタ、Ｃ５４　第２のキャパシタ、Ｐｇ５１　ＰＭＯＳトランジスタ（第１の電流バス、第１の切り替え素子）、Ｎｇ５１　ＮＭＯＳトランジスタ（第２の電流バス、第２の切り替え素子）、Ｐｇ５２　ＰＭＯＳトランジスタ（第４の電流バス、第４の切り替え素子）、Ｎｇ５２　ＮＭＯＳトランジスタ（第３の電流バス、第３の切り替え素子）。

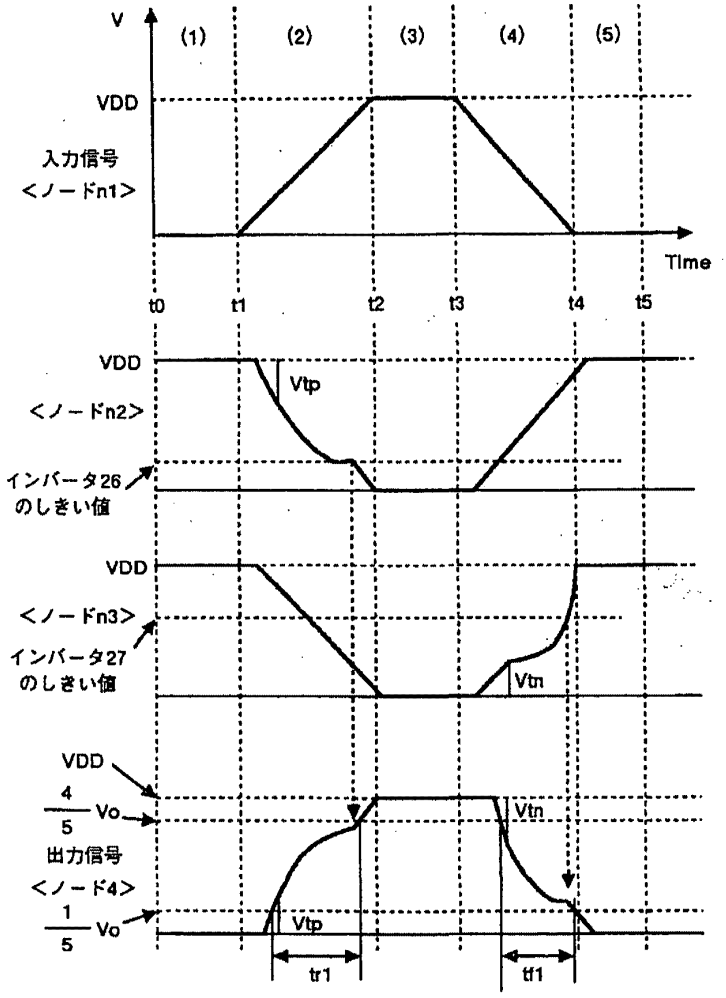
【図１０】



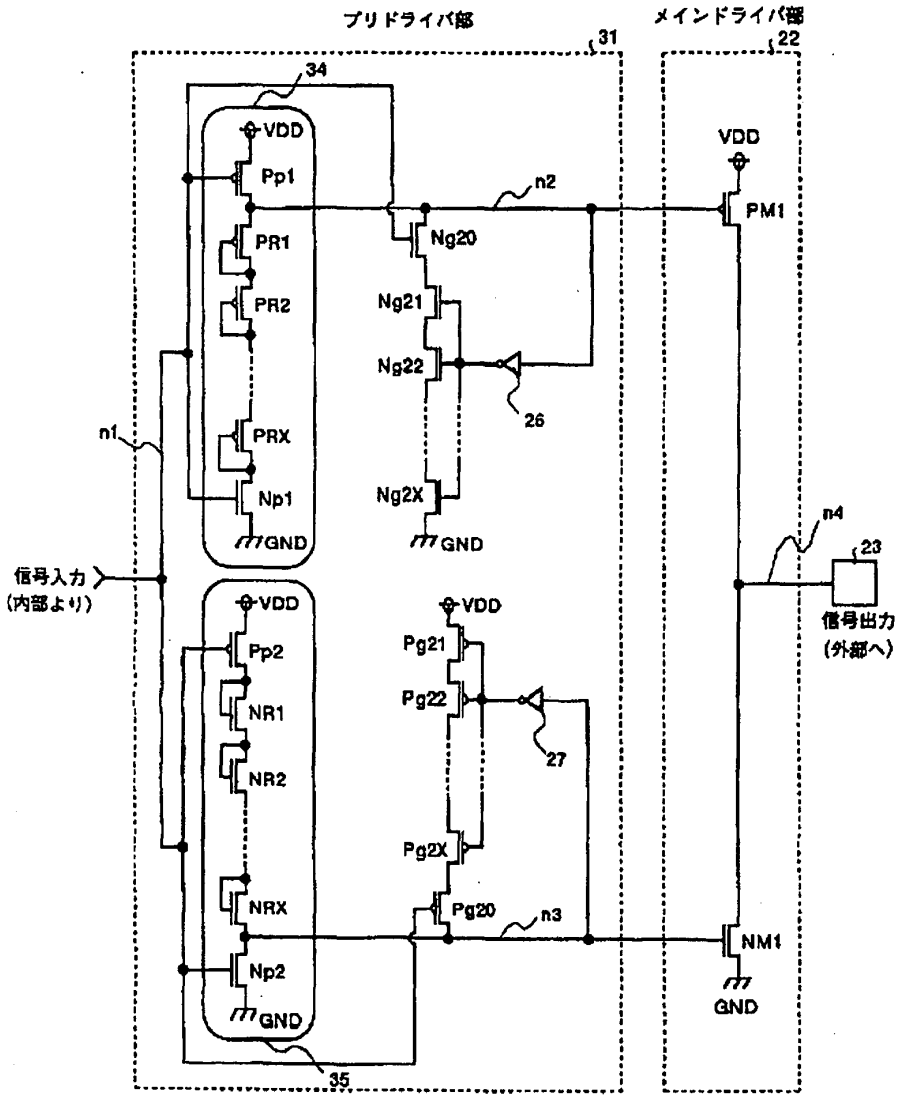
【図１】


プリドライバ部
メインドライバ部
21
22
24
VDD
Pp1
NR1
NR2
NRX
Np1
GND
n2
Ng20
Ng21
Ng22
26
Ng2X
GND
VDD
PM1
n1
信号入力
(内部より)
n4
23
信号出力
(外部へ)
VDD
Pp2
PR1
PR2
PRX
Np2
GND
VDD
Pg21
Pg22
27
Pg2X
Pg20
n3
NM1
GND
25

【図２】

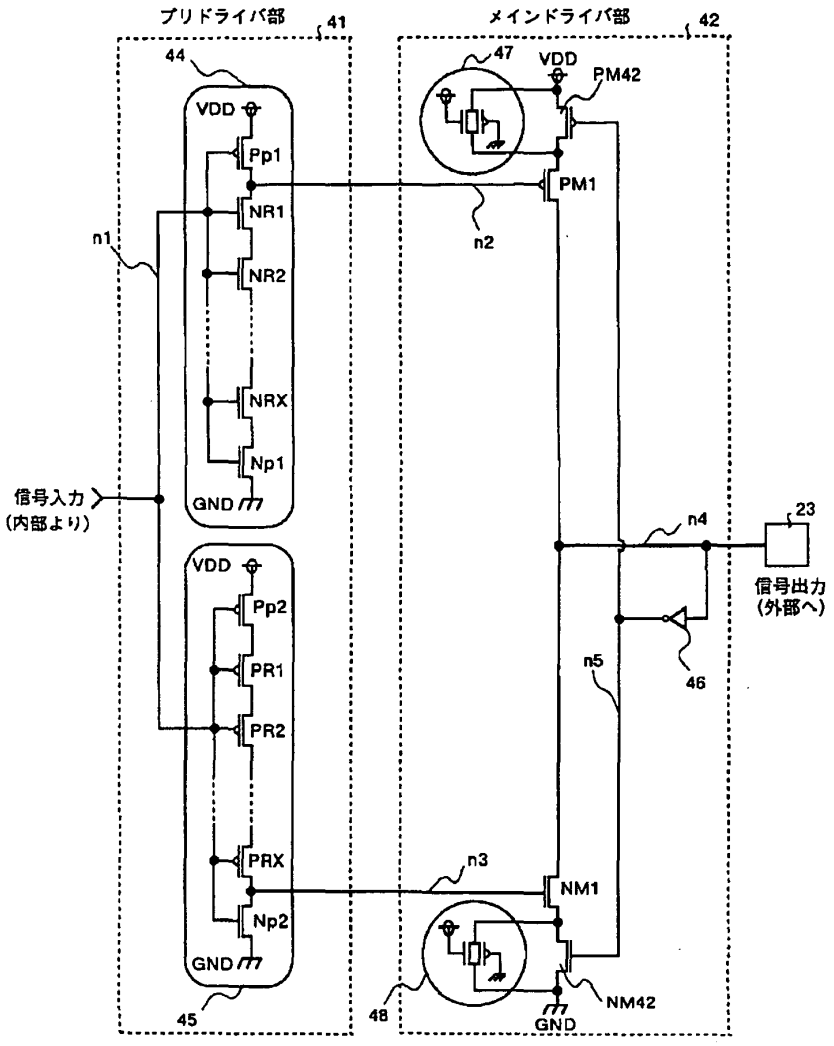

V
(1)
(2)
(3)
(4)
(5)
VDD
入力信号
<ノードn1>
Time
t0
t1
t2
t3
t4
t5
VDD
Vtp
<ノードn2>
インバータ26
のしきい値
VDD
<ノードn3>
インバータ27
のしきい値
Vtn
VDD
4/5 Vo
Vtn
出力信号
<ノード4>
1/5 Vo
Vtp
tr1
tf1

【図３】

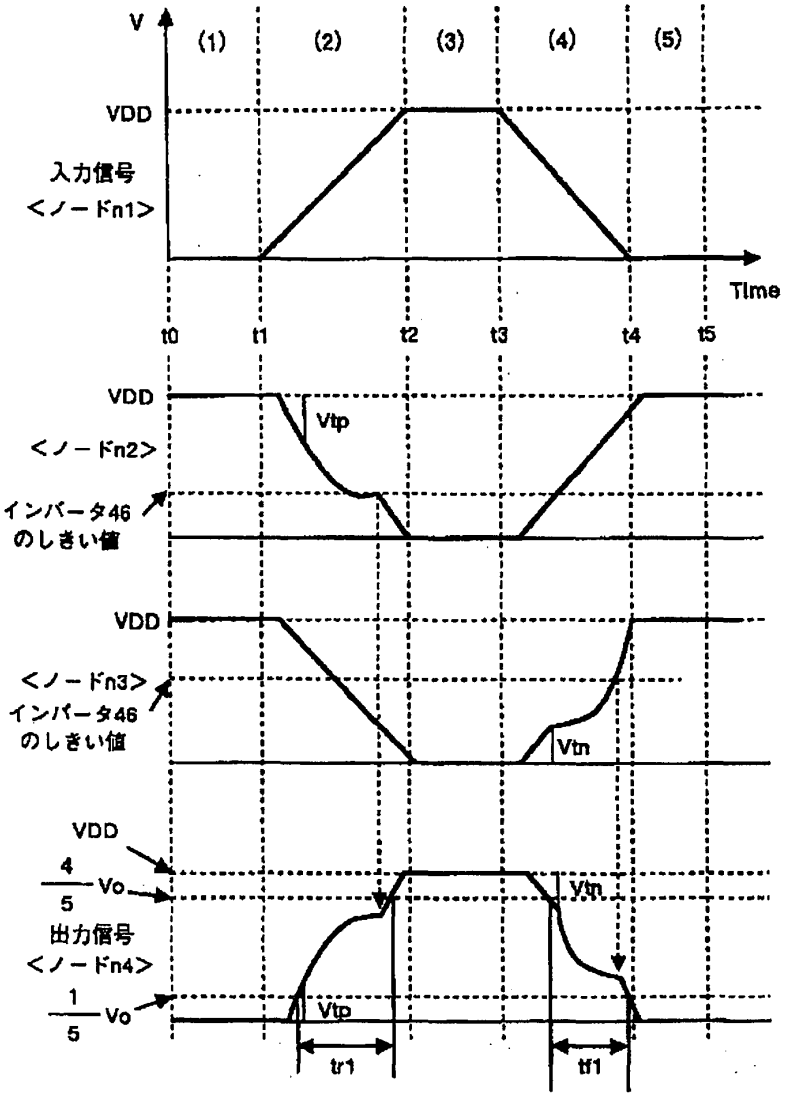


EX1005 / Page 279 of 376
Western Digital Technologies, Inc.

【図４】

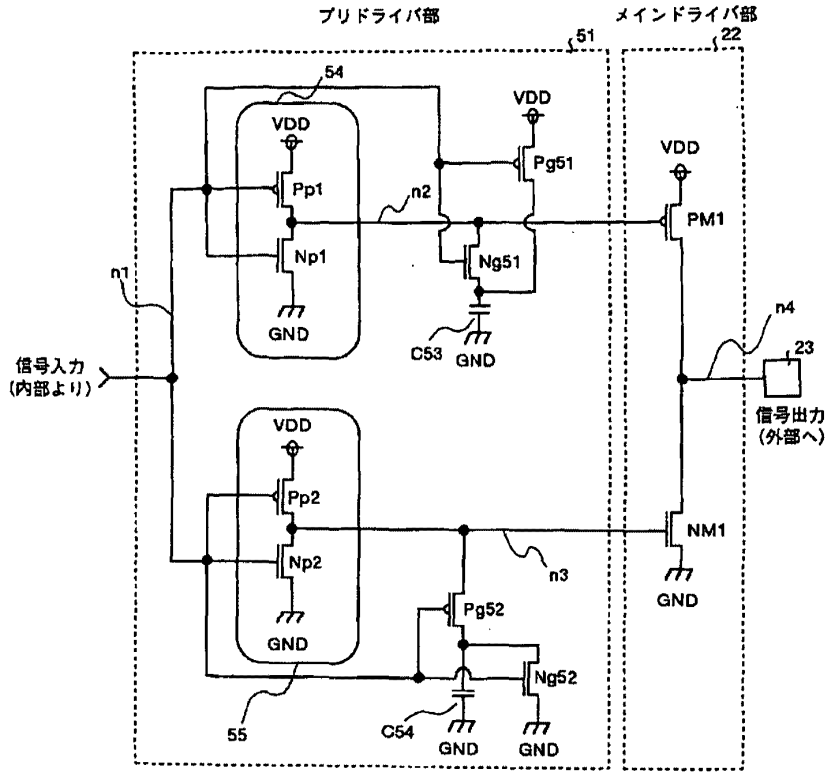

プリドライバ部
41
メインドライバ部
42
44
47
VDD
PM42
Pp1
PM1
NR1
n1
n2
NR2
NRX
Np1
信号入力
(内部より)
GND
n4
23
信号出力
(外部へ)
Pp2
PR1
n5
46
PR2
PRX
n3
NM1
Np2
48
NM42
45

【図５】

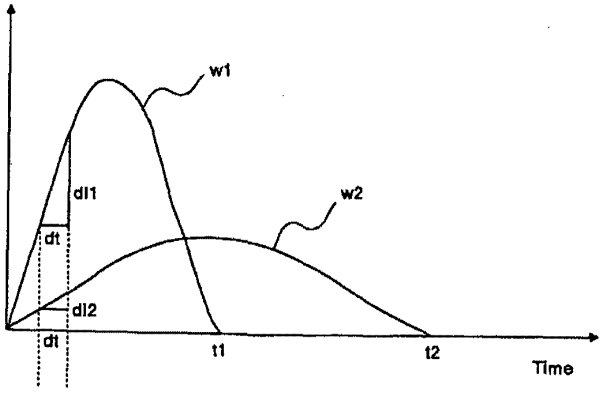


EX1005 / Page 281 of 376
Western Digital Technologies, Inc.

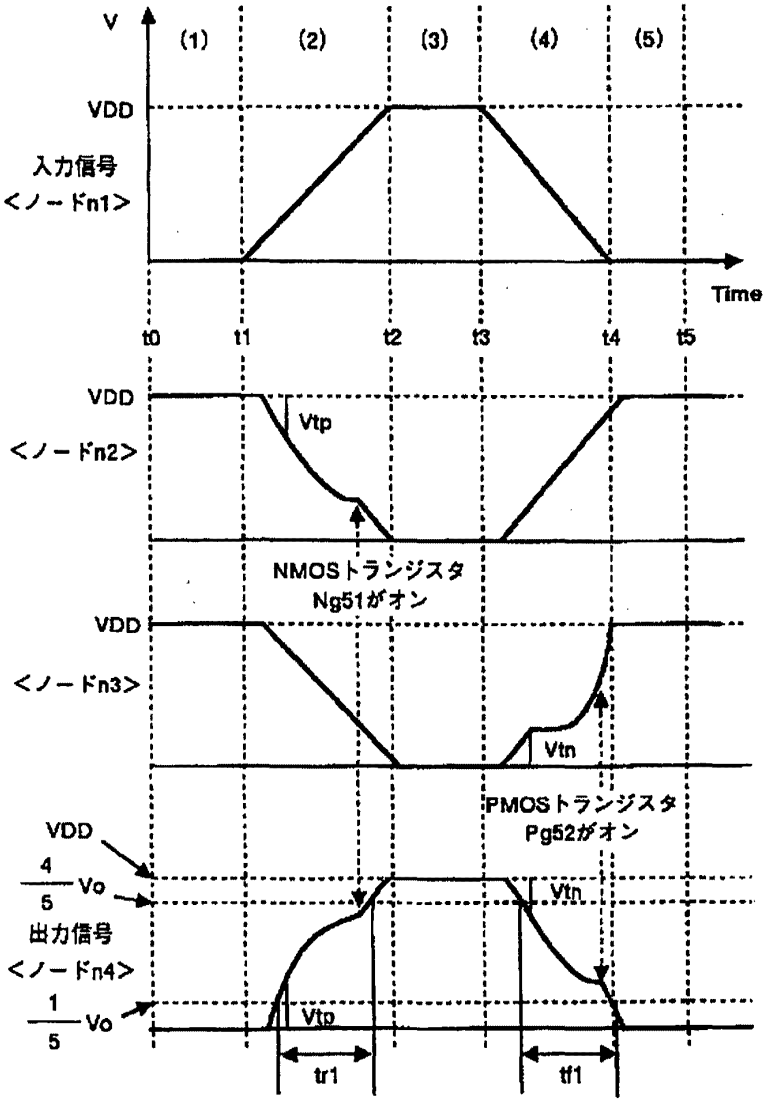
【図６】


プリドライバ部
メインドライバ部
51
22
54
VDD
Pp1
Np1
GND
n2
Pg51
Ng51
C53
GND
VDD
PM1
n1
n4
23
信号入力
(内部より)
信号出力
(外部へ)
VDD
Pp2
Np2
GND
n3
NM1
GND
Pg52
Ng52
55
C54
GND
GND

【図１１】

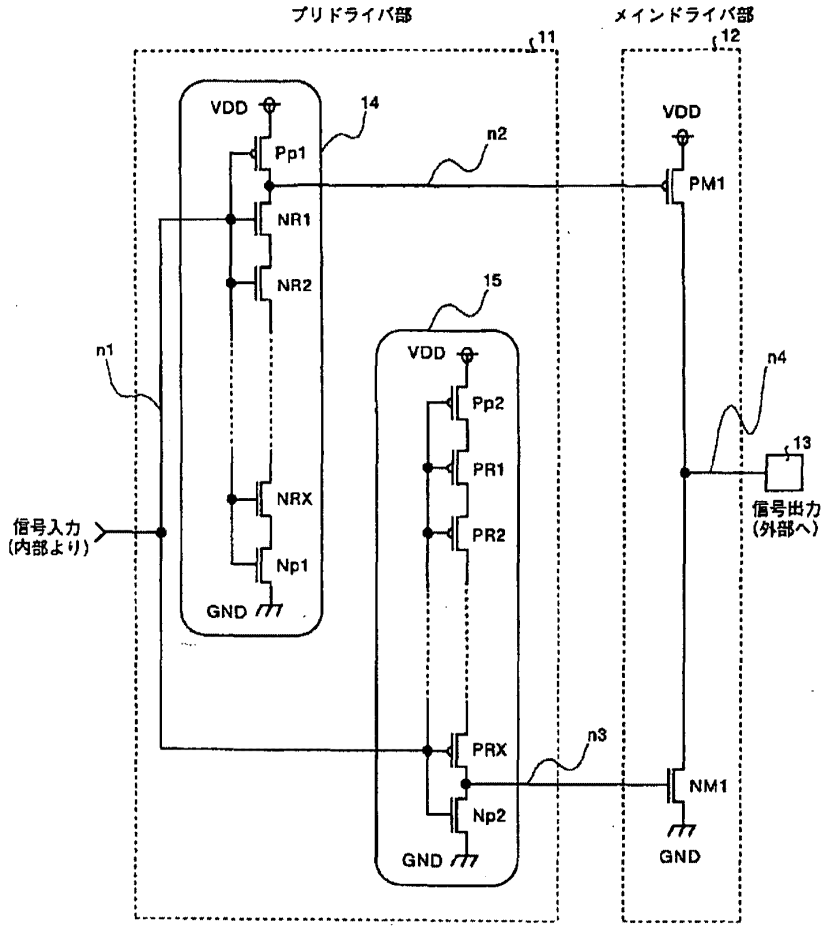

w1
w2
dl1
dt
dl2
dt
t1
t2
Time

【図７】

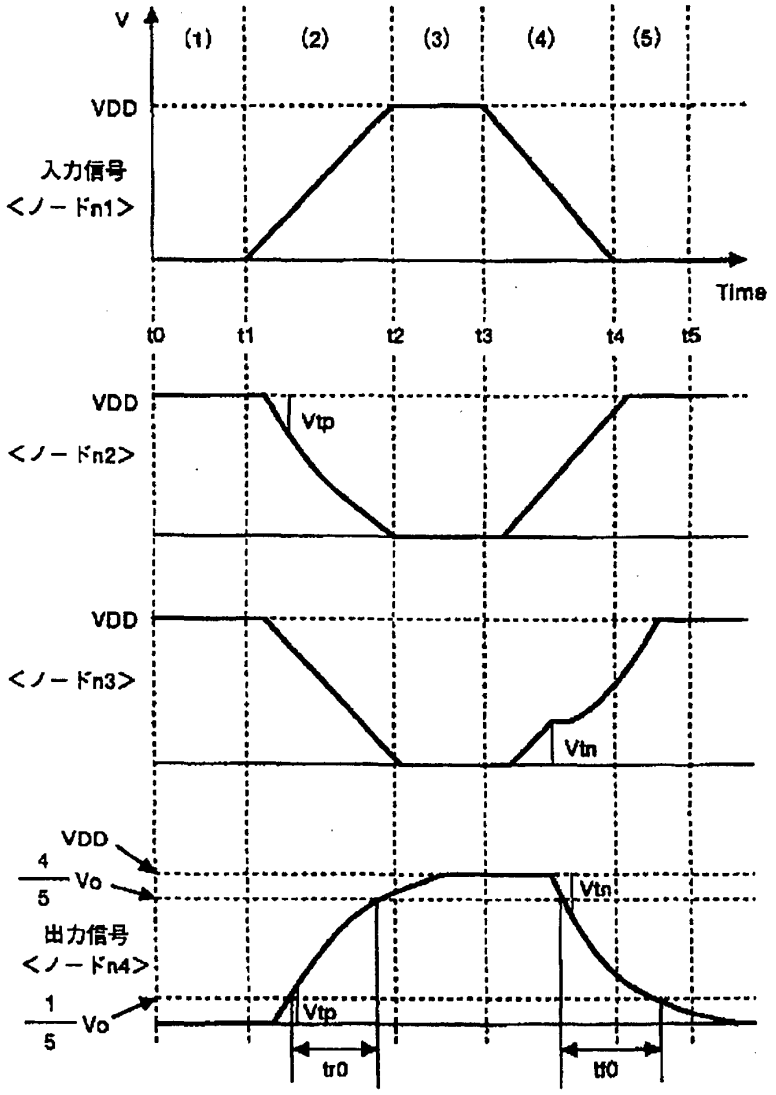


EX1005 / Page 283 of 376
Western Digital Technologies, Inc.

【図８】


プリドライバ部
メインドライバ部
11
12
VDD
14
Pp1
n2
NR1
NR2
15
VDD
Pp2
PR1
PR2
n1
n4
13
信号入力
(内部より)
NRX
Np1
GND
信号出力
(外部へ)
PRX
n3
NM1
Np2
GND
GND
VDD
PM1

【図９】



フロントページの続き

(72)発明者　木下　浩
東京都千代田区大手町二丁目６番２号　三菱電機エンジニアリング株式会社内
(72)発明者　川野　鉄二
東京都千代田区大手町二丁目６番２号　三菱電機エンジニアリング株式会社内
(72)発明者　粟飯原　隆文
東京都千代田区大手町二丁目６番２号　三菱電機エンジニアリング株式会社内

Ｆターム(参考)　5J055 AX02 AX25 AX54 AX66 BX16
CX24 DX22 DX56 DX72 DX83
EX07 EX21 EY10 EY21 EZ07
FX12 FX17 FX27 FX35 GX01
GX04
5J056 AA04 BB02 BB24 CC00 DD13
DD29 EE07 GG07 KK01

Ｆターム(参考) 5J055 AX02 AX25 AX54 AX66 BX16
CX24 DX22 DX56 DX72 DX83
EX07 EX21 EY10 EY21 EZ07
FX12 FX17 FX27 FX35 GX01
GX04
5J056 AA04 BB02 BB24 CC00 DD13
DD29 EE07 GG07 KK01

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332593
(43)Date of publication of application : 30.11.2000

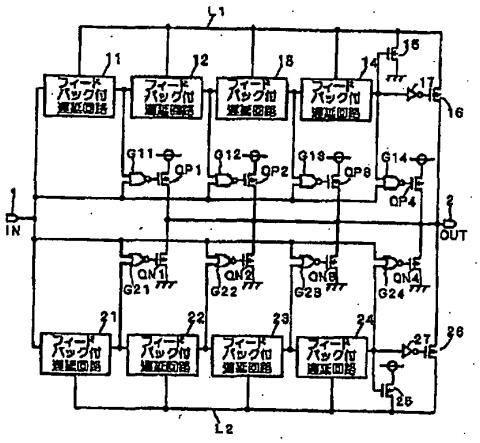
(51)Int.Cl. H03K 19/0175
H03K 17/28
H03K 17/687

(21)Application number : 11-141250
(22)Date of filing : 21.05.1999

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : YOKOYAMA MASAHIRO
NASU KOJI
SHIRATA SHUICHI
KURODA YUKIE
KANZAKI TERUAKI
UEHARA AKIHITO

(54) OUTPUT BUFFER CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To obtain the output buffer circuit which holds the slew rate of the output waveform of an output signal within a fixed range irrelevantly to whether the load at an output terminal is large or small.
SOLUTION: This output buffer circuit delays an input signal IN by connecting in series delay circuits 11 to 14 with feedback which vary in delay time according to the load placed on an output terminal 2 on the basis of an output signal OUT obtained through a feedback path L1. Delay signals outputted from the delay circuits 11 to 14 are supplied to one-input sides of NAND gates G11 to G14 for High output selection. An input signal IN is supplied to the other-input sides of the NAND gates G11 to G14 and outputs are supplied to the gates of transistors QP1 to QP4 for High output. When the input signal IN rises, the transistors QP1 to QP4 output signals OUT in response to the delay signals of the delay circuits 11 to 14.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－332593
（Ｐ２０００－３３２５９３Ａ）
(43)公開日　平成12年11月30日(2000.11.30)

(51)Int.Cl.'	識別記号	Ｆ Ｉ		テーマコード' (参考)
H03K 19/0175		H03K 19/00	101	F 5J055
17/28		17/28		Z 5J056
17/687		17/687		F

審査請求　未請求　請求項の数９　ＯＬ　（全15頁）

(21)出願番号　特願平11－141250

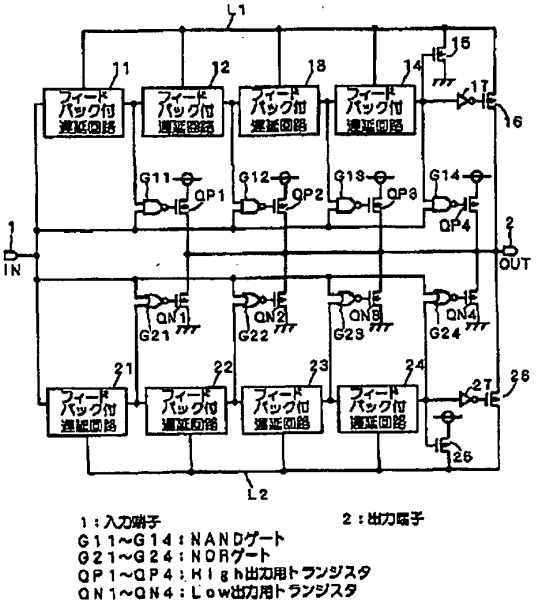
(22)出願日　平成11年５月21日(1999.5.21)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　横山　正浩
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　那須　浩司
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(74)代理人　100089233
弁理士　吉田　茂明　（外２名）

最終頁に続く

(54)【発明の名称】出力バッファ回路

(57)【要約】
【課題】　出力端子の負荷の大小に関わらず出力信号の出力波形のスルーレートを一定範囲に保つ出力バッファ回路を得る。
【解決手段】　フィードバック経路Ｌ１を介して得られる出力信号ＯＵＴの電位基づき、出力端子２にかかる負荷に応じて各々の遅延時間が変化するフィードバック付遅延回路１１～１４は直列に接続されて入力信号ＩＮを遅延させる。フィードバック付遅延回路１１～１４から出力される遅延信号はHigh出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４の一方入力に付与される。High出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４の他方入力は入力信号ＩＮとなり、出力がHigh出力用トランジスタＱＰ１～ＱＰ４のゲートに付与される。入力信号ＩＮの立ち上がり時にはフィードバック付遅延回路１１～１４の遅延信号に応答してHigh出力用トランジスタＱＰ１～ＱＰ４が出力信号ＯＵＴを出力する。



EX1005 / Page 289 of 376
Western Digital Technologies, Inc.

1

【特許請求の範囲】

【請求項１】　入力信号を受ける入力端子と、

出力信号が出力される出力端子と、

前記入力信号を遅延時間遅延させて遅延信号を出力する遅延回路とを備え、前記遅延時間は前記出力信号の電位に基づき変化し、

前記入力信号に関連した関連入力信号に応答して前記出力信号を出力する出力バッファ部をさらに備え、前記出力バッファ部は前記遅延信号に関連した関連遅延信号を受け、前記関連入力信号に対する駆動能力は前記遅延時間によって可変設定されることを特徴とする、出力バッファ回路。

【請求項２】　前記遅延時間は複数種の遅延時間を含み、前記遅延信号は前記入力信号を前記複数種の遅延時間でそれぞれ遅延させた複数の遅延信号を含み、

前記出力バッファ部は複数の出力バッファ部を含み、前記複数の出力バッファ部は前記複数の遅延信号に１対１に対応して設けられ、

前記関連入力信号及び前記関連遅延信号は同一で前記複数の遅延信号を含み、前記複数の出力バッファ部は前記複数の遅延信号に応答して前記出力信号を出力する、請求項１記載の出力バッファ回路。

【請求項３】　前記関連入力信号は前記入力信号自体を含み、

各々が制御データを格納し、各々に異なる取込タイミングが割り当てられ、各々が前記入力信号の論理レベル遷移時から割り当てられた前記取込タイミングで前記遅延信号を取り込み、取り込んだ前記遅延信号に前記論理レベル遷移が認識される場合は前記制御データの指示内容を停止状態にする複数のデータ記憶部をさらに備え、前記関連遅延信号は前記複数のデータ記憶部の前記制御データを含み、

前記出力バッファ部は複数の出力バッファ部を含み、前記複数の出力バッファ部は前記複数のデータ記憶部に１対１に対応して設けられ、それぞれ対応するデータ記憶部の前記制御データの指示内容に基づき動作状態／停止状態が制御される、請求項１記載の出力バッファ回路。

【請求項４】　前記入力信号は第１及び第２の論理を取り、

前記出力バッファ部は、動作状態時に前記関連遅延信号に基づき前記出力信号を前記第１の論理に設定する第１の論理出力部と、動作状態時に前記関連遅延信号に基づき前記出力信号を前記第２の論理に設定する第２の論理出力部とを有し、

前記入力信号が前記第２の論理から前記第１の論理へと遷移する第１の遷移時に前記第１の論理出力部を動作状態にする第１の論理出力制御部と、

前記入力信号が前記第１の論理から前記第２の論理へと遷移する第２の遷移時に前記第２の論理出力部を動作状態にする第２の論理出力制御部とをさらに備える、請求項１ないし請求項３のうちいずれか１項に記載の出力バッファ回路。

2

【請求項５】　前記入力信号をＲＣ時定数で遅延させて得られる複数のＲＣ遅延信号によって前記複数のデータ記憶部の前記取込タイミングを設定する取込タイミング設定部をさらに備える、請求項３記載の出力バッファ回路。

【請求項６】　所定の条件の成立時に前記複数のデータ記憶部の前記制御データの指示内容を動作状態に設定して前記出力バッファ部を起動させる出力バッファ起動部をさらに備える、請求項３記載の出力バッファ回路。

【請求項７】　前記所定の条件は電源投入時及びリセット時を含む、請求項６記載の出力バッファ回路。

【請求項８】　前記出力バッファ起動部はタイマ機能を有し、所定の時間間隔毎に前記出力信号の状態をモニタし、モニタした前記出力信号の状態が所定の基準を満足しない時を前記所定の条件の成立時として、前記出力バッファ部を起動させる、請求項６記載の出力バッファ回路。

【請求項９】　前記出力バッファ起動部は、前記出力信号の電位に基づき論理演算処理を実行して、前記論理演算処理結果に基づき前記出力信号の電位を常時モニタする出力電位モニタ部を含み、前記所定の条件は論理演算処理結果が前記出力信号の電位が所定の基準を満足しないことを指示する場合を含む、請求項６記載の出力バッファ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、出力バッファ回路に関するものである。

【０００２】

【従来の技術】図１４は従来のスルーレートコントロール付き出力バッファ回路の動作原理を表した回路図である。同図に示すように、入力端子９１，出力端子９２間に４段のHigh出力用トランジスタＱＰ２１～ＱＰ２４とLow出力用トランジスタＱＮ２１～ＱＮ２４とが設けられる。High出力用トランジスタＱＰ２１～ＱＰ２４のソースはすべて電源に接続され、ドレインはそれぞれLow出力用トランジスタＱＮ２１～ＱＮ２４のドレインに接続されるとともに、出力端子９２に共通に接続される。Low出力用トランジスタＱＮ２１～ＱＮ２４のソースはすべて接地される。

【０００３】入力端子９１より得られる入力信号ＩＮはHigh出力用トランジスタＱＰ２１のゲートに印加されるとともに遅延回路１１１及び遅延回路１２１に付与される。遅延回路１１１～１１３及び遅延回路１２１～１２３は直列に接続され、入力信号ＩＮを所定時間遅延させる。

【０００４】遅延回路１１１の出力信号はHigh出力用トランジスタＱＰ２２のゲートに印加され、遅延回路１１

２の出力信号はHigh出力用トランジスタＱＰ２３のゲートに印加され、遅延回路１１３の出力信号はHigh出力用トランジスタＱＰ２４のゲートに印加される。

【０００５】遅延回路１２１の出力信号はLow出力用トランジスタＱＮ２２のゲートに印加され、遅延回路１２２の出力信号はLow出力用トランジスタＱＮ２３のゲートに印加され、遅延回路１２３の出力信号はLow出力用トランジスタＱＮ２４のゲートに印加される。

【０００６】このように構成することによって、遅延回路１１１～１１３によって、ＱＰ２１～ＱＰ２４の順に時間差を生じさせて、入力信号ＩＮがHigh出力用トランジスタＱＰ２１～ＱＰ２４のゲートに印加され、遅延回路１２１～１２３によって、ＱＮ２１～ＱＮ２４の順に時間差を生じさせて、入力信号ＩＮがLow出力用トランジスタＱＮ２１～ＱＮ２４のゲートに印加される。

【０００７】したがって、入力信号ＩＮの“Ｌ”から“Ｈ”、“Ｈ”から“Ｌ”へのレベル遷移時に、High出力用トランジスタＱＰ２１～ＱＰ２４あるいはLow出力用トランジスタＱＮ２１～ＱＮ２４が時間差をもって順次オン状態となることにより、出力端子９２に比較的大きな負荷がかかっている場合においても、出力端子９２に比較的小さな負荷しかかかっていない場合に近づく方向に出力信号ＯＵＴのスルーレートが改善される。

【０００８】このように、従来の出力バッファ回路は、出力端子９２に比較的大きな負荷がかかった場合でもスルーレートが大きくなるように機能することにより、出力端子９２にかかる負荷によって生じる出力信号ＯＵＴのスルーレートの違いを緩和していた。

【０００９】

【発明が解決しようとする課題】しかしながら、図１４で示した従来の出力バッファ回路では、出力端子９２の負荷容量や周囲温度等によるトランジスタ特性がどのように変化しても、遅延回路１１１～１１３，１２１～１２３によって常に同じ時間差をもたせてHigh出力用トランジスタＱＰ２１～ＱＰ２４あるいはLow出力用トランジスタＱＮ２１～ＱＮ２４をＯＮさせていたため、図４のＰ１～Ｐ４に示すように、出力端子９２にかかる負荷の違いによって出力信号ＯＵＴの出力波形のスルーレートにバラツキが生じてしまうという問題点があった。

【００１０】加えて、出力端子９２にかかる負荷が十分小さく１個のインバータで駆動しても十分良好なスルーレートが得られる場合でも、４個のインバータで順次駆動するのと等価な４段のトランジスタが順次ＯＮ状態となるため、余分な電流が消費される分、消費電流が多くなるという問題点もあった。

【００１１】この発明は上記のような問題を解決するためになされたもので、出力端子の負荷の大小に関わらず出力信号の出力波形のスルーレートを一定範囲に保つ出力バッファ回路を得ることを目的とする。

【００１２】

【課題を解決するための手段】この発明に係る請求項１記載の出力バッファ回路は、入力信号を受ける入力端子と、出力信号が出力される出力端子と、前記入力信号を遅延時間遅延させて遅延信号を出力する遅延回路とを備え、前記遅延時間は前記出力信号の電位に基づき変化し、前記入力信号に関連した関連入力信号に応答して前記出力信号を出力する出力バッファ部をさらに備え、前記出力バッファ部は前記遅延信号に関連した関連遅延信号を受け、前記関連入力信号に対する駆動能力は前記遅延時間によって可変設定される。

【００１３】請求項２記載の出力バッファ回路において、前記遅延時間は複数種の遅延時間を含み、前記遅延信号は前記入力信号を前記複数種の遅延時間でそれぞれ遅延させた複数の遅延信号を含み、前記出力バッファ部は複数の出力バッファ部を含み、前記複数の出力バッファ部は前記複数の遅延信号に１対１に対応して設けられ、前記関連入力信号及び前記関連遅延信号は同一で前記複数の遅延信号を含み、前記複数の出力バッファ部は前記複数の遅延信号に応答して前記出力信号を出力する。

【００１４】請求項３記載の出力バッファ回路において、前記関連入力信号は前記入力信号自体を含み、各々が制御データを格納し、各々に異なる取込タイミングが割り当てられ、各々が前記入力信号の論理レベル遷移時から割り当てられた前記取込タイミングで前記遅延信号を取り込み、取り込んだ前記遅延信号に前記論理レベル遷移が認識される場合は前記制御データの指示内容を停止状態にする複数のデータ記憶部をさらに備え、前記関連遅延信号は前記複数のデータ記憶部の前記制御データを含み、前記出力バッファ部は複数の出力バッファ部を含み、前記複数の出力バッファ部は前記複数のデータ記憶部に１対１に対応して設けられ、それぞれ対応するデータ記憶部の前記制御データの指示内容に基づき動作状態／停止状態が制御される。

【００１５】請求項４記載の出力バッファ回路において、前記入力信号は第１及び第２の論理を取り、前記出力バッファ部は、動作状態時に前記関連遅延信号に基づき前記出力信号を前記第１の論理に設定する第１の論理出力部と、動作状態時に前記関連遅延信号に基づき前記出力信号を前記第２の論理に設定する第２の論理出力部とを有し、前記入力信号が前記第２の論理から前記第１の論理へと遷移する第１の遷移時に前記第１の論理出力部を動作状態にする第１の論理出力制御部と、前記入力信号が前記第１の論理から前記第２の論理へと遷移する第２の遷移時に前記第２の論理出力部を動作状態にする第２の論理出力制御部とをさらに備えている。

【００１６】請求項５記載の出力バッファ回路は、前記入力信号をＲＣ時定数で遅延させて得られる複数のＲＣ遅延信号によって前記複数のデータ記憶部の前記取込タイミングを設定する取込タイミング設定部をさらに備え

EX1005 / Page 291 of 376
Western Digital Technologies, Inc.

ている。

【００１７】請求項６記載の出力バッファ回路は、所定の条件の成立時に前記複数のデータ記憶部の前記制御データの指示内容を動作状態に設定して前記出力バッファ部を起動させる出力バッファ起動部をさらに備えている。

【００１８】請求項７記載の出力バッファ回路において、前記所定の条件は電源投入時及びリセット時を含んでいる。

【００１９】請求項８記載の出力バッファ回路において、前記出力バッファ起動部はタイマ機能を有し、所定の時間間隔毎に前記出力信号の状態をモニタし、モニタした前記出力信号の状態が所定の基準を満足しない時を前記所定の条件の成立時として、前記出力バッファ部を起動させる。

【００２０】請求項９記載の出力バッファ回路において、前記出力バッファ起動部は、前記出力信号の電位に基づき論理演算処理を実行して、前記論理演算処理結果に基づき前記出力信号の電位を常時モニタする出力電位モニタ部を含み、前記所定の条件は論理演算処理結果が前記出力信号の電位が所定の基準を満足しないことを指示する場合を含んでいる。

【００２１】

【発明の実施の形態】<実施の形態１>図１はこの発明の実施の形態１である出力バッファ回路の構成を示す回路図である。

【００２２】同図に示すように、入力端子１，出力端子２間に、４段のHigh出力用トランジスタＱＰ１～ＱＰ４および４段のLow出力用トランジスタＱＮ１～ＱＮ４をそれぞれ設けている。

【００２３】High出力用トランジスタＱＰ１～ＱＰ４のソースはすべて電源に接続され、ゲートはHigh出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４の出力にそれぞれ接続され、ドレインは共通に出力端子２に接続される。一方、Low出力用トランジスタＱＮ１～ＱＮ４のソースはすべて接地され、ゲートはLow出力選択用ＮＯＲゲートＧ２１～Ｇ２４の出力にそれぞれ接続され、ドレインは共通に出力端子２に接続される。

【００２４】フィードバック付遅延回路１１～１４は直列に接続されて入力端子１より得られる入力信号ＩＮを遅延させる。フィードバック付遅延回路１１～１４それぞれから出力される入力信号ＩＮの遅延信号はHigh出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４に一方入力に付与される。High出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４の他方入力は入力信号ＩＮとなる。

【００２５】フィードバック付遅延回路２１～２４は直列に接続されて入力端子１より得られる入力信号ＩＮを遅延させる。フィードバック付遅延回路２１～２４それぞれから出力される遅延信号はLow出力選択用ＮＯＲゲートＧ２１～Ｇ２４の一方入力に付与される。Low出力選択用ＮＯＲゲートＧ２１～２４の他方入力は入力信号ＩＮとなる。

【００２６】フィードバック付遅延回路１４より出力される遅延信号はフィードバック初期化Ｎｃｈトランジスタ１５のゲート、インバータ１７の入力にも付与される。フィードバック初期化Ｎｃｈトランジスタ１５のソースは接地され、ドレインはフィードバック経路Ｌ１に接続される。フィードバック経路Ｌ１はフィードバック付遅延回路１１～１４それぞれの遅延制御入力端に共通に接続される。インバータ１７の出力はフィードバックスイッチＮｃｈトランジスタ１６のゲートに付与され、フィードバックスイッチＮｃｈトランジスタ１６のドレインはフィードバック経路Ｌ１に接続され、ソースは出力端子２に接続される。

【００２７】フィードバック付遅延回路２４より出力される遅延信号はフィードバック初期化Ｐｃｈトランジスタ２５のゲート、インバータ２７の入力にも付与される。フィードバック初期化Ｐｃｈトランジスタ２５のソースは電源に接続され、ドレインはフィードバック経路Ｌ２に接続される。フィードバック経路Ｌ２はフィードバック付遅延回路２１～２４それぞれの遅延制御入力端に共通に接続される。インバータ２７の出力はフィードバックスイッチＰｃｈトランジスタ２６のゲートに付与され、フィードバックスイッチＰｃｈトランジスタ２６のドレインはフィードバック経路Ｌ２に接続され、ソースは接地される。

【００２８】図２はフィードバック付遅延回路１１～１４それぞれの内部構成を示す回路図である。フィードバック付遅延回路１１～１４それぞれの内部構成は同一である。同図に示すように、入力端３１，出力端３２間に２段のインバータＩ１１，Ｉ１２が直列に接続されており、インバータＩ１１はＰｃｈトランジスタＴ１１及びＮｃｈトランジスタＴ１２からなるＣＭＯＳ構成であり、Ｐｃｈトランジスタ Ｔ１１のゲートが入力端３１に接続され、ソースが電源に接続され、Ｎｃｈトランジスタ Ｔ１２のソースが接地され、ゲートが入力端３１に接続され、ドレインがＰｃｈトランジスタＴ１１のドレインに接続され、インバータＩ１１の出力となる。

【００２９】インバータＩ１２はＰｃｈトランジスタＴ１３及びＮｃｈトランジスタＴ１４からなるＣＭＯＳ構成の電源側にＰｃｈトランジスタＴ１５がさらに追加形成され、Ｐｃｈトランジスタ Ｔ１３のソースはＰｃｈトランジスタＴ１５を介して電源に接続され、ゲートがインバータＩ１１の出力に接続され、Ｎｃｈトランジスタ Ｔ１４のソースは接地され、ゲートはインバータＩ１１の出力にされ、ドレインがＰｃｈトランジスタＴ１３のドレイン接続され、インバータＩ１２の出力、すなわち、出力端３２となる。そして、Ｐｃｈトランジスタ Ｔ１５のゲートが遅延制御入力端３３に接続される。

【００３０】図３はフィードバック付遅延回路２１～２

４それぞれの内部構成を示す回路図である。フィードバック付遅延回路２１～２４それぞれの内部構成は同一である。同図に示すように、入力端４１，出力端４２間に２段のインバータＩ２１，Ｉ２２が直列に接続されており、インバータＩ２１はＰｃｈトランジスタＴ２１及びＮｃｈトランジスタＴ２２からなるＣＭＯＳ構成であり、Ｐｃｈトランジスタ Ｔ２１のゲートが入力端４１に接続され、ソースが電源に接続され、Ｎｃｈトランジスタ Ｔ２２のソースが接地され、ゲートが入力端４１に接続され、ドレインがＰｃｈトランジスタＴ２１のドレインに接続され、インバータＩ２１の出力となる。

【００３１】インバータＩ２２はＰｃｈトランジスタＴ２３及びＮｃｈトランジスタＴ２４からなるＣＭＯＳ構成の接地側にＮｃｈトランジスタＴ２５がさらに追加形成され、Ｐｃｈトランジスタ Ｔ２３のソースは電源に接続され、ゲートがインバータＩ２１の出力に接続され、Ｎｃｈトランジスタ Ｔ２４のソースはＮｃｈトランジスタＴ２５を介して接地され、ゲートはインバータＩ２１の出力にされ、ドレインがＰｃｈトランジスタＴ２３のドレイン接続され、インバータＩ２２の出力、すなわち、出力端４２となる。そして、Ｎｃｈトランジスタ Ｔ２５のゲートが遅延制御入力端４３に接続される。

【００３２】このような構成の実施の形態１の出力バッファ回路において、入力信号ＩＮが“Ｌ”から“Ｈ”に立ち上がる場合の動作について説明する。

【００３３】まず、前処理を説明する。入力端子１から“Ｈ”の入力信号ＩＮをフィードバック付遅延回路１１～１４を介してフィードバック初期化Ｎｃｈトランジスタ１５のゲートに付与する等により、フィードバック初期化Ｎｃｈトランジスタ１５をオン状態にして、フィードバック経路Ｌ１を“Ｌ”固定する初期動作を行う。

【００３４】その後、入力端子１から“Ｌ”の入力信号ＩＮをフィードバック付遅延回路１１～１４を介してインバータ１７に与えることにより、フィードバックスイッチＮｃｈトランジスタ１６をオン状態にする。すると、出力端子２がフィードバック経路Ｌ１に電気的に接続されることにより、フィードバック付き遅延回路１１～１４のフィードバック機能を有効状態となる。以上で前処理が終了する。

【００３５】そして、入力信号ＩＮが“Ｌ”から“Ｈ”に立ち上がると、瞬時にHigh出力選択用ＮＡＮＤゲートＧ１１～Ｇ１４それぞれがフィードバック付遅延回路１１～１４からの遅延信号出力待ち状態になる。

【００３６】一方、Low出力選択用ＮＯＲゲートＧ２１～Ｇ２４の出力はすべて“Ｌ”固定されるため、Low出力用トランジスタＱＮ１～ＱＮ４はすべてオフ状態となり、無駄な消費電流を抑え、High出力用トランジスタＱＰ１～ＱＰ４のみを効率的に利用することができる。

【００３７】その後、入力信号ＩＮの“Ｈ”がフィードバック付遅延回路１１の遅延信号として現れると、High出力選択用ＮＡＮＤゲートＧ１１が“Ｌ”に変化し、High出力用トランジスタＱＰ１がオン状態となる。

【００３８】同様にして、入力信号ＩＮの“Ｈ”がフィードバック付遅延回路１２～１４の遅延信号として現れると、High出力選択用ＮＡＮＤゲートＧ１２～Ｇ１４が“Ｌ”になり、High出力用トランジスタＱＰ２～ＱＰ４がオン状態となる。

【００３９】フィードバック付遅延回路１４の遅延信号が“Ｈ”になると、フィードバックスイッチＮｃｈトランジスタ１６はオフ状態となり、フィードバック機能を無効にするとともに、フィードバック初期化Ｎｃｈトランジスタ１５がオン状態となってフィードバック経路Ｌ１が“Ｌ”に初期化される。

【００４０】図４を用いて上記動作を更に詳しく説明する。図４は出力信号ＯＵＴの出力波形の一例であり、横軸は時間（ｎｓ），縦軸は電位（Ｖ）を示す。出力端子２に４種類の容量の負荷Ｃ１，Ｃ２，Ｃ３及びＣ４がかかった第１～第４のケースそれぞれの出力波形を表しており、図１４で示した従来の出力バッファ回路における第１～第４のケースの出力信号ＯＵＴの出力波形はＰ１～Ｐ４となり、実施の形態１の出力バッファ回路における第１～第４のケースの出力信号ＯＵＴの出力波形がＥ１～Ｅ４である。なお、負荷容量の関係は、Ｃ２＝２・Ｃ１、Ｃ３＝３・Ｃ１、Ｃ４＝４・Ｃ１である。

【００４１】ＴＭ１１～ＴＭ１４は第１のケースにおけるフィードバック付遅延回路１１～１４それぞれの出力タイミング（入力信号ＩＮが各フィードバック付遅延回路１１～１４の遅延信号として現れるタイミング）を表しており、ＴＭ２１～ＴＭ２４は第２のケースにおけるフィードバック付遅延回路１１～１４それぞれの出力タイミングを表している。

【００４２】第１のケースは４種類の中で最も出力端子２にかかる負荷容量が少ないＣ１の場合であり、出力信号ＯＵＴの立ち上がりが急でありフィードバック付遅延回路１１～１４それぞれのＰｃｈトランジスタＴ１５は弱くオンする。したがって、フィードバック付遅延回路１１～１４それぞれの信号伝搬遅延時間は長くなるため、出力タイミングＴＭ１１～ＴＭ１４はそれぞれ遅くなって、タイミングＴＭ１１～ＴＭ１４間の間隔も広くなり、このタイミングＴＭ１１～ＴＭ１４でHigh出力用トランジスタＱＰ１～ＱＰ４が順次オン状態となる。

【００４３】また、図４の波形Ｅ１に示すように、タイミングＴＭ１３、ＴＭ１４では既に出力信号ＯＵＴの電位が十分高く、本来の“Ｈ”レベルに近い状態となっているため、High出力用トランジスタＱＰ３，ＱＰ４はオン状態になっても、出力信号ＯＵＴのドライブ（駆動）にはほとんど寄与しない。すなわち、第１のケースでは実質的には２つのHigh出力用トランジスタＱＰ１，ＱＰ２によって出力信号ＯＵＴをドライブすることになる。

【００４４】第２のケースは第１のケースに比べ、出力

EX1005 / Page 293 of 376
Western Digital Technologies, Inc.

端子２にかかる負荷容量が２倍のＣ２の場合であり、出力信号ＯＵＴの立ち上がりが第１のケースに比べて緩やかでありフィードバック付遅延回路１１～１４それぞれのＰｃｈトランジスタＴ１５は第１のケースに比べて強くオンする。したがって、フィードバック付遅延回路１１～１４の出力タイミングＴＭ２１～ＴＭ２４は第１のケースに比べて短く、その間隔も狭くなり、このタイミングＴＭ２１～ＴＭ２４でHigh出力用トランジスタＱＰ１～ＱＰ４が順次オン状態となる。

【００４５】第２のケースでは、図４の波形Ｅ２に示すように、High出力用トランジスタＱＰ４がオンするタイミングＴＭ２４でも出力信号ＯＵＴの電位は比較的低い状態であるため、すべてのHigh出力用トランジスタＱＰ１～ＱＰ４が出力信号ＯＵＴのドライブに寄与する。すなわち、第２のケースでは実質的に４つのHigh出力用トランジスタＱＰ１～ＱＰ４すべてによって出力信号ＯＵＴをドライブすることになる。

【００４６】同様にして、第３または第４のケースでも、フィードバック付遅延回路１１～１４の出力タイミングを第２のケース以上に早くして、４個のHigh出力用トランジスタＱＰ１～ＱＰ４それぞれが出力信号ＯＵＴのドライブに寄与するタイミングを早める。

【００４７】このように、実施の形態１の出力バッファ回路は、入力信号ＩＮの立ち上がり時に、出力信号ＯＵＴの電位によってフィードバック付遅延回路１１～１４それぞれの遅延時間を変更することにより、負荷容量が大きい場合は負荷容量が小さい場合に比べてHigh出力用トランジスタがオンするタイミングを早めると共に、場合によっては出力信号ＯＵＴのドライブに寄与するHigh出力用トランジスタ数を多く設定するようにしている。

【００４８】その結果、図４の波形Ｅ１～Ｅ４に示すように、出力端子２にかかる負荷容量に違いが生じても、出力信号ＯＵＴの出力波形のスルーレートを一定範囲に保つことができる。

【００４９】なお、入力信号ＩＮが“Ｈ”から“Ｌ”に立ち下がる場合も、上述した入力信号ＩＮの立ち上がりの場合と同様に、出力信号ＯＵＴをフィードバック経路Ｌ２を介してフィードバック付遅延回路２１～２４の遅延制御入力端にフィードバックさせて、Low出力用トランジスタＱＮ１～ＱＮ４のオンするタイミング、場合によっては出力信号ＯＵＴのドライブに寄与するLow出力用トランジスタＱＮ１～ＱＮ４の数を、出力端子２にかかる負荷容量に基づき変更することにより、出力端子２にかかる負荷容量に違いが生じても、出力信号ＯＵＴの出力波形のスルーレートを一定範囲に保つことができる。

【００５０】＜実施の形態２＞図５はこの発明の実施の形態２である出力バッファ回路の構成を示す回路図である。

【００５１】同図に示すように、入力端子１，出力端子２間に、３段のHigh出力用トランジスタＱＰ１１～ＱＰ１３および３段のLow出力用トランジスタＱＮ１１～ＱＮ１３をそれぞれ設けている。

【００５２】High出力用トランジスタＱＰ１１～ＱＰ１３のソースはすべて電源に接続され、ゲートはHigh出力選択用ＮＡＮＤゲートＧ３１～Ｇ３３の出力にそれぞれ接続され、ドレインは共通に出力端子２に接続される。一方、Low出力用トランジスタＱＮ１１～ＱＮ１３のソースはすべて接地され、ゲートはLow出力選択用ＮＯＲゲートＧ４１～Ｇ４３の出力にそれぞれ接続され、ドレインは共通に出力端子２に接続される。

【００５３】フィードバック付遅延回路１０は入力端子１より得られる入力信号ＩＮを遅延させて、その遅延信号は非同期のセット入力付きフリップフロップＦＦ１１～ＦＦ１３それぞれの入力Ｄに共通に付与される。

【００５４】フリップフロップＦＦ１１～ＦＦ１３のセット入力Ｓにセット端子３より得られるセット信号ＳＥＴを受け、出力ＱがHigh出力選択用ＮＡＮＤゲートＧ３１～Ｇ３３に一方入力に付与される。High出力選択用ＮＡＮＤゲートＧ３１～Ｇ３３の他方入力は入力信号ＩＮとなる。

【００５５】また、許可信号入力端子４より得られる許可信号ＰＭ１がＮＡＮＤゲート７０一方入力に付与され、ＮＡＮＤゲート７０の出力が７段直列接続されたインバータ７１～７７の初段のインバータ７１の入力に接続される。ＮＡＮＤゲート７０の他方入力が入力端子１に接続され、インバータ７３、７５及び７７の出力がそれぞれフリップフロップＦＦ１１～ＦＦ１３のトグル入力Ｔに付与される。

【００５６】フィードバック付遅延回路２０は入力端子１より得られる入力信号ＩＮを遅延させて、その遅延信号は非同期のリセット入力付きフリップフロップＦＦ２１～ＦＦ２３それぞれの入力Ｄに共通に付与される。

【００５７】フリップフロップＦＦ２１～ＦＦ２３のリセット入力Ｒにリセット端子６より得られるリセット信号ＲＥＳＥＴを受け、出力ＱがLow出力選択用ＮＯＲゲートＧ４１～Ｇ４３に一方入力に付与される。Low出力選択用ＮＯＲゲートＧ４１～Ｇ４３の他方入力は入力信号ＩＮとなる。

【００５８】また、許可信号入力端子５より得られる許可信号ＰＭ２がＮＡＮＤゲート８０一方入力に付与され、ＮＡＮＤゲート８０の出力が７段直列接続されたインバータ８１～８７の初段のインバータ８１の入力に接続される。ＮＡＮＤゲート８０の他方入力が入力端子１に接続され、インバータ８３、８５及び８７の出力が反転されてフリップフロップＦＦ２１～ＦＦ２３のトグル入力Ｔに付与される。

【００５９】フィードバック付遅延回路１０より出力される遅延信号はインバータ１８を介してフィードバック初期化Ｎｃｈトランジスタ１５のゲートに付与されると

11

ともにフィードバックスイッチＮｃｈトランジスタ１６のゲートに付与される。フィードバック初期化Ｎｃｈトランジスタ１５のソースは接地され、ドレインはフィードバック経路Ｌ１１に接続される。フィードバック経路Ｌ１１はフィードバック付遅延回路１０の遅延制御入力端に接続される。フィードバックスイッチＮｃｈトランジスタ１６のドレインはフィードバック経路Ｌ１１に接続され、ソースは出力端子２に接続される。

【００６０】フィードバック付遅延回路２０より出力される遅延信号はインバータ２８を介してフィードバック初期化Ｐｃｈトランジスタ２５のゲート及びフィードバック初期化Ｐｃｈトランジスタ２５のゲートに付与される。フィードバック初期化Ｐｃｈトランジスタ２５のソースは電源に接続され、ドレインはフィードバック経路Ｌ１２に接続される。フィードバック経路Ｌ１２はフィードバック付遅延回路１０の遅延制御入力端に接続される。フィードバックスイッチＰｃｈトランジスタ２６のドレインはフィードバック経路Ｌ１出力端子２に接続され、ソースは出力端子２に接続される。

【００６１】図６はフィードバック付遅延回路１０の内部構成を示す回路図である。同図に示すように、入力端４４，出力端４５間に３段のインバータＩ３１～Ｉ３３が直列に接続されており、インバータＩ３１はＰｃｈトランジスタＴ４１及びＮｃｈトランジスタＴ４２からなるＣＭＯＳ構成の接地側にＮｃｈトランジスタＴ４７がさらに追加形成され、Ｐｃｈトランジスタ Ｔ４１のゲートが入力端４４に接続され、ソースが電源に接続され、Ｎｃｈトランジスタ Ｔ４２のソースがＮｃｈトランジスタＴ４７を介して接地され、ゲートが入力端４４に接続され、ドレインがＰｃｈトランジスタＴ４１のドレインに接続され、インバータＩ４１の出力となる。

【００６２】インバータＩ４２はＰｃｈトランジスタＴ４３及びＮｃｈトランジスタＴ４４からなるＣＭＯＳ構成であり、Ｐｃｈトランジスタ Ｔ４３のソースは電源に接続され、ゲートがインバータＩ４１の出力に接続され、Ｎｃｈトランジスタ Ｔ４４のソースは接地され、ゲートはインバータＩ４１の出力にされ、ドレインがＰｃｈトランジスタＴ４３のドレイン接続され、インバータＩ４２の出力となる。

【００６３】インバータＩ４３はＰｃｈトランジスタＴ４５及びＮｃｈトランジスタＴ４６からなるＣＭＯＳ構成の接地側にＮｃｈトランジスタＴ４８がさらに追加形成され、Ｐｃｈトランジスタ Ｔ４５のゲートがインバータＩ４２の出力に接続され、ソースが電源に接続され、Ｎｃｈトランジスタ Ｔ４６のソースがＮｃｈトランジスタＴ４８を介して接地され、ゲートがインバータＩ４２の出力に接続され、ドレインがＰｃｈトランジスタＴ４５のドレインに接続され、インバータＩ４３の出力となり、出力端４５に接続される。

【００６４】そして、Ｎｃｈトランジスタ Ｔ４７及びＴ４８のゲートが共通に遅延制御入力端４６に接続される。

12

【００６５】図７はフィードバック付遅延回路２０の内部構成を示す回路図である。同図に示すように、入力端３４，出力端３５間に３段のインバータＩ３１～Ｉ３３が直列に接続されており、インバータＩ３１はＰｃｈトランジスタＴ３１及びＮｃｈトランジスタＴ３２からなるＣＭＯＳ構成の電源側にＰｃｈトランジスタＴ３７がさらに追加形成され、Ｐｃｈトランジスタ Ｔ３１のゲートが入力端３４に接続され、ソースがＰｃｈトランジスタＴ３７を介して電源に接続され、Ｎｃｈトランジスタ Ｔ３２のソースが接地され、ゲートが入力端３４に接続され、ドレインがＰｃｈトランジスタＴ３１のドレインに接続され、インバータＩ３１の出力となる。

【００６６】インバータＩ３２はＰｃｈトランジスタＴ３３及びＮｃｈトランジスタＴ３４からなるＣＭＯＳ構成であり、Ｐｃｈトランジスタ Ｔ３３のソースは電源に接続され、ゲートがインバータＩ３１の出力に接続され、Ｎｃｈトランジスタ Ｔ３４のソースは接地され、ゲートはインバータＩ３１の出力にされ、ドレインがＰｃｈトランジスタＴ３３のドレイン接続され、インバータＩ３２の出力となる。

【００６７】インバータＩ３３はＰｃｈトランジスタＴ３５及びＮｃｈトランジスタＴ３６からなるＣＭＯＳ構成の電源側にＰｃｈトランジスタＴ３８がさらに追加形成され、Ｐｃｈトランジスタ Ｔ３５のゲートがインバータＩ３２の出力に接続され、ソースがＰｃｈトランジスタＴ３８を介して電源に接続され、Ｎｃｈトランジスタ Ｔ３６のソースが接地され、ゲートがインバータＩ３２の出力に接続され、ドレインがＰｃｈトランジスタＴ３５のドレインに接続され、インバータＩ３３の出力となり、出力端３５に接続される。

【００６８】そして、Ｐｃｈトランジスタ Ｔ３７及びＴ３８のゲートが共通に遅延制御入力端３６に接続される。

【００６９】このような構成において、入力信号ＩＮが“Ｌ”から“Ｈ”に立ち上がる場合の動作について説明する。

【００７０】まず、前処理を説明する。入力端子１から“Ｈ”の入力信号ＩＮをフィードバック付遅延回路１０及びインバータ１８を介してフィードバック初期化Ｎｃｈトランジスタ１５のゲートに付与する等により、フィードバック初期化Ｎｃｈトランジスタ１５をオン状態にして、フィードバック付遅延回路１０のフィードバック経路Ｌ１１を“Ｌ”固定する初期動作を行う。さらに、フリップフロップＦＦ１１～ＦＦ１３のセット入力Ｓに“Ｈ”のセット信号ＳＥＴを与えて、フリップフロップＦＦ１１～ＦＦ１３の出力Ｑ（制御データ）を“Ｈ”に初期設定し、フリップフロップＦＦ２１～ＦＦ２３のリセット入力Ｒに“Ｈ”のリセット信号ＲＥＳＥＴを与え

EX1005 / Page 295 of 376
Western Digital Technologies, Inc.

て、フリップフロップＦＦ２１～ＦＦ２３の出力Ｑ（制御データ）を“Ｌ”に初期設定する。そして、許可信号ＰＭ１を“Ｈ”に設定する。

【００７１】その後、入力端子１から“Ｌ”の入力信号ＩＮをフィードバック付遅延回路１０を介してフィードバックスイッチＮｃｈトランジスタ１６のゲートに与えることにより、フィードバックスイッチＮｃｈトランジスタ１６をオン状態にする。すると、出力端子２がフィードバック経路Ｌ１１に電気的に接続されることにより、フィードバック付き遅延回路１０のフィードバック機能を有効状態となる。以上で前処理が終了する。

【００７２】入力信号ＩＮが“Ｌ”から“Ｈ”に立ち上がると、瞬時にHigh出力選択用ＮＡＮＤゲートＧ３１～Ｇ３３それぞれがフリップフロップＦＦ１１～ＦＦ１３の出力Ｑからの出力信号の待ち状態になる。フリップフロップＦＦ１１～ＦＦ１３の出力Ｑの初期状態は“Ｈ”のため、High出力選択用ＮＡＮＤゲートＧ３１～Ｇ３３の出力はすべて“Ｌ”となり、High出力用トランジスタＱＰ１１～ＱＰ１３がすべてオン状態となる。

【００７３】一方、Low出力選択用ＮＯＲゲートＧ４１～Ｇ４３の出力はすべて“Ｌ”固定されることにより、Low出力用トランジスタＱＮ１１～ＱＮ１３はすべてオフ状態となるため、無駄な消費電流を抑え、High出力用トランジスタＱＰ１１～ＱＰ１３のみを効率的に利用することができる。

【００７４】そして、ＮＡＮＤゲート７０の他方入力に付与される入力信号ＩＮの立ち上がりが、一方入力が“Ｈ”のＮＡＮＤゲート７０からインバータ７１～７３，７１～７５及び７１～７７を介して遅延時間ΔＴ１、ΔＴ２及びΔＴ３経過後に、フリップフロップＦＦ１１、ＦＦ１２及びＦＦ１３それぞれのトグル入力Ｔに伝達される。

【００７５】したがって、入力信号ＩＮの立ち上がりからΔＴ１～ΔＴ３経過後に、フィードバック付遅延回路１０の遅延信号がフリップフロップＦＦ１１～ＦＦ１３の入力Ｄからそれぞれ取り込まれる。その結果、フリップフロップＦＦ１１～ＦＦ１３のうち出力Ｑが“Ｌ”に変化したフリップフロップに対応するHigh出力用トランジスタがオフ状態となり、出力Ｑが“Ｈ”を維持するフリップフロップに対応するHigh出力用トランジスタがオン状態を維持する。

【００７６】しかる後、フィードバック付遅延回路１０の遅延信号が“Ｌ”になると、フィードバックスイッチＮｃｈトランジスタ１６はオフ状態となり、フィードバック機能を無効にするとともに、フィードバック初期化Ｎｃｈトランジスタ１５がオン状態となってフィードバック経路Ｌ１１が“Ｌ”に初期化される。

【００７７】図８を用いて上記動作を更に詳しく説明する。図８は出力信号ＯＵＴの出力波形の一例であり、横軸は時間（ｎｓ），縦軸は電位（Ｖ）を示す。出力端子２に４種類の容量の負荷Ｃ１，Ｃ２，Ｃ３及びＣ４がかかった第１～第４のケースそれぞれの出力波形を表しており、図１４で示した従来の出力バッファ回路における第１～第４のケースの出力信号ＯＵＴの出力波形はＰ１１～Ｐ１４となり、実施の形態２の出力バッファ回路における第１～第４のケースの出力信号ＯＵＴの出力波形がＥ１１～Ｅ１４である。なお、負荷容量の関係は、Ｃ２＝２・Ｃ１、Ｃ３＝３・Ｃ１、Ｃ４＝４・Ｃ１である。

【００７８】ＴＭ１～ＴＭ３はフリップフロップＦＦ１１～ＦＦ１３の入力Ｄの取込タイミングを表しており、タイミングＴＭ～ＴＭ３はＮＡＮＤゲート７０、インバータ７１～７７による遅延時間ΔＴ１，ΔＴ２及びΔＴ３で決定する。

【００７９】第１のケースは４種類の最も出力端子２にかかる負荷容量が少ないＣ１の場合であり、図８の波形Ｅ１１に示すように、出力信号ＯＵＴの立ち上がりが急でありフィードバック付遅延回路１０のＮｃｈトランジスタＴ４７及びＴ４８は強くオンするため、フィードバック付遅延回路１０の信号伝搬遅延時間は短くなり、タイミングＴＭ２以前にフィードバック付遅延回路１０の遅延信号は確実に“Ｌ”になる。したがって、タイミングＴＭ１，ＴＭ２及びＴＭ３におけるフィードバック付遅延回路１０の遅延信号の値は“Ｈ”，“Ｌ”及び“Ｌ”となって、フリップフロップＦＦ１１，ＦＦ１２及びＦＦ１３にはそれぞれ“Ｈ”，“Ｌ”及び“Ｌ”の制御データが取り込まれる。

【００８０】その結果、第１のケースではタイミングＴＭ３後において、High出力用トランジスタＱＰ１１のみがオン状態を維持し、High出力用トランジスタＱＰ１２及びＱＰ１３は共にオフ状態となる。

【００８１】一方、第４のケースは第１のケースに比べ、出力端子２にかかる負荷容量が４倍大きいＣ４（４・Ｃ１）の場合であり、図８の波形Ｅ１４に示すように、出力信号ＯＵＴの立ち上がりが第１のケースに比べてかなり緩やかでありフィードバック付遅延回路１０のＮｃｈトランジスタＴ４７及びＴ４８は第１のケースにかなり弱くオンするため、フィードバック付遅延回路１０の信号伝搬遅延時間は第１のケースより長くなり、タイミングＴＭ３になってもフィードバック付遅延回路１０の遅延信号は“Ｈ”から変化しない。したがって、タイミングＴＭ１，ＴＭ２及びＴＭ３におけるフィードバック付遅延回路１０の遅延信号の値は“Ｈ”，“Ｈ”及び“Ｈ”となって、フリップフロップＦＦ１１，ＦＦ１２及びＦＦ１３にはそれぞれ“Ｈ”，“Ｈ”及び“Ｈ”の制御データが取り込まれる。

【００８２】その結果、第４のケースではタイミングＴＭ３後において、３個のHigh出力用トランジスタＱＰ１１～ＱＰ１３はすべてオン状態となる。

【００８３】同様にして、第２または第３のケースで

15

も、フィードバック付遅延回路１０の遅延信号が“Ｌ”になる時間を第１のケースより短くして、High出力用トランジスタＱＰ１１～ＱＰ１３のうち、タイミングＴＭ３後にオン状態となるHigh出力用トランジスタの個数（２あるいは３個）を調整する。

【００８４】このように、実施の形態２の出力バッファ回路は、入力信号ＩＮの立ち上がり時に、出力信号ＯＵＴの電位によってフィードバック付遅延回路１０の遅延時間を変更することにより、負荷容量が大きい場合は負荷容量が小さい場合に比べてHigh出力用トランジスタがオンする個数を多く設定するようにしている。

【００８５】その結果、図８の波形Ｅ１１～Ｅ１４に示すように、出力端子２にかかる負荷容量に違いが生じても、出力信号ＯＵＴの出力波形のスルーレートを一定範囲に保つことができる。

【００８６】加えて、タイミングＴＭ３後は不要なHigh出力用トランジスタをオフ状態とするため、すべての出力用トランジスタが常にオン状態である従来の出力バッファ回路に比べて消費電流を必要最小限に抑えることができる。

【００８７】なお、入力信号ＩＮが“Ｈ”から“Ｌ”に立ち下がる場合（この際、許可信号ＰＭ２が前処理時に“Ｈ”になる。）も、出力信号ＯＵＴをフィードバック経路Ｌ１２を介してフィードバック付遅延回路２０の遅延制御入力端にフィードバックさせて、タイミングＴＭ３後にLow出力用トランジスタＱＮ１１～ＱＮ１３のオンする数を、出力端子２にかかる負荷容量に基づき変更することにより、入力信号ＩＮの立ち上がり時と同様、出力端子２にかかる負荷容量に違いが生じても、出力信号ＯＵＴの出力波形のスルーレートを一定範囲に保つことができる。

【００８８】＜実施の形態３＞図９はこの発明の実施の形態３である出力バッファ回路の構成を示す回路図である。同図に示すように、図１で示した実施の形態１の構成に切換用セレクタ４８が追加されている。切換用セレクタ４８は入力信号ＩＮを受け、入力信号ＩＮに基づき入力信号ＩＮの“Ｌ”から“Ｈ”への立ち上がり（第１の遷移）時に入力信号ＩＮをフィードバック付遅延回路１１に伝達し、入力信号ＩＮの“Ｈ”から“Ｌ”への立ち下がり（第２の遷移）時に入力信号ＩＮをフィードバック付遅延回路２１に伝達する信号切換えを行う。他の構成は実施の形態１の出力バッファ回路と同様であるため、説明を省略する。

【００８９】このような構成の実施の形態３の出力バッファ回路は、フィードバック付遅延回路１１及びフィードバック付遅延回路２１のうち、動作させる必要のある出力用トランジスタ側のフィードバック付遅延回路のみに入力信号ＩＮを与えることができるため、入力信号ＩＮを与える必要ないフィードバック付遅延回路に信号を付与しない分、消費電流の低減を図ることができる。

16

【００９０】なお、図５で示した実施の形態２の出力バッファ回路のフィードバック付遅延回路１０及び２０と入力端子１との間に切換用セレクタ４８と等価なセレクタを設けることにより、消費電流の低減を図ることもできる。

【００９１】＜実施の形態４＞図１０はこの発明の実施の形態４である出力バッファ回路の構成を示す回路図である。同図に示すように、図５で示した実施の形態２の構成のHigh出力用トランジスタＱＰ１１～ＱＰ１３（図１０では図示せず）側にＲＣ遅延回路５１～５３及びセレクタ６１～６３が追加されている。なお、図１０では図示しないが、Low出力用トランジスタＱＮ１１～ＱＮ１３（図１０では図示せず）側にもＲＣ遅延回路５１～５３及びセレクタ６１～６３と等価なＲＣ遅延回路及びセレクタが設けられている。他の構成は実施の形態２の出力バッファ回路と同様であるため、説明を省略する。

【００９２】このような構成の実施の形態３の出力バッファ回路は、図示しない外部からの選択内容を指示する制御信号をセレクタ６１～６３に与え、セレクタ６１～６３によってＲＣ遅延回路５１～５３による遅延信号をフリップフロップＦＦ１１～ＦＦ１３のトグル入力Ｔとして選択させることができる。

【００９３】ＲＣ遅延回路５１～５３は温度や製造時のプロセス変動等に遅延時間が左右されにくい特性を有しているため、ＲＣ遅延回路５１～５３からの遅延信号を用いてフリップフロップＦＦ１１～ＦＦ１３のフィードバック付遅延回路１０の遅延信号の取込タイミング精度を高めることにより、出力バッファ回路の出力信号ＯＵＴの出力波形のスルーレートを一定範囲に保つ精度を高レベルに維持することができる。

【００９４】また、ＮＡＮＤゲート７０，インバータ７１～７７による遅延時間とＲＣ遅延回路５１～５３による遅延時間を比較して両者の違いが所定の範囲内にあるかを検証することもできる。

【００９５】さらに、High出力用トランジスタＱＰ１１～ＱＰ１３側のＲＣ遅延回路とLow出力用トランジスタＱＮ１１～ＱＮ１３側のＲＣ遅延回路との間で、遅延特性を異なるものに設定することも可能である。

【００９６】＜実施の形態５＞図１１はこの発明の実施の形態５である出力バッファ回路の構成を示す回路図である。同図に示すように、図５で示した実施の形態２の構成において、セット端子３、許可信号入力端子４及び許可信号入力端子５に置き換わって電源オン端子７及びリスタート制御回路５６が追加されている。

【００９７】リスタート制御回路５６は、電源オン端子７より得られる電源投入信号ＳＯＮを受け、電源投入信号ＳＯＮに基づき制御信号Ｓ５６Ａ，Ｓ５６Ｂ、及びＳ５６Ｃをフリップフロップ ＦＦ１１～ＦＦ１３のセット入力Ｓ、フリップフロップＦＦ２１～ＦＦ２３のリセット入力Ｒ、及びＮＡＮＤゲート７０，８０の一方入力に

EX1005 / Page 297 of 376
Western Digital Technologies, Inc.

それぞれ出力する。なお、電源投入信号ＳＯＮは電源投入時あるいはリセット時に活性状態となる信号である。

【００９８】リスタート制御回路５６は、電源投入信号ＳＯＮの活性状態時に、制御信号Ｓ５６Ａ，Ｓ５６Ｂ、及びＳ５６Ｃを“Ｈ”にして、フリップフロップＦＦ１１～ＦＦ１３に対するセット動作、フリップフロップＦＦ２１～ＦＦ２３に対するリセット動作、及びＮＡＮＤゲート７０，インバータ７１～７７とＮＡＮＤゲート８０，インバータ８１～８７による入力信号ＩＮ～フリップフロップのトグル入力Ｔ間の遅延経路を有効にする動作を実行して、実施の形態５の出力バッファ回路のバッファリング動作（実施の形態２の動作で述べた出力端子２の負荷を考慮した入力信号ＩＮのバッファリング動作）をリスタートさせる。なお、他の構成は実施の形態２の出力バッファ回路と同様であるため、説明を省略する。

【００９９】このように構成することにより、実施の形態５の出力バッファ回路は、リセットあるいは電源投入毎に、バッファリング動作をリスタートして出力信号ＯＵＴを安定レベルにして、出力端子２かかる負荷によって出力信号ＯＵＴが変動してしまう危険性を定期的に回避することができる。

【０１００】＜実施の形態６＞図１２はこの発明の実施の形態６である出力バッファ回路の構成を示す回路図である。同図に示すように、図１１で示した実施の形態５の構成において、電源オン端子７に置き換わって、マイクロコンピュータ５７及び入力バッファ５８が追加されている。

【０１０１】入力バッファ５８は入力に出力信号ＯＵＴを受け、出力信号ＯＵＴをバッファリングして出力信号をマイクロコンピュータ５７に付与する。マイクロコンピュータ５７は予め格納されたプログラムによって、入力バッファ５８の出力信号に基づき出力端子２にかかる負荷容量の変動を検知する。マイクロコンピュータ５７はさらいタイマ機能を有し、入力バッファ５８の出力信号に基づき所定時間毎に出力信号ＯＵＴの電位をモニタし、出力信号ＯＵＴの電位が所定の基準を越えて変動していると判断すると、リスタート制御回路５６にリスタート動作を指示する割込み処理を実行する。なお、他の構成および図１２で図示していない部分は図１１で示した実施の形態５の構成と同様である。

【０１０２】リスタート制御回路５６は、マイクロコンピュータ５７の制御下でマイクロコンピュータ５７がリスタート動作を指示する時に、制御信号Ｓ５６Ａ，Ｓ５６Ｂ、及びＳ５６Ｃを“Ｈ”にして、フリップフロップＦＦ１１～ＦＦ１３に対するセット動作、入力信号ＩＮ～フリップフロップのトグル入力Ｔ間の遅延経路を有効にする動作を実行して、実施の形態６の出力バッファ回路のバッファリング動作をリスタートさせる。

【０１０３】このように構成することにより、実施の形態６出力バッファ回路は、所定時間間隔毎に行われる出力信号ＯＵＴの電位モニタ時にマイクロコンピュータ５７が出力信号ＯＵＴの電位が所定の基準を越えて変動していると判断すると、バッファリング動作をリスタートして出力信号ＯＵＴを安定レベルするため、出力端子２にかかる負荷を定期的に監視しながら、出力信号ＯＵＴの変動を確実に抑制することができる。

【０１０４】また、マイクロコンピュータ５７のタイマ機能を利用して、所定期間毎にリスタート制御回路５６にリスタート動作を指示する割込み処理を実行するようにして、出力端子２かかる負荷によって出力信号ＯＵＴが変動してしまう危険性を定期的に回避することもできる。すなわち、実施の形態６の出力バッファ回路は、出力信号ＯＵＴの監視に基づくリスタート動作と定期的なリスタート動作とを併用することもできる。

【０１０５】＜実施の形態７＞図１３はこの発明の実施の形態７である出力バッファ回路の構成を示す回路図である。同図に示すように、図１１で示した実施の形態５の構成において、電源オン端子７に置き換わって、入力バッファ３７，３８、遅延回路３９及びＸＯＲゲート４０が追加されている。

【０１０６】入力バッファ３７は入力に出力信号ＯＵＴを受け、出力信号をＸＯＲゲート４０の一方入力に付与する。入力バッファ３８は入力に出力信号ＯＵＴを受け、出力信号を遅延回路３９を介してＸＯＲゲート４０の他方入力に付与する。

【０１０７】入力バッファ３７と入力バッファ３８との閾値電圧は異なっており、例えば、入力バッファ３７は“Ｈ”のレベルの８０％のレベルに閾値電圧が設定され、入力バッファ３８は“Ｈ”のレベルの７０％のレベルに閾値電圧が設定される。ＸＯＲゲート４０の出力信号がリスタート制御回路５６に付与される。なお、図１３では図示しないが、Low出力用トランジスタＱＮ１１～ＱＮ１３（図１３では図示せず）側にも入力バッファ３７，３８、遅延回路３９及びＸＯＲゲート４０と等価な回路が設けられている。また、他の構成および図１３で図示していない部分は図１１で示した実施の形態５の構成と同様である。

【０１０８】リスタート制御回路５６は、ＸＯＲゲート４０の出力信号が“Ｈ”でリスタート動作を指示する時に、制御信号Ｓ５６Ａ，Ｓ５６Ｂ、及びＳ５６Ｃを“Ｈ”にして、フリップフロップＦＦ１１～ＦＦ１３に対するセット動作、入力信号ＩＮ～フリップフロップのトグル入力Ｔ間の遅延経路を有効にする動作を実行して、実施の形態７の出力バッファ回路のバッファリング動作をリスタートさせる。

【０１０９】このように構成することにより、実施の形態７出力バッファ回路は、遅延回路３９の遅延時間を上回る期間において出力信号ＯＵＴが“Ｈ”の７０％以下から８０％以上に変化する等、出力信号ＯＵＴの異常を

19

検出する毎にＸＯＲゲート４０の出力信号が“Ｈ”となり、バッファリング動作をリスタートさせるため、出力端子２にかかる負荷を常時に監視しながら、出力信号ＯＵＴの変動を確実に抑制することができる。

【０１１０】また、予めプログラムが格納されたマイクロコンピュータを用いることなく、論理回路のみで構成するため、実施の形態６に比べ回路構成が簡単になるという効果も奏する。

【０１１１】

【発明の効果】以上説明したように、この発明における請求項１記載の出力バッファ回路の出力バッファ部の関連入力信号に対する駆動能力は遅延時間によって可変設定され、上記遅延時間は出力信号の電位に基づき変化する。

【０１１２】したがって、上記出力信号の電位に基づき、出力端子にかかる負荷が比較的大きいと判断される場合は出力バッファ部の駆動能力が高くなり、上記負荷が比較的小さいと判断される場合は出力バッファ部の駆動能力が低くなるように、出力信号の電位と上記遅延時間とを関係づけることにより、出力端子にかかる負荷に違いが生じても、出力信号の出力波形のスルーレートを一定範囲に保つことができる。

【０１１３】請求項２記載の出力バッファ回路の複数の出力バッファ部は、入力信号を複数種の遅延時間でそれぞれ遅延させて得られる複数の遅延信号に応答して出力信号を出力するため、複数の出力バッファ部の入力信号に対する動作開始タイミングは複数種の遅延時間分遅れる。

【０１１４】したがって、上記出力信号の電位に基づき、出力端子にかかる負荷が比較的大きいと判断される場合は複数種の遅延時間が短くなり、上記負荷が比較的小さいと判断される場合は複数種の遅延時間が長くなるように、出力信号の電位と複数種の遅延時間とを関係づけることにより、上記負荷が比較的大きい場合は複数の出力バッファ部それぞれの動作開始タイミングを早めて駆動能力を高め、上記負荷が比較的小さい場合は複数の出力バッファ部それぞれの動作開始タイミングを遅らせ駆動能力を低くすることができるため、出力端子にかかる負荷に違いが生じても、出力信号の出力波形のスルーレートを一定範囲に保つことができる。

【０１１５】請求項３記載の出力バッファ回路の複数の出力バッファ部は、対応するデータ記憶部の制御データの指示内容に基づき動作状態／停止状態が制御される。

【０１１６】したがって、動作開始時に複数のデータ記憶部の制御データの指示内容を動作状態に設定した後に、上記出力信号の電位に基づき、出力端子にかかる負荷が比較的大きいと判断される場合は遅延時間が長くなり、上記負荷が比較的小さいと判断される場合は遅延期間が短くなるように、出力信号の電位と遅延時間とを関係づけることにより、上記負荷が比較的大きい場合は複数のデータ記憶部の制御データが停止状態を指示する割合を低くして駆動能力を高め、上記負荷が比較的小さい場合は複数のデータ記憶部の制御データが停止状態を指示する割合を高くして駆動能力を低くすることができ、出力端子にかかる負荷に違いが生じても、出力信号の出力波形のスルーレートを一定範囲に保つことができる。

【０１１７】請求項４記載の出力バッファ回路の第１及び第２の論理出力制御部は、入力信号の第１及び第２の遷移時に第１及び第２の論理出力部をそれぞれ動作状態にするため、第１及び第２の論理出力部のうち必要な論理出力部のみを動作させることにより、効率的な利用ができる。

【０１１８】請求項５記載の出力バッファ回路の取込タイミング設定部は、入力信号をＲＣ時定数で遅延させて得られる複数のＲＣ遅延信号によって複数のデータ記憶部の取込タイミングを設定するため、精度の良い取込タイミングを設定することができる。

【０１１９】請求項６記載の出力バッファ回路は、出力バッファ起動部によって、所定の条件の成立時に出力バッファ部を起動させて出力信号を安定レベルにすることができる。

【０１２０】請求項７記載の出力バッファ回路は電源投入時及びリセット時に出力バッファ部を起動させて出力信号を安定レベルにすることができる。

【０１２１】請求項８記載の出力バッファ回路の出力バッファ起動部は、所定の時間間隔毎に出力信号の状態をモニタして監視することにより、モニタした出力信号の状態が所定の基準を満足しない時に出力バッファ部を起動させて出力信号を安定レベルにすることができる。

【０１２２】請求項９記載の出力バッファ回路の出力バッファ起動部は、論理演算処理結果に基づき、出力信号の電位が所定の基準を満足しない時に出力バッファ部を起動させて出力信号を安定レベルにすることができる。

【０１２３】また、出力電位モニタ部は上述した論理演算処理を行う論理回路により構成することができるため、回路構成の簡略化を図ることができる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１である出力バッファ回路の構成を示す回路図である。

【図２】　図１のHigh出力用トランジスタ側のフィードバック付遅延回路の内部構成を示す回路図である。

【図３】　図１のLow出力用トランジスタ側のフィードバック付遅延回路の内部構成を示す回路図である。

【図４】　実施の形態１の出力バッファ回路の動作を示す波形図である。

【図５】　この発明の実施の形態２である出力バッファ回路の構成を示す回路図である。

【図６】　図５のHigh出力用トランジスタ側のフィードバック付遅延回路の内部構成を示す回路図である。

【図７】　図５のLow出力用トランジスタ側のフィード

EX1005 / Page 299 of 376
Western Digital Technologies, Inc.

バック付遅延回路の内部構成を示す回路図である。

【図８】　実施の形態２の出力バッファ回路の動作を示す波形図である。

【図９】　実施の形態３の出力バッファ回路の構成を示す回路図である。

【図１０】　実施の形態４の出力バッファ回路の構成を示す回路図である。

【図１１】　実施の形態５の出力バッファ回路の構成を示す回路図である。

【図１２】　実施の形態６の出力バッファ回路の構成を示す回路図である。

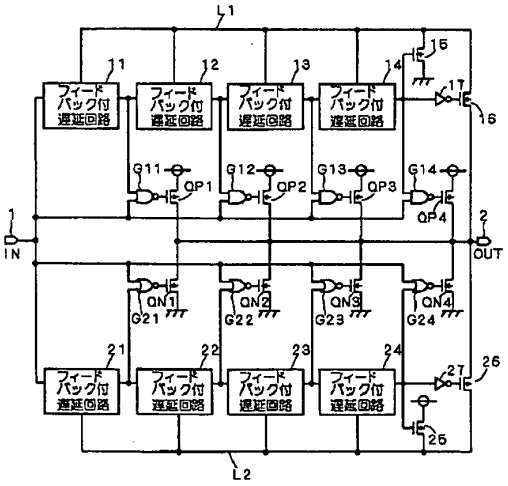
【図１３】　実施の形態７の出力バッファ回路の構成を示す回路図である。

＊【図１４】　従来の出力バッファ回路の構成を示す回路図である。

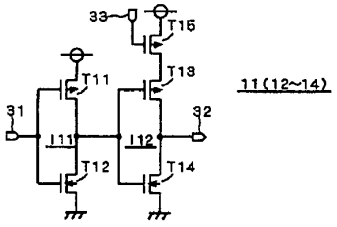
【符号の説明】

１　入力端子、２　出力端子、１０～１４，２０～２４　フィードバック付遅延回路、４０　XORゲート、４８　セレクタ、５１～５３　RC遅延回路、５６　リスタート制御回路、５７　マイクロコンピュータ、FF１１～FF１３，FF２１～FF２３　フリップフロップ、G１１～G１４，G３１～G３３　NANDゲート、G２１～G２４，G４１～G４３　NORゲート、QP１～QP４，QP１１～QP１３　High出力用トランジスタ、QN１～QN４，QN１１～QN１３　Low出力用トランジスタ。

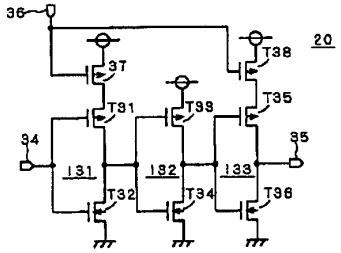
【図１】



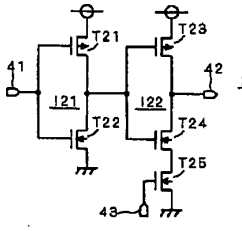
【図２】



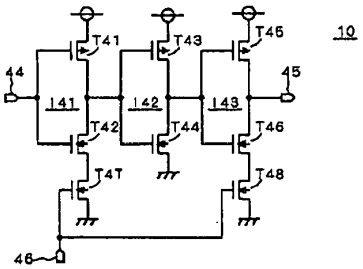
【図７】



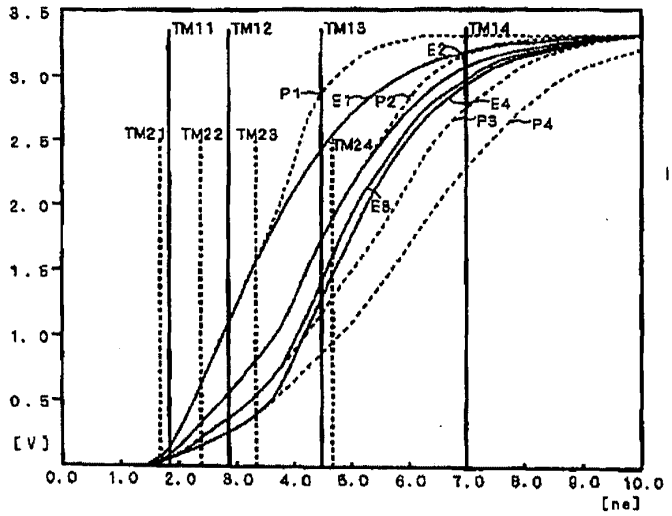
【図３】



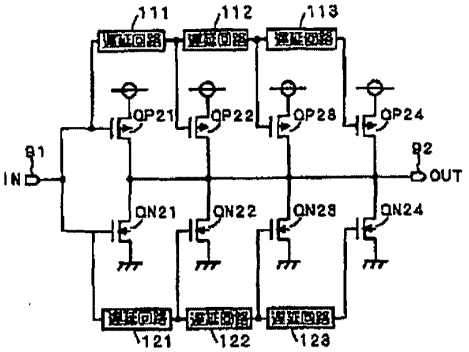
【図６】



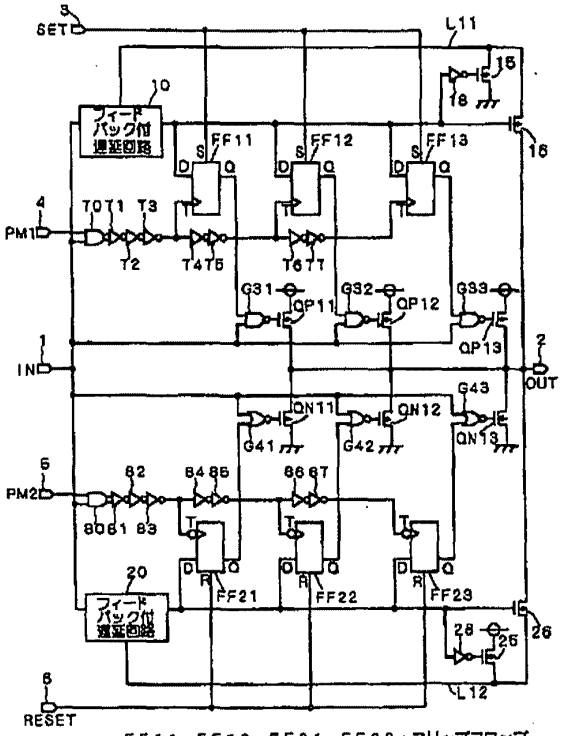
【図４】



【図１４】

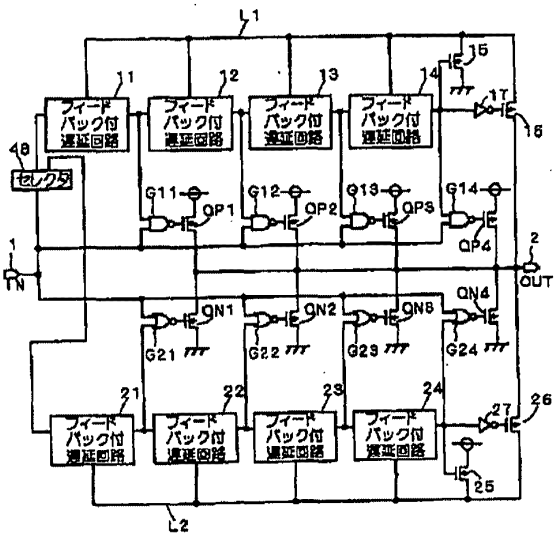


【図５】



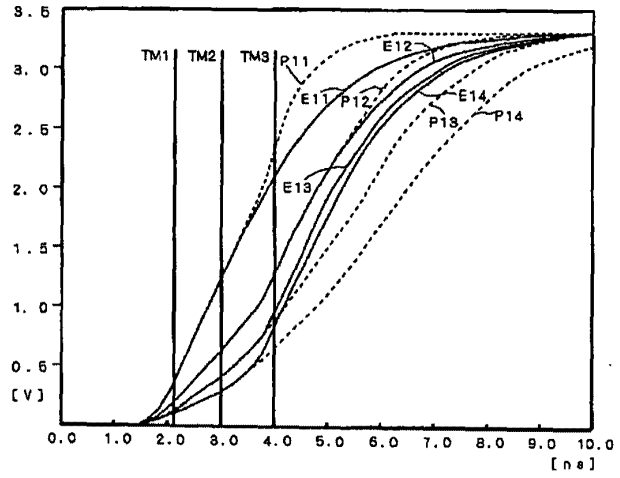
FF11～FF13，FF21～FF28：フリップフロップ
G31～ 33：NANDゲート
G41～G43：NORゲート
QP11～QP13：High出力用トランジスタ
QN11～QN13：Low出力用トランジスタ

【図９】

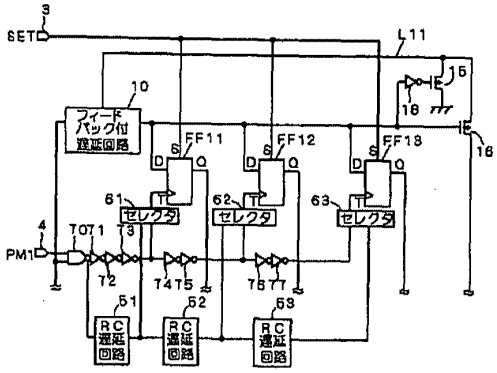


EX1005 / Page 301 of 376
Western Digital Technologies, Inc.

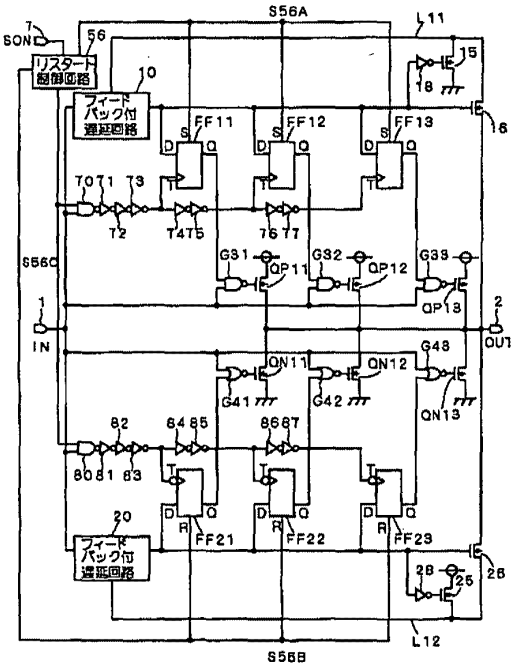
【図８】


3.5
3.0
2.5
2.0
1.5
1.0
0.5
[V]
0.0 1.0 2.0 3.0 4.0 5.0 6.0 7.0 8.0 9.0 10.0
[ns]
TM1
TM2
TM3
P11
E12
E11
P12
E14
P13
P14
E13

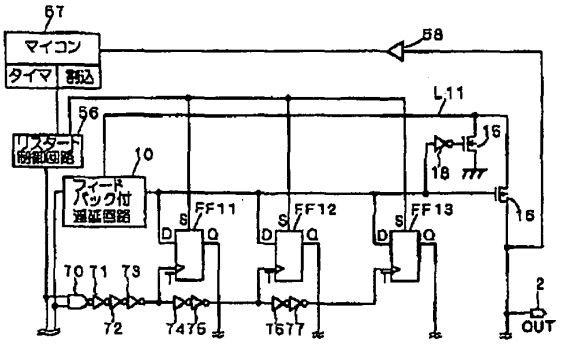
【図１０】


3
SET
L11
J5
18
16
10
フィードバック付遅延回路
FF11
FF12
FF13
61
62
63
セレクタ
4
PM1
T0 T1 T3
T2
T4 T5
T6 T7
51
52
53
RC遅延回路

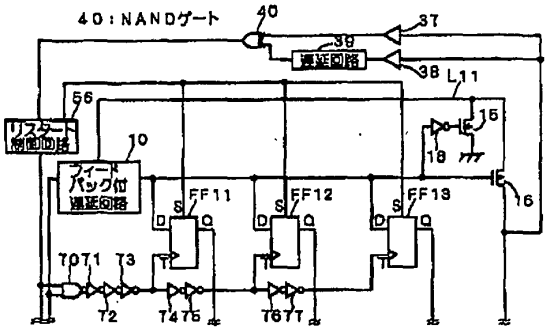
【図１１】


S56A
7
SON
56
リスタート制御回路
L11
J5
18
16
10
フィードバック付遅延回路
FF11
FF12
FF13
T0 T1 T3
T2
T4 T5
T6 T7
S56C
G31
G32
G33
QP11
QP12
QP13
1
IN
2
OUT
G41
G42
G43
QN11
QN12
QN13
82
84 85
86 87
80 81 83
20
フィードバック付遅延回路
FF21
FF22
FF23
28
25
26
L12
S56B

【図１２】



【図１３】



フロントページの続き

(72)発明者　白田　修一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　黒田　幸枝
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　神崎　照明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　上原　暁人
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

Ｆターム(参考)　5J055 AX12 AX55 AX66 BX16 CX24
DX22 DX56 DX72 DX83 EX07
EX21 EY21 EZ07 EZ25 EZ31
EZ50 FX12 FX17 FX35 GX01
GX04
5J056 AA04 BB17 CC05 CC14 DD13
DD29 EE07 EE15 FF07 FF08
GG08 KK01

EX1005 / Page 303 of 376
Western Digital Technologies, Inc.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068986
(43)Date of publication of application : 16.03.2001

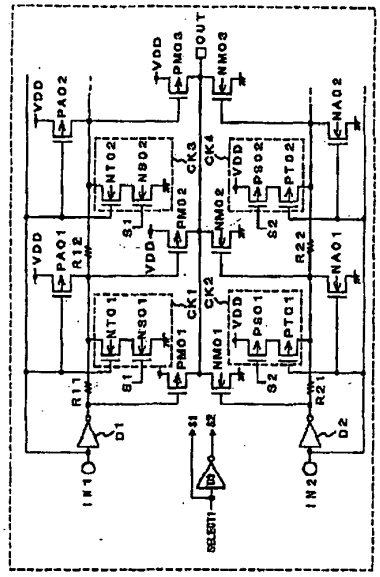
(51)Int.Cl. H03K 19/0175

(21)Application number : 11-242786
(22)Date of filing : 30.08.1999

(71)Applicant : NEC IC MICROCOMPUT SYST LTD
(72)Inventor : HASEBE ATSUSHI

(54) OUTPUT BUFFER CIRCUIT FOR SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To increase a large slew rate adjustment width and to realize a high processing speed.
SOLUTION: In the output buffer, a pre-driver D1 that receives a data signal, resistive elements R11-R14, R21-R24 that delay an output signal of the pre-driver D1, an output transistor(TR) that is driven by pre-drivers D1, D2 via the resistive elements, simultaneous interruption control means (PA01, PA02, NA01, NA02) that inactivates the output TR uniquely with the data signal of an L level, and a conduction control means (PT01, PT02, NT01, NT02) that uniquely activates the output TR with a data signal of an H level and invalidates the output of a resistive element, when a slew rate selection signal SELECT 1 is activated, are interposed for each output TR gate electrode.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号
特開2001－68986
（Ｐ２００１－６８９８６Ａ）
(43)公開日　平成13年３月16日(2001.3.16)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード' (参考)
H03K 19/0175		H03K 19/00	101	F 5J056

審査請求　未請求　請求項の数12　ＯＬ　（全15頁）

(21)出願番号　特願平11－242786

(22)出願日　平成11年８月30日(1999.8.30)

(71)出願人　000232036
日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町１丁目403番53

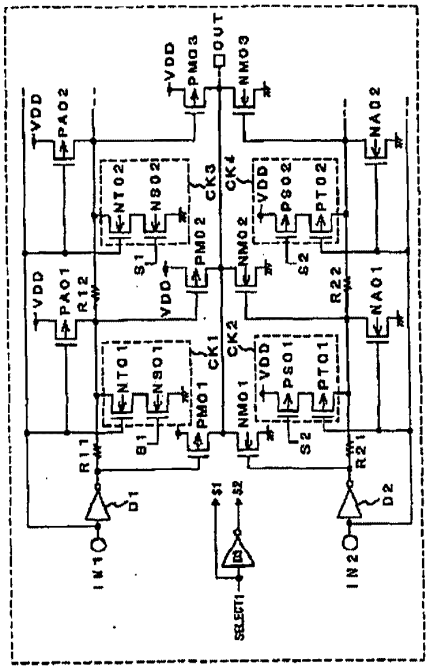
(72)発明者　長谷部　淳
神奈川県川崎市中原区小杉町一丁目403番53　日本電気アイシーマイコンシステム株式会社内

(74)代理人　100082935
弁理士　京本　直樹　（外２名）

Ｆターム(参考)　5J056 AA04 BB02 BB21 BB57 DD13 DD28 EE11 EE15 FF07 FF09 GG14 KK01

(54)【発明の名称】半導体装置の出力バッファ回路

(57)【要約】
【課題】スルーレート調整幅を大きくでき、かつ高速化も実現できる出力バッファ回路を提供する。
【解決手段】データ信号を受けるプリドライバＤ１と、このプリドライバＤ１の出力信号を遅延させる抵抗素子Ｒ１１～Ｒ１４、Ｒ２１～Ｒ２４と、この抵抗素子を介してプリドライバＤ１，Ｄ２により駆動される出力用トランジスタと、この出力用トランジスタをＬレベルのデータ信号で一義的に非活性化する同時遮断制御手段ＰＡ０１，ＰＡ０２、ＮＡ０１，ＮＡ０２と、スルーレート選択信号ＳＥＬＥＣＴ１が活性化されたとき、Ｈレベルのデータ信号で出力用トランジスタも一義的に活性化するとともに抵抗素子出力を無効にする導通制御手段ＰＴ０１，ＰＴ０２，ＮＴ０１，ＮＴ０２とを、出力用トランジスタゲート電極ごとに介在させる



1

【特許請求の範囲】

【請求項１】　データ信号を受けるブリドライバと、このブリドライバの出力信号を遅延させる抵抗素子と、この抵抗素子を介して前記ブリドライバにより駆動される出力用トランジスタと、前記出力用トランジスタを論理レベルのロウレベルまたはハイレベルの前記データ信号で一義的に非活性化する同時遮断制御手段と、予め定める第１のスルーレート選択信号が活性化されたとき、ハイレベルまたはロウレベルの前記データ信号で前記出力用トランジスタも一義的に活性化するとともに前記抵抗素子出力を無効にする導通制御手段とを、前記出力用トランジスタを構成する直列接続されたＰチャネル型およびＮチャネル型トランジスタそれぞれのゲート電極ごとに介在させることにより、前記同時遮断制御手段で非活性化状態にした前記Ｐチャネル型およびＮチャネル型トランジスタの一方を、前記抵抗素子出力で低スルーレート方向に制御し、前記導通制御手段で高スルーレート方向に制御することを特徴とする半導体装置の出力バッファ回路。

【請求項２】　前記抵抗素子と前記同時遮断制御手段と前記導通制御手段と前記出力用トランジスタとを、複数組並列接続してなる請求項１記載の半導体装置の出力バッファ回路。

【請求項３】　前記Ｐチャネル型トランジスタ側の前記導通制御手段が第２の選択制御信号のみで一義的に活性化され、前記第２の選択制御信号は前記第１のスルーレート選択信号の極性反転信号で前記出力用トランジスタを構成するＰチャネル型トランジスタ側の前記ブリドライバーの出力信号を選択し、前記Ｎチャネル型トランジスタ側の前記導通制御手段が第３の選択制御信号のみで一義的に活性化されるとともに、前記第３の選択制御信号は前記第１のスルーレート選択信号で前記出力用トランジスタを構成するＮチャネル型トランジスタ側の前記ブリドライバーの出力信号を選択して生成した信号とする請求項１記載の半導体装置の出力バッファ回路。

【請求項４】　前記複数組それぞれを独立に制御するための制御信号としてスルーレート選択信号をそれぞれ複数組備え、これら複数組のスルーレート選択信号は外部または内部の所定の制御部から個別に活性化が制御できるスルーレート選択信号とした請求項２記載の半導体装置の出力バッファ回路。

【請求項５】　前記複数組の個別に活性化が制御できるスルーレート選択信号それぞれが共に一方レベルの時最低スルーレートの出力信号となり、前記スルーレート選択信号それぞれが共に他方レベルの時最高スルーレートの出力信号となり、前記スルーレート選択信号のその他レベルの組み合わせに応じて前記最低スルーレートおよび前記最高スルーレート間を細分化したスルーレートの出力信号とする請求項４記載の半導体装置の出力バッファ回路。

2

【請求項６】　第１のデータ信号を受けるブリドライバ手段と第２のデータ信号を受ける第２のブリドライバ手段と、第１のＰチャネル型トランジスタおよび第１のＮチャネル型トランジスタを直列接続してなる一対の出力用トランジスタと前記第１のブリドライバ手段と前記第１のＰチャネル型トランジスタのゲート電極との間に介在させた、信号遅延用の第１の抵抗素子およびこの抵抗素子をキャンセルする第１のスルーレート選択手段と前記第１のデータ信号に応答して前記第１のＰチャネル型トランジスタの導通を遮断する第１の遮断制御用トランジスタと前記第２のブリドライバ手段と前記第１のＮチャネル型トランジスタのゲート電極との間に介在させた、信号遅延用の第２の抵抗素子とこの抵抗素子をキャンセルする第２のスルーレート選択手段と前記第２のデータ信号に応答して前記第２のＮチャネル型トランジスタの導通を遮断する第２の遮断制御用トランジスタとからなる出力回路と、を有し、この出力回路複数組を対応する前記第１および前記第２のブリドライバ手段に並列接続するとともに、予め定める所定の選択制御信号に応答して、前記第１および前記第２のスルーレート選択手段の出力信号に応答して前記出力回路出力のスルーレート調整を制御することを特徴とする半導体装置の出力バッファ回路。

【請求項７】　第１のデータ信号を受ける第１のブリドライバと、第２のデータ信号を受ける第２のブリドライバと、Ｐチャネル型トランジスタおよびＮチャネル型トランジスタを直列接続しこの直列接続点を出力端子に共通接続する第１、第２および第３の出力用トランジスタと、前記第１および前記第２のブリドライバ出力端と前記第３の出力用トランジスタの対応するゲート電極間にそれぞれ直列接続される第１および第２の抵抗素子並びに第３および第４の抵抗素子と、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと導通制御用トランジスタと選択制御用トランジスタとからなる第１，第２，第３および第４の直列接続体とを有し、前記第１の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第１および前記第２のブリドライバ出力端を接続し、前記第２の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第１および前記第２の直列接続体の同時遮断制御用トランジスタおよび導通制御トランジスタの直列接続点をそれぞれ接続し、かつ前記Ｐチャネル型トランジスタのゲート電極にはさらに前記第１および前記第２の抵抗素子の直列接続点を、前記Ｎチャネル型トランジスタのゲート電極にはさらに前記第３および前記第４の抵抗素子の直列接続点をそれぞれ接続し、前記第３の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第３および前記

第４の直列接続体の同時遮断制御用トランジスタおよび導通制御トランジスタの直列接続点をそれぞれ接続し、前記第１および前記第３の直列接続体の選択制御用トランジスタのゲート電極には第１のスルーレート選択信号を、前記第２および前記第４の直列接続体の選択制御用トランジスタのゲート電極には第１のスルーレート選択信号の極性反転信号をそれぞれ与える構成とすることを特徴とする半導体装置の出力バッファ回路。

【請求項８】　前記第１，前記第２，前記第３および前記第４の直列接続体に代えて、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと選択制御用トランジスタとからなる第５，第６，第７および第８の直列接続体とを有し、前記第１および前記第３の直列接続体の選択制御用トランジスタに与えるスルーレート選択信号の生成回路として、前記第１のスルーレート選択信号の極性反転信号と前記第１のプリドライバ出力信号との論理をとる論理和回路と、前記第２および前記第４の直列接続体の選択制御用トランジスタに与えるスルーレート選択信号の生成回路として、前記第１のスルーレート選択信号と前記第２のプリドライバ出力信号との論理をとる論理積回路とをさらに有する請求項７記載の半導体装置の出力バッファ回路。

【請求項９】　前記同時遮断制御手段および前記導通制御手段を有し、かつ並列接続された複数の前記出力用トランジスタそれぞれのトランジスタサイズが同一値の場合に、前記プリドライバを構成するトランジスタサイズを前記同時遮断制御手段および前記導通制御手段の構成トランジスタサイズと同一値に予め設定して形成する請求項７記載の半導体装置の出力バッファ回路。

【請求項１０】　前記第１および前記第２の抵抗素子の他に、第３～第８の抵抗素子をさらに有し、前記第１～前記第４の直列接続体に代えて、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと前記第３または前記第４の抵抗素子と導通制御トランジスタと選択制御用トランジスタとからなる第５～第８の直列接続体とを有し、前記第１のプリドライバの出力端に一端が接続される前記第１の抵抗素子の他端は前記第５の直列接続体の前記第５の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第２のプリドライバの出力端に一端が接続される前記第２の抵抗素子の他端は前記第６の直列接続体の前記第６の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第３の抵抗素子の一端は前記第５の直列接続体の前記同時遮断制御用トランジスタおよび前記第５の抵抗素子の直列接続点に接続され、他端は前記第７の直列接続体の前記第７の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第４の抵抗素子の一端は前記第６の直列接続体の前記同時遮断制御用トランジスタおよび前記第６の抵抗素子の直列接続点に接続され、他端は前記第８の直列接続体の前記第８の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第７の抵抗素子の他端は前記第３の出力用トランジスタのＰチャネル型トランジスタのゲート電極に接続され、前記第８の抵抗素子の他端は前記第３の出力用トランジスタのＮチャネル型トランジスタのゲート電極に接続され、前記第７の直列接続体の前記選択制御用トランジスタに与えるスルーレート選択信号として第２のスルーレート選択信号を、前記第８の直列接続体の前記選択制御用トランジスタに与えるスルーレート選択信号として前記第２のスルーレート選択信号の極性反転信号をさらに有する請求項７記載の半導体装置の出力バッファ回路。

【請求項１１】　前記第１および前記第３の抵抗素子の各抵抗値を等しくし、かつ前記第２および前記第４の抵抗素子の各抵抗値を等しくするとともに、前記第１または前記第３の抵抗素子の抵抗値が前記第２または前記第４の抵抗素子の抵抗値の略２倍に予め設定して形成する請求項１０記載の半導体装置の出力バッファ回路。

【請求項１２】　前記プリドライバの入力端から出力用トランジスタまでの信号経路にはインバータ１個および複数の抵抗素子のみを縦続接続で設ける構成とすることにより、データ遅延は前記抵抗素子のみを対象として予め素子サイズを形成する請求項７、８または１０記載の半導体装置の出力バッファ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は半導体装置の出力バッファ回路に係わり、特にデータ信号を受け出力トランジスタを駆動するプリドライバのトランジスタサイズを最小にしてもスルーレート調整幅を大きくできる回路構成からなる半導体装置の出力バッファ回路に関する。

【０００２】

【従来の技術】近年の半導体装置では誤動作を引き起こす原因の一つとして、半導体装置自身の内部回路から発生するノイズがあり、その低減化対策や、低消費電力の実現を目的として電源電位および接地電位間に流れる貫通電流を低く抑えた低スルーレートの出力バッファ回路が必要とされている。

【０００３】一般に、スルーレートとは、増幅器において出力電圧が入力電圧に忠実に応答せず一定時間あたりの出力電圧の変化が入力電圧と無関係に一定の値になり、この時間あたりの電圧変化率のことである。この半導体装置におけるスルーレートの改善を提案している一例が特開平９－８６３９号公報に記載されている。

【０００４】同公報記載の出力バッファ回路の構成を示した図６を参照すると、データ信号ＩＮ１を受けるプリドライバＤ１と、データ信号ＩＮ２を受けるプリドライバＤ２と、プリドライバＤ１の出力を受けるＰチャネル型トランジスタＰＭ０１とプリドライバＤ２の出力を受けるＮチャネル型トランジスタＮＭ０１とが直列接続さ

EX1005 / Page 308 of 376
Western Digital Technologies, Inc.

れる第１の出力用トランジスタと、このトランジスタに並列接続され出力端を第１の出力用トランジスタの出力端と共に出力端子に共通接続するＰチャネル型トランジスタＰＭ０２およびＮチャネル型トランジスタＮＭ０２からなる第２の出力用トランジスタ、Ｐチャネル型トランジスタＰＭ０３およびＮチャネル型トランジスタＮＭ０３からなる第３の出力用トランジスタと、Ｐチャネル型トランジスタＰＭ０１およびＰＭ０２のゲート間に挿入される抵抗素子Ｒ１１と、Ｎチャネル型トランジスタＮＭ０１およびＮＭ０２のゲート間に挿入される抵抗素子Ｒ２１と、Ｐチャネル型トランジスタＰＭ０２およびＰＭ０３のゲート間に挿入される抵抗素子Ｒ１２と、Ｎチャネル型トランジスタＮＭ０２およびＮＭ０３のゲート間に挿入される抵抗素子Ｒ２２と、Ｐチャネル型トランジスタＰＭ０２および電源電位ＶＤＤ間に接続されデータ信号ＩＮ１を受けるＰチャネル型トランジスタＰＡ０１と、Ｎチャネル型トランジスタＮＭ０２および接地電位ＧＮＤ間に接続されデータ信号ＩＮ２を受けるＮチャネル型トランジスタＮＡ０１と、Ｐチャネル型トランジスタＰＭ０３および電源電位ＶＤＤ間に接続されデータ信号ＩＮ１を受けるＰチャネル型トランジスタＰＡ０２と、Ｎチャネル型トランジスタＮＭ０３および接地電位ＧＮＤ間に接続されデータ信号ＩＮ２を受けるＮチャネル型トランジスタＮＡ０１とで構成され、抵抗Ｒ１１、Ｒ１２、Ｒ２１、Ｒ２２を遅延素子としている。

【０００５】この従来の構成では、インバータＤ１、Ｄ２を介して与えられた入力データ信号は抵抗素子Ｒ１１、Ｒ１２、Ｒ２１、Ｒ２２によりそれぞれ遅延され、出力用トランジスタＰＭ０１～ＰＭ０３、ＮＭ０１～ＮＭ０３のうち導通状態へ切り替わる側が順次導通する。

【０００６】遮断状態へ切り替わる側はＰチャネル型トランジスタＰＡ０１，ＰＡ０２、Ｎチャネル型トランジスタＮＡ０１，ＮＡ０２によって抵抗素子の影響を受けずに、データ信号により同時に遮断される。

【０００７】このため電源電位からＰチャネル型トランジスタおよびＮチャネル型トランジスタを介して接地電位に流れる貫通電流の増加を抑えつつも低スルーレート出力を実現している。

【０００８】しかし、この構成ではスルーレートの調整については考慮されておらず、半導体装置を製造するときの拡散条件や使用温度、使用電圧等のばらつきによるスルーレート値の変化については対応できない。

【０００９】一方、スルーレートの調整のために一般的に用いられている技術はブリドライバ調整方式とよばれる手法で、その構成を図７に示す。この図７を参照すると、上述した図６の構成との違いは、最終段出力トランジスタを駆動するためのトランジスタ（ブリドライバ）の能力を変えることでスルーレートの調整を行うというものである。

【００１０】実施時には図６におけるブリドライバＤ１、Ｄ２のトランジスタサイズを外部信号によって切り替えられるような構成にする。

【００１１】しかし、この手法ではブリドライバＤ１、Ｄ２がそれぞれ抵抗Ｒ１１、Ｒ１２、Ｒ２１、Ｒ２２を介して出力トランジスタを駆動するため、スルーレート調整幅を大きく確保しようとすると、ブリドライバＤ１、Ｄ２のトランジスタサイズを予め大きく設計する必要があり、チップサイズが大きくなるという問題を含んでいた。

【００１２】他方、スルーレートの調整が可能な他の例が特開平６－１５２３７３号公報に記載されている。同公報記載の半導体装置の回路図を示した図８を参照すると、ブリドライバＤ９および出力用トランジスタＰ０５の間と、ブリドライバＤ１０および出力用トランジスタＮ０５の間とにそれぞれ接続された信号遅延用の抵抗素子Ｒ２１，Ｒ２２をそれぞれキャンセルするために、バイパス回路ＢＰ１,ＢＰ２を備える。

【００１３】バイパス回路ＢＰ１,ＢＰ２は同一の回路構成であり、例えばバイパス回路ＢＰ１は、ブリドライバＤ９の出力信号を受けるインバータＤ１１と、このインバータＤ１１により駆動され、低電圧検出信号で活性化が制御されるクロックドインバータからなる。

【００１４】このクロックドインバータは、電源電位ＶＤＤおよび接地電位ＧＮＤ間に直列接続されたＰチャネル型トランジスタＰ０１、Ｐ０２、Ｎチャネル型トランジスタＮ０１、Ｎ０２とからなり、Ｐチャネル型トランジスタＰ０１およびＮチャネル型トランジスタＮ０２のゲート電極にはインバータＤ１１の出力信号を入力し、Ｎチャネル型トランジスタＮ０１のゲート電極には低電圧検出信号が、Ｐチャネル型トランジスタＰ０２のゲート電極にはインバータＤ１３による低電圧検出信号の極性反転信号がそれぞれ与えられる。

【００１５】この回路は、バイパス回路を設けることにより、出力用トランジスタが急速に導通することにより発生するノイズを低減するが、データ出力の遅延は大きくなる低電圧動作時にバイパス回路を通すことにより、データ出力の遅延を軽減している。

【００１６】

【発明が解決しようとする課題】上述したように従来の出力バッファ回路のうち、第１の従来例ではスルーレートの調整については対策が施されていないため、拡散条件や使用温度、使用電圧等のばらつきによるスルーレート値の変化については対応できない。

【００１７】また、第２の従来例では、ブリドライバＤ１、Ｄ２が抵抗素子Ｒ１１、Ｒ１２、Ｒ２１、Ｒ２２を介して出力トランジスタを駆動するため、スルーレート調整幅を大きく確保しようとするとブリドライバのトランジスタサイズを大きくしなければならない。

【００１８】さらに、第３の従来例では、データ出力の遅延は軽減できるが、入力端子から出力用トランジスタ

までの経路には、インバータが３個も挿入されているため信号の伝達速度が鈍化してしまい、高速化に対応できない。

【００１９】本発明の目的は、上述した従来の欠点に鑑みなされたものであり、データ信号を受け出力トランジスタを駆動するプリバッファのトランジスタサイズを最小にしてもスルーレート調整幅を大きくでき、かつ高速化も実現できる回路構成からなる半導体装置の出力バッファ回路を提供することにある。

【００２０】

【課題を解決するための手段】本発明の出力バッファ回路の特徴は、データ信号を受けるプリドライバと、このプリドライバの出力信号を遅延させる抵抗素子と、この抵抗素子を介して前記プリドライバにより駆動される出力用トランジスタと、前記出力用トランジスタを論理レベルのロウレベルまたはハイレベルの前記データ信号で一義的に非活性化する同時遮断制御手段と、予め定める第１のスルーレート選択信号が活性化されたとき、ハイレベルまたはロウレベルの前記データ信号で前記出力用トランジスタも一義的に活性化するとともに前記抵抗素子出力を無効にする導通制御手段とを、前記出力用トランジスタを構成する直列接続されたＰチャネル型およびＮチャネル型トランジスタそれぞれのゲート電極ごとに介在させることにより、前記同時遮断制御手段で非活性化状態にした前記Ｐチャネル型およびＮチャネル型トランジスタの一方を、前記抵抗素子出力で低スルーレート方向に制御し、前記導通制御手段で高スルーレート方向に制御制御することにある。

【００２１】また、前記抵抗素子と前記同時遮断制御手段と前記導通制御手段と前記出力用トランジスタとを、複数組並列接続してもよい。

【００２２】さらに、前記Ｐチャネル型トランジスタ側の前記導通制御手段が第２の選択制御信号のみで一義的に活性化され、前記第２の選択制御信号は前記第１のスルーレート選択信号の極性反転信号で前記出力用トランジスタを構成するＰチャネル型トランジスタ側の前記プリドライバーの出力信号を選択し、前記Ｎチャネル型トランジスタ側の前記導通制御手段が第３の選択制御信号のみで一義的に活性化されるとともに、前記第３の選択制御信号は前記第１のスルーレート選択信号で前記出力用トランジスタを構成するＮチャネル型トランジスタ側の前記プリドライバーの出力信号を選択して生成した信号とすることもできる。

【００２３】さらにまた、前記複数組それぞれを独立に制御するための制御信号としてスルーレート選択信号をそれぞれ複数組備え、これら複数組のスルーレート選択信号は外部または内部の所定の制御部から個別に活性化が制御できるスルーレート選択信号とすることもできる。

【００２４】また、前記複数組の個別に活性化が制御できるスルーレート選択信号が共に一方レベルの時最低スルーレートの出力信号となり、前記スルーレート選択信号が共に他方レベルの時最高スルーレートの出力信号となり、前記スルーレート選択信号のその他レベルの組み合わせに応じて前記最低スルーレートおよび前記最高スルーレートの間を細分化したスルーレートの出力信号とすることもできる。

【００２５】本発明の出力バッファ回路の他の特徴は、第１のデータ信号を受けるプリドライバ手段と第２のデータ信号を受ける第２のプリドライバ手段と、第１のＰチャネル型トランジスタおよび第１のＮチャネル型トランジスタを直列接続してなる一対の出力用トランジスタと前記第１のプリドライバ手段と前記第１のＰチャネル型トランジスタのゲート電極との間に介在させた、信号遅延用の第１の抵抗素子およびこの抵抗素子をキャンセルする第１のスルーレート選択手段と前記第１のデータ信号に応答して前記第１のＰチャネル型トランジスタの導通を遮断する第１の遮断制御用トランジスタと前記第２のプリドライバ手段と前記第１のＮチャネル型トランジスタのゲート電極との間に介在させた、信号遅延用の第２の抵抗素子とこの抵抗素子をキャンセルする第２のスルーレート選択手段と前記第２のデータ信号に応答して前記第２のＮチャネル型トランジスタの導通を遮断する第２の遮断制御用トランジスタとからなる出力回路と、を有し、この出力回路複数組を対応する前記第１および前記第２のプリドライバ手段に並列接続するとともに、予め定める所定の選択制御信号に応答して、前記第１および前記第２のスルーレート選択手段の出力信号に応答して前記出力回路出力のスルーレート調整を制御することにある。

【００２６】本発明のさらに他の特徴は、第１のデータ信号を受ける第１のプリドライバと、第２のデータ信号を受ける第２のプリドライバと、Ｐチャネル型トランジスタおよびＮチャネル型トランジスタを直列接続しこの直列接続点を出力端子に共通接続する第１、第２および第３の出力用トランジスタと、前記第１および前記第２のプリドライバ出力端と前記第３の出力用トランジスタの対応するゲート電極間にそれぞれ直列接続される第１および第２の抵抗素子並びに第３および第４の抵抗素子と、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと導通制御用トランジスタと選択制御用トランジスタとからなる第１，第２，第３および第４の直列接続体とを有し、前記第１の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第１および前記第２のプリドライバ出力端を接続し、前記第２の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第１および前記第２の直列接続体の同時遮断制御用トランジスタおよび導通制御トランジスタの直

EX1005 / Page 310 of 376
Western Digital Technologies, Inc.

列接続点をそれぞれ接続し、かつ前記Ｐチャネル型トランジスタのゲート電極にはさらに前記第１および前記第２の抵抗素子の直列接続点を、前記Ｎチャネル型トランジスタのゲート電極にはさらに前記第３および前記第４の抵抗素子の直列接続点をそれぞれ接続し、前記第３の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタのゲート電極にそれぞれ対応する前記第３および前記第４の直列接続体の同時遮断制御用トランジスタおよび導通制御トランジスタの直列接続点をそれぞれ接続し、前記第１および前記第３の直列接続体の選択制御用トランジスタのゲート電極には第１のスルーレート選択信号を、前記第２および前記第４の直列接続体の選択制御用トランジスタのゲート電極には第１のスルーレート選択信号の極性反転信号をそれぞれ与える構成とすることにある。

【００２７】また、前記第１，前記第２，前記第３および前記第４の直列接続体に代えて、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと選択制御用トランジスタとからなる第５，第６，第７および第８の直列接続体とを有し、前記第１および前記第３の直列接続体の選択制御用トランジスタに与えるスルーレート選択信号の生成回路として、前記第１のスルーレート選択信号の極性反転信号と前記第１のブリドライバ出力信号との論理をとる論理和回路と、前記第２および前記第４の直列接続体の選択制御用トランジスタに与えるスルーレート選択信号の生成回路として、前記第１のスルーレート選択信号と前記第２のブリドライバ出力信号との論理をとる論理積回路とをさらに有することができる。

【００２８】さらに、前記同時遮断制御手段および前記導通制御手段を有し、かつ並列接続された複数の前記出力用トランジスタそれぞれのトランジスタサイズが同一値の場合に、前記ブリドライバを構成するトランジスタサイズを前記同時遮断制御手段および前記導通制御手段の構成トランジスタサイズと同一値に予め設定して形成することができる。

【００２９】さらにまた、前記第１および前記第２の抵抗素子の他に、第３～第８の抵抗素子をさらに有し、前記第１～前記第４の直列接続体に代えて、電源電位と接地電位間に直列接続で挿入される同時遮断制御用トランジスタと前記第３または前記第４の抵抗素子と導通制御トランジスタと選択制御用トランジスタとからなる第５～第８の直列接続体とを有し、前記第１のブリドライバの出力端に一端が接続される前記第１の抵抗素子の他端は前記第５の直列接続体の前記第５の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第２のブリドライバの出力端に一端が接続される前記第２の抵抗素子の他端は前記第６の直列接続体の前記第６の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第３の抵抗素子の一端は前記第５の直列接続体の前記同時遮断制御用トランジスタおよび前記第５の抵抗素子の直列接続点に接続され、他端は前記第７の直列接続体の前記第７の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第４の抵抗素子の一端は前記第６の直列接続体の前記同時遮断制御用トランジスタおよび前記第６の抵抗素子の直列接続点に接続され、他端は前記第８の直列接続体の前記第８の抵抗素子および前記導通制御トランジスタの直列接続点に接続され、前記第７の抵抗素子の他端は前記第３の出力用トランジスタのＰチャネル型トランジスタのゲート電極に接続され、前記第８の抵抗素子の他端は前記第３の出力用トランジスタのＮチャネル型トランジスタのゲート電極に接続され、前記第７の直列接続体の前記選択制御用トランジスタに与えるスルーレート選択信号として第２のスルーレート選択信号を、前記第８の直列接続体の前記選択制御用トランジスタに与えるスルーレート選択信号として前記第２のスルーレート選択信号の極性反転信号をさらに有することができる。

【００３０】また、前記第１および前記第３の抵抗素子の各抵抗値を等しくし、かつ前記第２および前記第４の抵抗素子の各抵抗値を等しくするとともに、前記第１または前記第３の抵抗素子の抵抗値が前記第２または前記第４の抵抗素子の抵抗値の略２倍に予め設定して形成することもできる。

【００３１】さらに、前記ブリドライバの入力端から出力用トランジスタまでの信号経路にはインバータ１個および複数の抵抗素子のみを縦続接続で設ける構成とすることにより、データ遅延は前記抵抗素子のみを対象として予め素子サイズを形成することもできる。

【００３２】

【発明の実施の形態】まず本発明の実施の形態を図面を参照しながら説明する。図１は本発明の第１の実施の形態を示す出力バッファ回路の回路図である。図１を参照すると、この回路は、第１のデータ信号ＩＮ１を受ける第１のブリドライバＤ１と、第２のデータ信号ＩＮ２を受ける第２のブリドライバＤ２と、Ｐチャネル型トランジスタＰＭ０１およびＮチャネル型トランジスタＮＭ０１、同様にＰＭ０２およびＮＭ０２、ＰＭ０３およびＮＭ０３をそれぞれ電源電位ＶＤＤおよび接地電位ＧＮＤ間に直列接続し、これらの直列接続点を出力端子ＯＵＴに共通接続した第１、第２および第３の出力用トランジスタとを有する。つまり、これら第１、第２および第３の出力用トランジスタは互いに並列状態に接続されている。

【００３３】また、ブリドライバＤ１およびＤ２の出力端と第３の出力用トランジスタＰＭ０３およびＮＭ０３のゲート電極間にそれぞれ直列接続される第１および第２の抵抗素子Ｒ１１およびＲ２１並びに第３および第４の抵抗素子Ｒ１２およびＲ２２とを有する。

【００３４】さらに、電源電位ＶＤＤと接地電位ＧＮＤ

間に直列接続で挿入される同時遮断制御用トランジスタＰＡ０１，ＰＡ０２，ＮＡ０１，ＮＡ０２と導通制御トランジスタＮＴ０１，ＮＴ０２，ＰＴ０１，ＰＴ０２および選択制御用トランジスタＮＳ０１，ＮＳ０２，ＰＳ０１，ＰＳ０２で構成するスルーレート選択回路ＣＫ１，ＣＫ２，ＣＫ３，ＣＫ４とからなる第１，第２，第３および第４の直列接続体とを有する。

【００３５】第１の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタＰＭ０１およびＮＭ０１は対応するプリドライバＤ１およびＤ２の出力端をそれぞれ直接に接続し、Ｐチャネル型トランジスタＰＭ０２およびＮチャネル型トランジスタＮＭ０２のゲート電極はそれぞれ対応する抵抗素子Ｒ１１およびＲ２１を介して対応するプリドライバＤ１およびＤ２の出力端に接続する。

【００３６】Ｐチャネル型トランジスタＰＭ０３およびＮチャネル型トランジスタＮＭ０３のゲート電極はそれぞれ対応する抵抗素子Ｒ１２およびＲ２２を介して対応する抵抗素子Ｒ１１およびＲ２１の出力端に接続する。

【００３７】第２の出力用トランジスタＰチャネル型トランジスタＰＭ０２およびＮチャネル型トランジスタＮＭ０２のゲート電極にそれぞれ対応する第１の直列接続体である同時遮断制御用トランジスタＰＡ０１とスルーレート選択回路ＣＫ１（導通制御トランジスタＮＴ０１および選択制御用トランジスタＮＳ０１からなる）との直列接続点および第２の直列接続体である同時遮断制御用トランジスタＮＡ０１とスルーレート選択回路ＣＫ２（導通制御トランジスタＰＴ０１および選択制御用トランジスタＰＳ０１からなる）との直列接続点をそれぞれ接続する。

【００３８】第３の出力用トランジスタＰチャネル型トランジスタおよびＮチャネル型トランジスタＰＭ０３およびＮＭ０３のゲート電極にそれぞれ対応する第３の直列接続体である同時遮断制御用トランジスタＰＡ０２とスルーレート選択回路ＣＫ３（導通制御トランジスタＮＴ０２および選択制御用トランジスタＮＳ０２からなる）との直列接続点および第４の直列接続体である同時遮断制御用トランジスタＮＡ０２とスルーレート選択回路ＣＫ４（導通制御トランジスタＰＴ０２および選択制御用トランジスタＰＳ０２からなる）との直列接続点をそれぞれ接続する。

【００３９】さらに、第１および第３の選択制御用トランジスタＮＳ０１，ＮＳ０２のゲート電極には第１のスルーレート選択信号ＳＥＬＥＣＴ１を選択制御信号Ｓ１として与え、第２および第４の選択制御用トランジスタＰＳ０１，ＰＳ０２のゲート電極には第１のスルーレート選択信号の極性反転信号を選択制御信号Ｓ２として与える構成を備える。

【００４０】つまりこの回路構成のポイントは、入力ＩＮ１、ＩＮ２からインバータＤ１、Ｄ２を介して入力するデータ信号が抵抗素子Ｒ１１，Ｒ１２，Ｒ２１，Ｒ２２からなる遅延素子でそれぞれ遅延され、出力用トランジスタのＰチャネル型トランジスタＰＭ０１およびＮチャネル型トランジスタＮＭ０１、ＰＭ０２およびＮＭ０２、ＰＭ０３およびＮＭ０３の順にデータ信号を伝播し、出力端子ＯＵＴから信号を出力すること、同時遮断制御用トランジスタＰＡ０１，ＰＡ０２、ＮＡ０１，ＮＡ０２は従来例と同様に抵抗を介さずに入力ＩＮ１，ＩＮ２で一義的に制御されること、さらに本発明に従って導通制御用トランジスタＰＴ０１、ＰＴ０２、ＮＴ０１，ＮＴ０２、選択制御用トランジスタＰＳ０１，ＰＳ０２、ＮＳ０１，ＮＳ０２によるスルーレート選択回路ＣＫ１～ＣＫ４が設けられ、ＰＴ０１、ＰＴ０２、ＮＴ０１，ＮＴ０２は遅延素子の影響を受けずに直接にデータ信号ＩＮ１、ＩＮ２で一義的に制御されること、スルーレートの選択はスルーレート選択信号ＳＥＬＥＣＴ１（選択制御信号Ｓ１，Ｓ２に対応）で制御されることである。

【００４１】すなわち、選択制御用トランジスタＰＳ０１、ＰＳ０２，ＮＳ０１，ＮＳ０２が非導通状態の時は、入力したデータ信号ＩＮ１およびＩＮ２が対応する抵抗素子Ｒ１１、Ｒ１２およびＲ２１、Ｒ２２によりそれぞれ遅延されるので第１，第２および第３の出力用トランジスタの順に伝わり、これらの出力トランジスタは順次に導通状態となる。

【００４２】選択制御用トランジスタＰＳ０１、ＰＳ０２，ＮＳ０１，ＮＳ０２が非導通状態の時は、同時遮断制御用トランジスタＰＡ０１，ＰＡ０２，ＮＡ０１，ＮＡ０２に直接入力したデータ信号ＩＮ１，ＩＮ２の働きにより抵抗素子Ｒ１１、Ｒ１２、Ｒ２１、Ｒ２２による動作をキャンセルし、第１，第２および第３の出力用トランジスタの各Ｐチャネル型トランジスタおよび各Ｎチャネル型トランジスタの一方側を３つとも同時に導通状態にする。

【００４３】また、これらの出力用トランジスタは同時遮断制御用トランジスタＰＡ０１，ＰＡ０２，ＮＡ０１，ＮＡ０２に直接入力したデータ信号ＩＮ１，ＩＮ２の働きにより出力用トランジスタの各Ｐチャネル型トランジスタおよび各Ｎチャネル型トランジスタの一方側を３つとも同時に非導通状態に制御する。

【００４４】その結果、スルーレート選択信号ＳＥＬＥＣＴ１により、出力端子を共用するように並列接続された複数の出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタの一方側を３つとも同時に導通状態にするタイミングを変えることができる。次に、実施形態の動作をさらに具体的に説明する。

【００４５】まず第１の初期状態は、信号入力としてデータ信号ＩＮ１、ＩＮ２、スルーレート選択信号ＳＥＬＥＣＴ１に対しロウレベル（以下、Ｌレベルと称す）が印加されているとする。

EX1005 / Page 312 of 376
Western Digital Technologies, Inc.

【0046】データ入力IN1、IN2のLレベルによりインバータD1、D2はHレベルを出力し、Pチャネル型トランジスタである同時遮断制御用トランジスタPA01，PA02は導通してPチャネル型トランジスタPM01，PM02のゲート電極にHレベルを与え、Nチャネル型トランジスタである同時遮断制御用トランジスタNA01，NA02は非導通になりNチャネル型トランジスタNM01，NM02のゲート電極にLレベルを与えるため、出力用トランジスタのPチャネル型トランジスタPM01，PM02，PM03は同時遮断状態になる。

【0047】今、スルーレート選択信号SELECT1のLレベルおよびSELECT1の極性反転信号であるハイレベル（以下、Hレベルと称す）により、選択制御用トランジスタPS01、PS02、NS01、NS02はいずれも遮断状態になるためPT01、PT02、NT01，NT02はデータ信号IN1、IN2の影響を受けないので、スルーレート選択回路CK1～CK4は動作せず、抵抗素子R11、R12，およびR21，R22によりそれぞれ順次に遅延されてNチャネル型トランジスタNM01，NM02、NM03は導通状態になっていき、従って出力OUTはLレベルが出力される。つまり、低スルーレート出力の状態である。

【0048】ここでIN1、IN2にHレベルを入力すると同時遮断制御用トランジスタPA01，PA02は非導通状態になり、ブリドライバD1からはLレベルが出力される。ブリドライバD1からのLレベル信号は抵抗素子R11、R12で遅延され、出力用トランジスタのPチャネル型トランジスタPM01、PM02、PM03の順に伝わり、順次導通状態になる。

【0049】一方、ブリドライバD2もLレベルを、データ信号により同時遮断制御用トランジスタNA01、NA02は導通状態になりその出力もLレベルをそれぞれ同時に出力するため、出力用トランジスタのNチャネル型トランジスタNM01～NM03は抵抗素子による遅延に影響されず同時遮断状態となり、出力OUTは抵抗素子R11、R12で遅延され順次導通状態になった出力用トランジスタのPチャネル型トランジスタPM01、PM02、PM03によりHレベルが出力される。つまり、低スルーレート出力の状態である。

【0050】所定時間を経過後、データ信号IN1、IN2が再びLレベルになると、同時遮断制御用トランジスタNA01、NA02は非導通状態になり、ブリドライバD2からはHレベルが出力されるため抵抗素子R21、R22により出力用トランジスタのNチャネル型トランジスタNM01、NM02、NM03の順に導通状態になる。

【0051】一方、ブリドライバD1からもHレベルが出力され、同時遮断制御用トランジスタPA01、PA02もデータ信号により導通状態になりHレベルを出力するので、両者は同時にHレベルを出力することになり、出力用トランジスタのPチャネル型トランジスタPM01～PM03は同時に遮断状態になり、出力OUTはLレベルが出力される。つまり、低スルーレート出力の状態である。

【0052】上述したように、スルーレート選択信号SELECT1にLレベルを与えてスルーレート選択回路CK1～CK4を非活性化状態にしたときのスイッチング動作時に、出力端子OUTからのHレベル、Lレベル出力波形は低スルーレート化されることが分かる。

【0053】次に第2の状態として、スルーレート選択信号SELECT1にHレベル、データ信号IN1、IN2としてLレベルが印加されている場合を考えてみる。このとき選択制御用トランジスタPS01、PS02、NS01，NS02が導通状態、導通制御用トランジスタPT01、PT02は導通状態、NT01，NT02は非導通状態である。

【0054】ブリドライバD1、D2の出力はHレベル、同時遮断制御用トランジスタPA01，PA02は導通状態でHレベルを供給するため、このHレベルを受けた出力用トランジスタのPチャネル型トランジスタPM0N1～PM03は非導通状態、同時遮断制御用トランジスタNA01，NA02は非導通状態、導通制御用トランジスタPT01、PT02および選択制御用トランジスタはともに導通状態となりHレベルを供給するため、このHレベルを受けた出力用トランジスタのNチャネル型トランジスタNM01～NM03は導通状態となり、出力端子OUTはLレベルが出力される。つまり、低スルーレート出力の状態である。である。

【0055】ここでデータ信号IN1、IN2としてHレベルに変化した場合（スルーレート選択信号SELECT1にHレベルを持続した状態とする）、このHレベルにより同時遮断制御用トランジスタPA01，PA02は非導通状態になり、導通制御用トランジスタNT01、NT02および選択制御用トランジスタNS01，NS02はともに導通状態となりLレベルを供給するため、このLレベルを受けた出力用トランジスタのPチャネル型トランジスタPM01～PM03は導通状態となり、出力端子OUTはHレベルが出力される。

【0056】このとき、ブリドライバD1の出力はLレベルになるがスルーレート選択回路CK1、CK2の活性化により出力用トランジスタのPチャネル型トランジスタPM02、PM03はその影響を受けない。つまり、高スルーレート出力の状態である。

【0057】一方、データ信号IN2のHレベルにより導通制御用トランジスタPT01、PT02は非導通状態に、スルーレート選択信号により選択制御用トランジスタPS01，PS02も非導通状態となり、同時遮断制御用トランジスタNA01，NA02は導通状態になりLレベルを供給するため、このLレベルを受けた出力

用トランジスタのNチャネル型トランジスタNM０１～NM０３は非導通状態となる。

【００５８】このとき、プリドライバD２の出力はLレベルになるが、同時遮断制御用トランジスタNA０１，NA０２の導通状態により出力用トランジスタのPチャネル型トランジスタPM０２、PM０３はその影響を受けない。つまり、高スルーレート出力の状態である。

【００５９】さらにデータ信号IN１、IN２がLレベルになると（スルーレート選択信号SELECT１にHレベルを持続した状態とする）、同時遮断制御用トランジスタNA０１，NA０２は非導通状態になり、導通制御用トランジスタPT０１、PT０２および選択制御用トランジスタPS０１，PS０２はともに導通状態となりHレベルを供給するため、このHレベルを受けた出力用トランジスタのNチャネル型トランジスタNM０１～NM０３は導通状態となり、出力端子OUTはLレベルが出力される。

【００６０】このとき、プリドライバD２の出力はHレベルになるがスルーレート選択回路CK２、CK４の活性化により出力用トランジスタのNチャネル型トランジスタNM０２、NM０３はその影響を受けない。つまり、高スルーレート出力の状態である。

【００６１】一方データ信号IN１のLレベルにより導通制御用トランジスタNT０１、NT０２は非導通状態となり、同時遮断制御用トランジスタPA０１，PA０２は導通状態になりHレベルを供給するため、このHレベルを受けた出力用トランジスタのPチャネル型トランジスタPM０１～PM０３は非導通状態となる。

【００６２】このとき、プリドライバD１の出力はHレベルになるが、同時遮断制御用トランジスタPA０１，PA０２の導通状態により出力用トランジスタのPチャネル型トランジスタPM０２、PM０３はその影響を受けない。

【００６３】上述した低、高スルーレート動作時の出力波形の概念図を示した図２を参照すると、波形ａは選択制御用信号SELECT１にLレベルを与えた場合のバッファ動作を示し、出力が低スルーレートとなった波形を示している。

【００６４】波形ｂは選択制御用信号SELECT１にHレベルを与えた場合のバッファ動作を示し、出力が高スルーレートとなった波形を示している。

【００６５】つまり、本発明では出力用トランジスタPM０２、PM０３のゲート電極に（抵抗素子の出力側）に設けたスルーレート選択回路CK１～CK４を選択制御用信号SELECT１によって制御することにより、抵抗素子による遅延をキャンセルし出力スルーレートを調整する。

【００６６】実使用時に、出力端子負荷の大小にあわせて出力波形のスルーレートを最適化したり製造後バラつきなどによるスルーレートの差を埋めるなど、幅をもったスルーレート調整を行う場合、従来のものと比べ同サイズのトランジスタを用いた場合でもより幅広いスルーレート調整ができる。

【００６７】つまり、同時遮断制御手段および導通制御手段を有し、かつ並列接続された複数の出力用トランジスタそれぞれのトランジスタサイズが同一値の場合に、プリドライバを構成するトランジスタサイズを同時遮断制御手段および導通制御手段の構成トランジスタサイズと同一値に予め設定して形成することができる。

【００６８】その理由としてスルーレート選択回路により遅延用の抵抗素子をキャンセルするため、出力トランジスタを駆動するプリドライバのトランジスタの負荷が軽くなり、その結果プリドライバおよびスルーレート選択回路内の導通制御用トランジスタの総トランジスタサイズが小さくすむためである。

【００６９】次に、第２の実施形態を説明する。第２の実施形態の回路図を示した図３を参照すると、上述した第１の実施形態との相違点は、スルーレート選択回路CK１～CK４を簡略化し、スルーレート選択制御回路CTL１を新たに設けたことである。

【００７０】すなわち、出力用トランジスタのPチャネル型トランジスタPM０２、PM０３のゲート電極および電源電圧間に選択制御用トランジスタNS０１、NS０２を設け、Nチャネル型トランジスタNM０２、NM０３のゲート電極および接地電位間に選択制御用トランジスタPS０１、PS０２を設けている。

【００７１】選択制御用トランジスタNS０１、NS０２のゲート電極には選択制御信号S１１が、選択制御用トランジスタPS０１、PS０２のゲート電極には選択制御信号S２１がそれぞれ供給される。

【００７２】スルーレートの選択制御信号S１１およびS２１を生成するスルーレート選択制御回路CTL１は、プリドライバD１の出力信号S３を第２のスルーレート選択信号として第１のスルーレート選択信号SELECT１をインバータD５による極性反転信号との論理をとり選択制御信号S１１を出力するNOR回路D４と、プリドライバD２の出力信号S４を第３のスルーレート選択信号S４として第１のスルーレート選択信号SELECT１との論理をとり選択制御信号S２１を出力するNAND回路D６とをさらに有する。

【００７３】それ以外の構成は第１の実施形態と同様であるから、ここでの構成の説明は省略する。

【００７４】この実施形態による出力バッファ回路の動作は、インバータD１およびD２からの信号S３およびS４が、スルーレート選択制御回路CTL１内のNOR回路D４、NAND回路D６により、スルーレート選択信号SELECT１を制御信号として制御されて、選択制御信号S１１およびS２１を送出する。

【００７５】この時、データ信号IN１およびIN２がLレベル、スルーレート選択信号SELECT１がLレ

EX1005 / Page 314 of 376
Western Digital Technologies, Inc.

ベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０１～ＰＭ０３は非導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は導通状態となり、出力端子ＯＵＴはＬレベルになる。

【００７６】データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＬレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０１～ＰＭ０３は抵抗素子Ｒ１１，Ｒ１２が介在して導通状態、Ｎチャネル型トランジスタＮＭＳ０１～ＮＭ０３は一義的に導通状態となり、出力端子ＯＵＴはＨレベルになるから低スルーレートの出力状態である。

【００７７】データ信号ＩＮ１およびＩＮ２が再びＬレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＬレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０１～ＰＭ０３は非導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は抵抗素子Ｒ２１，Ｒ２２が介在して導通状態となり、出力端子ＯＵＴはＬレベルになるから低スルーレートの出力状態である。

【００７８】次に、データ信号ＩＮ１およびＩＮ２がＬレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＨレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０１～ＰＭ０３は非導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３はスルーレート選択信号Ｓ３，Ｓ４と導通制御用トランジスタＰＴ０１，ＰＴ０２の活性化により抵抗素子Ｒ２１，Ｒ２２の介在をキャンセルし一義的に導通状態となり出力端子ＯＵＴはＬレベルになるから、高スルーレートの出力状態である。

【００７９】データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＨレベルなら、出力用トランジスタのＰチャネル型トランジスタおよびＮチャネル型トランジスタＰＭ０１～ＰＭ０３はスルーレート選択信号Ｓ３と導通制御用トランジスタＮＭ０１，ＮＭ０２の活性化により抵抗素子Ｒ１１，Ｒ１２が介在をキャンセルして一義的に導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は一義的に非導通状態となり、出力端子ＯＵＴはＨレベルになるから高スルーレートの出力状態である。

【００８０】上述した第２の実施形態の構成は、スルーレート選択制御回路ＣＴＬ１が必要になるが、多数の出力用トランジスタが並列接続され、対応するスルーレート選択回路ＣＫが多数接続された場合でも、素子数がそれほど増加しないという利点がある。

【００８１】次に第３の実施形態の回路図を示した図４を参照すると、第１の実施形態との相違点は、スルーレート選択回路の選択制御信号を４種類設けることで、段階的なスルーレート調整を行うことと、遅延用の抵抗素子をさらに２個増やしスルーレート選択回路ＣＫ１～ＣＫ４の接続点を工夫したことである。それ以外の構成要素は第１の実施形態と同一であるからここでの構成の説明は省略する。

【００８２】すなわち、この実施形態の構成は、抵抗素子Ｒ１１，Ｒ１２、Ｒ２１，Ｒ２２の他に新たにＲ１３，Ｒ１４、Ｒ２３，Ｒ２４を加え、プリドライバＤ１の出力端と出力用トランジスタのＰチャネル型トランジスタＰＭ０３のゲート電極間に直列接続されるＲ１１～Ｒ１４およびＮチャネル型トランジスタＮＭ０３のゲート電極間に直列接続される抵抗素子Ｒ２１～Ｒ２４とする。

【００８３】さらに、電源電位ＶＤＤと接地電位ＧＮＤ間に直列接続で挿入される同時遮断制御用トランジスタＰＡ０１と抵抗素子Ｒ１３と導通制御トランジスタＮＴ０１と選択制御用トランジスタＮＳ０１とからなる直列接続体と、同様にＰＡ０２とＲ１４とＮＴ０２とＮＳ０２とからなる直列接続体と、電源電位ＶＤＤと接地電位ＧＮＤ間に直列接続で挿入される選択制御用トランジスタＰＳ０１と導通制御トランジスタＰＴ０１と抵抗素子Ｒ２３と同時遮断制御用トランジスタＮＡ０１とからなる直列接続体と、同様にＰＳ０２とＰＴ０２とＲ２４とＮＡ０２とからなる直列接続体とを有する。

【００８４】プリドライバＤ１の出力端に対応する一端が接続される抵抗素子Ｒ１１の他端は、対応する直列接続体の抵抗素子Ｒ１３および導通制御トランジスタＮＴ０１の直列接続点に接続される。

【００８５】抵抗素子Ｒ１２の一端は対応する直列接続体の同時遮断制御用トランジスタＰＡ０１および抵抗素子Ｒ１３の直列接続点に接続され抵抗素子Ｒ１２の他端はそれぞれ対応する直列接続体の抵抗素子Ｒ１４および導通制御トランジスタＮＴ０２の直列接続点に接続される。

【００８６】選択制御用トランジスタＮＳ０１のゲート電極にはスルーレート選択信号ＳＥＬＥＣＴ１を選択制御信号Ｓ１として与え、選択制御用トランジスタＰＳ０１のゲート電極にはスルーレート選択信号ＳＥＬＥＣＴ１のインバータＤ７による極性反転信号を選択制御信号Ｓ２として与える。

【００８７】選択制御用トランジスタＮＳ０２のゲート電極にはスルーレート選択信号ＳＥＬＥＣＴ２を選択制御信号Ｓ５として与え、選択制御用トランジスタＰＳ０２のゲート電極にはスルーレート選択信号ＳＥＬＥＣＴ２のインバータＤ８による極性反転信号を選択制御信号Ｓ６として与える。

【００８８】すなわち、スルーレート選択信号ＳＥＬＥＣＴ１とインバータＤ７から発生した信号Ｓ１、Ｓ２はスルーレート選択回路ＣＫ１、ＣＫ２を制御し、同様にスルーレート選択信号ＳＥＬＥＣＴ２とインバータＤ８から発生した信号Ｓ５、Ｓ６はスルーレート選択回路ＣＫ３、ＣＫ４を制御するので、スルーレート選択信号ＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２を選択的に入力することでスルーレート調整を可変とすることができる。

【００８９】また、スルーレート選択回路の挿入位置

19

を、抵抗素子Ｒ１１およびＲ１３の間、抵抗素子Ｒ１２およびＲ１４の間、抵抗素子Ｒ２１およびＲ３３の間、抵抗素子Ｒ２２およびＲ２４の間のように構成することでスルーレート調整幅を変えることができる。

【００９０】この実施形態例による出力バッファの動作は、例えば、データ信号ＩＮ１およびＩＮ２がＬレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＬレベル、ＳＥＬＥＣＴ２がＨレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＳ０１～ＰＳ０３は非導通状態、Ｎチャネル型トランジスタＮＭ０２は抵抗素子Ｒ２２が介在し、ＮＭ０３は抵抗素子Ｒ２４が介在して導通状態となり、出力端子ＯＵＴはＬレベルになる。このとき、Ｎチャネル型トランジスタＮＭ０２，ＮＭ０３は共に抵抗素子を介して駆動されるためスルーレーとはその分落ちる。

【００９１】データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＬレベル、ＳＥＬＥＣＴ２がＨレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＳ０２は抵抗素子Ｒ１１，Ｒ１３が介在し、ＰＭ０３は抵抗素子Ｒ１４が介在して導通状態、Ｎチャネル型トランジスタＮＳ０１～ＮＳ０３は一義的に非導通状態となり、出力端子ＯＵＴはＨレベルになる。このとき、Ｐチャネル型トランジスタＰＭ０２，ＰＭ０３は共に抵抗素子を介して駆動されるためスルーレーとはその分落ちる。

【００９２】データ信号ＩＮ１およびＩＮ２が再びＬレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＨレベル、ＳＥＬＥＣＴ２がＬレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０１～ＰＳ０３は非導通状態、Ｎチャネル型トランジスタＮＭ０２は抵抗素子Ｒ２３が介在し、ＮＭ０３は抵抗素子Ｒ２２、Ｒ２３、Ｒ２４が介在して導通状態となり、出力端子ＯＵＴはＬレベルになる。このとき、Ｐチャネル型トランジスタＰＭ０２は１個，ＰＭ０３は３個の抵抗素子を介して駆動されるためスルーレートはこれらの３個の抵抗値の遅延量で決まる。

【００９３】次に、データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１がＨレベル、ＳＥＬＥＣＴ２がＬレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０２は抵抗素子Ｒ１３が介在して導通状態、ＰＭ０３は抵抗素子Ｒ１４が介在して導通状態となり、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は抵抗素子の介在をキャンセルし一義的に非導通状態となり出力端子ＯＵＴはＨレベルになる。このとき、Ｐチャネル型トランジスタＰＭ０２，ＰＭ０３はともに１個の抵抗素子を介して駆動されるためスルーレートはこれらの抵抗値の遅延量で決まる。

【００９４】データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２が共にＬレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０２は抵抗素子Ｒ１１，Ｒ１３が介在して導通状態、ＰＭ０３は抵抗素子Ｒ１１，Ｒ１３，Ｒ１２、Ｒ１４が介在して導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は一義的に非導通状態となり、出力端子ＯＵＴはＨレベルになる。このとき、Ｐチャネル型トランジスタＰＭ０２は２個，ＰＭ０３は４個の抵抗素子を介して駆動されるためスルーレートは最も低く、スルーレートはこれらの抵抗値の遅延量で決まる。

【００９５】データ信号ＩＮ１およびＩＮ２がＨレベル、スルーレート選択信号ＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２が共にＨレベルなら、出力用トランジスタのＰチャネル型トランジスタＰＭ０２は抵抗素子Ｒ１３が介在して導通状態、ＰＭ０３は抵抗素子Ｒ１４が介在して導通状態、Ｎチャネル型トランジスタＮＭ０１～ＮＭ０３は一義的に非導通状態となり、出力端子ＯＵＴはＨレベルになる。このとき、Ｐチャネル型トランジスタＰＭ０２、ＰＭ０３は共に１個の抵抗素子を介して駆動されるためスルーレートは最も高く、スルーレートはこれらの抵抗値の遅延量で決まる。

【００９６】このときの出力動作波形の概念図を示した図５を参照すると、波形ａは最も低スルーレートの出力波形である。図４におけるＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２は共にＬレベルが入力された場合の動作波形を示す。

【００９７】波形ｂは最も高スルーレートの出力で、ＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２は共にＨレベルが入力された場合を示す。ＳＥＬＥＣＴ１、ＳＥＬＥＣＴ２のどちらかにＨレベルが入力された場合は波形ｃまたは波形ｄのような波形となる。

【００９８】ＳＥＬＥＣＴ１、２の入力と波形ｃ、ｄとの対応はＲ１１～１４、Ｒ２１～２４の値に依存する。例えばＲ１１、１２、２１、２２の抵抗値をＲａとし、Ｒ１３、１４、２３、２４の抵抗値をＲｂとする。このときＲａによる遅延値ＴａはＲｂによる遅延値Ｔｂの２倍となるような関係であると仮定する。

【００９９】抵抗によって遅延値に差があるためスルーレート選択回路ＣＫ１、ＣＫ２が出力用トランジスタを導通させるまでの時間は、ＣＫ３、ＣＫ４が出力用トランジスタを導通させる時間よりも遅くなる。

【０１００】例えば、抵抗素子による遅延値は，Ｔａ（Ｒａの遅延値）＝２ｎｓｅｃ、Ｔｂ（Ｒｂの遅延値）＝１ｎｓｅｃ、とし、主要なＰチャネル側（ＰＭ０１～ＰＭ０４）を注目する。

【０１０１】導通制御用トランジスタＮＴ０１が導通状態、選択制御用トランジスタＮＳ０１が導通状態（ＮＳ０２は非導通状態）の時の主要部分の導通順序は、ＰＭ０１が導通→Ｒ１３で１ｎｓｅｃ遅延→ＰＭ０２が導通→Ｒ１２、Ｒ１４で３ｎｓｅｃ遅延→ＰＭ０３が導通の経路１となる。

EX1005 / Page 316 of 376
Western Digital Technologies, Inc.

【０１０２】導通制御用トランジスタＮＴ０２が導通状態、選択制御用トランジスタＮＳ０２が導通状態（ＮＳ０１は非導通状態）の時の主要部分の導通順序は、ＰＭ０１が導通→Ｒ１２で２ｎｓｅｃ遅延→ＰＭ０２が導通の経路２と、ＰＭ０１が導通→Ｒ１４で１ｎｓｅｃ遅延→ＰＭ０３が導通の経路３となる。

【０１０３】上記各経路のうち、経路１よりも経路２，３の方が高スルーレートであることは明らかである。つまり、スルーレート選択信号ＳＥＬＥＣＴ１がＨレベル（経路１）のときは波形ｄとなり、ＳＥＬＥＣＴ２がＨレベル（経路２，３）のときは波形ｃとなる。

【０１０４】したがって、ＳＥＬＥＣＴ１にＨレベルを与えＣＫ１、ＣＫ２を動作させるほうがＳＥＬＥＣＴ２にＨレベルを与えＣＫ３、ＣＫ４を動作させる場合よりも低スルーレート化された出力波形となる。

【０１０５】つまり、ＳＥＬＥＣＴ１にＨレベルが入力された場合は図５における波形ｄの出力波形となり、ＳＥＬＥＣＴ２がＨレベルの場合は波形ｃの出力波形となる。

【０１０６】

【発明の効果】上述したように本発明の出力バッファ回路は、データ信号を受けるブリドライバと、このブリドライバの出力信号を遅延させる抵抗素子と、この抵抗素子を介して前記ブリドライバにより駆動される出力用トランジスタと、前記出力用トランジスタを論理レベルのロウレベルまたはハイレベルの前記データ信号で一義的に非活性化する同時遮断制御手段と、予め定める第１のスルーレート選択信号が活性化されたとき、ハイレベルまたはロウレベルの前記データ信号で前記出力用トランジスタも一義的に活性化するとともに前記抵抗素子出力を無効にする導通制御手段とを、前記出力用トランジスタを構成する直列接続されたＰチャネル型およびＮチャネル型トランジスタそれぞれのゲート電極ごとに介在させることにより、前記同時遮断制御手段で非活性化状態にした前記Ｐチャネル型およびＮチャネル型トランジスタの一方を、前記抵抗素子出力で低スルーレート方向に制御し、前記導通制御手段で高スルーレート方向に制御するので、実使用時に出力端子負荷の大小にあわせて出力波形のスルーレートを最適化したり、製造後バラつきなどによるスルーレートの差を埋めるなど、幅をもったスルーレート調整を行う場合に、従来のものと比べ同サイズのトランジスタを用いた場合でもより幅広いスルー＊レート調整ができる。

【０１０７】すなわち、スルーレート選択回路により抵抗をキャンセルするため出力トランジスタを駆動するトランジスタの負荷が軽くなり、その結果ブリドライバおよびスルーレート選択回路内の導通制御用トランジスタの総トランジスタサイズが小さくてよい。

【図面の簡単な説明】

【図１】本発明の第１の実施形態の回路図である。

【図２】第１の実施形態における出力バッファ回路の出力動作波形図である。

【図３】本発明の第２の実施形態の回路図である。

【図４】本発明の第３の実施形態の回路図である。

【図５】第３の実施形態における出力バッファ回路の出力動作波形図である。

【図６】従来の低スルーレート出力バッファ回路の回路図である。

【図７】ブリドライバ調整方式を用いた従来例の回路図である。

【図８】他の従来例の回路図である。

【符号の説明】

Ｄ１，Ｄ２，Ｄ９，Ｄ１０　ブリドライバ

Ｄ３，Ｄ４，Ｄ５Ｄ６，Ｄ７，Ｄ８，Ｄ１１，Ｄ１２，Ｄ１３　インバータ

ＰＭ０１，ＰＭ０２，ＰＭ０３，Ｐ０１，Ｐ０２，Ｐ０３，Ｐ０４，Ｐ０５Ｐチャネル型トランジスタ

ＮＭ０１，ＮＭ０２，ＮＭ０３，Ｎ０１，Ｎ０２，Ｎ０３，Ｎ０４，Ｎ０５Ｎチャネル型トランジスタ

ＰＡ０１，ＰＡ０２，ＰＡ０３，ＮＡ０１，ＮＡ０２，ＮＡ０３　同時遮断制御トランジスタ

ＰＴ０１，ＰＴ０２，ＰＴ０３，ＮＴ０１，ＮＴ０２，ＮＴ０３　導通制御トランジスタ

ＰＳ０１，ＰＳ０２，ＰＳ０３，ＮＳ０１，ＮＳ０２，ＮＳ０３　選択制御トランジスタ

ＳＥＬＥＣＴ１，ＳＥＬＥＣＴ２　スルーレート選択信号

Ｓ１，Ｓ２，Ｓ１１，Ｓ２１　選択制御信号

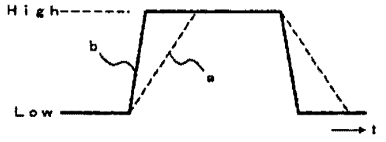
ＩＮ１，ＩＮ２　データ信号

ＯＵＴ　出力端子

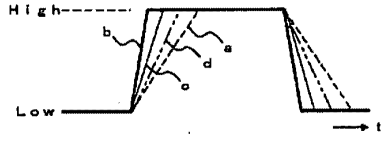
ＣＫ１，ＣＫ２，ＣＫ３，ＣＫ４　スルーレート選択回路

Ｒ１１，Ｒ１２，Ｒ１３，Ｒ１４，Ｒ２１，Ｒ２２，Ｒ２３，Ｒ２４　抵抗素子

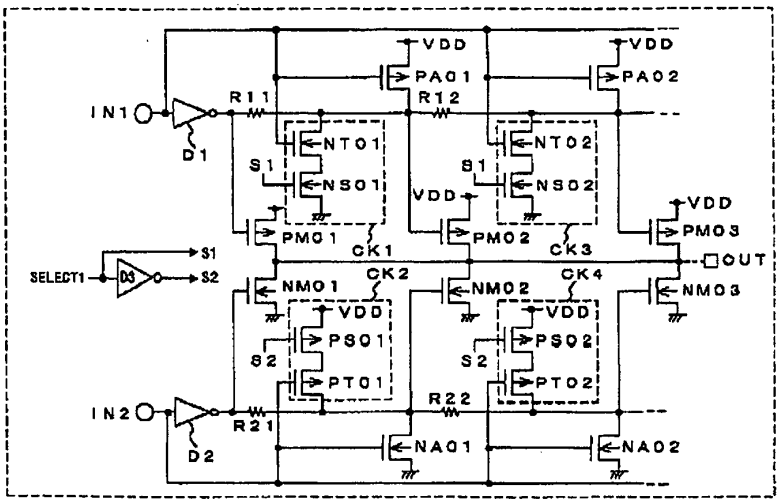
【図２】



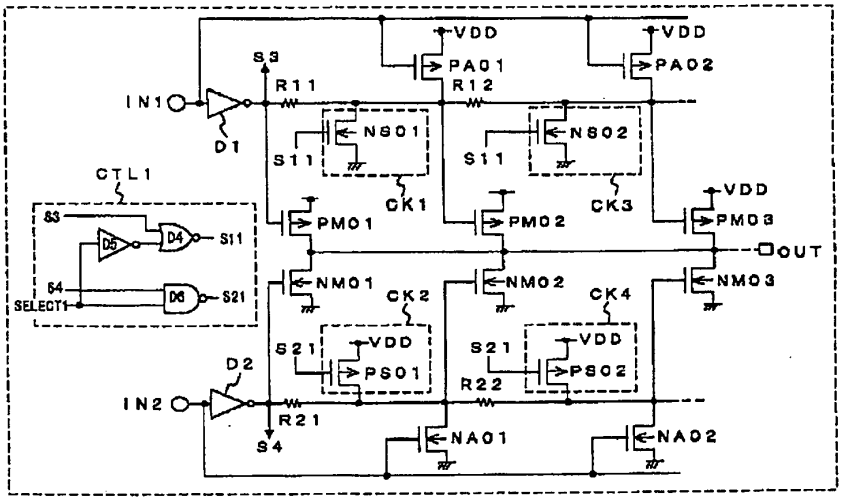
【図５】



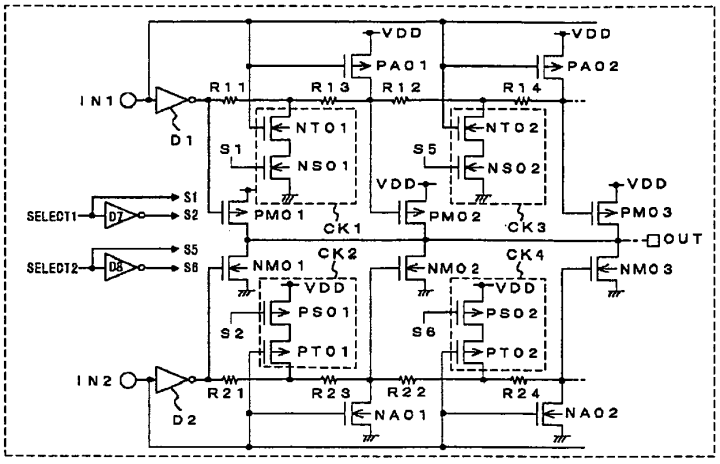
【図１】


VDD
PA01
PA02
R11
R12
IN1
D1
NT01
NT02
S1
NS01
NS02
VDD
PM01
PM02
PM03
CK1
CK3
OUT
SELECT1
D3
S1
S2
NM01
NM02
NM03
CK2
CK4
PS01
PS02
PT01
PT02
R22
IN2
R21
D2
NA01
NA02

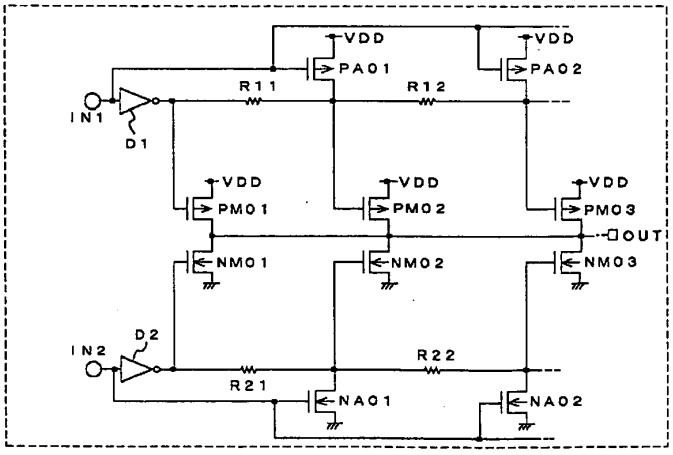
【図３】


VDD
PA01
PA02
S3
R11
R12
IN1
D1
NS01
NS02
S11
CTL1
CK1
CK3
PM01
PM02
PM03
OUT
D5
D4
S11
S4
SELECT1
D6
S21
NM01
NM02
NM03
CK2
CK4
S21
PS01
PS02
R22
D2
IN2
R21
S4
NA01
NA02

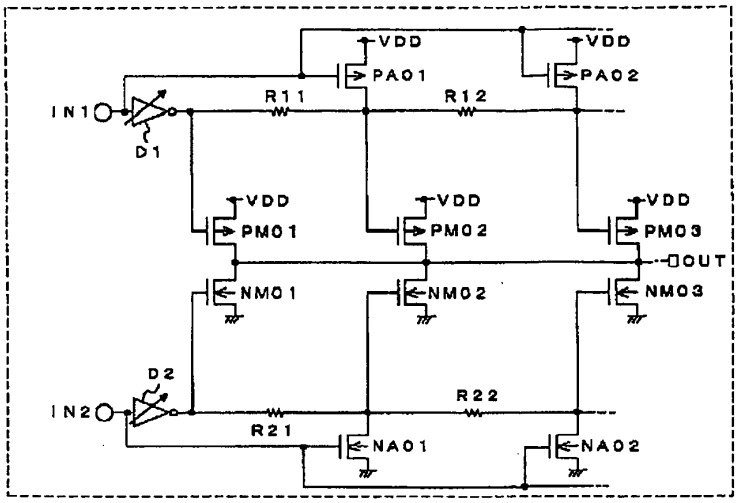
【図４】


VDD
VDD
PA01
PA02
IN1
R11
R13
R12
R14
D1
NT01
NT02
S1
NS01
S5
NS02
VDD
VDD
VDD
SELECT1
D7
S1
S2
PM01
PM02
PM03
CK1
CK3
OUT
S5
SELECT2
D8
S6
NM01
CK2
NM02
CK4
NM03
VDD
VDD
PS01
PS02
S2
S6
PT01
PT02
IN2
R21
R23
R22
R24
D2
NA01
NA02

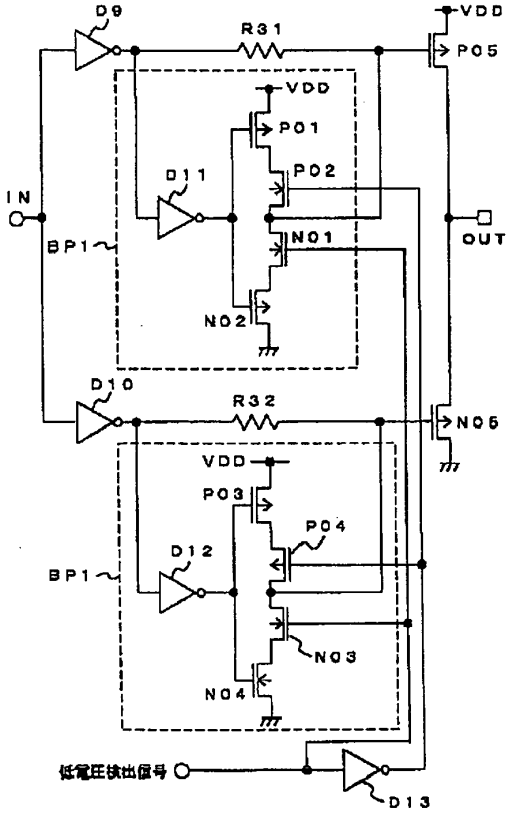
【図６】


VDD
VDD
PA01
PA02
R11
R12
IN1
D1
VDD
VDD
VDD
PM01
PM02
PM03
OUT
NM01
NM02
NM03
D2
IN2
R22
R21
NA01
NA02

【図７】



【図８】



EX1005 / Page 320 of 376
Western Digital Technologies, Inc.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-093111
(43)Date of publication of application : 04.04.1997

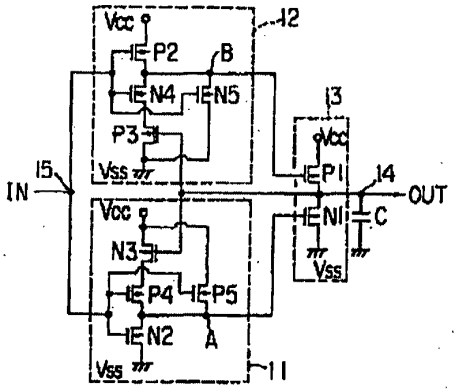
(51)Int.Cl. H03K 19/0175
H03K 5/12
H03K 17/687
H03K 19/003
H03K 19/0944

(21)Application number : 07-251118
(22)Date of filing : 28.09.1995

(71)Applicant : TOSHIBA MICROELECTRON CORP
TOSHIBA CORP
(72)Inventor : ANDO KAZUMASA
YOSHIDA YUUSUKE
SUGITA KAZUHIRO

(54) SLEW RATE TYPE BUFFER CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To suppress characteristic fluctuation in threshold level fluctuation of transistors (Trs) caused by process fluctuation by suppressing a peak in an output current or a delay in an output potential of the slew rate buffer circuit.
SOLUTION: This buffer circuit is provided with a 1st slew rate circuit 11 which has a TR group switch-controlled by an input signal and a feedback signal from an output buffer 13 and has an input/output characteristic steeper in the case of a change in the input signal from L to H than in the case of that from H to L to provide an output of a potential to control a gate of an NMOS TR N1 of the output buffer to the output node A and is provided with a 2nd slew rate circuit 12 which has a TR group switch-controlled by an input signal and a feedback signal from the output buffer 13 and has an input/output characteristic slower in the case of a change in the input signal from L to H than in the case of that from H to L to provide the output of a potential to control a gate of a PMOS TR P1 of the output buffer to an output node B.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－93111

(43)公開日　平成９年(1997)４月４日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
H03K 19/0175			H03K 19/00	101 F	
5/12			5/12		
17/687			19/003	Z	
19/003		9184-5K	17/687	F	
19/0944			19/094	A	

審査請求　未請求　請求項の数４　ＯＬ　（全10頁）

(21)出願番号　特願平7－251118

(22)出願日　平成７年(1995)９月28日

(71)出願人　000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地１

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　安藤　和正
神奈川県川崎市幸区堀川町580番１号　株式会社東芝半導体システム技術センター内

(72)発明者　吉田　有佐
神奈川県川崎市川崎区駅前本町25番地１
東芝マイクロエレクトロニクス株式会社内

(74)代理人　弁理士　鈴江　武彦

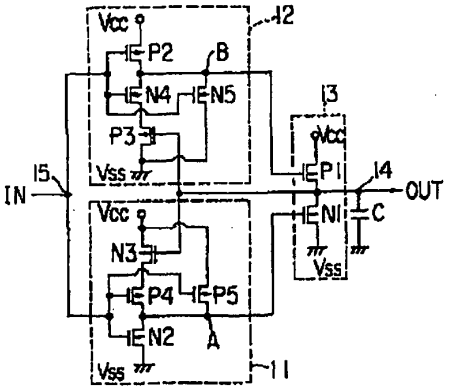
最終頁に続く

(54)【発明の名称】スルーレート型バッファ回路

(57)【要約】

【課題】スルーレート型バッファ回路の出力電流のピークや出力電位の遅延を抑制し、プロセス変動によるトランジスタの閾値変動による特性変動も抑制する。

【解決手段】入力信号と出力バッファ１３からの帰還信号によりスイッチ制御されるトランジスタ群を有し、入力信号の“H”から“L”への変化時よりもその逆方向への変化時の方が急な傾斜の入出力特性を有し、出力バッファのＮＭＯＳトランジスタＮ１のゲートを制御する電位を出力ノードＡに出力する第１のスルーレート回路１１と、入力信号と出力バッファからの帰還信号によりスイッチ制御されるトランジスタ群を有し、入力信号の“H”から“L”への変化時よりもその逆方向への変化時の方がゆるやかな傾斜の入出力特性を有し、出力バッファのＰＭＯＳトランジスタＰ１のゲートを制御する電位を出力ノードＢに出力する第２のスルーレート回路１２とを具備する。



EX1005 / Page 323 of 376
Western Digital Technologies, Inc.

1

【特許請求の範囲】

【請求項1】　電源ノードと出力ノードとの間に接続された出力用PMOSトランジスタおよび上記出力ノードと接地ノードとの間に接続された出力用NMOSトランジスタを有するバッファ回路と、

上記出力ノードからの帰還信号によりスイッチ制御されるMOSトランジスタおよび信号入力ノードからの入力信号によりスイッチ制御されるMOSトランジスタ群を有し、上記出力用NMOSトランジスタのゲート電位を制御するための電位が出力する第1の出力ノードを有し、上記信号入力ノードの入力電位が“H”レベルから“L”レベルに変化した場合には、入力信号電位が電源電位の1／2付近になるまでは上記第1の出力ノードの電位が“L”レベルから急速に立ち上がり、前記出力ノードの出力信号電位が電源電位の1／2より低下した付近から第1の出力ノードの電位が“H”レベルまでゆるやかに立ち上がり、前記信号入力ノードの入力電位が“L”レベルから“H”レベルに変化した場合には前記第1の出力ノードの電位が“H”レベルから“L”レベルまで急速に立ち下がるような入出力特性を有する第1のスルーレート回路と、

前記出力ノードからの帰還信号によりスイッチ制御されるMOSトランジスタおよび前記信号入力ノードからの入力信号によりスイッチ制御されるMOSトランジスタ群を有し、前記出力用PMOSトランジスタのゲート電位を制御するための電位が出力する第2の出力ノードを有し、前記信号入力ノードの入力電位が“H”レベルから“L”レベルに変化した場合には、上記第2の出力ノードの電位が“L”レベルから“H”レベルまで急速に立ち上がり、前記信号入力ノードの入力電位が“L”レベルから“H”レベルに変化した場合には、入力信号電位が電源電位の1／2付近になるまでは上記第2の出力ノードの電位が“H”レベルから急速に立ち下がり、前記出力ノードの出力信号電位が電源電位の1／2を越えた付近から前記第2の出力ノードの電位が“L”レベルまでゆるやかに立ち下がるような入出力特性を有する第2のスルーレート回路とを具備することを特徴とするスルーレート型バッファ回路。

【請求項2】　請求項1記載のスルーレート型バッファ回路において、前記第1のスルーレート回路は、ドレインが電源ノードに接続され、ゲートに前記バッファ回路の出力ノードからの帰還信号が与えられる第1のNMOSトランジスタと、ソースが上記第1のNMOSトランジスタのソースに接続され、ゲートに入力信号が与えられる第1のPMOSトランジスタと、ドレインが上記第1のPMOSトランジスタのドレインに接続され、ゲートに前記入力信号が与えられ、ソースが接地ノードに接続された第2のNMOSトランジスタと、ソースが前記電源ノードに接続され、ゲートに前記入力信号が与えられ、ドレインが前記第1のPMOSトランジスタのドレインおよび第2のNMOSトランジスタのドレインと共通接続されて第1の出力ノードとなり、そのチャネル長Lが前記第1のNMOSトランジスタのチャネル長Lよりも大きく設定され、あるいはそのチャネル幅Wが前記第1のNMOSトランジスタのチャネル幅Wよりも小さく設定された第2のPMOSトランジスタとを有し、上記第1の出力ノードは、前記出力バッファ回路の出力用NMOSトランジスタのゲートに接続されてなり、前記第2のスルーレート回路は、ドレインが接地ノードに接続され、ゲートに前記バッファ回路の出力ノードからの帰還信号が与えられる第3のPMOSトランジスタと、ソースが上記第3のPMOSトランジスタのソースに接続され、ゲートに入力信号が与えられる第3のNMOSトランジスタと、ドレインが上記第3のNMOSトランジスタのドレインに接続され、ゲートに前記入力信号が与えられ、ソースが電源ノードに接続された第4のPMOSトランジスタと、ソースが前記接地ノードに接続され、ゲートに前記入力信号が与えられ、ドレインが前記第3のNMOSトランジスタのドレインおよび第4のPMOSトランジスタのドレインと共通接続されて第2の出力ノードとなり、そのチャネル長Lが前記第3のPMOSトランジスタのチャネル長Lよりも大きく設定され、あるいはそのチャネル幅Wが前記第3のPMOSトランジスタのチャネル幅Wよりも小さく設定された第4のNMOSトランジスタとを有し、上記第2の出力ノードは、前記出力バッファ回路の出力用PMOSトランジスタのゲートに接続されてなることを特徴とするスルーレート型バッファ回路。

【請求項3】　請求項2記載のスルーレート型バッファ回路において、前記第1のスルーレート回路は、複数の入力信号に対応して前記第1のNMOSトランジスタと第1のPMOSトランジスタとの直列回路が複数個設けられるとともに前記第2のPMOSトランジスタおよび第2のNMOSトランジスタがそれぞれ複数個設けられ、上記複数個の直列回路が並列に接続され、上記複数個の第2のPMOSトランジスタが並列に接続され、上記複数個の第2のNMOSトランジスタが直列に接続されてナンド回路を構成しており、前記第2のスルーレート回路は、前記複数の入力信号に対応して前記第3のNMOSトランジスタと第4のNMOSトランジスタと第4のPMOSトランジスタがそれぞれ複数個設けられ、上記複数個の第4のPMOSトランジスタが並列に接続され、上記複数個の第3のNMOSトランジスタが直列に接続され、上記複数個の第4のNMOSトランジスタが直列に接続されてナンド回路を構成していることを特徴とするスルーレート型バッファ回路。

【請求項4】　請求項1記載のスルーレート型バッファ回路において、前記第1のスルーレート回路は、複数の入力信号に対応して前記第1のPMOSトランジスタと第2のPMOSトランジスタと第2のNMOSトランジ

スタが複数個の設けられ、上記複数個の第２のＮＭＯＳトランジスタが並列に接続され、上記複数個の第１のＰＭＯＳトランジスタが直列に接続され、上記複数個の第２のＰＭＯＳトランジスタが直列に接続されてノア回路を構成しており、前記第２のスルーレート回路は、前記複数の入力信号に対応して前記第３のＮＭＯＳトランジスタと第３のＰＭＯＳトランジスタとの直列回路が複数個設けられるとともに前記第４のＮＭＯＳトランジスタおよび第４のＰＭＯＳトランジスタがそれぞれ複数個設けられており、上記複数個の直列回路が並列に接続され、上記複数個の第４のＮＭＯＳトランジスタが並列に接続され、上記複数個の第４のＰＭＯＳトランジスタが直列に接続されてノア回路を構成していることを特徴とするスルーレート型バッファ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体集積回路の入／出力（Ｉ／Ｏ）回路などに使用されるバッファ回路に係り、特にバッファ回路の出力電流のピークおよび出力信号電位の遅延を抑制するためにバッファ回路の前段に挿入されるスルーレート回路に関する。

【０００２】

【従来の技術】図５（ａ）および（ｂ）は、従来の出力回路の一例およびその入／出力特性を示す。図５（ａ）の回路において、ＩＮＶ１はＣＭＯＳインバータ回路、ＢＵＦはＣＭＯＳインバータ回路からなる出力バッファ回路である。上記ＣＭＯＳインバータ回路ＩＮＶ１のＰＭＯＳトランジスタおよびＮＭＯＳトランジスタのチャネル長Ｌは小さく設定されている。

【０００３】上記出力回路の入／出力特性は、図５（ｂ）に示すように、入力信号電位ＩＮに対して出力信号電位ＯＵＴの遅延は小さいが、出力電流のピークが大きい。図６（ａ）乃至（ｃ）は、従来の出力回路の他の例およびその入／出力特性を示す。

【０００４】図６（ａ）の回路において、ＩＮＶ１は第１のＣＭＯＳインバータ回路、ＩＮＶ２は第２のＣＭＯＳインバータ回路、ＢＵＦは上記第１のＣＭＯＳインバータ回路ＩＮＶ１の出力により駆動されるＰＭＯＳトランジスタＰ１および前記第２のＣＭＯＳインバータ回路ＩＮＶ２の出力により駆動されるＮＭＯＳトランジスタＮ１からなる出力バッファ回路である。

【０００５】上記第１のＣＭＯＳインバータ回路ＩＮＶ１のＮＭＯＳトランジスタおよび第２のＣＭＯＳインバータ回路ＩＮＶ２のＰＭＯＳトランジスタのチャネル長Ｌは大きく設定されている。これにより、第１のＣＭＯＳインバータ回路ＩＮＶ１の入／出力特性は図６（ｃ）中に実線で示すように、出力の立上がりが急俊であり、立下がりがゆるやかであり、第２のＣＭＯＳインバータ回路ＩＮＶ２の入／出力特性は図６（ｃ）中に点線で示すように、出力の立上がりがゆるやかであり、立下がりが急俊である。

【０００６】上記出力回路の入／出力特性は、図６（ｂ）に示すように、出力電流のピークは極めて小さいが、入力信号電位ＩＮに対して出力信号電位ＯＵＴの遅延が大きい。

【０００７】図７（ａ）乃至（ｃ）は、従来の出力回路のさらに他の例としてスルーレート型バッファ回路およびその入／出力特性を示す。図７（ａ）のスルーレート型バッファ回路において、ＢＬＫ１は第１のスルーレート回路、ＢＬＫ２は第２のスルーレート回路、ＢＵＦは出力バッファ回路である。この出力バッファ回路ＢＵＦは、第１のスルーレート回路ＢＬＫ１の出力により駆動されるＰＭＯＳトランジスタＰ１と、第２のスルーレート回路ＢＬＫ２の出力により駆動されるＮＭＯＳトランジスタＮ１とからなる。

【０００８】次に、上記スルーレート型バッファ回路の動作について図７（ｂ）、図７（ｃ）に示す入／出力特性を参照しながら説明する。まず、入力信号電位ＩＮが“Ｈ”レベルから“Ｌ”レベルに変化した場合の動作について説明する。

【０００９】第１のスルーレート回路ＢＬＫ１においては、ＮＭＯＳトランジスタＮ３のドレインが電源電位Ｖｃｃ（例えば５Ｖ）に接続されており、そのソースには、入力信号電位ＩＮに関係なくＶｃｃ－Ｖｔｈｎ（Ｖｔｈｎ はＮＭＯＳトランジスタの閾値電圧）の電位が出力する。入力信号電位ＩＮが“Ｈ”レベルから“Ｌ”レベルに変化すると、ＰＭＯＳトランジスタＰ５はオンになり、そのドレイン（第１の出力ノードＡ）の電位はＶｃｃになるが、上記ＰＭＯＳトランジスタＰ５のチャネル長Ｌが比較的大きく、そのオン抵抗が大きいので、上記第１の出力ノードＡの電位は直ぐにはＶｃｃまで変化しない。そして、ＰＭＯＳトランジスタＰ４もオンになり、そのドレイン（第１の出力ノードＡ）の電位はＶｃｃ－Ｖｔｈｎ になるが、上記ＰＭＯＳトランジスタＰ４のオン抵抗と前記ＰＭＯＳトランジスタＰ５のオン抵抗との並列抵抗は小さいので、上記第１の出力ノードＡの電位はＶｃｃ／２まで急速に立ち上がる。そして、上記ＰＭＯＳトランジスタＰ４のドレイン電位がＶｃｃ－Ｖｔｈｎ で電流制限されると、前記ＰＭＯＳトランジスタＰ５のドレイン電位はＶｃｃになる。この場合、前述したように上記ＰＭＯＳトランジスタＰ５のチャネル長Ｌは比較的大きいので、上記ＰＭＯＳトランジスタＰ５のドレイン電位はゆっくりとＶｃｃまで立ち上がる。これを受けて、出力バッファ回路ＢＵＦのＮＭＯＳトランジスタＮ１はオフ状態からオン状態にゆっくり変化する。

【００１０】一方、第２のスルーレート回路ＢＬＫ２においては、入力信号電位ＩＮが“Ｈ”レベルから“Ｌ”レベルに変化すると、ＰＭＯＳトランジスタＰ２がオンになり、そのドレイン（第２の出力ノードＢ）の電位はＶｃｃになる。これを受けて、出力バッファ回路ＢＵＦの

EX1005 / Page 325 of 376
Western Digital Technologies, Inc.

5

PMOSトランジスタP1はオフ状態になる。

【0011】この時、上記PMOSトランジスタP1のチャネル長Lが比較的小さく、チャネル幅Wが比較的大きいので、そのスイッチング速度は速く、上記PMOSトランジスタP1がオフ状態になる速度は速い。

【0012】次に、前記スルーレート型バッファ回路において、入力信号電位INが“L”レベルから“H”レベルに変化した場合の動作について説明する。第1のスルーレート回路BLK1においては、入力信号電位INが“L”レベルから“H”レベルに変化すると、NMOSトランジスタN2がオンになり、そのドレイン（第1の出力ノードA）の電位は接地電位Vssになる。これを受けて、出力バッファ回路BUFのNMOSトランジスタN1はオフ状態になる。

【0013】この時、上記NMOSトランジスタN2のチャネル長Lが比較的小さく、チャネル幅Wが比較的大きいので、そのスイッチング速度は速く、上記NMOSトランジスタN1がオフ状態になる速度は速い。

【0014】一方、第2のスルーレート回路BLK2においては、PMOSトランジスタP3はドレインが接地電位Vssに接続されており、そのソースには入力信号電位INに関係なくVss+Vthp（Vthpはトランジスタの閾値電圧）の電位が出力する。入力信号電位INが“L”レベルから“H”レベルに変化すると、NMOSトランジスタN5はオンになり、そのドレイン（第2の出力ノードB）の電位はVssになるが、上記NMOSトランジスタN5のチャネル長Lが比較的大きく、そのオン抵抗が大きいので、上記第2の出力ノードBの電位は直ぐにはVssまで変化しない。そして、NMOSトランジスタN4もオンになり、そのドレイン（第2の出力ノードB）の電位はVss+Vthpになるが、上記NMOSトランジスタN4のオン抵抗と前記NMOSトランジスタN5のオン抵抗との並列抵抗は小さいので、上記第2の出力ノードBの電位はVcc／2まで急速に立ち下がる。そして、上記NMOSトランジスタN4のドレイン電位がVss+Vthpで電流制限されると、前記NMOSトランジスタN5のドレイン電位はVssになる。

【0015】この場合、前述したように上記NMOSトランジスタN5のチャネル長Lは比較的大きいので、上記NMOSトランジスタN5のドレイン電位はゆっくりとVssまで立ち下がる。これを受けて、出力バッファ回路BUFのPMOSトランジスタP1はオフ状態からオン状態にゆっくり変化する。

【0016】上記したように図7（a）中の各スルーレート回路BLK1、BLK2は、出力バッファ回路BUFの入力波形をVcc／2まで急速に立ち上げ（あるいは立ち下げ）、その後にゆっくりと変化させることにより、入力信号電位INに対して出力信号電位OUTの遅延を抑制することができる。

6

【0017】そして、第2のスルーレート回路BLK2のPMOSトランジスタP2のチャネル幅Wを比較的大きく設定することにより、出力バッファ回路BUFのPMOSトランジスタP1をオン状態からオフ状態に急速に変化させ、第1のスルーレート回路BLK1のPMOSトランジスタP5のチャネル長Lを比較的大きく設定することにより、出力バッファ回路BUFのNMOSトランジスタN1をオフ状態からオン状態にゆっくり変化させている。また、第1のスルーレート回路BLK1のNMOSトランジスタN3のチャネル幅Wを比較的大きく設定することにより、出力バッファ回路BUFのNMOSトランジスタN1をオン状態からオフ状態に急速に変化させ、第2のスルーレート回路BLK2のNMOSトランジスタN5のチャネル長Lを比較的大きく設定することにより、出力バッファ回路BUFのPMOSトランジスタP1をオフ状態からオン状態にゆっくり変化させている。このような動作により、出力電流のピークを抑制している。

【0018】しかし、上記した図7（a）のスルーレート型バッファ回路においては、第1のスルーレート回路BLK1のNMOSトランジスタN1の出力信号電位（ソース電位）Vcc－Vthnおよび第2のスルーレート回路BLK2のPMOSトランジスタP5の出力信号電位（ソース電位）Vss+VthpがMOSトランジスタの閾値Vthn、Vthpに大きく依存し、プロセス変動による閾値変動により上記各トランジスタの電流が制限される電位が変化し、出力バッファ回路BUFの出力信号電位OUTの特性が大きく変動する。

【0019】

【発明が解決しようとする課題】上記したように従来のスルーレート型バッファ回路は、プロセス変動によるMOSトランジスタの閾値変動により出力信号電位の特性が大きく変動するという問題があった。

【0020】本発明は上記の問題点を解決すべくなされたもので、出力電流のピークおよび出力信号電位の遅延を抑制し得るとともにプロセス変動によるMOSトランジスタの閾値変動による特性変動をも抑制し得るスルーレート型バッファ回路を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明のスルーレート型バッファ回路は、電源ノードと出力ノードとの間に接続された出力用PMOSトランジスタおよび上記出力ノードと接地ノードとの間に接続された出力用NMOSトランジスタを有するバッファ回路と、上記出力ノードからの帰還信号によりスイッチ制御されるMOSトランジスタおよび信号入力ノードからの入力信号によりスイッチ制御されるMOSトランジスタ群を有し、上記出力用NMOSトランジスタのゲート電位を制御するための電位を出力する第1の出力ノードを有し、上記信号入力ノードの入力電位が“H”レベルから“L”レベルに変化し

た場合には、入力信号電位が電源電位の１／２付近になるまでは上記第１の出力ノードの電位が“Ｌ”レベルから急速に立ち上がり、前記出力ノードの出力信号電位が電源電位の１／２より低下した付近から第１の出力ノードの電位が“Ｈ”レベルまでゆるやかに立ち上がり、前記信号入力ノードの入力電位が“Ｌ”レベルから“Ｈ”レベルに変化した場合には前記第１の出力ノードの電位が“Ｈ”レベルから“Ｌ”レベルまで急速に立ち下がるような入出力特性を有する第１のスルーレート回路と、前記出力ノードからの帰還信号によりスイッチ制御されるＭＯＳトランジスタおよび前記信号入力ノードからの入力信号によりスイッチ制御されるＭＯＳトランジスタ群を有し、前記出力用ＰＭＯＳトランジスタのゲート電位を制御するための電位を出力する第２の出力ノードを有し、前記信号入力ノードの入力電位が“Ｈ”レベルから“Ｌ”レベルに変化した場合には、上記第２の出力ノードの電位が“Ｌ”レベルから“Ｈ”レベルまで急速に立ち上がり、前記信号入力ノードの入力電位が“Ｌ”レベルから“Ｈ”レベルに変化した場合には、入力信号電位が電源電位の１／２付近になるまでは上記第２の出力ノードの電位が“Ｈ”レベルから急速に立ち下がり、前記出力ノードの出力信号電位が電源電位の１／２を越えた付近から前記第２の出力ノードの電位が“Ｌ”レベルまでゆるやかに立ち下がるような入出力特性を有する第２のスルーレート回路とを具備することを特徴とする。

【００２２】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図１は、本発明のスルーレート型バッファ回路の第１の実施の形態を示している。

【００２３】図１のスルーレート型バッファ回路において、１１は第１のスルーレート回路、１２は第２のスルーレート回路、１３は出力バッファ回路である。上記出力バッファ回路１３は、電源ノードと出力ノード１４との間に接続された出力用ＰＭＯＳトランジスタＰ１および上記出力ノード１４と接地ノードとの間に接続された出力用ＮＭＯＳトランジスタＮ１を有する。なお、Ｃは出力側の寄生容量である。

【００２４】前記第１のスルーレート回路１１は、上記出力ノード１４からの帰還信号によりスイッチ制御されるＭＯＳトランジスタＮ３および信号入力ノード１５からの入力信号によりスイッチ制御されるＭＯＳトランジスタ群を有し、上記出力用ＮＭＯＳトランジスタＮ１のゲート電位を制御するための電位を出力する第１の出力ノードＡを有する。そして、図２（ｂ）中に点線で示すように、上記信号入力ノード１５の入力信号電位ＩＮが“Ｈ”レベルから“Ｌ”レベルに変化した場合には、入力信号電位が電源電位の１／２付近になるまでは上記第１の出力ノードＡの電位が“Ｌ”レベルから急速に立ち上がり、前記出力ノード１４の出力信号電位ＯＵＴが電源電位の１／２より低下した付近から第１の出力ノードＡの電位が“Ｈ”レベルまでゆるやかに立ち上がり、前記信号入力ノード１５の入力電位が“Ｌ”レベルから“Ｈ”レベルに変化した場合には前記第１の出力ノードＡの電位が“Ｈ”レベルから“Ｌ”レベルまで急速に立ち下がるような入出力特性を有する。

【００２５】上記第１のスルーレート回路１１の一例としては、ドレインが電源ノードに接続され、ゲートが前記出力ノード１４に接続された第１のＮＭＯＳトランジスタＮ３と、ソースが上記第１のＮＭＯＳトランジスタＮ３のソースに接続され、ゲートに入力信号が与えられる第１のＰＭＯＳトランジスタＰ４と、ドレインが上記ＰＭＯＳトランジスタＰ４のドレインに接続され、ゲートに前記入力信号が与えられ、ソースが接地ノードに接続された第２のＮＭＯＳトランジスタＮ２と、ソースが前記電源ノードに接続され、ゲートに前記入力信号が与えられ、ドレインが上記ＰＭＯＳトランジスタＰ４のドレインおよびＮＭＯＳトランジスタＮ２のドレインと共通接続されて第１の出力ノードＡとなり、そのチャネル長Ｌが前記トランジスタＮ３のチャネル長Ｌよりも大きく設定された（あるいは、そのチャネル幅Ｗが前記前記トランジスタＮ３のチャネル幅Ｗよりも小さく設定された）第２のＰＭＯＳトランジスタＰ５とを有する。この場合、上記ＮＭＯＳトランジスタＮ３およびＰＭＯＳトランジスタＰ４、Ｐ５は第１のインバータ回路部を構成しており、前記第１の出力ノードＡは前記出力バッファ回路１３のＮＭＯＳトランジスタＮ１のゲートに接続されている。

【００２６】一方、前記第２のスルーレート回路１２は、前記出力ノード１４からの帰還信号によりスイッチ制御されるＭＯＳトランジスタＰ３および前記信号入力ノード１５からの入力信号によりスイッチ制御されるＭＯＳトランジスタ群を有し、前記出力用ＰＭＯＳトランジスタＰ１のゲート電位を制御するための電位を出力する第２の出力ノードＢを有する。そして、図２（ｂ）中に実線で示すように、前記信号入力ノード１５の入力電位ＩＮが“Ｈ”レベルから“Ｌ”レベルに変化した場合には、上記第２の出力ノードＢの電位が“Ｌ”レベルから“Ｈ”レベルまで急速に立ち上がり、前記信号入力ノード１５の入力電位が“Ｌ”レベルから“Ｈ”レベルに変化した場合には、入力信号電位ＩＮが電源電位の１／２付近になるまでは上記第２の出力ノードＢの電位が“Ｈ”レベルから急速に立ち下がり、前記出力ノード１４の出力信号電位ＯＵＴが電源電位の１／２を越えた付近から前記第２の出力ノードＢの電位が“Ｌ”レベルまでゆるやかに立ち下がるような入出力特性を有する。

【００２７】前記第２のスルーレート回路１２の一例は、ドレインが接地ノードに接続され、ゲートが前記出力ノード１４に接続された第３のＰＭＯＳトランジスタＰ３と、ソースが上記ＰＭＯＳトランジスタＰ３のソースに接続され、ゲートに入力信号が与えられる第３のＮ

EX1005 / Page 327 of 376
Western Digital Technologies, Inc.

9

MOSトランジスタN4と、ドレインが上記NMOSトランジスタN4のドレインに接続され、ゲートに前記入力信号が与えられ、ソースが電源ノードに接続された第4のPMOSトランジスタP2と、ソースが前記接地ノードに接続され、ゲートに前記入力信号が与えられ、ドレインが上記NMOSトランジスタN4のドレインおよびPMOSトランジスタP2のドレインと共通接続されて第2の出力ノードBとなり、そのチャネル長Lが前記トランジスタP3のチャネル長Lよりも大きく設定された（あるいは、そのチャネル幅Wが前記前記トランジスタP3のチャネル幅Wよりも小さく設定された）第4のNMOSトランジスタN5とを有する。この場合、上記PMOSトランジスタP2およびNMOSトランジスタN4、N5は第2のインバータ回路部を構成しており、前記第2の出力ノードBは前記出力バッファ回路13のPMOSトランジスタP1のゲートに接続されている。

【0028】図2（a）および図2（b）は、図1のスルーレート型バッファ回路の入力信号電位INが“H”レベルから“L”レベルに変化し、さらに、“H”レベルに変化した場合におけるスルーレート型バッファ回路全体の入出力特性およびスルーレート回路部の入出力特性を示す。

【0029】次に、図1のスルーレート型バッファ回路の入力信号電位INが“H”レベルから“L”レベルに変化した場合の動作について図2（a）および図2（b）に示す入／出力特性を参照しながら説明する。

【0030】第1のスルーレート回路11においては、NMOSトランジスタN3のゲートが出力バッファ回路13の出力ノード14に接続されており、この出力ノード14が“H”レベル（電源電位Vcc、例えば5V）である初期状態では、上記NMOSトランジスタN3はオン状態であり、そのソースにはVcc－Vthn（Vthnはは NMOSトランジスタの閾値電圧）の電位が出力する。この時、入力信号電位INが“H”レベルから“L”レベルに変化すると、PMOSトランジスタP4、P5はオンになり、NMOSトランジスタN2はオフになる。

【0031】この場合、PMOSトランジスタP5のチャネル長Lが比較的大きく（あるいは、そのチャネル幅Wが比較的小さく）、そのオン抵抗が大きいので、入力信号電位INがVcc／2付近になるまでは、PMOSトランジスタP5のドレイン（第1の出力ノードA）の電位は直ぐにはVccまで変化しない。

【0032】これに対して、PMOSトランジスタP4のドレイン（第1の出力ノードA）の電位はVcc－Vthnになるが、上記PMOSトランジスタP4のオン抵抗と前記PMOSトランジスタP5のオン抵抗との並列抵抗は小さいので、上記第1の出力ノードAの電位はVcc／2まで急速に立ち上がる。

【0033】そして、出力バッファ回路13の出力ノード14の出力信号電位OUTがVcc／2より低下した付近からNMOSトランジスタN3がオフ状態になるようにスイッチ制御され、第1の出力ノードAの電位に寄与するトランジスタはPMOSトランジスタP5のみとなり、そのドレイン電位はVccになる。

【0034】この場合、前述したように上記PMOSトランジスタP5のチャネル長Lは比較的大きいので、上記PMOSトランジスタP5のドレイン電位はゆっくりとVccまで立ち上がる。これを受けて、出力バッファ回路13のNMOSトランジスタN1はオフ状態からオン状態にゆっくり変化する。

【0035】一方、第2のスルーレート回路12においては、入力信号電位INが“H”レベルから“L”レベルに変化すると、PMOSトランジスタP2がオンになり、そのドレイン（第2の出力ノードB）の電位はVccになる。これを受けて、出力バッファ回路13のPMOSトランジスタP1はオフ状態になる。この時、上記PMOSトランジスタP2のチャネル長Lが比較的小さい（あるいは、そのチャネル幅Wが比較的大きい）ので、そのスイッチング速度は速く、上記PMOSトランジスタP1がオフ状態になる速度は速い。

【0036】即ち、上記したように入力信号電位INが“H”レベルから“L”レベルに変化した場合には、第2のスルーレート回路12の第2の出力ノードBの電位は、通常のCMOSインバータ回路の動作と同様にVssからVccまで急速に立ち上がり、出力バッファ回路のPMOSトランジスタP1を急速にオフ状態にする。

【0037】これに対して、第1のスルーレート回路11の第1の出力ノードAの電位は、入力信号電位INがVcc／2付近になるまでは通常のCMOSインバータ回路と同様になる。そして、出力バッファ回路13の出力ノード14の出力信号電位OUTがVcc／2より低下した付近からNMOSトランジスタN3がオフ状態になり、第1の出力ノードAの電位に寄与するトランジスタはPMOSトランジスタP5のみとなるので、出力曲線はなだらかな特性となる。この場合、出力ノード14の出力信号電位OUTは既に反転領域を越えているので、入力信号電位INの変化に対する出力信号電位OUTの遅延は存在しない。

【0038】次に、図1のスルーレート型バッファ回路の入力信号電位INが“L”レベルから“H”レベルに変化した場合の動作について図2（a）および図2（b）に示す入／出力特性を参照しながら説明する。

【0039】第1のスルーレート回路11においては、入力信号電位INが“L”レベルから“H”レベルに変化すると、NMOSトランジスタN2がオンになり、そのドレイン（第1の出力ノードA）の電位は接地電位Vssになる。これを受けて、出力バッファ回路13のNMOSトランジスタN1はオフ状態になる。この時、上記NMOSトランジスタN2のチャネル長Lが比較的小さい（あるいは、そのチャネル幅Wが比較的大きい）の

11

で、そのスイッチング速度は速く、上記ＮＭＯＳトランジスタＮ１がオフ状態になる速度は速い。

【００４０】一方、第２のスルーレート回路１２においては、ＰＭＯＳトランジスタＰ３のドレインが出力バッファ回路１３の出力ノード１４に接続されており、この出力ノード１４は入力信号電位ＩＮが“Ｌ”レベルの初期状態では“Ｌ”レベル（接地電位Ｖss）であるので、上記ＰＭＯＳトランジスタＰ３のソースにはＶss＋Ｖthｐ（Ｖthｐはｐ型ＭＯＳトランジスタの閾値電圧）の電位が出力する。この時、入力信号電位ＩＮが“Ｌ”レベルから“Ｈ”レベルに変化すると、ＮＭＯＳトランジスタＮ４、Ｎ５はオンになり、ＰＭＯＳトランジスタＰ２はオフになる。

【００４１】この場合、ＮＭＯＳトランジスタＮ５のチャネル長Ｌが比較的大きく（あるいは、そのチャネル幅Ｗが比較的小さく）、そのオン抵抗が大きいので、入力信号電位ＩＮがＶcc／２付近になるまでは、ＮＭＯＳトランジスタＮ５のドレイン（第２の出力ノードＢ）の電位は直ぐにはＶssまで変化しない。

【００４２】これに対して、ＮＭＯＳトランジスタＮ４のドレイン（第２の出力ノードＢ）の電位はＶss＋Ｖthｐになり、上記ＮＭＯＳトランジスタＮ４のオン抵抗と前記ＮＭＯＳトランジスタＮ５のオン抵抗との並列抵抗は小さいので、上記第２の出力ノードＢの電位はＶcc／２まで急速に立ち下がる。

【００４３】そして、出力バッファ回路１３の出力ノード１４の出力信号電位ＯＵＴがＶcc／２を越えた付近からＰＭＯＳトランジスタＰ３がオフ状態になるようにスイッチ制御され、第２の出力ノードＢの電位に寄与するトランジスタはＮＭＯＳトランジスタＮ５のみとなり、そのドレイン電位はＶssになる。

【００４４】この場合、前述したようにＮＭＯＳトランジスタＮ５のチャネル長Ｌは比較的大きい（あるいは、そのチャネル幅Ｗが比較的小さい）ので、上記ＮＭＯＳトランジスタＮ５のドレイン電位はゆっくりとＶssまで立ち下がる。これを受けて、出力バッファ回路１３のＰＭＯＳトランジスタＰ１はオフ状態からオン状態にゆっくり変化する。

【００４５】即ち、上記したように入力信号電位ＩＮが“Ｌ”レベルから“Ｈ”レベルに変化した場合には、第１のスルーレート回路１１の第１の出力ノードＡの電位は通常のＣＭＯＳインバータ回路と同様にＶccからＶssまで急速に立ち下がり、出力バッファ回路１３のＮＭＯＳトランジスタＮ１を急速にオフ状態にする。

【００４６】これに対して、第２のスルーレート回路１２の第２の出力ノードＢの電位は、入力信号電位ＩＮがＶcc／２付近になるまでは通常のＣＭＯＳインバータ回路と同様になる。そして、出力バッファ回路１３の出力ノード１４の出力信号電位ＯＵＴがＶcc／２を越えた付近からＰＭＯＳトランジスタＰ３がオフ状態になり、第

12

２の出力ノードＢの電位に寄与するトランジスタはＮＭＯＳトランジスタＮ５のみとなるので、出力曲線はなだらかな特性となる。この場合、出力バッファ回路１３の出力ノード１４の出力信号電位ＯＵＴは既に反転領域を越えているので、入力信号電位ＩＮの変化に対する出力信号電位ＯＵＴの遅延は存在しない。

【００４７】上記したように図１中のスルーレート回路１１、１２が有する入出力特性によれば、出力バッファ回路１３の入力波形をＶcc／２まで急速に立ち上げ、あるいは、立ち下げ、その後にゆっくりと変化させることにより、入力信号電位に対して出力信号電位の遅延を抑制することができる。

【００４８】そして、出力バッファ回路１３のＰＭＯＳトランジスタＰ１をオン状態からオフ状態に急速に変化させ、出力バッファ回路１３のＮＭＯＳトランジスタＮ１をオフ状態からオン状態にゆっくり変化させることが可能になる。また、出力バッファ回路１３のＮＭＯＳトランジスタＮ１をオン状態からオフ状態に急速に変化させ、出力バッファ回路１３のＰＭＯＳトランジスタＰ１をオフ状態からオン状態にゆっくり変化させることが可能になる。このような動作により、出力電流のピークを抑制することが可能になる。

【００４９】さらに、出力バッファ回路１３の出力信号電位をスルーレート回路１１、１２のＭＯＳトランジスタのスイッチ制御入力として帰還させるので、プロセス変動によるＭＯＳトランジスタの閾値変動による電流制限特性の変動とか、それに伴う出力電圧特性の変動を抑制しているので、出力信号電位の変化に伴って発生する雑音のレベルを低減させることが可能になる。

【００５０】図３は、本発明のスルーレート型バッファ回路の第２の実施の形態を示している。この第２の実施の形態は、前記第１の実施の形態における第１のスルーレート回路１１の第１のインバータ回路部および第２のスルーレート回路１２の第２のインバータ回路部がそれぞれ例えば２個用いられて二入力のナンド回路部をそれぞれ構成するように変更されており、その他は同じであるので図１中と同一符号を付している。

【００５１】図３において、第１のスルーレート回路３１は、第１の実施の形態のスルーレート回路１１に対して、第２の入力信号ＩＮ２がゲートに入力するＮＭＯＳトランジスタＮ２ａ、ＰＭＯＳトランジスタＰ４ａおよびＰ５ａと、出力バッファの出力により帰還制御されるＮＭＯＳトランジスタＮ３ａが付加されている。また、前記第２のスルーレート回路３２は、第１の実施の形態のスルーレート回路１２に対して、第２の入力信号ＩＮ２がゲートに入力するＰＭＯＳトランジスタＰ２ａ、ＮＭＯＳトランジスタＮ４ａおよびＮ５ａが付加されている。

【００５２】即ち、第１のスルーレート回路３１は、複数の入力信号ＩＮ１、ＩＮ２に対応して第１のＮＭＯＳ

EX1005 / Page 329 of 376
Western Digital Technologies, Inc.

13

トランジスタ（N3、N3a）と第1のPMOSトランジスタ（P4、P4a）との直列回路が複数個設けられるとともに第2のPMOSトランジスタ（P5、P5a）および第2のNMOSトランジスタ（N2、N2a）がそれぞれ複数個設けられている。そして、上記複数個の直列回路が並列に接続され、上記複数個の第2のPMOSトランジスタ（P5、P5a）が並列に接続され、上記複数個の第2のNMOSトランジスタ（N2、N2a）が直列に接続されてナンド回路を構成している。

【0053】また、前記第2のスルーレート回路32は、複数の入力信号IN1、IN2に対応して複数個の第3のNMOSトランジスタ（N4、N4a）と第4のNMOSトランジスタ（N5、N5a）と第4のPMOSトランジスタ（P2、P2a）が設けられている。そして、上記複数個の第4のPMOSトランジスタ（P2、P2a）が並列に接続され、上記複数個の第3のNMOSトランジスタ（N4、N4a）が直列に接続され、上記複数個の第4のNMOSトランジスタ（N5、N5a）が直列に接続されてナンド回路を構成している。

【0054】上記第2の実施の形態においては、前記第1の実施の形態におけるインバータ動作の代わりにナンド動作が行われ、前記第1の実施の形態と同様の効果が得られる。

【0055】図4は、本発明のスルーレート型バッファ回路の第3の実施の形態を示している。この第3の実施の形態は、前記第1の実施の形態における第1のスルーレート回路11の第1のインバータ回路部および第2のスルーレート回路12の第2のインバータ回路部がそれぞれ例えば2個用いられて二入力のノア回路部をそれぞれ構成するように変更されており、その他は同じであるので図1中と同一符号を付している。

【0056】図4において、第1のスルーレート回路41は、第1の実施の形態のスルーレート回路11に対して、第2の入力信号IN2がゲートに入力するNMOSトランジスタN2a、PMOSトランジスタP4aおよびP5aが付加されており、第2のスルーレート回路42は、第1の実施の形態のスルーレート回路12に対して、第2の入力信号IN2がゲートに入力するPMOSトランジスタP2a、NMOSトランジスタN4a、N5aと、出力バッファ13の出力により帰還制御されるPMOSトランジスタP3aが付加されている。

【0057】即ち、第1のスルーレート回路41は、複数の入力信号IN1、IN2に対応して複数個の第1のPMOSトランジスタ（P4、P4a）と第2のPMOSトランジスタ（P5、P5a）と第2のNMOSトランジスタ（N2、N2a）が設けられている。そして、上記複数個の第2のNMOSトランジスタ（N2、N2a）が並列に接続され、上記複数個の第1のPMOSトランジスタ（P4、P4a）が直列に接続され、上記複数個の第2のPMOSトランジスタ（P5、P5a）が直列に接続されてノア回路を構成している。

14

【0058】また、前記第2のスルーレート回路42は、複数の入力信号IN1、IN2に対応して第3のNMOSトランジスタ（N4、N4a）と第3のPMOSトランジスタ（P3、P3a）との直列回路が複数個設けられるとともに第4のNMOSトランジスタ（N5、N5a）および第4のPMOSトランジスタ（P2、P2a）がそれぞれ複数個設けられている。そして、上記複数個の直列回路が並列に接続され、上記複数個の第4のNMOSトランジスタ（N5、N5a）が並列に接続され、上記複数個の第4のPMOSトランジスタ（P2、P2a）が直列に接続されてノア回路を構成している。

【0059】上記第3の実施の形態においては、前記第1の実施の形態におけるインバータ動作の代わりにノア動作が行われ、前記第1の実施の形態と同様の効果が得られる。

【0060】

【発明の効果】上述したように本発明のスルーレート型バッファ回路によれば、出力電流のピークおよび出力信号電位の遅延を抑制し得るとともにプロセス変動によるMOSトランジスタの閾値変動による特性変動をも抑制することができる。従って、大電流・高速スイッチング用の出力バッファ回路に使用して好適である。

【図面の簡単な説明】

【図1】　本発明のスルーレート型バッファ回路の第1の実施の形態を示す回路図。

【図2】　図1の回路の動作例を示す入出力特性図。

【図3】　本発明のスルーレート型バッファ回路の第2の実施の形態を示す回路図。

【図4】　本発明のスルーレート型バッファ回路の第3の実施の形態を示す回路図。

【図5】　従来の出力回路の一例およびその入／出力特性を示す図。

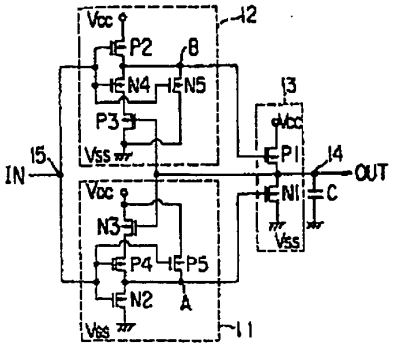
【図6】　従来の出力回路の他の例およびその入／出力特性を示す図。

【図7】　従来の出力回路のさらに他の例としてスルーレート型バッファ回路およびその入／出力特性を示す図。

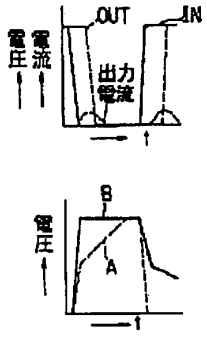
【符号の説明】

11…第1のスルーレート回路、12…第2のスルーレート回路、13…出力バッファ回路、14…出力ノード、15…信号入力ノード、N1～N5、N2a～N5a…NMOSトランジスタ、P1～P5、P2a～P5a…PMOSトランジスタ、A…第1の出力ノード、B…第2の出力ノード。

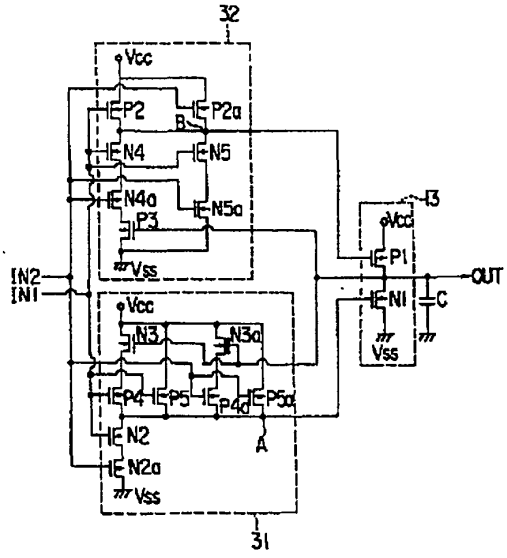
【図1】



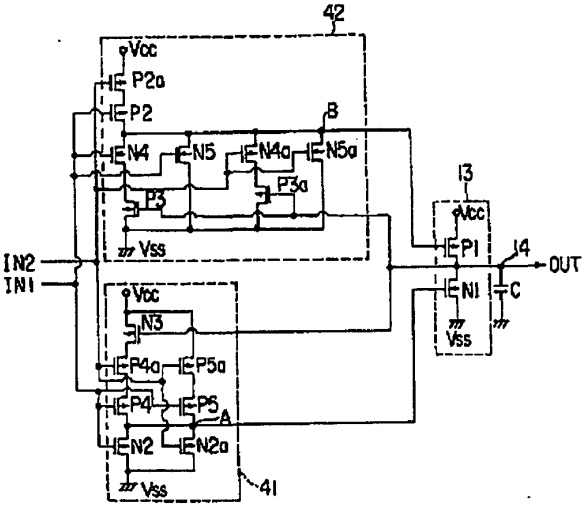
【図2】



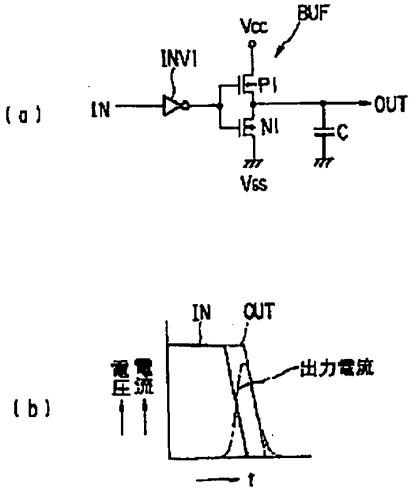
【図3】



【図4】

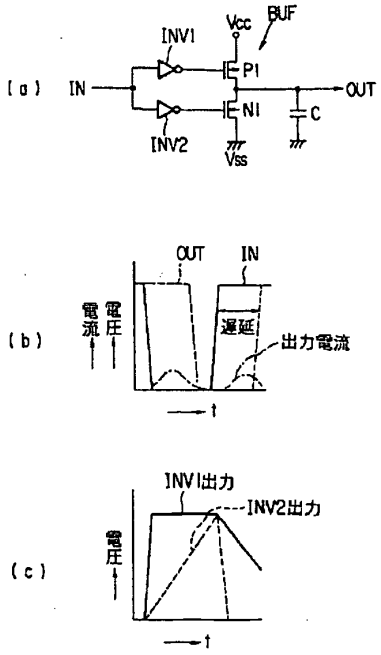


【図5】

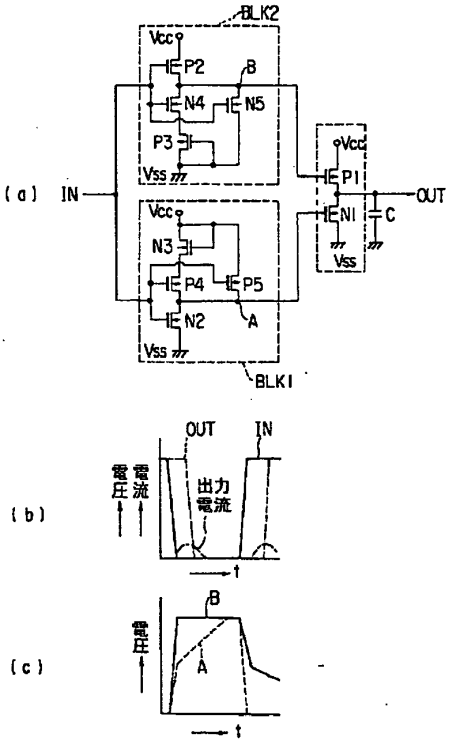


EX1005 / Page 331 of 376
Western Digital Technologies, Inc.

【図6】



【図7】



フロントページの続き

(72)発明者　杉田　一弘
神奈川県川崎市川崎区駅前本町25番地１
東芝マイクロエレクトロニクス株式会社内

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017516
(43)Date of publication of application : 22.01.1999

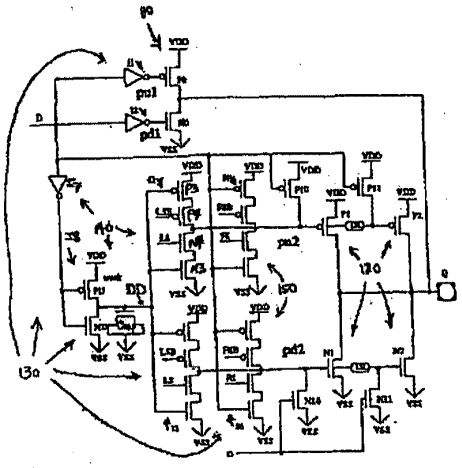
(51)Int.Cl. H03K 19/0175
G11C 11/417

(21)Application number : 09-152489
(22)Date of filing : 10.06.1997

(71)Applicant : IND TECHNOL RES INST
(72)Inventor : KO SHINEKI
SHU KOTEI
WU TAIN-SHUN

(54) HIGH AND LOW SPEED OUTPUT BUFFER HAVING CONTROLLED SLEW RATE

(57)Abstract:
PROBLEM TO BE SOLVED: To suppress the current of a short circuit and the ground bounce by delaying the drive of an output terminal by the complementary voltage via a 2nd driver until a 1st driver starts to complementarily drive the output terminal to respond to the transition of the logical value and then delaying the 2nd driver when the mode signal shows the highest speed mode.
SOLUTION: When an input signal D is set at 0, the inverters I1 to I7 output logical value 1 respectively. The transistors TR P0, P1 and P2 are turned off and the TR N0, N1 and N2 are turned on to supply the drive current to an output terminal pad Q and to keep the voltage level of the pad Q at a low voltage power supply bus Vss. When the signal D is set at 1, the TR P0 to P2 supply the drive current to the pad Q to keep the voltage level of the pad Q at a high voltage power supply bus Vdd. Then FSB=0, FS=1, LSB=1 and LS=0 are satisfied during a highest speed mode operation, and the inverters I3 and I5 are disabled in a tri-state.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平11－17516

(43)公開日　平成11年(1999)１月22日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ			技術表示箇所
H03K 19/0175			H03K 19/00	101	F	
G11C 11/417			G11C 11/34	305		

審査請求　有　請求項の数14　ＯＬ　（全23頁）

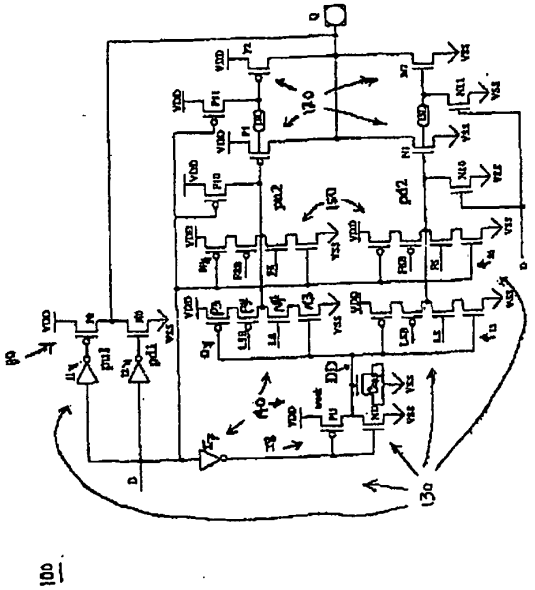
(21)出願番号　特願平9－152489

(22)出願日　平成９年(1997)６月10日

(71)出願人　390023582
財団法人工業技術研究院
台湾新竹縣竹東鎮中興路四段195號
(72)発明者　黄　進　益
台湾新竹市東勢街177－９号５Ｆ
(72)発明者　周　煌　程
台湾新竹縣竹東鎮三重路28号４Ｆ
(72)発明者　呉　添　祥
台湾苗栗縣後龍鎮北龍里３鄰104号
(74)代理人　弁理士　伊東　忠彦　（外１名）

(54)【発明の名称】制御されたスルーレートを有する高速及び低速出力バッファー

(57)【要約】
【課題】　短絡回路電流及び接地バウンスを抑制する出力バッファを提供する。
【解決手段】　それは出力端子上に出力するために入力信号を受けるよう設けられる。それは出力端子を入力信号の論理値に対応する電圧に駆動する第一及び第二のドライバを有する。第二のドライバは第一より高い駆動能力を有する。それはまた入力信号及び少なくとも一つのモード信号の論理値の遷移を受ける制御回路を有する。制御回路は第一のドライバが出力端子を相補的な電圧に駆動し始める後まで出力端子を相補的な電圧に駆動することについて第二のドライバを遅延することにより論理値の遷移に応答する。それで制御回路はモード信号が最大速度モードのときに第二のドライバを第一の遅延で遅延する。他方で低速度モードのときに第二のドライバを第一の遅延より長い第二の遅延により遅延する。



EX1005 / Page 335 of 376
Western Digital Technologies, Inc.

1

【特許請求の範囲】

【請求項１】　入力信号と、

出力端子と、

該出力端子を該入力信号の論理値に対応する電圧に駆動する第一のドライバと、

該出力端子を該入力信号の論理値に対応する電圧に駆動する該第一のドライバより高い駆動能力を有する第二のドライバと、

該入力信号及び少なくとも一つのモード信号の論理値の遷移を受ける制御回路とからなり、

該制御回路は該第一のドライバが該出力端子を該相補的電圧に駆動し始める後まで該出力端子を相補的な電圧に駆動することに対して該第二のドライバを遅延させて論理値の該遷移に応答し、ここで該制御回路は該少なくとも一つのモード信号が最高速度モードを示すときに該第二のドライバを第一の遅延により遅延させ、該少なくとも一つのモード信号が低速度モードを示すときに該第一の遅延より長い第二の遅延により遅延させる出力バッファ。

【請求項２】　該入力信号と少なくとも一つのモード信号とを受け、該第二のドライバが該出力を複数の電圧の一つに駆動させる一以上のイネーブル信号を出力し、該少なくとも一つのモード信号が該最高速度モードを示すときにのみ、第一の遅延回路が該第一の遅延の後に該第二のドライバが該出力を該相補的電圧に駆動させることにより該入力信号の該論理値遷移に応答する第一の遅延回路と、

該入力信号と少なくとも一つのモード信号とを受け、該第二のドライバが該出力を複数の電圧の一つに駆動させる一以上のイネーブル信号を出力し、該少なくとも一つのモード信号が該低速度モードを示すときにのみ、第二の遅延回路が該第二の遅延の後に該第二のドライバが該出力を該相補的電圧に駆動させることにより該入力信号の該論理値遷移に応答する第二の遅延回路とを更に含む請求項１記載の出力バッファ。

【請求項３】　該第二の遅延回路は、

出力を有する第一のインバータと、

該第一のインバータの該出力に接続された入力を有する第二のインバータと、

該第一のインバータの該出力と低電圧電力供給バスとの間に接続されたコンデンサとよりなる請求項２記載の出力バッファ。

【請求項４】　該第一のインバータがその出力を高電圧に駆動するときに、該コンデンサは該第一のインバータ出力の電圧レベルの上昇を遅延させ、該第二のインバータの駆動で変化を遅延させるよう充電される請求項３記載の出力バッファ。

【請求項５】　該コンデンサは該第一のインバータ出力に接続されたゲートと、該低電圧電力バスに接続されたソースと、該低電圧電力バスに接続されたドレインとを有するＭＯＳトランジスタである請求項３記載の出力バッファ。

2

【請求項６】　第一のドライバは、該出力端子を高電圧に駆動する第一のプルアップドライバと、該出力端子を低電圧に駆動する第一のプルダウンドライバとよりなり、該出力バッファは、

該入力信号を受け、該第一の信号の相補的信号を該第一のプルアップドライバに出力する第一のブリドライバプルアップインバータと、

該入力信号を受け、該第一の信号の相補的信号を該第一のプルダウンドライバに出力する第一のブリドライバプルダウンインバータとを更に有し、

ここで、該第一のブリドライバプルアップ及びプルダウンインバータが該入力信号の論理値の該遷移を受けるときに該第一のプルアップ及びプルダウンドライバを通って流れる短絡電流を減少させるために、該第一のブリドライバプルアップインバータは該第一のブリドライバプルアップ及びプルダウンインバータの高バイアス電圧と低バイアス電圧との間の差の半分より大きなスイッチング電圧を有し、該第一のブリドライバプルダウンインバータは該第一のブリドライバプルアップ及びプルダウンインバータの高バイアス電圧と低バイアス電圧との間の該差の半分より小さなスイッチング電圧を有する請求項１記載の出力バッファ。

【請求項７】　該第一のプルアップドライバはＰＭＯＳトランジスタからなり、該第一のプルダウンブリドライバはＮＭＯＳトランジスタからなる請求項６記載の出力バッファ。

【請求項８】　該第二のドライバは、該出力端子を高電圧に駆動するプルアップドライバと、該出力端子を低電圧に駆動するプルダウンドライバとからなり、該出力バッファは、

該入力信号の第一の値に応答してプルアップドライバが該出力端子を高電圧に駆動させるようにする少なくとも一つのプルアップインバータと、

該入力信号の第二の論理値に応答してプルダウンドライバが該出力端子を低電圧に駆動させるようにする少なくとも一つのプルダウンインバータとを更に含み、

入力信号が論理値で遷移するときに該プルアップ及びプルダウンドライバを通って流れる短絡電流を減少させるために該少なくとも一つのプルアップインバータは該少なくとも一つのプルアップ及びプルダウンインバータの高バイアス電圧と低バイアス電圧との間の差の半分より大きなスイッチング電圧を有し、該少なくとも一つのプルダウンインバータは該少なくとも一つのプルアップ及びプルダウンインバータの該高バイアス電圧と該低バイアス電圧との間の差の半分より小さなスイッチング電圧を有する請求項１記載の出力バッファ。

【請求項９】　該第二のドライバは、

該制御回路の出力に接続された入力を有する第一のＭＯ

Ｓトランジスタと、
第二のＭＯＳトランジスタと、
該第一のＭＯＳトランジスタに関して該第二のＭＯＳトランジスタがオンとなるのを遅延させるために該第一のＭＯＳトランジスタの該ゲートと該第二のＭＯＳトランジスタとの間に接続された第一の遅延素子とを更に含む請求項１記載の出力バッファ。

【請求項１０】　該入力信号を受けるゲートと、特定の電力供給バスに接続されたソースと、該第二のドライバの該ＭＯＳトランジスタの一つに接続されたドレインとを有し、該第二のドライバの該ＭＯＳトランジスタがオフとなるのを加速させるために該第二のドライバの該ＭＯＳトランジスタの該ゲートを該電力供給バスの電圧に駆動する少なくとも一つの急速にオフとなるＭＯＳトランジスタを更に含む請求項９の出力バッファ。

【請求項１１】　該制御回路の少なくとも一つの出力と該第二のドライバの少なくとも一つの入力との間に接続されたイネーブル回路を更に含み、該イネーブル回路は少なくとも一つのイネーブル信号を受け、該第二のドライバを作動させる信号を出力するために該制御回路をイネーブルすることにより該イネーブル信号のイネーブル表示に応答し、該イネーブル回路はまた該制御回路が該第二のドライバを作動させないようにするために該イネーブル信号のディスエーブル表示に応答する請求項１記載の出力バッファ。

【請求項１２】　該イネーブル回路はそれぞれが該少なくとも一つのイネーブル信号の一つを受ける少なくとも一つの論理ゲートからなり、該少なくとも一つの論理ゲートのそれぞれは、該入力信号の該論理値によらず、該第二のドライバをオフにする特定の論理値を出力することにより該ディスエーブル表示に応答し、該入力信号の論理値にのみ依存する論理値を出力することによりイネーブル表示に応答する請求項１１記載の出力バッファ。

【請求項１３】　該入力信号及び該少なくとも一つのイネーブル信号の第一のものを受ける第二のイネーブル回路を更に含み、該イネーブル回路は該入力信号が該少なくとも一つのイネーブル信号の該第一のもののイネーブル表示に応答して該入力信号に対応する電圧に該出力を駆動するよう該第一のドライバを作動させることを可能にし、該入力信号が該少なくとも一つのイネーブル信号の該第一のもののディスエーブル表示に応答して該出力を駆動させる該第一のドライバが作動することを防止する請求項１１記載の出力バッファ。

【請求項１４】　該第二のイネーブル回路の少なくとも一つの出力と該第一のドライバの少なくとも一つの入力との間に接続された少なくとも一つのプリドライバを更に含み、
該第二のイネーブル回路は該入力信号と該少なくとも一つのイネーブル信号の該第一のものを受ける少なくとも一つの論理ゲートからなり、該第二のイネーブル回路の

該少なくとも一つの論理ゲートのそれぞれは該入力信号の該論理値に拘らず、該プレドライバが該第一のドライバをオフにさせる特定の論理値を出力することにより、該イネーブル信号の該第一のもののディスエーブル表示に応答し、該入力信号の論理値にのみ依存する論理値を出力することにより該イネーブル信号のイネーブル表示に応答する請求項１３記載の出力バッファ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は集積回路設計に関し、より詳細には集積回路の出力バッファに関する。

【０００２】

【従来の技術】出力ドライバは高電流駆動で負荷を駆動する目的で例えば集積回路（ＩＣ）チップで使用されるクラスの回路である。一般的に小電流駆動トランジスタはＩＣチップの内部で使用されるが、高負荷を駆動することはできない。出力ドライバは高電流駆動能力を有するＩＣから外部にそのような信号を出力するよう設けられ、故に高負荷を駆動可能である。このような出力ドライバ回路はしばしば「出力バッファ」と称される。

【０００３】高電流駆動を達成するために出力バッファは典型的には大きなＭＯＳＦＥＴ又はＭＯＳトランジスタを含む。（ここではこの技術分野で通常用いられるようにＭＯＳＦＥＴ又はＭＯＳは好ましくは多結晶シリコンゲート電界効果トランジスタである絶縁ゲート電界効果トランジスタを称し、金属酸化物半導体電界効果トランジスタのみを指すのではない）。そのような大きなトランジスタはＩＣに対してノイズ問題を引き起こす。特に出力バッファトランジスタは高電圧V_{DD}電力供給バス及び低電圧V_{SS}電力供給バスに接続される。出力バッファトランジスタは更にまた限定された容量を有する大きな領域のボンディングパッドの形を取る出力端子を駆動する。論理値の高速遷移中に大きな出力バッファトランジスタは高電流を発生する。この高電流はボンディングワイヤ、パッキング及びその他の誘導の結果として低電力及び高電力供給バスにノイズ電圧を印加する。（印加された電圧は以下の式で表される：ｖ＝Ｌ・ｄｉ／ｄｔ、ここでｖはノイズ電圧、Ｌはボンディングワイヤ、パッキングなどの誘導であり、ｄｉ／ｄｔは時間に関する出力バッファの大きな駆動トランジスタにより発生された電流の導関数である。斯くして出力バッファの大きな駆動トランジスタの電流が時間と共により早く変化すると印加されたノイズ信号の大きさはより大きくなる。）高電力及び低電力供給バスでのこの望ましくないノイズ電圧は一般に「接地バウンス」と称される。

【０００４】多数の従来技術の解決策が出力バッファでの「接地バウンス」を減少させるために提案されてきた。図１に示され、米国特許第４９８７３２４号に開示される従来技術の出力バッファ１０を一例として示す。図のように低電流駆動ドライバＡ及び高電流駆動ドライ

EX1005 / Page 337 of 376
Western Digital Technologies, Inc.

バBが出力端子パッドTを駆動するよう設けられる。ドライバAは「ブッシュプルインバーター」構成に接続されるPMOSトランジスタQ1A及びNMOSトランジスタQ2Aよりなる。特にPMOSトランジスタQ1Aは高電圧V_{DD}電力供給バスに接続されるソースと出力端子パッドTに接続されるドレインと入力に接続されるゲートとを有する。PMOSトランジスタQ2Aは低電圧V_{SS}電力供給バスに接続されるソースと、トランジスタQA1のドレインと出力端子パッドTに接続されるドレインと、トランジスタQ1Aのゲート及び入力に接続されるゲートとを有する。それぞれ高電圧V_{DD}及び低電圧V_{SS}電力供給バスへのトランジスタQ1A，Q2Aのソースの接続は高電圧V_{DD}（例えば5ボルト）及び低電圧V_{SS}（例えば0ボルト）でドライバAの高電圧及び低電圧バイアスを供給する。ドライバAはその入力に入力された電圧に相補的な電圧にその出力を駆動する。プリドライバインバータEは入力信号Viを受け、ドライバAの入力への信号Viに相補的な信号を出力する。

【0005】ドライバBはまた出力端子パッドTに接続されたドレインを有するPMOSトランジスタQ1B及びNMOSトランジスタQ2Bからなる。トランジスタQ1Bのソースは高電圧V_{DD}電力供給バスに接続され、トランジスタQ2Bのソースは低電圧V_{SS}電力供給バスに接続される。ドライバAと異なりドライバBは2つのプリドライバインバータC，Dを有する。インバータCは入力信号Viを受け、トランジスタQ1Bのゲートにこの信号の相補的な信号を出力する。インバータDは入力信号Viを受け、トランジスタQ2Bのゲートにこの信号の相補的な信号を出力する。

【0006】定常動作中に入力信号Viが論理「0」（低電圧レベルV_{SS}）のときにインバータE，D，Cはそれぞれ論理「1」（高電圧レベルV_{DD}）をトランジスタQ1A，Q2A，Q1B，Q2Bの入力へ出力する。PMOSトランジスタであるトランジスタQ1A，Q1Bはオフであり、NMOSトランジスタであるトランジスタQ2A，Q2Bはオンである。このようにトランジスタQ2A，Q2Bは両方とも出力端子パッドT上のいかなる電流も低電圧V_{SS}電力供給バスへ減少させ、それにより出力端子パッドTの電圧レベルをV_{SS}に維持する。他方で入力信号Viが論理「1」（高電圧レベルV_{DD}）のときにインバータE，D，Cはそれぞれ論理「0」（低電圧レベルV_{SS}）を出力する。PMOSトランジスタであるトランジスタQ1A，Q1Bはオンであり、NMOSトランジスタであるトランジスタQ2A，Q2Bはオフである。このようにトランジスタQ1A，Q1Bは両方とも出力端子パッドTへ電流を供給し、それにより出力端子パッドTの電圧レベルをV_{DD}に維持する。

【0007】上記のように接地バウンスは入力信号Viの論理「0」から論理「1」へ又は論理「1」から論理「0」への論理値の遷移中に生ずる効果である（これはV_{SS}からV_{DD}又はV_{DD}からV_{SS}の出力端子パッドTの対応する電圧レベルで遷移を生ずる）。接地バウンスを減少させるためにドライバAはドライバBに設けられるQ1B，Q2Bより小さくされた寸法（即ちより小さなチャンネル幅）のトランジスタQ1A，Q2Aを設けられる。更にまたインバータC，D，Eの論理閾値電圧又はスイッチング電圧は異なる時間に各インバータをスイッチ、即ちその出力電圧を遷移させるよう選択される。これは図2を参照してよりよく理解される。インバータC，D，Eのスイッチング電圧がそれぞれ3．7，1．1，2．5ボルトから選択されるとする。示されるように入力信号Viは論理「0」（電圧レベル$V_{SS}=0$）から論理「1」（電圧レベル$V_{DD}=5$）へ時間t0で遷移し始める。時間t1でViの電圧レベルは1．1ボルトに達し、それによりインバータDを論理値「1」から論理値「0」へその出力を遷移させるようにトリガーする。結果としてQ2Bはオフになり始める。時間t2でViの電圧レベルは2．5ボルトに達し、それによりインバータEを論理値「1」から論理値「0」へその出力を遷移させるようにトリガーする。結果としてQ1Aはオンになり始め、Q2Aはオフになり始める。時間t3で最終的にViの電圧レベルは3．7ボルトに達し、それによりインバータCを論理値「1」から論理値「0」へその出力を遷移させるようにトリガーする。結果としてQ1Bはオンになり始める。最終的な効果はまずQ2Bが時間t1でオフし、それからQ1Aがオンし、一方で時間t3でQ1Bがオンとなる前にQ2Aは時間t2でオフとなる。斯くしてより大きなPMOSトランジスタQ1Bがオンとなることはより小さなPMOSトランジスタQ1Aがオンした後まで遅らされる。これは小さなトランジスタQ1Aがより低い電流駆動能力を有する故に好ましい。最初にQ1Aがオンとなるときに出力端子パッドの電圧は0である。トランジスタQ1Aは出力端子パッドをゆっくりと充電する。トランジスタQ1Aの制限された電流駆動と出力端子パッドTの比較的ゆっくりした電圧変化の故に接地バウンスはほとんど発生しない。後にトランジスタQ1Bはより高い電流駆動能力でオンされる。しかしながらこの時点で出力端子パッドは部分的に充電され、故に出力端子パッドTは高電流駆動トランジスタQ1Bにより駆動されるにもかかわらず急速に変化する電流駆動は回避される。急速な電流変化は回避される故に接地バウンスは抑制される。

【0008】同様にして入力信号が論理「1」から論理「0」へ遷移するときにインバータはその出力された論理値を論理「1」から論理「0」へインバータCが最初で続けてインバータE続けてインバータDの順で続けて変化する。最終的な効果はQ1Bが最初にオフし、次にQ1Aがオフし、Q2Aがオンして、それに続いて最終的にQ2Bがオンとなる。より小さいトランジスタQ2

Ａが最初にオンとなる故にそれは（比較的）低い電流駆動能力でゆっくり出力パッドを放電し始める。それからより大きなトランジスタＱ２Ｂはオンされる。しかしながら出力端子パッドＴは既に部分的に放電されている。斯くしてＱ２Ｂはより急速でなく変化する電流で出力端子パッドＴを駆動する。再び接地バウンスは減少する。

【０００９】出力バッファ１０が接地バウンスを抑制する一方でこれは全ての応用に対して適切というわけではない。例えばある応用で小さい及び大きいドライバの両方の電流駆動能力が比較的高い場合である。例えばある応用で必要な電流駆動を達成するためにトランジスタＱ１Ａは２００μｍのチャンネル幅を有し、トランジスタＱ１Ｂは１０００μｍのチャンネル幅を有する。図２に示されるように遷移中にトランジスタＱ１Ａ，Ｑ２Ａの両方は同時にオンとなる。これは高電力供給バス及び低電力供給バスの間の短絡路を形成する。トランジスタＱ１Ａ，Ｑ２Ａが大きい場合にはＩＣを損傷するような高い短絡電流が発生される。

【００１０】第二にＱ１Ｂが８００μｍのチャンネル幅を有し、Ｑ２Ｂが４００μｍのチャンネル幅を有するとする。論理「０」から論理「１」の入力信号Ｖｉ論理値の遷移中にトランジスタＱ１ＢとＱ１Ａとの間の時間の遅延はプリドライバＥとＣとの相対的スイッチング電圧により制御される。同様に論理「０」から論理「１」の入力信号Ｖｉ論理値の遷移中にトランジスタＱ２ＢとＱ２Ａとの間の時間の遅延はプリドライバＥとＤとの相対的スイッチング電圧により制御される。しかしながら、そのような遅延はそのような大きなトランジスタＱ１ＢとＱ２Ｂに対してある応用で接地バウンスを減少させるのに充分ではない。

【００１１】図３はカリフォルニア州サンタクララの半導体製造業者のインテルから提案された低速出力バッファ２０を示す。出力パッドD_Iは高電圧V_{DD}電力供給バスに接続されたソースと、出力パッドD_Iに接続されたドレインとを有するＰＭＯＳプルアップドライバトランジスタＰ４’又は低電圧V_{SS}電力供給バスに接続されたソースと、出力パッドD_Iに接続されたドレインとを有するＮＭＯＳプルアップドライバトランジスタＮ４’により選択的に駆動される。ＰＭＯＳ急速オフトランジスタＰ３’は信号Ｐ＿ＥＮを受ける。Ｐ＿ＥＮが論理「０」のときにＰ３’はオンになり高電圧レベルV_{DD}にＰ４’のゲートを駆動し、それによりＰ４’をオフとなる。さもなければＰ＿ＥＮが論理「１」であるときにＰ３’はオフであり、Ｐ４’のゲートをどの電圧レベルにも駆動しない。同様にしてＮＭＯＳ急速オフトランジスタＮ３’は信号Ｎ＿ＥＮを受ける。Ｎ－ＥＮは論理「１」のときにＮ４は急速にオンし、Ｎ４のゲートを低電圧レベルV_{SS}へ駆動し、それによりＮ４をオフとなる。さもなければＮ＿ＥＮが論理「０」のときにＮ３’はオフであり、Ｎ４のゲートをどのような電圧レベルにも駆動しない。

【００１２】アナログ作動増幅器２２、２４はそれぞれＰ４’とＮ４’のゲートに接続される。増幅器２２はイネーブル信号として信号Ｐ＿ＥＮを受け、増幅器２４はまたイネーブル信号として信号Ｎ＿ＥＮを受ける。各増幅器２２と２４の正の（非反転）入力は相互に接続される。各増幅器２２と２４は信号ＣＮＴＲを負の（反転）入力で受ける。ＣＮＴＲの電圧レベルは増幅器２２と２４が低又は負の電圧又は高又は正の電圧を正の入力に印加される電圧に依存して選択的に出力するように選択される（以下に詳細に説明する）。ＰＭＯＳトランジスタＰ２のドレイン及びＮＭＯＳトランジスタＮ２のドレインはまた増幅器２２及び２４の正の入力に接続される。次にトランジスタＰ２のソースはトランジスタＰ１’のドレインに接続される。トランジスタＰ１’のソースは高電圧V_{DD}電力供給バスに接続される。トランジスタＮ２’のソースはＮ１’のドレインに接続される。トランジスタＮ１’のソースは低電圧V_{SS}電力供給バスに接続される。

【００１３】トランジスタＮ２’のゲートは信号Ｐ＿ＥＮを受け、トランジスタＰ２’のゲートは信号Ｎ＿ＥＮを受ける。トランジスタＰ１のゲートは定常な電圧ＰＢＩＡＳを受ける。ＰＢＩＡＳはトランジスタＰ１が以下にその理由を説明する特定の最大電流を発生するように選択される。同様にトランジスタＮ１’のゲートは定常な電圧ＰＢＩＡＳを受け、それはトランジスタＮ１’が特定の最大電流を発生するように選択される。特定の容量を有するコンデンサＣ１は増幅器２２と２４の共通の正の入力接続と出力端子パッドD_Iとの間に接続される。

【００１４】出力バッファ２０の動作は以下の通りである。出力されるデータが論理「０」であるときに信号Ｎ－ＥＮは論理「０」であり、信号Ｐ＿ＥＮは論理「０」である。結果として増幅器２２はそれが信号Ｐ＿ＥＮの高電圧を受けられない故にディスエーブルされる。Ｐ３’はオンであり、Ｐ４’のゲートの電圧を高レベルに維持する。斯くしてＰ４’はオフのままである。Ｎ２’はオフであるがＰ２はオンである。故にＰ１，Ｐ２は高電圧レベル（V_{DD}より小さい）でＣ１の電荷を維持する。増幅器２４の正の入力に入力されるＣ１の高電圧レベルはまた（信号ＣＮＴＲの）増幅器２４の負の入力に入力される電圧レベルを越える。増幅器２４は正の電圧レベルをＮ４’のゲートへ出力する。Ｎ３’はオフであり、Ｎ４’を駆動しない。そのようにしてＮ４’はなおオンのままであり、出力端子パッドの電圧を低い電圧レベルV_{SS}に維持する。

【００１５】論理「１」が出力される場合を考える。Ｐ＿ＥＮとＮ＿ＥＮの両方は論理「１」である。増幅器２４はディスエーブルされる。何故ならばそれは信号Ｎ＿ＥＮの低電圧を受けないからである。Ｎ３’はオンであ

EX1005 / Page 339 of 376
Western Digital Technologies, Inc.

り、Ｎ４’のゲートを駆動し、それによりＮ４’のゲートの電圧レベルを低いレベルに維持する。そのようにＮ４’はオフのままである。Ｐ２はオフでＮ２’はオンである。そのようにＮ１’及びＮ２はＣ１上の電荷を低電圧レベル（それはV_{ss}より大きい）に維持する。次に低電圧レベルは増幅器２２の正の入力へ入力される。低電圧レベルは増幅器２２の負の入力で受けられた電圧レベルより小さい（即ち信号ＣＮＴＲにより供給される）故に増幅器２２は低い又は負の電圧を出力する。Ｐ３’はオフであり、Ｐ４のゲートを駆動しない。Ｐ４’のゲートが増幅器２２の低電圧のみを受ける故にＰ４はオンのままであり、高電圧レベルV_{pp}に出力端子の電圧を維持する。

【００１６】論理値を「０」から「１」に遷移することについて考える。このような場合にはＰ＿ＥＮとＮ＿ＥＮの両方が論理値を「０」から「１」へ遷移する。Ｐ３’はオフされ、Ｎ３’はオンされ、増幅器２４はオフされる。そのようにＮ４’は急速にオフされる。Ｐ２はオフにされ、Ｎ２’はオンにされる。斯くしてＮ１’とＮ２’はコンデンサＣ１を徐々に放電する。コンデンサＣ１は遅延期間にわたり放電される。Ｃ１が放電されるにつれて増幅器２２、２４の正の入力に印加された電圧は減少し、増幅器２２から出力された電圧は徐々に減少する。この場合にはＰ４’は徐々にオンされる。Ｐ４’がオンされるのでそれは出力端子パッドD_xを高電圧に徐々に充電する。

【００１７】論理値を「１」から「０」に遷移することについて考える。このような場合にはＰ＿ＥＮとＮ＿ＥＮの両方が論理値を「１」から「０」へ遷移する。この場合Ｎ３’はオフされ、Ｐ３’はオンにされ、増幅器２２はオフにされる。そのようにＰ４’は急速にオフされる。Ｐ２はオンにされ、Ｎ２’はオフにされる。斯くしてＰ１’とＰ２’はコンデンサＣ１を遅延期間にわたり充電する。Ｃ１が充電されるにつれて増幅器２２の正の入力に印加された電圧は徐々に増加する。これは増幅器２２から出力された電圧を徐々に増加し、その出力電圧は徐々にＮ４’をオンとなる。Ｎ４’がオンされる故にそれは出力端子パッドD_xを低電圧に徐々に放電する。

【００１８】斯くして低速度出力バッファ２０は徐々に遷移するという利点を有し、それにより接地バウンスを減少し、出力端子パッドの立ち上がり立ち下がり時間を安定化する。しかしながら出力バッファ２０は２つの欠点を有する。一つはコンデンサＣ１はＩＣに導入することが難しいことである。Ｃ１の２つの端子の電圧はV_{ss}又はV_{pp}のいずれかである故にコンデンサＣ１はＣ１が精度の公差内になければならないときには特に誘電層により分離される多結晶シリコンの２つの別の層から実現されなければならない。斯くして出力バッファ２０はより高価で複雑である。２番目は出力バッファ２０は高電力消費であることである。

【００１９】最近ユニバーサルシリアルバス（ＵＳＢ）と呼ばれる新たな規格がコンピュータ周辺機器として認可された。ＵＳＢにより、デバイスは最高速度１２Ｍビット／秒又は低速度１．５Ｍビット／秒でデータ通信可能である。ＵＳＢ規格はそれに準拠するデバイスの出力電圧レベルに関して最高速度データ通信に対して約４から２０ナノ秒の正確な立ち上がり、立ち下がり速度を特徴とするが、低速度通信に対してはわずか７５から３００ナノ秒である。これは単一の特定のデータ通信速度に対してのみスルーレートを典型的には割り当てる接地バウンス抑制出力バッファに対して問題となる。

【００２０】

【発明が解決しようとする課題】本発明の目的は従来技術の欠点を克服することにある。本発明の他の目的は短絡回路電流及び接地バウンスを抑制するよう動作しうる出力バッファを提供することにある。

【００２１】

【課題を解決するための手段】これらの及び他の目的は本発明により達成される。一実施例によれば出力端子上に出力するために入力信号を受ける出力バッファが設けられる。出力バッファは出力端子を入力信号の論理値に対応する電圧に駆動する第一のドライバ及び第二のドライバを有する。第二のドライバは第一のドライバより高い駆動能力を有する。出力バッファはまた入力信号及び少なくとも一つのモード信号の論理値の遷移を受ける制御回路を有する。制御回路は第一のドライバが出力端子を相補的な電圧に駆動し始める後まで出力端子を相補的な電圧に駆動することについて第二のドライバを遅延することにより論理値の遷移に応答する。そのようにすることで制御回路はモード信号が最大速度モードを示すときに第二のドライバを第一の遅延により遅延する。他方で制御回路はモード信号が低速度モードのときに第二のドライバを第一の遅延より長い第二の遅延により遅延する。

【００２２】説明のために制御回路は２つの遅延回路を含む、第一の遅延回路は第二のドライバを出力端子を第一の遅延により相補的な電圧に駆動するよう遅延する。第二の遅延回路は第二のドライバを出力端子を第二の遅延により相補的な電圧に駆動するよう遅延する。例えば第二の遅延回路は出力を有する第一のインバータと、第一のインバータの出力に接続される入力を有する第二のインバータと、第一のインバータの出力と低電圧電源供給バスとの間に接続されたコンデンサとを含む。入力信号の論理値の遷移は第一のインバータをその出力を駆動するよう遷移する。しかしながらコンデンサはそれが充電され、又は放電することにより第二のインバータの入力への伝搬からの遷移を遅延する。

【００２３】

【発明の実施の形態】図４は本発明の実施例による出力バッファ１００を示す。出力バッファ１００は２つのド

ライバを有し、即ち（比較的）低電流駆動ドライバ１１０及び高電流駆動ドライバ１２０である。説明のためにドライバ１１０は全電流駆動の約２０％を発生し、一方でドライバ１２０は全電流駆動の約８０％を発生する。

【００２４】ドライバ１１０は高電圧V_{DD}電力供給バスに接続されたソースと、出力端子パッドQに接続されたドレインとを有するＰＭＯＳトランジスタＰ０を含む。ドライバ１１０はまた低電圧V_{SS}電力供給バスに接続されたソースと、出力端子パッドQに接続されたドレインとを有するＮＭＯＳトランジスタＮ０を含む。ドライバ１２０は２つのＰＭＯＳトランジスタＰ１，Ｐ２及び２つのＮＭＯＳトランジスタＮ１，Ｎ２を含む。Ｐ１，Ｐ２のソースは高電圧V_{DD}電力供給バスに接続される。Ｎ１，Ｎ２のソースは低電圧V_{SS}電力供給バスに接続される。トランジスタＰ１，Ｐ２，Ｎ１，Ｎ２のドレインは出力端子パッドQに接続される。トランジスタＰ１のゲートは遅延素子ＤＬを介してトランジスタＰ２のゲートに接続される。トランジスタＮ１のゲートは遅延素子ＤＬを介してトランジスタＮ２のゲートに接続される。遅延素子ＤＬはインバータ又は抵抗からなる。例えばそれは遅延素子ＤＬをトランジスタＰ１からトランジスタＰ２又はトランジスタＮ１からトランジスタＮ２への抵抗性の多結晶シリコンゲートの簡単な延長として遅延素子ＤＬを形成することが知られている。遅延素子ＤＬの目的はそれぞれＮ１又はＰ１のゲートからＰ２又はＮ２のゲートへのオン信号の伝搬を遅延することである。結果として低電圧信号がＰ１のゲートに印加されたときにＰ１は最初にオンされＰ２はＰ１とＰ２との間に接続される遅延素子ＤＬにより引き起こされるある遅延の後にオンとされる。同様に高電圧信号がＮ１のゲートに印加されるときにＮ１は最初にオンとなり、Ｎ２はＮ１とＮ２との間に接続される遅延素子ＤＬにより引き起こされるある遅延の後にオンにされる。トランジスタＰ１－Ｐ２又はＮ１－Ｎ２のこの徐々のオンは接地バウンスを抑制する傾向にある。

【００２５】他方でトランジスタＰ１，Ｐ２又はＮ１，Ｎ２を急速にオフにすることが望ましい。この目的のためにＰＭＯＳトランジスタＰ１０及びＰ１１は高電圧V_{DD}電力供給バスに接続されたソース及びそれぞれＰ１，Ｐ２のゲートに接続されたドレインを有するよう設けられる。トランジスタＰ１０，Ｐ１１のゲートは両方とも入力信号Dを受ける。トランジスタＰ１，Ｐ２をオフとなることが望ましいときに（即ち出力端子Qから論理「０」を出力するときに）入力信号Ｄ（論理値「０」を有する）はＰ１０，Ｐ１１をオンにし、これはＰ１，Ｐ２のゲートを急速に充電し、それによりそれらをオフにする。

【００２６】同様にＮＭＯＳトランジスタＮ１０，Ｎ１１は低電圧V_{SS}電力供給バスに接続されたソース及びそれぞれＮ１，Ｎ２のゲートに接続されたドレインを有するよう設けられる。トランジスタＮ１０，Ｎ１１のゲートは両方とも入力信号Dを受ける。トランジスタＮ１，Ｎ２をオフとなることが望ましいときに（即ち出力端子Qから論理「１」を出力するときに）入力信号Ｄ（論理値「１」を有する）はＮ１０，Ｎ１１をオンにし、これはＮ１，Ｎ２のゲートを急速に放電し、それによりそれらをオフにする。

【００２７】制御回路１３０はまたドライバ１１０、１２０をプリドライブするよう設けられる。ドライバ１１０の場合には制御回路１３０は２つのプリドライバインバータＩ１，Ｉ２を含む。Ｐ０のゲートはプリドライバインバータＩ１の出力に接続される。Ｎ０のゲートはプリドライバインバータＩ２に接続される。インバータＩ１の入力及びインバータＩ２の入力は両方とも入力データ信号Dを並列に受ける。

【００２８】ドライバ１２０の場合には制御回路１３０は２つの遅延回路１４０、１５０を含む。遅延回路１４０はインバータＩ７，Ｉ８、コンデンサＣａｐ及び２つの並列に接続された三状態インバータＩ３，Ｉ５を含む。入力信号Dはインバータ Ｉ７で受けられ、これは入力信号Dの相補的信号をインバータＩ８に出力する。示されるようにインバータＩ８はプッシュプル構成で接続されるＰＭＯＳトランジスタＰU及びＮＭＯＳトランジスタＮDから形成される。インバータＩ８の出力はノードＤＤへ接続される。示されるようにコンデンサＣａｐはノードＤＤと低電圧V_{SS}電力供給バスとの間に接続される。

【００２９】三状態インバータＩ３，Ｉ５の入力はノードＤＤに接続される。各三状態インバータＩ３，Ｉ５は類似の構造を有する。例えばインバータＩ３は高電圧V_{DD}電力供給バスに接続されたソースと、三状態インバータＩ３の入力に接続されたゲートを有するＰＭＯＳトランジスタＰ３を含む。Ｐ３のドレインはＰＭＯＳトランジスタＰ４を介して三状態インバータＩ３の出力に接続される。インバータＩ３はまた低電圧V_{SS}電力供給バスに接続されたソースと三状態インバータＩ３の入力に接続されたゲートを有するＮＭＯＳトランジスタＮ３を含む。Ｎ３のドレインはＮＭＯＳトランジスタＮ４を介してインバータＩ３の出力に接続される。トランジスタＰ４及びＮ４はそれぞれ相補的なイネーブル信号、即ちＬＳＢ及びＬＳをそれぞれ受ける（以下に詳細に説明する）。ＬＳＢが論理「０」値であり、ＬＳが論理「１」値であるときにトランジスタＰ４，Ｎ４はトランジスタＰ３，Ｎ３が三状態インバータＩ３の出力を駆動することを許容する。しかしながらＬＳＢが論理「１」値であり、ＬＳが論理「０」値であるときにＰ３，Ｎ３で生じた信号はインバータＩ３の出力に到達することを阻止される。

【００３０】三状態インバータＩ３と同様に三状態インバータＩ５は同じ相補的イネーブル信号ＬＳＢ，ＬＳを

EX1005 / Page 341 of 376
Western Digital Technologies, Inc.

受ける。三状態インバータＩ３の出力はトランジスタＰ１のゲートに接続される。インバータＩ５の出力はトランジスタＮ１のゲートに接続される。遅延回路１５０は三状態インバータＩ４、Ｉ６のみを含む。各三状態インバータＩ４、Ｉ６は三状態インバータＩ３、Ｉ５と類似の構成を有する。各三状態インバータＩ４、Ｉ６は入力信号Ｄを受ける入力を有する。三状態インバータＩ４はトランジスタＰ１のゲートに接続される。三状態インバータＩ６の出力はトランジスタＮ１のゲートに接続される。三状態インバータＩ３、Ｉ５と異なり、三状態インバータＩ４、Ｉ６はイネーブル信号ＦＳＢ、ＦＳを受け、ここでＦＳＢはＦＳの相補的信号である。

【００３１】インバータＩ１、Ｉ３、Ｉ４は（$V_{DD}-V_{SS}$）／２より大きな論理閾値（スイッチング電圧）を有するよう設計される。インバータＩ２、Ｉ５、Ｉ６は（$V_{DD}-V_{SS}$）／２より小さな論理閾値（スイッチング電圧）を有するよう設計される。例えばV_{SS}＝０ボルトでV_{DD}＝３．０から３．６ボルトとすると、（$V_{DD}-V_{SS}$）／２＝V_{DD}／２である。

【００３２】信号ＬＳ及びＦＳは出力バッファがそれぞれ低速度又は最高速度のいずれかで動作するかを示すモード信号である。低速度モード動作中にＵＳＢ準拠ハブ又は他のＩＣの出力バッファは１．５Ｍビット／秒でデータを出力する。最高速度モード動作中に出力バッファは１２Ｍビット／秒でデータを出力する。しかしながらこれらの低速度及び最高速度は単に説明のためのみのものである。

【００３３】出力バッファ１００の定常状態動作を最初に説明する。入力信号Ｄ＝０のときにインバータＩ１、Ｉ２、Ｉ３、Ｉ４、Ｉ５、Ｉ６、Ｉ７は論理値「１」を出力し（及びインバータＩ８は論理値「０」を出力する）。そのようにしてトランジスタＰ０，Ｐ１，Ｐ２はオフされ、トランジスタＮ０，Ｎ１，Ｎ２はオンされる。トランジスタＮ０，Ｎ１，Ｎ２が出力端子パッドＱへ電流駆動（電流シンク）を供給し、それによりその電圧レベルを低電圧電力供給バス、即ちV_{SS}と同じレベルに維持する。他方で入力信号Ｄ＝１のときにインバータＩ１、Ｉ２、Ｉ３、Ｉ４、Ｉ５、Ｉ６、Ｉ７は論理値「０」を出力し（及びインバータＩ８は論理値「１」を出力する）。そのようにしてトランジスタＮ０，Ｎ１，Ｎ２はオフされ、トランジスタＰ０，Ｐ１，Ｐ２はオンされる。トランジスタＰ０，Ｐ１，Ｐ２が出力端子パッドＱへ電流駆動（電流供給又はサージ）を供給し、それによりその電圧レベルを高電圧電力供給バス、即ちV_{DD}と同じレベルに維持する。

【００３４】図５及び６を参照して過渡動作を次に説明する。まず図５に示される最高速度モードの動作について説明する。最高速度モード動作中にＦＳＢ＝「０」、ＦＳ＝「１」、ＬＳＢ＝「１」、ＬＳ＝「０」である。結果としてインバータＩ３、Ｉ５は三状態にされ、故にディスエーブルにされる。しかしながらインバータＩ４、Ｉ６はイネーブルにされる。入力信号Ｄがその論理値を「０」から「１」に遷移するとする。最初にＤの電圧が上昇し、ＤがV_{DD}／２に上昇する前にＩ２、Ｉ６のスイッチング閾値に到達する。これによりＩ２、Ｉ６がＩ６の前のＩ２の遷移と共に論理「１」から論理「０」へその出力ｐｄ１，ｐｄ２を遷移させる。結果としてＮ０，Ｎ１，Ｎ２はオフし始める。Ｄが上昇し続けるとＮ１０，Ｎ１１はＮ１，Ｎ２をオフとなるのを助けるよう急速にオンとなる。ついにＤはV_{DD}／２より以上、Ｉ１、Ｉ４のスイッチング閾値へ上昇し、それによりＩ１、Ｉ４をＩ４の前にＩ１が遷移すると共にその出力ｐｕ１，ｐｕ２が論理「１」から論理「０」へ遷移するようにさせる。結果としてＰ０，Ｐ１，Ｐ２がオンし始める。遅延素子ＤＬのためにＰ２の前にＰ１はオンとなる。

【００３５】入力信号Ｄがその論理値を「１」から「０」に遷移するとする。最初にＤの電圧が降下し、ＤがV_{DD}／２に降下する前にＩ１、Ｉ４のスイッチング閾値に到達する。これによりＩ１、Ｉ４がＩ４の前のＩ１の遷移と共に論理「０」から論理「１」へその出力ｐｄ１，ｐｄ２を遷移させる。結果としてＰ０，Ｐ１，Ｐ２はオフし始める。Ｄが降下し続けるとＰ１０，Ｐ１１はＰ１，Ｐ２をオフとなるのを助けるよう急速にオンとなる。ついにＤはV_{DD}／２より以上、Ｉ２、Ｉ６のスイッチング閾値へ上昇し、それによりＩ２、Ｉ６をＩ６の前にＩ２が遷移すると共にその出力ｐｕ１，ｐｕ２が論理「１」から論理「０」へ遷移するようにさせる。結果としてＮ０，Ｎ１，Ｎ２がオンし始める。遅延素子ＤＬのためにＮ２の前にＮ１はオンとなる。

【００３６】図６に示された動作の低速度モードを説明する。低速度モード動作中にＦＳＢ＝「１」、ＦＳ＝「０」、ＬＳＢ＝「０」、ＬＳ＝「１」である。結果としてインバータＩ４、Ｉ６は三状態にされ、故にディスエーブルにされる。しかしながらインバータＩ３、Ｉ５はイネーブルにされる。入力信号Ｄがその論理値を「０」から「１」に遷移するとする。最初にＤの電圧が上昇するにつれてインバータＩ７は下降電圧レベルをＩ８に出力する。インバータＩ８へ入力される電圧が下降するにつれてＮＤはオフし始め、ＰＤはオンし始める。結果としてＩ８はノードＤＤを充電し始める。ノードＤＤの充電は充電されなければならないコンデンサＣａｐのせいで遅延される。

【００３７】入力信号Ｄの電圧が上昇するにつれて入力信号Ｄの電圧がV_{DD}／２に達する前にＩ２のスイッチング閾値に達する。同様にしてＤＤは充電され、ＤＤの電圧は時間ｔ０'でＩ５のスイッチング電圧についに達する。これによりＩ２、Ｉ５がＩ５の前のＩ２の遷移と共に論理「１」から論理「０」へその出力ｐｄ１，ｐｄ２を遷移させる。結果としてＮ０，Ｎ１，Ｎ２はオフし始

める。Dが上昇し続けるとN10，N11はN1，N2をオフとなるのを助けるよう急速にオンとなる。

【0038】ついにDはV_{DD}／2より以上、時間t1のI1のスイッチング閾値へ上昇し、それによりI1の出力pu1が論理「1」から論理「0」へ遷移するようにさせる。結果としてP0がオンし始める。しかしながらこの時点でインバータI8はノードDDをI3のスイッチング閾値に充電していない。斯くしてトランジスタP1，P2はなおオフである。後の時間t2'でノードDDは最終的にI3のスイッチング電圧に充電される。インバータI3はその出力pu2を論理「1」から論理「0」に遷移する。結果としてP1，P2はオンし始め、ここでP2は遅延素子DLのためにP1の後にオンとなる。

【0039】入力信号Dがその論理値を「1」から「0」に遷移するとする。最初にDの電圧が下降するにつれてインバータI7は上昇電圧レベルをI8に出力する。インバータI8へ入力される電圧が下降するにつれてPDはオフし始め、NDはオンし始める。結果としてI8はノードDDを放電し始める。ノードDDの放電は放電されなければならないコンデンサCapのせいで遅延される。

【0040】入力信号Dの電圧が下降するにつれて入力信号Dの電圧がV_{DD}／2に達する前にI1のスイッチング閾値に達する。同様にしてDDは放電され、DDの電圧は時間t0'でI3のスイッチング電圧についに達する。これによりI1、I3がI3の前のI1の遷移と共に論理「0」から論理「1」へその出力pu1，pu2を遷移させる。結果としてP0，P1，P2はオフし始める。Dが下降し続けるとP10，P11はP1，P2をオフとなるのを助けるよう急速にオンとなる。ついにDはV_{DD}／2より以下、時間t1のI1のスイッチング閾値へ下降し、それによりI2はその出力pd1が論理「0」から論理「1」へ遷移するようにさせる。結果としてN0がオンし始める。しかしながらこの時点でインバータI8はノードDDをI5のスイッチング閾値に放電していない。斯くしてトランジスタN1，N2はなおオフである。後の時間でノードDDは最終的にI5のスイッチング電圧に放電される。インバータI5はその出力pd2を論理「0」から論理「1」に遷移する。結果としてN1，N2はオンし始め、ここでN2は遅延素子DLのためにN1の後にオンとなる。

【0041】以下のキーポイントは出力バッファ100の動作で重要である：

（1）　ドライバ110の小さなトランジスタN0、又はP0が動作の低速度及び最高速度モードの両方でドライバ120の大きなトランジスタN1，N2又はP1．P2の前にオンとなる。これはN1，DL，N2がI2に対して供給されるN0よりインバータI5に対して大きなインピーダンスとして供されるからである。同様にしてP1，DL，P2はI1に対して供給されるP0よりI3又はI4に対して大きなインピーダンスとして供される。トランジスタN0及びP0はトランジスタN1，N2及びP1，P2より小さい故に接地バウンスは減少される。

（2）　トランジスタP1は論理「0」から論理「1」への遷移中にトランジスタP2の前にオンし、トランジスタN1は論理「1」から論理「0」への遷移中にトランジスタN2の前にオンとなる。プルアップドライバ又はプルダウンドライバを形成するトランジスタが次第にオンとなることは接地バウンスの量を実質的に減少する。

（3）　入力信号論理値の遷移中に相補的電圧に遷移する（入力信号が遷移する論理値に対応する）ドライバ110と動作の最高速度又は低速度モードのいずれかに依存する相補的電圧を遷移するドライバ120との間の遅延が選択されている。動作の最高速度モード中の遅延は動作の低速モード中より短い。これは遅延回路140がP1，P2又はN1，N2を作動するためにpu2又はpd2で適切な電圧レベルを出力するために充電されなければならないコンデンサCapを含むからである。これは好ましい。最高速度動作中に出力端子Qの電圧レベルの立ち上がり及び立ち下がり時間は遷移が生ずるときにより短くなければならない。他方で低速度動作中に出力端子Qの電圧レベルの立ち上がり及び立ち下がり時間は遷移が生ずるときにより長くなければならない。正味の効果は低速度動作中の遷移時間は最高速度動作中の遷移に対して延長される（例えば数十ナノ秒のオーダーの長さで）。

（4）　トランジスタP0，P1，P2はトランジスタN0，N1，N2が実質的にオフとなるまでオンし始めない。同様にトランジスタN0，N1，N2はトランジスタP0，P1，P2が実質的にオフとなるまでオンし始めない。これはドライバ110、120のトランジスタN0，N1，N2，P0，P1，P2を通して高電圧V_{DD}電力供給バスと低電圧V_{SS}電力供給バスとの間を流れる短絡電流を減少させる。

【0042】好ましくはコンデンサCapはMOSトランジスタとして実施され、それに対してソースとドレインの両方は低電圧V_{SS}電源供給バスに接続される。Capの容量は低速度動作中の遷移の延長を固定するために重要である。そのようなコンデンサCapは高い製造公差を有する傾向にある。特にCapの容量はε_{ox}・Area／t_{ox}で与えられ、ここでε_{ox}はCapのゲート酸化物の誘電率であり、t_{ox}はゲート酸化物の厚さであり、AreaはCapのプレートとして供される多結晶シリコンゲートの面積である。t_{ox}は完全でない。t_{ox}が元々設計されたより薄い場合にはCapの容量は増加する。しかしながらPU及びNDの電流駆動強度はまた増加する。同様にt_{ox}が元々設計されたより厚い場合に

EX1005 / Page 343 of 376
Western Digital Technologies, Inc.

はＣａｐの容量は減少するが、ＰＵ及びＮＤの電流駆動能力は変わらない。そのようなコンデンサは幾分かプロセス変動自己補正しうる。

【００４３】図７は本発明の第二の実施例による出力バッファ２００を示す。出力バッファ２００は出力バッファ１００と非常に類似している。故にこの出力バッファ２００と出力バッファ１００との間の違いのみを説明する。出力バッファ２００は論理ゲートＧ１，Ｇ２，Ｇ３，Ｇ４の形を取るイネーブル回路２１０を有し、それは一以上のイネーブル信号ＥＮ，ＥＮＢ，を受け、ここでＥＮＢはＥＮの相補的信号である。入力信号Ｄは入力信号ＤＢの相補的信号を発生するようインバータＩ９に入力される。論理ＮＯＲゲートＧ１は信号ＤＢを受ける一の入力と信号ＥＮＢを受ける第二の入力とを有する。ＮＯＲゲートＧ１の出力はインバータＩ１の入力に接続される。論理ＮＡＮＤゲートＧ２は信号ＤＢを受ける一の入力と信号ＥＮを受ける一の入力（示されるようにインバータＩ１０により発生される）とを有する。ＮＡＮＤゲートＧ２の出力はインバータＩ２の入力に接続される。論理ＯＲゲートＧ３はインバータＩ３、Ｉ４の出力を受ける一の入力と信号ＥＮＢを受ける一の入力とを有する。ＯＲゲートＧ３の出力はＰ１，Ｐ２に（ＤＬを介＊して）入力される。論理ＡＮＤゲートＧ４はインバータＩ５、Ｉ６の出力に接続される一の入力と信号ＥＮを受ける一の入力とを有する。ＡＮＤゲートＧ４の出力はＮ１，Ｎ２の入力に（ＤＬを介して）接続される。

【００４４】ＥＮ＝１及びＥＮＢ＝０のときに出力バッファ２００はイネーブルされる。特にゲートＧ１，Ｇ２，Ｇ３，Ｇ４は入力信号Ｄの論理値に依存し、入力信号Ｄと同じである。しかしながらＥＮ＝０、ＥＮＢ＝１のときには出力バッファ２００はディスエーブルされる。入力信号Ｄの論理値を無視して論理ゲートＧ１，Ｇ３の出力は論理「０」と「１」であり論理ゲートＧ２及びＧ４の出力は論理「１」及び論理「０」である。そのような出力は全てのトランジスタＮ０，Ｎ１，Ｎ２、Ｐ０，Ｐ１，Ｐ２をなおオフにする。

【００４５】最終的に図８、９は本発明による出力バッファ１００、２００の設計原理を用いてシミュレーションされた回路に対するプロットを示す（それぞれ全ＰＭＯＳに対して１２００μｍチャンネル幅及び。全ＮＭＯＳに対して５１２μｍ）種々のＰＭＯＳ，ＮＭＯＳトランジスタパラメータは以下に示すＵＳＢ規格による最高速度及び低速度データ通信をなすために選択される。

【００４６】

表１

	最高速度	低速度
立ち上げ、立ち下げ時間	４－２０ナノ秒（９０－１１０%）	７５－３００ナノ秒（７０－１３０%）
遅延	０－１２ナノ秒（５０ｐＦ負荷）	＜３００ナノ秒（５０－３５０ｐＦ負荷）
データ速度	１２Ｍビット／秒	１．５Ｍビット／秒

図８は最高速度動作に対するプロットを示し、図９は低速度動作に対するプロットを示す。表２及び３は最良、典型的、最悪の高電圧レベルV_{DD}、動作温度、許容負荷に対する結果を要約したものである。

【００４７】

【表１】

表　２　：　最高速度

パラメータ	最良	典型的	最悪
V_{DD}	3.6ボルト	3.3ボルト	3.0ボルト
温度	0° C	25 ° C	85 ° C
負荷	50 ｐ F	50 ｐ F	50 ｐ F
立ち下げ時間	4.5nsec	5.5nsec	7.2nsec
立ち上げ時間	4.8nsec	6.0nsec	7.9nsec
遅延	4.5nsec	5.9nsec	9.5nsec

【００４８】

【表２】

表　３　：　低速度

パラメータ	最良	典型的	最悪
V_{DD}	3.6ボルト	3.3ボルト	3.0ボルト
温度	0° C	25 ° C	85 ° C
負荷	50 ｐ F	50 ｐ F	350 ｐ F
立ち下げ時間	75nsec	101.2nsec	122.2nsec
立ち上げ時間	75.5nsec	101.2nsec	102.6nsec
遅延	54.8nsec	73.6nsec	206.4nsec

【００４９】図示されたように本発明による出力バッファはＵＳＢ仕様動作要求に適合するものである。上記説明は本発明の説明のためのみに意図されたものである。当業者は請求項の精神及び範囲から離れることなく多くの代替実施例を製造しうる。

【図面の簡単な説明】

【図１】第一の従来技術の出力バッファを示す。

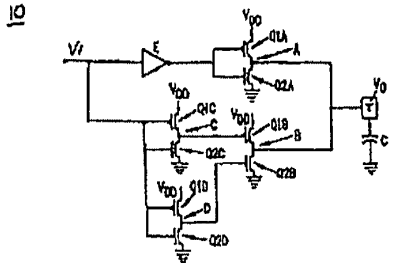
【図２】図１の出力バッファに対する従来技術の電圧プロットである。

【図３】第二の従来技術の出力バッファを示す。

19　　20

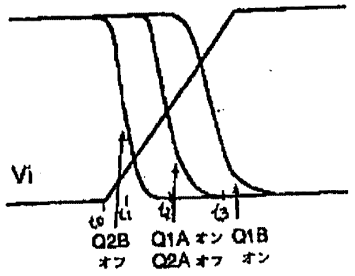
【図4】本発明の第一の実施例による出力バッファを示す。
【図5】制御信号の最大速度動作遷移を示す。
【図6】制御信号の低速度動作遷移を示す。
【図7】本発明の他の実施例による出力バッファを示す。
【図8】最大速度動作中のシミュレーションされた回路の制御及び出力信号遷移のプロットを示す。
【図9】低速度動作中のシミュレーションされた回路の制御及び出力信号遷移のプロットを示す。
【符号の説明】
10，20，100，200　出力バッファ
22、24　増幅器
130　制御回路
110、120　ドライバ
140、150　遅延回路
210　イネーブル回路
A、B　ドライバ
C，D，E　プリドライバインバータ
C1、Cap　コンデンサ
T，D_1，Q　パッド
Q1A，Q2A，Q1B，Q2B，P1’P2’，P3’，P4’，N1’，N2’，N3’，N4’，P0，P1，P2，P10，P11，N0，N1，N2，N10，N11，N，ND　トランジスタ
V_{ss}　低電圧
V_{DD}　高電圧
10　Vi　入力信号
DD　ノード
LSB、LS、FSB、FS　イネーブル信号
I1、I2、I3、I4、I5、I6、I7、I8　インバータ
pd1，pd2，pu1，pu2　出力
DL　遅延素子
G1，G2，G3，G4　論理ゲート
EN，ENB　イネーブル信号

【図1】



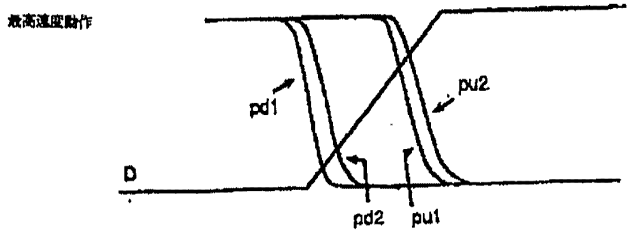
（従来技術）

【図2】



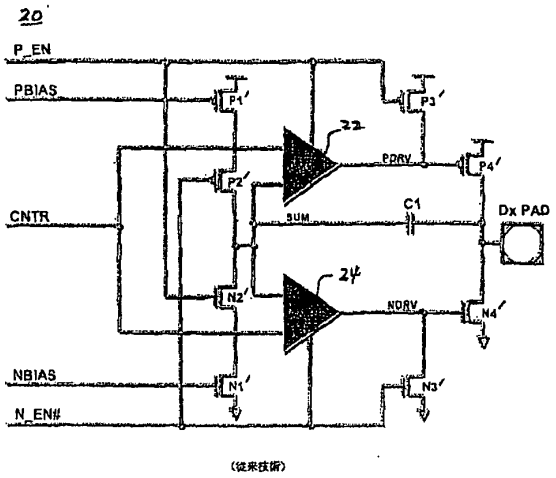
（従来技術）

【図5】



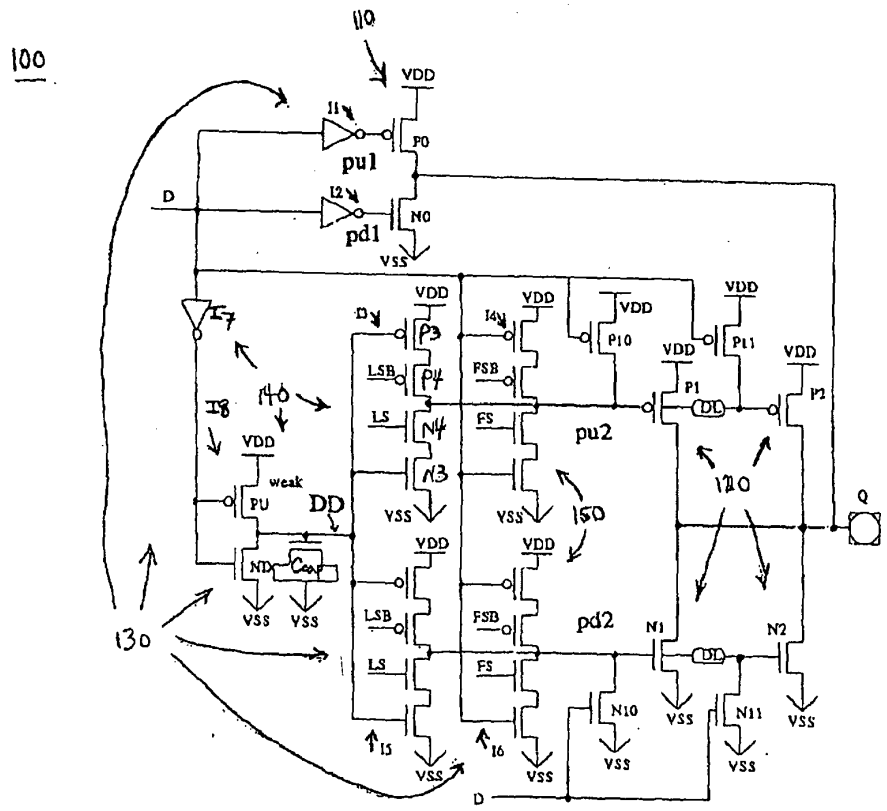
EX1005 / Page 345 of 376
Western Digital Technologies, Inc.

【図３】

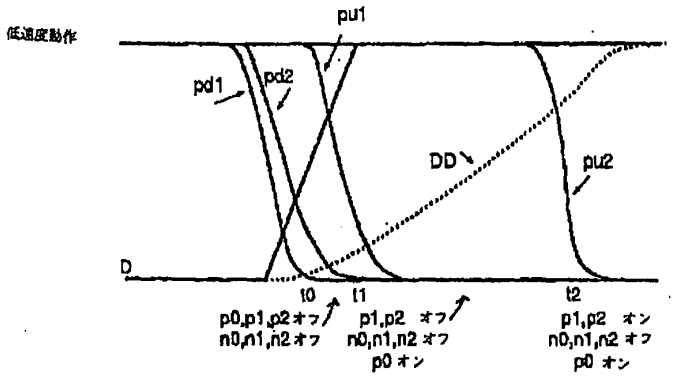

20
P_EN
PBIAS
CNTR
NBIAS
N_EN#
P1'
P2'
P3'
P4'
N1'
N2'
N3'
N4'
22
24
PDRV
NDRV
BUM
C1
Dx PAD

（従来技術）

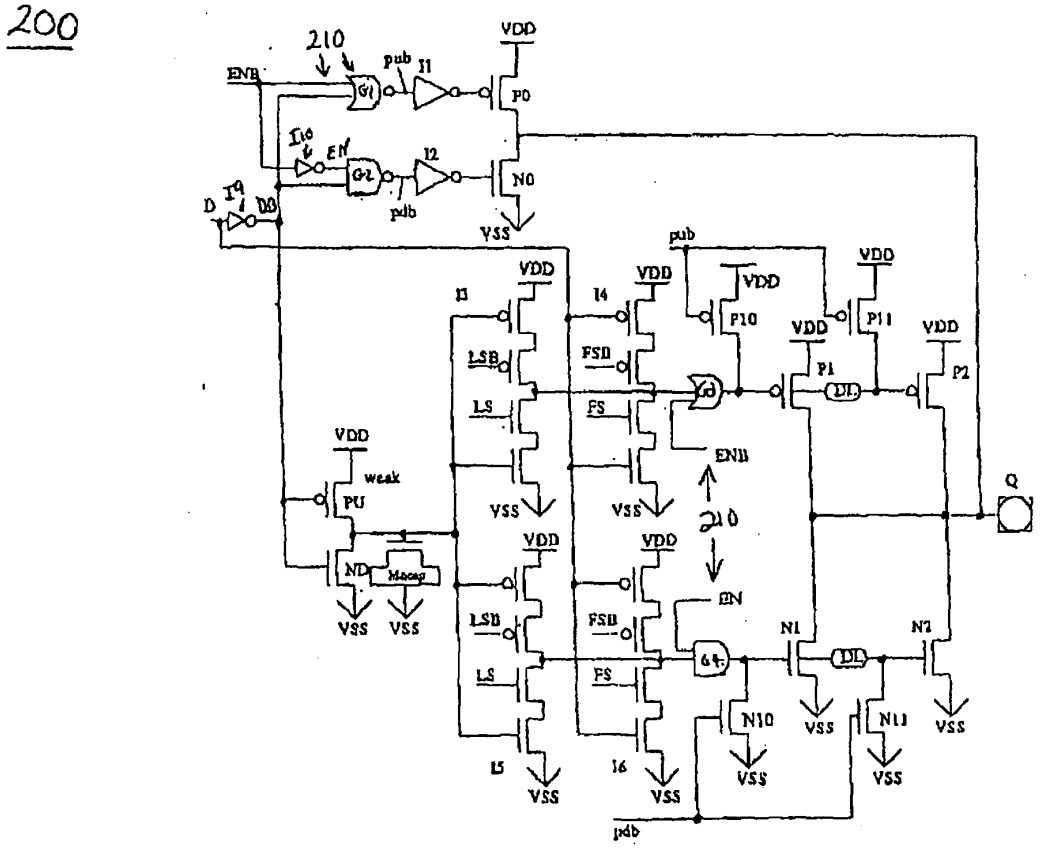
【図４】


100
110
VDD
I1
P0
pu1
D
I2
N0
pd1
VSS
I7
I8
140
weak
PU
DD
ND
Cap
130
P3
P4
N4
N3
LSB
LS
FSB
FS
pu2
pd2
P10
P11
P1
P2
N1
N2
N10
N11
DL
120
150
Q
I5
I6

【図６】

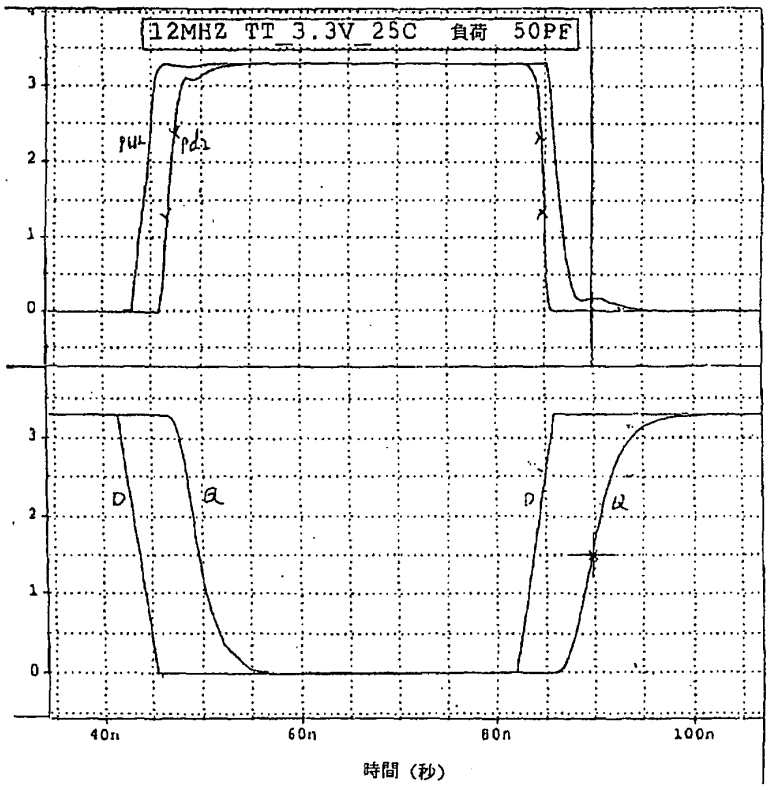


【図７】

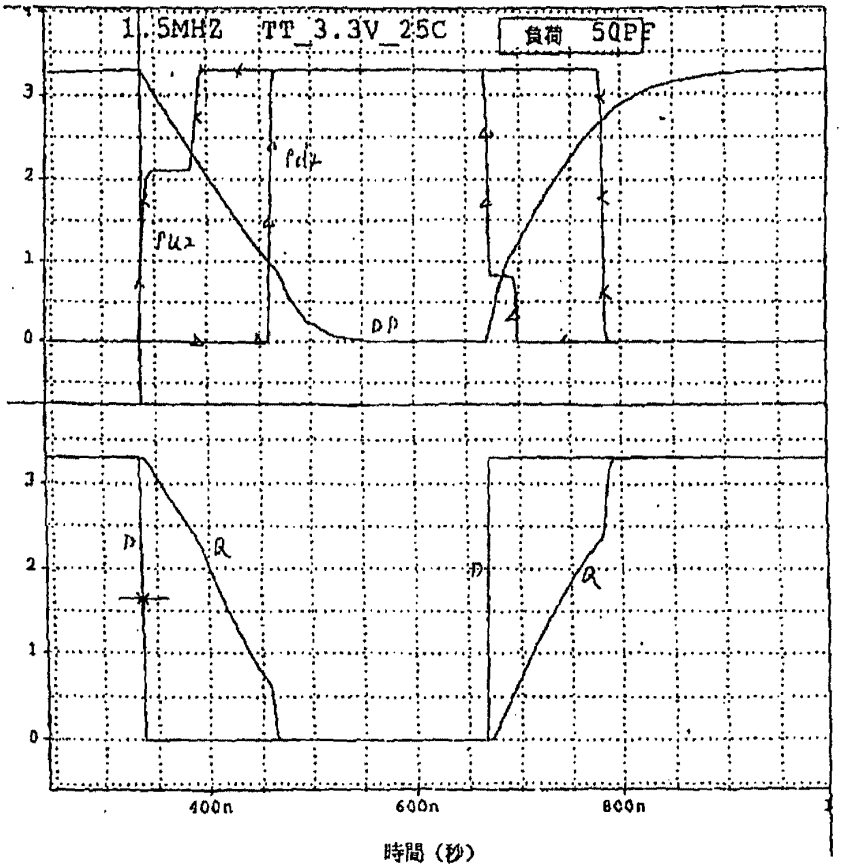


EX1005 / Page 347 of 376
Western Digital Technologies, Inc.

【図8】



【図９】



【手続補正書】
【提出日】平成１０年３月１３日
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】発明の詳細な説明
【補正方法】変更
【補正内容】
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は集積回路設計に関し、より詳細には集積回路の出力バッファに関する。
【０００２】
【従来の技術】出力ドライバは高電流駆動で負荷を駆動する目的で例えば集積回路（ＩＣ）チップで使用されるクラスの回路である。一般的に小電流駆動トランジスタはＩＣチップの内部で使用されるが、高負荷を駆動することはできない。出力ドライバは高電流駆動能力を有するＩＣから外部にそのような信号を出力するよう設けられ、故に高負荷を駆動可能である。このような出力ドライバ回路はしばしば「出力バッファ」と称される。
【０００３】高電流駆動を達成するために出力バッファは典型的には大きなＭＯＳＦＥＴ又はＭＯＳトランジスタを含む。（ここではこの技術分野で通常用いられるようにＭＯＳＦＥＴ又はＭＯＳは好ましくは多結晶シリコンゲート電界効果トランジスタである絶縁ゲート電界効果トランジスタを称し、金属酸化物半導体電界効果トランジスタのみを指すのではない）。そのような大きなトランジスタはＩＣに対してノイズ問題を引き起こす。特に出力バッファトランジスタは高電圧V_{DD}電力供給バス及び低電圧V_{SS}電力供給バスに接続される。出力バッファトランジスタは更にまた限定された容量を有する大きな領域のボンディングパッドの形を取る出力端子を駆動する。論理値の高速遷移中に大きな出力バッファトラン

EX1005 / Page 349 of 376
Western Digital Technologies, Inc.

ジスタは高電流を発生する。この高電流はボンディングワイヤ、パッキング及びその他の誘導の結果として低電力及び高電力供給バスにノイズ電圧を印加する。（印加された電圧は以下の式で表される：ｖ＝Ｌ・ｄｉ／ｄｔ、ここでｖはノイズ電圧、Ｌはボンディングワイヤ、パッキングなどの誘導であり、ｄｉ／ｄｔは時間に関する出力バッファの大きな駆動トランジスタにより発生された電流の導関数である。斯くして出力バッファの大きな駆動トランジスタの電流が時間と共により早く変化すると印加されたノイズ信号の大きさはより大きくなる。）高電力及び低電力供給バスでのこの望ましくないノイズ電圧は一般に「接地バウンス」と称される。

【０００４】多数の従来技術の解決策が出力バッファでの「接地バウンス」を減少させるために提案されてきた。図１に示され、米国特許第４９８７３２４号に開示される従来技術の出力バッファ１０を一例として示す。図のように低電流駆動ドライバＡ及び高電流駆動ドライバＢが出力端子パッドＴを駆動するよう設けられる。ドライバＡは「プッシュプルインバーター」構成に接続されるＰＭＯＳトランジスタＱ１Ａ及びＮＭＯＳトランジスタＱ２Ａよりなる。特にＰＭＯＳトランジスタＱ１Ａは高電圧V_{DD}電力供給バスに接続されるソースと出力端子パッドＴに接続されるドレインと入力に接続されるゲートとを有する。ＰＭＯＳトランジスタＱ２Ａは低電圧V_{SS}電力供給バスに接続されるソースと、トランジスタＱＡ１のドレインと出力端子パッドＴに接続されるドレインと、トランジスタＱ１Ａのゲート及び入力に接続されるゲートとを有する。それぞれ高電圧V_{DD}及び低電圧V_{SS}電力供給バスへのトランジスタＱ１Ａ，Ｑ２Ａのソースの接続は高電圧V_{DD}（例えば５ボルト）及び低電圧V_{SS}（例えば０ボルト）でドライバＡの高電圧及び低電圧バイアスを供給する。ドライバＡはその入力に入力された電圧に相補的な電圧にその出力を駆動する。プリドライバインバータＥは入力信号Ｖｉを受け、ドライバＡの入力への信号Ｖｉに相補的な信号を出力する。

【０００５】ドライバＢはまた出力端子パッドＴに接続されたドレインを有するＰＭＯＳトランジスタＱ１Ｂ及びＮＭＯＳトランジスタＱ２Ｂからなる。トランジスタＱ１Ｂのソースは高電圧V_{DD}電力供給バスに接続され、トランジスタＱ２Ｂのソースは低電圧V_{SS}電力供給バスに接続される。ドライバＡと異なりドライバＢは２つのプリドライバインバータＣ，Ｄを有する。インバータＣは入力信号Ｖｉを受け、トランジスタＱ１Ｂのゲートにこの信号の相補的な信号を出力する。インバータＤは入力信号Ｖｉを受け、トランジスタＱ２Ｂのゲートにこの信号の相補的な信号を出力する。

【０００６】定常動作中に入力信号Ｖｉが論理「０」（低電圧レベルV_{SS}）のときにインバータＥ，Ｄ，Ｃはそれぞれ論理「１」（高電圧レベルV_{DD}）をトランジスタＱ１Ａ，Ｑ２Ａ，Ｑ１Ｂ，Ｑ２Ｂの入力へ出力する。ＰＭＯＳトランジスタであるトランジスタＱ１Ａ，Ｑ１Ｂはオフであり、ＮＭＯＳトランジスタであるトランジスタＱ２Ａ，Ｑ２Ｂはオンである。このようにトランジスタＱ２Ａ，Ｑ２Ｂは両方とも出力端子パッドＴ上のいかなる電流も低電圧V_{SS}電力供給バスへ減少させ、それにより出力端子パッドＴの電圧レベルをV_{SS}に維持する。他方で入力信号Ｖｉが論理「１」（高電圧レベルV_{DD}）のときにインバータＥ，Ｄ，Ｃはそれぞれ論理「０」（低電圧レベルV_{SS}）を出力する。ＰＭＯＳトランジスタであるトランジスタＱ１Ａ，Ｑ１Ｂはオンであり、ＮＭＯＳトランジスタであるトランジスタＱ２Ａ，Ｑ２Ｂはオフである。このようにトランジスタＱ１Ａ，Ｑ１Ｂは両方とも出力端子パッドＴへ電流を供給し、それにより出力端子パッドＴの電圧レベルをV_{DD}に維持する。

【０００７】上記のように接地バウンスは入力信号Ｖｉの論理「０」から論理「１」へ又は論理「１」から論理「０」への論理値の遷移中に生ずる効果である（これはV_{SS}からV_{DD}又はV_{DD}からV_{SS}の出力端子パッドＴの対応する電圧レベルで遷移を生ずる）。接地バウンスを減少させるためにドライバＡはドライバＢに設けられるＱ１Ｂ，Ｑ２Ｂより小さくされた寸法（即ちより小さなチャンネル幅）のトランジスタＱ１Ａ，Ｑ２Ａを設けられる。更にまたインバータＣ，Ｄ，Ｅの論理閾値電圧又はスイッチング電圧は異なる時間に各インバータをスイッチ、即ちその出力電圧を遷移させるよう選択される。これは図２を参照してよりよく理解される。インバータＣ，Ｄ，Ｅのスイッチング電圧がそれぞれ３．７，１．１，２．５ボルトから選択されるとする。示されるように入力信号Ｖｉは論理「０」（電圧レベルV_{SS}＝０）から論理「１」（電圧レベルV_{DD}＝５）へ時間ｔ０で遷移し始める。時間ｔ１でＶｉの電圧レベルは１．１ボルトに達し、それによりインバータＤを論理値「１」から論理値「０」へその出力を遷移させるようにトリガーする。結果としてＱ２Ｂはオフになり始める。時間ｔ２でＶｉの電圧レベルは２．５ボルトに達し、それによりインバータＥを論理値「１」から論理値「０」へその出力を遷移させるようにトリガーする。結果としてＱ１Ａはオンになり始め、Ｑ２Ａはオフになり始める。時間ｔ３で最終的にＶｉの電圧レベルは３．７ボルトに達し、それによりインバータＣを論理値「１」から論理値「０」へその出力を遷移させるようにトリガーする。結果としてＱ１Ｂはオンになり始める。最終的な効果はまずＱ２Ｂが時間ｔ１でオフし、それからＱ１Ａがオンし、一方で時間ｔ３でＱ１Ｂがオンとなる前にＱ２Ａは時間ｔ２でオフとなる。斯くしてより大きなＰＭＯＳトランジスタＱ１Ｂがオンとなることはより小さなＰＭＯＳトランジスタＱ１Ａがオンした後まで遅らされる。これは小さなトランジスタＱ１Ａがより低い電流駆動能力を有する故に好ましい。最初にＱ１Ａがオンとなるときに出力端

子パッドの電圧は０である。トランジスタＱ１Ａは出力端子パッドをゆっくりと充電する。トランジスタＱ１Ａの制限された電流駆動と出力端子パッドＴの比較的ゆっくりした電圧変化の故に接地バウンスはほとんど発生しない。後にトランジスタＱ１Ｂはより高い電流駆動能力でオンされる。しかしながらこの時点で出力端子パッドは部分的に充電され、故に出力端子パッドＴは高電流駆動トランジスタＱ１Ｂにより駆動されるにもかかわらず急速に変化する電流駆動は回避される。急速な電流変化は回避される故に接地バウンスは抑制される。

【０００８】同様にして入力信号が論理「１」から論理「０」へ遷移するときにインバータはその出力された論理値を論理「０」から論理「１」へインバータＣが最初で続けてインバータＥ続けてインバータＤの順で続けて変化する。最終的な効果はＱ１Ｂが最初にオフし、次にＱ１Ａがオフし、Ｑ２Ａがオンして、それに続いて最終的にＱ２Ｂがオンとなる。より小さいトランジスタＱ２Ａが最初にオンとなる故にそれは（比較的）低い電流駆動能力でゆっくり出力パッドを放電し始める。それからより大きなトランジスタＱ２Ｂはオンされる。しかしながら出力端子パッドＴは既に部分的に放電されている。斯くしてＱ２Ｂはより急速でなく変化する電流で出力端子パッドＴを駆動する。再び接地バウンスは減少する。

【０００９】出力バッファ１０が接地バウンスを抑制する一方でこれは全ての応用に対して適切というわけではない。例えばある応用で小さい及び大きいドライバの両方の電流駆動能力が比較的高い場合である。例えばある応用で必要な電流駆動を達成するためにトランジスタＱ１Ａは２００μｍのチャンネル幅を有し、トランジスタＱ１Ｂは１０００μｍのチャンネル幅を有する。図２に示されるように遷移中にトランジスタＱ１Ａ，Ｑ２Ａの両方は同時にオンとなる。これは高電力供給バス及び低電力供給バスの間の短絡路を形成する。トランジスタＱ１Ａ，Ｑ２Ａが大きい場合にはＩＣを損傷するような高い短絡電流が発生される。

【００１０】第二にＱ１Ｂが８００μｍのチャンネル幅を有し、Ｑ２Ｂが４００μｍのチャンネル幅を有するとする。論理「０」から論理「１」の入力信号Ｖｉ論理値の遷移中にトランジスタＱ１ＢとＱ１Ａとの間の時間の遅延はプリドライバＥとＣとの相対的スイッチング電圧により制御される。同様に論理「０」から論理「１」の入力信号Ｖｉ論理値の遷移中にトランジスタＱ２ＢとＱ２Ａとの間の時間の遅延はプリドライバＥとＤとの相対的スイッチング電圧により制御される。しかしながら、そのような遅延はそのような大きなトランジスタＱ１ＢとＱ２Ｂに対してある応用で接地バウンスを減少させるのに充分ではない。

【００１１】図３はカリフォルニア州サンタクララの半導体製造業者のインテルから提案された低速出力バッファ２０を示す。出力パッドD_iは高電圧V_{DD}電力供給バスに接続されたソースと、出力パッドD_iに接続されたドレインとを有するＰＭＯＳプルアップドライバトランジスタＰ４’又は低電圧V_{SS}電力供給バスに接続されたソースと、出力パッドD_iに接続されたドレインとを有するＮＭＯＳプルアップドライバトランジスタＮ４’により選択的に駆動される。ＰＭＯＳ急速オフトランジスタＰ３’は信号Ｐ＿ＥＮを受ける。Ｐ＿ＥＮが論理「０」のときにＰ３’はオンになり高電圧レベルV_{DD}にＰ４’のゲートを駆動し、それによりＰ４’をオフとなる。さもなければＰ＿ＥＮが論理「１」であるときにＰ３’はオフであり、Ｐ４’のゲートをどの電圧レベルにも駆動しない。同様にしてＮＭＯＳ急速オフトランジスタＮ４’は信号Ｎ＿ＥＮ#を受ける。Ｎ＿ＥＮ#は論理「１」のときにＮ３’は急速にオンし、Ｎ４’のゲートを低電圧レベルV_{SS}へ駆動し、それによりＮ４’をオフとなる。さもなければＮ＿ＥＮ#が論理「０」のときにＮ３’はオフであり、Ｎ４’のゲートをどのような電圧レベルにも駆動しない。

【００１２】アナログ作動増幅器２２、２４はそれぞれＰ４’とＮ４’のゲートに接続される。増幅器２２はイネーブル信号として信号Ｐ＿ＥＮを受け、増幅器２４はまたイネーブル信号として信号Ｎ＿ＥＮ#を受ける。各増幅器２２と２４の正の（非反転）入力は相互に接続される。各増幅器２２と２４は信号ＣＮＴＲを負の（反転）入力で受ける。ＣＮＴＲの電圧レベルは増幅器２２と２４が低又は負の電圧又は高又は正の電圧を正の入力に印加される電圧に依存して選択的に出力するように選択される（以下に詳細に説明する）。ＰＭＯＳトランジスタＰ２のドレイン及びＮＭＯＳトランジスタＮ２のドレインはまた増幅器２２及び２４の正の入力に接続される。次にトランジスタＰ２のソースはトランジスタＰ１’のドレインに接続される。トランジスタＰ１’のソースは高電圧V_{DD}電力供給バスに接続される。トランジスタＮ２’のソースはＮ１’のドレインに接続される。トランジスタＮ１’のソースは低電圧V_{SS}電力供給バスに接続される。

【００１３】トランジスタＮ２’のゲートは信号Ｐ＿ＥＮを受け、トランジスタＰ２’のゲートは信号Ｎ＿ＥＮ#を受ける。トランジスタＰ１のゲートは定常な電圧ＰＢＩＡＳを受ける。ＰＢＩＡＳはトランジスタＰ１が以下にその理由を説明する特定の最大電流を発生するように選択される。同様にトランジスタＮ１’のゲートは定常な電圧ＰＢＩＡＳを受け、それはトランジスタＮ１’が特定の最大電流を発生するように選択される。特定の容量を有するコンデンサＣ１は増幅器２２と２４の共通の正の入力接続と出力端子パッドD_iとの間に接続される。

【００１４】出力バッファ２０の動作は以下の通りである。出力されるデータが論理「０」であるときに信号Ｎ－ＥＮは論理「０」であり、信号Ｐ＿ＥＮは論理「０」

EX1005 / Page 351 of 376
Western Digital Technologies, Inc.

である。結果として増幅器２２はそれが信号P＿ENの高電圧を受けられない故にディスエーブルされる。P3'はオンであり、P4'のゲートの電圧を高レベルに維持する。斯くしてP4'はオフのままである。N2'はオフであるがP2はオンである。故にP1，P2は高電圧レベル（V_{pp}より小さい）でC1の電荷を維持する。増幅器２４の正の入力に入力されるC1の高電圧レベルはまた（信号CNTRの）増幅器２４の負の入力に入力される電圧レベルを越える。増幅器２４は正の電圧レベルをN4'のゲートへ出力する。N3'はオフであり、N4'を駆動しない。そのようにしてN4'はなおオンのままであり、出力端子パッドの電圧を低い電圧レベルV_{ss}に維持する。

【００１５】論理「１」が出力される場合を考える。P＿ENとN＿EN#の両方は論理「１」である。増幅器２４はディスエーブルされる。何故ならばそれは信号N＿EN#の低電圧を受けないからである。N3'はオンであり、N4'のゲートを駆動し、それによりN4'のゲートの電圧レベルを低いレベルに維持する。そのようにN4'はオフのままである。P2はオフでN2'はオンである。そのようにN1'及びN2はC1上の電荷を低電圧レベル（それはV_{ss}より大きい）に維持する。次に低電圧レベルは増幅器２２の正の入力へ入力される。低電圧レベルは増幅器２２の負の入力で受けられた電圧レベルより小さい（即ち信号CNTRにより供給される）故に増幅器２２は低い又は負の電圧を出力する。P3'はオフであり、P4のゲートを駆動しない。P4'のゲートが増幅器２２の低電圧のみを受ける故にP4はオンのままであり、高電圧レベルV_{pp}に出力端子の電圧を維持する。

【００１６】論理値を「０」から「１」に遷移することについて考える。このような場合にはP＿ENとN＿EN#の両方が論理値を「０」から「１」へ遷移する。P3'はオフされ、N3'はオンされ、増幅器２４はオフされる。そのようにN4'は急速にオフされる。P2はオフにされ、N2'はオンにされる。斯くしてN1'とN2'はコンデンサC1を徐々に放電する。コンデンサC1は遅延期間にわたり放電される。C1が放電されるにつれて増幅器２２、２４の正の入力に印加された電圧は減少し、増幅器２２から出力された電圧は徐々に減少する。この場合にはP4'は徐々にオンされる。P4'がオンされるのでそれは出力端子パッドD_xを高電圧に徐々に充電する。

【００１７】論理値を「１」から「０」に遷移することについて考える。このような場合にはP＿ENとN＿EN#の両方が論理値を「１」から「０」へ遷移する。この場合N3'はオフされ、P3'はオンにされ、増幅器２２はオフにされる。そのようにP4'は急速にオフされる。P2はオンにされ、N2'はオフにされる。斯くしてP1'とP2'はコンデンサC1を遅延期間にわたり充電する。C1が充電されるにつれて増幅器２２の正の入力に印加された電圧は徐々に増加する。これは増幅器２２から出力された電圧を徐々に増加し、その出力電圧は徐々にN4'をオンとなる。N4'がオンされる故にそれは出力端子パッドD_xを低電圧に徐々に放電する。

【００１８】斯くして低速度出力バッファ２０は徐々に遷移するという利点を有し、それにより接地バウンスを減少し、出力端子パッドの立ち上がり立ち下がり時間を安定化する。しかしながら出力バッファ２０は２つの欠点を有する。一つはコンデンサC1はICに導入することが難しいことである。C1の２つの端子の電圧はV_{ss}又はV_{pp}のいずれかである故にコンデンサC1はC1が精度の公差内になければならないときには特に誘電層により分離される多結晶シリコンの２つの別の層から実現されなければならない。斯くして出力バッファ２０はより高価で複雑である。２番目は出力バッファ２０は高電力消費であることである。

【００１９】最近ユニバーサルシリアルバス（USB）と呼ばれる新たな規格がコンピュータ周辺機器として認可された。USBにより、デバイスは最高速度１２Mビット／秒又は低速度１．５Mビット／秒でデータ通信可能である。USB規格はそれに準拠するデバイスの出力電圧レベルに関して最高速度データ通信に対して約４から２０ナノ秒の正確な立ち上がり、立ち下がり速度を特徴とするが、低速度通信に対してはわずか７５から３００ナノ秒である。これは単一の特定のデータ通信速度に対してのみスルーレートを典型的には割り当てる接地バウンス抑制出力バッファに対して問題となる。

【００２０】

【発明が解決しようとする課題】本発明の目的は従来技術の欠点を克服することにある。本発明の他の目的は短絡回路電流及び接地バウンスを抑制するよう動作しうる出力バッファを提供することにある。

【００２１】

【課題を解決するための手段】これらの及び他の目的は本発明により達成される。一実施例によれば出力端子上に出力するために入力信号を受ける出力バッファが設けられる。出力バッファは出力端子を入力信号の論理値に対応する電圧に駆動する第一のドライバ及び第二のドライバを有する。第二のドライバは第一のドライバより高い駆動能力を有する。出力バッファはまた入力信号及び少なくとも一つのモード信号の論理値の遷移を受ける制御回路を有する。制御回路は第一のドライバが出力端子を相補的な電圧に駆動し始める後まで出力端子を相補的な電圧に駆動することについて第二のドライバを遅延することにより論理値の遷移に応答する。そのようにすることで制御回路はモード信号が最大速度モードを示すときに第二のドライバを第一の遅延により遅延する。他方で制御回路はモード信号が低速度モードのときに第二の

ドライバを第一の遅延より長い第二の遅延により遅延する。

【００２２】説明のために制御回路は２つの遅延回路を含む。第一の遅延回路は第二のドライバを出力端子を第一の遅延により相補的な電圧に駆動するよう遅延する。第二の遅延回路は第二のドライバを出力端子を第二の遅延により相補的な電圧に駆動するよう遅延する。例えば第二の遅延回路は出力を有する第一のインバータと、第一のインバータの出力に接続される入力を有する第二のインバータと、第一のインバータの出力と低電圧電源供給バスとの間に接続されたコンデンサとを含む。入力信号の論理値の遷移は第一のインバータをその出力を駆動するよう遷移する。しかしながらコンデンサはそれが充電され、又は放電することにより第二のインバータの入力への伝搬からの遷移を遅延する。

【００２３】

【発明の実施の形態】図４は本発明の実施例による出力バッファ１００を示す。出力バッファ１００は２つのドライバを有し、即ち（比較的）低電流駆動ドライバ１１０及び高電流駆動ドライバ１２０である。説明のためにドライバ１１０は全電流駆動の約２０％を発生し、一方でドライバ１２０は全電流駆動の約８０％を発生する。

【００２４】ドライバ１１０は高電圧V_{DD}電力供給バスに接続されたソースと、出力端子パッドQに接続されたドレインとを有するＰＭＯＳトランジスタＰ０を含む。ドライバ１１０はまた低電圧V_{SS}電力供給バスに接続されたソースと、出力端子パッドQに接続されたドレインとを有するＮＭＯＳトランジスタＮ０を含む。ドライバ１２０は２つのＰＭＯＳトランジスタＰ１，Ｐ２及び２つのＮＭＯＳトランジスタＮ１，Ｎ２を含む。Ｐ１，Ｐ２のソースは高電圧V_{DD}電力供給バスに接続される。Ｎ１，Ｎ２のソースは低電圧V_{SS}電力供給バスに接続される。トランジスタＰ１，Ｐ２，Ｎ１，Ｎ２のドレインは出力端子パッドQに接続される。トランジスタＰ１のゲートは遅延素子ＤＬを介してトランジスタＰ２のゲートに接続される。トランジスタＮ１のゲートは遅延素子ＤＬを介してトランジスタＮ２のゲートに接続される。遅延素子ＤＬはインバータ又は抵抗からなる。例えばそれは遅延素子ＤＬをトランジスタＰ１からトランジスタＰ２又はトランジスタＮ１からトランジスタＮ２への抵抗性の多結晶シリコンゲートの簡単な延長として遅延素子ＤＬを形成することが知られている。遅延素子ＤＬの目的はそれぞれＮ１又はＰ１のゲートからＰ２又はＮ２のゲートへのオン信号の伝搬を遅延することである。結果として低電圧信号がＰ１のゲートに印加されたときにＰ１は最初にオンされＰ２はＰ１とＰ２との間に接続される遅延素子ＤＬにより引き起こされるある遅延の後にオンとされる。同様に高電圧信号がＮ１のゲートに印加されるときにＮ１は最初にオンとなり、Ｎ２はＮ１とＮ２との間に接続される遅延素子ＤＬにより引き起こされるある遅延の後にオンにされる。トランジスタＰ１－Ｐ２又はＮ１－Ｎ２のこの徐々のオンは接地バウンスを抑制する傾向にある。

【００２５】他方でトランジスタＰ１，Ｐ２又はＮ１，Ｎ２を急速にオフにすることが望ましい。この目的のためにＰＭＯＳトランジスタＰ１０及びＰ１１は高電圧V_{DD}電力供給バスに接続されたソース及びそれぞれＰ１，Ｐ２のゲートに接続されたドレインを有するよう設けられる。トランジスタＰ１０，Ｐ１１のゲートは両方とも入力信号Ｄを受ける。トランジスタＰ１，Ｐ２をオフとなることが望ましいときに（即ち出力端子Ｑから論理「０」を出力するときに）入力信号Ｄ（論理値「０」を有する）はＰ１０，Ｐ１１をオンにし、これはＰ１，Ｐ２のゲートを急速に充電し、それによりそれらをオフにする。

【００２６】同様にＮＭＯＳトランジスタＮ１０，Ｎ１１は低電圧V_{SS}電力供給バスに接続されたソース及びそれぞれＮ１，Ｎ２のゲートに接続されたドレインを有するよう設けられる。トランジスタＮ１０，Ｎ１１のゲートは両方とも入力信号Ｄを受ける。トランジスタＮ１，Ｎ２をオフとなることが望ましいときに（即ち出力端子Ｑから論理「１」を出力するときに）入力信号Ｄ（論理値「１」を有する）はＮ１０，Ｎ１１をオンにし、これはＮ１，Ｎ２のゲートを急速に放電し、それによりそれらをオフにする。

【００２７】制御回路１３０はまたドライバ１１０、１２０をプリドライブするよう設けられる。ドライバ１１０の場合には制御回路１３０は２つのプリドライバインバータＩ１，Ｉ２を含む。Ｐ０のゲートはプリドライバインバータＩ１の出力に接続される。Ｎ０のゲートはプリドライバインバータＩ２に接続される。インバータＩ１の入力及びインバータＩ２の入力は両方とも入力データ信号Ｄを並列に受ける。

【００２８】ドライバ１２０の場合には制御回路１３０は２つの遅延回路１４０、１５０を含む。遅延回路１４０はインバータＩ７，Ｉ８、コンデンサＣａｐ及び２つの並列に接続された三状態インバータＩ３，Ｉ５を含む。入力信号Ｄはインバータ Ｉ７で受けられ、これは入力信号Ｄの相補的信号をインバータＩ８に出力する。示されるようにインバータＩ８はプッシュプル構成で接続されるＰＭＯＳトランジスタＰＵ及びＮＭＯＳトランジスタＮＤから形成される。インバータＩ８の出力はノードＤＤへ接続される。示されるようにコンデンサＣａｐはノードＤＤと低電圧V_{SS}電力供給バスとの間に接続される。

【００２９】三状態インバータＩ３，Ｉ５の入力はノードＤＤに接続される。各三状態インバータＩ３，Ｉ５は類似の構造を有する。例えばインバータＩ３は高電圧V_{DD}電力供給バスに接続されたソースと、三状態インバータＩ３の入力に接続されたゲートを有するＰＭＯＳトラ

EX1005 / Page 353 of 376
Western Digital Technologies, Inc.

ンジスタP3を含む。P3のドレインはPMOSトランジスタP4を介して三状態インバータI3の出力に接続される。インバータI3はまた低電圧V_{ss}電力供給バスに接続されたソースと三状態インバータI3の入力に接続されたゲートを有するNMOSトランジスタN3を含む。N3のドレインはNMOSトランジスタN4を介してインバータI3の出力に接続される。トランジスタP4及びN4はそれぞれ相補的なイネーブル信号、即ちLSB及びLSをそれぞれ受ける（以下に詳細に説明する）。LSBが論理「0」値であり、LSが論理「1」値であるときにトランジスタP4，N4はトランジスタP3，N3が三状態インバータI3の出力を駆動することを許容する。しかしながらLSBが論理「1」値であり、LSが論理「0」値であるときにP3，N3で生じた信号はインバータI3の出力に到達することを阻止される。

【0030】三状態インバータI3と同様に三状態インバータI5は同じ相補的イネーブル信号LSB，LSを受ける。三状態インバータI3の出力はトランジスタP1のゲートに接続される。インバータI5の出力はトランジスタN1のゲートに接続される。遅延回路150は三状態インバータI4、I6のみを含む。各三状態インバータI4、I6は三状態インバータI3、I5と類似の構成を有する。各三状態インバータI4、I6は入力信号Dを受ける入力を有する。三状態インバータI4はトランジスタP1のゲートに接続される。三状態インバータI6の出力はトランジスタN1のゲートに接続される。三状態インバータI3、I5と異なり、三状態インバータI4、I6はイネーブル信号FSB、FSを受け、ここでFSBはFSの相補的信号である。

【0031】インバータI1、I3、I4は（$V_{dd}-V_{ss}$）／2より大きな論理閾値（スイッチング電圧）を有するよう設計される。インバータI2、I5、I6は（$V_{dd}-V_{ss}$）／2より小さな論理閾値（スイッチング電圧）を有するよう設計される。例えばV_{ss}＝0ボルトでV_{dd}＝3．0から3．6ボルトとすると、（$V_{dd}-V_{ss}$）／2＝V_{dd}／2である。

【0032】信号LS及びFSは出力バッファがそれぞれ低速度又は最高速度のいずれかで動作するかを示すモード信号である。低速度モード動作中にUSB準拠ハブ又は他のICの出力バッファは1．5Mビット／秒でデータを出力する。最高速度モード動作中に出力バッファは12Mビット／秒でデータを出力する。しかしながらこれらの低速度及び最高速度は単に説明のためのみのものである。

【0033】出力バッファ100の定常状態動作を最初に説明する。入力信号D＝0のときにインバータI1、I2、I3、I4、I5、I6、I7は論理値「1」を出力し（及びインバータI8は論理値「0」を出力する）。そのようにしてトランジスタP0，P1，P2はオフされ、トランジスタN0，N1，N2はオンされる。トランジスタN0，N1，N2が出力端子パッドQへ電流駆動（電流シンク）を供給し、それによりその電圧レベルを低電圧電力供給バス、即ちV_{ss}と同じレベルに維持する。他方で入力信号D＝1のときにインバータI1、I2、I3、I4、I5、I6、I7は論理値「0」を出力し（及びインバータI8は論理値「1」を出力する）。そのようにしてトランジスタN0，N1，N2はオフされ、トランジスタP0，P1，P2はオンされる。トランジスタP0，P1，P2が出力端子パッドQへ電流駆動（電流供給又はサージ）を供給し、それによりその電圧レベルを高電圧電力供給バス、即ちV_{dd}と同じレベルに維持する。

【0034】図5及び6を参照して過渡動作を次に説明する。まず図5に示される最高速度モードの動作について説明する。最高速度モード動作中にFSB＝「0」、FS＝「1」、LSB＝「1」、LS＝「0」である。結果としてインバータI3、I5は三状態にされ、故にディスエーブルにされる。しかしながらインバータI4、I6はイネーブルにされる。入力信号Dがその論理値を「0」から「1」に遷移するとする。最初にDの電圧が上昇し、DがV_{dd}／2に上昇する前にI2、I6のスイッチング閾値に到達する。これによりI2、I6がI6の前のI2の遷移と共に論理「1」から論理「0」へその出力pd1，pd2を遷移させる。結果としてN0，N1，N2はオフし始める。Dが上昇し続けるとN10，N11はN1，N2をオフとなるのを助けるよう急速にオンとなる。ついにDはV_{dd}／2より以上、I1、I4のスイッチング閾値へ上昇し、それによりI1、I4をI4の前にI1が遷移すると共にその出力pu1，pu2が論理「1」から論理「0」へ遷移するようにさせる。結果としてP0，P1，P2がオンし始める。遅延素子DLのためにP2の前にP1はオンとなる。

【0035】入力信号Dがその論理値を「1」から「0」に遷移するとする。最初にDの電圧が降下し、DがV_{dd}／2に降下する前にI1、I4のスイッチング閾値に到達する。これによりI1、I4がI4の前のI1の遷移と共に論理「0」から論理「1」へその出力pd1，pd2を遷移させる。結果としてP0，P1，P2はオフし始める。Dが降下し続けるとP10，P11はP1，P2をオフとなるのを助けるよう急速にオンとなる。ついにDはV_{dd}／2より以上、I2、I6のスイッチング閾値へ上昇し、それによりI2、I6をI6の前にI2が遷移すると共にその出力pu1，pu2が論理「1」から論理「0」へ遷移するようにさせる。結果としてN0，N1，N2がオンし始める。遅延素子DLのためにN2の前にN1はオンとなる。

【0036】図6に示された動作の低速度モードを説明する。低速度モード動作中にFSB＝「1」、FS＝

「０」、ＬＳＢ＝「０」、ＬＳ＝「１」である。結果としてインバータＩ４、Ｉ６は三状態にされ、故にディスエーブルにされる。しかしながらインバータＩ３、Ｉ５はイネーブルにされる。入力信号Ｄがその論理値を「０」から「１」に遷移するとする。最初にＤの電圧が上昇するにつれてインバータＩ７は下降電圧レベルをＩ８に出力する。インバータＩ８へ入力される電圧が下降するにつれてＮＤはオフし始め、ＰＵはオンし始める。結果としてＩ８はノードＤＤを充電し始める。ノードＤＤの充電は充電されなければならないコンデンサＣａｐのせいで遅延される。

【００３７】入力信号Ｄの電圧が上昇するにつれて入力信号Ｄの電圧がV_{DD}／２に達する前にＩ２のスイッチング閾値に達する。同様にしてＤＤは充電され、ＤＤの電圧は時間ｔ０’でＩ５のスイッチング電圧についに達する。これによりＩ２、Ｉ５がＩ５の前のＩ２の遷移と共に論理「１」から論理「０」へその出力ｐｄ１，ｐｄ２を遷移させる。結果としてＮ０，Ｎ１，Ｎ２はオフし始める。Ｄが上昇し続けるとＮ１０，Ｎ１１はＮ１，Ｎ２をオフとなるのを助けるよう急速にオンとなる。

【００３８】ついにＤはV_{DD}／２より以上、時間ｔ１のＩ１のスイッチング閾値へ上昇し、それによりＩ１の出力ｐｕ１が論理「１」から論理「０」へ遷移するようにさせる。結果としてＰ０がオンし始める。しかしながらこの時点でインバータＩ８はノードＤＤをＩ３のスイッチング閾値に充電していない。斯くしてトランジスタＰ１，Ｐ２はなおオフである。後の時間ｔ２’でノードＤＤは最終的にＩ３のスイッチング電圧に充電される。インバータＩ３はその出力ｐｕ２を論理「１」から論理「０」に遷移する。結果としてＰ１，Ｐ２はオンし始め、ここでＰ２は遅延素子ＤＬのためにＰ１の後にオンとなる。

【００３９】入力信号Ｄがその論理値を「１」から「０」に遷移するとする。最初にＤの電圧が下降するにつれてインバータＩ７は上昇電圧レベルをＩ８に出力する。インバータＩ８へ入力される電圧が下降するにつれてＰＵはオフし始め、ＮＤはオンし始める。結果としてＩ８はノードＤＤを放電し始める。ノードＤＤの放電は放電されなければならないコンデンサＣａｐのせいで遅延される。

【００４０】入力信号Ｄの電圧が下降するにつれて入力信号Ｄの電圧がV_{DD}／２に達する前にＩ１のスイッチング閾値に達する。同様にしてＤＤは放電され、ＤＤの電圧は時間ｔ０’でＩ３のスイッチング電圧についに達する。これによりＩ１、Ｉ３がＩ３の前のＩ１の遷移と共に論理「０」から論理「１」へその出力ｐｕ１，ｐｕ２を遷移させる。結果としてＰ０，Ｐ１，Ｐ２はオフし始める。Ｄが下降し続けるとＰ１０，Ｐ１１はＰ１，Ｐ２をオフとなるのを助けるよう急速にオンとなる。ついにＤはV_{DD}／２より以下、時間ｔ１のＩ１のスイッチング閾値へ下降し、それによりＩ２はその出力ｐｄ１が論理「０」から論理「１」へ遷移するようにさせる。結果としてＮ０がオンし始める。しかしながらこの時点でインバータＩ８はノードＤＤをＩ５のスイッチング閾値に放電していない。斯くしてトランジスタＮ１，Ｎ２はなおオフである。後の時間でノードＤＤは最終的にＩ５のスイッチング電圧に放電される。インバータＩ５はその出力ｐｄ２を論理「０」から論理「１」に遷移する。結果としてＮ１，Ｎ２はオンし始め、ここでＮ２は遅延素子ＤＬのためにＮ１の後にオンとなる。

【００４１】以下のキーポイントは出力バッファ１００の動作で重要である：

（１）　ドライバ１１０の小さなトランジスタＮ０、又はＰ０が動作の低速度及び最高速度モードの両方でドライバ１２０の大きなトランジスタＮ１，Ｎ２又はＰ１．Ｐ２の前にオンとなる。これはＮ１，ＤＬ，Ｎ２がＩ２に対して供給されるＮ０よりインバータＩ５に対して大きなインピーダンスとして供されるからである。同様にしてＰ１，ＤＬ，Ｐ２はＩ１に対して供給されるＰ０よりＩ３又はＩ４に対して大きなインピーダンスとして供される。トランジスタＮ０及びＰ０はトランジスタＮ１，Ｎ２及びＰ１，Ｐ２より小さい故に接地バウンスは減少される。

（２）　トランジスタＰ１は論理「０」から論理「１」への遷移中にトランジスタＰ２の前にオンし、トランジスタＮ１は論理「１」から論理「０」への遷移中にトランジスタＮ２の前にオンとなる。プルアップドライバ又はプルダウンドライバを形成するトランジスタが次第にオンとなることは接地バウンスの量を実質的に減少する。

（３）　入力信号論理値の遷移中に相補的電圧に遷移する（入力信号が遷移する論理値に対応する）ドライバ１１０と動作の最高速度又は低速度モードのいずれかに依存する相補的電圧を遷移するドライバ１２０との間の遅延が選択されている。動作の最高速度モード中の遅延は動作の低速モード中より短い。これは遅延回路１４０がＰ１，Ｐ２又はＮ１，Ｎ２を作動するためにｐｕ２又はｐｄ２で適切な電圧レベルを出力するために充電されなければならないコンデンサＣａｐを含むからである。これは好ましい。最高速度動作中に出力端子Ｑの電圧レベルの立ち上がり及び立ち下がり時間は遷移が生ずるときにより短くなければならない。他方で低速度動作中に出力端子Ｑの電圧レベルの立ち上がり及び立ち下がり時間は遷移が生ずるときにより長くなければならない。正味の効果は低速度動作中の遷移時間は最高速度動作中の遷移に対して延長される（例えば数十ナノ秒のオーダーの長さで）。

（４）　トランジスタＰ０，Ｐ１，Ｐ２はトランジスタＮ０，Ｎ１，Ｎ２が実質的にオフとなるまでオンし始めない。同様にトランジスタＮ０，Ｎ１，Ｎ２はトランジ

EX1005 / Page 355 of 376
Western Digital Technologies, Inc.

スタＰ０，Ｐ１，Ｐ２が実質的にオフとなるまでオンし始めない。これはドライバ１１０、１２０のトランジスタＮ０，Ｎ１，Ｎ２，Ｐ０，Ｐ１，Ｐ２を通して高電圧V_{DD}電力供給バスと低電圧V_{SS}電力供給バスとの間を流れる短絡電流を減少させる。

【００４２】好ましくはコンデンサＣａｐはＭＯＳトランジスタとして実施され、それに対してソースとドレインの両方は低電圧V_{SS}電源供給バスに接続される。Ｃａｐの容量は低速度動作中の遷移の延長を固定するために重要である。そのようなコンデンサＣａｐは高い製造公差を有する傾向にある。特にＣａｐの容量はε_{ox}・Ａｒｅａ／t_{ox}で与えられ、ここでε_{ox}はＣａｐのゲート酸化物の誘電率であり、t_{ox}はゲート酸化物の厚さであり、ＡｒｅａはＣａｐのプレートとして供される多結晶シリコンゲートの面積である。t_{ox}は完全でない。t_{ox}が元々設計されたより薄い場合にはＣａｐの容量は増加する。しかしながらＰＵ及びＮＤの電流駆動強度はまた増加する。同様にt_{ox}が元々設計されたより厚い場合にはＣａｐの容量は減少するが、ＰＵ及びＮＤの電流駆動能力は変わらない。そのようなコンデンサは幾分かプロセス変動自己補正しうる。

【００４３】図７は本発明の第二の実施例による出力バッファ２００を示す。出力バッファ２００は出力バッファ１００と非常に類似している。故にこの出力バッファ２００と出力バッファ１００との間の違いのみを説明する。出力バッファ２００は論理ゲートＧ１，Ｇ２，Ｇ３，Ｇ４の形を取るイネーブル回路２１０を有し、それは一以上のイネーブル信号ＥＮ，ＥＮＢ，を受け、ここでＥＮＢはＥＮの相補的信号である。入力信号Ｄは入力信号ＤＢの相補的信号を発生するようインバータＩ９に入力される。論理ＮＯＲゲートＧ１は信号ＤＢを受ける＊一の入力と信号ＥＮＢを受ける第二の入力とを有する。ＮＯＲゲートＧ１の出力はインバータＩ１１の入力に接続される。論理ＮＡＮＤゲートＧ２は信号ＤＢを受ける一の入力と信号ＥＮを受ける一の入力（示されるようにインバータＩ１０により発生される）とを有する。ＮＡＮＤゲートＧ２の出力はインバータＩ２の入力に接続される。論理ＯＲゲートＧ３はインバータＩ３、Ｉ４の出力を受ける一の入力と信号ＥＮＢを受ける一の入力とを有する。ＯＲゲートＧ３の出力はＰ１，Ｐ２に（ＤＬを介して）入力される。論理ＡＮＤゲートＧ４はインバータＩ５、Ｉ６の出力に接続される一の入力と信号ＥＮを受ける一の入力とを有する。ＡＮＤゲートＧ４の出力はＮ１，Ｎ２の入力に（ＤＬを介して）接続される。

【００４４】ＥＮ＝１及びＥＮＢ＝０のときに出力バッファ２００はイネーブルされる。特にゲートＧ１，Ｇ２，Ｇ３，Ｇ４は入力信号Ｄの論理値に依存し、入力信号Ｄと同じである。しかしながらＥＮ＝０、ＥＮＢ＝１のときには出力バッファ２００はディスエーブルされる。入力信号Ｄの論理値を無視して論理ゲートＧ１，Ｇ３の出力は論理「０」と「１」であり論理ゲートＧ２及びＧ４の出力は論理「１」及び論理「０」である。そのような出力は全てのトランジスタＮ０，Ｎ１，Ｎ２、Ｐ０，Ｐ１，Ｐ２をなおオフにする。

【００４５】最終的に図８、９は本発明による出力バッファ１００、２００の設計原理を用いてシミュレーションされた回路に対するプロットを示す（それぞれ全ＰＭＯＳに対して１２００μｍチャンネル幅及び。全ＮＭＯＳに対して５１２μｍ）種々のＰＭＯＳ，ＮＭＯＳトランジスタパラメータは以下に示すＵＳＢ規格による最高速度及び低速度データ通信をなすために選択される。

【００４６】

表１

	最高速度	低速度
立ち上げ、立ち下げ時間	４－２０ナノ秒（９０－１１０%）	７５－３００ナノ秒（７０－１３０%）
遅延	０－１２ナノ秒（５０ｐＦ負荷）	＜３００ナノ秒（５０－３５０ｐＦ負荷）
データ速度	１２Ｍビット／秒	１．５Ｍビット／秒

図８は最高速度動作に対するプロットを示し、図９は低速度動作に対するプロットを示す。表２及び３は最良、典型的、最悪の高電圧レベルV_{DD}、動作温度、許容負荷に対する結果を要約したものである。

【００４７】

【表１】

表２：最高速度

パラメータ	最良	典型的	最悪
V_{DD}	3.6ボルト	3.3ボルト	3.0ボルト
温度	0°C	25°C	85°C
負荷	50pF	50pF	50pF
立ち下げ時間	4.5nsec	5.5nsec	7.2nsec
立ち上げ時間	4.8nsec	6.0nsec	7.9nsec
遅延	4.5nsec	5.9nsec	9.5nsec

【００４８】

【表２】

表 3 ： 低速度

パラメータ	最良	典型的	最悪
V_{DD}	3.6ボルト	3.3ボルト	3.0ボルト
温度	0° C	25 ° C	85 ° C
負荷	50 p F	50 p F	350 p F
立ち下げ時間	75nsec	101.2nsec	122.2nsec
立ち上げ時間	75.5nsec	101.2nsec	102.6nsec
遅延	54.8nsec	73.6nsec	206.4nsec

【００４９】図示されたように本発明による出力バッファはＵＳＢ仕様動作要求に適合するものである。上記説明は本発明の説明のためのみに意図されたものである。当業者は請求項の精神及び範囲から離れることなく多くの代替実施例を製造しうる。

EX1005 / Page 357 of 376
Western Digital Technologies, Inc.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-092019
(43)Date of publication of application : 30.03.1990

(51)Int.Cl. H03K 19/0948
H03K 17/687
H03K 19/0175

(21)Application number : 63-245044
(22)Date of filing : 28.09.1988

(71)Applicant : NEC CORP
(72)Inventor : ASAGI TOMOFUMI

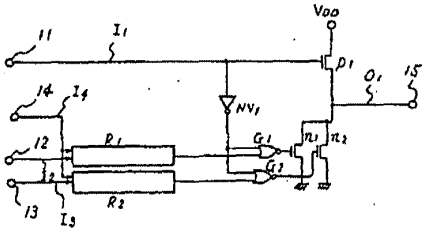
(54) COMPLEMENTARY MOS OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To reduce the current driving capability and to decrease the through- current by providing a P-channel MOS TR, two N-channel MOS TRs, two made registers corresponding to the N-channel MOS TRs and two AD circuits.

CONSTITUTION: Control signals I2, I3 inputted to input terminals 12, 13 are written in registers R1, R2 when a mode register write signal I4 inputted to an input terminal 14 is at an H. While the signal I4 is at an L, the registers R1, R2 latch the written control signals I2, I3 respectively. Thus, the registers R1, R2 select the state of 3 kinds of buffers as shown in table depending on the combination of H, L of the control signals I2, I3 written in the mode registers R1, R2 when the write signal I4 is at an H level. Thus, the current driving capability of the output buffer circuit is varied and the current driving capability is reduced to reduce the through-current.

状態	I_1	レジスタ		トランジスタ			O_1
		R_1	R_2	p_1	n_1	n_2	
1	1	0	1	N	D	N	0
	0			D	N	N	1
2	1	1	0	N	N	D	0
	0			D	N	N	1
3	1	0	0	N	D	D	0
	0			D	N	N	1



⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2-92019

⑤Int.Cl.⁵	識別記号	庁内整理番号		⑬公開 平成2年(1990)3月30日
H 03 K 19/0948 17/687 19/0175				
		8326-5J	H 03 K 19/094	B
		8326-5J	19/00 101	F
		8214-5J	17/687	F

審査請求 未請求 請求項の数 2 (全8頁)

⑭発明の名称　相補形MOS出力バッファ回路

⑳特　願　昭63-245044
㉒出　願　昭63(1988)9月28日

㉗発明者　浅黄　智文　東京都港区芝5丁目33番1号　日本電気株式会社内
㉑出願人　日本電気株式会社　東京都港区芝5丁目33番1号
㉔代理人　弁理士　内原　晋

明　細　書

発明の名称

相補形MOS出力バッファ回路

特許請求の範囲

(1)(A)ソースが電源に接続され、ドレインが出力回路に接続されるm₁個(m₁は0を除く正の整数)のPチャネル形MOSトランジスタ、

(B)前記Pチャネル形MOSトランジスタと相補関係にあってソースが接地電位に接続され、ドレインが出力回路に接続されるm₂個(m₂は0を除く正の整数)のNチャネル形MOSトランジスタ、

(C)前記Pチャネル形MOSトランジスタの数に対応して定められた数x₁(x₁は正の整数)だけ設けられ、外部から入力されるモードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第1のモードレジスタ、

(D)前記Nチャネル形MOSトランジスタの数に対応して定められた数x₂(x₂は正の整数)だけ設けられ、外部から入力されるモードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第2のモードレジスタ、

(E)前記Pチャネル形MOSトランジスタの数に対応して定められた数x₃(x₃は正の整数)だけ設けられ、外部から入力される入力情報と前記第1のモードレジスタから出力される制御信号とを受信し、前記Pチャネル形MOSトランジスタの導通を制御するためのゲート制御信号を出力する第1の論理積回路、

(F)前記Nチャネル形MOSトランジスタの数

EX1005 / Page 360 of 376
Western Digital Technologies, Inc.

に対応して定められた数x_4(x_4は正の整数）だけ設けられ、外部から入力される入力情報と前記第２のモードレジスタから出力された制御信号とを受信し、前記Ｎチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第２の論理積回路、

を備えたことを特徴とする相補形ＭＯＳ出力バッファ回路。

(2)(Ｇ）ソースが電源に接続され、ドレインが出力回路に接続されるm_3個（m_3は０を除く正の整数）のＰチャネル形ＭＯＳトランジスタ、

（Ｈ）前記Ｐチャネル形ＭＯＳトランジスタと相補関係にあってソースが接地電位に接続され、ドレインが出力回路に接続されるm_4個（m_4は０を除く正の整数）のＮチャネル形ＭＯＳトランジスタ、

（Ｉ）前記Ｐチャネル形ＭＯＳトランジスタの数に対応して定められた数x_5(x_5は正の整数）だけ設けられ、モードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第３のモードレジスタ、

（Ｊ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_6(x_6は正の整数）だけ設けられ、モードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第４のモードレジスタ、

（Ｋ）前記Ｐチャネル形ＭＯＳトラジスタの数に対応して定められた数x_7(x_7は正の整数）だけ設けられ、前記第３のモードレジスタの出力信号を解読し、第１の選択信号を出力する第１のデコーダ、

（Ｌ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_8(x_8は正の整数）だけ設けられ、前記第４のモードレジスタの出力信号を解読し、第２の選択信号を出力する第２のデコーダ、

（Ｍ）前記Ｐチャネル形ＭＯＳトラジスタの数に対応して定められた数x_9(x_9は正の整数）だけ設けられ、外部から入力される入力情報と前記第１のデコーダから出力された第１の選択信号とを受信し、前記Ｐチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第３の論理積回路、

（Ｎ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_{10}(x_{10}は正の整数）だけ設けられ、外部から入力される入力情報と前記第２のデコーダから出力された第２の選択信号とを受信し、前記Ｎチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第４の論理積回路、

を備えたことを特徴とする相補形ＭＯＳ出力バッファ回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は相補形ＭＯＳ出力バッファ回路に関し、特に外部から入力した制御信号により出力バッファ回路の電流駆動能力を切換えることができる相補形ＭＯＳ出力バッファ回路に関する。

〔従来の技術〕

従来、ＣＭＯＳ出力バッファ回路は、第３図に示すように、Ｐチャネル形ＭＯＳトラジスタp_1のソースを電源電位V_{DD}に接続し、Ｎチャネル形ＭＯＳトラジスタn_1のソースを接地電位に接続し、Ｐチャネル形ＭＯＳトラジスタp_1とn_1とのドレインを共通に接続して出力とし、さらに、それぞれのＭＯＳトランジスタのゲートを接続して入力としたものとなっている。

次に、動作を説明する。

入力端子２１からの入力信号がＨｉｇｈレベル

EX1005 / Page 361 of 376
Western Digital Technologies, Inc.

（以下「Ｈ」という）のとき、Ｐチャネル形ＭＯＳトランジスタp_1は非導通となるが、Ｎチャネル形ＭＯＳトランジスタn_1は導通となり、出力端子２２にはＬｏｗレベル（以下「Ｌ」という）の出力信号O_1が出力される。

又、入力端子２１に入力された入力信号が「Ｌ」のとき、Ｐチャネル形ＭＯＳトランジスタp_1は導通となり、Ｎチャネル形ＭＯＳトランジスタn_1は非導通となり、出力端子２２には「Ｈ」の出力信号O_1が出力される。

〔発明が解決しようとする課題〕

上述した従来の相補形ＭＯＳ出力バッファ回路は、出力トランジスタの電流駆動能力が固定されており、一定の負荷条件において、一定の電流駆動能力しか持っていない。このため、接続する負荷が変動すると出力レベルが変動し、例えば負荷としてＣＭＯＳ又はＴＴＬなどの入力インピーダンスの異なるデバイスに応じて最適な信号レベルを確保するため、異なる電流駆動能力のＣＭＯＳ出力バッファ回路を用意する必要があった。

ＣＭＯＳとＴＴＬとに流れる駆動電流を比較すると、ＣＭＯＳでは、例えば３μＡ以下というように駆動電流はほとんど流れない。ＴＴＬでは例えば１．５ｍＡ程度の駆動電流が必要となる場合があり、かなりの駆動電流が流れる。又、ＬＥＤなどは、輝度や発光色により駆動電流が例えば１０ｍＡ～５０ｍＡのように大きく変る。しかし、ＬＥＤを駆動するように設計された出力バッファ回路は最悪の条件を見込んで設計されているため大きな電流駆動能力を持たせている。このため、それほど大きな駆動電流を必要としないＬＥＤを出力端子に接続したとしても、出力バッファ回路に大きな貫通電流が流れて消費電流が大きくなる。

すなわち、大きな電流駆動能力を持たせようとすると、出力バッファ回路は、Ｐチャネル形ＭＯＳトランジスタ又はＮチャネル形ＭＯＳトランジスタのトランジスタのサイズを大きくすることにより、流れる電流を大きくして実現することになるが、一方、トランジスタのサイズを大きくすることによって、出力バッファ回路を動作させる際に、入力信号が「Ｈ」から「Ｌ」までの変化の過程で、又は、「Ｌ」から「Ｈ」までの変化の過程で、Ｐチャネル形ＭＯＳトランジスタのソースから Ｎチャネル形ＭＯＳトランジスタのソースへ流れる貫通電流の量が増加し、消費電流が増加するという問題点がある。

本発明の目的は、出力バッファ回路の電流駆動能力を変えることができ、ＣＭＯＳ及びＴＴＬなどに対してそれぞれ適した駆動電流になるように駆動電流を調節することができ、又、大きな駆動電流を必要としないバッファ回路においては、電流駆動能力を小さくして、貫通電流を減らすことができる相補形ＭＯＳ出力バッファ回路を提供することにある。

〔課題を解決するための手段〕

本発明の請求項(1)記載の相補形ＭＯＳ出力バッファ回路は、

（Ａ）ソースが電源に接続され、ドレインが出力回路に接続されるm_1個（m_1は０を除く正の整数）のＰチャネル形ＭＯＳトランジスタ、

（Ｂ）前記Ｐチャネル形ＭＯＳトランジスタと相補関係にあってソースが接地電位に接続され、ドレインが出力回路に接続されるm_2個（m_2は０を除く正の整数）のＮチャネル形ＭＯＳトランジスタ、

（Ｃ）前記Ｐチャネル形ＭＯＳトランジスタの数に対応して定められた数x_1（x_1は正の整数）だけ設けられ、外部から入力されるモードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第１のモードレジスタ、

（Ｄ）前記Ｎチャネル形ＭＯＳトランジスタの数に対応して定められた数x_2（x_2は正の整数）だけ設けられ、外部から入力されるモードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力す

EX1005 / Page 362 of 376
Western Digital Technologies, Inc.

る第２のモードレジスタ、

（Ｅ）前記Ｐチャネル形ＭＯＳトランジスタの数に対応して定められた数x_3（x_3は正の整数）だけ設けられ、外部から入力される入力情報と前記第１のモードレジスタから出力される制御信号とを受信し、前記Ｐチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第１の論理積回路、

（Ｆ）前記Ｎチャネル形ＭＯＳトランジスタの数に対応して定められた数x_4（x_4は正の整数）だけ設けられ、外部から入力される入力情報と前記第２のモードレジスタから出力された制御信号とを受信し、前記Ｎチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第２の論理積回路、

を備えて構成されている。

又、本発明の請求項(2)記載の相補形ＭＯＳ出力バッファ回路は、

（Ｇ）ソースが電源に接続され、ドレインが出力回路に接続されるm_3個（m_3は０を除く正の整数）のＰチャネル形ＭＯＳトラジスタ、

（Ｈ）前記Ｐチャネル形ＭＯＳトラジスタと相補関係にあってソースが接地電位に接続され、ドレインが出力回路に接続されるm_4個（m_4は０を除く正の整数）のＮチャネル形ＭＯＳトラジスタ、

（Ｉ）前記Ｐチャネル形ＭＯＳトラジスタの数に対応して定められた数x_5（x_5は正の整数）だけ設けられ、モードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第３のモードレジスタ、

（Ｊ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_6（x_6は正の整数）だけ設けられ、モードレジスタ書込信号と制御信号とを受信し、前記モードレジスタ書込信号によって前記制御信号が書込まれ、書込まれた制御信号を保持し且つ出力する第４のモードレジスタ、

（Ｋ）前記Ｐチャネル形ＭＯＳトラジスタの数に対応して定められた数x_7（x_7は正の整数）だけ設けられ、前記第３のモードレジスタの出力信号を解読し、第１の選択信号を出力する第１のデコーダ、

（Ｌ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_8（x_8は正の整数）だけ設けられ、前記第４のモードレジスタの出力信号を解読し、第２の選択信号を出力する第２のデコーダ、

（Ｍ）前記Ｐチャネル形ＭＯＳトラジスタの数に対応して定められた数x_9（x_9は正の整数）だけ設けられ、外部から入力される入力情報と前記第１のデコーダから出力された第１の選択信号とを受信し、前記Ｐチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第３の論理積回路、

（Ｎ）前記Ｎチャネル形ＭＯＳトラジスタの数に対応して定められた数x_{10}（x_{10}は正の整数）だけ設けられ、外部から入力される入力情報と前記第２のデコーダから出力された第２の選択信号とを受信し、前記Ｐチャネル形ＭＯＳトランジスタの導通を制御するためのゲート制御信号を出力する第４の論理積回路、

を備えて構成されている。

〔実施例〕

次に、本発明の第１の実施例について図面を参照して説明する。

第１図は本発明の第１の実施例の回路図である。

第１図の相補形ＭＯＳ出力バッファ回路は、１個（$m_1=1$）のＰチャネル形ＭＯＳトラジスタp_1、２個（$m_2=2$）のＮチャネル形ＭＯＳトラジスタn_1，n_2、Ｎチャネル形ＭＯＳトラジスタn_1，n_2に対応した２個のモードレジスタR_1，R_2（$x_2=2$）、入力端子１１から入力された入力情報及びモードレジスタR_1，R_2のそれぞれの出力を受信しＮチャネル形ＭＯＳトラジスタn_1，n_2の導通を制御する２個（$X_4=2$）の論理積回路から構成されている。

EX1005 / Page 363 of 376
Western Digital Technologies, Inc.

なお、この場合、Pチャネル形MOSトランジスタが1個なので、Pチャネル形MOSトランジスタp_1に対応するモードレジスタ及び論理積回路は、それぞれ不要である（$X_1=0$，$X_3=0$）。

ここで、Nチャネル形MOSトランジスタn_2は、Nチャネル形MOSトランジスタn_1の2倍の電流駆動能力を有しているものとする。

次に、動作を説明する。

入力端子12，13に入力される制御信号I_2及びI_3は入力端子14に入力されるモードレジスタ書込信号I_4が「H」のとき、レジスタR_1及びR_2に書込まれ、モードレジスタ書込信号I_4が「L」の間、レジスタR_1及びR_2は書込まれた制御信号I_2及びI_3をそれぞれ保持するとともにNORゲートG_1及びG_2に出力する。

レジスタR_1の出力が「L」のとき、入力端子11に「H」の入力信号I_1を入力するとNORゲートG_1が「H」の信号を出力し、Pチャネル形MOSトランジスタp_1は非導通、Nチャネル形MOSトランジスタn_1は導通となり、バッファ回路は出力端子15に「L」の出力信号O_1を出力する。入力端子11に「L」の信号I_1を入力すると、インバータNV1を介してNORゲートG_1に入力されNORゲートG_1が「L」の信号を出力し、Pチャネル形MOSトランジスタp_1は導通、Nチャネル形MOSトランジスタn_1は非導通となり、出力端子15に「H」の出力信号O_1が出力される。

同様に、レジスタR_2の出力が「L」のとき、入力信号11に「H」の入力信号I_1を入力するとNORゲートG_2が「H」の信号を出力し、Pチャネル形MOSトランジスタp_1は非導通、Nチャネル形MOSトランジスタn_2は導通となり、出力端子15に「L」の出力信号O_1が出力される。入力端子11に「L」の入力信号I_1を入力するとNORゲートG_2が「L」の信号を出力し、Pチャネル形MOSトランジスタp_1は導通、Nチャネル形MOSトランジスタn_1は非導通となり、出力端子15に「H」の出力信号O_1が出力される。

従って、モードレジスタ書込信号I_4が「H」のとき、モードレジスタR_1，R_2に書込まれる制御信号I_2，I_3の「H」と「L」との組合わせにより、モードレジスタR_1，R_2は第1表に示すように3種類のバッファの状態を選択することができる。

第1表

状態	I_1	レジスタ		トランジスタ			O_1
		R_1	R_2	p_1	n_1	n_2	
1	1	0	1	N	D	N	0
	0			D	N	N	1
2	1	1	0	N	N	D	0
	0			D	N	N	1
3	1	0	0	N	D	D	0
	0			D	N	N	1

第1表の中で、Nは非導通、Dは導通、0は「L」、1は「H」、I_1は入力信号、O_1は出力信号を示す。

リセット時には、レジスタR_1，R_2は両方とも0である。

状態1は、レジスタR_1が0で、且つレジスタR_2が1となり、Pチャネル形MOSトランジスタp_1及びNチャネル形MOSトランジスタn_1で構成された出力バッファ回路が選択される。

状態2は、レジスタR_1が1で、且つレジスタR_2が0のときになり、Pチャネル形MOSトランジスタp_1及びNチャネル形MOSトランジスタn_2で構成された出力バッファ回路が選択される。このとき、Nチャネル形MOSトランジスタn_2はNチャネル形MOSトランジスタn_1の2倍の電流駆動能力を有しているため、状態1のときの2倍の電流駆動能力を持つ出力バッファ回路として機能する。

状態3は、レジスタR_1及びR_2共に0のときで、Pチャネル形MOSトランジスタp_1及びNチャネル形MOSトランジスタn_1，n_2で構成された出力バッファ回路が選択される。このとき、

EX1005 / Page 364 of 376
Western Digital Technologies, Inc.

電流駆動能力はNチャネル形MOSトランジスタn_1の3倍の電流駆動能力を有しているため、状態1のときの3倍の電流駆動能力を持つ出力バッファ回路として機能する。

このように、レジスタを設けバッファ回路をレジスタにより切換えて使用することにより、出力バッファ回路の電流駆動能力を変えることができ、且つ、大きな駆動電流を必要としないバッファ回路においては、電流駆動能力を小さくして、貫通電流を減らすことができる。

次に、本発明の第2の実施例について図面を参照して説明する。

第2図は本発明の第2の実施例の回路図である。

第2図に示す相補形MOS出力バッファ回路は、1個($m_3=1$)のPチャネル形MOSトランジスタp_1、4個($m_4=4$)のNチャネル形MOSトランジスタn_1～n_4、Nチャネル形MOSトランジスタに対応した2個のモードレジスタR_1，R_2($x_8=2$)、2個のモードレジスタR_1，R_2から受信する出力信号の組合わせを解読し、第2の選択信号を送出するデコーダDC_1($X_8=1$)、入力端子11から入力された入力情報及びデコーダDC_1から出力される第2の選択信号を受信し、Nチャネル形MOSトランジスタn_1～n_4の導通を制御する4個($x_{10}=4$)の論理積回路から構成されている。

なお、この場合も、Pチャネル形MOSトランジスタが1個なので、Pチャネル形MOSトランジスタp_1に対応するモードレジスタ，デコーダDC_1及び論理積回路は、それぞれ不要である($X_5=0$，$X_7=0$，$X_9=0$)。

ここで、Nチャネル形MOSトランジスタn_2は、Nチャネル形MOSトランジスタn_1の2倍の電流駆動能力を有し、Nチャネル形MOSトランジスタn_3は3倍、Nチャネル形MOSトランジスタn_4は4倍の電流駆動能力を有しているものとする。

次に、動作を説明する。

制御信号I_2，I_3はモードレジスタ書込信号I_4が「H」のとき、モードレジスタR_1，R_2に書込まれ、モードレジスタ書込信号I_4が「L」の間、モードレジスタR_1，R_2は書込まれた信号をそれぞれ保持し、出力する。

モードレジスタR_1，R_2より出力された信号の組合わせからなる符号をデコーダDC_1が解読し、NORゲートG_1～G_4のうちの選択された1個のNORゲートに「L」の出力信号を送出する。このとき入力端子16から入力された入力信号I_1が「H」であれば、インバータNV_1によりNORゲートG_1～G_4に「L」の出力信号が送出されるので、デコーダDC_1より「L」の出力信号を受信したNORゲートは、接続されたNチャネル形MOSトランジスタに「H」の出力信号を送出し動作させる。

このようにして、4個のNチャネル形MOSトランジスタのうち、1個が選択される。モードレジスタR_1，R_2の値により4種類のバッファの状態を第2表に示すように選択することができる。

第2表

状態	I_1	レジスタ		トランジスタ					O_1
		R_1	R_2	p_1	n_1	n_2	n_3	n_4	
1	1	0	0	N	D	N	N	N	0
	0			D	N	N	N	N	1
2	1	1	0	N	N	D	N	N	0
	0			D	N	N	N	N	1
3	1	0	1	N	N	N	D	N	0
	0			D	N	N	N	N	1
4	1	1	1	N	N	N	N	D	0
	0			D	N	N	N	N	1

第2表の中で、Nは非導通、Dは導通、0は「L」、1は「H」、I_1は入力信号、O_1は出力信号を示す。リセット時には、レジスタR_1，R_2は両方とも0である。

状態1は、レジスタR_1が0で、且つレジスタR_2が0のときで、Pチャネル形MOSトランジスタp_1及びNチャネル形MOSトランジスタn_1で構成された出力バッファ回路が選択され、出力信

EX1005 / Page 365 of 376
Western Digital Technologies, Inc.

号O_1が出力端子２０に出力される。

状態２は、レジスタR_1が１で、且つレジスタR_2が０のときになり、Ｐチャネル形ＭＯＳトランジスタp_1及びＮチャネル形ＭＯＳトランジスタn_2で構成された出力バッファ回路が選択される。このとき、Ｎチャネル形ＭＯＳトランジスタn_2はＮチャネル形ＭＯＳトランジスタn_1の２倍の電流駆動能力を有しているため、状態１のときの２倍の電流駆動能力を持つ出力バッファ回路として機能する。

状態３は、レジスタR_1が０で、且つレジスタR_2が１のときになり、Ｐチャネル形ＭＯＳトランジスタp_1及びＮチャネル形ＭＯＳトランジスタn_3で構成された出力バッファ回路が選択される。このとき、Ｎチャネル形ＭＯＳトランジスタn_3はＮチャネル形ＭＯＳトランジスタn_1の３倍の電流駆動能力を有しているため、状態１のときの３倍の電流駆動能力を持つ出力バッファ回路として機能する。

状態４は、レジスタR_1が１で、且つレジスタR_2が１のときになり、Ｐチャネル形ＭＯＳトランジスタp_1及びＮチャネル形ＭＯＳトランジスタn_4で構成された出力バッファ回路が選択される。このとき、Ｎチャネル形ＭＯＳトランジスタn_4はＮチャネル形ＭＯＳトランジスタn_1の４倍の電流駆動能力を有しているため、状態１のときの４倍の電流駆動能力を持つ出力バッファ回路として機能する。

上記の説明では、Ｎチャネル形ＭＯＳトランジスタを第１の実施例で２個使用し、第２の実施例で４個使用した例で説明したが、Ｐチャネル形ＭＯＳトランジスタを複数個にした場合でも同様のことができる。

〔発明の効果〕

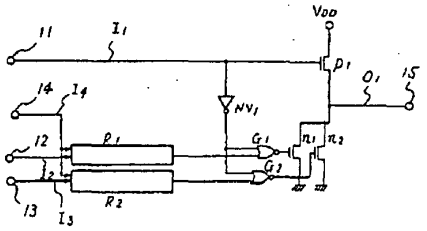
以上説明したように、本発明は、レジスタを設けバッファ回路をレジスタにより切換えて使用し、出力バッファ回路の電流駆動能力を変えることができ、ＣＭＯＳ及びＴＴＬなどに対してそれぞれ適した駆動電流になるように調節することができ、且つ、大きな駆動電流を必要としないバッファ回路においては、電流駆動能力を小さくして、貫通電流を減らすことができるという効果を有する。

図面の簡単な説明

第１図は本発明の第１の実施例の回路図、第２図は本発明の第２の実施例の回路図、第３図は従来の相補形ＭＯＳ出力バッファ回路の回路図である。

p_1……Ｐチャネル形ＭＯＳトランジスタ、n_1～n_4……Ｎチャネル形ＭＯＳトランジスタ、G_1～G_4……ＮＯＲゲート、NV_1……インバータ、R_1，R_2……モードレジスタ、DC_1……デコーダ、I_1……入力信号、I_2，I_3……制御信号、I_4……モードレジスタ書込信号、O_1……出力信号。

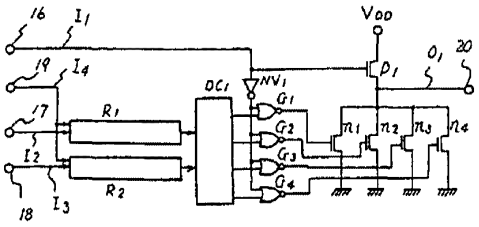
代理人　弁理士　　内　原　　晋



p_1：Ｐチャネル形ＭＯＳトランジスタ
n_1，n_2：Ｎチャネル形ＭＯＳトランジスタ
G_1，G_2：ＮＯＲゲート
NV_1：インバータ
R_1，R_2：モードレジスタ
I_1：入力信号
I_2，I_3：制御信号
I_4：モードレジスタ書込信号
O_1：出力信号
11～14：入力端子
15：出力端子

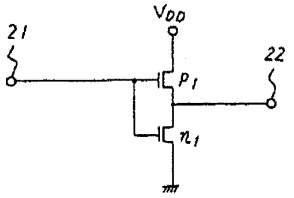
第１図

EX1005 / Page 366 of 376
Western Digital Technologies, Inc.



P1：Pチャネル形MOSトランジスタ
n1～n4：Nチャネル形MOSトランジスタ
G1～G4：NORゲート
NV1：インバータ
R1，R2：モードレジスタ
DC1：デコーダ
I1：入力信号
I2，I3：制御信号
I4：モードレジスタ書込信号
O1：出力信号
16～19：入力端子
20：出力端子

第2図



P1：Pチャネル形MOSトランジスタ
n1：Nチャネル形MOSトランジスタ
21：入力端子
22：出力端子

第3図

EX1005 / Page 367 of 376
Western Digital Technologies, Inc.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175444
(43)Date of publication of application : 13.07.1993

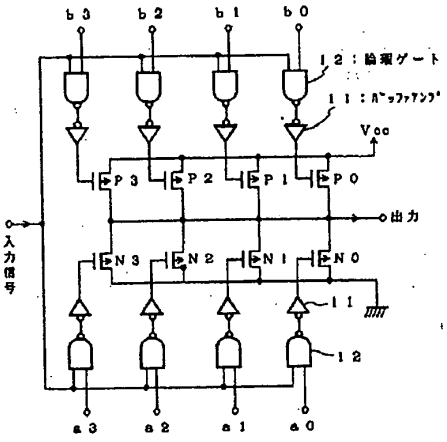
(51)Int.Cl. H01L 27/092
H03K 17/12
H04N 5/335

(21)Application number : 03-345078
(22)Date of filing : 26.12.1991

(71)Applicant : SONY CORP
(72)Inventor : OSAWA NOBUHIKO

(54) MOS OUTPUT CIRCUIT

(57)Abstract:
PURPOSE: To have the output ON resistance value of a MOS output circuit variable.
CONSTITUTION: The ratios (W/L) of the channel widths W and the channel lengths (L) of P-type channel output transistors P0-P3 and N-type channel transistors N1-N3 are so selected as to be P0(N0):P1(N1):P2(N2):P3(N3):1:2:4:8. Logic gates 12 are arbitrarily selected by 4-bit control signals applied to respective control terminals a0-a3 and b0-b3. An input signal is inputted to the gates of the output transistors Pn and Nn through the selected logic gates 12. With this process, the output ON resistance value of an output circuit is determined. As the rise characteristics tr and the fall characteristics tf of the output circuit are proportional to the output ON resistance value, they can be arbitrarily change by selecting the control signals properly. 24=16 different tf and tr values can be obtained respectively.



(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号

特開平5－175444

(43)公開日　平成５年(1993)７月13日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０１Ｌ　27/092				
Ｈ０３Ｋ　17/12		9184－5Ｊ		
Ｈ０４Ｎ　5/335		Ｚ　4228－5Ｃ		
		7342－4Ｍ	Ｈ０１Ｌ　27/08　　３２１　Ｌ	

審査請求　未請求　請求項の数２(全　５　頁)

(21)出願番号　特願平3－345078

(22)出願日　平成３年(1991)12月26日

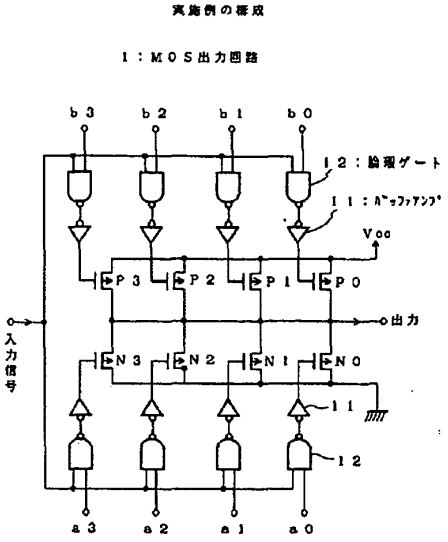
(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号

(72)発明者　大澤　信彦
東京都品川区北品川６丁目７番35号　ソニー株式会社内

(74)代理人　弁理士　山口　邦夫　（外１名）

(54)【発明の名称】　ＭＯＳ出力回路

(57)【要約】
【目的】ＭＯＳ出力トランジスタの出力オン抵抗値を可変にする。
【構成】Ｐチャネル出力トランジスタＰ０～Ｐ３とＮチャネル出力トランジスタＮ０～Ｎ３はチャネルの幅Ｂと長さＬの比率Ｗ／ＬがＰ０（Ｎ０）：Ｐ１（Ｎ１）：Ｐ２（Ｎ２）：Ｐ３（Ｎ３）＝１：２：４：８となるように設定されている。また論理ゲート１２は各制御端子ａ０～ａ３，ｂ０～ｂ３に印加される４ビットの制御信号で任意のものが選定される。入力信号は選択された論理ゲート１２を経て出力トランジスタＰｎ，Ｎｎのゲートに印加される。これによってこの出力回路の出力オン抵抗値が決定される。この出力回路の立ち上がり特性ｔｒおよび立ち下がり特性ｔｆは出力オン抵抗値に比例するので、制御信号を適宜設定することによりこれを任意に変更することができる。本例ではｔｒ，ｔｆをそれぞれ２⁴＝１６通りに変えることができる。



1

【特許請求の範囲】

【請求項１】　チャネルの幅と長さの比率が異なる複数のトランジスタを並列に接続し、これらのトランジスタを適宜組み合わせることにより、出力特性を可変にしたことを特徴とするＭＯＳ出力回路。

【請求項２】　上記トランジスタに１対１で対応する制御信号によって、任意の上記トランジスタが選択されて組み合わせられるようにしたことを特徴とする請求項１記載のＭＯＳ出力回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は、出力特性が可変のＭＯＳ出力回路に関する。

【０００２】

【従来の技術】ＭＯＳ集積回路の出力特性は、チャネルの幅Ｗと長さＬ（ソースとドレインの間隔）との比率Ｗ／Ｌによって決定される。従来はＭＯＳ集積回路に接続される負荷を設計時に想定し、これに合うように比率Ｗ／Ｌを決めてから製造していた。

【０００３】

【発明が解決しようとする課題】上述のＭＯＳ集積回路では、実際に接続される負荷が想定した負荷と異なっていて所定の出力特性を得られなかった場合にはマスクの修正が必要となり、この修正期間だけ装置本体の製造が遅れるという問題があった。

【０００４】またこのようなＭＯＳ集積回路では１種類の負荷にだけ最適な出力特性が設定されるので、これと異なる負荷には適用することができないという問題があった。

【０００５】さらに接続される負荷が例えば駆動デバイスの場合、図４に示すような駆動デバイスが要求する信号の立ち上がり特性ｔｒもしくは立ち下がり特性ｔｆが変化することがあり、従来のＭＯＳ集積回路ではこれに対応することができなかった。

【０００６】そこでこの発明は、上述したような課題を解決したものであって、出力特性を任意に変えることが可能なＭＯＳ出力回路を提案するものである。

【０００７】

【課題を解決するための手段】上述の課題を解決するため、本発明においては、チャネルの幅と長さの比率が異なる複数のトランジスタを並列に接続し、これらのトランジスタを適宜組み合わせることにより、出力特性を可変にしたことを特徴とするものである。

【０００８】これらのトランジスタに１対１で対応する制御信号によって、任意のトランジスタを選択して組み合わせるようにすることができる。

【０００９】

【作用】図１において、入力信号は各論理ゲート１２に印加される。この論理ゲートにはそれぞれ１ビットの制御信号も印加される。この制御信号を適宜設定することにより、選択された任意の論理ゲート１２から入力信号が出力され、これがバッファアンプ１１を経て出力トランジスタＰｎ（本例ではｎ＝０～３）、Ｎｎのゲートに印加されてオン状態となる。

【００１０】選択されなかった出力トランジスタＰｎ，Ｎｎにはこれをオフにするためのバイアスが印加される。

【００１１】各出力トランジスタＰｎ，Ｎｎのチャネルの幅Ｗと長さＬの比率Ｗ／Ｌはそれぞれ重み付けされており、本例では

Ｐ０（Ｎ０）：Ｐ１（Ｎ１）：Ｐ２（Ｎ２）：Ｐ３（Ｎ３）＝１：２：４：８

となるように設定されている。

【００１２】また各出力トランジスタＰｎ，Ｎｎの出力オン抵抗値はこの比率Ｗ／Ｌに比例し、出力回路１全体の出力オン抵抗値はオン状態の出力トランジスタＰｎ，Ｎｎの出力オン抵抗値を加算したものとなる。

【００１３】したがって出力トランジスタＰ０～Ｐ３側の出力オン抵抗値は図２に示すように$2^0=2^4=16$通り設定することが可能であり、出力トランジスタＮ０～Ｎ３側の出力オン抵抗値も同様に１６通り設定可能になる。

【００１４】このようにして適宜設定された出力オン抵抗値によって、入力信号の立ち上がり特性ｔｒ（出力トランジスタＰｎ側、図４）と立ち下がり特性ｔｆが設定され、これが外部に出力される。

【００１５】

【実施例】続いて、本発明に係わるＭＯＳ出力回路をＣＭＯＳ（コンプリメンタリＭＯＳ）に適用した場合の実施例について、図面を参照して詳細に説明する。

【００１６】図１は本発明を適用したＣＭＯＳ出力回路１の構成を示す。同図においてＰｎ（ここではｎ＝０～３）はＰチャネル出力トランジスタで、ＮｎはＮチャネル出力トランジスタである。

【００１７】この出力回路１における出力の立ち上がり特性ｔｒはＰチャネル出力トランジスタＰｎ側の出力オン抵抗値に比例し、立ち下がり特性ｔｆはＮチャネル出力トランジスタＮｎ側の出力オン抵抗値に比例する。またこれらの出力オン抵抗値は、各出力トランジスタＰｎ，Ｎｎのチャネルの幅Ｗと長さＬとの比率Ｗ／Ｌに比例する。

【００１８】そして各出力トランジスタＰｎ，Ｎｎの比率Ｗ／Ｌをその符号と同一とすると、本例では比率Ｗ／Ｌの関係が次式となるように設定されている。

Ｐ０：０１：Ｐ２：Ｐ３＝2^0：2^1：2^2：2^3＝１：２：４：８

Ｎ０：Ｎ１：Ｎ２：Ｎ３＝2^0：2^1：2^2：2^3＝１：２：４：８

すなわちこれらの出力トランジスタＰｎ，Ｎｎの出力オン抵抗値は、比率Ｗ／Ｌと同様に2^nの重み付けがなさ

れている。

【００１９】各出力トランジスタＰｎ，Ｎｎのゲートはそれぞれバッファアンプ１１を介して論理ゲート１２に接続されている。各論理ゲート１２の制御端子ａｎ，ｂｎにはそれぞれＮチャネル出力トランジスタＮｎと、Ｐチャネル出力トランジスタＰｎに対応する１ビットの制御信号が入力される。

【００２０】このＣＭＯＳ出力回路１に入力された入力信号は制御端子ａｎ，ｂｎに加えられる制御信号によって、各出力トランジスタＮｎ，Ｐｎのゲートへ選択的に加えられてオン状態になる。ここで選択されなかった出力トランジスタＮｎ，Ｐｎのゲートにはこれをオフにするためのバイアスが印加される。

【００２１】このＣＭＯＳ出力回路１では、制御信号を適宜設定することにより任意の出力トランジスタＰｎ，Ｎｎを選択してこれをオンさせることにより、出力トランジスタＰｎ．Ｎｎの組合せ数の種類だけ出力オン抵抗値を得ることが可能になる。

【００２２】本例では出力トランジスタＰｎ，Ｎｎがそれぞれ４個ずつ並列接続されており、図２に示すように制御信号を設定することによってそれぞれについて2^4＝１６通りの組合せが可能である。そして全体では16^2＝２５６通りの組合せが可能になる。

【００２３】またこのＣＭＯＳ出力回路１では複数の制御端子ａｎ，ｂｎに制御信号を供給する必要があるが、図３に示すように外部インタフェイス２を設けることによって、制御信号をシリアル入力とすれば、外部の接続ピン数を少なくすることが可能になる。

【００２４】この駆動回路では、入力信号が入力バッファアンプ３を経てＣＭＯＳ出力回路１に供給される。また例えば４ビットの制御信号は外部インタフェイス２を経てラッチ４Ａ，４Ｂに供給され、ここからパラレルにＣＭＯＳ出力回路１に供給される。そして上述したような処理で入力信号の出力特性ｔｒ，ｔｆが設定されて出力される。

【００２５】このＣＭＯＳ出力回路は例えばＣＣＤの駆動中にその転送波形の立ち上がり特性ｔｒ、立ち下がり特性ｔｆを可変可能なドライバとして適用することができる。また発光色によって駆動電流の値が異なるＬＥＤのドライバに適用することができる。

【００２６】

【発明の効果】以上説明したように、本発明はチャネルの幅Ｗと長さＬの比率Ｗ／Ｌが異なる複数のトランジスタを並列に接続し、これらのトランジスタを適宜組み合わせることにより、出力特性を可変にしたものである。

【００２７】したがって本発明によれば、異なる負荷もしくは異なる駆動条件に即時対応可能になる。また、出力特性はｎ（全トランジスタ数の１／２）ビットの制御信号で制御できるため動作中であっても出力抵抗値を変えることが可能になるなどの効果がある。

【図面の簡単な説明】

【図１】本発明に係わるＭＯＳ出力回路を適用したＣＭＯＳ出力回路の構成図である。

【図２】制御信号と出力オン抵抗値の関係を説明する説明図である。

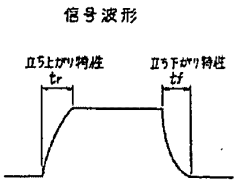
【図３】制御信号の入力方法を説明する説明図である。

【図４】出力特性を説明する説明図である。

【符号の説明】

１　ＣＭＯＳ出力回路
２　外部インタフェイス
３　バッファアンプ
４Ａ，４Ｂ　ラッチ
１１　入力バッファアンプ
１２　論理ゲート
Ｐ０～Ｐ３，Ｐｎ　Ｐチャネル出力トランジスタ
Ｎ０～Ｎ３，Ｍｎ　Ｎチャネル出力トランジスタ

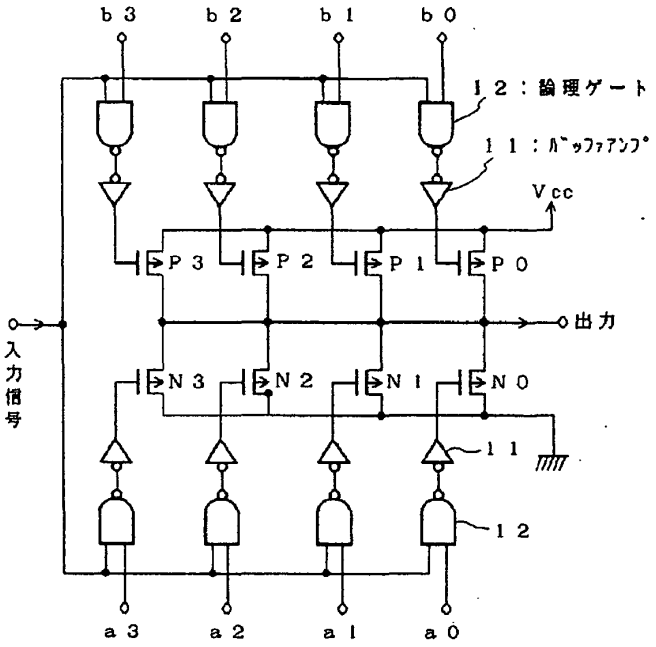
【図４】



【図1】

実施例の構成

1：MOS出力回路



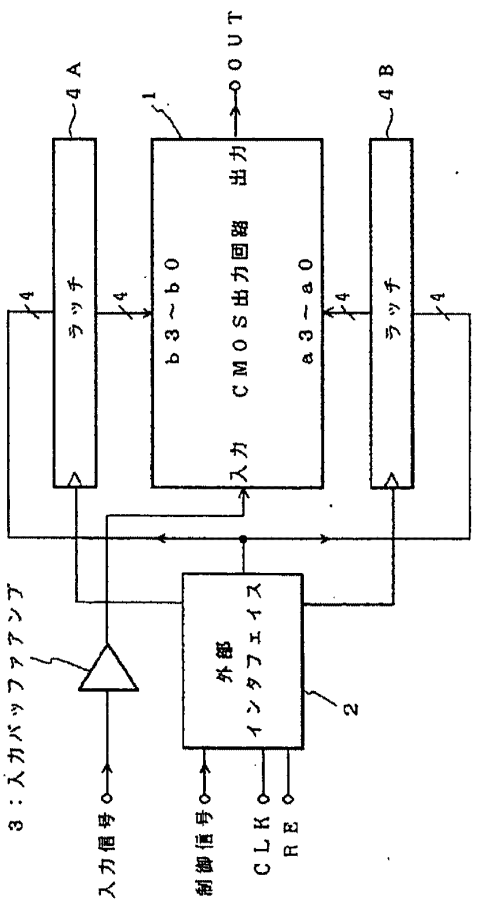
【図2】

制御信号

制御信号				出力オン抵抗値の比
a3 (b3)	a2 (b2)	a1 (b1)	a0 (b0)	
0	0	0	0	∞
0	0	0	1	15
0	0	1	0	14
0	0	1	1	13
0	1	0	0	12
0	1	0	1	11
0	1	1	0	10
0	1	1	1	9
1	0	0	0	8
1	0	0	1	7
1	0	1	0	6
1	0	1	1	5
1	1	0	0	4
1	1	0	1	3
1	1	1	0	2
1	1	1	1	1

【図3】

駆動回路



10320059 - 121602

12-17-02

JC784 U.S. PTO
12/16/02

HAYES SOLOWAY PC
130 W. Cushing Street
Tucson, AZ
85701 U.S.A.
TEL 520-882-7623
FAX 520-882-7643

Docket No.: ELPIDA 02P155
Date: December 16, 2002

J1033 U.S. PTO
10/320059
12/16/02

BOX PATENT APPLICATION
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Dear Sir:
Transmitted herewith for filing is the patent application of:

Inventor: TAKAHASHI
For: OUTPUT BUFFER CIRCUIT AND INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE WITH SUCH OUTPUT BUFFER CIRCUIT

Enclosed are the following:

[ ] Letter: SUBMISSION OF INCOMPLETE APPLICATION
[X] Specification 33 pages; Claims 8 pages; Abstract 1 page
[X] Declaration and Power of Attorney
[X] Sheet(s) of drawings 9 pages
[X] An assignment of the invention to: Elpida Memory, Inc.
[X] A certified copy of Japanese application No. 2001-386126, filed December 19, 2001
[X] Information Disclosure Statement
[ ] Preliminary Amendment

[ ] Applicant claims small entity status. See 37 CFR 1.27.

Priority is hereby claimed under 35 USC 119 by way of Japanese patent application No. 2001-386126 filed December 19, 2001.

Benefit is hereby claimed under Title 35, United States Code 119(e) of United States provisional application No. _____ filed _____.

The filing fee has been calculated as shown below:

		SMALL ENTITY	LARGE ENTITY
BASIC FEE:		$370.00	$ 740.00
TOTAL CLAIMS:	16 - 20 =	x 9 =	x 18 =$ .00
INDEPENDENT CLAIMS:	4 - 3 =	x 42 =	1 x 84 =$ 84.00
MULT. DEPEND. CLAIMS:		+ 140=	+ 280=
TOTAL:		$	$ 824.00

[X] Form PTO-2038 authorizing credit card payment in the amount of $864.00 to cover the fees is enclosed.
[X] ($40.00 Assignment recordal fee is included)

The Commissioner is hereby authorized to charge any additional filing fees required under 37 CFR 1.16 or credit any overpayment to Deposit Account No. 08-1391.

Norman P. Soloway
Attorney of Record
Reg. No. 24,315

CERTIFICATE OF EXPRESS MAILING

"Express Mail" Mailing Label No. EU438466566US
Date of Deposit December 16, 2002

I hereby certify that this paper and the papers listed thereon are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Assistant Commissioner for Patents, Washington, DC 20231.

Signature of Person Mailing Sharon McKniff
Name of Person Mailing Sharon McKniff

HAYES SOLOWAY P.C.
130 W. CUSHING ST.
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567