

【特許請求の範囲】

【請求項 1】

p 型不純物を含む III-V 族化合物半導体と、
III-V 族化合物半導体に絶縁膜を介して対向するゲート電極を備え、
III-V 族化合物半導体のうちの絶縁膜を介してゲート電極に対向する局所的領域に、水素原子が偏在していることを特徴とする半導体装置。

【請求項 2】

III-V 族化合物半導体の p 型不純物の濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項 1 の半導体装置。

【請求項 3】

p 型不純物を含む第 1 種類の III-V 族化合物半導体と、
第 1 種類の III-V 族化合物半導体に接しているとともに、第 1 種類の III-V 族化合物半導体のバンドギャップよりも広いバンドギャップを有する第 2 種類の III-V 族化合物半導体を備え、
第 1 種類の III-V 族化合物半導体のうちの第 2 種類の III-V 族化合物半導体に接する面の近傍領域に、水素原子が偏在していることを特徴とする半導体装置。

【請求項 4】

水素原子の偏在領域における水素原子の濃度が、p 型不純物の濃度以上であることを特徴とする請求項 1～3 のいずれかの半導体装置。

【請求項 5】

p 型不純物がマグネシウムであることを特徴とする請求項 1～4 のいずれかの半導体装置。

【請求項 6】

III-V 族化合物半導体が、 $\text{Al}_x \text{Ga}_y \text{In}_{1-x-y} \text{N}$ (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq 1-x-y \leq 1$) であることを特徴とする請求項 1～5 のいずれかの半導体装置。

【請求項 7】

p 型不純物を含む III-V 族化合物半導体の表面に絶縁膜を形成する工程と、
絶縁膜の表面にゲート電極を形成する工程と、
水素原子を含むガス雰囲気下で III-V 族化合物半導体を加熱処理する工程と、
を備えていることを特徴とする半導体装置の製造方法。

【請求項 8】

p 型不純物を含む第 1 種類の III-V 族化合物半導体の表面に、第 1 種類の III-V 族化合物半導体のバンドギャップよりも広いバンドギャップを有する第 2 種類の III-V 族化合物半導体を形成する工程と、
水素原子を含むガス雰囲気下で第 1 種類の III-V 族化合物半導体と第 2 種類の III-V 族化合物半導体を加熱処理する工程と、
を備えていることを特徴とする半導体装置の製造方法。

【請求項 9】

加熱処理工程は、 $400^\circ\text{C} \sim 1000^\circ\text{C}$ の温度範囲で実施することを特徴とする請求項 7 又は 8 の製造方法。

【請求項 10】

加熱処理工程は、半導体装置の製造に要する他の加熱処理工程が終了した後に実施することを特徴とする請求項 7～9 のいずれかの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III-V 族化合物半導体を利用する半導体装置とその製造方法に関する。特に p 型不純物を含む III-V 族化合物半導体のなかに、「活性化している p 型不純物」の濃度が局所的に薄く調整されている領域を備えている半導体装置とその製造方法に関する。

【背景技術】

【0002】

III-V族化合物半導体を利用する半導体装置の開発が活発である。なかでも、窒化ガリウム (GaN)、窒化アルミニウム (AlN) 及び窒化インジウム (InN) 等の、一般式が $\text{Al}_x \text{Ga}_y \text{In}_{1-x-y} \text{N}$ (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq 1-x-y \leq 1$) で表わされるIII-V族化合物半導体を利用する半導体装置の開発が活発である。III-V族化合物半導体は、高い破壊電界強度と高い飽和電子移動度を備えていることから、スイッチング用半導体装置への利用が期待されている。

【0003】

III-V族化合物半導体は、他の半導体材料とは異なる性質を備えている。

非特許文献1には、窒化ガリウムに添加するとp型不純物として挙動するマグネシウムの拡散速度が極めて大きいことが報告されている。 10

非特許文献2には、III-V族化合物半導体に含まれている水素原子の挙動が報告されている。非特許文献2には、III-V族化合物半導体に含まれている水素原子が、周囲に存在するp型不純物と複合体を形成することによって、p型不純物を不活性化することが報告されている。

【非特許文献1】C.J.Pan, G.C.Chi: "Solid-State Electronics". (1999) 43 p.621-623

【非特許文献2】S.J.Pearson, C.R.Abernathy, R.G.Wilson, J.M.Zavada, C.Y.Song, M.G.Weinstein, M.Stavolda, J.Han, R.J.Shul: "Nuclear Instruments and Methods in Physics Research" (1999) 147 p.171-174. 20

【発明の開示】

【発明が解決しようとする課題】

【0004】

半導体を利用してスイッチング用半導体装置を形成する一つの手法に、p型不純物を含む半導体に絶縁膜を介して対向するゲート電極を形成する手法が知られている。ゲート電極に印加する電圧を調整することによって、ゲート電極に対向する領域における半導体の抵抗を増減することができる。

この場合、半導体に含まれるp型不純物の濃度を下げたいという要望が存在する。p型不純物の濃度を下げることによって、ゲート電極に対向する領域が反転しやすくなり、スイッチング用半導体装置をオン・オフするのに必要なゲート電圧を小さくすることができる。スイッチング用半導体装置がオンするときのゲート電圧を閾値電圧という。閾値電圧を下げるためには、p型不純物の濃度を下げるのが有利である。 30

しかしながらその一方において、p型不純物の濃度を上げたいという要望も存在する。p型不純物の濃度を下げると、スイッチング用半導体装置の耐圧が低下するためである。

p型不純物を含むIII-V族化合物半導体を利用するスイッチング用半導体装置には、閾値電圧を下げるためにはp型不純物の濃度を下げるのが有利であり、耐圧を上げるためにはp型不純物の濃度を上げるのが有利であるというトレードオフの関係が存在する。

閾値電圧を下げるためにp型不純物の濃度を下げたい領域は、ゲート電極に対向する局所的領域であるのに対し、耐圧を上げるためにp型不純物の濃度を上げたい領域は、半導体の全体的領域である。したがって、閾値電圧を下げるためにゲート電極に対向する領域におけるp型不純物の濃度を局所的に下げても、半導体の残部におけるp型不純物の濃度が高く維持されていれば、スイッチング用半導体装置の耐圧は確保できる。また、閾値電圧に関係するのは、p型不純物自体の濃度ではなく、「活性化しているp型不純物」の濃度である。このことから、必要な耐圧を確保することができるp型不純物濃度を備えているIII-V族化合物半導体のなかに、「活性化しているp型不純物」の濃度が局所的に低下している領域を作り出せれば、上記のトレードオフの関係を打破し、低い閾値電圧と高い耐圧を兼ね備えたスイッチング用半導体装置を実現できる。 40

【0005】

III-V族化合物半導体を利用してスイッチング用半導体装置を形成する他の一つの手法に、バンドギャップが狭いIII-V族化合物半導体とバンドギャップが広いIII-V族化合物半 50

導体の接触界面を利用する手法が知られている。この構造は、接触界面に２次元電子ガス層を創り出すことによって、スイッチング用半導体装置を実現しようとするものである。この構造を利用してノーマリオフ型を実現するためには、バンドギャップが広いIII-V族化合物半導体に接する局所的領域において、バンドギャップが狭いIII-V族化合物半導体に含まれている「活性化しているp型不純物」の濃度を低下させなければならない。「活性化しているp型不純物」の濃度を低下させなければ、オン状態において２次元電子ガス層を形成することができない。

即ち、p型不純物の濃度が局所的に低下しているIII-V族化合物半導体を得ることができれば、低い閾値電圧と高い耐圧を備えたスイッチング用半導体装置、あるいはノーマリオフで動作するスイッチング用半導体装置を実現できる。しかしながら、現実には、p型不純物の濃度が局所的に低下しているIII-V族化合物半導体を得ることは難しい。 10

【0006】

III-V族化合物半導体では、イオン注入技術によってp型不純物の拡散領域を形成することが難しい。III-V族化合物半導体にp型不純物をイオン注入しても、注入したp型不純物が活性化されにくいからである。また、III-V族化合物半導体にイオン注入すると、多量の結晶欠陥が形成されるという問題も生じる。イオン注入技術が利用できれば、p型不純物の濃度が場所によって異なるIII-V族化合物の半導体結晶を得ることができるが、III-V族化合物半導体にはイオン注入技術が利用できないために、p型不純物濃度が場所によって異なる半導体結晶を得ることが難しい。

そこで次には、必要な耐圧が確保できるだけのp型不純物濃度を持つIII-V族化合物半導体の基板上に、MOCVD法等の結晶成長技術を利用して、p型不純物の濃度が薄いIII-V族化合物半導体を結晶成長する技術が想定される。しかしながら、III-V族化合物半導体におけるp型不純物は拡散しやすく、基板のIII-V族化合物半導体に含まれるp型不純物が、基板上に結晶成長するIII-V族化合物半導体に取り込まれてしまう。p型不純物にマグネシウムを利用するとこの問題が顕著になるが、マグネシウム以外のp型不純物にも同種の問題が存在する。半導体装置が微細化されるにつれ、マグネシウム以外のp型不純物であっても、p型不純物の濃度を低く保ちたい領域にp型不純物が拡散してしまう現象が避けられなくなる。 20

結晶成長技術を利用して、必要な耐圧が確保できる程度に高濃度のp型不純物を持つIII-V族化合物半導体と低い閾値電圧を実現する程度に低濃度のp型不純物を持つIII-V族化合物半導体が接している半導体結晶を得ることができない。あるいは、ノーマリオフ動作を実現する程度に低濃度のp型不純物を持つIII-V族化合物半導体を備えている半導体結晶を得ることができない。 30

本発明は、上記の課題を解決する。本発明では、閾値電圧あるいはノーマリオフ動作に関係するのはp型不純物自体の濃度ではなく、「活性化しているp型不純物」の濃度であるという知見を活用する。本発明では、p型不純物が高濃度に含まれる領域と低濃度に含まれる領域が接している半導体結晶を得るのに代えて、III-V族化合物半導体に含まれるp型不純物が局所的に不活性化されているIII-V族化合物半導体を得ることによって、低い閾値電圧と高い耐圧を備えたスイッチング用半導体装置、あるいはノーマリオフで動作するスイッチング用半導体装置を実現する。 40

【課題を解決するための手段】

【0007】

本発明者らは、非特許文献2に記載されている現象を利用することに着眼した。非特許文献2では、p型不純物を含むIII-V族化合物半導体に水素原子が存在すると、水素原子が周囲に存在するp型不純物と複合体を形成し、p型不純物が不活性化され、III-V族化合物半導体が高抵抗化することを報告し、III-V族化合物半導体から水素原子を除去する必要性を報告している。一方、本発明では、水素原子によってp型不純物が不活性化される現象を積極的に利用する。水素原子によってp型不純物が不活性化される現象を利用し、「活性化しているp型不純物」の濃度が局所的に低下しているIII-V族化合物半導体を得る。「活性化しているp型不純物」の濃度が局所的に低下しているIII-V族化合物半導 50

体を得ることができれば、低い閾値電圧と高い耐圧を備えたスイッチング用半導体装置、あるいはノーマリオフで動作するスイッチング用半導体装置を実現することができる。

【0008】

本発明は、MIS型のゲート構造を備えている半導体装置に具現化することができる。本発明をMIS型のゲート構造を備えている半導体装置に具現化した半導体装置は、p型不純物を含むIII-V族化合物半導体と、そのIII-V族化合物半導体に絶縁膜を介して対向するゲート電極を備えており、III-V族化合物半導体領域のうち、少なくともゲート電極に対向する局所的領域に、水素原子が偏在している。

III-V族化合物半導体に含まれるp型不純物には、マグネシウムの他に、カルシウム、亜鉛、ベリリウム及びカドニウム等を用いることができる。これらのp型不純物は、水素原子と複合体を形成することによって不活性化してしまう性質を有している。水素原子が偏在する範囲は、ゲート電極に対向している領域を含んでいればよく、ゲート電極に対向する領域外にまで及んでいてもよい。ただしIII-V族化合物半導体の大部分の範囲にまで及んでいてはならない。耐圧を確保するのに必要な範囲にまで水素原子が存在してはならない。

上記のMIS型のゲート構造は、ゲート電極に対向している半導体領域にn型チャネルを形成することによって、半導体装置のオン・オフを切替える。即ち、ゲート電極にオン電圧が印加されることによって、ゲート電極に対向している半導体領域にn型の反転層が形成される。上記の半導体装置では、n型の反転層が形成される半導体領域に、水素原子が偏在している。n型の反転層が形成される半導体領域では、水素原子がp型不純物と複合体を形成しており、p型不純物が不活性化している。したがって、n型の反転層を形成するのに必要とされるゲート電圧が低減される。閾値電圧が低い。上記の半導体装置は、低い閾値電圧で動作可能であるとともに、必要な耐圧を確保することができる。

【0009】

III-V族化合物半導体のp型不純物の濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。

MIS型のゲート構造は、一般的に、p型半導体領域によって分離されている一对のn型半導体領域を備えている。例えば、n型のソース領域とn型のドレイン領域が、p型半導体領域によって隔てられている。p型半導体領域の不純物濃度が薄いと、ゲート電極にオフ電圧が印加されているときに、n型のドレイン領域とp型半導体領域のpn界面からp型半導体領域内に伸びる空乏層が、n型のソース電極まで到達する現象、いわゆるパンチスルー現象が発生し、耐圧が低下してしまう。パンチスルー現象の発生を回避するためには、ソース領域とドレイン領域を隔てている半導体領域の距離を長くしなければならないが、長くするとチャネル抵抗が大きくなってしまう。小さなチャネル抵抗を維持しながら、パンチスルー現象の発生を回避するためには、p型半導体領域のp型不純物の濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上にするのが好ましい。ところが、p型不純物の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上の半導体に、n型の反転層を形成しようとする、ゲート電極に印加する必要がある閾値電圧が高くなってしまふ。特に、III-V族化合物半導体はバンドギャップが広いために、n型の反転層を形成するのに必要な閾値電圧が大きくなり易い。

本発明のMIS型のゲート構造では、ゲート電極に対向している半導体領域に局所的に水素原子を導入することによって、p型不純物の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上でも、閾値電圧を低くすることができる。低い閾値電圧と高い耐圧を兼ね備えたMIS型のゲート構造を得ることができる。

【0010】

本発明は、HEMT (High Electron Mobility Transistor) 構造を備えている半導体装置に具現化することもできる。本発明をHEMTに具現化した半導体装置は、p型不純物を含む第1種類のIII-V族化合物半導体と、第1種類のIII-V族化合物半導体に接しているとともに、第1種類のIII-V族化合物半導体のバンドギャップよりも広いバンドギャップを有する第2種類のIII-V族化合物半導体を備えている。本発明の半導体装置は、第1種類のIII-V族化合物半導体のうち、第2種類のIII-V族化合物半導体に接する面の近傍領

域に、水素原子が偏在していることを特徴とする。

バンドギャップが狭い第1種類のIII-V族化合物半導体と、バンドギャップが広い第2種類のIII-V族化合物半導体が接することによって、HEMT構造が得られる。p型不純物を含むIII-V族化合物半導体を利用してHEMT構造が構成されているので、ゲート電圧が印加されていない状態では2次元電子ガス層が形成されない。

上記半導体装置では、第1種類のIII-V族化合物半導体のうち、第2種類のIII-V族化合物半導体と接する面の近傍領域に、水素が偏在している。半導体装置がオンしたときに2次元電子ガス層が形成される領域では、水素原子がp型不純物と複合体を形成しており、p型不純物が不活性化している。これにより、半導体装置がオンしたときには、第1種類のIII-V族化合物半導体のうち、第2種類のIII-V族化合物半導体に接する面の近傍領域に2次元電子ガス層が容易に形成される。ノーマリオフで動作する半導体装置を得ることができる。

なお2次元電子ガス層が形成される領域のp型不純物を不活性化しても、半導体装置がオフしたときには、第1種類のIII-V族化合物半導体から伸びる空乏層が、2次元電子ガス層が形成されていた領域に存在している電子を掃き出すことができるので、ノーマリオフ特性は維持される。

上記の半導体装置は、チャネル抵抗が小さいHEMT構造を実現する。

【0011】

水素原子の偏在領域における水素原子の濃度が、p型不純物の濃度以上であることが好ましい。

水素原子の濃度をp型不純物の濃度以上とすることによって、水素原子の偏在領域に存在するp型不純物のほぼ全部が不活性化され、実質的にi型の領域となる。閾値電圧が極めて小さいMIS型のゲート構造や、ノーマリオフ型のHEMT構造を得ることができる。

【0012】

p型不純物がマグネシウムであることが好ましい。

前記したように、マグネシウムの拡散速度が極めて大きいことから、マグネシウム濃度が局所的に低下しているIII-V族化合物半導体を形成することが困難であった。本発明では、水素原子と複合体を形成することによって、マグネシウムを不活性化する。マグネシウムを局所的に不活性化することによって、「活性化しているマグネシウム」の濃度が局所的に低い領域を形成できる。「活性化しているマグネシウム」の濃度が局所的に低くても、マグネシウムの濃度自体は他の領域と同じであることから、他の領域からマグネシウムが拡散してくることはない。本発明は、p型不純物にマグネシウムを用いる場合に特に有用である。

【0013】

III-V族化合物半導体が、 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ （但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq 1-x-y \leq 1$ ）であることが好ましい。

一般式が $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ で表される窒化物系III-V族化合物半導体は、シリコン等の他の半導体材料に比して、広いバンドギャップを有している。そのため、シリコン等に比して、閾値電圧が大きくなってしまう。また、この種のIII-V族化合物半導体では、マグネシウムの拡散速度が大きい。

本発明の半導体装置は、このような半導体材料を用いた場合に特に有用である。

【0014】

本発明のMIS型のゲート構造を備えている半導体装置は下記の製造方法、すなわち、p型不純物を含むIII-V族半導体の表面に絶縁膜を形成する工程と、絶縁膜の表面にゲート電極を形成する工程と、水素原子を含むガス雰囲気下でIII-V族化合物半導体を加熱処理する工程を含む製造方法で製造することができる。

加熱処理を実施すると、III-V族化合物半導体の表面に水素原子を導入することができる。すなわち、ゲート電極に対向しているIII-V族化合物半導体の表面に水素原子を導入することができる。導入された水素原子はp型不純物を不活性化させる。これにより、閾

値電圧が小さく調整されたMIS型のゲート構造を得ることができる。低い閾値電圧と高い耐圧を兼ね備えたスイッチング用半導体装置を製造することができる。

【0015】

本発明のHEMT構造を備えている半導体装置は下記の製造方法、すなわち、p型不純物を含む第1種類のIII-V族化合物半導体の表面に、第1種類のIII-V族化合物半導体のバンドギャップよりも広いバンドギャップを有する第2種類のIII-V族化合物半導体を形成する工程と、水素原子を含むガス雰囲気下で第1種類のIII-V族化合物半導体と第2種類のIII-V族化合物半導体を加熱処理する工程とを備えている。

第1種類と第2種類のIII-V族化合物半導体の積層構造を加熱処理すると、第1種類と第2種類のIII-V族化合物半導体が接する面の近傍領域に、水素原子を導入することができる。ノーマリオフで動作するHEMT構造の半導体装置を得ることができる。

【0016】

水素原子を導入する加熱処理工程は、400℃～1000℃の温度範囲で実施することが好ましい。

上記の温度範囲で加熱処理を実施すると、水素原子を効率的に導入することができる。

【0017】

水素原子を導入する加熱処理工程は、半導体装置の製造に要する他の加熱処理工程が終了した後に実施することが好ましい。

半導体装置を製造する工程では、一般的に高温に加熱処理する工程を伴うことが多い。そのような加熱処理工程よりも先に水素原子を導入すると、後に行われる加熱処理工程によって、III-V族化合物半導体に導入された水素原子が外部に逃げてしまう。したがって、半導体装置の製造に要する他の加熱処理工程が終了した後に、水素原子を導入することが好ましい。最終の熱処理で水素原子を導入すると、III-V族化合物半導体に導入された水素原子をIII-V族化合物半導体に残留させておくことができる。

なお、水素原子の大きさは極めて小さいので、ゲート電極等の他の構造が形成されていても、その構造を透過してIII-V族化合物半導体に水素原子を導入することができる。

【発明の効果】

【0018】

本発明を利用すると、III-V族化合物半導体を利用した半導体装置において、「活性化したp型不純物」の濃度が局所的に低下した領域を形成することができる。即ち、「活性化したp型不純物」の濃度が場所によって変化するIII-V族化合物半導体を利用して半導体装置を製造することができる。

低い閾値電圧を実現するp型不純物の濃度と、高い耐圧を実現するp型不純物の濃度が相違していても、閾値電圧に影響する領域における「活性化したp型不純物」の濃度と、耐圧に影響する領域における「活性化したp型不純物」の濃度の各々を最適化することが可能となり、低い閾値電圧と高い耐圧を兼ね備えたスイッチング用半導体装置を実現することができる。

オン状態において2次元電子ガス層の形成を実現するp型不純物の濃度と、ノーマリオフ動作を実現するために必要とされるp型不純物の濃度が相違していても、2次元電子ガス層の形成に影響する領域における「活性化したp型不純物」の濃度と、ノーマリオフ動作に影響する領域における「活性化したp型不純物」の濃度の各々を最適化することが可能となり、ノーマリオフで動作するHEMT型のスイッチング用半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0019】

(第1形態) p型の半導体領域に水素原子を導入するためのガスには、水素ガス、水素ガスと窒素ガスの混合ガス、水素ガスとアルゴン(Ar)ガスの混合ガス、水素ガスとヘリウム(He)ガスの混合ガス等を用いることができる。

(第2形態) 水素原子は、半導体装置の表面から侵入する。水素を導入することによって「活性化したp型不純物」の濃度を局所的に低下させたい領域が、半導体装置の表面近

傍に存在しているのが好ましい。プレーナゲート電極に対向するチャネル領域は、半導体装置の表面近傍にあり、本発明が好的に適用できる。あるいは、バンドギャップが狭いII-V族化合物半導体に、バンドギャップが広いIII-V族化合物半導体の薄層が積層されたHEMT構造では、薄層の直下に2次元電子ガス層が形成される。2次元電子ガス層が形成される領域は、半導体装置の表面近傍にあり、本発明が好的に適用できる。

(第3形態) 水素原子を導入する加熱処理工程は、半導体装置の製造に要する他の加熱処理工程が終了した後に実施する。他の加熱処理工程には、拡散領域を形成するための加熱処理工程、各種の電極を形成するための加熱処理工程等が含まれる。

【実施例】

【0020】

10

図面を参照して以下に実施例を詳細に説明する。

(第1実施例)

図1に、MIS型のゲート構造を備えた半導体装置10の要部の縦断面図を模式的に示す。

半導体装置10は、裏面側にサファイア(Al_2O_3)基板22を備えている。サファイア基板22上に、窒化ガリウム(GaN)の半導体層32が形成されている。半導体層32にはマグネシウムが添加されており、マグネシウムは半導体層32のp型不純物として作用する。半導体層32の表面の一部にはゲート絶縁膜52が形成されており、ゲート絶縁膜52の表面にはゲート電極58が形成されている。ゲート電極58はポリシリコンによって形成されており、ゲート絶縁膜52は酸化シリコンによって形成されている。半導体層32の表面側の一部の局所的領域34は、ゲート絶縁膜52を介してゲート電極58に対向している。

半導体層32の表面側の残部には、 n^+ 型の窒化ガリウムからなるソース領域42と、 n^+ 型の窒化ガリウムからなるドレイン領域46が形成されている。 n^+ 型のソース領域42と n^+ 型のドレイン領域46は、p型の半導体層32によって隔てられている。ソース領域42は、アルミニウム(Al)/チタン(Ti)からなるソース電極44に接触している。ドレイン領域46は、Al/Tiからなるドレイン電極48に接触している。半導体層32のうち、ゲート電極58に対向している局所的領域34には、水素原子が多量に偏在している。

【0021】

30

半導体層32に含まれるマグネシウムの不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ に調整されている。マグネシウムの不純物準位は160meVと深いので、このときのホール濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。これにより、ゲート電極58にオフ電圧(例えば、0V)が印加されているときに、 n^+ 型のドレイン領域46とp型の半導体層32のpn界面からp型の半導体層32内に伸びる空乏層が、 n^+ 型のソース領域42まで到達することが防止されている。いわゆるパンチスルー現象の発生が防止されている。また、半導体層32の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ に調整されていることによって、パンチスルー現象の発生を回避するのに必要とされるソース領域42とドレイン領域46を隔てる半導体層32の距離が大きくなりすぎないようにしている。パンチスルー現象の発生を回避しながら、チャネル抵抗が大きくなりすぎないように設定されているということもできる。p型半導体層32の不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ に調整することによって、小さなチャネル抵抗を維持しながら、パンチスルー現象の発生を回避することができる。

【0022】

40

局所的領域34(水素偏在領域)に存在している水素原子の濃度は、半導体層32に含まれるマグネシウムの濃度よりも濃い。なお、後の製造方法の説明で詳細するが、局所的領域34は、半導体層32の一部に形成されている。したがって、局所的領域34に含まれているマグネシウムの濃度は、残部の半導体層32に含まれているマグネシウムの濃度と同等である。局所的領域34に含まれている水素原子は、局所的領域34に含まれているマグネシウムと複合体を形成する。局所的領域34の水素原子の濃度が、局所的領域34に含まれているマグネシウムの濃度よりも濃いので、マグネシウムのほぼ全部が水素原

50

子と複合体を形成している。局所的領域 3 4 に含まれているマグネシウムのほぼ全部が不活性化している。局所的領域 3 4 は実質的に i 型の領域である。

【0023】

ゲート電極 5 8 にオン電圧（正電圧）を印加すると、実質的に i 型の局所的領域 3 4 に n 型の反転層が形成され、ソース領域 4 2 とドレイン領域 4 6 の間が導通する。局所的領域 3 4 が実質的に i 型となっているので、n 型の反転層を形成するのに必要とされるゲート電圧は小さい。半導体装置 1 0 は、低い閾値電圧で動作可能であるとともに、低損失であり、耐圧が高い特性を備えている。

【0024】

次に、図 2 ～図 5 を参照して、半導体装置 1 0 の製造方法を説明する。

10

まず、図 2 に示すように、サファイア基板 2 2 を準備する。次に、サファイア基板 2 2 上に、有機金属気相エピタキシャル (MOCVD) 法を利用して、マグネシウムを含む窒化ガリウム (GaN) の半導体層 3 2 を形成する。このとき、ガリウム原料にトリメチルガリウム (TMGa)、窒素原料にアンモニアガス (NH₃)、不純物材料にシクロペンタジエニルマグネシウム (CP2Mg) を利用することができる。半導体層 3 2 のマグネシウムの濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上になるように、シクロペンタジエニルマグネシウム (CP2Mg) の供給量を調整する。

なお、マグネシウムを含む窒化ガリウムの半導体層 3 2 を形成するのに先立って、有機金属気相エピタキシャル法を利用して、サファイア基板 2 2 上にマグネシウムを含まない窒化ガリウムからなるバッファ層を形成してもよい。このときには、ガリウム原料にトリメチルガリウム (TMGa)、窒素原料にアンモニアガス (NH₃) を利用することができる。

20

【0025】

次に、図 3 に示すように、半導体層 3 2 の表面の所定領域から、半導体層 3 2 内に伸びるトレンチを形成した後に、そのトレンチ内に有機金属気相エピタキシャル法を利用して、ソース領域 4 2 とドレイン領域 4 6 を形成する。トレンチを形成するためには、例えば RIE (Reactive Ion Etching) 法を利用することができる。ソース領域 4 2 とドレイン領域 4 6 を形成するためには、ガリウム原料にトリメチルガリウム (TMGa)、窒素原料にアンモニアガス (NH₃)、不純物材料にモノシラン (SiH₄) を利用する有機金属気相エピタキシャル法を利用することができる。なお上記の製造方法に代えて、半導体層 3 2 の表面に一様に n⁺ 型の窒化ガリウムを結晶成長させて、その後に選択的にエッチングしてソース領域 4 2 とドレイン領域 4 6 を残すようにしてもよい。

30

次に、図 4 に示すように、ソース領域 4 2 とドレイン領域 4 6 を隔てている半導体層 3 2 の表面に、CVD (Chemical Vapor Deposition) 法を利用して、酸化シリコンからなるゲート絶縁膜 5 2 を形成する。

次に、CVD 法を利用して、ポリシリコンからなるゲート電極 5 8 を形成する。

次に、スパッタ法を利用して、Al/Ti からなるソース電極 4 4 と、Al/Ti からなるドレイン電極 4 8 を形成する。ソース電極 4 4 はソース領域 4 2 に接触しており、ドレイン電極 4 8 はドレイン領域 4 6 に接触している。

【0026】

40

次に上記段階まで形成された半導体装置 1 0 を、水素ガス (H₂) と窒素ガス (N₂) の混合ガスが供給されているチャンバー内で加熱処理する。このときの水素ガス濃度は 10 % に調整されており、加熱温度は 900 °C であり、加熱処理時間は 20 分である。

図 5 に示すように、水素ガスはイオン化し、その水素イオン (H⁺) の一部は、ゲート電極 5 8 とゲート絶縁膜 5 2 を透過して、半導体層 3 2 の表面側に導入される。水素イオン (H⁺) の大きさは小さいので、ゲート電極 5 8 とゲート絶縁膜 5 2 を透過することができる。必要に応じて、水素イオンを透過し易い材料、水素イオンを透過し難い材料、あるいはそれらの組み合わせを半導体装置 1 0 の表面側に形成しておくことによって、水素原子が導入される領域や、導入される水素原子の濃度分布等を調整することもできる。

導入された水素原子は、半導体層 3 2 に存在しているマグネシウムと複合体 (MgH)

50

を形成する。水素原子との複合体を形成したマグネシウムは不活性化される。これにより、図 1 に示すように、ゲート電極 5 8 に対向する半導体層 3 2 の表面側に、実質的に i 型化された局所的領域 3 4 が形成される。

なお、水素原子の一部は、ソース領域 4 2 やドレイン領域 4 6 にも導入されている。しかしながら、ソース領域 4 2 やドレイン領域 4 6 の不純物濃度は、導入される水素原子の濃度に比して十分に大きい。したがって、ソース領域 4 2 やドレイン領域 4 6 に水素原子が導入されることによる不具合は生じない。

【0027】

加熱温度、加熱処理時間等を調整することによって、水素原子の導入量を調整することができる。加熱温度は 400℃～1000℃の温度範囲が好ましい。水素原子を効率的に導入することができる。特に、加熱温度の上限が1200℃を超えないように調整することは重要である。加熱温度が高すぎると、表面が荒れるばかりでなく、GaNの窒素原子が分離して外部へ逃げてしまう。また、加熱温度を1000℃以下に調整することによって、半導体層 3 2 内に水素原子を導入することができる。導入された水素原子が外部へ逃げていくのを抑制するために、水素原子を導入する加熱処理工程は、半導体装置 10 を製造するのに要する他の加熱処理工程の全てが終了した後に、即ち、最後の段階で実施するように工程順序を設定するのが好ましい。本実施例では、水素原子を導入するための加熱処理が最後の段階で実施しているので、導入された水素原子が他の加熱処理によって外部へ逃げていくことが防止されている。導入された水素原子を局所的領域 3 4 内に残留させておくことができる。

10

20

【0028】

図 6 に、半導体装置 10 のゲート電圧とドレイン電流の関係を示す。図 6 の図示 10 が半導体装置 10 の結果である。図 6 の図示 12 は、水素原子を導入するための加熱処理の工程を実施していない比較例の結果である。

比較例の場合のドレイン電流は、ゲート電圧が約 15 V を超えたときに、ドレイン電流の増加が始まっている。一方、半導体装置 10 の場合のドレイン電流は、ゲート電圧が約 5 V を超えたときに、ドレイン電流の増加が始まっている。半導体装置 10 の閾値電圧は、比較例の閾値電圧に比して低下していることが分かる。このことから、水素原子を導入する加熱処理を実施することによって、閾値電圧が低下することが分かる。

【0029】

30

上記の製造方法は、他に次の特徴を有している。

(1) 水素原子を導入しても、半導体層 3 2 にはそれほど結晶欠陥が生じない。半導体装置の特性を悪化させないで、水素が偏在している局所的領域 3 4 を形成することができる。

(2) ゲート絶縁膜 5 2 と半導体層 3 2 の接合界面に、水素が偏在している局所的領域 3 4 を形成することによって、界面準位を低減することができる。安定した閾値電圧や、スイッチング速度の向上等の効果が得られる。

(3) 水素原子を導入するための加熱処理の温度、時間等を調整することによって、半導体層 3 2 の深部にまで水素原子が導入されることを防止できる。ゲート絶縁膜 5 2 と半導体層 3 2 の界面近傍の領域に限定して水素原子を導入することができる。これにより、局所的領域 3 4 が形成される範囲を、ゲート電極 5 8 のオフ電圧が影響する範囲外にすることができる。したがって、実質的に i 型の局所的領域 3 4 を設けたとしても、半導体装置 10 がオフしたときに、パンチスルー現象が発生することはない。

40

(4) [背景技術] で説明したように、窒化ガリウムに含まれるマグネシウムの拡散速度は極めて大きい。このために、マグネシウムを含む窒化ガリウムの半導体層に接して、その半導体層のマグネシウムの不純物濃度よりもマグネシウム濃度が薄く調整された領域を局所的に形成することは困難であった。上記の製造方法では、水素原子を利用して、マグネシウムを不活性化させている。マグネシウムを不活性化させることによって、活性マグネシウムの濃度が低い局所的領域が形成されている。他の領域から新たなマグネシウムが拡散してくることはない。上記の製造方法は、p 型不純物としてマグネシウムが用いら

50

れている場合に特に有用である。

【0030】

(第2実施例)

図7に、HEMT構造を備えた半導体装置100の要部の縦断面図を模式的に示す。

半導体装置100は、裏面側にサファイア基板122を備えている。サファイア基板122上に、窒化ガリウム(GaN)の第1半導体層132が形成されている。第1半導体層132にはp型不純物であるマグネシウムが添加されている。第1半導体層132に接して、窒化アルミガリウム(AlGaN)の第2半導体層136が形成されている。第2半導体層136は、アルミニウムを含んでおり、第1半導体層132よりもバンドギャップが広い。第2半導体層136の表面の一部にゲート絶縁膜152が形成されており、ゲート絶縁膜152の表面にゲート電極158が形成されている。ゲート電極158は、ゲート絶縁膜152を介して第2半導体層136の表面に対向している。ゲート電極158はポリシリコンによって形成されており、ゲート絶縁膜152は酸化シリコンによって形成されている。第1半導体層132のうち、第2半導体層136と接する面の近傍領域に、水素原子が多量に存在している局所的領域134(水素偏在領域)が形成されている。

ゲート電極158によって隔てられた位置に、ソース電極144とドレイン電極148が形成されている。ソース電極144とドレイン電極148は、チタン(Ti)とアルミニウム(Al)の積層構造であり、第2半導体層136に対してオーミック接触している。

なお、前記のゲート電極158とゲート絶縁膜152に代えて、例えばニッケル(Ni)と金(Au)の積層構造からなるゲート電極を第2半導体層136の表面にショットキー接合させた構造を採用することもできる。

【0031】

局所的領域134に偏在している水素原子の濃度は、第1半導体層132に含まれるマグネシウムの不純物濃度よりも濃い。なお、後の製造方法の説明で詳細するが、局所的領域134は第1半導体層132の一部として形成される。したがって、局所的領域134に含まれているマグネシウムの濃度は、残部の第1半導体層132に含まれているマグネシウムの濃度と同等である。局所的領域134に含まれている水素原子は、局所的領域134に含まれているマグネシウムと複合体を形成している。局所的領域134の水素原子の濃度が、局所的領域134に含まれているマグネシウムの濃度よりも濃いので、マグネシウムのほぼ全部が水素原子と複合体を形成し、電気的には不活性化されている。局所的領域134は実質的にi型の領域である。

【0032】

第1半導体層132と第2半導体層136は、HEMT構造を構成している。これにより、第1半導体層132のうち、第2半導体層136と接する面の近傍領域に、2次元電子ガス層(2DEG)が形成される。半導体装置100がオンのときには、この2次元電子ガス層に沿って電子が走行する。上記のHEMT構造は、p型の第1半導体層132を利用して構成されているので、ゲート電圧が印加されていない状態では、2次元電子ガス層が形成されない。いわゆるノーマリオフで動作させることができる。

なお、局所的領域134を設けても、半導体装置100がオフしたときには、第1半導体層132から伸びる空乏層が局所的領域134に存在する電子を掃き出すことができるので、ノーマリオフ動作が維持される。

【0033】

次に、図8～図11を参照して、半導体装置100の製造方法を説明する。

まず、図8に示すように、サファイア基板122を準備する。次に、サファイア基板122上に、有機金属気相エピタキシャル法を利用して、マグネシウムを含有する窒化ガリウムからなる第1半導体層132を形成する。このとき、ガリウム原料にトリメチルガリウム(TMGa)、窒素原料にアンモニアガス(NH₃)、不純物材料にシクロペンタジエニルマグネシウム(CP2Mg)を利用することができる。

なお、第1半導体層132を形成するのに先立って、有機金属気相エピタキシャル法を利用して、サファイア基板122上にマグネシウムを含有しない窒化ガリウムからなるバ

ッファ層を形成してもよい。このとき、ガリウム原料にトリメチルガリウム(TMGa)、窒素原料にアンモニアガス(NH₃)を利用することができる。

【0034】

次に、第1半導体層132上に有機金属気相エピタキシャル法を利用して、AlGaIn層34を形成する。このとき、アルミニウム原料にトリメチルアルミニウム(TMAI)、ガリウム原料にトリメチルガリウム(TMGa)、窒素原料にアンモニアガス(NH₃)を好適に利用することができる。なお、第2半導体層136の成膜過程で、n型不純物として挙動するシリコンを導入するためにモノシラン(SiH₄)を同時に利用してもよい。第2半導体層136にn型不純物を導入してもよい。

【0035】

次に、第2半導体層136の表面側に各種の電極を形成する。

まず、第2半導体層136上にチタン(Ti)とアルミニウム(Al)を順に蒸着する。その後、フォトリソグラフィ技術とエッチング技術を利用してソース電極144とドレイン電極148をパターニングする。パターニングした後に、加熱処理を実施することによって、ソース電極144とドレイン電極148は、第2半導体層136に対してオーミック接触される。

次に、CVD法を利用して、ソース電極144とドレイン電極148の間にゲート酸化膜152を形成する。次に、CVD法を利用して、ポリシリコンからなるゲート電極158を形成する。

なお、ショットキー接合するタイプのゲート電極を採用する場合は、リフトオフ法を利用して形成することができる。即ち、ゲート電極を形成したい場所以外にレジスト膜を成膜した後に、ニッケル(Ni)と金(Au)を順に蒸着する。その後、レジスト膜とともにそのレジスト膜上に形成されているニッケル(Ni)と金(Au)を剥離する。これにより、所定の位置関係にショットキー接合するゲート電極を形成することができる。

【0036】

次に、上記段階まで形成された半導体装置100を、水素ガス(H₂)と窒素ガス(N₂)の混合ガスが供給されているチャンバー内で加熱処理する。このときの水素ガス濃度は10%に調整されており、加熱温度は900℃であり、加熱処理時間は20分である。

図11に示すように、水素ガスはイオン化し、その水素イオン(H⁺)の一部は、ゲート電極158とゲート絶縁膜152と第2半導体層136を透過して、第1半導体層132の表面側に導入される。水素イオン(H⁺)の大きさは小さいので、ゲート電極158とゲート絶縁膜152と第2半導体層136を透過することができる。必要に応じて、水素イオンを透過し易い材料、水素イオンを透過し難い材料、あるいはそれらの組み合わせを半導体装置100の表面側に形成しておくことによって、水素原子が導入される範囲や、導入される水素原子の濃度分布等を調整することもできる。

導入された水素原子は、第1半導体層132に存在しているマグネシウムと複合体(MgH)を形成する。複合体を形成したマグネシウムは不活性化される。これにより、図7に示すように、第1半導体層132のうちの第2半導体層との界面の近傍領域に、実質的にi型の局所的領域134が形成される。

【0037】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0038】

【図1】第1実施例の半導体装置の要部の縦断面図を模式的に示す。

- 【図 2】 第 1 実施例の半導体装置の製造工程を示す (1)。
 【図 3】 第 1 実施例の半導体装置の製造工程を示す (2)。
 【図 4】 第 1 実施例の半導体装置の製造工程を示す (3)。
 【図 5】 第 1 実施例の半導体装置の製造工程を示す (4)。
 【図 6】 第 1 実施例の半導体装置のゲート電圧とドレイン電流の関係を示す。
 【図 7】 第 2 実施例の半導体装置の要部の縦断面図を模式的に示す。
 【図 8】 第 2 実施例の半導体装置の製造工程を示す (1)。
 【図 9】 第 2 実施例の半導体装置の製造工程を示す (2)。
 【図 10】 第 2 実施例の半導体装置の製造工程を示す (3)。
 【図 11】 第 2 実施例の半導体装置の製造工程を示す (4)。

10

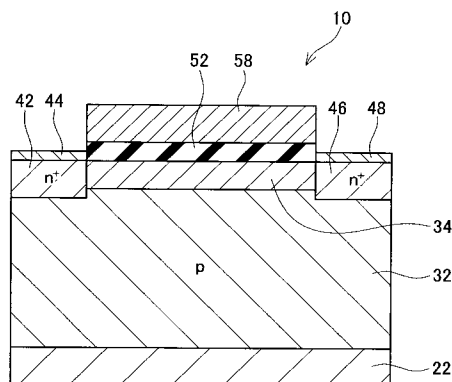
【符号の説明】

【0039】

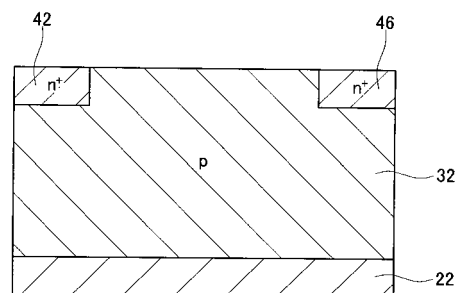
- 22、122：サファイア基板
 32：半導体層
 34、134：局所的に水素が偏在する領域
 42：ソース領域
 44、144：ソース電極
 46：ドレイン領域
 48、148：ドレイン電極
 52、152：ゲート絶縁膜
 58、158：ゲート電極
 132：第 1 半導体層
 136：第 2 半導体層

20

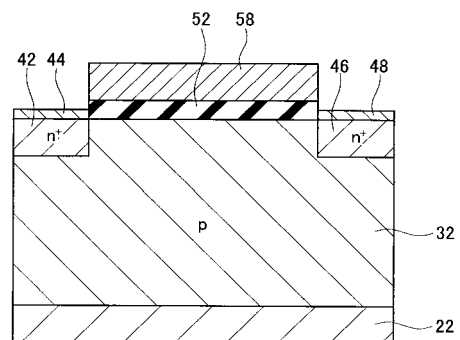
【図 1】



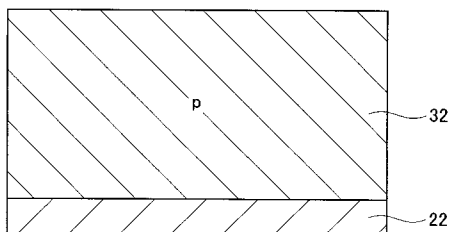
【図 3】



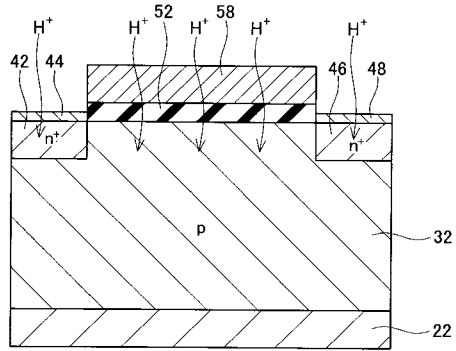
【図 4】



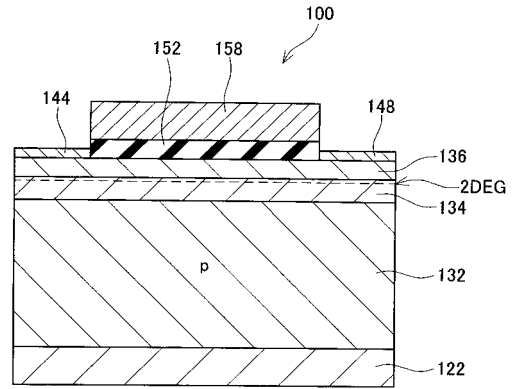
【図 2】



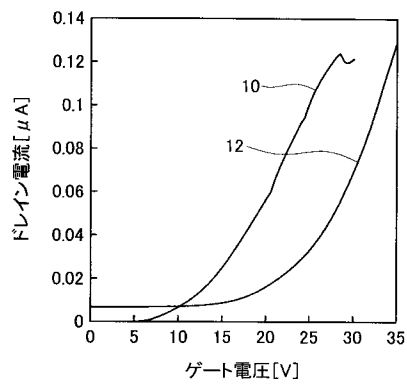
【図 5】



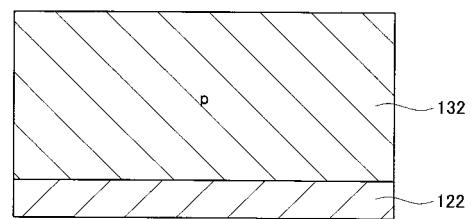
【図 7】



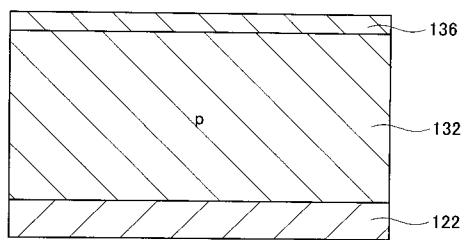
【図 6】



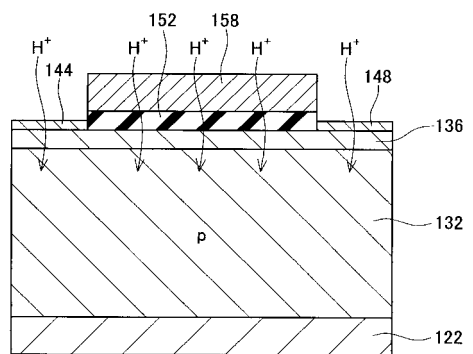
【図 8】



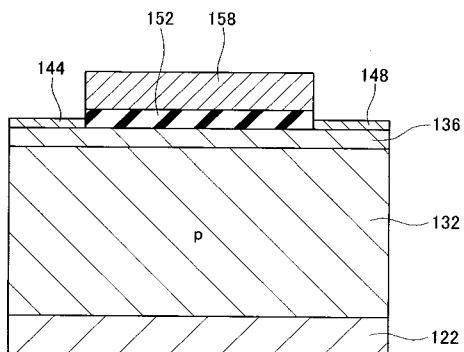
【図 9】



【図 11】



【図 10】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H O 1 L 29/778 (2006.01) H O 1 L 29/80 H
H O 1 L 21/338 (2006.01)

(72)発明者 杉本 雅裕

愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

F ターム(参考) 5F102 GB01 GC01 GD04 GD10 GJ10 GK04 GL04 GM04 GS01 GT01
 GT03 GT08 HC01 HC19 HC21
 5F110 AA11 AA30 CC02 DD04 EE09 EE45 FF02 FF29 GG04 GG33
 GG44 GG58 HK03 HK04 HK08 HK21 HK33 HK34
 5F140 AA00 AA25 AC36 BA06 BA09 BA16 BB13 BB15 BB18 BC12
 BC17 BD06 BE10 BF01 BF04 BG28 BG44 BH25 BH26 BH27
 BJ07 BJ11 BJ15 BK09 BK18 BK29