
(19) [Issuing Country] Japan Patent Office (JP)
(12) [Gazette Type] Published Patent Gazette (A)
(11) [Publication Number] Patent Publication 2007-66979 (P2007-66979A)
(43) [Date of Publication] March 15, 2007 (2007.3.15)
(54) [Title of Invention] Transistor and Method for Controlling Depletion Layer in a Transistor
(51) [International Patent Classification]
H01L 21/338 (2006.01)
H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
H01L 21/28 (2006.01)
H01L 29/417 (2006.01)
H01L 29/423 (2006.01)
[FI]
H01L 29/80 F
H01L 29/80 H
H01L 21/28 301 B
H01L 29/50 J
H01L 29/58 Z
[Request for Examination] None
[Number of claims] 25
[Application format] OL
[Total number of pages] 15
(21) [Application Number] Patent Application 2005-247824 (P2005-247824)
(22) [Filing Date] August 29, 2005 (Aug. 29, 2005)
(71) [Applicant]
[ID No.] 599002043
[Name or Designation] Meijo University Educational Corporation
(74) [Agent]
[ID No.] 100072051
[Patent Attorney]
[Name or Designation] Kohsaku SUGIMURA
(74) [Agent]
[ID No.] 100101096
[Patent Attorney]
[Name or Designation] Hiroshi TOKUNAGA
(74) [Agent]
[ID No.] 100107227
[Patent Attorney]
[Name or Designation] Shiro FUJITANI
(74) [Agent]
[ID No.] 100114292
[Patent Attorney]
[Name or Designation] Kiyoshi KUREMA
(74) [Agent]

[ID No.] 100119530

[Patent Attorney]

[Name or Designation] Kazuyuki TOMITA

(72) Inventor]

[Name] Motoaki IWATANI

(72) Inventor]

[Name] Satoshi KAMIYAMA

(72) Inventor]

[Name] Hiroshi AMANO

(72) Inventor]

[Name] Isamu AKASAKI

[Theme code (reference)]

4M104

5F102

[F-term (reference)]

4M104AA04

4M104BB05

4M104BB14

4M104CC01

4M104CC03

4M104FF13

4M104GG12

5F102GA02

5F102GB01

5F102GC01

5F102GC05

5F102GD01

5F102GJ02

5F102GJ03

5F102GJ04

5F102GJ10

5F102GK04

5F102GL04

5F102GL07

5F102GL08

5F102GM04

5F102GS01

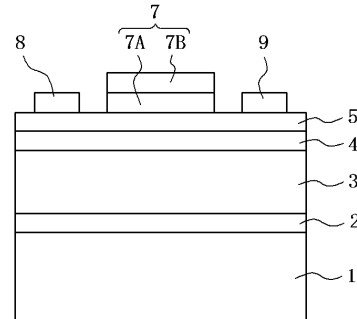
5F102GS03

5F102GT03

(57) [Abstract]

[Problem] To achieve a transistor capable of enhancement [mode] operation.

[Solution Means] In a transistor comprising a channel-forming layer formed above a predetermined substrate, and a drain electrode layer, source electrode layer, and gate electrode layer formed above this channel layer, the gate electrode layer is constituted to include a p-type GaN-based semiconductor layer and a metal electrode layer formed on this semiconductor layer, and a depletion layer region is controlled by controlling the hole carrier density and thickness of the p-type GAN-based semiconductor layer.



[Selected Figure] Fig. 4

[Claims]

[Claim 1]

A transistor comprising a channel-forming layer formed above a predetermined substrate, and a drain electrode layer, source electrode layer, and gate electrode layer formed above this channel layer,

wherein the gate electrode layer includes a p-type GAN-based semiconductor layer and a metal electrode layer formed on the semiconductor layer.

[Claim 2]

The transistor of Claim 1, wherein a depletion layer is formed within the channel-forming layer by the gate electrode layer.

[Claim 3]

The transistor of Claim 2, wherein the depletion layer region is controlled by controlling the hole carrier density and thickness of the p-type GAN-based semiconductor layer in the gate electrode layer.

[Claim 4]

The transistor of any one of Claims 1-3, wherein the channel-forming layer comprises at least two adjacent GaN-based semiconductor layers with different band gaps, and a channel is formed at the interface between these at least two GAN-based semiconductor layers.

[Claim 5]

The transistor of any one of Claims 1-4, comprising an n-type GAN-based semiconductor layer between the channel-forming layer and the drain electrode layer, source electrode layer, and gate electrode layer.

[Claim 6]

The transistor of any one of Claims 1-4, wherein the transistor functions as an enhancement mode transistor.

[Claim 7]

The transistor of Claim 5, wherein the transistor functions as an enhancement mode transistor.

[Claim 8]

The transistor of Claim 6, wherein the hole carrier density in the p-type GAN-based semiconductor layer in the gate electrode layer is 1×10^{16} units/cm³ to 1×10^{19} units/cm³, and its thickness is 1 nm to 500 nm.

[Claim 9]

The transistor of Claim 7, wherein the hole carrier density in the p-type GAN-based semiconductor layer in the gate electrode layer is 1×10^{16} units/cm³ to 1×10^{19} units/cm³, and its thickness is 1 nm to 500 nm.

[Claim 10]

The transistor of Claim 7 or 9, wherein the electron carrier density in the n-type GAN-based semiconductor layer is 1×10^{14} units/cm³ to 1×10^{19} units/cm³, and its thickness is 1 nm to 200 nm.

[Claim 11]

The transistor of any one of Claims 6-10, whereby when the gate voltage in the gate electrode layer is 0V, the leakage current with a voltage of 20V applied between the drain electrode layer and the source electrode layer is 100 nA or below.

[Claim 12]

The transistor of any one of Claims 4-11, wherein the substrate includes at least one type of substrate selected from a group made up of sapphire, SiC, Si, AlN, GaN, and ZrB₂ substrates.

[Claim 13]

The transistor of any one of Claims 1-3, whereby the gate electrode layer comprises a first gate electrode layer and a second gate electrode layer, and the channel-forming layer is positioned between the first and second gate electrode layers.

[Claim 14]

The transistor of Claim 13, comprising an n-type GAN-based semiconductor layer placed adjacent to the channel-forming layer.

[Claim 15]

The transistor of Claim 13, wherein the transistor functions as an enhancement mode transistor.

[Claim 16]

The transistor of Claim 14, wherein the transistor functions as an enhancement mode transistor.

[Claim 17]

The transistor of Claim 15, wherein the hole carrier density in the p-type GAN-based semiconductor layer in the gate electrode layer is 1×10^{16} units/cm³ to 1×10^{19} units/cm³, its thickness is 10 nm to 5 μ m, and its width is 0.1 μ m to 20 μ m.

[Claim 18]

The transistor of Claim 16, wherein the hole carrier density in the p-type GaN-based semiconductor layer in the gate electrode layer is 1×10^{16} units/cm³ to 1×10^{19} units/cm³, its thickness is 10 nm to 5 μ m, and its width is 0.1 μ m to 20 μ m.

[Claim 18]

The transistor of Claim 16, wherein the hole carrier density in the p-type GaN-based semiconductor layer in the gate electrode layer is 1×10^{16} units/cm³ to 1×10^{19} units/cm³, its thickness is 10 nm to 5 μ m, and its width is 0.1 μ m to 20 μ m.

[Claim 19]

The transistor of Claims 16 or 18, wherein the electron carrier density of the n-type GaN-based semiconductor layer is between 1×10^{14} units/cm³ and 1×10^{19} units/cm³, and its thickness is between 1 nm and 200 nm.

[Claim 20]

The transistor according to any one of Claims 15 to 19, whereby at a gate voltage of 0V in the gate electrode layer, leakage current is ≤ 100 nA when a voltage of 20V is applied between the drain electrode layer and the source electrode layer.

[Claim 21]

The transistor according to any one of claims 15 to 20, wherein the substrate includes at least one substrate selected from a group consisting of sapphire substrate, SiC substrate, Si substrate, AlN substrate, GaN substrate, and ZrB₂ substrate.

[Claim 22]

A method for controlling the depletion layer in the channel-forming layer of a transistor comprising a channel-forming layer formed above a predetermined substrate, and a drain electrode layer, a source electrode layer, and gate electrode layer formed above this channel layer;

whereby the gate electrode layer is constituted to include a p-type GaN-based semiconductor layer and a metal electrode layer formed on this semiconductor layer, and the depletion layer region is controlled by controlling the hole carrier density and thickness of the p-type GaN-based semiconductor layer.

[Claim 23]

The method for controlling a depletion layer in a transistor of Claim 22, whereby an n-type GaN-based semiconductor layer is provided between the channel-forming layer and the drain electrode layer, source electrode layer, and gate electrode layer, and the depletion layer region is controlled by controlling the electron carrier density and thickness of the n-type GaN-based semiconductor layer.

[Claim 24]

The method for controlling the depletion layer in a transistor of Claim 22, whereby the gate electrode layer is made up of a first gate electrode layer and a second gate electrode layer, the channel-forming layer is positioned between the first gate electrode layer and the second gate electrode layer, an n-type GaN-based semiconductor layer is provided adjacent to the channel-forming layer, and the depletion layer region is controlled by controlling the carrier density and thickness in the n-type GaN semiconductor layer.

[Claim 25]

The method for controlling the depletion layer in a transistor according to any one of Claims 22 to 24, whereby the transistor is made to function as an enhancement mode transistor.

[Detailed Description of the Invention]

[Technical Field]

[0001]

The present invention pertains to GaN-based semiconductor (AlN, InN and their mixed crystals) transistors, which are expected to be applied in the field of power electronics.

[Background Art]

[0002]

In recent years, demand has been growing in many fields for power semiconductor devices with lower loss and higher speeds, and for semiconductor devices usable in high temperature and other harsh environments, and research directed at the development of devices focused on Si, SiC, GaAs, InP, and GaN-based semiconductor materials (AlN, InN, and their mixed crystals) is being energetically advanced. Si-based semiconductor materials with efficiencies of 90% or above have been achieved at frequencies in the 100 kHz band, and are now in practical use. However, Si-based semiconductor materials are approaching their limits for further energy savings and higher speeds in the future.

[0003]

At the same time, it has been theoretically shown that the use of wide band gap semiconductors such as SiC-based semiconductor materials and GaN-based semiconductor materials in place of Si is effective for improving device performance. Transistors [using] SiC-based semiconductor materials have already been demonstrated by several research institutions. In a representative transistor using SiC-based semiconductor material, for example, a buffer layer is epitaxially grown on a semi-insulating SiC substrate, followed by growth of p-type conductive layers and n-type layers for source and drain electrodes. The portion where the gate electrode is formed is then etched down to the p-type conductive layer, and the surface is oxidized to form a gate oxide film so as to form source, drain, and gate electrodes. If the interface level between the oxide film and the p-type conducting layer is small, a positive potential applied to the gate electrode produces an inversion layer in which electrons are accumulated near the interface, and [the device] operates as a semiconductor transistor (e.g., FED Journal Vol. 11 (2000), p. 85).

[0004]

With SiC-based semiconductor materials, however, the problem arises that oxide films with few interface states cannot easily be formed. There is also the problem of crystal defects such as micropipes in SiC substrates, and many issues remain to be solved for future practical use. SiC-based semiconductor materials also have material problems which in principle make high speeds difficult to achieve, such as the inability to use heterojunctions.

[0005]

In the development of semiconductor transistors capable of high-speed operation, research has primarily been focused on GaAs-, InP-, SiGe-, and GaN-based semiconductor materials. High-speed transistors have already been developed primarily from GaAs, InP, and SiGe semiconductor materials, and GaAs transistors are already in practical use in mobile

phones and other communications applications. However semiconductor materials such as GaAs, InP, and SiGe have a narrow band gap, which causes their efficiency to decrease when output power is increased. Another problem is that under high-temperature environments, electrons in the valence band can be excited by heat to the conduction band, causing a failure to operate as a transistor.

[0006]

With the advance of electronics technology, transistors usable in harsh conditions for high output, high speed, and at high temperatures are sought; the optimal semiconductor material for these applications is GaN-based semiconductor, which is a wide band gap semiconductor with relatively high mobility, capable of heterojunctions. Applications has been actively researched for this semiconductor [material] in short wavelength light emitting devices typified by blue light emitting semiconductors, however in recent years, because of its wide band gap semiconductor characteristics and its availability for use with two-dimensional electron gas highly concentrated by piezoelectric fields and the like, it has been actively studied for applications such as mobile phone base stations, and high performance transistors with a mutual conductance of 525 mS/mm have been reported (e.g., Applied Physics, Vol. 73 (2004), p. 358).

[0007]

[Patent Document 1] FED Journal Vol.11 (2000) p.85

[Patent Document 2] Applied Physics, Vol.73 (2004) p.358

[Disclosure of the Invention]

[Problem to be Solved]

[0008]

Transistors using GaN-based semiconductor materials have been reported to operate at high speeds, high power, and high temperatures, but significant problems remain. A characteristic of GaN-based semiconductor materials is that group III nitride semiconductors are c-axis oriented, therefore a high sheet carrier density can be obtained using a piezoelectric field when a heterojunction is used. This high sheet carrier density is considered advantageous for high power transistors.

[0009]

The structure of a typical transistor using a GaN-based semiconductor is shown in Fig. 1. Using an organometallic compound vapor deposition method or the like, crystal growth is applied on a sapphire substrate 101 to grow a low-temperature AlN buffer layer 102 at approximately 500°C and an undoped semi-insulating GaN layer 103 at approximately 1000°C to approximately 2 μm in length. An undoped AlGaN spacer layer 104 is then grown to 2 nm and an n-type AlGaN layer 105 with a free electron density of $1 \times 10^{18} \text{ cm}^{-3}$ obtained by adding Si is grown to 8 nm, on top of this a gate electrode 106, drain electrode 107, and source electrode 108 are formed.

[0010]

Next, Fig. 2 shows typical characteristics of the GaN-based semiconductor transistor shown in Fig. 1. As shown in Fig. 2, the transistor operates as a depletion mode [transistor], in which drain current flows when the gate voltage is at 0V and drain current stops flowing when a certain amount of voltage is added to the gate voltage.

[0011]

Next, Fig. 3 shows a band diagram immediately under gate electrode 106 in the Fig. 1 GaN-based semiconductor transistor. In conduction band 301 in Fig. 3 there is a location at the interface between undoped semi-insulating GaN layer 304 and AlGaIn spacer layer 305 which is lower than the pseudo-Fermi level 302 of the electrons; this layer acts as the channel layer. Therefore when a voltage is applied between the drain and source electrodes, drain current flows even when the gate voltage is 0V, and the GaN-based semiconductor transistor functions in depletion mode, as described above.

[0012]

Transistors using GaN-based materials are theoretically capable of operating as high-power amplifiers with output power exceeding several hundred watts at around 100 GHz, and are being directed at applications such as base stations for mobile phones. When used for power electronics, however, the fact that drain current flows when no gate voltage is applied indicates a constant power loss, resulting in a large power loss. In the power electronics field, enhancement mode transistors are in particular demand. As noted above, however, GaN-based semiconductor transistors function in depletion mode, so they have been considered unsuitable for use in power electronics from the power loss standpoint.

[0013]

On this point, it has been reported in recent years that by using high barrier Schottky electrodes and by adopting thin film carrier channels, the depletion layer can be extended into the channel layer, enabling enhancement mode operation (e.g., Japanese Journal of Applied Physics, Vol. 43 (2004, p. 2255)), and the possibility of application to power electronics has been shown. There are multiple problems, however, such as the stability of Schottky electrodes made of GaN-based semiconductor materials, the scarcity of electrode materials with a high Schottky barrier, and process difficulties with enhancement operation unless the channel layer is made as a thin film and the channel layer is precisely controlled in units of a few nm; there is also an inability to operate at high currents because the channel layer cannot structurally be made into a thick film.

[0014]

The present invention was undertaken in light of these problems, and is intended to solve the problems of Schottky electrode instability, fluctuation of barrier height, and high current operation and high output power, and to achieve a transistor capable of enhancement mode operation.

[Means for Solving the Problem]

[0015]

To achieve the above objects, the present invention pertains to a transistor comprising:
a channel-forming layer formed above a predetermined substrate, and a drain electrode layer, source electrode layer, and gate electrode layer formed over this channel layer;
wherein the gate electrode layer includes a p-type GaN-based semiconductor layer and a metal electrode layer formed on this semiconductor layer.

[0016]

The invention also pertains to a method for controlling the depletion layer in a transistor, whereby:

in the method for controlling the depletion layer in the channel-forming layer of a transistor comprising a channel-forming layer formed above a predetermined substrate and a drain electrode layer, source electrode layer, and gate electrode layer formed above this channel layer,

the gate electrode layer is constituted to include a p-type GaN-based semiconductor layer and a metal electrode layer formed on the semiconductor layer, and the depletion layer region is controlled by controlling the hole carrier density and thickness of the p-type GaN-based semiconductor layer.

[0017]

In contrast to the conventional GaN-based semiconductor transistor shown in Fig. 1, the present invention has a two-layer gate electrode layer structure consisting of a p-type GaN-based semiconductor layer and a metal electrode layer. The p-type GaN-based semiconductor layer can therefore be used to form a depletion layer within the channel-forming layer of the transistor, and the size of the depletion layer can be freely controlled by controlling the hole carrier density and thickness thereof.

[0018]

Thus by appropriately controlling the hole carrier density and thickness, etc. in the p-type GaN-based semiconductor layer, current can be stopped from flowing by the existence of the depletion layer when the gate voltage at the gate electrode layer is at 0V, even if a voltage is applied between the drain electrode layer and the source electrode layer. As a result, enhancement mode transistors, previously considered impossible with GaN-based semiconductor transistors, can now be offered.

[0019]

The present invention also can provide the above enhancement type transistor by the extremely simple action of merely including a p-type semiconductor layer within the gate electrode layer, without use of the above-described conventional Schottky electrode, or complex operations such as making the channel layer into a thin film.

[0020]

Note that the term "GaN-based semiconductor" in the present invention means that AlN and/or InN may be included in addition to GaN, which as a general formula can be expressed as $GaxAl^xIn^yN^z$ ($x+y+z=1$, $x, y, z \geq 0$). However GaN is basically the main body (main component).

[Best Mode for Practicing the Invention]

[0021]

Other features and advantages of the invention are described in detail below, based on the best mode for practicing the invention.

[0022]

(Embodiment 1)

Fig. 4 shows an example of a GaN-based semiconductor transistor in cross section. GaN-based semiconductor transistor 10 shown in Fig. 4 comprises an AlN buffer layer 2, an undoped semi-insulating GaN layer 3, an undoped AlGaIn spacer layer 4, and an n-type AlGaIn layer 5, sequentially formed on a sapphire substrate 1.

[0023]

The metal organic compound vapor deposition (MOCVD) method may be used to form

the AlN buffer layer 2 through the n-type AlGaIn layer 5. In this example, AlN buffer layer 2 was formed at a low temperature of approximately 500°C, and undoped semi-insulating GaN layer 3 through n-type AlGaIn layer 5 were formed at approximately 1000°C. In this example, the thickness of AlN buffer layer 2 is 0.02 µm, the thickness of undoped semi-insulating GaN layer 3 is 2 µm, the thickness of undoped AlGaIn spacer layer 4 is 2 nm, and the thickness of n-type AlGaIn layer 5 is 8 nm. The n-type AlGaIn layer contains Si as a dopant at a concentration of $2 \times 10^{18}/\text{cm}^3$.

[0024]

As described in detail below, the undoped semi-insulating GaN layer 3 and undoped AlGaIn spacer layer 4 function in this example as channel-forming layers.

[0025]

Next, GaN-based semiconductor transistor 10 has a gate electrode layer 7, drain electrode layer 8, and source electrode layer 9 on the n-type AlGaIn layer 5. A gate electrode layer 7 according to the invention consists of a p-type GaN layer 7A and a Ni/Au electrode layer 7B. Drain electrode layer 8 and source electrode layer 9 comprise Ti/Al electrode layers. The thickness of and hole carrier density in the p-type GaN layer 7A can be set appropriately according to purpose, but in this example, Mg is contained at a concentration of $3 \times 10^{19}/\text{cm}^3$ and the hole carrier density is $1 \times 10^{18}/\text{cm}^3$; the thickness thereof is 20 nm.

[0026]

From gate electrode layer 7 to source electrode layer 9, a multilayer film structure in which AlN buffer layer 2 to p-type GaN layer 7A are formed is heat treated at approximately 700°C for 5 minutes in a nitrogen atmosphere on sapphire substrate 1; a metal electrode layer 7B consisting of Ni/Au is then formed using photolithographic technology, and a Ni mask is deposited over that. The p-type GaN layer 7A is then completely etched in the thickness direction to expose the n-type AlGaIn layer 5 using, for example, chlorine plasma in a reactive ion etching system. Drain electrode 8 and source electrode 9 consisting of Ti/Al are then formed on the exposed surface using photolithography technology.

[0027]

Fig. 5 shows a band diagram immediately below gate electrode layer 7 for the GaN-based semiconductor transistor 10 shown in Fig. 4 with no gate voltage applied (gate voltage 0V) in gate electrode layer 7. Focusing on the conduction band 11 in Fig. 5, there is energetically no point lower than the pseudo-Fermi level 12 of the electrons. Therefore in this state no current flows even if a voltage is applied between drain electrode layer 8 and source electrode layer 9.

[0028]

Fig. 6 shows a band diagram immediately below gate electrode layer 7 of the GaN-based semiconductor transistor 10 shown in Fig. 4 with a gate voltage of 2V applied to gate electrode layer 7. By thus applying a gate voltage of 2V to gate electrode layer 7, a location with lower energy than the pseudo-Fermi level 22 of electrons is created at the interface between the undoped semi-insulating GaN layer 3 and the undoped AlGaIn spacer layer 4, which have respectively different band gaps; this then acts as a channel. Thus by applying a predetermined voltage between drain electrode 8 and source electrode 9, carriers flow through the channels so that a current can be sourced.

[0029]

Therefore in the GaN-based semiconductor transistor 10 shown in this example, no current flows when no gate voltage is applied to gate electrode layer 7; current flows only when a gate voltage is applied to gate electrode layer 7, enabling [the transistor] to function in the enhancement mode rather than the conventional depletion mode. This is believed to result from the fact that the gate electrode layer 7 includes a p-type GaN layer, which forms a depletion layer with sufficient spread within the channel-forming layer made up of undoped semi-insulating GaN layer 3 and undoped AlGaIn spacer layer 4, so that the band structure bends as shown in Figs. 5 and 6.

[0030]

Fig. 7 is a characteristic diagram of the GaN-based semiconductor transistor 10 shown in Fig. 4. In this case the gate voltage applied to gate electrode layer 7 is varied in a range of 0 to 2.4V. As is clear from Fig. 7, at a gate voltage of 0V, almost no drain current flows when a voltage is applied between drain electrode 8 and source electrode 9, but when the gate voltage is sequentially increased from 0.6V to 2.4V, it is apparent that by applying a voltage between drain electrode 8 and source electrode 9, drain current will flow in proportion to the magnitude of the gate voltage. It may also be seen from the Fig. 7 characteristic diagram that the GaN-based semiconductor transistor 10 shown in Fig. 4 functions in enhancement mode.

[0031]

Note specifically that the leakage current at a gate voltage of 0V can be reduced down to 100 nA or below.

[0032]

As noted above, causing the GaN-based semiconductor transistor 10 shown in Fig. 4 to function in enhancement mode requires that an optimal depletion layer be formable by the p-type GaN layer 7A which comprises gate electrode layer 7 in the above-described channel-forming layer. In the specific example above, the thickness of the p-type GaN layer 7A is 20 nm and the hole carrier density is $1 \times 10^{18}/\text{cm}^3$, but these thicknesses and hole carrier densities should be set appropriately according to the specific material composition and constitution of the GaN-based semiconductor transistor.

[0033]

In a GaN-based semiconductor transistor with the material composition and constitution shown in Fig. 4, an enhancement mode transistor can be achieved by setting the thickness of the p-type GaN layer 7A to between 1 nm and 500 nm and the hole carrier density to between 1×10^{16} units/ cm^3 and 1×10^{19} units/ cm^3 .

[0034]

An n-type AlGaIn layer 5 is not necessarily required, and may be omitted so long as the purpose of the invention is achieved. Similarly, an undoped AlGaIn spacer layer does not have to be provided, but if provided should have a thickness of ≤ 200 nm.

[0035]

The presence of n-type AlGaIn layer 5 also affects the formation of the depletion layer by the p-type GaN layer 7A described above, so its thickness and electron carrier density must be determined with consideration for the entire GaN-based semiconductor transistor 10, including the p-type GaN layer 7A. Specifically, when GaN-based semiconductor transistor 10 is to function in enhancement mode, the conditions above for the p-type GaN layer 7A may be considered, for example, to set the electron carrier density to 1×10^{14} units/ cm^3 to 1×10^{19}

units/cm³ and the thickness to between 1 nm and 200 nm.

[0036]

In the GaN-based semiconductor transistor 10 of this example, there is no need to use a Schottky electrode or to make the channel layer into a thin film as in conventional transistors. The undoped AlGaIn spacer layer 4 and n-type AlGaIn layer 5, which are the channel-forming layers, can thus be [made] as thick films, simplifying high-current operation and the like.

[0037]

(Embodiment 2)

Fig. 8 is a cross-section of another example of a GaN-based semiconductor transistor. The GaN-based semiconductor transistor 30 shown in Fig. 8 has an AlN buffer layer 32 and a first n-type GaN layer 33 formed sequentially on a sapphire substrate 31. AlN buffer layer 32 and n-type GaN layer 33 can be formed by metal organic compound vapor deposition (MOCVD). In this example, AlN buffer layer 32 is formed at a low temperature of approximately 500°C, and n-type GaN layer 33 is formed at approximately 1000°C. Note that the thickness of AlN buffer layer 2 was set to 0.02 μm, and the thickness of n-type GaN layer 33 was set to 3 μm. Also, Si as a dopant was included in n-type GaN layer 33 at a concentration of $5 \times 10^{18}/\text{cm}^3$. H₂-diluted SiH₄ was used as the raw material for the Si dopant.

[0038]

In addition, GaN-based semiconductor transistor 30 has a ridge-shaped undoped GaN layer 34 and a second n-type GaN layer 35 on n-type GaN layer 33. These layers can be formed in the same way as n-type GaN layer 33. In this example, second n-type GaN layer 35, similar to first n-type GaN layer 33, is also made to contain Si at a concentration of $5 \times 10^{18}/\text{cm}^3$. The thickness of undoped GaN layer 34 was set to 0.5 μm, and the thickness of the second n-type GaN layer 35 was set to 1 μm. Note that undoped GaN layer 34 serves as a channel-forming layer.

[0039]

Furthermore, GaN-based semiconductor transistor 30 has a first gate electrode layer 38-1 and a second gate electrode layer 38-2 sandwiching the undoped GaN layer 34 from both sides, a drain electrode layer 37 on second n-type GaN layer 35, and a source electrode layer 39 on the right side of second gate electrode layer 38-2. According to the invention, first gate electrode layer 38-1 and second gate electrode layer 38-2 respectively comprise p-type GaN layers 38-1A and 38-2A, and Ni/Au electrode layers 38-1B and 38-2B. Drain electrode layer 37 and source electrode layer 39 comprise Ti/Al electrode layers.

[0040]

The thickness and hole carrier density of p-type GaN layers 38-1A and 38-2A can be set appropriately according to purpose, but in this example Mg is included at a concentration of $3 \times 10^{19}/\text{cm}^3$, the hole carrier density is $1 \times 10^{18}/\text{cm}^3$, and thickness is 1.2 μm.

[0041]

Undoped GaN layer 34, second n-type GaN layer 35, gate electrode layers 38-1 and 38-2, drain electrode layer 37, and source electrode layer 39 are formed as follows. First, using SiO₂ or the like, a stripe-shaped (e.g., 2 μm wide) mask is formed by photolithography, and a reactive ion etching system using Cl₂ gas is used to etch down to the first n-type GaN layer 33, except for the under-portion of the mask. Then, after appropriate semiconductor substrate treatment such as aqua regia, sulfuric acid, organic cleaning, etc., p-type GaN layers 38-1A and 38-2A are again

formed by the organometallic compound vapor phase growth method. Next, the mask is etched away with hydrofluoric acid or the like, and after heat treatment for 5 minutes at 700°C in a nitrogen atmosphere, a portion of p-type GaN layers 38-1A and 38-2A is removed by photolithography and reactive ion etching equipment to expose the first n-type GaN layer 33. Metal electrode layers 38-1B and 38-2B in gate electrode layers 38-1 and 38-2 are then formed, as are a drain electrode layer 38 and source electrode layer 39.

[0042]

Fig. 9 is a characteristic diagram of the GaN-based semiconductor transistor 30 shown in Fig. 8. In the GaN-based semiconductor transistor 30 shown in this example, a depletion layer is formed in the undoped GaN layer 34, which is the channel-forming layer, by the p-type GaN layers 38-1A and 38-2A in first gate electrode layer 38-1 and second gate electrode layer 38-2.

[0043]

Therefore when the gate voltage applied to the first gate electrode layer 38-1 and second gate electrode layer 38-2 is 0V, no drain current flows within undoped GaN layer 34, even if a voltage is applied between drain electrode layer 37 and source electrode layer 39. However the depletion layer region changes when a predetermined gate voltage is applied to first gate electrode layer 38-1 and second gate electrode layer 38-2, therefore a drain current corresponding to the magnitude of the drain voltage will flow in undoped GaN layer 34 when a voltage is applied between drain electrode layer 37 and source electrode layer 39. As a result, GaN-based semiconductor transistor 30 in this example functions in enhancement mode.

[0044]

Specifically, the leakage current at a gate voltage of 0V can be reduced down to 100 nA or below.

[0045]

As mentioned above, in order for the GaN-based semiconductor transistor 30 shown in Fig. 8 to function in enhancement mode, the p-type GaN layers 38-1A and 38-2A constituting gate electrode layers 38-1 and 38-2 should enable the formation of an optimal depletion layer in the undoped GaN layer 34, which is the above-described channel-forming layer. In the specific examples above, the thickness of p-type GaN layers 38-1A and 38-2A is set to 1.2 μm and the hole carrier density is set to $1 \times 10^{18}/\text{cm}^3$, however these thicknesses and hole carrier densities should be set appropriately according to the specific material composition and constitution of the GaN-based semiconductor transistor.

[0046]

In the GaN-based semiconductor transistor with the material composition and configuration shown in Fig. 8, an enhancement mode transistor can be achieved by setting the thickness of p-type GaN layers 38-1A and 38-2A to between 10 nm and 5 μm and the hole carrier density to between 1×10^{16} units/ cm^3 and 1×10^{19} units/ cm^3 . This this can also be achieved by setting the width between 0.1 μm and 20 μm .

[0047]

Note that a second n-type GaN layer 35 is not necessarily required; it may be omitted so long as the purpose of the invention is achieved.

[0048]

The presence of n-type GaN layer 35 also affects the formation of the depletion layer by the p-type GaN layers 38-1A and 38-2A described above, so the thickness and electron carrier

density, etc., thereof must be determined with consideration for the entire GaN semiconductor transistor 30, including p-type GaN layers 38-1A and 38. Specifically, when causing the GaN-based semiconductor transistor 30 to function in enhancement mode, the above conditions pertaining to p-type GaN layers 38-1A and 38-2A may be considered, for example, so as to enable the electron carrier density to be set from 1×10^{14} units/cm³ to 1×10^{19} units/cm³ and the thickness to be set from 1 nm to 200 nm.

[0049]

We have explained the present invention in detail based on the best mode for practicing the invention with reference to concrete examples, however all variations and changes are possible so long as they do not depart from the scope of the invention.

[0050]

For example, in Embodiments 1 and 2 above sapphire substrates are used as the substrate, but other substrates such as SiC, Si, AlN, GaN, and ZrB₂ may also be used.

[0051]

It is also possible in Embodiments 1 and 2 to include AlN and InN in all of the layers formed only of GaN. Also, Mg is used as a dopant for p-type semiconductors and Si as a dopant for n-type semiconductors, but other dopants can of course also be used.

[0052]

Furthermore, in Embodiments 1 and 2, [the transistor] can be made to [operate] in depletion mode by appropriately controlling the width and thickness of the p-type GaN layer.

[0053]

In Embodiment 1, the n-type AlGaIn layer 5 can be undoped or can be formed by ion implantation or the like, rather than in an actual layer form.

[0054]

In addition, in Embodiment 2, after the sapphire substrate 31 is peeled off by substrate peeling technology, current can made to flow in the direction of growth, i.e., in the thickness direction of each layer constituting the transistor by forming a source electrode layer 39 relative to the peeled surface.

[Brief Description of Figures].

[0055]

Fig. 1: A cross section of a conventional GaN-based semiconductor transistor.

Fig. 2: A characteristic diagram of the GaN-based semiconductor transistor shown in Fig. 1.

Fig. 3: A diagram showing the band structure of the GaN-based semiconductor transistor shown in Fig. 1.

Fig. 4: A cross section of one example of a GaN-based semiconductor transistor.

Fig. 5: A diagram showing the band structure of the GaN-based semiconductor transistor shown in Fig. 4 with no gate voltage applied (gate voltage 0V) in the gate electrode layer.

Fig. 6: A diagram showing the band structure of the GaN-based semiconductor transistor shown in Fig. 4 with a gate voltage of 2V applied in the gate electrode layer.

Fig. 7: A characteristic diagram of the GaN-based semiconductor transistor 10 shown in Fig. 4.

Fig. 8: A cross section of another example of a GaN-based semiconductor transistor.

Fig. 9: A characteristic diagram of the GaN-based semiconductor transistor shown in Fig. 8.

[Explanation of Reference Numerals].

[0056]

- 1 Sapphire substrate
- 2 AlN buffer layer
- 3 Undoped semi-insulating GaN layer
- 4 Undoped AlGaIn spacer layer
- 5 n-type AlGaIn layer
- 7 Gate electrode layer
- 7A p-type GaN layer
- 7B Metal electrode layer
- 8 Drain electrode layer
- 9 Source electrode layer
- 10 GaN-based semiconductor transistor
- 11 Conduction band
- 12 Electron pseudo-Fermi level
- 13 Valence band
- 14 Hole pseudo-Fermi level
- 15 Undoped semi-insulating GaN layer
- 16 Undoped AlGaIn spacer layer
- 17 n-type AlGaIn layer
- 18 p-type GaN layer
- 21 Conduction band
- 22 Electron pseudo-Fermi level
- 23 Valence band
- 24 Hole pseudo-Fermi level
- 25 Undoped semi-insulating GaN layer
- 26 Undoped AlGaIn spacer layer
- 27 n-type AlGaIn layer
- 28 p-type GaN layer
- 30 GaN-based semiconductor transistor
- 31 Sapphire substrate
- 32 AlN buffer layer
- 33 First n-type GaN layer
- 34 Undoped GaN layer
- 35 Second n-type GaN layer
- 37 Drain electrode layer
- 38-1 First gate electrode layer
- 38-2 Second gate electrode layer
- 38-1A, 38-2A p-type GaN layers
- 38-1B, 38-2B Metal electrode layers
- 39 Source electrode layer
- 101 Sapphire substrate
- 102 AlN buffer layer
- 103 Undoped semi-insulating GaN layer

104 Undoped AlGa_N spacer layer
105 n-type AlGa_N layer
106 Gate electrode
107 Drain electrode
108 Source electrode
301 Conduction band
302 Electron pseudo-Fermi level
303 Valence band
304 Undoped semi-insulating Ga_N layer
305 Undoped AlGa_N spacer layer
306 n-type AlGa_N layer

FIG. 1

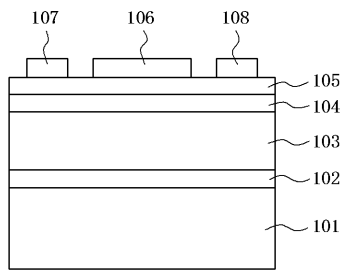


FIG. 2

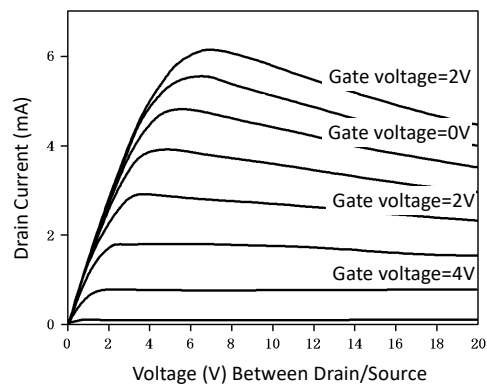


FIG. 3

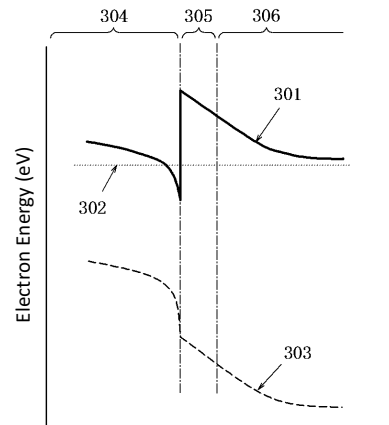


FIG. 4

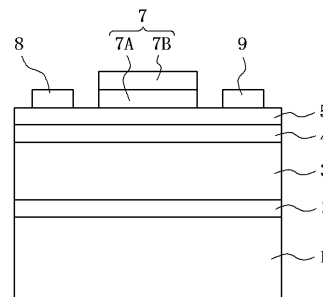


FIG. 5

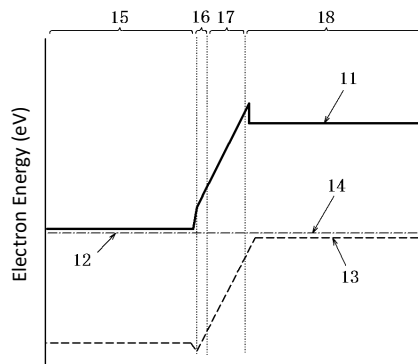


FIG. 6

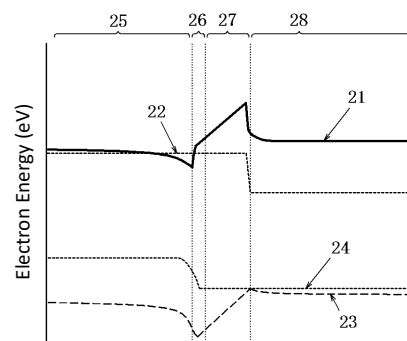


FIG. 7

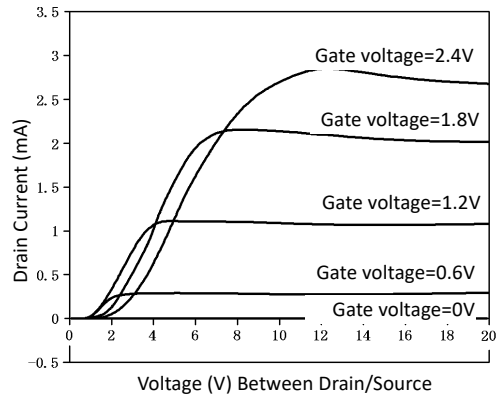


FIG. 9

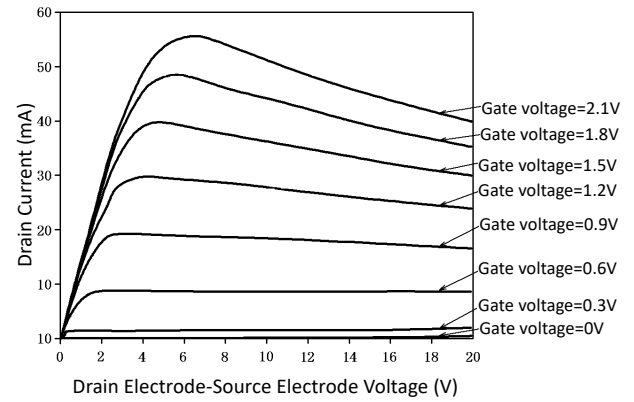
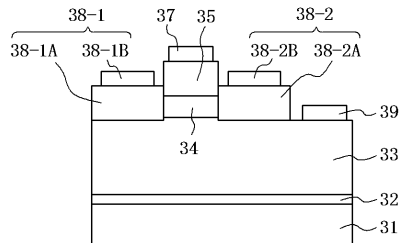


FIG. 8



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-66979
(P2007-66979A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 F	4 M 1 O 4
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	5 F 1 O 2
HO 1 L 29/778 (2006.01)	HO 1 L 21/28 3 O 1 B	
HO 1 L 21/28 (2006.01)	HO 1 L 29/50 J	
HO 1 L 29/417 (2006.01)	HO 1 L 29/58 Z	
審査請求 未請求 請求項の数 25 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2005-247824 (P2005-247824)	(71) 出願人 599002043
(22) 出願日 平成17年8月29日 (2005.8.29)	学校法人 名城大学 愛知県名古屋市天白区塩釜口1-501
	(74) 代理人 100072051 弁理士 杉村 興作
	(74) 代理人 100101096 弁理士 徳永 博
	(74) 代理人 100107227 弁理士 藤谷 史朗
	(74) 代理人 100114292 弁理士 来間 清志
	(74) 代理人 100119530 弁理士 富田 和幸
	(72) 発明者 岩谷 素顕 愛知県稲沢市祖父江町大牧702
	最終頁に続く

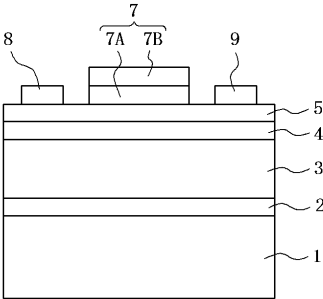
(54) 【発明の名称】 トランジスタ、及びトランジスタにおける空乏層の制御方法

(57) 【要約】

【課題】 エンハンスメント動作が可能なトランジスタを実現する。

【解決手段】 所定の基板の上方に形成されたチャンネル形成層と、このチャンネル層の上方に形成されたドレイン電極層と、ソース電極層と、ゲート電極層とを具えたトランジスタにおいて、前記ゲート電極層を、p型GaN系半導体層と、この半導体層上に形成された金属電極層とを含むように構成し、前記p型GaN系半導体層の、ホールキャリア密度及び厚さを制御することによって、前記空乏層の領域を制御する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

所定の基板の上方に形成されたチャネル形成層と、このチャネル層の上方に形成されたドレイン電極層と、ソース電極層と、ゲート電極層とを具備、

前記ゲート電極層は、p 型 GaN 系半導体層と、この半導体層上に形成された金属電極層とを含むことを特徴とする、トランジスタ。

【請求項 2】

前記ゲート電極層により、前記チャネル形成層内に空乏層を形成することを特徴とする、請求項 1 に記載のトランジスタ。

【請求項 3】

前記ゲート電極層における前記 p 型 GaN 系半導体層の、ホールキャリア密度及び厚さを制御することによって、前記空乏層の領域を制御するようにしたことを特徴とする、請求項 2 に記載のトランジスタ。

【請求項 4】

前記チャネル形成層は、バンドギャップの異なる少なくとも 2 つの GaN 系半導体層が隣接してなり、前記少なくとも 2 つの GaN 系半導体層の界面においてチャネルが形成されることを特徴とする、請求項 1 ～ 3 のいずれか一に記載のトランジスタ。

【請求項 5】

前記チャネル形成層と、前記ドレイン電極層、前記ソース電極層及び前記ゲート電極層との間に、n 型 GaN 系半導体層を具備することを特徴とする、請求項 1 ～ 4 のいずれか一に記載のトランジスタ。

【請求項 6】

前記トランジスタは、エンハンスメント型トランジスタとして機能することを特徴とする、請求項 1 ～ 4 のいずれか一に記載のトランジスタ。

【請求項 7】

前記トランジスタは、エンハンスメント型トランジスタとして機能することを特徴とする、請求項 5 に記載のトランジスタ。

【請求項 8】

前記ゲート電極層における前記 p 型 GaN 系半導体層中のホールキャリア密度が 1×10^{16} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 1 nm ～ 500 nm であることを特徴とする、請求項 6 に記載のトランジスタ。

【請求項 9】

前記ゲート電極層における前記 p 型 GaN 系半導体層中のホールキャリア密度が 1×10^{16} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 1 nm ～ 500 nm であることを特徴とする、請求項 7 に記載のトランジスタ。

【請求項 10】

前記 n 型 GaN 系半導体層中の電子キャリア密度が 1×10^{14} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 1 nm ～ 200 nm であることを特徴とする、請求項 7 又は 9 に記載のトランジスタ。

【請求項 11】

前記ゲート電極層におけるゲート電圧が 0 V の状態において、前記ドレイン電極層及び前記ソース電極層間に 20 V の電圧を印加した際のリーク電流が 100 nA 以下であることを特徴とする、請求項 6 ～ 10 のいずれか一に記載のトランジスタ。

【請求項 12】

前記基板は、サファイア基板、SiC 基板、Si 基板、AlN 基板、GaN 基板、ZrB₂ 基板からなる群より選択される、少なくとも一種の基板を含むことを特徴とする、請求項 4 ～ 11 のいずれか一に記載のトランジスタ。

【請求項 13】

前記ゲート電極層は第 1 のゲート電極層と第 2 のゲート電極層とからなり、前記チャネル形成層は、前記第 1 のゲート電極層及び前記第 2 のゲート電極層間に位置するようにし

10

20

30

40

50

たことを特徴とする、請求項 1～3 のいずれかーに記載のトランジスタ。

【請求項 14】

前記チャネル形成層に隣接させて n 型 GaN 系半導体層を具えることを特徴とする、請求項 13 に記載のトランジスタ。

【請求項 15】

前記トランジスタは、エンハンスメント型トランジスタとして機能することを特徴とする、請求項 13 に記載のトランジスタ。

【請求項 16】

前記トランジスタは、エンハンスメント型トランジスタとして機能することを特徴とする、請求項 14 に記載のトランジスタ。

【請求項 17】

前記ゲート電極層における前記 p 型 GaN 系半導体層中のホールキャリア密度が 1×10^{16} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 10 nm ～ 5 μm であり、その幅が 0.1 μm ～ 20 μm であることを特徴とする、請求項 15 に記載のトランジスタ。

【請求項 18】

前記ゲート電極層における前記 p 型 GaN 系半導体層中のホールキャリア密度が 1×10^{16} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 10 nm ～ 5 μm であり、その幅が 0.1 μm ～ 20 μm であることを特徴とする、請求項 16 に記載のトランジスタ。

【請求項 19】

前記 n 型 GaN 系半導体層の電子キャリア密度が 1×10^{14} 個/cm³ ～ 1×10^{19} 個/cm³ であって、その厚さが 1 nm ～ 200 nm であることを特徴とする、請求項 16 又は 18 に記載のトランジスタ。

【請求項 20】

前記ゲート電極層におけるゲート電圧が 0 V の状態において、前記ドレイン電極層及び前記ソース電極層間に 20 V の電圧を印加した際のリーク電流が 100 nA 以下であることを特徴とする、請求項 15～19 のいずれかーに記載のトランジスタ。

【請求項 21】

前記基板は、サファイア基板、SiC 基板、Si 基板、AlN 基板、GaN 基板、ZrB₂ 基板からなる群より選択される、少なくとも一種の基板を含むことを特徴とする、請求項 15～20 のいずれかーに記載のトランジスタ。

【請求項 22】

所定の基板の上方に形成されたチャネル形成層と、このチャネル層の上方に形成されたドレイン電極層と、ソース電極層と、ゲート電極層とを具えたトランジスタにおける前記チャネル形成層内の空乏層の制御方法であって、

前記ゲート電極層を、p 型 GaN 系半導体層と、この半導体層上に形成された金属電極層とを含むように構成し、前記 p 型 GaN 系半導体層の、ホールキャリア密度及び厚さを制御することによって、前記空乏層の領域を制御することを特徴とする、トランジスタにおける空乏層の制御方法。

【請求項 23】

前記チャネル形成層と、前記ドレイン電極層、前記ソース電極層及び前記ゲート電極層との間に、n 型 GaN 系半導体層を設け、この n 型 GaN 系半導体層中の電子キャリア密度及び厚さを制御することによって、前記空乏層の領域を制御することを特徴とする、請求項 22 に記載のトランジスタにおける空乏層の制御方法。

【請求項 24】

前記ゲート電極層は第 1 のゲート電極層と第 2 のゲート電極層とからなり、前記チャネル形成層は、前記第 1 のゲート電極層及び前記第 2 のゲート電極層間に位置するようにするとともに、前記チャネル形成層に隣接させて n 型 GaN 系半導体層を設け、この n 型 GaN 系半導体層中の電子キャリア密度及び厚さを制御することによって、前記空乏層の領

域を制御することを特徴とする、請求項 22 に記載のトランジスタにおける空乏層の制御方法。

【請求項 25】

前記トランジスタは、エンハンスメント型トランジスタとして機能させることを特徴とする、請求項 22～24 のいずれかに記載のトランジスタにおける空乏層の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパワーエレクトロニクス分野において応用が期待されている GaN 系半導体 (AlN、InN およびそれらの混晶) トランジスタに関するものである。

10

【背景技術】

【0002】

近年、多くの分野でパワー半導体デバイスの低損失化、高速化、および高温など過酷な環境下で使えるような半導体デバイスの要望が高まり、Si 系半導体材料、SiC 系半導体材料、GaAs 系半導体材料、InP 系半導体材料及び GaN 系半導体材料 (AlN、InN およびそれらの混晶) を中心として精力的にデバイス開発のための研究が進められている。Si 系半導体材料では、100kHz 帯の周波数では効率が 90% 以上も達成され、実用化されている。しかし、今後さらなる省エネルギー化および高速化を図るには Si 系半導体材料では限界に近づいている。

【0003】

20

一方、省エネルギーデバイスの実現には、Si に代わって SiC 系半導体材料や GaN 系半導体材料のようなワイドバンドギャップ半導体を用いることが、デバイス性能向上に有効であることが理論的に示されている。SiC 系半導体材料では、すでに幾つかの研究機関によりトランジスタが実現されている。例えば、代表的な SiC 系半導体材料を用いたトランジスタとしては、半絶縁性 SiC 基板にバッファ層をエピタキシャル成長し、引き続き p 型導電層及びソース電極、ドレイン電極のための n 型層を成長する。その後、ゲート電極を形成する部分を前記 p 型導電層までエッチングし、表面を酸化してゲート酸化膜を形成し、ソース電極、ドレイン電極、ゲート電極を形成する。前記酸化膜と p 型導電層の界面準位が少なければゲート電極に正の電位を印加すると界面近傍に電子が蓄積された反転層が生じ、半導体トランジスタとして動作する (例えば、FED ジャーナル Vol.11 (2000) p.85)。

30

【0004】

しかしながら、SiC 系半導体材料は、界面準位の少ない酸化膜の形成は容易でないという問題点が存在する。また、SiC 基板にマイクロパイプなどの結晶欠陥の問題もあり、今後実用化のためには解決する課題は多い。また、SiC 系半導体材料は、ヘテロ接合が用いられないなどの理由により、高速化が原理的に困難であると言う材料的な問題点も存在している。

【0005】

また、高速動作可能な半導体トランジスタの開発においては、GaAs 系半導体材料、InP 系半導体材料、SiGe 系半導体材料及び、GaN 系半導体材料が主に研究されている。すでに GaAs 系半導体材料、InP 系半導体材料や SiGe 系半導体材料を中心に、高速トランジスタが開発されており、GaAs 系トランジスタは既に携帯電話など通信分野などですでに実用化している。しかしながら、GaAs 系半導体材料、InP 系半導体材料や SiGe 系半導体材料は、バンドギャップが狭いため、高出力化すると効率が低下してしまうという問題がある。また、高温環境下では、価電子帯に存在する電子が熱によって伝導帯に励起されてしまうため、トランジスタとして動作しなくなるなどの問題も存在している。

40

【0006】

今後、更なるエレクトロニクス技術の進展にしたがって、高出力、高速且つ高温など過酷な状況で使用可能なトランジスタが望まれているが、そのもっとも最適な半導体材料と

50

しては、ワイドバンドギャップ半導体で移動度が比較的高く、且つヘテロ接合が使用できるGaN系半導体がある。この半導体の研究は、青色発光素子に代表される、短波長発光素子への研究が盛んに行われてきたが、近年、そのワイドバンドギャップ半導体である特徴や、piezo電界などによる高濃度な2次元電子ガスが利用可能なことを理由に、携帯電話の基地局への応用などを目指し盛んに研究されており、相互コンダクタンスにおいて52 mS/mmという高性能トランジスタも報告されている(例えば、応用物理、Vol.73 (2004)p.358)。

【0007】

【非特許文献1】FED ジャーナルVol.11 (2000) p.85

【非特許文献2】応用物理、Vol.73 (2004)p.358

【発明の開示】

【発明が解決しようとする課題】

【0008】

GaN系半導体材料を用いたトランジスタは、高速、ハイパワーで且つ高温な領域で動作することも報告されているが、未だ大きな問題が存在する。GaN系半導体材料の特徴として、III族窒化物半導体はc軸配向しており、そのためヘテロ接合を用いた場合、piezo電界により、高濃度なシートキャリア密度を得ることが可能である。この高濃度なシートキャリア密度は、高出力トランジスタには有利であると考えられている。

【0009】

GaN系半導体を用いた代表的なトランジスタの構造を図1に示す。有機金属化合物気相成長法などにより、サファイア基板101上に、結晶成長により、約500℃で低温AlN緩衝層102、約1000℃でアンドープの半絶縁GaN層103を約2μm結晶成長する。その後、アンドープAlGaNスペーサ層104を2nm、Siを添加することによって得られる自由電子密度 $1 \times 10^{18} \text{ cm}^{-3}$ のn型AlGaN層105を8nm成長し、その上にゲート電極106、ドレイン電極107およびソース電極108を形成する。

【0010】

次に、図1に示すGaN系半導体トランジスタの代表的特性を図2に示す。図2に示すように、前記トランジスタは、ゲート電圧を0Vにした時にドレイン電流が流れ、ゲート電圧にある程度の電圧を加えた時に、ドレイン電流が流れなくなるというデプレッション型として動作する。

【0011】

次に、図1に示すGaN系半導体トランジスタにおける、ゲート電極106直下のバンド図を図3に示す。図3中の伝導帯301は、アンドープの半絶縁GaN層304とAlGaNスペーサ層305の界面に、電子の擬フェルミ準位302よりも低い箇所が存在し、この層がチャンネル層として動作する。したがって、ドレイン電極-ソース電極間に電圧をかけると、ゲート電圧が0Vの場合でもドレイン電流が流れてしまい、上述したように、GaN系半導体トランジスタはデプレッション型として機能するようになる。

【0012】

一方、GaN系材料を用いたトランジスタは、100GHz程度で数百Wを超える高出力の増幅器として動作することが理論的に可能であり、携帯電話の基地局などへの応用が
40
目指されている。しかしながらパワーエレクトロニクス用に用いる場合、ゲート電圧をかけていないときに、ドレイン電流が流れると言うのは、常時電力損失があることを示しており、電力損失が大きくなる。パワーエレクトロニクス分野では、特に、エンハンスメント型のトランジスタが要求されている。しかしながら、上述したように、GaN系半導体トランジスタはデプレッション型として機能するので、パワーエレクトロニクス用に用いる際には、上記電力損失の観点から不向きであると考えられてきた。

【0013】

かかる観点より、近年、バリア高さの高いショットキー電極を使うこと、およびキャリアのチャンネル層を薄膜化することによって、空乏層をチャンネル層に広げ、それによりエンハンスメント型で動作することが可能であることが報告されており(例えば、Japanese J
50

our[nA]l of Applied Physics, Vol. 43 (2004) p.2255)、パワーエレクトロニクスへ応用の可能性も示されている。しかしながら、GaN系半導体材料のショットキー電極の安定性や、ショットキーバリアの高い電極材料が少ない、およびチャンネル層を薄膜化および、チャンネル層を数nm単位で精密に制御しないとエンハンスメント動作しないことなどプロセス的な困難さや、チャンネル層が構造的に厚膜化できないため大電流動作が困難であることなど複数の問題点がある。

【0014】

本発明は、以上述べた課題に鑑みてなされたもので、ショットキー電極の不安定性やバリア高さの揺らぎ、大電流動作や高出力化などの問題点を解決し、エンハンスメント動作が可能なトランジスタを実現するためのものである。

10

【課題を解決するための手段】

【0015】

上記目的を達成すべく、本発明は、

所定の基板の上方に形成されたチャンネル形成層と、このチャンネル層の上方に形成されたドレイン電極層と、ソース電極層と、ゲート電極層とを具え、

前記ゲート電極層は、p型GaN系半導体層と、この半導体層上に形成された金属電極層とを含むことを特徴とする、トランジスタに関する。

【0016】

また、本発明は、

所定の基板の上方に形成されたチャンネル形成層と、このチャンネル層の上方に形成されたドレイン電極層と、ソース電極層と、ゲート電極層とを具えたトランジスタにおける前記チャンネル形成層内の空乏層の制御方法であって、

20

前記ゲート電極層を、p型GaN系半導体層と、この半導体層上に形成された金属電極層とを含むように構成し、前記p型GaN系半導体層の、ホールキャリア密度及び厚さを制御することによって、前記空乏層の領域を制御することの特徴とする、トランジスタにおける空乏層の制御方法に関する。

【0017】

本発明では、図1に示す従来のGaN系半導体トランジスタと異なり、ゲート電極層をp型GaN系半導体層と金属電極層との2層構造としている。したがって、前記p型GaN系半導体層により、トランジスタのチャンネル形成層内に空乏層を形成することができるとともに、そのホールキャリア密度や厚さなどを制御することによって、前記空乏層の大きさを自在に制御することができるようになる。

30

【0018】

したがって、前記p型GaN系半導体層内のホールキャリア密度及び厚さなどを適宜に制御することによって、前記ゲート電極層におけるゲート電圧が0Vの場合に、前記ドレイン電極層及び前記ソース電極層間に電圧を印加しても、前記空乏層の存在により電流が流れなくするようにすることができる。この結果、従来GaN系半導体トランジスタでは不可能とされていたエンハンスメント型のトランジスタを提供することができるようになる。

【0019】

また、本発明では、上述した従来のショットキー電極を用いたり、チャンネル層を薄膜化するなどの複雑な操作を施すことなく、単にゲート電極層内にp型半導体層を含ませるという極めて簡易な操作で上記エンハンスメント型トランジスタを提供することができる。

40

【0020】

なお、本発明における“GaN系半導体”とは、GaNに加えてAlN及び／又はInNを含んでも良いことを意味し、一般式としては $GaxAl^yIn^zN$ ($x+y+z=1$ 、 $x, y, z \geq 0$)と書き表せるものを意味する。但し、基本的には、GaNが主体（主成分）である。

【発明を実施するための最良の形態】

【0021】

50

以下、本発明のその他の特徴及び利点について、発明を実施するための最良の形態に基づき、詳細に説明する。

【0022】

(実施の形態1)

図4は、本発明のGaN系半導体トランジスタの一例を示す断面図である。図4に示すGaN系半導体トランジスタ10は、サファイア基板1上において、順次に形成されたAlN緩衝層2、アンドープ半絶縁GaN層3、アンドープAlGaNスペーサ層4及びn型AlGaN層5とを具えている。

【0023】

AlN緩衝層2からn型AlGaN層5までは、有機金属化合物気相成長法(MOCVD法)により形成することができる。本例では、AlN緩衝層2は約500℃の低温度で形成し、アンドープ半絶縁GaN層3からn型AlGaN層5までは約1000℃の温度で形成した。なお、本例において、AlN緩衝層2の厚さは0.02μmとし、アンドープ半絶縁GaN層3の厚さは2μmとし、アンドープAlGaNスペーサ層4の厚さは2nmとし、n型AlGaN層5の厚さは8nmとした。また、n型AlGaN層中には、ドーパントとしてSiを濃度 $2 \times 10^{18} / \text{cm}^3$ の割合で含有させている。

【0024】

なお、以下に詳述するように、本例において、アンドープ半絶縁GaN層3及びアンドープAlGaNスペーサ層4は、チャンネル形成層として機能する。

【0025】

次いで、GaN系半導体トランジスタ10は、n型AlGaN層5上において、ゲート電極層7、ドレイン電極層8及びソース電極層9を有している。ゲート電極層7は、本発明に従って、p型GaN層7AとNi/Au電極層7Bとから構成されている。ドレイン電極層8及びソース電極層9はTi/Al電極層から構成している。なお、p型GaN層7A中の厚さ及びホールキャリア濃度は、目的に応じて適宜に設定することができるが、本例では、Mgを濃度 $3 \times 10^{19} / \text{cm}^3$ の割合で含有させ、ホールキャリア密度を $1 \times 10^{18} / \text{cm}^3$ とするとともに、その厚さを20nmとしている。

【0026】

ゲート電極層7からソース電極層9までは、サファイア基板1上において、AlN緩衝層2からp型GaN層7Aまでが形成された多層膜構造体を、窒素雰囲気中、約700℃の温度で5分間熱処理を行った後に、フォトリソグラフィ技術を用いてNi/Auからなる金属電極層7Bとして形成し、その上にNiマスクを蒸着する。その後、例えば塩素プラズマを用いた反応性イオンエッチング装置を用いて、p型GaN層7Aを厚さ方向に完全にエッチングし、n型AlGaN層5を露出させる。その後露出した面にフォトリソグラフィ技術を用いて、Ti/Alからなるドレイン電極8及びソース電極9を形成する。

【0027】

図5は、図4に示すGaN系半導体トランジスタ10の、ゲート電極層7においてゲート電圧を印加しない状態(ゲート電圧0V)における、ゲート電極層7直下のバンド図を示すものである。図5の伝導帯11に注目すると、電子の擬フェルミ準位12よりもエネルギー的に低い箇所は存在しない。したがって、この状態でドレイン電極層8及びソース電極層9間に電圧をかけても、電流が流れない。

【0028】

図6は、図4に示すGaN系半導体トランジスタ10の、ゲート電極層7において2Vのゲート電圧を印加したときのゲート電極層7直下のバンド図を示すものである。このように、ゲート電極層7に対して2Vのゲート電圧を印加することにより、互いにバンドギャップの異なる、アンドープ半絶縁GaN層3とアンドープAlGaNスペーサ層4との界面に電子の擬フェルミ準位22よりもエネルギーの低い箇所ができ、ここがチャンネルとして働くようになる。したがって、ドレイン電極8及びソース電極9間に所定の電圧をかけることにより、前記チャンネルを通じてキャリアが流れ、電流を流すことができるように

なる。

【0029】

このように、本例で示すGaN系半導体トランジスタ10においては、ゲート電極層7にゲート電圧を印加しない場合には電流が流れず、ゲート電極層7にゲート電圧を印加する場合にのみ電流が流れるようになるので、従来のデプレッション型ではなく、エンハンスメント型として機能させるようにすることができる。これは、ゲート電極層7がp型GaN層を含むことにより、アンドープ半絶縁GaN層3及びアンドープAlGaNスペーサ層4からなるチャネル形成層内に十分な広がりを持つ空乏層が形成され、これによって、バンド構造が図5及び6に示すように屈曲するためと考えられる。

【0030】

10

図7は、図4に示すGaN系半導体トランジスタ10の特性図である。この際、ゲート電極層7に印加すべきゲート電圧を0～2.4Vの範囲で変化させている。図7から明らかなように、ゲート電圧が0Vのときは、ドレイン電極8及びソース電極9間に電圧を印加してもドレイン電流はほとんど流れないが、ゲート電圧を0.6Vから2.4Vまで順次に増大させると、ドレイン電極8及びソース電極9間に電圧を印加することによって、前記ゲート電圧の大きさに応じたドレイン電流が流れることが分かる。したがって、図7に示す特性図からも、図4に示すGaN系半導体トランジスタ10がエンハンスメント型として機能することが分かる。

【0031】

なお、具体的に、ゲート電圧0V時のリーク電流は100nA以下にまですることができ

20

【0032】

上述したように、図4に示すGaN系半導体トランジスタ10をエンハンスメント型として機能させるためには、ゲート電極層7を構成するp型GaN層7Aによって上述したチャネル形成層中に最適な空乏層を形成できるようにする必要がある。上記具体例においては、p型GaN層7Aの厚さを20nmとし、ホールキャリア密度を $1 \times 10^{18} / \text{cm}^3$ としているが、これらの厚さ及びホールキャリア密度について、GaN系半導体トランジスタの具体的な材料成分及び構成に応じて適宜に設定する必要がある。

【0033】

なお、図4に示すような材料成分及び構成のGaN系半導体トランジスタにおいては、p型GaN層7Aの厚さを1nm～500nmとし、ホールキャリア密度を $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ とすることによって、エンハンスメント型のトランジスタを実現することができる。

30

【0034】

なお、n型AlGaN層5は必ずしも必要となるものではなく、本発明の目的が達成される限り省略することもできる。同じく、アンドープAlGaNスペーサ層は設けなくても良いが、設ける場合においては200nm以下の厚さとする。

【0035】

また、n型AlGaN層5の存在は、上述したp型GaN層7Aによる空乏層の形成にも影響を及ぼすので、その厚さや電子キャリア密度などは、p型GaN層7Aを含めたGaN系半導体トランジスタ10の全体を考慮して決定する必要がある。具体的に、GaN系半導体トランジスタ10をエンハンスメント型として機能させる場合には、例えば、p型GaN層7Aに関する上記条件などを考慮することによって、電子キャリア密度を $1 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ とし、その厚さを1nm～200nmとすることができる。

40

【0036】

本例のGaN系半導体トランジスタ10においては、従来のトランジスタなどのように、ショットキー電極を使用したり、チャネル層を薄膜化する必要がない。したがって、チャネル形成層であるアンドープAlGaNスペーサ層4及びn型AlGaN層5を厚膜化することが可能であり、そのため大電流動作などを簡易に行うことができる。

50

【0037】

(実施の形態2)

図8は、本発明のGaN系半導体トランジスタの他の例を示す断面図である。図8に示すGaN系半導体トランジスタ30は、サファイア基板31上において、順次に形成されたAlN緩衝層32及び第1のn型GaN層33を具えている。AlN緩衝層32及びn型GaN層33は、有機金属化合物気相成長法(MOCVD法)により形成することができる。本例では、AlN緩衝層32は約500℃の低温度で形成し、n型GaN層33は約1000℃の温度で形成した。なお、AlN緩衝層2の厚さは0.02μmとし、n型GaN層33の厚さは3μmとした。また、n型GaN層33中には、ドーパントとしてSiを濃度 $5 \times 10^{18} / \text{cm}^3$ の割合で含有させている。Siドーパントの原料としてはH₂希釈したSiH₄を用いた。

【0038】

また、GaN系半導体トランジスタ30は、n型GaN層33上においてリッジ型のアンドープGaN層34及び第2のn型GaN層35を具えている。これらの層についても、n型GaN層33と同様に形成することができる。なお、本例では、第2のn型GaN層35についても第1のn型GaN層33と同様に、Siをその濃度が $5 \times 10^{18} / \text{cm}^3$ となるように含有させた。また、アンドープGaN層34の厚さは0.5μmとし、第2のn型GaN層35の厚さは1μmとした。なお、アンドープGaN層34はチャンネル形成層として機能する。

【0039】

さらに、GaN系半導体トランジスタ30は、アンドープGaN層34を両側から挟み込むようにして第1のゲート電極層38-1及び第2のゲート電極層38-2を有し、第2のn型GaN層35上にはドレイン電極層37を有するとともに、第2のゲート電極層38-2の右方にはソース電極層39を有している。第1のゲート電極層38-1及び第2のゲート電極層38-2は、本発明に従って、それぞれp型GaN層38-1A及び38-2Aと、Ni/Au電極層38-1B及び38-2Bとから構成されている。ドレイン電極層37及びソース電極層39はTi/Al電極層から構成している。

【0040】

なお、p型GaN層38-1A及び38-2Aの厚さ及びホールキャリア濃度は、目的に応じて適宜に設定することができるが、本例では、Mgを濃度 $3 \times 10^{19} / \text{cm}^3$ の割合で含有させ、ホールキャリア密度を $1 \times 10^{18} / \text{cm}^3$ とするとともに、その厚さを1.2μmとしている。

【0041】

アンドープGaN層34、第2のn型GaN層35、ゲート電極層38-1及び38-2、ドレイン電極層37並びにソース電極層39は、次のようにして形成する。最初に、フォトリソグラフィーによりSiO₂などを用い、ストライプ状(例えば幅2μm)のマスクを形成し、Cl₂ガスを用いた反応性イオンエッチング装置を用いてマスク下部以外を第1のn型GaN層33までエッチングする。その後、王水や硫酸、有機洗浄など適切な半導体基板処理を行った後に、再度、有機金属化合物気相成長法によりp型GaN層38-1A及び38-2Aを形成する。次いで、前記マスクをフッ酸などによりエッチング除去し、窒素雰囲気中、700℃の温度で5分間熱処理を行った後に、フォトリソグラフィーおよび反応性イオンエッチング装置により、p型GaN層38-1A及び38-2Aの一部をエッチングにより除去し、第1のn型GaN層33を露出させる。そして、ゲート電極層38-1及び38-2における金属電極層38-1B及び38-2Bを形成するとともに、ドレイン電極層38及びソース電極層39を形成する。

【0042】

図9は、図8に示すGaN系半導体トランジスタ30の特性図である。本例に示すGaN系半導体トランジスタ30においては、第1のゲート電極層38-1及び第2のゲート電極層38-2内におけるp型GaN層38-1A及び38-2Aによって、チャンネル形成層であるアンドープGaN層34内に空乏層が形成される。

【0043】

したがって、第1のゲート電極層38-1及び第2のゲート電極層38-2に印加するゲート電圧が0Vの場合は、ドレイン電極層37及びソース電極層39間に電圧を印加しても、アンドープGaN層34内には、図9に示すようにドレイン電流は流れない。しかしながら、第1のゲート電極層38-1及び第2のゲート電極層38-2に所定のゲート電圧を印加すると、前記空乏層の領域が変化するので、ドレイン電極層37及びソース電極層39間に電圧を印加した際に、前記ゲート電圧の大きさに応じたドレイン電流がアンドープGaN層34内に流れるようになる。この結果、本例におけるGaN系半導体トランジスタ30はエンハンスメント型として機能するようになる。

【0044】

10

なお、具体的に、ゲート電圧0V時のリーク電流は100nA以下にまですることができる。

【0045】

上述したように、図8に示すGaN系半導体トランジスタ30をエンハンスメント型として機能させるためには、ゲート電極層38-1及び38-2を構成するp型GaN層38-1A及び38-2Aによって上述したチャンネル形成層であるアンドープGaN層34中に最適な空乏層を形成できるようにする必要がある。上記具体例においては、p型GaN層38-1A及び38-2Aの厚さを1.2 μm とし、ホールキャリア密度を $1 \times 10^{18} / \text{cm}^3$ としているが、これらの厚さ及びホールキャリア密度について、GaN系半導体トランジスタの具体的な材料成分及び構成に応じて適宜に設定する必要がある。

20

【0046】

なお、図8に示すような材料成分及び構成のGaN系半導体トランジスタにおいては、p型GaN層38-1A及び38-2Aの厚さを10nm $\sim$ 5 μm とし、ホールキャリア密度を 1×10^{16} 個/ $\text{cm}^3 \sim 1 \times 10^{19}$ 個/ cm^3 とすることによって、エンハンスメント型のトランジスタを実現することができる。さらには、その幅を0.1 $\mu\text{m} \sim 20 \mu\text{m}$ とすることによって実現することができる。

【0047】

なお、第2のn型GaN層35は必ずしも必要となるものではなく、本発明の目的が達成される限り省略することもできる。

【0048】

30

また、n型GaN層35の存在は、上述したp型GaN層38-1A及び38-2Aによる空乏層の形成にも影響を及ぼすので、その厚さや電子キャリア密度などは、p型GaN層38-1A及び38-2Aを含めたGaN系半導体トランジスタ30の全体を考慮して決定する必要がある。具体的に、GaN系半導体トランジスタ30をエンハンスメント型として機能させる場合には、例えば、p型GaN層p型GaN層38-1A及び38-2Aに関する上記条件などを考慮することによって、電子キャリア密度を 1×10^{14} 個/ $\text{cm}^3 \sim 1 \times 10^{19}$ 個/ cm^3 とし、その厚さを1nm $\sim$ 200nmとすることができる。

【0049】

以上、本発明を具体例を挙げながら、発明を実施するための最良の形態に基づいて詳細に説明したが、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

40

【0050】

例えば、上記実施の形態1及び2では、基板としてサファイア基板を用いているが、それ以外の基板、例えばSiC基板、Si基板、AlN基板、GaN基板、ZrB₂基板などを用いることもできる。

【0051】

また、実施の形態1及び2において、GaNのみからなる総ての層に対してAlN及びInNを含むようにすることもできる。また、p型半導体のドーパントとしてMgを用い、n型半導体のドーパントとしてSiを用いているが、当然にこれ以外のドーパントを用

50

いることもできる。

【0052】

さらに、実施の形態1及び2において、p型GaN層の幅や厚さなどを適宜に制御することによりデプレッション型とすることもできる。

【0053】

また、実施の形態1において、n型AlGaN層5はアンドープとすることもできるし、実際の層形態ではなく、イオン注入などによって形成するようにすることもできる。

【0054】

さらに、実施の形態2においては、基板剥離技術によってサファイア基板31を剥離した後、その剥離面に対してソース電極層39を形成するようにすることにより、トランジスタを構成する各層の成長方向、すなわち厚さ方向に電流を流すようにすることもできる。

【図面の簡単な説明】

【0055】

【図1】従来のGaN系半導体トランジスタの一例を示す断面図である。

【図2】図1に示すGaN系半導体トランジスタの特性図である。

【図3】図1に示すGaN系半導体トランジスタのバンド構造を示す図である。

【図4】本発明のGaN系半導体トランジスタの一例を示す断面図である。

【図5】図4に示すGaN系半導体トランジスタの、ゲート電極層においてゲート電圧を印加しない状態（ゲート電圧0V）におけるバンド構造を示す図である。

【図6】図4に示すGaN系半導体トランジスタの、ゲート電極層においてゲート電圧2Vを印加した状態におけるバンド構造を示す図である。

【図7】図4に示すGaN系半導体トランジスタ10の特性図である。

【図8】本発明のGaN系半導体トランジスタの他の例を示す断面図である。

【図9】図8に示すGaN系半導体トランジスタの特性図である。

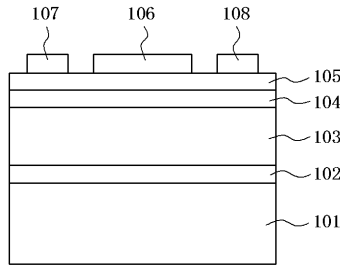
【符号の説明】

【0056】

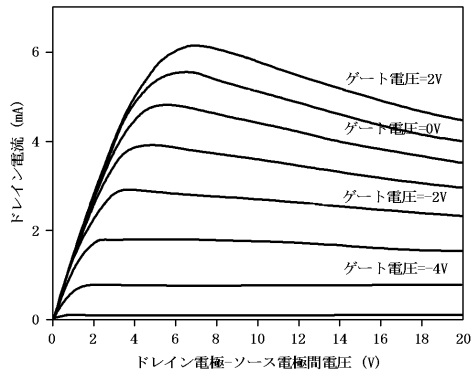
- 1 サファイア基板
- 2 AlN緩衝層
- 3 アンドープ半絶縁GaN層
- 4 アンドープAlGaNスペーサ層
- 5 n型AlGaN層
- 7 ゲート電極層
- 7A p型GaN層
- 7B 金属電極層
- 8 ドレイン電極層
- 9 ソース電極層
- 10 GaN系半導体トランジスタ
- 11 伝導帯
- 12 電子の擬フェルミ準位
- 13 価電子帯
- 14 正孔の擬フェルミ準位
- 15 アンドープの半絶縁GaN層
- 16 アンドープAlGaNスペーサ層
- 17 n型AlGaN層
- 18 p型GaN層
- 21 伝導帯
- 22 電子の擬フェルミ準位
- 23 価電子帯
- 24 正孔の擬フェルミ準位

2 5	アンドープの半絶縁 G a N 層	
2 6	アンドープ A l G a N スペーサ層	
2 7	n 型 A l G a N 層	
2 8	p 型 G a N 層	
3 0	G a N 系半導体トランジスタ	
3 1	サファイア基板	
3 2	A l N 緩衝層	
3 3	第 1 の n 型 G a N 層	
3 4	アンドープ G a N 層	
3 5	第 2 の n 型 G a N 層	10
3 7	ドレイン電極層	
3 8 - 1	第 1 のゲート電極層	
3 8 - 2	第 2 のゲート電極層	
3 8 - 1 A、3 8 - 2 A	p 型 G a N 層	
3 8 - 1 B、3 8 - 2 B	金属電極層	
3 9	ソース電極層	
1 0 1	サファイア基板	
1 0 2	A l N 緩衝層	
1 0 3	アンドープの半絶縁 G a N 層	
1 0 4	アンドープ A l G a N スペーサ層	20
1 0 5	n 型 A l G a N 層	
1 0 6	ゲート電極	
1 0 7	ドレイン電極	
1 0 8	ソース電極	
3 0 1	伝導帯	
3 0 2	電子の擬似フェルミ準位	
3 0 3	価電子帯	
3 0 4	アンドープの半絶縁 G a N 層	
3 0 5	アンドープ A l G a N スペーサ層	
3 0 6	n 型 A l G a N 層	30

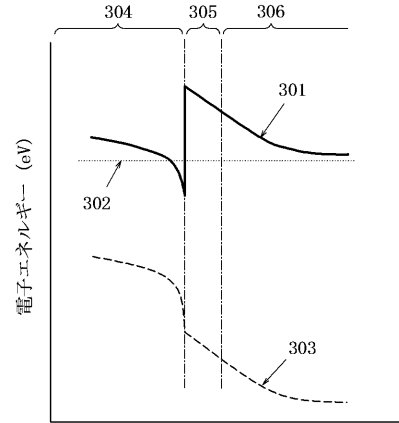
【図 1】



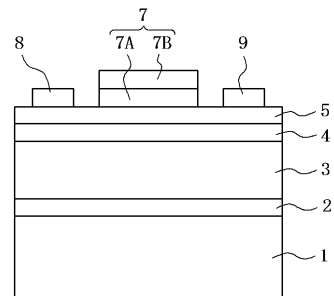
【図 2】



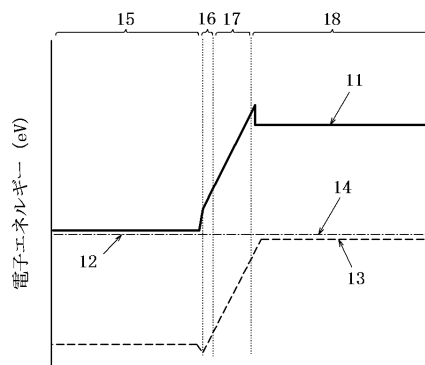
【図 3】



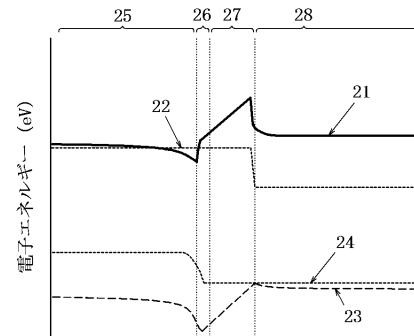
【図 4】



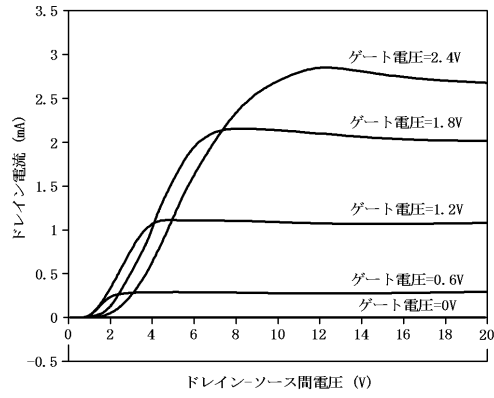
【図 5】



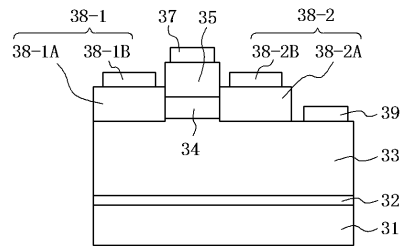
【図 6】



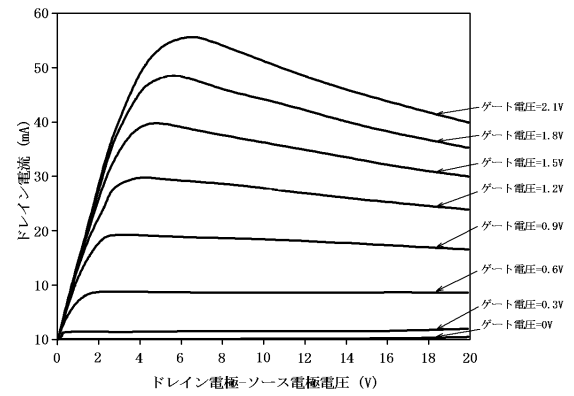
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H01L 29/423 (2006.01)

(72)発明者 上山 智

愛知県名古屋市天白区梅が丘3丁目1804-2

(72)発明者 天野 浩

愛知県名古屋市名東区山の手2-104 宝マンション山の手508

(72)発明者 赤▲崎▼ 勇

愛知県名古屋市西区浄心1-1 38-805

Fターム(参考) 4M104 AA04 BB05 BB14 CC01 CC03 FF13 GG12

5F102 GA02 GB01 GC01 GC05 GD01 GJ02 GJ03 GJ04 GJ10 GK04

GL04 GL07 GL08 GM04 GS01 GS03 GT03 GT07 HC01 HC15

Christopher Field
Japanese Technical Interpreting and Translation
52 Sherman's Bridge Rd., Wayland MA 01778 Tel. 617-905-6060
www.christopherfield.com



Verify at www.atanet.org/verify

CERTIFICATION OF TRANSLATION

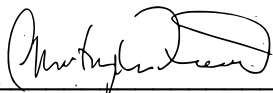
I, Christopher L. Field, residing at 52 Sherman's Bridge Rd., Wayland MA, 01778, United States of America, declare and state as follows:

I am well acquainted with the English and Japanese languages. I have translated numerous Japanese documents of legal and/or technical content into English. I am fully accredited by the American Translators Association (ATA) for Japanese to English translation, and my ATA certification number is 423514.

I have personally translated the attached document, entitled "JP2007-66979" from Japanese into English. I hereby certify that the English translation of the attached documents is an accurate translation to the best of my knowledge and ability.

I further declare that all statements made herein of my own knowledge are true, that all statements made on information and belief are believed to be true, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed at Wayland, Massachusetts, 17 August, 2023.

Signed, _____

Christopher Field

ATA Certified Translator, Japanese to English, Certificate No. 423514