

(19) [Issuing Country] Japan Patent Office
 (12) [Gazette Type] Published Patent Gazette (A)
 (11) [Publication No.] Patent Publication No. 2007-109830 (P2007-109830A)
 (43) [Date of Publication] April 26, 2007
 (51) [International Patent Classification, 6th edition]
 H01L 21/338 (01.2006)
 H01L 29/778 (01.2006)
 H01L 29/812 (01.2006)
 [FI]
 H01L 29/80 H
 [Request for Examination] Not requested
 [Number of Claims] 17
 [Application Format] OL
 [Total Pages] 16
 (21) [Application No.] Patent Application 2005-298241 (P2005-298241)
 (22) [Filing Date] October 12, 2005 (10.12.2005)
 (71) [Applicant]
 [Identification Number] 504139662
 [Name or Designation] National University Corporation Nagoya University
 (74) [Agent]
 [Patent Attorney]
 [Identification No.] 100087723
 [Patent Attorney]
 [Name or Designation] Osamu FUJITANI
 (74) [Name or Designation] Kanji NAGATO
 (72) [Inventor]
 [Name] Takashi MIZUTANI
 (72) [Inventor]
 [Name] Koichi MAEZAWA
 [Theme Code] (Reference)]
 [F Term (reference)] 5F102 FA00 FA01 GB01 GC01 GD01
 GD02 GJ02 GJ03 GJ04 GJ10
 GK04 GL04 GM04 GM08 HC01

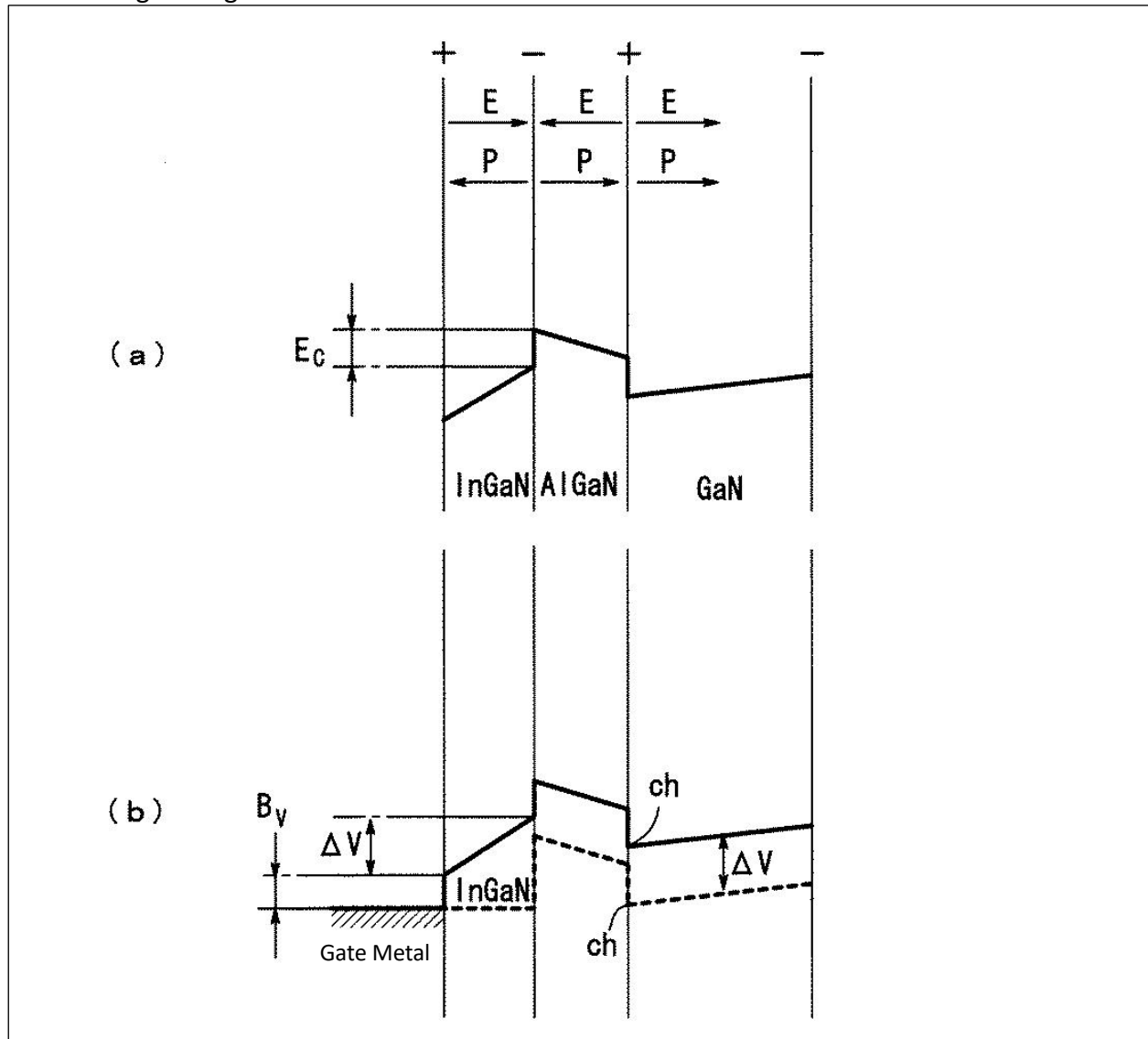
(54) [Title of Invention] Field Effect Transistor

(57) Abstract

Problem: To control threshold voltage and reduce channel resistance in a field effect transistor.
 Solution Means: A field effect transistor comprising a gate electrode and a heterojunction to undoped $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ /undoped $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ /undoped GaN. $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ has a large piezoelectric effect, so a large stress strain is applied to this hetero-grown layer, generating a large piezoelectric field. This allows the $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ and GaN conduction band to be raised, thereby raising the channel level. This enables a normally-off type [transistor] with which channel

resistance can be greatly reduced by forming a field generating layer under only the gate electrode.

Selected Figure: Fig. 1



Claims

Claim 1

A field effect transistor, whereby in a field effect transistor having a gate electrode, a source electrode, a drain electrode, and a first semiconductor layer in which a channel is formed,

a field generating layer for raising the minimum energy of the channel is disposed between the gate electrode and the first semiconductor layer.

Claim 2

The field effect transistor according to Claim 1, having a second semiconductor layer heterojunctioned to the first semiconductor layer, which is interposed between the field generating layer and the first semiconductor layer.

Claim 3

The field effect transistor according to Claim 2, wherein the field-generating layer is a layer for raising the minimum channel energy level by raising the minimum energy level of the conduction band of the second semiconductor layer, [thereby] raising the conduction band of the first semiconductor layer, which is heterojunctioned to the second semiconductor layer.

Claim 4

The field effect transistor according to any one of Claims 1 to 3, wherein the field-generating layer is a layer for generating an electric field by piezoelectric polarization.

Claim 5

The field effect transistor according to any one of Claims 1 to 4, wherein the field-generating layer is heterojunctioned to a lower layer, and the thickness of the field-generating layer is set to a value smaller than the critical film thickness at which strain is not relieved.

Claim 6

The field effect transistor according to any one of Claims 1 to 5, having an insulating film formed between the gate electrode and the field generating layer.

Claim 7

The field effect transistor according to any one of Claims 1 to 6, wherein the first semiconductor layer comprises a group III nitride semiconductor.

Claim 8

The field effect transistor according to Claim 7, wherein the second semiconductor layer comprises a group III nitride semiconductor heterojunctioned to the first semiconductor layer.

Claim 9

The field effect transistor according to Claim 8, wherein the first semiconductor layer comprises GaN and the second semiconductor layer comprises $\text{Ga}_{x1}\text{Al}_{1-x1}\text{N}$ ($0 \leq x1 < 1$).

Claim 10

The field effect transistor according to any one of Claims 1 to 9, wherein the field generating layer comprises $\text{In}_{x2}\text{Ga}_{y2}\text{Al}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$).

Claim 11

The field effect transistor according to any one of Claims 1 to 9, wherein the field generating layer comprises $\text{In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$).

Claim 12

The field effect transistor according to Claims 10 or 11, wherein the thickness of the field generating layer is 0.25 to 100 nm.

Claim 13

The field effect transistor according to any one of Claims 1 to 12, wherein the field generating layer is formed only under the gate electrode.

Claim 14

The field effect transistor according to any one of Claims 1 to 12, wherein the field-generating layer is uniformly formed under the source electrode, the drain electrode, and the gate electrode.

Claim 15

The field effect transistor according to any one of claims 2 to 14, wherein the field generating layer is p-conductive, and the second semiconductor layer is n-conductive.

Claim 16

The field effect transistor according to any one of Claims 2 to 14, wherein the field generating layer is p-conductive and the second semiconductor layer is undoped.

Claim 17

The field effect transistor according to any one of Claims 1 to 16, wherein the field effect transistor is a normally-off type of transistor.

Detailed Description of the Invention

Technical Field

0001

The present invention pertains to a field effect transistor with a controllable gate threshold voltage and reduced channel parasitic resistance. More particularly, it pertains to a structure for effectively creating a normally-off type field effect transistor.

Background Art

0002

In recent years, field effect transistors using group-III nitride semiconductors have been actively researched due to their capability of wide bandgap, high voltage resistance, high operating temperature, high frequency operation, high output power, and high voltage signal input.

0003

One example of a field effect transistor using a group III nitride semiconductor is a high-mobility transistor in which an undoped GaN layer is used as a channel layer, AlGaN is used as a barrier layer, and a gate electrode, source electrode, and drain electrode are formed on that barrier layer. In this heterojunction field effect transistor using a group III nitride semiconductor, the spontaneous polarization and the distortion caused by the heterojunction generate

piezoelectric polarization, thereby achieving a high two-dimensional electron concentration at the hetero interface.

0004

Therefore when no voltage is applied to the gate electrode, this transistor often operates as a normally-on transistor due to the high concentration of electrons in the channel. However because normally-on transistors require a negative power supply for operation, and [their] circuits cannot be interrupted in the event of a power failure or other abnormal condition, expectations are high for the development of normally-off transistors.

0005

In GaAs semiconductor-based HEMTs, normally-off transistors are constituted by a gate-recessed structure, in which the barrier layer directly below the gate electrode is thinner, and the barrier layers below the source and drain electrodes are thicker.

However, this group III nitride semiconductor is extremely chemically stable, therefore it is not easy to etch it without damaging the semiconductor layer. Thus in Patent Document 1 below, the threshold voltage at which the channel conducts is adjusted by setting the thickness of the barrier layer according to the work function of the gate electrode.

0006

Also, Patent Document 2 below discloses an HEMT comprising a gate electrode, a barrier layer of undoped AlGa_N, an electron transit layer of undoped InGa_N, and a p-type Ga_N layer. In this HEMT the p-type Ga_N layer raises the conduction band of the electron transit layer composed of undoped InGa_N, greatly reducing electron concentration in the electron transit layer when no gate voltage is applied, thereby achieving a normally-off type [transistor].

0007

Patent Document 1: Unexamined Patent Application 2005-86171

Patent Document 2: Unexamined Patent Application 2005-142250

Disclosure of the Invention

Problems the Invention Seeks to Solve

0008

In the HEMT of Patent Document 1, however, the problem arises that when trying to achieve a normally-off [transistor], the thickness of the barrier layer under the source and drain electrodes becomes thinner, causing channel parasitic resistance grows and increased on-resistance. This leads to the problem of poor power efficiency.

0009

In the HEMT of Patent Document 2, acceptors in the lower layer, which junctions with the undoped InGa_N that forms the channel, are doped. This creates the problem that high mobility cannot be achieved because acceptors diffuse into InGa_N and undoped InGa_N is grown

on top of the impurity-doped layer so the crystallinity of that layer drops, the channel is junctions with an impurity-doped layer, and the like.

0010

The present invention was undertaken to resolve the above problems, and has the object of reducing channel parasitic resistance.

Another object of the invention is to make the gate threshold voltage controllable.

Yet another object of the invention is to achieve an easily manufactured, high performance, normally-off type of field effect transistor.

Another object of the invention is to achieve a field effect transistor with high mutual conductance.

Still another object of the invention is to increase maximum gate voltage.

However it is sufficient for any of the inventions to achieve one or more of the above objects, and [the above] should not be construed [to mean] that individual inventions herein achieve all of the objects.

Means for Resolving Problems

0011

The following means are effective for solving the above problems.

I.e., the first invention is a field effect transistor, whereby in a field effect transistor having a gate electrode, a source electrode, a drain electrode, and a first semiconductor layer in which a channel is formed,

a field generating layer for raising the minimum energy of the channel is disposed between the gate electrode and the first semiconductor layer.

0012

Here a field effect transistor is construed in its broadest meaning as a device that controls channel resistance between source and drain electrodes by a voltage applied to a gate electrode. Examples include high mobility transistors (HEMTs), Schottky gate field effect transistors (MESFETs), insulated gate field effect transistors (MISFETs, MOSFETs), and heterojunction field effect transistors (HFETs), but the invention may be applied to other variants of field effect transistors so long as they use the field effect transistor principle of controlling a channel with an electric field.

0013

The channel can be either an n-channel or a p-channel. I.e., the channel carriers can be either electrons or holes. Electrons as channel carriers are advantageous as devices due to high carrier mobility. However p-channels require raising the carrier (hole) energy in the field generating layer, and the use of a high electron affinity for the barrier layer. When group III nitride semiconductors are used, the N plane is preferably used as the crystal plane. However, all or some of the regions may, for example, be doped with impurities to adjust the channel carrier energy, or adjust the amount of strain, or for various other purposes. If the field generating layer is between the gate electrode and the first semiconductor layer, other layer[s] may be interposed therebetween, or the field generating layer and first semiconductor layer

may be directly joined. The first semiconductor layer may be formed as a single layer or multiple layers.

0014

A characteristic of the present invention is that a field generating layer is disposed on a field effect transistor. This field-generating layer can be, for example, a material with a piezoelectric field effect that generates a piezoelectric field in response to stress strain applied to a crystal by hetero-growth, or a material with high spontaneous polarization. If the field generating layer is grown using the same equipment as the epitaxial growth equipment used to grow semiconductor layer[s] including a first semiconductor layer below said layer, it is preferable that it be formed by semiconductor epitaxial growth.

0015

As described below, it is preferable to use a group III nitride semiconductor containing high piezoelectric field effect In as an essential element for the field generating layer when the lower semiconductor layer is a group III nitride semiconductor. In a Schottky gate transistor a gate electrode is generally formed over the field generating layer, and in an insulated gate transistor, an insulating film such as an oxide film or nitride film is formed. After epitaxial growth is completed, [the device] can be removed from the reaction chamber and a dielectric deposited on the semiconductor layer by sputtering or other method. A perovskite ferroelectric such as BaTiO₃, or KH₂PO₄, (NH₄)₂SO₄, Rochelle salt, Cd₂Nb₂O₇, PbNb₂O₆, LiNbO₃, KTaNbO₃, LiTaNb, LiTaO₃, etc. may be used as ferroelectrics with high spontaneous polarization or with a large piezoelectric effect.

0016

When these dielectrics are used as field generating layers, they can also be used as insulating films for field effect transistors.

If an insulating film and a field generating layer are used, a strain may also be applied from the insulating film to the field generating layer.

In sum, the field generating layer should be capable of increasing the minimum energy at which carriers can be conducted in the semiconductor layer joined to the field generating layer, thereby increasing the minimum energy of channel carriers in the first semiconductor layer.

0017

The second invention is the field effect transistor according to Claim 1, having a second semiconductor layer heterojunctioned to the first semiconductor layer, interposed between a field generating layer and a first semiconductor layer.

In the present invention, the channel is formed on the interface of the first semiconductor layer to the second semiconductor layer.

0018

The third invention is the field effect transistor according to Claim 2, wherein the field-generating layer is a layer for raising the minimum channel energy level by raising the minimum

energy level of the conduction band of the second semiconductor layer, [thereby] raising the conduction band of the first semiconductor layer, which is heterojunctioned to the second semiconductor layer.

The present invention is characterized by the formation of a field generating layer on top of a second semiconductor layer. The first semiconductor layer conduction band is raised along with the rise of the second semiconductor layer conduction band. In this case, a field generating layer that receives strain from the second semiconductor layer and generates a field by the piezoelectric field effect, or a layer that generates a field through spontaneous polarization may be used.

0019

The fourth invention is field effect transistor according to any one of Claims 1 to 3, wherein the field-generating layer is a layer for generating an electric field by piezoelectric polarization.

When a field generating layer is formed by hetero-growth on top of a second semiconductor layer, the field generating layer can generate an electric field by piezoelectric polarization caused by stress strain received from the second semiconductor layer.

0020

The fifth invention is the field effect transistor according to any one of Claims 1 to 4, wherein the field-generating layer is heterojunctioned to a lower layer, and the thickness of the field-generating layer is set to a value smaller than the critical film thickness at which strain is not relieved.

As the thickness of a layer grown heterogeneously without lattice matching to the lower layer increases, strain relaxes due to dislocations etc. Therefore the thickness of the field-generating layer must be thinner than the thickness at which strain does not relax.

0021

The sixth invention is the field effect transistor according to any one of Claims 1 to 5, having an insulating film formed between a gate electrode and a field generating layer.

The present invention may also be applied to MISFETs and MOSFETs. Oxide films such as silicon oxide, or nitride films such as silicon nitride, etc. may be used for the insulating film.

0022

The seventh invention is the field effect transistor according to any one of Claims 1 to 6, wherein the first semiconductor layer comprises a group III nitride semiconductor.

The eighth invention is the field effect transistor according to Claim 7, wherein the second semiconductor layer comprises a group III nitride semiconductor heterojunctioned to the first semiconductor layer.

Here, group III nitride semiconductors are compound semiconductors of group III elements and nitrogen, or may also be compounds containing group V elements such as As, P, and Sb in addition to nitrogen. Group II elements or group VI elements, etc. may also be included as compounds or as impurities. Below, group III nitride semiconductors are used in this broad meaning.

0023

The ninth invention is the field effect transistor according to Claim 8, wherein the first semiconductor layer comprises GaN and the second semiconductor layer comprises $\text{Ga}_{x1}\text{Al}_{1-x1}\text{N}$ ($0 \leq x1 < 1$).

0024

From the standpoint of seeking to reduce channel resistance and improve operating speed, it is preferable for the first semiconductor layer to be undoped with impurities. The second semiconductor layer may be undoped or, if the channel is n-type, doped to n-type. If the channel is p-type, it may be doped to p-type. A channel may be formed at the interface between GaN and $\text{Ga}_{x1}\text{Al}_{1-x1}\text{N}$. A p channel, however, requires a field generating layer in which the carrier (hole) energy is raised and the electron affinity is high. It is also preferable to use the N plane as the crystalline plane.

0025

The tenth invention is the field effect transistor according to any one of Claims 1 to 9, wherein the field generating layer comprises $\text{In}_{x2}\text{Ga}_{y2}\text{Al}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$).

A large electric field can be generated by using a group III nitride semiconductor containing In as the field generating layer. By making the lattice constant of the lower layer of the field generating layer smaller than that of the field generating layer, a tensile strain in the direction of the film thickness (compressive strain in the planar direction) can be imparted to this field generating layer. The Ga plane is the primary plane of the field generating layer. These conditions are easily achieved by using $\text{Ga}_{x1}\text{Al}_{1-x1}\text{N}$ as the lower layer. When doing so, the direction of polarization of the field generating layer is from AlGaN toward the gate electrode. This causes a negative charge to be induced at the InGaN/AlGaN interface, which causes the direction of the electric field generated by the field generating layer to be oriented from the gate electrode toward the first semiconductor layer; i.e., the gate electrode can be given a positive potential with respect to the first semiconductor layer. This enables the energy level of the conduction band in the lower semiconductor layer, to which the field generating layer is joined, to be raised, thereby increasing the energy level of the first semiconductor layer channel. If the channel is a p-channel, the energy of the holes in the channel can be increased (lowering the energy level of the valence band). The composition ratio of In in the field generating layer is preferably 0.01 to 0.3, and more preferably 0.1 to 0.2. The composition ratio of Al is preferably 0 to 0.3, and more preferably 0 to 0.2.

0026

The eleventh invention is the field effect transistor according to any one of Claims 1 to 9, wherein the field generating layer comprises $\text{In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$).

The In composition ratio is preferably 0.01 to 0.3, and more preferably 0.1 to 0.2.

In particular, according for example to the Journal of the Japan Society of Applied Physics, Vol. 70, No. 05, 2001 pp513-522, by using this material for the field generating layer, piezoelectric polarization fields of 5 MV/cm and 1.5 MV/cm can be generated using In composition ratios of 0.3 and 0.1, respectively. This means voltages of 5 V and 1.5 V,

respectively, with a field generating layer thickness of 10 nm, meaning that the conduction band of the underlying semiconductor can be raised by 5 eV and 1.5 eV, respectively. I.e., conduction bands can be respectively raised by 0.5 eV and 0.15 eV per 1 nm thickness of the field generating layer.

The composition ratio of In and the thickness of the field generating layer should be suitably designed to raise the conduction band of the lower semiconductor layer by a desired value. If Al is contained in the field-generating layer, the piezoelectric polarization field diminishes because the direction of polarization is reversed. However, since $\text{In}_{0.3}\text{Ga}_{0.7}\text{N}$ generates a piezoelectric voltage of 5 V at a thickness of 10 nm, this voltage can be adjusted downward using the composition ratio of Al.

0027

The twelfth invention is the field effect transistor according to Claims 10 or 11, wherein the thickness of the field generating layer is 0.25 to 100 nm.

For $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 < x \leq 1$, $0 \leq y < 1$) or $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$), the critical film thickness for strain relaxation depends on x and y , but is 0.25 to 100 nm. Therefore the thickness of the field generating layer is preferably 100 nm or less. The lower limit of the film thickness is only the thickness that generates the desired piezoelectric voltage value, and can be as low as one atomic layer. When a field generating layer is formed only under a gate electrode, the thinner the layer, the more preferable from a processing standpoint. If an AlGa N semiconductor is used as the lower layer, this layer functions as an etching stopper for the field generating layer, so AlGa N is preferable for the lower layer on this point as well. Another major feature of the present invention is that channel conduction can be controlled by an extremely thin field generating layer. A more preferable range for the field generating layer is 0.25 to 50 nm, and even more preferably 0.25 to 10 nm.

0028

The thirteenth invention is the field effect transistor according to any one of Claims 1 to 12, wherein the field generating layer is formed only under the gate electrode.

For a field generating layer of $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 < x \leq 1$, $0 \leq y < 1$) or $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$), and especially for the latter, channel carrier energy can be controlled with an extremely thin layer. It is therefore extremely easy to form [the layer] only under the field generating layer gate electrode by etching. If a ferroelectric material is used for the field generating layer, the field generating layer can be easily produced under only the gate electrode by etching and lift-off methods. Field generating layers under only gate electrodes can be formed on both normally-off and normally-on type of transistors.

0029

The fourteenth invention is the field effect transistor according to any one of Claims 1 to 12, wherein the field-generating layer is uniformly formed under the source electrode, the drain electrode, and the gate electrode.

This may also be applied to both normally-off and normally-on type of transistors.

0030

The fifteenth invention is the field effect transistor according to any one of Claims 2 to 14, wherein the field generating layer is p-conductive, and the second semiconductor layer is n-conductive.

0031

The sixteenth invention is the field effect transistor according to any one of Claims 2 to 14, wherein the field generating layer is p-conductive and the second semiconductor layer is undoped.

0032

The seventeenth invention is the field effect transistor according to any one of Claims 1 to 16, wherein the field effect transistor is a normally-off type of transistor.

With this invention, a particularly great advantage is obtained by using a normally-off type of field effect transistor.

Effect of the Invention

0033

The effects obtained by the above means of the present invention are as follows.

The present invention can increase the minimum energy at which carriers can conduct in the first semiconductor layer where a channel is formed by a field generating layer. I.e., channel carrier concentration can be controlled with no voltage applied to the gate electrode. In other words, the gate threshold voltage V_{Gth} can be controlled when on or off. This enables a normally-off type field effect transistor with a threshold voltage V_{Gth} set to a desired value. Conversely, the gate-off threshold voltage V_{Gth} can also be set to a desired value in a normally-off type field effect transistor.

0034

In the fourth invention the field generating layer generates an electric field by piezoelectric polarization, so that stress strain can be internalized by hetero-growth, and the layer easily formed.

0035

In the fifth invention, channel carrier energy can be easily controlled by forming the field generating layer to be thinner than the thickness at which stress internalized by hetero-growth is not relieved.

0036

In the tenth, eleventh, and twelfth inventions, the field generating layer is a group III nitride semiconductor that requires In, and is therefore able to generate a large electric field. This enables control of gate threshold voltage V_{Gth} using the thickness of the field generating layer. Also, because the thickness of the field generating layer can be extremely thin, mutual conductance can be increased and etching and other processing facilitated. With group III nitride semiconductors, especially, creation of gate recess structures is hindered by the difficulty

of etching, however the formation of field-generating layers under only gate electrodes is made easier by the present invention.

0037

In the thirteenth invention, the field generating layer is formed only under gate electrodes to obtain a normally-off type field effect transistor with a low channel parasitic resistance and therefore low on-resistance. When applied to a normally-on type of transistor, a transistor with even lower channel parasitic resistance can be made. I.e., a transistor with high power efficiency can be made.

0038

In the fourteenth invention, the field generating layer is formed uniformly under the source, gate, and drain electrodes, therefore gate threshold voltage V_{Gth} can be easily controlled by controlling the composition ratio and thickness of the field generating layer in the field effect transistor.

Although channel parasitic resistance increases, gate threshold voltage V_{Gth} can be easily controlled such that a normally-off type of transistor can be constituted. In a normally-off type of transistor, the thicknesses of each layer should be designed so that with the gate threshold voltage V_{Gth} high and the channel carrier energy raised, electron concentration is higher in the n-channel and hole concentration is higher in the p-channel. This allows a normally-on transistor with low channel parasitic resistance to be constituted.

0039

In the fifteenth invention, the field generating layer is the p-conductive-type, the second semiconductor layer is the n-conductive type, and a pn junction is formed under a gate electrode, such that the maximum gate voltage V_{Gmax} , which is the gate voltage at which gate current starts to flow, can be increased. Normally a Schottky barrier is about 1eV, but in this configuration the Schottky barrier potential difference, the pn junction barrier potential difference, and the field generating layer potential difference can be added to obtain the value of the maximum gate voltage V_{Gmax} . When $p\text{-In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$) is used for the field generating layer, the pn junction barrier potential can be 2 to 3 eV, so the maximum gate voltage V_{Gmax} can be increased by 2 to 3 V more than when no pn junction is used. Maximum gate voltage V_{Gmax} can thus be increased by 2 to 3 V compared to having no pn junction, thereby achieving high input levels and a wide dynamic range.

0040

In the invention of Claim 16, the field generating layer is p-conductive and the second semiconductor layer is undoped. As in Claim 15, maximum gate voltage V_{Gmax} can be increased by the barrier potential between the field generating layer and the second semiconductor layer, as compared to the case in which the field generating layer is undoped.

0041

In the seventeenth invention, a normally-off field effect transistor can be achieved even using a group III nitride semiconductor, enabling the operation of amplifiers and switching

devices under high temperature environments, high level inputs, high output, high voltage withstand, 100 GHz band response speed, and the like.

Best Mode for Practicing the Invention

0042

The following explanation is for an n-channel device with electron carriers, but also applies conceptually to a hole carrier. We explain below the principle of the present invention. Fig. 1 is a heterojunction conducting band diagram. For ease of understanding, the slope of the conducting band is schematically shown as a straight line. An undoped $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ /undoped $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ /undoped GaN heterojunction is shown as an example. $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ is simply denoted below as InGaN and $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ as AlGaN, where InGaN is the field generating layer, AlGaN is the second semiconductor layer, and GaN is the first semiconductor layer. Since the lattice constant of InGaN is larger than that of AlGaN, InGaN is subject to more compressive stress on the growth plane and more tensile stress perpendicular to the growth plane than AlGaN. As a result, with the Ga surface as the growth plane, the spontaneous polarization and piezoelectric polarization of InGaN face in opposite directions, and the piezoelectric polarization is far larger. Therefore, InGaN polarizes in the direction from InGaN toward the gate electrode. A negative charge is thus induced at the InGaN/AlGaN interface. AlGaN receives tensile stress in the growth plane from InGaN and GaN, and receives compressive stress in the direction perpendicular to the growth plane. In AlGaN and GaN, the spontaneous and piezoelectric polarizations face in the same direction, and while the amount of spontaneous polarization is slightly larger, it is far smaller than the piezoelectric polarization of InGaN. As a result, a positive charge is induced at the AlGaN/GaN interface. To summarize the above results, the charge induced at the interface, in order starting from the surface, is a series of + - + -. The direction of the electric field is thus as shown in the figure.

0043

Due to the above distribution of polarization in each layer, a positive charge is placed on the interface between the gate electrode and InGaN, the interface between InGaN and AlGaN is charged with a negative charge, and the interface between AlGaN and GaN is charged with a positive charge. InGaN and AlGaN have the highest charge density at their interface because their directions of polarization are opposite. The direction of electric field E in each layer is thus as shown in Fig. 1(a). Therefore considering the heterojunction barrier caused by the difference in band gaps between AlGaN and InGaN and the large piezoelectric field in InGaN, the conduction band is as shown in Fig. 1(a). Additionally, taking into account the Schottky barrier, the conduction band is expressed as shown in Fig. 1(b). In the figure, BV indicates the amount of the Schottky barrier between the gate electrode and InGaN. The dotted line in Fig. 1(b) shows the conduction band when AlGaN is directly bonded to the gate electrode.

0044

Assuming ΔEC is the size of the heterojunction barrier between InGaN and AlGaN, the Schottky barrier height of AlGaN relative to the gate electrode is $BV + \Delta EC + \Delta V$, and the conduction bands of AlGaN and GaN will increase by approximately the edge-to-edge potential difference ΔV caused by the InGaN layer piezoelectric field compared to the case when there is

no InGaN layer. The energy level of the channel Ch formed at the interface between the GaN and AlGaN layers thus increases by ΔV . The value of ΔV can be changed using the amount of the InGaN layer piezoelectric field E and the layer thickness d. I.e., the energy level of channel Ch can be increased by ΔV compared to having no InGaN field generating layer. Electric field E can be controlled by the composition ratio of In. This allows the gate threshold voltage V_{Gth} to be varied.

0045

The effect of this field generating layer is as follows. This explanation covers an n-channel with electrons as carriers, but the same concepts can be applied to the p-channel case. First, assume that no field generating layer is provided and no voltage is applied to the gate electrode, and that the thickness of each layer is designed so that the energy level of channel Ch is sufficiently low and close to the Fermi level, as shown by the dotted line in Fig. 1(b). Next, by providing a field generating layer only below the gate electrode, the thickness and In composition ratio of the field generating layer that yields ΔV are designed so that channel Ch energy is positioned sufficiently higher than the Fermi level with no voltage applied to the gate electrode. By this constitution, a sufficient concentration of electrons can, with no voltage applied to the gate, be assured in regions other than below the gate electrode, and a normally-off type field effect transistor with sufficiently low channel parasitic resistance can be formed.

0046

To make a normally-on transistor, the AlGaN layer is made thicker, as shown in Fig. 2. The field generating layer is designed so that even with an InGaN layer present, with no gate voltage applied so that the gate electrode turns off at a desired gate off threshold voltage V_{Gth} , the channel Ch energy level is sufficiently lowered relative to the Fermi level (solid line in Fig. 2). In a transistor with a field generating layer formed only below the gate electrode, the band diagram around the gate electrode is shown by the dashed line in Fig. 2. I.e., the channel Ch electron concentration in that portion is even larger than the electron concentration at the channel below the gate electrode, by the ΔV amount of reduction in channel Ch electron energy. The transistor thus becomes a normally-on transistor with extremely low parasitic resistance. Also, the electric field generating layer enables the gate-off threshold voltage V_{Gth} to be freely designed.

0047

In a normally-on transistor, the field generating layer may also be uniformly formed under the source electrode and gate electrode, between the gate electrode and source electrode, and between the gate electrode and drain electrode. I.e., a field generating layer can be disposed, and a second semiconductor layer thickened by an amount corresponding to the amount of rise in the conducting band ΔV . As a result, with no voltage applied to the gate electrode, channel electron concentrations can be made the same under the gate electrode and around the gate electrode, and given a high value. Thus in this instance as well, a normally-on transistor with low parasitic resistance is obtained. The field generating layer also enables the gate off threshold voltage V_{Gth} to be freely designed.

0048

For a Schottky gate field effect transistor (MESFET), the band diagram is as shown in Fig. 3. Fig. 3(a) shows a gate electrode/n-GaN/i-GaN structure FET. Fig. 3(b) shows a FET with a gate electrode/InGaN/n-GaN/i-GaN structure. The InGaN is the field generating layer and the n-GaN and i-GaN layers are the first semiconductor layers. The portion of the n-GaN layer excluding the depletion layer region is the channel. With no field generating layer, the conduction band of the n-GaN layer is sufficiently close to the Fermi level, and indicates that electron concentration in the channel is sufficiently high with no voltage applied to the gate electrode. In contrast, as shown by the solid line in Fig. 3(b), the n-GaN thickness can be thickened by placement of an InGaN field generating layer, which increases the channel energy level by the potential difference ΔV caused by the InGaN layer piezoelectric field. Meanwhile the band diagram for the channel around the gate electrode is as shown by the dashed line in Fig. 3(b). Thus a normally-off type field effect transistor with low channel parasitic resistance can be made by providing such an InGaN layer only below gate electrodes.

0049

Normally-on MESFETs can be constructed in the same way as the above HEMTs. I.e., the n-GaN layer is made thick, and with an InGaN field generating layer present, the channel energy level is brought sufficiently close to the Fermi level, and electron concentration is high. A normally-on MESFET with low channel parasitic resistance can thus be constituted.

0050

In this configuration, if an InGaN field generating layer is formed only under the gate electrode, the energy level of the channel in the area around the gate electrode will be lower than the level under the gate electrode by the potential difference ΔV of the field generating layer. This enables channel resistance to be sufficiently reduced.

0051

Exactly the same can be said for MOS- and MIS-type FETs. Since there is only an insulating film between the gate electrode and field generating layer, the band diagram is the same as in Figs. 1, 2, and 3 above. Therefore, [the invention] is also applicable to this type of FET.

0052

Because the present invention uses the above principles, there is no particular limitation on the semiconductor materials used to construct the transistor. Any desired semiconductor material such as Si, Si-Ge, GaAs, or InAsP may be used. The object of the invention can be achieved so long as the field generating layer is grown heterogeneously with a large piezoelectric effect. Considering the above principles, large polarization is all that is required, so a dielectric or other material with such properties can be used.

0053

For p-channel FETs, with respect to the valence band, selection of a material able to form the band diagram shown in Fig. 4 enables a normally-off type and a normally-on type of field effect transistor to be obtained with low parasitic resistance.

0054

Next we explain a field effect transistor in which the field-generating layer is a p-type and the second semiconductor layer to which this field-generating layer is joined is an n-type.

The band diagram for p-InGaN/n-AlGaN/i-GaN is shown as curve A in Fig. 5. Curve B in Fig. 5 shows the band diagram for p-InGaN with i-InGaN. Curve C in Fig. 5 shows the band diagram when there is no p-InGaN field generating layer and n-AlGaN is directly bonded to the gate electrode. I.e., the maximum gate voltage V_{Gmax} is determined by the sum of the barrier potential between p-InGaN and n-AlGaN, the rise in potential E_t caused by using a p-type field generating layer InGaN, the energy rise ΔV caused by Schottky barrier B_v between the p-InGaN and the gate electrode, and the strain polarization. Therefore the maximum gate voltage can be increased by just $\Delta V + E_t$ compared to the case with a p-InGaN field generating layer.

0055

The same can be said of p-InGaN/undoped AlGaN/i-GaN as stated above. I.e., the maximum gate voltage V_{Gmax} is determined by the sum of the barrier potential between p-InGaN and i-AlGaN, the increase in potential E_t caused by the junction of p-InGaN with undoped AlGaN, the Schottky barrier B_v between p-InGaN and the gate electrode, and ΔV . Therefore the maximum gate voltage can be increased by $\Delta V + E_t$ compared to the case in which there is no i-InGaN field generating layer.

0056

Below, the present invention is explained using concrete embodiments.

First Embodiment

0057

Fig. 6 shows a cross-sectional view of the HEMT in Example 1. A buffer layer 12 of AlN with a thickness of approximately 150 nm is formed on a substrate 10 made of sapphire, and a channel layer 14 made of undoped GaN with a thickness of 2 μm is formed on that layer 12. Channel layer 14 corresponds to the first semiconductor layer of the present invention. A first barrier layer 16 comprising undoped $Al_{0.2}Ga_{0.8}N$ with a thickness of 5nm and a second barrier layer 20 comprising Si-doped $n-Al_{0.2}Ga_{0.8}N$ with a thickness of 40nm are formed on channel layer 14. A field generating layer 30 of Mg-doped $p-In_{0.2}Ga_{0.8}N$ at a thickness of 3 nm is formed on second barrier layer 20. A 400 nm thick Ni/Au gate electrode 40 is formed on field generating layer 30, and a 400 nm thick Ti/Al source electrode 41 and 400 nm thick Ti/Al drain electrode 42 are formed on second barrier layer 20. Field generating layer 30 is formed only under gate electrode 40. Second barrier layer 20 and first barrier layer 16 constitute the second semiconductor layer.

0058

The growth of each of the above layers was performed by metalorganic vapor phase epitaxy (MOVPE). The gases used were a carrier gas (H_2 or N_2), ammonia gas (NH_3), trimethylgallium ($Ga(CH_3)_3$) ("TMG" below), trimethylaluminum ($Al(CH_3)_3$) ("TMA" below), trimethylindium ($In(CH_3)_3$) ("TMI" below), silane (SiH_4), and bis-cyclopentadienyl magnesium ($Mg(C_5H_5)_2$) ("Cp₂Mg" below).

However, in addition to the metalorganic vapor phase epitaxy (MOVPE) method described above, molecular beam epitaxy (MBE) and hydride vapor phase epitaxy (HVPE) are also effective methods for growing these semiconductor crystal layers.

0059

The HEMT shown in Fig. 6 was manufactured as follows. A buffer layer 12 with a thickness of 30 nm was formed on substrate 10 at 400°C using hydrogen (H_2) gas as a carrier gas at a total pressure of 1000 [hPa] inside the growth furnace. Next, a channel layer 14 with a thickness of 2 μm was grown at a crystal growth temperature of 1100°C by supplying hydrogen gas at 10 L/min, ammonia at 12 L/min, and TMG at 2×10^{-4} mol/min. The channel layer 14 was grown to a thickness of 2 μm . The thicker this channel layer 14 is, the better the crystallinity, so the more thick, the more preferred. At a temperature of 1150°C, hydrogen gas was supplied at 10 L/min, ammonia at 12 L/min, TMG at 2×10^{-4} mol/min, and TMA at 6×10^{-6} mol/min over that layer 14, and a first barrier layer 16 consisting of $Al_{0.2}Ga_{0.8}N$ was grown to a 5 nm thickness. Next, under the same gas conditions, a second barrier layer 20 consisting of n- $Al_{0.2}Ga_{0.8}N$ was grown on top of the first barrier layer 16 to a thickness of 40 nm by supplying H_2 diluted silane at 1×10^{-7} mol/min. Next, on top of that second barrier layer 20, with the temperature set to 800°C, Cp₂Mg was supplied at 6×10^{-7} mol/min, hydrogen gas at 10 L/min, ammonia at 12 L/min, TMG at 2×10^{-4} mol/min, and TMI at 1×10^{-7} mol/min to form a field generating layer 30 consisting of p- $In_{0.2}Ga_{0.8}N$ with a thickness of 3 nm. This was then annealed to a p-type. Next, 40 gate electrodes were formed by photolithography, metal deposition, and lift-off, and InGaN was etched using this as a mask, leaving a field generating layer only under the gate electrodes. The above mentioned metals were then deposited to alloy the source electrode 41 and drain 42 electrode.

Second Embodiment

0060

In Fig. 7, the second barrier layer 20 of the first embodiment is made undoped, and is a second barrier layer 201 comprising i- $Al_{0.2}Ga_{0.8}N$ to form a field-generating layer 301.

Third Embodiment

0061

In Fig. 8, the field-generating layer 30 of the first embodiment is undoped $In_{0.2}Ga_{0.8}N$ to form a field-generating layer 301.

Fourth Embodiment

0062

In Fig. 9, the second barrier layer 20 of the third embodiment is undoped $Al_{0.2}Ga_{0.8}N$ to form a second barrier layer 201.

Fifth Embodiment

0063

As shown in Fig. 10, a field-generating layer 302 is obtained by uniformly forming the field-generating layer 30 in the first embodiment over the second barrier layer 20. By forming uniformly in this manner, etching of the field generation layer 302 is unnecessary and no damage is imparted to the semiconductor layer. The first barrier layer 16 in the first embodiment becomes a first barrier layer 161 comprising i-AlN. However this first barrier layer 161 may also be i-AlGaN, as in the first embodiment shown in Figure 6.

Sixth Embodiment

0064

As shown in Figure 11, the field generation layer 30 in the second embodiment is uniformly formed on top of second barrier layer 20 to form a field-generating layer 302. Also, the first barrier layer 16 in the second embodiment is a first barrier layer 161 made of i-AlN. However, this first barrier layer 161 may also be i-AlGaN, as in the second embodiment shown in Figure 7.

Seventh Embodiment

0065

As shown in Figure 12, the field-generating layer 30 in the third embodiment is uniformly formed on top of second barrier layer 20 to form a field-generating layer 303. Also, the first barrier layer 16 in the third embodiment becomes first barrier layer 161 comprising i-AlN. However this first barrier layer 161 may also be i-AlGaN, as in the third embodiment shown in Figure 8.

Eighth Embodiment

0066

As shown in Fig. 13, the field-generating layer 30 in the fourth embodiment is uniformly formed on top of second barrier layer 20 to form a field-generating layer 303. Also, the fourth embodiment first barrier layer 16 becomes first barrier layer 161 comprising i-AlN. However this first barrier layer 161 may also be i-AlGaN, as in the fourth embodiment shown in Figure 9.

0067

In the embodiments above, the first barrier layer may be either AlGaN, AlN, or not present.

The first semiconductor layer may be a dual layer structure of InGaN and GaN, or a dual layer structure of AlGaN and GaN.

The second semiconductor layer may be a dual layer structure of GaN and AlGaN.

In all of the above examples, in addition to sapphire, silicon carbide (SiC), silicon (Si), or GaN, etc. may be used as the substrate material for the field effect transistor of the invention. Any well-known form can be adopted for formation of ohmic or gate electrodes. For example, gate electrode may be formed over the field-generating layer by interposing an insulating film.

0068

In all of the above embodiments, the first semiconductor layer, second semiconductor layer, and the like constituting a field effect transistor may, according to the type and function of the device, be formed from undoped semiconductor layers, or from semiconductor layers to which impurities are added. These layers may also be formed from multiple semiconductor layers of mutually differing compositions.

Industrial Use

0069

With the present invention, gate threshold voltage settings can be made controllable, and an effective field effect transistor with reduced channel resistance is obtained. Maximum gate voltage can also be increased, and a transistor with high mutual conductance constituted. A normally-off type transistor can also be provided.

Brief Description of Figures

Fig. 1: A band diagram showing the principle of the invention

Fig. 2: A band diagram showing the principle of the invention

Fig. 3: A band diagram showing the principle of the invention

Fig. 4: A band diagram showing the principle of the invention

Fig. 5: A band diagram showing the principle of the invention

Fig. 6: A cross-section showing the HEMT layer structure in the first embodiment of the invention.

Fig. 7: A cross-section showing the layer structure of HEMTs in the second embodiment of the invention.

Fig. 8: A cross-section showing the HEMT layer structure in the third embodiment of the invention.

Fig. 9: A cross-section showing the HEMT layer structure in the fourth embodiment of the invention.

Fig. 10: A cross-section showing the HEMT layer structure in the fifth embodiment of the invention.

Fig. 11: A cross-section showing the HEMT layer structure in the sixth embodiment of the invention.

Fig. 12: A cross-section showing the HEMT layer structure in the seventh embodiment of the invention.

Fig. 13: A cross-section showing the HEMT layer structure in the eighth embodiment of the invention.

Explanation of Reference Numerals

0071

10...Substrate

14...Channel layer (first semiconductor layer)

16...First barrier layer (second semiconductor layer)

20...Second barrier layer (second semiconductor layer)

40...Field-generating layer

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-109830

(P2007-109830A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/338 (2006.01)	H O 1 L 29/80	5 F 1 0 2
H O 1 L 29/778 (2006.01)		
H O 1 L 29/812 (2006.01)		

審査請求 未請求 請求項の数 17 O L (全 16 頁)

(21) 出願番号	特願2005-298241 (P2005-298241)	(71) 出願人	504139662 国立大学法人名古屋大学 愛知県名古屋市千種区不老町 1 番
(22) 出願日	平成17年10月12日 (2005.10.12)	(74) 代理人	100087723 弁理士 藤谷 修
		(72) 発明者	水谷 孝 愛知県名古屋市千種区不老町 1 番 国立大 学法人名古屋大学内
		(72) 発明者	前澤 宏一 愛知県名古屋市千種区不老町 1 番 国立大 学法人名古屋大学内
		F ターム (参考)	5F102 FA00 FA01 GB01 GC01 GD01 GD02 GJ02 GJ03 GJ04 GJ10 GK04 GL04 GM04 GM08 HC01

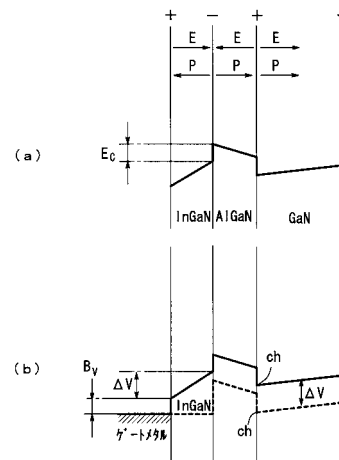
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 電界効果トランジスタのしきい値電圧の制御とチャンネル抵抗の低減

【解決手段】 ゲート電極、アンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ / アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ / アンドープ GaN のヘテロ接合から成る電界効果トランジスタである。 $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ は、ピエゾ電界効果が大きいので、ヘテロ成長したこの層には、大きな応力歪みがかかり大きなピエゾ電界を発生する。これにより、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ と GaN の伝導帯を上昇させ、チャンネルのレベルを上昇させることができる。これにより、ノーマリオフ型とでき、ゲート電極の下にのみ電界発生層を形成することで、チャンネルの抵抗を大きく低減できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、ソース電極と、ドレイン電極と、チャンネルの形成される第 1 の半導体層とを有する電界効果トランジスタにおいて、

前記ゲート電極と、前記第 1 の半導体層との間に、前記チャンネルのキャリアの最低エネルギーを上昇させる電界発生層を設けたことを特徴とする電界効果トランジスタ。

【請求項 2】

前記電界発生層と前記第 1 の半導体層との間に介在された、前記第 1 の半導体層にヘテロ接合した第 2 の半導体層を有することを特徴とする請求項 1 に記載の電界効果トランジスタ。

10

【請求項 3】

前記電界発生層は、前記第 2 の半導体層の伝導帯の最低エネルギーレベルを上昇させることにより、前記第 2 の半導体層にヘテロ接合した前記第 1 の半導体層の伝導帯を上昇させて、前記チャンネルの最低エネルギーレベルを上昇させる層であることを特徴とする請求項 2 に記載の電界効果トランジスタ。

【請求項 4】

前記電界発生層は、ピエゾ電気分極により電界を発生させる層であることを特徴とする請求項 1 乃至請求項 3 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 5】

前記電界発生層は下層とヘテロ接合し、前記電界発生層の厚さは歪みが緩和されない臨界膜厚より小さい値に設定されていることを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の電界効果トランジスタ。

20

【請求項 6】

前記ゲート電極と前記電界発生層との間に形成された絶縁膜を有することを特徴とする請求項 1 乃至請求項 5 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 7】

前記第 1 の半導体層は III 族窒化物半導体から成ることを特徴とする請求項 1 乃至請求項 6 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 8】

前記第 2 の半導体層は、前記第 1 の半導体層にヘテロ接合する III 族窒化物半導体から成ることを特徴とする請求項 7 に記載の電界効果トランジスタ。

30

【請求項 9】

前記第 1 の半導体層は GaN から成り、前記第 2 の半導体層は、 $Ga_{x1}Al_{1-x1}N$ ($0 \leq x1 < 1$) から成ることを特徴とする請求項 8 に記載の電界効果トランジスタ。

【請求項 10】

前記電界発生層は $In_{x2}Ga_{y2}Al_{1-x2-y2}N$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) から成ることを特徴とする請求項 1 乃至請求項 9 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 11】

前記電界発生層は $In_{x3}Ga_{1-x3}N$ ($0 < x3 \leq 1$) から成ることを特徴とする請求項 1 乃至請求項 9 の何れか 1 項に記載の電界効果トランジスタ。

40

【請求項 12】

前記電界発生層の厚さは、 $0.25 \sim 100 \text{ nm}$ であることを特徴とする請求項 10 又は請求項 11 に記載の電界効果トランジスタ。

【請求項 13】

前記電界発生層は、前記ゲート電極の下にのみ形成されていることを特徴とする請求項 1 乃至請求項 12 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 14】

前記電界発生層は、ソース電極、ドレイン電極、前記ゲート電極の下に一様に形成されていることを特徴とする請求項 1 乃至請求項 12 の何れか 1 項に記載の電界効果トランジスタ

50

タ。

【請求項 15】

前記電界発生層は p 伝導型であり、前記第 2 の半導体層は n 伝導型であることを特徴とする請求項 2 乃至請求項 14 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 16】

前記電界発生層は p 伝導型であり、前記第 2 の半導体層はアンダーープであることを特徴とする請求項 2 乃至請求項 14 の何れか 1 項に記載の電界効果トランジスタ。

【請求項 17】

電界効果トランジスタはノーマリオフ型のトランジスタであることを特徴とする請求項 1 乃至請求項 16 の何れか 1 項に記載の電界効果トランジスタ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲートしきい値電圧の制御が可能で、チャンネルの寄生抵抗を低減させた電界効果トランジスタに関する。特に、ノーマリオフ型の電界効果トランジスタを効果的に実現できる構造に関する。

【背景技術】

【0002】

近年、III族窒化物半導体を用いた電界効果トランジスタは、バンドギャップが広いことから、高耐圧、高温動作、高周波動作、高出力、高電圧信号入力などが可能であること

20

【0003】

III族窒化物半導体を用いた電界効果トランジスタの一つとして、例えば、アンダーープの GaN 層をチャンネル層とし、AlGaN を障壁層とし、その障壁層の上にゲート電極、ソース電極、ドレイン電極を形成した高移動度トランジスタが知られている。III族窒化物半導体を用いたこのヘテロ接合電界効果トランジスタにおいては、自発分極とヘテロ接合による歪みによりピエゾ電気分極を発生させてヘテロ界面において、高い二次元電子濃度を実現するものである。

【0004】

このため、ゲート電極に電圧を印加していない状態で、チャンネルに電子が高濃度で存在するために、このトランジスタは、ノーマリオン型のトランジスタとして動作することが多い。

30

しかしながら、ノーマリオン型のトランジスタは、動作に負電源を必要とすること、停電時などの異常時には、回路を遮断できないこと、などから、ノーマリオフ型のトランジスタの開発が期待されている。

【0005】

GaAs 半導体系の HEMT では、ゲート電極直下の障壁層の厚さを薄くし、逆に、ソース電極、ドレイン電極の下障壁層の厚さは厚く形成した、ゲートリセス構造により、ノーマリオフ型のトランジスタが構成されている。

しかしながら、この III 族窒化物半導体は、化学的に極めて安定しているので、半導体層にダメージを与えることなくエッチングすることは容易ではない。このため、下記特許文献 1 では、障壁層の厚さをゲート電極の仕事関数に応じて設定することで、チャンネルが導通するしきい値電圧を調整するようにしている。

40

【0006】

また、下記特許文献 2 においては、ゲート電極、アンダーープ AlGaN から成る障壁層、アンダーープ InGaN から成る電子走行層、p 型 GaN 層とで構成した HEMT が開示されている。この HEMT では、p 型 GaN 層により、アンダーープ InGaN から成る電子走行層の伝導帯を上昇させることで、ゲート電圧を印加しない状態において、電子走行層の電子濃度を大きく低減させて、ノーマリオフ型が実現されている。

【0007】

50

【特許文献1】特開2005-86171

【特許文献2】特開2005-142250

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1のHEMTでは、ノーマリオフ型を実現しようとする、ソース電極、ドレイン電極の下の障壁層の厚さが薄くなり、チャンネルの寄生抵抗が増大し、オン抵抗が増大するという問題がある。このため、電力効率が悪いという問題がある。

【0009】

また、特許文献2のHEMTでは、チャンネルとなるアンドープInGa_Nに接合した下層にはアクセプタがドーピングされている。このため、アクセプタがInGa_Nへ拡散する、不純物ドーピング層の上にアンドープInGa_Nを成長させているのでその層の結晶性が低下する、チャンネルが不純物ドーピング層に接合している、ことなどにより、高移動度を実現できないという問題がある。

【0010】

本発明は、上記の課題を解決するために成されたものであり、その目的は、チャンネルの寄生抵抗を小さくすることである。

また、発明の他の目的は、ゲートしきい値電圧を制御可能とすることである。

また、発明の他の目的は、製造容易な高性能なノーマリオフ型の電界効果トランジスタを実現することである。

また、発明の他の目的は、相互コンダクタンスの大きな電界効果トランジスタを実現することである。

さらに、発明の他の目的は、最大ゲート電圧を向上させることである。

ただし、いずれかの発明が、上記の1又は複数の目的を達成すれば十分であって、本件の個々の発明が、全ての目的を達成するものと、解釈されるべきではない。

【課題を解決するための手段】

【0011】

上記の課題を解決するためには、以下の手段が有効である。

即ち、第1の発明は、ゲート電極と、ソース電極と、ドレイン電極と、チャンネルの形成される第1の半導体層とを有する電界効果トランジスタにおいて、

ゲート電極と、第1の半導体層との間に、チャンネルのキャリアの最低エネルギーを上昇させる電界発生層を設けたことを特徴とする電界効果トランジスタである。

【0012】

ここで、電界効果トランジスタは、ゲート電極に印加する電圧により、ソース電極、ドレイン電極間のチャンネルの抵抗を制御する素子として、最も広い意味に解釈されるものである。例えば、高移動度トランジスタ(HEMT)、ショットキーゲート電界効果トランジスタ(MESFET)、絶縁ゲート電界効果トランジスタ(MISFET、MOSFET)、ヘテロ接合電界効果トランジスタ(HFET)などをあげることができるが、電界によりチャンネルを制御するという電界効果トランジスタの原理を用いたトランジスタであれば、その他の変形された電界効果トランジスタでも、本発明は適用可能である。

【0013】

チャンネルは、nチャンネルでもpチャンネルでも良い。すなわち、チャンネルのキャリアは電子でも正孔でも良い。nチャンネルの方がキャリアの移動度が高いのでデバイスとしては有利である。ただし、pチャンネルのときは電界発生層は、キャリア(正孔)のエネルギーを上げ、かつ障壁層としては電子親和力の大きいものを用いる必要がある。また、III族窒化物半導体を用いた場合には、結晶面としてはN面を使うことが望ましい。

第1の半導体層は、キャリアの移動度を高くするためには、不純物がノンドーピングであることが望ましい。しかし、例えば、チャンネルのキャリアのエネルギーの調整、歪み量の調整、その他各種の目的のために、全部、又は、一部の領域に不純物がドーピングされていても良い。電界発生層の配置位置は、ゲート電極と第1の半導体層との間であれば、その間に

他の層が介在していても良いし、電界発生層と第1の半導体層とが直接接合していても良い。また、第1の半導体層は、単一の層、複数の層で形成されていても良い。

【0014】

本発明の最も大きな特徴は、電界発生層を電界効果トランジスタに設けたことである。この電界発生層は、例えば、ヘテロ成長により結晶に印加される応力歪みに応じてピエゾ電界を発生するピエゾ電界効果を有する材料、大きな自発分極を有する材料を用いることができる。この電界発生層は、当該層より下層の第1の半導体層を含む半導体層のエピタキシャル成長装置と同一の装置を用いて成長させる場合には、半導体のエピタキシャル成長により形成するのが望ましい。

【0015】

後述するように、電界発生層は、下層の半導体層をIII族窒化物半導体とした場合には、大きなピエゾ電界効果を有する、Inを必須元素として含むIII族窒化物半導体を用いるのが望ましい。一般的には、ショットキーゲート型トランジスタであれば、電界発生層の上には、ゲート電極が形成され、絶縁ゲート型トランジスタであれば、酸化膜、窒化膜などの絶縁膜が形成される。したがって、エピタキシャル成長が終了した後に、反応室から取り出して、スパッタなどの方法により、誘電体を半導体層の上に成膜することができる。大きな自発分極を有するか、大きなピエゾ電界効果を有する強誘電体としては、BaTiO₃などのペロブスカイト型強誘電体、KH₂PO₄、(NH₄)₂SO₄、ロシェル塩、Cd₂Nb₂O₇、PbNb₂O₆、LiNbO₃、KTaNbO₃、LiTaNb、LiTaO₃などを用いることができる。

【0016】

また、これらの誘電体を電界発生層として用いる場合には、電界効果トランジスタの絶縁膜として用いることも可能である。

また、絶縁膜と電界発生層とを用いた場合には、絶縁膜から電界発生層に歪みを印加するようにしても良い。

要するに、電界発生層は、電界発生層に接合する半導体層におけるキャリアの伝導可能な最低エネルギーを向上させることができ、その結果として第1の半導体層のチャンネルのキャリアの最低エネルギーを上昇させることができる層であれば良い。

【0017】

第2の発明は、電界発生層と第1の半導体層との間に介在された、第1の半導体層にヘテロ接合した第2の半導体層を有することを特徴とする請求項1に記載の電界効果トランジスタである。

本発明は、チャンネルが第1の半導体層の第2の半導体層に対する界面に形成されることが特徴である。

【0018】

第3の発明は、電界発生層は、第2の半導体層の伝導帯の最低エネルギーレベルを上昇させることにより、第2の半導体層にヘテロ接合した第1の半導体層の伝導帯を上昇させて、チャンネルの最低エネルギーレベルを上昇させる層であることを特徴とする請求項2に記載の電界効果トランジスタである。

本発明は、第2の半導体層の上に電界発生層を形成したことが特徴である。第1の半導体層の伝導帯は、第2の半導体の伝導帯の上昇に伴って、上昇される。また、この場合には、電界発生層には第2の半導体層から歪みを受けて、ピエゾ電界効果により電界を発生させるものが使用できるが、自発分極により電界を発生する層を用いても良い。

【0019】

第4の発明は、電界発生層は、ピエゾ電気分極により電界を発生させる層であることを特徴とする請求項1乃至請求項3の何れか1項に記載の電界効果トランジスタである。

電界発生層を第2の半導体層の上にヘテロ成長により形成した場合には、第2の半導体層から受ける応力歪みによるピエゾ電気分極により、電界発生層は電界を発生させることができる。

【0020】

第5の発明は、電界発生層は下層とヘテロ接合し、電界発生層の厚さは歪みが緩和されない臨界膜厚よりも小さい値に設定されていることを特徴とする請求項1乃至請求項4の何れか1項に記載の電界効果トランジスタである。

下層に格子整合しないでヘテロ成長させた層は、その厚さが厚くなると、転位などが発生して歪みが緩和する。このため、電界発生層の厚さは、歪みが緩和しない厚さよりも薄いことが必要である。

【0021】

第6の発明は、ゲート電極と電界発生層との間に形成された絶縁膜を有することを特徴とする請求項1乃至請求項5の何れか1項に記載の電界効果トランジスタである。

MISFET、MOSFETにも、本件発明は適用することができる。絶縁膜は、酸化珪素などの酸化膜、窒化珪素などの窒化膜などを用いることができる。

【0022】

第7の発明は、第1の半導体層はIII族窒化物半導体から成ることを特徴とする請求項1乃至請求項6の何れか1項に記載の電界効果トランジスタである。

また、第8の発明は、第2の半導体層は、第1の半導体にヘテロ接合するIII族窒化物半導体から成ることを特徴とする請求項7に記載の電界効果トランジスタである。

ここで、III族窒化物半導体は、III族元素と窒素との化合物半導体であり、窒素の他、As、P、SbなどのV族元素を含む化合物であってもよい。また、II族元素、VI族元素などが化合物として又は不純物として含まれていてもよい。以下において、III族窒化物半導体は、このような広い意味で使用されている。

【0023】

第9の発明は、第1の半導体層はGaNから成り、第2の半導体層は、 $Ga_{x1}Al_{1-x1}N$ ($0 \leq x1 < 1$) から成ることを特徴とする請求項8に記載の電界効果トランジスタである。

【0024】

第1の半導体層は、チャネル抵抗の低減や動作速度の向上の目的から言えば、不純物がアンドープであることが望ましい。また、第2の半導体層は、アンドープでも、チャネルがn型であれば、n型にドーピングしても良い。チャネルがp型であれば、p型にドーピングしても良い。GaNと $Ga_{x1}Al_{1-x1}N$ との界面に、チャネルを形成することができる。ただしpチャネルのときは電界発生層はキャリア(正孔)のエネルギーを上げかつ電子親和力の大きいものを用いる必要がある。また結晶面としてはN面を使うことが望ましい。

【0025】

第10の発明は、電界発生層は $In_{x2}Ga_{y2}Al_{1-x2-y2}N$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) から成ることを特徴とする請求項1乃至請求項9の何れか1項に記載の電界効果トランジスタである。

電界発生層をInを含むIII族窒化物半導体とすることで、大きな電界を発生することができる。電界発生層の下層の格子定数を電界発生層の格子定数よりも小さくすることで、この電界発生層には、膜厚の方向に引っ張り歪み(面方向には圧縮歪み)を与えることができる。また、電界発生層の主面をGa面とする。これらの条件は、下層に $Ga_{x1}Al_{1-x1}N$ を用いることで、その条件は容易に実現される。この時、電界発生層の分極の向きは、AlGaNからゲート電極に向かう方向となる。これにより、InGaN/AlGaN界面には負電荷が誘起され、その結果、電界発生層により発生される電界の向きを、ゲート電極から第1の半導体層に向かう向き、すなわち、ゲート電極を第1の半導体層に対して正電位とすることができる。これにより、電界発生層が接合する下層の半導体層の伝導帯のエネルギーレベルを上昇させることができ、第1の半導体層のチャネルのエネルギーレベルを上昇させることができる。また、チャネルをpチャネルとする場合には、チャネルの正孔のエネルギーを上昇(価電子帯のエネルギーレベルを下げる)させることができる。

電界発生層のInの組成比は、0.01~0.3が望ましい。特に、望ましくは、0.1~0.2である。Alの組成比は、0~0.3が望ましい。特に、望ましくは、0~0

． 2である。

【0026】

第11の発明は、電界発生層は $\text{In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$) から成ることを特徴とする請求項1乃至請求項9の何れか1項に記載の電界効果トランジスタである。

In の組成比は、0.01～0.3が望ましい。特に、望ましくは、0.1～0.2である。

特に、電界発生層をこの材料とすることで、例えば、応用物理学会誌、Vol. 70, No. 05, 2001 pp 513-522によれば、 In の組成比が0.3、0.1の時に、それぞれ、5MV/cm、1.5MV/cmのピエゾ分極電界を発生させることができる。これは、電界発生層の厚さが10nmの時には、それぞれ、5V、1.5Vの電圧を意味し、下層の半導体の伝導帯を、それぞれ、5eV、1.5eVだけ上昇できることを意味する。すなわち、電界発生層の膜厚1nm当たり、伝導帯を、それぞれ、0.5eV、0.15eVだけ上昇させることができる。

下層の半導体層の伝導帯を所望の値だけ上昇させるには、 In の組成比と電界発生層の厚さとを適性に設計すれば良い。電界発生層にAlが含まれると、分極の向きが反対であるので、ピエゾ分極電界は減少する。しかし、 $\text{In}_{0.3}\text{Ga}_{0.7}\text{N}$ が、10nmの厚さで、5Vのピエゾ電圧を発生するので、Alの組成比により、この電圧を減少方向に調整することも可能となる。

【0027】

第12の発明は、電界発生層の厚さは、0.25～100nmであることを特徴とする請求項10又は請求項11に記載の電界効果トランジスタである。

$\text{In}_{x2}\text{Ga}_{y2}\text{Al}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) または、 $\text{In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$) の場合に、歪みが緩和される臨界膜厚は $x2$, $y2$ に依存するが0.25～100nmである。よって、電界発生層の厚さは、100nm以下が望ましい。膜厚の下限値は、所望の値のピエゾ電圧を発生する厚さであれば良く、1原子層からでも可能である。ゲート電極の下にのみ電界発生層を形成する場合には、加工の観点から、薄い程、望ましい。下層に、AlGa N 半導体を用いた場合には、この層は、電界発生層のエッチングストップとして機能するので、その点においても、下層はAlGa N が望ましい。本件発明は、極めて薄い電界発生層により、チャネルの伝導を制御できることも、大きな特徴である。電界発生層のより望ましい範囲は、0.25～50nm、さらに望ましくは、0.25～10nmである。

【0028】

第13の発明は、電界発生層は、ゲート電極の下にのみ形成されていることを特徴とする請求項1乃至請求項12の何れか1項に記載の電界効果トランジスタである。

電界発生層を $\text{In}_{x2}\text{Ga}_{y2}\text{Al}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) または、 $\text{In}_{x3}\text{Ga}_{1-x3}\text{N}$ ($0 < x3 \leq 1$) の場合、とりわけ、後者の場合には、極めて薄い層でチャネルのキャリアのエネルギーを制御できる。したがって、エッチングにより、電界発生層のゲート電極の下にのみ形成することが極めて容易となる。また、電界発生層に強誘電体を用いた場合は、エッチング、リフトオフ法により、容易にゲート電極下にのみ、電界発生層を生成することかできる。ゲート電極の下にのみ電界発生層を形成するのは、ノーマリオフ型、ノーマリオン型の両方のトランジスタに適用可能である。

【0029】

第14の発明は、電界発生層は、ソース電極、ドレイン電極、ゲート電極の下に一様に形成されていることを特徴とする請求項1乃至請求項12の何れか1項に記載の電界効果トランジスタである。

この場合も、ノーマリオフ型、ノーマリオン型の両方のトランジスタに適用可能である。

【0030】

第15の発明は、電界発生層はp伝導型であり、第2の半導体層はn伝導型であることを特徴とする請求項2乃至請求項14の何れか1項に記載の電界効果トランジスタである

。

【0031】

第16の発明は、電界発生層はp伝導型であり、第2の半導体層はアンドープであることを特徴とする請求項2乃至請求項14の何れか1項に記載の電界効果トランジスタである。

【0032】

第17の発明は、電界効果トランジスタはノーマリオフ型のトランジスタであることを特徴とする請求項1乃至請求項16の何れか1項に記載の電界効果トランジスタである。

本発明は、ノーマリオフ型の電界効果トランジスタとすることで、特に、大きな利点が得られる。

10

【発明の効果】

【0033】

以上の本発明の手段によって得られる効果は以下の通りである。

本発明は、電界発生層により、チャンネルの形成される第1の半導体層のキャリアの伝導可能な最低エネルギーを上昇させることができる。すなわち、ゲート電極に電圧を印加していない状態におけるチャンネルのキャリア濃度を制御することが可能となる。換言すれば、オン時、または、オフ時のゲートしきい値電圧 V_{Gth} を制御することが可能となる。これにより、しきい値電圧 V_{Gth} を所望の値に設定したノーマリオフ型の電界効果トランジスタを実現することが可能となる。逆に、ノーマリオン型の電界効果トランジスタにおいても、ゲートオフしきい値電圧 V_{Gth} を所望の値に設定することが可能となる。

20

【0034】

第4の発明では、電界発生層をピエゾ電気分極により電界を発生する層としているので、ヘテロ成長により応力歪みを内在させることができ、容易のその層の形成が容易である。

【0035】

第5の発明では、電界発生層をヘテロ成長により内包する歪みが緩和されない厚さより薄く形成することで、チャンネルのキャリアのエネルギーを容易に制御することができる。

【0036】

第10、11、12の発明では、電界発生層をInを必須とするIII族窒化物半導体としているので、大きな電界を発生させることができる。したがって、電界発生層の厚さにより、ゲートしきい値電圧 V_{Gth} を制御することが可能となる。また、電界発生層の厚さは極めて薄くて良いので、相互コンダクタンスを大きくできると共に、エッチングなどの加工が容易となる。特に、III族窒化物半導体の場合には、エッチングの困難性により、ゲートリセス構造を作成することが困難であるが、本発明により、電界発生層をゲート電極の下にのみ形成することが容易となる。

30

【0037】

第13の発明では、電界発生層がゲート電極の下にのみ形成することで、チャンネルの寄生抵抗の小さな、したがって、オン抵抗の小さなノーマリオフ型の電界効果トランジスタを得ることができる。また、ノーマリオン型のトランジスタに適用した場合には、チャンネルの寄生抵抗をより低減させたトランジスタを構成することができる。すなわち、電力効率の高いトランジスタを構成することができる。

40

【0038】

第14の発明では、電界発生層をソース電極、ゲート電極、ドレイン電極の下に一様に形成しているので、電界効果トランジスタにおいて、電界発生層の組成比や厚さの制御によりゲートしきい値電圧 V_{Gth} を容易に制御することができる。

チャンネルの寄生抵抗が大きくなるが、ゲートしきい値電圧 V_{Gth} を容易に制御できるので、ノーマリオフ型のトランジスタを構成することもできる。ノーマリオン型のトランジスタでは、ゲートしきい値電圧 V_{Gth} を大きくして、チャンネルのキャリアのエネルギーを上昇させた状態で、nチャンネルでは、電子濃度が、pチャンネルでは正孔濃度が高くなる

50

ように各層の厚さを設計すれば良い。これにより、チャネルの寄生抵抗の小さなノーマリオン型のトランジスタを構成することができる。

【0039】

第15の発明では、電界発生層をp伝導型とし、第2の半導体層をn伝導型として、ゲート電極の下にpn接合を形成することで、ゲート電圧によりゲート電流が流れだす時のゲート電圧である最大ゲート電圧 $V_{G_{max}}$ を大きくすることができる。通常、ショットキー障壁は、1eV程度であるが、この構成により、最大ゲート電圧 $V_{G_{max}}$ を、ショットキー障壁電位差にpn接合の障壁電位差及び電界発生層の電位差を加算した値とすることができる。電界発生層に $p-In_{x_3}Ga_{1-x_3}N$ ($0 < x_3 \leq 1$)を用いた場合には、pn接合の障壁電位を2～3eVとすることができるので、最大ゲート電圧 $V_{G_{max}}$ をpn接合にしない場合に比べてさらに2～3V上昇させることができ、高入力レベル、広ダイナミックレンジを実現することができる。

【0040】

請求項16の発明では、電界発生層はp伝導型であり、第2の半導体層はアンドープとしている。請求項15と同様に、電界発生層と第2の半導体層との間の障壁電位の分だけ、電界発生層がアンドープの場合に比べて、最大ゲート電圧 $V_{G_{max}}$ を上昇させることができる。

【0041】

第17の発明の場合において、III族窒化物半導体を用いても、ノーマリオン型の電界効果トランジスタを実現でき、高温環境下での動作、高レベル入力、高出力、高耐圧、100GHz帯の応答速度などを有した増幅器、スイッチ素子を実現することができる。

【発明を実施するための最良の形態】

【0042】

以下の説明は電子をキャリアとするnチャネル素子に対するものであるが、正孔をキャリアとする場合も同様の考え方で説明できる。

本発明の原理を説明する。図1は、ヘテロ接合の伝導帯のバンド図である。分かり易くするために、伝導帯の傾斜は直線で表し模式的に表現している。アンドープ $In_{0.2}Ga_{0.8}N$ /アンドープ $Al_{0.2}Ga_{0.8}N$ /アンドープGaNのヘテロ接合を例示している。以下、単に、 $In_{0.2}Ga_{0.8}N$ をInGaN、 $Al_{0.2}Ga_{0.8}N$ をAlGaNで表記する。InGaNが本発明の電界発生層、AlGaNが第2の半導体層、GaNが第1の半導体層である。InGaNの格子定数は、AlGaNの格子定数よりも大きいので、InGaNはAlGaNより、成長面上において圧縮応力を受け、成長面に垂直な方向に引っ張り応力を受ける。この結果、Ga面を成長面とするInGaNは自発分極とpiezo電気分極とは反対を向き、piezo電気分極の方が遥かに大きい。したがって、InGaNでは、InGaNからゲート電極に向かう方向に分極する。したがってInGaN/AlGaNの界面には負の電荷が誘起される。また、AlGaNは、InGaN、及びGaNから成長面内で引っ張り応力を受け、成長面に垂直な方向に圧縮応力を受ける。また、AlGaN、GaNは、自発分極とpiezo電気分極とは同一方向を向き、大きさは自発分極の方がやや大きい、InGaNのpiezo電気分極に比べると遥かに小さい。この結果、AlGaN/GaN界面に正の電荷が誘起される。以上の結果をまとめると界面に誘起される電荷は図1に示すように表面から順に＋－＋－となる。従って電界の向きは図に示すようになる。

【0043】

以上の各層における分極の分布により、ゲート電極とInGaNとの界面には正電荷が帯電し、InGaNとAlGaNとの界面には負電荷が帯電し、AlGaNとGaNとの界面には正電荷が帯電する。また、InGaNとAlGaNとでは、分極の方向が互いに反対であるから、それらの界面での電荷密度が最も高い。この結果として、各層の電界Eの向きは、図1(a)に示す向きとなる。

したがって、AlGaNとInGaNのバンドギャップの差異によるヘテロ接合障壁と、InGaN中のpiezo電界が大きいことを考慮すると、伝導帯は図1(a)に示すよう

になる。これに、ショットキー障壁を考慮して、伝導帯を表現すると、図1 (b) に示すようになる。図で B_V は、ゲート電極と InGaN のショットキー障壁の大きさを示している。また、図1 (b) の破線は、 AlGaIn が直接ゲート電極に接合している場合の伝導帯を示す。

【0044】

今、 InGaIn と AlGaIn のヘテロ接合障壁の大きさを ΔE_C とすると、ゲート電極に対する AlGaIn のショットキー障壁高さは、 $B_V + \Delta E_C + \Delta V$ となり、 AlGaIn と GaIn の伝導帯は、 InGaIn 層が存在しない場合に比べて、ほぼ InGaIn 層のピエゾ電界による端面間電位差 ΔV だけ、上昇することになる。したがって、 GaIn 層と AlGaIn 層の界面に形成されるチャンネル Ch のエネルギーレベルが ΔV だけ上昇する。この ΔV の値は、 InGaIn 層のピエゾ電界 E の大きさと、層の厚さ d によって変化させることができる。換言すれば、チャンネル Ch のエネルギーレベルを ΔV だけ、 InGaIn の電界発生層がない場合に比べて高くすることができる。電界 E は In の組成比で制御できる。これにより、ゲートしきい値電圧 $V_{G_{th}}$ を変化させることが可能となる。

10

【0045】

本電界発生層の効果は以下のとおりである。この説明は電子をキャリアとする n チャンネルに対して行うが、 p チャンネルの場合も同様な考え方で説明できる。

まず電界発生層を設けずに、且つ、ゲート電極に電圧を印加していないと仮定した状態で、図1 (b) の破線に示すように、チャンネル Ch のエネルギーレベルがフェルミレベルに対して十分に接近して低い位置となるように各層の厚さなどを設計したとする。次に、ゲート電極の下方にのみ、電界発生層を設けることで、ゲート電極に電圧を印加していない状態で、チャンネル Ch のエネルギーレベルがフェルミレベルより十分に高いところに位置するように、 ΔV を与える電界発生層の厚さや In 組成比を設計する。このように構成すれば、ゲート電極の下方以外の領域では、ゲート電極に電圧を印加していない状態でチャンネル Ch に十分な濃度の電子を確保でき、チャンネルの寄生抵抗が十分に低いノーマリオフ型の電界効果トランジスタを形成することができる。

20

【0046】

また、ノーマリオン型のトランジスタとするには、図2 に示すように AlGaIn 層を厚く構成する。 InGaIn 層がある場合においても、ゲート電極に所望のゲートオフしきい値電圧 $V_{G_{th}}$ でターンオフするように、ゲート電圧を印加していない状態で、チャンネル Ch のエネルギーレベルがフェルミレベルに対して、十分に低下するように、電界発生層を設計する (図2 の実線)。この電界発生層をゲート電極の下方にのみ形成したトランジスタでは、ゲート電極の周辺部では、バンド図は、図2 の破線で示した図となる。すなわち、その部分のチャンネルの電子濃度は、チャンネル Ch の電子のエネルギーが ΔV 低い分だけ、ゲート電極の下方のチャンネルの電子濃度よりもさらに大きくなる。したがって、寄生抵抗の極めて小さいノーマリオン型のトランジスタとなる。また、電界発生層により、ゲートオフしきい値電圧 $V_{G_{th}}$ の大きさを自由に設計することが可能となる。

30

【0047】

ノーマリオン型のトランジスタでは、電界発生層は、ソース電極とドレイン電極の下方、ゲート電極とソース電極の間、およびゲート電極とドレイン電極の間にも一様に形成しても良い。すなわち、電界発生層を設けて、伝導帯の ΔV の上昇分に相当する分だけ、第2の半導体層を厚くすることができる。この結果、ゲート電極に電圧を印加していない状態で、ゲート電極の下方のチャンネル及びゲート電極周辺のチャンネルの電子濃度を同一として大きな値にすることができる。よって、この場合にも、寄生抵抗の小さいノーマリオン型のトランジスタとなる。また、電界発生層により、ゲートオフしきい値電圧 $V_{G_{th}}$ を自由に設計することが可能となる。

40

【0048】

また、ショットキーゲート電界効果トランジスタ (MESFET) の場合には、バンド図は、図3 に示すようになる。図3 (a) は、ゲート電極 / $n\text{-GaIn}$ / $i\text{-GaIn}$ 構造の FET である。図3 (b) は、ゲート電極 / InGaIn / $n\text{-GaIn}$ / $i\text{-GaIn}$ 構造

50

のFETである。InGaNが電界発生層、n-GaN層とi-GaN層が第1の半導体層である。n-GaN層の空乏層領域を除いた部分がチャンネルとなる。電界発生層が存在しない時には、n-GaN層の伝導帯は、フェルミレベルに対して十分に接近しており、ゲート電極に電圧が印加されていない状態で、チャンネルの電子濃度は十分に高いことを示している。これに対して、図3(b)の実線で示すように、InGaNの電界発生層を設けることで、チャンネルのエネルギーレベルがInGaN層のピエゾ電界による電位差 ΔV だけ上昇させることで、n-GaNの厚さを厚くすることができる。一方、ゲート電極周辺のチャンネルのバンド図は、図3(b)の破線に示したようになる。よって、このようなInGaN層をゲート電極の下方にのみ設けることで、チャンネルの寄生抵抗が小さなノーマリオン型の電界効果トランジスタとすることができる。

10

【0049】

ノーマリオン型のMESFETも上記のHEMTと同様に構成できる。すなわち、n-GaN層を厚く構成して、InGaNの電界発生層が存在する状態で、チャンネルのエネルギーレベルを十分にフェルミレベルに接近させて、電子濃度の高い状態とする。これにより、チャンネルの寄生抵抗の小さなノーマリオン型のMESFETが構成できる。

【0050】

この構成で、ゲート電極の下だけ、InGaNの電界発生層を形成すると、ゲート電極の周辺部分のチャンネルのエネルギーレベルは、ゲート電極下のレベルよりも電界発生層の電位差 ΔV だけ低いことになる。これにより、チャンネル抵抗を十分に小さくすることができる。

20

【0051】

また、MOS型、MIS型のFETについても、全く同様なことが言える。ゲート電極と電界発生層との間に絶縁膜が存在するだけであるので、バンド図は、上記の図1、図2、図3と同様である。したがって、この型のFETにおいても適用可能である。

【0052】

また、本発明は、上記の原理を用いているので、トランジスタを構成する半導体材料には、特に、限定されない。Si、Si-Ge、GaAs、InAsPなど、任意の半導体材料を用いることができる。また、電界発生層も、ピエゾ電界効果の大きな半導体をヘテロ成長させれば、本発明の目的を達成することができる。また、上記の原理を考えると、大きな分極が発生すれば良いので、そのような性質を有した誘電体なども用いることが可能である。

30

【0053】

また、pチャンネルFETの場合には、価電子帯に関して、図4に示すようなバンド図を構成できる材料を選択することにより、上記と同様に、寄生チャンネル抵抗の小さなノーマリオン型、ノーマリオン型の電界効果トランジスタを得ることができる。

【0054】

次に、電界発生層をp型に、この電界発生層が接合する第2の半導体層をn型にした場合の電界効果トランジスタについて説明する。

p-InGaN/n-AlGaIn/i-GaNの場合にバンド図を図5の曲線Aに示す。図5の曲線Bは、p-InGaNをi-InGaNとした場合のバンド図である。図5の曲線Cは、p-InGaNの電界発生層が存在せずn-AlGaInが直接、ゲート電極に接合している場合のバンド図である。すなわち、p-InGaNとn-AlGaInとの障壁電位と、電界発生層InGaNをp型にすることによる電位上昇分 E_t と、p-InGaNとゲート電極間のショットキー障壁 B_v およびひずみ分極によるエネルギー上昇 ΔV の和で、最大ゲート電圧 $V_{G_{max}}$ が決定される。したがって、最大ゲート電圧をp-InGaNの電界発生層がない場合に比べて $\Delta V + E_t$ だけ大きくすることができる。

40

【0055】

p-InGaN/アンドープAlGaIn/i-GaNの場合にも、上記の場合と同様なことが言える。すなわち、p-InGaNとi-AlGaInとの障壁電位と、p-InGaNとアンドープAlGaInの接合による電位上昇分 E_t と、p-InGaNとゲート電

50

極間のショットキー障壁 B_v および ΔV の和で、最大ゲート電圧 $V_{G_{max}}$ が決定される。したがって、最大ゲート電圧を $i\text{-InGaN}$ の電界発生層がない場合に比べて、 $\Delta V + E_t$ だけ大きくすることができる。

【0056】

以下、本発明を具体的な実施例に基づいて説明する。

【実施例1】

【0057】

図6は、実施例1に係るHEMTの断面図である。サファイアから成る基板10の上に、膜厚約150nmのAlNから成るバッファ層12が形成されており、その層12の上には、アンドープの厚さ2 μ mのGaNから成るチャンネル層14が形成されている。チャンネル層14は、本発明の第1の半導体層に該当する。チャンネル層14の上には、厚さ5nmのアンドープの $Al_{0.2}Ga_{0.8}N$ から成る第1障壁層16と、厚さ40nmのSiドープの $n\text{-}Al_{0.2}Ga_{0.8}N$ から成る第2障壁層20とが形成されている。第2障壁層20の上には、厚さ3nmのMgドープの $p\text{-}In_{0.2}Ga_{0.8}N$ から成る電界発生層30が形成されている。この電界発生層30の上にNi/Auから成る厚さ400nmのゲート電極40が形成され、第2障壁層20の上にTi/Alから成る厚さ400nmのソース電極41とTi/Alから成る厚さ400nmのドレイン電極42とが形成されている。電界発生層30はゲート電極40の下にのみ形成されている。第2障壁層20と第1障壁層16とが、本発明の第2の半導体層を構成する。

【0058】

上記の各層の成長は、有機金属化合物気相成長法(MOVPE)により行った。ここで用いられたガスは、キャリアガス(H_2 又は N_2) と、アンモニアガス(NH_3) と、トリメチルガリウム($Ga(CH_3)_3$) (以下、「TMG」と記す)、トリメチルアルミニウム($Al(CH_3)_3$) (以下、「TMA」と記す) と、トリメチルインジウム($In(CH_3)_3$) (以下、「TMI」と記す)、シラン(SiH_4)、ビスシクロペンタジエニルマグネシウム($Mg(C_5H_5)_2$) (以下、「 Cp_2Mg 」と記す) である。

ただし、これらの半導体結晶層を結晶成長させる方法としては、上記の有機金属化合物気相成長法(MOVPE)の他にも、分子線気相成長法(MBE)、ハイドライド気相成長法(HVPE)等が有効である。

【0059】

次のようにして、図6に示したHEMTを製造した。基板10の上に、キャリアガスとして、水素(H_2) ガスを用い、成長炉内全圧1000[hPa]として、400℃にて、バッファ層12を厚さ30nmに形成した。次に、結晶成長温度を1100℃として、水素ガスを10L/分、アンモニアを12L/分、TMGを $2 \times 10 \times 10^{-4}$ モル/分で供給して、厚さ2 μ mのチャンネル層14を成長させた。このチャンネル層14は、厚いほど、結晶性が良いので、厚い程望ましい。その層14の上に、温度を1150℃として、水素ガスを10L/分、アンモニアを12L/分、TMGを $2 \times 10 \times 10^{-4}$ モル/分、TMAを 6×10^{-6} モル/分で供給して、 $Al_{0.2}Ga_{0.8}N$ からなる第1障壁層16を5nmの厚さに成長させた。次に、第1障壁層16の上に、同一ガス条件でさらに、 H_2 希釈シランを 1×10^{-7} モル/分で供給して、 $n\text{-}Al_{0.2}Ga_{0.8}N$ から成る第2障壁層20を厚さ40nmに成長させた。次に、その第2障壁層20の上に、温度を800℃にして、 Cp_2Mg を 6×10^{-7} モル/分、水素ガスを10L/分、アンモニアを12L/分、TMGを $2 \times 10 \times 10^{-4}$ モル/分、TMIを 1×10^{-7} モル/分で供給して、 $p\text{-}In_{0.2}Ga_{0.8}N$ から成る電界発生層30を3nmの厚さに形成した。その後、アニーリングしてp型化を行った。次にフォトリソグラフィと金属の蒸着・リフトオフにより、ゲート電極40を形成し、これをマスクとしてInGaNをエッチしてゲート電極の下にだけ電界発生層を残した。その後、上記した金属を蒸着し、ソース電極41、ドレイン42電極の合金化を行った。

【実施例2】

【0060】

図 7 は、実施例 1 の第 2 障壁層 20 をアンドープとして、 $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{N}$ から成る第 2 障壁層 201 とした。その他は、実施例 1 と同一である。

【実施例 3】

【0061】

図 8 は、実施例 1 の電界発生層 30 を、アンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ として、電界発生層 301 を形成したことが特徴である。

【実施例 4】

【0062】

図 9 は、実施例 3 において、第 2 障壁層 20 をアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ として、第 2 障壁層 201 を形成したことが特徴である。

10

【実施例 5】

【0063】

図 10 に示すように、実施例 1 における電界発生層 30 を第 2 障壁層 20 の上に一様に形成して電界発生層 302 としたことが特徴である。このように一様に形成することで、電界発生層 302 のエッチングが必要ではなく、半導体層にダメージを与えることがない。また、実施例 1 の第 1 障壁層 16 を $i\text{-AlN}$ から成る第 1 障壁層 161 としている。しかし、この第 1 障壁層 161 は、図 6 に示す実施例 1 と同様に $i\text{-AlGa}\text{N}$ でも良い。

【実施例 6】

【0064】

図 11 に示すように、実施例 2 における電界発生層 30 を第 2 障壁層 20 の上に一様に形成して電界発生層 302 としたことが特徴である。また、実施例 2 の第 1 障壁層 16 を $i\text{-AlN}$ から成る第 1 障壁層 161 としている。しかし、この第 1 障壁層 161 は、図 7 に示す実施例 2 と同様に $i\text{-AlGa}\text{N}$ でも良い。

20

【実施例 7】

【0065】

図 12 に示すように、実施例 3 における電界発生層 30 を第 2 障壁層 20 の上に一様に形成して電界発生層 303 としたことが特徴である。また、実施例 3 の第 1 障壁層 16 を $i\text{-AlN}$ から成る第 1 障壁層 161 としている。しかし、この第 1 障壁層 161 は、図 8 に示す実施例 3 と同様に $i\text{-AlGa}\text{N}$ でも良い。

30

【実施例 8】

【0066】

図 13 に示すように、実施例 4 における電界発生層 30 を第 2 障壁層 20 の上に一様に形成して電界発生層 303 としたことが特徴である。また、実施例 4 の第 1 障壁層 16 を $i\text{-AlN}$ から成る第 1 障壁層 161 としている。しかし、この第 1 障壁層 161 は、図 9 に示す実施例 4 と同様に $i\text{-AlGa}\text{N}$ でも良い。また、第 1 障壁層 16 を $i\text{-AlN}$ としている。

【0067】

上記実施例において、第 1 障壁層は AlGaN でも AlN でもよく、あるいはなくとも良い。

40

また、第 1 の半導体層は、 InGaN と GaN の 2 層構造であっても良いし、 AlGaN と GaN との 2 層構造でも良い。

また、第 2 の半導体層は、 GaN と AlGaN との 2 層構造でも良い。

上記の全実施例において、本発明の電界効果トランジスタを構成する基板の材料としては、サファイアその他、炭化シリコン (SiC)、シリコン (Si)、 GaN などを用いても良い。オーミック電極やゲート電極の形成形態としては、周知の任意の形態を採用することができる。例えば、ゲート電極は、電界発生層の上に絶縁膜を介して形成しても良い。

【0068】

また、上記の全実施例において、電界効果トランジスタを構成する第 1 の半導体層や、

50

第2の半導体層は、素子の種類や機能に応じて、ノンドープの半導体層から形成しても、不純物を添加した半導体層から形成しても良い。また、これらの層は、互いに組成の異なる複数の半導体層から形成しても良い。

【産業上の利用可能性】

【0069】

本発明は、ゲートしきい値電圧の設定を可変制御できると共に、チャネル抵抗を低減させた電界効果トランジスタとして有効である。また、ゲート最大電圧を向上させ、相互コンダクタンスの大きなトランジスタを構成することができる。また、ノーマリオフ型のトランジスタを提供できる。

【図面の簡単な説明】

10

【0070】

【図1】本発明の原理を示すバンド図

【図2】本発明の原理を示すバンド図

【図3】本発明の原理を示すバンド図

【図4】本発明の原理を示すバンド図

【図5】本発明の原理を示すバンド図

【図6】本発明の実施例1に係るHEMTの層構成を示した断面図

【図7】本発明の実施例2に係るHEMTの層構成を示した断面図

【図8】本発明の実施例3に係るHEMTの層構成を示した断面図

【図9】本発明の実施例4に係るHEMTの層構成を示した断面図

20

【図10】本発明の実施例5に係るHEMTの層構成を示した断面図

【図11】本発明の実施例6に係るHEMTの層構成を示した断面図

【図12】本発明の実施例7に係るHEMTの層構成を示した断面図

【図13】本発明の実施例8に係るHEMTの層構成を示した断面図

【符号の説明】

【0071】

10…基板

14…チャネル層（第1の半導体層）

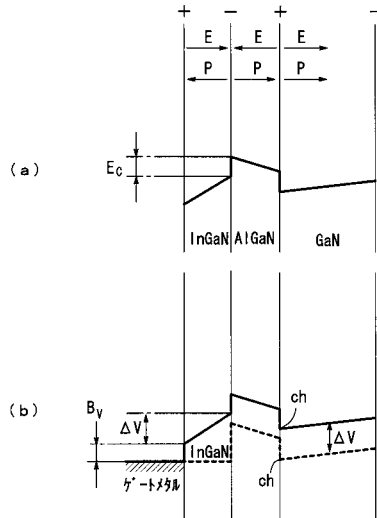
16…第1障壁層（第2の半導体層）

20…第2障壁層（第2の半導体層）

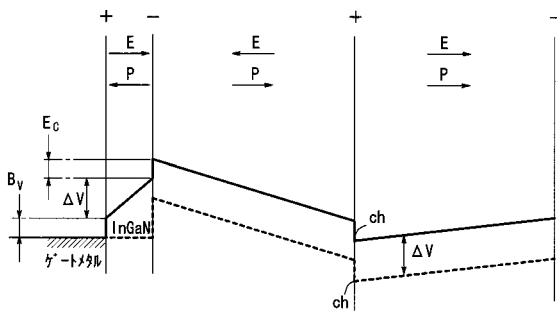
30

40…電界発生層

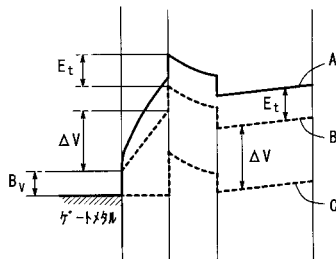
【図 1】



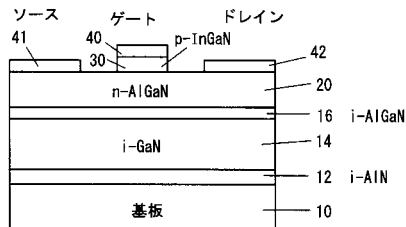
【図 2】



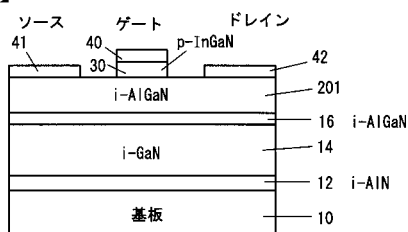
【図 5】



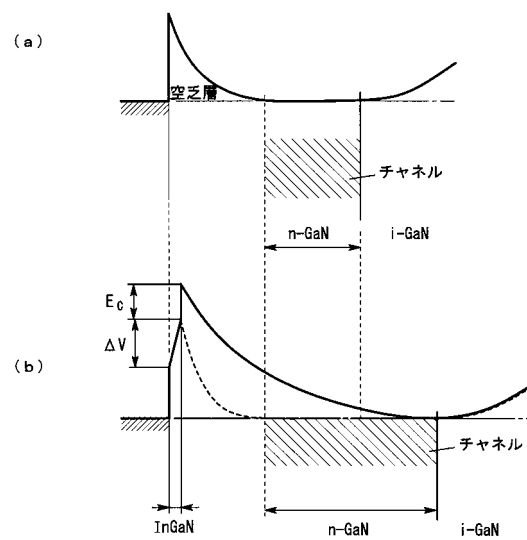
【図 6】



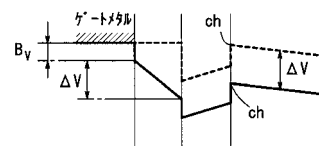
【図 7】



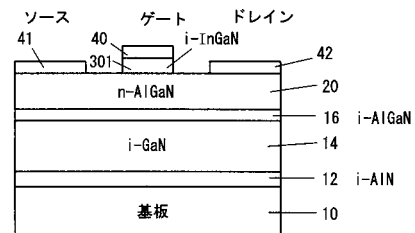
【図 3】



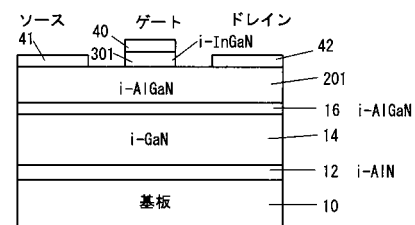
【図 4】



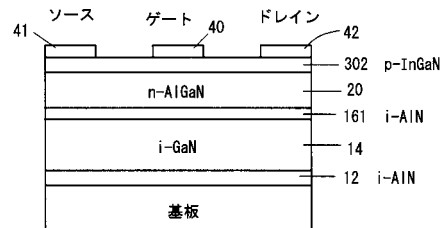
【図 8】



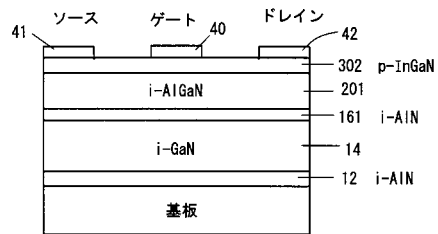
【図 9】



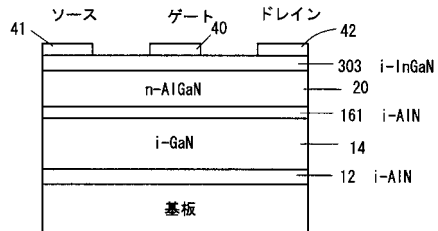
【図 10】



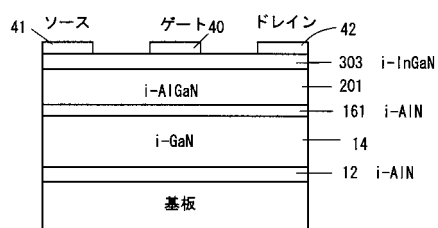
【図 1 1】



【図 1 2】



【図 1 3】



Christopher Field
Japanese Technical Interpreting and Translation
52 Sherman's Bridge Rd., Wayland MA 01778 Tel. 617-905-6060
www.christopherfield.com



Verify at www.atanet.org/verify

CERTIFICATION OF TRANSLATION

I, Christopher L. Field, residing at 52 Sherman's Bridge Rd., Wayland MA, 01778, United States of America, declare and state as follows:

I am well acquainted with the English and Japanese languages. I have translated numerous Japanese documents of legal and/or technical content into English. I am fully accredited by the American Translators Association (ATA) for Japanese to English translation, and my ATA certification number is 423514.

I have personally translated the attached document, entitled "JP2007-109830" from Japanese into English. I hereby certify that the English translation of the attached documents is an accurate translation to the best of my knowledge and ability.

I further declare that all statements made herein of my own knowledge are true, that all statements made on information and belief are believed to be true, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed at Wayland, Massachusetts, 28 July, 2023.

Signed, _____

Christopher Field

ATA Certified Translator, Japanese to English, Certificate No. 423514