

8364588



THE UNITED STATES OF AMERICA

TO ALL TO WHOM THESE PRESENTS SHALL COME:

UNITED STATES DEPARTMENT OF COMMERCE

United States Patent and Trademark Office

April 14, 2023

**THIS IS TO CERTIFY THAT ANNEXED IS A TRUE COPY FROM THE
RECORDS OF THIS OFFICE OF THE FILE WRAPPER AND CONTENTS
OF:**

APPLICATION NUMBER: 12/032,117

FILING DATE: February 15, 2008

PATENT NUMBER: 7971167

ISSUE DATE: June 28, 2011



Certified by

Kathi

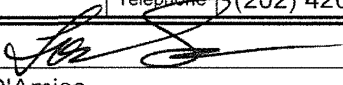
Performing the Functions and Duties of the
Under Secretary of Commerce
for Intellectual Property
and Director of the United States
Patent and Trademark Office

Cadence Design Systems, Inc. - Ex. 1002, Page 00001

IPR2024-00024 (Cadence Design Systems, Inc. v. Semiconductor Design Technologies, LLC)

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL (ONLY FOR NEW NONPROVISIONAL APPLICATIONS UNDER 37 CFR 1.53(B))		Attorney Docket No. R2180.0374/P374	
		First Inventor Yasutaka Tsukamoto	
		Title SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD	
		Express Mail Label No.	

APPLICATION ELEMENTS See MPEP chapter 600 concerning utility patent application contents.	ADDRESS TO: Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450
1. ☐ Fee Transmittal Form (e.g., PTO/SB/17) (Submit an original and a duplicate for fee processing) 2. ☐ Applicant claims small entity status. See 37 CFR 1.27. 3. ☒ Specification [Total Pages <u>21</u>] Both the claims and abstract must start on a new page (For information on the preferred arrangement, see MPEP 608.01(a)) 4. ☒ Drawing(s) (35 U.S.C. 113) [Total Sheets <u>3</u>] 5. Oath or Declaration [Total Sheets <u>3</u>] a. ☒ Newly executed (original or copy) b. ☐ A copy from a prior application (37 CFR 1.63(d)) (for continuation/divisional with Box 18 completed) i. ☐ DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b). 6. ☐ Application Data Sheet. See 37 CFR 1.76 7. ☐ CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix) ☐ Landscape Table on CD 8. Nucleotide and/or Amino Acid Sequence Submission (if applicable, items a. - c. are required) a. ☐ Computer Readable Form (CRF) b. Specification Sequence Listing on: i. ☐ CD-ROM or CD-R (2 copies); or ii. ☐ Paper c. ☐ Statements verifying identity of above copies	ACCOMPANYING APPLICATION PARTS 9. ☐ Assignment Papers (cover sheet & document(s)) Name of Assignee 10. ☐ 37 CFR 3.73(b) Statement ☐ Power of Attorney (when there is an assignee) 11. ☐ English Translation Document (if applicable) 12. ☒ Information Disclosure Statement (PTO/SB/08 or PTO-1449) ☒ Copies of citations attached 13. ☐ Preliminary Amendment 14. ☐ Return Receipt Postcard (MPEP 503) (Should be specifically itemized) 15. ☐ Certified Copy of Priority Document(s) (if foreign priority is claimed) 16. ☐ Nonpublication Request under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent. 17. ☒ Other: - Claim for Priority - Request to Retrieve Electronic Priority Application(s) - Miscellaneous Communication
18. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76: ☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No.: _____ Prior application information: Examiner _____ Art Unit: _____	
19. CORRESPONDENCE ADDRESS	
☒ The address associated with Customer Number: <u>24998</u> ☒ Correspondence address below	
Name Thomas J. D'Amico DICKSTEIN SHAPIRO LLP	
Address 1825 Eye Street, NW	
City Washington	State DC
Country US	Zip Code 20006-5403
Telephone (202) 420-2200	Email Address
Signature 	Date February 15, 2008
Name (Print/Type) Thomas J. D'Amico	Registration No. (Attorney/Agent) 28,371

TITLE OF THE INVENTION

SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT
METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED
CIRCUIT

5

CROSS-REFERENCE TO RELATED APPLICATION

The present application is based on and claims priority from
Japanese Patent Application No. 2007-038603 filed on February 19,
2007 in the Japan Patent Office, the entire contents of which are
hereby incorporated herein by reference.

10

BACKGROUND OF THE INVENTION

Field of the Invention

Exemplary aspects of the present invention relate to a
semiconductor design support device, a semiconductor design
support method, and a manufacturing method, and more particularly,
to a semiconductor design support device and a semiconductor
design support method for designing a semiconductor integrated
circuit and a method for manufacturing the semiconductor
integrated circuit.

15

20

Description of the Related Art

Advances in semiconductor manufacturing technologies increase
a degree of integration of a semiconductor at an increased speed.
Accordingly, an LSI (large scale integration) circuit has come to

25

have greater size and complexity. On the other hand, a life cycle of an electronic device including the LSI is becoming shorter.

Therefore, a circuit design is requested to be completed in a shorter time period. However, known design methods may not design

5 the LSI having the required greater size and complexity effectively. Thus, various EDA (electronic design automation) tools for describing a design at an increased abstract level are proposed.

One example of the EDA tool is a behavioral synthesis tool.

10 The behavioral synthesis tool generates an RTL (register transfer level) description from a behavioral description for describing an operation of hardware. The RTL description is input to a logic synthesis tool. The behavioral description describes an algorithm of processing to be executed by the hardware directly in a motion
15 level, and does not recognize a concept of clock cycles. On the other hand, the RTL description recognizes a concept peculiar to the hardware, such as register and clock synchronism. The behavioral synthesis tool automatically synthesizes the behavioral description into the RTL description to increase the
20 abstract level of the design.

When the behavioral synthesis tool generates the RTL description, a latency in the RTL description needs to be checked. The latency denotes a total number of clock cycles needed to complete processing for total input data. The latency generally
25 varies depending on type of the input data. Therefore, a logic

simulation (e.g., an RTL simulation) is performed on the RTL description to calculate the latency based on the simulation result.

When the latency is calculated by performing the RTL simulation, a target function may not finish with a desired latency. In this case, the behavioral description is checked to determine which part of the behavioral description consumes a great number of clock cycles (e.g., which part of the behavioral description has a great latency). However, known methods may not check the behavioral description effectively.

SUMMARY OF THE INVENTION

This specification describes a novel semiconductor design support device for designing a semiconductor integrated circuit. In one aspect of the present invention, the novel semiconductor design support device includes a behavioral description, an RTL description, and a latency analyzer. The behavioral description is configured to describe an algorithm of processing performed by hardware in a motion level. The RTL description is generated by reading the behavioral description and is configured to recognize a concept including register and clock synchronism peculiar to the hardware. The latency analyzer is configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

This specification further describes a novel semiconductor design support method for designing a semiconductor integrated circuit. In one aspect of the present invention, the novel semiconductor design support method includes describing an
5 algorithm of processing performed by hardware in a motion level to generate a behavioral description, reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism peculiar to the hardware, and analyzing a result of a logic simulation performed
10 on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

This specification further describes a novel method for manufacturing a semiconductor integrated circuit. In one aspect
15 of the present invention, the novel method includes describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description, reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism peculiar to the
20 hardware, and analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description. The method further includes designing a circuit based on the calculated latency, creating a layout of the
25 circuit, generating a photomask based on the layout of the

circuit, and transferring a pattern of the photomask onto a semiconductor wafer.

BRIEF DESCRIPTION OF THE DRAWINGS

5 A more complete appreciation of the invention and the many attendant advantages thereof will be readily obtained as the same becomes better understood by reference to the following detailed description when considered in connection with the accompanying drawings, wherein:

10 FIG. 1 is a functional block diagram of a semiconductor design support device for designing a semiconductor integrated circuit according to an exemplary embodiment of the present invention;

FIG. 2 is an illustration of one example of a behavioral description included in the semiconductor design support device
15 shown in FIG. 1;

FIG. 3 is an illustration of one example of a correspondence table included in the semiconductor design support device shown in FIG. 1;

FIG. 4 is an illustration of one example of latency
20 information included in the semiconductor design support device shown in FIG. 1; and

FIG. 5 is a flowchart illustrating operations of the semiconductor design support device shown in FIG. 1.

25 DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

In describing preferred embodiments illustrated in the drawings, specific terminology is employed for the sake of clarity. However, the disclosure of this patent specification is not intended to be limited to the specific terminology so
5 selected, and it is to be understood that each specific element includes all technical equivalents that operate in a similar manner.

Referring now to the drawings, wherein like reference numerals designate identical or corresponding parts throughout the several
10 views, particularly to FIG. 1, a semiconductor design support device 10 for designing a semiconductor integrated circuit according to an exemplary embodiment of the present invention is explained.

As illustrated in FIG. 1, the semiconductor design support
15 device 10 includes a behavioral description 1, a behavioral synthesizer 2, an RTL (register transfer level) description 4, a correspondence table 5, a logic simulator 6, latency information 8, and a latency information display 9. The behavioral synthesizer 2 includes a correspondence table generator 3. The
20 logic simulator 6 includes a latency analyzer 7.

The behavioral synthesizer 2 reads the behavioral description 1 to generate the RTL description 4 and the correspondence table 5 by using a known algorithm for behavioral synthesization. The correspondence table 5 contains information showing to which
25 state in a state machine (e.g., a state transition machine) in

the RTL description 4 each block in the behavioral description 1 corresponds. The block represents motion in a predetermined unit.

When the behavioral synthesizer 2 generates the RTL description 4, a latency in the RTL description 4 needs to be checked. The latency denotes a total number of clock cycles needed to complete processing for total input data. The latency generally varies depending on type of the input data. Therefore, a logic simulation (e.g., an RTL simulation) is performed on the RTL description 4 to calculate the latency based on the

simulation result. The latency may be calculated without the RTL simulation. However, in most cases, the RTL simulation is needed.

Referring to FIG. 2, the following describes the latency calculated by performing the RTL simulation. FIG. 2 illustrates the behavioral description 1 as an example description in a motion level. The behavioral description 1 includes blocks 41 and 42. The blocks 41 and 42 include motion in a predetermined unit written in C language in braces {}.

When the behavioral description 1 is input into the behavioral synthesizer 2 (depicted in FIG. 1) to generate the RTL description 4 (depicted in FIG. 1), a total number of processing cycles in the block 41 and a total number of processing cycles in the block 42 in the RTL description 4 are not known before the RTL simulation is performed, because the number of processing cycles in the blocks 41 and 42 may vary depending on input data to be processed. The blocks 41 and 42 represent motion in a

predetermined unit.

For example, two clock cycles are needed for processing in the block 41 and three clock cycles are needed for processing in the block 42. The behavioral synthesizer 2 generates the RTL

5 description 4. A logic simulation is performed on the RTL description 4 by inputting data to be processed. One million cycles are performed in the block 41 and ten thousand cycles are performed in the block 42. In this case, a total latency in the block 41 is two million clock cycles which is obtained by
10 multiplying two by one million, and a total latency in the block 42 is thirty thousand clock cycles which is obtained by multiplying three by ten thousand. Therefore, to reduce the total latency for the data, not the processing cycles of the block 42 but the processing cycles of the block 41 need to be reduced.
15 When the RTL simulation is performed by using another input data, the total latency in the block 42 may be greater than the total latency in the block 41.

FIG. 3 illustrates an example of the correspondence table 5 (depicted in FIG. 1). The correspondence table 5 contains three
20 categories of information, that is, a block name, a start state, and a finish state. The block name shows each block in the behavioral description 1 (depicted in FIG. 1). The block name includes a file name, a line number, and a block type indicated as "the file name_the line number_the block type", for example.
25 "if" or "case" may be used to show the block type. However, other

characters may be used. The start state shows a state in which an execution of a block starts. The start state includes each state in a state machine (e.g., a finite state machine) in the RTL description 4 (depicted in FIG. 1), for example. However, the

5 start state may be shown by using a file name and a line number in the RTL description 4 instead of the state machine. The finish state shows a state in which the execution of the block finishes. In the following description, a block name "file1_102_if" in FIG. 3 corresponds to the block 41 in FIG. 2. A block name

10 "file1_104_else" in FIG. 3 corresponds to the block 42 in FIG. 2.

As illustrated in FIG. 1, the correspondence table generator 3 generates the correspondence table 5, in which each block in the behavioral description 1 corresponds to the states in the RTL description 4, based on the behavioral description 1 and the RTL description 4 automatically converted from the behavioral

15 description 1 by the behavioral synthesizer 2. For example, the correspondence table generator 3 divides the behavioral description 1 into blocks representing motion in a predetermined unit. The correspondence table generator 3 refers to details

20 about behavioral synthesis processes to identify which block in the behavioral description 1 corresponds to a state in the RTL description 4. The behavioral synthesis processes include CDFG (control data flow graph) conversion, scheduling, allocation (e.g., data path allocation), and state machine generation. The

25 correspondence table generator 3 specifies a start and a finish

of a block as the start state and the finish state, respectively,
to identify a range of a state corresponding to the block.

The logic simulator 6 performs a logic simulation on the RTL
description 4. The latency analyzer 7 refers to the logic
5 simulation result and the correspondence table 5 to calculate a
latency in each block in the behavioral description 1. The
latency information display 9 displays the calculated latency.

The latency analyzer 7 monitors a state transition based on
the logic simulation result. Referring to FIG. 3, the following
10 describes the monitoring performed by the latency analyzer 7
(depicted in FIG. 1). In FIG. 3, states S10 and S21 are shown as
start and finish states, respectively. When the logic simulation
reaches the state S10, the latency analyzer 7 recognizes that an
execution of the block "file1_102_if" (e.g., the block 41
15 depicted in FIG. 2) starts. When the logic simulation proceeds
and reaches the state S21, the latency analyzer 7 recognizes that
the execution of the block 41 finishes. The latency analyzer 7
calculates a difference between a time of the state S21 and a
time of the state S10 by using a timer (not shown), and stores
20 the difference as a latency of the block 41. When the block 41 is
executed again, the latency analyzer 7 calculates another latency
in the similar method, and adds the calculated latency to the
previously calculated latency. As illustrated in FIG. 3, states
S12 and S30 are also specified as start and finish states,
25 respectively. Thus, a block may have one or more start states.

FIG. 4 illustrates an example table of a total latency in each block calculated by the latency analyzer 7 (depicted in FIG. 1) displayed by the latency information display 9 (depicted in FIG. 1). The example table includes the block name and the total

5 latency. However, the example table may further include a function. Namely, the latency information display 9 may display latency information 8 (depicted in FIG. 1) per function.

FIG. 5 is a flowchart illustrating operations for calculating the total latency for each block in the behavioral description 1 (depicted in FIG. 1). In step S101, the semiconductor design

10 support device 10 (depicted in FIG. 1) creates the behavioral description 1 for describing an algorithm for executing processing directly in a motion level language. In step S102, the behavioral synthesizer 2 (depicted in FIG. 1) performs a

15 behavioral synthesization. For example, the behavioral synthesizer 2 automatically converts the behavioral description 1 into the RTL description 4 (depicted in FIG. 1). As described above, the behavioral synthesis processes include CDFG conversion, scheduling, allocation (e.g., data path allocation), and state

20 machine generation. In step S103, the RTL description 4 is obtained by the behavioral synthesis processes. In step S104, the correspondence table generator 3 (depicted in FIG. 1) refers to the behavioral description 1, the RTL description 4, and the behavioral synthesis processes to generate the correspondence

25 table 5 (depicted in FIG. 1).

In step S105, the correspondence table 5 is obtained. In step S106, the logic simulator 6 (depicted in FIG. 1) performs a logic simulation on the RTL description 4 to verify a logical function and a time of a designed logical circuit. In step S107, the simulation result is obtained. In step S108, the latency analyzer 7 (depicted in FIG. 1) performs a latency analysis to calculate a total latency in each block in the behavioral description 1 based on a relationship between each block in the behavioral description 1 and states in the RTL description 4 in the correspondence table 5 and the logic simulation result. In step S109, the total latency in each block is obtained as latency information 8 (depicted in FIG. 1). In step S110, the latency information display 9 (depicted in FIG. 1) displays the latency information 8.

As illustrated in FIG. 1, according to this exemplary embodiment, the behavioral synthesizer 2 includes the correspondence table generator 3 and the logic simulator 6 includes the latency analyzer 7. However, the behavioral synthesizer 2 may be separately provided from the correspondence table generator 3 and the logic simulator 6 may be separately provided from the latency analyzer 7. In this case, the automatic conversion function for automatically converting the behavioral description 1 into the RTL description 4 is separately provided from the generation function for generating the correspondence table 5. Namely, the behavioral synthesizer 2 and the

correspondence table generator 3 have the automatic conversion function and the generation function, respectively. The logic simulation function is separately provided from the latency analysis function. Namely, the logic simulator 6 and the latency analyzer 7 have the logic simulation function and the latency analysis function, respectively.

According to this exemplary embodiment, the correspondence table generator 3 generates the correspondence table 5 in which each block in the behavioral description 1 corresponds to the states in the RTL description 4. The latency analyzer 7 refers to the correspondence table 5 and the simulation result of the logic simulation performed on the RTL description 4 to easily calculate a latency in each block in the behavioral description 1. Thus, the semiconductor design support device 10 may easily determine which part of the behavioral description 1 is effectively corrected to reduce the latency.

The above-described exemplary embodiment is one example of the present invention. Therefore, the present invention is not limited to the details of the above-described exemplary embodiment and various modifications and improvements are possible without departing from the spirit and scope of the invention.

For example, the semiconductor design support device 10 operates in accordance with processing executed by a computer including a CPU (central processing unit) according to a command

of a program. The program sends commands to elements of the computer to cause the elements of the computer to perform the above-described processing. Specifically, the CPU generates the correspondence table 5 in which the behavioral description 1
5 corresponds to the RTL description 4. The CPU refers to the logic simulation result and the correspondence table 5 to calculate the total latency in each block in the behavioral description 1. Thus, the program and the computer may form the semiconductor design support device 10 for performing the above-described processing.

10 A computer-readable recording medium (e.g., a storage media) stores a program code of software for providing the above-described functions. A computer including the semiconductor design support device 10 may read and execute the program code stored in the storage media to perform the above-described
15 functions. The program code may be downloaded into the computer including the semiconductor design support device 10 via a communication line instead of the storage media, and the downloaded program code may be executed to perform the above-described functions.

20 In this case, the program code read from the storage media or downloaded via the communication line is executed to perform the above-described processing and functions. Namely, the storage media storing the program code may provide the above-described processing and functions. The storage media storing the program
25 code may include a floppy disk, a hard disk, an optical disk, a

magneto-optical disk, a CD-ROM (compact disc read-only memory), a CD-R (compact disc recordable), a nonvolatile memory card, a ROM (read-only memory), and magnetic tape.

A circuit may be designed by using the above-described semiconductor design support method to create a layout. A photomask may be created based on the layout of the designed circuit. A pattern of the photomask may be transferred onto a semiconductor wafer to manufacture a semiconductor integrated circuit to perform the above-described processing and functions.

According to the above-described exemplary embodiment, when designing a semiconductor integrated circuit, a logical function and a time of a designed logical circuit may be effectively verified by performing an RTL simulation. Further, the design of the semiconductor integrated circuit may be corrected in an early stage of design processes based on the verification result.

Although the present invention has been described above with reference to specific embodiments, the present invention is not limited to the details of the embodiments described above and various modifications and improvements are possible without departing from the spirit and scope of the invention. It is therefore to be understood that, within the scope of the appended claims, the present invention may be practiced otherwise than as specifically described herein. For example, elements and/or features of different illustrative embodiments may be combined with each other and/or substituted for each other within the

scope of the present invention and appended claims.

WHAT IS CLAIMED IS:

1. A semiconductor design support device for designing a semiconductor integrated circuit, the device comprising:

5 a behavioral description configured to describe an algorithm of processing performed by hardware in a motion level;

an RTL description generated by reading the behavioral description, the RTL description configured to recognize a concept including register and clock synchronism peculiar to the

10 hardware; and

a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

15 2. The semiconductor design support device according to claim 1, further comprising:

a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description; and

20 a correspondence table generator configured to generate the correspondence table.

3. The semiconductor design support device according to claim 2,

25 wherein the latency analyzer refers to the result of the logic

simulation and the correspondence table generated by the
correspondence table generator to calculate the latency in each
block in the behavioral description.

5 4. A semiconductor design support method for designing a
semiconductor integrated circuit, the method comprising:
describing an algorithm of processing performed by hardware in
a motion level to generate a behavioral description;
reading the behavioral description to generate an RTL
10 description for recognizing a concept including register and
clock synchronism peculiar to the hardware; and
analyzing a result of a logic simulation performed on the RTL
description to calculate a latency in each block representing an
operation in a predetermined unit in the behavioral description.

15
5. The semiconductor design support method according to claim
4, further comprising:
generating a correspondence table in which each block in the
behavioral description corresponds to a state in the RTL
20 description.

6. The semiconductor design support method according to claim
5, further comprising:
referring to the result of the logic simulation and the
25 correspondence table to calculate the latency in each block in

the behavioral description.

7. A manufacturing method for manufacturing a semiconductor integrated circuit, the method comprising:

5 describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description;

 reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism peculiar to the hardware;

10 analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description;

 designing a circuit based on the calculated latency;

 creating a layout of the circuit;

15 generating a photomask based on the layout of the circuit; and

 transferring a pattern of the photomask onto a semiconductor wafer.

8. The manufacturing method according to claim 7, further comprising:

 generating a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description.

25 9. The manufacturing method according to claim 8, further

comprising:

referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description.

5

ABSTRACT OF THE DISCLOSURE

A semiconductor design support device for designing a semiconductor integrated circuit includes a behavioral description, an RTL description, and a latency analyzer. The behavioral description describes an algorithm of processing performed by hardware in a motion level. The RTL description is generated by reading the behavioral description and recognizes a concept including register and clock synchronism peculiar to the hardware. The latency analyzer analyzes a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

FIG. 1

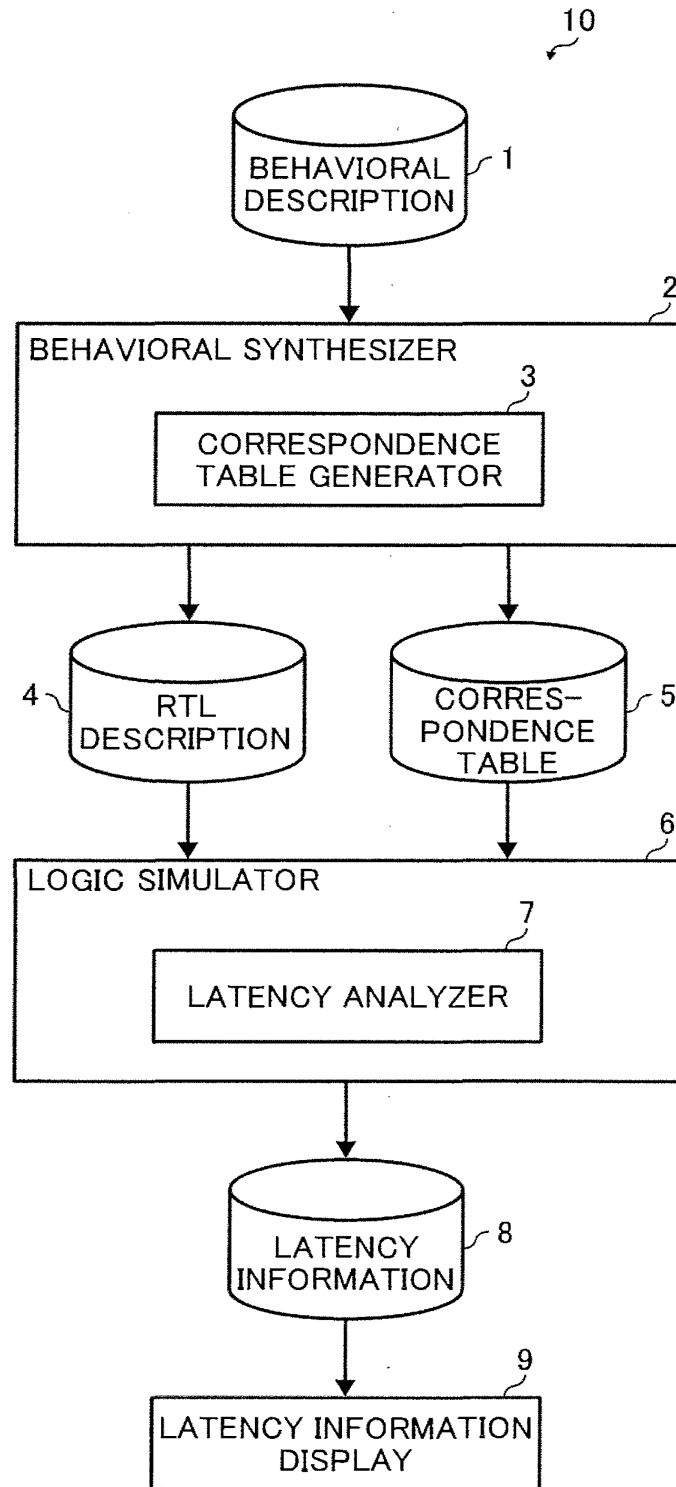


FIG. 2

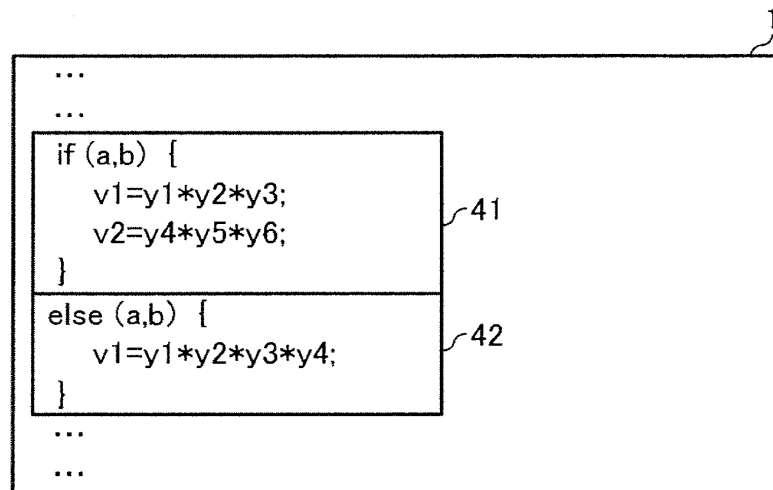


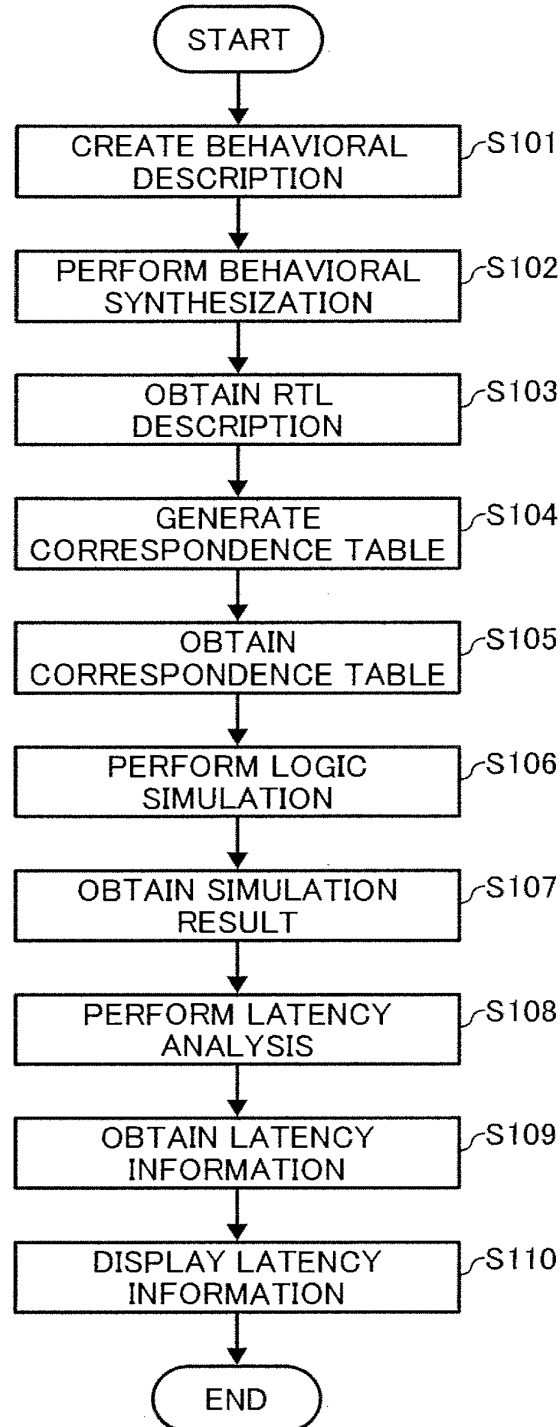
FIG. 3

BLOCK NAME	START STATE	FINISH STATE
file1_102_if	S10	S21
	S12	S30
file1_104_else	S10	S24
	S12	S29

FIG. 4

BLOCK NAME	TOTAL LATENCY (CLOCK CYCLES)
file1_102_if	2,000,000
file1_104_else	30,000

FIG. 5



Atty. Docket R2180.0374/P374

Declaration and Power of Attorney For Patent Application**特許出願宣言書及び委任状****Japanese Language Declaration****日本語宣言書**

下記の氏名の発明者として、私は以下の通り宣言します。

私の住所、郵便の宛先、国籍は下記の私の氏名の後に記載された通りです。

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者（下記の名称が複数の場合）であると信じています。

上記発明の明細書は、

☐ 本書に添付されています。

☐ _____ 月 _____ 日に提出され、米国出願番号

または 特許協定条約国際出願番号を

_____ とし、

(該当する場合) _____ に訂正されました。

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

私は、連邦規則法典第 37 編第 1 条 56 項に定義されたとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。

私は、米国法典第 35 編 119 条(a) ~ (d)項又は 365 条 (b) 項に基づき下記の、米国以外の国の少なくとも一カ国を指定している特許協力条約 365(a)項に基づく国際出願、又は外国

As a below named inventor, I hereby declare that:

My residence, mailing address and citizenship are as stated next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled.

SEMICONDUCTOR DESIGN SUPPORT DEVICE,
SEMICONDUCTOR DESIGN SUPPORT METHOD, AND
MANUFACTURING METHOD FOR SEMICONDUCTOR
INTEGRATED CIRCUIT

the specification of which

☐ is attached hereto.

☐ was filed on _____

as Docket No. R2180.0374/P374

as United States Application Number or PCT
International Application Number

_____ And was amended on

_____ (if applicable)

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, § 1.56.

I hereby claim foreign priority under Title 35, United States Code, § 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or § 365(a) of any PCT International application which designated at least one

Japanese Language Declaration (日本語宣言書)

での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Prior Foreign Application(s)
外国での先行出願

Priority Claimed
優先権主張

2007-038603
(Number)
番号)

JAPAN
(Country)
国名)

19/02/2007
(Day/Month/Year Filed)
出願年月日)

☒ ☐
Yes No
はい いいえ

(Number)
番号)

(Country)
国名)

(Day/Month/Year Filed)
出願年月日)

☐ ☐
Yes No
はい いいえ

私は、第 35 編米国法典 119 条 (e) 項に基づいて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, §119(e) of any United States provisional application(s) listed below.

(Application No.)
(出願番号)

(Filing Date)
(出願日)

(Application No.)
(出願番号)

(Filing Date)
(出願日)

私は、下記の米国法典第 35 編 120 条に基づいて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約 365 条 (c) に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第 35 編 112 条第 1 項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第 37 編 1 条 56 項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, § 120 of any United States application(s), or § 365(c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, § 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, § 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of this application.

(Application No.)
(出願番号)

(Filing Date)
(出願日)

(Status: Patented, Pending, Abandoned)
(現況: 特許許可済、係属中、放棄済)

(Application No.)
(出願番号)

(Filing Date)
(出願日)

(Status: Patented, Pending, Abandoned)
(現況: 特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書で私が行なう表明が真実であり、かつ私の入手した情報と私の信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第 18 編第 1001 条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Japanese Language Declaration (日本語宣言書)

委任状：私は下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁理士または代理人として、下記の者を指名いたします。
(弁護士、または代理人の指名及び登録番号を明記のこと)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith: (list name and registration number)

All attorneys associated with Customer Number 24998

書類送付先

Send Correspondence to:
Thomas J. D'Amico, Esq. (Reg. No. 28,371)
DICKSTEIN SHAPIRO LLP
1825 Eye Street NW
Washington, DC 20006-5403

直接電話連絡先：(名前及び電話番号)

Direct Telephone calls to: (name and telephone number)

Thomas J. D'Amico
Tel : (202) 420-2200 Fax : (202) 420-2201

単独発明者または第一の共同発明者の氏名	Full name of sole or first inventor Yasutaka TSUKAMOTO
発明者の署名 日付	Inventor's signature Date <i>Yasutaka Tsukamoto February 14, 2008</i>
住所	Residence Yokohama city, Kanagawa pref., Japan
国籍	Citizenship JAPAN
郵便の宛先	Mailing Address c/o Ricoh Company, Ltd., 3-6, Nakamagome 1-Chome, Ohta-ku, Tokyo 143-8555 JAPAN
第二の共同発明者の氏名	Full name of second joint inventor, if any
第二の共同発明者の署名 日付	Second inventor's signature Date
住所	Residence
国籍	Citizenship
郵便の宛先	Mailing Address

第三以降の共同発明者についても同様に記載し、署名すること)

(Supply similar information and signature for third and subsequent joint inventors.)

Docket No.: R2180.0374/P374
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: Not Yet Assigned

Confirmation No.: N/A

Filed: February 15, 2008

Art Unit: N/A

For: SEMICONDUCTOR DESIGN SUPPORT
DEVICE, SEMICONDUCTOR DESIGN
SUPPORT METHOD, AND
MANUFACTURING METHOD FOR
SEMICONDUCTOR INTEGRATED CIRCUIT

Examiner: Not Yet Assigned

MISCELLANEOUS COMMUNICATION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

The undersigned hereby requests that Fig.1 (attached hereto) be designated to appear on the first page of the application when the application is published.

Dated: February 15, 2008

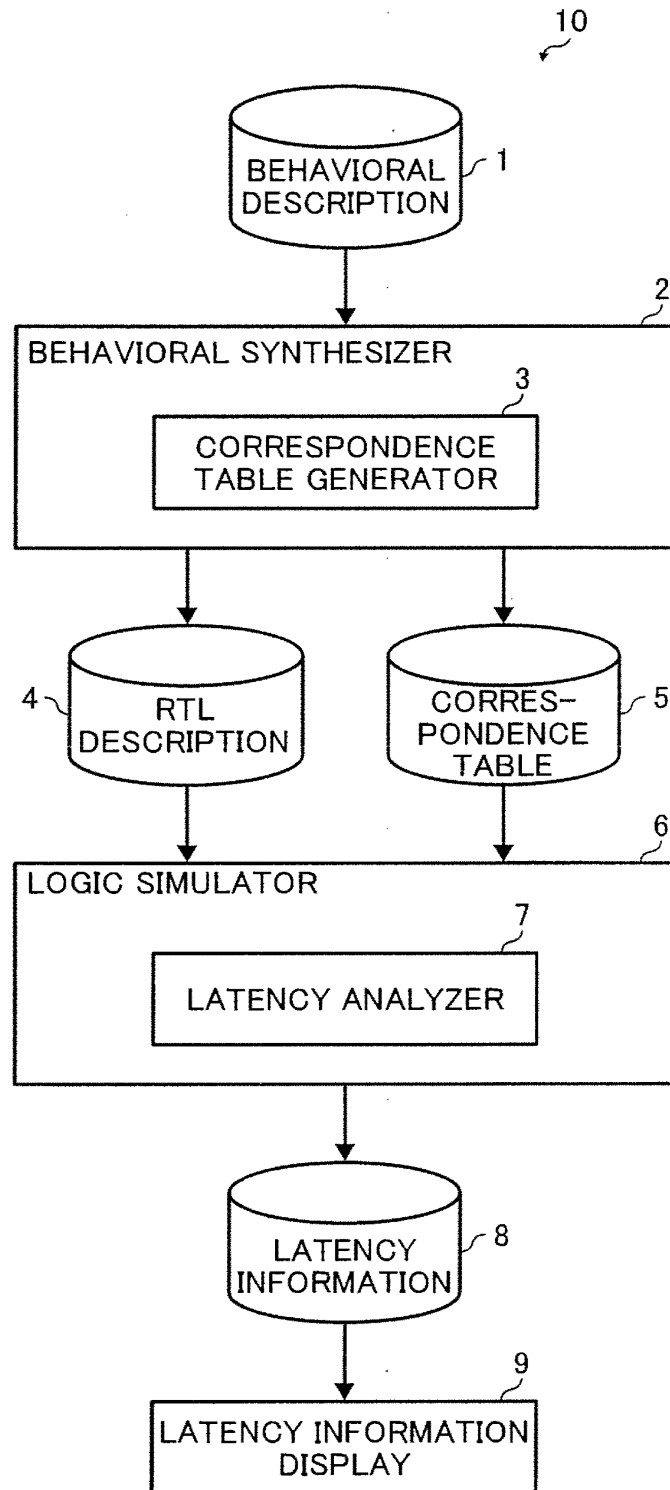
Respectfully submitted,

By 

Thomas J. D'Amico
Registration No.: 28,371
DICKSTEIN SHAPIRO LLP
1825 Eye Street, NW
Washington, DC 20006-5403
(202) 420-2200
Attorney for Applicant

DSMDB-2395561v01

FIG. 1



Docket No.: R2180.0374/P374
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: Not Yet Assigned

Confirmation No.: N/A

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR DESIGN SUPPORT DEVICE,
SEMICONDUCTOR DESIGN SUPPORT
METHOD, AND MANUFACTURING METHOD
FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

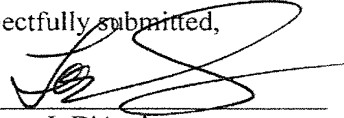
Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2007-038603	February 19, 2007

Dated: February 15, 2008

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371
DICKSTEIN SHAPIRO LLP
1825 Eye Street, NW
Washington, DC 20006-5403
(202) 420-2200
Attorney for Applicant

DSMDB-2395466v01

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**Request to Retrieve Electronic
Priority Application(s)**Send completed form to: Commissioner for Patents
P.O. Box 1450, Alexandria, VA 22313-1450**COMPLETE IF KNOWN**

Application Number	Not Yet Assigned
Filing Date	Concurrently Herewith
First Named Inventor	Yasutaka Tsukamoto
Art Unit	N/A
Examiner Name	Not Yet Assigned
Attorney Docket Number	R2180.0374/P374

The undersigned hereby requests the USPTO retrieve an electronic copy of each of the following foreign applications for which benefit has been claimed under 35 U.S.C. 119(a)-(d) from a foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement:

Please retrieve (check all that apply)

- ☒ The following applications originally filed in participating offices (only list the Participating Office and the Participating Office Application Number (columns 1 and 2 below)):
- ☐ The following applications originally filed in non-participating offices (must list the information for all three columns below):

Columns Below:				
1. Participating Office with which the Priority Application, or the Copy, was filed (e.g., EPO)	2. Participating Office Application Number in which the Priority Application, or a Copy, was filed (e.g., 03101432)		3. Non-Participating Office Application Number (Priority Application), if applicable	
	App. No.	Filing Date	Office	App. No.
1. JPO	2007-038603	02/19/2007		
2.				
3.				
4.				
5.				
6.				

This Request to Retrieve Electronic Priority Application(s) (Request) should be filed within the later of four months from the date of filing the above-identified application claiming foreign priority, or sixteen months from the filing date of the foreign application to which priority is claimed.

This Request should be submitted concurrently with the claim for priority, or thereafter. The USPTO will not attempt to retrieve the identified priority application(s) until applicant identifies the indicated priority application(s) on the oath or declaration or an application data sheet in compliance with 37 CFR 1.63(c).

Applicants are advised to consult Private PAIR (accessed through www.uspto.gov) to assure that the retrieval has been successful. The applicant remains ultimately responsible for the submission of the certified copy of the foreign application(s) within the period set forth in 37 CFR 1.55(a) (before the U.S. application issues as a patent) if the USPTO does not timely retrieve the identified priority application(s).

I hereby declare that I have the authority to grant access to the above-identified applications.

Signature

February 15, 2008
DateThomas J. D'Amico
Printed or Typed Name(202) 420-2232
Telephone NumberAttorney for Applicant(s)
Title28,371
Registration Number, if applicable

Substitute for form 1449/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary)</i>				Complete if Known	
				Application Number	Not Yet Assigned
				Filing Date	Concurrently Herewith
				First Named Inventor	Yasutaka Tsukamoto
				Art Unit	N/A
Examiner Name	Not Yet Assigned				
Sheet	1	of	1	Attorney Docket Number	R2180.0374/P374

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
	AA*	6,094,527	07-25-2000	Tsukamoto et al.	
	AB*	6,042,613	03-28-2000	Tsukamoto et al.	
	AC*	6,093,212	07-25-2000	Takahashi et al.	
	AD*	6,910,202	06-21-2005	Minami et al.	
	AE	10/763,255	01-26-2004	Yamada	

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁶
		Country Code ³ -Number ⁴ -Kind Code ⁵ (if known)				
	BA	JP 2005-63121	03-10-2005			*
	BB	JP 2006-285865	10-19-2006			*

Examiner Signature		Date Considered	
-----------------------	--	--------------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * CITE NO.: Those application(s) which are marked with an single asterisk (*) next to the Cite No. are not supplied (under 37 CFR 1.98(a)(2)(iii)) because that application was filed after June 30, 2003 or is available in the IFW. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²

Examiner Signature		Date Considered	
-----------------------	--	--------------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

* English Language Abstract Enclosed

WHAT IS CLAIMED IS:

1. A computer readable medium including computer executable code stored thereon,
the code for estimating power consumption of an integrated circuit, comprising:

code for simulating logic of basic and mega cells of the integrated circuit;

5 code for estimating a current consumed by the mega cells by obtaining logic
states for each mega cell, determining an average operation frequency for each logic
state, and determining an alternating current component and a direct current component
for each logic state to calculate said current consumed by the mega cells for estimating a
first value of electric power consumed by said mega cells based on said logic
10 simulations and pre-established power consumption data;

code for estimating a current consumed by the basic cells for estimating a
second value of electric power consumed by said basic cells based on said logic
simulations and pre-established power consumption data; and

code for combining said first and second values to obtain the power
15 consumption of the integrated circuit.

2. A computer readable medium as recited in claim 1, wherein the computer
readable medium comprises a floppy disk.

3. A computer readable medium as recited in claim 2, wherein the floppy disk
comprises a 3.5 inch diskette.

4. A computer readable medium as recited in claim 1, wherein the computer readable medium comprises a compact disk

5. A computer readable medium as recited in claim 4, wherein the compact disk is a read-only disk.

5 6. A computer readable medium as recited in claim 4, wherein the compact disk is a read/write disk.

7. A computer readable medium as recited in claim 1, wherein the computer readable medium comprises a DVD.

8. A computer readable medium as recited in claim 1, wherein the computer executable code is one of compressed and noncompressed.

9. A computer readable medium including computer executable code stored there, the code for estimating electric power consumed by basic cells and mega cells of an integrated circuit to estimate total power consumed by the integrated circuit, comprising:

15 code for simulating logic of said basic cells and said mega cells, wherein each function of each mega cell for logic simulation is defined by hardware description language;

code for estimating a current consumed by the basic cells for estimating a first

value of electric power consumed by said basic cells based on logic simulation results from said logic simulations and pre-established power consumption data for each logic state of each input and output terminal of said basic cells;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a second value of electric power consumed by said mega cells based on logic simulation results from said logic simulations and pre-established power consumption data for said logic states, variables in the function description, and said operating frequencies at each input and output terminal of each mega cell; and

code for adding said first and said second values of the power consumption to determine the total power consumption for the integrated circuit.

10. A computer readable medium as recited in claim 9, wherein the computer readable medium comprises a floppy disk.

11. A computer readable medium as recited in claim 10, wherein the floppy disk comprises a 3.5 inch diskette.

12. A computer readable medium as recited in claim 9, wherein the computer readable medium comprises a compact disk

13. A computer readable medium as recited in claim 12, wherein the compact disk is a read-only disk.

14. A computer readable medium as recited in claim 12, wherein the compact disk is a read/write disk.

5 15. A computer readable medium as recited in claim 9, wherein the computer readable medium comprises a DVD.

16. A computer readable medium as recited in claim 9, wherein the computer executable code is one of compressed and noncompressed.

17. A computer readable medium including computer executable code stored thereon, the code for estimating power consumption of an integrated circuit, comprising:

10 code for compiling a table which tabulates data of electric power consumed by mega cells of the integrated circuit during operation;

code for simulating logic of said mega cells and basic cells of the integrated circuit, wherein data from said table is used when simulating logic of said mega cells;

15 code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a first value of electric power consumed by said mega cells based on results from said

logic simulations;

code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells based on logic simulation results from said simulations and pre-established power consumption data for each logic state at each input and output terminal of said basic cells; and

code for adding said first and said second values to obtain the power consumption of the integrated circuit.

18. A computer readable medium as recited in claim 17, wherein the computer readable medium comprises a floppy disk.

19. A computer readable medium as recited in claim 18, wherein the floppy disk comprises a 3.5 inch diskette.

20. A computer readable medium as recited in claim 17, wherein the computer readable medium comprises a compact disk

21. A computer readable medium as recited in claim 20, wherein the compact disk is a read-only disk.

22. A computer readable medium as recited in claim 20, wherein the compact disk is a read/write disk.

23. A computer readable medium as recited in claim 17, wherein the computer readable medium comprises a DVD.

24. A computer readable medium as recited in claim 17, wherein the computer executable code is one of compressed and noncompressed.

5 25. A programmable computer for estimating power consumption of an integrated circuit comprising:

processor for executing computer executable code;

storage media for storing the computer executable code executed by the processor, the computer executable code including:

10 code for carrying out logic simulations of circuit data for basic cells and mega cells of the integrated circuit;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a first value of electric power consumed by said mega cells based on the results of said logic simulations and pre-established power consumption data;

15 code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells based on the results of said logic simulations and pre-established power consumption data; and

20 code for combining said first and second values of electric power consumed by

said mega and basic cells so as to obtain the power consumption of the integrated circuit.

26. A programmable computer as recited in claim 25, further comprising a read/write unit in which a computer readable media including computer executable code can be input, the computer executable code being downloaded from the computer readable media to the storage media via the read/write unit for execution by the processor.

27. A programmable computer as recited in claim 26, wherein the computer executable code is stored on the computer readable media in compressed format and is decompressed and downloaded to the storage media.

28. A programmable computer as recited in claim 26, wherein the computer readable media comprises at least one of a floppy disk, a CD, DVD and an Internet server.

29. A programmable computer for estimating power consumption of an integrated circuit, comprising:

processor for executing computer executable code;

storage media for storing the computer executable code executed by the processor, the computer executable code including:

code for carrying out logic simulations of circuit data for basic cells and mega cells of the integrated circuit;

code for estimating a current consumed by the basic cells for estimating a first value of electric power consumed by said basic cells, said estimate being based on logic simulation results obtained by said simulation means and pre-established power consumption data for each logic state at each input and output terminal of said basic cells;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a second value of electric power consumed by said mega cells, said estimate being based on logic simulation results obtained by said simulation means and pre-established power consumption data for each logic state, variables in a function description, and said operating frequencies of said mega cells at each input and output terminal; and

code for adding said first and second values of power consumed by said basic and mega cells so as to obtain the power consumption of the integrated circuit.

30. A programmable computer as recited in claim 29, further comprising a read/write unit in which a computer readable media including computer executable code can be input, the computer executable code being downloaded from the computer readable media to the storage media via the read/write unit for execution by the processor.

31. A programmable computer as recited in claim 30, wherein the computer executable code is stored on the computer readable media in compressed format and is decompressed and downloaded to the storage media.

32. A programmable computer as recited in claim 30, wherein the computer readable media comprises at least one of a floppy disk, a CD, DVD and an Internet server.

33. A programmable computer for estimating power consumption of an integrated circuit comprising:

processor for executing computer executable code;

storage media for storing the computer executable code executed by the processor, the computer executable code including:

a table which tabulates data of electric power consumed by mega cells of the integrated circuit during operation;

code for carrying out logic simulations of circuit data for basic cells of the integrated circuit and said mega cells, wherein data from said table is used when simulating logic of said mega cells;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a first value of electric power consumed by said mega cells, said estimate being based on

logic simulation results from said simulation means;

code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells, said estimate being based on logic simulation results obtained by said simulation means and pre-established power consumption data for logic states for each input and output terminal of said basic cells; and

code for adding said first and second values of the power consumed by said mega and basic cells so as to obtain the power consumption of the integrated circuit.

34. A programmable computer as recited in claim 33, further comprising a read/write unit in which a computer readable media including computer executable code can be input, the computer executable code being downloaded from the computer readable media to the storage media via the read/write unit for execution by the processor.

35. A programmable computer as recited in claim 34, wherein the computer executable code is stored on the computer readable media in compressed format and is decompressed and downloaded to the storage media.

36. A programmable computer as recited in claim 34, wherein the computer readable media comprises at least one of a floppy disk, a CD, DVD and an Internet server.

37. A programmed computer for estimating power consumption of an integrated circuit, the programmed computer programmed with code comprising:

code for simulating logic of basic and mega cells of the integrated circuit;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a first value of electric power consumed by said mega cells based on said logic simulations and pre-established power consumption data;

code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells based on said logic simulations and pre-established power consumption data; and

code for combining said first and second values to obtain the power consumption of the integrated circuit.

38. A programmed computer for estimating electric power consumed by basic cells and mega cells of an integrated circuit to estimate total power consumed by the integrated circuit, the programmed computer programmed with code comprising:

code for simulating logic of said basic cells and said mega cells, wherein each function of each mega cell for logic simulation is defined by hardware description language;

code for estimating a current consumed by the basic cells for estimating a first value of electric power consumed by said basic cells based on logic simulation results

from said logic simulations and pre-established power consumption data for each logic state of each input and output terminal of said basic cells;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a second value of electric power consumed by said mega cells based on logic simulation results from said logic simulations and pre-established power consumption data for said logic states, variables in the function description, and said operating frequencies at each input and output terminal of each mega cell; and

code for adding said first and said second values of the power consumption to determine the total power consumption for the integrated circuit.

39. A programmed computer for estimating power consumption of an integrated circuit, the programmed computer programmed with code comprising:

code for compiling a table which tabulates data of electric power consumed by mega cells of the integrated circuit during operation;

code for simulating logic of said mega cells and basic cells of the integrated circuit, wherein data from said table is used when simulating logic of said mega cells;

code for estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a

first value of electric power consumed by said mega cells based on results from said logic simulations;

code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells based on logic simulation results from said simulations and pre-established power consumption data for each logic state at each input and output terminal of said basic cells; and

code for adding said first and said second values to obtain the power consumption of the integrated circuit.

ABSTRACT OF THE DISCLOSURE

A computer readable medium includes computer executable code stored thereon, the code for estimating power consumption of an integrated circuit, comprising code for simulating logic of basic and mega cells of the integrated circuit, code for
5 estimating a current consumed by the mega cells by obtaining logic states for each mega cell, determining an average operation frequency for each logic state, and determining an alternating current component and a direct current component for each logic state to calculate said current consumed by the mega cells for estimating a first value of electric power consumed by said mega cells based on said logic simulations and pre-established
10 power consumption data, code for estimating a current consumed by the basic cells for estimating a second value of electric power consumed by said basic cells based on said logic simulations and pre-established power consumption data and code for combining said first and second values to obtain the power consumption of the integrated circuit.

FIG. 1

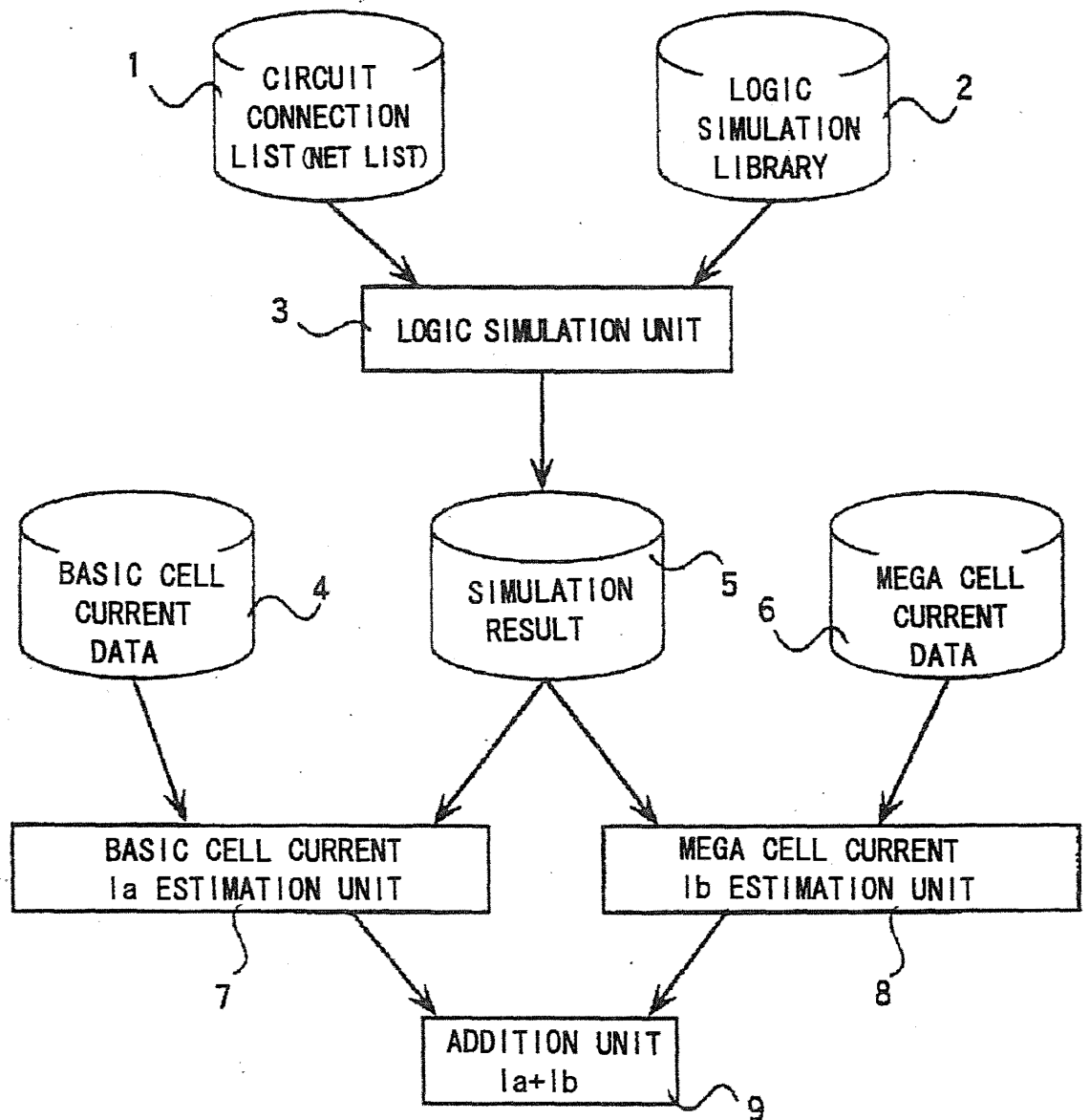


FIG. 2

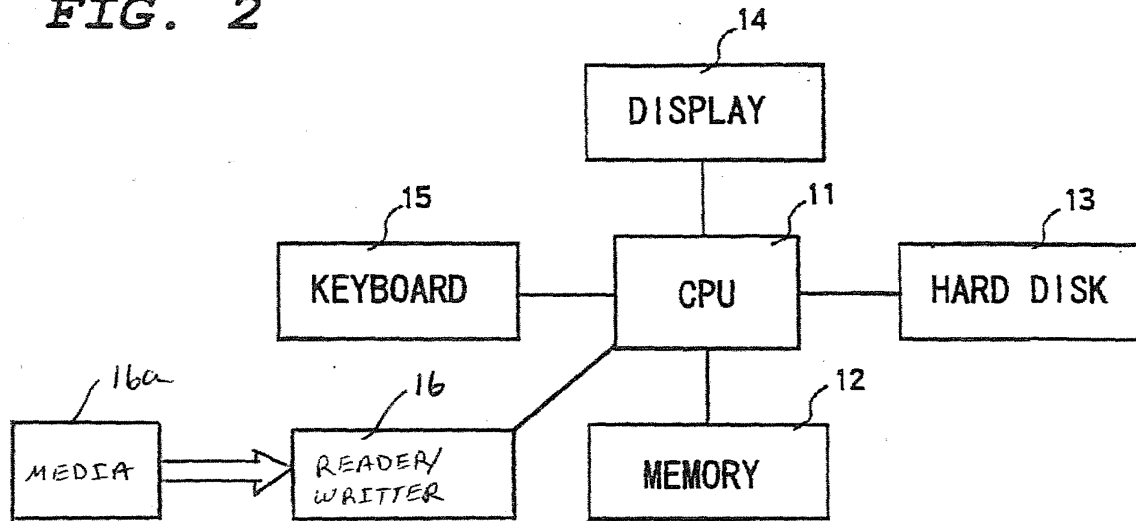


FIG. 3

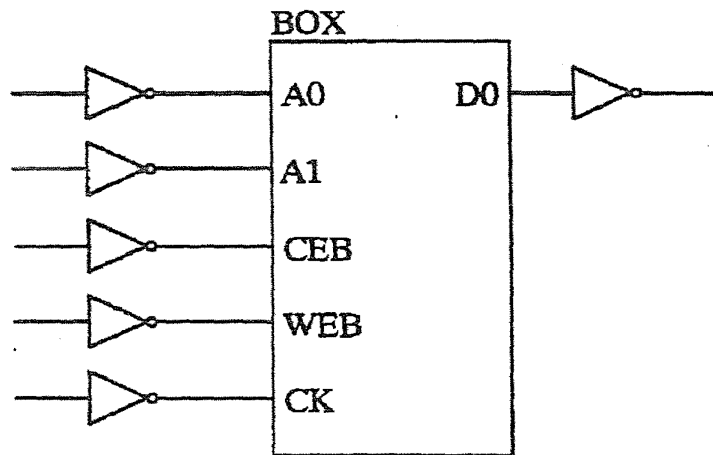


FIG. 4

CELL NAME	RAM
CELL TYPE	SYNCHRONOUS
FREQUENCY SIGNAL	CK
STATE LIST	standby, read, write

FIG. 5

STATE	STATE DEFINING CONDITION	AC CURRENT	DC CURRENT
standby	CEB=1	0	S
read	WEB=1 && CEB=0	$X \times f$	D0-Z(1)
write	WEB=0 && CEB=0	$Y \times f$	0

FIG. 6

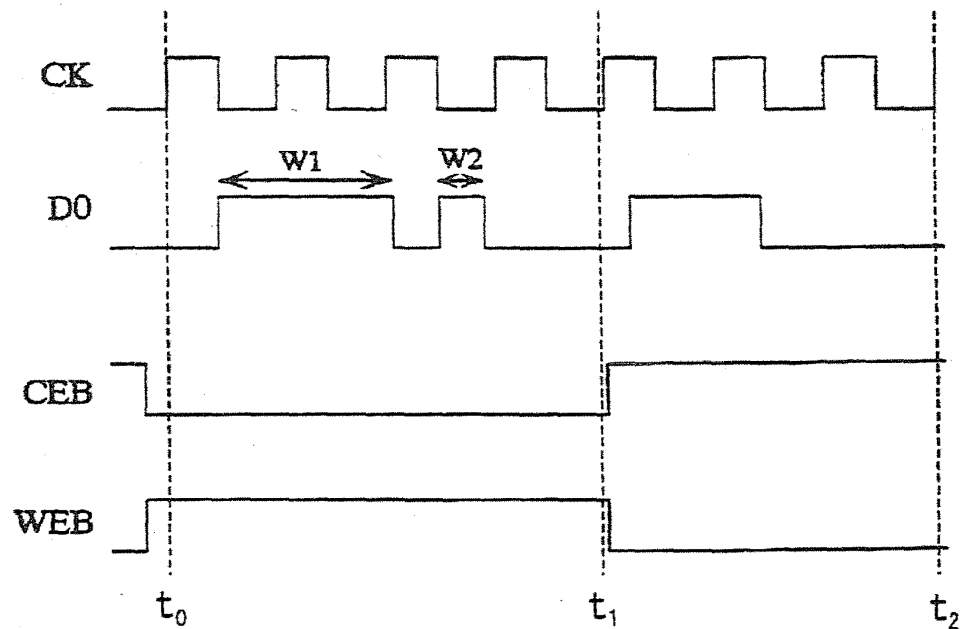


FIG. 7

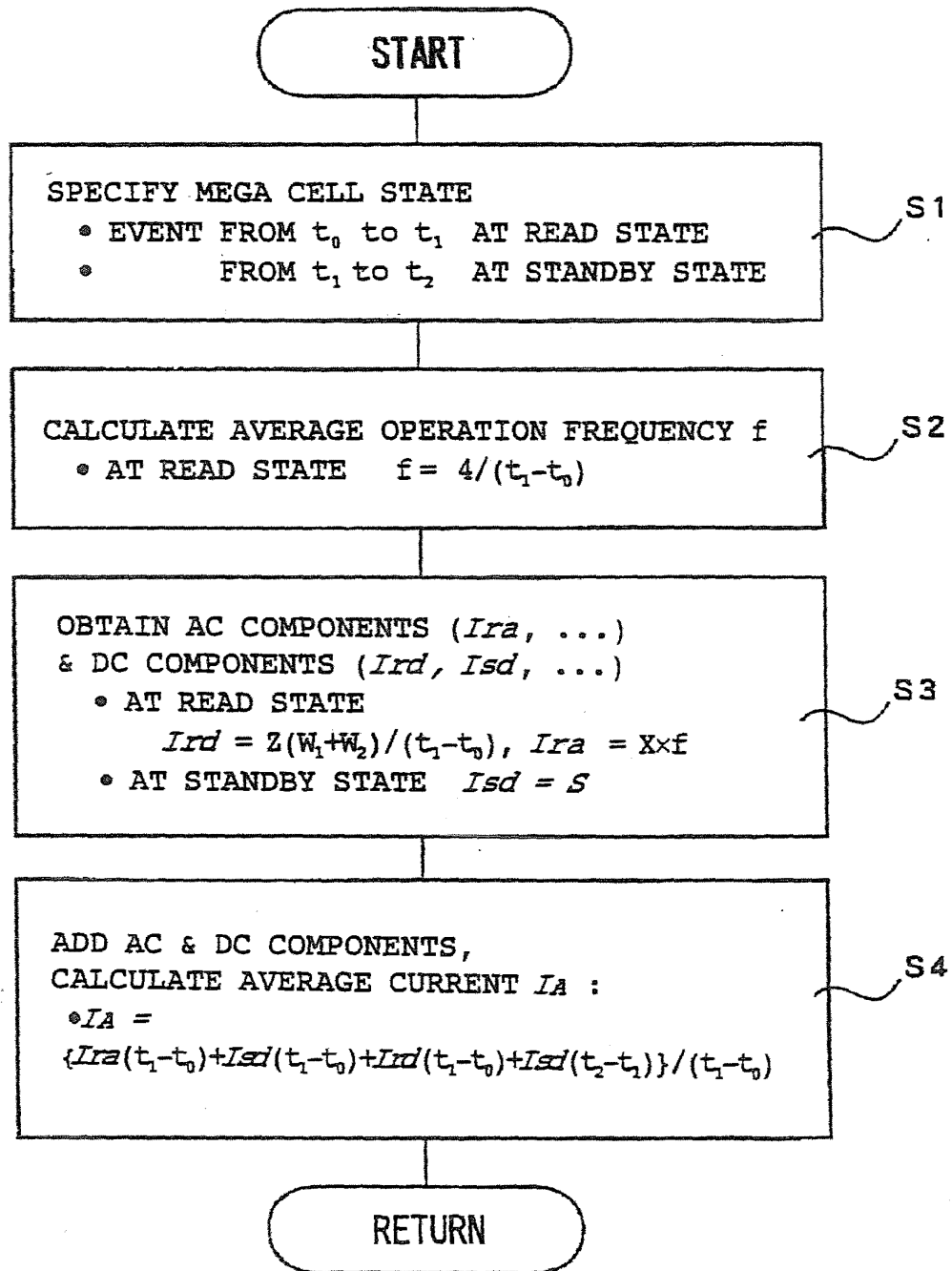


FIG. 8

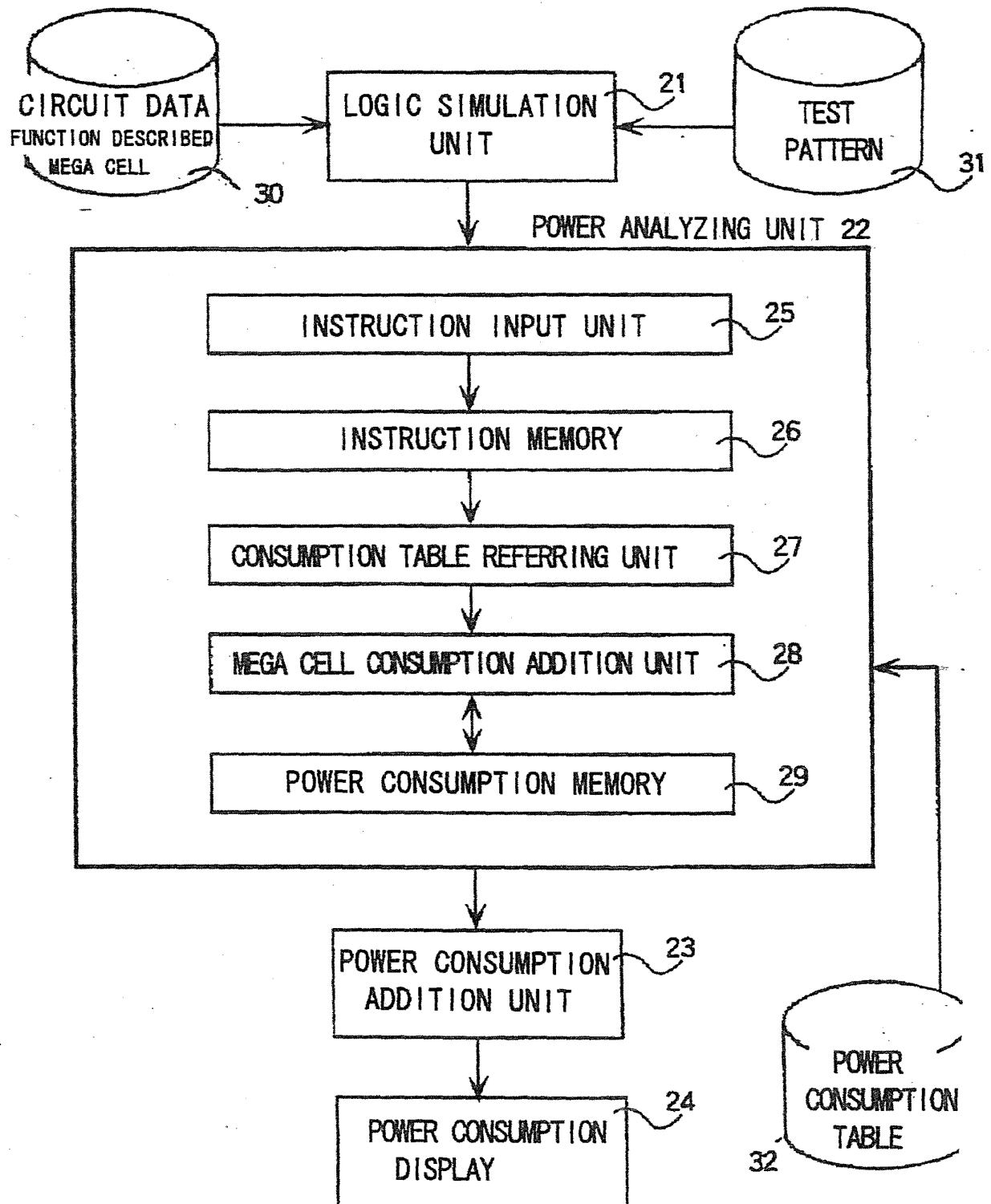


FIG. 9

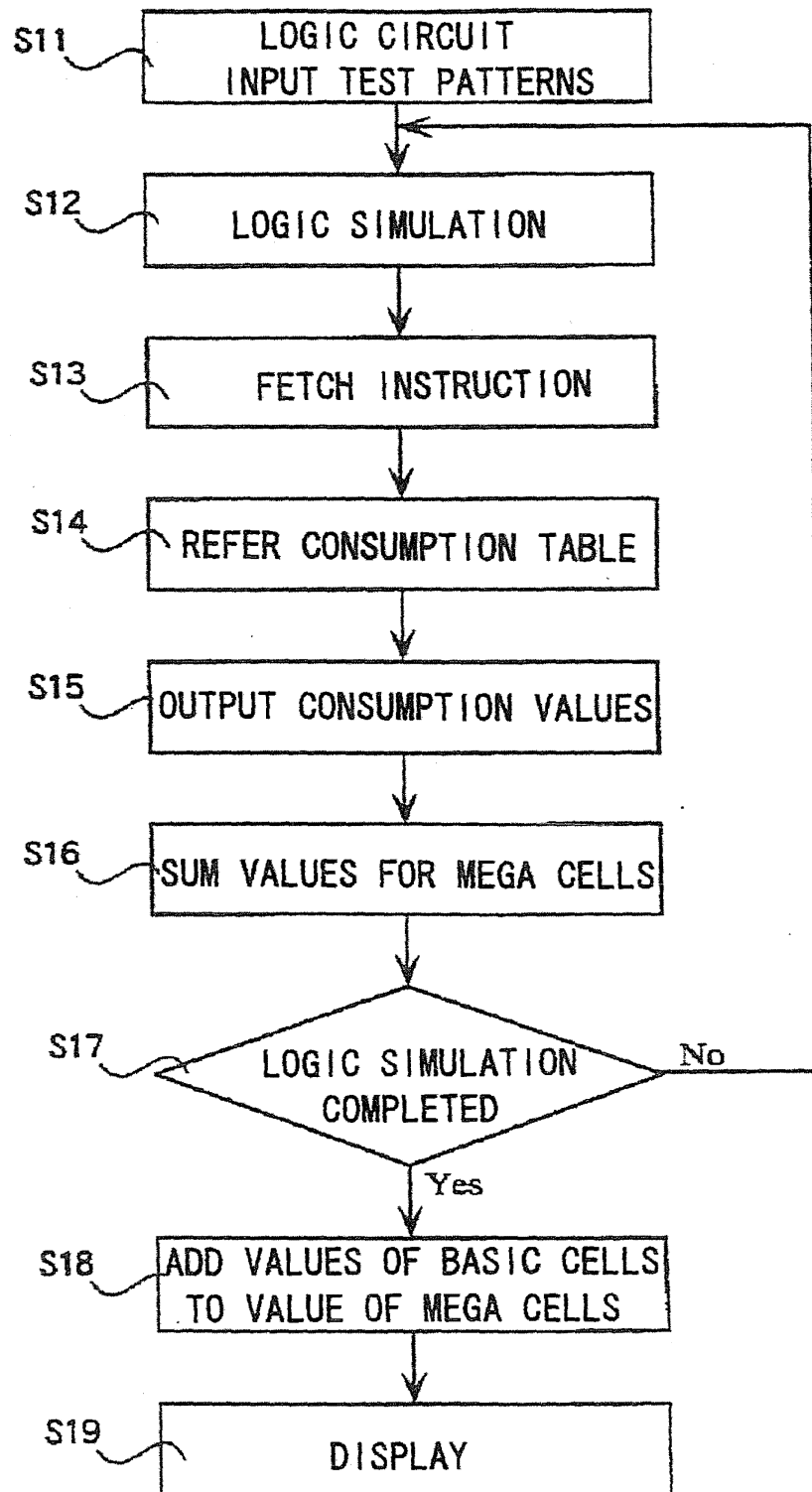


FIG. 10

INSTRUCTION	POWER CONSUMPTION
ADD	W0
LDA	Wa
STA	Wb

FIG. 11

```

      .
always begin
      .
      Inst_LDA;
      .
      Inst_STA;
      .
end
      .
task Inst_LDA;
  begin
      .
      $PowerAnalysis("LDA");
      end
  endtask
      .
task Inst_STA;
  begin
      .
      $PowerAnalysis("STA");
      end
  endtask
      .
      .

```

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-063121

(43)Date of publication of application : 10.03.2005

(51)Int.Cl.

G06F 9/45

(21)Application number : 2003-291820

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.08.2003

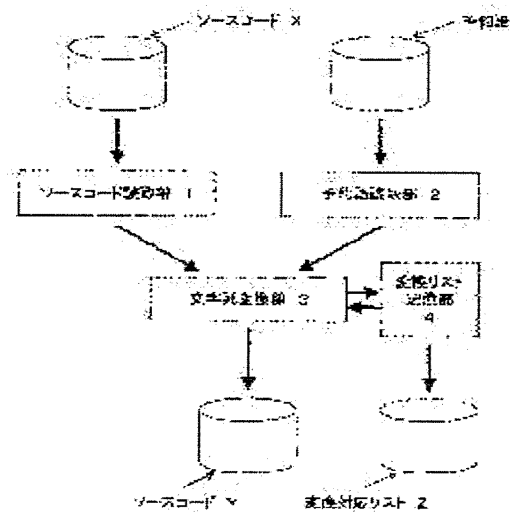
(72)Inventor : TSUKAMOTO YASUTAKA

(54) DEVICE, METHOD AND PROGRAM FOR CONVERTING SOURCE CODE AND STORAGE MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device, a method and a program for converting source codes, without altering the operation of the program, in such a way as to make algorithm in the program difficult for third parties to understand; and to provide a storage medium for storing the program.

SOLUTION: A source code reading part 1 reads the source codes X of a certain programming language as a reserved word reading part 2 reads the reserved word information of the programming language. A character string conversion part 3 thereafter performs a character string conversion process and outputs files as source codes Y. The character string conversion process is performed in accordance with certain rules. In the character string conversion process, a conversion list storage part 4 creates a conversion list of the character strings before and after conversion and outputs it as a file Z of the conversion list as the source codes Y are outputted.



LEGAL STATUS

[Date of request for examination]

08.12.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-63121

(P2005-63121A)

(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int. Cl.⁷
G06F 9/45F I
G06F 9/44 320Fテーマコード(参考)
5B081

審査請求 未請求 請求項の数 14 O L (全 12 頁)

(21) 出願番号 特願2003-291820 (P2003-291820)
(22) 出願日 平成15年8月11日(2003.8.11)(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(74) 代理人 100084250
弁理士 丸山 隆夫
(72) 発明者 塚本 泰隆
東京都大田区中馬込1丁目3番6号
株式会社リコー内
Fターム(参考) 5B081 CC01

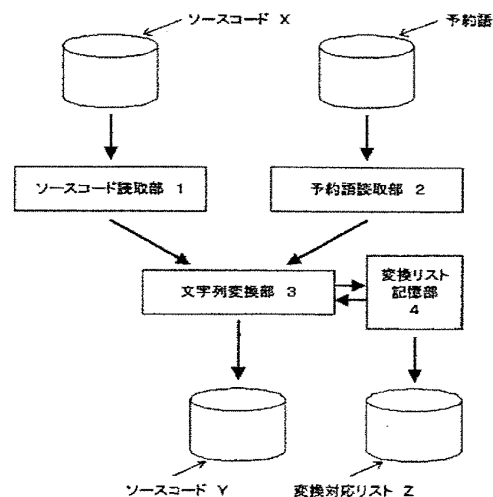
(54) 【発明の名称】 ソースコード変換装置、及びソースコード変換方法、ソースコード変換プログラム、記憶媒体

(57) 【要約】

【課題】 プログラムの動作を変えずに、第三者にはプログラム中のアルゴリズムが理解しにくくなるようなソースコードの変換を行うソースコード変換装置、ソースコード変換方法、ソースコード変換プログラム、前記プログラムを格納した記憶媒体を提供する。

【解決手段】 あるプログラミング言語のソースコードXをソースコード読取部1にて読み込み、同時に、予約語読取部2にて、前記プログラミング言語の予約語情報を読み取る。その上で文字列変換部3にて、文字列変換処理を行い、ソースコードYとしてファイル出力する。文字列変換処理は、一定の規則に従って行われる。また、文字列変換処理では、変換リスト記憶部4にて変換前後の文字列の変換対応リストが作成され、ソースコードYの出力と同時に、変換対応リスト一覧ファイルZとして出力する。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

プログラミング言語により記述された第1のソースコードファイルを読み込むファイル読込手段と、

前記ファイル読込手段にて読み込んだソースコードファイルに対して、前記第1のソースコードファイル内の文字列を他の文字列に変換する文字列変換手段と、

前記文字列変換手段により得られた文字列を第2のソースコードファイルに出力するファイル出力手段とを有することを特徴とするソースコード変換装置。

【請求項2】

前記ソースコード変換装置は、前記プログラミング言語の予約語を読み込む予約語読込手段と、

前記予約語読込手段によって読み込まれた予約語を参照する参照手段と、

前記参照手段により参照された予約語以外の文字列を他の文字列に変換する第1の文字列変換手段とを有することを特徴とする請求項1記載のソースコード変換装置。

【請求項3】

前記文字列変換手段は、定数記述以外の文字列を別の文字列に変換する第2の文字列変換手段を有することを特徴とする請求項1または2記載のソースコード変換装置。

【請求項4】

前記文字列変換手段は、前記プログラミング言語の文法により定められたコメント行を削除する第3の文字列変換手段を有することを特徴とする請求項1から3のいずれか1項に記載のソースコード変換装置。

【請求項5】

前記文字列変換手段は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とが、同一行に存在するように変換する第4の文字列変換手段を有することを特徴とする請求項1から4のいずれか1項に記載のソースコード変換装置。

【請求項6】

前記ファイル出力手段は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とを一覧表として出力する一覧表出力手段を有することを特徴とする請求項1から5のいずれか1項に記載のソースコード変換装置。

【請求項7】

プログラミング言語により記述された第1のソースコードファイルを読み込むファイル読込工程と、

前記ファイル読込工程にて読み込んだソースコードファイルに対して、前記第1のソースコードファイル内の文字列を他の文字列に変換する文字列変換工程と、

前記文字列変換工程により得られた文字列を第2のソースコードファイルに出力するファイル出力工程とを行うことを特徴とするソースコード変換方法。

【請求項8】

前記ソースコード変換工程は、前記プログラミング言語の予約語を読み込む予約語読込工程と、

前記予約語読込手段によって読み込まれた予約語を参照する参照工程と、

前記参照工程により参照された予約語以外の文字列を他の文字列に変換する第1の文字列変換工程とを行うことを特徴とする請求項7記載のソースコード変換方法。

【請求項9】

前記文字列変換工程は、定数記述以外の文字列を別の文字列に変換する第2の文字列変換工程を行うことを特徴とする請求項7または8記載のソースコード変換方法。

【請求項10】

前記文字列変換工程は、前記プログラミング言語の文法により定められたコメント行を削除する第3の文字列変換工程を行うことを特徴とする請求項7から9のいずれか1項に

記載のソースコード変換方法。

【請求項11】

前記文字列変換工程は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とが、同一行に存在するように変換する第4の文字列変換工程を行うことを特徴とする請求項7から10のいずれか1項に記載のソースコード変換方法。

【請求項12】

前記ファイル出力工程は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とを一覧表として出力する一覧表出力工程を行うことを特徴とする請求項7から11のいずれか1項に記載のソースコード変換方法。

【請求項13】

請求項7から12のいずれか1項に記載のソースコード変換方法をコンピュータに実行させるためのソースコード変換プログラム。

【請求項14】

請求項13に記載のソースコード変換プログラムを格納したコンピュータが読取可能な記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソースコード変換装置、及びソースコード変換方法、ソースコード変換プログラム、ソースコード変換プログラムを格納した記憶媒体に関し、特に、第三者に理解しやすい第1のソースコードを、第三者に理解しにくい第2のソースコードに変換するソースコード変換装置、及びソースコード変換方法、ソースコード変換プログラム、ソースコード変換プログラムを格納した記憶媒体に関する。

【背景技術】

【0002】

第1の背景技術として、ソフトウェア開発やHDLによるプログラミングの方法論について、簡単に説明する。

プログラミング言語を用いてプログラムを作成する場合、すなわちソースコードを作成する場合、作成者、あるいは作成プロジェクトチームにとって、プログラムの内容が理解しやすい形で作成するのが一般的である。

例えば、ソフトウェア作成のプロジェクトにおいて、ソフトウェア詳細設計に入る前に、プロジェクトチームは、命名規約、或いはコーディング規約（命名規約は、コーディング規約の一部である。）を作成しておき、命名規約やコーディング規約に従って、ソースコードを作成する。命名規約とは、プログラミングにおけるローカルな決め事であり、図8に、命名規約の一例を示しておく。

【0003】

図8は、プログラミングにおける命名規約の一例を示す図である。

例えば、変数命名規約において、変数名は、長すぎず、且つ変数の内容が分かりやすいようにするため、8～12文字程度で、変数を宣言する。

また、関数命名規約において、関数名は、その動作を分かりやすくするため、「動詞」＋「名詞」の形で宣言するのが普通である。

また、コーディング規約では、例えば、if分岐の記述方法や、入れ子構造を分かりやすくするためインデントを入れる、構造化プログラミングの技法に従ってgoto文は使わない等、様々な規約を定めている。

このように、決め事をしておくことにより、ソースコードを作成していないプロジェクトのメンバーでも、ソースコードの内容を容易に理解することが可能となるが、第三者にも分かりやすいコードであるのも事実である。

【0004】

第2の技術背景として、プログラミング言語の一部であるHDL、及びCADツールについて簡単に説明する。

HDL (Hardware Description Language) とは、ハードウェア記述のためのプログラミング言語であり、主に半導体の設計に用いる言語である。半導体の設計には、CADツールを用いるのが一般的であり、CADツールは、HDLで記述されたファイルを読み込んで、様々な処理を行うことができ、このようなCADツールが、CADツールメーカーから販売されている。ユーザはこれらのツールを使うことによって、半導体等の設計を行うことが可能である。

【0005】

第3の技術背景として、従来の文字列変換の技術を紹介する。

特許文献2に示されている発明は、符号化された視覚情報を1つの自然言語から他の自然言語へ変換する文字列変換方法、及び文字列変換機構に関する発明である。

この発明によれば、プログラムソースコード内にある、文字列型定数（例えば、C++言語において、ダブルコーテーションで括られた文字列）を、ある言語（例えば日本語）から別の言語（例えば英語）に変換する技術であるが、その実現方法は入力ソースコードに対して、変換用のマクロリストを用意し、前記マクロリストを用いて文字列変換を行っている。これにより、GUIの変更を容易に行うことができる（特許文献2参照）。

【0006】

また、特許文献1に示されている発明は、オブジェクト指向のプログラミングにおいて、オブジェクト間通信に使用されるオブジェクト（いわゆるスタブメソッド）に関する記述を含むソースコードをプログラム実行環境に対応したソースコードに変換するソースコード変換方法に関する発明である。

【特許文献1】特開平11-65832号公報

【特許文献2】特開2001-84147号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

第1の技術背景として、プログラミングの方法論について、及び第2の技術背景として、HDL及びCADツールの使い方を示したが、CADツールを使用しているときに、CADツールの不具合が発生する場合があります。CADツールの不具合の原因をCADツールメーカーに依頼することがある。その際、HDLファイルをCADツールメーカーに渡さなければ、不具合の原因が分からないことが多い。しかしながら、HDLファイルは企業秘密情報であり、HDLファイルをCADツールメーカーに容易に渡すことはできない。

【0008】

また、特許文献1で示されているソースコード変換の技術は、複数の異なるプログラム実行環境に容易に適応でき、しかもインターフェース定義言語を用いることなくスタブメソッドを生成することを可能とするソースコード変換の技術であり、前記問題とは異なる問題を解決しているものである。

また、特許文献2で示されている文字列変換の技術は、GUIに関わる文字列（文字列型定数）に対して文字列変換を行うものであり、前記問題とは異なる問題を解決しているものである。

【0009】

本発明は上記事情を鑑みてなされたものであり、プログラムの動作を変えことなく、第三者にはプログラム中のアルゴリズムが理解しにくくなるようなソースコードの変換を行うソースコード変換手段を有するソースコード変換装置と、前記ソースコードの変換を行うソースコード変換方法と、前記ソースコード変換方法をコンピュータに実行させるためのソースコード変換プログラムと、前記ソースコード変換プログラムを格納したコンピュータが読取可能な記憶媒体とを提供することを目的とする。

【課題を解決するための手段】

【0010】

前記課題を解決するために、請求項1記載の発明は、プログラミング言語により記述された第1のソースコードファイルを読み込むファイル読込手段と、前記ファイル読込手段にて読み込んだソースコードファイルに対して、前記第1のソースコードファイル内の文字列を他の文字列に変換する文字列変換手段と、前記文字列変換手段により得られた文字列を第2のソースコードファイルに出力するファイル出力手段とを有することを特徴とする。

【0011】

請求項2記載の発明は、前記ソースコード変換装置は、前記プログラミング言語の予約語を読み込む予約語読込手段と、前記予約語読込手段によって読み込まれた予約語を参照する参照手段と、前記参照手段により参照された予約語以外の文字列を他の文字列に変換する第1の文字列変換手段とを有することを特徴とする。

10

【0012】

請求項3記載の発明は、前記文字列変換手段は、定数記述以外の文字列を別の文字列に変換する第2の文字列変換手段を有することを特徴とする。

【0013】

請求項4記載の発明は、前記文字列変換手段は、前記プログラミング言語の文法により定められたコメント行を削除する第3の文字列変換手段を有することを特徴とする。

【0014】

請求項5記載の発明は、前記文字列変換手段は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とが、同一行に存在するように変換する第4の文字列変換手段を有することを特徴とする。

20

【0015】

請求項6記載の発明は、前記ファイル出力手段は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列を一覧表として出力する一覧表出力手段を有することを特徴とする。

【0016】

請求項7記載の発明は、プログラミング言語により記述された第1のソースコードファイルを読み込むファイル読込工程と、前記ファイル読込工程にて読み込んだソースコードファイルに対して、前記第1のソースコードファイル内の文字列を他の文字列に変換する文字列変換工程と、前記文字列変換工程により得られた文字列を第2のソースコードファイルに出力するファイル出力工程とを行うことを特徴とする。

30

【0017】

請求項8記載の発明は、前記ソースコード変換工程は、前記プログラミング言語の予約語を読み込む予約語読込工程と、前記予約語読込手段によって読み込まれた予約語を参照する参照工程と、前記参照工程により参照された予約語以外の文字列を他の文字列に変換する第1の文字列変換工程とを行うことを特徴とする。

【0018】

請求項9記載の発明は、前記文字列変換工程は、定数記述以外の文字列を別の文字列に変換する第2の文字列変換工程を行うことを特徴とする。

40

【0019】

請求項10記載の発明は、前記文字列変換工程は、前記プログラミング言語の文法により定められたコメント行を削除する第3の文字列変換工程を行うことを特徴とする。

【0020】

請求項11記載の発明は、前記文字列変換工程は、前記第1のソースコードファイル中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とが、同一行に存在するように変換する第4の文字列変換工程を行うことを特徴とする。

【0021】

請求項12記載の発明は、前記ファイル出力工程は、前記第1のソースコードファイル

50

中の変換前文字列と、前記変換前文字列に対応する前記第2のソースコードファイル中の変換後文字列とを一覧表として出力する一覧表出力工程を行うことを特徴とする。

【0022】

請求項13記載のソースコード変換プログラムは、請求項7から12のいずれか1項に記載のソースコード変換方法をコンピュータに実行させることを特徴とする。

【0023】

請求項14記載のコンピュータが読取可能な記憶媒体は、請求項13記載のソースコード変換プログラムを格納することを特徴とする。

【発明の効果】

【0024】

本発明によれば、プログラムの動作を変えることなく、第三者にはプログラム中のアルゴリズムが理解しにくくなるようにソースコードを変更するので、変更後のプログラムを第三者に提供しやすくなる。

【発明を実施するための最良の形態】

【0025】

一つのプログラミング言語、例えばHDLに特定したソースコード変換であれば、CADツールに取り込むことが可能なソースコード変換装置という形態で提供することも考えられるが、多くのプログラミング言語にも対応させることが可能であり、ソースコード変換を行うソースコード変換プログラム、及びソースコード変換プログラムを格納したコンピュータが読取可能な記憶媒体によって提供する方法も考えられる。

【実施例】

【0026】

次に、添付図面を参照しながら、本発明の実施形態を説明する。

図1は、本発明の一実施例であるソースコード変換装置の構成を示すブロック図である。本図では、ソースコードファイルXが、文字列変換処理によってソースコードファイルYに変換される様子が示されている。

ソースコード読込部1では、プログラミング言語により記述されたソースコードファイルXを読み込み、全ての文字列を記憶する。また、予約語読込部2では、前記プログラミング言語の予約語ファイル4を読み込む。

ソースコードファイルXと予約語が読み込まれると、ソースコード文字列変換部3にてソースコードYに変換出力される。

【0027】

また、変換リスト記憶部4は、変換前文字列と変換後文字列の対応リストを記憶してある場所であり、前記文字列変換部3における文字列の変換処理において、該文字列が既に変換された文字列であるか否かを、前記変換リスト記憶部4を参照し、該文字列が、まだ変換されていない文字列である場合は、新規に変換文字列を作成し、前記変換文字列にて変換する。該文字列が既に変換されている文字列である場合は、前記変換リスト記憶部4の内容に従って変換する。

【0028】

図2は、本発明の一実施例であるソースコード変換装置における、ソースコード文字列変換部の詳細動作を示すフローチャートである。

最初に文字列変換のための一連の初期化処理を行う（ステップS1～S5）。

すなわち、変換後文字列に対するインデックスの初期化を行い（ステップS1）、予約語情報を読み込み（S2）、文字列区切りの定義情報を読み込む（S3）。ここで、文字列区切り情報とは、例えば、半角スペース文字や、半角セミコロン文字、TAB文字、改行文字等である。

次に、ソースコードファイルXの文字列全体を読み込み（S4）、ソースコード文字列の中からコメント行を削除し（S5）、次処理（S11）を行う。

コメント行の削除では、当該行を改行に変換し、ファイルに出力する。例えば、コメント行が3行にまたがっている場合は、3つの改行を入れることにより、変換前と変換後の

ソースコードの行番号の関係を保って出力される。

【0029】

ここで、コメント行とは、プログラムの実行には全く影響のない文字列を意味し、ソースコード作成者が、ソースコードの内容理解を助けるために、任意に書き込む文字列である。

例えば、HDL言語やC言語では、始点“/*”から、終点“*/”までの文字列は、コメント行である。

コメント行には、前述の通り、ソースコードの理解を助けるための文字列が記述されているため、企業秘密に関する記述（例えば、分岐ロジックの意味や、HDLにおける半導体回路の詳細設計内容、一般プログラミング言語におけるビジネスフロー等）が書かれているため、コメント行を削除する必要がある。

10

【0030】

ソースコードの読み込み（S4）、コメント行の削除（S5）が終ると、文字列変換及びファイル出力の一連の処理を行う（ステップS11～S23）。

すなわち、ソースコード文字列に、変換のチェックを行っていない文字列が存在するか否かを調べる（S11）。もし、存在しなければ（S11/No）、変換テーブルのリストを出力し（S31）、文字列変換処理を終了する（エンド）。存在する場合（S11/Yes）は、分割した文字列を一つずつ順番に読み込み（S12）、該文字列がどのような文字列であるかを調べる。

【0031】

最初に、該文字列が、プログラミング言語で使われる予約語であるか否かを調べる（ステップS13）。すなわち、該文字列が、予約語読込部4に読み込まれている予約語と一致するものがあるか否かを調べる。

20

もし、該文字列が予約語であれば（S13/Yes）、該文字列をそのままファイル出力し（S14）、次の文字列のチェックに入る（S11）。

該文字列が予約語でない場合（S13/No）は、次段階の内容チェックに入る（S15）。

【0032】

次段階のチェックでは、該文字列が区切り文字であるか否かを調べる（ステップS15）。ここで、区切り文字とは、半角スペース文字や半角セミコロン文字、改行文字等の文字である。

30

もし、該文字列が区切り文字である場合（S15/Yes）は、該文字列をそのままファイル出力し（S16）、次の文字列のチェックに入る（S11）。

該文字列が区切り文字でない場合（S15/No）は、次段階のチェックに入る（S17）。

【0033】

次段階のチェックでは、該文字列が定数記述であるか否かをチェックする（ステップS17）。ここで、定数とは、0、1、2、-1、-2、…のような整数や実数（浮動小数点数、固定小数点数）、文字列などを意味する。これらの定数の型については、プログラミング言語により定義が異なるため、詳細の記述を省略する。

40

もし、該文字列が定数記述である場合（S17/Yes）は、該文字列をそのままファイル出力し（S18）、次の文字列のチェックに入る（S11）。

該文字列が定数記述でない場合（S17/No）は、一連の文字列変換処理（S21～S25）に入る。

【0034】

最初に、該文字列が、一連の文字列変換処理の中で、初めて出現した文字列であるか否かを調べる（ステップS21）。すなわち、「変換テーブル」に該文字列が登録されているか否かを調べる。

もし、該文字列が一連の処理の中で、初めて出現した文字である場合（S21/Yes）は、該文字列を「a__i」に変換、ファイル出力し（S22）、該文字列及び前記a__

50

i を変換テーブルに保存する (S 2 3)。その後、i を1つインクリメントして (S 2 4)、次の文字列のチェックに入る (S 1 1)。

もし、該文字列が一連の処理の中で、既に出現している文字列である場合 (S 2 1 / N o) は、変換テーブルに記憶されている文字列「a __ j」に変換し (S 2 5)、次の文字列のチェックに入る (S 1 1)。

【0035】

上記の一連の処理が終って、ソースコードXの変換が終ると (ステップS 1 1 / N o)、変換テーブル上にある変換対応リストZを出力し (S 3 1)、本フローは終了する (エンド)。

以下に、上記処理フローによって、実際にソースコードが変換される様子を次の図に示す。

【0036】

図3は、本発明の一実施例であるソースコード変換装置によって変換されたソースコードの一例を示す図である。

また、図6は、図3に対応する変換前のソースコードである。

また、図7は、プログラミング言語の予約語一覧 (の一部) を示す図である。

【0037】

図3、図6の左側に書かれている数字は、行番号であり、実際には、ソースコード上には、記述されていない数字であるが、エディタツールなどで便宜上表示したりするものである。本図でも分かりやすいように、行番号をふってある。

図6を見れば分かるように、通常のソースコードでは、このプログラムがJ P E Gファイルに関連するプログラムであることが、第三者に容易に分かり、またこのプログラムのアルゴリズムも分かってしまう。

そこで、図6のソースコードと図7の予約語情報とを照らし合わせることにより、図3のソースコードに変換する。この変換により、第三者にはソースコードの内容、アルゴリズムが分かりにくくなる。そのため、変換後のソースコードを第三者に提供しやすくなる。

【0038】

また、図2、図3、及び図6を見れば分かるように、同一の文字列は、同一の内容で変換される。図の例は、関数呼び出しがある例であり、呼び出し元及び呼び出し先の各々が同一の内容で変換されている。

このような変換をすることにより、文字列の変換を行っても、該ソースコードのプログラム動作を変えることなく、第三者には理解するのが難しいソースコードYに変換される。

【0039】

図4は、本発明の一実施例であるソースコード変換装置によって作成された変換リストを示す図である。

前記図2、及び図3、図6の例でソースコードの変換を行った際に、変換リスト記憶部4に格納されている内容を、図4のようなリストにファイル出力する。ファイル出力の形式は、リストとして一般的なC S V形式のファイルに出力している。

このように、変換前及び変換後の対応関係を変換リストとして出力することにより、変換されたソースコードYを解析する際に、前記変換リストを用いてソースコードYを解析することが可能となる。

【0040】

図5は、本発明の一実施例であるソースコード変換方法における、ソースコードのデータフロー図である。

ソースコード読込処理11によって、プログラミング言語により記述されたソースコードファイルXが読み込まれ、全ての文字列が記憶される。また、予約語読込処理12によって、前記プログラミング言語の予約語ファイル4が読み込まれる。

ソースコードファイルXと予約語が読み込まれると、ソースコード文字列変換処理13

によってソースコードYに変換出力される。

【0041】

また、変換リスト記憶処理14によって、変換前文字列と変換後文字列の対応リストが作成される。前記文字列変換処理13における文字列の変換処理において、該文字列が既に変換された文字列であるか否かを、前記変換リスト記憶処理14によって作成された対応リストを参照し、該文字列が、まだ変換されていない文字列である場合は、新規に変換文字列を作成し、前記変換文字列にて変換する。該文字列が既に変換されている文字列である場合は、前記対応リストの内容に従って変換し、文字列変換処理が終了すると、変換リスト一覧表ファイルZが作成される。

【0042】

また、本発明の一実施例であるソースコード変換方法における、文字列変換処理の詳細のフローチャートは、図2に示す文字列変換処理フローチャートと全く同様なので、説明を省略する。

また、本発明の一実施例であるソースコード変換方法によってソースコードが変換される様子、及び変換リスト一覧ファイルの作成については、図3等の説明と全く同様なので、説明を省略する。

【0043】

また、本発明の一実施例である、前記ソースコード変換方法をコンピュータに実行させるためのソースコード変換プログラムについて説明する。

前記ソースコード変換プログラムを格納する記憶領域と、ソースコードX（変換前ソースコード）を読み込む手段（例えばフロッピー（R）ディスクや磁気ディスク、或いはMOのような光学メディア等に格納されたソースコードを読み込む手段）と、ソースコードY（変換後ソースコード）を出力する手段と、変換リスト一覧表を出力する手段とを有するコンピュータを用いることにより、前記ソースコード変換プログラムを実行することが可能である。

【0044】

また、前記ソースコード変換プログラムを提供するために、コンピュータが読取可能な記憶媒体に、前記ソースコード変換プログラムのファイルと、前記ソースコード変換プログラムをコンピュータにインストールするためのインストーラプログラム等のファイルを、コンピュータが読取可能な記憶媒体に格納する。また、前記記憶媒体に格納されているファイルがインターネット上で公開されている場合は、これらのファイルをコンピュータにダウンロードし、ソースコード変換プログラムをコンピュータにインストールすることも可能である。

【0045】

以上の説明から明らかなように、プログラムの動作を変えることなく、第三者にはプログラム中のアルゴリズムが理解しにくくなるようにソースコードを変更するので、変更後のプログラムを第三者に提供しやすくなる。

【0046】

また、予約語を読み込む予約語読込手段、又は方法で予約語を読み込んで、ソースコード変換を行うことにより、プログラミング言語の種類が変わっても、準備する予約語情報を変更するだけで対応が可能となる。

【0047】

また、ソースコード変換前後のファイルの行数は変わらず、かつ、行の対応関係が一致するようにソースコード変換を行うことにより、変換後ソースコードの解析作業が容易となる。

【0048】

また、ソースコード変換処理が終了すると同時に、変換された文字列の対応リストが作成されることにより、変換後ソースコードの解析作業が容易となる。

【産業上の利用可能性】

【0049】

現在、様々なプログラミングツールがツールメーカー（主にソフトウェア開発ツール提供を主たる業務とする企業等）から提供されていて、ユーザ（主にソフトウェア開発を主たる業務とする企業や個人等）は、それらのツールを使ってソフトウェア開発を行っている。しかしながら、プログラミングツールに不具合が発生し、ツールメーカーによる不具合解析等で、やむを得ず、ソースコードをツールメーカーに提供しなければならない場合もある。このような場合に、本発明のソースコード変換装置、及びソースコード変換方法、ソースコード変換プログラム、ソースコード変換プログラムを格納した記憶媒体が有効である。

【図面の簡単な説明】

【0050】

【図1】本発明の一実施例であるソースコード変換装置の構成を示すブロック図である。

【図2】本発明の一実施例であるソースコード変換装置の、文字列変換処理フローチャートである。

【図3】本発明の一実施例であるソースコード変換装置によって文字列変換されたプログラム・ソースコードである。

【図4】本発明の一実施例であるソースコード変換装置によって作成された変換リストを示す図である。

【図5】本発明の一実施例であるソースコード変換方法における、ソースコードのデータフロー図である。

【図6】図3に対応する変換前のプログラム・ソースコードである。

【図7】プログラミング言語の予約語一覧を示す図である。

【図8】プログラミングにおける命名規約を示す図である。

【符号の説明】

【0051】

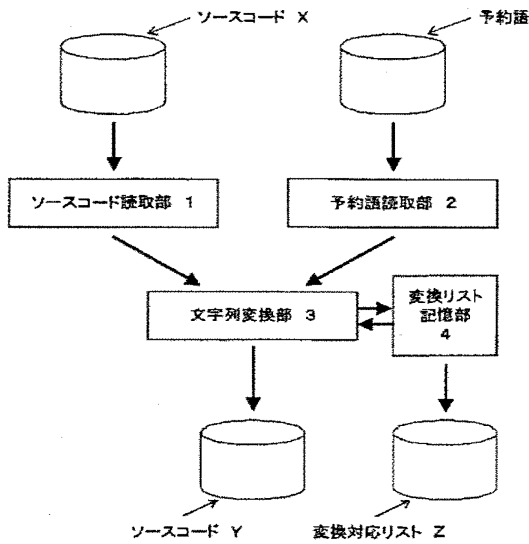
- 1 ソースコード読取部
- 2 予約語読取部
- 3 文字列変換部
- 4 変換リスト記憶部
- 11 ソースコード読取処理
- 12 予約語読取処理
- 13 文字列変換処理
- 14 変換リスト記憶処理
- X 変換前ソースコードファイル
- Y 変換後ソースコードファイル
- Z 変換対応リストファイル

10

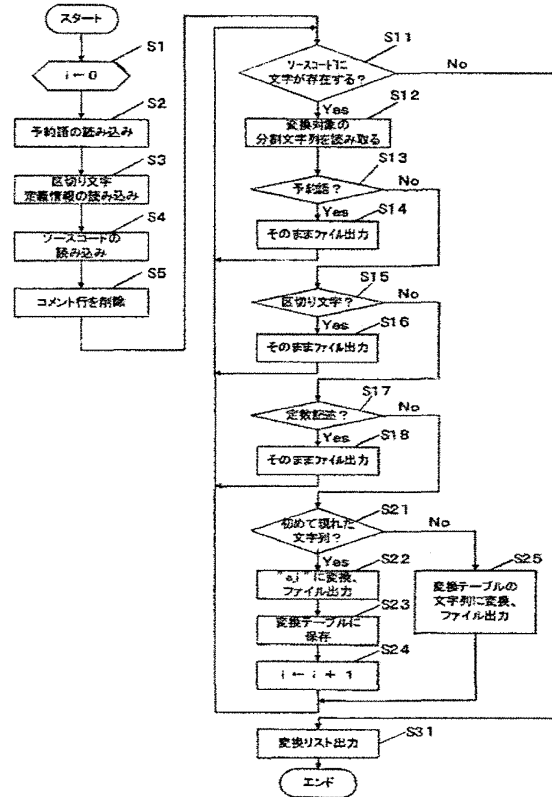
20

30

【図 1】



【図 2】



【図 3】

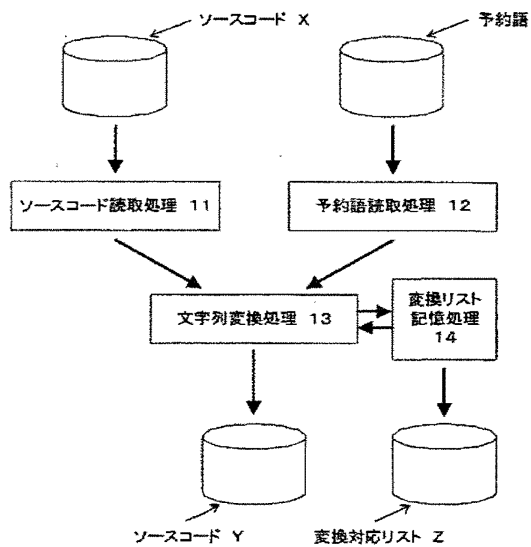
```

1
2 main() {
3     if (a_0 == 1) {
4         a_1();
5         a_2();
6         a_3();
7         a_4();
8     }
9     else if (a_0 == 2) {
10    }
11 }
12
13 function a_1() {
14     int a_5;
15     a_5 = 0;
16 }
17 function a_2() {
18
19 }
  
```

【図 4】

変換後文字列	変換前文字列
a_0	jpeg_mode
a_1	level_shift
a_2	dct
a_3	quant
a_4	zigzag
a_5	jpeg_bit

【図 5】



【図6】

```

1 /*変換前ソースコード*/
2 sub main() {
3     if (jpeg_mode == 1) {
4         level_shift();
5         dct();
6         quant();
7         zigzag();
8     }
9     else if (jpeg_mode == 2) {
10        /*処理しない*/
11    }
12 }
13 function level_shift() {
14     int jpeg_bit;
15     jpeg_bit = 0;
16 }
17 function dct() {
18
19 }

```

【図7】

```

if
for
while
continue
case
int
long
char
void
goto
.
.
.

```

【図8】

●変数命名規約

- 1) 変数名は、12文字以内で命名するのを原則とし、変数の内容が分かりやすい内容で命名する。

例1) JPEG 画像処理モード → jpeg_mode
 2) 預金金額 → money_yokin
 3) 会員住所 → member_addr

●関数命名規約

- 1) 関数名の先頭は、関数またはサブルーチンの識別子を3文字で付与する。

例1) 関数 → funGetJpegMode()
 2) サブルーチン → subGetJpegMode()

- 2) 関数名は、「動詞」+「名詞」の形で命名する。

例1) 会員住所をDBに登録する関数 → funInsertMemberAddr()
 2) 暗証番号照会を行う関数 → funCheckSecurityNumber()

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2006-285865

(43)Date of publication of application : 19.10.2006

(51)Int.Cl. G06F 17/50 (2006. 01)

(21)Application number : 2005-107817

(71)Applicant : NEC ELECTRONICS CORP

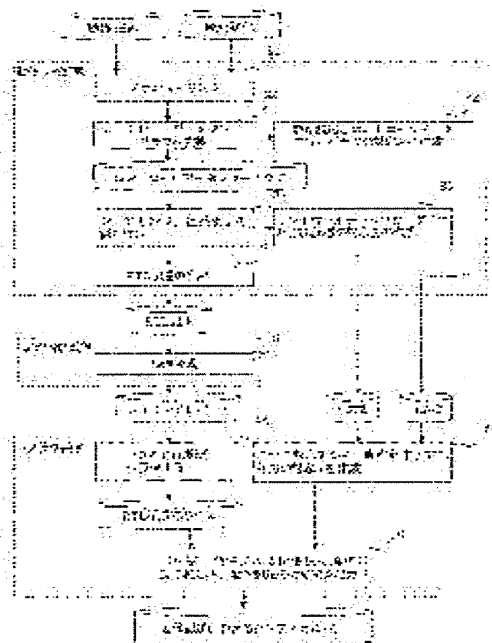
(22)Date of filing : 04.04.2005

(72)Inventor : EZAKI HISAHIDE

(54) CORRESPONDENCE RELATION SPECIFICATION METHOD, DEVICE AND PROGRAM BETWEEN REGISTER TRANSFER LEVEL DESCRIPTION AND OPERATION DESCRIPTION**(57)Abstract:**

PROBLEM TO BE SOLVED: To facilitate work for specifying correspondence relation between RTL description and operation description.

SOLUTION: An operation composition device analyzes how to perform scheduling, control data flow graph creation, and sharing of a computing element or a register, and creates a correspondence table determining correspondence relation between the RTL description and a CDFG, and a correspondence table determining correspondence relation between the CDFG and the operation description. A path specification device combines the correspondence tables to generate a correspondence table determining the correspondence relation between the RTL description and the operation description. The path specification device reflects a notice path in the RTL description, and thereafter specifiably outputs the operation description corresponding to the RTL description by a conditional branch on the operation description and each state of an FSM of the RTL description.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-285865

(P2006-285865A)

(43) 公開日 平成18年10月19日(2006.10.19)

(51) Int. Cl.

G06F 17/50 (2006.01)

F 1

G06F 17/50 654M

テーマコード (参考)

5B046

審査請求 未請求 請求項の数 19 O L (全 14 頁)

(21) 出願番号 特願2005-107817 (P2005-107817)
 (22) 出願日 平成17年4月4日(2005.4.4)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 江崎 尚英
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 5B046 AA08 BA02

(54) 【発明の名称】 レジスタ転送レベル記述と動作記述間の対応関係特定方法、装置及びプログラム

(57) 【要約】

【課題】

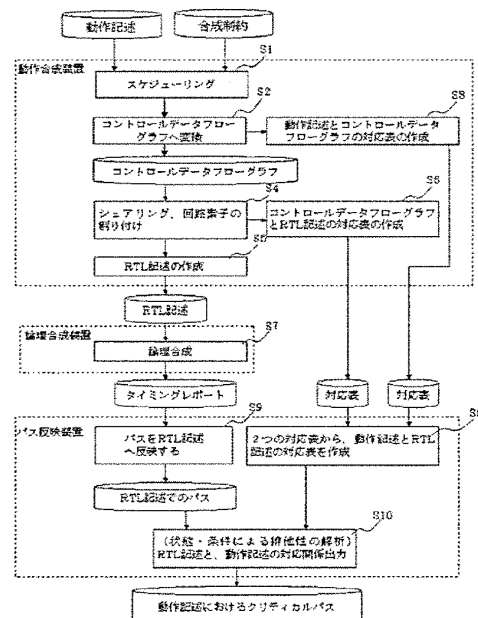
RTL記述と動作記述との間の対応関係をとる作業を容易化する。

【解決手段】

動作合成装置がスケジューリング、コントロールデータフローグラフ作成、演算器やレジスタの共有をどのように行っているかを解析し、RTL記述とCDFGの対応関係を定めた対応表と、CDFGと動作記述の対応関係を定めた対応表を作成しておく。パス特定装置は、これら対応表を結合し、RTL記述と動作記述の対応関係を定めた対応表を生成する。パス特定装置は、注目するパスをRTL記述に反映した後、RTL記述に対応する動作記述を、RTL記述が有するFSMの各状態と動作記述上の条件分岐により特定可能に出力する。

【選択図】

図 1



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つの条件分岐文を含む動作記述と合成制約とを入力し、
前記動作記述と前記合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する動作合成装置において、

前記レジスタ転送レベル記述の生成過程における親（動作記述）側の記述と子（レジスタ転送レベル記述）側の記述と有限状態マシンの状態と前記動作記述における条件分岐との関係を記憶保持する対応関係格納手段と、

前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する対応表生成手段と、を備えたこと、

10

を特徴とする動作合成装置。

【請求項 2】

前記対応表生成手段は、前記動作合成装置が動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードと、動作記述の対応部分とを対応付ける第 1 の対応表を生成し、

更に、前記動作合成装置が中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードと、前記中間レベル記述のノードとを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第 2 の対応表を生成すること、

20

を特徴とする請求項 1 に記載の動作合成装置。

【請求項 3】

前記対応表生成手段は、前記動作合成装置が動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードからの入出力信号と、動作記述の対応部分とを対応付ける第 1 の対応表を生成し、

更に、前記動作合成装置が中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードからの入出力信号と、前記中間レベル記述のノードからの入出力信号とを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第 2 の対応表を生成すること、

30

を特徴とする請求項 1 に記載の動作合成装置。

【請求項 4】

請求項 1 に記載の動作合成装置によって生成された対応表を入力して、レジスタ転送レベル記述と動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述における条件分岐の情報によって特定可能に出力する対応特定手段を備えたこと、

を特徴とする回路設計支援装置。

【請求項 5】

40

請求項 2 又は 3 に記載の動作合成装置によって生成された第 1、第 2 の対応表を合成して第 3 の対応表を生成する手段と、

前記第 3 の対応表を用いて、レジスタ転送レベル記述と動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述における条件分岐の情報によって特定可能に出力する対応特定手段を備えたこと、

を特徴とする回路設計支援装置。

【請求項 6】

少なくとも 1 つの条件分岐文を含む動作記述と、

前記動作記述を動作合成して生成された有限状態マシンを有するレジスタ転送レベル記述と、

50

前記レジスタ転送レベル記述と前記有限状態マシンの状態と前記条件分岐の情報と前記動作記述との対応関係を示した対応表と、を入力して、

前記レジスタ転送レベル記述と前記動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述における条件分岐の情報によって特定可能に出力する対応特定手段を備えたこと、

を特徴とする回路設計支援装置。

【請求項 7】

前記対応特定手段は、

前記レジスタ転送レベル記述によるパス情報を入力し、

前記パス情報によって特定されるパス全体が、同一の有限状態マシンの状態、かつ、同一の条件分岐に属する動作記述のソース行を抽出し、

該抽出した動作記述のソース行を出力すること、

を特徴とする請求項 4 乃至 6 いずれか一に記載の回路設計支援装置。

【請求項 8】

少なくとも 1 つの条件分岐文を含む動作記述と合成制約とを入力し、前記動作記述と前記合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する動作合成装置を構成するコンピュータに実行させるプログラムであって、

前記レジスタ転送レベル記述の生成過程における親（動作記述）側の記述と子（レジスタ転送レベル記述）側の記述と有限状態マシンの状態と前記動作記述における条件分岐との関係を記憶保持する処理と、

前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する処理と、

を前記コンピュータに実行させるプログラム。

【請求項 9】

前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する処理として、

前記動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードと、動作記述の対応部分とを対応付ける第 1 の対応表を生成する処理と、

前記中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードと、前記中間レベル記述のノードとを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第 2 の対応表を生成する処理と、

を前記コンピュータに実行させる請求項 8 に記載のプログラム。

【請求項 10】

前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する処理として、

前記動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードからの入出力信号と、動作記述の対応部分とを対応付ける第 1 の対応表を生成する処理と、

前記中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードからの入出力信号と、前記中間レベル記述のノードからの入出力信号とを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第 2 の対応表を生成する処理と、

を前記コンピュータに実行させる請求項 8 に記載のプログラム。

【請求項 1 1】

少なくとも 1 つの条件分岐文を有する動作記述と合成制約とを入力し、

前記動作記述と前記合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成するためのプログラムであって、

動作記述と合成制約に基づいて前記有限状態マシンの状態と前記動作記述における条件分岐を有する中間レベル記述を生成するとともに、少なくとも前記中間レベル記述のノードと前記動作記述の対応部分とを対応付ける第 1 の対応表を生成し、それぞれ中間レベル記述格納手段、第 1 の対応表格納手段に格納する中間レベル記述変換処理と、

前記中間レベル記述格納手段に格納されている中間レベル記述と前記合成制約に基づいて有限状態マシンを有するレジスタ転送レベル記述を生成するとともに、少なくとも前記レジスタ転送レベル記述のノードと前記中間レベル記述のノードとを、前記中間レベル記述が有する前記有限状態マシンの状態と前記条件分岐の情報によって対応付ける第 2 の対応表を生成し、それぞれ、レジスタ転送レベル記述格納手段、第 2 の対応表格納手段に格納する R T L 生成処理と、

をコンピュータに実行させるプログラム。

【請求項 1 2】

請求項 1 に記載の動作合成装置によって生成された対応表を入力して、レジスタ転送レベル記述と動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述が有する条件分岐の情報によって特定可能に出力する処理、

を回路設計支援装置を構成するコンピュータに実行させるプログラム。

【請求項 1 3】

請求項 2 又は 3 に記載の動作合成装置によって生成された第 1、第 2 の対応表を合成して第 3 の対応表を生成し、記憶保持する処理と、

前記第 3 の対応表を用いて、レジスタ転送レベル記述と動作記述間の対応関係を前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述が有する条件分岐の情報によって特定可能に出力する処理と、

を回路設計支援装置を構成するコンピュータに実行させるプログラム。

【請求項 1 4】

少なくとも 1 つの条件分岐文を含む動作記述と、前記動作記述を動作合成して生成された有限状態マシンを有するレジスタ転送レベル記述と、前記レジスタ転送レベル記述と前記有限状態マシンの状態と前記条件分岐の情報と前記動作記述との対応関係を示した対応表と、を入力し記憶保持する処理と、

前記レジスタ転送レベル記述と前記動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの状態と、前記動作記述における条件分岐の情報によって特定可能に出力する処理と、

を回路設計支援装置を構成するコンピュータに実行させるプログラム。

【請求項 1 5】

前記レジスタ転送レベル記述によるパス情報を入力する処理と、

前記パス情報によって特定されるパス全体が、同一の有限状態マシンの状態、かつ、同一の条件分岐に属する動作記述のソース行を抽出する処理と、

該抽出した動作記述のソース行を出力する処理と、

を回路設計支援装置を構成するコンピュータに実行させる請求項 1 2 乃至 1 4 いずれかに記載のプログラム。

【請求項 1 6】

1 つの条件分岐文を含む動作記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する動作合成装置と、回路設計支援装置を用いて行う、前記レジスタ転送レベル記述と動作記述間の対応関係特定方法であって、

前記動作合成装置が前記レジスタ転送レベル記述の生成過程における親（動作記述）側の記述と子（レジスタ転送レベル記述）側の記述と有限状態マシンの状態と前記動作記述における条件分岐との関係に対応関係格納手段に記憶保持する工程と、

前記動作合成装置が前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する工程と、

前記回路設計支援装置が、前記対応表を用いて、レジスタ転送レベル記述と動作記述の対応関係を、前記有限状態マシンの状態と前記条件分岐の情報によって特定可能に出力する工程と、を含むこと、

を特徴とするレジスタ転送レベル記述と動作記述間の対応関係特定方法。

【請求項 17】

前記動作合成装置は、動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードと動作記述の対応部分とを対応付ける第1の対応表を生成し、

10

前記動作合成装置は、更に、前記動作合成装置が中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードと、前記中間レベル記述のノードとを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第2の対応表を生成し、

前記回路設計支援装置が、第1、第2の対応表を合成して第3の対応表を生成し、該第3の対応表を用いて、前記レジスタ転送レベル記述と動作記述間の対応関係を、前記有限状態マシンの状態と前記条件分岐の情報によって特定可能に出力すること、

を特徴とする請求項16に記載のレジスタ転送レベル記述と動作記述間の対応関係特定方法。

20

【請求項 18】

前記動作合成装置は、動作記述から中間レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくとも中間レベル記述のノードからの入出力信号と、動作記述の対応部分とを対応付ける第1の対応表を生成し、

前記動作合成装置は、更に、前記動作合成装置が中間レベル記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する際に前記対応関係格納手段に記憶保持された情報を用いて、少なくともレジスタ転送レベル記述のノードからの入出力信号と、前記中間レベル記述のノードからの入出力信号とを、前記中間レベル記述が有する有限状態マシンの状態と条件分岐の情報によって対応付ける第2の対応表を生成し、

30

前記回路設計支援装置が、第1、第2の対応表を合成して第3の対応表を生成し、該第3の対応表を用いて、前記レジスタ転送レベル記述と動作記述間の対応関係を、前記有限状態マシンの状態と前記条件分岐の情報によって特定可能に出力すること、

を特徴とする請求項16に記載のレジスタ転送レベル記述と動作記述間の対応関係特定方法。

【請求項 19】

前記回路設計支援装置が、前記レジスタ転送レベル記述によるパス情報を入力する工程と、

前記回路設計支援装置が、前記第3の対応表から、前記パス情報によって特定されるパス全体が、同一の有限状態マシンの状態、かつ、同一の条件分岐に属する動作記述のソース行を抽出する工程と、

40

前記回路設計支援装置が、該抽出した動作記述のソース行を出力する工程と、を含むこと、

を特徴とする請求項17又は18に記載のレジスタ転送レベル記述と動作記述間の対応関係特定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路のパスに対応する上流側の記述の特定を可能とする方法、装置及びプログラムに関し、特にレジスタ転送レベル記述と動作記述間の対応関係特定方法

50

、上記方法を実施するための装置及びプログラムに関する。

【背景技術】

【0002】

LSIの集積度は年々指数関数的に増加しているが、設計者一人一人の能力には限界があるため、設計規模の増大に設計能力が追いつかないという状況が生じる。この設計生産性の危機を打開するための有効なアプローチのひとつに、設計の抽象度を上げるという方法があり、また、そのためのEDA (electronic design Automation) ツールも各種提案されている。

【0003】

例えば、ある処理を実行するハードウェアを設計する際に、対象となる処理のアルゴリズムを直接的に動作レベルで記述した「動作記述」(behavioral description)から、レジスタやクロックによる同期などハードウェアに特有の概念を意識したレジスタ転送レベル記述(Register Transfer Level Description; 以下、単に「RTL記述」ともいう)を自動的に合成する「動作合成」(高位合成、機能合成ともいう)により設計の抽象度を上げることができる。

【0004】

ここで、動作合成の概要について例を示して説明する。図2は、動作記述、図3は、その動作記述から合成された、演算を処理するデータパス21と状態を制御するFSM(Finite State Machine=有限状態マシン)22から構成されるRTL記述の構造である。ここで、図3に例示した演算器、レジスタ、入出力端子などをノードといい、ノードで構成される回路図の形で示したものをRTL記述と呼ぶ。また、以下、状態とは、FSMが制御する状態(State)のことを指し、また条件分岐(以下、単に条件ともいう)とはデータパスのセレクトに対応するものである。

【0005】

動作合成においては、レジスターレジスタ間や入出力端子ーレジスタ間などの遅延を決める動作周波数や、演算器やレジスタなどのハードウェア資源の種類や数などの合成制約を満たすように、動作レベルで記述された処理を幾つかの状態にわけて実行するような変換が行われている。動作記述からRTL記述への変換の手順としては、動作仕様からの論理設計において、まず動作仕様から演算列即ち制御とデータの流れを抽出し、スケジューリングを行い、コントロールデータフローグラフ(CDFGともいう; 図4参照)を生成する。最後に、コントロールデータフローグラフに基づいて演算に回路素子を割り付けて論理回路を合成するという手順が踏まれる(非特許文献1参照)。

【0006】

このような手順をより効率よく実現するために、特許文献1に、演算器やレジスタなどのハードウェア資源の排他性を解析し排他関係にあるもの同士を共有する、という技術が紹介されている。図4は、図2の動作記述に対応するコントロールデータフローグラフの一例であり、図2の動作記述に対して、特定の合成制約の下でスケジューリングを行った結果、2つの状態(状態1、状態2)からなる構造になった場合を示している。図4を参照すると、乗算1と乗算2と乗算3は異なる状態・条件に属しているため、排他関係にあり、共有することができる。また、図2の動作記述でいうと、14行目の乗算(図4の乗算3に相当)は8行目(図4の乗算1に相当)や11行目(図4の乗算2に相当)の乗算とは異なる状態(状態2)に属している。また、8行目の乗算と11行目の乗算は同じ状態(状態1)に属しているが、8行目は条件 $s > 10$ (条件1)の場合に実行され、11行目は条件 $s > 10$ 以外の場合(条件2)に実行される、つまり異なる条件に属しているため、RTL記述ではこれらの乗算を共有して一つの乗算器で表現することができる。

【0007】

以上の判定の元に生成されたRTL記述の構造が図3である。図3を参照すると、図2の動作記述の8、11、14行目にある乗算が、動作合成によって一つの乗算器(図3の左側データパス21中の乗算器1)に割り付けられている。

【0008】

このようにして合成されたRTL記述は論理合成により、レジスタ-レジスタ間や入出力端子-レジスタ間などの遅延の情報を有するゲートレベルの記述（ゲートレベル論理回路：ネットリスト；以下、単に「ゲート記述」ともいう）へ変換される。この段階で、静的タイミング解析を行い、回路の遅延情報（以後、タイミングレポートと呼ぶ）を見て、ゲート記述の回路データが、遅延や面積などの合成制約を満たしているかどうかを確認するが、遅延が設計条件を満たしていない場合、もしくは、満たしているが余裕が少ない場合、回路の中で最も遅延が大きいパス（以後、クリティカルパスと呼ぶ）の遅延を小さくするという改善を行わなければならないが、そのためには、元の動作記述の修正が必要になる場合がある。

【0009】

その際、ゲート記述におけるパス、特にクリティカルパスが動作記述のどの部分に対応するかを特定する必要があるが、ゲート記述は、動作合成・論理合成と2段階の自動合成を経て得られた回路データであるので、元の動作記述とは大きく異なる記述である。そのため、設計者には理解しにくいものであり、動作記述におけるクリティカルパスの特定に多くの時間が掛かるという事情があった。

【0010】

特許文献2は、上記視点からなされたものであり、タイミングレポートにある回路の遅延情報とゲート記述を対応付ける方法を開示している。同公報によると、まず、FPGA設計システムによって、配置配線後の回路構成とその回路に対するタイミングレポートを、設計データであるゲート記述のセル名およびネット名を使用した回路構成に変換したパス回路構成表示レポートが作成される（特許文献2の図2ステップS307）。例えば、特許文献2の図4に示すような論理ブロック座標、ネット名、遅延時間、論理ブロックのインスタンス名、論理ブロック内に含まれるセルのインスタンス名などが含まれるタイミングレポートならば、特許文献2の図5のようなセルのインスタンス名、ネット名、セル名、遅延時間、論理ブロックの配置座標、セルの入力および出力ピンなどが含まれるパス回路構成表示レポートに変換される。

【0011】

特許文献2によれば、続いて、FPGA設計システムは、上記パス回路構成表示レポートに基づき、配置配線後の回路構成にゲート記述を対応させて、図形表示した画像データを作成し、入出力端末装置に表示する（同ステップS308）。このような処理により、指定されたセルまたはネットが含まれるパスの回路構成を、タイミングレポートから求められる配置配線後の回路構成にゲート記述を対応させて表示することができる。従って、タイミングレポート上のパスがゲート記述のどこに相当するのかを探索し、また把握することが可能となる。

【特許文献1】特開平5-334466号公報

【特許文献2】特開2002-366597号公報

【非特許文献1】The High-Level Synthesis of Digital Systems : MICHAEL C. McFARLAND, ALICE C. PARKER, RAULCAMPOSANO : Proceeding of the IEEE, Vol. 78, NO. 2, 1990

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述のように特許文献2を用いることで、クリティカルパスとゲート記述の対応をとることが可能であるが、ゲート記述は、上述のとおり論理合成及び動作合成を経て自動生成されたものであり、更に、その記述量は動作記述に比べ数倍から数十倍になることが多い。従って、特許文献2をもってしても、設計者にとって、ゲート記述を理解した上でそれを変更する作業が必須となり、クリティカルパスを改善することは、非常に難しく、時間が掛かるという問題点がある。

【0013】

そこで、ゲート記述でなく、もともと設計者によって作成された動作記述を修正し、再

度、動作合成・論理合成を行う手法をとることが考えられるが、そのためにはゲート記述におけるパスが動作記述のどの部分に対応するかを解析する、つまりゲート記述と動作記述との対応関係をとる必要がある。

【0014】

一般に、ゲート記述とRTL記述との間では、回路記述中の信号名などでおおよそその対応関係が分かたりするものではあるが、Synplicity社のSynplifyなどの論理合成ツールには、ゲート記述とRTL記述との対応関係を解析し、表示する機能などがあり、両者の対応関係が調べやすいような環境が整っている。

【0015】

しかしながら、RTL記述と動作記述との間では対応関係をとることは難しい状況にある。その要因の一つとして、上述したように、合成制約に基づく資源の共有要請等によって、RTL記述における一つの演算器やレジスタが、動作記述においては複数の演算子・変数に対応することがあり、RTL記述と動作記述との間で「一对多」の関係が生じることがあることが挙げられる。

10

【0016】

上述したように、動作合成により生成されたRTL記述上のパスと、動作記述上のパスとの対応を取るには、動作合成がスケジューリング、コントロールデータフローグラフ作成、演算器やレジスタの共有をどのように行っているかを解析することが必要となり、この作業も人手で行うものであり、時間がかかるという問題点があったのである。

【課題を解決するための手段】

20

【0017】

本発明の第1の視点によれば、動作記述と合成制約から有限状態マシンを有するレジスタ転送レベル記述を生成する動作合成装置と、回路設計支援装置を用いて行う、前記レジスタ転送レベル記述と動作記述間の対応関係特定方法であって、上記動作合成の際に中間情報を利用して有限状態マシンを有するRTL記述と動作記述の対応関係を定めた対応表を作成しておき、前記回路設計支援装置をして、前記した有限状態マシンの各状態と前記動作記述に含まれていた条件分岐文によって、動作記述の中から意味のある箇所を特定可能に出力させる方法が提供される。より具体的には、動作合成装置がスケジューリング、コントロールデータフローグラフ作成、演算器やレジスタの共有を行った過程で得られる情報を利用し、親（動作記述）側の記述と、子（レジスタ転送レベル記述）側の記述とRTL記述の有限状態マシンの各状態と前記動作記述に含まれていた条件分岐との対応関係を示した対応表を生成していく。次いで、前記回路設計支援コンピュータが、前記対応表を用いて、RTL記述と動作記述の対応関係を、RTL記述の有限状態マシンの各状態と前記動作記述に含まれていた条件分岐の情報によって特定可能に出力する。

30

【0018】

また、本発明の第2の視点によれば、上記した方法を実施するための動作合成装置、回路設計支援装置が提供される。前者の動作合成装置は、レジスタ転送レベル記述の生成過程における親（動作記述）側の記述と子（レジスタ転送レベル記述）側の記述と有限状態マシンの状態と前記動作記述における条件分岐との関係を記憶保持する対応関係格納手段と、前記対応関係格納手段に記憶保持された情報を用いて、少なくとも、子（レジスタ転送レベル記述）側の記述と、前記有限状態マシンの状態と、前記条件分岐の情報と、親（動作記述）側の記述との対応関係を示した対応表を生成する対応表生成手段と、を備えて構成される。また後者の回路設計支援装置は、前記した動作合成装置から対応表を入力して、レジスタ転送レベル記述と動作記述間の対応関係を、前記レジスタ転送レベル記述が有する有限状態マシンの各状態と、前記動作記述が有する条件分岐の情報によって特定可能に出力する対応特定手段を備えて構成される。

40

【0019】

また、上記各手段を備えた動作合成装置、又は、回路設計支援装置は、一般のパーソナルコンピュータやワークステーション等の情報処理装置に実行させるプログラムにより実現可能であり、上記した各装置を構成するコンピュータに実行させるプログラムも提供さ

50

れる。このプログラムは、磁気ディスク等のコンピュータ可読記録媒体に記録されて提供され、コンピュータに読み込まれることにより、そのコンピュータの動作を制御し、そのコンピュータ上に動作合成装置（システム）、回路設計支援装置（システム）における各機能手段を実現する。

【発明の効果】

【0020】

本発明によれば、LSIの設計生産性が向上され、また、回路の論理検証やシミュレーションも効率化される。その理由は、上記「状態と条件の解析」に至るまでの人手によらざるを得なかった各作業を自動化し、ゲートレベルの記述から動作記述に至るまでパスを遡って特定するための手段を提供したことにある。

10

【発明を実施するための最良の形態】

【0021】

続いて、本発明を実施するための最良の形態について図面を参照して詳細に説明する。図1は、本実施の形態で用いられる装置と各装置で行われる処理の流れを表した図である。図1を参照すると、本実施の形態は、図中点線で表された動作合成装置と、論理合成装置と、パス反映装置（回路設計支援装置）と、を用いる構成である。以下、先に示した図2の動作記述を基にし、動作合成・論理合成して得られたゲート記述の回路に対してタイミング解析を行い、タイミング解析の結果から得たタイミングレポート上のパスから動作記述上のパスを特定する例を挙げて説明する。

【0022】

まず、動作合成装置は、図2に例示した動作記述を解析し、動作周波数、演算器やレジスタなどのハードウェア資源の種類や数などの合成制約に基づいて、演算器の実行順序を決定するスケジューリングを行い（ステップS1）、中間レベル記述（内部表現）として図4に示す2つの状態（状態1、状態2）の構造を有するCDFGへ変換する（ステップS2）。その際、動作合成装置は、CDFGのノード（演算器、レジスタ、入出力端子）を生成する度に、対応する動作記述、状態、条件、を記録する。

20

【0023】

この結果、図5に示したようにCDFGのノード（演算器、レジスタ、入出力端子）と、動作記述の行番号、状態および条件の対応表（第1の対応表）が作成される（ステップS3）。図5の対応表において、乗算1は、状態が1であり、かつ、比較演算 $s > 10$ が真である（この場合を条件1とする）場合のみ実行される演算であるということを表している。また、乗算3については、状態2でかつ、条件1または比較演算 $s > 10$ が偽の場合（この場合を条件2とする）に、この演算が実行されるということを表している。

30

【0024】

次に、動作合成装置は、一般的な動作合成の手順に従ってCDFGから、CDFGが有している状態に基づいて回路動作を制御するFSMの生成、合成制約に基づいて演算器などのハードウェア資源の共有（シェアリング）、回路素子の割り付けを行い（ステップS4）、RTL記述を作成する（ステップS5）。上記ステップS3の過程においても、動作合成装置は、RTL記述のノードとCDFGのノードとを結びつける度に、その際の状態、条件を記録する。

40

【0025】

その結果、例えば図3に例示されるような構造のRTL記述が得られたとすると、図6に示すようなRTL記述のノードとCDFGのノードとの対応表（第2の対応表）が生成される（ステップS6）。

【0026】

また、上記ステップS5にて生成されたRTL記述は、その後、論理合成装置によって、論理合成処理が行われ、ゲート記述へ変換され、タイミングレポートが出力される（ステップS7）。なお、ここでは詳細は省略するが、このタイミングレポートは、前記RTL記述を論理合成して得られたゲート記述に対して、一般的な静的タイミング解析手法を適用して得られるタイミングレポートで何ら問題ない。

50

【 0 0 2 7 】

この時点で得られるタイミングレポート、第 1、第 2 の対応表のデータが、オンライン乃至記録媒体を介して、パス反映装置（回路設計支援装置）に入力されて、以降の処理が実施される。まず、パス反映装置（回路設計支援装置）は、C D F G のノードを結合キーとして、第 1、第 2 の対応表を結合し、図 7 のような対応表（第 3 の対応表）を得る（ステップ S 8）。

【 0 0 2 8 】

続いて、パス反映装置（回路設計支援装置）は、静的タイミング解析を行い、タイミングレポートからゲート記述におけるパスの情報を取得し、従来技術で述べた方法や E D A ツール等を用いて、R T L 記述のパスを得る（ステップ S 9）。

10

【 0 0 2 9 】

図 8 は、上記ステップ S 9 で生成された R T L 記述のパスの一例を表した図である。この場合、図 7 より、R T L 記述のパスの最後に位置するレジスタ 1 は、R T L 記述と動作記述が 1 対 1 の対応であるから、対応する動作記述の箇所（1 3 行目）を一意に特定できる。しかしながら、R T L 記述の入力端子 i 1 は動作記述の 8、1 1 行目、乗算器 1 は動作記述の 8、1 1、1 4 行目、加算器 1 は動作記述の 9、1 5 行目に対応しており、入力、乗算、加算の箇所を動作記述において一意に特定することができない。

【 0 0 3 0 】

この場合以下のように「状態と条件の解析」を行い、動作記述の対応箇所を絞り込むことができるので、その概要を説明する。回路動作として意味があるパスとは、例えば、図 4 の例でいうと、状態 1 に属する入力 i 1 から r 1 までのパスや、状態 2 に属する r 1 から o 2 までのパスなどであり、C D F G にて一つの状態に属するパスである。このことに着目すると、あるパス上の演算器などのノードは、すべて同じ状態に属していなければならない、ということが了解される。

20

【 0 0 3 1 】

これを本例について当てはめてみると、図 7 の対応表（第 3 の対応表）の状態欄より、入力端子 i 1 と比較器 1 とレジスタ 1 はすべて状態 1 のみに属していることが分かる。よって、図 8 のパスの乗算器 1 に対しては、状態 1 に属するものしか意味がないということになる。したがって、状態 1 に属する動作記述の乗算 1 は、8 行目の乗算 1 と 1 1 行目の乗算 2 であり、どちらかが図 8 のパスの乗算器 1 に対応していることがわかる。同様に、加算器 1 については動作記述の 9 行目の加算 1 が図 8 のパスの加算器 1 に対応していることがわかる。

30

【 0 0 3 2 】

次に、パス上のノードが属する条件に注目する。状態の場合と同様に、回路動作として意味があるパスにあるノードはすべて同じ条件に属していなければならない。これを本例について当てはめてみると、図 7 の対応表（第 3 の対応表）の状態欄より、先ほどの状態にて絞り込んだ動作記述の 9 行目の加算 1 は条件 1 のみに属しているので、他のノードも条件 1 に属していなければならない。さらに、動作記述の 8 行目の乗算 1 と 1 1 行目の乗算 2 に注目すると、条件 1 に属しているのは 8 行目の乗算 1 のみである。よって図 8 のパスの乗算器 1 に対応する動作記述は 8 行目の乗算 1 であることがわかる。

40

【 0 0 3 3 】

同様に、動作記述の 8 行目の入力 i 1 と 1 1 行目の入力 i 1 に注目すると、条件 1 に属しているのは 8 行目の入力 i 1 のみである。よって図 8 のパスの入力端子 i 1 に対応する動作記述の入力 i 1 は 8 行目の入力 i 1 であることがわかる。

【 0 0 3 4 】

このように、図 1 のステップ S 1 0 において「状態と条件の解析」を行うことにより、図 8 のパスに対応する動作記述の箇所を図 9 に示したように特定することができる。また、以上の手順を自動化することで、R T L 記述上のパスを動作記述上で特定することを容易化することができる。

【 0 0 3 5 】

50

以上の説明したように、動作合成の過程において、RTL記述のノードと動作記述及び状態・条件との対応表（第3の対応表；図7参照）を作成し、更に、回路動作として意味のあるパスは同じ状態・条件に属しているという事実を利用することで、着目しているパスにある可能性のある動作記述上の演算や変数の中から異なる状態や条件に属している演算や変数を除外できる。また、併せて、回路動作として意味があるかどうかの判定を自動化すること、RTL記述と動作記述との対応関係の解析を自動化できる。これは、設計生産性の向上に大きく貢献するものであり、また、回路の論理検証やシミュレーションにおいても有効なツールとなって、人手による手間を大幅に削減することができる。

【0036】

なお、上記実施の形態では、RTL記述を論理合成して得られたゲート記述に対して静的タイミング解析を行い、そのタイミングレポート結果からRTL記述のパス（クリティカルパス）を得ているが、RTL記述上の任意のパスであっても何ら問題なく、動作記述との対応関係をとることができる。

【0037】

〔第2の実施の形態〕

また、RTL記述のノードではなく、RTL記述のノードへの入力又は出力と動作記述との対応表を作成することによっても、RTL記述と動作記述との対応関係をとることができる。以下、上記した実施の形態同様、RTL記述と動作記述の対応を取る第2の実施の形態について図2の動作記述から図4のCDFGを経て図3のような構造のRTL記述が得られたものとしてその手順を説明する。

【0038】

まず、上記した実施の形態同様、動作合成装置が図1のステップS3、S6にて、動作合成時に対応表（第1、第2の対応表）を生成するが、その際、動作合成装置は、RTL記述やCDFGのノードではなく、各ノードの入力又は出力に着目し、図10、図11に例示するノードの入力又は出力との対応表を作成する。

【0039】

続いて、上記した実施の形態同様、パス反映装置は、CDFGのノード入力又は出力を結合キーとして、前記第1、第2の対応表を結合し、図12のような対応表（第3の対応表）を得る。

【0040】

続いて、パス反映装置（回路設計支援装置）は、上記した実施の形態同様、静的タイミング解析を行い、タイミングレポートからゲート記述におけるパスの情報を取得し、従来技術で述べた方法やEDAツール等を用いて、RTL記述のパスを得るが、図8のパスをRTL記述のノードの入力又は出力で表すと図13のようになる。

【0041】

図13のパスについて状態・条件の解析を行うと、上記した実施の形態と同じ結果が得られ、動作記述の8、9、13行目に対応していることを判別することができる。このように、RTL記述のノードへの入力又は出力の対応表を用いる方法によっても、RTL記述上のパスを動作記述上で特定することができる。

【0042】

以上、本発明の各実施の形態を説明したが、その原理からも明らかなとおり、本発明の技術的範囲は、上述した実施の形態に限定されるものではなく、動作合成の過程で生成された情報を利用してRTL記述に対応する動作記述の箇所を特定可能とするという本発明の要旨を逸脱しない範囲で、各種の変形・置換をなすことが可能であることはいうまでもない。もちろん、上記した説明及び各図に示した動作記述、RTL記述、CDFGは、あくまで本発明の理解を助けるために用いたものであることはいうまでもない。

【図面の簡単な説明】

【0043】

【図1】本発明の第1の実施の形態の構成及び処理の流れを表した図である。

【図2】動作記述の一例を表した図である。

【図3】図2の動作記述に対応するRTL記述（レジスタ転送レベル記述）の一例を表した図である。

【図4】図2の動作記述に対応するCDFG（コントロールデータフローグラフ）の一例を表した図である。

【図5】本発明の第1の実施の形態で生成される対応表（第1の対応表）を表した図である。

【図6】本発明の第1の実施の形態で生成される対応表（第2の対応表）を表した図である。

【図7】本発明の第1の実施の形態で生成される対応表（第3の対応表）を表した図である。

10

【図8】図3のRTL記述におけるパスをノードで表した図である。

【図9】図8のRTL記述におけるパスに対応する動作記述を特定した図である。

【図10】本発明の第2の実施の形態で生成される対応表（第1の対応表）を表した図である。

【図11】本発明の第2の実施の形態で生成される対応表（第2の対応表）を表した図である。

【図12】本発明の第2の実施の形態で生成される対応表（第3の対応表）を表した図である。

【図13】図3のRTL記述におけるパスをノードからの入出力で表した図である。

【図14】図13のRTL記述におけるパスに対応する動作記述を特定した図である。

20

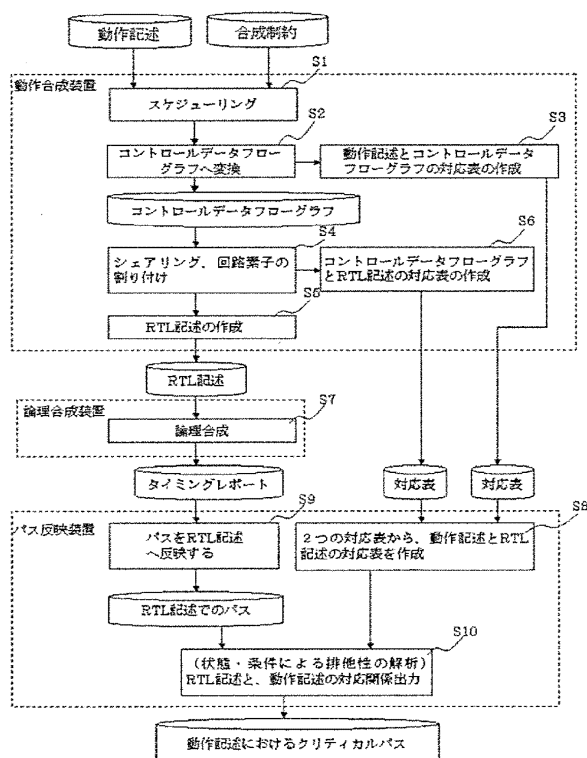
【符号の説明】

【0044】

21 データパス

22 FSM (Finite State Machine)

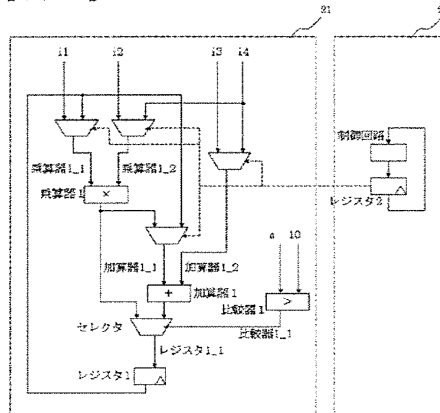
【図1】



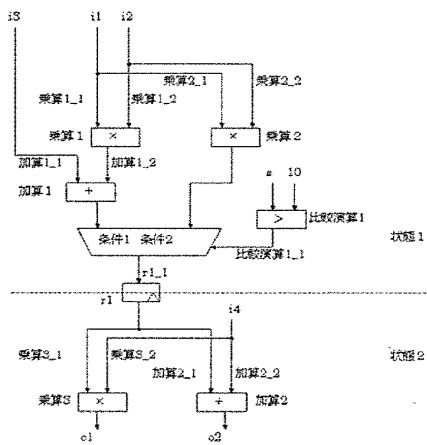
【図2】

行番号	動作記述
1	int i1,i2,i3,i4;
2	in int s;
3	out int o1,o2;
4	main() {
5	int t1,t2;
6	int r1;
7	if (s>10) {
8	t1=i1*i2;
9	t2=t1+i3;
10	} else {
11	t2=i1*i2;
12	}
13	r1=t2;
14	o1=r1*i4;
15	o2=r1+i4;
16	}

【図3】



【図 4】



【図 5】

CFGのノード	動作記述の行番号	状態	条件
乗算1	8	1	1
乗算2	11	1	2
乗算3	14	2	1,2
比較演算1	7	1	1,2
加算1	9	1	1
加算2	15	2	1,2
i1	8	1	1
i2	11	1	2
i3	8	1	1
i4	11	1	2
s	9	1	1
r1	14,15	2	1,2
	7	1	1,2
	13	1	1,2

【図 6】

RTL記述のノード	CFGのノード
乗算器1	乗算1
	乗算2
	乗算3
比較器1	比較演算1
加算器1	加算1
	加算2
i1	i1
i2	i2
i3	i1
i4	i4
s	s
レジスタ1	r1

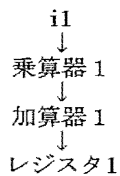
【図 7】

RTL記述のノード	CFGのノード	動作記述の行番号	状態	条件
乗算器1	乗算1	8	1	1
	乗算2	11	1	2
	乗算3	14	2	1,2
比較器1	比較演算1	7	1	1,2
加算器1	加算1	8	1	1
	加算2	15	2	1,2
i1	i1	8	1	1
i2	i2	11	1	2
i3	i3	8	1	1
i4	i4	11	1	2
s	s	9	1	1
r1	r1	14,15	2	1,2
	s	7	1	1,2
	r1	13	1	1,2

【図 9】

RTL記述のノード	CFGのノード	動作記述の行番号	状態	条件
乗算器1	乗算1	8	1	1
	乗算2	11	1	2
	乗算3	14	2	1,2
比較器1	比較演算1	7	1	1,2
加算器1	加算1	8	1	1
	加算2	15	2	1,2
i1	i1	8	1	1
i2	i2	11	1	2
i3	i3	8	1	1
i4	i4	11	1	2
s	s	9	1	1
r1	r1	14,15	2	1,2
	s	7	1	1,2
	r1	13	1	1,2

【図 8】



【図 10】

CFGのノードの 入力 出力	動作記述の行番号	状態	条件
乗算1_1	8	1	1
乗算2_1	11	1	2
乗算3_1	14	2	1,2
乗算1_2	8	1	1
乗算2_2	11	1	2
乗算3_2	14	2	1,2
比較演算1_1	7	1	1,2
加算1_1	9	1	1
加算2_1	15	2	1,2
加算1_2	9	1	1
加算2_2	15	2	1,2
r1_1	13	1	1,2

【図 1 1】

RTL記述のノードの 入力 出力	CDFGのノードの 入力 出力
乗算器1_1	乗算1_1
	乗算2_1
	乗算3_1
乗算器1_2	乗算1_2
	乗算2_2
	乗算3_2
比較器1_1	比較演算1_1
加算器1_1	加算1_1
	加算2_1
加算器1_2	加算1_2
	加算2_2
レジスタ1_1	r1_1

【図 1 2】

RTL記述のノードの 入力 出力	CDFGのノードの 入力 出力	動作記述の行番号	状態	条件
乗算器1_1	乗算1_1	8	1	1
	乗算2_1	11	1	2
	乗算3_1	14	2	1,2
乗算器1_2	乗算1_2	8	1	1
	乗算2_2	11	1	2
	乗算3_2	14	2	1,2
比較器1_1	比較演算1_1	7	1	1,2
加算器1_1	加算1_1	9	1	1
	加算2_1	15	2	1,2
加算器1_2	加算1_2	9	1	1
	加算2_2	15	2	1,2
レジスタ1_1	r1_1	13	1	1,2

【図 1 3】

乗算器 1_1
↓
加算器 1_1
↓
レジスタ 1_1

【図 1 4】

RTL記述のノードの 入力 出力	CDFGのノードの 入力 出力	動作記述の行番号	状態	条件
乗算器1_1	乗算1_1	8	1 *	1 *
	乗算2_1	11	1	2
	乗算3_1	14	2	1,2
乗算器1_2	乗算1_2	8	1	1
	乗算2_2	11	1	2
	乗算3_2	14	2	1,2
比較器1_1	比較演算1_1	7	1	1,2
加算器1_1	加算1_1	9	1 *	1 *
	加算2_1	15	2	1,2
加算器1_2	加算1_2	9	1	1
	加算2_2	15	2	1,2
レジスタ1_1	r1_1	13	1 *	1,2

Electronic Patent Application Fee Transmittal

Application Number:				
Filing Date:				
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT			
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto			
Filer:	Mark J. Thronson/Deborah Proctor			
Attorney Docket Number:	R2180.0374/P374			
Filed as Large Entity				
Utility Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Utility application filing	1011	1	310	310
Utility Search Fee	1111	1	510	510
Utility Examination Fee	1311	1	210	210
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1030

Electronic Acknowledgement Receipt

EFS ID:	2868022
Application Number:	12032117
International Application Number:	
Confirmation Number:	3786
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto
Customer Number:	24998
Filer:	Mark J. Thronson/Deborah Proctor
Filer Authorized By:	Mark J. Thronson
Attorney Docket Number:	R2180.0374/P374
Receipt Date:	15-FEB-2008
Filing Date:	
Time Stamp:	15:24:49
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 1030
RAM confirmation Number	643
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1		R21800374.pdf	5408244	yes	85
			b5023786ab4625147296d9d0459b360 b4b5cea61		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Transmittal of New Application		1	1	
	Specification		2	17	
	Claims		18	21	
	Abstract		22	22	
	Drawings-only black and white line drawings		23	25	
	Oath or Declaration filed		26	28	
	Miscellaneous Incoming Letter		29	30	
	Miscellaneous Incoming Letter		31	31	
	Request for USPTO to retrieve priority docs		32	32	
	Information Disclosure Statement Letter		33	34	
	Information Disclosure Statement (IDS) Filed		35	35	
	Miscellaneous Incoming Letter		36	57	
	Foreign Reference		58	70	
	Foreign Reference		71	85	
	Warnings:				
Information:					
2	Fee Worksheet (PTO-06)	fee-info.pdf	8442	no	2
			7461e55729c2965984a5454d01d1ec08 2946f110c		
Warnings:					
Information:					
Total Files Size (in bytes):			5416686		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No.: R2180.0374/P374
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: Not Yet Assigned

Confirmation No.: N/A

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR DESIGN SUPPORT
DEVICE, SEMICONDUCTOR DESIGN
SUPPORT METHOD, AND
MANUFACTURING METHOD FOR
SEMICONDUCTOR INTEGRATED
CIRCUIT

Examiner: Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT (IDS)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Pursuant to 37 CFR 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO/SB/08. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement accompanies the new patent application submitted herewith.

Submitted herewith is a copy of the claims and drawings for U.S. Application No. 09/469,754 for consideration as well.

DSMDB-2395472v01

A summary/abstract translation of the non-English language references is enclosed.

In accordance with 37 CFR 1.98(a)(2)(ii), Applicant has not submitted copies of U.S. patents and U.S. patent applications. Applicant submits herewith copies of foreign patents and non-patent literature in accordance with 37 CFR 1.98(a)(2).

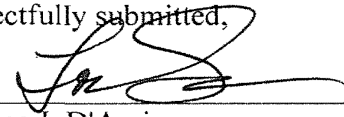
In accordance with 37 CFR 1.97(g), the filing of this Information Disclosure Statement shall not be construed to mean that a search has been made or that no other material information as defined in 37 CFR 1.56(a) exists. In accordance with 37 CFR 1.97(h), the filing of this Information Disclosure Statement shall not be construed to be an admission that any patent, publication or other information referred to therein is "prior art" for this invention unless specifically designated as such.

It is submitted that the Information Disclosure Statement is in compliance with 37 CFR 1.98 and the Examiner is respectfully requested to consider the listed references.

The Director is hereby authorized to charge any deficiency in the fees filed, asserted to be filed or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Deposit Account No. 04-1073, under Order No. R2180.0374/P374.

Dated: February 15, 2008

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO LLP

1825 Eye Street, NW

Washington, DC 20006-5403

(202) 420-2200

Attorney for Applicant



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
12/032,117	02/15/2008	2825	1030	R2180.0374/P374	9	3

CONFIRMATION NO. 3786

24998
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

FILING RECEIPT



OC00000028426164

Date Mailed: 02/25/2008

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Yasutaka Tsukamoto, Yokohama city, JAPAN;

Power of Attorney: The patent practitioners associated with Customer Number 24998

Domestic Priority data as claimed by applicant

Foreign Applications

JAPAN 2007-038603 02/19/2007

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

Projected Publication Date: To Be Determined - pending completion of Security Review

Non-Publication Request: No

Early Publication Request: No

Title

SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT
METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Preliminary Class

716

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER**Title 35, United States Code, Section 184****Title 37, Code of Federal Regulations, 5.11 & 5.15****GRANTED**

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where

the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

Filing Date: 02/15/08

Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD					Application or Docket Number 12/032,117	
Substitute for Form PTO-875						
APPLICATION AS FILED – PART I						
(Column 1)		(Column 2)		SMALL ENTITY		OR OTHER THAN SMALL ENTITY
FOR	NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A		N/A		N/A 310
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A		N/A		N/A 510
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A		N/A		N/A 210
TOTAL CLAIMS (37 CFR 1.16(i))	9	minus 20 =		X\$ 25		X\$50 0
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3	minus 3 =		X\$105		X\$210 0
APPLICATION SIZE FEE (37 CFR 1.16(s))						
If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$260 (\$130 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR						
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				185		370
				TOTAL	0	TOTAL 1030
* If the difference in column 1 is less than zero, enter "0" in column 2.						
APPLICATION AS AMENDED – PART II						
(Column 1)		(Column 2)		(Column 3)		
AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA		
	Total (37 CFR 1.16(i))	*	Minus **	=		
	Independent (37 CFR 1.16(h))	*	Minus ***	=		
	Application Size Fee (37 CFR 1.16(s))					
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					
(Column 1)		(Column 2)		(Column 3)		
AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA		
	Total (37 CFR 1.16(i))	*	Minus **	=		
	Independent (37 CFR 1.16(h))	*	Minus ***	=		
	Application Size Fee (37 CFR 1.16(s))					
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(c) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374

CONFIRMATION NO. 3786

24998
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC20006-5403

Date Mailed. 02/28/2008

NOTICE OF NEW OR REVISED PROJECTED PUBLICATION DATE

The above-identified application has a new or revised projected publication date. The current projected publication date for this application is 08/21/2008. If this is a new projected publication date (there was no previous projected publication date), the application has been cleared by Licensing & Review or a secrecy order has been rescinded and the application is now in the publication queue.

If this is a revised projected publication date (one that is different from a previously communicated projected publication date), the publication date has been revised due to processing delays in the USPTO or the abandonment and subsequent revival of an application. The application is anticipated to be published on a date that is more than six weeks different from the originally-projected publication date.

More detailed publication information is available through the private side of Patent Application Information Retrieval (PAIR) System. The direct link to access PAIR is currently <http://pair.uspto.gov>. Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Questions relating to this Notice should be directed to the Office of Patent Publication at 1-888-786-0101.

PART 1 - ATTORNEY/APPLICANT COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2007年 2月19日

出 願 番 号
Application Number: 特願2007-038603

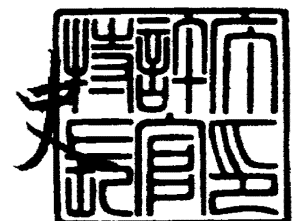
パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is
JP2007-038603

出 願 人
Applicant(s): 株式会社リコー

2008年 7月22日

特許庁長官
Commissioner,
Japan Patent Office

鈴木 隆



【書類名】	特許願	
【整理番号】	200602814	
【提出日】	平成19年 2月19日	
【あて先】	特許庁長官殿	
【国際特許分類】	G06F 9/45	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株
	式会社リコー内	
【氏名】	塚本 泰隆	
【特許出願人】		
【識別番号】	000006747	
【氏名又は名称】	株式会社リコー	
【代表者】	桜井 正光	
【代理人】		
【識別番号】	100084250	
【弁理士】		
【氏名又は名称】	丸山 隆夫	
【電話番号】	03-3590-8902	
【手数料の表示】		
【予納台帳番号】	007250	
【納付金額】	16,000円	
【提出物件の目録】		
【物件名】	特許請求の範囲 1	
【物件名】	明細書 1	
【物件名】	図面 1	
【物件名】	要約書 1	
【包括委任状番号】	0207936	

【書類名】特許請求の範囲

【請求項 1】

ハードウェアが行う処理のアルゴリズムを動作レベルで記述した動作記述を読み込み、レジスタやクロック同期を含むハードウェア特有の概念を意識して記述したRTL記述を生成する半導体集積回路の設計支援装置において、

前記RTL記述に対する論理シミュレーションの結果を解析して、前記動作記述における所定単位の動作を表す各ブロックでのレイテンシを求めるレイテンシ解析手段を有することを特徴とする半導体集積回路の設計支援装置。

【請求項 2】

前記動作記述における前記各ブロックと、前記RTL記述における状態との対応表を生成する対応表生成手段をさらに有することを特徴とする請求項 1 に記載の半導体集積回路の設計支援装置。

【請求項 3】

前記レイテンシ解析手段は、前記論理シミュレーションの結果と、前記対応表生成手段により生成された対応表とを参照して、前記動作記述における前記各ブロックでのレイテンシを求めることを特徴とする請求項 2 に記載の半導体集積回路の設計支援装置。

【請求項 4】

ハードウェアが行う処理のアルゴリズムを動作レベルで記述した動作記述を読み込み、レジスタやクロック同期を含むハードウェア特有の概念を意識して記述したRTL記述を生成する半導体集積回路の設計支援方法において、

前記RTL記述に対する論理シミュレーションの結果を解析して、前記動作記述における所定単位の動作を表す各ブロックでのレイテンシを求めるレイテンシ解析工程を有することを特徴とする半導体集積回路の設計支援方法。

【請求項 5】

前記動作記述における前記各ブロックと、前記RTL記述における状態との対応表を生成する対応表生成工程をさらに有することを特徴とする請求項 4 に記載の半導体集積回路の設計支援方法。

【請求項 6】

前記レイテンシ解析工程は、前記論理シミュレーションの結果と、前記対応表生成工程により生成された対応表とを参照して、前記動作記述における前記各ブロックでのレイテンシを求めることを特徴とする請求項 5 に記載の半導体集積回路の設計支援方法。

【請求項 7】

請求項 4 から 6 のいずれか 1 項に記載の半導体集積回路の設計支援方法を用いて回路を設計しレイアウトを作成する設計工程と、

前記設計工程により設計された回路のレイアウトに基づいてフォトマスクを生成する生成工程と、

前記生成工程により生成されたフォトマスクのパターンを半導体ウエハに転写する転写工程と、

を有することを特徴とする半導体集積回路の製造方法。

【請求項 8】

請求項 4 から 6 のいずれか 1 項に記載の半導体集積回路の設計支援方法を、その設計支援装置に実行させるためのプログラム。

【請求項 9】

請求項 8 に記載のプログラムを記録した記録媒体。

【書類名】明細書

【発明の名称】半導体集積回路の設計支援装置、その設計支援方法、その製造方法、プログラム、及び記録媒体

【技術分野】

【0001】

本発明は、半導体集積回路の設計支援装置、その設計支援方法、その製造方法、プログラム、及び記録媒体に関し、特に、動作合成ツールを用いて行われる半導体集積回路の設計において好適に適用される技術に関するものである。

【背景技術】

【0002】

半導体製造技術の進歩により、半導体の集積度は非常に速い速度で高まってきており、これによりLSI (Large Scale Integration) は規模、複雑さが年々増している。一方で、LSI を搭載する電子機器製品のライフサイクルは短くなる傾向にあることから、回路設計期間の短縮化が望まれている。ところが、LSI が大規模化、複雑化するに従い、従来の設計手法は限界にきていると考えられており、近年では、より高い抽象度で設計を記述する手法に注目が集まっている。また、そのためのEDA (Electronic Design Automation: 電子設計自動化) ツールも各種提案されている。

【0003】

このEDAツールの1つとして注目を浴びているのが動作合成ツールである。動作合成ツールは、ハードウェアの動作を表現する動作記述から、論理合成ツールに入力するRTL (Register Transfer Level: レジスタ転送レベル) 記述を生成するツールである。動作記述は、ハードウェアに実行させる処理のアルゴリズムを直接的に動作レベルで記述したものでクロックサイクルの概念はない。他方、RTL記述は、レジスタやクロック同期等のハードウェアに特有の概念を意識して記述したものである。動作合成ツールでは、動作記述からRTL記述を自動的に合成することにより、設計の抽象度を上げることができる。

【0004】

動作記述の最大の特徴は、各クロックサイクルでどのような演算 (加算、乗算、比較等) をするかについては明示的には記述せず、単に演算のみを記述するという点である。RTL記述に比べて動作レベル記述には以下の利点があるとされている。

- ・RTL記述に比べて記述量が少なく済む。
- ・動作レベルでのシミュレーションの方が、RTLシミュレーションよりシミュレーション速度が速い。

【0005】

ところで、動作合成ツールを使ってRTL記述を生成した場合、そのRTL記述のレイテンシを調べる必要がある。レイテンシとは、入力された総データに対して処理をすべて完了するのに必要な総クロックサイクル数のことである。通常、このレイテンシは入力するデータの種類の依存する。このため、RTL記述に対する論理シミュレーション (以下、RTLシミュレーションという) を実施し、そのシミュレーション結果からレイテンシを求める。このRTLシミュレーションをせずにレイテンシを求めることができる場合もあるが、そうでない場合が多い。

【0006】

RTLシミュレーションを実施しないとレイテンシがわからない場合について、図4の例を使って説明する。図4は動作レベルの記述例である。これを動作合成ツールに入力して、RTL記述を生成したとき、RTL記述において、ブロックA41の総処理サイクル数とブロックB42の総処理サイクル数はRTLシミュレーション前には分からない (なお、ブロックは所定単位の動作を表す部分)。これは、ブロックA41やブロックB42の実行される回数が、処理すべき入力データによって異なる場合があるからである。

【0007】

例えば、ブロックA41の処理では2クロックサイクルが必要で、ブロックB42の処

理では3クロックサイクルが必要であるとする。動作合成ツールによりRTL記述が生成され、このRTL記述に対して、ある処理すべきデータを入力して論理シミュレーションを実行した結果、ブロックA41が100万回実行され、ブロックB42は1万回実行されたとする。この結果、ブロックA41における総レイテンシは、 $2 \times 100 \text{万回} = 200 \text{万クロックサイクル}$ であり、ブロックB42における総レイテンシは、 $3 \times 1 \text{万回} = 3 \text{万クロックサイクル}$ となる。つまり、このデータに対して総レイテンシを減らしたい場合には、ブロックB42ではなくブロックA41の処理サイクルを減らすための対策を採ることが必要となる。また、別の入力データを使ってRTLシミュレーションした場合は、逆にブロックB42の総レイテンシがブロックA41の総レイテンシよりも多くなる可能性もある。

【0008】

また、RTLシミュレーションを行わずに最悪ケースのレイテンシを求める手法も考えられているようだが、実用には至らず、依然RTLシミュレーションによるレイテンシ計測が主要となっている。さらに、RTLシミュレーションによるレイテンシを計測した場合、目的とする機能が所望のレイテンシで完了しない場合がある。この場合は、動作記述に立ち戻り、該動作記述においてどの部分で多数のクロックサイクルを消費しているかを調べる必要がある。しかし、動作記述のどの部分でレイテンシが多くなっているのかを調べることは、現状では非常に面倒な作業となっている。

【0009】

例えば特許文献1では、RTL記述上のパスと動作記述上のパスとの対応関係を特定する方法が開示されている。当該発明では、論理合成によりRTL記述から変換されたゲート記述（ゲートレベル論理回路）での静的タイミング解析において、クリティカルパス（回路中最も遅延が大きいパス）の遅延を小さくする修正を効率良く行うことを狙っている。

【特許文献1】特開2006-285865号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述した状況に鑑み、本発明は、半導体集積回路の設計において、設計した論理回路の論理機能やタイミングをRTLシミュレーションで効率的に検証できるようにするとともに、該検証結果に基づいて設計工程の上流側での修正を可能とすることを目的とする。

【課題を解決するための手段】

【0011】

かかる目的を達成するために、本発明は、ハードウェアが行う処理のアルゴリズムを動作レベルで記述した動作記述を読み込み、レジスタやクロック同期を含むハードウェア特有の概念を意識して記述したRTL記述を生成する半導体集積回路の設計支援装置において、前記RTL記述に対する論理シミュレーションの結果を解析して、前記動作記述における所定単位の動作を表す各ブロックでのレイテンシを求めるレイテンシ解析手段を有することを特徴とする。

【0012】

また、上記に加えて、前記動作記述における前記各ブロックと、前記RTL記述における状態との対応表を生成する対応表生成手段をさらに有するように構成してもよい。

【0013】

また、さらに、前記レイテンシ解析手段は、前記論理シミュレーションの結果と、前記対応表生成手段により生成された対応表とを参照して、前記動作記述における前記各ブロックでのレイテンシを求めるように構成してもよい。

【0014】

また、他の態様として、ハードウェアが行う処理のアルゴリズムを動作レベルで記述した動作記述を読み込み、レジスタやクロック同期を含むハードウェア特有の概念を意識して記述したRTL記述を生成する半導体集積回路の設計支援方法において、前記RTL記

述に対する論理シミュレーションの結果を解析して、前記動作記述における所定単位の動作を表す各ブロックでのレイテンシを求めるレイテンシ解析工程を有することを特徴とする。

【0015】

また、上記に加えて、前記動作記述における前記各ブロックと、前記RTL記述における状態との対応表を生成する対応表生成工程をさらに有するように構成してもよい。

【0016】

また、さらに、前記レイテンシ解析工程は、前記論理シミュレーションの結果と、前記対応表生成工程により生成された対応表とを参照して、前記動作記述における前記各ブロックでのレイテンシを求めるように構成してもよい。

【0017】

また、他の態様として、上記の設計支援方法を用いて回路を設計しレイアウトを作成する設計工程と、前記設計工程により設計された回路のレイアウトに基づいてフォトリソマスクを生成する生成工程と、前記生成工程により生成されたフォトリソマスクのパターンを半導体ウエハに転写する転写工程と、を有することを特徴とする半導体集積回路の製造方法であってもよい。

【0018】

また、他の態様として、上記の設計支援方法を半導体集積回路の設計支援装置に実行させるためのプログラムであってもよい。

【0019】

また、他の態様として、上位プログラムを記録した記録媒体であってもよい。

【発明の効果】

【0020】

本発明によれば、半導体集積回路の設計において、設計した論理回路の論理機能やタイミングをRTLシミュレーションで効率的に検証できるとともに、該検証結果に基づいて設計工程の上流側での修正することが可能となる。

【発明を実施するための最良の形態】

【0021】

以下、図面を参照しながら本発明の実施形態について説明する。

【0022】

図1は、本発明の実施形態に係る半導体集積回路の設計支援装置の概略構成を示した機能ブロック図である。本実施形態の設計支援装置は、動作合成手段2、論理シミュレーション手段6、及びレイテンシ情報表示手段9を備える。

【0023】

動作合成手段2は、対応表生成手段3を有しており、動作記述1を読み込んでRTL記述4と対応表3とを生成する。なお、動作合成のアルゴリズムは既存のものを使用する。対応表5は、動作記述1における各ブロックがRTL記述4内でのステートマシン（状態遷移機械）におけるどの状態に対応するのかを示す情報である。ここでいうブロックは、所定単位の動作を表す部分で、例えば図4に示すように、C言語での中括弧（“{”、“}”）にて囲まれた部分（ブロック41及び42）を意味する。

【0024】

対応表5の例を図2に示す。ここで対応表5は、ブロック名、開始状態、終了状態の3つの情報から構成される。ブロック名は、動作記述1における各ブロックを示している。ブロック名の付け方の例としては、「ファイル名_行番号_ブロックの種類」がある。ブロックの種類としては、「if」や「case」といったものが挙げられるが、このブロック名の付け方は例示であって、本発明ではこれに限るものではない。開始状態とは、ブロックの実行が開始される状態を示す。ここでいう状態の例として、RTL記述4中のステートマシン（有限状態機械）における各状態が挙げられる。もちろん、ステートマシンの状態ではなく、RTL記述4中におけるファイル名や行番号等を用いて開始状態を表現してもよい。また、終了状態とは、ブロックの実行が完了する状態を示す。以後の説明で

は、図2中のブロック「file1_102_if」は図4のブロック41に対応し、ブロック「file1_104_else」は図4のブロック42に対応しているものとする。

【0025】

対応表生成手段3は、動作記述1と、動作合成手段2が動作記述1から自動変換したRTL記述4とから、動作記述1における各ブロック及びRTL記述4における状態の対応表5を生成する。具体的には、まず動作記述1を所定単位の動作であるブロックに分け、次いで、動作合成における各過程（CDFG（Control Data Flow Graph）変換、スケジューリング、アロケーション（データパス割り当て）、ステートマシン生成等）の内容を参照し、RTL記述4での状態が動作記述1のどのブロックに該当するかを特定する。そして、該当ブロックに相当する状態の範囲がわかるように、ブロック最初の状態と最後の状態を開始状態及び終了状態として特定する。

【0026】

論理シミュレーション手段6は、レイテンシ解析手段7を有しており、RTL記述4に対して論理シミュレーションを実施し、レイテンシ解析手段7により、論理シミュレーション結果及び対応表5を参照しながら動作記述1における各ブロックのレイテンシを求める。そして、レイテンシ情報表示手段9は、求められた各ブロックのレイテンシを表示する。

【0027】

レイテンシ解析手段7では、RTL記述に対する論理シミュレーション結果から状態遷移を監視する。以下、図2を参照して具体的に説明する。図2の対応表では状態S10が開始状態、状態S21が終了状態と示されている。そこで、状態S10に到達したらブロック41（file_102_if）の実行が開始されたと認識し、そしてさらにシミュレーションが進み状態S21に到達したら同ブロックの実行が完了したと認識する。そして、状態S21の時刻と状態S10の時刻の差分をタイマ等で計算し、ブロック41（file_102_if）でのレイテンシとして記憶しておく。また、ブロック41（file_102_if）が再度実行された場合は、同様の方法でレイテンシを計算し、以前に求めたレイテンシに加算していく。図2に示すように、状態S10と状態S21の対応のほか、状態S12の開始状態と状態30の終了状態の対応が特定されており、ブロックの開始状態は1つとは限らない。

【0028】

図3は、レイテンシ解析手段7で求めた各ブロックの総レイテンシをレイテンシ情報表示手段9が表示する場合の例を示したものである。図3ではブロックのみが表示されているが、さらに関数ごとのレイテンシ情報等を表示することもできる。

【0029】

（処理のフロー）

図5は、本実施形態において動作記述における各ブロックの総レイテンシを求める処理動作の流れを示したフローチャートである。

【0030】

まず、ある処理を実行するためのアルゴリズムを直接的に動作レベルで表現する動作記述を作成する（ステップS101）。次に、動作合成手段により動作記述からRTL記述への自動変換を行う（ステップS102）。なお、動作合成は、先述したとおり、CDFG（Control Data Flow Graph）変換、スケジューリング、アロケーション（データパス割り当て）、ステートマシン生成等の各工程を経て行う。動作合成によりRTL記述を得た後（ステップS103）、対応表生成手段により、動作記述、RTL記述、動作合成の各工程を参照して対応表の生成を行う（ステップS104）。

【0031】

対応表が得られたら（ステップS105）、RTL記述に対して論理シミュレーションを行い、設計した論理回路の論理機能やタイミングの検証を行う（ステップS106）。そして、対応表による動作記述の各ブロック及びRTL記述における状態の対応関係と、

該検証結果（ステップS107）とから、動作レベル記述における各ブロックの総レイテンシを求めるべくレイテンシ解析を行う（ステップS108）。各ブロックの総レイテンシが得られた後（ステップS109）、これをレイテンシ情報としてレイテンシ情報表示手段により表示する（ステップS110）。

【0032】

なお、本実施形態では、対応表生成手段3が動作合成手段2に含まれ、論理シミュレーション手段6がレイテンシ解析手段7を包含するように構成しているが、動作合成手段2と対応表生成手段3とを独立して構成してもよいし、また、論理シミュレーション手段6とレイテンシ解析手段7とを別個に構成してもよい。この場合、RTL記述の自動変換機能と対応表生成機能とは分離され、各機能を動作合成手段2及び対応表生成手段3が有することとなり、論理シミュレーション機能とレイテンシ解析機能とは分離され、それぞれを論理シミュレーション手段6及びレイテンシ解析手段7が有することとなる。

【0033】

上記の実施形態によれば、動作記述における各ブロックとRTL記述における状態との対応表を作成し、RTLシミュレーション結果と照らし合わせることで、動作記述における各ブロックにおけるレイテンシを容易に求めることができる。これにより、レイテンシを削減するために動作記述のどの部分を修正するのが効果的かを容易に知ることができる。

【0034】

なお、上述する実施形態は、本発明の好適な実施形態であり、上記実施形態のみに本発明の範囲を限定するものではなく、本発明の要旨を逸脱しない範囲において種々の変更を施した形態での実施が可能である。

【0035】

すなわち、上記した実施形態の設計支援装置は、プログラムの命令によりコンピュータ（CPU等）で実行される処理等によって動作する。当該プログラムは、コンピュータの各構成要素に指令を送り、先に述べたような所定の処理、例えば、CPUにより、動作記述からRTL記述と対応表を生成し、論理シミュレーションにおいてRTL記述及び対応表を参照して動作記述の各ブロックの総レイテンシを求める。このように、上記実施形態の設計支援装置における各処理は、プログラムとコンピュータとが協働した具体的手段によって実現されるものである。

【0036】

そして、上記実施形態の機能を実現するソフトウェアのプログラムコードを記録したコンピュータ読み取り可能な記録媒体、すなわち記憶メディアを介して、設計支援装置のコンピュータが記憶メディアに格納されたプログラムコードを読み出し実行することによっても、本発明の目的は達成される。また、プログラムは、記録メディアを介さず、通信回線を通じて直接に設計支援装置のコンピュータにロードし実行することもでき、これによっても同様に本発明の目的は達成される。

【0037】

この場合、記憶メディアから読み出された又は通信回線を通じてロードし実行されたプログラムコード自体が前述の実施形態の処理機能を実現することになる。そして、そのプログラムコードを記憶した記憶メディアは本発明を構成する。なお、プログラムコードを供給するための記憶メディアとしては、例えば、フロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、不揮発性のメモリカード、ROM、磁気テープ等を用いることができる。

【0038】

また、先に述べた設計支援方法を用いて回路を設計してレイアウトを作成し、設計された回路のレイアウトに基づいてフォトマスクを生成して、生成されたフォトマスクのパターンを半導体ウエハに転写して半導体集積回路を製造することによっても、本発明は実効的に実施される。

【図面の簡単な説明】

【0039】

【図1】本発明の実施形態に係る半導体集積回路の設計支援装置の概略構成を示した機能ブロック図である。

【図2】本発明の実施形態における動作記述の各ブロック及びRTL記述における状態の対応表の例を示した図である。

【図3】本発明の実施形態におけるレイテンシ情報の表示の例を示した図である。

【図4】本発明の実施形態における動作記述の例を示した図である。

【図5】本発明の実施形態における動作記述の各ブロックの総レイテンシを求める処理動作の流れを示したフローチャートである。

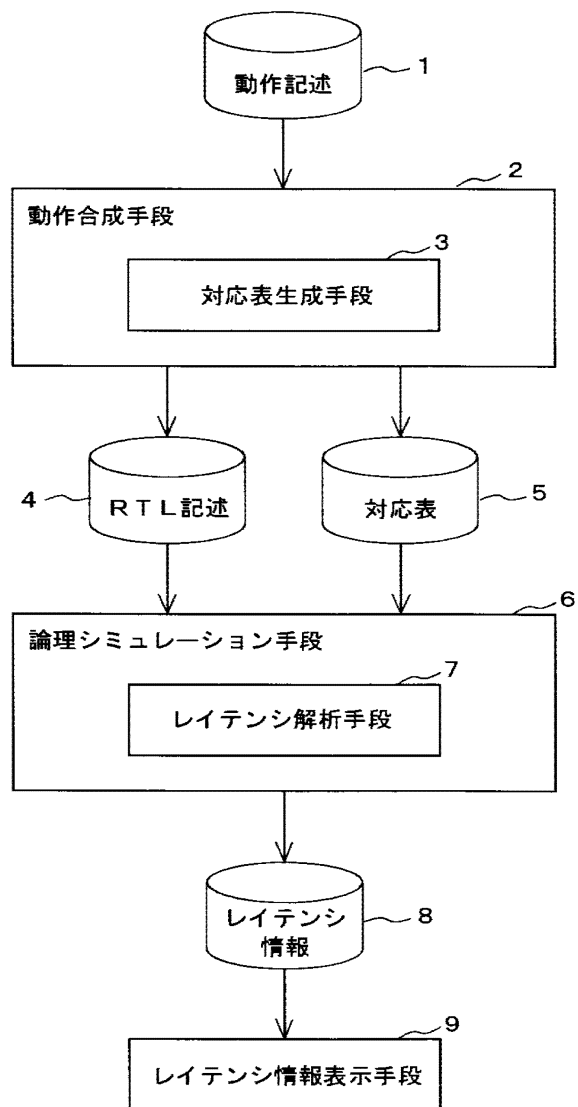
【符号の説明】

【0040】

- 1 動作記述
- 2 動作合成手段
- 3 対応表生成手段
- 4 RTL記述
- 5 対応表
- 6 論理シミュレーション手段
- 7 レイテンシ解析手段
- 8 レイテンシ情報
- 9 レイテンシ情報表示手段
- 41 ブロックA
- 42 ブロックB

【書類名】 図面

【図 1】



【図 2】

ブロック名	開始状態	終了状態
file1_102_if	S 1 0	S 2 1
	S 1 2	S 3 0
file1_104_else	S 1 0	S 2 4
	S 1 2	S 2 9

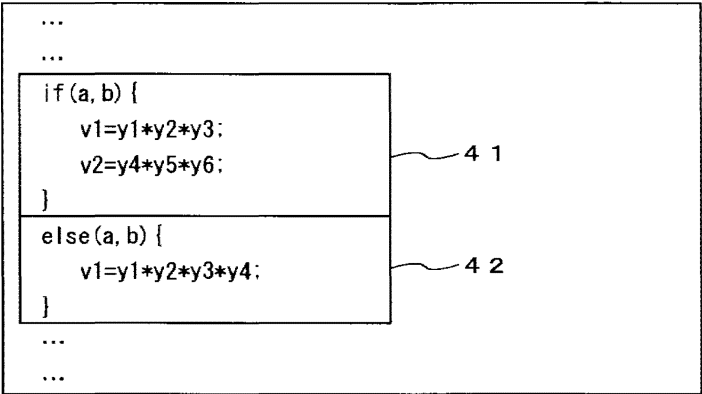
対応表の例

【図 3】

ブロック名	総レイテンシ
file1_102_if	200万クロックサイクル
file1_104_else	3万クロックサイクル

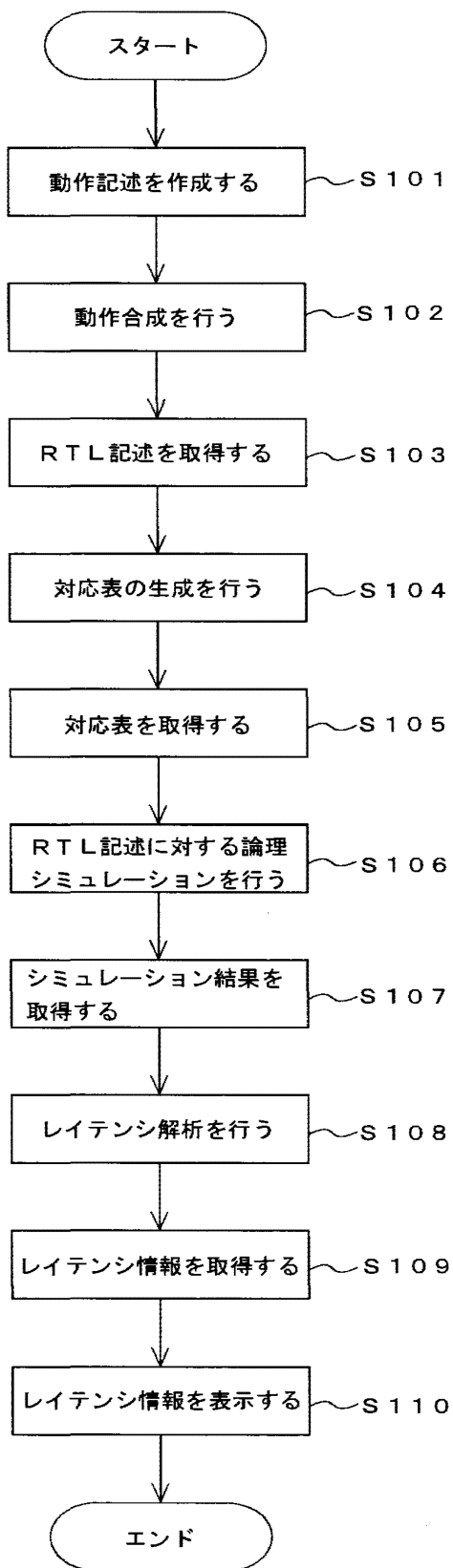
レイテンシ表示の例

【図 4】



動作記述

【図 5】



【書類名】 要約書

【要約】

【課題】 半導体集積回路の設計において、設計した論理回路の論理機能やタイミングをR T Lシミュレーションで効率的に検証できるようにするとともに、該検証結果に基づいて設計工程の上流側での修正を可能とする。

【解決手段】 動作合成手段2は、動作記述1からR T L記述への変換を行い、対応表生成手段3は、動作記述1、R T L記述4、及び動作合成の各工程の処理内容を参照して、動作記述1の各ブロック及びR T L記述4における状態の対応表を生成する。論理シミュレーション手段6は、R T L記述4に対する論理シミュレーションを行い、レイテンシ解析手段7は、該シミュレーション結果と対応表の対応関係とを参照して、動作記述1における各ブロックでのレイテンシを求める。

【選択図】 図1

出願人履歴

000006747

20020517

住所変更

東京都大田区中馬込1丁目3番6号
株式会社リコー



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374

CONFIRMATION NO. 3786

PUBLICATION NOTICE



OC000000031691875

24998
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

Title: SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD,
AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Publication No. US-2008-0201673-A1

Publication Date: 08/21/2008

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <http://pair.uspto.gov/>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/032,117

02/15/2008

Yasutaka Tsukamoto

R2180.0374/P374

3786

24998 7590 06/23/2010

DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

EXAMINER

BOWERS, BRANDON

ART UNIT

PAPER NUMBER

2825

MAIL DATE

DELIVERY MODE

06/23/2010

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No. 12/032,117	Applicant(s) TSUKAMOTO, YASUTAKA	
	Examiner BRANDON W. BOWERS	Art Unit 2825	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on 15 February 2008.
- 2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.
- 3) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) ☒ Claim(s) 1-9 is/are pending in the application.
- 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) ☐ Claim(s) _____ is/are allowed.
- 6) ☒ Claim(s) 1-9 is/are rejected.
- 7) ☐ Claim(s) _____ is/are objected to.
- 8) ☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 9) ☐ The specification is objected to by the Examiner.
- 10) ☒ The drawing(s) filed on 25 February 2008 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☒ All b) ☐ Some * c) ☐ None of:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|--|---|
| 1) ☒ Notice of References Cited (PTO-892) | 4) ☐ Interview Summary (PTO-413) |
| 2) ☐ Notice of Draftperson's Patent Drawing Review (PTO-948) | Paper No(s)/Mail Date. _____ |
| 3) ☒ Information Disclosure Statement(s) (PTO/SB/08) | 5) ☐ Notice of Informal Patent Application |
| Paper No(s)/Mail Date <u>20080215</u> . | 6) ☐ Other: _____ |

DETAILED ACTION

Priority

Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

Claim Objections

Claims 1, 4, and 7 are objected to because of the following informalities: Should “peculiar to the hardware” be “particular to the hardware”? Appropriate correction is required.

Claim Rejections - 35 USC § 101

35 U.S.C. 101 reads as follows:

Whoever invents or discovers any new and useful process, machine, manufacture, or composition of matter, or any new and useful improvement thereof, may obtain a patent therefor, subject to the conditions and requirements of this title.

Claims 4-6 are rejected under 35 U.S.C. 101 because the claimed invention is directed to non-statutory subject matter.

In re Bilski determined that a process must be tied to another statutory class (a particular machine or apparatus) or transform underlying subject matter (such as an article or materials) to a different state or thing. The process of claims 4-6 can be interpreted as being preformed only in the human mind on design data which is not considered an article or material. As such, these claims are not tied to another statutory class nor transform underlying subject matter and therefore are un-statutory under the 35 USC § 101.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-6 are rejected under 35 U.S.C. 102(b) as being anticipated by Ikegami, US Patent No. 6,816,828.

In reference to claim 1, Ikegami teaches a support device comprising a behavioral description configured to describe an algorithm of processing performed by hardware in a motion level (Figure 3, 3 and column 6, lines 48-56), an RTL description generated by reading the behavioral description, the RTL description configured to recognize a concept including register and clock synchronism particular to the hardware (Figure 3, 4, and column 6, line 57 – column 7, line 17), and a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description (column 11, lines 14-37).

In reference to claim 2, Ikegami teaches a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description (column 8, lines 1-7) and a correspondence table generator configured to generate the correspondence table (column 7, lines 23-25).

In reference to claim 3, Ikegami teaches referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description (column 11, lines 14-37).

In reference to claims 4-6 drawn to methods with the same functional limitations in claims 1-3 above, the same rejections apply.

Claim Rejections - 35 USC § 103

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

Claims 7-9 are rejected under 35 U.S.C. 103(a) as being unpatentable over Ikegami, US Patent No. 6,816,828 in view of .

In reference to claim 7, Ikegami teaches describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description(Figure 3, 3 and column 6, lines 48-56), reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism peculiar to the hardware (Figure 3, 4, and column 6, line 57 – column 7, line 17), analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description(column 11, lines 14-37) and designing a circuit based upon the calculated latency (Figure 3, 9 and column 7, lines 15-17). Ikegami does not teach creating a

Art Unit: 2825

layout of the circuit; generating a photomask based on the layout of the circuit; and transferring a pattern of the photomask onto a semiconductor wafer. Inoue teaches creating a layout of the circuit; generating a photomask based on the layout of the circuit; and transferring a pattern of the photomask onto a semiconductor wafer (Figure 1). Accordingly, it would have been obvious for one skilled in the art at the time of invention to incorporate the teachings of Inoue into the teachings of Ikegami to create a method containing all of the limitations in claim 7 because creating a layout of a circuit, generating a photomask based on the layout of the circuit; and transferring a pattern of the photomask onto a semiconductor wafer is one of the standard ways to fabricate an integrated circuit from a circuit diagram.

In reference to claim 8, Ikegami teaches generating a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description (column 8, lines 1-7 and column 7, lines 23-25).

In reference to claim 9, Ikegami teaches referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description (column 11, lines 14-37).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to BRANDON W. BOWERS whose telephone number is (571)272-1888. The examiner can normally be reached on 8:30 am until 5:00 pm Monday through Friday.

Art Unit: 2825

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jack Chiang can be reached on (571)272-7483. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/BWB/

/Jack Chiang/
Supervisory Patent Examiner, Art Unit 2825

Notice of References Cited	Application/Control No. 12/032,117		Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA	
	Examiner BRANDON W. BOWERS		Art Unit 2825	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,340,542 B1	01-2002	Inoue et al.	430/5
*	B	US-6,816,828 B1	11-2004	Ikegami, Hiroyuki	703/15
*	C	US-2006/0225022 A1	10-2006	Ezaki, Takahide	716/018
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Search Notes 	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

SEARCHED			
Class	Subclass	Date	Examiner
716	1,4-6	6/19/10	BB

SEARCH NOTES		
Search Notes	Date	Examiner
See attached EAST search	6/19/10	BB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

--	--

<i>Index of Claims</i> 	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47										
CLAIM		DATE								
Final	Original	06/19/2010								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 3786

SERIAL NUMBER 12/032,117	FILING or 371(c) DATE 02/15/2008 RULE	CLASS 716	GROUP ART UNIT 2825	ATTORNEY DOCKET NO. R2180.0374/P374	
APPLICANTS Yasutaka Tsukamoto, Yokohama city, JAPAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** JAPAN 2007-038603 02/19/2007 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED **					
Foreign Priority claimed ☒ Yes ☐ No 35 USC 119(a-d) conditions met ☒ Yes ☐ No Verified and /BRANDON BOWERS/ Acknowledged Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY JAPAN	SHEETS DRAWINGS 3	TOTAL CLAIMS 9	INDEPENDENT CLAIMS 3
ADDRESS DICKSTEIN SHAPIRO LLP 1825 EYE STREET NW Washington, DC 20006-5403 UNITED STATES					
TITLE SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT					
FILING FEE RECEIVED 1030	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit		

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L2	16	behavioral same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
L3	13	2 and table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
L4	160156	(register or clock \$4) with sync\$8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
L5	2	2 and 4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
L6	2	(register or clock \$4) same 2	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
L7	15	(register or clock \$4) and 2	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
L8	3293	(register or clock \$4) with sync\$8 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
L9	1586	behavioral same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
L10	6	8 and 9	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
L11	50302	correspond\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
L12	4	9 same 11	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
L13	46293	map\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:13
L14	1	13 and 2	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14

L15	0	13 same 9	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14
L16	463	algorithm same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15
L17	1	16 same 13	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15
L18	2	"6816828".pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:18
L19	8	("6094527" "6042613" "6093212" "6910202").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:36
L20	148	layout same photomask same pattern same wafer	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
L21	47	20 and "716"/\$. ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
L22	6171	716/1,4-6.ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 18:12

EAST Search History (I nterference)

< This search history is empty >

6/19/10 6:18:08 PM

C:\Documents and Settings\bbowers1\My Documents\EAST\Workspaces\12032117.
wsp

Used in Lieu of PTO/SB/08A/B
(Based on PTO 01-08 version)

Substitute for form 1449/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary)</i>				Complete if Known	
				Application Number	Not Yet Assigned
				Filing Date	Concurrently Herewith
				First Named Inventor	Yasutaka Tsukamoto
				Art Unit	N/A
Examiner Name	Not Yet Assigned				
Attorney Docket Number	R2180.0374/P374				
Sheet	1	of	1		

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code ² (if known)			
	AA*	6,094,527	07-25-2000	Tsukamoto et al.	
	AB*	6,042,613	03-28-2000	Tsukamoto et al.	
	AC*	6,093,212	07-25-2000	Takahashi et al.	
	AD*	6,910,202	06-21-2005	Minami et al.	
	AE	10/763,255	01-26-2004	Yamada	

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁵
		Country Code ³ -Number ⁴ -Kind Code ⁵ (if known)				
	BA	JP 2005-63121	03-10-2005			*
	BB	JP 2006-285865	10-19-2006			*

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * CITE NO.: Those application(s) which are marked with an single asterisk (*) next to the Cite No. are not supplied (under 37 CFR 1.98(a)(2)(iii)) because that application was filed after June 30, 2003 or is available in the IFW. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²

Examiner Signature	/Brandon Bowers/	Date Considered	06/19/2010
--------------------	------------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

* English Language Abstract Enclosed

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: 12/032,117

Confirmation No.: 3786

Filed: February 15, 2008

Art Unit: 2825

For: SEMICONDUCTOR DESIGN SUPPORT
DEVICE, SEMICONDUCTOR DESIGN
SUPPORT METHOD, AND
MANUFACTURING METHOD FOR
SEMICONDUCTOR INTEGRATED CIRCUIT

Examiner: B. Bowers

AMENDMENT IN RESPONSE TO NON-FINAL OFFICE ACTION UNDER 37 C.F.R. 1.111

MS Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

INTRODUCTORY COMMENTS

In response to the Office Action dated June 23, 2010, please amend the above-identified U.S. patent application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks/Arguments begin on page 5 of this paper.

AMENDMENTS TO THE CLAIMS

1. (Currently Amended) A semiconductor design support device for designing a semiconductor integrated circuit, the device comprising:

a behavioral description configured to describe an algorithm of processing performed by hardware in a motion level;

an RTL description generated by reading the behavioral description, the RTL description configured to recognize a concept including register and clock synchronism ~~peculiar~~ particular to the hardware; and

a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

2. (Original) The semiconductor design support device according to claim 1, further comprising:

a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description; and

a correspondence table generator configured to generate the correspondence table.

3. (Original) The semiconductor design support device according to claim 2,

wherein the latency analyzer refers to the result of the logic simulation and the correspondence table generated by the correspondence table generator to calculate the latency in each block in the behavioral description.

4. (Currentl y Amended) A method of operating a semiconductor design support device ~~method~~ for designing a semiconductor integrated circuit, the method comprising:

describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description;

reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism ~~peculiar~~ particular to the hardware; and

analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.

5. (Currentl y Amended) The ~~semiconductor design support~~ method according to claim 4, further comprising:

generating a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description.

6. (Currentl y Amended) The ~~semiconductor design support~~ method according to claim 5, further comprising:

referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description.

7. (Currentl y Amended) A manufacturing method for manufacturing a semiconductor integrated circuit, the method comprising:

describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description;

reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism ~~peculiar~~ particular to the hardware;

analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description;

designing a circuit based on the calculated latency;

creating a layout of the circuit;

generating a photomask based on the layout of the circuit; and

transferring a pattern of the photomask onto a semiconductor wafer.

8. (Ori ginal) The manufacturing method according to claim 7, further comprising:

generating a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description.

9. (Ori ginal) The manufacturing method according to claim 8, further comprising:

referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description.

REMARKS

Claims 1 and 4-7 have been amended. Claims 1-9 are pending in the application. Applicant reserves the right to pursue the original claims in this and any other application.

Claims 1, 4 and 7 stand objected to because of informalities. Claims 1, 4 and 7 have been amended as recommended in the Office Action. Accordingly, the objection should be withdrawn.

Claims 4-6 stand rejected under 35 U.S.C. § 101 as being directed to non-statutory subject matter. Applicant respectfully traverses the rejection. Claims 4-6 recite a “method of operating a semiconductor design support device,” which is clearly tied to a machine or apparatus under *Bilski*. Accordingly, the rejection should be withdrawn.

Claims 1-6 stand rejected under 35 U.S.C. § 102(b) as being anticipated by U.S. Patent No. 6,816,828 (Ikegami). Applicant respectfully traverses the rejection.

Claim 1 recites “a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.” Ikegami does not disclose, teach or suggest these limitations. The Office Action erroneously states that column 11, lines 14-37 of Ikegami teach these limitations. That portion of Ikegami instead teaches only that “the substitution state corresponds to the state position as a step number on a time axis” (Ikegami, col. 11, lns. 21-23) and that “the time can be expressed as a time sequence.” *Id.* at col. 11, lns. 25-26. Ikegami, therefore, clearly does not teach calculating a latency in “each block representing an operation in a predetermined unit in the behavioral description,” but instead merely teaches that the states are in sequence. As a result, Ikegami does not anticipate claim 1.

Claim 2 depends from claim 1 and is therefore patentable over Ikegami for at least the reasons provided above with respect to claim 1. In addition, claim 2 recites that the device of claim 1 further comprises “a correspondence table in which each block in the behavioral description

corresponds to a state in the RTL description; and a correspondence table generator configured to generate the correspondence table.” Ikegami does not disclose, teach or suggest these limitations. The Office Action cites column 8, lines 1-7 as reading on the first clause recited above, and therefore presumably relies on variable/register mapping table 33 for anticipation of the correspondence table of claim 2. The variable/register mapping table 33, however, does not contain a correspondence between each block in the behavioral description and a state in the RTL description as recited in claim 2. Instead, variable/register mapping table 33 holds the values for each register at each state. *See*, Ikegami, Fig. 14; col. 10, lns. 58 to col. 11, ln. 37. To be clear, Ikegami’s variable/register mapping table 33 does not hold any information about any “block representing an operation in a predetermined unit in the behavioral description,” but merely holds variable names used in the algorithm level description. As a result, claim 2 is patentable over Ikegami on its own merits.

Claim 3 depends from claim 2 and is therefore patentable over Ikegami for at least the reasons provided above with respect to claims 1 and 2. In addition, claim 3 recites that “the latency analyzer refers to the result of the logic simulation and the correspondence table generated by the correspondence table generator to calculate the latency in each block in the behavioral description.” As described above with respect to claims 1 and 2, Ikegami does not teach calculating the latency or the correspondence table. As a result, Ikegami certainly does not teach referring to the correspondence table to calculate the latency. For this reason, claim 3 is patentable over Ikegami on its own merits.

Claim 4 recites “analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description.” For the same reasons provided above with respect to claim 1, Ikegami does not disclose, teach or suggest these limitations, and does not therefore anticipate claim 4.

Claim 5 depends from claim 4 and is therefore patentable over Ikegami for at least the reasons provided above with respect to claim 4. In addition, claim 5 recites “generating a correspondence table in which each block in the behavioral description corresponds to a state in the

RTL description.” For the reasons provided above with respect to claim 2, Ikegami does not disclose, teach or suggest these limitations. As a result, claim 5 is patentable over Ikegami on its own merits.

Claim 6 depends from claim 5 and is therefore patentable over Ikegami for at least the reasons provided above with respect to claims 4 and 5. In addition, claim 6 recites that “referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description.” As described above with respect to claims 4 and 5, Ikegami does not teach calculating the latency or the correspondence table. As a result, Ikegami certainly does not teach referring to the correspondence table to calculate the latency. For this reason, claim 6 is patentable over Ikegami on its own merits.

Because Ikegami does not anticipate claims 1-6, the rejection should be withdrawn and the claims allowed.

Claims 7-9 stand rejected under 35 U.S.C. § 103(a) as being unpatentable over Ikegami in view of U.S. Patent No. 6,340,542¹ (Inoue). Applicant respectfully traverses the rejection. Claims 7, 8 and 9 contain similar limitations to those described above with respect to claims 4, 5 and 6, respectively, and are therefore each patentable over Ikegami for at least the reasons provided above for claims 4, 5 and 6, respectively. Inoue, cited as teaching “creating a layout of the circuit; generating a photomask based on the layout of the circuit; and transferring a patten of the photomask onto a semiconductor wafer,” does not cure the deficiencies of Ikegami. Accordingly, the rejection should be withdrawn and the claims allowed.

¹ The Office Action does not expressly state that the ‘542 patent is used in this rejection, but Applicant assumes that it is used based on references to “Inoue” in the description of the rejection and a citation to the ‘542 patent in the Notice of References Cited.

In view of the above, Applicant believes the pending application is in condition for allowance.

Dated: September 23, 2010

Respectfully submitted,

By 
Thomas J. D'Amico
Registration No.: 28,371
S. Gregory Herrman
Registration No.: 66,271
DICKSTEIN SHAPIRO LLP
1825 Eye Street, NW
Washington, DC 20006-5403
(202) 420-2200
Attorneys for Applicant

Electronic Acknowledgement Receipt

EFS ID:	8485747
Application Number:	12032117
International Application Number:	
Confirmation Number:	3786
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto
Customer Number:	24998
Filer:	Stephen A. Soffen/Madeline Baker
Filer Authorized By:	Stephen A. Soffen
Attorney Docket Number:	R2180.0374/P374
Receipt Date:	23-SEP-2010
Filing Date:	15-FEB-2008
Time Stamp:	16:34:27
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Document.pdf	300306 e79f8d7af442171b3b17dcf711886ec02e2472f1	yes	8

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	4
	Applicant Arguments/Remarks Made in an Amendment	5	8
Warnings:			
Information:			
Total Files Size (in bytes):		300306	
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 12/032,117		Filing Date 02/15/2008		☐ To be Mailed	
APPLICATION AS FILED – PART I										
(Column 1)			(Column 2)		SMALL ENTITY ☐ OR		OTHER THAN SMALL ENTITY			
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A				
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$	=		X \$	=			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$	=		X \$	=			
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL				
APPLICATION AS AMENDED – PART II										
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT	09/23/2010	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 9	Minus	** 20	=	0		X \$52=	0	
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	=	0		X \$220=	0	
☐ Application Size Fee (37 CFR 1.16(s))										
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE	0	
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=			X \$	=	
	Independent (37 CFR 1.16(h))	*	Minus	***	=			X \$	=	
☐ Application Size Fee (37 CFR 1.16(s))										
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE		
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.										

Legal Instrument Examiner:
/KAREN VESTAL/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374	3786

24998 7590 12/07/2010
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

EXAMINER

BOWERS, BRANDON

ART UNIT	PAPER NUMBER
----------	--------------

2825

MAIL DATE	DELIVERY MODE
-----------	---------------

12/07/2010

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No. 12/032,117	Applicant(s) TSUKAMOTO, YASUTAKA	
	Examiner BRANDON W. BOWERS	Art Unit 2825	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) ☒ Responsive to communication(s) filed on 23 September 2010.
- 2a) ☒ This action is **FINAL**. 2b) ☐ This action is non-final.
- 3) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) ☒ Claim(s) 1-9 is/are pending in the application.
- 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) ☐ Claim(s) _____ is/are allowed.
- 6) ☒ Claim(s) 1 and 4-7 is/are rejected.
- 7) ☒ Claim(s) 2,3,8 and 9 is/are objected to.
- 8) ☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 9) ☐ The specification is objected to by the Examiner.
- 10) ☒ The drawing(s) filed on 15 February 2008 is/are: a) ☐ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☒ All b) ☐ Some * c) ☐ None of:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|---|---|
| 1) ☐ Notice of References Cited (PTO-892) | 4) ☐ Interview Summary (PTO-413) |
| 2) ☐ Notice of Draftperson's Patent Drawing Review (PTO-948) | Paper No(s)/Mail Date. _____ |
| 3) ☐ Information Disclosure Statement(s) (PTO/SB/08) | 5) ☐ Notice of Informal Patent Application |
| Paper No(s)/Mail Date _____ | 6) ☐ Other: _____ |

DETAILED ACTION

Claims 1 and 4-7 have been amended. Claims 1-9 are pending in the application. The 35 USC 101 rejections of claims 4-6, the 35 USC 102 rejection of claims 1 and 4 are maintained and the 35 USC 103 rejections of claim 7 are maintained. The 35 USC 102 rejections of claims 2-3 and 5-6 and the 35 USC 103 rejections of claims 8-9 are withdrawn.

Claim Rejections - 35 USC § 101

35 U.S.C. 101 reads as follows:

Whoever invents or discovers any new and useful process, machine, manufacture, or composition of matter, or any new and useful improvement thereof, may obtain a patent therefor, subject to the conditions and requirements of this title.

Claims 4-6 are rejected under 35 U.S.C. 101 because the claimed invention is directed to non-statutory subject matter.

Claims 4-6 are non-statutory because a § 101 process claim cannot be an abstract idea. Additionally, claims 1-6 do not meet the machine or transformation test to determine if a process claim is only an abstract idea. If neither of these requirements are met by the claim, the method is not a patent eligible process under § 101. A § 101 process claim that would not qualify as a statutory process would be a claim that recites purely mental step(s) that can be performed manually or merely manipulating an abstract idea without the use of a specific structure. Thus, to qualify as a § 101 statutory process, the claimed step(s) must explicitly recite the other statutory class such as machine (i.e., the computer, the thing) to which it is tied, for example by identifying the machine/computer that accomplishes the step(s) and providing transformation underlying subject matter to a different state or thing to provide meaningful, reasonable

limits and a practical application. Claims 4-6 recite a series of process steps for circuit design but the steps neither explicitly recite a specific machine/computer that implements the claimed steps nor identify transformation of underlying subject matter to a different state or thing. The steps of circuit design of the claims can reasonably interpret as being done by manually editing a circuit design to redesign a circuit. As such, the subject matter of claim 1-6 is non-statutory and not patent eligible.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1-6 are rejected under 35 U.S.C. 102(b) as being anticipated by Ikegami, US Patent No. 6,816,828.

In reference to claim 1, Ikegami teaches a support device comprising a behavioral description configured to describe an algorithm of processing performed by hardware in a motion level (Figure 3, 3 and column 6, lines 48-56), an RTL description generated by reading the behavioral description, the RTL description configured to recognize a concept including register and clock synchronism particular to the hardware (Figure 3, 4, and column 6, line 57 – column 7, line 17), and a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to

Art Unit: 2825

calculate a latency in each block representing an operation in a predetermined unit in the behavioral description (column 11, lines 14-37).

In reference to claims 4 drawn to methods with the same functional limitations in claim 1 above, the same rejection applies.

Claim Rejections - 35 USC § 103

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

Claim 7 is rejected under 35 U.S.C. 103(a) as being unpatentable over Ikegami, US Patent No. 6,816,828 in view of .

In reference to claim 7, Ikegami teaches describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description(Figure 3, 3 and column 6, lines 48-56), reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism peculiar to the hardware (Figure 3, 4, and column 6, line 57 – column 7, line 17), analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description(column 11, lines 14-37) and designing a circuit based upon the calculated latency (Figure 3, 9 and column 7, lines 15-17). Ikegami does not teach creating a layout of the circuit; generating a photomask based on the layout of the circuit; and

Art Unit: 2825

transferring a pattern of the photomask onto a semiconductor wafer. Inoue teaches creating a layout of the circuit; generating a photomask based on the layout of the circuit; and transferring a pattern of the photomask onto a semiconductor wafer (Figure 1). Accordingly, it would have been obvious for one skilled in the art at the time on invention to incorporate the teaches of Inoue into the teachings of Ikegami to create a method containing all of the limitations in claim 7 because creating a layout of a circuit, generating a photomask based on the layout of the circuit; and transferring a pattern of the photomask onto a semiconductor wafer is one of the standard ways to fabricate an integrated circuit from a circuit diagram.

Allowable Subject Matter

Claims 2-3 and 8-9 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Response to Arguments

Applicant's arguments filed 23 September 2010 have been fully considered but they are not persuasive.

With regards to applicants arguments regarding the 35 USC 101 rejections, applicants argue that part of the preamble recites a device so therefore the steps of the claims are being performed by a device. The device mentioned in the preamble is not tied to any of the claimed steps. As such the steps in the claims can still be all

Art Unit: 2825

performed manually and the claims therefore fall into the category of an abstract idea which is not patentable under 35 USC 101.

With regards to applicants arguments that Ikegami does not teach calculating a latency in "each block representing an operation in a predetermined unit in the behavioral description". However Ikegami clearly shows creating a control data flow graph and a state transition diagram (Figs 15 and 16) which have a defined number of transitions (latency).

Applicant's arguments with respect to the 35 USC 102 and 103 rejections of claims 2-3, 5-6 and 8-9 have been fully considered and are persuasive. These rejections have been withdrawn.

Conclusion

Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. See MPEP § 706.07(a). Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of

Art Unit: 2825

the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to BRANDON W. BOWERS whose telephone number is (571)272-1888. The examiner can normally be reached on 8:30 am until 5:00 pm Monday through Friday.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jack Chiang can be reached on (571)272-7483. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/BWB/

/Jack Chiang/
Supervisory Patent Examiner, Art Unit 2825

<i>Index of Claims</i> 	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant				☐ CPA		☐ T.D.		☐ R.1.47	
CLAIM		DATE							
Final	Original	06/19/2010	12/04/2010						
	1	✓	✓						
	2	✓	=						
	3	✓	=						
	4	✓	✓						
	5	✓	✓						
	6	✓	✓						
	7	✓	✓						
	8	✓	=						
	9	✓	=						

Search Notes 	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

SEARCHED			
Class	Subclass	Date	Examiner
716	1,4-6	6/19/10	BB
716	104	12/4/10	BB

SEARCH NOTES		
Search Notes	Date	Examiner
See attached EAST search	6/19/10	BB
updated EAST search	12/4/10	BB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

--	--

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	18600	"716"/\$.ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/12/04 02:00
L3	918	716/104.ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/12/04 03:18
L4	7687	clock near2 cycle \$3 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/12/04 03:18
L5	19	L4 same rtl	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/12/04 03:18
S1	16	behavioral same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
S2	13	S1 and table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
S3	160156	(register or clock \$4) with sync\$8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
S4	2	S1 and S3	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
S5	2	(register or clock \$4) same S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
S6	15	(register or clock \$4) and S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
S7	3293	(register or clock \$4) with sync\$8 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
S8	1586	behavioral same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
S9	6	S7 and S8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58

S10	50302	correspond\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
S11	4	S8 same S10	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
S12	46293	map\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:13
S13	1	S12 and S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14
S14	0	S12 same S8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14
S15	463	algorithm same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15
S16	1	S15 same S12	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15
S17	2	"6816828".pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:18
S18	8	("6094527" "6042613" "6093212" "6910202").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:36
S19	148	layout same photomask same pattern same wafer	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
S20	47	S19 and "716"/\$. ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
S21	6171	716/1,4-6.ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 18:12
S22	27	behavior\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:52
S23	3	logic near2 simulat\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:54
S24	3	S22 and S23	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:54

S25	6	logic near2 simulat\$4 same RTL same (clock near2 cycle)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:55
S26	1	S22 and S25	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:56
S27	113	behavior\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57
S28	6	logic near2 simulat\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57
S29	2	S27 and S28	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57
S30	7677	clock near2 cycle \$3 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:05
S31	4	logic near2 simulat\$4 same S30	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:05
S32	19	S30 same rtl	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:07
S33	143	behavior\$4 near2 simulat\$4 same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:11

EAST Search History (Interference)

< This search history is empty >

12/ 4/ 10 3:19:16 AM

**C:\ Documents and Settings\ bbowers1\ My Documents\ EAST\ Workspaces\ 12032117.
wsp**

Substitute for form 1449/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary)</i>				Complete if Known	
				Application Number	12/032,117-Conf. #3786
				Filing Date	February 15, 2008
				First Named Inventor	Yasutaka Tsukamoto
				Art Unit	2825
				Examiner Name	B. Bowers
Sheet	1	of	1	Attorney Docket Number	R2180.0374/P374

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	Document Number Number-Kind Code ² (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document Country Code ³ -Number ⁴ -Kind Code ⁵ (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁶
	BA	JP 2001-142922 A	05-25-2001			√

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹Applicant's unique citation designation number (optional). ²Applicant is to place a check mark here if English language Translation is attached.

√ English Language Abstract Also Enclosed

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

2887656

整理番号 200602814
発送番号 850892
発送日 平成22年11月30日

拒絶理由通知書

特許出願の番号	特願2007-038603
起案日	平成22年11月24日
特許庁審査官	平野 崇 4689 5H00
特許出願人代理人	丸山 隆夫 様
適用条文	第29条柱書、第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から60日以内に意見書を提出してください。

理 由

「理由1」

この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の記事に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項1-9
- ・引用文献1

<備考>

引用文献1には、ビヘイビア表記をタスクをもとにブロック分割した後(第9図ST12)に高位合成を行い(第9図ST16-19)、RTL記述におけるブロック間の配線重みを判断する際に、各ブロックについて、実際に処理して計算回数等の情報をプロファイル情報(レイテンシに相当)として算出すること(第9図ST21)が記載されている(段落【0024】-【0080】、第9-10図参照)。

ここで、引用文献1では動作記述における各ブロックと、RTL記述における状態との対応表を生成することは明記されていないものの、各ブロックはビヘイビア表記におけるタスクによって構成されており、当該ブロック分割の情報は保持していることから、当該情報をテーブルとして保持しておくことは、当業者が容易に想到し得たことである。

「理由2」

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

記

請求項1の「所定単位の動作」との記載では、RTL記述と動作記述との対応関係が不明であって、発明の課題を解決するための手段として発明の詳細な説明に記載された「レイテンシを解析する際に、RTL記述に対する論理シミュレーション結果と、動作記述における各ブロックとRTL記述における状態との対応表を参照すること」が反映されていない。よって、請求項1に係る事項は発明の詳細な説明と実質的に対応していない。

また、請求項1を引用する請求項2(請求項2の記載では、対応表は生成されるものの、レイテンシを求める際に用いられていない)、請求項1と同様の記載である請求項4、請求項4を引用する請求項5、7-9についても、同一の理由により発明の詳細な説明と実質的に対応していない。

「理由3」

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

請求項4-6の記載では、設計支援方法を実行する動作主体が明らかにされておらず、方法の手順である各工程を人間が実行するとともに（手作業のほか、コンピュータという計算道具を操作することも含む、審査基準第VII部第1章1.1.3(1)参照）、何らかのハードウェアが実行するとともに解釈できる。したがって、請求項4-6の記載からそれぞれ一の発明を特定できない。

よって、請求項4-6に係る発明は明確でない。

「理由4」

この出願の下記の請求項に係る発明は、下記の点で特許法第29条第1項柱書に規定する要件を満たしていないので、特許を受けることができない。

記

請求項4-6に係る事項は、特許法第2条における「自然法則を利用した技術的思想の創作」に該当しないので、特許法第2条に規定する「発明」に該当しない。

<備考>

例えば、請求項4に係る事項においては、「理由3」に記載したとおり、動作主体が人間である場合が包含されている。これは、人為的取決めに基づいた処理と解されるから、この発明は全体としてみて自然法則を利用していない。

また、仮に請求項4に係る事項が、その発明の実施にソフトウェアを必要とする発明（コンピュータ・ソフトウェア関連発明）であるとした場合、半導体集積回路の設計支援にかかる処理の流れは記載されているものの、該処理がハードウェア資源を用いてどのように実現されているのかが具体的に記載されていない。よって、ソフトウェアによる情報処理がハードウェア資源を用いて具体的に実現されているとはいえない。

（なお、「ソフトウェアによる情報処理がハードウェア資源を用いて具体的に実現」については、審査基準第VII部第1章を参照してください。また、この理由に対応して補正される場合には、例えば、審査基準第VII部第1章において「発明」に該当するとされる事例を参考にしてください。）

<補正をする際の注意>

（1）明細書、特許請求の範囲について補正をする場合は、補正により記載を変更した個所に下線を引いてください（特許法施行規則様式第13備考6、7）。

（2）補正は、この出願の出願当初の明細書、特許請求の範囲又は図面に記載した事項の範囲内で行ってください。また、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書等の記載箇所を明確に示したうえで主張してください。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開2001-142922号公報

先行技術文献調査結果の記録

- ・ 調査した分野 IPC G06F17/50
 DB名 CiNii, JST Plus (JDream II)
- ・ 先行技術文献 特開2004-38617号公報
 特開2006-285865号公報
 特開2006-285333号公報
 特開2005-44129号公報

特開2003-233633号公報
特開2000-57199号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

連絡先 特許審査第四部 画像処理 合田幸裕
TEL. 03(3581)1101 内線 3531
FAX. 03(3501)0715

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142922

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 11-323587

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 15.11.1999

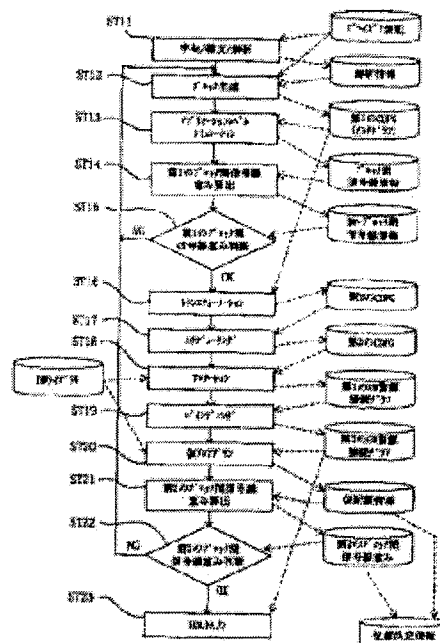
(72)Inventor : HAMADA TADAO
HASHIMOTO TAKASHI
KUROUMARU SHIYUNICHI
KAI YASUSHI

(54) DESIGN METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a design method, with which efficiency in the design of a system is improved while curtailing the power consumption of the system.

SOLUTION: In the high-order synthesis of system design, after a program is inputted, a block for providing a collected functions and an HW resource connection graph expressing the structures of a plurality of HW resources and wirings for connecting the respective HW resources are generated. Information on the size of HW resources is inputted from a database, where HW resources are registered, the HW resources are temporarily located and the rate of contribution to entire wiring for a parameter, which affects the power consumption or the like of wiring between blocks, is calculated as an inter-block signal line weight. The block is generated again until the inter-block signal line weight of wiring between blocks becomes less than a threshold and when the inter-block signal line weight becomes less than the threshold, an HAL is outputted. In the high-order synthesis on the upstream side, efficiency in design is improved as a whole by generating the block while considering the curtailing of power consumption or the like.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-142922

(P2001-142922A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl.⁷

識別記号

F I

テーマート*(参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 5 4 M 5 B 0 4 6

H 0 1 L 21/82

6 5 6 D 5 F 0 6 4

6 5 8 E

6 5 8 T

H 0 1 L 21/82

C

審査請求 未請求 請求項の数24 O L (全 45 頁) 最終頁に続く

(21)出願番号

特願平11-323587

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日

平成11年11月15日(1999. 11. 15)

(72)発明者 濱田 匡夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 橋本 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

最終頁に続く

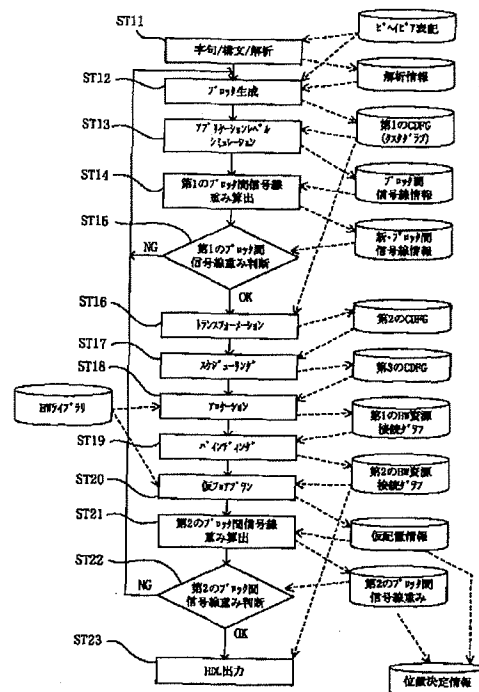
(54)【発明の名称】 半導体集積回路装置の設計方法

(57)【要約】

(修正有)

【課題】 システムの消費電力の削減を実現しつつ、システムの設計の効率の高い設計方法を提供する。

【解決手段】 システム設計の高位合成において、プログラムを入力した後、まとまった機能を実現するためのブロックと、複数のHW資源と各HW資源とを接続する配線との構造を表すHW資源接続グラフとを生成する。HW資源を登録したデータベースからHW資源の大きさに関する情報を入力して、HW資源の仮配置を行ない、ブロック間配線における消費電力などに影響するパラメータの配線全体に対する寄与率をブロック間信号線重みとして算出する。ブロック間の配線におけるブロック間信号線重みが閾値以下になるまでブロックの生成をやり直して、ブロック間信号線重みが閾値以下になるとHDLを出力する。上流側の高位合成で、消費電力削減などを考慮したブロック生成により、全体としての設計効率を高める。



【特許請求の範囲】

【請求項 1】 半導体集積回路装置を設計するためのビヘイビア表記を含むアプリケーションプログラムを入力した後、ビヘイビア表記を含むアプリケーションをまとめた機能単位でHW資源の配置を行なうためのブロックの生成と、各ブロック内のHW資源の配置と各ブロック間を接続する配線とを表すHW資源接続グラフとを生成するステップ (a) と、

HWライブラリから少なくともHW資源の大きさに関する情報を入力して、上記HW資源接続グラフ中のHW資源の仮配置を行ない、仮配置情報を出力するステップ

(b) と、

上記ブロック間を接続する各配線における消費電力、遅延のうち少なくともいずれか一方に影響するパラメータの比率をブロック間信号線重みとして算出するステップ (c) と、

上記各ブロック間信号線重みが閾値以下か否かを判断するステップ (d) と、

上記各ブロック間信号線重みが閾値以下になると、HDLで記述したRTLの論理回路を出力するステップ (e) とを含み、

上記ステップ (d) の判断において各ブロック間信号線重みが閾値以下になるまで上記ステップ (a) におけるブロックの生成と、上記ステップ (b) ~ (d) とを繰り返す半導体集積回路装置の設計方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の設計方法において、

上記ステップ (a) は、

上記アプリケーションプログラムの記述を、タスクを表すブロックに分割するとともに、各タスク間のデータの流れを示す第 1 のデータフロー図を生成するサブステップ (a 1) と、

上記アプリケーションプログラムのシミュレーションを行なうサブステップ (a 2) と、

上記サブステップ (a 2) で得られた各ブロック間の配線の遷移頻度の比率を第 1 のブロック間信号線重みとして算出するサブステップ (a 3) と、

上記初期のブロック間信号線重みが初期の閾値以下か否かを判断するサブステップ (a 4) と、

上記初期のブロック間信号線重みが上記初期の閾値以下になると、上記第 1 のデータフロー図中の各ブロックにHWライブラリに登録されたHW資源の配置が可能となるように第 2 のデータフロー図を生成するサブステップ (a 5) と、

上記第 2 のデータフロー図中の各ブロックの実行タイミングの決定とHW資源の配置とを行なって上記HW資源接続グラフを作成するサブステップ (a 6) とを含み、上記初期のブロック間信号線重みが上記初期の閾値以下になるまで上記サブステップ (a 1) におけるブロックの再分割と、上記サブステップ (a 2) ~ (a 4) とを

繰り返すことを特徴とする半導体集積回路装置の設計方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の設計方法において、

上記ステップ (a) は、

上記アプリケーションプログラムの記述を、複数の演算機能からなるモジュールに分割するとともに、各モジュール間のデータの流れを示す第 1 のデータフロー図を生成するサブステップ (a 1) と、

上記アプリケーションプログラムのシミュレーションを行なうサブステップ (a 2) と、

上記サブステップ (a 2) で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第 1 のモジュール間信号線重みとして算出するサブステップ (a 3) と、上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ (a 4) と、

上記第 1 のデータフロー図中の各モジュールにHWライブラリに登録されたHW資源の配置が可能な第 2 のデータフロー図を生成するサブステップ (a 5) と、

上記第 2 のデータフロー図中の各モジュールの実行タイミングの決定とHW資源の割り当てとを行なって上記HW資源接続グラフを作成するサブステップ (a 6) とを含み、

上記ステップ (c) では、上記仮配置情報と上記第 1 のモジュール間信号線重みとから第 2 のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第 2 のモジュール間信号線重みをブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項 4】 請求項 1 記載の半導体集積回路装置の設計方法において、

上記ステップ (a) は、

上記アプリケーションプログラムの記述を解析して、各動作を実現する演算機能間のデータの流れを、HWライブラリに登録されたHW資源の配置が可能な第 1 のデータフロー図として生成するサブステップ (a 1) と、

上記複数の演算機能から各々複数の演算機能により構成されるモジュールを生成するとともに、上記第 1 のデータフロー図からモジュール間のデータの流れを示す第 2 のデータフロー図を生成するサブステップ (a 2) と、上記アプリケーションプログラムのシミュレーションを行なうサブステップ (a 3) と、

上記サブステップ (a 3) で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第 1 のモジュール間信号線重みとして算出するサブステップ (a 4) と、上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ

(a5)と、

上記第2のデータフロー図中の各モジュールの実行タイミングとの決定とHW資源の割り当てを行なって上記HW資源接続グラフを作成するサブステップ(a6)とを含み、

上記ステップ(c)では、上記仮配置情報と上記第1のモジュール間信号線重みとから第2のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第2のモジュール間信号線重みをブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項5】 請求項1記載の半導体集積回路装置の設計方法において、

上記ステップ(a)は、

上記アプリケーションプログラムの動作記述を解析して、演算機能間のデータの流れを、HWライブラリに登録されたHW資源を配置することが可能な第1のデータフロー図として生成するサブステップ(a1)と、

上記第1のデータフロー図中の各演算機能の実行タイミングとの決定とHW資源の割り当てを行なって上記HW資源接続グラフを作成するサブステップ(a2)と、
上記複数の演算機能から複数の演算機能により構成されるモジュールを生成するサブステップ(a3)と、

上記アプリケーションプログラムのシミュレーションを行なうサブステップ(a4)と、

上記サブステップ(a3)で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第1のモジュール間信号線重みとして算出するサブステップ(a5)と、
上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ(a6)とを含み、

上記ステップ(c)では、上記仮配置情報と上記第1のモジュール間信号線重みとから第2のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第2のモジュール間信号線重みをブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記ブロック及びブロック間の配線構造に関する情報をネットリストにまとめるステップ(f)と、

上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、

上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行なうことを特徴とする半導体集積回路装置の設計方

法。

【請求項7】 請求項3～5のうちいずれか1つに記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、

上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、

上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ(e)の後、ステップ(f)の前に、HDLシミュレーションを行なって、その結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項8】 請求項3～5のうちいずれか1つに記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、

上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、

上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ(f)の後、ステップ(g)の前に、ネットリストを用いた仮配線と、仮配線の結果を用いた仮配線シミュレーションとを行なって、仮配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項9】 請求項3～5のうちいずれか1つに記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、

上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、

上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、上記ステップ(g)の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装

置の設計方法。

【請求項10】 請求項7記載の半導体集積回路装置の設計方法において、

上記ステップ(f)の後、ステップ(g)の前に、ネットリストを用いた仮配線と、仮配線の結果を用いた仮配線シミュレーションとを行なって、仮配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項11】 請求項7記載の半導体集積回路装置の設計方法において、

上記ステップ(g)の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項12】 請求項8記載の半導体集積回路装置の設計方法において、

上記ステップ(g)の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項13】 請求項10記載の半導体集積回路装置の設計方法において、

上記ステップ(g)の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項14】 請求項1～9のうちいずれか1つに記載の半導体集積回路装置の設計方法において、上記ステップ(c)では、ブロック間配線の配線長の寄与率をブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項15】 請求項1～9のうちいずれか1つに記載の半導体集積回路装置の設計方法において、上記ステップ(c)では、ブロック間配線の配線容量の寄与率をブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項16】 請求項1～9のうちいずれか1つに記載の半導体集積回路装置の設計方法において、上記ステップ(c)では、ブロック間配線の配線遷移頻度の寄与率をブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項17】 請求項1～9のうちいずれか1つに記載の半導体集積回路装置の設計方法において、上記ステップ(c)では、ブロック間配線の配線長及び配線遷移頻度の寄与率をブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項18】 請求項1～9のうちいずれか1つに記載の半導体集積回路装置の設計方法において、

上記ステップ(c)では、ブロック間配線の配線容量及び配線遷移頻度の寄与率をブロック間信号線重みとすることを特徴とする半導体集積回路装置の設計方法。

【請求項19】 請求項4又は5記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ(e)の後、ステップ(f)の前に、HDLシミュレーションを行なって、その結果得られた情報を上記サブステップ(a1)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項20】 請求項4又は5記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ(f)の後、ステップ(g)の前に、ネットリストを用いた仮配線と、仮配線の結果を用いた仮配線シミュレーションとを行なって、仮配線シミュレーションの結果得られた情報を上記サブステップ(a1)にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項21】 請求項4又は5記載の半導体集積回路装置の設計方法において、

上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含み、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を

行ない、

上記ステップ (g) の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ (a 1) にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項 2 2】 請求項 5 記載の半導体集積回路装置の設計方法において、上記ステップ (e) の後に、上記 HDL で記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ (f) と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ (g) とをさらに含み、上記ステップ (g) では、上記ステップ (b) における仮配置の情報と、上記ステップ (c) におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ (e) の後、ステップ (f) の前に、HDL シミュレーションを行なって、その結果得られた情報を上記サブステップ (a 2) にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項 2 3】 請求項 4 又は 5 記載の半導体集積回路装置の設計方法において、

上記ステップ (e) の後に、上記 HDL で記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ (f) と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ (g) とをさらに含み、上記ステップ (g) では、上記ステップ (b) における仮配置の情報と、上記ステップ (c) におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、

上記ステップ (f) の後、ステップ (g) の前に、ネットリストを用いた仮配線と、仮配線の結果を用いた仮配線シミュレーションとを行なって、仮配線シミュレーションの結果得られた情報を上記サブステップ (a 2) にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【請求項 2 4】 請求項 4 又は 5 記載の半導体集積回路装置の設計方法において、

上記ステップ (e) の後に、上記 HDL で記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ (f) と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ (g) とをさらに含み、上記ステップ (g) では、上記ステップ (b) における仮配置の情報と、上記ステップ (c) におけるブロックに関する情報とを位置決定情報として用いて配置配線を

行ない、

上記ステップ (g) の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記サブステップ (a 2) にフィードバックすることを特徴とする半導体集積回路装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置の設計方法に係り、特に、消費電力の削減を図りつつ、設計全体の効率の向上を図るための対策に関する。

【0002】

【従来の技術】 従来より、半導体集積回路装置の設計における高位合成は、半導体集積回路装置の仕様、動作、RT などについて、半導体集積回路装置の各要素や機能をプログラム言語上で次第に具体化していくという流れに沿って行なわれる。そして、高位合成を経て HDL でまとめられた設計データにしたがって、論理合成が行なわれ論理回路 (ネットリスト) が生成された後、配置配線が行なわれる。この段階になると、回路要素や配線が具体的に現れてくるので、シミュレーションによる消費電力、処理速度などの推定を利用した最適化処理が行なわれる。

【0003】 例えば、回路の動作速度とチップ面積とのトレードオフを考慮した最適化処理などである。

【0004】

【発明が解決しようとする課題】 しかしながら、近年のごとく、システム LSI などの大規模な半導体集積回路装置が出現すると、論理合成に至るまでの高位合成においてどの程度の確な設計が行なわれているかによって、論理合成後の最適化の度合いが変わってくる。論理合成の前にブロック分割などがほぼ定まっているので、その後の最適化処理によって変更できる自由度は小さいからである。

【0005】 ところが、従来の半導体集積回路装置の設計においては、高位合成の適否は設計者の熟練に委ねられているのが現状であり、この高位合成における最適化を図る手段が未開発である。そのために、論理合成後の設計の効率化を図る上で大きな障害となっている。

【0006】 本発明の目的は、高位合成の最適化を図る手段を講ずることにより、設計全体としての効率の向上を図り、特に、低消費電力性の優れた半導体集積回路装置の設計を図ることにある。

【0007】

【課題を解決するための手段】 本発明の半導体集積回路装置の設計方法は、半導体集積回路装置を設計するためのビヘイビア表記を含むアプリケーションプログラムを入力した後、ビヘイビア表記を含むアプリケーションをまとめた機能単位で HW 資源の配置を行なうためのブロックの生成と、各ブロック内の HW 資源の配置と各ブ

ロック間を接続する配線とを表すHW資源接続グラフとを生成するステップ(a)と、HWライブラリから少なくともHW資源の大きさに関する情報を入力して、上記HW資源接続グラフ中のHW資源の仮配置を行ない、仮配置情報を出力するステップ(b)と、上記ブロック間を接続する各配線における消費電力、遅延のうち少なくともいずれか一方に影響するパラメータの比率をブロック間信号線重みとして算出するステップ(c)と、上記各ブロック間信号線重みが閾値以下か否かを判断するステップ(d)と、上記各ブロック間信号線重みが閾値以下になると、HDLで記述したRTLの論理回路を出力するステップ(e)とを含み、上記ステップ(d)の判断において各ブロック間信号線重みが閾値以下になるまで上記ステップ(a)におけるブロックの生成と、上記ステップ(b)～(d)とを繰り返す方法である。

【0008】この方法により、設計の上流側である高位合成において、アプリケーションプログラム中の記述や人の経験に基づく判断に基づくブロック分割の代わりに、消費電力や遅延などに影響するパラメータの適正化を定量的に判断しうるブロック分割を効率よく行なうことが可能になる。したがって、下流側ではある程度適正に分割されたブロックを配置して配置配線などを行なうことが可能になるので、設計全体としての効率が向上する。

【0009】上記半導体集積回路装置の設計方法において、上記ステップ(a)に、上記アプリケーションプログラムの記述を、タスクを表すブロックに分割するとともに、各タスク間のデータの流れを示す第1のデータフロー図を生成するサブステップ(a1)と、上記アプリケーションプログラムのシミュレーションを行なうサブステップ(a2)と、上記サブステップ(a2)で得られた各ブロック間の配線の遷移頻度の比率を第1のブロック間信号線重みとして算出するサブステップ(a3)と、上記初期のブロック間信号線重みが初期の閾値以下か否かを判断するサブステップ(a4)と、上記初期のブロック間信号線重みが上記初期の閾値以下になると、上記第1のデータフロー図中の各ブロックにHWライブラリに登録されたHW資源の配置が可能となるように第2のデータフロー図を生成するサブステップ(a5)と、上記第2のデータフロー図中の各ブロックの実行タイミングの決定とHW資源の配置とを行なう上記HW資源接続グラフを作成するサブステップ(a6)とを含ませて、上記初期のブロック間信号線重みが上記初期の閾値以下になるまで上記サブステップ(a1)におけるブロックの再分割と、上記サブステップ(a2)～(a4)とを繰り返すことにより、まず、アプリケーションに内在する特徴を利用したブロック分割のおおまかな最適化を行った後、さらに仮配置情報を利用した細やかなブロック再分割を行なうことになる。したがって、2段階のブロック分割によるブロック分割の効率の向上を図

ることができる。

【0010】上記半導体集積回路装置の設計方法において、上記ステップ(a)に、上記アプリケーションプログラムの記述を、複数の演算機能からなるモジュールに分割するとともに、各モジュール間のデータの流れを示す第1のデータフロー図を生成するサブステップ(a1)と、上記アプリケーションプログラムのシミュレーションを行なうサブステップ(a2)と、上記サブステップ(a2)で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第1のモジュール間信号線重みとして算出するサブステップ(a3)と、上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ(a4)と、上記第1のデータフロー図中の各モジュールにHWライブラリに登録されたHW資源の配置が可能な第2のデータフロー図を生成するサブステップ(a5)と、上記第2のデータフロー図中の各ブロックの実行タイミングの決定とHW資源の割り当てとを行なう上記HW資源接続グラフを作成するサブステップ(a6)とを含ませて、上記ステップ(c)では、上記仮配置情報と上記第1のモジュール間信号線重みとから第2のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第2のモジュール間信号線重みをブロック間信号線重みとすることにより、まず、ブロックを構成するモジュールという小さな回路単位の生成し、さらに、生成された複数のモジュールを組み合わせでブロックを生成するので、ブロック生成やモジュール生成の際の制約が緩やかになり、第1のCDFGからモジュールやブロックを最適に生成できる。

【0011】上記半導体集積回路装置の設計方法において、上記ステップ(a)に、上記アプリケーションプログラムの記述を解析して、各動作を実現する演算機能間のデータの流れを、HWライブラリに登録されたHW資源の配置が可能な第1のデータフロー図として生成するサブステップ(a1)と、上記複数の演算機能から各々複数の演算機能により構成されるモジュールを生成するとともに、上記第1のデータフロー図からモジュール間のデータの流れを示す第2のデータフロー図を生成するサブステップ(a2)と、上記アプリケーションプログラムのシミュレーションを行なうサブステップ(a3)と、上記サブステップ(a3)で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第1のモジュール間信号線重みとして算出するサブステップ(a4)と、上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ(a5)と、上記第2のデータフロー図中の各モジュールの実行タイミングとの決定とHW資源の割り当てとを行なう上記HW資源接続グラフを作成するサブステ

ップ(a6)とを含ませて、上記ステップ(c)では、上記仮配置情報と上記第1のモジュール間信号線重みとから第2のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第2のモジュール間信号線重みをブロック間信号線重みとすることにより、モジュール生成の前に、いわゆるトランスフォーメーションを行なうことで、モジュール生成に際してトランスフォーメーションによる最適化を加味することができる。

【0012】上記半導体集積回路装置の設計方法において、上記ステップ(a)に、上記アプリケーションプログラムの動作記述を解析して、演算機能間のデータの流れを、HWライブラリに登録されたHW資源を配置することが可能な第1のデータフロー図として生成するサブステップ(a1)と、上記第1のデータフロー図中の各演算機能の実行タイミングとの決定とHW資源の割り当てを行なって上記HW資源接続グラフを作成するサブステップ(a2)と、上記複数の演算機能から複数の演算機能により構成されるモジュールを生成するサブステップ(a3)と、上記アプリケーションプログラムのシミュレーションを行なうサブステップ(a4)と、上記サブステップ(a3)で得られたモジュール間を接続する配線の消費電力及び遅延のうち少なくともいずれか一方に影響するパラメータの比率を第1のモジュール間信号線重みとして算出するサブステップ(a5)と、上記複数のモジュールを、各々複数のモジュールによって構成される複数のブロックに分割するサブステップ(a6)とを含ませて、上記ステップ(c)では、上記仮配置情報と上記第1のモジュール間信号線重みとから第2のモジュール間信号線重みを算出するとともに、上記ブロック間を接続する配線となるものの第2のモジュール間信号線重みをブロック間信号線重みとすることにより、モジュール生成及びブロック生成が、いわゆるトランスフォーメーション、バインディングなどによる情報を利用して行なわれるので、モジュール生成に際してトランスフォーメーション及びバインディングによる最適化を加味することができる。

【0013】上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記ブロック及びブロック間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含ませて、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行なうことにより、高位合成で分割されたブロックを配置して迅速な配置配線を行なうことが可能になる。

【0014】上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上

記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含ませて、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、上記ステップ(e)の後、ステップ(f)の前に、HDLシミュレーションを行なって、その結果得られた情報を上記ステップ(c)にフィードバックすることにより、HDLデータを利用した情報に基づいて、より適正なブロック分割を行なうことができる。

【0015】上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含ませて、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、上記ステップ(f)の後、ステップ(g)の前に、ネットリストを用いた仮配線と、仮配線の結果を用いた仮配線シミュレーションを行なって、仮配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることにより、仮配線情報に基づいて、より適正なブロック分割を行なうことができる。

【0016】上記ステップ(e)の後に、上記HDLで記述された設計データを用いた論理合成を行なって、上記モジュール及びモジュール間の配線構造に関する情報をネットリストにまとめるステップ(f)と、上記ネットリストを用いた配置配線を行なってレイアウト情報を出力するステップ(g)とをさらに含ませて、上記ステップ(g)では、上記ステップ(b)における仮配置の情報と、上記ステップ(c)におけるブロックに関する情報とを位置決定情報として用いて配置配線を行ない、上記ステップ(g)の後、レイアウト情報を用いた実配線シミュレーションを行なって、実配線シミュレーションの結果得られた情報を上記ステップ(c)にフィードバックすることにより、実配線情報に基づいて、より適正なブロック分割を行なうことができる。

【0017】また、上記HDLシミュレーションの結果得られた情報、仮配線シミュレーションの結果得られた情報、実配線シミュレーションの結果得られた情報のうちいずれか2つ以上の情報をフィードバックすることがより好ましい。

【0018】上記ステップ(c)では、ブロック間配線の配線長の寄与率をブロック間信号線重みとすることにより、遅延を考慮したブロック分割を行なうことが可能となる。

【0019】上記ステップ(c)では、ブロック間配線の配線容量の寄与率をブロック間信号線重みとすることにより、消費電力の削減を考慮したブロック分割を行なうことができる。

【0020】上記ステップ(c)では、ブロック間配線の配線遷移頻度の寄与率をブロック間信号線重みとすることによっても、消費電力の削減を考慮したブロック分割を行なうことができる。

【0021】上記ステップ(c)では、ブロック間配線の配線長及び配線遷移頻度の寄与率や、配線容量及び配線遷移頻度の寄与率をブロック間信号線重みとすることがより好ましい。

【0022】また、上記HDLシミュレーションの結果得られた情報、仮配線シミュレーションの結果得られた情報、実配線シミュレーションの結果得られた情報などを、上記ステップ(a)中のサブステップ(a1)にフィードバックすることにより、下流側でのシミュレーション結果を利用して最適なトランスフォーメーションを行なってからブロック分割を行なうことができる。

【0023】また、上記HDLシミュレーションの結果得られた情報、仮配線シミュレーションの結果得られた情報、実配線シミュレーションの結果得られた情報などを、上記ステップ(a)中のサブステップ(a2)にフィードバックすることにより、下流側でのシミュレーション結果を利用して最適なアロケーション、バインディングを行なってからブロック分割を行なうことができる。

【0024】

【発明の実施の形態】実施形態の説明に入る前に、本発明において利用する“高位合成”の概念について説明する。

【0025】一高位合成の基本的な流れ一図1(a)は、本発明で利用する高位合成の流れを示すフローチャートである。図1(b)～(e)は、各ステップにおいて出力されるデータの一例を示す図である。

【0026】まず、動作仕様設計により、アプリケーションが得られる。図1(b)は、このときのC言語プログラムの例を示す例である。この例では、a, b, c, d, x, y, zを入力し、 $x = a \times b$, $y = c \times d$, $z = x + y$ の演算を行なう関数main()に関する記述が含まれているとする。C言語などのプログラムは、ビヘイビア(動作)を表す記述(動作記述)を含んでおり、このようなビヘイビアが記述されたプログラムをビヘイビア表記(アプリケーションプログラム)ともいう。

【0027】次に、トランスフォーメーションにより、ビヘイビア表記中の記述を解析して、演算数や段数の削減、ループの展開などのハードウェア化に向けた適合理化処理を行ない、その結果得られるデータの流れとそのデータに対する処理とをアーク(データの流れの方向を示す矢印)とノードで表すCDFG(コントロールデータ

フローグラフ)に変換する。この例では、図1(c)に示すように、アークで示す各データの流れと、データaとbとの加算処理を示すノード1と、データcとdとの加算処理を示すノード2と、ノード1とノード2との処理で得られる結果同士の乗算処理を示すノード3とが現れている。

【0028】次に、スケジューリングにより、CDFG中の各処理部分(ノード)を時間軸上の各クロック・サイクルに割り当てて、各処理の実行タイミング(step)を決定する。この例では、図1(d)に示すように、まず、step1でノード1の処理を行ない、次に、step2でノード2の処理を行なってから、step3でノード3の処理を行なうように決定される。

【0029】次に、アロケーションにより、HW資源(演算器)を格納しているライブラリから、それぞれの処理の種類に応じた種類のHW資源を各ノードに割り当てる。この例では、図1(e)に示すように、ノード1, 2には乗算器(MPY)が割り当てられ、ノード3には加算器(ADD)が割り当てられる。このように、CDFG中のノードに演算器が割り当てられたフローグラフを、HW資源接続グラフという。

【0030】次に、バインディングにより、HW資源の最終的な接続関係を決定する。このとき、アロケーションで割り当てられたHW資源をそのまま接続したのでは、回路面積が膨大なものとなるので、共有できるHW資源は共有し、できるだけシステムを簡素にする。この例では、図1(f)に示すように、ノード1, 2に割り当てられた各乗算器(MPY)が同じタイミングで動作しないようにスケジューリングされているので、共通のHW資源である乗算器(MPY1)を利用することができる。そして、データa, b, c, dや乗算結果を保持するためのレジスタや、乗算器(MPY1)などへのデータの入力を切り換えるマルチプレクサを配置することにより、図1(b)に示すC言語プログラム中の関数main()の機能を実現するための回路を生成する。

【0031】そして、最終的に生成された回路は、ハードウェア記述言語であるHDLによるRTL(レジスタ・トランスファー・レベル)の論理情報の記述として出力される。代表的なHDLとしては、例えば、Verilog-HDLやVHDLなどがある。そして、高位合成によって出力されたHDL記述には、後述するように、高位合成によって分割されたブロックや階層構造の情報が含まれている。

【0032】次に、上述のトランスフォーメーション、スケジューリング、アロケーション、バインディングなどの処理内容について、もう少し詳細に説明する。

【0033】一トランスフォーメーション一図2(a)～(d)は、トランスフォーメーションの過程を示す図である。上述のように、トランスフォーメーションとは、ビヘイビア表記(アプリケーションプログ

ラム)中の動作記述を、ハードウェア化に向けた適合理化処理を施し、CDFGに変形する作業である。

【0034】そのために、例えば、図2(a)に示すように、分配則や交換則を活用して演算数や段数の削減を行なう。例えば、分配則を利用して、“ $A \times B + A \times C$ ”を“ $A(B+C)$ ”と変形することにより、演算数つまり乗算の回数を低減することができる。また、交換則を利用して、“ $((A+B)+C)+D$ ”を“ $(A+B)+(C+D)$ ”と変形することにより、段数を3段から2段に低減することができる。

【0035】また、図2(b)に示すように、設計の階層化・非階層化を行なう。例えば、処理1, 2, 3を含む関数FunctionAがある場合、この関数FunctionAを、処理1を行なうFunctionBと、処理2を行なうFunctionCと、処理3を行なうFunctionDと、FunctionB, C, Dを統合したFunctionAとに階層化する。逆に、階層化されたFunctionA-FunctionB, C, Dがある場合に、これを単一のFunctionAにして非階層化することも行なう。

【0036】また、図2(c)に示すように、ループの展開を行なう。例えば、3つのデータ列に対して、処理Aの入力を切り替えて処理する場合、3つの処理Aを並列に配置してそれぞれ3つの流れでデータの処理を行なうように展開する。

【0037】また、図2(d)に示すように、乗算、加算などの処理を表すノードと、各ノードに対するデータの流れとを示すCDFG(コントロールデータフローグラフ)がトランスフォーメーションの結果として出力される。これらの処理は、必ずしも図2(a)~(d)の順に行なう必要はなく、適宜順序を変更し、又は図2(a)~(d)中の複数の処理を同時に行なうことが可能である。

【0038】-スケジューリング-

上述のように、スケジューリングとは動作記述中の各演算を実行するタイミングを決定することを言うが、スケジューリングを大きく分けると、時間を制約するものと、HW資源を制約するものと2つに分類される。

【0039】スケジューリングのアルゴリズムには、ASAPスケジューリング、ALAPスケジューリング、リストスケジューリング、Force Directedスケジューリング、整数計画法などがある。

【0040】また、スケジューリングアルゴリズムを拡張するものとして、パイプライン化スケジューリング、マルチサイクル演算、演算のチェイニング、パイプライン化演算器、条件文のスケジューリング、投機的実行などがある。

【0041】スケジューリングの例を挙げると、図3(a)に示すCDFGが入力された場合に、図3(b)に示すように、ノード1の処理はstep1で、ノード2の処理はstep2で、ノード3, 4の処理はstep3で、ノード5

ド5の処理はstep4で行なわれるような組立となっている。

【0042】図4(a), (b)は、パイプライン化スケジューリングの一例を説明するための図である。図4(a)に示すノード1の処理を行なってからノード2を行なう処理を複数回繰り返すという記述がある場合、そのiteration(繰り返し処理)間の依存関係を解析し、依存関係がなければパイプライン化が可能であるので、各iteration間で演算をオーバーラップして実行するようにスケジューリングを行なう。例えば、図4

(b)に示すように、step1, 2でノード1Aから2Aの処理を行ない、step2, 3でノード1Bからノード2Bの処理を行ない、step3, 4でノード1Cからノード2Cの処理を行なうことで、各処理を直列的に行なうのに比べて、スループットの向上を図ることができる。

【0043】-アロケーション-

上述のように、アロケーションとは、CDFG中のノードに適当なHW資源を割り当てることを言い、アロケーションによりHW資源接続グラフが生成される。このとき、HW資源の種類と数とが決定される。ただし、HW資源はあらかじめライブラリに登録済みのものを用い、性能とコストのトレードオフを考慮する必要がある。

【0044】図5(a)~(c)は、アロケーションの過程を説明するための図である。図5(a)に示すように、スケジューリングによってCDFG中の乗算処理や加算処理を行なうノードの実行タイミングが決まっている。次に、図5(b)に示すように、Module Libraryから乗算器(MPY)や加算器(ADD)などの演算器を取り出して、図5(c)に示すように、各ノードに乗算器や加算器を割り当てる。この過程によって、HW資源接続グラフが生成される。

【0045】-バインディング-

上述のように、バインディングとは最終的なHW資源の接続関係を決定することを言う。

【0046】図6(a), (b)は、バインディングの過程を説明するための図である。例えば、アロケーションにより、図6(a)に示すように乗算器(MPY), 加算器(ADD)などがノードに割り当てられたHW資源接続グラフが入力されたとする。このとき、図6

(b)に示すように、3回の乗算については共有できるHW資源である乗算器(MPY)を共有し、データにレジスタを割り当てるとともに、演算器-レジスタ間でデータを転送するためのバスも生成する。これによって、最終的な回路構造が現れた状態となっている。

【0047】また、バインディング終了時点で使用するHW資源が決定されることから、HW資源情報により、各ブロックの大きさやブロック間距離を高位合成において最終的に見積もることができる。

【0048】図7(a), (b)は、それぞれブロックの大きさとブロック間距離とを見積もる方法を示す図で

ある。図7(a)に示すように、システムがブロックA～Fに分割されているとする。そして、図7(b)に示すように、ブロックA、Bをそれぞれ1辺の長さが l_A 、 l_B の正方形と仮定して、ブロックA-B間の中心距離を l_{AB} とする。ただし、 $l_{AB} > (l_A + l_B) / 2$ とする。また、ブロックAの各辺を U_A 、 D_A 、 R_A 、 L_A とし、ブロックBの各辺を U_B 、 D_B 、 R_B 、 L_B とする。

【0049】このとき、ブロックA-B間を接続する配線は、辺 R_A と辺 L_B 間で接続されているものとする。そこで、配線のピン位置情報として、辺 R_A と辺 L_B とを位置決定情報に与える。また、ブロックAの辺 D_A に対向するブロック(例えばC)に接続される配線も同様に位置決定情報を与える。ただし、配線情報による配線の優先順位がある場合には、優先順位の高い方からピン位置情報として、 R_{A1} 、 R_{A2} 、 $\dots$ 、 R_{Am} を位置決定情報に与える。さらに、配線の重みも計算されていれば、これも付加する。

【0050】ここで、各ブロックの位置は、基準となるブロック(例えばブロックA)を選択し、ブロックAの辺 U_A と辺 L_A とが交わるコーナーを原点とする。その後、各ブロックA～Fの中心の座標位置を当該ブロックの位置情報として位置決定情報に付加する。例えば、ブロックAの座標位置は $(l_A / 2, l_A / 2)$ であり、ブロックBの座標位置は $((l_A / 2) + l_{AB}, l_B / 2)$ である。

【0051】—高位合成後の設計—

高位合成が終了した後のHDLには、設計対象となるシステムの内容がRTLで記述されているが、このシステムは以下のような回路単位(要素)によって構成されている。

【0052】すなわち、複数の演算器がまとまって1つのモジュールが構成されている。ここでいうモジュールとは、複数の演算器からなる単一機能を実現するための回路単位である。単一機能とは、例えば、アドレス生成、誤り訂正などをいう。

【0053】また、ここでは、複数のモジュールがまとまったものをブロックという。ブロックとは、複数のモジュールからなる複合機能を実現するための回路単位をいい、例えばプロセッサや、プロセッサ(SW)による処理では満足な性能が得られない処理を専用のHWで実現したエンジンなどが1つのブロックを構成する。次に、HDL中のRTLで記述された論理ブロックを、その機能を実現するために適したマクロセルの組み合わせによって構成されるネットリストに変換するための論理合成を行なう。この処理は、一般に自動論理合成ツールを用いて行なわれる。自動論理合成用ツールとして、Verilog-HDL、VHDLを入力データとする各種のツールが開発されている。論理合成で生成されたネットリストは、実際に使用するマクロセルとマクロセル間の接続

情報とによって構成されている。

【0054】次に、ネットリストの情報をを用いた配置配線(レイアウト設計)を行なう。図8は、配置配線の手順の一例を概略的に示すフローチャートである。

【0055】まず、ブロック位置情報に含まれるブロックのピン位置情報によりピン位置を決定する。次に、各ブロック内のレイアウト(配置配線)などを行なう。次に、ブロック位置情報に含まれるブロックの座標に基づいて、各ブロックの配置を行なう。

【0056】ブロック配置を行なった後、ブロック間配線を行なう。その際、配線領域面積の不足などによって配線処理が終了しないときには、位置決定情報の座標を考慮し、また、配線の優先順位(又は重み)がある場合はこれも考慮しながら、ブロック間を広げてブロックを再配置し、ブロック間配線をやり直す。

【0057】以上が、本発明における各実施形態の前提となる半導体集積回路装置の設計手順の概略である。以下、本発明の特徴部分を有する各実施形態について説明する。

【0058】(第1の実施形態)本実施形態においては、ビヘイビア表記(アプリケーションプログラム)に対して、おおまかなブロック分割を行なった後、高位合成においてブロック分割の適否をチェックすることにより、ブロック間信号線の消費電力や遅延を適正に保持した状態で下流側の設計に進む方法について説明する。

【0059】図9は本実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【0060】まず、ステップST11で、データベースからビヘイビア表記されたプログラムを取り込んで、プログラム中の字句、構文の解析を行なって、ビヘイビア表記の誤りと、ビヘイビア表記で表されているシステムに含まれる機能とを調べる。この誤り検出は、一般的なコンパイラなどと同様の処理によって自動的に行なわれる。このシステムに含まれる機能とは、一定の機能を果たしている関数の組み合わせ、もしくは関数単体で表現されているものであって、字句、構文解析等によって検出される。そして、この機能を解析情報として記憶装置に格納しておく。

【0061】次に、ステップST12で、ビヘイビア表記と解析情報とを利用し、ブロックを生成する(ブロック分割)。そして、ある程度のブロックの接続関係を示す第1のCDFG(タスクグラフ)がデータベースに格納される。このときの当初のブロック分割と、後述するフィードバックを受けたときのブロック分割(再分割)との相違については、後に図25(a)、(b)を参照しながら説明する。

【0062】図10(a)、(b)は、このときに生成される第1のCDFG及び各ノードの内容を示す図である。この第1のCDFGは、上述の図1(c)又は図2(d)に示すCDFG(本実施形態における第2のCD

FG)とは異なり、ノード1~4には演算処理ではなくtask0~3(タスク)が配置されている。各タスク(プロセス)は、図10(b)に示すように、プログラム中の複数の関数functionによって構成されている。このタスクは、例えば“データ圧縮”というように、いくつかの演算処理によって独立処理される1つのまとまった機能を果たすものである。すなわち、ステップST12においては、図10(a)に示すようなタスクをブロックとして分割する。

【0063】次に、ステップST13で、第1のCDFGを取り込んで、実際のアプリケーションを動作させるアプリケーションレベルシミュレーションを行なう。このアプリケーションレベルシミュレーションにより、ブロック間信号線の遷移頻度と、アクティブ率とがわかる。

【0064】次に、ステップST14で、アプリケーションシミュレーションによって明らかになったプロファイル情報から算出される各ブロック間の信号線の重みを第1のブロック間信号線重みWとして算出する。最初のステップST12では、重みWとして何らかの初期値(例えば一律の値)が与えられているが、このアプリケーションシミュレーションによって、図10(a)に示すように、実際の重みW1~W3が算出可能になる。つまり、task0~task4をブロックとしたときに、実際に処理してどのような計算を何回行なったのか、どのようなデータがどれぐらい転送されているのかということがプロファイル情報として得られるので、このブロック間の信号の遷移頻度(アクティブ率を含む)の関数として重みWを算出する。この重みの具体的な計算方法については、図26(a)、(b)を参照しながら後に説明する。ここでは、 $W=F$ (配線遷移頻度)となっている。

【0065】次に、ステップST15で、第1のブロック間信号線重みが適正か否かを判断する。この判断は、例えば、各信号線における第1のブロック間信号線重みWを予め定められた第1の閾値と比較することで行なわれる。すなわち、ある信号線の第1のブロック間信号線重みWが第1の閾値を越えていれば(NG)、その部分の電力消費が大きくなるおそれがあるので、ブロックをもう少し細かく分けるような処理、あるいはブロックの分け方を変更するような処理を行なう必要がある。そこで、ステップST12に戻って、ブロックの生成をやり直す(ブロック再分割)。

【0066】次に、ステップST15における判断で第1のブロック間信号線重みがすべて第1の閾値を越えていないときには(OK)、ステップST16に進んで、第1のCDFGを取り込んで上述のトランスフォーメーションを行なう。このトランスフォーメーションによって、上述の図1(c)又は図2(d)に示すような第2のCDFGが生成される。この段階では、各タスク内部はCDFGにより表現されており、各ノードには演算器

が入った状態である。次に、ステップST17で、スケジューリングを行ない、第2のCDFG中の処理(ノード)の実行タイミングをクロック・サイクルに割り当てて、図1(d)又は図3(b)に示す第3のCDFGを生成する。

【0067】次に、ステップST18で、HWライブラリ中のHW規模情報を取り込んで、第3のCDFGから上述のアロケーションを行なう。これにより、図1(e)又は図5(c)に示すような第1のHW資源接続グラフが生成される。

【0068】次に、ステップST19で、第1のHW資源接続グラフから上述のバインディングを行なう。このとき、上述のように共有できるHW資源があるときは共有して、図1(f)又は図6(b)に示すような第2のHW資源接続グラフを生成するとともに、第2のHW資源接続グラフ中の各HW資源を制御するステートマシンを生成する。

【0069】次に、ステップST20で、仮フロアプランを行なう。フロアプランとは、チップ内でどのようにブロックを配置するかを検討し、決定する処理をいう。そして、仮フロアプランとは、予め登録されているHWライブラリ中のHW規模情報を抽出し、ブロックの大きさを仮見積もりし、ブロックの仮配置を行なうことにより、ブロック間の距離を算出する処理をいう。本実施形態においては、すでに説明した図7(a)、(b)に示す方法によって、HWライブラリからHW規模情報を取り込んで、第2のHW資源接続グラフ中の各HW資源間の距離を求める。そして、第2のHW資源接続グラフ中の各HW資源の仮配置を行ない、仮配置情報を出力する。このとき、HW資源間の距離は、ほぼ配線長の大きな目安となる。

【0070】そして、ステップST21で、仮配置情報に基づいて、ブロック間配線の重みの判断に、ある程度のブロック間距離からわかる配線長、配線容量などを含めた第2のブロック間信号線重みW'を算出する。この計算方法の例については、後述する。

【0071】次に、ステップST22で、第2のブロック間信号線重みW'が適正か否かを判断する。すなわち、ステップST15におけると同様に、第2のブロック間信号線重みW'が第2の閾値よりも小さいか否かを判断し、すべての第2のブロック間信号線重みW'が第2の閾値よりも小さければ(OK)、ステップST23に進んでHDLを出力する。

【0072】一方、第2のブロック間信号線重みW'のうちの1つでも第2の閾値以上であれば(NG)、ステップST12に戻ってブロックの生成をやり直す。本実施形態では、例えば図10(a)に示すtask0とtask1とをまとめて1つのブロックとしたり、task0中の一部の関数functionを他のtask2内に組み込む。このように、ブロックの組み立て方を変更することにより、プロ

ック間距離を変更してから、再びステップST13～ST22の処理を実行する。

【0073】このとき、ステップST12に戻る前に、第2の閾値を緩和するように変更するステップを経てからステップST12に戻るようにしてもよい。第2の閾値の変更は、例えば初期の第2の閾値からある一定比率で大きくするように設定しておけば自動的に行なうことができる。

【0074】本実施形態によると、以下の効果を発揮することができる。

【0075】一般に、信号線の消費電力は、信号の遷移頻度、配線容量（配線長に比例）、電源電圧、動作周波数などによって定まることが知られている。また、配線の遅延は配線長の関数となることも知られている。したがって、上流側の設計である高位合成においては、まだ配置配線が行なわれておらず配線長などが定まっていないことから、従来、信号線の消費電力や遅延を考慮した設計は行なわれていない。したがって、下流側の設計において、配置配線を行なってから初めて、一部の信号線の消費電力や遅延が過大であることなどがわかると、上流側に戻って高位合成をやり直していた。そのため、高位合成の頻繁なやり直しを回避するためには、設計者の経験と能力が必要であった。

【0076】それに対し、本実施形態では、システムのビヘイビア表記のレベルで表現されたブロック分割（生成）や人間の経験に基づくブロック分割にとらわれることなく、アプリケーションに内在する特徴、つまりブロック間の通信量、仮フロアプランの結果得られる配線長に対する定量的なブロック分割のための情報を得て、消費電力や遅延の低減の観点からブロック分割（及び再分割）を行なうことにより、消費電力の低減や遅延の低減を図りつつ効率のよいブロック分割を行なうことができる。すなわち、一般的には、ブロック間信号線の長さはブロック内信号線の長さよりも長いので、ブロック間信号線重みを考慮したブロック分割を行なうことにより、消費電力の削減効果などを高めることができる。

【0077】すなわち、ステップST12で、ビヘイビア表記の機能に沿ったブロック分割を行なっているが、その後、ステップST14で、配線長までは考慮しなくても、信号の遷移頻度から重みを算出し、ステップST15でブロック間信号線重みの適正を判断を行なってからステップST12のブロック生成をやり直すフローを繰り返すので、ステップST15の段階で、ある程度ブロック間信号線の消費電力や遅延が過大にならないように適正なブロック分割が行なわれる。したがって、トランスフォーメーション以下の処理で、第2のブロック間信号線重みが第2の閾値以上になることによって再分割する確率が低減する。

【0078】さらに、ステップST16～ST21の処理で、従来から行なわれている高位合成の処理、つま

り、トランスフォーメーション、スケジューリング、アロケーション、バインディングを行なった後、仮フロアプランによって得られるブロック間配線の長さに関する情報を用いて、信号の遷移頻度と配線長とを考慮したブロック間配線の消費電力や遅延を適正化処理を行なうことで、高位合成後においてブロック間配線の消費電力や遅延が過大になることに起因する高位合成のやり直しを少なくすることができる。

【0079】また、ステップST11からST23までの処理を、第1、第2の閾値の設定を除いてすべて自動を行なうことができるので、ステップST11～ST23までを行なうのに要する期間は非常に短くて済む。

【0080】なお、本実施形態では、ブロック配置がほぼ適正化された状態で、下流側の設計においてモジュールの生成を行なって、論理合成や配置配線を行なうことができる。

【0081】（第2の実施形態）本実施形態においては、トランスフォーメーションを行なう前にモジュール分割し、モジュール間の重みをアプリケーションレベルシミュレーションによって算出することで、ブロック組み立てを行なう方法について説明する。

【0082】図11は、本実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【0083】まず、ステップST31で、第1の実施形態と同様に、データベースからビヘイビア表記されたプログラムを取り込んで、プログラム中の字句、構文の解析を行なって、ビヘイビア表記の誤りがないかどうかをチェックするとともに、ビヘイビア表記で表されているシステムに含まれる機能（演算器レベル）を調べる。そして、解析の結果得られた機能を解析情報として記憶装置に格納する。

【0084】次に、ステップST32で、解析情報に基づいて、アプリケーション全体を分割して、ブロックに分割するためのモジュールを生成する。そして、このモジュール内の演算機能をノードとする第1のCDFGを生成して、これを記憶装置に格納しておく。

【0085】図12は、本実施形態において生成される第1のCDFGを示す図である。ここで、CDFG中の各ノード1～4は、比較器、加算器、乗算器などの演算器であって、これらの複数の演算器によって1つのモジュールが構成されている。

【0086】次に、ステップST33で、第1のCDFGを取り込んで、実際のアプリケーションを動作させるアプリケーションレベルシミュレーションを行なう。このアプリケーションレベルシミュレーションにより、モジュール間配線のデータ通信量がわかる。

【0087】次に、ステップST34で、アプリケーションシミュレーションによって明らかになったプロファイル情報から算出される各モジュール間の信号線の重み

を第1のモジュール間に信号線重み w として算出する。すなわち、アプリケーションレベルシミュレーションにより、各モジュール間で、どのようなデータがどれくらい転送されているのかということがプロファイル情報として得られるので、このモジュール間のデータ通信量の関数として、第1のモジュール間信号線重み w を算出する。

【0088】図13は、各モジュールM1～M7と、これらを接続する信号線の第1のモジュール間信号線重み $w1 \sim w12$ を説明するための図である。同図に示すように、各モジュールの間の配線に対してデータの通信量に応じた重み $W1 \sim w12$ が定められている。

【0089】次に、ステップST35で、第1のCDFGとモジュール間信号線の重み情報とを利用して、ブロックを生成する（グループ分け）。このブロックは、モジュール間信号線の重みから、各ブロックの入出力信号線のデータ通信量の総和ができるだけ小さくなるように生成される。

【0090】次に、ステップS36で、第1のCDFGを取り込んで上述のトランスフォーメーションを行なう。このトランスフォーメーションによって、上述の図1(c)又は図2(d)に示すような第2のCDFGが生成される。次に、ステップST37で、スケジューリングを行ない、第2のCDFG中の処理（ノード）の実行タイミングをクロック・サイクルに割り当てて、図1(d)又は図3(b)に示す第3のCDFGを生成する。

【0091】次に、ステップST38で、HWライブラリ中のHW規模情報を取り込んで、第3のCDFGから上述のアロケーションを行なう。これにより、図1(e)又は図5(c)に示すような第1のHW資源接続グラフが生成される。

【0092】次に、ステップST39で、第1のHW資源接続グラフから上述のバインディングを行なう。このとき、図1(f)又は図6(b)に示すような第2のHW資源接続グラフを生成するとともに、第2のHW資源接続グラフ中の各HW資源を制御するステートマシْنَを生成する。

【0093】次に、ステップST40で、仮フロアプランを行なって、HWライブラリからHW規模情報を取り込んで、すでに説明した図7(a)、(b)に示す方法によって、第2のHW資源接続グラフ中の各HW資源間の距離を求める。そして、第2のHW資源接続グラフ中の各HW資源の仮配置を行ない、仮配置情報を出力する。このとき、HW資源間の距離は、ほぼ配線長の大きな目安となる。

【0094】そして、ステップST41で、仮配線情報と第1のモジュール間信号線重みに基づいて、第2のモジュール間信号線重み w' を算出する。ここでは、大まかな配線長がわかっているため、第2のモジュール間信

号線重みは、モジュール間のデータの通信量に配線長を乗じた値に基づいて算出することができる。具体的な方法については、後述する。そして、この第2のモジュール間信号線重み w' のうちブロック間配線となる部分の重みをブロック間信号線重み W とする。

【0095】図14は、このときのブロックの分割された状態を示す図である。同図に示すように、各ブロックB1～B4は複数のモジュールによって構成され、各ブロック間配線となるモジュール間信号線の第2のモジュール間信号線重み w' がブロック間信号線重み $W1 \sim W5$ となっている。なお、ブロック間に複数のモジュール間信号線がある場合は、ブロック間信号線重み（例えば、 $W5$ ）は、複数の第2のモジュール間信号線重みの和（例えば $w_{n'} + w_{m'}$ ）となっている。また、モジュール間信号線重みとして配線長のみ、配線遷移頻度のみ又は配線容量のみを組み込んだ重み付けを行なってもよいし、配線容量と配線遷移頻度を組み込んだ重み付けを行なってもよい。

【0096】次に、ステップST42で、ブロック間信号線重み W が適正か否かを判断する。すなわち、ブロック間信号線重み W がその閾値よりも小さいか否かを判断し、すべてのブロック間信号線重みが閾値よりも小さければ（OK）、ステップST43に進んでHDLを出力する。

【0097】一方、ブロック間信号線重み W のうちの1つでも閾値以上であれば（NG）、ステップST35に戻ってブロックの生成をやり直す。すなわち、モジュールによるブロックの組み立て方を変更することにより、ブロック間信号線となるモジュール間信号線の一部を変更してから、再びステップST35～ST42の処理を実行する。

【0098】本実施形態によると、基本的には、上記第1の実施形態と同様に、高位合成において、モジュール分割を通じて消費電力や遅延を考慮したブロック分割を行なうことができる。すなわち、システムのビヘイビア表記のレベルで記述されたブロック分割にとらわれることなく、アプリケーションが要するブロック間の通信量や配線長が小さくなるように個々のモジュールをまとめてブロックを構成するため、ブロック間の通信や配線容量による消費電力の削減や、遅延の低減を図ることができる。

【0099】特に、第1の実施形態とは異なり、当初からブロックではなくモジュールという単位でアプリケーション全体を分割し、その後ブロックを構成するように各モジュールをグループ分けするので、上記第1の実施形態よりも効率よくブロックを生成することができる利点がある。

【0100】（第3の実施形態）本実施形態においては、トランスフォーメーションを行なってから、モジュール分割し、モジュール間の重みをアプリケーションレ

ベルシミュレーションによって算出することで、ブロック組み立てを行なう方法について説明する。

【0101】図15は、本実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【0102】まず、ステップST51で、第1の実施形態と同様に、データベースからビヘイビア表記されたプログラムを取り込んで、プログラム中の字句、構文の解析を行なって、ビヘイビア表記の誤りがないかどうかを
10 チェックするとともに、ビヘイビア表記で表されているシステムに含まれる機能を調べる、そして、解析の結果得られた機能を解析情報として記憶装置に格納する。

【0103】次に、ステップST52で、解析情報を取り込んで、解析情報をHWライブラリに登録されたHW資源によって回路に置き換えることができるように、上述のトランスフォーメーションを行なう。このトランスフォーメーションによって、上述の図12に示すような第1のCDFGが生成される。

【0104】次に、ステップST53で、解析情報に基づいて、アプリケーション全体を分割して、ブロックに
20 分割するためのモジュールを生成する。このとき、複数のノードによりモジュールが構成されている状態を示す第2のCDFGを生成し、これを記憶装置に格納しておく。ここで、第2のCDFG中の各ノードは、図12に示す第1のCDFG上のノードと同様に、比較器、加算器、乗算器などの演算器である。そして、これらの複数の演算器によって1つのモジュールが構成されている。

【0105】その後、ステップST54～ST63で、第2の実施形態におけるステップST33～ST43
30 (ステップST36を除く)と同様の処理を行なう。

【0106】すなわち、本実施形態においては、モジュール生成及びブロック生成がトランスフォーメーションの後で行なわれる点のみが、第2の実施形態と異なる。

【0107】したがって、本実施形態によっても、基本的には、上述の第2の実施形態と同様の効果を発揮することができる。

【0108】加えて、本実施形態では、トランスフォーメーションへの情報のフィードバックを行なってからモジュール分割、ブロック分割が可能となるので、後述するように、トランスフォーメーションによる設計の最適化を図ることができる利点がある。
40

【0109】(第4の実施形態)本実施形態においては、トランスフォーメーション～バインディングを行ってから、モジュール分割し、モジュール間の重みをアプリケーションレベルシミュレーションによって算出することで、ブロック生成を行なう方法について説明する。

【0110】図16は、本実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【0111】まず、ステップST71で、第1の実施形態と同様に、データベースからビヘイビア表記されたプログラムを取り込んで、プログラム中の字句、構文の解析を行なって、ビヘイビア表記の誤りがないかどうかを
チェックするとともに、ビヘイビア表記で表されているシステムに含まれる機能を調べる。そして、解析の結果得られた機能を解析情報として記憶装置に格納する。

【0112】次に、ステップST72で、解析情報を取り込んで、解析情報をHWライブラリに登録されたHW
資源によって回路に置き換えることができるように、上述のトランスフォーメーションを行なう。このトランスフォーメーションによって、上述の図12に示すような第1のCDFGが生成される。

【0113】次に、ステップST73で、スケジューリングを行ない、第1のCDFG中の処理(ノード)の実行タイミングをクロック・サイクルに割り当てて、図1
(d)又は図3(b)に示す第2のCDFGを生成する。

【0114】次に、ステップST74で、HWライブラリ中のHW規模情報を取り込んで、第3のCDFGから
上述のアロケーションを行なう。これにより、図1(e)又は図5(c)に示すような第1のHW資源接続グラフが生成される。

【0115】次に、ステップST75で、第1のHW資源接続グラフから上述のバインディングを行なう。この
とき、図1(f)又は図6(b)に示すような第2のHW資源接続グラフを生成するとともに、第2のHW資源接続グラフ中の各HW資源を制御するステートマシンを生成する。

【0116】次に、ステップST76で、第2のHW資源接続グラフを解析して、アプリケーション全体を分割して、ブロックを組み立てるためのモジュールを生成する。このとき、複数の演算器によりモジュールが構成されている状態を示す第3のHW資源接続グラフを生成し、これを記憶装置に格納しておく。

【0117】次に、ステップST77で、第3のHW資源接続グラフを取り込んで、実際のアプリケーションを動作させるアプリケーションレベルシミュレーションを行なう。このアプリケーションレベルシミュレーションにより、モジュール間配線のデータ通信量がわかる。

【0118】次に、ステップST78で、アプリケーションシミュレーションによって明らかになったプロファイル情報から算出される各モジュール間の信号線の重みを第1のモジュール間に信号線重み w として算出する。
すなわち、アプリケーションレベルシミュレーションにより、各モジュール間で、どのようなデータがどれぐらい転送されているのかということがプロファイル情報として得られるので、このモジュール間のデータ通信量の関数として、図13に示すような第1のモジュール間重
50 み w を算出する。

【0119】次に、ステップST79で、モジュール間信号線の重み情報を利用して、ブロックを生成する（グループ分け）。このブロックは、モジュール間信号線の重みから、各ブロックの入出力信号線のデータ通信量の総和ができるだけ小さくなるように生成される。

【0120】次に、ステップST80で、仮フロアプランを行なって、HWライブラリからHW規模情報を取り込んで、すでに説明した図7(a), (b)に示す方法によって、第3のHW資源接続グラフ中の各HW資源間の距離を求める。そして、第3のHW資源接続グラフ中の各HW資源の仮配置を行ない、仮配置情報を出力する。このとき、HW資源間の距離は、ほぼ配線長の大きな目安となる。

【0121】そして、ステップST81で、仮配線情報と第1のモジュール間信号線重みに基づいて、第2のモジュール間信号線重み w' を算出する。ここでは、大きな配線長がわかっているのので、第2のモジュール間信号線重みは、モジュール間のデータの通信量に配線長を乗じた値に基づいて算出することができる。具体的方法については、後述する。そして、図14に示すように、この第2のモジュール間信号線重み w' のうちブロック間配線となる部分の重みをブロック間信号線重み W とすることができる。

【0122】次に、ステップST82で、ブロック間信号線重み W が適正か否かを判断する。すなわち、ブロック間信号線重み W がその閾値よりも小さいか否かを判断し、すべてのブロック間信号線重みが閾値よりも小さければ（OK）、ステップST83に進んでHDLを出力する。

【0123】一方、ブロック間信号線重み W のうちの1つでも閾値以上であれば（NG）、ステップST79に戻ってブロックの生成からやり直す。すなわち、モジュールによるブロックの組み立て方を変更することにより、ブロック間信号線となるモジュール間信号線の一部を変更してから、再びステップST80～ST82の処理を実行する。

【0124】本実施形態においても、基本的には上記第1の実施形態と同様に、高位合成において、モジュール分割を通して、消費電力や遅延を考慮したブロック分割を行なうことができる。

【0125】特に、本実施形態においては、ステップST52～ST75のトランスフォーメーション、スケジューリング、アロケーション、バインディングによって、HW資源の接続関係が決定された後に、ステップST76, ST79で、モジュール生成、ブロック分割が行なわれる。すなわち、バインディング後のHW資源が割り当てられた時点でモジュール生成が行なわれるため、共有化が可能なHW資源は共有化するなど、モジュール自体がある程度最適化された複数の演算器によって構成されている。つまり、第1～第3の実施形態では、

モジュールやタスク間ではバインディングできなかったが、本実施形態においては、このようなモジュールやブロックが生成されていないので、第1のHW資源接続グラフ中の各HW資源を自由にバインディングすることができる。したがって、システム全体のHW資源を特に有効に活用しつつ、消費電力や遅延を考慮した設計効率の向上を図ることができる。

【0126】また、本実施形態では、トランスフォーメーション又はバインディングへの情報のフィードバックを行なってからモジュール分割、ブロック分割が可能となるので、後述するように、トランスフォーメーション又はバインディングによる設計の最適化を図ることができる利点がある。

【0127】（第5の実施形態）本実施形態においては、上記第1～第4の実施形態の少なくともいずれか1つの高位合成を行なった後の論理合成、配置配線を行なう方法について、以下の各具体例に沿って説明する。

【0128】－第1の具体例－

図17は、第1の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0129】まず、ステップST101で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0130】次に、ステップST102で、HDL中の論理ブロックをマクロセルの組み合わせによって構成されるネットリストに変換するための論理合成を行なう。ここでは、高位合成で分割されたブロック及び階層構造を保持するような論理合成が適用され、ネットリストにおいてもブロックと同じ認識可能な情報を保持するように論理合成を行なう。

【0131】次に、ネットリストの情報と、高位合成で得られた位置決定情報とを用いた配置配線（レイアウト設計）を行なう。すなわち、すでに説明した図8に示すフローに沿って、ブロック内への演算器などの配置及び配線と、各ブロックの配置及び各ブロック間の配線とが行なわれる。そして、最終的に半導体装置集積回路装置のレイアウトが出力される。

【0132】本具体例によると、高位合成において消費電力の削減や遅延の低減という観点から最適化されたブロック、モジュールなどの位置情報に基づいて、論理合成、配置配線を自動的に行なうことが可能になる。

【0133】－第2の具体例－

図18は、第2の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0134】まず、ステップST111で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0135】次に、ステップST112で、HDLを入

力して、配線の遷移頻度についてのシミュレーションを行なう。すなわち、HDLシミュレータを用いて、アプリケーションを実行させると、各信号線（配線）のトグル頻度（遷移頻度）が求まり、この遷移頻度は高位合成におけるアプリケーションレベルシミュレーションから得られる遷移頻度よりも精度の高い値である。そして、この配線遷移頻度についての情報を高位合成にフィードバックする。このフィードバックは、第2の実施形態においては、図11のステップST41における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、第3の実施形態においては、図15のステップST61における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、第4の実施形態においては、図16のステップST81における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、行なわれる。

【0136】その後、ステップST113、ST114で、上記第1の具体例と同様の論理合成、配置配線を行なう。

【0137】本具体例によると、アプリケーションレベルシミュレーションに比べてより精度の高いHDLシミュレーションによる配線遷移頻度の情報を、高位合成におけるブロック分割又は組み立てに反映させることができるので、第2回目以降の高位合成によって、設計精度がさらに向上する。よって、消費電力の削減や遅延の低減の効果の高いブロック分割又はブロックの組み立てを行なうことが可能になる。

【0138】－第3の具体例－

図19は、第3の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0139】まず、ステップST121で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0140】次に、ステップST122で、上記第1の具体例と同様の論理合成を行なう。次に、ステップST123で、論理合成によって得られたネットリストを用いて仮配線を行なった後、ステップST124で、論理シミュレータ上でアプリケーションを実行させることにより、仮配線シミュレーションを行なう。そして、この仮配線シミュレーションによって、配線のトグル数だけでなく、配線容量についても測定を行なう。そして、この配線遷移頻度及び配線容量についての仮配線情報を出力し、高位合成にフィードバックする。このフィードバックは、第2の実施形態においては、図11のステップST41における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、第3の実施形態においては、図15のステップST61における第2のモジュール間信号線重み及びブロック間信号

線重みの算出をやり直すように、第4の実施形態においては、図16のステップST81における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、行なわれる。

【0141】本具体例によると、アプリケーションレベルシミュレーションに比べてより精度の高い仮配線シミュレーションによる配線遷移頻度及び配線容量の情報を、高位合成におけるブロック分割又は組み立てに反映させることができるので、第2回目以降の高位合成によって、設計精度がさらに向上する。よって、消費電力の削減や遅延の低減の効果の高いブロック分割又はブロックの組み立てを行なうことが可能になる。

【0142】－第4の具体例－

図20は、第4の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0143】まず、ステップST131で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0144】次に、ステップST132、ST133で、上記第1の具体例と同様の論理合成、配置配線を行なう。

【0145】次に、ステップST134で、配置配線によって得られたレイアウト上の回路を用いて、論理シミュレータ又はSPICE上でアプリケーションを実行させることにより、実配線シミュレーションを行なう。そして、この実配線シミュレーションによって、配線のトグル数だけでなく、配線容量も測定する。そして、配線遷移頻度及び配置配線によるレイアウト情報としての配線容量についての実配線情報を出力し、高位合成にフィードバックする。このフィードバックは、第2の実施形態においては、図11のステップST41における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、第3の実施形態においては、図15のステップST61における第2のモジュール間信号線重み及びブロック間信号線重みの算出をやり直すように、第4の実施形態においては、図16のステップST81における第2のモジュール間信号線重み及びブロック間信号線重みの算出を再度やり直すように、行なわれる。

【0146】本具体例によると、仮配線シミュレーションに比べてより精度の高い実配線シミュレーションによる配線容量の情報を、高位合成におけるブロック分割又は組み立てに反映させることができるので、第2回目以降の高位合成によって、設計精度がさらに向上する。よって、消費電力の削減効果や遅延の低減効果の高いブロック分割又はブロックの組み立てを行なうことが可能になる。

【0147】－第5の具体例－

図21は、第5の具体例における論理合成、配置配線の

手順を示すフローチャートである。

【0148】まず、ステップST141で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0149】次に、ステップST142で、第2の具体例と同様に、HDLを入力して、配線の遷移頻度についてのシミュレーションを行なう。すなわち、HDLシミュレータを用いて、アプリケーションを実行させて、各信号線（配線）のトグル頻度（遷移頻度）を求め、この配線遷移頻度に関する情報を、上記第2の具体例において説明した各実施形態における高位合成のステップにフィードバックする。

【0150】次に、ステップST143で、上記第1の具体例と同様の論理合成を行なう。次に、ステップST144で、論理合成によって得られたネットリストを用いて仮配線を行なった後、ステップST145で、上記第3の具体例と同様に、論理シミュレータ上でアプリケーションを実行させることにより、仮配線シミュレーションを行なう。そして、この仮配線シミュレーションによって、得られた配線遷移頻度及び配線容量についての仮配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第3の具体例と同様に行なわれる。

【0151】本具体例によると、まず、シミュレーション時間が比較的短く、出力情報の精度の低いHDLシミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第1の閾値Xよりも小さくなるようにブロック分割の精度が高められる。次に、シミュレーション時間が中程度でシミュレーション精度が中程度の仮配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第2の閾値Yよりも小さくなるようにブロック分割の精度がさらに高められる。

【0152】そして、このような2種類のフィードバック情報を高位合成に利用することにより、設計の手戻り回数を低減することができる。

【0153】—第6の具体例—

図22は、第6の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0154】まず、ステップST151で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0155】次に、ステップST152で、第2の具体例と同様に、HDLを入力して、配線の遷移頻度についてのシミュレーションを行なう。すなわち、HDLシミュレータを用いて、アプリケーションを実行させて、各信号線（配線）のトグル頻度（遷移頻度）を求め、この

配線遷移頻度に関する情報を、上記第2の具体例において説明した各実施形態における高位合成中のステップにフィードバックする。

【0156】次に、ステップST153、ST154で、上記第1の具体例と同様の論理合成、配置配線を行なう。次に、ステップST155で、配置配線によって得られたレイアウト上の回路を用いて、論理シミュレータ又はSPICE上でアプリケーションを実行させることにより、実配線シミュレーションを行なう。そして、この実配線シミュレーションによって、配線のトグル数だけでなく、配線容量も測定する。そして、配線遷移頻度及び配置配線によるレイアウト情報としての配線容量についての実配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第4の具体例と同様に行なわれる。

【0157】本具体例によると、まず、シミュレーション時間が比較的短く、出力情報の精度の低いHDLシミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第1の閾値Xよりも小さくなるようにブロック分割の精度が高められる。次に、シミュレーション時間が比較的長くシミュレーション精度が高い実配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第2の閾値Zよりも小さくなるようにブロック分割の精度がさらに高められる。

【0158】そして、このような2種類のフィードバック情報を高位合成に利用することにより、設計の手戻り回数を低減することができる。

【0159】—第7の具体例—

図23は、第7の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0160】まず、ステップST161で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報とが得られる。

【0161】次に、ステップST162で、第1の具体例と同様の論理合成を行なう。次に、ステップST163で、論理合成によって得られたネットリストを用いて仮配線を行なった後、ステップST164で、上記第3の具体例と同様に、論理シミュレータ上でアプリケーションを実行させることにより、仮配線シミュレーションを行なう。そして、この仮配線シミュレーションによって、得られた配線遷移頻度及び配線容量についての仮配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第3の具体例と同様に行なわれる。

【0162】次に、ステップST165で、上記第1の具体例と同様の配置配線を行なう。次に、ステップST166で、配置配線によって得られたレイアウト上の回路を用いて、論理シミュレータ又はSPICE上でアプ

リケーションを実行させることにより、実配線シミュレーションを行なう。そして、この実配線シミュレーションによって、配線のトグル数だけでなく、配線容量も測定する。そして、配線遷移頻度及び配置配線によるレイアウト情報としての配線容量についての実配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第4の具体例と同様に行なわれる。

【0163】本具体例によると、まず、シミュレーション時間が中程度で出力情報の精度も中程度の仮配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第1の閾値Yよりも小さくなるようにブロック分割の精度が高められる。次に、シミュレーション時間が比較的長くシミュレーション精度が高い実配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第2の閾値Zよりも小さくなるようにブロック分割の精度がさらに高められる。

【0164】そして、このような2種類のフィードバック情報を高位合成に利用することにより、設計の手戻り回数を低減することができる。

【0165】—第8の具体例—

図24は、第8の具体例における論理合成、配置配線の手順を示すフローチャートである。

【0166】まず、ステップST171で、アプリケーションプログラムを入力して、上記各実施形態の高位合成を行なう。その結果、上述のようなHDLと位置決定情報が得られる。

【0167】次に、ステップST172で、第2の具体例と同様に、HDLを入力して、配線の遷移頻度についてのシミュレーションを行なう。すなわち、HDLシミュレータを用いて、アプリケーションを実行させて、各信号線（配線）のトグル頻度（遷移頻度）を求め、この配線遷移頻度に関する情報を、上記第2の具体例において説明した各実施形態における高位合成のステップにフィードバックする。

【0168】次に、ステップST173で、第1の具体例と同様の論理合成を行なう。次に、ステップST174で、論理合成によって得られたネットリストを用いて仮配線を行なった後、ステップST175で、上記第3の具体例と同様に、論理シミュレータ上でアプリケーションを実行させることにより、仮配線シミュレーションを行なう。そして、この仮配線シミュレーションによって、得られた配線遷移頻度及び配線容量についての仮配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第3の具体例と同様に行なわれる。

【0169】次に、ステップST176で、上記第1の具体例と同様の配置配線を行なう。次に、ステップST177で、配置配線によって得られたレイアウト上の回路を用いて、論理シミュレータ又はSPICE上でアプ

リケーションを実行させることにより、実配線シミュレーションを行なう。そして、この実配線シミュレーションによって、配線のトグル数だけでなく、配線容量も測定する。そして、配線遷移頻度及び配置配線によるレイアウト情報としての配線容量についての実配線情報を出力し、高位合成にフィードバックする。このフィードバックは、上記第4の具体例と同様に行なわれる。

【0170】本具体例によると、上述のHDLシミュレーションを行なうことによる効果に加えて、まず、シミュレーション時間が中程度で出力情報の精度も中程度の仮配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第2の閾値Yよりも小さくなるようにブロック分割の精度が高められる。さらに、シミュレーション時間が比較的長くシミュレーション精度が高い実配線シミュレーションの出力を高位合成にフィードバックすることで、高位合成におけるブロック間信号線重みが第3の閾値Zよりも小さくなるようにブロック分割の精度がさらに高められる。

【0171】そして、このような3種類のフィードバック情報を高位合成に利用することにより、設計の手戻り回数も低減することができる。

【0172】（第6の実施形態）本実施形態においては、上記第1～第4の実施形態に限らずに、高位合成一般に適用しうるブロックの生成（分割又は組み立て）方法や、ブロックの再分割方法について説明する。ただし、本実施形態の方法は、上記第1～第4の実施形態におけるブロックの生成（分割又は組み立て）や、図9のステップST15及びST22、図11のステップST42、図15のステップST62及び図16のステップST82の判別によるフィードバック（第5の実施形態におけるHDL生成後のシミュレーションによる情報のフィードバックを受けたときを含む）を受けてブロックを再分割するときの処理方法にも適用することができる。

【0173】—ブロック分割及び再分割—

図25(a)、(b)は、高位合成において行なわれる本実施形態のブロックの分割、再分割の例を示す図である。

【0174】図9に示すフローにおいて、ステップST12で、情報のフィードバックがまだ入力されていない最初の処理においては、すでに説明したように、アプリケーションプログラムのビヘイビア表記の字句、構文の解析を行なった結果に基づいて機能的に意味のある処理を1つのタスクとする第1のCDFG（タスクグラフ）を生成する。このタスクは1つ以上のサブタスクにより構成されている。このサブタスクは、モジュール生成を行なう第2、第3、第4の実施形態においては、モジュールに相当するものである。例えば、図25(a)に示すように、TaskB内に、Sub-TaskB0、Sub-TaskB1、Sub-

TaskB2が含まれているとする。TaskA, TaskCにもサブタスクが含まれているが、図25(a), (b)にはそれらの図示が省略されている。図25(a), (b)に示すアーク(矢印)はデータ通信を意味する。また、タスクグラフ中の各タスクは1つのHWブロックに対応し、あるブロックから別のブロックに至るアークはブロック間配線に対応する。アプリケーションのプログラムのシミュレーション結果から得られる実行プロファイルや実行トレースなどの情報のフィードバックにより、タスク間のデータ通信量(ブロック間配線の遷移頻度)を推定することができる。

【0175】具体的な例でいうと、図9のステップST12でフィードバック情報がない最初のブロック分割は、生成されたタスクグラフに基づいて行なう。このとき、アークに対応する配線長や、配線遷移頻度はまだわかっていないので、初期値としてある値を与える。この初期値は、一律に与えてもよいし、すでに優先的に配置したいタスクが判明している場合には、そのタスクが優先的に配置されるように与える。

【0176】その後、例えば図9のステップST15からのフィードバックを受ける場合には、アプリケーションレベルシミュレーションによってタスク間のデータ通信量(ブロック間配線の遷移頻度)がある程度具体的に判るので、これを用いてブロックの再分割を行なうことになる。たとえば、図9のステップST22, 図11のステップST42, 図15のステップST62及び図16のステップST82からのフィードバックの際には、ブロック間の距離(図25(a)に示すアークの長さ)がわかっているので、配線長と配線遷移頻度とを考慮して初期値に対する重み付けを行ない、アークに対応する配線長と、配線遷移頻度を用いて初期値を更新する。これにより、各タスクの配置後における各タスク間のアーク(ブロック間配線)に対応する配線長、配線遷移頻度が求まるので、次の過程では、この値に基づいてブロックの再分割(又は統合)を行なうことができる。また、例えば、第5の実施形態におけるHDLシミュレーション後のフィードバックを受けた後に、さらにステップST22などからのフィードバックを受けてブロック再分割を行なう場合には、ブロック間配線の遷移頻度がより正確にわかっている。さらに、例えば、第5の実施形態における仮配線シミュレーション又は実配線シミュレーション後のフィードバックを受けた後に、さらにステップST22などからのフィードバックを受けてブロックの再分割を行なう場合には、配線遷移頻度、配線長及び配線容量がわかっているので、これらすべてを考慮した重み付けが可能となる。

【0177】例えば、図25(a)において、TaskAからTaskBへのアークの遷移頻度あるいはデータ転送量が大きく、一方、Sub-TaskB0からSub-TaskB1へのデータ転送量が少ないことが判明したとする。このような場合と

しては、TaskAから大量の配列データ(ベクトルデータ)が転送され、Sub-TaskB0ではTaskAから送られてくる配列データに対して処理を行ない、最終的な結果として1つの値をSub-TaskB1に渡すような処理を行なう場合がある。このような関係が各タスク間にある場合には、TaskB内のSub-TaskB0をTaskAのブロック内に移動させることにより、TaskAのブロックとTaskBのブロックとの間におけるデータ転送量、あるいは配線遷移頻度を低減することができる。つまり、配線長の長いブロック間配線におけるデータ転送量又は配線遷移頻度を低減することで、システムの消費電力や遅延の低減を図ることができる。

【0178】一重み付け計算一

① 配線長

図26(a), (b)は、ブロック間信号線重みの計算方法を示す図である。最初の処理において、図26

(a)に示すように、TaskM, N, O, L, Kが分割されたものとする。このとき、各ブロック間のアーク(ブロック間配線)に対する配線長の初期値 L_i が設定されている。例えば、TaskM-N間配線の配線長の初期値 L_{i-mn} と、TaskN-O間配線の配線長の初期値 L_{i-no} と、TaskM-L間配線の配線長の初期値 L_{i-ml} と、TaskL-K間配線の配線長の初期値 L_{i-lk} とが設定されているものとする。このとき、フィードバック情報として、実配線長、仮配線長、位置情報などが与えられると、図26(b)に示すように、各ブロック間の配線長、位置情報の値を正規化した比率 α (α_{mn} , α_{no} , α_{ml} , α_{lk})を初期値 L_i に掛けることにより、新たなブロック間配線情報(図26(b)に示す値)を生成する。文献“Neil H.E. Weste, Kamran Eshraghian, Principles of CMOS VLSI Design, A System Perspective, Second Edition Addison-Wesley Publishing Company”の“4.3 Capacitance Estimation”にあるように、配線遅延は配線長に比例する関数であるので、配線遅延を抑制するためには配線長情報を用いることが有効である。もちろん、与えられたフィードバック情報で初期値 L_i を置き換えることで、新たなブロック間配線情報を生成することも可能である。特に、実配線長がフィードバックされる場合には、実際の値を使用する方が推定精度が向上する。そして、ブロック間配線長 L と許容される上限値 L_{max} (閾値)とを比較することにより、例えば、図11のステップST42, 図15のステップST62及び図16のステップST82のような判別を行なうことができる。つまり、 $L \leq L_{max}$ である場合には次のステップに進み、 $L > L_{max}$ の場合には、 $L \leq L_{max}$ になるように、ブロックの再組み立て又はブロックの再分割を行なうことができる。

【0179】② 配線遷移頻度

第1の実施形態においては、最初のブロック分割(生成)において与えられた各ブロック間のアークに対する

ブロック間信号線情報に対して、フィードバックされたブロック間信号線情報に配線遷移頻度を正規化した比率 β (β_{mn} , β_{no} , β_{ml} , β_{lk})を掛けることにより、新たなブロック間配線遷移頻度情報 S (S_{mn} , S_{no} , S_{ml} , S_{lk})を生成する。これにより、各ブロック間配線における消費電力の概略値を演算することが可能になる。

【0180】“Principles of CMOS VLSI Design, A System Perspective, Second Edition”の“4.7 Power Dissipation”に記載されているように、回路のダイナミック消費電力は配線の遷移頻度に比例する関数である。つまり、配線の遷移率 a 、配線容量 C 、電源電位 V 、周波数 f における各配線の消費電力 P は、下記式 $P = a \cdot C \cdot V^2 \cdot f$

で表される。したがって、消費電力を抑制するためには、この新たな配線遷移頻度情報を利用することは有効であることがわかる。

【0181】また、最初のブロック間配線情報(配線遷移頻度)に対して、正規化した比率 β ではなく遷移頻度そのものを掛けることや、シミュレーション等で得られたより正確な遷移頻度で置き換えることも可能である。そして、各ブロック間配線における消費電力の総和(ΣP)と許容される上限値 P_{max} とを比較することにより、図9のステップST15のような判別を行なうことができる。すなわち、各ブロック間配線の消費電力の総和(ΣP)が上限値 P_{max} を越えない場合($\Sigma P \leq P_{max}$)には次のステップに進み、各ブロック間配線の消費電力の総和(ΣP)が上限値 P_{max} を越える場合($\Sigma P > P_{max}$)にはブロックの再分割又は再組み立てを行なうことができる。

【0182】ただし、図9のステップST22、図11のステップST42、図15のステップST62及び図16のステップST82においても、配線遷移頻度のみを考慮したブロック間信号線重みの可否判断を行なうことが可能である。また、第1の実施形態においては、仮フロアプランによってある程度のブロック間距離がわかってからは、配線遷移頻度だけでなく配線長や配線容量を組み込んで、図9のステップST22における重み付けの可否判断が可能になる。

【0183】③ 配線容量

最初のブロック分割(生成)において与えられた各ブロック間のアークに対するブロック間信号線情報に対して、フィードバックされたブロック間信号線情報に配線容量を正規化した比率 γ (γ_{mn} , γ_{no} , γ_{ml} , γ_{lk})を掛けることにより、新たなブロック間配線容量情報 T (T_{mn} , T_{no} , T_{ml} , T_{lk})を生成する。

【0184】上記式 $P = a \cdot C \cdot V^2 \cdot f$ から明らかに、回路のダイナミック消費電力は配線容量に比例する関数である。したがって、消費電力を抑制するためには、配線容量情報を利用することは有効であること

がわかる。ただし、配線容量は配線長から近似的に算出することができる。

【0185】また、最初のブロック間配線容量情報に対して、正規化した比率 γ ではなく配線容量そのものを掛けることや、シミュレーション等で得られたより正確な配線容量で置き換えることも可能である。そして、各ブロック間配線における消費電力の総和(ΣP)と許容される上限値 P_{max} とを比較することにより、図9のステップST22、図11のステップST42、図15のステップST62及び図16のステップST82のような判別を行なうことができる。すなわち、各ブロック間配線の消費電力の総和(ΣP)が上限値 P_{max} を越えない場合($\Sigma P \leq P_{max}$)には次のステップに進み、各ブロック間配線の消費電力の総和(ΣP)が上限値 P_{max} を越える場合($\Sigma P > P_{max}$)にはブロックの再分割又は再組み立てを行なうことができる。

【0186】④ 配線長&配線遷移頻度、配線容量&配線遷移頻度

上述の配線長、配線遷移頻度、配線容量というパラメータについて、これらのパラメータを単独ではなくいくつかを組み合わせることでブロック間配線重みを判断することができる。

【0187】すなわち、ブロック間信号線重みの初期値に対して、上述のような各パラメータについての正規化された比率を掛けることや、フィードバック情報そのものを利用する(置き換える)ことができる。配線容量は、配線の単位長さ当たりの容量を $C_{unit-length}$ とすると、配線長に比例する関数として表される。また、配線遅延は、配線の抵抗成分(R)と容量(C)との関数である。そして、図9のステップST22、図11のステップST42、図15のステップST62、図16のステップST82において、これらをすべて組み込んだブロック間信号線重みに基づいて、ブロック分割の可否判断を行なうことができる。したがって、これらを組み合わせることで、配線遅延と消費電力との双方に関するより詳細なブロック間配線情報が得られるので、遅延時間、消費電力の値の精度が向上することになる。

【0188】(第7の実施形態)本実施形態においては、上記第5の実施形態におけるHDL生成後の各種シミュレーションの結果得られた情報を、第1〜第4の実施形態におけるブロック間信号線重みの算出ステップではなく、トランスフォーメーションやバインディングのステップに戻す例について説明する。

【0189】ここで、情報のフィードバック経路について説明する。配線遷移頻度又は仮配線情報又は実配線情報をフィードバックする信号線は、モジュール間又はブロック間を接続する信号線であり、この信号線としては、例えばバス、グローバル配線(割り込みなど)がある。そして、モジュール内の信号線は、高位合成過程に

において最適化されているために、上述のフィードバックを行なう対象とはしない。

【0190】フィードバックする情報としては、HDLシミュレーションの結果得られる配線遷移頻度情報、仮配線シミュレーションの結果得られる仮配線情報、実配線シミュレーションの結果得られる実配線情報がある。

【0191】配線遷移頻度情報は、HDLレベルにおける論理シミュレーション（HDLシミュレーション）の結果得られるモジュール間の配線に関する遷移頻度（遷移頻度及びアクティブ頻度）を含んでいる。

【0192】仮配線情報は、仮配線後におけるSPICEなどを利用した回路シミュレーションの結果得られるモジュール間配線の長さ（配線容量）、遷移頻度（あるいは配線遷移頻度及びアクティブ頻度の双方）を含んでいる。

【0193】実配線情報は、実配線後におけるSPICEなどを利用した回路シミュレーションの結果得られるモジュール間配線の長さ（配線容量）、遷移頻度（あるいは配線遷移頻度及びアクティブ頻度の双方）を含んでいる。

【0194】そこで、以下の具体例においては、HDL生成後におけるシミュレーションの結果得られた情報をトランスフォーメーション又はバインディングにフィードバックする方法について説明する。

【0195】－第1の具体例（トランスフォーメーションへのフィードバック）－高位合成は、動作レベル（ビヘイビアレベル）のハードウェア記述言語（HDL）、機能ブロック図等のスキマティック、C言語などの高級言語などによって表されたシステムを、レジスタ・トランスファ・レベル（RTL）のHDLを生成する処理といえる。このように、抽象度の高いビヘイビア表記から抽象度の低いRTL記述を得るために、高位合成では、ビヘイビア表記の意味を壊さない範囲で、ハードウェアで実現可能なレベルにシステムの表現を変換する。この処理は、C言語などの高級言語をオブジェクトコードに変換するコンパイル処理の過程と共通の要素を有している。

【0196】ここで、本発明の各実施形態におけるトランスフォーメーションの処理とは、高級言語のコンパイラで一般に行なわれるフロントエンド処理中の中間言語のレベルでの式の変換に相当する。このフロントエンド処理は、刊行物「コンパイラ I, II 原理・技法・ツール、A. V. エイホ、R. セシイ、J. D. ウルマン 著、原田賢一約、サイエンス社」に記載されている。また、トランスフォーメーションの前処理、すなわち、字句解析、構文解析などの処理はコンパイラのフロントエンド処理で行なわれている処理と類似している。

【0197】このトランスフォーメーションは、すでに説明したように、数式への交換則や分配則の適用、関数のインライン展開、ループの1重化、ループ内に存在す

る定数のループ外への移動など、コンパイラにおける種々の技法を利用して行なわれる。

【0198】図27(a)、(b)は、トランスフォーメーションにおける分配則の適用により消費電力の削減を図る例を示す図である。図27(a)に示すように、演算 $A = B \times C + B \times D$ を行なう機能を有する回路ブロックが、2つの乗算器と1つの加算器により構成されている場合、フィードバックされた各信号線の消費電力の総和（つまりこの回路全体の消費電力）が閾値よりも大きいときには、分配則を適用して、図27(b)に示す回路に変形することができる。この変形により、活性化される信号線の数（つまり容量）が低減されるので、回路全体の消費電力も削減される。

【0199】図28(a)、(b)は、トランスフォーメーションにおけるインライン展開の適用により消費電力の削減を図る例を示す図である。図28(a)に示すように、functionAがprogPとprogQとにおいて使用されている場合、progPとprogQとをハードウェア化する際には、両者がfunctionAという共通の演算機能を有しているので、functionAをprogPとprogQとが共有する演算モジュールとしてハードウェア化することがある。しかし、functionAを共有HW資源として抜き出すことにより、全体としての配線長が長くなって信号線部分の消費電力が増大することもある。かかる場合には、図28(b)に示すように、インライン展開することにより、共有していた演算モジュールを個別に持たせることができる。このインライン展開により、functionAの演算モジュールが各回路ブロック毎に必要となるが、例えば演算モジュール毎に、Gated Clock や電圧制御などを適用することにより、消費電力を抑制することができる。また、回路面積が増大することになるが、チップ全体として許容範囲内であればインライン展開を実施する方が有利である。

【0200】したがって、回路規模の増大が問題とならない範囲で、増設された演算モジュールを各々有する回路ブロックの消費電力を抑制することができるのであれば、このようなインライン展開により回路全体としての消費電力の削減を実現することができる利点がある。

【0201】－第2の具体例（バインディングへのフィードバック）－

バインディングは、アロケーションでCDFGの各節に割り当てられた演算器などのモジュールに関し、複数の節で共通のモジュールがあれば、これらをリソースシェアリング（資源の共有化）するかしらないかを判断し、最終的なデータベースの決定と制御のためのステートマシンを生成する工程である。

【0202】ここで、再バインディングを行なうか行なわないかは、フィードバックされた情報に基づいて、求められた信号線の総消費電力と最大遅延とが予め定められた目標範囲に収まっているか否かによる。すなわち、

これらのパラメータが目標範囲に収まっていれば再バインディングを行なわないが、目標範囲に収まっていない場合には、再バインディングを実行する。

【0203】図29(a), (b)は、再バインディングを行なう過程を説明する図である。再バインディングを行なう際の最適化の方向性(戦略)としては、できるだけリソースシェアリング(資源の共有化)を行なわないようにする。その理由は、リソースシェアリングを行なっていると、リソースシェアリングされるモジュールが抜き出されるために、図29(a)に示すように、共有化しているモジュール(共有HW資源)とこれに接続される周辺のモジュールとを接続する信号線が長くなり、配線の総消費電力や配線遅延が大きくなるからである。そこで、総消費電力や配線遅延が大きい場合には、図29(b)に示すように、非共有化を図ることが好ましい。ただし、この場合にも、第2の具体例と同様に、HW資源の非共有化によって回路面積が問題になるほどは増大しないことが前提である。

【0204】

【発明の効果】本発明の半導体集積回路装置の設計方法によれば、ビヘイビア表記を含むアプリケーションプログラムを入力した後、ブロック、HW資源接続グラフを生成してから、HW資源接続グラフ中のHW資源の仮配置を行なうとともに、ブロック間を接続する各配線における消費電力、遅延のうち少なくともいずれか一方に影響するパラメータの比率をブロック間信号線重みとして算出し、各ブロック間信号線重みが閾値以下になるまでブロックの再分割をおこなってから、RTLレベルの記述を含むHDLを出力するようにしたので、設計の上流側である高位合成において、アプリケーションプログラム中の記述や人の経験に基づく判断に基づくブロック分割の代わりに、消費電力や遅延などに影響するパラメータの適正化を定量的に判断しうるブロック分割を効率よく行なうことができ、よって、設計全体としての効率の向上を図ることができる。

【図面の簡単な説明】

【図1】(a)は本発明で利用する高位合成の流れを示すフローチャート図、(b)～(e)は、各ステップにおいて出力されるデータの一例を示す図である。

【図2】(a)～(d)は、トランスフォーメーションの過程を示す図である。

【図3】(a), (b)は、一般的なスケジューリングの過程を示す図である。

【図4】(a), (b)は、パイプライン化スケジューリングを説明するための図である。

【図5】(a)～(c)は、アロケーションの過程を説明するための図である。

【図6】(a), (b)は、バインディングの過程を説明するための図である。

【図7】(a), (b)は、それぞれブロックの大きさ

とブロック間距離とを見積もる方法を示す図である。

【図8】配置配線の手順の一例を概略的に示すフローチャートである。

【図9】第1の実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【図10】(a), (b)は、第1の実施形態において生成される第1のCDFG及び各ノードの内容を示す図である。

【図11】第2の実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【図12】第2の実施形態において生成される第1のCDFGを示す図である。

【図13】第2～第4の実施形態におけるモジュール間を接続する信号線の第1のモジュール間信号線重みを説明するための図である。

【図14】第2～第4の実施形態におけるブロックの分割された状態及びブロック間信号線重みを示す図である。

【図15】第3の実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【図16】第4の実施形態における半導体集積回路装置の設計方法の手順を示すフローチャートである。

【図17】第5の実施形態の第1の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図18】第5の実施形態の第2の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図19】第5の実施形態の第3の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図20】第5の実施形態の第4の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図21】第5の実施形態の第5の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図22】第5の実施形態の第6の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図23】第5の実施形態の第7の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図24】第5の実施形態の第8の具体例における論理合成、配置配線の手順を示すフローチャートである。

【図25】(a), (b)は、高位合成において行なわれる第6の実施形態のブロックの分割、再分割の例を示す図である。

【図26】(a), (b)は、第6の実施形態におけるブロック間信号線重みの計算方法を示す図である。

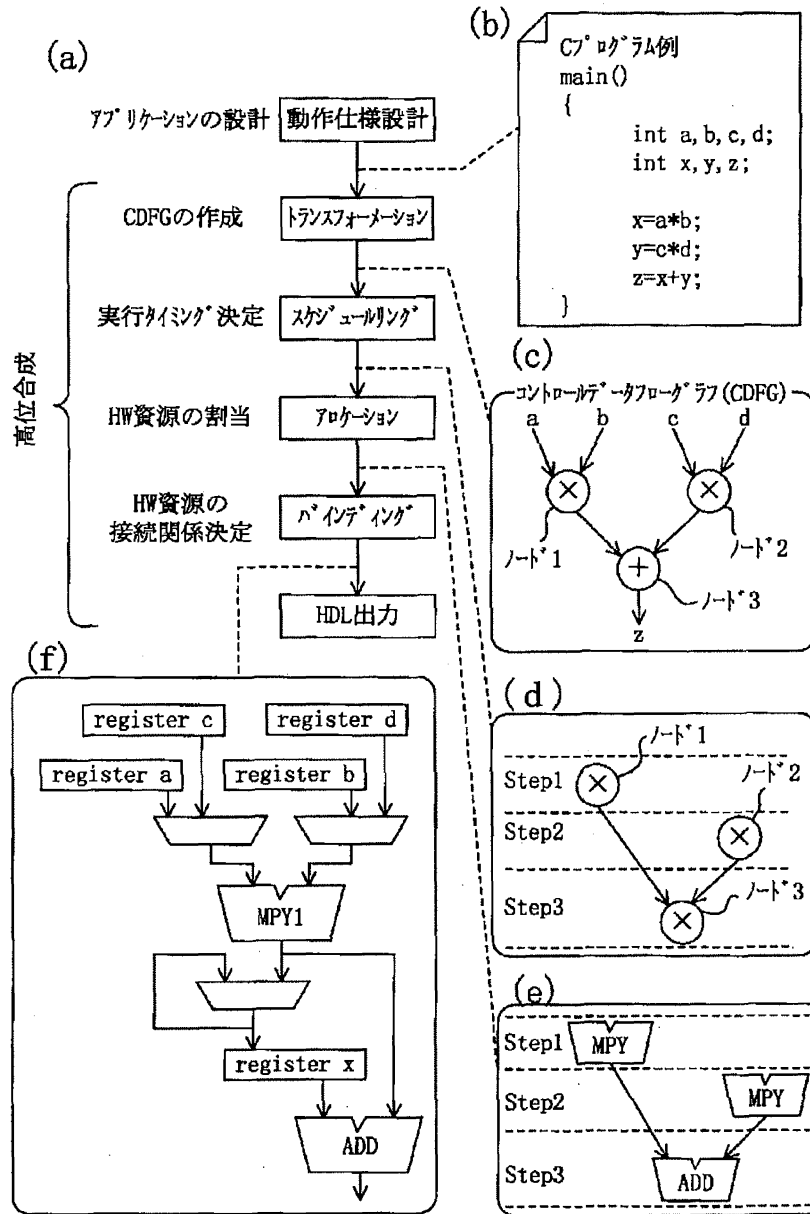
【図27】(a), (b)は、第7の実施形態におけるトランスフォーメーションにおける分配則の適用により消費電力の削減を図る例を示す図である。

【図28】(a), (b)は、第7の実施形態におけるトランスフォーメーションにおけるインライン展開の適用により消費電力の削減を図る例を示す図である。

【図29】(a), (b)は、第7の実施形態における

再バインディングを行なう過程を説明する図である。

【図1】



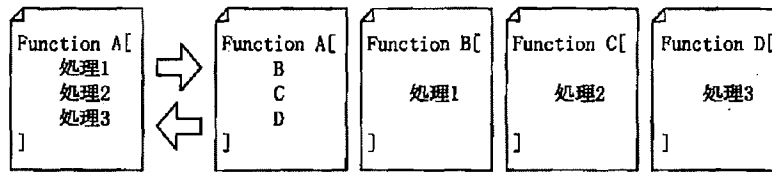
【図2】

(a) 分配則・交換則に基づく演算数や段数の削減

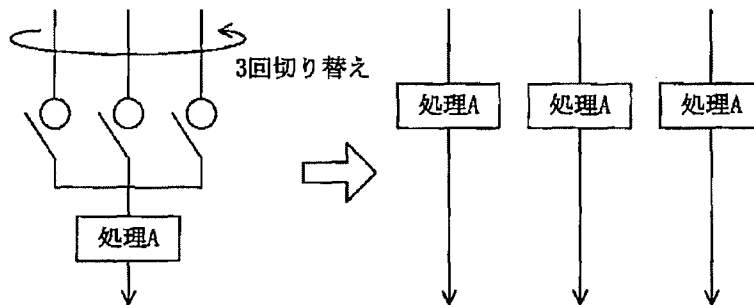
$$A \times B + A \times C \longrightarrow A \times (B + C)$$

$$((A + B) + C) + D \longrightarrow (A + B) + (C + D)$$

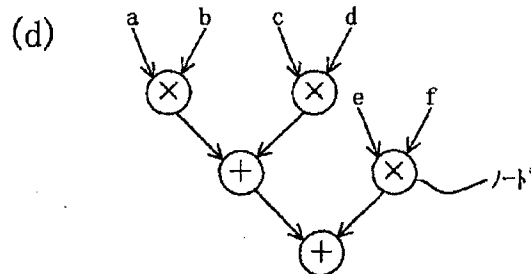
(b) 設計の階層化・非階層化



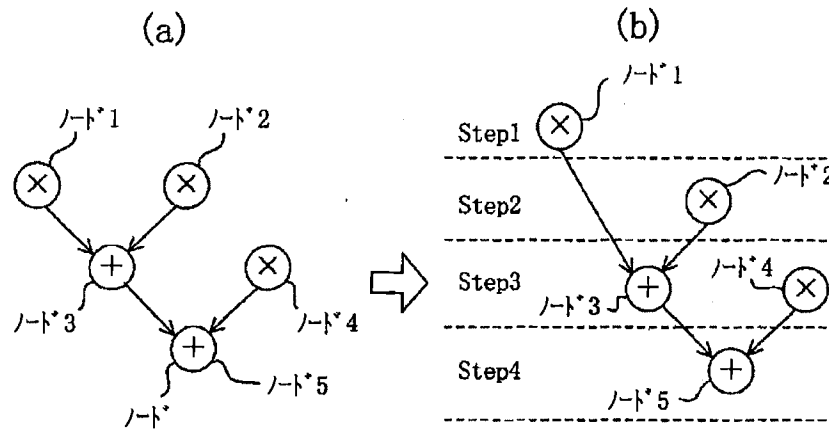
(c) ループの展開



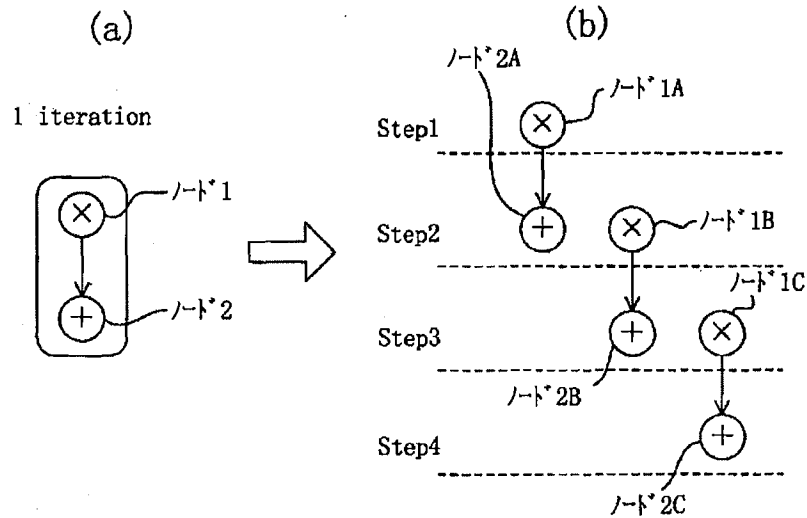
トランスフォーメーションの結果
CDFG(Control Data Flow Graph)が出力される



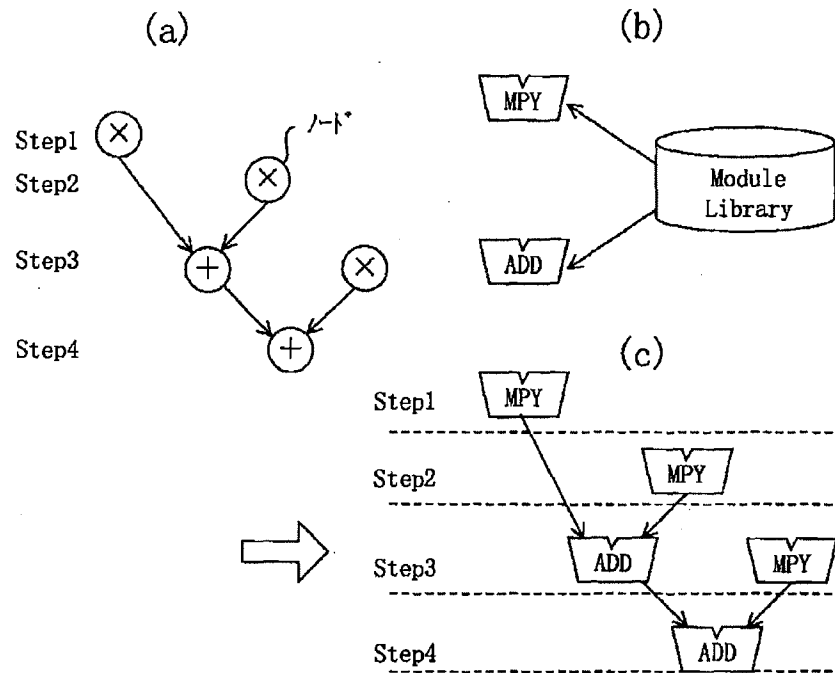
【図3】



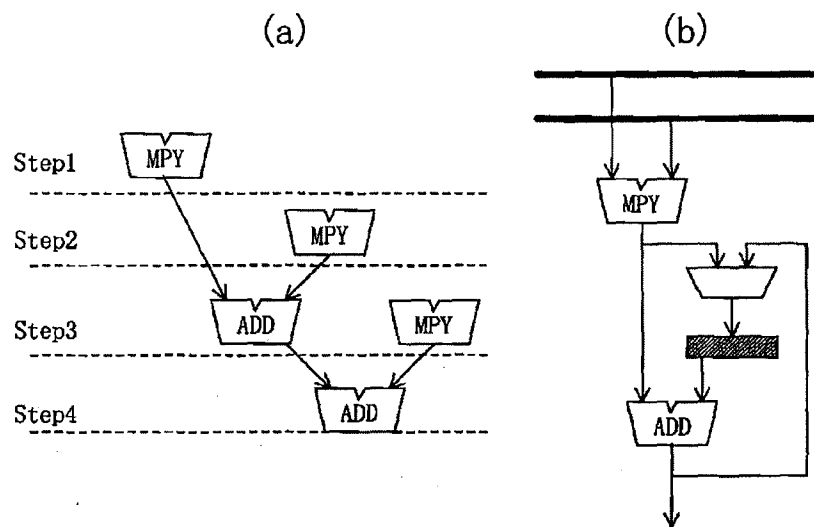
【図4】



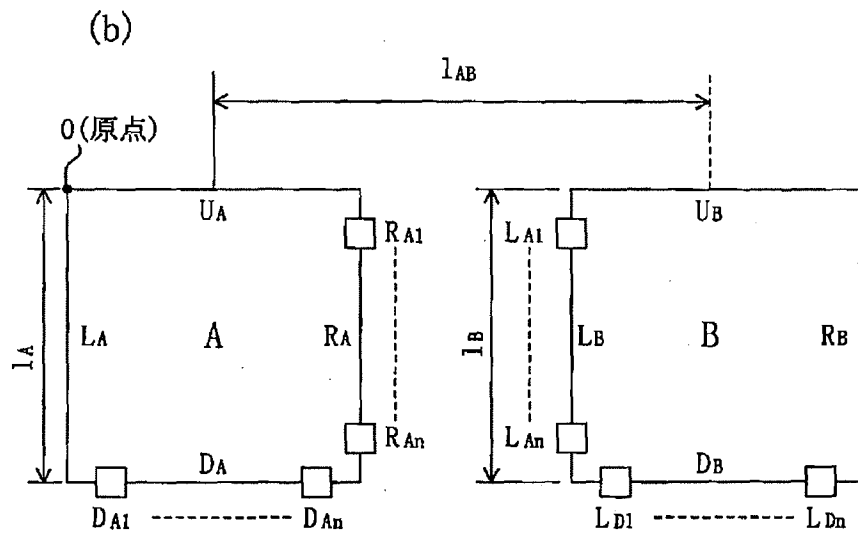
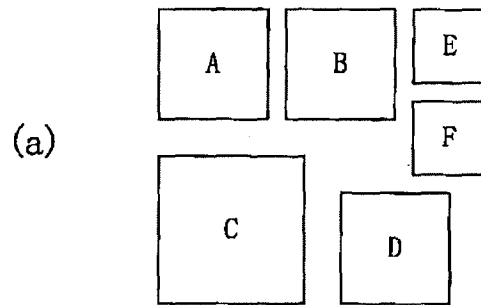
【図 5】



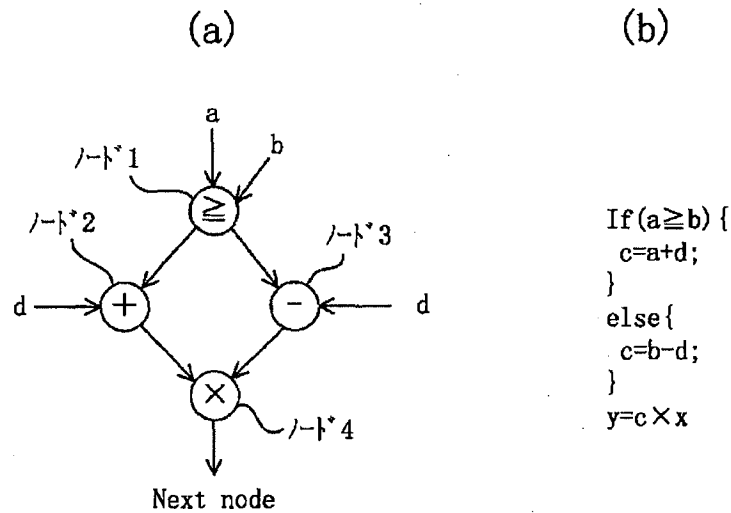
【図 6】



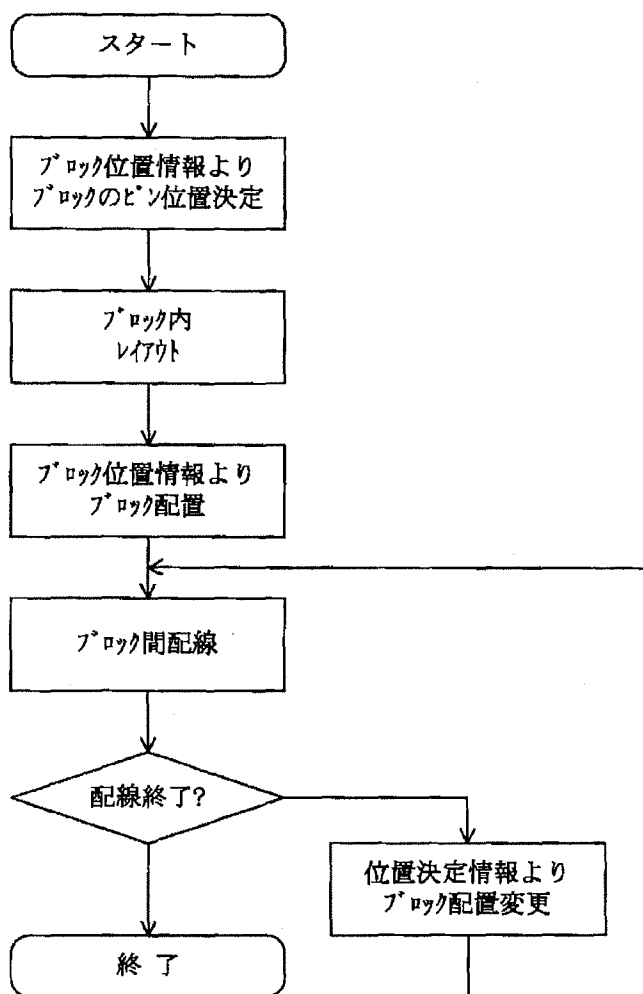
【図7】



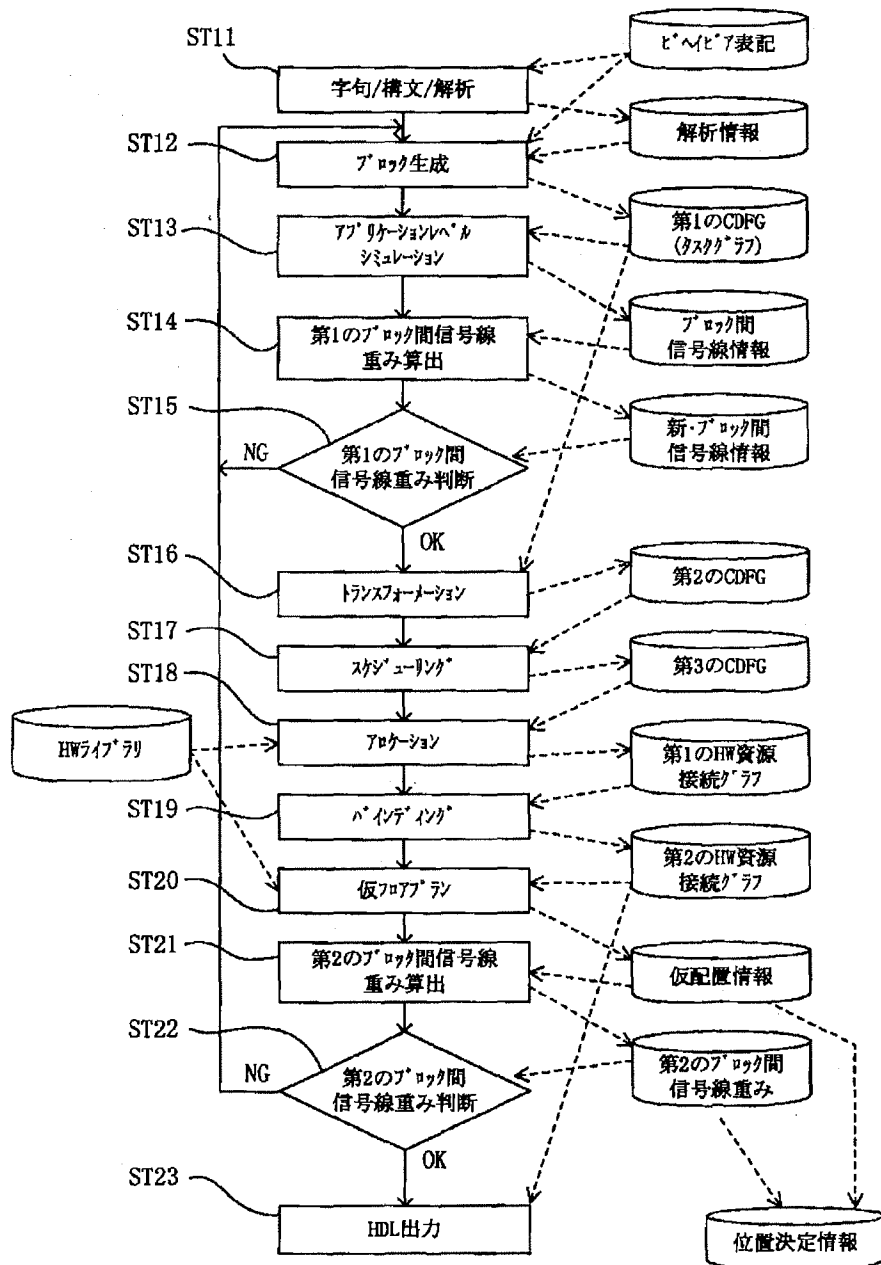
【図12】



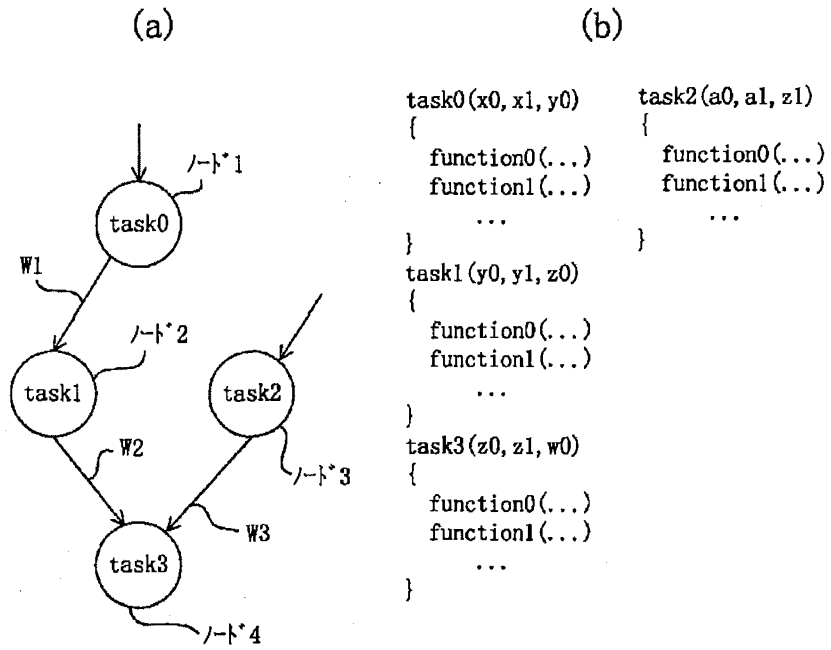
【図8】



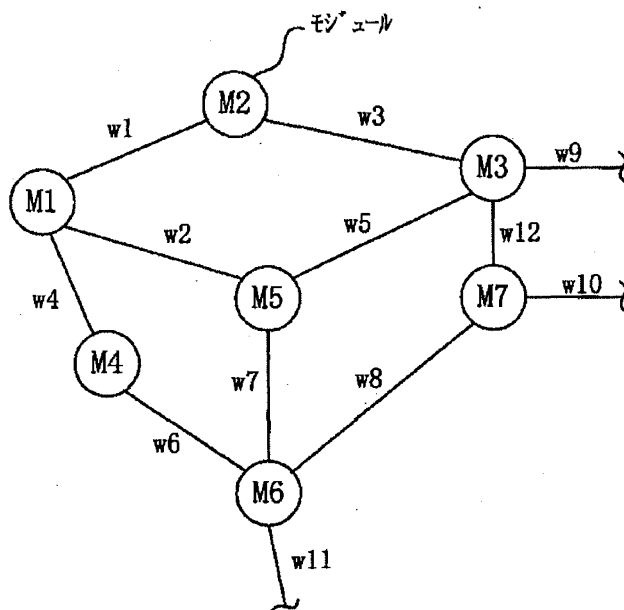
【図 9】



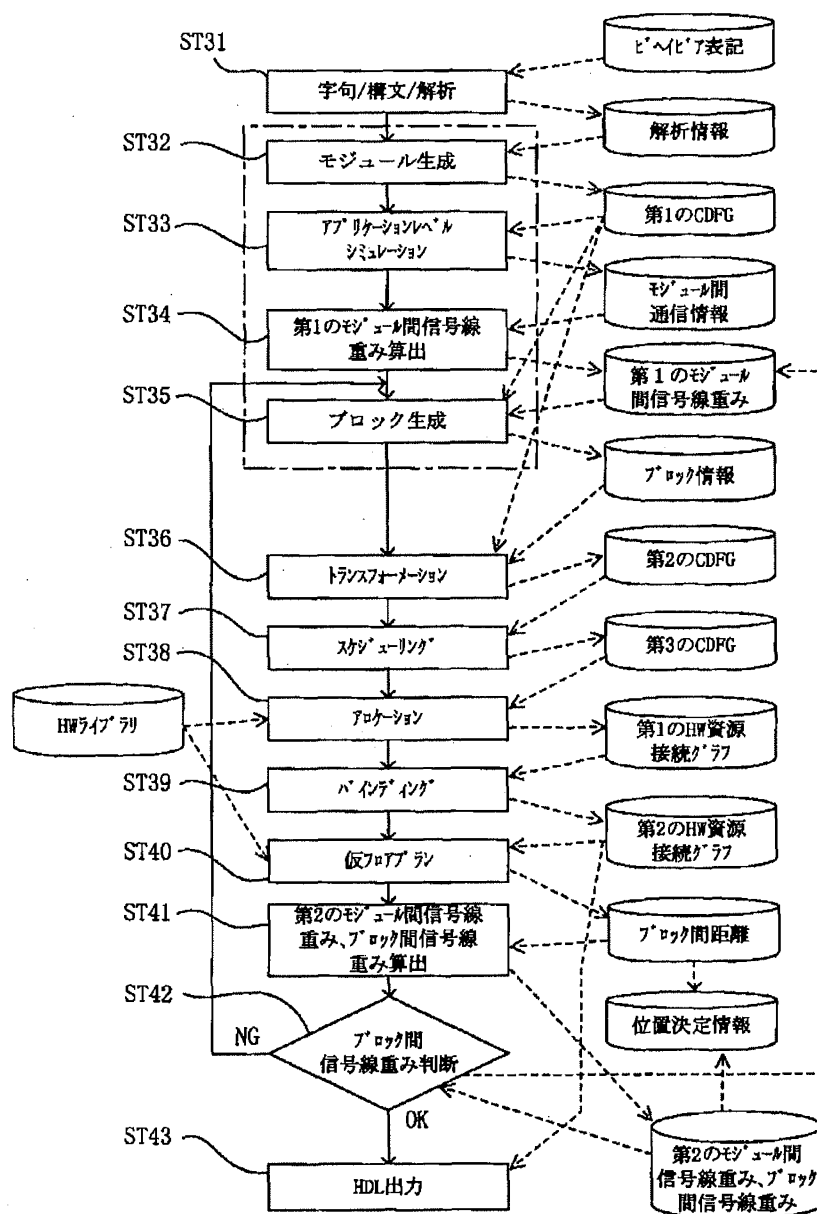
【図 10】



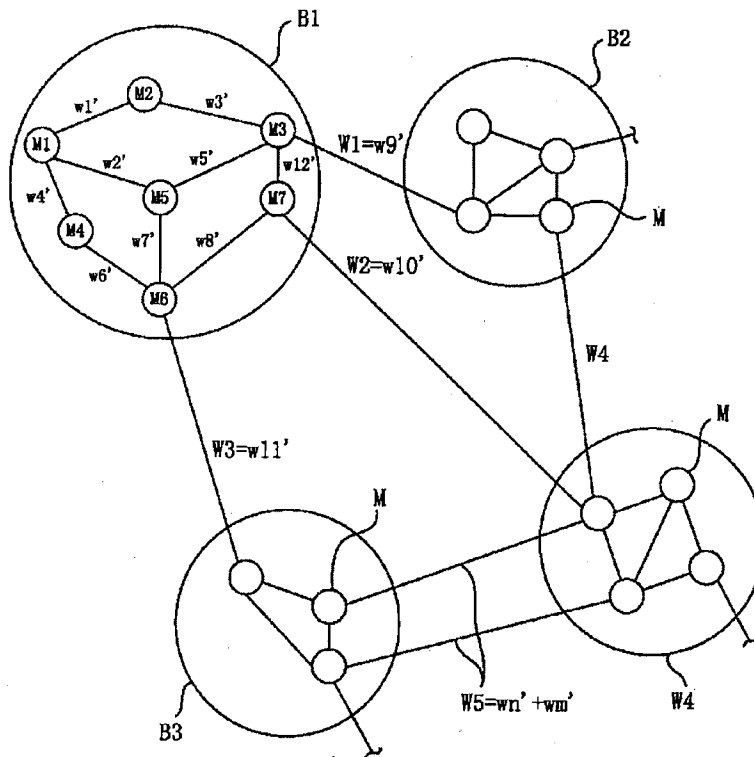
【図 13】



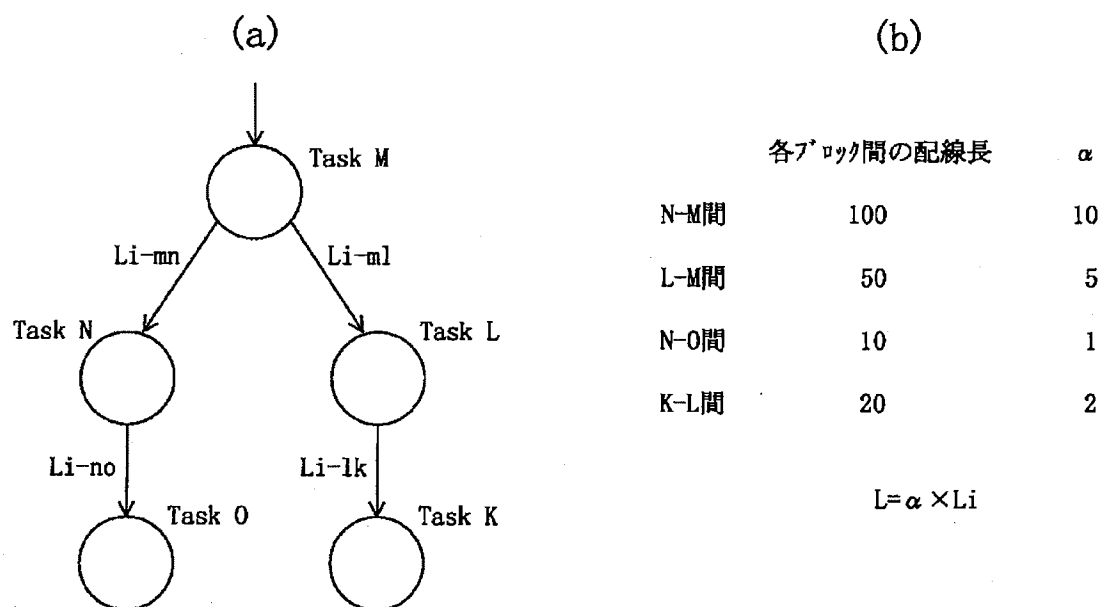
【図11】



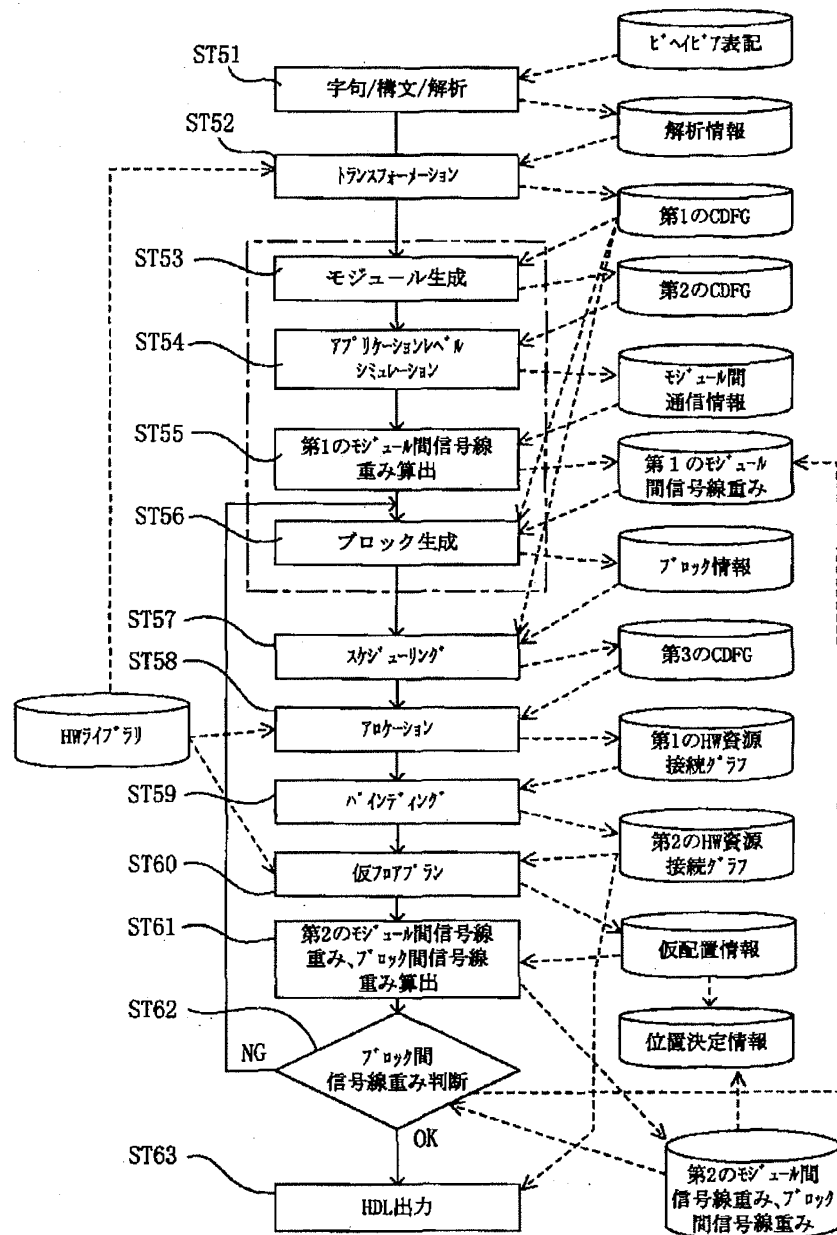
【図14】



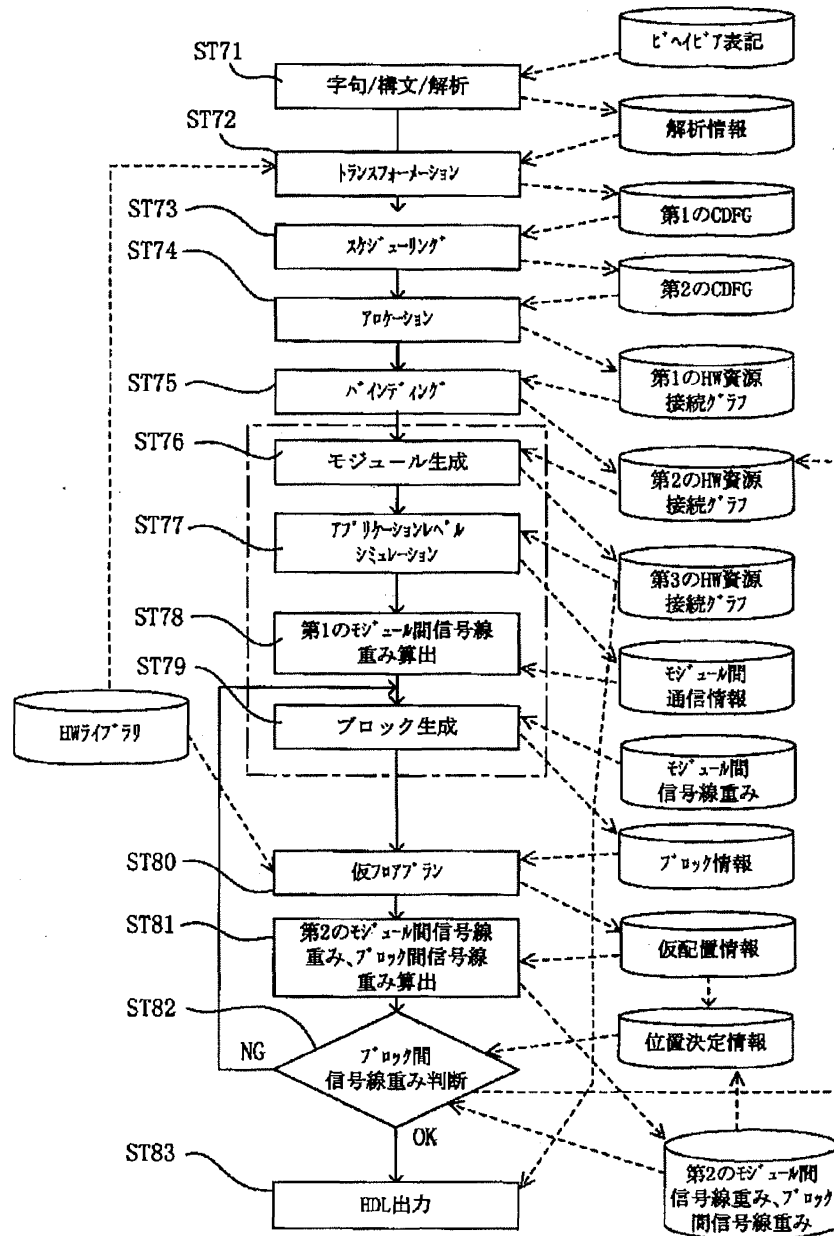
【図26】



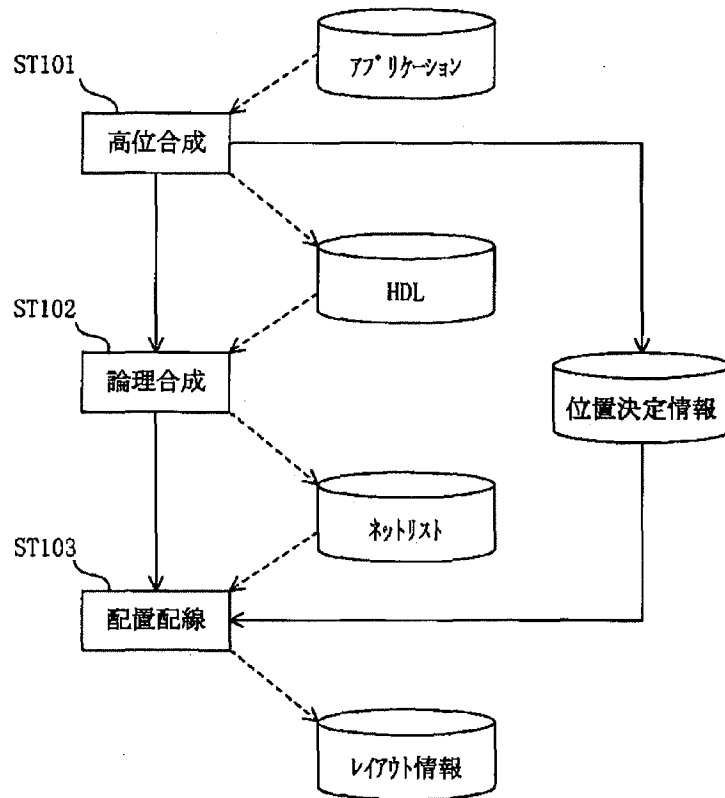
【図15】



【図16】

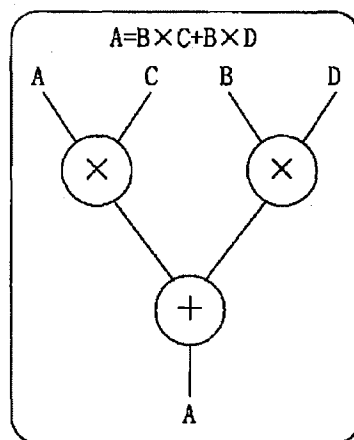


【図17】

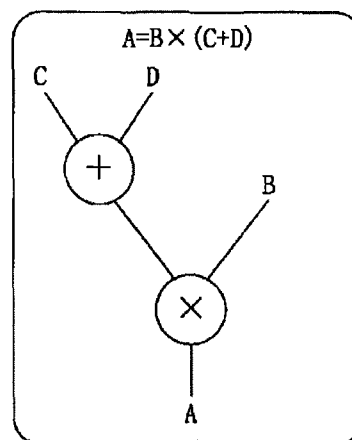


【図27】

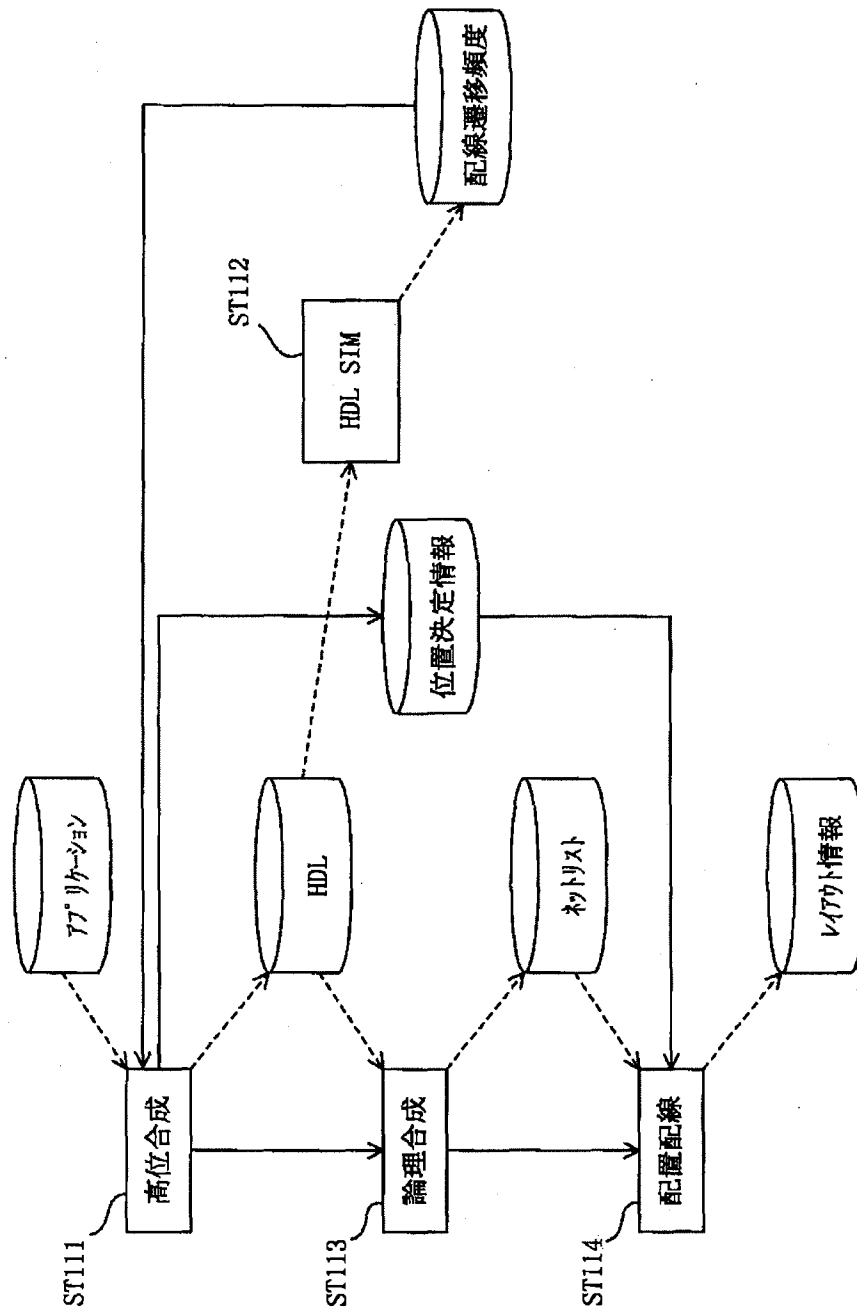
(a)



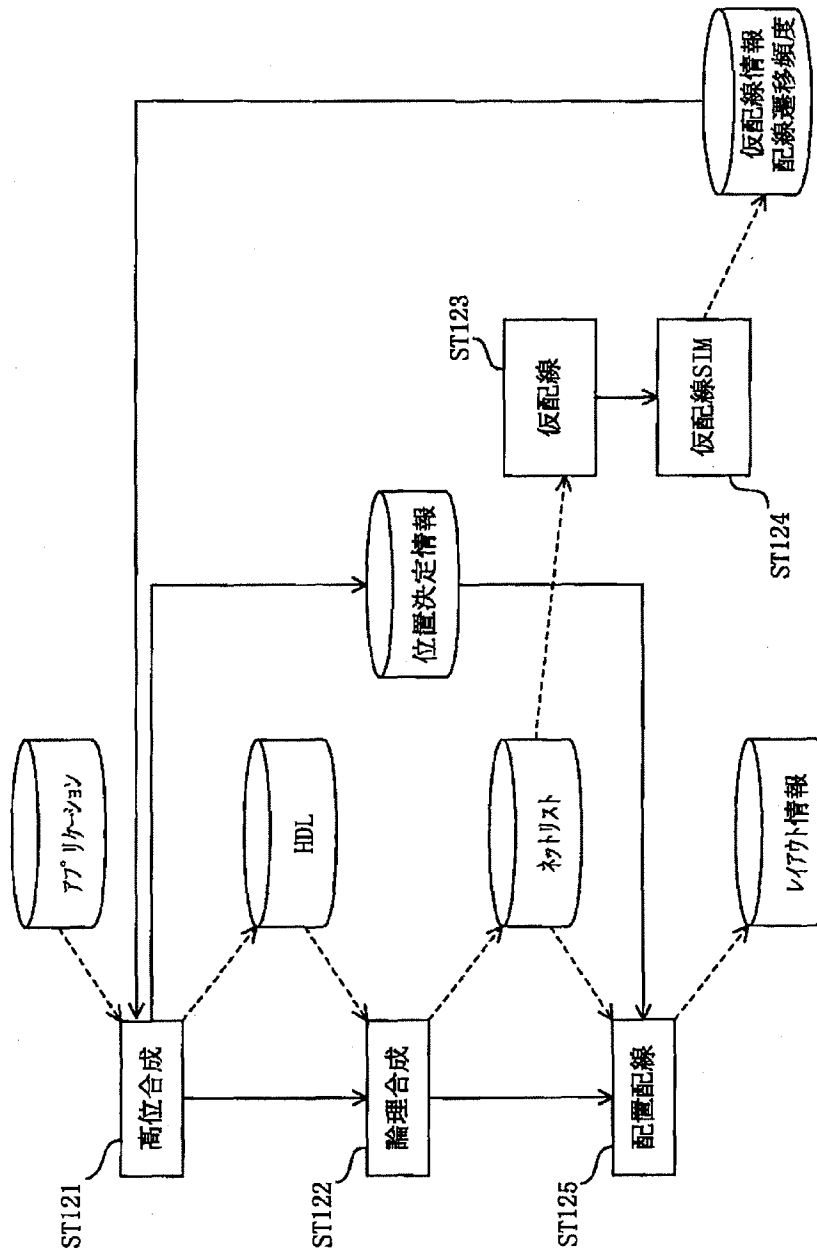
(b)



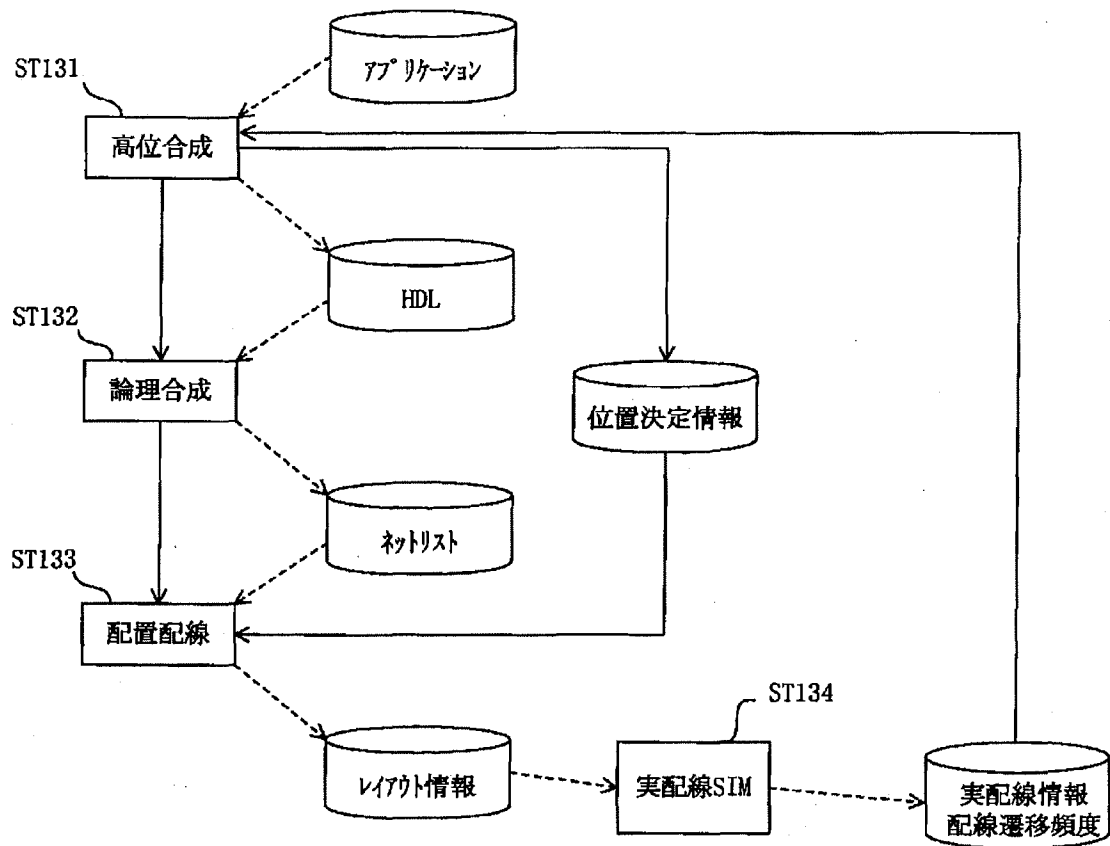
【図18】



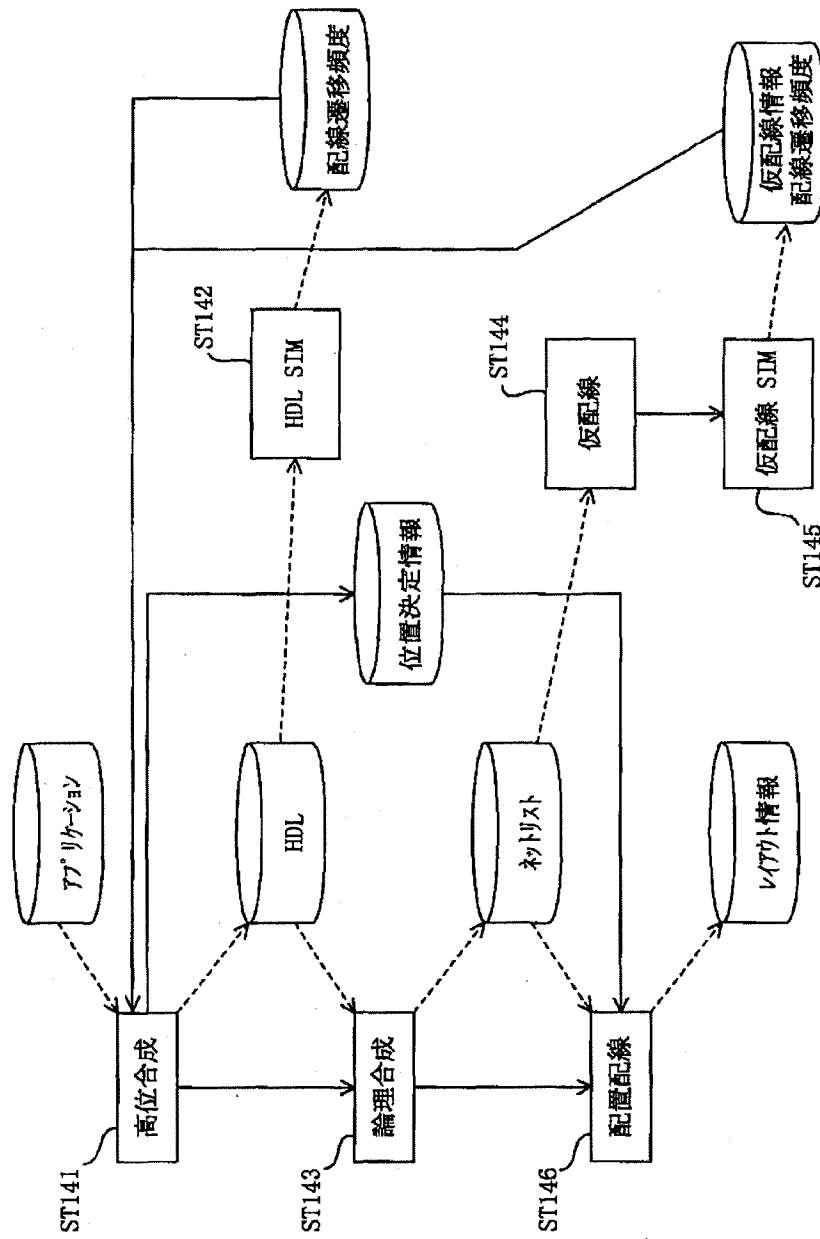
【図19】



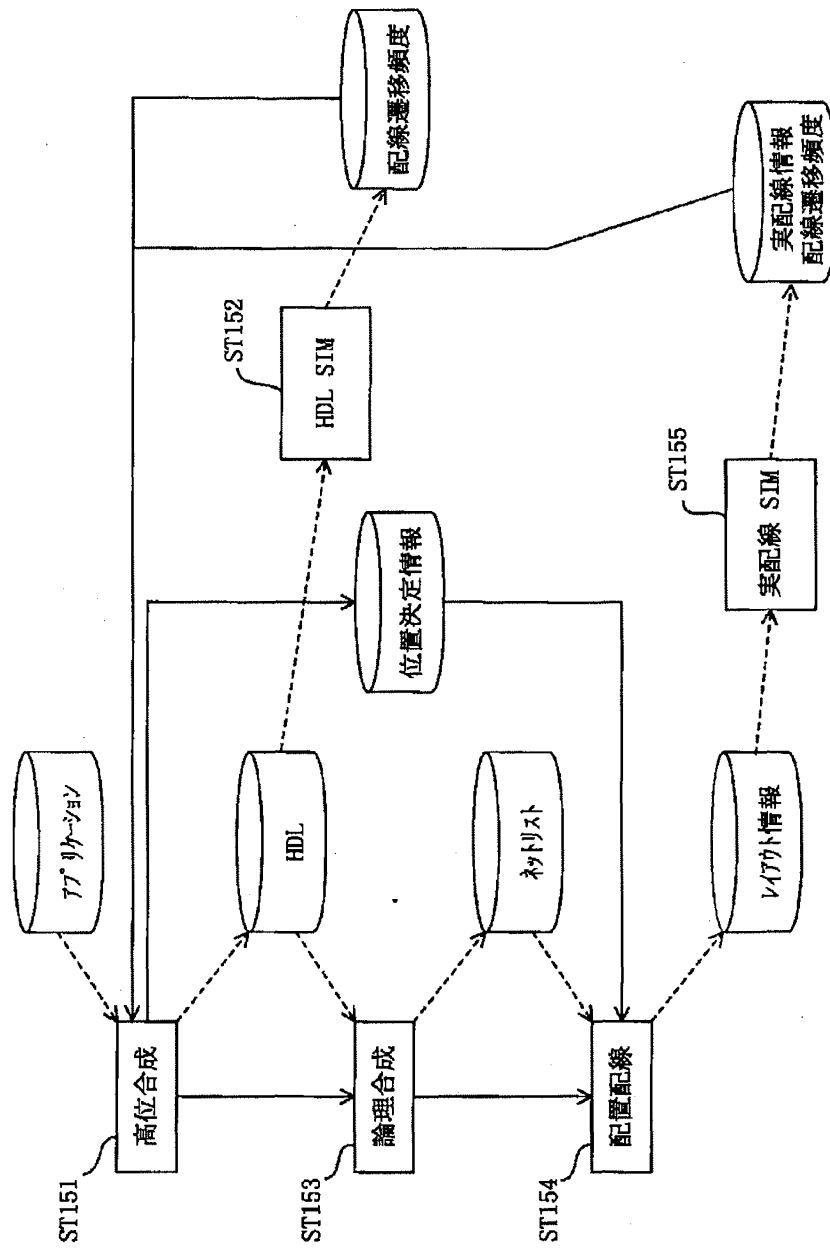
【図20】



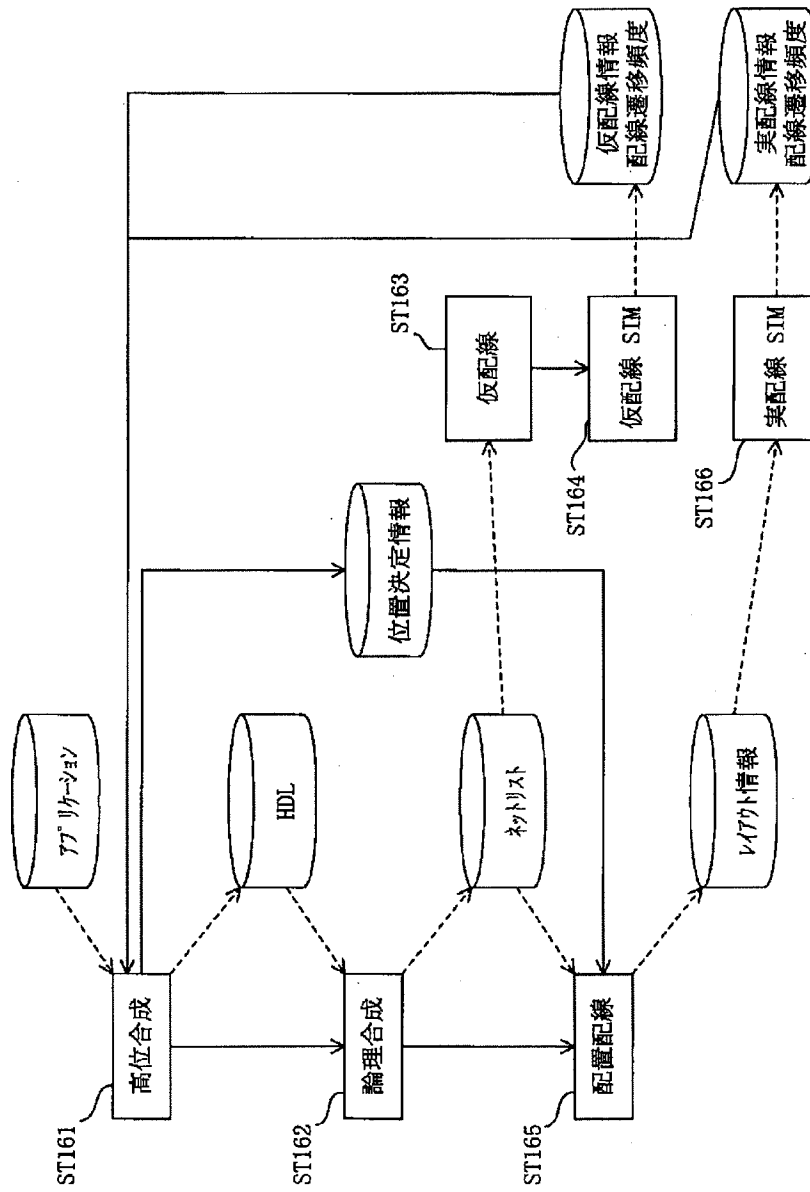
【図21】



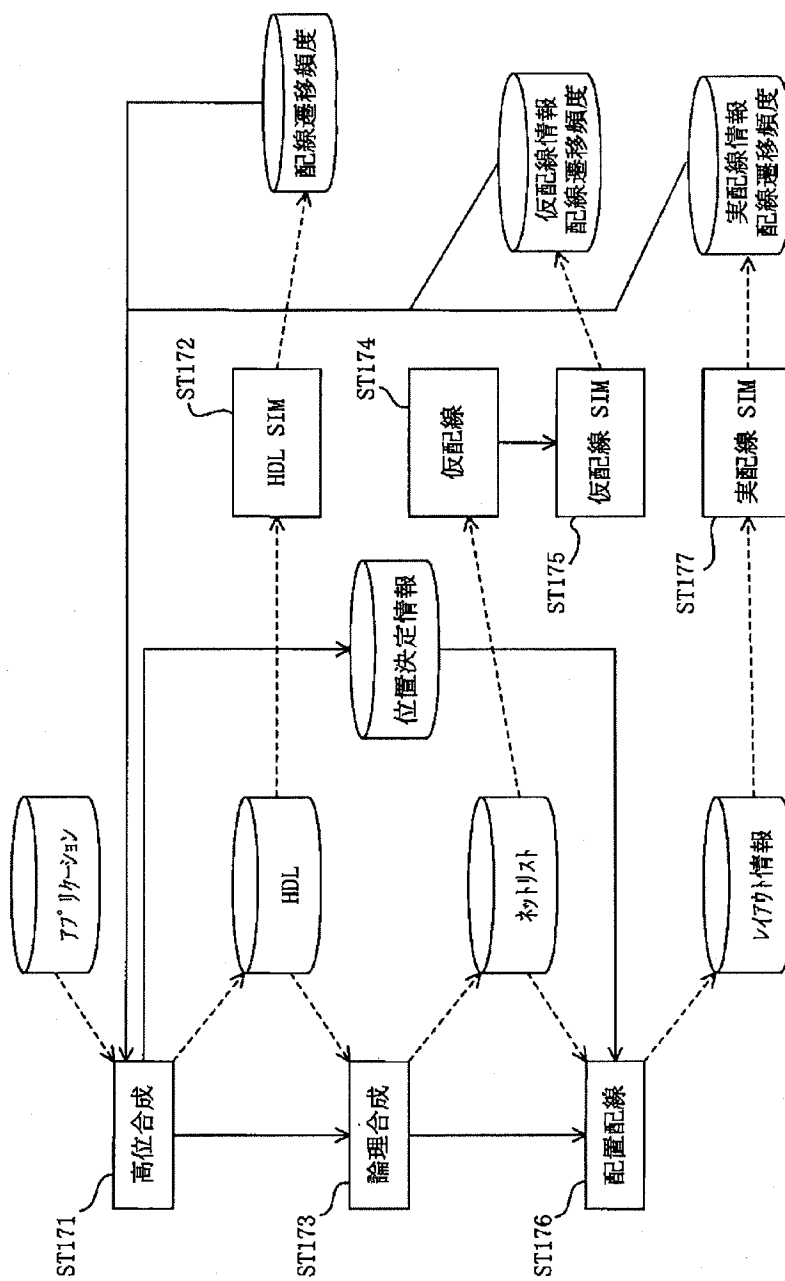
【図22】

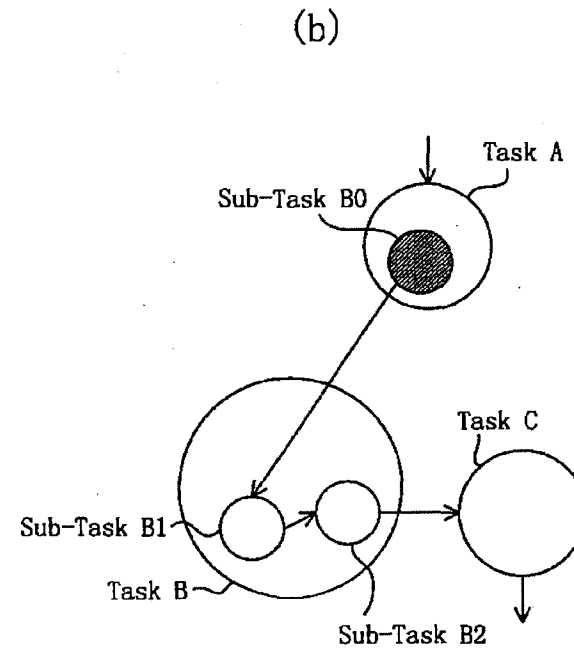
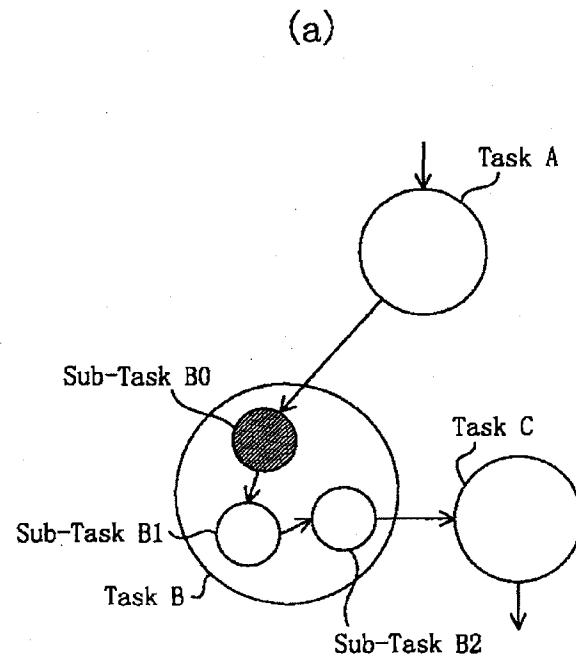


【図23】



【图 2 4】

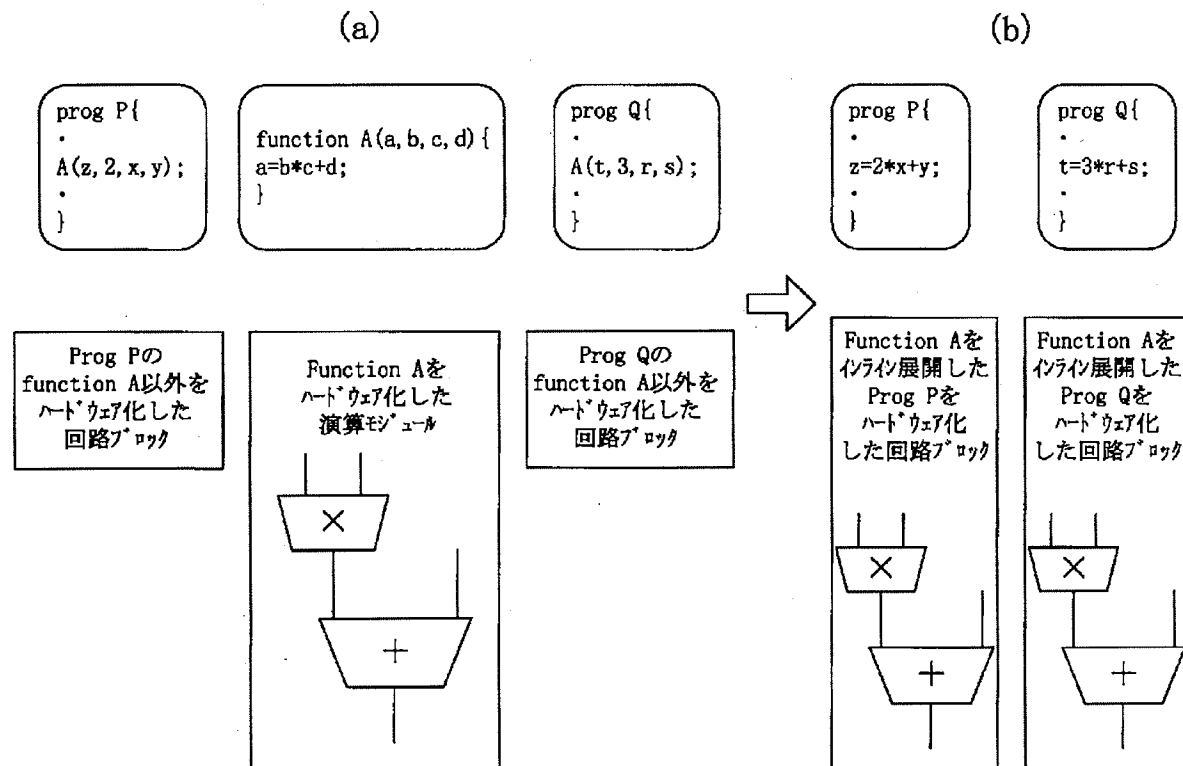




【図 25】

(43)

特開 2001-142922

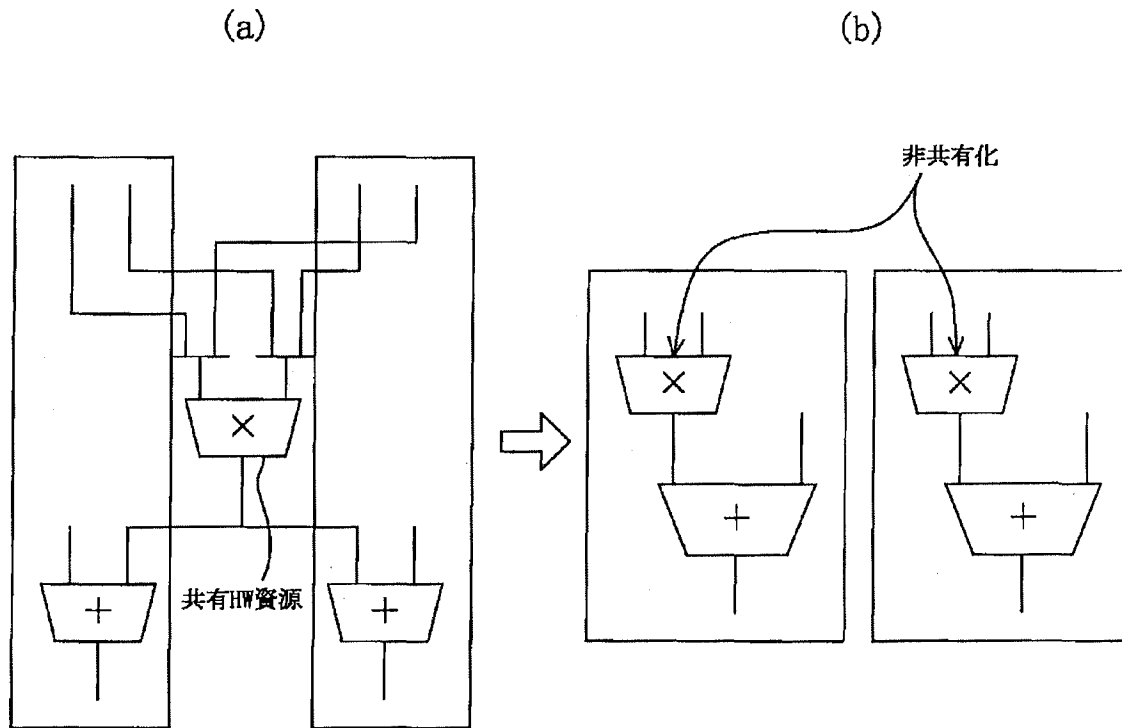


【図 28】

(44)

特開2001-142922

【図29】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

H 0 1 L 21/82

テーマコード(参考)

B

(72) 発明者 九郎丸 俊一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 甲斐 康司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5B046 AA08 BA02 BA05 BA06 DA06
JA03 JA05 KA06
5F064 AA04 BB02 DD02 DD03 DD04
DD20 DD50 EE02 EE03 EE05
EE08 EE15 EE43 EE47 EE57
HH01 HH06 HH08 HH09 HH11
HH12

Electronic Patent Application Fee Transmittal

Application Number:	12032117			
Filing Date:	15-Feb-2008			
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT			
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto			
Filer:	Thomas J. D'Amico/Deborah Proctor			
Attorney Docket Number:	R2180.0374/P374			
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	9292730
Application Number:	12032117
International Application Number:	
Confirmation Number:	3786
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto
Customer Number:	24998
Filer:	Thomas J. D'Amico/Deborah Proctor
Filer Authorized By:	Thomas J. D'Amico
Attorney Docket Number:	R2180.0374/P374
Receipt Date:	24-JAN-2011
Filing Date:	15-FEB-2008
Time Stamp:	16:24:09
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	3227
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		R21800374.PDF	3239974 d8929a0fbcd97c00e9c29161a4f56ef7f045e27	yes	53				
	Multipart Description/PDF files in .zip description								
	Document Description		Start	End					
	Transmittal Letter		1	3					
	Information Disclosure Statement (IDS) Filed (SB/08)		4	4					
	NPL Documents		5	7					
	Foreign Reference		8	53					
Warnings:									
Information:									
2	Fee Worksheet (PTO-875)	fee-info.pdf	30500 3d161521ab1a86e0c61226fdd22466297602ea3a	no	2				
Warnings:									
Information:									
Total Files Size (in bytes):			3270474						
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.									

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: 12/032,117

Confirmation No.: 3786

Filed: February 15, 2008

Art Unit: 2825

For: SEMICONDUCTOR DESIGN SUPPORT
DEVICE, SEMICONDUCTOR DESIGN
SUPPORT METHOD, AND
MANUFACTURING METHOD FOR
SEMICONDUCTOR INTEGRATED
CIRCUIT

Examiner: B. Bowers

INFORMATION DISCLOSURE STATEMENT (IDS)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Pursuant to 37 CFR 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached PTO/SB/08. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is filed after the mailing date of a Final Office Action or Notice of Allowance, whichever occurred first, but on or before payment of the Issue Fee (37 CFR 1.97(d)). Applicant hereby petitions that the Information Disclosure Statement be considered.

The reference listed on the attached PTO/SB/08 form was cited in the enclosed Japanese Office Action dated November 30, 2010, for corresponding Japanese patent application No. 2007-038603.

Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement.

A summary/abstract translation of the non-English language references is enclosed.

In accordance with 37 CFR 1.98(a)(2)(ii), Applicant has not submitted copies of U.S. patents and U.S. patent applications. Applicant submits herewith copies of foreign patents and non-patent literature in accordance with 37 CFR 1.98(a)(2).

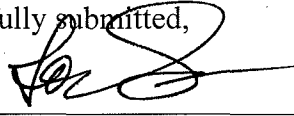
In accordance with 37 CFR 1.97(g), the filing of this Information Disclosure Statement shall not be construed to mean that a search has been made or that no other material information as defined in 37 CFR 1.56(a) exists. In accordance with 37 CFR 1.97(h), the filing of this Information Disclosure Statement shall not be construed to be an admission that any patent, publication or other information referred to therein is "prior art" for this invention unless specifically designated as such.

It is submitted that the Information Disclosure Statement is in compliance with 37 CFR 1.98 and the Examiner is respectfully requested to consider the listed references.

Please charge our Credit Card in the amount of \$180.00 covering the fee set forth in 37 CFR 1.17(p). The Director is hereby authorized to charge any deficiency in the fees filed, asserted to be filed or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Deposit Account No. 04-1073, under Order No. R2180.0374/P374.

Dated: January 24, 2011

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

S. Gregory Herrman

Registration No.: 66,271

DICKSTEIN SHAPIRO LLP

1825 Eye Street, NW

Washington, DC 20006-5403

(202) 420-2200

Attorneys for Applicant

Docket No.: R2180.0374/P374
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yasutaka Tsukamoto

Application No.: 12/032,117

Confirmation No.: 3786

Filed: February 15, 2008

Art Unit: 2825

For: SEMICONDUCTOR DESIGN SUPPORT
DEVICE, SEMICONDUCTOR DESIGN
SUPPORT METHOD, AND
MANUFACTURING METHOD FOR
SEMICONDUCTOR INTEGRATED CIRCUIT

Examiner: B. Bowers

AMENDMENT AFTER FINAL ACTION UNDER 37 C.F.R. 1.116

MS AF
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

INTRODUCTORY COMMENTS

In response to the Office Action dated December 7, 2011, finally rejecting claims 1 and 4-7, please amend the above-identified U.S. patent application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks begin on page 4 of this paper.

DSMDB-2892410v2

AMENDMENTS TO THE CLAIMS

1. (Canceled)

2. (Currently Amended) A semiconductor design support device for designing a semiconductor integrated circuit, the device comprising: The semiconductor design support device according to claim 1, further comprising:

a behavioral description configured to describe an algorithm of processing performed by hardware in a motion level;

an RTL description generated by reading the behavioral description, the RTL description configured to recognize a concept including register and clock synchronism particular to the hardware;

a latency analyzer configured to analyze a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description;

a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description; and

a correspondence table generator configured to generate the correspondence table.

3. (Original) The semiconductor design support device according to claim 2,

wherein the latency analyzer refers to the result of the logic simulation and the correspondence table generated by the correspondence table generator to calculate the latency in each block in the behavioral description.

Claims 4-7. (Canceled)

8. (Original) A manufacturing method for manufacturing a semiconductor integrated circuit, the method comprising: The manufacturing method according to claim 7, further comprising:

describing an algorithm of processing performed by hardware in a motion level to generate a behavioral description;

reading the behavioral description to generate an RTL description for recognizing a concept including register and clock synchronism particular to the hardware;

analyzing a result of a logic simulation performed on the RTL description to calculate a latency in each block representing an operation in a predetermined unit in the behavioral description;

designing a circuit based on the calculated latency;

creating a layout of the circuit;

generating a photomask based on the layout of the circuit;

transferring a pattern of the photomask onto a semiconductor wafer; and

generating a correspondence table in which each block in the behavioral description corresponds to a state in the RTL description.

9. (Original) The manufacturing method according to claim 8, further comprising:

referring to the result of the logic simulation and the correspondence table to calculate the latency in each block in the behavioral description.

REMARKS

Claims 2 and 8 have been amended. Claims 1 and 4-7 have been canceled. Claims 2, 3, 8 and 9 are pending in the application. Applicant reserves the right to pursue the original claims in this and in any other application. Applicant thanks the Examiner for the indication of allowable subject matter in claims 2, 3, 8 and 9.

Claims 4-6 stand rejected under 35 U.S.C. § 101 as being directed to non-statutory subject matter. Claims 4-6 have been canceled. Accordingly, the rejection should be withdrawn.

Claims 2, 3, 8 and 9 stand objected to as being dependent upon a rejected base claim. Claims 2 and 8 have been rewritten in independent form. Claims 3 and 9 depend from claims 2 and 8, respectively. Accordingly, the objection should be withdrawn and the claims allowed.

Claims 1 and 4-6¹ stand rejected under 35 U.S.C. § 102(b) as being anticipated by U.S. Patent No. 6,816,828 (Ikegami). Claims 1 and 4-6 have been canceled. Accordingly, the rejection should be withdrawn.

Claims 7 stands rejected under 35 U.S.C. § 103(a) as being unpatentable over Ikegami in view of U.S. Patent No. 6,340,542² (Inoue). Claim 7 has been canceled. Accordingly, the rejection should be withdrawn.

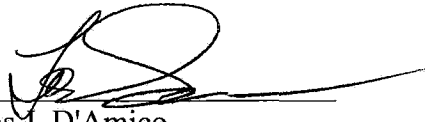
¹ While the Office Action states on page 3 that claims 1-6 are rejected, it is clear that this is a typographical error because the Office Action states on page 5 that claims 2 and 3 are objected to as being dependent upon a rejected base claim.

² The Office Action does not expressly state that the '542 patent is used in this rejection, but Applicant assumes that it is used based on references to "Inoue" in the description of the rejection and a citation to the '542 patent in the Notice of References Cited.

In view of the above, Applicant believes the pending application is in condition for allowance.

Dated: February 4, 2011

Respectfully submitted,

By 
Thomas J. D'Amico
Registration No.: 28,371
S. Gregory Herrman
Registration No.: 66,271
DICKSTEIN SHAPIRO LLP
1825 Eye Street, NW
Washington, DC 20006-5403
(202) 420-2200
Attorneys for Applicant

Electronic Acknowledgement Receipt

EFS ID:	9380585
Application Number:	12032117
International Application Number:	
Confirmation Number:	3786
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto
Customer Number:	24998
Filer:	Stephen A. Soffen/Madeline Baker
Filer Authorized By:	Stephen A. Soffen
Attorney Docket Number:	R2180.0374/P374
Receipt Date:	04-FEB-2011
Filing Date:	15-FEB-2008
Time Stamp:	16:28:23
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		Document.pdf	168068 bdbbf649a564c9a38ae1606b6db7b9c1239cbe7a	yes	5

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment After Final	1	1
	Claims	2	3
	Applicant Arguments/Remarks Made in an Amendment	4	5
Warnings:			
Information:			
Total Files Size (in bytes):		168068	
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 12/032,117		Filing Date 02/15/2008		☐ To be Mailed	
APPLICATION AS FILED – PART I										
(Column 1)			(Column 2)			SMALL ENTITY ☐ OR		OTHER THAN SMALL ENTITY		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A				
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(j))	minus 20 =	*	X \$	=		X \$	=			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$	=		X \$	=			
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
			TOTAL			TOTAL				
APPLICATION AS AMENDED – PART II										
(Column 1)			(Column 2)			SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT	02/04/2011	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 4	Minus	** 20	= 0	X \$	=	OR	X \$52=	0
	Independent (37 CFR 1.16(h))	* 2	Minus	***3	= 0	X \$	=	OR	X \$220=	0
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0	
AMENDMENT	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$	=	OR	X \$	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$	=	OR	X \$	=
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE		

* If the difference in column 1 is less than zero, enter "0" in column 2.

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/AMANDA FORD/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

24998 7590 02/22/2011
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

EXAMINER

BOWERS, BRANDON

ART UNIT

PAPER NUMBER

2825

DATE MAILED: 02/22/2011

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/032,117

02/15/2008

Yasutaka Tsukamoto

R2180.0374/P374

3786

TITLE OF INVENTION: SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$300	\$0	\$1810	05/23/2011

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

24998 7590 02/22/2011
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374	3786
------------	------------	--------------------	-----------------	------

TITLE OF INVENTION: SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	---------------	---------------------	----------------------	------------------	----------

nonprovisional	NO	\$1510	\$300	\$0	\$1810	05/23/2011
----------------	----	--------	-------	-----	--------	------------

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

BOWERS, BRANDON	2825	716-108000
-----------------	------	------------

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____
- (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____
- 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s); (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374	3786

24998	7590	02/22/2011
-------	------	------------

DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

EXAMINER
BOWERS, BRANDON

ART UNIT	PAPER NUMBER
2825	

DATE MAILED: 02/22/2011

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 434 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 434 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No.	Applicant(s)	
	12/032,117	TSUKAMOTO, YASUTAKA	
	Examiner	Art Unit	
	BRANDON W. BOWERS	2825	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the amendment received 4 February 2011.
2. ☒ The allowed claim(s) is/are 2,3,8, and 9 renumbered per 37 CFR 1.126.
3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) ☒ All b) ☐ Some* c) ☐ None of the:
 1. ☒ Certified copies of the priority documents have been received.
 2. ☐ Certified copies of the priority documents have been received in Application No. ____.
 3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: ____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) ☐ hereto or 2) ☐ to Paper No./Mail Date ____.
 - (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date ____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|---|
| <ol style="list-style-type: none"> 1. ☐ Notice of References Cited (PTO-892) 2. ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. ☒ Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date <u>20110124</u> 4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material | <ol style="list-style-type: none"> 5. ☐ Notice of Informal Patent Application 6. ☐ Interview Summary (PTO-413),
Paper No./Mail Date ____. 7. ☐ Examiner's Amendment/Comment 8. ☐ Examiner's Statement of Reasons for Allowance 9. ☐ Other ____. |
|--|---|

/Jack Chiang/
 Supervisory Patent Examiner, Art Unit 2825

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	1306	716/104.ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:24
L2	1196	716/108.ccls.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L3	27	behavior\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L4	3	logic near2 simulat\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L5	3	L3 and L4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L6	6	logic near2 simulat\$4 same RTL same (clock near2 cycle)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L7	1	L3 and L6	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:25
L8	113	behavior\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:26
L9	6	logic near2 simulat\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:26
L10	2	L8 and L9	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:26
L11	7811	clock near2 cycle \$3 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:26
L12	4	logic near2 simulat\$4 same L11	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2011/02/12 16:26

S1	16	behavioral same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
S2	13	S1 and table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:51
S3	160156	(register or clock \$4) with sync\$8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
S4	2	S1 and S3	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:54
S5	2	(register or clock \$4) same S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
S6	15	(register or clock \$4) and S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:56
S7	3293	(register or clock \$4) with sync\$8 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
S8	1586	behavioral same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
S9	6	S7 and S8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 15:58
S10	50302	correspond\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
S11	4	S8 same S10	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:00
S12	46293	map\$5 near2 table	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:13
S13	1	S12 and S1	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14
S14	0	S12 same S8	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:14
S15	463	algorithm same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15

S16	1	S15 same S12	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:15
S17	2	"6816828".pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:18
S18	8	("6094527" "6042613" "6093212" "6910202").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/06/19 16:36
S19	148	layout same photomask same pattern same wafer	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
S20	47	S19 and "716"/\$. ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 17:56
S21	6171	716/1,4-6.ccls.	USPAT; EPO; JPO; DERWENT	OR	OFF	2010/06/19 18:12
S22	27	behavior\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:52
S23	3	logic near2 simulat\$4 same RTL same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:54
S24	3	S22 and S23	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:54
S25	6	logic near2 simulat\$4 same RTL same (clock near2 cycle)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:55
S26	1	S22 and S25	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:56
S27	113	behavior\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57
S28	6	logic near2 simulat\$4 same RTL same clock near2 cycl\$4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57
S29	2	S27 and S28	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 14:57

S30	7677	clock near2 cycle \$3 same latency	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:05
S31	4	logic near2 simulat\$4 same S30	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:05
S32	19	S30 same rtl	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:07
S33	143	behavior\$4 near2 simulat\$4 same RTL	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2010/11/30 15:11

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L13	0	(behavioral same RTL same latency same table).clm.	USPAT; UPAD	OR	ON	2011/02/12 16:34

2/ 12/ 11 4:36:07 PM

**C:\ Documents and Settings\ bbowers1\ My Documents\ EAST\ Workspaces\ 12032117.
wsp**

<i>Index of Claims</i> *1203211 7*	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant					☐ CPA					☐ T.D.					☐ R.1.47				
CLAIM		DATE																	
Final	Original	06/19/2010	12/04/2010	02/12/2011															
	1	✓	✓	-															
1	2	✓	○	=															
2	3	✓	○	=															
	4	✓	✓	-															
	5	✓	✓	-															
	6	✓	✓	-															
	7	✓	✓	-															
3	8	✓	○	=															
4	9	✓	○	=															

<i>Search Notes</i> *1203211 7*	Application/Control No. 12032117	Applicant(s)/Patent Under Reexamination TSUKAMOTO, YASUTAKA
	Examiner BRANDON W BOWERS	Art Unit 2825

SEARCHED			
Class	Subclass	Date	Examiner
716	1,4-6	6/19/10	BB
716	104	12/4/10	BB
716	104,108	2/12/11	BB

SEARCH NOTES		
Search Notes	Date	Examiner
See attached EAST search	6/19/10	BB
updated EAST search	12/4/10	BB
updated EAST search	2/12/11	BB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
	see attached EAST search	2/12/11	BB

--	--

Used in Lieu of PTO/SB/08A/B
(Based on PTO 10-07 version)

Substitute for form 1449/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary)</i>				Complete if Known	
				Application Number	12/032,117-Conf. #3786
				Filing Date	February 15, 2008
				First Named Inventor	Yasutaka Tsukamoto
				Art Unit	2825
				Examiner Name	B. Bowers
Sheet	1	of	1	Attorney Docket Number	R2180.0374/P374

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	Document Number Number-Kind Code ² (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS							
Examiner Initials*	Cite No. ¹	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁶
		Country Code ³ -Number ⁴ -Kind Code ⁵ (if known)					
	BA	JP 2001-142922 A		05-25-2001			√

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

NON PATENT LITERATURE DOCUMENTS					
Examiner Initials	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.			T ²

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

√ English Language Abstract Also Enclosed

Examiner Signature	/Brandon Bowers/	Date Considered	02/12/2011
--------------------	------------------	-----------------	------------

2887656

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /BB/

PART B -FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571) 273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

DICKSTEIN SHAPIRO LLP
1825 Eye Street, NW
Washington, DC 20006-5403

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374	3786

TITLE OF INVENTION: SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
Non-Provisional	no	\$1,510.00	\$300.00	\$1,813.00	05/22/2011
EXAMINER		ART UNIT	CLASS-SUBCLASS		
B. Bowers		2825	716-108000		

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached.
- Use of a Customer Number is required.

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Dickstein Shapiro LLP

X

X

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

RICOH COMPANY, LTD.

Tokyo, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:

- ☒ Issue Fee
- ☒ Publication Fee (No small entity discount permitted)
- ☒ Advance Order -# of Copies 1

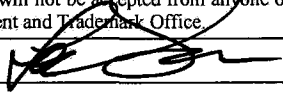
4b. Payment of Fee(s):

- ☐ A check in the amount of the fee(s) is enclosed.
- ☒ Payment by credit card.
- ☒ The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number 04-1073

5. Change in Entity Status (from status indicated above)

- ☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. ☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above. NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature 
Typed or printed name Thomas J. D'Amico

Date May 20, 2011
Registration No. 28,371

Electronic Patent Application Fee Transmittal				
Application Number:		12032117		
Filing Date:		15-Feb-2008		
Title of Invention:		SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT		
First Named Inventor/Applicant Name:		Yasutaka Tsukamoto		
Filer:		Mark J. Thronson/Madeline Baker		
Attorney Docket Number:		R2180.0374/P374		
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	1	3	3
Total in USD (\$)				1813

Electronic Acknowledgement Receipt

EFS ID:	10139328
Application Number:	12032117
International Application Number:	
Confirmation Number:	3786
Title of Invention:	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
First Named Inventor/Applicant Name:	Yasutaka Tsukamoto
Customer Number:	24998
Filer:	Mark J. Thronson/Madeline Baker
Filer Authorized By:	Mark J. Thronson
Attorney Docket Number:	R2180.0374/P374
Receipt Date:	20-MAY-2011
Filing Date:	15-FEB-2008
Time Stamp:	16:52:18
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$1813
RAM confirmation Number	3561
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1	Issue Fee Payment (PTO-85B)	Document.pdf	92464 a9c107102508461477d471471b20a673c58f98b1	no	1
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	33620 572013e20a0b63df7485ba7d3c5b580f182a343c	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			126084		
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/032,117	06/28/2011	7971167	R2180.0374/P374	3786

24998 7590 06/08/2011
DICKSTEIN SHAPIRO LLP
1825 EYE STREET NW
Washington, DC 20006-5403

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 567 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Yasutaka Tsukamoto, Yokohama city, JAPAN;

Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

PATENT - POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS	Patent Number	7971167
	Issue Date	June 28, 2011
	First Named Inventor	YASUTAKA TSUKAMOTO
	Title	SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT
	Attorney Docket No.	0823-03984

I hereby revoke all previous powers of attorney given in the above-identified patent.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the Customer Number identified in the box at right as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:**27197**

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified patent to:

☒ The address associated with the above-identified Customer Number.

OR

☐ The address associated with the Customer Number identified in the box at right:

OR

☐ Firm or
Individual Name

Address

City

Country

Telephone

State

Zip

Email

I am the:

☐ Inventor, having ownership of the patent.

OR

☒ Patent owner.

Statement under 37 CFR 3.73(b) (Form PTO/SB/96) submitted herewith or filed on _____.

SIGNATURE of Inventor or Patent Owner

Signature	/Yi Lu/	Date	March 14, 2023
Name	Yi Lu	Telephone	
Title and Company	Authorized Signatory for Patent Matters of Semiconductor Design Technologies LLC		

NOTE: Signatures of all the inventors or patent owners of the entire interest or their representative(s) are required. If more than one signature is required, submit multiple forms, check the box below, and identify the total number of forms submitted in the blank below.☐ A total of _____ forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 15 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. If filing this completed form by mail, send to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects the information in this record under authority of 35 U.S.C. 2. The USPTO's system of records is used to manage all applicant and owner information including name, citizenship, residence, post office address, and other information with respect to inventors and their legal representatives pertaining to the applicant's/owner's activities in connection with the invention for which a patent is sought or has been granted. The applicable Privacy Act System of Records Notice for the information collected in this form is COMMERCE/PAT-TM-7 Patent Application Files, available in the Federal Register at 78 FR 19243 (March 29, 2013). <https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf>

Routine uses of the information in this record may include disclosure to: 1) law enforcement, in the event that the system of records indicates a violation or potential violation of law; 2) a Federal, state, local, or international agency, in response to its request; 3) a contractor of the USPTO having need for the information in order to perform a contract; 4) the Department of Justice for determination of whether the Freedom of Information Act (FOIA) requires disclosure of the record; 5) a Member of Congress submitting a request involving an individual to whom the record pertains, when the individual has requested the Member's assistance with respect to the subject matter of the record; 6) a court, magistrate, or administrative tribunal, in the course of presenting evidence, including disclosures to opposing counsel in the course of settlement negotiations; 7) the Administrator, General Services Administration (GSA), or their designee, during an inspection of records conducted by GSA under authority of 44 U.S.C. 2904 and 2906, in accordance with the GSA regulations and any other relevant (i.e., GSA or Commerce) directive, where such disclosure shall not be used to make determinations about individuals; 8) another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)); 9) the Office of Personnel Management (OPM) for personnel research purposes; and 9) the Office of Management and Budget (OMB) for legislative coordination and clearance.

If you do not furnish the information requested on this form, the USPTO may not be able to process and/or examine your submission, which may result in termination of proceedings, abandonment of the application, and/or expiration of the patent.

Additional Uses

Additional USPTO uses of the information in this record may include disclosure to: 1) the International Bureau of the World Intellectual Property Organization, if the record is related to an international application filed under the Patent Cooperation Treaty; 2) the public i) after publication of the application pursuant to 35 U.S.C. 122(b), ii) after issuance of a patent pursuant to 35 U.S.C. 151, iii) if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections, or an issued patent, or iv) without publication of the application or patent under the specific circumstances provided for by 37 CFR 1.14(a)(1)(v)-(vii); and/or 3) the National Archives and Records Administration, for inspection of records.



ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #
12/032,117

RECEIPT DATE / TIME
03/14/2023 07:37:25 PM ET

ATTORNEY DOCKET #
R2180.0374/P374

Title of Invention

SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD,
AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Application Information

APPLICATION TYPE Utility - Nonprovisional Application
under 35 USC 111(a)

PATENT # 7971167

CONFIRMATION # 3786

FILED BY Yi Lu

PATENT CENTER # 61741353

FILING DATE 02/15/2008

CUSTOMER # 24998

FIRST NAMED INVENTOR Yasutaka Tsukamoto

CORRESPONDENCE ADDRESS -

AUTHORIZED BY Szymon Gurda

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
167- aia0096.pdf	3	Assignee showing of ownership per 37 CFR 3.73	194 KB
167-sb0081a.pdf	2	Power of Attorney	460 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
167- aia0096.pdf	454553517356665B404F7C046DC990EE0AF1E78E11D7AAC909 9058EBB35202757722954751C0197731DA52A1F2CBCF24B584 147312E55454384B92388EF70EB1

167-sb0081a.pdf

819D301FBE6028299FB47390A243CCA874F9FC3B568BE12A83
7ACF5BF44CB0C5C0C8B38AAA95FFF3BE68913E40E28272588
BE0B9C87ABA0D93CF74280FDF0231

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)Applicant/Patent Owner: SEMICONDUCTOR DESIGN TECHNOLOGIES LLCApplication No./Patent No.: 7971167 Filed/Issue Date: June 28, 2011Titled: SEMICONDUCTOR DESIGN SUPPORT DEVICE, SEMICONDUCTOR DESIGN SUPPORT METHOD, AND MANUFACTURING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUITSEMICONDUCTOR DESIGN TECHNOLOGIES LLC, a corporation

(Name of Assignee)

(Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose one of options 1, 2, 3 or 4 below):

1. ☒ The assignee of the entire right, title, and interest.
2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):
- ☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
- ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose one of options A or B below):

- A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.
- B. ☒ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: YASUTAKA TSUKAMOTO To: RICOH COMPANY, LTD.The document was recorded in the United States Patent and Trademark Office at
Reel 020517, Frame 0185, or for which a copy thereof is attached.2. From: RICOH COMPANY, LTD. To: SEMICONDUCTOR DESIGN TECHNOLOGIES LLCThe document was recorded in the United States Patent and Trademark Office at
Reel 062552, Frame 0702, or for which a copy thereof is attached.

[Page 1 of 2]

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
 Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Szymon M. Gurda/

Signature

Szymon M. Gurda

Printed or Typed Name

March 14, 2023

Date

58451

Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/032,117	02/15/2008	Yasutaka Tsukamoto	0823-03984

27197
MICHAEL J. CHERSKOV
SZYMON M. GURDA
903 COMMERCE DR
SUITE 310
OAK BROOK, IL 60523

CONFIRMATION NO. 3786
POA ACCEPTANCE LETTER



OC000000137657274

Date Mailed: 04/04/2023

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 03/14/2023.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at (571) 272-4000 or (571) 272-4200 or 1-888-786-0101.

/ylueng/



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/032,117	02/15/2008	Yasutaka Tsukamoto	R2180.0374/P374

CONFIRMATION NO. 3786

POWER OF ATTORNEY NOTICE



OC000000137657262

24998
Blank Rome LLP
1825 Eye Street, NW
Washington, DC 20006-5403

Date Mailed: 04/04/2023

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 03/14/2023.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at (571) 272-4000 or (571) 272-4200 or 1-888-786-0101.

/ylueng/

To: sgurda@cherskov.com,mail@cherskov.com,
From: PAIR_eOfficeAction@uspto.gov
Cc: PAIR_eOfficeAction@uspto.gov
Subject: Private PAIR Correspondence Notification for Customer Number 27197

Apr 04, 2023 03:31:16 AM

Dear PAIR Customer:

MICHAEL J. CHERSKOV
SZYMON M. GURDA
903 COMMERCE DR
SUITE 310
OAK BROOK, IL 60523
UNITED STATES

The following USPTO patent application(s) associated with your Customer Number, 27197 , have new outgoing correspondence. This correspondence is now available for viewing in Private PAIR.

The official date of notification of the outgoing correspondence will be indicated on the form PTOL-90 accompanying the correspondence.

Disclaimer:

The list of documents shown below is provided as a courtesy and is not part of the official file wrapper. The content of the images shown in PAIR is the official record.

Application	Document	Mailroom Date	Attorney Docket No.
12032117	N570	04/04/2023	0823-03984
	N570	04/04/2023	0823-03984

To view your correspondence online or update your email addresses, please visit us anytime at <https://sportal.uspto.gov/secure/myportal/privatepair>.

If you have any questions, please email the Electronic Business Center (EBC) at EBC@uspto.gov with 'e-Office Action' on the subject line or call 1-866-217-9197 during the following hours:

Monday - Friday 6:00 a.m. to 12:00 a.m.

Thank you for prompt attention to this notice,

UNITED STATES PATENT AND TRADEMARK OFFICE
PATENT APPLICATION INFORMATION RETRIEVAL SYSTEM