

(19) [Issuing Country] Japan Patent Office (JP)
(12) [Publication Name] Gazette of Unexamined Patent Applications (A)
(11) [Publication Number] H07-162862
(43) [Publication Date] June 23, 1995

(51) [Int.Cl. ⁶]	[ID Codes]	[Internal Ref. Nos.]	[FI]	[Tech. Indicators]
H04N 7/30				
G06T 9/00				
H04N 5/92			H04N 7/133	Z
	8420-5L		G06F 15/66	330 A

[Examination Request] Not Yet Received

[Number of Claims] 44

[Application Format] Online (OL)

[Total Number of Pages] 29

Continued on Last Page

(21) [Application Number] H06-002432

(22) [Filing Date] January 14, 1994

(31) [Priority Number] JP H05-012286

(32) [Priority Date] January 28, 1993

(33) [Priority Country] Japan (JP)

(31) [Priority Number] JP H05-174068

(32) [Priority Date] July 14, 1993

(33) [Priority Country] Japan (JP)

(31) [Priority Number] JP H05-247893

(32) [Priority Date] October 4, 1993

(33) [Priority Country] Japan (JP)

(71) [Applicant]

[Identification Number] 000005821

[Name] Matsushita Electric Industrial Co., Ltd.

[Address] 1006 Oaza Kadoma, Kadoma-shi, Osaka

(72) [Inventor]

[Name] Hideki FUKUDA

[Address] Matsushita Electric Industrial Co., Ltd., 1006 Oaza Kadoma, Kadoma-shi, Osaka

(72) [Inventor]

[Name] Masahiro HONJO

[Address] Matsushita Electric Industrial Co., Ltd., 1006 Oaza Kadoma, Kadoma-shi, Osaka

(72) [Inventor]

[Name] Hideaki SHIBATA

[Address] Matsushita Electric Industrial Co., Ltd., 1006 Oaza Kadoma, Kadoma-shi, Osaka

(74) [Agent]

[Attorney]

[Name] Akira KOGAJI (and 2 others)

Continued on Last Page

(54) [Title of the Invention]

Video Encoding Device, Video Decoding Device, and Optical Disk

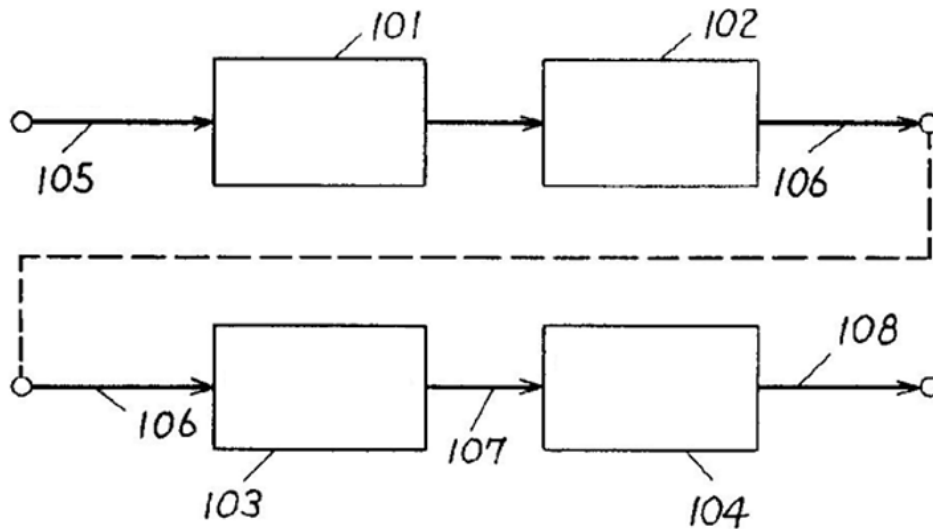
(57) [Abstract]

[Purpose]

The purpose of the present invention is to provide a video encoding device or video decoding device that efficiently removes encoding noise during compression and encoding of video signals to improve image quality.

[Constitution]

Inputted video signals 105 are signal-emphasized by an emphasis circuit 101, then compressed and encoded by an encoding circuit 102 to obtain a code sequence 106. A decoding circuit 103 decodes the code sequence 106 to output decoded video signals 107, and a de-emphasis circuit 104 de-emphasizes the decoded video signals 107 to output playback video signals 108. Here, the emphasis circuit 101 and the de-emphasis circuit 104 are either complementary or signal de-emphasis is applied more strongly.



- 101: Emphasis circuit
- 102: Encoding circuit
- 103: Decoding circuit
- 104: De-emphasis circuit
- 105: Inputted digital video signals
- 106: Code sequence
- 107: Decoded video signals
- 108: Playback video signals

[Claims]

[Claim 1]

In an apparatus that compresses and encodes video signals, a video encoding device comprising: an emphasis means for emphasizing the video signals, and an encoding means for compression encoding signals outputted from the emphasis means to obtain a code sequence.

[Claim 2]

In an apparatus that compresses and encodes video signals, the video encoding device according to claim 1 further comprising: a decoding means for decoding a code sequence to obtain decoded video signals, and a de-emphasis means for de-emphasizing the decoded video signals at a signal de-emphasis level corresponding to the signal emphasis level of the emphasis means to obtain playback video signals.

[Claim 3]

The video encoding device according to claim 2, wherein the emphasis means and the de-emphasis means are configured to have a complementary relationship.

[Claim 4]

The video encoding device according to claim 2, wherein the signal emphasis of the emphasis means is configured to be lower than the de-emphasis of the de-emphasis means.

[Claim 5]

The video encoding device according to claim 3 or 4, wherein the emphasis means has nonlinear characteristics such that the degree of emphasis increases as the amplitude of the inputted signals decreases, and the de-emphasis means has nonlinear characteristics such that the degree of de-emphasis increases as the amplitude of the inputted signal decreases.

[Claim 6]

The video encoding device according to claim 5, wherein the emphasis means is configured to include a means for extracting high-frequency components from video signals, a means for limiting the magnitude of the high-frequency components in the video signals to a first predetermined level L1 if the magnitude of the high-frequency components is less than level L1 and if the magnitude is greater than L1, a first multiplying means for multiplying the signals obtained from the limiting process by a first coefficient X1, and a means for adding the output of the first multiplying means to the video signals, and the de-emphasis means is configured to include a means for extracting high-frequency components from decoded video signals, a means for limiting the magnitude of the high-frequency components in the decoded video signals to a second predetermined level L2 if the magnitude of the high-frequency components of the decoded video signals is less than or equal to L2 defined by L1 and X1, remains unchanged, and if it is greater than L2, a second multiplying means for multiplying the signals obtained from the limiting process by a second coefficient X2, and a means for subtracting the output of the second multiplying means from the decoded video signals.

[Claim 7]

The video encoding device according to claim 6, wherein the second predetermined level L2 is configured to be determined by $(1 + X1) \times L1$.

[Claim 8]

The video encoding device according to claim 5, wherein the frequency gain characteristics of the emphasis means and the de-emphasis means are configured to have a peak near $f_s/2$ (where f_s is the sampling frequency).

[Claim 9]

The video encoding device according to claim 5, wherein the frequency gain characteristics of the emphasis means and the de-emphasis means are configured to have a peak near $f_s/4$ (where f_s is the sampling frequency).

[Claim 10]

The video encoding device according to claim 5, wherein the emphasis means is configured so that the frequency gain characteristics have a peak near $f_s/4$ (where f_s is the sampling frequency) and the de-emphasis means is configured so that the frequency gain characteristics have a peak near $f_s/2$.

[Claim 11]

The video encoding device according to claim 5, wherein the device is a video encoding device in which video signals are signal-emphasized and then compression-coded to obtain a coding sequence, and the resulting coding sequence is decoded and signal-deemphasized in accordance with the signal emphasis for play back, further comprising a means for detecting the amplitude of the video signals over a predetermined period of time before signal emphasis, a means for selecting one of a plurality of mode signals according to the amplitude detected by the detecting means, a first level control means for controlling the amplitude of the video signals on the basis of the selected mode signal, and a second level control means for controlling the amplitude of the playback video signals after signal de-emphasis with the opposite characteristics of those of the first level control means.

[Claim 12]

The video encoding device according to claim 5, wherein the emphasis means include a means for comparing the signal amplitude of the inputted signals with a predetermined amount, and emphasizes the inputted signals from the emphasis means at a degree of emphasis equal to the degree of de-emphasis of the de-emphasis means if the signal amplitude of the inputted signals is equal to or less than the predetermined amount, and emphasizes the inputted signals from the emphasis means at a degree of emphasis less than the degree of de-emphasis of the de-emphasis means if the signal amplitude of the inputted signals is greater than the predetermined amount.

[Claim 13]

The video encoding device according to claim 5, wherein the emphasis means is configured to include a vertical emphasis means for performing signal emphasis for the vertical direction of the screen and a horizontal emphasis means for performing signal emphasis for the horizontal direction of the screen at a signal emphasis degree greater than that of the

vertical emphasis means, and de-emphasis means is configured to include a vertical de-emphasis means for performing signal de-emphasis in the vertical direction of the screen and a horizontal de-emphasis means for performing signal de-emphasis in the horizontal direction of the screen.

[Claim 14]

The video encoding device according to claim 13, wherein the emphasis means is configured to perform signal emphasis in the horizontal direction after signal emphasis in the vertical direction of the screen, and the de-emphasis means is configured to perform signal de-emphasis in the vertical direction after signal de-emphasis in the horizontal direction of the screen.

[Claim 15]

The video encoding device according to claim 5, wherein the device outputs a coding sequence by compression coding after signal emphasis of the video signals, further comprises a mode switcher that selects one of L modes (where L is a natural number greater than or equal to 2) and outputs a mode signal, and the emphasis means is configured to emphasize signals with the degree of emphasis specified by the mode signal.

[Claim 16]

The video encoding device according to claim 15, wherein the de-emphasis means is configured to have complementary characteristics to the signal emphasizing characteristics of the emphasis means for the greatest emphasis among the L modes.

[Claim 17]

The video encoding device according to claim 15, further comprising a means for recording or transmitting mode signals and a means for reproducing the recorded or transmitted mode signals, wherein the de-emphasis means is configured to perform signal de-emphasis at a signal de-emphasis level specified by the reproduced mode signals so that the signal de-emphasis level in each mode signal is either equal to or greater than the corresponding signal emphasis level.

[Claim 18]

The video encoding device according to claim 15, wherein at least one of the peak frequency or the maximum gain in the frequency gain characteristics of the emphasis means and de-emphasis means is configured to differ according to the mode signal.

[Claim 19]

The video encoding device according to claim 15, wherein among the L modes (where L is a natural number greater than or equal to 2), at least one mode performs neither signal emphasis nor signal de-emphasis, or performs signal de-emphasis but no signal emphasis.

[Claim 20]

The video encoding device according to claim 15, further comprising a means for detecting the direct current level of the video signals over a predetermined period of time, wherein

the mode switcher is configured to output different mode signals according to the direct current level.

[Claim 21]

The video encoding device according to claim 15, wherein the video signals are composed of three component signals (S1, S2, S3), and the mode switcher is configured to output at least a different mode signal for at least one of component signals S1, S2, S3.

[Claim 22]

The video encoding device according to claim 21, wherein the mode switcher is configured to output a mode signal corresponding to the ratio of the visual sensitivity of the component signals S1, S2, and S3.

[Claim 23]

The video encoding device according to claim 15, wherein the video signals are compression encoded using a plurality of encoding processing methods, and the mode switcher is configured to output a mode signal according to the plurality of encoding processing methods.

[Claim 24]

The video encoding device according to claim 23, further comprising a means for performing highly efficient encoding of video signals using frame or intra-field correlation, and a means for performing highly efficient encoding of video signals using frame or inter-field prediction, wherein the mode switcher is configured to output different mode signals for image areas for frame or intra-field encoding and image areas for predictive encoding.

[Claim 25]

The video encoding device according to claim 15, wherein the encoding means is configured to perform encoding processing at an encoding compression ratio in accordance with a plurality of compression ratio control signals, and the mode switcher is configured to output a mode signal specified in the compression ratio control signals.

[Claim 26]

The video encoding device according to claim 25, wherein the mode switcher is configured to select a mode with greater signal emphasis and signal de-emphasis as the encoding compression ratio increases.

[Claim 27]

The video encoding device according to claim 25, wherein the mode switcher is configured to select a mode in which the difference between signal emphasis and signal de-emphasis increases as the coding compression ratio increases in a mode in which signal emphasis is smaller than signal de-emphasis.

[Claim 28]

The video encoding device according to claim 15, wherein the mode switcher is configured to select a mode between a recording medium that can be rewritten and a recording medium that can only be played back when a code sequence obtained by compression encoding processing of video signals is recorded on a recording medium.

[Claim 29]

The video encoding device according to claim 15, further comprising a means for detecting the spatial correlation of video signals over a predetermined period of time, and wherein the mode switcher is configured to output a mode signal defined by the spatial correlation.

[Claim 30]

The video encoding device according to claim 29, wherein the mode signal switcher is configured to select a mode with less emphasis as the spatial correlation decreases.

[Claim 31]

The video encoding device according to claim 29, wherein the mode switcher is configured to select a mode in which the difference between signal emphasis and signal de-emphasis becomes larger as the spatial correlation decreases in a mode in which signal emphasis is smaller than signal de-emphasis.

[Claim 32]

The video encoding device according to claim 15, further comprising a means for detecting that a block comprising a plurality of pixels includes a contour area of an image, and wherein the mode switcher is configured to output a mode signal for each block in accordance with the detection result on the contour area.

[Claim 33]

The video encoding device according to claim 15, further comprising a means for outputting a correlation amount proportional to the spatial correlation of a block consisting of a plurality of pixels, and a means for detecting that an image region including the block also includes a contour area, and wherein the mode switcher is configured to output a mode signal according to the correlation amount and the detection result on the contour area, and to select a mode with less emphasis for the targeted block when the correlation amount of the targeted block is smaller than a predetermined amount and the targeted block does not contain a contour area.

[Claim 34]

The video encoding device according to claim 32 or 33, wherein the means for detecting a contour area in an image includes a means of dividing an image into blocks composed of predetermined pixels, a means for detecting a correlation amount proportional to the spatial correlation of the blocks, a means for comparing the amount of correlation for the targeted block with a first predetermined amount, a means for comparing the correlation amount for a plurality of surrounding blocks located around the targeted block with a second predetermined amount, and a detection signal output means for detecting the targeted block as a contour area when the correlation amount of the targeted block is smaller than the first predetermined amount and the correlation amount of at least one of the surrounding blocks is larger than the second predetermined amount.

[Claim 35]

The video encoding device according to claim 15, further comprising a means for detecting a temporal correlation of video signals over a predetermined period of time, and wherein the mode switcher is configured to output a mode signal defined by the temporal correlation.

[Claim 36]

The video encoding device according to claim 35, wherein the mode switcher is configured to select a mode in which the difference between signal emphasis and signal de-emphasis is larger as the temporal correlation decreases in a mode in which signal emphasis is smaller than signal de-emphasis.

[Claim 37]

The video encoding device according to claim 15, further comprising an encoding distortion measuring device that measures the amount of encoding distortion produced by the encoding process over a predetermined period of time, and wherein the mode switcher is configured to output a mode signal defined by the amount of encoding distortion.

[Claim 38]

The video encoding device according to claim 37, wherein the mode switcher is configured to select a mode in which the difference between signal emphasis and signal de-emphasis becomes larger as the amount of encoding distortion increases in a mode in which signal emphasis is smaller than signal de-emphasis.

[Claim 39]

The video encoding device according to claim 15, wherein the device divides an image into blocks consisting of a plurality of pixels and performs encoding and decoding processing on each block, the device further comprising a means for detecting a boundary area in the blocks, and a mode switcher configured to output a mode signal according to the detection results on boundary areas in the blocks.

[Claim 40]

The video encoding device according to claim 15, 20, 29, 35, or 37, further comprising a means for detecting a scene change in video, and wherein the mode switcher is configured to select a mode when a scene change is detected and to hold the mode until a scene change is detected again.

[Claim 41]

The video encoding device according to claim 5, wherein the emphasis means includes an analog-to-digital converter that emphasizes analog video signals and digitizes the emphasized signals, and a digital-to-analog converter that analogizes decoded video signals obtained by decoding a code sequence, and the de-emphasis means is configured to de-emphasize output from the digital-to-analog converter and output playback video signals.

[Claim 42]

A video decoding device for performing playback processing on a code sequence obtained from compression encoding of video signals, the video decoding device comprising a decoding means for decoding the code sequence, and a de-emphasis means for signal de-emphasis of the decoded video signals obtained by the decoding means and outputting playback video signals, and the de-emphasis method being configured either to have complementary characteristics to the signal emphasis or to de-emphasize signals with a greater degree of signal de-emphasis than the degree of emphasis in signal emphasis when the code sequence is a code sequence obtained by compression encoding processing after signal emphasis of video signals.

[Claim 43]

The video decoding device according to claim 42, wherein the de-emphasis means is configured to have nonlinear characteristics in which the degree of signal de-emphasis increases as the amplitude of the inputted signals decreases.

[Claim 44]

An optical disk on which is recorded a code sequence obtained by the video encoding device according to any of claims 1 to 41.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Applicability]

The present invention relates to a video encoding device, video decoding device, and optical disk used in compression encoding of video signals for transmission or recording, and for playback of a compressed coded sequence.

[0002]

[Prior Art]

In recent years, it has become common to use, as a means of encoding video signals, a transform coding method that divides video into blocks consisting of a plurality pixels in close proximity to each other and performs an orthogonal transform such as a discrete cosine transform on each block. In this method, the conversion coefficients are quantized with a predetermined quantization width and compressed and encoded using a variable-length code such as a Huffman code.

[0003]

In the encoding of video such as television signals, inter-frame encoding is performed using the correlation between each frame. Inter-frame encoding uses the frame before or after a target frame to be encoded as reference frames, predicts the target frame, encodes a prediction error signal, and transmits or records the result. Inter-frame prediction is performed on each block consisting of a plurality of pixels, and motion compensation is performed by detecting the amount of motion in each block. As a result, the amount of motion in each block is transmitted or recorded along with a prediction error signal.

[0004]

In addition, a means for decoding and processing code sequences performs an inverse transformation to obtain playback video signals if a code sequence has been encoded using a transform coding method. If inter-frame prediction encoding is used, a playback frame is composed of the decoded prediction error signal, amount of motion, and reference frame, using a predetermined playback frame previously obtained via the decoding process as a reference frame.

[0005]

[Problem to be Solved by the Invention]

However, encoding noise becomes more pronounced as the compression ratio increases, and block noise and mosquito noise are generated, especially in transform encoding, resulting in image quality degradation.

[0006]

In view of these circumstances, it is an object of the present invention to provide a device that reduces encoding noise and that realizes efficient image encoding even at high compression ratios.

[0007]

[Means for Solving the Problem]

In order to realize the object stated above, the video encoding and decoding device of the present invention comprises an emphasis means for emphasizing video signals, an encoding means for encoding signals obtained from the emphasis means to obtain a code sequence, decoding means for decoding the code sequence to obtain playback video signals, and a de-emphasis for de-emphasizing decoded video signals with a degree of de-emphasis corresponding to the degree of emphasis in the emphasis means to obtain playback video signals.

[0008]

In addition, the emphasis means and the de-emphasis means are configured to have complementary characteristics, or the degree of emphasis in the emphasis means is smaller than the degree of de-emphasis in the de-emphasis means.

[0009]

In addition, the emphasis means is configured with nonlinear characteristics such that the degree of emphasis increases as the amplitude of the inputted signals of the emphasis means decreases, and the de-emphasis means is configured with nonlinear characteristics such that the degree of de-emphasis increases as the amplitude of the inputted signals to the de-emphasis means decreases.

[0010]

In addition, the degree of emphasis in the emphasis means is configured to be smaller than the degree of de-emphasis in the de-emphasis means when the amplitude of the inputted signals to the emphasis means is less than a predetermined amount, and when the degree

of emphasis in the emphasis means is equal to the degree of de-emphasis in the de-emphasis means, and the amplitude of the inputted signals to the emphasis means is greater than the predetermined amount.

[0011]

The device further comprises a mode switcher that selects one of L modes (where L is a natural number greater than or equal to 2) and outputs a mode signal, the emphasis means is configured to emphasize the signals with a degree of emphasis according to the mode signal, and the de-emphasis means is configured to de-emphasize signals with a degree of de-emphasis according to the mode signal. In all of the modes, the degree of emphasis in the emphasis means is not greater than the degree of de-emphasis in the de-emphasis means, the degree of emphasis in the emphasis means in at least one of the L modes is less than the degree of de-emphasis in the de-emphasis means in the mode, and in the other modes, the degree of emphasis and the degree of de-emphasis are equal.

[0012]

In addition, the device is a device that encodes and decodes analog video signals, comprising an emphasis means for emphasizing analog video signals, an analog-to-digital converter that performs analog-to-digital conversion on signals obtained from the emphasis means, an encoding means for encoding outputted signals from the analog-to-digital converter to obtain a code sequence, a decoding means for decoding the code sequence to obtain decoded video signals, a digital-to-analog converter that performs digital-to-analog conversion on the decoded video signals, and a de-emphasis means for de-emphasizing the output from the digital-to-analog converter.

[0013]

The video encoding device of the present invention also comprises an emphasis means for signal emphasis of video signals and an encoding means for compression encoding the output from the emphasis means.

[0014]

The video decoding device of the present invention also comprises a decoding means for decoding a code sequence obtained from the encoding process to obtain decoded video signals, and a de-emphasis means for de-emphasizing the decoded video signals.

[0015]

[Operation]

The present invention is able to remove encoding noise generated by the encoding process by signal de-emphasis, resulting in improved image quality.

[0016]

By configuring a video encoding device, video decoding device, or video encoding and decoding device with a configuration described above so that signal emphasis and signal de-emphasis have complementary characteristics, signal de-emphasis is performed without loss of frequency bandwidth in the video signals. As a result, just the noise components

produced in the encoding process are removed by signal de-emphasis, resulting in improved image quality.

[0017]

Also, making the signal emphasis smaller than signal de-emphasis results in a mismatch between signal emphasis and signal de-emphasis, but the increase in the amount of information in video signals due to signal emphasis can be suppressed, and the encoding noise that occurs in the high frequency band due to signal de-emphasis can be more effectively removed.

[0018]

In addition, by adding nonlinear characteristics to signal emphasis so that the degree of emphasis increases with smaller amplitude signals, the increase in the amount of encoded information is suppressed because the degree of emphasis of large amplitude signals is small, and the encoding noise of small amplitude signals is removed more efficiently, resulting in improved image quality.

[0019]

In addition, by providing a mode switcher, signal emphasis and signal de-emphasis can be performed according to a plurality of modes in the encoding process. Therefore, encoding noise can be more efficiently removed by adapting to the encoding mode or characteristics of the video signals, etc.

[0020]

By performing signal emphasis and signal de-emphasis on analog video signals, the emphasis and de-emphasis means can be composed of analog circuits. In this way, encoding noise can be eliminated as the means were composed of digital circuits, but by using analog circuits as the emphasis means and de-emphasis means, these means can be configured more simply and inexpensively than using digital circuits.

[0021]

[Examples]

The following is a detailed description of examples of video encoding and decoding devices of the present invention with reference to the drawings. First, a device in which video signals are treated as digital signals will be described. For the sake of brevity, signal emphasis and signal de-emphasis will be described as processing of two-dimensional video signals in the horizontal direction of the screen.

[0022]

Fig. 1 is a diagram of the video encoding and decoding device in the first example of the present invention. Fig. 1 is an encoding and decoding device comprising an emphasis circuit 101, an encoding circuit 102, a decoding circuit 103, and a de-emphasis circuit 104.

[0023]

Inputted digital video signals 105 are subjected to signal emphasis by the emphasis circuit 101, and then encoded by the encoding circuit 102 to obtain a code sequence 106. The decoding circuit 106 decodes the code sequence 106 and outputs decoded video signals 107. The de-emphasis circuit 104 de-emphasizing the decoded video signals 107 and outputs playback video signals 108.

[0024]

In this example, noise generated by the encoding process is removed by signal de-emphasis performed on the decoded video signals. However, if the original signals have been subjected to signal emphasis prior to the encoding process, degradation of the original signals due to signal de-emphasis can be suppressed.

[0025]

Next, as a second example of the video encoding and decoding device of the present invention, a situation in which the emphasis circuit 101 and the de-emphasis circuit 104 in Fig. 1 are complementary will be described. Here, the product of the transfer function of the emphasis circuit 101 and the transfer function of the de-emphasis circuit 104 is 1.

[0026]

An example of an emphasis circuit 101 is shown in Figure 2 (a). The emphasis circuit in Fig. 2(a) consists of a first adder 201, a delayer 202, a subtractor 203, a first multiplier 204, a second adder 205, and a second multiplier 206.

[0027]

The adder 201 in Fig. 2 (a) adds inputted signals 207 to a feedback loop signal 209, and the output from the adder 201 is delayed one pixel by the delayer 202. The subtractor 203 subtracts the output of the delayer 202 from inputted signals 207. Output from the subtractor 203 is inputted to the first multiplier 204 and the second multiplier 206. The first multiplier 204 multiplies the output from the subtractor 203 by constant x_1 , and the second multiplier 206 multiplies the output from the subtractor 203 by constant k_1 . Output from the second multiplier 206 is inputted to the first adder 201 as a feedback loop signal 209. Output from the first multiplier 204 is inputted to the second adder 205. The second adder 205 adds the output from the first multiplier 204 to inputted signals 207, and the output serves as the outputted signals 208 of the emphasis circuit 101.

[0028]

For the sake of brevity, the constant k_1 for the second multiplier 206 is set to 0 and there is no feedback loop. In this situation, the emphasis circuit performs signal emphasis by multiplying the difference with the signal one pixel earlier by x_1 and adding the product to the inputted signal.

[0029]

Fig. 2. (b) shows an example of a de-emphasis circuit with complementary characteristics to the emphasis circuit shown in Fig. 2 (a). The de-emphasis circuit in Fig. 2 (b) consists of a first subtractor 211, a delayer 212, a second subtractor 213, a first multiplier 214, a third subtractor 215, and a second multiplier 216.

[0030]

First, the first subtractor 211 subtracts feedback loop signals 219 from inputted signals 217. The delayer 212 delays the output from the first subtractor 211 by one pixel. The second subtractor 213 subtracts output from the delayer 212 from inputted signals 217. The output of the second subtractor 213 is inputted to the first multiplier 214 and the second multiplier 216. The first multiplier 214 multiplies the output from the second subtractor 213 by constant x_2 , and the second multiplier 216 multiplies the output from the second subtractor 213 by constant k_2 . The output from the second multiplier 216 is inputted to the first subtractor 211 as feedback loop signals 219. The output from the first multiplier 214 is inputted to the third subtractor 215. The third subtractor 215 subtracts output of the first multiplier 214 from the inputted signals 217, and the output serves as the outputted signals 218 of the de-emphasis circuit 104.

[0031]

For the emphasis circuit in Fig. 2 (a) and the de-emphasis circuit in Fig. 2 (b) to be complementary, the conditions in Equation 1 must be satisfied.

[0032]

[Equation 1]

$$k_2 = \frac{x_1 - k_1}{1 + x_1}, \quad x_2 = \frac{x_1}{1 + x_1}$$

[0033]

For example, if $x_1 = 1$ and $k_1 = 0$, then $x_2 = 0.5$ and $k_2 = 0.5$. The frequency characteristics peak at $f_s/2$ (where f_s is the sampling frequency), resulting in maximum signal emphasis and de-emphasis of approximately 9.5 dB.

[0034]

Here, the delayers 202, 212 have a time delay of one pixel, but a time delay of two pixels may also be used. In this case, the frequency characteristics of the emphasis circuit and de-emphasis circuit will have a peak near $f_s/4$. In this way, signal emphasis is not performed in high frequency components (near $f_s/2$). This is because if the original signals are video signals that contains many high-frequency components, emphasizing the high-frequency components may result in more encoding noise.

[0035]

Because signal emphasis and signal de-emphasis are complementary in this example, the emphasized signals are restored to the original signals prior to signal emphasis by the signal de-emphasis, and only encoding noise components produced by the encoding process are suppressed. As a result, encoding noise is reduced and image quality is improved.

[0036]

Next, a third example of the present invention will be explained, in which emphasis by the emphasis circuit 101 in Fig. 1 is smaller than de-emphasis by the de-emphasis circuit 104. As a result, signal de-emphasis is stronger and a mismatch occurs.

[0037]

When the high-frequency components in signals are emphasized in signal emphasis, more emphasized components are de-emphasized in signal de-emphasis, resulting in degradation of the high-frequency components relative to the original signals. However, the encoding process removes more noise generated in the high-frequency components, so image quality improves despite the mismatch as the encoding compression ratio increases.

[0038]

In Figure 2, as x_1 and k_1 increase, emphasis by the emphasis circuit increases, and as x_2 and k_2 increase, de-emphasis by the de-emphasis circuit increases. For the parameters x_1 , k_1 , x_2 , and k_2 for emphasis by the emphasis circuit in Fig. 2 (a) and de-emphasis by the de-emphasis circuit in Fig. 2 (b) to be equal, the conditions in Equation 1 above should be satisfied.

[0039]

Therefore, the parameters x_1 , k_1 for making the degree of emphasis smaller than the degree of de-emphasis should be smaller than at least one of the parameters obtained from the conditional equations in Equation 1. For example, if $x_1 = 0.5$ and $k_1 = 0$, then $x_2 = 0.5$ and $k_2 = 0.5$.

[0040]

Using this configuration, signal de-emphasis is greater than signal emphasis, so signal de-emphasis does not restore the original signals, but more of the encoded noise components generated by the encoding process are suppressed. As a result, encoding noise is reduced and image quality is improved.

[0041]

In the delayer 202 in the emphasis circuit in Fig. 2 (a) and the delayer 212 in the de-emphasis circuit in Fig. 2 (b), a delay of one pixel and a peak frequency in the frequency gain characteristics near $f_s/2$ may be set, or delay of two pixels and a peak frequency near $f_s/4$ may be set.

[0042]

In addition, the peak frequency in the frequency gain characteristics of the emphasis circuit may be near $f_s/4$, and the peak frequency in the frequency gain characteristics of the de-emphasis circuit may be near $f_s/2$. In order to do this, the delayer 202 in the emphasis circuit in Fig. 2 (a) should be delayed by two pixels and the delayer 212 in the de-emphasis circuit in Fig. 2 (b) should be delayed by one pixel, as mentioned above. In this way, the high-frequency components in the original signals are impaired because signal de-emphasis acts strongly on the high-frequency components of the original signals, but more of the encoding noise generated by the encoding process can be removed, thus improving image quality. However, in the low- and mid- frequency ranges, it is sufficient to obtain almost complementary characteristics, which allows for more efficient removal of encoding noise.

[0043]

The encoding circuit 102 and the decoding circuit 103 in the first and second examples compress, encode, and reproduce inputted video signals, so any discrete cosine transform coding method, etc. can be used. Note that the emphasis circuit and de-emphasis circuit are not limited to the circuit configurations shown in Fig. 2.

[0044]

Next, a fourth example of the present invention will be described. The fourth example of the present invention has an emphasis circuit with nonlinear characteristics in which the emphasis circuit 101 in Fig. 1 performs signal emphasis with a smaller degree of emphasis as the signal amplitude increases, and a de-emphasis circuit with nonlinear characteristics in which the de-emphasis circuit 104 in Fig. 1 performs signal de-emphasis with a smaller degree of de-emphasis as the signal amplitude increases. First, a situation will be explained in which signal emphasis and signal de-emphasis are complementary.

[0045]

When signals with large signal amplitude are emphasized using a high degree of emphasis, the amount of information tends to increase in video signals, which in turn may generate more encoding noise. Therefore, by using nonlinear characteristics with respect to signal amplitude, signal emphasis and signal de-emphasis are performed with a high degree of emphasis on signal components that have the same amplitude as the generated noise components, and in large amplitude signals, the increase in the amount of information is suppressed and encoding noise can be efficiently removed.

[0046]

As in the second example, the frequency gain characteristics of the emphasis circuit and de-emphasis circuits may peak near $f_s/2$ or near $f_s/4$. By setting the gain peak near $f_s/2$, encoding noise that occurs in the high frequency band can be actively eliminated. In addition, by setting the gain peak near $f_s/4$, emphasis performed on the high-frequency components of the original signals is weakened and the generation of encoding noise is suppressed.

[0047]

As in the third example, the degree of emphasis performed by the emphasis circuit may be smaller than the degree of de-emphasis in the de-emphasis circuit. As a result, decoded video signals are more strongly suppressed, but more of the encoding noise generated by the encoding process can be removed, resulting in improved image quality.

[0048]

Also, the frequency gain characteristics of the emphasis circuit may have a peak near $f_s/4$ and the frequency characteristics of the de-emphasis circuit may have a peak near $f_s/2$. In this way, signal de-emphasis acts more strongly in the high frequency range of the frequency band than in signal emphasis, so that more of the encoding noise can be removed, especially in the high frequency range, without affecting the signal components in the low- and mid-frequency range, resulting in improved image quality.

[0049]

Next, a fifth example of the present invention will be described with reference to Fig. 3. Fig. 3 shows an example of an emphasis circuit that is nonlinear with respect to the amplitude of inputted signals. The nonlinear emphasis circuit in Fig. 3 (a) consists of a first adder 301, a delayer 302, a subtractor 303, a limiter 304, a first multiplier 305, a second adder 306, and a second multiplier 307. The first adder 301 adds inputted signals 308 to feedback loop signals 310, and the output from the adder 301 is delayed one pixel by the delayer 302. The subtractor 303 subtracts the output of the delayer 302 from inputted signals 308. Output from the subtractor 303 corresponds to the high-frequency components in the inputted signals.

[0050]

The limiter 304 limits the amplitude of the outputted signals from the subtractor 303 at limiter level $L1$. The input/output characteristics of the limiter 304 are shown in Fig. 4. In Fig. 4, the limiter level is set to L . As shown in Fig. 4, the outputted signals are equal to the inputted signals when the inputted signal amplitude is from $-L$ to L . However, when the inputted signal amplitude is less than $-L$, the outputted signal amplitude is limited to $-L$, and when the inputted signal amplitude is greater than L , the outputted signal amplitude is limited to L .

[0051]

The output from the limiter 304 is inputted to the first multiplier 305 and the second multiplier 307. The first multiplier 305 multiplies the output from the limiter 304 by constant $x1$, and the second multiplier 307 multiplies the output from the limiter 304 by constant $k1$. The output from the second multiplier 307 is inputted to the first adder 301 as a feedback loop signal 310. The output from the first multiplier 305 is inputted to the second adder 306. The second adder 306 adds the output from the first multiplier 305 to inputted signals 308, and the output serves as the outputted signals 309 from the nonlinear emphasis circuit.

[0052]

For the sake of brevity, constant $k1$ for the second multiplier 307 is 0. In other words, in a case in which there is no feedback loop, if limiter level $L1$ is set to infinity, the circuit is the same as the one in Fig. 2 (a), in which the amount of difference relative to the previous signal by one pixel is multiplied by $x1$ and added to the inputted signals, and the circuit acts as a linear-emphasis circuit. However, when limiter level $L1$ is set to the appropriate value, the signal emphasis for smaller amplitude signals is larger than the amount of signal emphasis for larger amplitude signals, resulting in nonlinear characteristics.

[0053]

Fig. 3 (b) shows an example of a nonlinear de-emphasis circuit with complementary characteristics relative to the nonlinear emphasis circuit shown in Fig. 3 (a). The nonlinear de-emphasis circuit in Fig. 3 (b) consists of a first subtractor 311, a delayer 312, a second subtractor 313, a limiter 314, a first multiplier 315, a third subtractor 316, and a second multiplier 317.

[0054]

The first subtractor 311 subtracts feedback loop signals 320 from inputted signals 318. The delayer 312 delays the output of the first subtractor 311 by one pixel. The second subtractor 313 subtracts the output of the delayer 312 from inputted signals 318. The second subtractor 313 corresponds to the high frequency components of the inputted signal 318.

[0055]

The limiter 314 limits the amplitude of outputted signals from the second subtractor 313 at limiter level L2. This limiter 314 is similar to the limiter 304 in the nonlinear emphasis circuit shown in Fig. 3 (a), and its input-output characteristics are those shown in Fig. 4.

[0056]

The output from the limiter 314 is inputted to the first multiplier 315 and the second multiplier 317. The first multiplier 315 multiplies the output from the limiter 314 by constant x2, and the second multiplier 317 multiplies the output from the limiter 314 by constant k2. The output from the second multiplier 317 is inputted to the first subtractor 311 as a feedback loop signal 320. The output from the first multiplier 315 is inputted to the third subtractor 316. The third subtractor 316 subtracts the output of the first multiplier 315 from the inputted signals 318, and the output serves as the outputted signal 319 from the nonlinear de-emphasis circuit.

[0057]

Limiter level L2 of the limiter 314 is defined by limiter level L1 of the limiter 304 in the nonlinear emphasis circuit and the constant x1 for the multiplier 305. Limiter level L2 is provided in Equation 2.

[0058]

[Equation 2]

$$L2 = (1 + x1) \cdot L1$$

[0059]

In order for the nonlinear emphasis circuit in Fig. 3(a) and the nonlinear de-emphasis circuit in Fig. 3 (b) to be complementary for signals with amplitudes sufficiently smaller than the limiter level, the conditions in Equation 1 must be satisfied, as in Fig. 2. If Equation 2 is satisfied, complementary characteristics can be had for all signals.

[0060]

Increasing signal emphasis also increases the amount of information contained in signals, which in turn increases encoding noise in the compression encoding process and may cause image quality degradation. Therefore, essentially, a smaller signal emphasis is better from the standpoint of encoding efficiency. However, signal de-emphasis that is complementary to signal emphasis removes encoding noise and improves image quality. Therefore, by setting limiter level L1 for the limiter 304 in the nonlinear emphasis circuit to the appropriate value, signal emphasis is performed with a large degree of emphasis on small amplitude signals of the same amplitude as the noise components, and by suppressing

signal emphasis of large amplitude signals, the increase in the amount of information can be suppressed and encoding noise in small amplitude signals can be removed.

[0061]

For example, if the maximum signal amplitude is level 256, and $x_1 = 1.0$, $k_1 = 0$, $x_2 = 0.5$, and $k_2 = 0.5$ as the constants for each circuit, limiter level L1 for the limiter 304 in the nonlinear emphasis circuit and limiter level L2 for the limiter 314 in the nonlinear emphasis circuit should be $L_1 = 15$ and $L_2 = 30$.

[0062]

Note that these limiter levels are examples obtained experimentally and the present invention is not necessarily limited to these examples. However, because the noise level in encoding noise such as block noise generated by the encoding process is often less than 30, setting L2 to 30 can efficiently remove encoding noise.

[0063]

The delays 302, 312 in Fig. 3 are set a delay of one pixel and the peak frequency of the frequency gain characteristics is near $f_s/2$, but the delay can be set to two pixels. The peak frequency of the gain in this case is near $f_s/4$.

[0064]

The nonlinear emphasis circuit and nonlinear de-emphasis circuit can have, but are not limited to, the circuit configurations shown in Fig. 3. Any emphasis circuit or de-emphasis circuit with nonlinear characteristics can be used in which the degree of emphasis decreases as the amplitude increases.

[0065]

As in the third example, the degree of emphasis in the emphasis circuit may be smaller than the degree of de-emphasis in the de-emphasis circuit, resulting in improved image quality because more encoding noise from encoding processing at high compression rates is removed. In this case, parameters x_1 , k_1 , and L_1 used to make the degree of emphasis in the emphasis circuit smaller than the degree of de-emphasis in the de-emphasis circuit in Fig. 3 should be smaller than the parameters required by the conditional equations in Equation 1 and Equation 2 for at least one of these three parameters.

[0066]

As in the third example, the peak frequency for the frequency gain characteristics of the emphasis circuit and de-emphasis circuit may be set to $f_s/2$ or $f_s/4$. In addition, the peak frequency for the frequency gain characteristics of the emphasis circuit may be set to $f_s/4$ and the peak frequency for the frequency gain characteristics of the de-emphasis circuit to $f_s/2$.

[0067]

The nonlinear emphasis circuit and nonlinear de-emphasis circuit can have, but are not limited to, the circuit configurations shown in Fig. 3. Any emphasis circuit or de-emphasis

circuit with nonlinear characteristics can be used in which the degree of emphasis decreases as the amplitude increases.

[0068]

Next, in the sixth example of the present invention, the nonlinear emphasis circuit and nonlinear de-emphasis circuit in Fig. 3 are used in which parameters x_1 and k_1 for the emphasis circuit satisfy the conditions in Equation 2, but with respect to limiter level L_1 , the parameters are smaller than L_1 satisfied by the conditions in Equation 2. If the limiter level for the emphasis circuit is L_1' , then L_2' obtained using the equation $L_2' = (1 + x_1) \times L_1' < L_2$ indicates the limiter level for the de-emphasis circuit that makes the emphasis and de-emphasis levels equal when the limiter level for the emphasis circuit is L_1' . Note that L_2 is the limiter level for the de-emphasis circuit when the degree of emphasis is smaller than the degree of de-emphasis.

[0069]

When the amplitude of the inputted signals to the de-emphasis circuit is less than L_2' , emphasis and de-emphasis are equal and the emphasis and de-emphasis circuits have a complementary relationship. However, when the amplitude of the inputted signals to the de-emphasis circuit exceeds L_2' , the degree of de-emphasis is greater than the degree of emphasis. In other words, signal emphasis and signal de-emphasis have a complementary relationship for flat patterns with a small signal amplitude, but the degree of emphasis is smaller than the degree of de-emphasis for complex patterns with a large signal amplitude.

[0070]

When a complex picture is signal-emphasized, the increase in the amount of information is greater than for a flat picture, and the encoding noise also increases, but the increase in the amount of information is greater than that for a flat picture. However, this configuration is able to suppress the degree of emphasis in complex patterns, allowing for signal emphasis without causing an increase in the amount of information. In addition, in flat patterns, just the encoding noise component is removed because of the complementary relationship between signal emphasis and signal de-emphasis. In contrast, in complex patterns, the degree of de-emphasis is greater than the degree of emphasis, so the high-frequency components in the original signals are impaired, but the encoding process can remove more of the noise generated in the high-frequency components, resulting in improved picture quality.

[0071]

The emphasis circuit and de-emphasis circuit can be, but are not limited to, those shown in Fig. 3. An emphasis circuit can be used with nonlinear characteristics in which signal emphasis decreases as the amplitude increases, or an emphasis circuit can be used with linear characteristics. When the signal amplitude is less than a predetermined amount, the emphasis circuit and the de-emphasis circuit are complementary, and when the signal amplitude is greater than a predetermined amount, any configuration is fine as long as signal de-emphasis acts more strongly than signal emphasis.

[0072]

In the first through sixth examples described above, signal emphasis and signal de-emphasis are described for the horizontal direction in two-dimensional video signals, but

this processing is not limited to the vertical direction on the screen or the time direction. Vertical processing on the screen may be done field-by-field or frame-by-frame for interlaced images.

[0073]

Next, in the seventh example of the present invention, the two-dimensional emphasis circuit 501 in Fig. 5(a) is used as an example of the emphasis circuit 101 in Fig. 1, and the two-dimensional de-emphasis circuit 506 in Fig. 5 (b) is used as an example of the de-emphasis 104 in Fig. 1.

[0074]

The two-dimensional de-emphasis circuit 501 in Fig. 5 (a) consists of a vertical de-emphasis circuit 502 and a horizontal de-emphasis circuit 503, while the two-dimensional de-emphasis circuit 506 in Fig. 5 (b) consists of a horizontal de-emphasis circuit 507 and a vertical de-emphasis circuit 508. Each circuit configuration should have the same basic structure as the emphasis circuit in Fig. 2 (a) or Fig. 3 (a) and the de-emphasis circuit in Fig. 2 (b) or Fig. 3 (b), although what is to be delayed using memory (not shown) is different for each. However, horizontal signal emphasis should be greater than vertical signal emphasis. In the seventh example, the connection order of the vertical emphasis circuit 502 and the horizontal emphasis circuit 503 can be the reverse of the order shown in the figure. Similarly, the connection order of the horizontal de-emphasis circuit 507 and the vertical de-emphasis circuit 508 is not limited to the order shown in the figure, and can be the reverse of this order.

[0075]

In the encoding process, when video is divided into blocks consisting of a plurality of pixels and the encoding process is performed block by block, block noise becomes particularly pronounced as the encoding compression ratio increases, resulting in significant degradation of image quality. This block noise is due to the appearance of discontinuities between blocks along the block boundaries, and horizontal discontinuities are especially noticeable. In other words, it occurs as linear noise at the boundaries between vertical blocks. In order to more effectively remove this horizontal discontinuity, horizontal signal emphasis should be larger than the vertical signal emphasis.

[0076]

For example, when the nonlinear emphasis circuit in Fig. 3 (a) is used as the vertical emphasis circuit 502 and the horizontal emphasis circuit 503, and the nonlinear de-emphasis circuit in Fig. 3 (b) is used as the horizontal de-emphasis circuit 507 and the vertical emphasis circuit, if the constants x_1 , k_1 , L_1 , x_2 , k_2 , L_2 shown in Table 1 are selected, the maximum signal de-emphasis is about 9.5 dB in the horizontal direction and about 5.5 dB in the vertical direction, which allows for more efficient removal of block noise.

[0077]

[Table 1]

	Emphasis			De-Emphasis		
	x1	k1	L1	x2	k2	L2
Horizontal Direction	1.5	0.0	6	0.6	0.6	30
Vertical Direction	0.43	0.0	10	0.3	0.3	30

[0078]

Each of the emphasis circuits and de-emphasis circuits can be, but are not limited to, those shown in Fig. 3. The emphasis circuits, for example, can be an emphasis circuits with nonlinear characteristics in which signal emphasis decreases as the amplitude increases, or can be emphasis circuits with linear characteristics. The constants shown in Table 1 are examples obtained experimentally and the constants are not limited to those shown in Table 1.

[0079]

The horizontal de-emphasis circuits and vertical de-emphasis circuits may be complementary to each other, and the degree of emphasis in the horizontal and vertical emphasis circuits may be less than the degree of de-emphasis in the horizontal and vertical de-emphasis circuits. In addition, just one of the emphasis in the horizontal direction or vertical direction may be smaller than the de-emphasis. In this case, the emphasis must be equal to the de-emphasis in the other direction.

[0080]

Next, in the eighth example of the present invention, as in the seventh example, the two-dimensional emphasis circuit 501 in Fig. 5 (a) is used as an example of the emphasis circuit 101 in Fig. 1, and the two-dimensional de-emphasis circuit 506 in Fig. 5 (b) is used as an example of the de-emphasis circuit 104 in Fig. 1. The eighth example uses the same circuits as those in the seventh example, but the connection conditions are different from those in the seventh example. In other words, a vertical emphasis circuit is provided first and this must be configured to first perform vertical signal emphasis on the inputted signals.

[0081]

The operation of this example as configured above will now be explained. First, in the two-dimensional (2D) emphasis circuit 501 in Fig. 5 (a), inputted video signals 504 are first vertically signal-emphasized by the vertical emphasis circuit 502. The output from the vertical emphasis circuit 502 is then signal-emphasized in the horizontal direction by the horizontal emphasis circuit 503. The outputted signals 505 from the horizontal emphasis circuit 503 are then encoded and decoded as described in the first example. The decoded signals 509 are inputted to the two-dimensional de-emphasis circuit 506, and signal de-emphasis is performed in the horizontal direction by the horizontal de-emphasis circuit 507 before signal de-emphasis is performed in the vertical direction by the vertical de-emphasis circuit 508. The output of the vertical de-emphasis circuit 508 is outputted as playback video signals 510.

[0082]

Signal amplitude overflow or underflow is more likely to occur as signal emphasis increases, resulting in a larger mismatch between the emphasis circuits and de-emphasis circuits and the generation of noise. Therefore, the occurrence of signal amplitude overflow and underflow can be reduced by performing vertical signal emphasis with a small degree of emphasis first. As a result, mismatches between signal emphasis and signal de-emphasis are reduced, and noise due to signal emphasis and signal de-emphasis can be reduced.

[0083]

Each of the emphasis circuits and de-emphasis circuits can be, but are not limited to, those shown in Fig. 2 or Fig. 3.

[0084]

Next, a ninth example of the present invention will be described using Fig. 6. Fig. 6 is a block diagram of an example of an encoding and decoding device as shown in Fig. 1 equipped with a mode switcher 601 and having a plurality of modes.

[0085]

The mode switcher 601 outputs a mode signal 604 in response to a mode control signal 603 used to control the plurality of modes. The emphasis circuit 602 emphasizes video signals 606 by a signal emphasis level according to the mode signal 604 and outputs the emphasized signals. Emphasized signals 607 are then inputted to the encoding circuit for encoding processing as described in the first example.

[0086]

If the signal emphasis is too high, the amount of information in the signals 607 inputted to the encoding circuitry increases, which in turn may cause a lot of encoding noise in the encoding process and result in image quality degradation. In order to maintain a complementary relationship with the signal de-emphasis process in the device performing decoding processing, it may be necessary to match the decoding device with the signal emphasis characteristics. By varying signal emphasis according to a plurality of modes, efficient compression encoding can be realized.

[0087]

For example, when recording a code sequence obtained from the compression encoding of video signals to a medium, signal emphasis is performed according to a mode for recording code sequences to a medium that can record and playback code sequences or a mode for recording to a medium that can only playback code sequences. In a device that has no means for encoding processing and only means for decoding processing, the degree of signal de-emphasis when playing back video signals from a medium is uniquely determined by the degree of signal emphasis during recording. However, in devices equipped with both encoding and decoding processing, the degree of signal emphasis can be freely selected when recording. Thus, the signal emphasis can be changed according to the mode for the type of medium, and encoding processing can be performed efficiently.

[0088]

However, in this example, the de-emphasis circuit that performs signal de-emphasis for the emphasis circuit is complementary to the emphasis circuit in all modes.

[0089]

The peak frequency in the frequency gain characteristics of the emphasis circuit and de-emphasis circuit may be specified for each mode, and the maximum gain may be specified for each mode.

[0090]

Next, in a tenth example of the present invention, the emphasis in the emphasis circuit in Fig. 6 is smaller than the de-emphasis in the de-emphasis circuit in at least one mode. Here, there are three modes.

[0091]

The mode switcher 601 outputs a mode signal 604 in response to a mode control signal 603 used to control the three modes. The emphasis circuit 602 emphasizes video signals 606 at the degree of emphasis corresponding to the mode signal 604 and outputs the emphasized signals. The emphasized signals 607 are then inputted to the encoding circuit for encoding processing as described in the first example.

[0092]

On the playback end, the de-emphasis circuit de-emphasizes the decoded video signals at a degree of de-emphasis corresponding to the mode signal. Here, the emphasis in the three modes is not greater than the de-emphasis, and for at least one mode, the emphasis is less than the de-emphasis. The following is an example.

Mode 1: Degree of Emphasis = Degree of De-Emphasis

Mode 2: Degree of Emphasis < Degree of De-Emphasis

Mode 3: Degree of Emphasis = Degree of De-Emphasis

Degree of Emphasis in Mode 1 < Degree of Emphasis in Mode 2 < Degree of Emphasis in Mode 3

Degree of De-Emphasis in Mode 1 < Degree of De-Emphasis in Mode 2 = Degree of De-Emphasis in Mode 3

When the signal emphasis is too high, the amount of information in the signals 607 inputted to the encoding circuitry increases, which may increase the encoding noise generated in the encoding process and cause degradation in image quality. Therefore, mode 3 is normally selected for signal emphasis and signal de-emphasis, and mode 1 is selected when the encoding process is such that there is very little encoding noise to begin with. If signal emphasis causes more encoding noise, mode 2 is selected.

[0093]

By varying the signal emphasis according to a plurality of modes, efficient compression encoding can be achieved.

[0094]

In the examples of modes provided above, the de-emphasis circuit has the same de-emphasis level for mode 2 and mode 3, but these can be different. Among these modes, there may be a mode in which both signal emphasis and signal de-emphasis are not performed, or there may be a mode in which signal emphasis is not performed but signal de-emphasis is performed.

[0095]

The degree of emphasis in the emphasis circuit is determined by the mode signal, but the degree of de-emphasis in the de-emphasis circuit may be constant regardless of the mode signal. In this case, the degree of de-emphasis should be equal to the greatest degree of emphasis. In this way, control using mode signals is not required on the playback end, and the circuit size can be reduced. Although the number of modes here is three, any number of modes can be used as long as there are two or more modes, and the examples of modes provided above are just examples and not a limitation.

[0096]

In the ninth example and the tenth example, a means for dividing video into blocks consisting of multiple pixels may be provided, and a mode may be selected for each block. The unit of mode switching can be for each screen, or it can be for each predetermined unit of time by providing a counting circuit that outputs a detection signal every predetermined unit of time. In addition, a camera may be provided with a circuit that detects scene changes in the video, and perform mode switching for each scene change. The mode switcher may be configured to select a mode when a scene change is detected and hold a mode until another scene change is detected. A scene change can also be detected by measuring the correlation between images or using some other method.

[0097]

Next, an eleventh example of the present invention will be described using Fig. 7. Fig. 7 is a block diagram of an example of an encoding and decoding device as in Fig. 1 that, like the ninth example, is equipped with a mode switcher 701 and performs encoding at a plurality of encoding compression ratios.

[0098]

The mode switcher 701 outputs a mode signal 705 in response to an encoding compression ratio control signal 704. The emphasis circuit 702 emphasizes video signals 706 at a degree of emphasis according to a mode signal 705. The encoder 703 encodes the outputted signals from the emphasis circuit 702 at an encoding compression ratio according to the encoding compression ratio control signal and outputs a code sequence 707.

[0099]

In this example of an encoding and decoding device, signal emphasis and signal de-emphasis have a complementary relationship. When the encoding compression ratio is low, signal emphasis is reduced, and when the coding compression ratio is high, signal emphasis is increased. When the encoding compression ratio is low, there is no need to increase signal emphasis and signal de-emphasis because the encoding noise is inherently low. However, as the encoding compression ratio increases, block noise and other types of noise occur and deterioration in image quality becomes more pronounced, so encoding noise has to be removed more aggressively.

[0100]

Generally, increasing signal emphasis increases the amount of information, and there is a tradeoff between increasing encoding noise due to an increase in the amount of information and encoding noise removed by signal de-emphasis, the signal emphasis is preferably reduced when encoding noise is low to begin with. Therefore, by performing adaptive signal emphasis according to the encoding compression ratio and signal de-emphasis according to signal emphasis, encoding noise can be efficiently reduced and image quality improved.

[0101]

The de-emphasis circuit used in signal de-emphasis should be complementary to the emphasis circuit 702, but the present invention is not limited to this. For example, there can be a mode in which the degree of de-emphasis in the de-emphasis circuit is greater than the degree of emphasis in the emphasis circuit.

[0102]

Next, Fig. 7 will be used to explain a twelfth example of the present invention, which is an encoding and decoding device with a mode in which signal emphasis is smaller than signal de-emphasis. Fig. 7 is a block diagram of an example of an encoding and decoding device as shown in Fig. 1 which, like the eleventh example, has a mode switcher 701 that encodes at a plurality of coding compression rates. Here, three encoding compression ratios are used, namely, Mode 1, Mode 2, and Mode 3 below.

[0103]

Mode 1 Compression Ratio > Mode 2 Compression Ratio > Mode 3 Compression Ratio

The encoding compression ratio control signal 704 is a control signal used to determine the mode among the three different compression ratios. The mode switcher 701 outputs a mode signal 705 in response to encoding compression ratio control signal 704. The emphasis circuit 702 emphasizes video signals 706 at the degree of signal emphasis according to the mode signal 705. The encoder 703 encodes the outputted signals from the emphasis circuit 702 at the encoding compression ratio according to the encoding compression ratio control signal, and outputs a code sequence 707.

[0104]

In this example of an encoding and decoding device, signal emphasis is reduced when the encoding compression ratio is low, and signal emphasis is increased when the encoding compression ratio is high. When the encoding compression ratio is low, there is no need to increase signal emphasis and signal de-emphasis because the encoding noise is inherently low. However, as the encoding compression ratio increases, block noise and other types of noise occur and deterioration in image quality becomes more pronounced, so encoding noise has to be removed more aggressively.

[0105]

In one example, the degree of emphasis and de-emphasis for each mode is determined as follows.

Degree of Emphasis in Mode 1 > Degree of Emphasis in Mode 2 = Degree of Emphasis in Mode 3

Degree of De-Emphasis in Mode 1 > Degree of De-Emphasis in Mode 2 > Degree of De-Emphasis in Mode 3

However, the degree of emphasis should not be greater than the degree of de-emphasis in each mode, and the degree of emphasis should be less than the degree of de-emphasis in at least one mode. In one example, the following conditions are satisfied.

Degree of Emphasis in Mode 1 < Degree of De-Emphasis in Mode 1

Degree of Emphasis in Mode 2 = Degree of De-Emphasis in Mode 2

Degree of Emphasis in Mode 3 = Degree of De-Emphasis in Mode 3

Generally, increasing signal emphasis increases the amount of information, and there is a tradeoff between increasing encoding noise due to an increase in the amount of information and encoding noise removed by signal de-emphasis, the signal emphasis is preferably reduced when encoding noise is low to begin with. Therefore, by performing adaptive signal emphasis according to the encoding compression ratio and signal de-emphasis according to signal emphasis, encoding noise can be efficiently reduced and image quality improved. also, in Mode 1 (high compression ratio mode), the degree of emphasis is smaller than the degree of de-emphasis, so the high-frequency components in the original signals are impaired, but more of the encoding noise generated in the high-frequency components can be removed, resulting in improved image quality.

[0106]

This configuration makes it possible to efficiently remove encoding noise by adapting to the coding compression ratio.

[0107]

The signal de-emphasis in the de-emphasis circuit has two modes if Mode 1 and Mode 2 below are used.

Degree of Emphasis in Mode 1 < Degree of Emphasis in Mode 2

Degree of De-Emphasis in Mode 1 = Degree of De-Emphasis in Mode 2

In the mode with low compression ratio (Mode 3), signal emphasis and signal de-emphasis may not be performed.

[0108]

There are three modes above, but the present invention is not limited to this number. The number of modes for encoding compression ratios and the number of modes for signal emphasis and signal de-emphasis can be the same or different.

[0109]

When emphasis is smaller than de-emphasis, the mismatch between signal emphasis and signal de-emphasis may be increased by decreasing the emphasis (or increasing the de-emphasis) as the encoding compression ratio increases. In this example, if the degree of de-emphasis in the de-emphasis circuit is held constant, the degree of emphasis is made smaller than the degree of de-emphasis in the high compression ratio mode, and the degree

of emphasis is made equal to the degree of de-emphasis in the low compression ratio mode. In this way, in low compression ratio mode, just encoding noise can be eliminated without loss of the original signals because of the complementary relationship between the emphasis circuit and the de-emphasis circuit. Meanwhile, in the high compression ratio mode, signal de-emphasis acts more strongly than signal emphasis, which may impair the original signals, but improves image quality because it removes more encoding noise.

[0110]

Next, Fig. 8 is used to explain a thirteenth example of the present invention. In this example, the device performs signal emphasis according to the spatial correlation in video and uses activity as a measure of spatial correlation. Fig. 8 is a block diagram of an example of an encoding and decoding device in Fig. 1 that is equipped with an activity detector 801 and a mode switcher 802.

[0111]

The activity detector 801 detects and outputs activity 808 in video signals 807. The detected activity 808 is inputted to the mode switcher 802, which outputs a mode signal 809 according to the activity 808. The emphasis circuit 803 emphasizes the video signals 807 at a degree of signal emphasis according to the mode signal 809. The emphasized signals are encoded by the encoder 804 in the same manner as in the first example to obtain a code sequence 810. The code sequence 810 is decoded by the decoder 805, and the signals are de-emphasized by the de-emphasis circuit 806 at a degree of de-emphasis corresponding to the degree of emphasis in the emphasis circuit 803 to obtain playback video signals 811.

[0112]

The degree of signal emphasis in the emphasis circuit 803 should be reduced as activity in video signals increases. This is because video signals with a large amount of activity have a large amount of information, and therefore may generate more encoding noise in the encoding process if emphasized at a large degree of emphasis. In this way, encoding noise can be efficiently removed by adaptively determining the degree of signal emphasis according to activity.

[0113]

A variance in the pixel level of pixels can be treated as activity. The variance in pixel level is calculated using Equation 3, where the N pixel levels are a1, a2, a3, ... aN. Note that m in Equation 3 is the average of the N pixel levels calculated in Equation 4.

[0114]

[Equation 3]

$$\text{Activity} = \frac{1}{N} \sum_{i=1}^N (x_i - m)^2$$

[0115]

[Equation 4]

$$m = \frac{1}{N} \sum_{i=1}^N x_i$$

[0116]

The variance in pixel level can be used as the activity, but the present invention is not limited to this. For example, activity can be the sum of the amount of difference in the pixel levels of adjacent pixels, or the sum of the difference relative to the average, or anything else that indicates activity in video.

[0117]

Activity detection may be performed on a block-by-block basis by dividing the screen into blocks, or on a per-screen basis, or on a multi-screen basis. The device may also be equipped with an image scene change detector to detect activity at each scene change, and signal emphasis may be performed according to the detected activity. The mode switcher may be configured to select a mode when a scene change is detected and hold the mode until another scene change is detected.

[0118]

The de-emphasis circuit 806 for signal de-emphasis can be a circuit that is complementary to the emphasis circuit 803, or the degree of de-emphasis can be greater than the degree of emphasis.

[0119]

In a mode in which the degree of de-emphasis is greater than the degree of emphasis, the degree of emphasis may be decreased (or the degree of de-emphasis increased) to increase the difference between the degree of emphasis and the degree of de-emphasis as the activity increases. In this way, more encoding noise can be removed and image quality improved, although frequency bandwidth in the video is lost during encoding at low compression rates.

[0120]

The degree of emphasis is determined according to the mode signal 809, but the degree of de-emphasis may be constant regardless of the mode signal 809. The degree of de-emphasis in this case should be equal to the greatest degree of emphasis.

[0121]

Next, a fourteenth example of the present invention will be described using Fig. 9. In this example, signal emphasis is performed according to the temporal correlation in video, using the amount of motion over time in the video as a measure of temporal correlation. Fig. 9 is

a block diagram of an example of an encoding and decoding device shown in Fig. 1 equipped with an amount of motion detector 901 and a mode switcher 902.

[0122]

The amount of motion detector 901 detects and outputs the amount of motion 908 in video signals 907, and the mode switcher 902 outputs a mode signal 909 according to the amount of motion 908. In addition, the emphasis circuit 903 emphasizes video signals 907 at a degree of signal emphasis according to the mode signal 909. As in the first example, emphasized signals are encoded by the encoder 904 to obtain a code sequence 904. The resulting code sequence 904 is decoded by the decoder 905, and then de-emphasized by the de-emphasis circuit 906 at a degree of de-emphasis corresponding to the degree of emphasis in the emphasis circuit 903 to obtain playback video signals 911.

[0123]

The degree of signal emphasis in the emphasis circuit 903 is increased as the amount of motion in the video signals increases. This is because video signals with a large amount of motion tend to generate encoding noise in the encoding process due to the large amount of information. Therefore, in video with a large amount of motion, a mode that performs a large degree of signal emphasis is selected, and signal de-emphasis is performed according to the signal emphasis to reduce encoding noise more aggressively. In this way, encoding noise can be efficiently removed by adaptively determining the degree of signal emphasis according to the amount of motion.

[0124]

The method for detecting the amount of motion is not limited and can be any method for determining the amount of motion in video signals. For example, the screen can be divided into blocks and the amount of motion can be detected for each block, or the amount of motion can be detected in the case of interlaced images by examining the correlation between lines. Amount of motion detection may be performed block by block, screen by screen, or in multiple screen units.

[0125]

The de-emphasis circuit 906 for signal de-emphasis can be a complementary circuit to the emphasis circuit 903, or the degree of de-emphasis can be greater than the degree of emphasis.

[0126]

In at least one mode, the degree of emphasis in the emphasis circuit may be less than the degree of de-emphasis in the de-emphasis circuit, but in the other modes, the degree of emphasis should be equal to the degree of de-emphasis. For example, the degree of emphasis is made smaller than the degree of de-emphasis in the mode for video signals with a large amount of motion. Because high-frequency components are generally fewer in video with a larger amount of motion, there is little degradation of the original video in the high frequency range by increasing the degree of de-emphasis, and image quality is improved by removing more of the encoding noise contained in the high frequency range components.

[0127]

In the mode in which the degree of de-emphasis is greater than the degree of emphasis, the degree of emphasis may be decreased (or the degree of de-emphasis increased) as the amount of motion increases in order to increase the difference between the degree of emphasis and the degree of de-emphasis. In this way, frequency bandwidth in the video is lost in encoding at low compression rates, but more encoding noise can be removed, resulting in improved image quality.

[0128]

The degree of emphasis is determined according to the mode signal 909, but the degree of de-emphasis may be constant regardless of the mode signal 909. In this case, the degree of de-emphasis should be equal to the greatest degree of emphasis.

[0129]

A circuit that detects scene changes in video may be provided and mode switching may be performed for each scene change. The mode switcher may be configured to select a mode when a scene change is detected and hold a mode until another scene change is detected. A scene change can also be detected by measuring the correlation between images or using some other method. A scene change can be detected by measuring the correlation between images or by some other method.

[0130]

Next, a fifteenth example of the present invention will be described using Fig. 10. Fig. 10 is a block diagram of an example of an encoding and decoding device as shown in Fig. 1 equipped with a coding distortion measuring unit 1001 and a mode switcher 1002.

[0131]

The encoding distortion measuring unit 1001 measures and outputs the amount of encoding distortion 1008 generated by the encoder 1004 during the encoding process. The mode switcher 1002 also outputs a mode signal 1009 according to the amount of encoding distortion 1008. The emphasis circuit 1003 emphasizes video signals 1007 at the degree of signal emphasis according to the mode signal 1009. The encoder 1004 encodes the emphasized signals and outputs a code sequence 1010. After the code sequence 1010 has been decoded by the decoder 1005, the signals are de-emphasized by the de-emphasis circuit 1006 at a degree of de-emphasis corresponding to the degree of emphasis in the emphasis circuit 1003 to obtain playback video signals 1011.

[0132]

If the amount of encoding noise is large, a mode is selected that performs signal emphasis at a large degree of emphasis and signal de-emphasis is performed according to the signal emphasis to remove encoding noise more aggressively.

[0133]

The de-emphasis circuit 1006 for signal de-emphasis can be a circuit that is complementary to the emphasis circuit 1003, or the degree of de-emphasis can be greater than the degree of emphasis.

[0134]

In at least one mode, the degree of emphasis in the emphasis circuit may be less than the degree of de-emphasis in the de-emphasis circuit, but in the other modes, the degree of emphasis and the degree of de-emphasis should be equal. For example, the degree of emphasis is made smaller than the degree of de-emphasis in the mode for video signals with a large amount of coding distortion. Increasing the degree of de-emphasis causes degradation in the high frequency range of the original video, but improves image quality by removing more of the encoding noise in the high frequency components.

[0135]

In the mode in which the degree of de-emphasis is greater than the degree of emphasis, the degree of emphasis may be decreased (or the degree of de-emphasis increased) to increase the difference between the degree emphasis and the degree of de-emphasis as the amount of coding distortion increases. In this way, more encoding noise can be removed and image quality improved, although frequency bandwidth in the video is lost in encoding at low compression rates.

[0136]

The degree of emphasis is determined according to the mode signal 1009, but the degree of de-emphasis may be constant regardless of the mode signal 1009. In this case, the degree of de-emphasis should be equal to the greatest degree of emphasis.

[0137]

The encoding noise may be measured as the difference between the original signals and the signals after the encoding, or it may be measured using anything that represents the amount of encoding noise generated in the encoding process.

[0138]

The amount of encoding noise may also be represented by the quantization width used to quantize the signals in the encoding process. In order to control the encoding compression ratio in the encoding process, the quantization width is controlled in quantization according to the generated amount of code. In other words, if the amount of generated code is large, the quantization width is increased to suppress the amount of code, and if the amount of generated code is small, the quantization width is decreased to keep the amount of code constant. As the amount of generated code increases, the quantization width increases and encoding noise increases accordingly.

[0139]

Thus, by selecting a mode in which signal emphasis is performed at a degree of signal emphasis corresponding to the quantization width in quantization and signal de-emphasis is performed according to the signal emphasis, encoding noise can be efficiently removed.

[0140]

A circuit that detects scene changes in video may be provided and mode switching may be performed for each scene change. The mode switcher may be configured to select a mode when a scene change is detected and hold a mode until another scene change is detected. A

scene change can also be detected by measuring the correlation between images or using some other method. A scene change can be detected by measuring the correlation between images or by some other method.

[0141]

Next, a sixteenth example of the present invention will be described using Fig. 11. Fig. 11 is a block diagram of an example of an encoding and decoding device as shown in Fig. 1 equipped with a block boundary detector 1101 and a mode switcher 1102. In this case, the encoding process divides the screen into blocks composed of adjacent pixels, and the encoding process is performed on each block.

[0142]

The block boundary detector 1101 in Fig. 11 detects the boundaries between blocks, which is the unit used in the encoding process, in video signals 1107. The mode switcher 1102 outputs a mode signal 1108 according to the detection result of the block boundary detector 1101. The emphasis circuit 1103 performs emphasis on the video signals 1107 at the degree of emphasis corresponding to the mode signal 1108 and outputs the emphasized signals. The emphasized signals are encoded by the encoder 1104 to obtain a code sequence 1109. After the code sequence 1109 is decoded by the decoder 1105, signal de-emphasis is performed in the de-emphasis circuit 1106 at the degree of de-emphasis corresponding to the degree of emphasis in the emphasis circuit 1103 to obtain playback video signals 1110.

[0143]

When the encoding process is performed block by block, as the encoding compression ratio increases, encoding noise is generated as block noise that significantly degrades image quality. This block noise is caused by discontinuities between blocks. Therefore, the block boundaries are detected by the block boundary detector 1101, the mode for signal emphasis with a large degree of emphasis is selected for the block boundaries, and the encoding noise generated is actively removed by signal de-emphasis according to the signal emphasis, especially at the block boundaries. This reduces block noise.

[0144]

The degree of emphasis at the boundaries between blocks may be smaller than the degree of de-emphasis. In this way, the encoding noise that occurs at the boundaries between the blocks is actively removed by large signal de-emphasis. This reduces block noise. However, the degree of emphasis and the degree of de-emphasis should be equal except at the boundaries between blocks.

[0145]

The degree of emphasis is determined by the mode signal 1108, but the degree of de-emphasis may be constant regardless of the mode signal 1108. In this case, the degree of de-emphasis should be equal to the degree of emphasis outside the boundaries between blocks.

[0146]

Next, a seventeenth example of the present invention will be described using Fig. 13. Fig. 13 is a block diagram of an encoding device with a block divider 1300, a contour detector 1301, and a mode switcher 1302, an emphasis circuit 1303, and an encoder 1304, and a decoding device with a decoder 1305 and a de-emphasis circuit 1306.

[0147]

First, the block divider 1300 divides the inputted video 1307 into blocks 1308 consisting of multiple pixels. The contour detector 1301 detects that an input block 1308 contains a contour and outputs a detection signal 1309, and the mode switcher 1302 outputs a mode signal 1310 in response to the detection signal 1309. The emphasis circuit 1303 also emphasizes the block 1308 with signal emphasis according to the mode signal 1310. The emphasized signals are encoded by the encoder 1304 in the same way as in the first example to obtain a code sequence 1311. After the code sequence 1311 has been decoded by the decoder 1305, the signals are de-emphasized by the de-emphasis circuit 1306 to obtain a regenerated block 1312.

[0148]

However, a mode signal 1310 is selected so that the degree of emphasis in blocks other than blocks containing a contour is less than the degree of de-emphasis, and the degree of emphasis in blocks containing a contour is equal to the degree of de-emphasis. As mentioned above, if the degree of de-emphasis is greater than the degree of emphasis, degradation occurs in the high-frequency components. Because degradation of high-frequency components in contour areas causes significant degradation in image quality, a mode is determined so that the emphasis in the emphasis circuit 1303 is equal to the de-emphasis in the de-emphasis circuit 1306 in the contour area.

[0149]

As described above, this example can reduce degradation in contour areas of video and efficiently remove encoding noise.

[0150]

The method of detecting contours is not limited and any method can be used. The unit for blocks is not limited, and any unit can be used.

[0151]

Next, an eighteenth example of the present invention will now be described using Fig. 14. Fig. 14 is a block diagram of an encoding device with a block divider 1400, an activity detector 1401, a contour detector 1402, a mode switcher 1403, an emphasis circuit 1404, and an encoder 1405, and a decoding device with a decoder 1406 and a de-emphasis circuit 1407.

[0152]

The block divider 1400 divides inputted video 1408 into blocks 1409 consisting of multiple pixels. The activity detector 1401 detects activity 1410 in a block 1409 as in the thirteenth example. The contour detector 1402 detects that a block 1409 contains a contour area as in the seventeenth example and outputs a detection signal 1411. The mode switcher 1403 outputs a mode signal 1412 according to the detected activity 1410 and the contour

detection signal 1411. The emphasis circuit 1404 emphasizes a block 1409 at a degree of emphasis according to the mode signal 1412. The emphasized signals are encoded by the encoder 1405 and a code sequence 1413 is outputted. After the code sequence 1413 has been decoded by the decoder 1406, signal de-emphasis is performed by the de-emphasis circuit 1407 to obtain a regenerated block 1414.

[0153]

If activity in a block 1409 is greater than a predetermined amount and does not include a contour area, the mode switcher 1403 selects a mode so that the degree of emphasis in the emphasis circuit 1404 is less than the degree of de-emphasis in the de-emphasis circuit 1407. For other blocks, the degree of emphasis and the degree of de-emphasis should be equal.

[0154]

Because a larger amount of activity results in larger encoding noise, more encoding noise can be removed by making the degree of de-emphasis larger than the degree of emphasis. Although activity is often high in a contour area, a degree of de-emphasis greater than the degree of emphasis is not desirable, as this results in degradation of the contour area due to signal de-emphasis. Therefore, by configuring the device as shown in Fig. 14, the degree of emphasis can be made smaller than the degree of de-emphasis only for video regions with a large amount of activity except in contour areas, and the encoding noise can be efficiently removed without degrading contour areas.

[0155]

The degree of emphasis in the emphasis circuit 1404 is determined according to the mode signal 1412, while the degree of de-emphasis in the de-emphasis circuit 1407 may be constant regardless of the mode signal 1412. In this case, the degree of emphasis in video regions that have a large amount of activity and do not have a contour area is smaller than the degree of emphasis in other video regions, and the degree of de-emphasis is equal to the largest degree of emphasis.

[0156]

The activity detection method may be the same as in the thirteenth example, but the present invention is not limited to this method. The method for detecting contours is not limited and any method can be used. Also, the size of the blocks is not limited, any size can be used.

[0157]

The size of the blocks used as the detection unit for activity and contour areas may be different. For example, if activity detection is performed on small blocks consisting of 8×8 pixels and contour detection is performed on large blocks consisting of 16×16 pixels, for small blocks included in a large block that does not include the contour area, the degree of emphasis is determined for each small block according to the amount of activity. For large blocks that contain contours, the degree of emphasis should be determined for each large block.

[0158]

Next, a nineteenth example of the present invention will be described using Fig. 15. Fig. 15 shows an example of the contour detector in the seventeenth or eighteenth example. The contour detector in Fig. 15 consists of an activity detector 1501, a memory 1502, a first comparator 1503, a second comparator 1504, and a detection signal output unit 1505.

[0159]

The activity detector 1501 detects and outputs activity 1510 in an inputted block 1509 as in the eighth example. The memory 1502 stores the activity 1510 and outputs activity 1511 for the targeted block and activity 1512 for blocks located around the targeted block. Here, the surrounding blocks are the four blocks located above, below, left, and right of the targeted block. The first comparator 1503 compares the activity 1511 in the targeted block with a first predetermined amount and outputs the comparison result 1513. The second comparator 1504 compares the activity 1512 in the surrounding blocks with a second predetermined amount and outputs the comparison result 1514. The detection signal output unit 1505 outputs a contour detection signal 1515 according to result 1513 from the first comparator 1503 and the result 1514 from the second comparator 1504.

[0160]

If the amount of activity 1511 in the targeted block is greater than the first predetermined amount and at least one of the amounts of activity 1512 in the surrounding blocks is less than the second predetermined amount, the detection signal output unit 1505 outputs a contour detection signal 1515 as the targeted block contains a contour area. This is used to indicate that the amount of activity in the contour area is high, especially when the contour area is adjacent to a flat pattern. If the degree of de-emphasis is greater than the degree of emphasis in a contour area adjacent to a flat pattern, the degradation due to signal de-emphasis will be greater. Therefore, as in the thirteenth or fourteenth example, the degree of emphasis and the degree of de-emphasis should be equal in the contour area to efficiently remove encoding noise and improve image quality.

[0161]

Next, Fig. 16 shows the twentieth and the twenty-first examples of encoding and decoding devices of the present invention for video signals. In Fig. 16, 1603 is a control signal generating circuit and consists of horizontal and vertical counters and decoders. Also, 1604 is an emphasis circuit with different types of emphasis characteristics and consists of a high-pass filter, a multiplier, and an adder. An example of such a configuration is shown in Fig. 2 (a).

[0162]

Also, 1605 is the encoder and 1606 is the decoder. In this example, 1607 is a de-emphasis circuit with different types of de-emphasis characteristics and consists of a high-pass filter, multiplier, and subtractor. An example of such a configuration is shown in Fig. 2 (b).

[0163]

The operation of this device is described in detail in Fig. 16. Digital image signals consisting of three component signals are time-division multiplexed and inputted to the input terminal 1601 in synchronization with horizontal and vertical synchronization signals. Horizontal and vertical synchronization signals and a clock to sample video signals are inputted to the other input terminal 1602. The control signal generating circuit 1603 generates a two-bit mode

control signal m that identifies each of the three component signals based on the horizontal and vertical synchronization signals and the clock used sample video signals, and outputs the mode control signal m to the emphasis circuit 1604 and the de-emphasis circuit 1607.

[0164]

The emphasis circuit 1604 performs signal emphasis on each component of the digital signals according to one of several types of emphasis characteristics selected according to the mode control signal m . The encoder 1605 encodes the output from the emphasis circuit 1604 and outputs a code sequence. This code sequence is usually transmitted or recorded on a medium. The decoder 1606 decodes the code sequence and outputs the decoded video signals to the de-emphasis circuit 1607.

[0165]

The de-emphasis circuit 1607 performs de-emphasis on each component decoded video signals according to one of several types of de-emphasis characteristics selected according to the mode control signal m , and outputs the playback video signals at the output terminal 1608. Here, the emphasis characteristics of the emphasis circuit 1604 and the de-emphasis characteristics of the de-emphasis circuit 1607, which are selected according to the mode control signal m , have a complementary relationship. In other words, the product of their respective transfer functions is always 1.

[0166]

Selection of one of the different types of characteristics according to the mode control signal m means that the four coefficients (x_1 , k_1 , x_2 , k_2) shown in Fig. 2 change depending on the mode control signal m . Visual sensitivity to each component in video signals in the case of RGB signals is known to be $G > R > B$, in that order. Therefore, by determining the ratio of the amount of emphasis and de-emphasis by the ratio of the visual sensitivity of each component, and applying large signal emphasis to components with high visual sensitivity and small signal emphasis to the components with low visual sensitivity, encoding can be done without increasing the amount of information due to unnecessary signal emphasis, and coding noise is efficiently reduced to match human visual characteristics.

[0167]

As explained above, because in this example each of the three components of digital video signals are subjected to signal emphasis corresponding to its visual sensitivity ratio, encoding and decoding are performed, and the signal de-emphasis performed has complementary characteristics to signal emphasis, the emphasized signals are restored to their original signals before signal emphasis by signal de-emphasis, only the coding noise component generated by the coding process is suppressed, and not only is encoding noise reduced and image quality improved, but optimal encoding noise reduction can be realized in response to the visual sensitivity of each component.

[0168]

If the signal emphasis and signal de-emphasis are nonlinear characteristics such that the degree of emphasis and the degree of de-emphasis become smaller as the signal amplitude increases, signal emphasis is performed with a large degree of emphasis in small amplitude signals of the same amplitude as the noise components, the signal emphasis of large

amplitude signals is de-emphasized to suppress the increase in the amount of information, and encoding noise in small amplitude signals can be removed.

[0169]

The emphasis and de-emphasis circuits are not limited to the circuit configurations shown in Fig. 2, and can be any circuit in which signal emphasis and signal de-emphasis have a complementary relationship. The coder 1605 and the decoder 1606 compression encode and decode inputted video signals, and any method can be used, such as a discrete cosine transform encoding method. Because the mode control signal m corresponds to each component, there is no particular need to transmit or record mode control signals m on a medium. The number of bits in the mode control signal is not limited to two bits, and any bits can be turned into a single bit by making two of the three components have the same characteristics.

[0170]

Although the emphasis and de-emphasis circuits are assumed to be complementary, the degree of emphasis in the emphasis circuit can be smaller than the degree of de-emphasis in the de-emphasis circuit.

[0171]

Next, the twenty-first example of the present invention will be described. The twenty-first example of the present invention differs from the first example in terms of the mode control signal m generated by the control signal generating circuit 1603 in Fig. 16. The control signal generating circuit 1603 outputs a two-bit mode control signal m , which identifies the frame prediction structure for inter-frame prediction encoding from the horizontal and vertical synchronization signals and the clock for sampling video signals, to the emphasis circuit 1604 and the de-emphasis circuit 1607.

[0172]

In general, frame prediction structures for inter-frame prediction encoding include I frames for intra-frame coding, P frames for one-way prediction encoding, and B frames for two-way prediction encoding, and a comparison of the encoding noise for each frame indicates that encoding noise tends to increase in the order $I < P < B$. Therefore, by identifying each frame and increasing the amounts of emphasis and de-emphasis in the order $I < P < B$, uniform playback quality can be obtained over each frame.

[0173]

Because the mode control signal m corresponds to the frame prediction structure, there is no particular need to transmit or record the mode control signal m on a medium.

[0174]

Although the processing in the explanation was frame-by-frame processing, it may be field-by-field processing for interlaced images, etc. When video is divided into blocks consisting of multiple pixels and the encoding process is determined for each block, mode selection should be made for each block.

[0175]

Although intra-frame encoding and inter-frame prediction encoding were mentioned above as multiple encoding processing, the explanation is not limited to these types of processing, and the present invention can be applied to situations in which switching between conversion encoding and DPCM encoding is used as the multiple encoding processing.

[0176]

Signal emphasis and signal de-emphasis are assumed above to be complementary, but there may be a mode in which the degree of emphasis is less than the degree of de-emphasis. For example, in the case of inter-frame encoding methods, etc., a mode may be selected in which the degree of emphasis is smaller than the degree of de-emphasis. This can efficiently remove encoding noise when performing the frame-to-frame encoding method, for example, when the amount of allocated encoding information is small.

[0177]

Alternatively, the degree of emphasis alone may be determined according to the encoding method, and the degree of de-emphasis may remain constant. In this case, the degree of de-emphasis should be equal to the highest degree of emphasis.

[0178]

Next, a twenty-second example of the present invention will be described. Fig. 17 shows a twenty-second example of the encoding and decoding device for video signals of the present invention. In Fig. 17, 1701 is a direct current level detecting circuit and consists of an adder, memory, and a counter. Also, 1702 is a mode control signal generating circuit that consists of a comparator, etc. The other blocks are the same as in Fig. 16.

[0179]

The operation of this device will be described in detail according to Fig. 17. Digital video signals quantized at 8 bits, for example, are inputted to the input terminal 1601. The direct current level detecting circuit 1701 detects the direct current level by adding video data values of the inputted digital video signals or decoded video signals over a predetermined period of time, for example, one frame period, and calculating the average value, which is outputted to the mode control signal generating circuit 1702. The mode control signal generating circuit 1702 compares this direct current level with, for example, three values (64, 128, and 192) and outputs a two-bit mode control signal *m* to the emphasis circuit 1604 and the de-emphasis circuit 1607, which specifies whether the value is in the range 0 to 63, 64 to 127, 128 to 191, or 192 to 255.

[0180]

If large signal emphasis is applied by the emphasis circuit 1604 when the direct current level is high, such as near the 255 level, there is a high probability that the level of the video signals after emphasis will overflow beyond 255. If a large signal emphasis is applied by the emphasis circuit 1604 when the direct current level is low, such as near the 0 level, there is a high probability that the level of the video signals after emphasis will underflow beyond 0. Because a mismatch occurs during de-emphasis, the emphasis and de-emphasis characteristics are changed according to the direct current level. The subsequent operations are similar to those described in Example 21, so further description will be omitted.

[0181]

In this example, as described above, by detecting the direct current level of the digital video signals over a predetermined period of time and reducing the degree of emphasis and degree of de-emphasis as the values become closer to the 0 or 255 level, the occurrence of signal amplitude overflow and underflow can be reduced, resulting in less mismatch between signal emphasis and signal de-emphasis, and less noise due to signal emphasis and signal de-emphasis.

[0182]

In this case, if the mode control signal *m* at the time of emphasis is transmitted or recorded on a medium, the direct current level detecting circuit 1701 and mode control signal generating circuit 1702 on the playback end shown in Fig. 17 become unnecessary, and playback video signals can be obtained with higher precision using smaller circuitry.

[0183]

A circuit that detects scene changes in video may be provided and mode switching may be performed for each scene change. The mode switcher may be configured to select a mode when a scene change is detected and hold a mode until another scene change is detected. A scene change can also be detected by measuring the correlation between images or using some other method. A scene change can be detected by measuring the correlation between images or by some other method.

[0184]

Next, a twenty-third example of the present invention will be described. Fig. 18 shows a twenty-fourth example of the encoding and decoding device for video signals in the present invention. In Fig. 18, 1801 is the signal amplitude detection circuit, 1802 is the mode control signal generating circuit, 1803 is the first multiplier, and 1804 is the second multiplier. The other blocks are the same as those in Fig. 16.

[0185]

The operation of this device is described in detail according to Fig. 18. Digital video signals are inputted to the input terminal 1601. The signal amplitude detecting circuit 1801 detects the signal amplitude of the inputted video signals over a predetermined period of time and outputs the level to the mode control signal generating circuit 1802. The mode control signal generating circuit 1802 outputs the mode control signal *m* to the first multiplier 1803.

[0186]

Meanwhile, the inputted video signals are multiplied by the first multiplier 1803 whose multiplication factor changes according to the mode control signal *m* outputted from the mode control signal generator circuit 1802. The output of the first multiplier 1803 is emphasized by the emphasis circuit 1604 and outputted to the encoder 1605. The encoder 1605 encodes the output of the emphasis circuit 1604, and a code sequence is transmitted or recorded on a medium.

[0187]

This code sequence is decoded by the decoder 1606 and the decoded video signals are outputted to the de-emphasis circuit 1607. The de-emphasis circuit 1607 de-emphasizes the decoded video signals using characteristics complementary to those of the emphasis circuit 1604. The output of the de-emphasis circuit 1607 is outputted to the signal amplitude detecting circuit 1801 and the second multiplier 1804. The signal amplitude detecting circuit 1801 detects the signal amplitude of the decoded video signals over a predetermined period of time and outputs its level to the mode control signal generating circuit 1802.

[0188]

The mode control signal generating circuit 1802 outputs a mode control signal m to the second multiplier 1804. Meanwhile, the decoded video signals are multiplied by the reciprocal of the multiplication factor of the first multiplier 1803 according to the mode control signal m outputted from the mode control signal generating circuit 1802, and playback video signals are outputted to the output terminal 1608.

[0189]

Normally, the emphasis characteristics are modified by changing $X1$ and $K1$ shown in Fig. 2, and this can be realized as actual hardware by storing a characteristic table in ROM. However, in the configuration of this example, the emphasis and de-emphasis characteristics remain fixed, and the emphasis characteristics can be changed by controlling the amplitude of the inputted video signals by the mode control signal m . This eliminates the need for hardware such as a ROM storing a characteristics table and reduces the size of the circuitry.

[0190]

If the signal amplitude of the video signals inputted from the input terminal 1601 is very large, the probability that overflow will be caused by the emphasis processing increases, and noise due to a mismatch between emphasis and de-emphasis will occur. At this time, the configuration of this example can be used to reduce noise by controlling the amplitude of the video signals to reduce it so that overflow does not occur, and by applying the opposite processing to the signals after de-emphasis.

[0191]

In this case, if the mode control signal m at the time of emphasis is transmitted or recorded on a medium, the signal amplitude detecting circuit 1801 and mode control signal generating circuit 1802 on the playback end shown in Fig. 18 become unnecessary, and playback video signals can be obtained with higher precision using smaller circuitry.

[0192]

Next, the twenty-fourth example of the present invention will be described. Fig. 19 shows an example of an optical disk device for recording a code sequence encoded by the encoding device for video signals in the present invention. In Fig. 19, 1902 is an emphasis processing circuit that performs signal emphasis using the configuration of an emphasis circuit described in Examples 1 through 23 of the present invention, 1903 is a recording system signal processing circuit that adds error correction codes, signal modulation, equalization, and signal amplification to a code sequence encoded by the encoder 1605, 1904 is a recording head, and 1905 is an optical disk.

[0193]

In order to explain the operation of this example with the configuration described above, first, the digital video signals inputted from the input terminal 1901 are emphasized in the emphasis processing circuit 1902 by means of emphasis processing based on a configuration described in Examples 1 through 23. The enhanced signals are encoded by the encoder 1605, and a code sequence is outputted to the recording system signal processing circuit 1903. The recording system signal processing circuit 1903 adds error correction codes to the code sequence, performs digital modulation and recording equalization, amplifies the signals, and records the signals on the optical disk 1905 with the recording head 1904.

[0194]

In each of the ninth through twenty-third examples of the present invention, the unit for mode switching is not limited, and can be any unit, such as a screen unit, multiple screen unit, or a block unit obtained by dividing the screen into blocks. The emphasis circuit may have nonlinear characteristics as in the fourth example, or may have linear characteristics. There can also be a mode in which there is no signal emphasis and no signal de-emphasis at all.

[0195]

The device may be equipped with a transmitter for transmitting or recording mode signals along with the encoded video data, and the playback means may be has a means for receiving mode signals. This eliminates the need for mode selection on the playback end and reduces the size of the circuitry.

[0196]

The emphasis circuit in each example can be a two-dimensional emphasis circuit as described in the seventh or eighth examples, a one-dimensional emphasis circuit, or a three-dimensional emphasis circuit that includes the direction of time.

[0197]

In each example, signal emphasis and signal de-emphasis are performed on digital video signals. However, signal emphasis and signal de-emphasis may also be performed on analog video signals.

[0198]

In Fig. 12, an encoding and decoding device that performs signal emphasis and signal de-emphasis on analog video signals is shown as the twenty-fifth example of the present invention. Fig. 12 is an encoding and decoding device consisting of an emphasis circuit 1201, an analog-to-digital converter 1202, an encoding circuit 1203, a decoding circuit 1204, a digital-to-analog converter 1205, and a de-emphasis circuit 1206.

[0199]

The emphasis circuit 1201 performs emphasis on analog video signals 1207. The emphasized signals are converted to digital signals by the analog-to-digital converter 1202 and inputted to the encoding circuit 1203. The encoding circuit 1203 encodes inputted signals and outputs a code sequence 1208. The decoding circuit 1204 decodes the code

sequence 1208 and outputs decoded digital video signals 1209. The decoded digital video signals 1209 are converted to analog signals by the digital-to-analog converter 1205 and inputted to the de-emphasis circuit 1206. The de-emphasis circuit 1206 has complementary characteristics to the emphasis circuit 1201, and de-emphasizes the inputted signal and outputs analog playback video signals 1210.

[0200]

Thus, by configuring the emphasis circuit 1201 and the de-emphasis circuit 1206 using analog circuits, these circuits can be configured more simply and inexpensively than with digital circuits.

[0201]

The signal emphasis and signal de-emphasis may have a complementary relationship, or the degree of emphasis may be smaller than the degree of de-emphasis.

[0202]

In the first through twenty-fourth examples, in order to perform signal emphasis and signal de-emphasis of analog signals, an analog-to-digital conversion means should be placed between the signal emphasizing means and the signal de-emphasizing means, and a digital-to-analog conversion means should be placed between the decoding means and the signal de-emphasizing means, as shown in Fig. 12.

[0203]

There are no particular restrictions on the analog-to-digital conversion means and the digital-to-analog conversion means, which may be any means of digital conversion and analog conversion.

[0204]

The examples describe encoding and decoding devices equipped with both a means for compression encoding and a means for decoding of video signals, but the present invention may be similarly applied to video encoding devices equipped only with a means for compressing and encoding video signals to output a code sequence, or video decoding devices equipped only with a means for decoding a code sequence to output playback video signals.

[0205]

Any method of performing encoding and decoding processing may be used in an encoding and decoding device of the present invention, such as the discrete cosine transform encoding method.

[0206]

It goes without saying that in each example described above, a transmission line or recording medium may be interposed between the encoding circuit or encoder and the decoding circuit or decoder.

[0207]

[Effects of the Invention]

By processing video signals using compression encoding to obtain a code sequence after signal emphasis, and by performing signal de-emphasis according to the signal emphasis after decoding the code sequence, the present invention can remove encoding noise generated by the encoding process, resulting in improved image quality.

[0208]

In addition, by configuring the signal emphasis and signal de-emphasis to have complementary characteristics, signal de-emphasis is performed without impairing the frequency bandwidth of the video signal. In this way, just the noise components generated by the encoding process can be removed by signal de-emphasis, resulting in improved image quality.

[0209]

Also, by making the signal emphasis smaller than the signal de-emphasis, a mismatch is created between signal emphasis and signal de-emphasis, but an increase in the amount of information in the video signals due to signal emphasis can be suppressed, and the encoding noise that occurs in the high frequency band due to signal de-emphasis can be more effectively removed.

[0210]

In addition, by adding nonlinear characteristics to signal emphasis so that the degree of emphasis increases at smaller amplitude signals, the increase in the amount of encoded information is suppressed because the degree of emphasis for large amplitude signals is small, and the encoding noise is removed from smaller amplitude signals more efficiently, resulting in improved image quality.

[0211]

By providing a mode switcher that selects one of a plurality of modes, signal emphasis and signal de-emphasis are performed in the encoding process according to a plurality of modes. Therefore, encoding noise can be removed in a manner appropriate to the encoding mode, video signal characteristics, etc.

[0212]

By performing signal emphasis and signal de-emphasis on analog video signals, the emphasis and de-emphasis means can be composed of analog circuits. In this way, encoding noise can be eliminated as the means were composed of digital circuits, but by using analog circuits as the emphasis means and de-emphasis means, these means can be configured more simply and inexpensively than using digital circuits.

[Brief Description of the Drawings]

[Fig. 1]

Fig. 1 is a block diagram of the video encoding and decoding device in the first, second, third, and fourth examples of the present invention.

[Fig. 2]

Fig. 2 (a) and Fig. 2 (b) are block diagrams of the emphasis circuit and the de-emphasis circuit in the second and third examples of the present invention.

[Fig. 3]

Fig. 3 (a) and Fig. 3 (b) are block diagrams of the nonlinear emphasis circuit and the nonlinear de-emphasis circuit in the fifth and sixth examples of the present invention.

[Fig. 4]

Fig. 4 is an input and output characteristic diagram of the limiter circuit in the fifth example of the present invention.

[Fig. 5]

Fig. 5 (a) and Fig. 5 (b) are block diagrams of the emphasis circuit and the de-emphasis circuit in the seventh and eighth examples of the present invention.

[Fig. 6]

Fig. 6 is a block diagram of a portion of the encoding and decoding device in the ninth and tenth examples of the present invention.

[Fig. 7]

Fig. 7 is a block diagram of a portion of the encoding and decoding device in the eleventh and twelfth examples of the present invention.

[Fig. 8]

Fig. 8 is a block diagram of the encoding and decoding device in the thirteenth example of the present invention.

[Fig. 9]

Fig. 9 is a block diagram of the encoding and decoding device in the fourteenth example of the present invention.

[Fig. 10]

Fig. 10 is a block diagram of the encoding and decoding device in the fifteenth example of the present invention.

[Fig. 11]

Fig. 11 is a block diagram of the encoding and decoding device in the sixteenth example of the present invention.

[Fig. 12]

Fig. 12 is a block diagram of the encoding and decoding device in the twenty-fifth example of the present invention.

[Fig. 13]

Fig. 13 is a block diagram of the encoding and decoding device in the seventeenth example of the present invention.

[Fig. 14]

Fig. 14 is a block diagram of the encoding and decoding device in the eighteenth example of the present invention.

[Fig. 15]

Fig. 15 is a block diagram of the encoding and decoding device in the nineteenth example of the present invention.

[Fig. 16]

Fig. 16 is a block diagram of a portion of the encoding and decoding device in the twentieth and twenty-first examples of the present invention.

[Fig. 17]

Fig. 17 is a block diagram of the encoding and decoding device in the twenty-second example of the present invention.

[Fig. 18]

Fig. 18 is a block diagram of the encoding and decoding device in the twenty-third example of the present invention.

[Fig. 19]

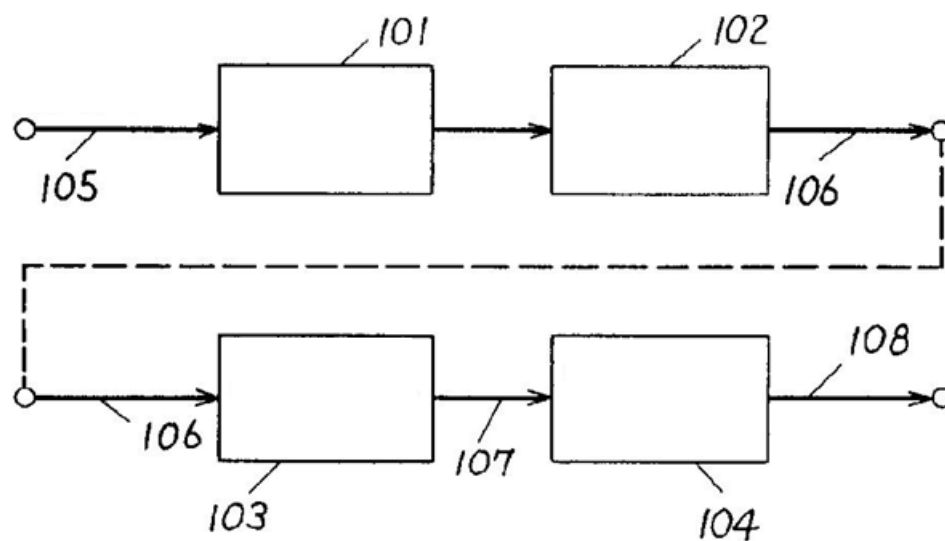
Fig. 19 is a block diagram of the encoding and decoding device in the twenty-fourth example of the present invention.

[Key to the Figures]

101: Emphasis circuit
102: Encoding circuit
103: Decoding circuit
104: De-emphasis circuit
601: Mode switcher
801: Activity detector
901: Amount of motion detector
1001: Encoding distortion measuring unit
1101: Block boundary detector
1202: Analog-to-digital converter
1205: Digital-to-analog converter
1300: Block divider
1301: Contour detector

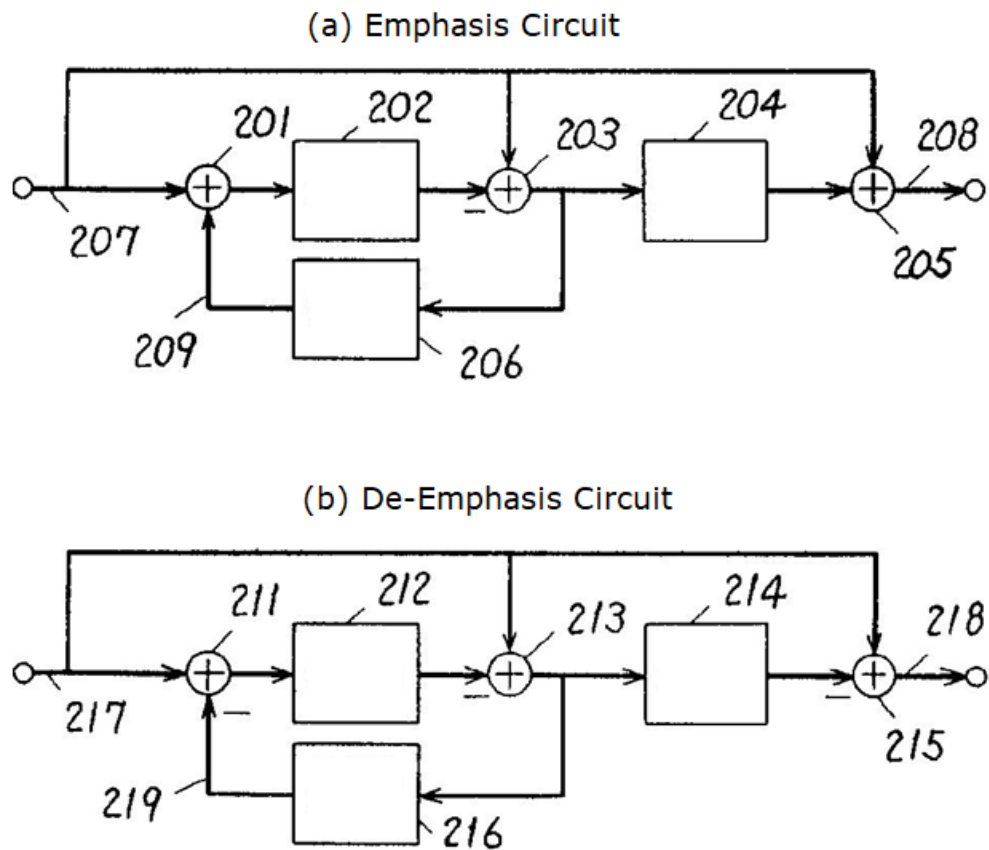
1603: Control signal generating circuit
1701: Direct current level detecting circuit
1801: Signal amplitude detecting circuit
1904: Recording head
1905: Optical disk

[Fig. 1]



- 101: Emphasis circuit
- 102: Encoding circuit
- 103: Decoding circuit
- 104: De-emphasis circuit
- 105: Inputted digital video signals
- 106: Code sequence
- 107: Decoded video signals
- 108: Playback video signals

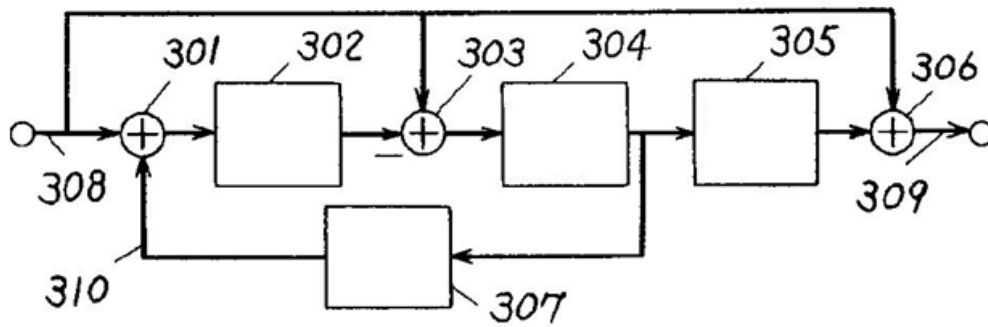
[Fig. 2]



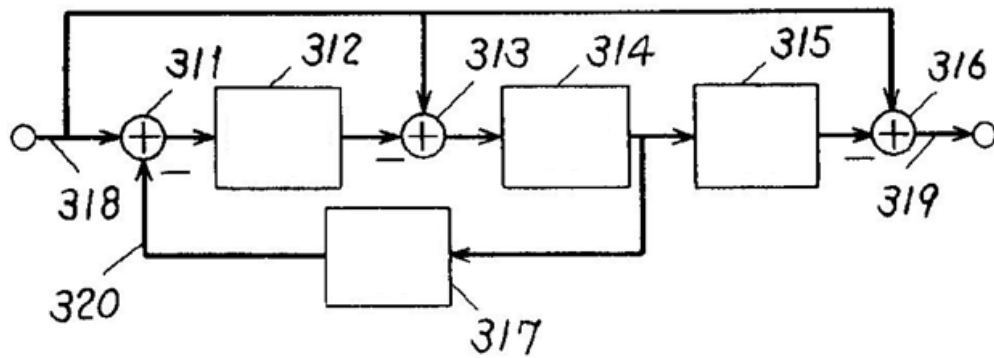
202: Delayer
 204: Multiplier x1
 206: Adder k1
 212: Delayer
 214: Multiplier x2
 216: Adder k2

[Fig. 3]

(a) Non-Linear Emphasis Circuit



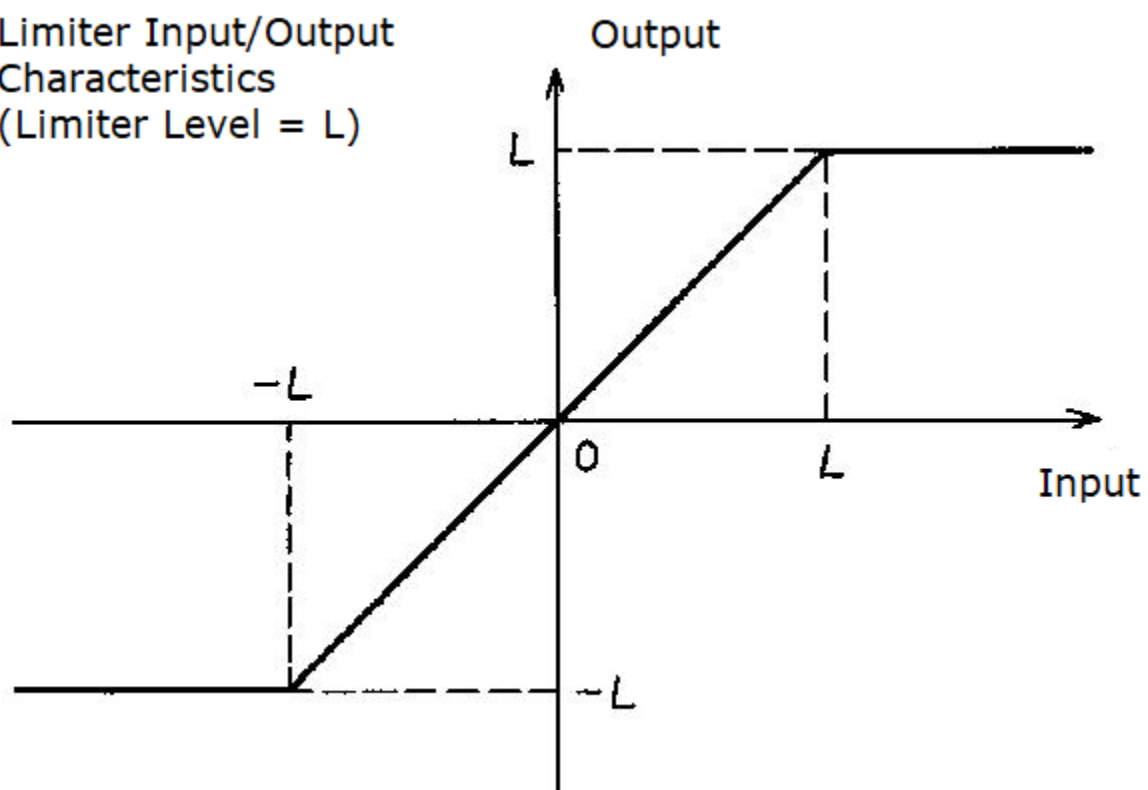
(b) Non-Linear De-Emphasis Circuit



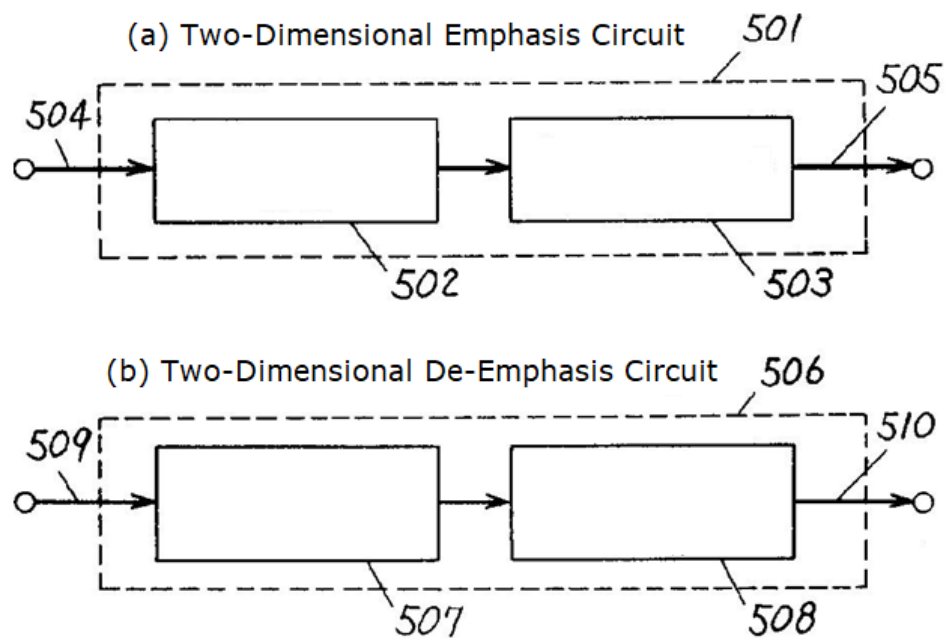
- 302: Delayer
- 304: Limiter L1
- 305: Multiplier x1
- 307: Adder k1
- 312: Delayer
- 314: Limiter L2
- 315: Multiplier x2
- 317: Adder k2

[Fig. 4]

Limiter Input/Output
Characteristics
(Limiter Level = L)

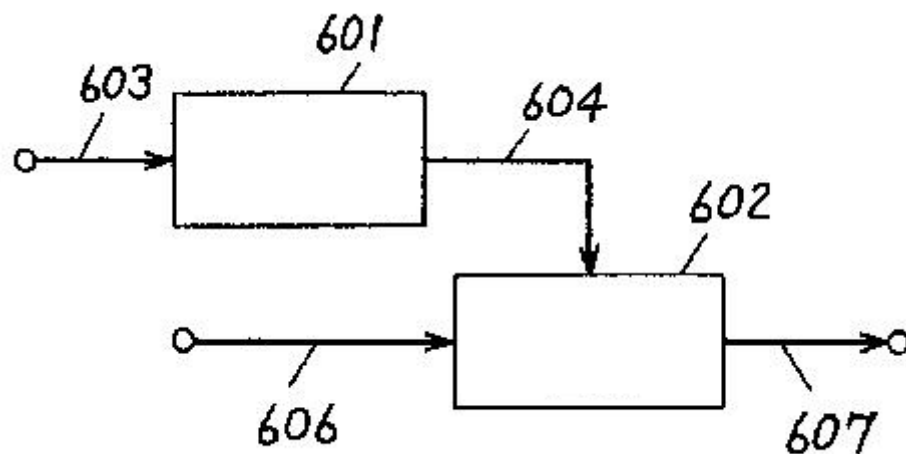


[Fig. 5]



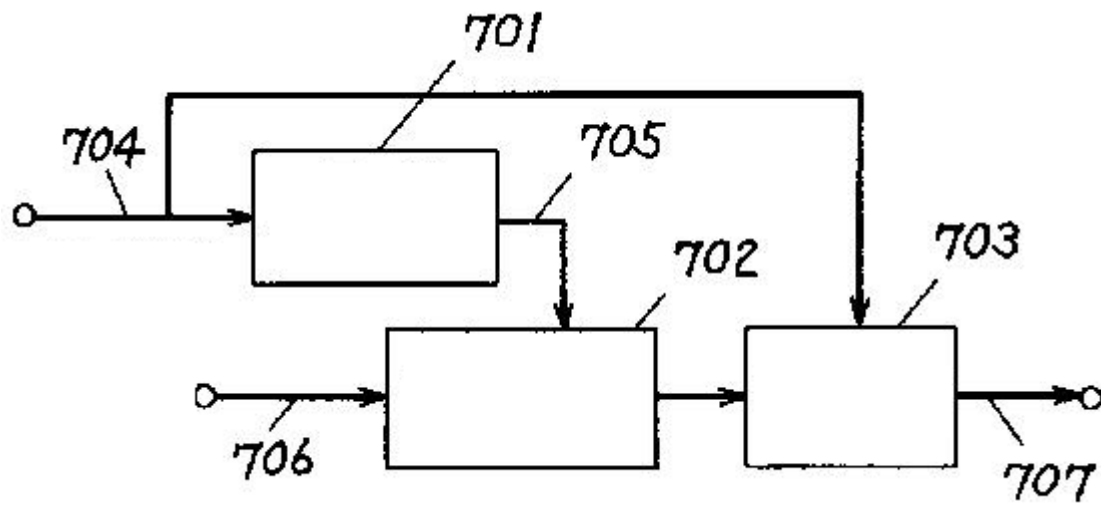
502: Vertical emphasis circuit
503: Horizontal emphasis circuit
507: Horizontal de-emphasis circuit
508: Vertical de-emphasis circuit

[Fig. 6]



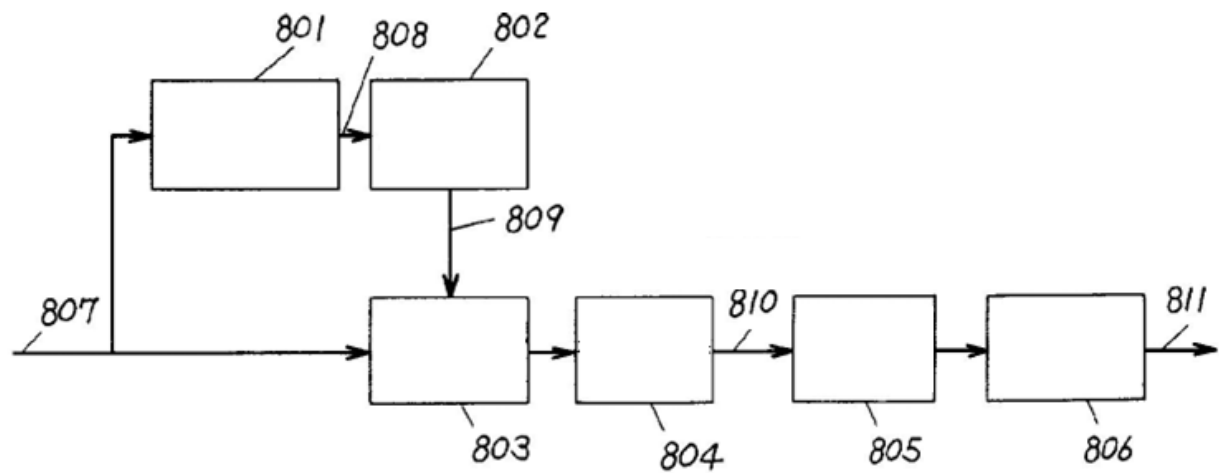
601: Mode switcher
602: Emphasis circuit
603: Mode control signal
604: Mode signal
606: Video signals

[Fig. 7]



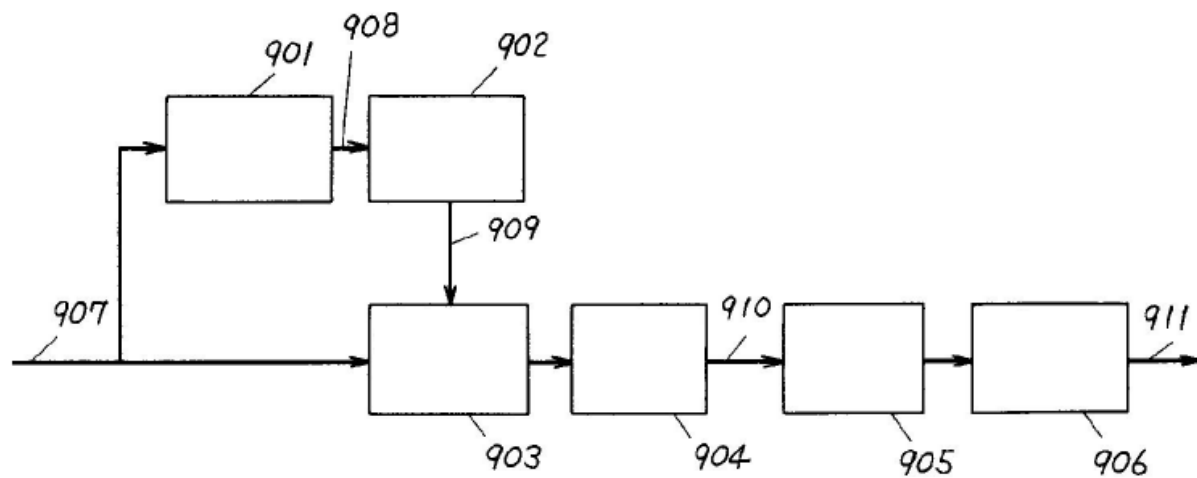
- 701: Mode switcher
- 702: Emphasis circuit
- 703: Encoder
- 704: Encoding compression rate control signals
- 706: Video signals
- 707: Code sequence

[Fig. 8]



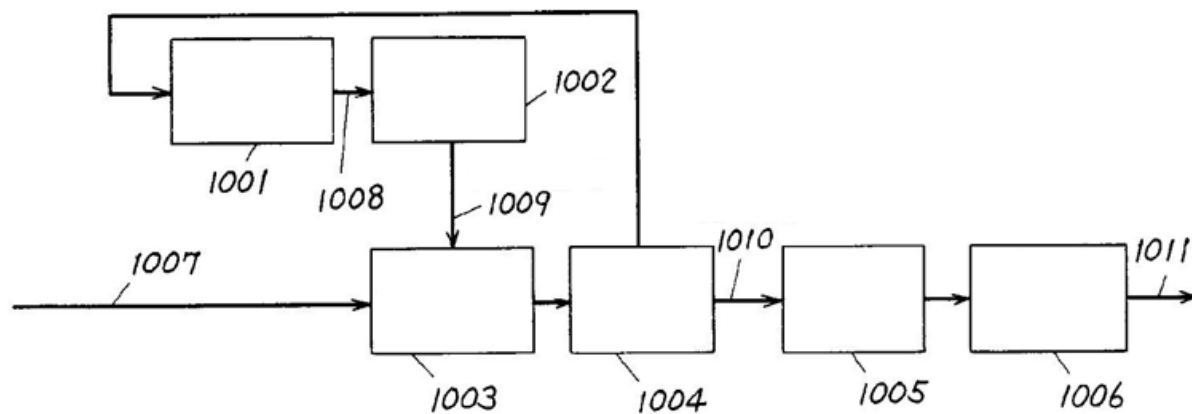
- 801: Activity detector
- 802: Mode switcher
- 803: Emphasis circuit
- 804: Encoder
- 805: Decoder
- 806: De-emphasis circuit
- 807: Inputted video signals
- 809: Mode signal
- 810: Code sequence
- 811: Playback video signals

[Fig. 9]



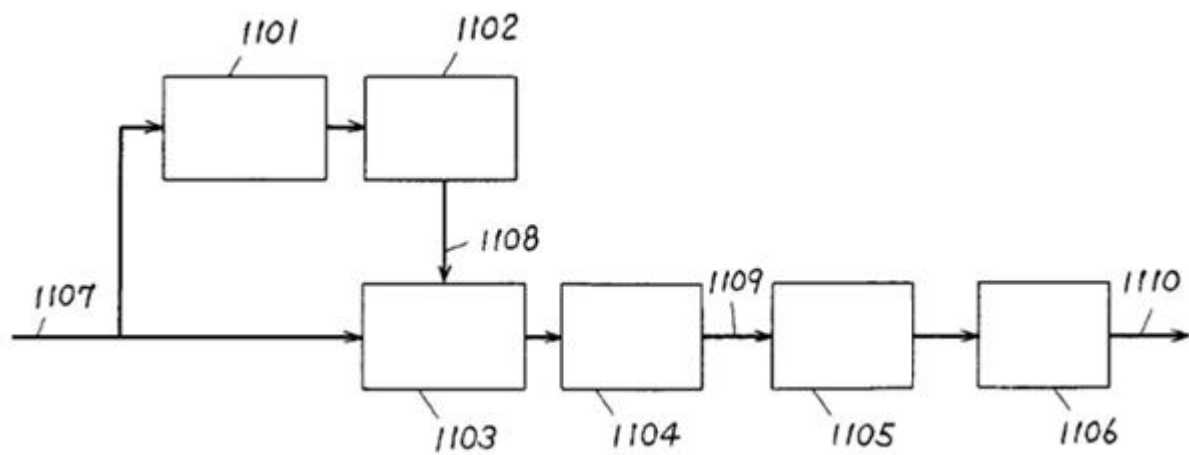
- 901: Amount of motion detector
- 902: Mode switcher
- 903: Emphasis circuit
- 904: Encoder
- 905: Decoder
- 906: De-emphasis circuit
- 907: Inputted video signals
- 909: Mode signal
- 910: Code sequence
- 911: Playback video signals

[Fig. 10]



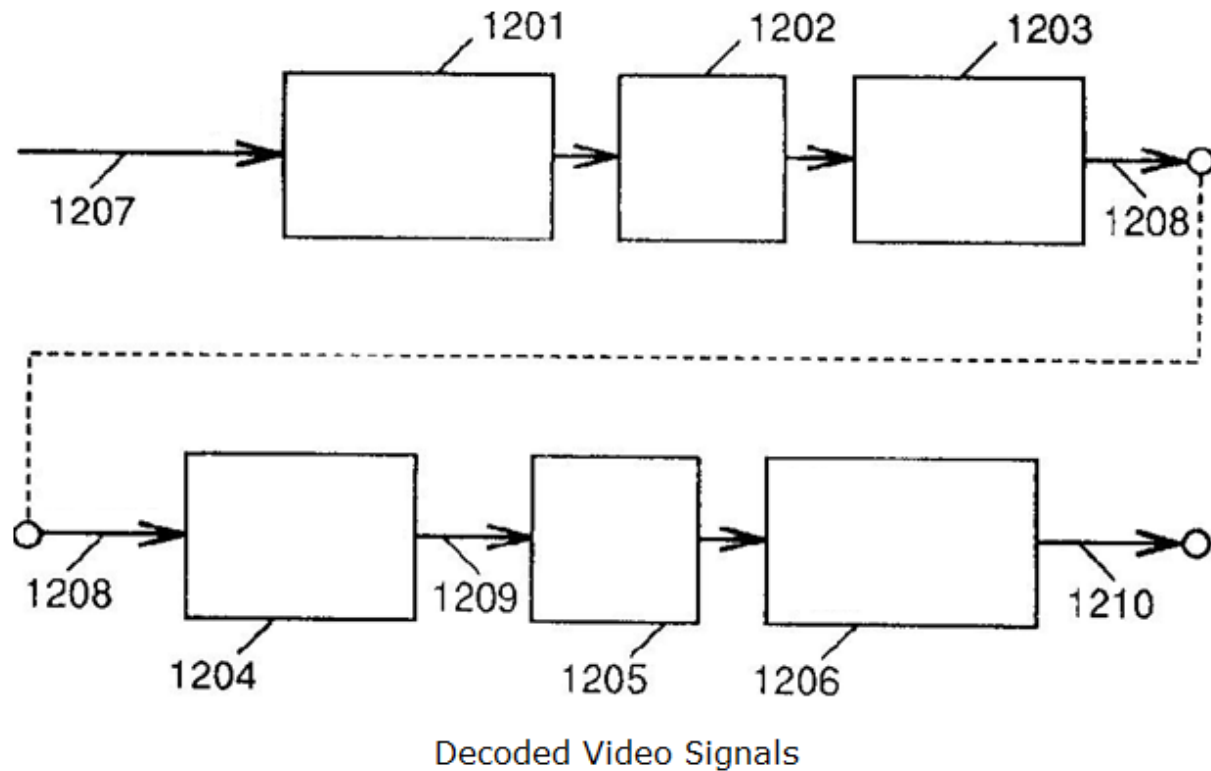
- 1001: Code distortion measuring unit
- 1002: Mode switcher
- 1003: Emphasis circuit
- 1004: Encoder
- 1005: Decoder
- 1006: De-emphasis circuit
- 1007: Inputted video signals
- 1009: Mode signal
- 1010: Code sequence
- 1011: Playback video signals

[Fig. 11]



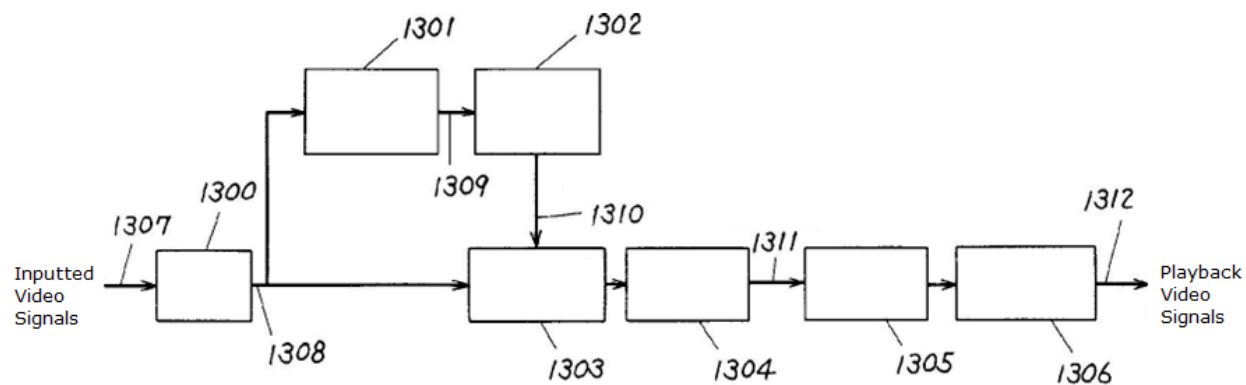
- 1101: Block boundary detector
- 1102: Mode switcher
- 1103: Emphasis circuit
- 1104: Encoder
- 1105: Decoder
- 1106: De-emphasis circuit
- 1107: Inputted video signals
- 1108: Mode signal
- 1109: Code sequence
- 1110: Playback video signals

[Fig. 12]



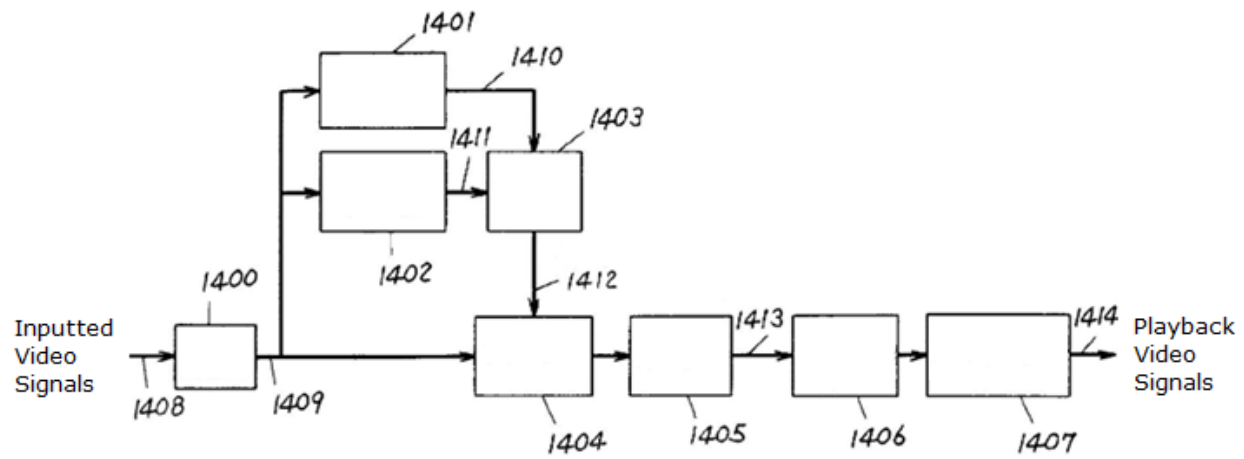
- 1201: Emphasis circuit
- 1202: Analog-to-digital converter
- 1203: Encoding circuit
- 1204: Decoding circuit
- 1205: Digital-to-analog converter
- 1206: De-emphasis circuit
- 1207: Inputted analog video signals
- 1208: Code sequence
- 1210: Playback video signals

[Fig. 13]



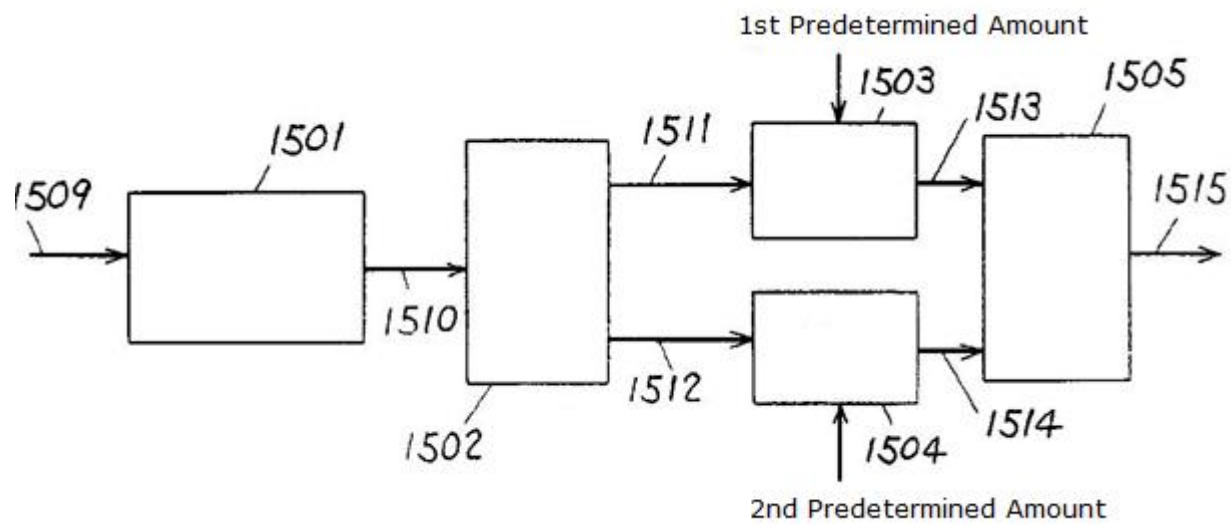
- 1300: Block divider
- 1301: Contour detector
- 1302: Mode switcher
- 1303: Emphasis circuit
- 1304: Encoder
- 1305: Decoder
- 1306: De-emphasis circuit
- 1310: Mode signal
- 1311: Code sequence

[Fig. 14]



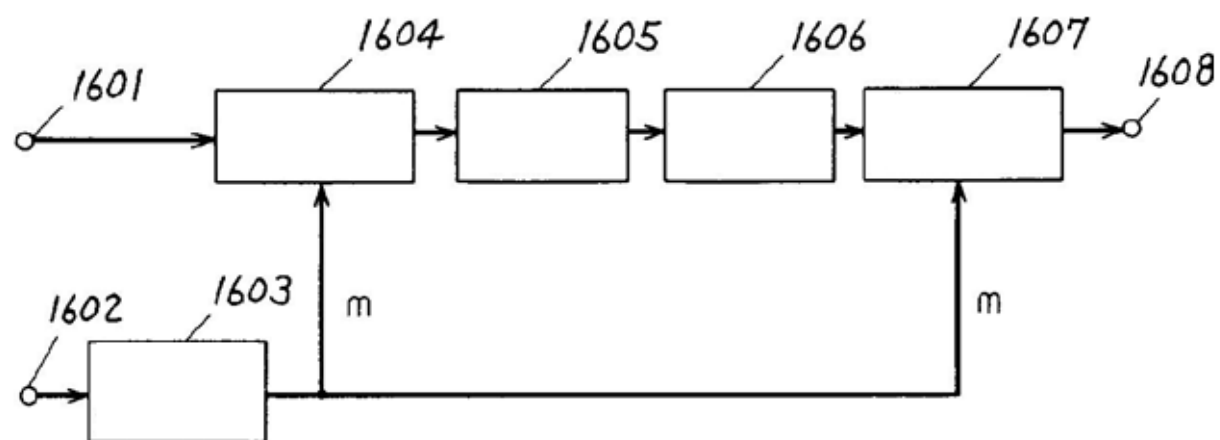
- 1400: Block divider
- 1401: Activity detector
- 1402: Contour detector
- 1403: Mode switcher
- 1404: Emphasis circuit
- 1405: Encoder
- 1406: Decoder
- 1407: De-emphasis circuit
- 1412: Mode signal
- 1413: Code sequence

[Fig. 15]



- 1501: Activity detector
- 1502: Memory
- 1503: Comparator
- 1504: Comparator
- 1505: Detection signal output unit
- 1511: Targeted block activity
- 1512: Surrounding block activity
- 1515: Contour detection signals

[Fig. 16]



1603: Control signal generating circuit

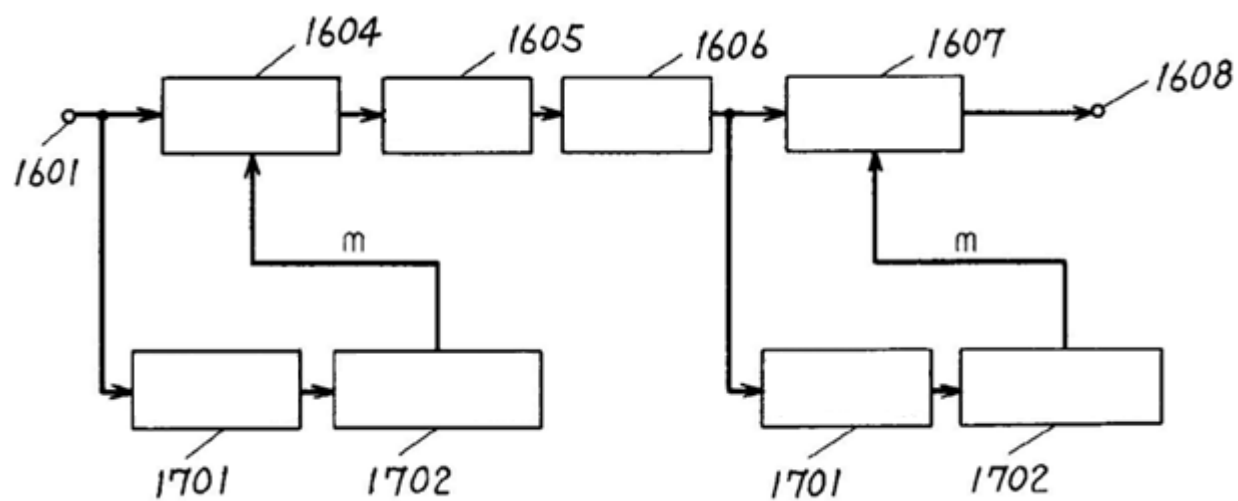
1604: Emphasis circuit

1605: Encoder

1606: Decoder

1607: De-emphasis circuit

[Fig. 17]



1604: Emphasis circuit

1605: Encoder

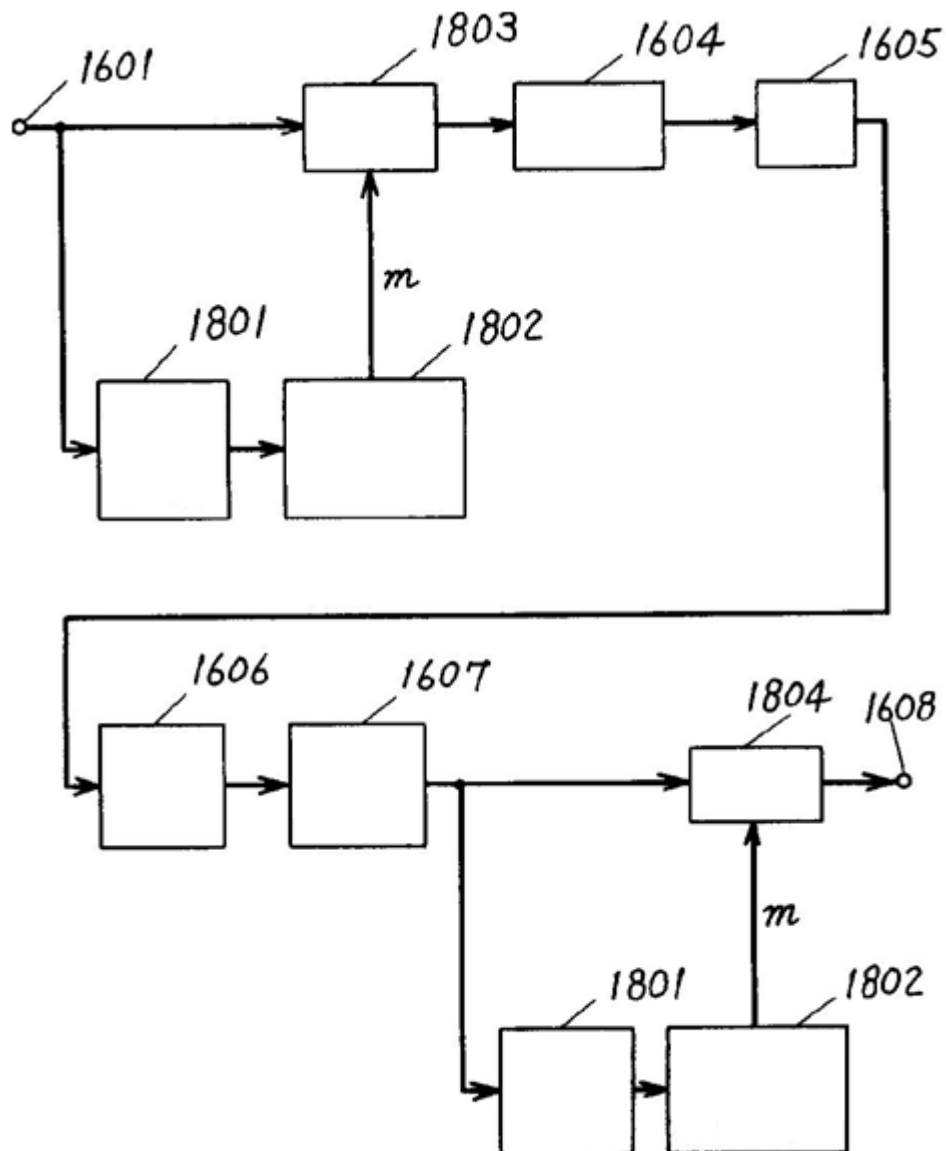
1606: Decoder

1607: De-emphasis circuit

1701: Direct current level detecting circuit

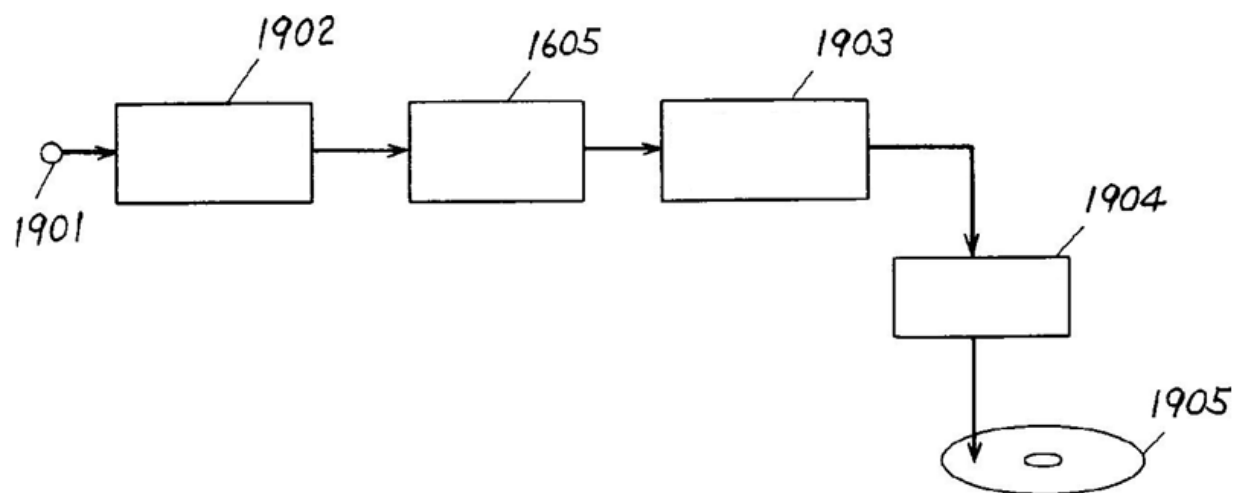
1702: Mode control signal generating circuit

[Fig. 18]



- 1604: Emphasis circuit
- 1605: Encoder
- 1606: Decoder
- 1607: De-emphasis circuit
- 1801: Signal amplitude detecting circuit
- 1802: Mode control signal generating circuit
- 1803: Multiplier
- 1804: Multiplier

[Fig. 19]



1605: Encoder
1902: Emphasis processing circuit
1903: Recording-related signal processing circuit
1904: Recording head

Continued From Front Page

(51) [Int.Cl. ⁶]	[ID Codes]	[Internal Ref. Nos.]	[FI]	[Tech. Indicators]
		7734-5C	H04N 5/92	H

(31) [Priority Number] JP H05-256844

(32) [Priority Date] October 14, 1993

(33) [Priority Country] Japan (JP)

Certification of Accuracy

I, Frank McGee, a translator fluent in the English and Japanese languages, on behalf of Source IP, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the documents listed below in a form that best reflects the intention and meaning of the original text.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

The documents are designated as:

- 1 - PDF_Request_for_a_Patent_50100183697_JP
- 2 - PDF_Description_50100183697_JP
- 3 - PDF_Abstract_50100183697_JP
- 4 - PDF_Drawings_50100183697_JP
- 5 - PDF_Request_for_Examination_50301605130_JP
- 6 - PDF_Notice_of_Reasons_for_Refusal_06106105141_JP
- 7 - PDF_Decision_of_Refusal_06106301327_JP
- FISH-090523-1 - JPH07162862A_Original_document_20230901222245



Frank McGee

September 11, 2023

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開平7-162862

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
G 0 6 T 9/00			G 0 6 F 15/66	330 A 8420-5L
H 0 4 N 5/92			H 0 4 N 5/92	H 7734-5C

審査請求 未請求 請求項の数 44 O L (全 29数)

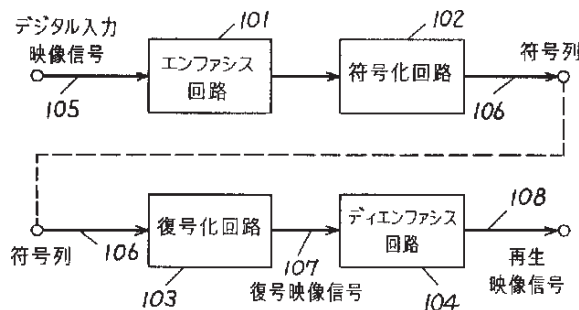
(21)出願番号	特願平6-2432	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成6年(1994)1月14日	(72)発明者	福田 秀樹 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平5-12286	(72)発明者	本城 正博 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平5(1993)1月28日	(72)発明者	芝田 英明 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 小鍛冶 明 (外2名) 最終頁に続く
(31)優先権主張番号	特願平5-174068		
(32)優先日	平5(1993)7月14日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平5-247893		
(32)優先日	平5(1993)10月4日		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 映像符号化装置及び映像復号化装置及び光ディスク

(57)【要約】

【目的】 本発明は映像信号を圧縮符号化処理する際に効率的に符号化ノイズを除去して画質の改善を図る映像符号化装置もしくは映像復号化装置を提供することを目的とする。

【構成】 入力映像信号105はエンファシス回路101により信号強調が行われ後、符号化回路102によって圧縮符号化処理を施し符号列106を得、復号化回路103は符号列106を復号化処理し復号映像信号を107を出力し、ディエンファシス回路104は復号映像信号107を信号抑圧して再生映像信号108を出力する。ただし、エンファシス回路101とディエンファシス回路104は相補的な関係にあるか、信号抑圧の方が強く作用するようにする。



【特許請求の範囲】

【請求項1】映像信号を圧縮符号化処理する装置であって、前記映像信号を強調するエンファシス手段と、前記エンファシス手段の出力信号を圧縮符号化処理し符号列を求める符号化手段とを具備することを特徴とする映像符号化装置。

【請求項2】映像信号を圧縮符号化処理する装置であって、符号列を復号化処理し復号映像信号を求める復号化手段と、エンファシス手段の信号強調度に応じた信号抑圧度で前記復号映像信号を抑圧し再生映像信号を求めるディエンファシス手段とを具備することを特徴とする請求項1記載の映像符号化装置。

【請求項3】エンファシス手段とディエンファシス手段とは、相補的關係をもつように構成されることを特徴とする請求項2記載の映像符号化装置。

【請求項4】エンファシス手段の信号強調度は、ディエンファシス手段の抑圧度よりも小さくなるように構成されることを特徴とする請求項2記載の映像符号化装置。

【請求項5】エンファシス手段は、入力される信号の振幅が小さくなるにしたがい強調度が増すような非線形特性をもち、ディエンファシス手段は、入力される信号の振幅が小さくなるにしたがい抑圧度が増すような非線形特性をもつことを特徴とする請求項3または4記載の映像符号化装置。

【請求項6】エンファシス手段は、画像信号の高周波成分を抜き出す手段と、前記画像信号の高周波成分の大きさが第1の所定レベル L_1 以下の場合にはそのままとし、 L_1 より大きい場合にはその大きさを L_1 とするリミッタ処理する手段と、前記リミッタ処理して得られた信号に第1の係数 X_1 を乗算する第1の乗算手段と、前記第1の乗算手段の出力を入力信号に加算する手段とで構成され、さらにディエンファシス手段は、復号画像信号の高周波成分を抜き出す手段と、前記復号画像信号の高周波成分の大きさが、前記 L_1 と前記 X_1 とによって規定される第2の所定レベル L_2 以下の場合にはそのままとし、 L_2 より大きい場合には、その大きさを L_2 とするリミッタ処理する手段と、前記リミッタ処理して得られた信号に第2の係数 X_2 を乗算する第2の乗算手段と、前記第2の乗算手段の出力を復号画像信号から減算する手段とで構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項7】第2の所定レベル L_2 は、 $(1 + X_1) \times L_1$ で与えられるように構成されることを特徴とする請求項6記載の映像符号化装置。

【請求項8】エンファシス手段及びディエンファシス手段の周波数利得特性が $f_s / 2$ (f_s はサンプリング周波数) 付近にピークをもつように構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項9】エンファシス手段及びディエンファシス手段の周波数利得特性が $f_s / 4$ (f_s はサンプリング周

波数) 付近にピークをもつように構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項10】エンファシス手段は周波数利得特性が $f_s / 4$ (f_s はサンプリング周波数) 付近にピークをもち、ディエンファシス手段は、周波数利得特性が $f_s / 2$ 付近にピークをもつように構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項11】映像信号を信号強調した後で圧縮符号化処理して符号列を求め、得られた前記符号列は復号化処理された後で前記信号強調に応じた信号抑圧が行われて再生処理される映像符号化装置であって、信号強調される前に所定期間にわたる映像信号の振幅を検出する手段と、前記検出手段により検出された振幅に応じて複数種類のモード信号の内のひとつを選択する手段と、前記映像信号の振幅を前記選択されたモード信号によって制御する第1のレベル制御手段と、信号抑圧された後に再生画像信号の振幅を前記第1のレベル制御手段と逆特性で制御する第2のレベル制御手段とをさらに具備することを特徴とする請求項5記載の映像符号化装置。

【請求項12】エンファシス手段は、入力信号の信号振幅を所定量と比較する手段を具備し、前記入力信号の信号振幅が前記所定量以下の場合、ディエンファシス手段の抑圧度と等しい強調度で前記入力信号を強調し、前記エンファシス手段の入力信号の振幅が前記所定量よりも大きい場合、前記ディエンファシス手段の抑圧度よりも小さい強調度で強調することを特徴とする請求項5記載の映像符号化装置。

【請求項13】エンファシス手段は、画面の垂直方向に対して信号強調を行う垂直エンファシス手段と、画面の水平方向に対して、前記垂直エンファシス手段の信号強調度よりも大きな信号強調度で信号強調を行う水平エンファシス手段とで構成され、また、ディエンファシス手段は、画面の垂直方向に対して信号抑圧を行う垂直ディエンファシス手段と、画面の水平方向に対して信号抑圧を行う水平ディエンファシス手段とで構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項14】エンファシス手段は、画面の垂直方向に対して信号強調を行った後に水平方向に対して信号強調を行い、ディエンファシス手段は画面の水平方向に対して信号抑圧を行った後に垂直方向に対して信号抑圧を行うように構成されることを特徴とする請求項13記載の映像符号化装置。

【請求項15】映像信号を信号強調した後に圧縮符号化処理して符号列を出力する装置であって、 L 個のモード (L は2以上の自然数) のうちひとつのモードを選択してモード信号を出力するモード切り換え器をさらに具備し、エンファシス手段は前記モード信号に規定される強調度で信号強調するように構成されることを特徴とする請求項5記載の映像符号化装置。

【請求項16】ディエンファシス手段は、L個のモードの中で最も大きな強調度のエンファシス手段の信号強調特性と相補的特性をもつように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項17】モード信号を記録または伝送する手段と、前記記録または伝送されたモード信号を再生する手段とをさらに具備し、ディエンファシス手段は、再生された前記モード信号に規定される信号抑圧度で信号抑圧を行い、また、各モード信号における信号抑圧度は対応する信号強調度と比較して等しいか、または大きいかのどちらか一方になるように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項18】エンファシス手段及びディエンファシス手段の周波数利得特性におけるピーク周波数もしくは最大利得のうち少なくとも一方がモード信号に応じて異なるように構成されたことを特徴とする請求項15記載の映像符号化装置。

【請求項19】L個のモード（Lは2以上の自然数）のうち、信号強調及び信号抑圧を共に行わないモード、もしくは信号強調は行わないが信号抑圧は行うモードのうち少なくとも一方のモードを1個以上もつように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項20】所定期間にわたる画像信号の直流レベルを検出する手段をさらに具備し、モード切り換え器は前記直流レベルに従って異なるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項21】画像信号は3つのコンポーネント信号（S1、S2、S3）で構成されており、モード切り換え器は前記コンポーネント信号S1、S2、S3に対して少なくとも一つは異なるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項22】モード切り換え器は、コンポーネント信号S1、S2、S3の視感度の比率に対応するモード信号を出力するように構成されることを特徴とする請求項21記載の映像符号化装置。

【請求項23】映像信号を複数の符号化処理方法で圧縮符号化処理し、モード切り換え器は前記複数の符号化処理方法に応じたモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項24】映像信号をフレームもしくはフィールド内の相関を利用する高能率符号化処理する手段と、映像信号をフレームもしくはフィールド間予測を利用する高能率符号化処理する手段とをさらに具備し、モード切り換え器はフレームもしくはフィールド内符号化される画像領域と、予測符号化される画像領域とで異なるモード信号を出力するように構成されることを特徴とする請求項23記載の映像符号化装置。

【請求項25】符号化手段は、複数の圧縮率制御信号に応じた符号化圧縮率で符号化処理するように構成され、モード切り換え器は前記圧縮率制御信号に規定されるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項26】モード切り換え器は、符号化圧縮率が高まるにつれて信号強調度及び信号抑圧度が大きなモードを選択するように構成されることを特徴とする請求項25記載の映像符号化装置。

【請求項27】モード切り換え器は、信号強調度が信号抑圧度よりも小さいモードにおいては、符号化圧縮率が高まるにつれて信号強調度と信号抑圧度との差が大きくなるモードを選択するように構成されることを特徴とする請求項25記載の映像符号化装置。

【請求項28】映像信号を圧縮符号化処理して得られた符号列を記録媒体に記録する場合において、モード切り換え器は書き換え可能な記録媒体と再生のみ可能な記録媒体とでモードを選択するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項29】所定期間にわたる映像信号の空間的相関を検出する手段をさらに具備し、モード切り換え器は前記空間的相関に規定されるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項30】モード信号切り換え器は、空間的相関が小さくなるにしたがい強調度の小さいモードを選択するように構成されることを特徴とする請求項29記載の映像符号化装置。

【請求項31】信号強調度が信号抑圧度よりも小さいモードでは、モード切り換え器は空間的相関が小さくなるに従って信号強調度と信号抑圧度との差が大きなモードを選択するように構成されることを特徴とする請求項29記載の映像符号化装置。

【請求項32】複数の画素からなるブロックが画像の輪郭部を含むことを検出する手段をさらに具備し、モード切り換え器は前記輪郭部の検出結果に応じたモード信号を前記ブロックごとに出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項33】複数画素からなるブロックの空間的相関に比例する相関量を出力する手段と、前記ブロックを含む画像領域が輪郭部を含むことを検出する手段とをさらに具備し、モード切り換え器は、前記相関量及び前記輪郭部の検出結果に応じたモード信号を出力し、対象とするブロックの前記相関量が所定量よりも小さく、かつ前記対象ブロックが輪郭部を含まない場合、前記対象ブロックに対して強調度の小さいモードを選択するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項34】画像の輪郭部を検出する手段は、画像を所定の画素からなるブロックに分割する手段と、前記ブ

ロックの空間的相関に比例する相関量を検出する手段と、対象とするブロックの相関量を第一の所定量と比較する手段と、前記対象とするブロックの周辺に位置する複数の周辺ブロックの相関量を第二の所定量と比較する手段と、前記対象ブロックの相関量が前記第一の所定量よりも小さく、かつ前記周辺ブロックのうち少なくともひとつのブロックの相関量が前記第二の所定量よりも大きい場合、前記対象ブロックを輪郭部として検出する検出信号出力手段とで構成されることを特徴とする請求項32または33記載の映像符号化装置。

【請求項35】所定期間にわたる映像信号の時間的相関を検出する手段をさらに具備し、モード切り換え器は前記時間的相関に規定されるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項36】信号強調度が信号抑圧度よりも小さいモードでは、モード切り換え器は時間的相関が小さくなるに従って信号強調度と信号抑圧度との差が大きなモードを選択するように構成されることを特徴とする請求項35記載の映像符号化装置。

【請求項37】所定期間にわたる符号化処理によって発生した符号化歪の量を計測する符号化歪測定器をさらに具備し、モード切り換え器は前記符号化歪の量に規定されるモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項38】信号強調度が信号抑圧度よりも小さいモードでは、モード切り換え器は符号化歪量が大きくなるに従って信号強調度と信号抑圧度との差が大きなモードを選択するように構成されることを特徴とする請求項37記載の映像符号化装置。

【請求項39】画像を複数の画素からなるブロックに分割しブロックごとに符号化復号化処理する装置であって、前記ブロックの境界部を検出する手段をさらに具備し、モード切り換え器は前記ブロックの境界部の検出結果に応じたモード信号を出力するように構成されることを特徴とする請求項15記載の映像符号化装置。

【請求項40】画像のシーンチェンジを検出する手段をさらに具備し、モード切り換え器は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成されることを特徴とする請求項15または20または29または35または37のいずれかに記載の映像符号化装置。

【請求項41】エンファシス手段は、アナログ映像信号を強調し、強調された信号をデジタル化するA/D変換器と、符号列を復号化処理して得られた復号映像信号をアナログ化するD/A変換器を具備し、ディエンファシス手段は前記D/A変換器の出力を抑圧し再生映像信号を出力するように構成されることを特徴とする請求項5記載の映像符号化装置。

*【請求項42】映像信号を圧縮符号化して得られた符号列を再生処理する装置であって、前記符号列を復号化処理する復号化手段と、前記復号化手段で得られた復号映像信号を信号抑圧し再生映像信号を出力するディエンファシス手段とを具備し、前記符号列が映像信号を信号強調した後で圧縮符号化処理して得られた符号列である場合、前記ディエンファシス手段は前記信号強調と相補的な特性をもつように構成するか、または前記信号強調における強調度よりも大きな信号抑圧度で信号抑圧するように構成されるかのいずれか一方であることを特徴とする映像復号化装置。

【請求項43】ディエンファシス手段は入力される信号の振幅が小さくなるにしたがい信号抑圧度が増すような非線形特性をもつように構成されることを特徴とする請求項42記載の映像復号化装置。

【請求項44】請求項1から41のいずれかに記載の映像符号化装置によって得られた符号列が記録された光ディスク。

【発明の詳細な説明】

20 【0001】

【産業上の利用分野】本発明は、映像信号を圧縮符号化して伝送もしくは記録する際、及び圧縮符号化された符号列を再生する際に用いる映像符号化装置もしくは映像復号化装置もしくは光ディスクに関するものである。

【0002】

30 【従来の技術】近年、映像信号の符号化手段として、画像を近接する複数の画素からなるブロックに分割し、ブロックごとに離散コサイン変換等の直交変換を行う変換符号化方法を用いることが一般的になっている。この方法は変換係数を所定の量子化幅で量子化し、ハフマン符号等の可変長符号を用いて圧縮符号化する。

【0003】さらに、テレビ信号等の動画像の符号化においては各フレーム間の相関を利用したフレーム間符号化が行われる。フレーム間符号化は符号化の対象とするフレームからみて時間的に前もしくは後のフレームを参照フレームとして、対象フレームを予測し、その予測誤差信号を符号化し伝送、もしくは記録する。フレーム間の予測は複数の画素からなるブロックごとに行われ、各ブロックの動き量を検出して動き補償を行う。従って、各ブロックの動き量は予測誤差信号とともに伝送もしくは記録される。

【0004】また、符号列を復号化処理する手段は、変換符号化方法を用いて符号化処理されたものであれば、逆変換を行い再生映像信号を得る。フレーム間予測符号化を行っている場合は、既に復号化処理されて得られている所定の再生フレームを参照フレームとして、復号された予測誤差信号、動き量、及び参照フレームから再生フレームを構成する。

【0005】

*50 【発明が解決しようとする課題】しかしながら、圧縮率

が高まるにつれて符号化ノイズが顕著になり、特に変換符号化を行う場合はブロックノイズ、モスキートノイズが発生し画質劣化を招くという問題点を有していた。

【0006】本発明はかかる点に鑑み、高い圧縮率においても符号化ノイズを低減し、効率的な画像符号化を実現する装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の画像符号化復号化装置は、映像信号を強調するエンファシス手段と、前記エンファシス手段で得られた信号を符号化処理し符号列を求める符号化手段と、前記符号列を復号化処理し復号映像信号を求める復号化手段と、前記エンファシス手段の強調度に応じた抑圧度で、前記復号映像信号を抑圧し再生映像信号を求めるディエンファシス手段とを具備したものである。

【0008】また、エンファシス手段とディエンファシス手段は相補的特性を持つか、もしくはエンファシス手段の強調度はディエンファシス手段の抑圧度よりも小さくする構成としたものである。

【0009】さらに、エンファシス手段は、前記エンファシス手段の入力信号の振幅が小さくなるにしたがい強調度が増すような非線形特性をもち、またディエンファシス手段は、前記ディエンファシス手段の入力信号の振幅が小さくなるにしたがい抑圧度が増すような非線形特性をもつ構成としたものである。

【0010】また、エンファシス手段の入力信号の振幅が所定量以下の場合、前記エンファシス手段の強調度と前記ディエンファシス手段の抑圧度とは等しくし、前記エンファシス手段の入力信号の振幅が前記所定量よりも大きい場合、前記エンファシス手段の強調度は前記ディエンファシス手段の抑圧度よりも小さくする構成としたものである。

【0011】また、L個のモード（Lは2以上の自然数）のうちひとつのモードを選択しモード信号を出力するモード切り換え器を具備し、エンファシス手段は、前記モード信号に応じた強調度で信号強調し、また、ディエンファシス手段は前記モード信号に応じた抑圧度で信号抑圧するものである。また、全ての前記モードにおいて、前記エンファシス手段の強調度は前記ディエンファシス手段の抑圧度よりも大きくせず、前記L個のモードのうち少なくともひとつのモードにおける前記エンファシス手段の強調度は、前記モードにおけるディエンファシス手段の抑圧度よりも小さくし、他のモードでは強調度と抑圧度とは等しくする構成としたものである。

【0012】また、アナログ映像信号を符号化処理及び復号化処理する装置であって、前記アナログ映像信号を強調するエンファシス手段と、前記エンファシス手段で得られた信号をアナログ／デジタル変換するA／D変換器と、前記A／D変換器の出力信号を符号化処理し符号列を求める符号化手段と、前記符号列を復号化処理し復

号映像信号を求める復号化手段と、前記復号映像信号をデジタル／アナログ変換するD／A変換器と、前記D／A変換器の出力を抑圧するディエンファシス手段とを具備したものである。

【0013】また、本発明の映像符号化装置は、映像信号を信号強調するエンファシス手段と、前記エンファシス手段の出力を圧縮符号化処理する符号化手段とで構成されたものである。

【0014】また、本発明の映像復号化装置は、符号化処理して得られた符号列を復号化処理し復号映像信号を求める復号化手段と、前記復号映像信号を抑圧するディエンファシス手段とで構成されたものである。

【0015】

【作用】これにより、符号化処理によって発生した符号化ノイズが信号抑圧により除去することができ、画質の改善が得られる。

【0016】また、上記構成の映像符号化装置及び映像復号化装置及び映像符号化復号化装置において、信号強調と信号抑圧とが相補的特性をもつように構成することにより、映像信号の周波数帯域を損なうことなく信号抑圧が行われる。従って、符号化処理によって発生したノイズ成分のみを信号抑圧によって除去することができ、画質の改善が得られる。

【0017】また、信号強調度を信号抑圧度よりも小さくすることにより、信号強調と信号抑圧との間でミスマッチが生じるが、信号強調による映像信号の情報量の増加を抑制し、かつ、信号抑圧により高周波数帯域に発生する符号化ノイズをよりよく除去することができる。

【0018】さらに、信号強調において小振幅信号になるほど強調度が大きくなるように非線形な特性をもたすことにより、大振幅信号に対する強調度が小さいため符号化情報量の増加が抑えられ、小振幅信号の符号化ノイズがより効率的に除去され画質の改善が得られる。

【0019】また、モード切り換え器を具備することにより、符号化処理における複数のモードに応じた信号強調及び信号抑圧が行われる。従って、符号化モード、もしくは映像信号の特徴等に適応して効率的に符号化ノイズを除去することができる。

【0020】また、アナログ映像信号において信号強調及び信号抑圧を行うことによって、エンファシス手段及びディエンファシス手段はアナログ回路で構成される。従って、デジタル回路で構成するのと同様に符号化ノイズを除去することができ、また、エンファシス手段及びディエンファシス手段をアナログ回路で構成することにより、デジタル回路で構成するよりも簡単に、また安価で構成することができる。

【0021】

【実施例】以下本発明の映像符号化復号化装置の一実施例について、図面を参照しながら詳細に説明する。まず、映像信号はデジタル信号として扱った場合について

説明する。また、簡潔にするため信号強調処理、及び信号抑圧処理は2次元画像信号において画面の水平方向に対する処理として説明する。

【0022】図1において本発明の映像符号化復号化装置の第1の実施例を示している。図1はエンファシス回路101、符号化回路102、復号化回路103、及びディエンファシス回路104で構成される符号化復号化装置である。

【0023】デジタルの入力映像信号105はエンファシス回路101により信号強調が行われた後、符号化回路102によって符号化処理がなされ符号列106が得られる。復号化回路103は符号列106を復号化処理し復号映像信号107を出力する。ディエンファシス回路104は復号映像信号107を信号抑圧して再生映像信号108を出力する。

【0024】以上のように本実施例によれば、復号映像信号を信号抑圧することにより符号化処理によって発生したノイズが除去されるが、符号化処理する前に原信号を信号強調しておけば信号抑圧による原信号の劣化を抑制することができる。

【0025】次に、本発明の映像符号化復号化装置の第2の実施例として、図1におけるエンファシス回路101とディエンファシス回路104は相補的な関係にあるものとした場合について説明する。つまり、エンファシス回路101の伝達関数とディエンファシス回路104の伝達関数との積は1である。

【0026】エンファシス回路101の一例を図2

(a)に示している。図2(a)のエンファシス回路は第一の加算器201、遅延器202、減算器203、第一の乗算器204、第二の加算器205、及び第二の乗算器206で構成されたものである。

【0027】図2(a)の加算器201は入力信号207と帰還ループ信号209とを加算するものであり、加算器201の出力は遅延器202で1画素分遅延される。減算器203は入力信号207から遅延器202の出力を減算する。減算器203の出力は第一の乗算器204、及び第二の乗算器206に入力される。第一の乗算器204は減算器203の出力に常数x1を乗算するものであり、第二の乗算器206は減算器203の出力に常数k1を乗算する。第二の乗算器206の出力は帰還ループ信号209として第一の加算器201に入力される。第一の乗算器204の出力は第二の加算器205に入力される。第二の加算器205は、第一の乗算器204の出力と入力信号207とを加算し、その出力はエンファシス回路101の出力信号208となる。

【0028】ここで説明を簡潔にするために、第二の乗算器206における常数k1を0とし、帰還ループがないとすれば、このエンファシス回路は1画素前の信号との差をx1倍して入力信号に加え、信号強調を行うものである。

*【0029】図2(a)のエンファシス回路に対して相補的な特性をもつディエンファシス回路の一例を図2

(b)に示している。図2(b)のディエンファシス回路は、第一の減算器211、遅延器212、第二の減算器213、第一の乗算器214、第三の減算器215、及び第二の乗算器216で構成されている。

【0030】まず、第一の減算器211は、入力信号217から帰還ループ信号219を減算する。遅延器212は第一の減算器211の出力を1画素分遅延する。第二の減算器213は入力信号217から遅延器212の出力を減算する。第二の減算器213の出力は第一の乗算器214、及び第二の乗算器216に入力される。第一の乗算器214は第二の減算器213の出力に常数x2を乗算するものであり、第二の乗算器216は第二の減算器213の出力に常数k2を乗算する。第二の乗算器216の出力は帰還ループ信号219として第一の減算器211に入力される。第一の乗算器214の出力は第三の減算器215に入力される。第三の減算器215は入力信号217から第一の乗算器214の出力を減算し、その出力はディエンファシス回路104の出力信号218となる。

【0031】さらに、図2(a)のエンファシス回路と図2(b)のディエンファシス回路とが相補的な関係になるためには、(数1)の条件を満たせばよい。

【0032】

【数1】

$$k2 = \frac{x1 - k1}{1 + x1}, \quad x2 = \frac{x1}{1 + x1}$$

【0033】例えば、x1=1、k1=0の場合は、x2=0.5、k2=0.5となり、その周波数特性はfs/2(fsはサンプリング周波数)でピークもち、最大約9.5dBの信号強調及び信号抑圧となる。

【0034】なお、遅延器202及び遅延器212は1画素分時間遅延させるとしたが、これを2画素分時間遅延させても構わない。この場合のエンファシス回路とディエンファシス回路の周波数特性はfs/4付近でピークをもつことになる。このようにすることにより、高周波数成分(fs/2付近)での信号強調は行われない。これは、原信号が高周波数成分を多く含む画像の場合は高周波数成分を強調することにより符号化ノイズがより多く発生する場合があるためである。

【0035】以上のように本実施例によれば、信号強調と信号抑圧は相補的になっているため、信号強調された信号は信号抑圧によって信号強調される前の原信号に戻り、符号化処理によって発生した符号化ノイズ成分のみが抑圧されることになる。従って、符号化ノイズが低減し画質改善が得られる。

*50 【0036】次に、本発明の第3の実施例として、図1

におけるエンファシス回路101の強調度はディエンファシス回路104の抑圧度よりも小さくした場合について説明する。従って、信号抑圧の方が強く作用しミスマッチが生じる。

【0037】信号強調において信号の高域成分を強調した場合、信号抑圧では強調した成分をより多く抑圧するため、原信号に対して高域成分に劣化が生じることになる。しかし、符号化処理によって高域成分に発生したノイズがより多く除去されるため、符号化圧縮率が高まるとミスマッチを生じさせた方が画質が向上する。

【0038】図2において、 x_1 、 k_1 が大きくなるにつれてエンファシス回路の強調度が増し、 x_2 、 k_2 が大きくなるにつれてディエンファシス回路の抑圧度が増すことになる。図2(a)のエンファシス回路の強調度と図2(b)のディエンファシス回路の抑圧度とが等しくなるためのパラメータ x_1 、 k_1 、 x_2 、 k_2 は、前述のように(数1)の条件を満たせばよい。

【0039】従って、強調度を抑圧度よりも小さくするためのパラメータ x_1 、 k_1 は、これらのパラメータのうち少なくともひとつのパラメータが(数1)の条件式20で求められるパラメータよりも小さければよい。例えば、 $x_1=0.5$ 、 $k_1=0$ の場合は、 $x_2=0.5$ 、 $k_2=0.5$ とすればよい。

【0040】このように構成することにより、信号抑圧は信号強調よりも大きくなるため、信号抑圧された信号は原信号には戻らないが、符号化処理によって発生した符号化ノイズ成分がより多く抑圧されることになる。従って、符号化ノイズが低減し画質改善が得られる。

【0041】なお、図2(a)のエンファシス回路の遅延器202及び図2(b)ディエンファシス回路の遅延器212において、1画素分遅延させて周波数利得特性のピーク周波数を $f_s/2$ 付近としても構わないし、2画素分遅延させてピーク周波数を $f_s/4$ 付近としても構わない。

【0042】また、エンファシス回路の周波数利得特性のピーク周波数を $f_s/4$ 付近にもち、ディエンファシス回路の周波数利得特性のピーク周波数を $f_s/2$ 付近にもつようにしてもよい。これには、前述のように図2(a)のエンファシス回路の遅延器202は2画素分遅延させ、図2(b)のディエンファシス回路の遅延器212は1画素分遅延させればよい。こうすることで、原信号の高周波数成分においては信号抑圧が強く作用するため、原信号の高周波数成分が損なわれるが、符号化処理によって発生した符号化ノイズをより多く除去することができ、画質が向上する。一方、低域及び中域においては、ほぼ相補的な特性が得られるようにすればよく、より効率的に符号化ノイズを除去することができる。

【0043】なお、第1の実施例及び第2の実施例における符号化回路102及び復号化回路103は入力された映像信号を圧縮符号化し再生するもので、離散コサイ

ン変換符号化方法等を用いる等、何でも構わない。また、エンファシス回路、ディエンファシス回路は図2で示した回路構成に限るものではない。

【0044】次に、本発明の第4の実施例について説明する。本発明の第4の実施例は、図1におけるエンファシス回路101が信号振幅が大きくなるにつれて小さな強調度で信号強調を行う非線形特性をもったエンファシス回路であり、また、図1におけるディエンファシス回路104が信号振幅が大きくなるにつれて小さな抑圧度で信号抑圧を行う非線形特性をもつディエンファシス回路である場合である。まず、信号強調と信号抑圧は相補的になる場合について説明する。

【0045】信号振幅の大きな信号に対して大きな強調度で強調すると、画像信号の情報量の増加を招き、かえって符号化ノイズを多く発生する場合がある。そこで、信号振幅に対して非線形特性をもたせることによって、発生するノイズ成分と同程度の振幅をもつ信号成分に対しては大きな強調度で信号強調、及び信号抑圧が行われ、大振幅信号に対しては情報量の増加を抑制され、効率的に符号化ノイズを除去することができる。

【0046】尚、第2の実施例と同様にエンファシス回路及びディエンファシス回路の周波数利得特性は $f_s/2$ 付近でピークをもつてもよいし、 $f_s/4$ 付近でもつても構わない。 $f_s/2$ 付近に利得のピークをもたせることで、周波数帯域の高域に発生する符号化ノイズを積極的に除去することができる。また、 $f_s/4$ 付近で利得のピークをもたせることにより、原信号のもつ高周波数成分の強調を弱め、符号化ノイズの発生を抑制することができる。

【0047】なお、第3の実施例と同様に、エンファシス回路の強調度をディエンファシス回路の抑圧度よりも小さくしてよい。こうすることで、復号化された映像信号をより強く抑圧することになるが、符号化処理によって発生した符号化ノイズをより多く除去することができ、画質の向上が得られる。

【0048】また、エンファシス回路の周波数利得特性が $f_s/4$ 付近にピークをもち、ディエンファシス回路の周波数特性が $f_s/2$ 付近にピークをもたせてもよい。こうすることで、周波数帯域の高域における信号抑圧が信号強調よりも強く作用するため、低域及び中域の信号成分を損なうことなく、特に高域において発生する符号化ノイズをより多く除去することができ、画質の向上が得られる。

【0049】次に、本発明の第5の実施例を図3を用いて説明する。図3は、入力信号の振幅に対して非線形なエンファシス回路の一例を示している。図3(a)の非線形エンファシス回路は第一の加算器301、遅延器302、減算器303、リミッタ304、第一の乗算器305、第二の加算器306、及び第二の乗算器307で構成されたものである。第一の加算器301は入力信号

308と帰還ループ信号310とを加算するものであり、加算器301の出力は遅延器302で1画素分遅延される。減算器303は入力信号308から遅延器302の出力を減算する。減算器303の出力は入力信号の高周波数成分に相当する。

【0050】リミッタ304は減算器303の出力信号の振幅をリミッタレベルL1で制限する。このリミッタ304の入出力特性を図4に示している。但し、図4ではリミッタレベルをLとしている。図4のように入力信号の振幅が-LからLまでの間は、出力信号は入力信号と等しくなる。しかし、入力信号の振幅が-L以下の場合、出力信号の振幅は-Lに制限され、入力信号の振幅がL以上の場合、出力信号の振幅はLに制限される。

【0051】リミッタ304の出力は第一の乗算器305、及び第二の乗算器307に入力される。第一の乗算器305はリミッタ304の出力に常数x1を乗算するものであり、第二の乗算器307はリミッタ304の出力に常数k1を乗算する。第二の乗算器307の出力は帰還ループ信号310として第一の加算器301に入力される。第一の乗算器305の出力は第二の加算器306に入力される。第二の加算器306は、第一の乗算器305の出力と入力信号308とを加算し、その出力は非線形エンファシス回路の出力信号309となる。

【0052】ここで説明を簡潔にするため、第二の乗算器307における常数k1が0とする。つまり、帰還ループがない場合について考えると、リミッタレベルL1を無限大にすれば、この回路は1画素分前の信号との差分量をx1倍して入力信号に加える図2(a)と同じものになり線形エンファシス回路として働く。しかし、リミッタレベルL1を適当な値にすると、小振幅信号に対する信号強調度は大振幅信号に対する信号強調度量よりも大きくなり、非線形な特性が得られる。

【0053】また、図3(a)で示す非線形エンファシス回路と相補的な特性をもつ非線形ディエンファシス回路の一例を図3(b)に示している。図3(b)の非線形ディエンファシス回路は、第一の減算器311、遅延器312、第二の減算器313、リミッタ314、第一の乗算器315、第三の減算器316、及び第二の乗算器317で構成されている。

【0054】第一の減算器311は入力信号318から帰還ループ信号320を減算する。遅延器312は第一の減算器311の出力を1画素分遅延する。第二の減算器313は入力信号318から遅延器312の出力を減算する。第二の減算器313は入力信号318の高周波数成分に相当する。

【0055】リミッタ314は第二の減算器313の出力信号の振幅をリミッタレベルL2で制限する。このリミッタ314は図3(a)の非線形エンファシス回路のリミッタ304と同様で、その入出力特性は図4に示しているものである。

*【0056】リミッタ314の出力は第一の乗算器315、及び第二の乗算器317に入力される。第一の乗算器315はリミッタ314の出力に常数x2を乗算するものであり、第二の乗算器317はリミッタ314の出力に常数k2を乗算する。第二の乗算器317の出力は帰還ループ信号320として第一の減算器311に入力される。第一の乗算器315の出力は第三の減算器316に入力される。第三の減算器316は、入力信号318から第一の乗算器315の出力を減算し、その出力は非線形ディエンファシス回路の出力信号319となる。

【0057】ここで、リミッタ314のリミッタレベルL2は非線形エンファシス回路のリミッタ304のリミッタレベルL1及び乗算器305の常数x1に規定されるものとする。リミッタレベルL2は(数2)で与えられるものである。

【0058】

【数2】

$$L2 = (1 + x1) \cdot L1$$

【0059】また、リミッタレベルよりも十分小さい振幅の信号に対しては、図3(a)の非線形エンファシス回路と図3(b)非線形ディエンファシス回路とが相補的な関係になるためには、図2の場合と同様、(数1)の条件を満たせばよい。さらに、(数2)が満たされておれば、すべての信号に対して相補的な特性を持つことができる。

【0060】ところで、信号強調度を増すと信号のもつ情報量も増すため、圧縮符号化処理において符号化ノイズが増大し、画質劣化を引き起こす可能性がある。従って、基本的には信号強調度は小さい方が符号化効率の面からみるとよいといえる。しかし、信号強調と相補的な信号抑圧を行うことで符号化ノイズが除去され画質が改善される。そこで、非線形エンファシス回路のリミッタ304のリミッタレベルL1を適当な値にすることで、ノイズ成分の振幅と同程度の小振幅信号に対して大きな強調度で信号強調を行い、大振幅信号の信号強調を抑えることで情報量の増加を抑えることができ、かつ小振幅信号に含まれる符号化ノイズを除去することが可能となる。

【0061】例えば、各回路の常数の一例として最大信号振幅が256レベルであり、

$$x1 = 1.0, k1 = 0$$

$$x2 = 0.5, k2 = 0.5$$

の場合、非線形エンファシス回路のリミッタ304のリミッタレベルL1、及び非線形エンファシス回路のリミッタ314のリミッタレベルL2は、

$$L1 = 15, L2 = 30$$

とすればよい。

【0062】なお、このリミッタレベルは実験的に求めた一例であって、必ずしもこれに限るものではない。た

だし、符号化処理によって生じたブロックノイズ等の符号化ノイズのノイズレベルが30以下の値であることが多いため、 $L2=30$ とすることで符号化ノイズを効率的に除去することができる。

【0063】なお、図3における遅延器302及び遅延器312は1画素分の遅延として、周波数利得特性のピーク周波数を $f_s/2$ 付近にしたが、これに限らず2画素分の遅延としてもよい。このときの利得のピーク周波数は $f_s/4$ 付近となる。

【0064】また、非線形エンファシス回路、及び非線形ディエンファシス回路は図3で示した回路構成でも構わないが、これに限るものではなく、振幅が大きくなるに従って強調度が小さくなる非線形な特性をもつエンファシス回路、及びディエンファシス回路であれば何でも構わない。

【0065】また、第3の実施例同様、エンファシス回路の強調度はディエンファシス回路の抑圧度よりも小さくしてもよく、高圧縮率での符号化においては符号化ノイズがより多く除去されるため画質の改善が得られる。この場合は図3のエンファシス回路及びディエンファシス回路において、強調度を抑圧度よりも小さくするためのパラメータ $x1$ 、 $k1$ 、 $L1$ は、これら3つのパラメータのうち少なくともひとつのパラメータが(数1)及び(数2)の条件式で求められるパラメータよりも小さくすればよい。

【0066】また、第3の実施例と同様に、エンファシス回路及びディエンファシス回路の周波数利得特性においてピーク周波数を $f_s/2$ にしてもよいし、 $f_s/4$ としても構わない。さらに、エンファシス回路の周波数利得特性のピーク周波数を $f_s/4$ とし、ディエンファシス回路のピーク周波数を $f_s/2$ としてもよい。

【0067】なお、非線形エンファシス回路、及び非線形ディエンファシス回路は図3で示した回路構成でも構わないが、これに限るものではなく、振幅が大きくなるに従って強調度が小さくなる非線形な特性をもつエンファシス回路、及びディエンファシス回路であれば何でも構わない。

【0068】次に、本発明の第6の実施例として、図3における非線形エンファシス回路、及び非線形ディエンファシス回路において、エンファシス回路のパラメータ $x1$ 及び $k1$ は(数2)の条件を満たすが、リミッタレベル $L1$ に関しては(数2)の条件で満たされる $L1$ よりも小さくする場合について説明する。このときのエンファシス回路のリミッタレベルを $L1'$ とすると、 $L2' = (1+x1) \times L1' < L2$ で得られる $L2'$ は、エンファシス回路のリミッタレベルが $L1'$ の場合に、強調度と抑圧度が等しくなるディエンファシス回路のリミッタレベルを示している。なお、 $L2$ は強調度を抑圧度よりも小さくする場合のディエンファシス回路のリミッタレベルである。

【0069】ディエンファシス回路の入力信号の振幅が $L2'$ 以下の場合については、強調度と抑圧度は等しくなりエンファシス回路とディエンファシス回路は相補的關係をもつ。しかし、ディエンファシス回路の入力信号の振幅が $L2'$ を越えると、抑圧度は強調度よりも大きくなる。つまり、信号振幅が小さい平坦な絵柄においては信号強調と信号抑圧は相補的關係をもつが、信号振幅が大きい複雑な絵柄においては強調度は抑圧度よりも小さくなる。

【0070】複雑な絵柄を信号強調すると情報量の増加が平坦な絵柄の場合よりも大きくなり符号化ノイズも増加してしまうが、このように構成することにより、複雑な絵柄での強調度を抑えることができ、情報量の増加を招くことなく信号強調することができる。また、平坦な絵柄では信号強調と信号抑圧が相補的關係であるため、符号化ノイズ成分のみが除去される。一方、複雑な絵柄では抑圧度が強調度よりも大きいため、原信号の高域成分が損なわれるが、符号化処理によって高域成分に発生したノイズをより多く除去することができ、画質の改善が得られる。

【0071】尚、エンファシス回路及びディエンファシス回路は、図3で示したものでよいが、これに限るものではなく、振幅が大きくなるに従って信号強調度が小さくなる非線形な特性をもつエンファシス回路であっても構わないし、線形な特性をもつエンファシス回路であっても構わないし、信号振幅が所定量以下の場合はエンファシス回路とディエンファシス回路とは相補的關係にあり、信号振幅が所定量よりも大きい場合は信号抑圧が信号強調よりも強く作用すれば何でも構わない。

【0072】尚、上述の第1の実施例から第6の実施例において、2次元画像信号の水平方向に対して信号強調及び信号抑圧するとして説明したが、これに限らず、画面の垂直方向もしくは時間方向等でも構わない。画面の垂直方向に処理する場合は、インターレース画像ではフィールド毎に処理してもよいし、フレーム毎に処理しても構わない。

【0073】次に、本発明の第7の実施例として、図1におけるエンファシス回路101の一例として図5

(a)の二次元エンファシス回路501を用い、図1におけるディエンファシス104の一例として図5(b)の二次元ディエンファシス回路506を用いた場合について説明する。

【0074】図5(a)の二次元エンファシス回路501は垂直エンファシス回路502、水平エンファシス回路503で構成され、図5(b)の二次元ディエンファシス回路506は水平ディエンファシス回路507、垂直ディエンファシス回路508で構成されているものである。それぞれの回路構成は、メモリ(図示せず)を使用して遅延させる内容はそれぞれ異なるが、図2(a)もしくは図3(a)のエンファシス回路、図2(b)も

しくは図3 (b) のディエンファシス回路と同様の基本構成とすればよい。ただし、水平方向の信号強調度を垂直方向の信号強調度よりも大きくすることが必要である。さらに、第7の実施例では、垂直エンファシス回路502と水平エンファシス回路503の接続順序は図示している順序の逆でもよい。同様に水平ディエンファシス回路507と垂直ディエンファシス回路508の接続順序も図示している順序に限られず、この順序の逆でもよい。

【0075】符号化処理において、画像を複数の画素からなるブロックに分割し、ブロック毎に符号化処理を行う場合は、符号化圧縮率が高まるにつれて特にブロックノイズが目につくようになり画質が著しく劣化する。このブロックノイズはブロックの境界部においてブロック間の不連続性が現れるためであるが、特に水平方向の不*

*連続性が目につく。つまり、垂直方向のブロックの境界部に線状のノイズとして発生する。この水平方向の不連続性をよりよく除去するためには、垂直方向の信号強調度よりも水平方向の信号強調度を大きくすればよい。

【0076】例えば、図3 (a) の非線形エンファシス回路を垂直エンファシス回路502及び水平エンファシス回路503に、図3 (b) の非線形ディエンファシス回路を水平ディエンファシス回路507、及び垂直エンファシス回路に用いた場合、(表1) のように常数x1、k1、L1、x2、k2、L2を選べば水平方向で最大約9.5dB、垂直方向で最大約5.5dBの信号抑圧度となり、効率的にブロックノイズを除去することができる。

【0077】

【表1】

	エンファシス			ディエンファシス		
	x1	k1	L1	x2	k2	L2
水平方向	1.5	0.0	6	0.6	0.6	30
垂直方向	0.43	0.0	10	0.3	0.3	30

【0078】なお、各エンファシス回路、ディエンファシス回路は図3で示したものでよいが、これに限るものではなく、振幅が大きくなるに従って信号強調度が小さくなる非線形な特性をもつエンファシス回路であっても構わないし、線形な特性をもつエンファシス回路であっても構わない。また、(表1) で示した常数は実験的に求めた一例であって、これに限るものではない。

【0079】なお、水平及び垂直エンファシス回路はそれぞれ水平及び垂直ディエンファシス回路は相補の関係にあっても構わないし、水平及び垂直エンファシス回路の強調度はそれぞれ水平及び垂直ディエンファシス回路の抑圧度よりも小さくしてもよい。また、水平方向もしくは垂直方向のうちどちらか一方の強調度のみ抑圧度よりも小さくしてもよい。ただし、このとき他方は強調度と抑圧度は等しくする必要がある。

【0080】次に、本発明の第8の実施例として、第7の実施例と同様、図1におけるエンファシス回路101の一例として図5 (a) の二次元エンファシス回路501を用い、図1におけるディエンファシス回路104の一例として図5 (b) の二次元ディエンファシス回路506を用いた場合について説明する。第8の実施例は第7の実施例と同様の回路を用いるが、第7の実施例とは接続条件が異なる。すなわち、最初に垂直エンファシス回路を設け、まず入力信号の垂直方向の信号強調を行なうように構成する必要がある。

【0081】以上のように構成された本実施例の動作について説明する。まず、図5 (a) の二次元エンファシス回路501では、まず入力映像信号504が垂直エン

ファシス回路502によって垂直方向に信号強調が行われる。垂直エンファシス回路502の出力は水平エンファシス回路503によって水平方向に信号強調が行われる。水平エンファシス回路503の出力信号505は、第1の実施例で説明したように符号化、復号化処理される。復号化処理された信号509は二次元ディエンファシス回路506に入力されるが、まず、水平ディエンファシス回路507によって水平方向に信号抑圧が行われ、次に、垂直ディエンファシス回路508によって垂直方向に信号抑圧が行われる。垂直ディエンファシス回路508の出力は再生映像信号510として出力される。

【0082】信号強調度が増すに従って、信号振幅のオーバーフローもしくはアンダーフローが発生しやすくなり、エンファシス回路とディエンファシス回路との間でミスマッチが大きくなりノイズが発生してくる。従って、信号強調度の小さな垂直方向の信号強調を先に行うことにより、信号振幅のオーバーフロー及びアンダーフローの発生を低減することができる。その結果、信号強調、信号抑圧間のミスマッチが減少し、信号強調、信号抑圧によるノイズを低減することが可能となる。

【0083】なお、各エンファシス回路、ディエンファシス回路は図2もしくは図3で示したものでよいが、これに限るものではない。

【0084】次に、図6を用いて本発明の第9の実施例を説明する。図6は図1で示したような符号化復号化装置にモード切り換え器601を備え、複数のモードをもった符号化復号化装置の一例のブロック図である。

【0085】モード切り換え器601は複数のモードを制御するモード制御信号603に応じてモード信号604を出力する。エンファシス回路602はモード信号604に応じた信号強調度で映像信号606を信号強調し出力する。信号強調された信号607は第1の実施例で説明したように符号化回路に入力され符号化処理が行われる。

【0086】信号強調度が高くなりすぎると、符号化回路に入力される信号607の情報量が増大し、かえって符号化処理において多くの符号化ノイズが発生し画質劣化を招く場合がある。また、復号化処理を行う装置における信号抑圧処理と相補的な関係を保つために、信号強調の特性を復号化装置にあわせる必要がある場合がある。このような複数のモードに応じて、信号強調処理を変えることにより、効率的な圧縮符号化を実現することができる。

【0087】例えば、映像信号を圧縮符号化して得られた符号列を媒体に記録する際に、記録再生可能な媒体に記録するモードと再生のみ可能な媒体に記録するモードとに応じた信号強調を行う。符号化処理の手段をもたず復号化処理の手段のみをもつ装置においては、媒体から映像信号を再生する際の信号抑圧度は、記録の際の信号強調度によって一意的に決められてしまう。一方、符号化処理及び復号化処理を両方備えた装置においては、記録する際に信号強調度を自由に選択することができる。このように、媒体の種類に応じたモードによって信号強調度を変えることができ、効率的に符号化処理を行うことができる。

【0088】ただし、本実施例ではエンファシス回路に対して信号抑圧を行うディエンファシス回路は、全てのモードにおいて、エンファシス回路と相補的な関係にあるとする。

【0089】なお、エンファシス回路及びディエンファシス回路の周波数利得特性のピーク周波数を各モードに応じて規定しても構わないし、最大利得を各モードに応じて規定しても構わない。

【0090】次に、本発明の第10の実施例として、図6において少なくともひとつのモードにおいてはエンファシス回路の強調度をディエンファシス回路の抑圧度よりも小さくした場合について説明する。ここでは、モード数を3個として説明する。

【0091】モード切り換え器601は3個のモードを制御するモード制御信号603に応じてモード信号604を出力する。エンファシス回路602はモード信号604に応じた強調度で映像信号606を信号強調し出力する。信号強調された信号607は第1の実施例で説明したように符号化回路に入力され符号化処理が行われる。

【0092】また、再生側ではディエンファシス回路はモード信号に応じた抑圧度で復号された映像信号を抑圧

する。ここで、3個のモードに対する強調度は抑圧度よりも大きくせず、少なくともひとつのモードにおいては、強調度を抑圧度よりも小さくする。例えば、次のようにする。

モード1： 強調度 = 抑圧度

モード2： 強調度 < 抑圧度

モード3： 強調度 = 抑圧度

モード1の強調度 < モード2の強調度 < モード3の強調度

モード1の抑圧度 < モード2の抑圧度 = モード3の抑圧度

信号強調度が高くなりすぎると、符号化回路に入力される信号607の情報量が増加するため、符号化処理において発生する符号化ノイズが増加し画質劣化を招く場合がある。従って、通常はモード3を選択して信号強調及び信号抑圧を行い、もともと符号化ノイズの発生が少ないような符号化処理を行う場合はモード1を選択する。さらに、信号強調を行うことにより符号化ノイズの発生が多くなる場合はモード2を選択する。

【0093】このような複数のモードに応じて、信号強調処理を変えることにより、効率的な圧縮符号化を実現することができる。

【0094】なお、前述のモードの例ではディエンファシス回路の抑圧度はモード2及びモード3に対して同じ抑圧度としたが、これに限らず異なったものにしてもよい。また、複数のモードのうち、信号強調及び信号抑圧をともに行わないモードがあっても構わないし、信号強調は行わないが信号抑圧は行うモードがあっても構わない。

【0095】また、エンファシス回路の強調度はモード信号により決定されるが、ディエンファシス回路の抑圧度はモード信号によらず一定としてもよい。この場合の抑圧度は最も大きい強調度と等しくすればよい。こうすることで、再生手段側でモード信号による制御を必要とせず、回路規模を縮小することができる。さらに、モード数を3個としたが、これに限らず2個以上であれば幾つでも構わないし、前述のモードの例も一例であって限られたものではない。

【0096】なお、第9の実施例及び第10の実施例において、画像を複数の画素からなるブロックに分割する手段を備えて、ブロックごとにモードを選択してもよい。また、モード切り換えをする単位は画面ごとに行っても構わないし、所定時間ごとに検出信号を出力する計数回路を具備して、所定時間ごとに行っても構わない。さらに、画像のシーンチェンジを検出する回路をさらに具備し、シーンチェンジごとにモード切り換えを行っても構わない。また、モード切り換え器は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成してもよい。尚、シーンチェンジを検出する方法は、画

像間の相関を測定する等すればよいが、これに限るものではなく何でも構わない。

【0097】次に、図7を用いて本発明の第11の実施例を説明する。図7は第9の実施例と同様、図1で示したような符号化復号化装置において、モード切り換え器701を備え、複数の符号化圧縮率で符号化処理する符号化復号化装置の一例のブロック図である。

【0098】モード切り換え器701は符号化圧縮率制御信号704に応じたモード信号705を出力する。エンファシス回路702はモード信号705に応じた信号強調度で映像信号706を信号強調する。符号化器703は符号化圧縮率制御信号に応じた符号化圧縮率でエンファシス回路702の出力信号を符号化処理し符号列707を出力する。

【0099】この符号化復号化装置の例では、信号強調と信号抑圧とは相補的關係にあり、符号化圧縮率が低いときは信号強調度を小さくし、符号化圧縮率が高くなると信号強調度を大きくする。符号化圧縮率が低い場合は符号化ノイズが本来少ないため、信号強調度及び信号抑圧度を大きくする必要はない。しかし、符号化圧縮率が高まるにつれてブロックノイズ等が発生し画質劣化が顕著になるため、より積極的に符号化ノイズを除去する。

【0100】一般的に信号強調度を大きくすると情報量が増えてしまうが、情報量の増加による符号化ノイズの増加と信号抑圧によって除去される符号化ノイズとのトレードオフになるが、もともと符号化ノイズの少ない場合は信号強調度を小さくした方が好ましい。従って、符号化圧縮率に応じて適応的に信号強調を行い、信号強調にしたがった信号抑圧を行うことにより、効率的に符号化ノイズを低減することができ画質の改善が得られる。

【0101】なお、信号抑圧処理のためのディエンファシス回路はエンファシス回路702と相補的な関係にあればよいが、これに限らず、ディエンファシス回路の抑圧度がエンファシス回路の強調度よりも大きくなるモードがあっても構わない。

【0102】次に、図7を用いて本発明の第12の実施例として、信号強調度が信号抑圧度よりも小さいモードをもつ符号化復号化装置の一例を説明する。図7は第11の実施例と同様、図1で示したような符号化復号化装置において、モード切り換え器701を備え、複数の符号化圧縮率で符号化処理する符号化復号化装置の一例のブロック図である。ここで、符号化圧縮率を3種類とし、それぞれモード1、モード2、及びモード3を次のように決める。

【0103】モード1の圧縮率 > モード2の圧縮率 > モード3の圧縮率 符号化圧縮率制御信号704は3種類の圧縮率を決定する制御信号である。モード切り換え器701は符号化圧縮率制御信号704に応じたモード信号705を出力する。エンファシス回路702はモード信号705に応じた信号強調度で映像信号706

を信号強調する。符号化器703は符号化圧縮率制御信号に応じた符号化圧縮率でエンファシス回路702の出力信号を符号化処理し符号列707を出力する。

【0104】この符号化復号化装置の例では、符号化圧縮率が低いときは信号強調度を小さくし、符号化圧縮率が高くなると信号強調度を大きくする。符号化圧縮率が低い場合は符号化ノイズが本来少ないため、信号強調度及び信号抑圧度を大きくする必要はない。しかし、符号化圧縮率が高まるにつれてブロックノイズ等が発生し画質劣化が顕著になるため、より積極的に符号化ノイズを除去する。

【0105】一例として、次のように各モードの強調度及び抑圧度を決める。

モード1の強調度 > モード2の強調度 > モード3の強調度

モード1の抑圧度 > モード2の抑圧度 > モード3の抑圧度

ただし、各モードにおいて強調度は抑圧度よりも大きくせず、少なくともひとつのモードで強調度を抑圧度よりも小さくする必要がある。一例として次の条件を満足するとする。

モード1の強調度 < モード1の抑圧度

モード2の強調度 = モード2の抑圧度

モード3の強調度 = モード3の抑圧度

一般的に信号強調度を大きくすると情報量が増えてしまうが、情報量の増加による符号化ノイズの増加と信号抑圧によって除去される符号化ノイズとのトレードオフになるが、もともと符号化ノイズの少ない場合は信号強調度を小さくした方が好ましい。従って、符号化圧縮率に応じて適応的に信号強調を行い、信号強調にしたがった信号抑圧を行うことにより、効率的に符号化ノイズを低減することができ画質の改善が得られる。さらに、モード1（高圧縮率モード）では強調度を抑圧度よりも小さくしているため、原信号の高域成分は損なわれるが、高域成分に発生した符号化ノイズをより多く除去することができ、画質が向上する。

【0106】このように構成することにより、符号化圧縮率に適応して効率的に符号化ノイズを除去することが可能となる。

【0107】なお、モード1及びモード2を次のようにすれば、ディエンファシス回路の信号抑圧は2モードになる。

モード1の強調度 < モード2の強調度

モード1の抑圧度 = モード2の抑圧度

また、圧縮率が低いモード（モード3）では、信号強調、及び信号抑圧を行わなくてもよい。

【0108】なお、モード数を3個としたが、これに限らずいくらかでも構わない。また、符号化圧縮率のモード数と信号強調のモード数、及び信号抑圧のモード数とを同数としても構わないし、異なっても構わない。

【0109】また、強調度を抑圧度よりも小さくする場合は、符号化圧縮率が高まるにつれて強調度を小さく（もしくは抑圧度を大きくし）、信号強調と信号抑圧とのミスマッチを大きくしてもよい。この例としては、ディエンファシス回路の抑圧度を一定とした場合、高圧縮率モードでは強調度を抑圧度よりも小さくし、低圧縮率モードでは強調度と抑圧度とを等しくする。こうすることで、低圧縮率モードではエンファシス回路とディエンファシス回路とで相補の関係にあるため、原信号を損なうこと無く符号化ノイズのみを除去することが可能となる。一方、高圧縮率モードでは信号抑圧が信号強調よりも強く作用するため、原信号を損なう場合があるが符号化ノイズをより多く除去するため画質の向上が得られる。

【0110】次に図8を用いて本発明の第13の実施例を説明する。本実施例は画像の空間的相関に応じた信号強調を行う装置の一例であり、空間的相関を表す尺度としてアクティビティを用いた場合の一例である。図8は図1で示したような符号化復号化装置にアクティビティ検出器801、及びモード切り換え器802を備えた符号化復号化装置の一例のブロック図である。

【0111】アクティビティ検出器801は映像信号807のアクティビティ808を検出し出力するものである。検出されたアクティビティ808はモード切り換え器802に入力され、アクティビティ808に応じたモード信号809を出力する。エンファシス回路803はモード信号809に応じた信号強調度で映像信号807を信号強調する。信号強調された信号は第1の実施例と同様に符号化器804で符号化処理され符号列810が得られる。符号列810は復号化器805で復号化処理されエンファシス回路803の強調度に応じた抑圧度でディエンファシス回路806で信号抑圧し再生映像信号811を得る。

【0112】エンファシス回路803の信号強調度は映像信号のアクティビティが大きくなるにつれて小さくする。これは、アクティビティの大きな映像信号は情報量が多いため、大きな強調度で強調すると符号化処理における符号化ノイズがより多く発生する場合があるためである。このように、アクティビティに応じて適応的に信号強調度を決めることにより効率的に符号化ノイズを除去できる。

【0113】アクティビティは、画素の画素レベルの分散をアクティビティとして扱えばよい。画素レベルの分散は、N個の画素レベルをa1、a2、a3、・・・aNとすると（数3）のように計算される。なお、（数3）のmは（数4）で計算されるN個の画素レベルの平均値である。

【0114】

【数3】

$$\text{[アクティビティ]} = \frac{1}{N} \sum_{i=1}^{24} (x_i - m)^2$$

【0115】

【数4】

$$m = \frac{1}{N} \sum_{i=1}^N x_i$$

【0116】尚、アクティビティとして前述のように画素レベルの分散を用いればよいが、これに限らず隣接する画素の画素レベルの差分量の和でもよいし、平均値との差の和でも構わないし、画像のアクティビティを示すものであれば何でも構わない。

【0117】また、アクティビティの検出は、画面をブロックに分割してブロック単位で行っても構わないし、画面単位で行っても構わないし、複数画面単位で行っても構わないし何でも構わない。また、画像のシーンチェンジ検出器を具備し、シーンチェンジごとにアクティビティを検出し、検出したアクティビティに応じて信号強調してもよい。また、モード切り換え器は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成してもよい。

【0118】なお、信号抑圧処理のためのディエンファシス回路806はエンファシス回路803と相補的な関係にある回路であっても構わないし、抑圧度が強調度よりも大きな場合でも構わない。

【0119】また、抑圧度を強調度よりも大きくするモードでは、アクティビティが大きくなるにしたがい、強調度を小さく（もしくは抑圧度を大きく）して強調度と抑圧度との差を大きくするようにしてもよい。こうすることで、低圧縮率での符号化においては画像の周波数帯域が損なわれるが符号化ノイズをより多く除去することができ、画質の向上が得られる。

【0120】なお、強調度はモード信号809に応じて決定されるが、抑圧度はモード信号809によらず一定としてもよい。この場合の抑圧度は最も大きな強調度と等しくすればよい。

【0121】次に、図9を用いて本発明の第14の実施例を説明する。本実施例は画像の時間的相関に応じた信号強調を行う実施例であり、時間的相関の尺度として絵柄の時間的な動きの量を用いた場合の一例である。図9は図1で示したような符号化復号化装置に動き量検出器901、及びモード切り換え器902を備えた符号化復号化装置の一例のブロック図である。

【0122】動き量検出器901は映像信号907の動き量908を検出し出力するものであり、モード切り換え器902は動き量908に応じたモード信号909を出力する。また、エンファシス回路903はモード信号

909に応じた信号強調度で映像信号907を信号強調する。信号強調された信号は第1の実施例と同様に符号化器904で符号化処理が行われ符号列904が得られる。得られた符号列904は復号化器905で復号化処理された後、ディエンファシス回路906でエンファシス回路903の強調度に応じた抑圧度で信号抑圧され再生映像信号911が得られる。

【0123】エンファシス回路903の信号強調度は映像信号の動き量が大きくなるにつれて大きくする。これは、動き量の大きな映像信号は情報量が多いため、符号化処理における符号化ノイズが発生しやすいためである。従って、動き量の大きな映像においては大きな信号強調度で信号強調を行うモードを選択し、信号強調にしたがった信号抑圧を行うことにより、より積極的に符号化ノイズを低減する。このように、動き量に応じて適応的に信号強調度を決めることにより効率的に符号化ノイズを除去できる。

【0124】なお、動き量の検出方法は、限定されるものではなく映像信号の動き量を求める方法であれば何でも構わない。例えば、画面をブロックに分割しブロックごとに検出しても構わないし、インターレース画像であればライン間の相関を調べることで動き量は検出できる。また、動き量検出は、画面をブロックに分割しブロック単位で行っても構わないし、画面単位で行っても構わないし、複数画面単位で行っても構わない。

【0125】なお、信号抑圧処理のためのディエンファシス回路906はエンファシス回路903と相補的な関係にある回路であっても構わないし、抑圧度が強調度よりも大きな場合でも構わない。

【0126】また、少なくともひとつのモードでは、エンファシス回路の強調度をディエンファシス回路の抑圧度よりも小さくしてもよいが、それ以外のモードでは強調度と抑圧度と等しくする必要がある。例えば、動き量が大きな映像信号のモードで強調度を抑圧度よりも小さくする。動き量が大きい映像では一般に高域成分が少ないため、抑圧度を大きくすることによる原画像の高域の劣化は少なく、高域成分に含まれる符号化ノイズをより多く除去することにより画質が改善する。

【0127】また、抑圧度を強調度よりも大きくするモードでは、動き量が大きくなるにしたがい、強調度を小さく（もしくは抑圧度を大きく）して強調度と抑圧度との差を大きくするようにしてもよい。こうすることで、低圧縮率での符号化においては画像の周波数帯域が損なわれるが、符号化ノイズをより多く除去することができ、画質の向上が得られる。

【0128】なお、強調度はモード信号909に応じて決定されるが、抑圧度はモード信号909によらず一定としてもよい。この場合の抑圧度は最も大きな強調度と等しくすればよい。

【0129】また、画像のシーンチェンジを検出する回

路をさらに具備し、シーンチェンジごとにモード切り換えを行っても構わない。また、モード切り換え器は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成してもよい。尚、シーンチェンジを検出する方法は、画像間の相関を測定する等すればよいが、これに限るものではなく何でも構わない。

【0130】次に、図10を用いて本発明の第15の実施例を説明する。図10は図1で示したような符号化復号化装置に符号化歪測定器1001、及びモード切り換え器1002を備えた符号化復号化装置の一例のブロック図である。

【0131】符号化歪測定器1001は符号化器1004で符号化処理した際に発生する符号化歪量1008を測定し出力するものである。また、モード切り換え器1002は符号化歪量1008に応じたモード信号1009を出力する。エンファシス回路1003はモード信号1009に応じた信号強調度で映像信号1007を信号強調する。符号化器1004は信号強調された信号を符号化処理し符号列1010を出力する。符号列1010は復号化器1005で復号化処理された後、ディエンファシス回路1006でエンファシス回路1003の強調度に応じた抑圧度で信号抑圧が行われ再生映像信号1011が得られる。

【0132】符号化ノイズの量が大きい場合、大きな信号強調度で信号強調を行うモードを選択し、信号強調にしたがった信号抑圧を行うことにより、より積極的に符号化ノイズの除去を行う。

【0133】なお、信号抑圧処理のためのディエンファシス回路1006はエンファシス回路1003と相補的な関係にある回路であればよいし、また、抑圧度が強調度よりも大きな場合でも構わない。

【0134】また、少なくともひとつのモードでは、エンファシス回路の強調度をディエンファシス回路の抑圧度よりも小さくしてもよいが、それ以外のモードでは強調度と抑圧度とは等しくする。例えば、符号化歪量が大きな映像信号のモードで強調度を抑圧度よりも小さくする。抑圧度を大きくすると原画像の高域の劣化は生じるが、高域成分に含まれる符号化ノイズをより多く除去することにより画質が改善する。

【0135】また、抑圧度を強調度よりも大きくするモードでは、符号化歪量が大きくなるにしたがい、強調度を小さく（もしくは抑圧度を大きく）して強調度と抑圧度との差を大きくするようにしてもよい。こうすることで、低圧縮率での符号化においては画像の周波数帯域が損なわれるが符号化ノイズをより多く除去することができ、画質の向上が得られる。

【0136】なお、強調度はモード信号1009に応じて決定されるが、抑圧度はモード信号1009によらず一定としてもよい。この場合の抑圧度は最も大きな強調

度と等しくすればよい。

【0137】なお、符号化ノイズの測定は原信号と符号化処理後の信号との差を測定してもよいし、符号化処理において発生する符号化ノイズの量を表すものであれば何でもよい。

【0138】また、符号化処理における信号の量子化に用いる量子化幅で符号化ノイズの量を表してもよい。符号化処理において所定の符号化圧縮率に制御するには、発生符号量に応じて量子化における量子化幅を制御する。つまり、発生符号量が多くなれば量子化幅を大きくし符号量を抑え、発生符号量が少なければ量子化幅を小さくして符号量を一定になるように制御する。発生符号量が多くなり、それに従って量子化幅が大きくなれば、符号化ノイズは増加する。

【0139】このように量子化における量子化幅に応じた信号強調度で信号強調を行うモードを選択し、信号強調にしたがった信号抑圧を行うことにより、効率的に符号化ノイズを除去することができる。

【0140】尚、画像のシーンチェンジを検出する回路をさらに具備し、シーンチェンジごとにモード切り換えを行っても構わない。また、モード切り換え器は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成してもよい。また、シーンチェンジを検出する方法は、画像間の相関を測定する等すればよいが、これに限るものではなく何でも構わない。

【0141】次に、図11を用いて本発明の第16の実施例を説明する。図11は図1で示したような符号化復号化装置にブロック境界部検出器1101、及びモード切り換え器1102を備えた符号化復号化装置の一例のブロック図である。この場合の符号化処理は画面を隣接する複数の画素からなるブロックに分割し、ブロックごとに符号化処理を行うものとする。

【0142】図11のブロック境界部検出器1101は映像信号1107内の符号化処理の単位であるブロックの境界部を検出するものである。モード切り換え器1102はブロック境界部検出器1101の検出結果に応じてモード信号1108を出力する。エンファシス回路1103はモード信号1108に応じた信号強調度で映像信号1107の信号強調を行い出力する。信号強調された信号は符号化器1104で符号化処理され符号列1109が得られる。符号列1109は復号化器1105で復号化処理された後、ディエンファシス回路1106でエンファシス回路1103の強調度に応じた抑圧度で信号抑圧を行い、再生映像信号1110を得る。

【0143】ブロックごとに符号化処理がされる場合、符号化圧縮率が高まるにつれて符号化ノイズがブロックノイズとして発生し、著しく画質を劣化させる。このブロックノイズはブロック間の不連続さが生じるため発生する。従って、ブロック境界部検出器1101によって

ブロックの境界部を検出し、ブロックの境界部に対して大きな信号強調度で信号強調を行うモードを選択し、信号強調にしたがった信号抑圧により特にブロックの境界部に発生する符号化ノイズを積極的に除去する。これにより、ブロックノイズを低減することができる。

【0144】なお、ブロックの境界部に対する強調度は抑圧度よりも小さくしてよい。こうすることで、大きな信号抑圧により特にブロックの境界部に発生する符号化ノイズを積極的に除去する。これにより、ブロックノイズを低減することができる。ただし、ブロックの境界部以外での強調度と抑圧度とを等しくする。

【0145】なお、強調度はモード信号1108によって決定されるが、抑圧度はモード信号1108によらず一定としてもよい。この場合の抑圧度はブロックの境界部以外での強調度と等しくする。

【0146】次に、図13を用いて本発明の第17の実施例を説明する。図13はブロック分割器1300、輪郭部検出器1301、及びモード切り換え器1302、エンファシス回路1303、符号化器1304を備えた符号化装置、及び、復号化器1305、ディエンファシス回路1306を備えた復号化装置の一例のブロック図である。

【0147】まず、ブロック分割器1300は入力された画像1307を複数の画素からなるブロック1308に分割するものである。輪郭部検出器1301は入力されたブロック1308が輪郭部を含むことを検出し、検出信号1309を出力するものであり、モード切り換え器1302は検出信号1309に応じたモード信号1310を出力する。また、エンファシス回路1303はモード信号1310に応じた信号強調度でブロック1308を信号強調する。信号強調された信号は第1の実施例と同様に符号化器1304で符号化処理が行われ、符号列1311が得られる。符号列1311は復号化器1305で復号処理された後、ディエンファシス回路1306で信号抑圧され再生ブロック1312を得る。

【0148】ただし、輪郭部を含むブロック以外での強調度は抑圧度よりも小さくし、輪郭部を含むブロックでの強調度は抑圧度と等しくなるようにモード信号1310を選択する。前述したように、抑圧度を強調度より大きくすると高域成分に劣化を生じる。輪郭部における高域成分の劣化は画質の大きな劣化を引き起こすため、輪郭部においてはエンファシス回路1303の強調度とディエンファシス回路1306の抑圧度とは等しくなるようにモードを決定する。

【0149】以上のように、本実施例によれば、画像の輪郭部の劣化を少なくすることができ、効率的に符号化ノイズを除去することができる。

【0150】なお、輪郭部の検出方法は限られたものではなく何でも構わない。また、ブロックの単位は限られたものではなく何でも構わない。

【0151】次に、図14を用いて本発明の第18の実施例を説明する。図14はブロック分割器1400、アクティビティ検出器1401、輪郭部検出器1402、及びモード切り換え器1403、エンファシス回路1404、符号化器1405を備えた符号化装置、及び、復号化器1406とディエンファシス回路1407を具備した復号化装置の一例のブロック図である。

【0152】ブロック分割器1400は入力された画像1408を複数の画素からなるブロック1409に分割するものである。アクティビティ検出器1401は第13の実施例と同様にブロック1409のアクティビティ1410を検出するものである。また、輪郭部検出器1402は第17の実施例と同様にブロック1409が輪郭部を含むことを検出し、検出信号1411を出力するものである。モード切り換え器1403は検出されたアクティビティ1410及び輪郭部の検出信号1411に応じたモード信号1412を出力する。エンファシス回路1404はモード信号1412に応じた強調度でブロック1409を信号強調する。信号強調された信号は符号化器1405で符号化処理され符号列1413が出力される。符号列1413は復号化器1406で復号化処理された後、ディエンファシス回路1407で信号抑圧されて再生ブロック1414が得られる。

【0153】ブロック1409のアクティビティが所定量よりも大きく、かつ輪郭部を含まない場合は、モード切り換え器1403はエンファシス回路1404の強調度がディエンファシス回路1407の抑圧度よりも小さくするようにモードを選択する。これ以外のブロックに対しては強調度と抑圧度とは等しくする。

【0154】アクティビティが大きくなると符号化ノイズが大きくなるため、抑圧度を強調度よりも大きくすることで符号化ノイズをより多く除去することができる。しかし、輪郭部ではアクティビティが大きいことが多いが、抑圧度を強調度より大きくすると信号抑圧による輪郭部の劣化が生じてしまい好ましくない。そこで、図14のように構成することにより、輪郭部以外でアクティビティの大きい画像領域のみ強調度を抑圧度よりも小さくすることができ、輪郭部を劣化させることなく効率的に符号化ノイズを除去することができる。

【0155】なお、エンファシス回路1404の強調度はモード信号1412に応じて決定されるが、ディエンファシス回路1407の抑圧度はモード信号1412によらず一定としてもよい。この場合、アクティビティが大きく輪郭部でない画像領域の強調度を他の画像領域の強調度よりも小さくし、抑圧度は最も大きい強調度と等しくすればよい。

【0156】なお、アクティビティの検出方法は第13の実施例と同様に行えばよいが、これに限るものではない。また、輪郭部の検出方法は限られたものではなく何でも構わない。また、ブロックの大きさは限られたもの

ではなく何でも構わない。

【0157】なお、アクティビティの検出単位と輪郭部の検出単位であるブロックの大きさが異なっても構わない。例えば、アクティビティを8×8画素からなる小ブロックで行い、輪郭部検出を16×16画素からなる大ブロックで行う場合、輪郭部を含まない大ブロックに含まれる小ブロックに対してはアクティビティに応じて小ブロックごとに強調度を決定する。輪郭部を含む大ブロックは大ブロックごとに強調度を決定すればよい。

【0158】次に、図15を用いて本発明の第19の実施例を説明する。図15は第17もしくは第18の実施例における輪郭部検出器の一例を示したものである。図15の輪郭部検出器はアクティビティ検出器1501、メモリ1502、第一の比較器1503、第二の比較器1504、及び検出信号出力器1505で構成されたものである。

【0159】アクティビティ検出器1501は第8の実施例と同様に入力されるブロック1509のアクティビティ1510を検出し出力するものである。メモリ1502はアクティビティ1510を記憶し、対象とするブロックのアクティビティ1511、及び対象ブロックの周辺に位置するブロックのアクティビティ1512を出力する。ここで、周辺ブロックは対象ブロックの上下左右に位置する4個のブロックとしている。第一の比較器1503は対象ブロックのアクティビティ1511と第一の所定量と比較しその比較結果1513を出力する。また、第二の比較器1504は周辺ブロックのアクティビティ1512と第二の所定量と比較しその比較結果1514を出力する。検出信号出力器1505は、第一の比較器1503の比較結果1513、及び第二の比較器1504の比較結果1514に応じ、輪郭部検出信号1515を出力する。

【0160】検出信号出力器1505は、対象ブロックのアクティビティ1511が第一の所定量よりも大きく、かつ周辺ブロックのアクティビティ1512のうち少なくともひとつが第二の所定量よりも小さい場合、対象ブロックは輪郭部を含むとして輪郭部検出信号1515を出力する。これは、輪郭部のアクティビティは大きいことを利用したものであるが、特に輪郭部が平坦な絵柄に隣接している場合を検出するものである。平坦な絵柄に隣接した輪郭部で抑圧度を強調度よりも大きくすると、信号抑圧による劣化がより大きくなる。そこで、第13もしくは第14の実施例のように輪郭部では強調度と抑圧度とは等しくすることにより、効率的に符号化ノイズが除去され画質改善が得られる。

【0161】次に、図16は、本発明の画像信号の符号化復号化装置の第20及び第21の実施例を示している。図16において、1603は制御信号発生回路であり、水平及び垂直方向のカウンター、デコーダーで構成される。1604は複数種類のエンファシス特性を有す

るエンファシス回路であり、ハイパスフィルター、乗算器、及び加算器で構成される。一構成例として、図2 (a) に示している。

【0162】また、1605は符号化器、1606は復号化器である。1607は複数種類のディエンファシス特性を有するディエンファシス回路であり、ハイパスフィルター、乗算器、及び減算器で構成される。図2 (b) にその一構成例を示す。

【0163】次に図16に従ってその動作を詳細に説明する。入力端子1601には、3つのコンポーネント信号から構成されるデジタル画像信号が水平及び垂直同期信号に同期し、時分割多重されて入力される。もう一つの入力端子1602には、水平及び垂直同期信号、画像信号を標本化するクロックが入力される。制御信号発生回路1603は、水平及び垂直同期信号、画像信号を標本化するクロックに基づいて、3つのコンポーネント信号のそれぞれを識別する2ビットのモード制御信号mを発生し、このモード制御信号mをエンファシス回路1604及びディエンファシス回路1607に出力する。

【0164】エンファシス回路1604は、モード制御信号mに従って選択された複数種類のエンファシス特性の内の一つに従ってデジタル画像信号のそれぞれのコンポーネント成分毎に信号強調を行う。符号化器1605は、エンファシス回路1604の出力を符号化処理し、符号列を出力する。この符号列は、通常、伝送もしくは、媒体に記録される。復号化器1606は符号列を復号化処理し、復号画像信号をディエンファシス回路1607に出力する。

【0165】ディエンファシス回路1607は、モード制御信号mに従って選択された複数種類のディエンファシス特性の内の一つに従って復号画像信号のそれぞれのコンポーネント成分毎に信号抑圧を行い、出力端子1608に再生画像信号を出力する。ただし、モード制御信号mに従って選択されるエンファシス回路1604のエンファシス特性とディエンファシス回路1607のディエンファシス特性は相補的な関係にある。つまり、それぞれの伝達関数の積は常に1となる。

【0166】ところでモード制御信号mに従って複数種類の特性の内の1つを選択するということは、モード制御信号mに従って、図2に示した4つの係数(x_1 、 k_1 、 x_2 、 k_2)が変化することになる。画像信号を構成する各コンポーネント成分の視感度は、例えばRGB信号の場合には $G > R > B$ の順に視感度が低くなることが知られている。従って、この各コンポーネント成分の視感度の比率でエンファシス量及びディエンファシス量の比率を決め、視感度の高い成分には大きな信号強調を、視感度の低い成分には小さな信号強調を行うことにより、不必要な信号強調による情報量の増大を抑えて符号化することができ、符号化ノイズを人間の視覚特性にあわせて効率よく低減することになる。

【0167】以上説明したように、本実施例はデジタル画像信号の3つの各コンポーネント成分毎にその視感度比に対応した信号強調を行い、符号化及び復号化し、信号強調と相補的な特性で信号抑圧を行う構成となっているため、信号強調された信号は信号抑圧によって信号強調される前の原信号に戻り、符号化処理によって発生した符号化ノイズ成分のみが抑圧されることになり、符号化ノイズが低減し画質改善が得られるばかりでなく、各コンポーネント成分の視感度に対応して最適な符号化ノイズの低減を行うことができる。

【0168】また、信号強調及び信号抑圧を信号振幅が大きくなるにつれて小さな強調度及び抑圧度となるような非線形特性とすれば、ノイズ成分の振幅と同程度の小振幅信号に対して大きな強調度で信号強調が行われ、大振幅信号の信号強調を抑えることで情報量の増加を抑えることができ、かつ小振幅信号に含まれる符号化ノイズを除去することができる。

【0169】尚、エンファシス回路、ディエンファシス回路は図2に示した回路構成に限るものではなく、信号強調と信号抑圧が相補的な関係にある回路であれば何でも構わないし、符号化器1605及び復号化器1606は、入力された画像信号を圧縮符号化及び復号化するもので、離散コサイン変換符号化方法を用いる等、何でも構わない。また、モード制御信号mは各コンポーネント成分と対応しているため、モード制御信号mを伝送、もしくは媒体に記録する必要は特にない。また、モード制御信号のビット数も2ビットに限定されるものではなく、3つのコンポーネント成分の内2つの成分を同じ特性とすることにより、1ビットにすることもできる。

【0170】また、エンファシス回路とディエンファシス回路は相補的な関係にあるとしたが、エンファシス回路の強調度がディエンファシス回路の抑圧度よりも小さくしても構わない。

【0171】次に本発明の第21の実施例について説明する。本発明の第21の実施例は、図16において制御信号発生回路1603の発生するモード制御信号mが第1の実施例とは異なる。制御信号発生回路1603は、水平及び垂直同期信号、画像信号を標本化するクロックから、フレーム間予測符号化を行う場合のフレーム予測構造を識別する2ビットのモード制御信号mをエンファシス回路1604及びディエンファシス回路1607に出力する。

【0172】一般的に、フレーム間予測符号化を行う場合のフレーム予測構造には、フレーム内符号化されるIフレーム、片方向予測符号化されるPフレーム、両方向予測符号化されるBフレームとがあるが、各フレームの符号化ノイズを比較すると、 $I < P < B$ の順に符号化ノイズが増大する傾向がある。従って、各フレームを識別し、 $I < P < B$ の順にエンファシス量及びディエンファシス量を大きくすることにより、各フレームにわたって

均一な再生画質を得ることができる。

【0173】なお、モード制御信号mはフレーム予測構造と対応しているため、モード制御信号mを伝送、もしくは媒体に記録する必要は特にない。

【0174】なお、フレームごとの処理しとして説明したが、インターレース画像等においてはフィールドごとの処理としてもよい。また、画像を複数画素からなるブロックに分割し、ブロックごとに符号化処理を決める場合、ブロックごとにモード選択すればよい。

【0175】また、複数の符号化処理としてフレーム内10 符号化とフレーム間予測符号化をあげて説明したが、これに限らず、複数の符号化処理として変換符号化とDPCM符号化を切り換えて処理する場合等にも適用できる。

【0176】なお、信号強調と信号抑圧とを相補的な関係にあるとしてよいし、強調度を抑圧度よりも小さくするモードがあってもよい。例えば、フレーム間符号化方法を行う場合等においては、強調度を抑圧度よりも小さくなるようなモードを選択する等すればよい。これは、フレーム間符号化方法を行う場合、割り当てられる符号20 化情報量が少ない場合等に効率よく符号化ノイズを除去することができる。

【0177】また、強調度のみを符号化方法に応じて決定し、抑圧度は一定としてもよい。この場合の抑圧度は最も大きい強調度と等しくすればよい。

【0178】次に、本発明の第22の実施例について説明する。図17は本発明の画像信号の符号化復号化装置の第22の実施例を示している。図17において、1701は直流レベル検出回路であり、加算器、メモリー、カウンタで構成される。1702はモード制御信号発生回路であり、コンパレータ等で構成される。その他のブロックに関しては図16と同様である。

【0179】図17に従ってその動作を詳細に説明する。入力端子1601には、例えば、8ビットで量子化されたデジタル画像信号が入力される。直流レベル検出回路1701は、入力されたデジタル画像信号もしくは復号画像信号の所定期間、例えば1フレーム期間の画像データ値を加算し、その平均値を算出することにより直流レベルを検出し、モード制御信号発生回路1702に出力する。モード制御信号発生回路1702はこの40 直流レベルを、例えば3つの値(64、128、192)と比較し、0~63、64~127、128~191、192~255のいずれの範囲の値であるかを識別する2ビットのモード制御信号mをエンファシス回路1604及びディエンファシス回路1607に出力する。

【0180】直流レベルが255レベルに近いような大きな値の場合にエンファシス回路1604によって大きな信号強調を施すと、強調後の画像信号のレベルが255を越えてオーバーフローする確率が高くなり、直流レベルが0レベルに近いような小さな値の場合にエンファ50

シス回路1604によって大きな信号強調を施すと、強調後の画像信号のレベルが0を越えてアンダーフローする確率が高くなり、ディエンファシス時にミスマッチを生じてしまうため、直流レベルの大きさに応じてエンファシス特性及びディエンファシス特性を変える。以下の動作については実施例21で述べたのと同様であるので省略する。

【0181】以上説明したように、本実施例はデジタル画像信号の所定期間の直流レベルを検出し、その値が0レベルもしくは、255レベルに近いほど強調度及び抑圧度が小さくなるように制御することにより、信号振幅のオーバーフロー及びアンダーフローの発生を低減することができ、その結果、信号強調、信号抑圧間のミスマッチが減少し、信号強調、信号抑圧によるノイズを低減することができる。

【0182】なお、この場合にはエンファシス時のモード制御信号mを伝送しておく、もしくは媒体に記録しておけば、図17に示す再生側の直流レベル検出回路1701及びモード制御信号発生回路1702は不要となり、小回路規模で、より高精度に再生画像信号を得ることができる。

【0183】尚、画像のシーンチェンジを検出する回路をさらに具備し、シーンチェンジごとにモード切り換えを行っても構わない。また、モード制御信号発生回路は前記シーンチェンジが検出された時にモードを選択し、再びシーンチェンジが検出されるまで前記モードを保持するように構成してもよい。また、シーンチェンジを検出する方法は、画像間の相関を測定する等すればよいが、これに限るものではなく何でも構わない。

【0184】次に、本発明の第23の実施例について説明する。図18は本発明の画像信号の符号化復号化装置の第24の実施例を示している。図18において、1801は信号振幅検出回路、1802はモード制御信号発生回路、1803は第1の乗算器、1804は第2の乗算器である。その他のブロックに関しては、図16と同様である。

【0185】以下図18に従ってその動作を詳細に説明する。入力端子1601には、デジタル画像信号が入力される。信号振幅検出回路1801は、所定期間にわたる入力画像信号の信号振幅を検出し、そのレベルをモード制御信号発生回路1802に出力する。モード制御信号発生回路1802は、第1の乗算器1803にモード制御信号mを出力する。

【0186】一方、入力画像信号はモード制御信号発生回路1802から出力されるモード制御信号mに従って乗算係数の変化する第1の乗算器1803で乗算される。この第1の乗算器1803の出力は、エンファシス回路1604で信号強調され、符号化器1605に出力される。符号化器1605は、エンファシス回路1604の出力を符号化し、符号列が伝送もしくは、媒体に記

録される。

【0187】この符号列は復号化器1606で復号化され、復号画像信号をディエンファシス回路1607に出力する。ディエンファシス回路1607は、復号画像信号をエンファシス回路1604と相補的な特性で抑圧する。ディエンファシス回路1607の出力は、信号振幅検出回路1801及び第2の乗算器1804に出力される。信号振幅検出回路1801は、所定期間にわたる復号画像信号の信号振幅を検出し、そのレベルをモード制御信号発生回路1802に出力する。

【0188】モード制御信号発生回路1802は、第2の乗算器1804にモード制御信号mを出力する。一方、復号画像信号はモード制御信号発生回路1802から出力されるモード制御信号mに従って第1の乗算器1803の乗算係数の逆数が乗算され、再生画像信号が出力端子1608に出力される。

【0189】通常、エンファシス特性を変えるには、図2に示したX1、K1を変更することによって実現され、実際のハードウェアとしてはROMにその特性テーブルを記憶しておくことによって実現できる。ところが本実施例の構成によれば、エンファシス及びディエンファシスの特性は固定したままで、モード制御信号mによって入力画像信号の振幅を制御することによりエンファシス特性を変えることができ、特性テーブルを記憶したROM等のハードウェアが不必要となり、回路規模を小さくすることができる。

【0190】また、入力端子1601から入力される画像信号の信号振幅が非常に大きい場合には、エンファシス処理によってオーバーフローの生じる確率が増え、エンファシスとディエンファシスのミスマッチによるノイズが発生する。この時には、本実施例の構成により、オーバーフローが発生しないように画像信号の振幅を小さくするように制御し、ディエンファシス後の信号にはその逆の処理を施すことにより、ノイズ低減を図ることができる。

【0191】なお、この場合にはエンファシス時のモード制御信号mを伝送しておく、もしくは媒体に記録しておけば、図18に示す再生側の信号振幅検出回路1801及びモード制御信号発生回路1802は不要となり、小回路規模で、より高精度に再生画像信号を得ることができる。

【0192】次に、本発明の第24の実施例について説明する。図19は本発明の画像信号の符号化装置によって符号化された符号列を光ディスクに記録するための光ディスク装置の実施例を示している。図19において、1902は本発明の実施例1から23に記したようなエンファシス回路の構成で信号強調を行うエンファシス処理回路、1903は符号化器1605によって符号化された符号列に誤り訂正符号の付加、信号変調、イコライズ、信号増幅等を行う記録系信号処理回路、1904は

10

記録ヘッド、1905は光ディスクである。

【0193】以上のように構成された本実施例の動作について説明すると、まず、入力端子1901より入力されたデジタル画像信号は、エンファシス処理回路1902で実施例1から23に記したような構成によるエンファシス処理によって信号強調される。この信号強調された信号は、符号化器1605によって符号化され、符号列が記録系信号処理回路1903に出力される。記録系信号処理回路1903は、符号列に誤り訂正符号を付加した後に、デジタル変調を行い、記録イコライズを行うとともに信号増幅し、記録ヘッド1904で光ディスク1905に信号を記録する。

【0194】なお、本発明の第9から第23の各実施例において、モードの切り換えを行う単位は限定されるものではなく、画面単位、複数画面単位、もしくは画面をブロック分割して得たブロック単位等何でも構わない。また、エンファシス回路は第4の実施例のように非線形特性をもったものでも構わないし、線形特性をもつものでも構わない。さらに、信号強調、及び信号抑圧を全く行わないモードがあっても構わない。

【0195】また、モード信号を符号化画像データとともに伝送もしくは記録するための送出器を具備し、再生手段ではモード信号を受信する手段を具備してもよい。これによって、再生側でモード選択をする必要がなくなり、回路規模の縮小化が実現できる。

【0196】なお、各実施例におけるエンファシス回路は第7もしくは第8の実施例で説明した二次元エンファシス回路でも構わないし、一次元エンファシス、もしくは時間方向も含めた三次元エンファシスでも構わない。

【0197】なお、各実施例においてはデジタル映像信号に対して信号強調、及び信号抑圧を行うとして説明したが、これに限らずアナログ映像信号に対して信号強調、及び信号抑圧を行ってもよい。

【0198】図12において、本発明の第25の実施例としてアナログ映像信号に対して信号強調及び信号抑圧を行う符号化復号化装置の一例を示している。図12は、エンファシス回路1201、A/D変換器1202、符号化回路1203、復号化回路1204、D/A変換器1205、及びディエンファシス回路1206で構成される符号化復号化装置である。

【0199】エンファシス回路1201はアナログ映像信号1207を信号強調する。信号強調された信号はA/D変換器1202でデジタル信号に変換され、符号化回路1203に入力される。符号化回路1203は入力された信号を符号化処理し、符号列1208を出力する。復号化回路1204は符号列1208を復号化処理しデジタル復号映像信号1209を出力する。デジタル復号映像信号1209はD/A変換器1205によってアナログ信号に変換され、ディエンファシス回路1206に

ファシス回路１２０１に対して相補的な特性をもち、入力された信号を信号抑圧しアナログ再生映像信号１２１０を出力する。

【０２００】このように、エンファシス回路１２０１、及びディエンファシス回路１２０６をアナログ回路で構成することにより、デジタル回路で構成するよりも簡単に、また安価に構成することができる。

【０２０１】なお、信号強調と信号抑圧とは相補的な関係をもつとしてもよいが、強調度を抑圧度よりも小さくしてもよい。

【０２０２】なお、第１から第２４の実施例において、アナログ信号に対して信号強調、及び信号抑圧を行うためには、図１２のように信号強調手段と符号化処理手段との間にＡ／Ｄ変換する手段をおき、また、復号化手段と信号抑圧手段との間にＤ／Ａ変換する手段をおけばよい。

【０２０３】なお、Ａ／Ｄ変換手段、及びＤ／Ａ変換手段は限られたものではなく、デジタル変換する手段、及びアナログ変換する手段であれば何でも構わない。

【０２０４】なお、前述の実施例では映像信号を圧縮符号化する手段と復号化処理する手段とを具備した符号化復号化装置について説明したが、映像信号を圧縮符号化処理し符号列を出力する手段のみを具備した映像符号化装置、もしくは符号列を復号化処理し再生映像信号を出力する手段のみを具備した映像復号化装置についても同様である。

【０２０５】なお、本発明の符号化復号化装置において、符号化処理及び復号化処理の方法は、離散コサイン変換符号化方法等何でも構わない。

【０２０６】また、各実施例において、符号化回路もしくは符号化器と復号化回路もしくは復号化器との間には、伝送路や記録媒体を介在させた構成としてもよいことはいうまでもない。

【０２０７】

【発明の効果】以上のように本発明は、映像信号を信号強調した後で圧縮符号化処理して符号列を求め、また、前記符号列を復号化処理した後で信号強調に応じた信号抑圧を行うことにより、符号化処理によって発生した符号化ノイズを除去することができ、画質の改善が得られる。

【０２０８】また、信号強調と信号抑圧とが相補的な特性をもつように構成することにより、映像信号の周波数帯域を損なうことなく信号抑圧が行われる。従って、符号化処理によって発生したノイズ成分のみを信号抑圧によって除去することができ、画質の改善が得られる。

【０２０９】また、信号強調度を信号抑圧度よりも小さくすることにより、信号強調と信号抑制との間でミスマッチが生じるが、信号強調による映像信号の情報量の増加を抑制し、かつ、信号抑圧により高周波数帯域に発生する符号化ノイズをよりよく除去することができる。

10

*【０２１０】さらに、信号強調において小振幅信号になるほど強調度が大きくなるように非線形な特性をもたすことにより、大振幅信号に対する強調度を小さいため符号化情報量の増加が抑えられ、小振幅信号の符号化ノイズをより効率的に除去され画質の改善が得られる。

【０２１１】また、複数のモードの内のひとつのモードを選択するモード切り換え器を具備することにより、符号化処理における複数のモードに応じた信号強調及び信号抑圧が行われる。従って、符号化モード、映像信号の特徴等に適して効率的に符号化ノイズを除去することができる。

【０２１２】また、アナログ映像信号において信号強調及び信号抑圧を行うことによって、エンファシス手段及びディエンファシス手段はアナログ回路で構成される。従って、デジタル回路で構成するのと同様に符号化ノイズを除去することができ、また、エンファシス手段及びディエンファシス手段をアナログ回路で構成することにより、デジタル回路で構成するよりも簡単に、また安価に構成することができる。

【図面の簡単な説明】

【図１】本発明の第１、第２、第３及び第４の実施例における映像符号化復号化装置のブロック図

【図２】本発明の第２及び第３の実施例におけるエンファシス回路及びディエンファシス回路のブロック図

【図３】本発明の第５及び第６の実施例における非線形エンファシス回路及び非線形ディエンファシス回路のブロック図

【図４】本発明の第５の実施例におけるリミッタ回路の入出力特性図

【図５】本発明の第７及び第８の実施例におけるエンファシス回路及びディエンファシス回路のブロック図

【図６】本発明の第９及び第１０の実施例における符号化復号化装置の要部ブロック図

【図７】本発明の第１１及び第１２の実施例における符号化復号化装置の要部ブロック図

【図８】本発明の第１３の実施例における符号化復号化装置のブロック図

【図９】本発明の第１４の実施例における符号化復号化装置のブロック図

40

【図１０】本発明の第１５の実施例における符号化復号化装置のブロック図

【図１１】本発明の第１６の実施例における符号化復号化装置のブロック図

【図１２】本発明の第２５の実施例における符号化復号化装置のブロック図

【図１３】本発明の第１７の実施例における符号化復号化装置のブロック図

【図１４】本発明の第１８の実施例における符号化復号化装置のブロック図

【図１５】本発明の第１９の実施例における符号化復号

化装置のブロック図

【図16】本発明の第20及び第21の実施例における符号化復号化装置のブロック図

【図17】本発明の第22の実施例における符号化復号化装置のブロック図

【図18】本発明の第23の実施例における符号化復号化装置のブロック図

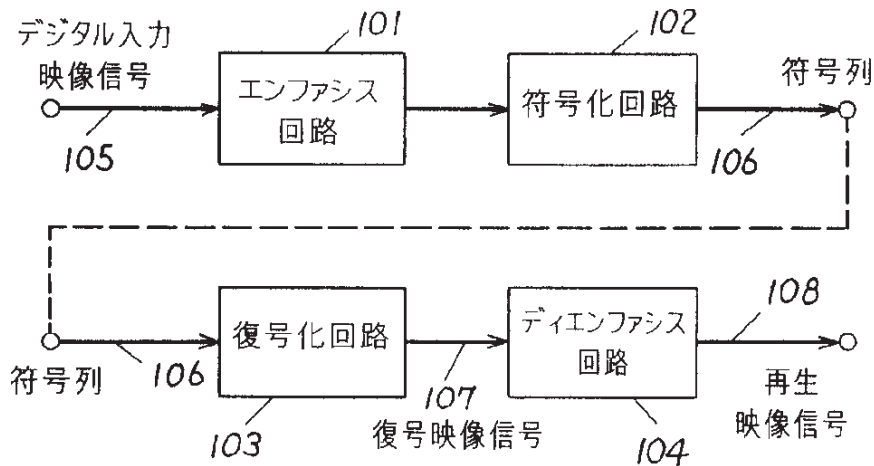
【図19】本発明の第24の実施例における符号化復号化装置のブロック図

【符号の説明】

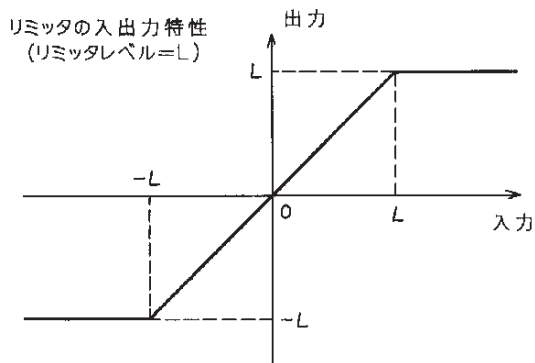
101 エンファシス回路
102 符号化回路
103 復号化回路
104 ディエンファシス回路

*601 モード切り換え器
801 アクティビティ検出器
901 動き量検出器
1001 符号化歪測定器
1101 ブロック境界部検出器
1202 A/D変換器
1205 D/A変換器
1300 ブロック分割器
1301 輪郭部検出器
10 1603 制御信号発生回路
1701 直流レベル検出回路
1801 信号振幅検出回路
1904 記録ヘッド
* 1905 光ディスク

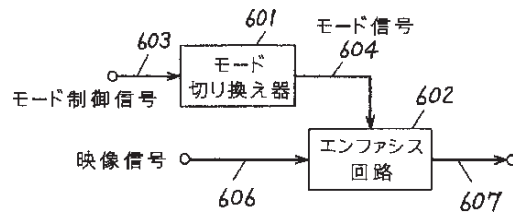
【図1】



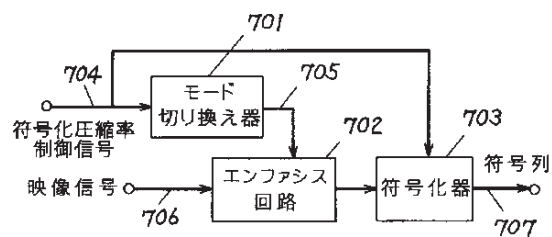
【図4】



【図6】

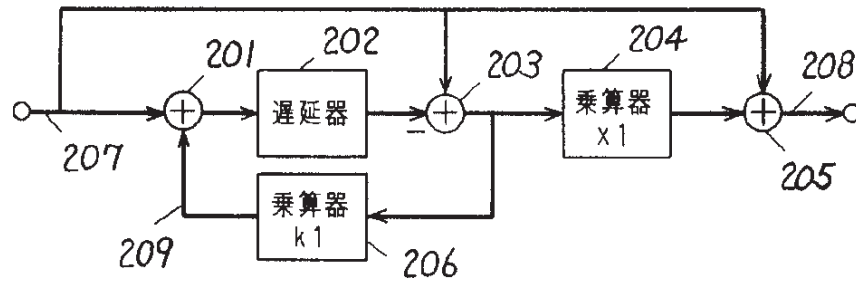


【図7】

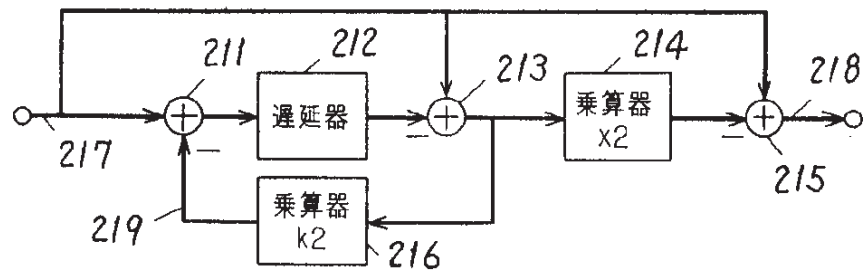


【図2】

(a) エンファシス回路

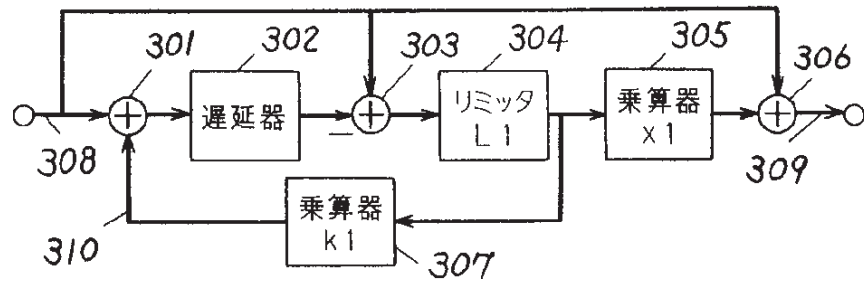


(b) ディエンファシス回路

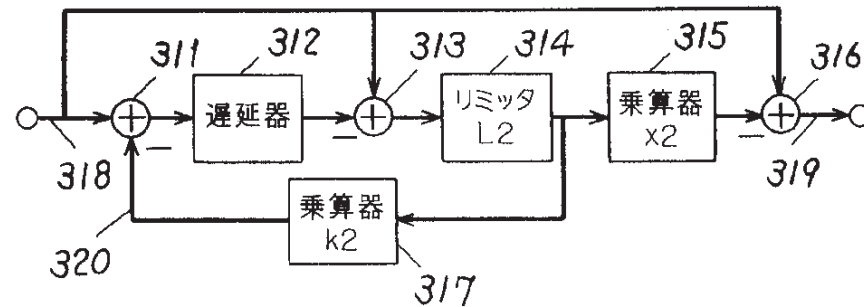


【図3】

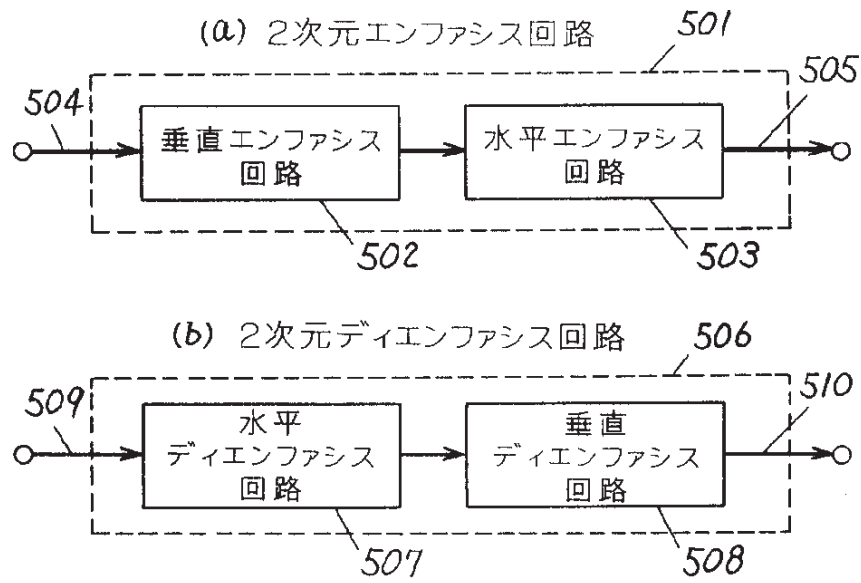
(a) 非線型エンファシス回路



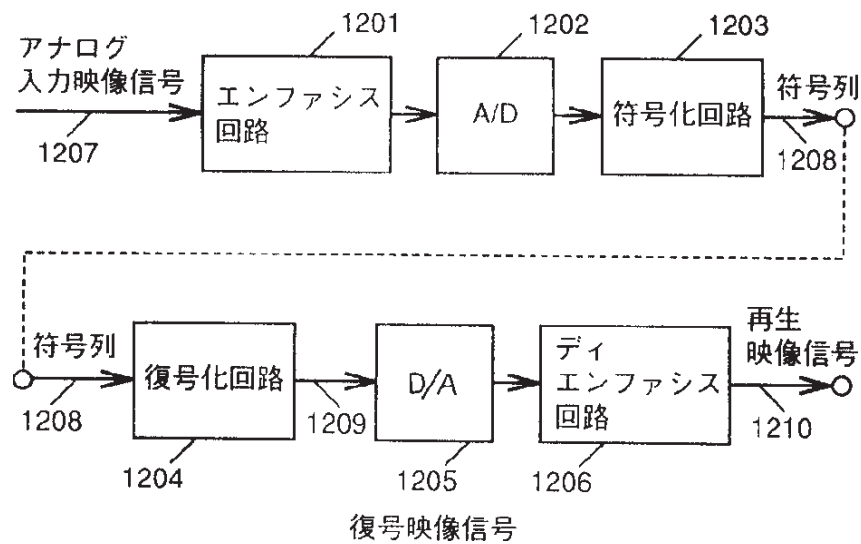
(b) 非線型ディエンファシス回路



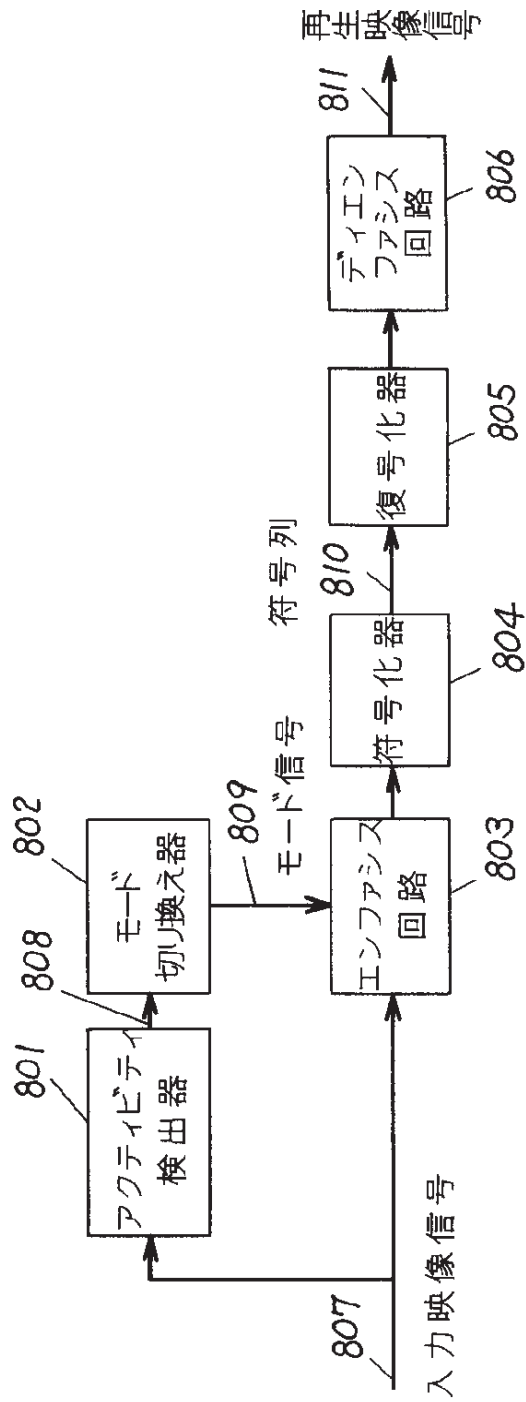
【図5】



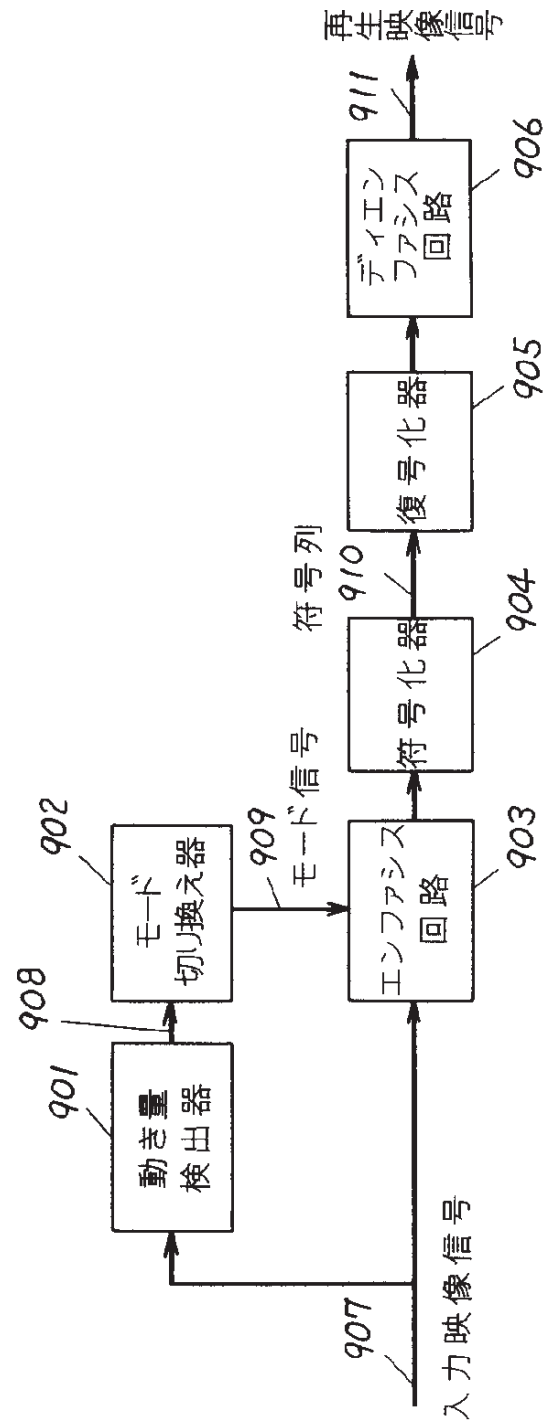
【図12】



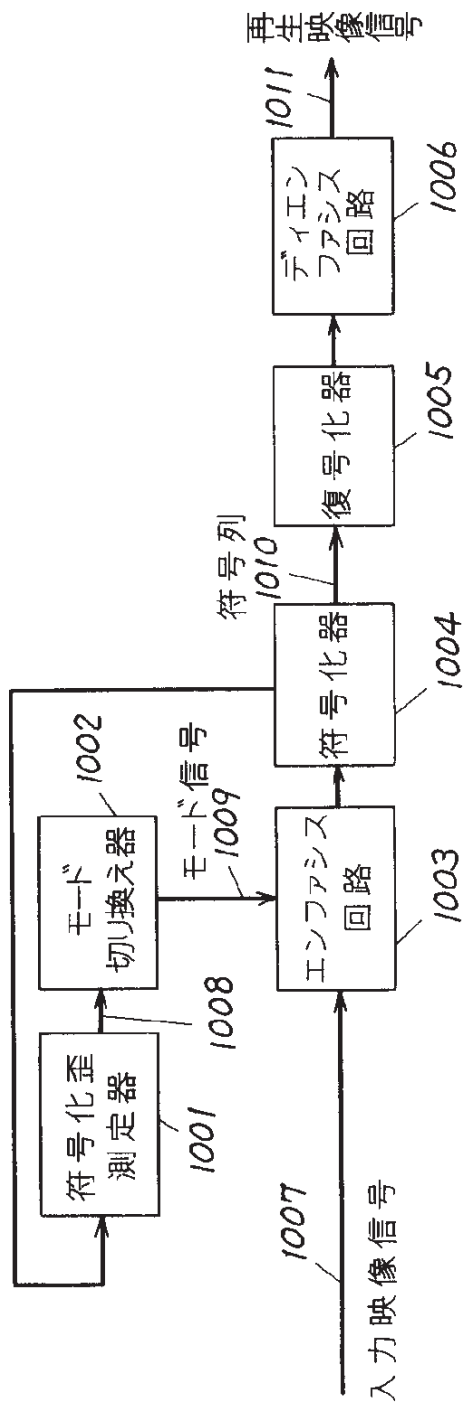
【図8】



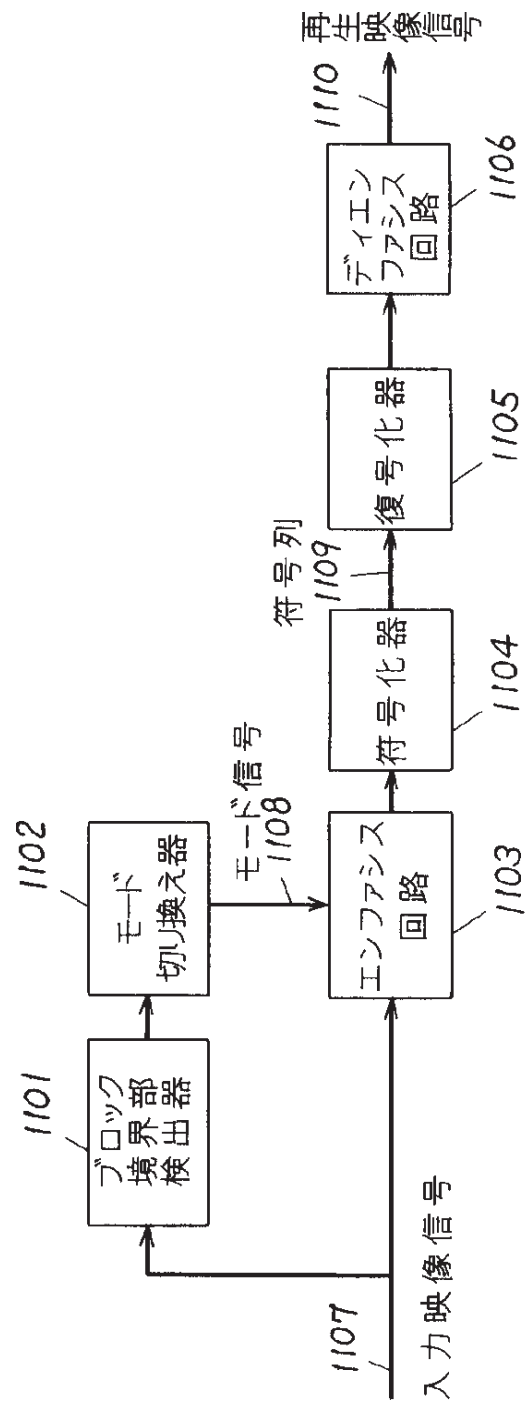
【図9】



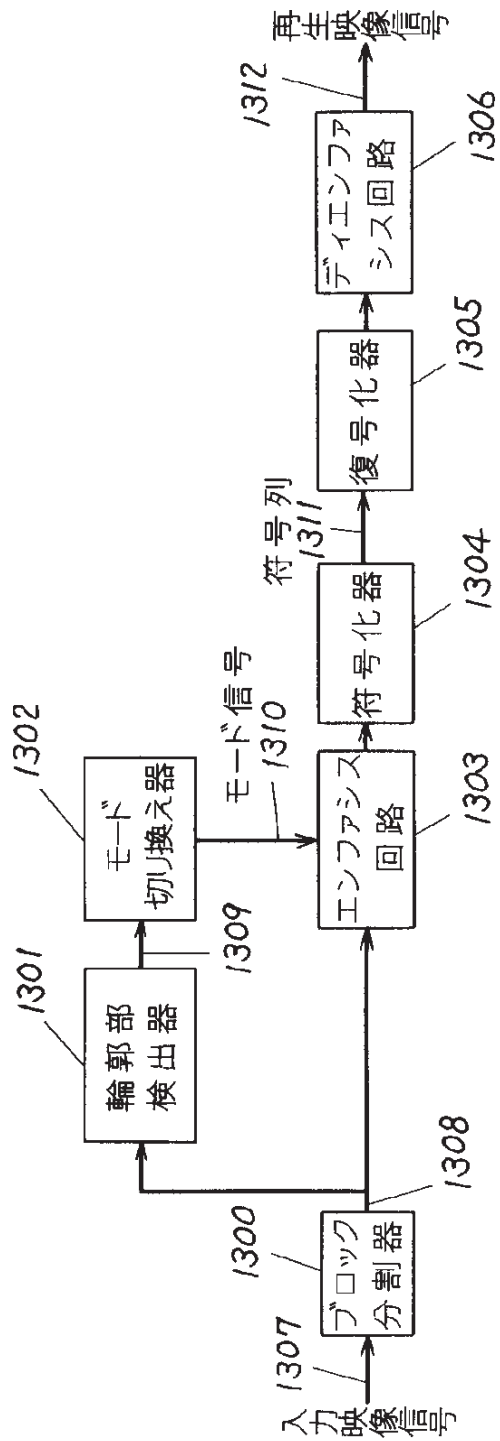
【図10】



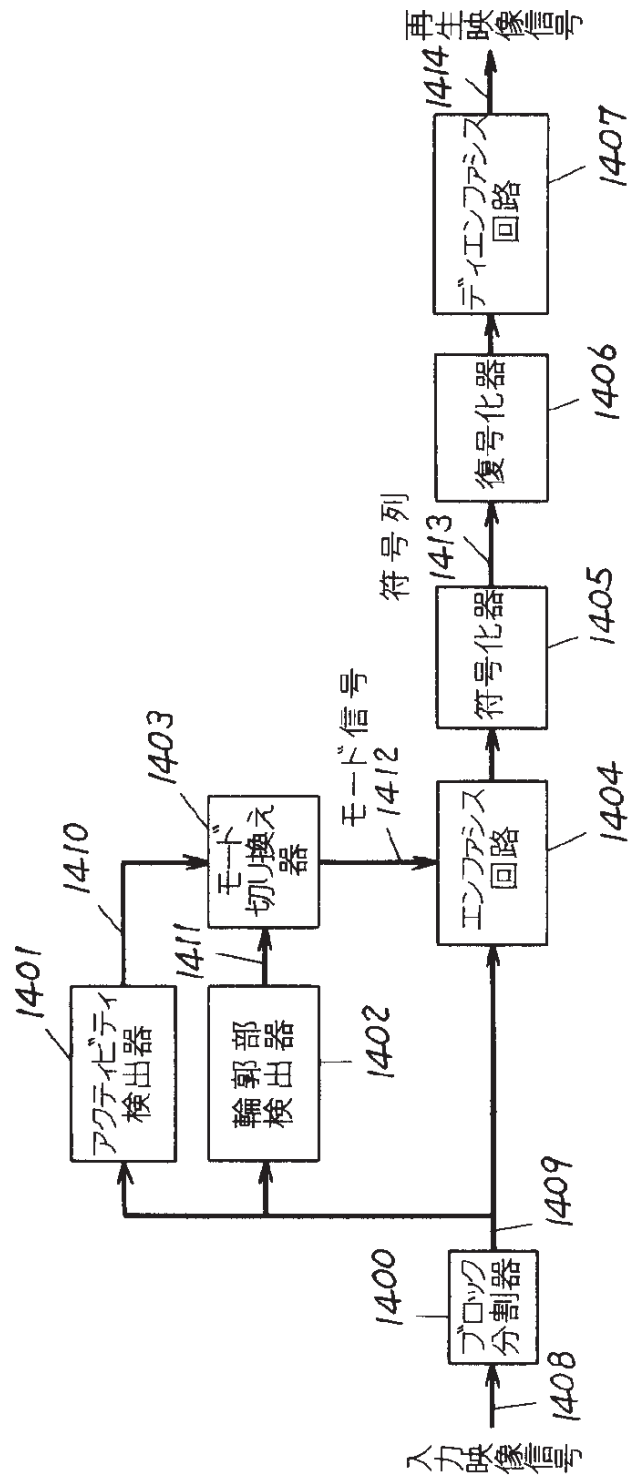
【図11】



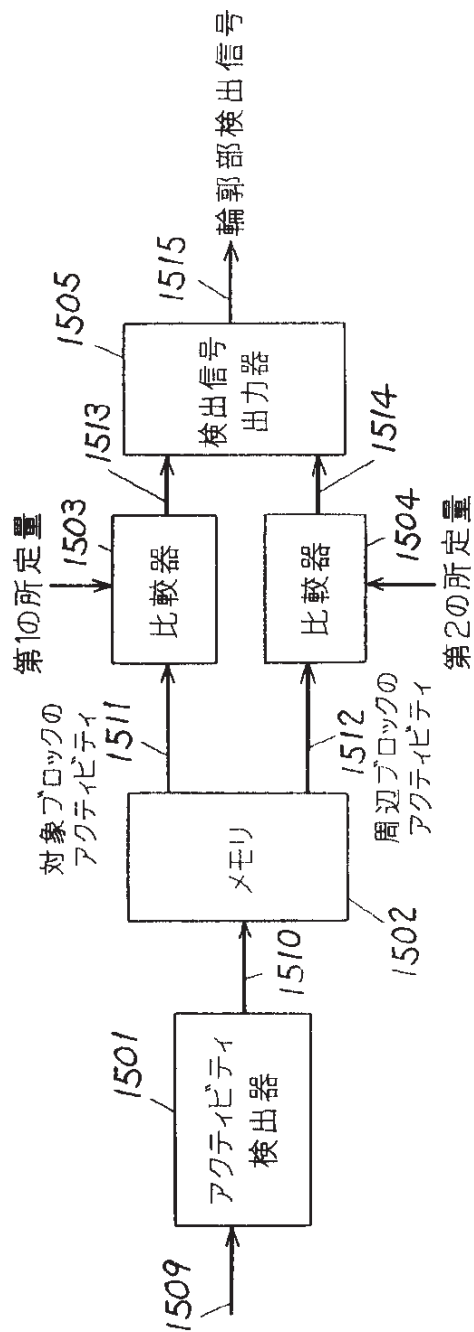
【図13】



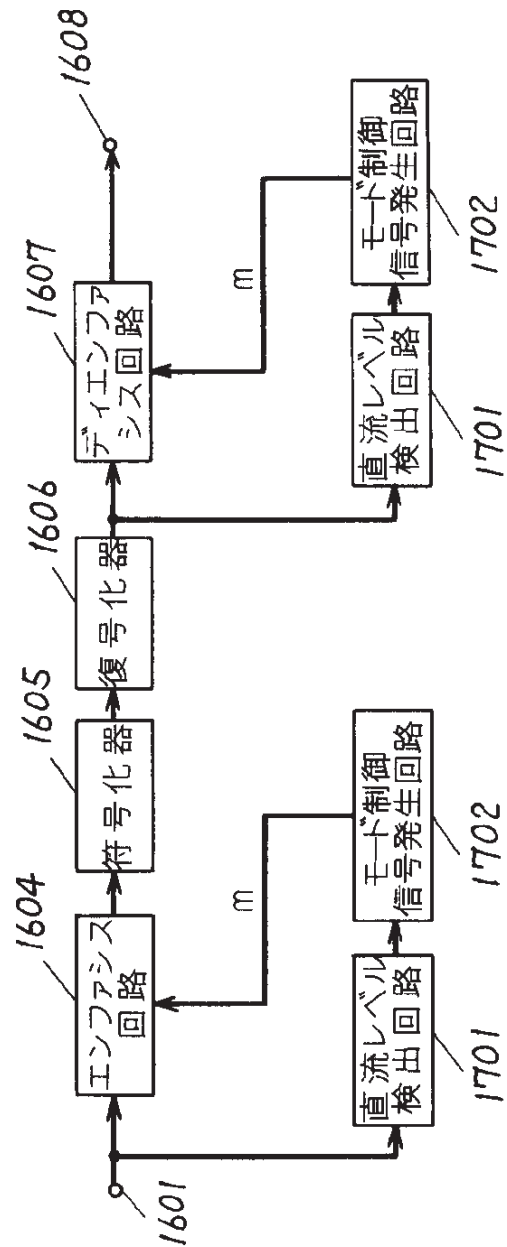
【図14】



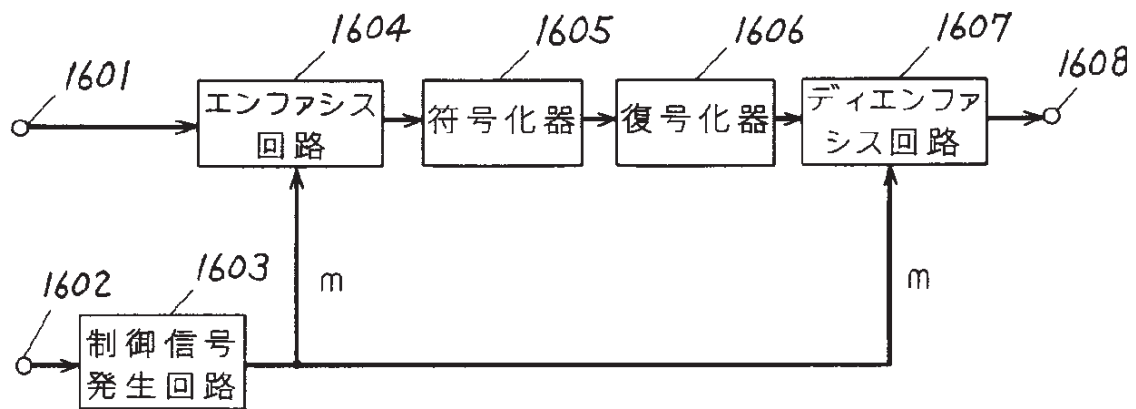
【図15】



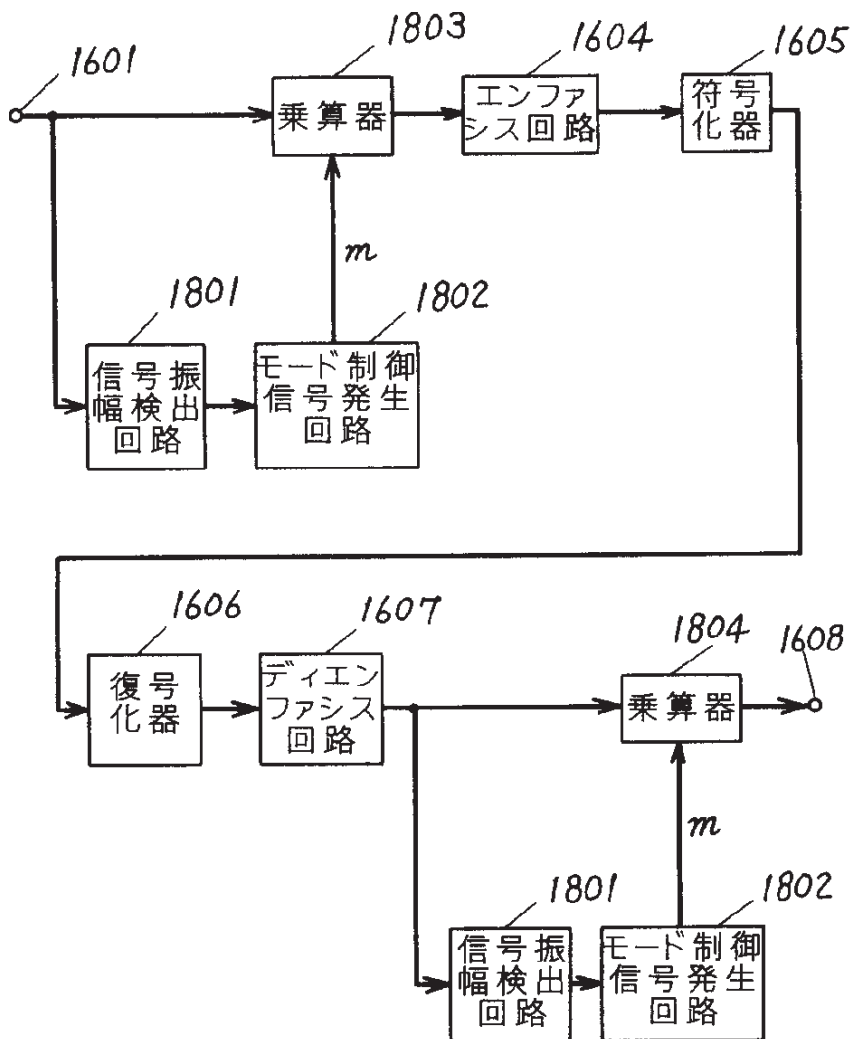
【図17】



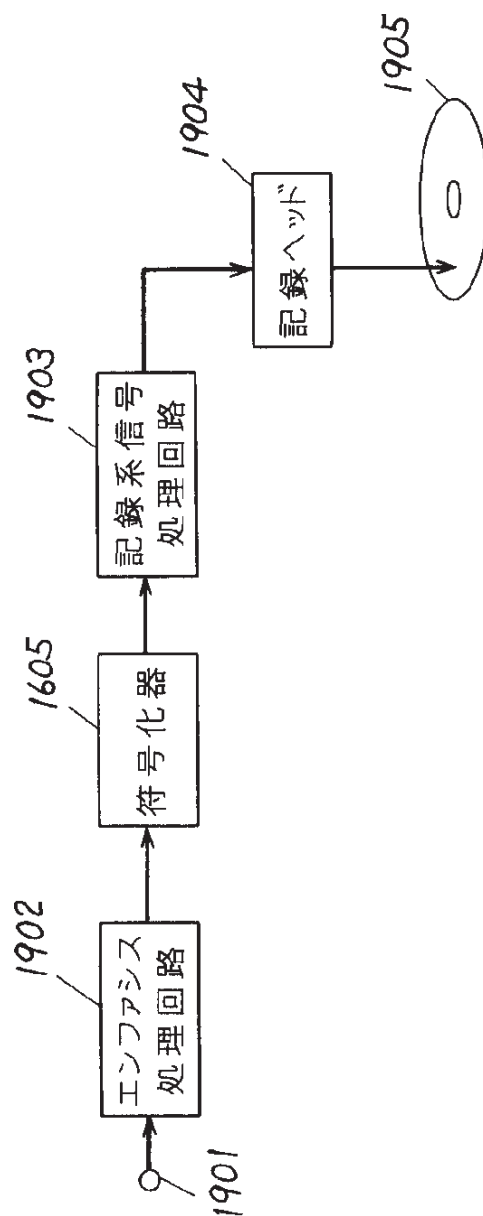
【図16】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号
7734-5C

F I
H O 4 N 5/92

技術表示箇所

H

(31)優先権主張番号 特願平5-256844

(32)優先日 平5(1993)10月14日

(33)優先権主張国 日本(JP)