

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279598

(43) 公開日 平成 8 年 (1996) 10 月 22 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 9 1		H 0 1 L 27/10	4 9 1
G 1 1 C 16/02			G 1 1 C 17/00	3 0 7 D
			H 0 1 L 27/10	4 3 4
H 0 1 L 27/115			29/78	3 7 1
21/8247				

審査請求 未請求 請求項の数12 O L (全 39 頁) 最終頁に続く

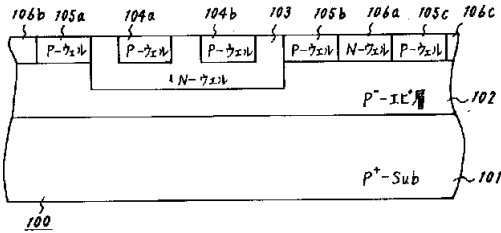
(21) 出願番号	特願平7-82721	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目 2 番 3 号
(22) 出願日	平成 7 年 (1995) 4 月 7 日	(72) 発明者	小野田 宏 兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機 株式会社ユー・エル・エス・アイ開発研究 所内
		(74) 代理人	弁理士 高田 守 (外 4 名)

(54) 【発明の名称】 半導体集積回路装置、不揮発性半導体記憶装置及びそれらの製造方法

(57) 【要約】

【目的】 ラッチアップ耐性及びパンチスルー耐圧が向上し、ウェル領域と半導体基板との接合耐圧が向上した不揮発性半導体記憶装置得る。

【構成】 高濃度のP型のシリコン基板からなる第1の半導体層101の表面上に、低濃度のP型のエピ層102aを形成する。このエピ層102aの表面にボロン[B]を注入し、熱処理を行い、低濃度のP型の第2の半導体層102とする。所望の領域以外をマスクしてリンを注入し、熱処理を行い、N型の第1のウェル領域103を形成する。所望の領域以外をマスクしてボロン[B]を注入するとともに、ボロン注入層をマスクしてリンを注入し、熱処理を行い、P型の第2のウェル領域104a及び104b、P型の第3のウェル領域105a～105c及びN型の第4のウェル領域106a～106cをそれぞれ形成する。



【特許請求の範囲】

【請求項1】 第1導電型の第1の半導体層と、この第1の半導体層の表面上に上記第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、上記第2の半導体層の表面に形成され、上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、上記第2の半導体層の表面に上記第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板、

この半導体基板の第2のウェル領域に形成された第1の半導体素子、
上記半導体基板の第3のウェル領域に形成された第2の半導体素子、
上記半導体基板の第4のウェル領域に形成された第3の半導体素子を備えた半導体集積回路装置。

【請求項2】 第1導電型の第1の半導体層と、この第1の半導体層の表面上に上記第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、上記第2の半導体層の表面に形成され、上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、上記第2の半導体層の表面に上記第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板、

この半導体基板の第2のウェル領域に形成され、対応のソース線に接続される第2導電型の拡散層からなるソース領域と、このソース領域と離隔して形成され、対応のビット線に接続される第2導電型の拡散層からなるドレイン領域と、上記ソース領域と上記ドレイン領域との間に位置する上記第2のウェル領域上にトンネル酸化膜からなるゲート酸化膜を介して形成されるフローティングゲート電極と、このフローティングゲート電極と層間絶縁膜を介して対向配置され、対応のワード線に接続されるコントロールゲート電極とを有する不揮発性メモリセル、

上記半導体基板の第3のウェル領域に形成され、第2導電型の拡散層からなるソース領域と、このソース領域と離隔して形成される第2導電型の拡散層からなるドレイン領域と、上記ソース領域と上記ドレイン領域との間に位置する上記第3のウェル領域上にゲート酸化膜を介して形成されるゲート電極とを有する第2導電型のMOS

トランジスタ、

上記半導体基板の第4のウェル領域に形成され、第1導電型の拡散層からなるソース領域と、このソース領域と離隔して形成される第1導電型の拡散層からなるドレイン領域と、上記ソース領域と上記ドレイン領域との間に位置する上記第4のウェル領域上にゲート酸化膜を介して形成されるゲート電極とを有する第1導電型のMOSトランジスタを備えた不揮発性半導体記憶装置。

【請求項3】 対応したソース線に接続されるソース領域と対応したビット線に接続されるドレイン領域と情報を蓄積するためのフローティングゲート電極と対応したワード線に接続されるコントロールゲート電極とを有するメモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、

P型の第1の半導体層と、この第1の半導体層の表面上に上記第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層が介在して形成されたN型の第1のウェル領域と、この第1のウェル領域の表面にそれぞれ互いに離隔して形成されたP型の複数の第2のウェル領域と、上記第2の半導体層の表面に形成され、上記第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、上記第2の半導体層の表面に上記第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、

上記ブロック単位毎に上記複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、

上記周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが上記第3のウェル領域に形成され、

上記周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが上記第4のウェル領域に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項4】 対応したソース線に接続されるソース領域と対応したビット線に接続されるドレイン領域と情報を蓄積するためのフローティングゲート電極と対応したワード線に接続されるコントロールゲート電極とを有するメモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記メモ

リセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、

P型の第1の半導体層と、この第1の半導体層の表面上に上記第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、それぞれが互いに離隔して形成されるとともに、上記第1の半導体層の表面との間に上記第2の半導体層が介在して形成されたN型の複数の第1のウェル領域と、これら複数の第1のウェル領域それぞれの表面にそれぞれ形成されたP型の複数の第2のウェル領域と、上記第2の半導体層の表面に形成され、上記第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、上記第2の半導体層の表面に上記第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、

上記ブロック単位毎に上記複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、

上記周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが上記第3のウェル領域に形成され、

上記周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが上記第4のウェル領域に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項5】 対応したソース線に接続されるソース領域と対応したビット線に接続されるドレイン領域と情報を蓄積するためのフローティングゲート電極と対応したワード線に接続されるコントロールゲート電極とを有するメモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記周辺回路が、電源電位ノードに印加される電源電位を受け、この電源電位より高い昇圧電位を出力する昇圧回路を有したものであるにおいて、

第1導電型の第1の半導体層と、この第1の半導体層の表面上に上記第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、上記第2の半導体層の表面に形成され、上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、上記第2の半導体層の表面に上記第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導

体基板を備え、

上記昇圧回路の出力段を構成する半導体素子が上記第2のウェル領域に形成され、

上記周辺回路を構成する複数の第2導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが上記第3のウェル領域に形成され、

上記周辺回路を構成する複数の第1導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが上記第4のウェル領域に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項6】 上記昇圧回路の出力段を構成する半導体素子は、第2のウェル領域の表面に形成された第2導電型の拡散領域をエミッタ領域とし、第2のウェル領域をベース領域とし、第1のウェル領域をコレクタ領域とし、ベース領域とコレクタ領域とが電気的に接続されるダイオード接続されたバイポーラトランジスタであることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエピ層を形成する工程、

このエピ層の表面に第1導電型の不純物をイオン注入し、熱拡散することによって、上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、

この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層を介在させて第2導電型の第1のウェル領域を形成する工程、

この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程、

上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、

上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、

上記第2のウェル領域に第1の半導体素子を形成する工程、

上記第3のウェル領域に第2の半導体素子を形成する工程、

上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【請求項8】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にて上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、上記第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層を介在させて第2導電型の第1のウェル領域を形成

する工程、

この第1のウェル領域の表面に、上記第1のウェル領域における所定位置の不純物濃度のピーク位置より上に第1導電型の第2のウェル領域を形成する工程、

上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、

上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、

上記第2のウェル領域に第1の半導体素子を形成する工程、

上記第3のウェル領域に第2の半導体素子を形成する工程、

上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【請求項9】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程、

このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、

この第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層のピーク位置を介在させて第2導電型の第1のウェル領域を形成する工程、

この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程、

上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、

上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、

上記第2のウェル領域に第1の半導体素子を形成する工程、

上記第3のウェル領域に第2の半導体素子を形成する工程、

上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【請求項10】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程、

このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、

この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、上記第2の半導体層の表面に、上記第1の半導体層の表面との間に上記第2の半導体層のピーク位置を介在させて第2導電型の第1のウェ

ル領域を形成する工程、

この第1のウェル領域の表面に、上記第1のウェル領域における所定位置の不純物濃度のピーク位置より上に第1導電型の第2のウェル領域を形成する工程、

上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、

上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、

上記第2のウェル領域に第1の半導体素子を形成する工程、

上記第3のウェル領域に第2の半導体素子を形成する工程、

上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【請求項11】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にて上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、

この第2の半導体層の表面に第2導電型の不純物をイオン注入し、上記第2の半導体層の表面層にイオン注入層を形成し、その後、 $4\sqrt{Dt}$ （但し、 D はイオン注入された第2導電型の不純物の拡散係数、 t は拡散時間である）の値が上記第2の半導体層の厚さ未満の値にて上記イオン注入層に注入された不純物を熱拡散することによって、上記第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程、

この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程、

上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、

上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、

上記第2のウェル領域に第1の半導体素子を形成する工程、

上記第3のウェル領域に第2の半導体素子を形成する工程、

上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【請求項12】 第1導電型の第1の半導体層の表面上にエピタキシャル成長にて上記第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を、上記第1の半導体層の表面上に形成する工程、

この第2の半導体層の表面に、 $(Rp + 3\Delta Rp)$ の値が上記第2の半導体層の厚さ未満の値にて第2導電型の不純物をイオン注入し、上記第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程、

この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程、
上記第2の半導体層の表面に上記第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程、
上記第2の半導体層の表面に第2導電型の第4のウェル領域を上記第1のウェル領域と離隔して形成する工程、
上記第2のウェル領域に第1の半導体素子を形成する工程、
上記第3のウェル領域に第2の半導体素子を形成する工程、
上記第4のウェル領域に第3の半導体素子を形成する工程を備えた半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置、不揮発性半導体記憶装置及びそれらの製造方法に係り、特に、エピ基板にトリプルウェル構造を形成した不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の一種であるフラッシュメモリが、ダイナミックランダムアクセスメモリ(DRAM)より安価に製造できるため、次世代を担うメモリデバイスとして期待されている。この種フラッシュメモリのメモリセルは、対応したソース線に接続されるソース領域と、対応したビット線に接続されるドレイン領域と、情報を蓄積するためのフローティングゲート電極と、対応したワード線に接続されるコントロールゲート電極とを有するものであり、フローティングゲート電極直下に位置するトンネル酸化膜からなるゲート絶縁膜のFNトンネル現象やチャネルホットエレクトロン現象等によってフローティングゲート電極に電子を注入するか、フローティングゲート電極に蓄積された電子を引き抜くことにより、消去か書き込みがなされ、フローティングゲート電極における電子の状態によってしきい値の2値状態を作り出し、その状態によって「0」か「1」が読み出されることになるものである。

【0003】一般に、フラッシュメモリは、すべてのメモリセルを一括して電氣的に消去できるものであるが、最近、複数のメモリセルを有したブロック単位で一括消去するものが主流になってきている。このようなものとして、例えば、「IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.29, NO.4, APRIL 1994」の454頁から460頁またはIEICE TRANS. ELECTRON., VOL.E77-C, NO.8 AUGUST 1994の1279頁から1286頁にDINOR型フラッシュメモリとして記載されている。

【0004】

【発明が解決しようとする課題】このようなフラッシュメモリにおいて、ブロック単位で複数のメモリセルを一括消去する場合、メモリセルが形成されるウェル領域に

バックゲート(V_{bb})電圧を印加することになり、また、消去時や書き込み時にメモリセルのドレイン領域またはソース領域に電源電圧より高い電圧が印加されることになる。したがって、寄生するサイリスタ構成のトランジスタによるラッチアップを本質的に起こしやすい構成になりがちである。

【0005】また、ブロック単位でメモリセルが形成されるウェル領域を半導体基板から電氣的に絶縁するためにメモリセルが形成されるウェル領域をさらに囲むようにウェル領域を設ける(トリプルウェル構造)ようにしているため、メモリセルが形成されるウェル領域と半導体基板との間のパンチスルー耐圧も考慮する必要があるものである。さらに、高集積化され、メモリセルの占有面積が小さくなると、電子の注入、引き抜きが行われるゲート絶縁膜の品質を向上させる必要があるものである。またさらに、消去時や書き込み時に使用される高電圧を発生する高電圧発生回路をメモリセルが形成される半導体基板と一緒に形成する傾向になってきており、このような場合、高電圧発生回路を構成する半導体素子が形成されるウェル領域と半導体基板との接合耐圧も考慮する必要があるものである。

【0006】この発明は、上記した点に鑑みてなされたものであり、ラッチアップ耐性が向上した半導体集積回路装置、不揮発性半導体記憶装置及びそれらの製造方法を得ることを目的とするものである。また、この発明の第2の目的は、ウェル領域と半導体基板との間のパンチスルー耐圧が向上した半導体集積回路装置、不揮発性半導体記憶装置及びそれらの製造方法を得ることである。さらに、この発明の第3の目的は、情報の書き換え回数を多くでき、寿命の長い不揮発性半導体記憶装置及びそれらの製造方法を得ることである。また、さらに、この発明の第4の目的は、ウェル領域と半導体基板との接合耐圧が向上した半導体集積回路装置、不揮発性半導体記憶装置及びそれらの製造方法を得ることである。

【0007】

【課題を解決するための手段】この発明の第1の発明に係る半導体集積回路装置は、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、半導体基板の第2のウェル領域に形成された第1の半導体素子と、半導体基板の第3のウェル領域

に形成された第2の半導体素子と、半導体基板の第4のウェル領域に形成された第3の半導体素子を設けたものである。

【0008】この発明の第2の発明に係る不揮発性半導体記憶装置は、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に上記第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、この半導体基板の第2のウェル領域に形成される不揮発性メモリセルと、半導体基板の第3のウェル領域に形成される第2導電型のMOSトランジスタと、半導体基板の第4のウェル領域に形成される第1導電型のMOSトランジスタを設けたものである。

【0009】この発明の第3の発明に係る不揮発性半導体記憶装置は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、P型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層が介在して形成されたN型の第1のウェル領域と、この第1のウェル領域の表面にそれぞれ互いに離隔して形成されたP型の複数の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、ブロック単位毎に複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが第3のウェル領域に形成され、周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが第4のウェル領域に形成されている。

【0010】この発明の第4の発明に係る不揮発性半導体記憶装置は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、P型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、記昇圧回路の出力段を構成する半導体素子が第2のウェル領域に形成され、周辺回路を構成する複数の第2導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが上記第3のウェル領域に

イと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、P型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、それぞれが互いに離隔して形成されるとともに、第1の半導体層の表面との間に第2の半導体層が介在して形成されたN型の複数の第1のウェル領域と、これら複数の第1のウェル領域それぞれの表面にそれぞれ形成されたP型の複数の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、ブロック単位毎に複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが第3のウェル領域に形成され、周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが第4のウェル領域に形成されている。

【0011】この発明の第5の発明に係る不揮発性半導体記憶装置は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、周辺回路が、電源電位ノードに印加される電源電位を受け、この電源電位より高い昇圧電位を出力する昇圧回路を有したものにおいて、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、記昇圧回路の出力段を構成する半導体素子が第2のウェル領域に形成され、周辺回路を構成する複数の第2導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが上記第3のウェル領域に

形成され、周辺回路を構成する複数の第1導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが第4のウェル領域に形成されている。

【0012】この発明の第6の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面に第1導電型の不純物をイオン注入し、熱拡散することによって、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層を介在させて第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである。

【0013】この発明の第7の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に、第1のウェル領域における所定位置の不純物濃度のピーク位置より上に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである。

【0014】この発明の第8の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表

面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである。

【0015】この発明の第9の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、第2の半導体層の表面に、第1の半導体層の表面との間に上記第2の半導体層のピーク位置を介在させて第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである。

【0016】この発明の第10の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に第2導電型の不純物をイオン注入し、その後、 $4\sqrt{Dt}$ の値が第2の半導体層の厚さ未満の値にてイオン注入された不純物を熱拡散することによって、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである、

【0017】この発明の第1の発明に係る半導体集積回路装置の製造方法は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に、 $(R_p + 3\Delta R_p)$ の値が第2の半導体層の厚さ未満の値にて第2導電型の不純物をイオン注入し、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたものである。

【0018】

【作用】この発明の第1の発明にあつては、エピタキシャル成長によって形成された低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめる。

【0019】この発明の第2の発明にあつては、エピタキシャル成長によって形成された低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめるとともに、第2の半導体層がゲート絶縁膜の不純物や欠陥密度を少なくせしめる。

【0020】この発明の第3の発明にあつては、第1のウェル領域が第2のウェル領域に独立に電位を与えることを可能ならしめ、エピタキシャル成長によって形成された低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめるとともに、第2の半導体層がゲート絶縁膜の不純物や欠陥密度を少なくせしめる。

【0021】この発明の第4の発明にあつては、第1のウェル領域が第2のウェル領域に独立に電位を与えることを可能ならしめ、エピタキシャル成長によって形成された低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチス

ルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめるとともに、第2の半導体層がゲート絶縁膜の不純物や欠陥密度を少なくせしめる。

【0022】この発明の第5の発明にあつては、エピタキシャル成長によって形成された低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、昇圧回路の出力段を構成する半導体素子に対する第1のウェル領域と第2の半導体層との接合耐圧を高くせしめる。

【0023】この発明の第6の発明にあつては、第1のウェル領域を、第1の半導体層の表面との間にエピタキシャル成長によって形成された低濃度の第2の半導体層を介在させて形成するため、ラッチアップを生じにくく、介在した低濃度の第2の半導体層がラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめる。

【0024】この発明の第7の発明にあつては、第1のウェル領域を、第1の半導体層の表面との間にエピタキシャル成長によって形成された低濃度の第2の半導体層を介在させて形成するため、ラッチアップを生じにくく、介在した低濃度の第2の半導体層がラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめ、しかも、第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程が、第1のウェル領域の底部における不純物濃度のプロファイルを自由に選択可能せしめる。

【0025】この発明の第8の発明にあつては、第1のウェル領域を、第1の半導体層の表面との間にエピタキシャル成長によって形成された低濃度の第2の半導体層を介在させて形成するため、ラッチアップを生じにくく、介在した低濃度の第2の半導体層が第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめ、しかも、第2の半導体層がエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入する工程が、第2の半導体層の底部における不純物濃度のプロファイルを自由に選択可能せしめる。

【0026】この発明の第9の発明にあつては、第1のウェル領域を、第1の半導体層の表面との間にエピタキシャル成長によって形成された低濃度の第2の半導体層を介在させて形成するため、ラッチアップを生じにくく、介在した低濃度の第2の半導体層が第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくく

させ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめ、しかも、第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程が、第1のウェル領域の底部における不純物濃度のプロファイルを自由に選択可能せしめるとともに、第2の半導体層がエピ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入する工程が、第2の半導体層の底部における不純物濃度のプロファイルを自由に選択可能せしめる。

【0027】この発明の第10の発明にあつては、第2の半導体層の表面に第2導電型の不純物をイオン注入し、その後、 $4\sqrt{D t}$ の値が第2の半導体層の厚さ未満の値にてイオン注入された不純物を熱拡散することによって、第1のウェル領域を形成する工程が、第1のウェル領域と高濃度の第1の半導体層との間に、確実に、エピタキシャル成長によって形成された低濃度の第2の半導体層を介在させ、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめる。

【0028】この発明の第11の発明にあつては、第2の半導体層の表面に $(R_p + 3\Delta R_p)$ の値が第2の半導体層の厚さ未満の値にて第2導電型の不純物をイオン注入し、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程が、第1のウェル領域と高濃度の第1の半導体層との間に、確実に、エピタキシャル成長によって形成された低濃度の第2の半導体層を介在させ、ラッチアップ及び第2のウェル領域と第2の半導体層との間のパンチスルーを生じにくくさせ、第1のウェル領域と第2の半導体層との接合耐圧を高くせしめる。

【0029】

【実施例】

実施例1．以下にこの発明の実施例1を図に基づいて説明する。まず、この実施例1が適用される半導体不揮発性記憶装置の一種であるフラッシュメモリの構成を図1に基づいて説明する。図1において、 $1_{11} \sim 1_{42}$ はそれぞれ、N型の拡散層からなるソース領域と、このソース領域と離隔して形成されるN型の拡散層からなるドレイン領域と、上記ソース領域と上記ドレイン領域との間に位置するチャネル領域上にトンネル酸化膜からなるゲート酸化膜を介して形成されるフローティングゲート電極と、このフローティングゲート電極と層間絶縁膜を介して対向配置されるコントロールゲート電極とを有するメモリセルである。

【0030】この図1には説明の都合上、4行2列で、2行2列単位で一括して消去動作が行われるブロック2a、2bしか示していないが、複数行、複数列のマトリクス状に配置された複数のメモリセル1でメモリセルアレイを構成し、メモリセルアレイは一括消去単位である

ブロック2を複数有しており、各ブロック2は複数行、複数列のメモリセル1を有しているものである。各ブロック2を構成する複数のメモリセル1は、後に詳述するが、半導体基板に形成されたP型のウェル領域に互いに離隔して形成された複数のN型のウェル領域の一つのN型のウェル領域に形成されているものであり、このN型のウェル領域に基板電位が与えられることにより、各ブロック2毎に独立して基板電位が与えられる構成になっているものである。なお、符号における添字の数字は行及び／又は列を示し、アルファベットはブロック単位の別を示しているものであり、総称的に示すときは添字を省略して示す。以下、同様である。

【0031】 $3_1 \sim 3_4$ はそれぞれ対応した行に配置され、対応した行に配置された複数のメモリセル1のコントロールゲート電極に接続されるワード線で、第2層のポリシリコン層（フローティングゲート電極が第1層のポリシリコン層によって形成されている）にて形成されるコントロールゲート電極と一体形成されたポリシリコン層と、このポリシリコン層の上方に平行に配置された第1層の金属層とによって構成されているものである。 $4_1 \sim 4_2$ はそれぞれ対応した列に配置される主ビット線で、上記ワード線3の上方に配置された第2層の金属層によって形成されているものである。 $5_{1a} \sim 5_{2b}$ はそれぞれ対応した列にかつ対応したブロック2毎に配置され、対応した列における対応したブロック2の複数のメモリセル1のドレイン領域に接続される副ビット線で、上記ワード線3のポリシリコン層の上方に配置された第3層のポリシリコン層によって形成されているものである。

【0032】 $6_{1a} \sim 6_{2b}$ はそれぞれ対応した副ビット線4毎に設けられ、対応した副ビット線4と対応した列に配置された主ビット線3との間に接続されるNチャネルMOSトランジスタからなるセレクトゲートで、そのゲート電極は第2層のポリシリコン層によって形成されているものである。 $7_a \sim 7_b$ はそれぞれ対応したブロック2毎に設けられ、対応したブロック2の複数のメモリセル1のソース領域に接続されるソース線、 $8_a \sim 8_b$ はそれぞれ対応したブロック2毎に設けられ、対応したブロック2の複数のメモリセル1の基板電位を与えるために、これら複数のメモリセル1が形成されるP型ウェル領域に接続されるウェル電位線である。

【0033】 $9_a \sim 9_b$ はそれぞれ対応したブロック2毎に設けられ、対応したブロック2に対して設けられた複数のセレクトゲート6のゲート電極（制御電極）に接続されるブロックセレクト信号線、10は上記メモリセル1に書き込むための情報を伝達し、上記メモリセル1に蓄積された情報を読み出すための入出力線、 $11_1 \sim 11_2$ はそれぞれ対応した主ビット線4毎に設けられ、対応した主ビット線3と上記入出力線10との間に接続されるNチャネルMOSトランジスタからなるトランスフ

ァゲートで、そのゲート電極は第2層のポリシリコン層によって形成されているものである。1 2₁～1 2₂はそれぞれ対応したトランスファゲート1 1毎に設けられ、対応したトランスファゲートのゲート電極（制御電極）に接続されるコラムセレクト信号線である。

【0034】1 3はロウアドレス信号と書き込み／消去制御信号と電源電位（例えば3. 3V）より高い第1の高電位（例えば10V）と負電位（例えば-8V）とを受け、ロウアドレス信号に基づき、上記複数のワード線3のうちの所望の数（消去時にはブロック単位のワード線の数、書き込み及び読み出し時は1つ）を選択し、選択したワード線3に書き込み／消去制御信号に基づいて選択電位、例えば、書き込み（この例では、フローティングゲート電極に蓄積された電子を引き抜く動作を書き込みと称す）時に負電位、消去（この例では、フローティングゲート電極に電子を注入する動作を消去と称す）時に第1の高電位、読み出し時に電源電位を与え、その他のワード線3を接地電位の状態を維持させるロウデコードである。

【0035】1 4はロウアドレス信号の一部及びコラムアドレス信号の一部と書き込み／消去制御信号と負電位（例えば-8V）とを受け、書き込み／消去制御信号とロウアドレス信号の一部及びコラムアドレス信号の一部に基づいてソース線7及びウェル電位線8を所望の電位にする、例えば書き込み時にすべてのソース線7をフローティング（電氣的に浮いた状態）にするとともにすべてのウェル電位線8を接地電位とし、読み出し時にすべてのソース線7及びすべてのウェル電位線8を接地電位とし、消去時にロウアドレス信号の一部及びコラムアドレス信号の一部にて選択したブロック2に対応するソース線7及びウェル電位線8に負電位を与え、その他のソース線7及びウェル電位線8を接地電位とするソース／ウェルデコードである。

【0036】1 5はロウアドレス信号の一部及びコラムアドレス信号の一部と書き込み／消去制御信号と電源電位（例えば3. 3V）より高く上記第1の高電位より低い第2の高電位（例えば6V）とを受け、ロウアドレス信号の一部及びコラムアドレス信号の一部に基づき、上記複数のブロックセレクト信号線9のうちの1つを選択し、選択したブロックセレクト信号線9に書き込み／消去制御信号に基づいて選択電位、例えば、書き込み時に第2の高電位、消去時に接地電位、読み出し時に電源電位を与え、その他のブロックセレクト信号線9を接地電位の状態を維持させるセレクトゲートデコードである。

【0037】1 6はコラムアドレス信号と書き込み／消去制御信号と電源電位（例えば3. 3V）より高く上記第1の高電位より低い第2の高電位（例えば6V）とを受け、コラムアドレス信号に基づき、上記複数のコラムセレクト信号線1 2のうちの1つを選択し、選択したコラムセレクト信号線1 2に書き込み／消去制御信号に基

づいて選択電位、例えば、書き込み時に第2の高電位、消去時に接地電位、読み出し時に電源電位を与え、その他のコラムセレクト信号線1 2を接地電位の状態を維持させるコラムデコードである。1 7はアドレス入力パッド1 8…1 8に入力されたアドレス信号（ロウアドレス信号及びコラムアドレス信号が時系列に入力される）を受け、上記ロウデコード1 3と上記ソース／ウェルデコード1 4と上記セレクトゲートデコード1 5と上記コラムデコード1 6とにアドレス信号を与えるアドレスバッファ回路である。

【0038】1 9は書き込み／消去制御信号とデータ情報と電源電位（例えば3. 3V）より高く上記第1の高電位より低い第2の高電位（例えば6V）とを受け、書き込み／消去制御信号が書き込み時を示すとともに入出力パッド2 1及びデータ入出力バッファ2 0を介して入力されたデータ情報がプログラムすることを示すと、第2の高電位を上記入出力線1 0に与え、それ以外の時はその出力がハイインピーダンス状態である書き込み回路、2 2は書き込み／消去制御信号を受け、書き込み／消去制御信号が読み出し時を示すと活性状態とされ、入出力線1 0に低電位（例えば1. 2V）を与え、電流が流れるか否かを検出し、増幅して選択されたメモリセル1からの読み出し情報をデータ入出力バッファ2 0を介して入出力パッド2 1に出力させるセンスアンプである。

【0039】2 3は書き込み／消去制御信号を受け、この書き込み／消去制御信号に基づいて上記ロウデコード1 3に第1の高電位（例えば10V）を与える第1の高電圧発生回路、2 4は書き込み／消去制御信号を受け、この書き込み／消去制御信号に基づいて上記セレクトゲートデコード1 5とコラムデコード1 6と書き込み回路1 9に第2の高電位（例えば6V）を与える第1の高電圧発生回路、2 5は書き込み／消去制御信号を受け、この書き込み／消去制御信号に基づいて上記ロウデコード1 3とソース／ウェルデコード1 4に負電位（例えば-8V）を与える負電位発生回路、2 6は上記ロウデコード1 3とソース／ウェルデコード1 4とセレクトゲートデコード1 5とコラムデコード1 6と書き込み回路1 9とセンスアンプ2 2と第1及び第2の高電圧発生回路2 3及び2 4と負電圧発生回路2 5に書き込み／消去制御信号を与える書き込み／消去制御回路である。2 7は不揮発性半導体記憶装置におけるチップを示している。

【0040】なお、上記ロウデコード1 3とソース／ウェルデコード1 4とセレクトゲートデコード1 5とコラムデコード1 6と、アドレスバッファ回路1 7と書き込み回路1 9と入出力バッファ回路2 0とセンスアンプ2 2と第1及び第2の高電圧発生回路2 3及び2 4と負電圧発生回路2 5と書き込み／消去制御回路2 6は、メモリセルアレイのメモリセル1に情報を書き込む、メモリセル1に蓄積された情報を読み出す、メモリセル1に蓄積された情報を消去するための周辺回路を構成している

ものであり、それぞれ複数のNチャネルMOSトランジスタ及び複数のPチャネルMOSトランジスタを有しているものであり、それらのゲート電極は第2層のポリシリコン層によって形成されているものである。

【0041】次に、このように構成されたフラッシュメモリを形成するための、この実施例1に適用される半導体基板100について図2に基づいて説明する。図2はこの発明の実施例1に適用される半導体基板の要部を示すものであり、ウェル領域の数等については図2に示されたものに限られるものではない。図2において101は高濃度（例えば略 $1 \times 10^{19}/\text{cm}^3$ ）のP型のシリコン基板からなる第1の半導体層、102はこの第1の半導体層の表面上に $1 \sim 10 \mu\text{m}$ の厚さにてエピタキシャル成長され、上記第1の半導体層101の不純物濃度より低い不純物濃度（例えば $1 \times 10^{15}/\text{cm}^3$ であり、 $1 \times 10^{15}/\text{cm}^3 \sim 1 \times 10^{18}$ であれば良い）を有するP型の第2の半導体層である。

【0042】103はこの第2の半導体層の表面上、上記第1の半導体層101の表面との間に上記第2の半導体層102が介在して形成されたN型の第1のウェル領域で、例えば深さが $1 \sim 9 \mu\text{m}$ であり、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ である。104a、104bはこの第1のウェル領域の表面上に形成されたP型の第2のウェル領域で、例えば深さが $0.5 \sim 8.5 \mu\text{m}$ であり、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ である。105a、105b、105cは上記第2の半導体層102の表面上、上記第1の半導体層101の表面との間に上記第2の半導体層102が介在して形成され、上記第2の半導体層102の不純物濃度より高い不純物濃度（例えば $1 \times 10^{15}/\text{cm}^3 \sim 1 \times 10^{18}$ ）を有するP型の第3のウェル領域で、深さは例えば $0.5 \sim 8.5 \mu\text{m}$ であるが、上記第2の半導体層102が介在せず上記第1の半導体層101の表面に接する深さであっても良い。106a、106b、106cは上記第2の半導体層102の表面上に上記第1のウェル領域103と離隔して形成されたN型の第4のウェル領域で、例えば深さが $0.5 \sim 9 \mu\text{m}$ であり、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ である。

【0043】このように構成された半導体基板100に、上記図1にて示した構成のフラッシュメモリを形成した場合の考え方を図3に示す。すなわち、メモリセルアレイを構成するメモリセル1は第2のウェル領域104a、104bに形成される。この場合、一括消去単位であるブロック単位毎に複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成されるものであり、例えば、ブロック2aを構成するメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} は第2のウェル領域104aに形成され、ブロック2bを構成するメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} は第2のウェル領域104bに形成されるものである。

【0044】一方、周辺回路を構成する、ロウデコーダ13とソース/ウェルデコーダ14とセレクトゲートデコーダ15とコラムデコーダ16と、アドレスバッファ回路17と書き込み回路19と入出力バッファ回路20とセンスアンプ22と第1及び第2の高電圧発生回路23及び24と負電圧発生回路25と書き込み/消去制御回路26における複数のNチャネルMOSトランジスタは、第3のウェル領域105a、105b、105cに形成され、複数のPチャネルMOSトランジスタは第4のウェル領域106a、106b、106cに形成されるものである。

【0045】なお、メモリセルアレイ内に形成されるセレクトゲート6となるNチャネルMOSトランジスタは、メモリセル1と同様に、第1のウェル領域103の表面上、メモリセル1が形成される第2のウェル領域104a、104bと離隔して形成される第2のウェル領域（図示せず）に形成されているものである。また、第2のウェル領域104a及び104bそれぞれに形成される複数のメモリセル1間の電氣的絶縁は、図3に示すように各メモリセル1を囲むように形成された素子分離酸化膜（LOCOS）107によって行われているものであり、第3および第4のウェル領域105a、105b、105c、106a、106b、106cのそれぞれに形成される複数のMOSトランジスタ間の電氣的絶縁も、図3に示すように各MOSトランジスタを囲むように形成された素子分離酸化膜（LOCOS）107によって行われているものである。

【0046】次に、このように構成されたフラッシュメモリの製造方法、特にこのフラッシュメモリに適用された半導体基板100の製造方法の一例を主として図4ないし図8に基づいて説明する。まず、図4に示すように、不純物濃度が $1 \times 10^{19}/\text{cm}^3$ である高濃度のP型のシリコン基板（シリコンウェハ）からなる第1の半導体層101の表面上に、一般に知られている方法にてエピタキシャル成長させ、略 $5 \mu\text{m}$ の厚さからなる不純物濃度が $1 \times 10^{15}/\text{cm}^3$ である低濃度のP型のエピ層102aを形成する。この時のエピ層102aの表面から第1の半導体層101内までの濃度分布は図9に示す一点鎖線Aで示すようになっている。

【0047】その後、このエピ層102aの表面上、P型の不純物であるボロン[B]を 100keV 、 $1 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ で注入し、イオン注入層102bを形成する。そして、窒素雰囲気中、 $1130 \sim 1180^\circ\text{C}$ で10時間の熱処理を行い、イオン注入層102bのボロン[B]を熱拡散させ、図5に示すように、エピ層102a全体を $1 \times 10^{16} \sim 1 \times 10^{18}/\text{cm}^3$ である低濃度のP型の第2の半導体層102とする。この時のボロン[B]による不純物濃度は図9に示す実線Bで示すようになっている。

【0048】次に、図6に示すように、所望の領域（こ

の例においてはメモリセルアレイが形成される領域)以外をマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記所望の領域に 150keV 、 $1\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ で注入し、その後、窒素雰囲気中、 $1130\sim 1180^\circ\text{C}$ で5時間の熱処理を行い、リン[P]を熱拡散させ、深さ略 $3\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるN型の第1のウェル領域103を形成する。この時のリン[P]による不純物濃度は図9に示す点線Cで示すようになっている。

【0049】その後、図7に示すように、所望の領域(メモリセルアレイ内における一括消去単位であるブロック単位毎に対応したメモリセル形成領域と、周辺回路を構成するNチャネルMOSトランジスタが形成される領域)以外をマスク(図示せず)し、そのマスクを介してP型の不純物であるボロン[B]を上記所望の領域に 100keV 、 $1\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ で注入し、ボロン注入層104A、104B、105A、105B、105Cを形成する。その後、マスクを除去し、ボロン注入層104A、104B、105A、105B、105Cをマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記ボロン注入層104A、104B、105A、105B、105C以外の領域に 150keV 、 $1\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ で注入し、リン注入層106A～106Dを形成する。

【0050】この状態で、窒素雰囲気中、 $1130\sim 1180^\circ\text{C}$ で数時間の熱処理を行い、ボロン注入層104A、104B、105A、105B、105C及びリン注入層106A～106Dのボロン[B]及びリン[P]を熱拡散させ、図8に示すように、第1のウェル領域103表面に深さ略 $1.5\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるP型の第2のウェル領域104a及び104bを、第2の半導体層102表面に深さ略 $1.5\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるP型の第3のウェル領域106a～106c及び深さ略 $3\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるN型の第4のウェル領域106a～106cをそれぞれ形成する。この時のボロン[B]による不純物濃度は図9に示す点線Dで示すようになっている。

【0051】このようにして、図2に示した半導体基板100が形成されるものである。なお、図8と図2とは同じ状態の半導体基板100を示している。このように構成された半導体基板100にあって、図8にA-A'断面で示す不純物プロファイルは図10に示すようになっているものである。図10から明らかなように、第2の半導体層102の表面から深さ略 $1.5\mu\text{m}$ まで第2のウェル領域104aが形成され、第2のウェル領域104aの底面から深さ略 $3\mu\text{m}$ の間に第1のウェル領域

103が介在し、かつ、第1のウェル103の底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。

【0052】また、図8にB-B'断面で示す不純物プロファイルは図11に示すようになっているものである。図11から明らかなように、第2の半導体層102の表面から深さ略 $1.5\mu\text{m}$ まで第3のウェル領域105aが形成され、第3のウェル領域105aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。なお、図11に示されるように、第3のウェル領域105a及び第2の半導体層102ともにP型と同じ導電型であるため、第3のウェル領域105a及び第2の半導体層102との境界が明確でなく、なだらかに不純物濃度が低下しているものである。

【0053】さらに、図8にC-C'断面で示す不純物プロファイルは図12に示すようになっているものである。図12から明らかなように、第2の半導体層102の表面から深さ略 $3\mu\text{m}$ まで第4のウェル領域106aが形成され、第4のウェル領域106aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。なお、この実施例においては、第1ないし第4のウェル領域はすべて熱拡散によって形成されるため、不純物のプロファイルは表面付近の濃度が最大としたガウス分布で近似されるプロファイルとなっているものである。

【0054】次に、図8に示された半導体基板101に、通常一般に知られている方法にて、第2のウェル領域104a及び104bそれぞれに形成される複数のメモリセル1間の電気的絶縁を行うために、各メモリセル1を囲むように素子分離酸化膜(LOCOS)107を形成するとともに、第3および第4のウェル領域105a、105b、105c、106a、106b、106cのそれぞれに形成される複数のMOSトランジスタ間の電気的絶縁を行うために、各MOSトランジスタを囲むように素子分離酸化膜(LOCOS)107形成する。

【0055】その後、通常一般に知られている方法にて、第2のウェル領域104a及び104bにおける素子分離酸化膜にて囲まれた領域にメモリセルを形成し、第3のウェル領域105a～105cにおける素子分離酸化膜にて囲まれた領域にNチャネルMOSトランジスタを形成し、第4のウェル領域106a～106cにおける素子分離酸化膜にて囲まれた領域にPチャネルMOSトランジスタを形成する。そして、通常一般に知られている方法にて、コンタクト形成、配線形成等を行い、フラッシュメモリを完成するものである。

【0056】次に、このように構成されたフラッシュメモリの消去動作(この例では、フローティングゲート電極に電子を注入する動作)、書き込み動作(この例で

は、フローティングゲート電極に蓄積された電子を引き抜く動作)及び読み出し動作について、図1を用いて説明する。

〔消去動作〕この実施例において、ブロック単位で一括消去されるものであり、今、ブロック2aのメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} を一括消去し、その他のブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} は消去しないものとする。

【0057】外部から一括消去を指示するための信号が書き込み／消去制御回路26に入力されると、書き込み／消去制御回路26は消去を意味する書き込み／消去信号をロウデコード13とソース／ウェルデコード14とセレクトゲートデコード15とコラムデコード16と書き込み回路19とセンスアンプ22と第1及び第2の高電圧発生回路23及び24と負電圧発生回路25に与え、これら回路を一括消去が行える状態となす。一方、アドレスバッファ回路17にはアドレス入力パッド18を介してアドレス信号、この場合、ブロック2aを選択することを意味する時系列に入力されるロウアドレス信号及びコラムアドレス信号が入力される。

【0058】書き込み／消去制御回路26からの消去を意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたロウデコード13は、選択するブロック2aのメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} に接続されるワード線 3_1 、 3_2 に第1の高電圧発生回路23からの第1の高電位(例えば10V)を与え、選択しないブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} に接続されるワード線 3_3 、 3_4 の電位を接地電位に維持する。

【0059】また、書き込み／消去制御回路26からの消去を意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたソース／ウェルデコード14は、選択するブロック2aのメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} に接続されるソース線7aに負電圧発生回路25からの負電位(例えば-8V)を与え、選択しないブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} に接続されるソース線7bの電位を接地電位に維持するとともに、選択するブロック2aのメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} の基板、つまり、図2に示した第2のウェル領域104aに接続されるウェル電位線8aに負電圧発生回路25からの負電位(例えば-8V)を与え、選択しないブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} の基板、つまり、図2に示した第2のウェル領域104bに接続されるウェル電位線8bの電位を接地電位に維持する。

【0060】さらに、書き込み／消去制御回路26からの消去を意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたセレクトゲートデコード15は、すべてのブロックセレクト信号線9a、9bの電位を接地電位に維持するため、セレクトゲート

$6_{1a} \sim 6_{2b}$ は非導通状態を維持し、主ビット線 4_1 、 4_2 と副ビット線 $5_{1a} \sim 5_{2b}$ とを電氣的に非接続状態とし、副ビット線 $5_{1a} \sim 5_{2b}$ は電氣的に浮いた状態(フローティング)になっている。

【0061】またさらに、書き込み／消去制御回路26からの消去を意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたコラムデコード16は、すべてのコラムセレクト信号線 1_{21} 、 1_{22} の電位を接地電位に維持するため、トランスファゲート $11_1 \sim 11_2$ は非導通状態を維持し、入出力線10と主ビット線 4_1 、 4_2 とを電氣的に非接続状態とし、主ビット線 4_1 、 4_2 は電氣的に浮いた状態(フローティング)になっている。

【0062】また、書き込み／消去制御回路26からの消去を意味する書き込み／消去信号を受けた書き込み回路19はその出力がハイインピーダンス状態になり、センスアンプ22は非活性状態とされているものである。したがって、選択するブロック2aのメモリセル 1_{11} 、 1_{12} 、 1_{21} 、 1_{22} においては、コントロールゲート電極が第1の高電位(例えば10V)に、ソース領域が負電位(例えば-8V)に、ドレイン領域がフローティングに、基板(第2のウェル領域104a)が負電位(例えば-8V)にされるため、ソース領域とコントロールゲート電極との間、ソース領域とドレイン領域との間に位置する基板表面領域つまりチャネル領域とコントロールゲート電極との間に高電界がかかるため、チャネル領域及びソース領域からフローティングゲート電極へ、フローティングゲート電極直下に位置し、チャネル領域及びソース領域上に位置するゲート酸化膜を介してトンネル現象によって電子が注入される。その結果、フローティングゲート電極には電子が蓄積され、メモリセルのしきい値電圧が高くなることによって、メモリセルが消去されたことになる。

【0063】一方、選択しないブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} においては、コントロールゲート電極が接地電位に、ソース領域が接地電位に、ドレイン領域がフローティングにされているため、コントロールゲート電極とソース領域、ドレイン領域、チャネル領域との間には高電界が生じず、フローティングゲート電極に電子が注入されることなく、また、フローティングゲート電極に蓄積された電子の引き抜きもないものである。このようにして、ブロック単位毎に一括消去が行われるものである。

【0064】〔書き込み動作〕今、ブロック2aのメモリセル 1_{11} に対して情報を書き込み(プログラム)、その他のメモリセル 1_{12} 、 1_{21} 、 1_{22} 及びその他のブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} に対しては情報を書き込まないものとする。

【0065】外部から書き込みを指示するための信号が書き込み／消去制御回路26に入力されると、書き込み

／消去制御回路26は書き込みを意味する書き込み／消去信号をロウデコード13とソース／ウェルデコード14とセレクトゲートデコード15とコラムデコード16と書き込み回路19とセンスアンプ22と第1及び第2の高電圧発生回路23及び24と負電圧発生回路25に与え、これら回路を書き込みが行える状態となす。一方、アドレスバッファ回路17にはアドレス入力パッド18を介してアドレス信号、この場合、メモリセル1₁₁を選択することを意味する時系列に入力されるロウアドレス信号及びコラムアドレス信号が入力される。

【0066】書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたロウデコード13は、ロウアドレス信号に基づいて選択するメモリセル1₁₁に接続されるワード線3₁に負電圧発生回路25からの負電位（例えば-8V）を与え、残りのワード線3₂、3₃、3₄すべての電位を接地電位に維持する。

【0067】また、書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたソース／ウェルデコード14は、すべてのソース線7a、7bをフローティングにするとともに、すべてのメモリセルの基板、つまり、図2に示した第2のウェル領域104a、104bに接続されるウェル電位線8a、8bの電位を接地電位に維持する。

【0068】さらに、書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたセレクトゲートデコード15は、ロウアドレス信号の一部及びコラムアドレス信号の一部に基づいて選択するメモリセル1₁₁が存在するブロックに対応したブロックセレクト信号線9aに第2の高電圧発生回路24からの第2の高電位（例えば6V）を与え、残りのブロックセレクト信号線9bの電位を接地電位に維持する。その結果、ブロックセレクト信号線9aに接続されたセレクトゲート6_{1a}、6_{2a}は導通状態となり、主ビット線4₁、4₂と副ビット線5_{1a}、5_{2a}とは電氣的に接続状態になり、副ビット線5_{1a}、5_{2a}には主ビット線4₁、4₂の電位が伝達される。また、ブロックセレクト信号線9bに接続されたセレクトゲート6_{1b}、6_{2b}は非導通状態を維持し、主ビット線4₁、4₂と副ビット線5_{1b}、5_{2b}とを電氣的に非接続状態とし、副ビット線5_{1b}、5_{2b}は電氣的に浮いた状態（フローティング）になっている。

【0069】またさらに、書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたコラムデコード16は、コラムアドレス信号に基づいて選択するメモリセル1₁₁が配置される列に配置される主ビット線4₁に接続されたトランスファゲート11₁に接続されたコラムセレクト信号線12₁に第2の高電圧発生回路24

からの第2の高電位（例えば6V）を与え、残りのコラムセレクト信号線12₂の電位を接地電位に維持する。その結果、コラムセレクト信号線12₁に接続されたトランスファゲート11₁は導通状態となり、入出力線10と主ビット線4₁、4₂とは電氣的に接続状態になり、主ビット線4₁には入出力線10の電位が伝達される。また、コラムセレクト信号線12₂に接続されたトランスファゲート11₂は非導通状態を維持し、入出力線10と主ビット線4₂とを電氣的に非接続状態とし、主ビット線4₂は電氣的に浮いた状態（フローティング）になっている。

【0070】また、書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号を受けた書き込み回路19は、入出力パッド21からデータ入出力バッファ20を介して入力された情報に基づき、入出力線10に第2の高電圧発生回路24からの第2の高電位（例えば6V）を与える。書き込み／消去制御回路26からの書き込みを意味する書き込み／消去信号を受けたセンスアンプ22は非活性状態とされているものである。

【0071】したがって、選択するメモリセル1₁₁においては、コントロールゲート電極が負電位（例えば-8V）に、ソース領域がフローティングに、ドレイン領域が第2の高電位（例えば6V）に、基板（第2のウェル領域104a）が接地電位にされるため、ドレイン領域とコントロールゲート電極との間に高電界がかかるため、フローティングゲート電極に蓄積された電子は、フローティングゲート電極直下に位置し、ドレイン電極上に位置するゲート酸化膜を介してトンネル現象によってドレイン電極へ引き抜かれるものである。

【0072】また、ワード線3₁に接続された非選択のメモリセル1₁₂においては、コントロールゲート電極が負電位（例えば-8V）に、ソース領域がフローティングに、ドレイン領域がフローティングに、基板（第2のウェル領域104a）が接地電位にされているため、コントロールゲート電極とソース領域、ドレイン領域、チャネル領域との間には高電界が生じず、フローティングゲート電極に蓄積された電子が引き抜かれることもなく、また、フローティングゲート電極に電子が注入されることもないものである。

【0073】さらに、ワード線3₂に接続された非選択のメモリセル1₂₁、1₂₂においては、コントロールゲート電極が接地電位に、ソース領域がフローティングに、ドレイン領域がフローティングに、基板（第2のウェル領域104a）が接地電位にされているため、コントロールゲート電極とソース領域、ドレイン領域、チャネル領域との間には高電界が生じず、フローティングゲート電極に蓄積された電子が引き抜かれることもなく、また、フローティングゲート電極に電子が注入されることもないものである。

【0074】またさらに、ワード線3₃、3₄に接続され

た非選択のメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} においては、コントロールゲート電極が接地電位に、ソース領域がフローティングに、ドレイン領域がフローティングに、基板（第2のウェル領域104a）が接地電位にされているため、コントロールゲート電極とソース領域、ドレイン領域、チャネル領域との間には高電界が生じず、フローティングゲート電極に蓄積された電子が引き抜かれることもなく、また、フローティングゲート電極に電子が注入されることもないものである。このようにして、外部から入力されたロウアドレス信号及びコラムアドレス信号に基づいて選択される1つのメモリセル 1_{11} に対してだけ、そのフローティングゲート電極に蓄積された電子をドレイン電極側に引き抜くことができ、書き込みを行えるものである。

【0075】「読み出し動作」今、ブロック2aのメモリセル 1_{11} に対して記憶された情報を読み出し、その他のメモリセル 1_{12} 、 1_{21} 、 1_{22} 及びその他のブロック2bのメモリセル 1_{31} 、 1_{32} 、 1_{41} 、 1_{42} に対しては記憶された情報を読み出さないものとする。

【0076】外部から読み出しを指示するための信号が書き込み／消去制御回路26に入力されると、書き込み／消去制御回路26は読み出しを意味する書き込み／消去信号をロウデコード13とソース／ウェルデコード14とセレクトゲートデコード15とコラムデコード16と書き込み回路19とセンスアンプ22と第1及び第2の高電圧発生回路23及び24と負電圧発生回路25に与え、これら回路を読み出しが行える状態となす。一方、アドレスバッファ回路17にはアドレス入力パッド18を介してアドレス信号、この場合、メモリセル 1_{11} を選択することを意味する時系列に入力されるロウアドレス信号及びコラムアドレス信号が入力される。

【0077】書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたロウデコード13は、ロウアドレス信号に基づいて選択するメモリセル 1_{11} に接続されるワード線 3_1 に電源電位（例えば3.3V）を与え、残りのワード線 3_2 、 3_3 、 3_4 すべての電位を接地電位に維持する。

【0078】また、書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたソース／ウェルデコード14は、すべてのソース線 $7a$ 、 $7b$ と、すべてのメモリセルの基板、つまり、図2に示した第2のウェル領域104a、104bに接続されるウェル電位線 $8a$ 、 $8b$ の電位を接地電位に維持する。

【0079】さらに、書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたセレクトゲートデコード15は、ロウアドレス信号の一部及びコラムアドレス信号の一部に基づいて選択するメモリセル 1_{11}

が存在するブロックに対応したブロックセレクト信号線9aに電源電位（例えば3.3V）を与え、残りのブロックセレクト信号線9bの電位を接地電位に維持する。その結果、ブロックセレクト信号線9aに接続されたセレクトゲート 6_{1a} 、 6_{2a} は導通状態となり、主ビット線 4_1 、 4_2 と副ビット線 5_{1a} 、 5_{2a} とを電氣的に接続状態にする。また、ブロックセレクト信号線9bに接続されたセレクトゲート 6_{1b} 、 6_{2b} は非導通状態を維持し、主ビット線 4_1 、 4_2 と副ビット線 5_{1b} 、 5_{2b} とを電氣的に非接続状態とし、副ビット線 5_{1b} 、 5_{2b} は電氣的に浮いた状態（フローティング）になっている。

【0080】またさらに、書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号及びアドレスバッファ17からのアドレス信号を受けたコラムデコード17からのアドレス信号を受けたコラムセレクト信号線12aに電源電位を与え、残りのコラムセレクト信号線12bの電位を接地電位に維持する。その結果、コラムセレクト信号線12aに接続されたトランスファゲート 1_{11} は導通状態となり、入出力線10と主ビット線 4_1 、 4_2 とを電氣的に接続状態にする。また、コラムセレクト信号線12bに接続されたトランスファゲート 1_{12} は非導通状態を維持し、入出力線10と主ビット線 4_2 とを電氣的に非接続状態とし、主ビット線 4_2 は電氣的に浮いた状態（フローティング）になっている。

【0081】また、書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号を受けた書き込み回路19は、その出力がハイインピーダンス状態にされるので、入出力線10に何ら影響を与えない。書き込み／消去制御回路26からの読み出しを意味する書き込み／消去信号を受けたセンスアンプ22は活性状態とされ、入出力線10に低電位（例えば1.2V）を与え、入出力線10に電流が流れるか否かを検出し、その検出情報を増幅して読み出し情報としてデータ入出力バッファ20を介して入出力パッドに出力するものである。

【0082】したがって、選択するメモリセル 1_{11} が情報を書き込まれている場合、つまり、フローティングゲート電極に蓄積された電子が引き抜かれている場合は、メモリセル 1_{11} のしきい値電圧が低くなっているため、ワード線 3_1 に電源電位が与えられることにより、メモリセル 1_{11} は導通状態になっている。そのため、センスアンプ22から低電位が入出力線10に与えられると、トランスファゲート 1_{11} 、主ビット線 4_1 、セレクトゲート 6_{1a} 、副ビット線 5_{1a} 及びメモリセル 1_{11} を介してソース線 $7a$ に電流が流れ、センスアンプ22はそれを感知して、読み出し情報“1”としてデータ入出力バッファ20に出力する。

【0083】一方、選択するメモリセル 1_{11} に情報が書

き込まれていない場合、つまり、フローティングゲート電極に電子が蓄積されている場合は、メモリセル 1_{11} のしきい値電圧が高くなっているため、ワード線 3_1 に電源電位が与えられても、メモリセル 1_{11} は非導通状態を維持したままになっている。そのため、センスアンプ22から低電位が入出力線10に与えられても、ソース線7aに電流が流れる経路が生じないため、電流が流れず、センスアンプ22はそれを感じて、読み出し情報“0”としてデータ入出力バッファ20に出力する。

【0084】この時、選択するメモリセル 1_{11} が接続されていない残りのワード線 $3_2 \sim 3_4$ すべては接地電位にされているため、これらワード線 $3_2 \sim 3_4$ に接続されたメモリセル $1_{21} \sim 1_{42}$ はすべてその記憶情報にかかわらず、非導通状態を維持しているため、これらメモリセル $1_{21} \sim 1_{42}$ を介して電流が流れる経路が生じることはない。また、選択するメモリセル 1_{11} が接続されているワード線 3_1 に接続された残りのメモリセル 1_{12} は、その記憶情報に応じて導通状態もしくは非導通状態になるものの、これらメモリセル 1_{12} が接続される主ビット線 4_2 はトランスファゲート 1_{12} によって入出力線10とは電氣的に非接続状態とされているため、これらメモリセル 1_{12} を介して電流が流れる経路が生じることはない。このようにして、外部から入力されたロウアドレス信号及びコラムアドレス信号に基づいて選択される1つのメモリセル 1_{11} に対してだけ、その記憶情報に基づいて電流が流れるか否かをセンスアンプ22が検出できるため、メモリセル 1_{11} に記憶された情報を読み出すことができるものである。

【0085】以上のように構成されたフラッシュメモリにおいては次のような利点を有するものである。第1に、ブロック単位でメモリセル1の一括消去が行える。第2に、ブロック単位での一括消去時にメモリセル1のソース領域及び第2のウェル領域104に電源電位より絶対値で高い負電位（例えば $-8V$ ）が印加され、書き込み時にメモリセルのドレイン領域に電源電位より高い第2の高電位（例えば $6V$ ）が印加されるため、寄生するサイリスタ構成のトランジスタによるラッチアップを本質的に起こしやすいものの、第1のウェル領域103と高濃度の第1の半導体層101との間に、エピタキシャル成長によって形成された低濃度の第2の半導体層102が介在されており、第2の半導体層102の抵抗が大幅に低くなってラッチアップ耐性が向上しているものである。

【0086】第3に、エピタキシャル成長によって形成された第2の半導体層102の表面に形成された第2のウェル領域104上の表面上に、電子の注入及び引き抜きが行われるメモリセル1のトンネル酸化膜からなるゲート絶縁膜を形成しているため、第2のウェル領域104の表面の不純物（例えば酸素濃度）や欠陥密度をコントロールし易く、不純物や欠陥密度の少ないものが得ら

れるので、高品質のゲート絶縁膜が形成でき、寿命の長い、書き換え回数を多くできるメモリセルが得られるものである。第4に、第1のウェル領域103と高濃度の第1の半導体層101との間に、エピタキシャル成長によって形成された低濃度の第2の半導体層102が介在されているので、第1のウェル領域103の第2の半導体層102に対する耐圧を高く設定できるとともに、第2のウェル領域104と第2の半導体層102間のパンチスルー耐圧も向上するものである。

【0087】なお、上記実施例1においては、第1のウェル領域103、第3のウェル領域105及び第4のウェル領域106が互いに接した構造としたものを示したが、図13に示すように、第1のウェル領域103、第3のウェル領域105及び第4のウェル領域106が互いに離れた構造、つまり、ウェル領域の間に第2の半導体層102が介在する構造であってもよく、また、図14に示すように第1のウェル領域103、第3のウェル領域105及び第4のウェル領域106が互いに重なり合った構造であってもよいものである。

【0088】実施例2. 図15はこの発明の実施例2を示すものであり、上記した実施例1のものが第1のウェル領域103に複数の第2のウェル領域104a、104bを設けたものであるのに対して、第2のウェル領域104a、104bそれぞれに対して第1のウェル領域103a、103bを設けた点、つまり、複数のメモリセルをブロック分割したブロック単位毎に各ブロック単位に対応して第1及び第2のウェル領域103、104を設けた点が異なるだけであり、その他の点については実施例1に示したものと同様である。このように構成したもののにおいても、実施例1と同様の効果を奏するものである。

【0089】実施例3. 図16及び図17はこの発明の実施例3を示すものであり、上記した実施例1における第1の高電圧発生回路23及び／又は第2の高電圧発生回路24を図16及び図17に示す構成にしたことを特徴とするものであり、その他の点については実施例1に示したものと同様である。図16は高電圧発生回路の回路図を示すものであり、 $D_1 \sim D_n$ は電源電位（例えば $3.3V$ ）が印加される電源電位ノードVccと出力ノードOUTとの間に直列接続されたダイオード素子で、

(b)に示したようにベース電極とコレクタ電極とが接続されたダイオード接続のNPNバイポーラトランジスタによって構成されているものである。 $C_1 \sim C_n$ はそれぞれ対応した上記ダイオード素子 $D_1 \sim D_n$ のカソードに一方の電極が接続された容量性素子で、奇数番目に位置する容量性素子の他方の電極は電源電位と接地電位とを交互に繰り返すクロック信号 ϕ を受け、偶数番目に位置する容量性素子の他方の電極は上記クロック信号 ϕ と丁度反転した関係にあり、電源電位と接地電位とを交互に繰り返すクロック信号 ϕ を受けるものである。

【0090】このように構成された高電圧発生回路を上記した実施例1にて半導体基板100に組み込むと図17に示すようになるものである。図17において、103₁~103_nは第2の半導体層102の表面に、第1の半導体層101の表面との間に第2の半導体層102が介在し、メモリセル1を形成するための第1のウェル領域103と同時にかつ離隔して形成されたN型の第1のウェル領域で、ダイオード接続されるNPNバイポーラトランジスタのコレクタ領域となり、第1のウェル領域103と同様に例えば深さが1~略9μmであり、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ である。

【0091】104₁~104_nはこれら第1のウェル領域103₁~103_nのそれぞれの表面に形成され、メモリセル1が形成される第2のウェル領域104a、104bと同時に形成されたP型の第2のウェル領域で、ダイオード接続されるNPNバイポーラトランジスタのベース領域となり、第2のウェル領域104a、104bと同様に例えば深さが0.5~略8.5μmであり、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ である。107₁~107_nはこれら第2のウェル領域104₁~104_nのそれぞれの表面に形成されるN型の拡散領域からなるダイオード接続されるNPNバイポーラトランジスタのエミッタ領域で、例えば、メモリセル1のソース領域及びドレイン領域、周辺回路のNチャネルMOSトランジスタのソース領域及びドレイン領域と同時に形成されるものである。

【0092】108₁~108_nは上記第1のウェル領域103₁~103_nのそれぞれの表面に形成され、上記第1のウェル領域103₁~103_nの不純物濃度より高濃度のN型のコレクタ電極用拡散領域、109₁~109_nは上記第2のウェル領域104₁~104_nのそれぞれの表面に形成され、上記第2のウェル領域104₁~104_nの不純物濃度より高濃度のP型のベース電極用拡散領域である。

【0093】このように構成された高電圧発生回路にあっては、出力ノードに近づくに従ってダイオード素子のアノード及びカソードの電位は高くなる。すなわち、図17に示す第1のウェル領域103の電位も高くなるものである。その結果、第1のウェル領域103と第2の半導体層102との間の接合耐圧を高める必要があるものの、この実施例3のものにあっては、第2の半導体層102をエピタキシャル成長によって形成した低濃度の半導体層としているため、必要十分な接合耐圧が得られているものである。

【0094】実施例4。図18ないし図20はこの発明の実施例4を示すものであり、上記した実施例1に対して、第1のウェル領域103の形成方法が異なるだけであり、その他の点については上記した実施例1と同様である。従って、上記実施例1と異なる点を主として説明するため、半導体基板の製造方法について、以下説明す

る。

【0095】まず、上記実施例1と同様に図4及び図5に示すように、第1の半導体層101の表面上に低濃度のP型のエピ層102aを形成（この時のエピ層102aの表面から第1の半導体層101内までの濃度分布は実施例1と同様であり、図21に一点鎖線Aにて示す。）し、その後、このエピ層102aの表面に、P型の不純物であるボロン[B]を注入し、窒素雰囲気中で熱処理を行い、ボロン[B]を熱拡散させ、エピ層102aを低濃度のP型の第2の半導体層102とする。この時のボロン[B]による不純物濃度は実施例1と同様であり、図21に実線Bで示すようになっている。

【0096】次に、図7に示すように、所望の領域（この例においてはメモリセルアレイが形成される領域及び周辺回路のPチャネルMOSトランジスタが形成される領域）以外をマスク（図示せず）し、そのマスクを介してN型の不純物であるリン[P]を上記所望の領域において所定の深さにピークが位置するように1~5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ でイオン注入し、第1のウェル領域103の底部領域103Aを形成するとともに、第4のウェル領域106a~106cの底部領域106A₀~106C₀を形成する。この時の底部領域103A及び底部領域106A₀~106C₀の不純物濃度は20に点線C₁で示すように、第2の半導体層102の表面から深さ2μmの位置に不純物濃度のピーク（ $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ ）を有するように形成しているものである。なお、周辺回路のPチャネルMOSトランジスタが形成される領域、つまり、第4のウェル領域を形成するためにもイオン注入を行っているが、この領域には特にイオン注入を行わなくともよい。

【0097】その後、上記した実施例1と同様（図19に示す）に、所望の領域（メモリセルアレイ内における一括消去単位であるブロック単位毎に対応したメモリセル形成領域と、周辺回路を構成するNチャネルMOSトランジスタが形成される領域）以外をマスク（図示せず）し、そのマスクを介してP型の不純物であるボロン[B]を上記所望の領域に注入し、ボロン注入層104A、104B、105A、105B、105Cを形成する。その後、マスクを除去し、ボロン注入層104A、104B、105A、105B、105Cをマスク（図示せず）し、そのマスクを介してN型の不純物であるリン[P]を上記ボロン注入層104A、104B、105A、105B、105C以外の領域にリン注入層106A~106Dを形成する。

【0098】この状態で熱処理を行い、ボロン[B]及びリン[P]を熱拡散させ、図20に示すように、底部領域103Aとリン注入層106Dとによって第1のウェル領域103を形成させ、この第1のウェル領域103表面にP型の第2のウェル領域104a及び104bを形成させ、第2の半導体層102表面にP型の第3の

ウェル領域105a~105cを形成させ、第2の半導体層102表面に底部領域106A₀~106C₀とリン注入層106A~106CとによってN型の第4のウェル領域106a~106cを形成させる。この時のボロン[B]による不純物濃度は実施例1と同様であり、図21に点線Dで示す。

【0099】このようにして、半導体基板100が形成されるものである。このように構成された半導体基板100にあって、図20にA-A'断面で示す不純物プロファイルは図21に示すようになっていくものである。図22から明らかなように、第2の半導体層102の表面から深さ略1.5μmまで第2のウェル領域104aが形成され、第2のウェル領域104aの底面から深さ略2.5μmの間に深さ略2μmの位置に不純物濃度のピークをもつ第1のウェル領域103が介在し、かつ、第1のウェル領域103の底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。

【0100】また、図20にB-B'断面で示す不純物プロファイルは上記実施例1と同様であり、図23に示す。図23から明らかなように、第2の半導体層102の表面から深さ略1.5μmまで第3のウェル領域105aが形成され、第3のウェル領域105aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。なお、図23に示されるように、第3のウェル領域105a及び第2の半導体層102ともにP型と同じ導電型であるため、第3のウェル領域105a及び第2の半導体層102との境界が明確でなく、なだらかに不純物濃度が低下しているものである。

【0101】さらに、図20にC-C'断面で示す不純物プロファイルは図24に示すようになっていくものである。図24から明らかなように、第2の半導体層102の表面から深さ略2.5μmまで第4のウェル領域106aが形成され、かつ深さ略2μmの位置に不純物濃度のピークをもち、第4のウェル領域106aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。

【0102】このように形成された実施例4のものにあっても、実施例1と同様の効果を奏する他、第1のウェル領域103（及び第4のウェル領域106a~106c）の形成に際して、所定の深さに不純物濃度のピークを有するようにしたイオン注入法を採用しているため、第1のウェル領域103の底部領域の中心深さ及び深さ方向の厚さを自由に選択できるという利点を有しているものである。

【0103】実施例5。図25及び図26はこの発明の実施例5を示すものであり、上記した実施例1に対して、第2の半導体層102の形成方法が異なるだけであり、その他の点については上記した実施例1と同様であ

る。従って、上記実施例1と異なる点を主として説明するため、半導体基板の製造方法について、以下説明する。

【0104】まず、図25に示すように、不純物濃度が $1 \times 10^{19} / \text{cm}^3$ である高濃度のP型のシリコン基板（シリコンウェハ）からなる第1の半導体層101の表面上に、一般に知られている方法にてエピタキシャル成長させ、略5μmの厚さからなる不純物濃度が $1 \times 10^{15} / \text{cm}^3$ である低濃度のP型のエピ層102aを形成する。この時のエピ層102aの表面から第1の半導体層101内までの濃度分布は上記実施例1と同様であり、図27に一点鎖線Aで示す。

【0105】その後、このエピ層102aの表面から所定の深さの位置に不純物濃度のピークが位置するように、P型の不純物であるボロン[B]を1.5~5MeV、 $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ で注入し、所定の深さの位置にイオン注入層102cを形成する。この時のボロン[B]による不純物濃度は図27に示す実線B1で示すようになっていく。

【0106】次に、上記実施例1と同様に形成される。つまり、図6に示すように、所望の領域（この例においてはメモリセルアレイが形成される領域）以外をマスク（図示せず）し、そのマスクを介してN型の不純物であるリン[P]を上記所望の領域に注入し、その後、窒素雰囲気中で熱処理を行い、リン[P]を熱拡散させ、N型の第1のウェル領域103を形成する。この時のリン[P]による不純物濃度は上記実施例1と同様であり、図27に点線Cで示すようになっており、第1のウェル領域103は第2の半導体層102の所定の位置にある不純物濃度のピークより浅い位置にある。

【0107】その後、図7に示すように、所望の領域（メモリセルアレイ内における一括消去単位であるブロック単位毎に対応したメモリセル形成領域と、周辺回路を構成するNチャネルMOSトランジスタが形成される領域）以外をマスク（図示せず）し、そのマスクを介してP型の不純物であるボロン[B]を上記所望の領域に注入し、ボロン注入層104A、104B、105A、105B、105Cを形成する。その後、マスクを除去し、ボロン注入層104A、104B、105A、105B、105Cをマスク（図示せず）し、そのマスクを介してN型の不純物であるリン[P]を上記ボロン注入層104A、104B、105A、105B、105C以外の領域に注入し、リン注入層106A~106Dを形成する。

【0108】この状態で、窒素雰囲気中で熱処理を行い、ボロン[B]及びリン[P]を熱拡散させ、図26に示すように、第1のウェル領域103表面にP型の第2のウェル領域104a及び104bを、第2の半導体層102表面にP型の第3のウェル領域105a~105c及びN型の第4のウェル領域106a~106cを

それぞれ形成する。この時のボロン[B]による不純物濃度は上記実施例1と同様であり、図27に点線Dで示す。

【0109】このように構成された半導体基板100にあって、図26にA-A'断面で示す不純物プロファイルは図28に示すようになっているものである。図28から明らかなように、第2の半導体層102の表面から深さ略1.5μmまで第2のウェル領域104aが形成され、第2のウェル領域104aの底面から深さ略3.5μmの間に第1のウェル領域103が介在し、かつ、第1のウェル103の底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。しかも、第2の半導体層102における不純物濃度のピークが第1のウェル103の底面と第1の半導体層101の表面との間に位置しているものである。

【0110】また、図26にB-B'断面で示す不純物プロファイルは図29に示すようになっているものである。図29から明らかなように、第2の半導体層102の表面から深さ略3μmまで第3のウェル領域105aが形成され、第3のウェル領域105aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。しかも、第2の半導体層102における不純物濃度のピークが第3のウェル105aの底面と第1の半導体層101の表面との間に位置しているものである。

【0111】さらに、図26にC-C'断面で示す不純物プロファイルは図30に示すようになっているものである。図30から明らかなように、第2の半導体層102の表面から深さ略3.5μmまで第4のウェル領域106aが形成され、第4のウェル領域106aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。しかも、第2の半導体層102における不純物濃度のピークが第4のウェル106aの底面と第1の半導体層101の表面との間に位置しているものである。

【0112】このように形成された実施例5のものにあって、実施例1と同様の効果を奏する他、第2の半導体層102の形成に際して、所定の深さ、つまり、第1、第3、及び第4のウェル領域103、105及び106と第1の半導体層101との間に不純物濃度のピークを有するようにしたイオン注入法を採用しているもので、この部分における中心深さ及び深さ方向の厚さを自

$$C(x, t) = (Q/\sqrt{\pi Dt}) \times \exp(-x^2/4Dt) \quad \dots\dots (1)$$

但し、Qは第2の半導体層102の表面層における注入された不純物の全不純物原子量、Dは拡散係数、xは第2の半導体層102の表面からの距離(深さ)、tは拡散時間である。また、 $2\sqrt{Dt}$ は一般に拡散距離と呼ばれており、ガウス分布の1σに相当する。

【0118】一方、第1のウェル領域103として必要な不純物濃度と、第1のウェル領域103の底部におけ

由に選択できるという利点を有しているものである。

【0113】なお、この実施例5において、第1のウェル領域103の形成を上記実施例4で示したように、所定の深さの位置に不純物濃度のピークが位置するように不純物をイオン注入して形成したものとしてもよいものである。

【0114】実施例6. 図31ないし図34はこの発明の実施例6を示すものであり、上記した実施例1に対して、第2の半導体層102の形成方法が異なるだけ、つまりエピタキシャル成長されたエピ層をそのまま第2の半導体層102として使用するものであり、その他の点については上記した実施例1と同様である。従って、上記実施例1と異なる点を主として説明するため、半導体基板の製造方法について、以下説明する。

【0115】まず、図31に示すように、不純物濃度が $1 \times 10^{19}/\text{cm}^3$ である高濃度のP型のシリコン基板(シリコンウェハ)からなる第1の半導体層101の表面上に、一般に知られている方法にてエピタキシャル成長させ、略5μmの厚さからなる不純物濃度が $1 \times 10^{15}/\text{cm}^3$ である低濃度のP型のエピ層からなる第2の半導体層102を形成する。この時の第2の半導体層102の表面から第1の半導体層101内までの濃度分布は図35に示す一点鎖線Aで示すようになっている。

【0116】その後、図32に示すように、所望の領域(この例においてはメモリセルアレイが形成される領域)以外をマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記所望の領域における表面層に150keV、 $1 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ で注入し、その後、窒素雰囲気中、1130~1180℃で5時間の熱処理を行い、リン[P]を熱拡散させ、深さ略3.5μm、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ であるN型の第1のウェル領域103を形成する。この時のリン[P]による不純物濃度は図35に示す点線C2で示すようになっている。

【0117】そして、この時の第1のウェル領域103を形成する条件は、以下のようにして決定されるものである。すなわち、LSIプロセスにおける不純物拡散は、簡単にはフィックの拡散方程式に従い、これを一定量の拡散源からの拡散について一次元で解くと次式(1)となり、不純物濃度の分布は次式(1)で示されるガウス分布になる。

るPN接合面の接合耐圧を考慮した場合、第1のウェル領域103の不純物のピーク濃度と第2の半導体層102との濃度の差を2桁程度とる必要があることがわかった。したがって、第1のウェル領域103の底面と第1の半導体層101の表面との間に第2の半導体層102を介在させる、つまり少しでも残すためには、第1のウェル領域103のピーク濃度(この実施例6においては

第2の半導体層102の表面に位置する)より2桁落ちる深さが第2の半導体層102の厚さ以下でなければならない。

【0119】すなわち、ガウス分布ではピーク濃度の位置より 2σ 離れるとピーク濃度より2桁濃度が下がるので、 2σ が第2の半導体層102の厚さ未満にする必要がある。 2σ が第2の半導体層102の厚さと同じ、もしくはそれを越えると、第1のウェル領域103の底面が第1の半導体層101の表面と接してしまう、もしくは重なってしまうものである。その結果、 $4\sqrt{Dt} (=2\sigma)$ が第2の半導体層102の厚さ未満を満足させることにより、第1のウェル領域103の底面と第1の半導体層101の表面との間に第2の半導体層102を介在させることができる。このような条件を満足させて第1のウェル領域103を形成するものである。

【0120】その後、図33に示すように、所望の領域(メモリセルアレイ内における一括消去単位であるブロック単位毎に対応したメモリセル形成領域と、周辺回路を構成するNチャネルMOSトランジスタが形成される領域)以外をマスク(図示せず)し、そのマスクを介してP型の不純物であるボロン[B]を上記所望の領域に 100keV 、 $1\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ で注入し、ボロン注入層104A、104B、105A、105B、105Cを形成する。その後、マスクを除去し、ボロン注入層104A、104B、105A、105B、105Cをマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記ボロン注入層104A、104B、105A、105B、105C以外の領域に 150keV 、 $1\times 10^{12}\sim 1\times 10^{13}/\text{cm}^2$ で注入し、リン注入層106A~106Dを形成する。

【0121】この状態で、窒素雰囲気中、 $1130\sim 1180^\circ\text{C}$ で数時間の熱処理を行い、ボロン注入層104A、104B、105A、105B、105C及びリン注入層106A~106Dのボロン[B]及びリン[P]を熱拡散させ、図34に示すように、第1のウェル領域103表面に深さ略 $1\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるP型の第2のウェル領域104a及び104bを、第2の半導体層102表面に深さ略 $2\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるP型の第3のウェル領域106a~106c及び深さ略 $3.5\mu\text{m}$ 、不純物濃度が $1\times 10^{15}\sim 1\times 10^{18}/\text{cm}^3$ であるN型の第4のウェル領域106a~106cをそれぞれ形成する。この時のボロン[B]による不純物濃度は図35に示す点線Dで示すようになっている。

【0122】このように構成された半導体基板100にあって、図34にA-A'断面で示す不純物プロファイルは図36に示すようになっているものである。図36から明らかなように、第2の半導体層102の表面から

深さ略 $1\mu\text{m}$ まで第2のウェル領域104aが形成され、第2のウェル領域104aの底面から深さ略 $3.5\mu\text{m}$ の間に第1のウェル領域103が介在し、かつ、第1のウェル103の底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。つまり、 $4\sqrt{Dt} (=2\sigma)$ が第2の半導体層102の厚さ未満を満足させる拡散条件に基づいて、第2の半導体層102の表面層にイオン注入された不純物を拡散させたので、確実に、第1のウェル領域103の底面と高濃度の第1の半導体層101の表面との間に低濃度の第2の半導体層102が介在しているものである。

【0123】また、図34にB-B'断面で示す不純物プロファイルは図37に示すようになっているものである。図37から明らかなように、第2の半導体層102の表面から深さ略 $2\mu\text{m}$ まで第3のウェル領域105aが形成され、第3のウェル領域105aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。

【0124】さらに、図34にC-C'断面で示す不純物プロファイルは図38に示すようになっているものである。図38から明らかなように、第2の半導体層102の表面から深さ略 $3.5\mu\text{m}$ まで第4のウェル領域106aが形成され、第4のウェル領域106aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。このように形成された実施例6のものにあっても、実施例1と同様の効果を奏するものである。

【0125】実施例7. 図39ないし図42はこの発明の実施例7を示すものであり、上記した実施例1に対して、第2の半導体層102の形成方法及び第1のウェル領域103の形成方法が異なるだけ、つまりエピタキシャル成長されたエビ層をそのまま第2の半導体層102として使用するとともに、所定深さに不純物をイオン注入して第1のウェル領域103を形成するものであり、その他の点については上記した実施例1と同様である。従って、上記実施例1と異なる点を主として説明するため、半導体基板の製造方法について、以下説明する。

【0126】まず、図39に示すように、不純物濃度が $1\times 10^{19}/\text{cm}^3$ である高濃度のP型のシリコン基板(シリコンウェハ)からなる第1の半導体層101の表面上に、一般に知られている方法にてエピタキシャル成長させ、略 $3\mu\text{m}$ の厚さからなる不純物濃度が $1\times 10^{15}/\text{cm}^3$ である低濃度のP型のエビ層からなる第2の半導体層102を形成する。この時の第2の半導体層102の表面から第1の半導体層101内までの濃度分布は図43に示す一点鎖線Aで示すようになっている。

【0127】その後、図40に示すように、所望の領域(この例においてはメモリセルアレイが形成される領域)以外をマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記所望の領域におけ

る所定の深さにピークが位置するように 1.75MeV 、 $1 \times 10^{13}/\text{cm}^2$ で注入し、第1のウェル領域103の底部領域103Aを形成するとともに、第4のウェル領域106a~106cの底部領域106A₀~106C₀を形成する。この時の底部領域103A及び底部領域106A₀~106C₀の不純物濃度は図43に実線C₃で示すように、第2の半導体層102の表面から深さ $1.7\mu\text{m}$ の位置に不純物濃度のピーク($1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$)を有するように形成しているものである。なお、周辺回路のPチャネルMOSTランジスタが形成される領域、つまり、第4のウェル領域106a~106cを形成するためにもイオン注入を行っているが、この領域には特にイオン注入を行わなくとも

$$N(x) = (NI/\sqrt{2\pi\Delta R_p}) \times \exp(-(x-R_p)^2/2\Delta R_p^2)$$

但し、 NI は単位面積当たりのイオン注入量、 x は第2の半導体層102の表面からの距離(深さ)である。

【0129】一方、第1のウェル領域103として必要な不純物濃度と、第1のウェル領域103の底部におけるPN接合面の接合耐圧を考慮した場合、第1のウェル領域103の不純物のピーク濃度と第2の半導体層102との濃度の差を2桁程度とる必要があることがわかった。したがって、第1のウェル領域103の底面と第1の半導体層101の表面との間に第2の半導体層102を介在させる、つまり少しでも残すためには、第1のウェル領域103のピーク濃度(この実施例7においては第2の半導体層102の内部、例えば $1.7\mu\text{m}$ の深さに位置する)より2桁落ちる深さが第2の半導体層102の厚さ以下でなければならない。

【0130】すなわち、 $(R_p+3\Delta R_p)$ が第2の半導体層102の厚さ未満にする必要がある。 $(R_p+3\Delta R_p)$ が第2の半導体層102の厚さと同じ、もしくはそれを越えると、第1のウェル領域103の底面が第1の半導体層101の表面と接してしまう、もしくは重なってしまうものである。その結果、 $(R_p+3\Delta R_p)$ が第2の半導体層102の厚さ未満を満足させることにより、第1のウェル領域103の底面と第1の半導体層101の表面との間に第2の半導体層102を介在させることができる。このような条件を満足させて第1のウェル領域103を形成するものである。

【0131】その後、図41に示すように、所望の領域(メモリセルアレイ内における一括消去単位であるブロック単位毎に対応したメモリセル形成領域と、周辺回路を構成するNチャネルMOSTランジスタが形成される領域)以外をマスク(図示せず)し、そのマスクを介してP型の不純物であるボロン[B]を上記所望の領域に 100keV 、 $1 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ で注入し、ボロン注入層104A、104B、105A、105B、105Cを形成する。その後、マスクを除去し、

よい。

【0128】そして、この時の第1のウェル領域103の底部領域103Aを形成する条件は、以下のようにして決定されるものである。すなわち、LSIプロセスにおける不純物のイオン注入における注入イオンの一般的な解としてLSS理論が用いられる。LSS理論による射影飛程 R_p とその分散 ΔR_p は「Projected Range Statistics in Semiconductors」(by J.F.Gibbons et al.)にテーブル化されており、注入分布 $N(x)$ はかんたんには平均値 R_p と分散 ΔR_p をもつガウス分布で近似でき、次式(2)となり、不純物濃度の分布は次式(2)で示されるガウス分布になる。

$$\dots\dots (2)$$

ボロン注入層104A、104B、105A、105B、105Cをマスク(図示せず)し、そのマスクを介してN型の不純物であるリン[P]を上記ボロン注入層104A、104B、105A、105B、105C以外の領域に 150keV 、 $1 \times 10^{12} \sim 1 \times 10^{13}/\text{cm}^2$ で注入し、リン注入層106A~106Dを形成する。

【0132】この状態で、窒素雰囲気中、 $1130 \sim 1180^\circ\text{C}$ で数時間の熱処理を行い、ボロン注入層104A、104B、105A、105B、105C及びリン注入層106A~106Dのボロン[B]及びリン[P]を熱拡散させ、図42に示すように、深さ略 $2.5\mu\text{m}$ の第1のウェル領域103、この第1のウェル領域103の表面に深さ略 $1\mu\text{m}$ 、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ であるP型の第2のウェル領域104a及び104bを、第2の半導体層102表面に深さ略 $1.5\mu\text{m}$ 、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ であるP型の第3のウェル領域106a~106c及び深さ略 $2.5\mu\text{m}$ 、不純物濃度が $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ であるN型の第4のウェル領域106a~106cをそれぞれ形成する。この時のボロン[B]による不純物濃度は図43に示す点線Dで示すようになっている。

【0133】このように構成された半導体基板100にあって、図42にA-A'断面で示す不純物プロファイルは図44に示すようになっているものである。図44から明らかなように、第2の半導体層102の表面から深さ略 $1\mu\text{m}$ まで第2のウェル領域104aが形成され、第2のウェル領域104aの底面から深さ略 $2.5\mu\text{m}$ の間に第1のウェル領域103が介在し、かつ、第1のウェル領域103の底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。しかも、第2のウェル領域104aの底面と第2の半導体層102との間に第1のウェル領域103の不

純物の1つのピークが存在しているものである。つまり、 $(R_p + 3\Delta R_p)$ が第2の半導体層102の厚さ未満を満足させるイオン注入条件に基づいて、第2の半導体層102の所定の深さにイオン注入させたので、確実に、第1のウェル領域103の底面と高濃度の第1の半導体層101の表面との間に低濃度の第2の半導体層102が介在し、かつ第2のウェル領域104の下に1つのピーク濃度を有しているものである。

【0134】また、図42にB-B'断面で示す不純物プロファイルは図45に示すようになっているものである。図45から明らかなように、第2の半導体層102の表面から深さ略1.5 μm まで第3のウェル領域105aが形成され、第3のウェル領域105aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。

【0135】さらに、図42にC-C'断面で示す不純物プロファイルは図46に示すようになっているものである。図46から明らかなように、第2の半導体層102の表面から深さ略2.5 μm まで第4のウェル領域106aが形成され、第4のウェル領域106aの底面から第1の半導体層101の表面まで第2の半導体層102が介在しているものである。なお、この第4のウェル領域106は第2の半導体層102の表面層と第2の半導体層102から1.7 μm の深さの位置に不純物濃度のピークを有しているものである。

【0136】このように形成された実施例7のものであっても、実施例1と同様の効果を奏する他、第1のウェル領域103（及び第4のウェル領域106a～106c）の形成に際して、所定の深さに不純物濃度のピークを有するようにしたイオン注入法を採用しているので、第1のウェル領域103の底部領域の中心深さ及び深さ方向の厚さを自由に選択できるという利点を有しているものである。

【0137】なお、上記実施例1ないし実施例6に示したもののにおいては、第2の半導体層102の厚さの具体的な値として5 μm 、実施例7に示したもののにおいては、第2の半導体層102の厚さの具体的な値として3 μm のものを示したが、これに限られるものではなく、1～10 μm の範囲のものであればよいものである。ただし、第2の半導体層102の厚さが異なることにより、不純物の注入量、イオン注入加速エネルギー、不純物拡散のための熱処理温度、熱処理時間等の具体的な最適値が変化することは勿論である。

【0138】また、上記実施例1ないし実施例7に示したもののにおいては、第2の半導体層102を構成するためのエピ層（第1導電型の不純物がイオン注入によって注入されていない状態）の不純物濃度を $1 \times 10^{15} / \text{cm}^3$ のものを示したが、これに限られるものではなく、第2の半導体層102を構成するためのエピ層の不純物濃度は $1 \times 10^{11} / \text{cm}^3$ からウェル領域の濃度より十

分に低い $1 \times 10^{16} / \text{cm}^3$ まで自由に選択できるものである。ただし、第2の半導体層102の不純物濃度が異なることにより、不純物の注入量、イオン注入加速エネルギー、不純物拡散のための熱処理温度、熱処理時間等の具体的な最適値が変化することは勿論である。

【0139】さらに、上記実施例1ないし実施例7に示したもののにおいては、第1の半導体層101の不純物濃度を $1 \times 10^{19} / \text{cm}^3$ を示したが、これに限られるものではなく、第1の半導体層101の不純物濃度はウェル領域の濃度より十分に高い $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ まで自由に選択できるものである。

【0140】

【発明の効果】この発明の第1の発明は、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、半導体基板の第2のウェル領域に形成された第1の半導体素子と、半導体基板の第3のウェル領域に形成された第2の半導体素子と、半導体基板の第4のウェル領域に形成された第3の半導体素子を設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するという効果を有するものである。

【0141】この発明の第2の発明は、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に上記第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、この半導体基板の第2のウェル領域に形成される不揮発性メモリセルと、半導体基板の第3のウェル領域に形成される第2導電型のMOSトランジスタと、半導体基板の第4のウェル領域に形成

される第1導電型のMOSトランジスタを設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するとともに、ゲート絶縁膜の不純物や欠陥密度が少ない不揮発性半導体記憶装置が得られるという効果を有するものである。

【0142】この発明の第3の発明は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにおいて、P型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層が介在して形成されたN型の第1のウェル領域と、この第1のウェル領域の表面にそれぞれ互いに離隔して形成されたP型の複数の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、ブロック単位毎に複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが第3のウェル領域に形成され、周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが第4のウェル領域に形成されているものとしたので、第1のウェル領域が第2のウェル領域に独立に電位を与えることができ、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するとともに、ゲート絶縁膜の不純物や欠陥密度が少ない不揮発性半導体記憶装置が得られるという効果を有するものである。

【0143】この発明の第4の発明は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、上記メモリセルアレイの複数のメモリセルを複数個毎に複数ブロックに分割し、このブロック単位で消去動作が一括して行われるものにお

いて、P型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長されたP型の第2の半導体層と、この第2の半導体層の表面に、それぞれが互いに離隔して形成されるとともに、第1の半導体層の表面との間に第2の半導体層が介在して形成されたN型の複数の第1のウェル領域と、これら複数の第1のウェル領域それぞれの表面にそれぞれ形成されたP型の複数の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有するP型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成されたN型の第4のウェル領域とを有する半導体基板を備え、ブロック単位毎に複数の第2のウェル領域の1つに対応し、各ブロック単位の複数のメモリセルが、対応した第2のウェル領域に形成され、周辺回路を構成する複数のNチャネルMOSトランジスタの少なくとも一部のNチャネルMOSトランジスタが第3のウェル領域に形成され、周辺回路を構成する複数のPチャネルMOSトランジスタの少なくとも一部のPチャネルMOSトランジスタが第4のウェル領域に形成されているものとしたので、第1のウェル領域が第2のウェル領域に独立に電位を与えることができ、低濃度の第2の半導体層が、第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するとともに、ゲート絶縁膜の不純物や欠陥密度が少ない不揮発性半導体記憶装置が得られるという効果を有するものである。

【0144】この発明の第5の発明は、メモリセルを複数有するメモリセルアレイと、このメモリセルアレイのメモリセルに情報を書き込む、メモリセルに蓄積された情報を読み出す、メモリセルに蓄積された情報を消去するための周辺回路とを備え、周辺回路が、電源電位ノードに印加される電源電位を受け、この電源電位より高い昇圧電位を出力する昇圧回路を有したものにおいて、第1導電型の第1の半導体層と、この第1の半導体層の表面上に第1の半導体層の不純物濃度より低い不純物濃度を有するエピタキシャル成長された第1導電型の第2の半導体層と、この第2の半導体層の表面に、上記第1の半導体層の表面との間に第2の半導体層が介在して形成された第2導電型の第1のウェル領域と、この第1のウェル領域の表面に形成された第1導電型の第2のウェル領域と、第2の半導体層の表面に形成され、第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域と、第2の半導体層の表面に第1のウェル領域と離隔して形成された第2導電型の第4のウェル領域とを有する半導体基板を備え、記昇圧回路の出力段を構成する半導体素子が第2のウェル領域に形成され、周辺回路を構成する複数の第2導電型のMOSト

ランジスタの少なくとも一部のMOSトランジスタが上記第3のウェル領域に形成され、周辺回路を構成する複数の第1導電型のMOSトランジスタの少なくとも一部のMOSトランジスタが第4のウェル領域に形成されているものとしたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、昇圧回路の出力段を構成する半導体素子に対する第1のウェル領域と第2の半導体層との接合耐圧が向上するという効果を有するものである。

【0145】この発明の第6の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面に第1導電型の不純物をイオン注入し、熱拡散することによって、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に、第1の半導体層の表面との間に第2の半導体層を介在させて第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するという効果を有するものである。

【0146】この発明の第7の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に、第1のウェル領域における所定位置の不純物濃度のピーク位置より上に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル

領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上し、しかも、第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するようにイオン注入されるため、第1のウェル領域の底部における不純物濃度のプロファイルを自由に選択できるという効果を有するものである。

【0147】この発明の第8の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上して、第1のウェル領域と第2の半導体層との接合耐圧が向上し、しかも、第2の半導体層がエビ層の表面から所定深さの位置に不純物濃度のピークが位置するようにイオン注入するため、第2の半導体層の底部における不純物濃度のプロファイルを自由に選択できるという効果を有するものである。

【0148】この発明の第9の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にてエビ層を形成する工程と、このエビ層の表面から所定深さの位置に不純物濃度のピークが位置するように第1導電型の不純物をイオン注入し、第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するように第2導電型の不純物をイオン注入する工程を含み、第2の半導体層の表面に、第1の半導体層の表面との間に上記第2の半導体層のピーク位置を介在させて第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工

程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、低濃度の第2の半導体層が第1のウェル領域と高濃度の第1の半導体層との間に介在し、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上し、しかも、第2の半導体層の表面から所定深さの位置に不純物濃度のピークが位置するようにイオン注入するため、第1のウェル領域の底部における不純物濃度のプロファイルを選択できるとともに、第2の半導体層がエピ層の表面から所定深さの位置に不純物濃度のピークが位置するようにイオン注入されるため、第2の半導体層の底部における不純物濃度のプロファイルを選択できるという効果を有するものである。

【0149】この発明の第10の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に第2導電型の不純物をイオン注入し、その後、 $4\sqrt{D\tau}$ の値が第2の半導体層の厚さ未満の値にてイオン注入された不純物を熱拡散することによって、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、第1のウェル領域と高濃度の第1の半導体層との間に、確実に、エピタキシャル成長によって形成された第2の半導体層を介在させることができ、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するという効果を有するものである。

【0150】この発明の第11の発明は、第1導電型の第1の半導体層の表面上にエピタキシャル成長にて第1の半導体層の不純物濃度より低い不純物濃度を有する第1導電型の第2の半導体層を形成する工程と、この第2の半導体層の表面に、 $(R_p + 3\Delta R_p)$ の値が第2の

半導体層の厚さ未満の値にて第2導電型の不純物をイオン注入し、第2の半導体層の表面に第2導電型の第1のウェル領域を形成する工程と、この第1のウェル領域の表面に第1導電型の第2のウェル領域を形成する工程と、第2の半導体層の表面に第2の半導体層の不純物濃度より高い不純物濃度を有する第1導電型の第3のウェル領域を形成する工程と、第2の半導体層の表面に第2導電型の第4のウェル領域を第1のウェル領域と離隔して形成する工程と、第2のウェル領域に第1の半導体素子を形成する工程と、第3のウェル領域に第2の半導体素子を形成する工程と、第4のウェル領域に第3の半導体素子を形成する工程とを設けたので、第1のウェル領域と高濃度の第1の半導体層との間に、確実に、エピタキシャル成長によって形成された低濃度の第2の半導体層を介在させることができ、ラッチアップ耐性が向上し、第2のウェル領域と第2の半導体層との間のパンチスルー耐圧が向上し、第1のウェル領域と第2の半導体層との接合耐圧が向上するという効果を有するものである。

【図面の簡単な説明】

【図1】 この発明の実施例1を示すブロック図。

【図2】 この発明の実施例1に適用される半導体基板100を示す断面図。

【図3】 この発明の実施例1を示す要部断面図。

【図4】 この発明の実施例1に適用される半導体基板100の製造を工程順に示す断面図。

【図5】 この発明の実施例1に適用される半導体基板100の製造を工程順に示す断面図。

【図6】 この発明の実施例1に適用される半導体基板100の製造を工程順に示す断面図。

【図7】 この発明の実施例1に適用される半導体基板100の製造を工程順に示す断面図。

【図8】 この発明の実施例1に適用される半導体基板100の製造を工程順に示す断面図。

【図9】 この発明の実施例1に適用される半導体基板100の製造における個別の不純物のプロファイルを示す図。

【図10】 図8のA-A'断面における不純物のプロファイルを示す図。

【図11】 図8のB-B'断面における不純物のプロファイルを示す図。

【図12】 図8のC-C'断面における不純物のプロファイルを示す図。

【図13】 この発明の実施例1に適用される半導体基板100の他の例を示す断面図。

【図14】 この発明の実施例1に適用される半導体基板100のさらに他の例を示す断面図。

【図15】 この発明の実施例2を示す要部断面図。

【図16】 この発明の実施例3に適用される高電圧発生回路の昇圧回路を示す回路図。

【図17】 この発明の実施例3に適用される高電圧発生回路の昇圧回路を半導体基板に組み込んだ例を示す要部断面図。

【図18】 この発明の実施例4に適用される半導体基板100の製造を工程順に示す断面図。

【図19】 この発明の実施例4に適用される半導体基板100の製造を工程順に示す断面図。

【図20】 この発明の実施例4に適用される半導体基板100の製造を工程順に示す断面図。

【図21】 この発明の実施例4に適用される半導体基板100の製造における個別の不純物のプロファイルを示す図。

【図22】 図20のA-A'断面における不純物のプロファイルを示す図。

【図23】 図20のB-B'断面における不純物のプロファイルを示す図。

【図24】 図20のC-C'断面における不純物のプロファイルを示す図。

【図25】 この発明の実施例5に適用される半導体基板100の製造を工程順に示す断面図。

【図26】 この発明の実施例5に適用される半導体基板100の製造を工程順に示す断面図。

【図27】 この発明の実施例5に適用される半導体基板100の製造における個別の不純物のプロファイルを示す図。

【図28】 図26のA-A'断面における不純物のプロファイルを示す図。

【図29】 図26のB-B'断面における不純物のプロファイルを示す図。

【図30】 図26のC-C'断面における不純物のプロファイルを示す図。

【図31】 この発明の実施例6に適用される半導体基板100の製造を工程順に示す断面図。

【図32】 この発明の実施例6に適用される半導体基板100の製造を工程順に示す断面図。

【図33】 この発明の実施例6に適用される半導体基板100の製造を工程順に示す断面図。

【図34】 この発明の実施例6に適用される半導体基板100の製造を工程順に示す断面図。

【図35】 この発明の実施例6に適用される半導体基板100の製造における個別の不純物のプロファイルを示す図。

【図36】 図34のA-A'断面における不純物のプロファイルを示す図。

【図37】 図34のB-B'断面における不純物のプロファイルを示す図。

【図38】 図34のC-C'断面における不純物のプロファイルを示す図。

【図39】 この発明の実施例7に適用される半導体基板100の製造を工程順に示す断面図。

【図40】 この発明の実施例7に適用される半導体基板100の製造を工程順に示す断面図。

【図41】 この発明の実施例7に適用される半導体基板100の製造を工程順に示す断面図。

【図42】 この発明の実施例7に適用される半導体基板100の製造を工程順に示す断面図。

【図43】 この発明の実施例7に適用される半導体基板100の製造における個別の不純物のプロファイルを示す図。

【図44】 図42のA-A'断面における不純物のプロファイルを示す図。

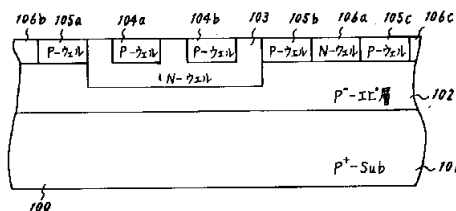
【図45】 図42のB-B'断面における不純物のプロファイルを示す図。

【図46】 図42のC-C'断面における不純物のプロファイルを示す図。

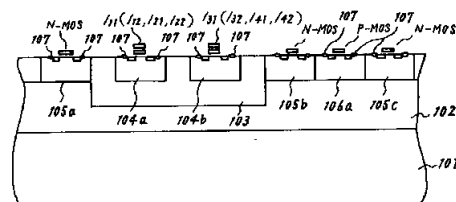
【符号の説明】

1₁₁~1₄₁ メモリセル、2a~2b ブロック、3₁~3₄ ワード線、4₁~4₂ ワード線、5_{1a}~5_{2b} 主ビット線、7a~7b ソース線、100 半導体基板、101 第1の半導体層、102 第2の半導体層、103 第1のウェル領域、104a~104b 第2のウェル領域、105a~105c 第3のウェル領域、106a~106b 第4のウェル領域。

【図2】



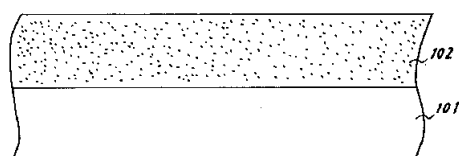
【図3】



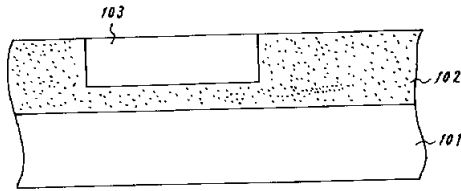
[illegible]

- /11 ~ /42 : メモリセル
- 2a ~ 2b : ブロック
- 31 ~ 34 : ワード線
- 41 ~ 42 : 主ビット線
- 51a ~ 52b : 副ビット線
- 7a ~ 7b : ソース線

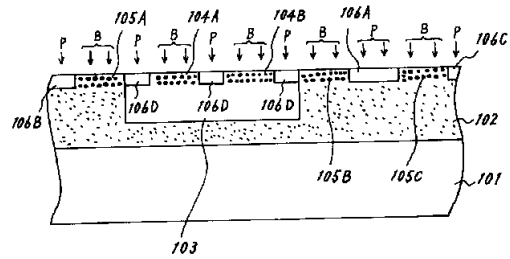
【図5】



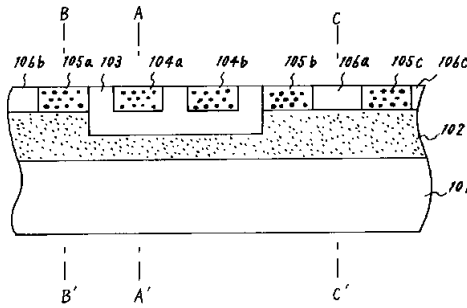
【図6】



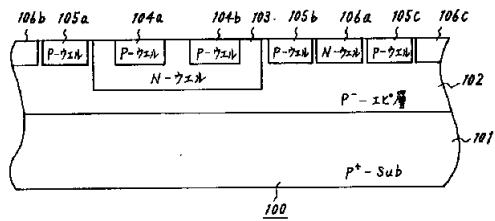
【図7】



【図8】

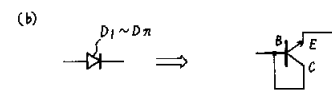
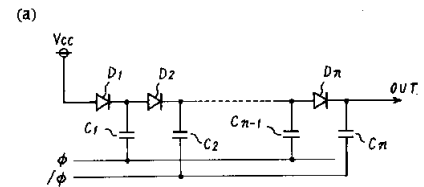
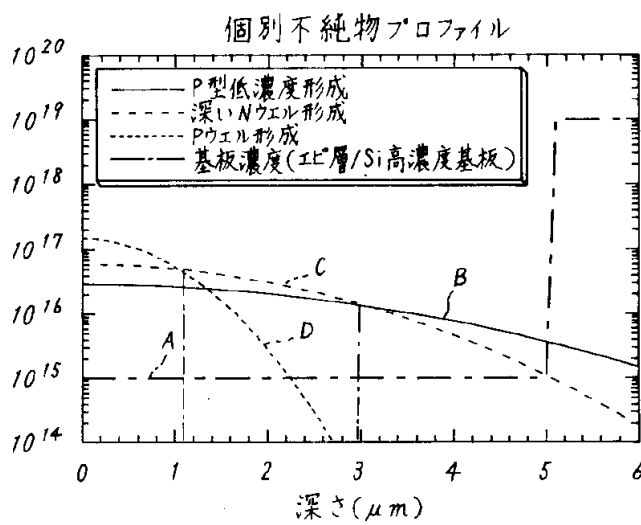


【図13】

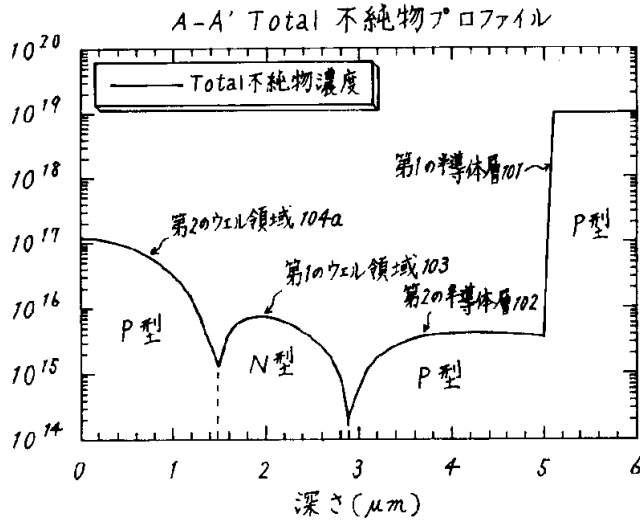


【図16】

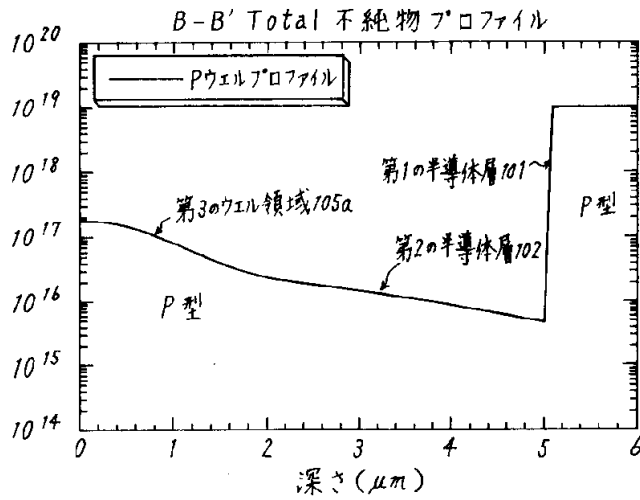
【図9】



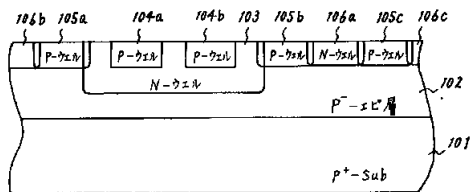
【図10】



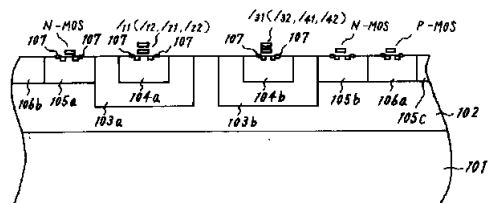
【図11】



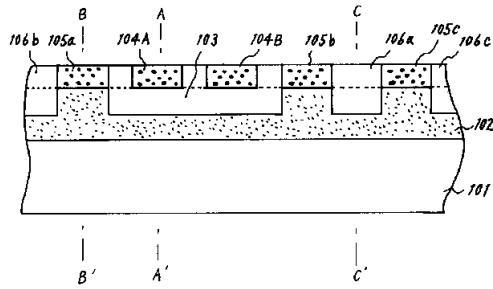
【図14】



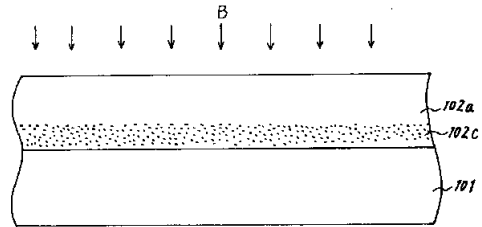
【図15】



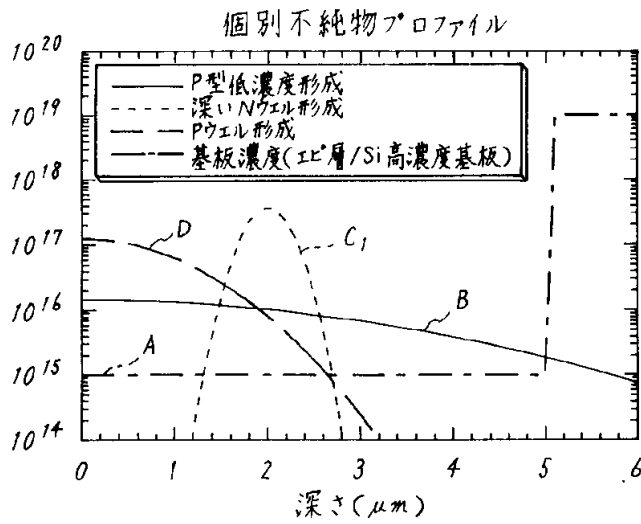
【図20】



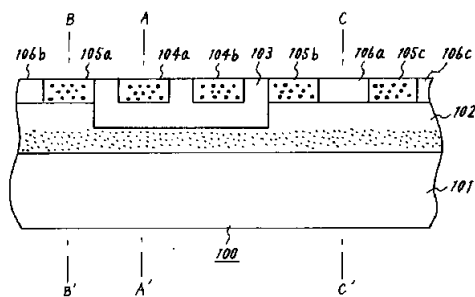
【図25】



【図21】



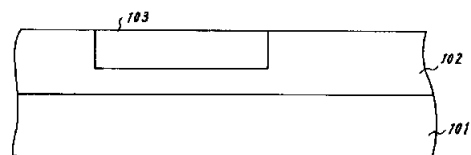
【図26】



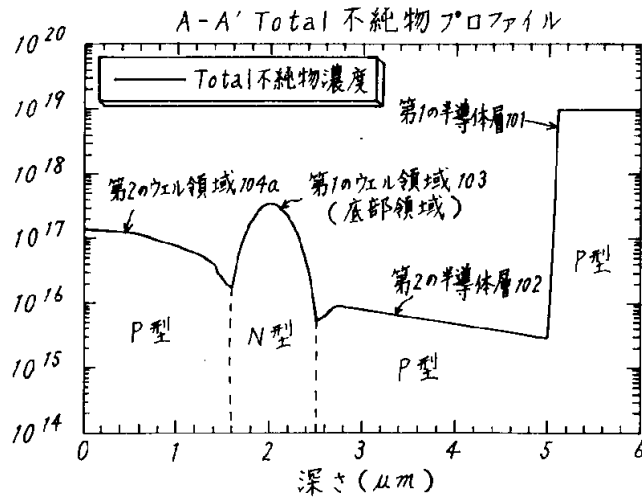
【図31】



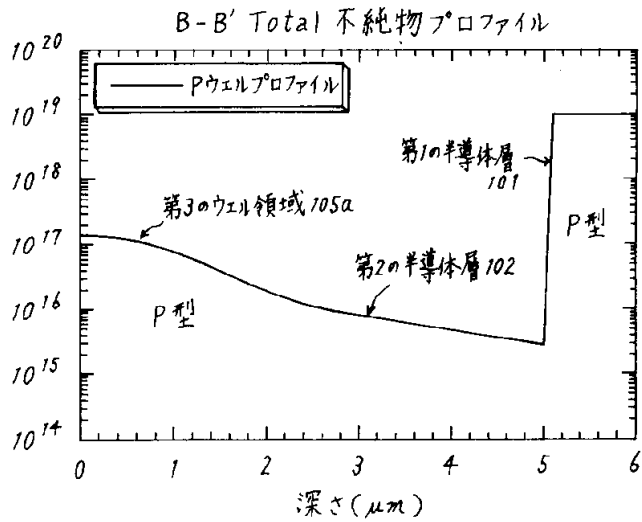
【図32】



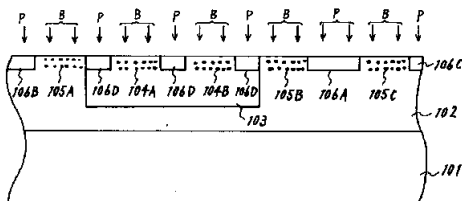
【図22】



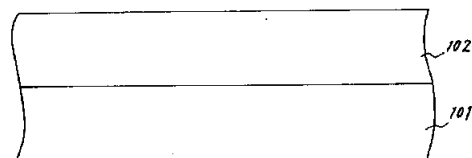
【図23】



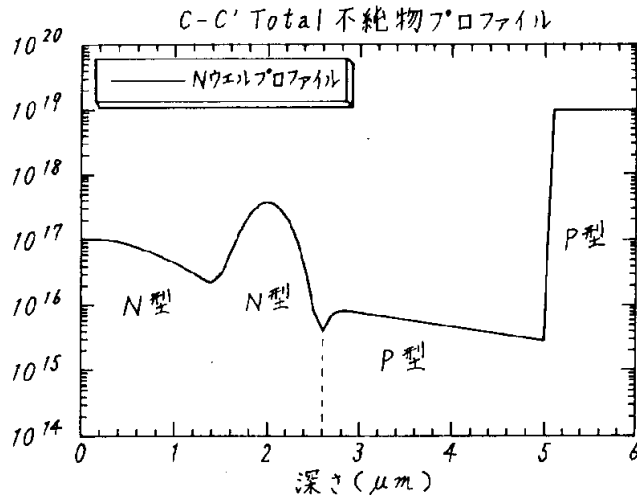
【図33】



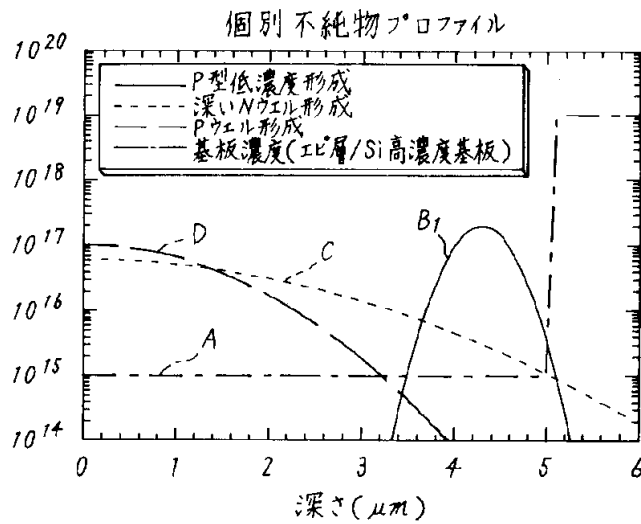
【図39】



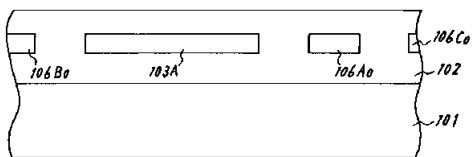
【図24】



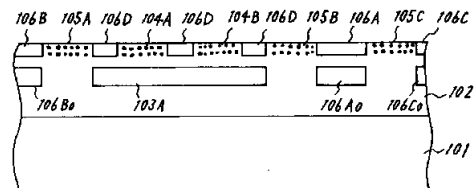
【図27】



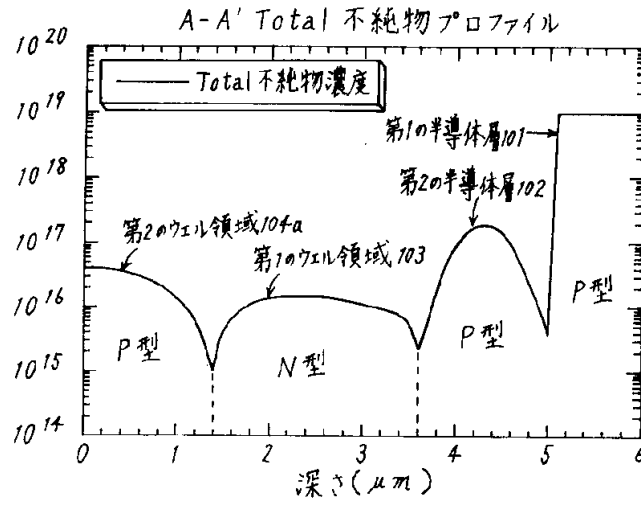
【図40】



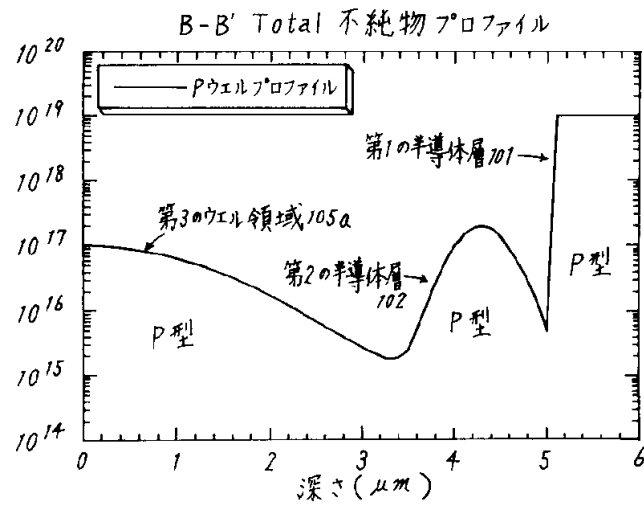
【図41】

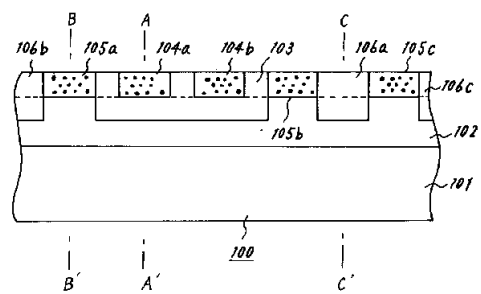
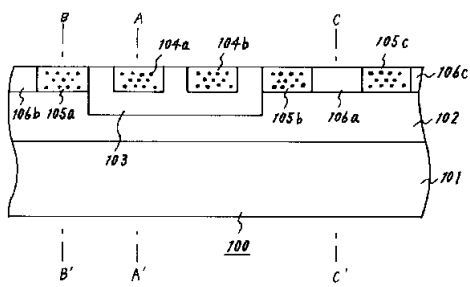
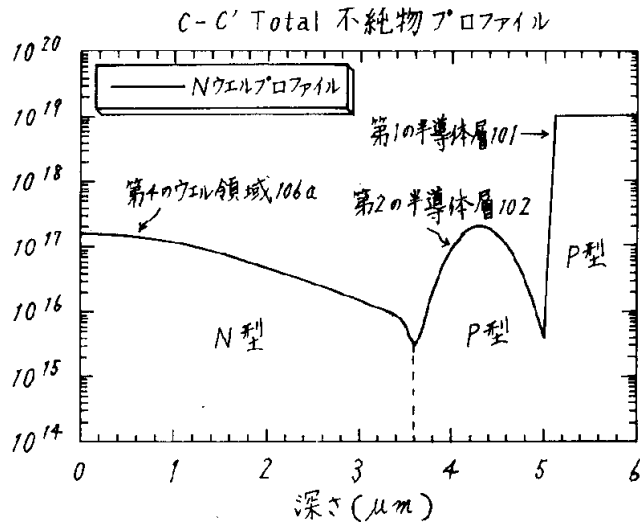


【図28】

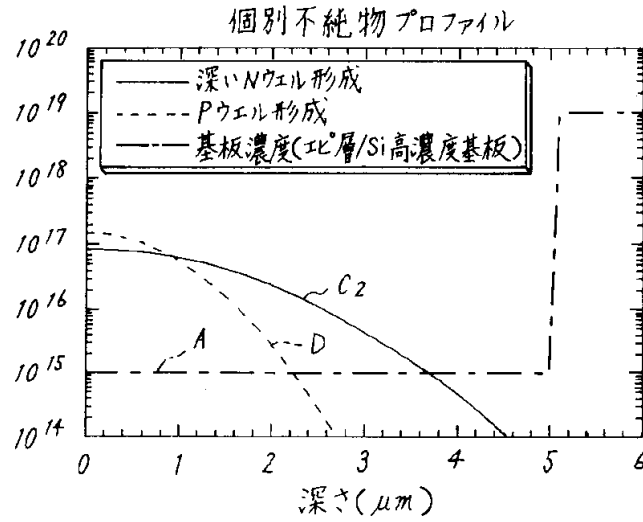


【図29】

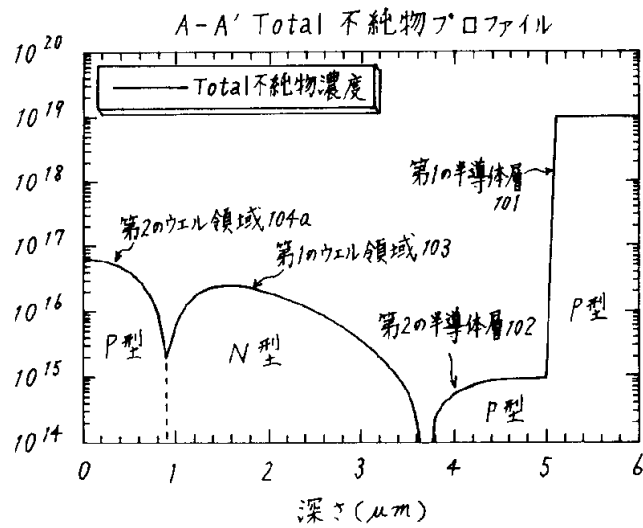




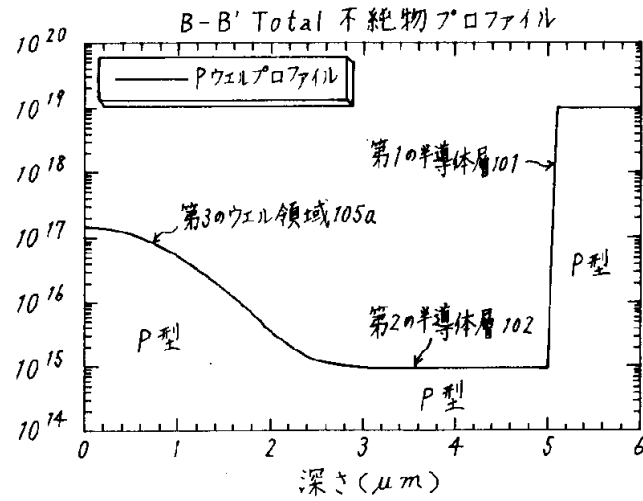
【図35】



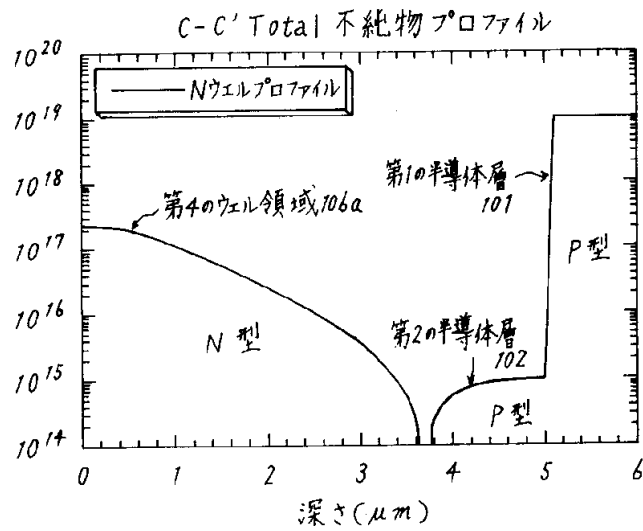
【図36】



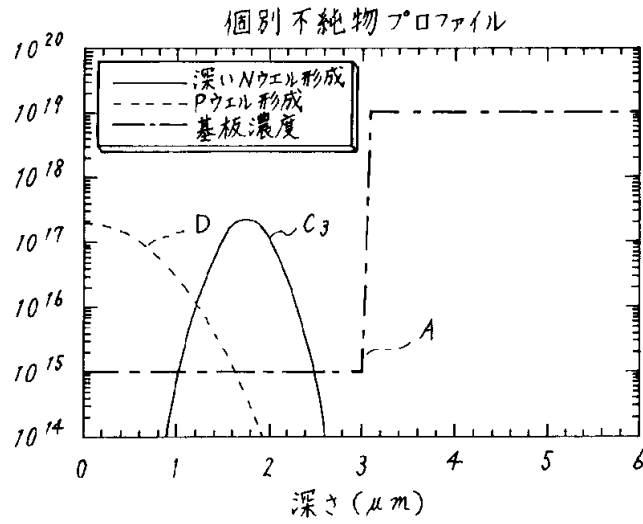
【図37】



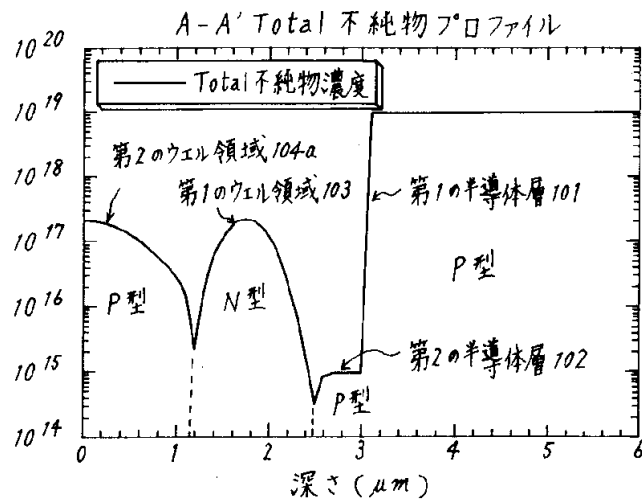
【図38】



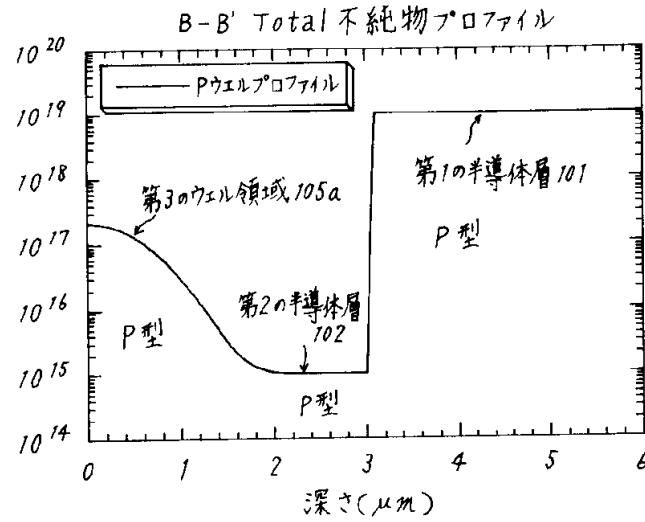
【図43】



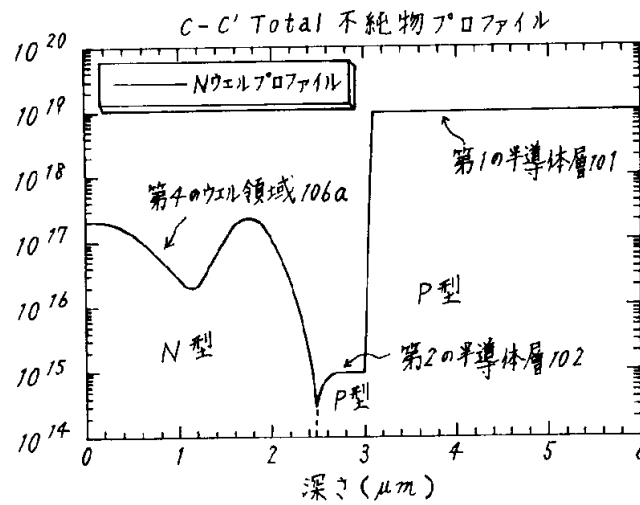
【図44】



【図45】



【図46】



フロントページの続き

(51)Int.Cl.⁶

H01L 29/788

29/792

識別記号

片内整理番号

F I

技術表示箇所