(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107431063 A
(43)申请公布日 2017.12.01

(21)申请号 201680016914.4

(22)申请日 2016.06.09

(30)优先权数据
14/739,284 2015.06.15 US
14/739,354 2015.06.15 US

(85)PCT国际申请进入国家阶段日
2017.09.15

(86)PCT国际申请的申请数据
PCT/US2016/036771 2016.06.09

(87)PCT国际申请的公布数据
WO2016/205078 EN 2016.12.22

(71)申请人 桑迪士克科技有限责任公司
地址 美国得克萨斯州

(72)发明人 M.尼西卡瓦 R.洪马 T.米瓦
M.马茨莫托 Y.米祖塔尼
H.科凯茨 J.阿尔斯梅尔

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邱军

(51)Int.Cl.
H01L 23/64(2006.01)
H01L 27/06(2006.01)
H01L 27/11573(2017.01)
H01L 27/11575(2017.01)
H01L 49/02(2006.01)

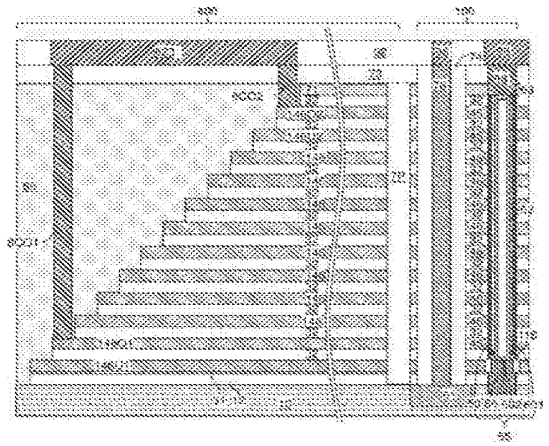
权利要求书11页 说明书30页 附图91页

(54)发明名称

与三维存储器器件集成的无源器件

(57)摘要

三维存储器器件，包含含有多个非易失性存储器器件的存储器器件区域、含有有源驱动器电路器件的外围器件区域以及外围器件区域和存储器器件区域之间的阶梯表面区域，阶梯表面区域含有多个无源驱动器电路器件。



CN 107431063 A

Micron Ex. 1002, p. 364
Micron v. YMTC
IPR2024-00790

1.一种三维存储器器件,包括:

存储器器件区域,所述存储器器件区域含有多个非易失性存储器器件;

外围器件区域,所述外围器件区域含有有源驱动器电路器件;以及

第一阶梯表面区域,所述第一阶梯表面区域在所述外围器件区域和所述存储器器件区域之间,所述第一阶梯表面区域含有多个无源驱动器电路器件。

2.如权利要求1所述的器件,还包括:

交替层的堆叠体,所述交替层包含位于基板上的电绝缘层和导电层,其中所述第一阶梯表面区域含有所述电绝缘层的第一部分和所述导电层的第一部分,并且所述第一阶梯区域位于所述堆叠体的第一侧上;

第二阶梯表面区域,所述第二阶梯表面区域含有位于所述堆叠体的第二侧上的所述电绝缘层的第二部分和所述导电层的第二部分;

多个半导体沟道,所述多个半导体沟道位于所述堆叠体中的所述存储器器件区域中,其中所述多个半导体沟道中的每一个的至少一个端部实质上垂直于所述基板的顶表面延伸;

多个电荷储存元件,每个电荷储存元件定位为与所述多个半导体沟道中的各自的一个相邻;

多个无源器件接触通孔结构,所述多个无源器件接触通孔结构实质上垂直于所述基板的顶表面延伸到所述第一阶梯表面区域中的所述导电层的所述各自的第一部分;以及

多个控制栅极接触通孔结构,所述多个控制栅极接触通孔结构实质上垂直于所述基板的顶表面延伸到所述第二阶梯表面区域中的所述导电层的各自的第二部分。

3.如权利要求2所述的器件,其中:

所述外围器件区域含有感测放大器;

所述第二阶梯表面区域包括字线阶梯表面区域;并且

所述导电层的第二部分包括实质上平行于所述基板的顶表面延伸的多个控制栅电极,并且所述多个控制栅电极至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

4.如权利要求3所述的器件,其中:

所述多个无源驱动器电路器件包括多个电容器;

所述导电层的第一部分包括多个电容器电极;

所述电绝缘层的第一部分包括位于所述电容器电极之间的电容器电介质;并且

所述导电层中的每一个的各自的第一部分和第二部分位于所述基板上方的相同级处,并且彼此电绝缘。

5.如权利要求3所述的器件,其中所述多个无源驱动器电路器件包括多个电阻器。

6.一种包括电容器的组的器件,所述器件包括:

交替层的堆叠体,所述交替层包括位于基板之上的电绝缘层和导电层,其中每个下层的导电层位于所述堆叠体内,并且具有至少一个上层的导电层,所述上层的导电层比所述下层的导电层侧向地延伸得更远,以形成堆叠体层的侧面上的阶梯表面区域;

电介质材料部分,所述电介质材料部分位于所述堆叠体的所述阶梯表面区域上,其中在所述电介质材料部分和所述堆叠体之间的界面包含水平表面组和垂直表面的连续的组,

Micron Ex. 1002, p. 365
Micron v. YMTC
IPR2024-00790

以提供所述阶梯表面区域；

电介质填充材料部分的组，所述电介质填充材料部分的组位于沟槽内，所述沟槽垂直地延伸穿过所述交替层的堆叠体，并且侧向地接触所述阶梯表面区域中的所述交替层的堆叠体的侧壁；以及

多个接触通孔结构，所述多个接触通孔结构与所述交叠层的堆叠体内的各自的导电层接触，

其中所述导电层构成电容器的组的导电部件，并且所述电绝缘层的子组构成所述电容器的组的节点电介质，其中所述组中的每个电容器包括：

第一节点，所述第一节点包含各自的垂直相邻对的下层的导电层和从所述下层的导电层向上延伸并穿过所述电介质材料部分的各自的接触通孔结构；以及

第二节点，所述第二节点含有各自的垂直相邻对的上层的导电层和从上层的导电层向上延伸并穿过所述电介质材料部分的各自的接触通孔结构。

7.如权利要求6所述的器件，其中：

所述沟槽中的每一个完全填充有各自的电介质填充材料部分的电介质材料；

所述交替层的堆叠体内的所述导电层的所有侧壁表面与选自所述电介质填充材料部分的组的侧壁表面和所述电介质材料部分的侧壁表面的表面接触；

所述交替层的堆叠体内的导电层和所述电介质填充材料部分的组之间的整个界面是连续界面；并且

所述连续界面贯穿其整体实质上是垂直的。

8.如权利要求7所述的器件，其中：

所述导电层和所述电介质填充材料部分的组之间的界面毗邻所述导电层和所述电介质材料部分之间的界面；

所述导电层和所述电介质填充材料部分的组之间的界面与所述导电层和所述电介质材料部分之间的界面的组合包含所述导电层的全部侧壁表面；

所述电介质填充材料部分的组是材料部分的连续组，并且接触所述电介质材料部分；并且

所述电介质材料部分是倒退阶梯电介质材料部分，所述倒退阶梯电介质材料部分中所述电介质材料部分在水平平面处的水平截面积不小于所述电介质材料部分在更靠近基板的任何水平平面处的水平截面积。

9.如权利要求6所述的器件，其中：

所述电容器的组内的每个电容器包括两对垂直相邻导电层；

所述电容器的所述第一节点包含第一垂直相邻对的下层的导电层和第二垂直相邻对的导电层；并且

所述电容器的所述第二节点包含所述第一垂直相邻对的上层的导电层和所述第二垂直相邻对的另一导电层。

10.如权利要求9所述的器件，其中：

所述第一垂直相邻对的所述下层的导电层和所述第二垂直相邻对的导电层通过两个接触通孔结构和第一导线结构电短路；并且

所述第一垂直相邻对的上层的导电层和所述第二垂直相邻对的所述另一导电层通过

Micron Ex. 1002, p. 366
Micron v. YMTC
IPR2024-00790

两个额外接触通孔结构和第二导线结构电短路。

11.如权利要求9所述的器件，其中：

所述电容器的组至少包括第一电容器和第二电容器；

所述第一电容器包括垂直相邻导电层的第一上对和垂直相邻导电层的第一下对；

所述第二电容器包括垂直相邻导电层的第二上对和垂直相邻导电层的第二下对；

所述垂直相邻导电层的第二上对覆于所述垂直相邻导电层的第一上对之上；

所述垂直相邻导电层的第一上对覆于所述垂直相邻导电层的第一下对之上；并且

所述垂直相邻导电层的第一下对覆于所述垂直相邻导电层的第二下对之上。

12.如权利要求11所述的器件，其中所述第一上对内的所述垂直相邻导电层之间的上重叠面积和所述第一下对内的所述垂直相邻导电层之间的上重叠面积的总和实质上与所述第二上对内的所述垂直相邻导电层之间的上重叠面积和所述第二下对内的所述垂直相邻导电层之间的上重叠面积的总和相同。

13.如权利要求11所述的器件，其中：

所述电容器的组内的每个电容器在其中含有的垂直相邻的导电层之间具有实质上相同的总重叠面积；并且

所述电容器的组位于以下区域中至少一个中：切口区域、外围器件区域和存储器器件区域之间的第一阶梯表面区域、以及第二阶梯表面区域，所述第二阶梯表面区域包括在所述切口区域和所述外围器件区域之间的阶梯轨迹。

14.如权利要求6所述的器件，还包括位于所述基板之上的单片三维存储器器件，所述单片三维存储器器件包括：

所述导电层的额外控制栅极部分，所述额外控制栅极部分位于所述堆叠体的所述导电层的相同级处；

存储器开口，所述存储器开口延伸穿过所述堆叠体；

存储器膜，所述存储器膜位于所述存储器开口内；以及

半导体沟道，所述半导体沟道位于所述存储器膜内。

15.如权利要求14所述的器件，其中：

所述电容器的组是所述单片三维存储器器件的外围器件的部件；

所述单片三维存储器器件是垂直NAND存储器器件；

所述导电层的所述额外控制栅极部分包括或电连接到所述垂直NAND存储器器件的各自的字线；

所述基板包括硅基板；

所述垂直NAND存储器器件包括所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的所述第一器件级中至少一个存储器单元位于所述NAND串的三维阵列的所述第二器件级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括位于其上的存储器器件的驱动器电路；并且

所述NAND串的三维阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部实质上垂直于所述硅基板的顶表面延伸；

Micron Ex. 1002, p. 367
Micron v. YMTC
IPR2024-00790

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的各自的一个相邻；以及

所述多个控制栅电极，所述多个控制栅电极具有带形状，所述带形状实质上平行于所述硅基板的顶表面延伸，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

16.一种形成存储器器件的方法，包括：

在存储器器件区域中形成多个存储器器件；

在所述存储器器件区域的外侧形成多个无源器件；以及

在一个沉积步骤中形成导电层，使得所述导电层的第一部分包括所述无源器件中的至少一个的部分，并且所述导电层的第二部分形成至少一个存储器器件的部分。

17.如权利要求16所述的方法，还包括：

形成堆叠体，所述堆叠体包括基板之上的交替的多个电绝缘层和第二材料层；

形成沟槽，所述沟槽延伸穿过所述交替层的堆叠体，其中所述交替层的堆叠体的图案化部分的侧壁被物理地暴露；

形成图案化堆叠体，所述图案化堆叠体包括交替的多个所述电绝缘层和导电层，其中在所述第二材料层中的每级处形成所述图案化堆叠体中的所述导电层，并且所述图案化堆叠体被沟槽内形成的电介质填充材料部分的组侧向地接触；以及

在所述导电层上形成多个接触通孔结构，

其中：

所位于外围器件区域和存储器器件区域之间的第一阶梯表面区域中的所述导电层的部分构成无源器件的至少部分；并且

形成所述导电层包括形成所述导电层中的至少一个或所述多个接触通孔结构中的至少一个。

18.如权利要求17所述的方法，其中：

所述无源器件包括电容器；

位于所述第一阶梯表面区域中的所述电绝缘层的子组构成所述电容器的组的节点电介质；并且

所述组中的每个电容器包括：

第一节点，所述第一节点包含各自的垂直相邻对的下层的导电层和从下层的导电层向上延伸并穿过所述电介质材料部分的各自的接触通孔结构；以及

第二节点，所述第二节点包含各自的垂直相邻对的上层的导电层和从上层的导电层向上延伸并穿过所述电介质材料部分的各自的接触通孔结构。

19.如权利要求18所述的方法，还包括：用导电材料部分替代所述第二材料层；

其中：

所述图案化堆叠体中的所述导电层包括所述导电材料部分的剩余部分；

在用所述导电材料部分替代第二材料层之后，在所述沟槽内形成所述电介质填充材料部分的组；

通过以下步骤，用所述导电材料部分替代所述第二材料层：

通过穿过所述沟槽中的一个或多个引入蚀刻剂而蚀刻所述第二材料层来形成侧向凹

Micron Ex. 1002, p. 368
Micron v. YMTC
IPR2024-00790

陷；

在所述侧向凹陷内沉积所述导电材料部分；以及

在所述电介质填充材料的组内，用一个或多个电介质填充材料部分来填充所述沟槽中的一个或多个。

20.如权利要求18所述的方法，还包括：

用各自的电介质填充材料部分的电介质材料填充所述沟槽中的每一个；

形成阶梯表面区域，所述阶梯表面区域中每个下层的第二材料层比其任意上层的第二材料层侧向地延伸得更远；

在所述阶梯表面区域之上形成电介质材料部分。

21.如权利要求20所述的方法，还包括：

穿过所述交替堆叠体形成支撑柱沟槽；

通过沉积第一电介质填充材料，在所述支撑柱沟槽内形成电介质柱结构；

穿过所述交替堆叠体形成侧向分隔沟槽；以及

通过沉积第二电介质填充材料，形成电介质沟槽填充结构，其中：

所述电介质填充材料部分的组包括所述电介质柱结构和所述电介质沟槽填充结构；

所述支撑柱沟槽沿着与所述阶梯表面区域内的阶梯表面相同的侧向方向侧向地延伸；并且

所述侧向分隔沟槽沿着与所述阶梯表面区域内的所述阶梯表面垂直的侧向方向侧向地延伸。

22.如权利要求20所述的方法，所述电介质材料部分是倒退阶梯电介质材料部分，其中所述电介质材料部分在水平平面处的水平截面积不小于所述电介质材料部分在更靠近所述基板的任何水平平面处的水平截面积。

23.如权利要求18所述的方法，其中：

所述电容器的组内的每个电容器包括两对垂直相邻导电层；

所述电容器的所述第一节点包含第一垂直相邻对的下层的导电层和第二垂直相邻对的导电层；

所述电容器的所述第二节点包含所述垂直相邻对的上层的导电层和所述第二垂直相邻对的另一的导电层。

24.如权利要求16所述的方法，其中所述无源器件包括电阻器。

25.如权利要求16所述的方法，其中：

在存储器器件区域形成所述多个存储器器件包括形成位于所述基板之上的单片三维存储器器件；并且

所述单片三维存储器器件包括：

存储器开口，所述存储器开口延伸穿过所述堆叠体；

存储器膜，所述存储器膜形成在所述存储器开口内；

半导体沟道，所述半导体沟道形成在所述存储器膜内。

26.如权利要求25所述的方法，其中：

所述无源器件是所述单片三维存储器器件的外围器件的部件；

所述单片三维存储器器件是垂直NAND存储器器件；

Micron Ex. 1002, p. 369
Micron v. YMTC
IPR2024-00790

所述导电层包括或电连接到所述垂直NAND存储器器件的各自的字线；

所述基板包括硅基板；

所述垂直NAND存储器器件包括所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的所述第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的所述第二器件级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括所述位于其上的所述存储器器件的驱动器电路；以及

所述NAND串的三维阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部实质上垂直于所述硅基板的顶表面延伸；

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的各自的一个相邻；以及

所多个控制栅电极，所述多个控制栅电极具有带形状，所述带形状实质上平行于所述硅基板的顶表面，所述多个控制栅电极至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

27.如权利要求25所述的方法，其中所述第一阶梯表面区域含有所述电绝缘层的第一部分和所述导电层的第一部分，并且所述第一阶梯区域位于所述堆叠体的第一侧上。

28.如权利要求27所述的方法，还包括在形成所述第一阶梯表面区域的同时形成第二阶梯表面区域，所述第二阶梯表面区域含有位于所述堆叠体的第二侧上的所述电绝缘层的第二部分和所述导电层的第二部分。

29.如权利要求28所述的方法，其中：

形成所述多个接触通孔结构包括形成多个无源器件接触通孔结构，所述多个无源器件接触通孔结构实质上垂直于所述基板的顶表面延伸到所述第一阶梯表面区域中的所述导电层的各自的第一部分，并且同时形成多个控制栅极接触通孔结构，所述多个控制栅极接触通孔结构实质上垂直于所述基板的顶表面延伸到所述第二阶梯表面区域中的所述导电层的各自的第二部分；

所述外围器件区域含有感测放大器；

所述第二阶梯表面区域包括字线阶梯表面区域；并且

所述导电层的第二部分包括多个控制栅电极，所述多个控制栅电极实质上平行于所述基板的顶表面延伸，并且所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

30.一种半导体器件，包括：

第一材料层和第二材料层的交替堆叠体，所述交替堆叠体位于基板之上；

至少一个柱结构，所述至少一个柱结构从包含所述交替堆叠体的顶表面的第一水平平面延伸穿过所述交替堆叠体的至少部分；

侧向地延伸的半导体或导电结构，所述侧向地延伸的半导体或导电结构接触所述至少一个柱结构的底表面；以及

接触通孔结构，所述接触通孔结构接触所述侧向地延伸的半导体或导电结构的顶表面并与所述至少一个柱结构侧向地间隔，

Micron Ex. 1002, p. 370
Micron v. YMTC
IPR2024-00790

其中：

所述至少一个柱结构中的每一个包括其中的至少一个掺杂半导体材料部分；并且

所述至少一个柱结构内的每个半导体材料部分具有相同的第二导电型的掺杂。

31.如权利要求30所述的半导体器件，其中所述接触通孔结构包括金属通孔结构，并且所述至少一个掺杂半导体材料部分包括原子浓度在$1.0\times10^{17}/cm^3$至$1.0\times10^{20}/cm^3$的范围内的相同的第二导电型的电掺杂剂。

32.如权利要求30所述的半导体器件，其中所述至少一个掺杂半导体材料部分包括掺杂多晶半导体材料部分，所述掺杂多晶半导体材料部分接触至少一个电绝缘材料的内表面。

33.如权利要求30所述的半导体结构，还包括：

存储器开口，所述存储器开口延伸穿过所述交替堆叠体；以及

存储器堆叠体结构，所述存储器堆叠体结构包括位于所述存储器开口内的存储器膜和位于所述存储器膜内的半导体沟道。

34.如权利要求33所述的半导体器件，其中：

所述至少一个柱结构包括电阻器的至少部分；

所述至少一个柱结构中的每一个包括位于至少一个掺杂半导体材料部分的各自的组的外侧壁上的至少两个电介质材料层的层堆叠体；

所述存储器膜和所述至少两个电介质材料层的层堆叠体包括电介质材料的相同组；并且

所述侧向地延伸的半导体或导电结构由位于所述基板中的至少一个单晶半导体材料部分的构成。

35.如权利要求34所述的半导体结构，其中：

所述至少一个掺杂半导体材料部分包括与所述半导体沟道相同的半导体材料，并且还包含相同的第二导电型的电掺杂剂；并且

所述半导体沟道是本征的或具有与第二导电型相反的第一导电型的掺杂。

36.如权利要求35所述的半导体结构，其中：

所述存储器堆叠体结构还包括漏极区域，所述漏极区域具有与所述至少一个掺杂半导体材料部分相同的第二导电型的掺杂；并且

所述至少一个掺杂半导体材料部分的第二掺杂半导体材料部分包括与漏极区域相同的半导体材料。

37.如权利要求34所述的半导体结构，其中：

所述存储器堆叠体结构还包括外延沟道部分；并且

所述至少一个掺杂半导体材料部分的外延所述外延掺杂半导体部分包括与所述外延沟道部分相同的半导体材料，并且还包含相同的第二导电型的电掺杂剂。

38.如权利要求34所述的半导体结构，其中：

所述第一材料层是电绝缘层；并且

所述第二材料层是导电层。

39.如权利要求34所述的半导体结构，其中：

所述第一材料层包括第一电绝缘材料；

Micron Ex. 1002, p. 371
Micron v. YMTC
IPR2024-00790

所述第二材料层包括第二电绝缘材料；并且

所述存储器堆叠体结构延伸穿过位于所述第二材料层的每级处的所述第一材料层和导电层的另一交替堆叠体。

40.如权利要求30所述的半导体结构，其中：

所述第一材料层包括电绝缘层；

所述第二材料层包括导电层；并且

所述侧向地延伸的半导体或导电结构包括所述导电层中的一个。

41.如权利要求40所述的半导体结构，其中所述至少一个柱结构中的每一个由各自的掺杂半导体材料部分构成。

42.如权利要求41所述的半导体结构，其中：

所述交替堆叠体包括阶梯表面区域，其中具有至少一个上层的导电层的每个导电层比任何上层的导电层侧向地延伸得更远；

倒退阶梯电介质材料部分覆于所述阶梯表面区域之上；并且

所述至少一个柱结构、所述侧向地延伸的半导体或导电结构以及所述接触通孔结构共同地构成电阻器结构。

43.如权利要求42所述的半导体结构，还包括额外电阻器结构，每个额外电阻器结构包括：

至少一个额外柱结构，所述至少一个额外柱结构从所述第一水平平面延伸到各自的导电层，所述各自的导电层定位为与所述侧向地延伸的半导体或导电结构不同的级处；

各自的导电层，所述各自的导电层接触所述至少一个额外柱结构的底表面；以及

额外接触通孔结构，所述额外接触通孔结构接触所述各自的导电层的顶表面。

44.如权利要求30所述的半导体结构，还包括位于所述基板之上的垂直NAND存储器器件，其中：

所述垂直NAND存储器器件包括存储器堆叠体结构，所述存储器堆叠体结构延伸穿过位于所述第一材料层中的每级处的电绝缘层和位于所述第二材料层中的每级处的导电层的交替堆叠体。

所述导电层包括或电连接到所述垂直NAND存储器器件的各自的字线；

所述基板包括硅基板；

所述垂直NAND存储器器件包括所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的所述第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的所述第二器件级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括位于其上的存储器器件的驱动器电路；并且

所述NAND串的三维阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部实质上垂直于所述硅基板的顶表面延伸；

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的各自的一个相邻；以及

所多个控制栅电极，所述多个控制栅电极具有带形状，所述带形状实质上平行于所述

Micron Ex. 1002, p. 372
Micron v. YMTC
IPR2024-00790

硅基板的顶表面，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

45.如权利要求44所述的半导体结构，其中所述至少一个柱结构包括电阻器的至少部分，所述电阻器的至少部分位于以下区域中的至少一个中：切口区域、外围器件区域和存储器器件区域之间的第一阶梯表面区域、包括所述切口区域和所述外围器件区域之间的阶梯轨迹的第二阶梯表面区域、包括含有字线接触通孔结构的字线接触区域的第三阶梯表面区域。

46.一种形成至少一个电阻器结构的方法，包括：

在基板之上形成第一材料层和第二材料层的交替堆叠体；

形成从包括所述交替堆叠体的顶表面的第一水平平面到侧向地延伸的半导体或导电结构的至少一个垂直地延伸的腔，其中所述侧向地延伸的半导体或导电结构的顶表面的物理地暴露的部分存在于位于所述第一水平平面之下的所述交替堆叠体中的第二水平平面内；

形成电阻器，所述电阻器包括所述至少一个垂直地延伸的腔中的每一个内的柱结构，其中每个柱结构包括至少一个掺杂的半导体材料部分，并且其中所述柱结构内的每个半导体材料具有相同的第二导电型的掺杂；以及

形成接触通孔结构，所述接触通孔结构与所述侧向地延伸的半导体或导电结构的顶表面的另一部分接触。

47.如权利要求46所述的方法，其中：

所通过金属材料的沉积形成所述接触通孔结构；并且

所述至少一个掺杂半导体材料部分包括掺杂多晶半导体材料部分，所述掺杂多晶半导体材料部分直接形成在至少一个电绝缘材料的内表面上。

48.如权利要求46所述的方法，还包括：

形成延伸穿过所述交替堆叠体的存储器开口；

形成位于所述存储器开口内的存储器膜；以及

形成所述存储器膜上的半导体沟道。

49.如权利要求48所述的方法，其中：

所通过本征半导体材料或具有与所述相同导电型相反的第一导电型的掺杂半导体材料的沉积，形成所述垂直地延伸的半导体材料部分和所述半导体沟道；并且

所述至少一个第一掺杂半导体材料部分的第一掺杂半导体材料部通过以下形成：

在形成所述半导体沟道的同时，在每个垂直延伸的腔中沉积垂直地延伸的半导体材料部分形成；以及

将相同的第二导电型的电掺杂剂植入到所述垂直地延伸的半导体材料部分中，同时防止将所述相同的第二导电型的电掺杂剂植入到所述半导体沟道中。

50.如权利要求49所述的方法，还包括：

在所述半导体沟道上形成具有相同的第二导电型的掺杂的漏极区域；

在形成所述漏极区域的同时，在每个垂直地延伸的半导体材料部分上形成第二掺杂半导体材料部分；

在所述基板上形成外延沟道部分，其中所述半导体沟道形成在所述外延沟道部分上；

Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2024-00790

并且

在每个垂直地延伸的腔的底部处形成外延掺杂半导体部分，所述外延掺杂半导体部分包括与所述外延沟道部分相同的半导体材料。

51.如权利要求48所述的方法，其中所述侧向地延伸的半导体或导电结构由位于所述基板中的至少一个单晶半导体材料部分构成。

52.如权利要求48所述的方法，还包括在包含所述存储器开口的存储器器件区域内用导电层替代所述第二材料层，其中：

所述第一材料层是电绝缘层；并且

所述第二材料层包括电介质材料，并且在包含所述至少一个垂直地延伸的腔的区域内不被移除。

53.如权利要求48所述的方法，还包括用导电层替代所述第二材料层，其中所述第一材料层是电绝缘层。

54.如权利要求53所述的方法，其中所述侧向地延伸的半导体或导电结构包括所述导电层中的一个。

55.如权利要求54所述的方法，其中所述柱结构中的每一个由各自的掺杂半导体材料部分构成，所述各自的掺杂半导体材料部分沉积在所述侧向地延伸的半导体或导电结构上形成的各自的垂直地延伸的腔内。

56.如权利要求55所述的方法，还包括：

形成阶梯表面区域，其中具有至少一个上层的导电层的每个导电层比任意上层的导电层侧向地延伸得更远；并且

形成倒退阶梯电介质材料部分所述阶梯表面区域。

57.如权利要求56所述的方法，其中：

所述柱结构、所述侧向地延伸的半导体或导电结构以及所述接触通孔结构共同地构成电阻器结构；并且

所述方法还包括与形成所述电阻器结构同时形成额外电阻器结构，每个额外电阻器结构包括：

至少一个额外柱结构，所述至少一个额外柱结构从所述第一水平平面延伸到定位为与所述侧向地延伸的半导体或导电结构不同的级的各自的导电层；

各自的导电层，所述各自的导电层接触各自的额外柱结构的底表面；以及

额外接触通孔结构，所述额外接触通孔结构接触所述各自的导电层的顶表面。

58.如权利要求46所述的方法，还包括形成所述基板之上的垂直NAND存储器器件，其中：

所述垂直NAND存储器器件包括存储器堆叠体结构，所述存储器堆叠体结构延伸穿过位于所述第一材料层中的每一级处的电绝缘层和位于第二材料层中的每一级处的导电层的交替堆叠体；

所述导电层包括或电连接到所述垂直NAND存储器器件的各自的字线；

所述基板包括硅基板；

所述垂直NAND存储器器件包括所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的所述第一器件级中的至少一个存储器单元位于所述NAND串

Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2024-00790

的三维阵列的所述第二器件级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括位于其上的所述存储器器件的驱动器电路；并且

所述NAND串的三维阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部实质上垂直于所述硅基板的顶表面延伸；

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的各自的一个相邻；以及

多个控制栅电极，所述多个控制栅电极具有带形状，所述带形状实质上平行于所述硅基板的顶表面，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2024-00790

与三维存储器器件集成的无源器件

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年6月15日提交的申请号为14/739,284和2015年6月15日提交的申请号为14/739,354的美国非临时申请的优先权,前述申请的全部内容通过引用并入本文。

技术领域

[0003] 本公开总体上涉及半导体器件的领域,并且具体涉及与三维存储器器件兼容的无源器件及其制造方法。

背景技术

[0004] 无源器件是指提供具有或不具有与正弦电输入成线性比例的相位变化的输出的器件。无源器件不具有打开或关闭输出的能力。无源器件包含例如电阻器、电容器和电感器。除了诸如晶体管的有源器件之外,半导体电路常规地使用无源器件。

发明内容

[0005] 根据本公开的一个方面,提供了一种三维存储器器件,包括含有多个非易失性存储器器件的存储器器件区域,含有有源驱动器电路器件的外围器件区域以及外围器件区域和存储器器件区域之间的第一阶梯表面区域,其含有多个无源驱动器电路器件。根据本公开的另一个方面,提供了一种包括电容器的组的器件,所述器件包括交替层的堆叠体,交替层包含位于基板之上的电绝缘层和导电层,其中每个下层的导电层位于堆叠体内,并且具有至少一个上层的导电层,上层的导电层比下层的导电层侧向地延伸得更远,以形成堆叠体的侧上的阶梯表面区域,以及电介质材料部分,电介质材料部分位于堆叠体的阶梯表面区域之上,其中在电介质材料部分和堆叠体之间的界面包含水平表面和垂直表面的连续组,以提供阶梯表面区域。器件还包括位于沟槽内的电介质填充材料部分的组,沟槽垂直地延伸穿过交替层的堆叠体,并且侧向地在阶梯表面区域中接触交替层的堆叠体的侧壁,以及多个接触通孔结构,其与交替层的堆叠体内的各自的导电层接触。导电层构成电容器的组的导电部件,并且电绝缘层的子组构成电容器的组的节点电介质,组中的每个电容器包括第一节点以及第二节点,第一节点含有各自的垂直相邻对的下层的导电层和从下层的导电层向上延伸并穿过电介质材料部分的各自的接触通孔结构,第二节点含有各自的垂直相邻对的上层的导电层和从上层的导电层向上延伸并穿过电介质材料部分的各自的接触通孔结构。

[0006] 根据本公开的另一个方面,一种形成存储器器件的方法包括:在存储器器件区域中形成多个存储器器件;在存储器器件区域外侧形成多个无源器件;以及在一个沉积步骤中形成导电层,使得导电层的第一部分包括无源器件中的至少一个的部分,并且导电层的第二部分形成至少一个存储器器件的部分。

[0007] 根据本公开的另一个方面,提供了一种半导体器件,包括:位于基板之上的第一材

Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2024-00790

料层和第二材料层的交替堆叠体，至少一个柱结构，其从含有交替堆叠体的顶表面的第一水平平面延伸穿过交替堆叠体的至少一部分，侧向地延伸的半导体或导电结构，其接触至少一个柱结构的底表面，以及接触通孔结构，其接触侧向地延伸的半导体或导电结构的顶表面并与至少一个柱结构侧向地间隔开。至少一个柱结构中的每一个包括其中的至少一个掺杂半导体材料部分，并且至少一个柱结构内的每个半导体材料部分具有相同的第二导电型的掺杂。

[0008] 根据本公开的另一个方面，一种形成至少一个电阻器结构的方法，包括：形成基板之上的第一材料层和第二材料层的交替堆叠体，并且从包含交替堆叠体的顶表面的第一水平平面到侧向地延伸的半导体或导电结构形成至少一个垂直地延伸的腔。侧向地延伸的半导体或导电结构的顶表面的物理地暴露的部分存在于位于第一水平平面之下的交替堆叠体中的第二水平平面内。该方法还包括在至少一个垂直地延伸的腔中的每一个内形成包括柱结构的电阻器，其中每个柱结构包括至少一个掺杂半导体材料部分，并且其中柱结构内的每个半导体材料具有相同的第二导电型的掺杂，以及形成接触通孔结构，其与侧向地延伸的半导体或导电结构的顶表面的另一部分接触。

附图说明

[0009] 图1是根据本公开的第一实施例的在形成交替的多个第一材料层和第二材料层的堆叠体之后的第一示例性结构的垂直截面图。

[0010] 图2是根据本公开的第一实施例的在形成存储堆叠体结构和绝缘盖层之后的第一示例性结构的垂直截面图。

[0011] 图3是根据本公开的第一实施例的在形成可选的电介质材料部分之后的第一示例性结构的垂直截面图。

[0012] 图4是根据本公开的第一实施例的在形成阶梯表面期间的第一示例性结构的垂直截面图。

[0013] 图5A是根据本公开的第一实施例的在形成阶梯表面之后的第一示例性结构的垂直截面图。

[0014] 图5B是图5A的第一示例性结构的俯视图。

[0015] 图6A是根据本公开的第一实施例的在形成倒退阶梯电介质材料部分和电介质柱结构之后的第一示例性结构的垂直截面图。

[0016] 图6B是图6A中的第一示例性结构沿着水平平面B-B'的水平截面图。

[0017] 图7A是根据本公开的第一实施例的在形成背侧接触沟槽之后的第一示例性结构的垂直截面图。

[0018] 图7B是图7A中的第一示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图7A的垂直截面图的平面。

[0019] 图7C是图8B的第一示例性结构沿着垂直平面C-C'的垂直截面图。

[0020] 图7D是图7A-7C的第一示例性结构的俯视图。

[0021] 图8A是根据本公开的第一实施例的在形成侧向凹陷之后的第一示例性结构的垂直截面图。

[0022] 图8B是图8A的第一示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图8A

Micron Ex. 1002, p. 377
Micron v. YMTC
IPR2024-00790

的垂直截面图的平面。

[0023] 图8C是图7B的第一示例性结构沿着垂直平面C-C'的垂直截面图。

[0024] 图9A是根据本公开的第一实施例的在形成导电层之后的第一示例性结构的垂直截面图。

[0025] 图9B是图9A的第一示例性结构沿着水平平面B-B'的水平截面图。垂直平面A-A'是图9A的垂直截面图的平面。

[0026] 图10A是根据本公开的第一实施例的在从沟槽中移除金属材料之后的第一示例性结构的垂直截面图。

[0027] 图10B是图10A的第一示例性结构沿着平面B-B'的水平截面。垂直平面A-A'是图10A的垂直截面图的平面。

[0028] 图11A是根据本公开的第一实施例的在形成电介质填充材料部分和背侧接触通孔结构之后的第一示例性结构的垂直截面图。

[0029] 图11B是图11A的第一示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图11A的垂直截面图的平面。

[0030] 图12A是根据本公开的第一实施例的在形成电容器板接触通孔结构和漏极接触通孔结构之后的第一示例性结构的垂直截面图。

[0031] 图12B是图12A的第一示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图12A的垂直截面图的平面。

[0032] 图12C是图12B的第一示例性结构沿着垂直平面C-C'的垂直截面图。

[0033] 图12D是图12A-12C的第一示例性结构的俯视图。

[0034] 图13A是根据本公开的第一实施例的在形成线级电介质材料层和互连线结构之后的第一示例性结构的俯视图。

[0035] 图13B是图13A的第一示例性结构沿着垂直平面B-B'的垂直截面图。

[0036] 图13C是图13A的第一示例性结构沿着垂直平面C-C'的垂直截面图。

[0037] 图13D是图13A的第一示例性结构沿着垂直平面D-D'的垂直截面图。

[0038] 图13E是图13A的第一示例性结构沿着垂直平面E-E'的垂直截面图。

[0039] 图14A和14X是本发明的实施例的器件的示意俯视图。图14B、14E、14H、14K、14N、14Q和14T是在图14X的器件的制造步骤期间的可替代示例性结构的俯视图。图14C、14F、14I、14L、14O、14R和14U是沿着图14B、14E、14H、14K、14N、14Q以及14T中的各自的线C-C'、F-F'、I-I'、L-L'、O-O'、R-R'和U-U'的垂直截面图。图14D、14G、14J、14M、14P、14S 14V分别是沿着图14B、14E、14H、14K、14N、14Q以及14T中各自的线D-D'、G-G'、J-J'、M-M'、P-P'、S-S'和V-V'的垂直截面图。

[0040] 图14W是产生的电容器，其包含由绝缘层分开的相邻电极板和到电极板的各自的电接触体(例如，电容器接触通孔结构)。

[0041] 图14Y和14Z是本发明的实施例的电容器互连方案的示意俯视图。

[0042] 图15A是根据本公开的第二实施例的在形成掺杂半导体阱和可选掺杂接触区域之后的第二示例性结构的垂直截面图。

[0043] 图15B是根据本公开的第二实施例的在形成第一材料层和第二材料层的交替堆叠体之后的第二示例性结构的垂直截面图。

Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2024-00790

[0044] 图16是根据本公开的第二实施例的在形成存储器开口和垂直地延伸的腔之后的第二示例性结构的垂直截面图。

[0045] 图17是根据本公开的第二实施例的在形成存储器堆叠体结构和柱结构之后的第二示例性结构的垂直截面图。

[0046] 图18是根据本公开的第二实施例的将第二导电型的掺杂剂植入到柱结构中之后的第二示例性结构的垂直截面图。

[0047] 图19是根据本公开的第二实施例的在形成可选的绝缘盖层之后的第二示例性结构的垂直截面图。

[0048] 图20是根据本公开的第二实施例的在形成电阻器接触沟槽之后的第二示例性结构的垂直截面图。

[0049] 图21是根据本公开的第二实施例的在形成绝缘间隔体和基板接触通孔结构之后的第二示例性结构的垂直截面图。

[0050] 图22是根据本公开的第二实施例的在形成漏极接触通孔结构、柱接触通孔结构以及互连线结构之后的第二示例性结构的垂直截面图。

[0051] 图23是根据本公开的第二实施例的第二示例性结构的可替代实施例的垂直截面图。

[0052] 图24是根据本公开的第三实施例的在保留第二材料层的第二部分完好的同时用导电层替代第二材料层的第一部分之后的第三示例性结构的垂直截面图。

[0053] 图25是根据本公开的第三实施例的在形成漏极接触通孔结构、柱接触通线结构之后的第三示例性结构的垂直截面图。

[0054] 图26是根据本公开的第三实施例的在形成电阻器接触沟槽之后的第三示例性结构的垂直截面图。

[0055] 图27是根据本公开的第三实施例的在形成基板接触通孔结构之后的第三示例性结构的垂直截面图。

[0056] 图28是根据本公开的第四实施例的在形成电介质材料层之后的第四示例性结构的垂直截面图。

[0057] 图29A是根据本公开的第四实施例的在形成背侧接触沟槽之后的第四示例性结构的垂直截面图。

[0058] 图29B是图29A的第四示例性结构沿着水平平面B-B'的水平截面图。垂直平面A-A'是图29A的垂直截面图的平面。

[0059] 图29C是图29B的第一示例性结构沿着垂直平面C-C'的垂直截面图。

[0060] 图29D是图29A-29C的第一示例性结构的俯视图。

[0061] 图30A是根据本公开的第四实施例的在形成导电层之后的第四示例性结构的垂直截面图。

[0062] 图30B是图30A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图30A的垂直截面图的平面。

[0063] 图31A是根据本公开的第四实施例的在从沟槽移除金属材料之后的第四示例性结构的垂直截面图。

[0064] 图31B是图31A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图

Micron Ex. 1002, p. 379
Micron v. YMTC
IPR2024-00790

31A的垂直截面图的平面。

[0065] 图32A是根据本公开的第四实施例的在形成背侧绝缘间隔体和背侧接触通孔结构之后的第四示例性结构的垂直截面图。

[0066] 图32B是图32A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图32A的垂直截面图的平面。

[0067] 图33A是根据本公开的第四实施例的在形成基板接触通孔结构和漏极接触通孔结构之后的第四示例性结构的垂直截面图。

[0068] 图33B是图33A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图33A的垂直截面图的平面。

[0069] 图33C是图33B的第四示例性结构沿着垂直平面C-C'的垂直截面图。

[0070] 图33D是图33A-33C的第四示例性结构的俯视图。

[0071] 图34A是根据本公开的第四实施例的在形成垂直地延伸的腔之后的第四示例性结构的垂直截面图。

[0072] 图34B是图34A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图34A的垂直截面图的平面。

[0073] 图34C是图34B的第四示例性结构沿着垂直平面C-C'的垂直截面图。

[0074] 图34D是图34A-34C的第四示例性结构的俯视图。

[0075] 图35A是根据本公开的第四实施例的在形成电阻器柱结构之后的第四示例性结构的垂直截面图。

[0076] 图35B是图35A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图35A的垂直截面图的平面。

[0077] 图35C是图35B的第四示例性结构沿着垂直平面C-C'的垂直截面图。

[0078] 图35D是图35A-35C的第四示例性结构的俯视图。

[0079] 图36A是根据本公开的第四实施例的在形成互连线结构之后的第四示例性结构的垂直截面图。

[0080] 图36B是图36A的第四示例性结构沿着平面B-B'的水平截面图。垂直平面A-A'是图36A的垂直截面图的平面。

[0081] 图36C是图36B的第四示例性结构沿着垂直平面C-C'的垂直截面图。

[0082] 图36D是图36A-36C的第四示例性结构的俯视图。

[0083] 图37是本发明的实施例的器件的示意俯视图。

具体实施方式

[0084] 如上述所讨论的，本公开针对与三维存储器器件兼容的无源器件及其制造方法，下面描述了其各种方面。本公开的实施例可以被应用以形成包含器件结构的各种结构，其非限制性示例包含可以形成在与额外的半导体器件(例如包括多个NAND存储器串的三维单片存储器阵列)同一基板上的电容器和/或电阻器。附图没有按比例绘制。在元件的单个实例被示出的情况下，可以复制元件的多个实例，除非明确地描述元件的复制的缺失或清楚地另有指明。诸如“第一”、“第二”和“第三”的序数仅用来标识相似的元件，并且可以在本公开的说明书和权利要求中应用不同的序数。如本文所使用的，第一元件位于第二元件“上”

Micron Ex. 1002, p. 380
Micron v. YMTC
IPR2024-00790

可以位于第二元件的表面的外侧上或第二元件的内侧上。如本文所使用的，如果在第一元件的表面和第二元件的表面之间存在物理接触，则第一元件“直接”位于第二元件“上”。

[0085] 如本文所使用的，“层”是指含有具有实质上均匀厚度的区域的材料部分。层可以在下层的或上层的整个结构之上延伸，或者可以具有小于下层的或上层的结构的范围的范围。此外，层可以是均匀或不均匀的连续结构的区域，其具有小于连续结构的厚度的厚度。例如，层可以位于连续结构的顶表面和底表面之间或顶表面和底表面处的任意对水平平面之间。当平面平行于基板的顶表面的平坦部分时，平面是水平的。然而，应当理解，基板可以相对于重力方向以任何角度定位，并且术语“水平”并不意味着水平方向必须垂直于重力方向。层可以水平地、垂直地和/或沿着渐缩表面延伸。基板可以是层，可以包含其中的一层或多层，和/或可以具有其上面、上方和/或下方的一层或多层。

[0086] 单片三维存储器阵列中在单个基板(例如半导体晶片)上方形成多个存储器级，没有中间基板。术语“单片”意味着阵列的每个级的层直接沉积在阵列的每个下层的级的层上。相比之下，可以分开形成二维阵列，然后封装在一起，以形成非单片存储器器件。例如，如在专利号为5,915,167、题为“Three Dimensional Structure Memory”的美国专利中所描述的，通过在分开的基板上形成存储器级并将存储器级垂直地堆叠来构造非单片堆叠体存储器。在粘合之前，基板可能被减薄或从存储器级移除，但是由于存储器级最初形成在分开的基板之上，这样的存储器不是真正的单片三维存储器阵列。本公开的各种三维存储器器件包括单片三维NAND串存储器器件，并且可以使用本文描述的各种实施例来制造。

[0087] 参考图1，示出了根据本公开的第一实施例的第一示例性结构，其可以用于例如制造含有垂直NAND存储器器件的器件结构。第一示例性结构包括基板，其可以是半导体基板。基板可以包含半导体材料层10。半导体材料层10可以包含至少一种单质半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。基板可以具有主表面7，其可以是例如半导体材料层10的最顶表面。主表面7可以是半导体表面。在一个实施例中，主表面7可以是单晶半导体表面。

[0088] 如本文所使用的，“半导体材料”是指具有1.0×10^{-6}S/cm至1.0×10^{5}S/cm的电导率的材料，并且在用电掺杂剂适当掺杂时能够产生具有电阻率在1.0S/cm至1.0×10^{5}S/cm的范围内的掺杂材料。如本文所使用的，“电掺杂剂”是指对能带结构内的价带添加空穴的p型掺杂剂，或对能带结构内的导带添加电子的n型掺杂剂。如本文所使用的，“导电材料”是指具有大于1.0×10^{5}S/cm的电导率的材料。如本文所使用的，“绝缘体材料”或“电介质材料”是指具有小于1.0×10^{-6}S/cm的电导率的材料。电导率的所有测量都在标准条件下进行。可选地，可以在半导体材料层10内形成至少一个掺杂阱(未明确示出)。

[0089] 可以在半导体材料层10的部分上形成用于外围电路的至少一个半导体器件(未示出)。其中用于外围电路的至少一个半导体器件的区域本文中称为外围器件区域。至少一个半导体器件可以包括例如场效应晶体管。用于外围电路的至少一个半导体器件可以含有要后续形成的存储器器件的驱动器电路，其可以包含至少一个NAND器件。

[0090] 可选地，可以在半导体材料层10上方形成电介质垫层12。电介质垫层12可以是例如硅氧化物层。电介质垫层12的厚度可以在3nm到30nm的范围内，尽管也可以使用更小和更大的厚度。可以可选地形成电介质盖层31。电介质盖层31包含电介质材料如硅氧化物、电介

Micron Ex. 1002, p. 381
Micron v. YMTC
IPR2024-00790

质金属氧化物以及硅氮化物(在要后续形成的第二材料层的材料不是硅氮化物的情况下)。

[0091] 在基板的顶表面(其可以例如在电介质盖层31的顶表面上)之上形成交替的多个第一材料层(其可以是绝缘体层32)和第二材料层(其可以是牺牲材料层42)的堆叠体。如本文所使用的,交替的多个第一元件和第二元件是指其中第一元件和第二元件的实例的交替的结构。第一元件中的不是交替的多个中的端部元件的每一个实例在两侧上毗邻第二元件的两个实例,并且第二元件中的不是交替的多个中的端部元件的每一个实例都在两端上毗邻第一元件的两个实例。第一元件可以具有之间相同的厚度,或者可以具有不同的厚度。第二元件可以具有之间相同的厚度,或者可以具有不同的厚度。交替的多个第一材料层和第二材料层可以开始于第一材料层的实例或第二材料层的实例,并且可以结束语第一材料层的实例或第二材料层的实例。在一个实施例中,第一元件的实例和第二元件的实例可以形成单元,其交替的多个内周期性重复。

[0092] 每个第一材料层含有第一材料,并且每个第二材料层含有不同于第一材料的第二材料。在一个实施例中,每个第一材料层可以是绝缘体层32,并且每个第二材料层可以是牺牲材料层42。在这种情况下,堆叠体可以包含交替的多个绝缘体层32和牺牲材料层42。

[0093] 交替的多个的堆叠体本文中称为交替堆叠体(32,42)。在一个实施例中,交替堆叠体(32,42)可以包含由第一材料构成的绝缘体层32和由与绝缘体层32的材料不同的第二材料构成的牺牲材料层42。绝缘体层32的第一材料可以是至少一种电绝缘材料。这样,每个绝缘体层32可以是电绝缘材料层。可用于绝缘体层32的绝缘材料含有但不限于硅氧化物(包含掺杂或未掺杂的硅酸盐玻璃)、硅氮化物、硅氮氧化物、有机硅酸盐玻璃(OSG)、旋涂电介质材料、通常已知为高电介质常数(高k)电介质氧化物(例如铝氧化物、铪氧化物等)的电介质金属氧化物及其硅酸盐、电介质金属氮氧化物及其硅酸盐,以及有机绝缘材料。在一个实施例中,绝缘体层32的第一材料可以是硅氧化物。

[0094] 牺牲材料层42的第二材料是可以对于绝缘体层32的第一材料有选择性地移除的牺牲材料。如本文所使用的,如果移除工艺以第二材料的移除速率的至少两倍的速率移除第一材料,则第一材料的移除对于第二材料是“有选择性”的。第一材料的移除速率与第二材料的移除速率的比例在本文中被称为相对于第二材料的第一材料的移除工艺的“选择性”。

[0095] 牺牲材料层42可以包括电绝缘材料、半导体材料或导电材料。牺牲材料层42的第二材料可以后续被导电电极代替,导电电极可以用作例如垂直NAND器件的控制栅电极。第二材料的非限制性实例包括硅氮化物、非晶半导体材料(例如非晶硅)以及多晶半导体材料(例如多晶硅)。在一个实施例中,牺牲材料层42可以是包括硅氮化物的或包含硅和锗中的至少一种的半导体材料的材料层。

[0096] 在一个实施例中,绝缘体层32可以包含硅氧化物,并且牺牲材料层可以包含硅氮化物牺牲材料层。绝缘体层32的第一材料可以例如通过化学气相沉积(CVD)来沉积。例如,如果硅氧化物用于绝缘体层32,则原硅酸四乙酯(TEOS)可用作CVD工艺的前驱体材料。牺牲材料层42的第二材料可以例如通过CVD或原子层沉积(ALD)来形成。

[0097] 牺牲材料层42可以被适当地图案化,使得要后续通过替代牺牲材料层42形成的导电材料部分可以用作导电电极,诸如要后续形成的单片三维NAND串存储器器件的控制栅电极。牺牲材料层42可以包括具有带形状的部分,其基本平行于基板的主表面7延伸。

Micron Ex. 1002, p. 382
Micron v. YMTC
IPR2024-00790

[0098] 绝缘体层32和牺牲材料层42的厚度可以在20nm至50nm的范围内，尽管对于每个绝缘体层32和每个牺牲材料层42可以应用更小和更大的厚度。绝缘体层32和牺牲材料层(例如，控制栅电极或牺牲材料层)42的对的重复次数可以在2至1024，并且通常在8至256的范围内，尽管也可以使用更多的重复次数。堆叠体中的顶部和底部栅电极可以用作选择栅电极。在一个实施例中，交替堆叠体(32,42)中的每个牺牲材料层42可以具有在每个各自的牺牲材料层42内实质上不变的均匀厚度。第一示例性结构可以包含其中可以后续形成存储器器件阵列的存储器器件区域100，以及其中可以后续形成至少一个无源器件的电容器区域400。

[0099] 参考图2，可以在交替堆叠体(32,42)之上形成至少包含光致抗蚀剂层的光刻材料堆叠体(未示出)，并且可以光刻图案化以在其中形成开口。光刻材料堆叠体中的图案可以通过使用图案化光刻材料堆叠体作为蚀刻掩模的至少一个各向异性蚀刻来转印穿过整个交替堆叠体(32,42)。在图案化的光刻材料堆叠体中的开口下层的交替堆叠体(32,42)的部分被蚀刻以形成存储器开口。换句话说，图案化光刻材料堆叠体中的图案穿过交替堆叠体(32,42)的转印形成延伸穿过交替堆叠体(32,42)的存储器开口。可以交替用于蚀刻穿过交替堆叠体(32,42)的材料的各向异性蚀刻工艺的化学过程，以优化在交替堆叠体(32,42)中的第一和第二材料的蚀刻。各向异性蚀刻可以是例如一系列反应离子蚀刻。可选地，电介质盖层31可以用作交替堆叠体(32,42)和基板之间的蚀刻终止层。存储器开口的侧壁可以是实质上垂直的，或可以是渐缩的。图案化的光刻材料堆叠体可以后续被移除，例如通过灰化。存储器开口可以形成在存储器器件区域100中。

[0100] 通过电介质盖层31和电介质垫层12来形成存储器开口，使得存储器开口从交替堆叠体(32,42)的顶表面延伸到半导体材料层10的顶表面。在一个实施例中，在半导体材料层10的顶表面物理地暴露在每个存储器开口的底部之后，可以可选地执行进入到半导体材料层10中的过度蚀刻。可以在移除光刻材料堆叠体之前或之后执行过蚀刻。换句话说，半导体材料层10的凹陷表面可以从半导体材料层10的未加工的顶表面垂直偏移凹陷深度。凹陷深度可以例如在1nm到50nm的范围内，尽管也可以使用更小和更大的凹陷深度。过度蚀刻是可选的，并且可以省略。如果不进行过度蚀刻，则每个存储器开口的底表面可以与半导体材料层10的最顶表面共平面。存储器开口中的每一个可以包含实质上垂直于基板的最顶表面延伸的侧壁(或多个侧壁)。其中形成存储器开口阵列的区域在本文中称为器件区域。

[0101] 存储器堆叠体结构55可以穿过交替堆叠体(32,42)形成在每个存储器开口内。可以例如通过选择性地沉积本征的或具有与半导体材料层10相同的导电型的掺杂的半导体材料，以在每个存储器开口的底部形成可选的外延沟道部分66，来形成存储器堆叠体55。可替代地，部分66可以被省略或被层10中的沟槽替代。存储器膜层通过一系列共形沉积工艺沉积在交替堆叠体(32,42)之上的存储器开口中。存储器膜层可以是叠盖整个交替堆叠体(31,42)的连续材料层的堆叠体。存储器膜层接触存储器开口的所有(一个或多个)侧壁表面和所有(一个或多个)底表面。存储器膜层是连续的膜叠层，其在没有外部电偏压的情况下提供电荷储存的功能，同时在存在合适的外部电偏压的情况下实现电荷转移。

[0102] 在一个实施例中，存储器膜层可以是堆叠体，其按照形成顺序为阻挡电介质层、电荷储存层以及隧道电介质层。在一个实施例中，多个浮置栅极或电荷储存电介质可位于隧道电介质层和阻挡电介质层之间。

Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2024-00790

[0103] 阻挡电介质层接触存储器开口的侧壁。具体地，阻挡电介质层可以与牺牲层42的侧壁接触。阻挡电介质层可以包含一个或多个电介质材料层，其可以用作要后续形成的控制栅电极的控制栅极电介质。阻挡电介质层可以包含硅氧化物、电介质金属氧化物、电介质金属氮氧化物或其组合。在一个实施例中，阻挡介质层可以包含至少一个硅氧化物层和至少一个电介质金属氧化物层的堆叠体。阻挡电介质层可以通过诸如化学气相沉积(CVD)和/或原子层沉积(ALD)的共形沉积工艺形成，和/或通过共形材料层(例如非晶硅层)的沉积和后续将共形材料层转化为电介质材料层(例如硅氧化物层)形成。阻挡电介质层12的厚度可以在6nm到24nm的范围内，尽管也可以使用更小和更大的厚度。可替代地，阻挡电介质层可以从存储器开口中省略，而是在穿过背侧接触沟槽形成金属控制栅电极之前，穿过通过移除牺牲层42形成的凹陷中的背侧接触沟槽形成。

[0104] 电荷储存层包含电介质电荷捕获材料，其可以是例如硅氮化物，或诸如掺杂多晶硅或金属材料的导电材料。在一个实施例中，电荷储存层包含硅氮化物。电荷储存层可以形成为均质成分的单个电荷储存层，或者可以包含多个电荷储存材料层的堆叠体。如果使用多个电荷储存材料层，其可以包括多个间隔开的浮置栅极材料层，其包含导电材料(例如，诸如钨、钼、钽、钛、铂、钌的金属及其合金，或者诸如钨硅化物、钼硅化物、钽硅化物、钛硅化物、镍硅化物、钴硅化物的金属硅化物或其组合)和/或半导体材料(例如，包含至少一种单质半导体元件或至少一种化合物半导体材料的多晶或非晶半导体材料)。可替代地或附加地，电荷储存层可以包括绝缘电荷捕获材料，例如一个或多个硅氮化物段。可替代地，电荷储存层可以包括诸如金属纳米颗粒的导电纳米颗粒，其可以是例如钌纳米颗粒。电荷储存层可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、物理气相沉积(PVD)或对于电荷储存层的所选的(一个或多个)材料的任何合适的沉积技术形成。电荷储存层的厚度可以在2nm到20nm的范围内，尽管也可以使用更小和更大的厚度。

[0105] 隧道电介质层包含电介质材料，穿过电介质材料可以在合适的电偏压条件下执行电荷隧穿。可以根据要形成的单片三维NAND串存储器器件的操作模式，通过热载流子注入或通过Fowler-Nordheim隧穿诱导的电荷转移进行电荷隧穿。隧道电介质层可以包含硅氧化物、硅氮化物、氧硅氮化物、电介质金属氧化物(例如铝氧化物和铪氧化物)、电介质金属氮氧化物、电介质金属硅酸盐、其合金和/或其组合。在一个实施例中，隧道电介质层可以包含第一硅氧化物层、硅氮氧化物层和第二硅氧化物层的堆叠体，其通常称为ONO堆叠体。在一个实施例中，隧道电介质层可以包含实质上不含碳的硅氧化物层或实质上不含碳的硅氮氧化物层。隧道电介质层的厚度可以在2nm至20nm的范围内，尽管也可以使用更小和更大的厚度。

[0106] 可选地，可以在存储器膜层上形成永久沟道材料层(例如多晶硅层)和/或牺牲层(例如电介质材料层)。存储器膜层(以及诸如永久沟道材料层或牺牲层的任何额外层)可被各向异性地蚀刻，使得存储器膜层(和任何额外层)的水平部分被从交替堆叠体(32,42)的顶表面上方和每个存储器开口的底部移除。在各向异性蚀刻之后保留在存储器开口内的存储器膜层的每个剩余垂直部分构成存储器膜50。每个存储器膜50可以与环面同构。如本文所使用的，如果元件的形状可以在不产生或破坏任何孔的情况下通过连续变形而映射到几何形状，则元件与几何形状是同构的。如果电极位于存储器开口之下，则电极的顶表面可以物理地暴露在由上层的存储器膜50的内侧壁限定的腔内。

Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2024-00790

[0107] 在一个实施例中，第一半导体沟道层可以通过诸如化学气相沉积(CVD)的共形沉积方法作为永久沟道材料层直接沉积在隧道电介质层的表面上。可以各向异性蚀刻第一半导体沟道层和存储器膜，以在每个存储器开口的底部形成开口。基板半导体层10的顶表面物理地暴露在每个存储器开口的底部。存储器开口内的第一半导体沟道层的每个剩余部分构成第一半导体沟道部分601。

[0108] 在每个存储器开口内形成存储器膜50和第一半导体沟道部分601之后，第二半导体沟道层可被沉积在第一半导体沟道部分601的侧壁上、存储器开口内的基板半导体层10的物理地暴露的表面上以及在交替堆叠体(32,42)之上。第二半导体沟道层的半导体材料可以包含掺杂多晶半导体材料(例如掺杂多晶硅)，或者可以包含掺杂非晶半导体材料(例如非晶硅)，其可以后续在提高的温度下进行合适的退火后被转化为掺杂多晶半导体材料。

[0109] 可选地，电介质芯62可以形成在每个半导体沟道60内侧的腔内，例如通过沉积诸如硅氧化物的电介质材料，和电介质材料的后续平坦化。电介质材料的平坦化从包含交替堆叠体(32,42)的最顶层的顶表面的水平平面的顶表面(其可以是例如最顶层绝缘体层32的顶表面)上方移除沉积的电介质材料的部分。电介质材料的平坦化可以例如通过化学机械平坦化执行。存储器开口内部的电介质材料的每个剩余部分构成电介质芯62。电介质芯62是可选的部件，并且存储器膜50和半导体沟道60的组合可以完全填充存储器开口。

[0110] 可以例如通过凹陷蚀刻移除交替堆叠体(32,42)的最顶层的顶表面上方的第二半导体沟道层的水平部分。第二半导体沟道层的每个剩余部分构成第二半导体沟道602。第一半导体沟道601和第二半导体沟道602的每个毗邻的对垂直地延伸穿过交替堆叠体(32,42)，并且可选的柱共同地构成存储器堆叠体结构55的半导体沟道60的一部分。在相同的存储器开口内的一组存储膜50和半导体沟道60构成存储器堆叠体结构55。

[0111] 可以通过使每个电介质芯的顶部凹陷并沉积掺杂半导体材料来形成漏极区域63。掺杂半导体材料可以是例如掺杂多晶硅。漏极区域63可以具有与第一导电型(即半导体材料层10的导电型)相反的第二导电型的掺杂。沉积的半导体材料的多余部分可以例如通过化学机械平坦化(CMP)或凹陷蚀刻从交替堆叠体(32,42)的顶表面上方移除。

[0112] 可选地，绝缘盖层71可以形成在交替堆叠体(32,42)和存储器堆叠体结构55的阵列之上。绝缘盖层71可以包含电介质材料，比如硅氧化物、电介质金属氧化物和/或掺杂氮的有机硅酸盐玻璃。绝缘盖层71的厚度可以在5nm至100nm的范围内，尽管也可以使用更小和更大的厚度。

[0113] 参考图3，可以例如通过施加和图案化光致抗蚀剂层(未示出)，并且通过应用诸如各向异性蚀刻的蚀刻将光致抗蚀剂层的图案转印穿过交替堆叠体(32,42)，来移除交替堆叠体(32,42)的部分。可以形成延伸穿过交替堆叠体(32,42)的整个厚度的沟槽。后续地，可以用可选的电介质材料(例如硅氧化物)填充沟槽，以形成电介质材料部分64。电介质材料的多余部分可以通过诸如化学机械平坦化和/或凹陷蚀刻之类的平坦化工艺从绝缘盖层71的顶表面上方移除。绝缘盖层71的顶表面可以在平坦化期间用作终止表面。电介质材料部分64的顶表面可以与绝缘盖层71的顶表面共平面。

[0114] 参考图4，在绝缘盖层71之上形成并图案化修整材料层67。修整材料层67包括可以连续修整的材料，即可以以受控的移除速率从外部到内部在一定持续时间逐渐移除的材料。例如，修整材料层67可以选自光致抗蚀剂材料、有机聚合物材料以及无机聚合物材料。

Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2024-00790

可用于修整材料层67的有机聚合物材料可以是由交联的含碳单体制成的有机材料，并且可以是本领域已知的碳基自平坦化材料。可用于修整材料层67的无机聚合物材料包含硅基聚合物材料，例如本领域已知的硅基抗反射涂层材料。修整材料层67的部分在重复修整之后保留，重复休整将修整材料层67的外侧壁移动到与存储器器件区域100毗邻的电容器区域400的外围。

[0115] 可以通过各向异性蚀刻移除修整材料层67中的开口的区域内的绝缘盖层71和最顶面的绝缘体层32的部分。各向异性蚀刻的最后一步可以对牺牲材料层42的材料有选择性，以最小化到最顶的牺牲材料层42中的过度蚀刻。在修整材料层67中的开口的区域内的绝缘盖层71和最顶面的绝缘体层32的级上形成凹陷腔。

[0116] 后续地，重复执行工艺步骤的组，以在电容器区域400中形成阶梯表面。每组工艺步骤可以包括将修整材料层67修整以加宽修整材料层67中的开口的第一工艺步骤，各向异性蚀刻修整材料层67中的开口内的牺牲材料层42的材料的第二工艺步骤(具有或不具有绝缘盖层71的材料的伴随蚀刻)，各向异性蚀刻修整材料层中的开口内的绝缘盖层71和绝缘体层32的材料的任何剩余部分的第三步骤层67。在一个实施例中，第二工艺步骤中应用的各向异性蚀刻工艺可以对绝缘体层32的材料有选择性，并且在第三工艺步骤中应用的各向异性蚀刻可以对牺牲材料层42的材料有选择性。

[0117] 参考图5A及5B，重复执行工艺步骤的组，直到最底的牺牲材料层42被图案化。可选地，电介质盖层31和电介质垫层12可以与最底的牺牲材料层42以相同的图案被图案化。修整材料层67可以后续例如通过灰化移除。

[0118] 在电容器区域400中形成阶梯表面区域。如本文所使用的，“阶梯表面区域”是指其中存在阶梯表面的区域。如本文所使用的，“阶梯表面”是指包含至少两个水平表面和至少两个垂直表面的表面的组，使得每个水平表面毗邻从水平表面的第一边缘向上延伸的第一垂直表面，并且毗邻从水平表面的第二边缘向下延伸的第二垂直面。

[0119] 覆于阶梯表面之上的腔是阶梯腔。如本文所使用的，“阶梯腔”是指具有阶梯表面的腔。阶梯腔69可以跨越电介质材料部分64(未示出)的剩余部分和交替堆叠体(32,42)的剩余图案化部分。在阶梯表面区域内，每个下层的第二材料层(例如牺牲材料层42)比任何上方的第二材料层侧向地延伸得更远，并且每个下层的第一材料层(例如绝缘体层32)比任何上层的第一材料层侧向地延伸得更远。第一材料层(例如绝缘体层32)和第二材料层(例如牺牲材料层42)的垂直毗邻对可以具有垂直重合的侧壁。如本文所使用的，如果存在包含第一表面和第二表面两者的垂直平面，则第一表面和第二表面彼此垂直重合。

[0120] 参考图6A和6B，可以通过沉积诸如硅氧化物的电介质材料，在阶梯腔69中形成电介质材料部分(即，绝缘填充材料部分)。沉积电介质材料的多余部分可以通过例如化学机械平坦化(CMP)从绝缘盖层71的顶表面上方移除。填充阶梯腔69的沉积电介质材料的剩余部分构成电介质材料部分。

[0121] 电介质材料部分为倒退阶梯状，本文中称为倒退阶梯电介质材料部分65。如本文所使用的，“倒退阶梯”元件是指具有阶梯表面且水平截面积作为与其上存在元件的基板的顶表面的垂直距离的函数而单调增加的元件。倒退阶梯电介质材料部分65形成在交替堆叠体(32,42)的阶梯结构之上，并且可以具有平坦的顶表面。如果将硅氧化物应用于倒退阶梯电介质材料部分65，则倒退阶梯电介质材料部分65的硅氧化物可以掺杂或不掺杂诸如B、P

Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2024-00790

和/或F的掺杂剂。倒退阶梯电介质材料部分65在水平平面处的水平截面积不小于倒退阶梯电介质材料部分65在更靠近基板(即,半导体材料层10)的任何水平平面处的水平截面积。

[0122] 至少一个电介质柱结构7P可以可选地形成为穿过倒退阶梯电介质材料部分65和/或穿过交替堆叠体(32,42)。此外,电介质支撑柱结构7Q可以形成在接触区域中,其在后续的工艺步骤中提供对绝缘体层32的支撑,特别是在用导电材料层替代牺牲材料层期间。可以例如通过形成延伸穿过倒退阶梯电介质材料部分65和/或穿过交替堆叠体(32,42)并且至少到基板10的顶表面的开口,并且通过用对于用来移除牺牲材料层42的蚀刻化学过程耐受的电介质填充材料填充开口,来形成至少一个电介质柱结构7P和电介质支撑柱结构7Q。在一个实施例中,至少一个电介质柱结构可以包含硅氧化物和/或诸如铝氧化物的电介质金属氧化物。在一个实施例中,与至少一个电介质柱结构7P和电介质支撑柱结构7Q的沉积同时沉积在绝缘盖层71之上的电介质材料部分可以作为电介质材料层73存在于绝缘盖层71之上。电介质材料层73和至少一个电介质柱结构7P和电介质支撑柱结构7Q可以形成为集成构造的单个连续结构,即在其间没有任何材料界面。在另一实施例中,与至少一个电介质柱结构7P和电介质支撑柱结构7Q的沉积同时沉积在绝缘盖层71上的电介质材料部分可以通过例如化学机械平坦化或过度蚀刻移除。在这种情况下,电介质材料层73不存在,并且绝缘盖层71的上面可以物理地暴露。

[0123] 在该实施例中,至少一个电介质柱结构7P的形状可以使得至少一个电介质柱结构7P将位于存储器器件区域100内的交替堆叠体(32,42)的第一部分与位于电容器区域400内的交替堆叠体(32,42)的第二部分物理地隔离。在一个实施例中,可以在存储器器件区域100和电容器区域400之间的边界处形成电介质柱结构7P。然而,可以使用诸如圆柱形柱的其他支柱7P形状,如下面参照图14A的替代实施例所描述的。电介质支撑柱结构7Q可以形成为离散电介质支撑柱结构的阵列,以便在后续的工艺步骤期间为接触区域中的结构提供机械支撑。

[0124] 图7A-7D中,可以将光致抗蚀剂层(未示出)施加在交替堆叠体(32,42)和倒退阶梯电介质材料部分65和可选的电介质材料层73之上,并且被光刻图案化以在其中形成开口。开口的图案包含存储器器件区域100中的开口和电容器区域400中的多个开口。选择存储器器件区域100中的开口的图案,使得从存储器器件区域100中的开口到存储器堆叠体结构55的组的侧向距离不超过预定距离,其是后续被用来形成侧向地凹陷的侧向蚀刻的距离。选择电容器区域400中的开口的图案,使得后续在电容器区域400内的开口区域内形成的沟槽可以将位于电容器区域400内的交替堆叠体(32,42)的第二部分为多个物理地分离的交替堆叠体(32,42)。

[0125] 可以执行各向异性蚀刻,以蚀刻穿过可选电介质材料层73、可选的绝缘覆盖层71、倒退阶梯电介质材料部分65以及位于光致抗蚀剂层内的开口下面的交替堆叠体(32,42)的部分。背侧接触沟槽79直接形成在存储器器件区域100内的光致抗蚀剂层的开口下方。侧向分隔沟槽89直接形成在电容器区域400内的光致抗蚀剂层内的每个开口下方。背侧接触沟槽79和侧向地间隔沟槽89可以从电介质材料层73(或者在不使用电介质材料层73的情况下,与光致抗蚀剂层的底表面接触的材料层)的顶表面至少延伸到基板中的半导体材料层10的顶表面。侧向分隔沟槽89将电容器区域400中的交替堆叠体(32,42)的第二部分划分为由侧向分隔沟槽89侧向地隔开的多个物理地间隔的交替堆叠体(32,42)。

Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2024-00790

[0126] 背侧接触沟槽79和侧向分隔沟槽89中的每一个可以是线沟槽，即具有均匀宽度并沿着长度方向延伸的沟槽。背侧接触沟槽79和侧向分隔沟槽89的侧壁可以是垂直的，也可以是渐缩的。在一个实施例中，背侧接触沟槽79可以具有第一沟槽宽度tw1，并且侧向分隔沟槽89可具有小于第一沟槽宽度tw1的第二沟槽宽度tw2。在一个实施例中，第一沟槽宽度tw1可以在30nm至1000nm的范围内，并且第二沟槽宽度w2可以在20nm至500nm的范围内，尽管背侧接触沟槽79和侧向分隔沟槽89中的每一个可以应用更小和更大的沟槽宽度。

[0127] 在一个实施例中，电介质柱结构7P可以沿着第一水平方向hd1延伸，并且背侧接触沟槽79可以沿着第一水平方向hd1延伸。侧向分隔沟槽89可以与电介质柱结构7P毗邻，使得每个侧向分隔沟槽89的侧壁是电介质柱结构7P的侧壁。侧向分隔沟槽89可以沿着与第一水平方向hd1不同的水平方向延伸，这在本文中被称为第二水平方向hd2。在一个实施例中，第二水平方向hd2可以垂直于第一水平方向hd1。在一个实施例中，侧向分隔沟槽89沿垂直于阶梯表面区域内的阶梯表面的侧向方向侧向地延伸。如本文所使用的，垂直于阶梯表面的侧向方向是指垂直于阶梯表面内的垂直表面的侧向方向。换句话说，第二水平方向hd2可以垂直于阶梯表面的垂直表面(即，绝缘体层32和牺牲材料层42的侧壁)。

[0128] 每个侧向分隔沟槽89延伸穿过实施为多个物理间隔部分的交替层的堆叠体(32，42)。交替层的堆叠体(32，42)的图案化部分的侧壁在每个侧向分隔沟槽89内物理地暴露。可以例如通过灰化移除光致抗蚀剂层。

[0129] 参考图8A-8C，可以例如使用各向同性蚀刻工艺，将相对于绝缘体层32的第一材料选择性地蚀刻牺牲材料层42的第二材料的蚀刻剂引入到背侧接触沟槽79和侧向分隔沟槽89中。背侧凹陷(43，143)形成在从之移除牺牲材料层42的体积中。牺牲材料层42的第二材料的移除可以对绝缘体层32的第一材料、至少一个电介质支撑柱7P的材料、倒退阶梯电介质材料部分65的材料、半导体材料层10的半导体材料以及存储薄膜50的最外层的材料有选择性。在一个实施例中，牺牲材料层42可以包含硅氮化物，并且绝缘体层32、至少一个电介质支撑柱7P以及倒退阶梯电介质材料部分65的材料可以选自硅氧化物和电介质金属氧化物。在另一个实施例中，牺牲材料层42可以包含诸如多晶硅的半导体材料，并且绝缘体层32、至少一个电介质支撑柱7P以及倒退阶梯电介质材料部分65的材料可以选自硅氧化物、硅氮化物和电介质金属氧化物。在这种情况下，可以改变背侧接触沟槽79的深度，使得背侧接触沟槽79的最底表面位于电介质垫层12内，即避免半导体基板层10的顶表面的物理暴露。

[0130] 对存储器膜50的第一材料和最外层有选择性地移除第二材料的蚀刻工艺可以是应用湿蚀刻溶液的湿蚀刻工艺，或者可以是气相(干)蚀刻工艺，其中蚀刻剂以气相被引入到背侧接触沟槽79中。例如，如果牺牲材料层42包括硅氮化物，则蚀刻工艺可以是湿蚀刻工艺，其中将示例性结构浸入包含磷酸的湿蚀刻槽内，其对硅氧化物、硅和本领域中应用的其他各种材料有选择性地蚀刻硅氮化物。至少一个电介质支撑柱7P、倒退阶梯电介质材料部分65以及存储器堆叠体结构55提供结构支撑，同时背侧凹陷(43，43)存在于先前由牺牲材料层42占据的体积内。

[0131] 每个背侧凹陷(43，143)可以是侧向地延伸的腔，其侧向尺寸大于腔的垂直范围。换句话说，每个背侧凹陷(43，43)的侧向尺寸可以大于背侧凹陷(43，143)的高度。可以在从之移除牺牲材料层42的第二材料的体积中形成多个背侧凹陷(43，43)。多个背侧凹陷(43，

Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2024-00790

143)包含通过穿过背侧接触沟槽79引入蚀刻剂而在存储器器件区域100内形成的第一背侧凹陷43,以及通过穿过侧向分隔沟槽89引入蚀刻剂而在电容器区域400内形成的第二背侧凹陷43。

[0132] 多个第一背侧凹陷(43,43)中的每一个可实质上平行于基板10的顶表面延伸。背侧凹陷(43,143)可以由下层的绝缘体层32的顶表面和上层的绝缘体层32的底表垂直界定。在一个实施例中,每个背侧凹陷(43,143)可以具有通体上均匀的高度。

[0133] 其中形成存储器堆叠体结构55的存储器开口本文中称为前侧凹陷或前侧腔,与第一背侧凹陷43对比。在一个实施例中,存储器器件区域100包括具有设置在基板10上方的多个器件级的单片三维NAND串的阵列。在这种情况下,每个第一背侧凹陷43可以限定用于接收单片三维NAND串的阵列的各自的字线的空间。

[0134] 第二侧向地凹陷143可以形成在电容器区域400中的牺牲材料层42中的每一级处。每个第二侧向凹陷143可以与侧向分隔沟槽89中的至少一个毗邻。至少一组第二侧向凹陷143可以侧向地毗邻侧向分隔沟槽89的相邻的对。因此,在侧向分隔沟槽89的每个相邻的对之间形成堆叠的腔结构,使得第二背侧凹陷143的组与绝缘体层32的组交错。在一个实施例中,侧向分隔沟槽89可以形成有周期p。侧向分隔沟槽89的相邻对之间的侧向距离可以是均匀的。在这种情况下,在侧向分隔沟槽89的相邻的对之间的堆叠腔结构(143,32)内的第二背侧凹陷143沿着第一水平方向hd1可具有相同的侧向范围,并且沿着第二水平方向hd2可以具有不同的侧向范围。

[0135] 通过半导体材料到电介质材料的热转化和/或等离子体转化,外延沟道部分66和半导体材料层10的物理地暴露的表面部分可以被转化为电介质材料部分。例如,可以应用热转化和/或等离子体转化来将每个外延沟道部分66的表面部分转化为电介质间隔体116,并且将在每个背侧接触沟槽79和沟槽89下面的半导体材料层10的表面部分转化为牺牲电介质部分616。在一个实施例中,每个电介质间隔体116可以在拓扑上同构于环面,即总体上为环形的。如本文所使用的,如果元件的形状可以在不破坏孔或形成新的孔的情况下被连续地拉伸为环面的形状,则元件与环面拓扑上同构。

[0136] 电介质间隔体116包含电介质材料,其包含与外延沟道部分66相同的半导体元素,并且附加地包含诸如氧和/或氮的至少一种非金属元素,使得电介质间隔体116的材料是电介质材料。在一个实施例中,电介质间隔体116可以包含外延沟部分66的半导体材料的电介质氧化物、电介质氮化物或电介质氮氧化物。同样地,每个牺牲电介质部分616包含电介质材料,其包含与半导体材料层10相同的半导体元素,并且附加地包含诸如氧和/或氮的至少一种非金属元素,使得牺牲电介质部分616的材料是电介质材料。在一个实施例中,牺牲电介质部分616可以包含半导体材料层10的半导体材料的电介质氧化物、电介质氮化物或电介质氮氧化物。

[0137] 参考图9A和图9B,可以通过共形沉积来在背侧凹陷(43,143)中形成包含电介质材料(例如铝氧化物)的背侧阻挡介质层(未示出)。至少一个导电材料可以沉积在多个背侧凹陷(43,143)中,在背侧接触沟槽79和沟槽89的侧壁上以及第一示例性结构的最顶层之上。导电材料可以通过共形沉积方法来沉积,其可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、无电镀、电镀或其组合。导电材料可以是单质金属、至少两种单质金属的金属间合金、至少一种单质金属的导电氮化物、导电金属氧化物、导电掺杂半导体材料、诸如金属硅

Micron Ex. 1002, p. 389
Micron v. YMTC
IPR2024-00790

化物的导电金属-半导体合金、其合金及其组合或堆叠体。可以沉积在多个背侧凹陷(43，143)中的非限制性示例性导电材料包括钨、钨氮化物、钛，钛氮化物、钽和钽氮化物。在一个实施例中，导电材料可以包括诸如钨的金属和/或金属氮化物。在一个实施例中，用于填充多个背侧凹陷(43，143)的导电材料可以是钛氮化物和钨的组合。在一个实施例中，可以通过化学气相沉积来沉积导电材料。第二材料层42被导电材料部分替代。

[0138] 可以在存储器器件区域中的多个第一背侧凹陷43中形成多个第一导电层46。可以在多个第二背侧凹陷143中形成多个第二导电层146。可以在背侧接触沟槽79的侧壁上和在第一示例性结构的最顶层之上形成连续导电材料层46L。因此，可以用存储器器件区域100中的第一导电层46和电容器区域400中的第二导电层146替代每个牺牲材料层42。背侧腔79'存在于每个背侧接触沟槽79的未被连续导电材料层46L填充的部分中。侧向分隔腔89'存在于每个侧向分隔沟槽89的未填充有连续导电材料层46L的部分中。

[0139] 在一个实施例中，可以选择沉积的导电材料的厚度，使得侧向分隔沟槽89和背侧接触沟槽79未完全填充有连续导电材料层46L。在这种情况下，在沉积导电材料之后，在侧向分隔沟槽89和背侧接触沟槽79中的每一个内存在腔(79'，89')。连续导电材料层46L、第一导电层46以及第二导电层146形成为单一的连续结构。

[0140] 参考图10A和10B，例如通过各向同性蚀刻来从每个背侧接触沟槽79的侧壁、从每个侧向分隔沟槽89的侧壁并且从电介质材料层73回蚀刻连续导电材料层46L的沉积的导电材料。第一背侧凹陷43中的沉积的导电材料的每个剩余部分构成第一导电层46。第二背侧凹陷143中沉积的导电材料的每个剩余部分构成第二导电层146。每个导电层(46，146)可以是导线结构。

[0141] 每个第一导电层46可以用作多个控制栅电极和与多个控制栅电极电连接(即，电短路)的字线的组合。每个第一导电层46内的多个控制栅电极可以包含位于包含存储器堆叠体结构55的垂直存储器器件的相同级处的控制栅电极。换句话说，每个第一导电层46可以是字线，其用作多个垂直存储器器件的共用控制栅电极。

[0142] 包括交替的多个第一材料层(即，绝缘体层32)和第二导电层146的图案化堆叠体形成在电容器区域400中。图案化堆叠体(32，146)中的第二导电层146形成在第二材料层(即，牺牲材料层42)的每一级处。

[0143] 参考图11A-11B，电介质材料可以共形沉积在背侧接触沟槽79和侧向分隔沟槽89内。电介质材料可以包含例如硅氧化物、硅氮化物、电介质金属氧化物或其组合。在一个实施例中，电介质材料可以包括硅氧化物。

[0144] 在一个实施例中，侧向分隔沟槽89可以被电介质材料完全填充，以形成沟槽填充电介质材料部分84，而背侧接触沟槽79未完全填充有电介质材料。换句话说，背侧腔可以存在于背侧接触沟槽79内的沉积的电介质材料的部分内。

[0145] 可以执行各向异性蚀刻，以从电介质材料层73上方移除沉积的电介质材料的水平部分。在背侧接触沟槽79内沉积的电介质材料的连续剩余垂直部分构成绝缘间隔体74。绝缘间隔体74包括与形成沟槽填充电介质材料部分84相同的电介质材料。在一个实施例中，沟槽填充电介质材料部分84可以具有通体相同的宽度，并且绝缘间隔体74具有相同的侧向厚度(如在背侧接触沟槽79的侧壁上测量的)，其大于沟槽填充电介质材料部分84宽度的一半。牺牲电介质部分616的剩余环形部分可以整合到绝缘间隔体74的底部中。

Micron Ex. 1002, p. 390
Micron v. YMTC
IPR2024-00790

[0146] 可以将电掺杂剂(p型掺杂剂或n型掺杂剂)植入到半导体材料层10的位于背侧接触沟槽79内的背侧腔之下的部分中。在一个实施例中,植入的掺杂剂的导电型可以与半导体材料层10的导电型相反。半导体材料层10的植入部分可以用作存储堆叠体结构55的源极区域61,并且源极区域61和外延沟道部分66之间的半导体材料层10的表面部分可以是水平沟道部分。在一个实施例中,半导体材料层10可以具有第一导电型的掺杂,并且源极区域61可以具有与第一导电型相反的第二导电型的掺杂。

[0147] 由绝缘间隔体74围绕的背侧腔可以填充有导电材料,以形成背侧接触通孔结构76。背侧接触通孔结构76可以电短路到基板(10,61)的部分,其可以是源极区域61。背侧接触通孔结构76接触延伸穿过绝缘隔离件74并被其侧向地围绕。

[0148] 包括电容器区域400中的交替的多个第一材料层(即,绝缘体层32)和第二导电层146的图案化堆叠体被电介质材料填充部分在所有侧上侧向地接触。具体地,图案化堆叠体(32,146)被沟槽内形成的电介质填充材料部分的组(7P,84,65)侧向地接触。在一个实施例中,侧向地围绕绝缘体层32和第二导电层146的交替堆叠体的每个沟槽可以填充有电介质填充材料。包含电介质柱结构7P并且接触交替堆叠体(32,146)的侧壁的沟槽可以填充有第一电介质填充材料。包含沟槽填充电介质材料部分84并且接触交替叠层(32,146)的侧壁的对的两个侧向分隔沟槽89可以填充有第二电介质材料。交替堆叠体(32,146)的侧壁的对可以实质上彼此平行。包含倒退阶梯电介质材料部分65并且接触交替堆叠体(32,146)的阶梯表面的倒退阶梯腔包含另一电介质填充材料。

[0149] 参考图12A-12D,光致抗蚀剂层(未示出)被施加在电介质材料层73之上,并且被光刻图案化以在期望形成额外接触通孔结构的区域中形成开口。光致抗蚀剂层中的图案被转印穿过电介质材料层73、绝缘盖层71以及倒退阶梯电介质材料部分65,以形成各垂直地延伸的腔。各向异性蚀刻可以对导电层(46,146)和漏极区域63的材料有选择性,并且可选地对存储器堆叠体结构55内的额外材料有选择性。垂直地延伸的腔的第一子组(未示出)可以延伸到与存储器器件区域100相邻的第一导电层46的阶梯表面(未示出)。垂直地延伸的腔的第二子组(后续填充有电容器接触通孔结构8C)可以延伸到电容器区域400中的第二导电层146的阶梯表面。垂直地延伸的腔的另一个子组(后续填充有漏极接触通孔结构88)可以延伸到漏极区域63的顶表面。可以例如通过灰化移除光致抗蚀剂层。

[0150] 至少一个导电材料沉积在垂直地延伸的腔中,以填充垂直地延伸的腔中的每一个。可以例如通过化学机械平坦化(CMP)从包含电介质材料层73的顶表面的水平平面的上方移除至少一种导电材料的多余部分。至少一种导电材料的每个剩余部分构成接触通孔结构(8C,88),其包含电容器区域400中形成的电容器接触通孔结构8C、存储器器件区域100中形成的漏极接触通孔结构88,以及与存储器器件区域100相邻的阶梯表面区域(未示出)中形成的控制栅极接触通孔结构(未示出)。

[0151] 多个接触通孔结构(即,电容器接触通孔结构8C)形成在电容器区域400中的第二导电层146上。额外多个接触通孔结构(即,控制栅极接触通孔结构)形成在与存储器器件区域100相邻的第一导电层46上,如下面将参照图14X所描述的。

[0152] 在一个实施例中,可以布置电容器接触通孔结构8C,以便于通过要后续形成在电介质材料层73之上的线级互连结构进行上第二导电层146(即位于交替堆叠体(32,146)的上半内的第二导电层146)和下第二导电层146(即,位于交替堆叠体(32,146)的下半内的第

Micron Ex. 1002, p. 391
Micron v. YMTC
IPR2024-00790

二导电层146)之间的成对连接。例如,可以沿着第二水平方向hd2形成要被上层的互连线结构(例如金属线结构)电短路的电容器接触通孔结构8C,第二水平方向hd2平行于沟槽填充电介质材料部分84的长度方向。

[0153] 如图13A-13E所示。可以在电介质材料层73的顶表面之上形成包含电介质材料的线级电介质材料层92。线级电介质材料层92的电介质材料可以是例如硅氧化物、硅氮化物、有机硅酸盐玻璃或其组合。可以例如通过在线级电介质材料层92中形成线沟槽并用至少一种导电材料填充线沟槽,而将互连线结构形成在线级电介质材料层92中。可以例如通过化学机械平坦化,从线级电介质材料层92的顶表面上方移除至少一个导电材料的多余部分。

[0154] 节点连结金属线(821,822,823,831,832,833)、源极金属线96以及位线98(仅为了清楚起见,仅示出了字线的部分)可以形成在线级电介质材料层92中。节点连结金属线(821,822,823,831,832,833)将电容器结构的相同节点连结,即电短路。节点连结金属线(821,822,823,831,832,833)可以包含将各自的电容器的第一节点连结的第一节点连结金属线(821,822,823)和将各自的电容器的第二节点连结的第二节点连结金属线(831,832,833)。源极金属线96提供到背侧接触通孔结构76和源极区域61的电连接。位线98提供到漏极接触通孔结构88和漏极区域63的电连接。

[0155] 第二导电层146构成电容器的组的电容器电极(例如,板)。每个电容器板是电容器的组的导电部件。电容器区域40内的电绝缘层32的子组构成电容器的组的节点电介质。组中的每个电容器包括第一节点,第一节点包括各自的垂直相邻对的下层的第二导电层(146U1或146U2)(其为第二导电层146中的一个)和各自的接触通孔结构(8CU1或8CU2),各自的接触通孔结构(8CU1或8CU2)从下层的第二导电层(146U1或146U2)向上延伸并且穿过倒退阶梯电介质材料部分65。组中的每个电容器还包括第二节点,第二节点包括各自的垂直相邻对的上层的第二导电层(14601或14602)(其为第二导电层146中的一个)和各自的接触通孔结构(8C01或8C02),各自的接触通孔结构(8C01或8C02)从上层的导电层(14601或14602)向上延伸并且穿过倒退阶梯电介质材料部分65。

[0156] 在一个实施例中,电容器的组内的每个电容器可以包括两对垂直相邻的导电层(146U1,14601)和(146U2,14602),使得电容器的第一节点包含第一垂直相邻对(146U1,14601)的下层的导电层146U1和第二垂直相邻对(146U2,14602)的导电层146U2;并且电容器的第二节点包含垂直相邻对(146U1,14601)的上层的导电层14601和第二垂直相邻对(146U2,14602)的另一个导电层14602。

[0157] 在交替堆叠体(32,146)的阶梯表面的水平阶梯(即,水平表面部分)具有均匀宽度的情况下,第二导电层146的上垂直相邻对(位于交替堆叠体(32,146)的上半中)和第二导电层146的下垂直相邻对(位于交替堆叠体(32,146)的下半中)可以是匹配的,使得第二电导电层146的上垂直相邻对和第二导电层146的下垂直相邻对中的每组在第二导电层146的相邻对之间具有相同的总重叠面积。如果绝缘体层32具有通体相同的厚度,则每个电容器的电容可以相同。如果电容器区域中的交替堆叠体(32,146)包含总共N个第二导电层146,则包含第二导电层146的上垂直相邻对和第二导电层146的下垂直相邻对的电容器的总数可以是不超过N/4的正整数。

[0158] 可替代地,可以省略两对垂直相邻的第二导电层146的节点的连结。在这种情况下,每个电容器可以由第二导电层146的单个垂直相邻对构成。

Micron Ex. 1002, p. 392
Micron v. YMTC
IPR2024-00790

[0159] 第一示例性结构可以包含包括电容器的组的器件。电容器的组可以包括：包含电绝缘体层32和导电层146并位于基板10上层的交替层的堆叠体(32,146)。每个导电层146位于堆叠体(32,146)内，并且具有至少一个上层的导电层146，至少一个上层的导电层146比任何上层的导电层146侧向地延伸得更远。电容器的组包含位于堆叠体(32,146)的阶梯表面区域之上的电介质材料部分65。电介质材料部分65和堆叠体(32,146)之间的界面包含水平表面和垂直表面的连续组，以提供阶梯表面区域。器件包括位于沟槽内的电介质填充材料部分的组(84,7P)，沟槽垂直地延伸穿过交替层的堆叠体(32,146)，并侧向地接触交替层的堆叠体(32,146)的侧壁。器件包括与交替层的堆叠体(32,146)内的各自的导电层146接触的多个电容器接触通孔结构8C。导电层146构成电容器的组的导电部件，并且电绝缘层32的子组构成电容器的组的节点电介质。仅位于电容器的第一节点和第二节点之间的电绝缘体层32构成节点电介质。组中的每个电容器包括：第一节点，其包含各自的垂直相邻对的下层的导电层146U1(或可替代地146U2)和各自的电容器接触通孔结构8CU1(或可替代地8CU2)，各自的电容器接触通孔结构8CU1从下面的导电层146U1向上延伸并穿过电介质材料部分65；以及第二节点，其包含各自的垂直相邻对的上层的导电层14601(或可替代地14602)以及各自的电容器接触通孔结构8C01(或可替代地8C02)，各自的电容器接触通孔结构8C01从上层的导电层14601向上延伸并穿过电介质材料部分65。

[0160] 在一个实施例中，沟槽中的每一个(即，侧向分隔沟槽89和可选地其中存在电介质柱结构7P的沟槽，或下面关于图14A-14X描述的沟槽89A、89B)可以完全填充有各自的电介质填充材料部分(84和可选的7P)的电介质材料完全填充。在一个实施例中，交替层的堆叠体(32,146)内的导电层146的所有侧壁表面可以与选自以下的表面接触：电介质填充材料部分的组(84和可选的7P)的侧壁表面和电介质材料部分65的侧壁表面。

[0161] 在一个实施例中，交替层的堆叠体(32,146)内的导电层146和电介质填充材料部分(84和可选地7P)之间的整个界面可以是连续界面，并且可以是垂直或渐缩的。在一个实施例中，连续界面在其整体通体上可以是实质上垂直的。如本文所使用的，如果表面是垂直的或者表面相对于垂直方向的锥角不超过3度，则表面是实质上垂直的。在一个实施例中，导电层146和电介质填充材料部分的组(84和可选地7P)之间的界面毗邻导电层146和电介质材料部分65之间的界面(位于阶梯表面区域中的阶梯表面的子组内)。在一个实施例中，导电层146与电介质填充材料部分的组(84和可选地7P)之间的界面与导电层146和电介质材料部分65之间的界面的组合包含导电层146的所有侧壁表面。

[0162] 在一个实施例中，电介质填充材料部分的组(84和可选地7P)可以是材料部分的连续(即，物理地相毗邻)的组并且与电介质材料部分65接触。在一个实施例中，电介质材料部分65可以是倒退阶梯电介质材料部分，其中电介质材料部分65在水平平面处的水平截面积不小于电介质材料部分在更靠近基板10的任何水平平面处的水平截面积。

[0163] 在一个实施例中，电容器的组内的每个电容器包括两对垂直相邻的导电层(146U1,14601)和(146U2,14602)。电容器的第一节点包含第一垂直相邻对(146U1,14601)的下层的导电层146U1和第二垂直相邻对(146U2,14602)的导电层(146U2或14602)。电容器的第二节点包含垂直相邻对(146U1,14601)的上层的导电层14601和第二垂直相邻对(146U2,14602)的另一个导电层(146U2或14602)。

[0164] 在一个实施例中，第一垂直相邻对(146U1,14601)的底层导电层146U1和第二垂直

Micron Ex. 1002, p. 393
Micron v. YMTC
IPR2024-00790

相邻对(146U2,14602)的导电层(146U2或14602)通过两个接触通孔结构(例如,8CU1和8CU2)和第一导线结构(例如,833)电短路。第一垂直相邻对(146U1,14601)的上层的导电层14601和第二垂直相邻对(146U2,14602)的另一个导电层通过两个额外接触通孔结构(例如,8C01和8C02)和第二导线结构(例如823)电短路。

[0165] 在一个实施例中,电容器的组至少包括第一电容器和第二电容器。在这种情况下,第一电容器可以包括垂直相邻的导电层的第一上对(例如,146U2和14602)和垂直相邻的导电层的第一下对(例如,146U1和14601)。第二电容器可以包括垂直相邻的导电层的第二上对(位于交替堆叠体的上半内,并且在与垂直相邻的导电层的第一上对不同的级处),以及垂直相邻的导电层的第二下对(位于交替堆叠体的下半内,并且在与垂直相邻的导电层的第一下对不同的级处)。在一个实施例中,垂直相邻的导电层146的第二上对覆于垂直相邻的导电层146的第一上对之上;垂直相邻的导电层146的第一上对覆于垂直相邻的导电层146的第一下对之上;并且垂直相邻的导电层146的第一下对覆于垂直相邻的导电层146的第二下对之上。

[0166] 在一个实施例中,电容器可以被配置为对每个电容器提供相同的电容。可以通过形成导电层146的垂直相邻对并为部件电容器的对提供并联连接来获得这样的配置。第一部件电容器由节点电介质采用交替堆叠体(32,146)的下半内的绝缘体层32和两个相邻导电层146形成。第二部件电容器由节点电介质采用交替堆叠体(32,146)的上半内的绝缘体层32和两个相邻导电层146形成。两部件电容器并联连接,使得总电容与由两部件电容器的并联形成的电容器的目标电容相同。通过选择并联连结的部件电容器的对,可以形成具有相同总电容的多个电容器。

[0167] 在一个实施例中,绝缘体层32的厚度可以通体相同,并且(第一电容器的)第一上对内的垂直相邻导电层(146U2,14602)之间的上重叠面积和(第一电容器的)第一下对内的垂直相邻导电层(146U1,14602)之间的下重叠面积的总和可以与(第二电容器的)第二上对内的垂直相邻导电层之间的上重叠面积和(第二电容器的)第二下对内的垂直相邻导电层之间的下重叠面积的总和实质上相同。在这种情况下,第一电容器和第二电容器可以具有相同的总电容。在一个实施例中,电容器的组内的每个电容器可以在其中包含的垂直相邻的导电层之间具有实质上相同的总重叠面积。

[0168] 在一个实施例中,器件还可以包括位于基板10上和存储器件区域100中的单片三维存储器器件。单片三维存储器器件可以包括延伸穿过堆叠体(32,46)的存储器开口49;位于存储器开口49内的存储器膜55;以及位于存储膜55内的半导体沟道(601、602和可选的66)。

[0169] 在一个实施例中,电容器的组可以是单片三维存储器器件的外围器件的部件;单片三维存储器器件可以是垂直NAND存储器器件;导电层46包括或者电连接到垂直NAND存储器器件的各自的字线;并且基板包括硅基板。在一个实施例中,垂直NAND存储器器件可以包括硅基板之上的单片三维NAND串的阵列;NAND串的三维阵列的第一器件级中的至少一个存储器单元可以位于NAND串的三维阵列的第二器件级中的另一个存储器单元之上;并且硅基板可以含有集成电路,集成电路包括位于其上的存储器器件的驱动器电路。NAND串的三维阵列可以包括:多个半导体沟道(601、602,可选的66,以及10的部分),其中多个半导体沟道中的每一个的至少一个端部实质上垂直于硅基板的顶表面;多个电荷储存元件,每个电荷

Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2024-00790

储存元件定位为与多个半导体沟道中的各自的一个相邻;多个控制栅电极,多个控制栅电极具有带形状,带形状实质上平行于硅基板的顶表面。多个控制栅电极至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

[0170] 图14A示出了示出了本发明的实施例的器件的示意性俯视图。如图14A所示,电容器区域400位于堆叠体在感测放大器402和其他位线外围器件404(例如驱动器电路的器件,诸如电荷泵电路器件,参考电压和电流电路,和/或电源接通电路等)之间的阶梯表面区域中和方向hd2(即,位线方向)上的存储器器件区域100(也称为单元阵列)中。电容器区域400也称为虚设台阶区域,因为它包含没有字线接触通孔(即,控制栅极互连)的阶梯表面。在与字线阶梯表面区域300(标记为WLHU台阶)的相同的蚀刻步骤期间,同时形成虚设台阶区域,在后续步骤期间将在其中形成字线接触通孔(即,控制栅互连)。换句话说,阶梯表面区域形成在提高的存储器器件区域的多个(例如全部)侧上。对于矩形存储器器件区域100,字线阶梯表面区域300形成在存储器器件区域100的两个相对侧上,使得字线将最终在相对区域300之间在字线方向hd1上延伸。字线和选择栅极切换晶体管在方向hd1上定位为与区域300相邻的行解码器区域302(标记为WL/SG SW)。

[0171] 存储器器件区域100的剩余两侧包含虚设台阶区域。电容器形成在位于感测放大器区域402附近的虚设台阶电容器区域400中。因此,通过从区域402省略电容器,并且替代地在区域400中形成电容器,可以减小感测放大器区域402的尺寸超过10%(比如约20%),区域400是现有技术的器件中的未使用的虚设区域。

[0172] 存储器器件区域100含有存储器堆叠体结构55和支撑柱(例如,电介质柱结构)7P,与图5A所示的相似。然而,在图14A的实施例中,支撑柱7P包括圆柱形柱,取代或附加于图6B中所示的细长电介质柱结构7P。应当理解,为了清楚,仅示出了存储器堆叠体结构55和支撑柱7P中的几个。如果需要,如上描述和示出的电介质支撑柱结构7Q(为了清楚未示出)也可以存在于图14A的实施例的器件中。

[0173] 器件的外围(例如,基板的外围,例如半导体晶片或切割的芯片的部分)含有虚设台阶轨道406和切口区域501(例如,如果基板被切割为芯片,具有原始切割区域的一半宽度)。虚设台阶轨道406围绕器件并且含有阶梯表面区域,阶梯表面区域是虚设台阶400的阶梯表面区域的镜像。在与器件中的其他阶梯区域300和400相同的图案化(例如蚀刻)步骤期间形成轨道406。

[0174] 图14B-14D示出了根据第一实施例的替代方案的示例性结构。结构类似于图6A-6B所示的结构,不同之处在于,支撑柱7P包括位于区域100中的圆柱形柱(图14A中所示)。图14B-14D中的结构含有上面描参考图6A所描述的交替堆叠体(32,42)、电介质材料层73以及电介质材料部分65。

[0175] 图14E-14G示出了工艺中的下一步骤,其中与背侧接触沟槽79的同时,在堆叠体(32,42)中形成侧向分隔沟槽89A、89B,与图7A-7D所示类似(为了完整未在图14E-14G中示出背侧接触沟槽)。如图14E所示,侧向分隔沟槽包含在位线方向hd2上延伸的第一沟槽89A,类似于图7B所示的沟槽89。然而,在本实施例中,侧向分隔沟槽还包含在字线方向hd1上延伸的至少一个第二沟槽89B,类似于图7B所示的柱7P。第二沟槽89B将电容器区域400的端部附近的与存储器器件区域100最接近且与距区域400中的阶梯表面最远的第一沟槽89A的端部连接。

Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2024-00790

[0176] 如图14H-14J所示，穿过沟槽89A、89B和背侧接触沟槽79从区域100、300以及400中的交替堆叠体选择性地移除牺牲材料层42的部分，类似于图8A-8C所示。然而，与图8A-8C所示的之前的实施例不同，牺牲材料层42的部分42A保留在电容器区域400的端部附近的最靠近存储器器件区域100且距区域400中的阶梯表面最远的交替堆叠体中。因此，每个背侧凹陷143邻接牺牲材料层42的部分42A。这些部分42A(代替先前实施例中的细长柱7P)将区域400与区域100电绝缘。

[0177] 如上面关于图9A-9B所描述的，多个第一导电层46(例如，在字线方向hd1上延伸的字线/控制栅极)可以形成在存储器器件区域100和区域300中的多个第一背侧凹陷43中。如图14K-14M所示，可以与层46同时将多个第二导电层146形成在多个第二背侧凹陷143中。可以在沟槽89A、89B、背侧接触沟槽79(如上所描述)的侧壁上和在结构的最顶层之上形成连续导电材料层46L。层46L部分地填充沟槽89A、89B以留下剩余的沟槽89'。

[0178] 参考图14N-14P，从每个背侧接触沟槽79的侧壁、从每个侧向分隔沟槽89的侧壁并且从电介质材料层73回蚀刻连续导电材料层46L的沉积的导电材料，类似上面参考图10A-10B所描述的。这留下导电层146，其用作由沟槽89A和89B彼此间隔的区域400中的电容器电极。区域400B和区域100中的沟槽89之间的导电层146通过层42的剩余部分42A(例如，硅氮化物或其他绝缘材料层部分)与区域100中的导电层46分隔。

[0179] 参考图14Q-14S，侧向分隔沟槽89A、89B可以完全填充有电介质材料，以形成沟槽填充电介质材料部分84，而背侧接触沟槽79未完全填充有电介质材料，如上面关于图11A-11B所描述的。绝缘间隔体74可以形成在背侧接触沟槽中并且填充有导电材料，以形成在字线方向hd1上延伸的背侧接触通孔结构76，如图14X所示并如上面关于图11A-11B所描述的。

[0180] 如上面关于图12A-12D所描述的，垂直地延伸的腔的第一子组可以延伸到与存储器器件区域100相邻的区域300中的第一导电层46的阶梯表面。垂直地延伸的腔的第二子组(后续用电容器接触通孔结构8C填充)可以延伸到电容器区域400中的第二导电层146的阶梯表面。垂直地延伸的腔的另一个子组(后续用漏极接触结构88填充)可以延伸到漏极区域63的顶表面。

[0181] 参考图14T-14X，至少一种导电材料沉积在垂直地延伸的腔中，以用电容器区域400中形成的电容器接触通孔结构8C、存储器器件区域100中形成的漏极接触通孔结构88以及与存储器器件区域100相邻的阶梯表面区域300中形成的控制栅极接触通孔结构304来填充垂直地延伸的腔中的每一个。

[0182] 导电层146的通过沟槽填充电介质材料部分84与层46电绝缘并与通孔结构8C接触的部分146A包括电容器电极。区域400中的电绝缘体层32的位于电容器电极146A之间的部分32A包括电容器电介质。

[0183] 如图14U和14W所示，所得到的电容器410包含由绝缘层32A隔开的相邻的电极板146A和到电极板146A的各自的电接触体(例如，电容器接触通孔结构8C)。

[0184] 因此，如图14X中所示，在上述第一实施例和替代实施例中，三维存储器器件(例如，诸如NAND器件)包含含有多个非易失性存储器器件(例如，NAND串)的存储器器件区域100、含有有源驱动器电路器件(例如，晶体管)的外围器件区域402/404以及位于外围器件区域402/404和存储器器件区域100之间的第一阶梯表面区域400，并且含有多个无源驱动器电路器件，例如电容器410或电阻器，如下面关于附加实施例将描述的。应当注意，外围器

Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2024-00790

件区域402/404、虚设台阶轨道406和切口区域501还可以含有额外无源器件(例如,电容器或电阻器),或者它可以不含有无源器件。因此,如果需要,电容器410可以位于虚设台阶轨道406中。类似地,区域400还可以含有额外有源器件(例如,晶体管),或者它可以不含有有源器件。

[0185] 如上所述,交替层的堆叠体包含电绝缘体层32和位于基板10之上的导电层(46,146)。第一阶梯表面区域400含有电绝缘体层32的第一部分和导电层146的第一部分,并且第一阶梯区域400位于堆叠体面向外围区域的第一侧上。第二阶梯表面区域300含有位于堆叠体的第二侧(例如在垂直于第一侧的侧处)上的电绝缘体层32的第二部分和导电层46的第二部分。

[0186] 如上所述,多个半导体沟道60位于堆叠体中的存储器器件区域100中,使得多个半导体沟道中的每一个的至少一个端部实质上垂直于基板10的顶表面延伸。多个电荷储存元件(即,存储器膜50的部分)定位为与多个半导体沟道60中的各自的一个相邻。多个无源器件接触通孔结构(例如,电容器通孔结构8C)实质上垂直于基板10的顶表面7延伸到第一阶梯表面区域400中的导电层146的各自的第一部分。多个控制栅极接触通孔结构304实质上垂直于基板10的顶表面7延伸到第二阶梯表面区域300中的导电层46的各自的第二部分。

[0187] 外围器件区域含有区域402中的感测放大器。第二阶梯表面区域300包括字线阶梯表面区域300。导电层46的第二部分包括实质上平行于基板的顶表面的多个控制栅电极,并且多个控制栅电极至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

[0188] 在上述实施例中,无源驱动器电路器件包括电容器410,并且导电层146第一部分146A包括多个电容器电极。区域400中的电绝缘层32的第一部分包括位于电容器电极146A之间的电容器电介质。导电层的各自的第一部分146A和第二部分46位于基板上方的相同级处,并且被彼此电绝缘(例如通过材料84和/或可选地通过柱7P)。

[0189] 如图14Y所示,N/2的电容器410可以由堆叠体中的N个层146形成,其中N是大于1的任何整数。然而,如上面关于图13A-13D所描述的,堆叠体顶部的层146比堆叠体底部的层146更短。这使得电容器的尺寸不相等。

[0190] 图14Z示出与图13A-13D类似的电容器互连配置,其中最长层146通过互连(例如金属线)833电连接到堆叠体中的第二最短层146,以形成一个电容器电极。堆叠体中的下一个最长层146通过互连(例如,金属线823)电连接到堆叠体中的最短层146,以形成另一个电容器电极。堆叠体中的剩余层146可以以类似的方式连接。这得到电容器410A,其具有彼此连接的不同长度的两个上层的层146,以形成上层的电极,并且具有彼此连接的不同长度的两个下层的层146,以形成的下层的电极,其中堆叠体中所有电容器的平均电极长度大致相同。这导致包含N个层146的堆叠体中的N/4个电容器。

[0191] 在根据本公开的第二实施例的第二示例性结构中,驱动器电路的无源器件包括柱状电阻器。参考图15A,基板包含具有主表面7的半导体材料层10。掺杂半导体阱110可以形成在器件区域中,其在本文中称为电阻器区域500。电阻器区域500可以位于存储器器件区域100的部分中,如图37所示。可以提供存储器器件区域100以及电容器区域400,以用于第一实施例中所示的器件的形成。半导体材料层10可以具有第一导电型的掺杂(其可以是p型或n型),并且掺杂半导体阱110可以具有与第一导电型相反的第二导电型的掺杂。在一个实

Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2024-00790

施例中，掺杂半导体阱110中的电掺杂剂(其可以是p型掺杂剂或n型掺杂剂)的浓度可以在$1.0\times10^{17}/cm^3$到$2.0\times10^{21}/cm^3$的范围内，尽管也可以应用更高或者更低的掺杂浓度。在一个实施例中，掺杂半导体阱110可以包含导电(例如，简并掺杂的半导体或金属)材料，而不是半导体材料，即具有大于1.0×10^5S/cm的电导率的材料。掺杂半导体阱110是侧向地延伸的半导体或导电结构，并且可以由具有掺杂第二导电型(例如，n型阱)并且位于基板10(例如，p型基板或基板阱)中的至少一个单晶半导体材料部分构成。可选地，可以形成掺杂接触区域112，其具有与掺杂半导体阱110相同的导电型(例如，n型)的掺杂，并且具有比掺杂半导体阱110更高的掺杂剂浓度(例如，N+阱)。可选地，可以在掺杂半导体阱110的外围处形成包含至少一种电介质材料的浅沟槽隔离结构120，用于器件隔离。

[0192] 参考图15B，执行图1中的工艺步骤，以形成包含第一材料层32和第二材料层42的交替层的堆叠体(32，42)。

[0193] 参考图16，存储器开口49形成在存储器器件区域100中，并且至少一个电阻器开口249可以形成在电阻器区域500中。可以应用与用来形成第一实施例的存储器开口的相同的工艺步骤，同时地形成存储器开口49和至少一个电阻器开口249。每个电阻器开口249的尺寸可以与存储器开口49的尺寸相同或不同。如果形成多个电阻器开口249，则电阻器开口249可以具有相同的尺寸，或者可以具有不同的尺寸。可以根据要后续形成的电阻器的目标电阻来调节电阻器开口249的尺寸。在一个实施例中，要形成在电阻器开口249中的电阻器的电阻通常与电阻器开口249的直径(或者侧向尺寸，如果应用非圆形截面形状)成反比。每个电阻器开口249的底部可以延伸到掺杂半导体阱110的顶表面。

[0194] 每个电阻器开口249是垂直地延伸的腔，其从包含交替堆叠体(32，42)的顶表面的第一水平平面延伸到半导体阱110和掺杂接触区112的组合的侧向地延伸的半导体或导电结构。侧向地延伸的半导体或导电结构(即，掺杂半导体阱110)的顶表面的物理地暴露部分存在于位于下方的第二水平平面内，并且由交替堆叠体(32，42)内的多个层从交替堆叠体(32，42)的顶表面垂直地间隔开。第二水平平面是包含每个电阻器开口249的底表面的平面，其是掺杂半导体阱110的凹陷的或非凹陷的顶表面。

[0195] 参考图17，可以执行第一实施例的图2的工艺步骤，以同时形成存储器堆叠体结构55和至少一个柱结构155。存储器堆叠体结构55形成在存储器器件区域100中的存储器开口49中，并且柱结构155形成在电阻器区域500中的每个电阻器开口249中。每个柱结构155可以具有与存储器堆叠体结构55相同的部件的组，并且它们在相同的形成(例如沉积)步骤期间形成。柱结构155内的每个部件可以具有与存储器堆叠体结构155内的相应的部件(具有相同附图标记)相同的成分。柱结构155内的每个部件可以具有与存储器堆叠体结构155内的相应的部件相同的高度。除了外延沟道部分66和电介质芯62之外，柱结构155内的每个部件可以具有与存储器堆叠体结构155内的相应的部件相同的侧向尺寸(诸如侧向厚度)。如果柱结构155的水平截面形状与距基板(10，110，112，12)的顶表面相同垂直距离处取得的存储器堆叠体结构55的水平截面形状不同，则柱结构155内的外延沟道部分66和电介质芯62可以具有与存储器堆叠体结构55的相应的尺寸不同的尺寸。如果柱结构155的水平截面形状与距基板(10，110，112，12)的顶表面相同的垂直距离处取得的存储器堆叠体结构55的水平截面形状相同，则柱结构155内的外延沟道部分66和电介质芯62可以具有与存储器堆叠体结构55内的外延沟道部分66和电介质芯62相同的尺寸。

Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2024-00790

[0196] 柱结构155形成于每个电阻器开口249内。半导体沟道(601,602)形成在每个可选的外延沟道部分66上,其是单晶半导体材料部分并且是本征的或具有第一导电型的掺杂。电阻器开口249中的单晶半导体材料部分(如实施为电阻器开口249中的外延沟道部分66)与存储器开口49中的外延沟道部分66的形成同时形成。第一导电型是半导体材料层10的导电型,并且与掺杂半导体阱110(其具有第二导电型的掺杂)的导电型相反。存储器堆叠体结构55和至少一个柱结构155中的存储器膜50可以是如上所述的电介质材料层的堆叠体,即,阻挡电介质层、存储器材料层以及隧道电介质层的堆叠体。

[0197] 可以通过本征半导体材料或第一导电型的半导体材料的沉积来形成存储器开口49和至少一个电阻器开口249中的每个半导体沟道(610,602)。半导体沟道(601,602)可以包含多晶半导体材料或非晶半导体材料。每个电阻器开口249中的垂直地延伸的半导体材料部分(如实施为电阻器开口249中的半导体沟道(601,602))与存储器开口49中的半导体沟道(601,602)的形成同时形成。

[0198] 至少一个电阻器开口249中形成的每个漏极区域63是掺杂半导体材料部分,并且用第二导电型的掺杂形成。可以同时形成存储器堆叠体结构55的漏极区域63和柱结构155的每个漏极区域63。

[0199] 参考图18,光致抗蚀剂层67被施加在第二示例性结构之上,并且被光刻图案化,以在电阻器区域500中形成开口。具体而言,通过图案化光致抗蚀剂层67,在包含至少一个柱结构155的区域中形成光致抗蚀剂层67中的开口。在一个实施例中,可以选择光致抗蚀剂层67的厚度,使得要后续植入到至少一个柱结构155中的电掺杂剂可以被植入到至少一个柱结构155的最底部分,而电掺杂剂不被植入到存储器器件区域100中的存储器堆叠体结构55的任何部分中。在一个实施例中,光致抗蚀剂层67的厚度可以大于交替堆叠体(32,42)的厚度。

[0200] 第二导电型(例如,n型)的电掺杂剂可以被植入到每个柱结构155中的垂直地延伸的半导体材料部分(实施为半导体沟道(601,602))中,而通过图案化的光致抗蚀剂层67的存在来阻止第二导电型的电掺杂剂被植入到存储器堆叠体结构55的半导体沟道(601,602)中。柱结构155中的所有半导体材料部分可以掺杂有植入的第二导电型的掺杂剂。选择第二导电型的植入掺杂剂的剂量,使得在柱结构155中所有半导体材料部分被掺杂。

[0201] 第二导电型的电掺杂剂的植入将至少一个柱结构155中的每个外延半导体沟道66(其是本征的或具有如所形成的第一导电型的掺杂)转化为具有第二导电型的掺杂的外延掺杂半导体部分166。此外,第二导电型的电掺杂剂的植入将至少一个电阻器开口249中的每个半导体沟道(601,601)转化为垂直地延伸的掺杂半导体部分,其在本文中称为第一掺杂半导体部分160。每个外延掺杂半导体部分166和每个第一掺杂半导体部分160是掺杂半导体材料部分,并且通过第二导电型的电掺杂剂的离子植入形成,使得其中第二导电型的掺杂剂的原子浓度在$1.0\times10^{17}/cm^3$到$1.0\times10^{20}/cm^3$的范围内。在一个实施例中,每个柱结构155内的所有半导体材料可以具有相同导电型的掺杂,其是第二导电型。

[0202] 外延掺杂半导体部分166位于每个垂直地延伸的腔(即,电阻器开口249)的底部处,并且包括与存储器堆叠体结构55的外延沟道部分66相同的半导体材料。在一个实施例中,每个第一掺杂半导体部分160可以包括掺杂多晶半导体材料部分,其直接形成在各自的电阻器开口249内的至少一个电绝缘材料(即存储器膜50的电介质材料)的内表面上。至少

Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2024-00790

一个柱结构155内的每个漏极区域63在本文中称为第二掺杂半导体部分163。

[0203] 参考图19，可以例如通过灰化移除图案化的光致抗蚀剂层67。可以使用与第一实施例相同的方法(如图2所示)形成电介质盖层71。

[0204] 参考图20，可以执行图3、4、5A和5B、6A和6B以及7A-7C的工艺步骤。与背侧接触沟槽79的形成同时并且可选地与侧向分隔沟槽89的形成同时(参见图7B和7C)，电阻器接触沟槽279可以形成在覆于掺杂接触区域112之上的区域中。如果不形成第一实施例的电容器结构，则可以省略侧向分隔沟槽89。

[0205] 可以后续执行图8A-8C、9A和9B以及10A和10B的工艺步骤，以形成存储器器件区域100中的第一导电层46、电容器区域400中的第二导电层146以及电阻器区域500中的第三导电层246。图8A-8C的工艺步骤期间，可以通过穿过背侧接触沟槽279引入蚀刻剂来移除电阻器区域500中的牺牲材料层42的部分，以在其中从电阻器区域500中移除牺牲材料层42的每个空间内形成第三背侧凹陷。通过与第一和第二导电层(46，146)相同的材料的沉积，在相同工艺步骤中在第三背侧凹陷中形成第三导电层246。在图10A和10B的工艺步骤期间，连续导电材料层46L可以沉积在电阻器接触沟槽279的侧壁上，并被后续从电阻器接触沟槽279的侧壁移除。

[0206] 参考图21，可以执行图11A和11B的工艺步骤，以在背侧接触沟槽79中的绝缘间隔体74的形成同时，在每个电阻器接触沟槽279中形成绝缘间隔体274。电阻器区域500中的绝缘间隔体274可以具有与存储器器件区域100中的绝缘间隔体74相同的成分和相同的侧向厚度。基板接触通孔结构276可以形成于延伸穿过电阻器区域500中的绝缘间隔体274的腔中。电阻器区域500中的基板接触通孔结构276可以在形成存储器器件区域100的背侧接触通孔结构76的同时形成。基板接触通孔结构276是接触通孔结构，其接触侧向地延伸的半导体或导电结构(其是掺杂半导体阱110和掺杂接触区域112的组合)的顶表面。在一个实施例中，背侧接触通孔结构76和基板接触通孔结构276可以通过沉积金属材料形成。

[0207] 参考图22，可以后续执行图12A-12D的工艺步骤，以形成各种接触通孔结构(8C，88)，其可以包含电容器接触通孔结构8C、控制栅极接触通孔结构304以及漏极接触通孔结构88。可以在形成诸如漏极接触通孔结构88的其他通孔接触结构的同时，在每个柱结构155的顶表面上形成柱接触通孔结构850。在一个实施例中，可以形成与柱结构155的数量一样多的柱接触通孔结构850。柱结构850可以在与漏极接触通孔结构88相同的工艺步骤中形成，并且可以具有与漏极接触通孔结构88相同的成分。可选地，柱接触通孔结构850、电容器接触通孔结构8C、控制栅极接触通孔结构304以及漏极接触通孔结构88可以使用相同工艺步骤的组来形成，并且可以包括相同导电材料的组。

[0208] 后续地，可以执行图13A-13E的工艺步骤，以形成线级电介质材料层92和其中的各种互连线结构。线级电介质材料层92中形成的互连线结构可以包含例如图13A-13E所示的节点连结金属线(821，822，823，831，832，833)、源极金属线96以及位线98，并且额外地包含接触柱接触结构850的第一电阻器节点金属线851和接触基板接触通孔结构276的第二电阻器节点金属线852。

[0209] 第二示例性结构可以包括半导体器件。半导体器件可以包括位于基板(10，110，112，120)之上的第一材料层32和第二材料层246的交替堆叠体(32，246)。半导体器件还可以包括至少一个柱结构155，其从包含交替堆叠(32，246)的顶表面的第一水平平面延伸到

Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2024-00790

位于之下的第二水平平面，并且由交替堆叠体(32,246)内的多个层(比如第一材料层32和第二材料层246)与交替堆叠体(32,246)的顶表面垂直间隔开。半导体器件还包括侧向地延伸的半导体或导电结构(110,112)，其与至少一个柱结构155的底表面接触；以及接触通孔结构276，其与侧向地延伸的半导体或导电结构(110,112)的顶表面接触，并且与至少一个柱结构155侧向地间隔。至少一个柱结构155中的每一个包括其中的至少一个掺杂半导体材料部分的组(160,166,63)。至少一个柱结构155中的每一个内的所有半导体材料都具有相同导电型的掺杂，其可以是第二导电型。接触通孔结构(实施在基板接触通孔结构276中)可以包括金属通孔结构。

[0210] 在一个实施例中，至少一个掺杂半导体材料部分(160,166,63)包括与至少一个电绝缘材料的内表面接触的掺杂多晶半导体材料部分160，至少一个电绝缘材料可以是存储器膜50。

[0211] 半导体器件还可以包含在第一水平平面和包含交替堆叠体(32,46)的底表面的另一水平平面之间延伸的存储器开口，以及存储器堆叠体结构55，其包括位于存储器开口内的存储器膜50，以及位于存储器膜50内的半导体沟道(601,602)。至少一个柱结构155中的每一个包括位于至少一个掺杂半导体材料部分(160,166,63)的各自的组的外侧壁上的至少两个电介质材料层(即，存储器膜50)的堆叠体层。存储器堆叠体结构55中的存储器膜50和柱结构155中的至少两个电介质材料层的层堆叠体50包括相同电介质材料的组。

[0212] 至少一个掺杂半导体材料部分(160,166,63)的各自的组内的第一掺杂半导体材料部分(如实施为掺杂多晶半导体材料部分160)包括与半导体沟道(601,602)相同的半导体材料，并且还包含第二导电型的电掺杂剂。

[0213] 在一个实施例中，半导体沟道(601,602)可以是本征的，或者可以具有与至少一个掺杂的半导体材料部分(160,166,63)的组相反导电型的掺杂，半导体材料部分(160,166,63)的组具有第二导电型的掺杂。

[0214] 在一个实施例中，存储器堆叠体结构55还包括具有第二导电型掺杂的漏极区域63。如实施为漏极区域63的第二掺杂半导体材料部分可以存在于至少一个掺杂半导体材料部分(160,166,63)的每组内。每个柱结构155中的第二掺杂半导体材料部分63可以包括与存储器堆叠体结构55中的漏极区域63相同的半导体材料。

[0215] 在一个实施例中，存储器堆叠体结构55还包括具有第一导电型的掺杂的外延沟道部分66，并且外延掺杂半导体部分166可以存在于至少一个掺杂半导体材料部分(160,166,63)的每组内。

[0216] 外延掺杂半导体部分166包括与外延沟道部分66相同的半导体材料，并且还包含第二导电型的电掺杂剂。

[0217] 在一个实施例中，侧向延伸的半导体或导电结构(110,112)由位于基板中的至少一个单晶半导体材料部分构成。在一个实施例中，侧向延伸的半导体或导电结构(110,112)可以由掺杂半导体阱110和掺杂接触区域112构成，其具有第二导电型的掺杂。

[0218] 在一个实施例中，第一材料层32可以是电绝缘体层32，并且第二材料层(246,46)可以是导电层。在一个实施例中，第一材料层32包括第一电绝缘材料，第二材料层(246,46)包括第二电绝缘材料，并且存储器堆叠体结构55延伸穿过位于第二材料层(246,46)的每一级处的第一材料层32和导电层46的另一交替堆叠体(32,46)。在一个实施例中，至少一个掺

Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2024-00790

杂半导体材料部分(160,166,163)的组包括原子浓度在$1.0\times10^{17}/cm^3$到$1.0\times10^{20}/cm^3$的范围内的第二导电型的电掺杂剂。

[0219] 在一个实施例中,半导体结构还可以包括第一实施例的垂直NAND存储器器件。

[0220] 参考图23,可以通过在图22的工艺步骤形成与多个柱结构155接触的柱接触通孔结构850,而从第二示例性结构衍生第二示例性结构的替代实施例。

[0221] 在根据本公开的第三实施例的第三示例性结构中,原始绝缘层42保持在堆叠体中,并且不被导电层246替代。参考图24,可以通过执行图3、4、5A和5B的工艺步骤,并且通过采用图6A和6B的处理方法形成(一个或多个)电介质柱结构7P和电介质材料层73,而从图19的第二示例性结构衍生此结构。如果需要,在本实施例的器件中也可以存在如上面描述和图示的电介质支撑柱结构7Q(为清楚而未示出)。至少一个柱结构155可以形成在电阻器区域600中,电阻器区域600可以是替代第二实施例的电阻器区域500的区域,或者可以附加于第二实施例的电阻器区域500提供。区域500或600可以位于存储器器件区域100的部分中和/或切口区域501中,如图37所示。

[0222] 后续地,在不形成电阻器区域600中的电阻器接触沟槽279的情况下,执行图7A-7D、8A-8C、9A和9B、10A和10B以及11A和11B的工艺步骤。如果提供第二实施例的另一电阻器区域500,电阻器接触沟槽279可以形成在这样的电阻器接触区域500中。

[0223] 在第三实施例中,存储器器件区域100、可选电容器区域400以及可选的额外电阻器区域500中的中的第二材料层42的第一部分被导电层(46,146,246)替代,而电阻器区域600中的第二材料层42的第二部分保持完好。在这种情况下,第二材料层42包括电介质材料,并且在包含充有柱结构155的至少一个垂直地延伸的腔的区域(即,电阻器区域600)内不被移除。

[0224] 参考图25,至少一个柱接触通孔结构850、漏极接触通孔结构88以及电容器接触通孔结构8C可以在与图22的相同工艺步骤中形成。

[0225] 参考图26,可以例如通过施加光致抗蚀剂层,光致抗蚀剂层的光刻图案化,并且通过各向异性蚀刻穿过交替堆叠体(32,42)将光致抗蚀剂层中的图案转印,来穿过第一材料层32和第二材料层42的交替堆叠体在掺杂接触区域112上形成电阻器接触沟槽279。在这种情况下,可以在用导电材料代替存储器器件区域100和电容器区域400中的第二材料层42的部分的背侧接触沟槽79的形成之后,形成电阻器接触沟槽279。在一个实施例中,第一材料层32可以包含第一绝缘材料(诸如硅氧化物),并且第二材料层42可以包含第二绝缘材料(例如硅氮化物)。

[0226] 参考图27,可以通过用至少一种导电材料填充电阻器接触沟槽279来形成基板接触通孔结构276。绝缘间隔体不必在电阻器接触沟槽279中。因此,基板接触通孔结构276可以接触电阻器区域600中的第一材料层32和第二材料层42的侧壁。至少一个柱接触通孔结构850可以是第一电阻器节点通孔结构,并且基板接触通孔结构276可以是第二电阻器节点通孔结构。

[0227] 在根据本公开的第四实施例的第四示例性结构中,电阻器形成在阶梯区域700中的一个或多个中,其可以位于(一个或多个)字线阶梯表面区域300、(一个或多个)虚设台阶区域400和/或在虚设台阶轨道406中,如图37所示。参考图28,可以通过形成可选的电介质柱结构7P和电介质支撑柱结构7Q以及电介质材料层73,而从图6A和6B中的第一示例性结构

Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2024-00790

或图19的第二示例性结构衍生此结构。第一实施例中的电容器区域400可以存在或者可以不存在于第四示例性结构中。第二实施例中的电阻器区域500可以存在或者可以不存在于第四示例性结构中。第三实施例中的电阻器区域600可以存在或者可以不存在于第四示例性结构中。电阻器区域700被提供为与存储器器件区域100(例如,在阶梯区域300、400和/或406中)相邻。可以以与第一实施例的电介质柱结构7P相同或相似的图案,将可选的电介质柱结构7P形成在存储器器件区域100和电阻器区域700之间的边界处或其附近。

[0228] 参考图29A-29D,执行图7A-7D的工艺步骤,以形成存储器器件区域100中的背侧接触沟槽79以及电阻器区域700中的可选侧向分隔沟槽89。

[0229] 参考图30A和30B,执行图8A-8C的工艺步骤和图9A和9B的工艺步骤,以形成为电绝缘层32的第一材料层32和为导电层346的第二材料层的交替堆叠体(32,346),电绝缘层346在本文中被称为第四导电层346。

[0230] 参考图31A和31B,执行图10A和10B的工艺步骤,以从背侧接触沟槽79的内侧移除任何剩余的金属材料。

[0231] 参考图32A和32B,执行图11A和11B的工艺步骤,以形成绝缘间隔体74和背侧接触通孔结构76。

[0232] 参考图33A-33D,用形成接触通孔结构的不同的光刻图案来执行图12A-12D的工艺步骤,接触通孔结构在本文中被称为电阻器接触通孔结构8R。光致抗蚀剂层被施加在电介质层73上,并且被光刻图案化,以形成覆于第四导电层346的阶梯水平表面之上的开口。第一组垂直地延伸的通孔腔形成为穿过可选电介质材料层73和倒退阶梯电介质材料层65。可以选择光致抗蚀剂层中形成的光刻图案,使得第四导电层346的每个水平阶梯表面物理地暴露在电阻器区域700中的第一组垂直地延伸的通孔腔的底部。光致抗蚀剂层可以通过例如灰化移除。可以以与第一实施例的图12-12D的工艺步骤相同的方式来填充第一组垂直地延伸的通孔腔,以形成电阻器接触通孔结构8R。每个第四导电层346是侧向地延伸的半导体或导电结构,其接触各自的电阻器接触通孔结构8R。

[0233] 参考图34A-34D,另一光致抗蚀剂层被施加在电介质材料层73上,并且被光刻图案化,以形成覆于第四导电层346的阶梯水平表面之上并且不与电阻器接触通孔结构8R重叠的开口。第二组垂直地延伸的通孔腔7C形成为穿过可选电介质材料层73和倒退阶梯电介质材料层65。可以选择形成在光致抗蚀剂层中的光刻图案,使得第四导电层346的每个水平阶梯表面物理地暴露在电阻器区域700中的第二组垂直地延伸的通孔腔的底部,而不蚀刻或者物理地暴露电阻器接触通孔结构8R的任何表面。光致抗蚀剂层可以通过例如灰化移除。

[0234] 参考图35A-35D,第二组垂直地延伸的通孔腔7C可以被能够提供目标电阻率水平的适当材料填充。在一个实施例中,第二组垂直地延伸的通孔腔7C可以被掺杂半导体材料填充。可以通过采用原位掺杂的半导体材料的沉积,或可以沉积为本征半导体材料或掺杂半导体材料并应用植入掩膜层(诸如光致抗蚀剂层)而以电掺杂剂植入,来将掺杂半导体材料沉积在第二组垂直地延伸的通孔腔中。电介质材料层73的顶表面上方的掺杂半导体材料的多余部分可以通过例如化学机械平坦化移除。

[0235] 第二垂直地延伸的通孔腔中的掺杂半导体材料的每个剩余部分构成柱结构7R。每个柱结构7R可以包含具有预先选择的掺杂剂水平的掺杂半导体材料。在一个实施例中,柱结构7R可以具有相同的水平截面积,并且每个柱结构7R的电阻可以与柱结构346的高度成

Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2024-00790

反比。每个导电层346是侧向地延伸的半导体或导电结构，其接触各自的电阻器接触通孔结构8R和各自的柱结构7R。在一个实施例中，柱结构7R中的每一个可以由各自的掺杂半导体材料部分构成，各自的掺杂半导体材料部分沉积在形成在侧向地延伸的半导体或导电结构上的各自的垂直地延伸的腔内(其实施为第四导电层346)。

[0236] 在一个实施例中，柱结构7R形成在第二组垂直地延伸的腔中的每个垂直地延伸的腔内，并且每个柱结构7P可以包括掺杂半导体材料部分。每个柱结构7R内的所有半导体材料可以具有相同导电型的掺杂，其可以是第一导电型或第二导电型。

[0237] 参考图36A-36D和图37，可以以与第一实施例中相同的方式将包含电介质材料的线级电介质材料层92形成在电介质材料层73的顶表面之上。可以例如通过在线级电介质材料层92中形成线沟道并且用至少一种导电材料填充线沟道，来将互连线结构形成在线级电介质材料层92中。可以例如通过化学机械平坦化，从线级电介质材料层92的顶表面上方移除至少一个导电材料的多余部分。

[0238] 第一电极金属线841、第二电极金属线84、源极金属线96和位线98以及可选地第一、第二、第三实施例的额外金属线结构可以形成在线级电介质材料层92中。每个第一电极金属线841可以接触柱结构7R的顶表面，并且每个第二电极金属线842可以接触电阻器接触通孔结构8R的顶表面。节点连结金属线(821,822,823,831,832,833)可以包含将各自的电容器的第一节点连结的第一节点连结金属线(821,822,823)和将各自的电容器的第二节点连结的第二节点连结金属线(831,832,833)。源极金属线98提供到背侧接触通孔结构76和源极区域61的电连接。位线98提供到漏极接触通孔结构88和漏极区域63的电连接。

[0239] 虽然本公开描述为应用其中每个第四导电层346形成单个柱结构7R的实施例，但是在本文中设想了其中在一个或多个级处每个第四示例性导电结构346形成多个柱结构7R的实施例。

[0240] 柱结构7R的每个物理地毗邻的组、如实施为第四导电层346的部分的侧向地延伸的半导体或导电结构以及接触通孔结构8R共同地构成电阻器结构(7R,346,8R)。多个电阻器结构可以同时形成。

[0241] 第四示例结构包括半导体器件，其包括位于基板(10,61)之上的第一材料层32和第二材料层346的交替堆叠体(32,346)，至少一个柱结构7P，至少一个柱结构7P从包含交替堆叠体(32,346)顶表面的第一水平平面延伸到位于下方的第二水平平面，并且由交替堆叠体(32,346)内的多个层与交替堆叠体的顶表面垂直地间隔。对于柱结构7P，第二水平平面可以是包含第四导电层346的与柱结构7R接触的顶表面的平面。将第一水平平面与第二水平平面分隔的多个层可以是位于第一水平平面和第二水平平面之间的第一和第二材料层的组(32,346)。第一水平平面对于所有柱结构7P是共同的，并且第二水平平面取决于柱结构7R的最底部的位置。

[0242] 如由第四导电层346所实施的侧向地延伸的半导体或导电结构接触至少一个柱结构7P的底表面。接触通孔结构8R接触如由第四导电层346所实施的侧向地延伸的半导体或导电结构的顶表面，并且与至少一个柱结构7P侧向地间隔。至少一个柱结构7P中的每一个包括其中的至少一个掺杂半导体材料部分的组(其可以是单掺杂的半导体材料部分)。至少一个柱结构中的每一个内的所有半导体材料具有相同导电型的掺杂，其可以是第一导电型或第二导电型。

Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2024-00790

[0243] 可以提供多个电阻器结构。每个电阻器结构包括至少一个柱结构7R，其从第一水平平面延伸到位于不同级处的各自的导电层346。第四导电层346可以接触每个柱结构7R的底表面。电阻器接触通孔结构8R可以接触每个第四导电层346的顶表面。在一个实施例中，每个电阻器接触通孔结构8R可以包括金属通孔结构。

[0244] 每个柱结构7R的掺杂半导体材料部分可以包括接触至少一个电绝缘材料的内表面的掺杂多晶半导体材料部分，其可以是倒退阶梯电介质材料部分的绝缘材料。在一个实施例中，第一材料层32包括电绝缘层，第二材料层346包括导电层，侧向地延伸的半导体或导电结构346包括导电层中的一个。在一个实施例中，至少一个柱结构7P中的每一个可以由各自的掺杂半导体材料部分构成。

[0245] 绝缘体层32和第四导电层346的交替堆叠体(32，346)可以包括阶梯表面区域，其中具有至少一个上层的第四导电层346的每个第四导电层346比任何上层的第四导电层346侧向地延伸地更远。交替堆叠体(32，346)的不位于交替堆叠体(32、346)内的任何其他层下方(并且其接触倒退阶梯电介质材料部分65、柱结构7R和/或电阻器接触通孔结构8R中的任一个)的水平表面毗邻第一和第二材料层的垂直表面。倒退阶梯电介质材料部分65覆于阶梯表面区域之上。至少一个柱结构7R、如第四导电层346的部分中实施的侧向地延伸的半导体或导电结构以及电阻器接触通孔结构8R的组共同地构成电阻器结构。

[0246] 第一、第二、第三以及第四示例性结构可以单独形成，或者与第一、第二、第三以及第四示例性结构中的任意其他组合形成。本公开的示例性结构可以提供与包含第一材料层和第二材料层的交替堆叠体的三维器件集成的无源部件(诸如电阻器和电容器)，三维器件可以是诸如垂直NAND器件的三维存储器器件。本公开的一些实施例提供应用材料层的交替堆叠体上形成的阶梯表面的电容器结构和/或电阻器结构。因此，可以应用形成用于垂直存储器器件的控制栅电极的接触通孔结构的工艺步骤，以形成用于本公开的示例性器件的阶梯表面区域。在一些其他实施例中，可以应用与用来形成存储器堆叠结构的工艺步骤相同的工艺步骤，并通过添加掩模离子植入以在其中掺杂半导体材料的工艺步骤，来构成电阻器结构的电阻性部分的柱结构。因此，能够以对制造三维存储器器件的已知工艺步骤的最小添加和/或修改来形成本公开的无源器件，从而降低了无源器件的生产成本。此外，可以通过应用能够形成在绝缘层和导电层的交替堆叠体上的阶梯表面，而在存储器堆叠结构附近形成本公开的无源器件。因此，能够以最少的电引线来将无源器件集成到存储器器件的外围电路中。

[0247] 虽然上文涉及特定的优选实施方案，但是应当理解，本公开不限于此。本领域普通技术人员将会想到，可以对所公开的实施例进行各种修改，并且这些修改意图在本公开的范围内。本文引用的所有出版物、专利申请和专利通过引用其整体并入本文。

Micron Ex. 1002, p. 405
Micron v. YMTC
IPR2024-00790

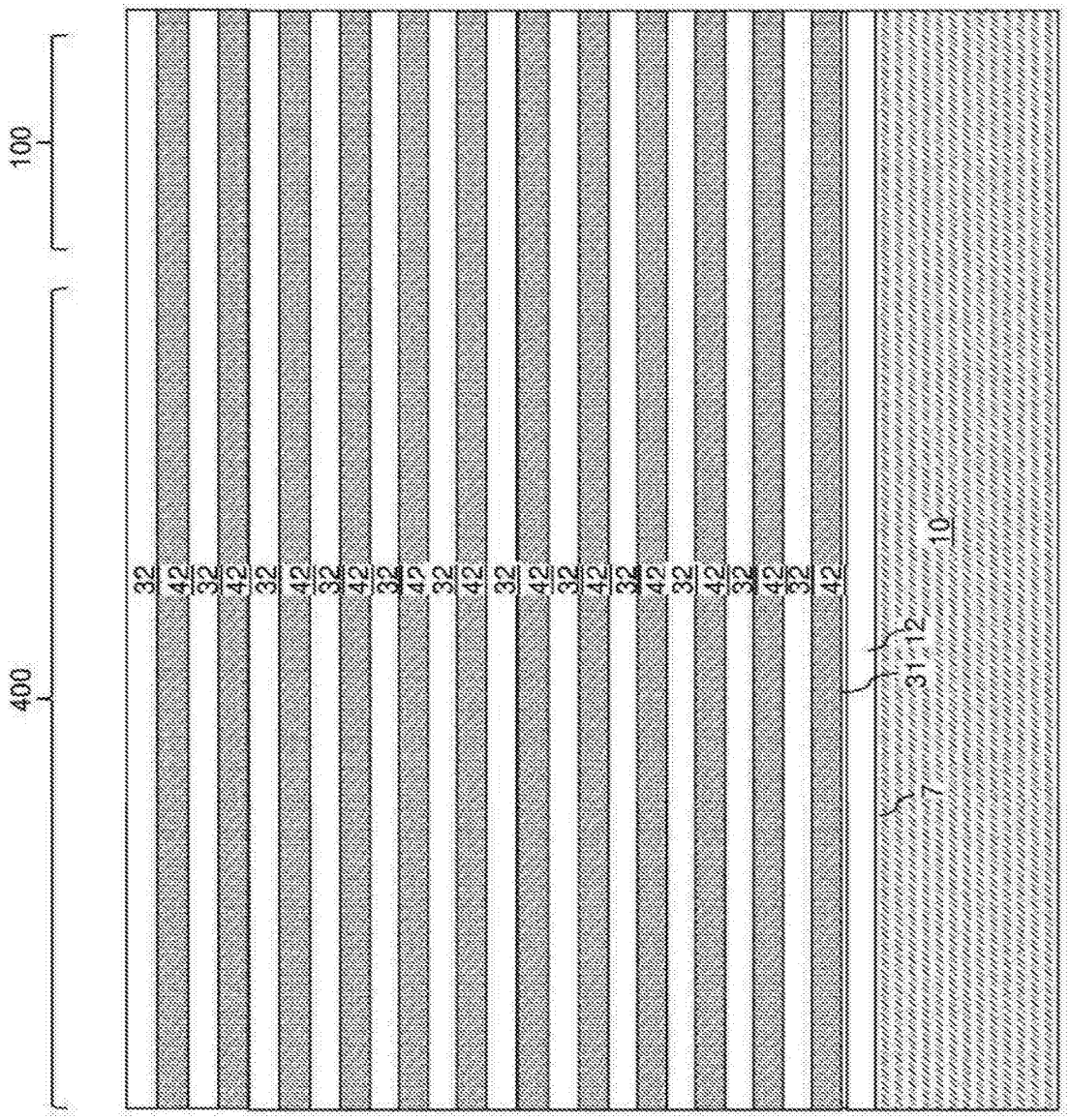


图1

Micron Ex. 1002, p. 406
Micron v. YMTC
IPR2024-00790

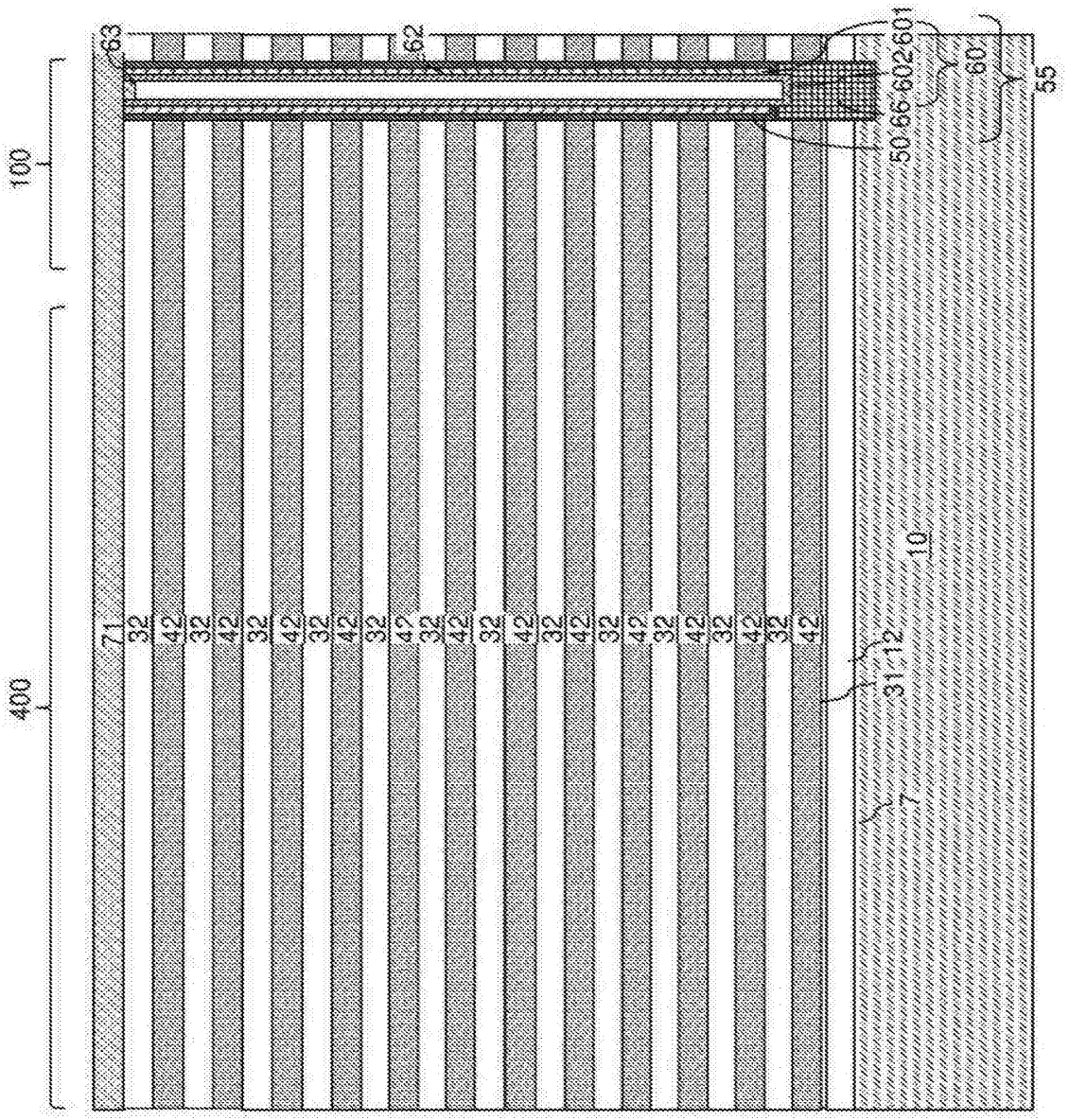


图2

Micron Ex. 1002, p. 407
Micron v. YMTC
IPR2024-00790

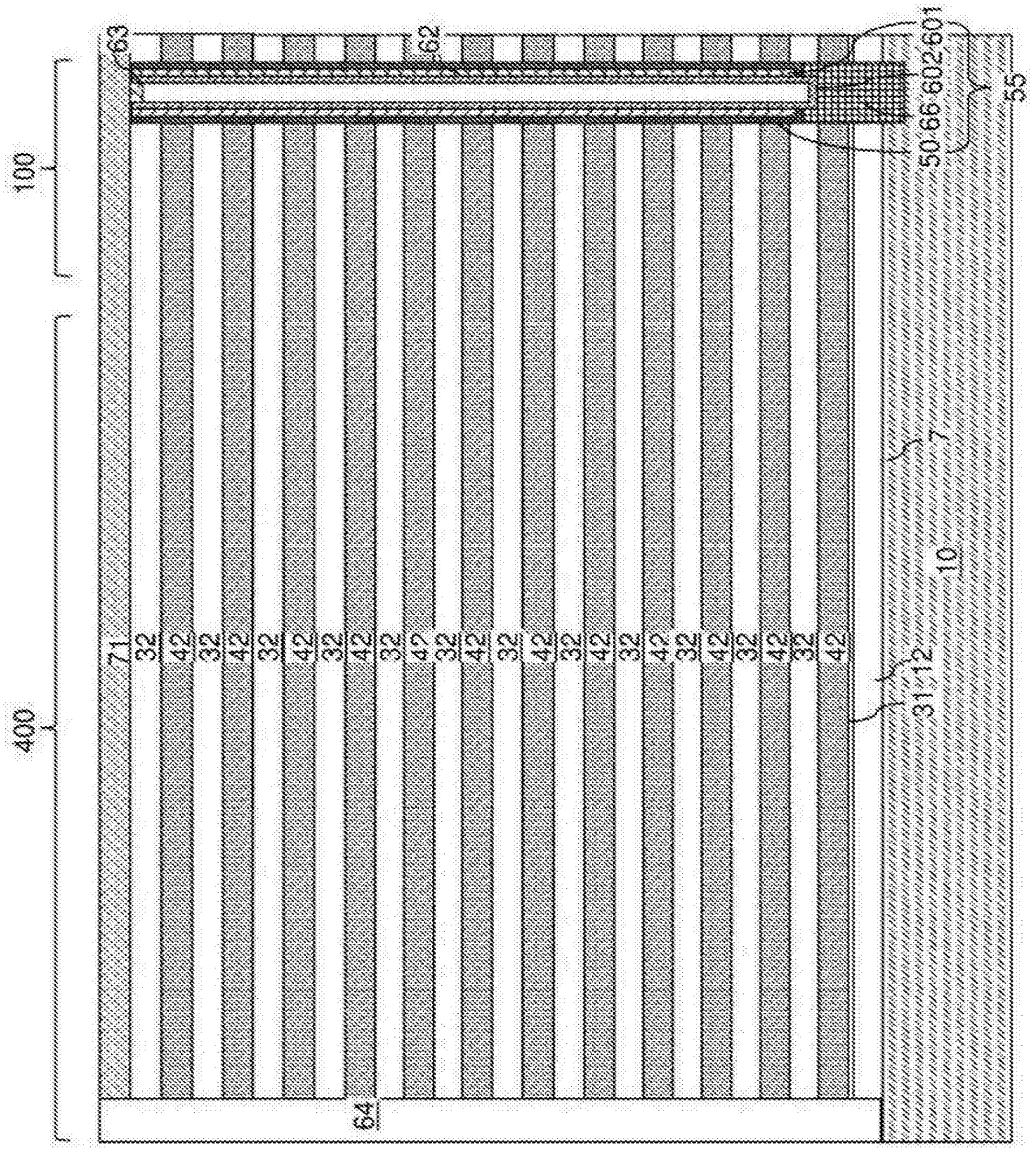


图3

Micron Ex. 1002, p. 408
Micron v. YMTC
IPR2024-00790

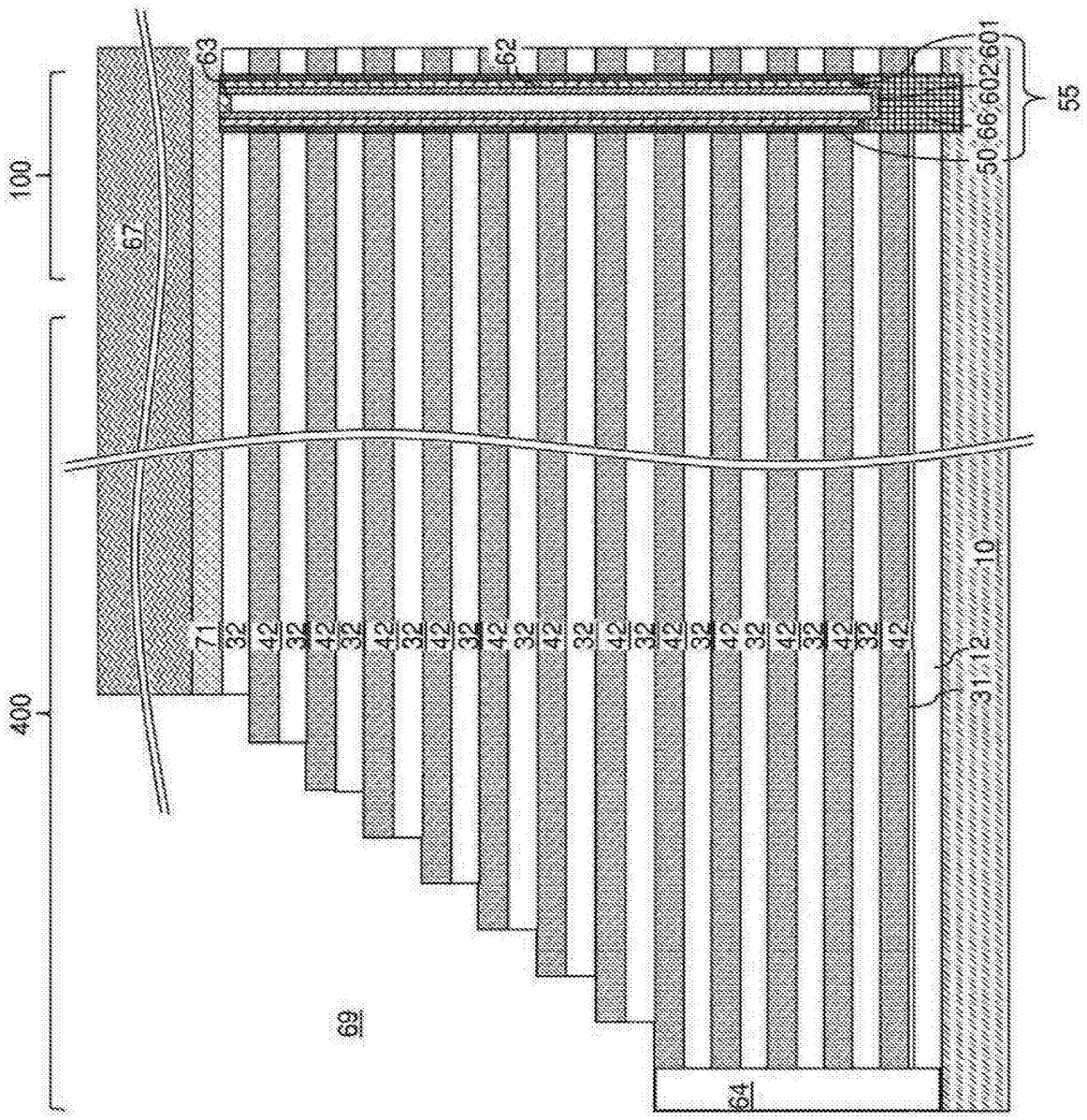


图4

Micron Ex. 1002, p. 409
Micron v. YMTC
IPR2024-00790

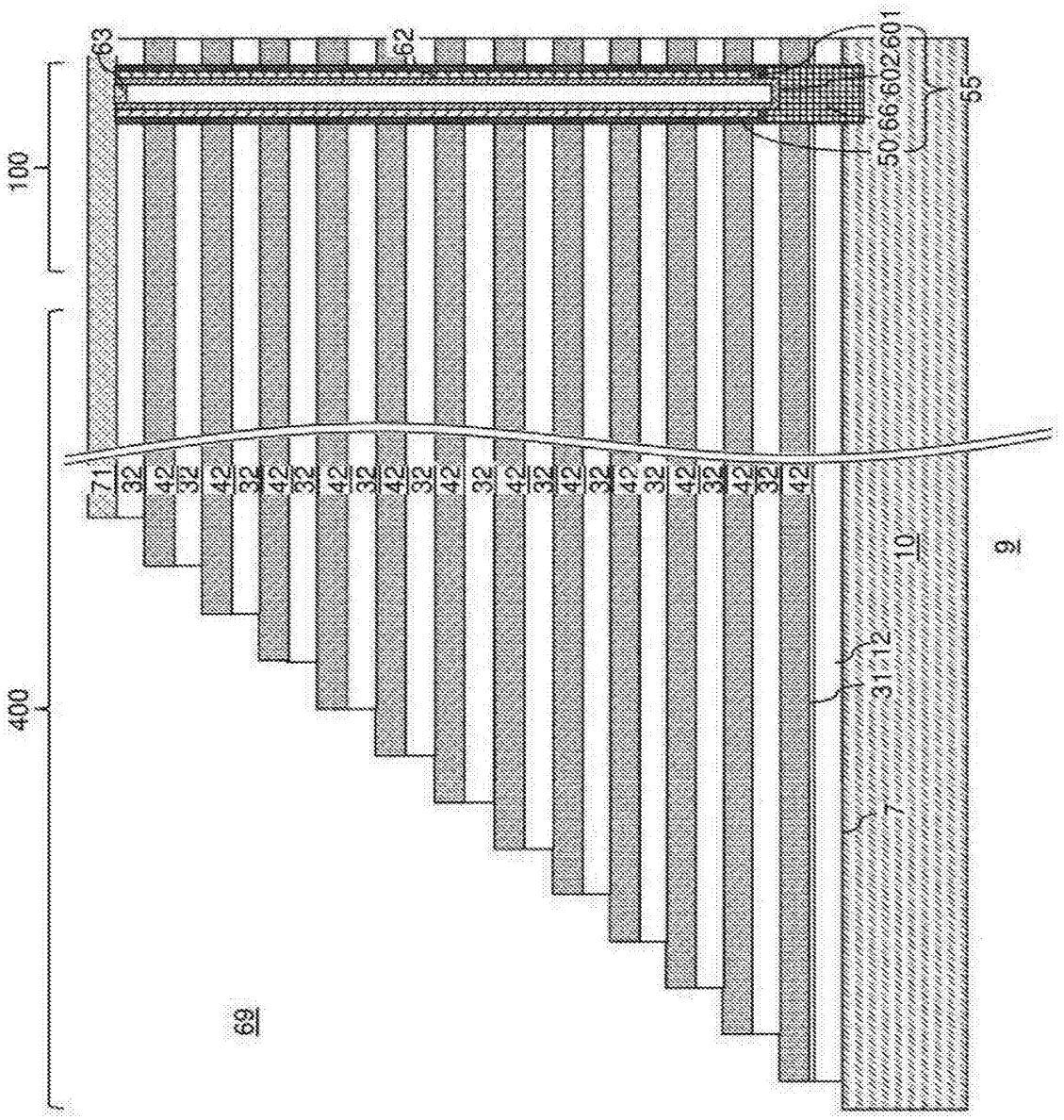


图5A

Micron Ex. 1002, p. 410
Micron v. YMTC
IPR2024-00790

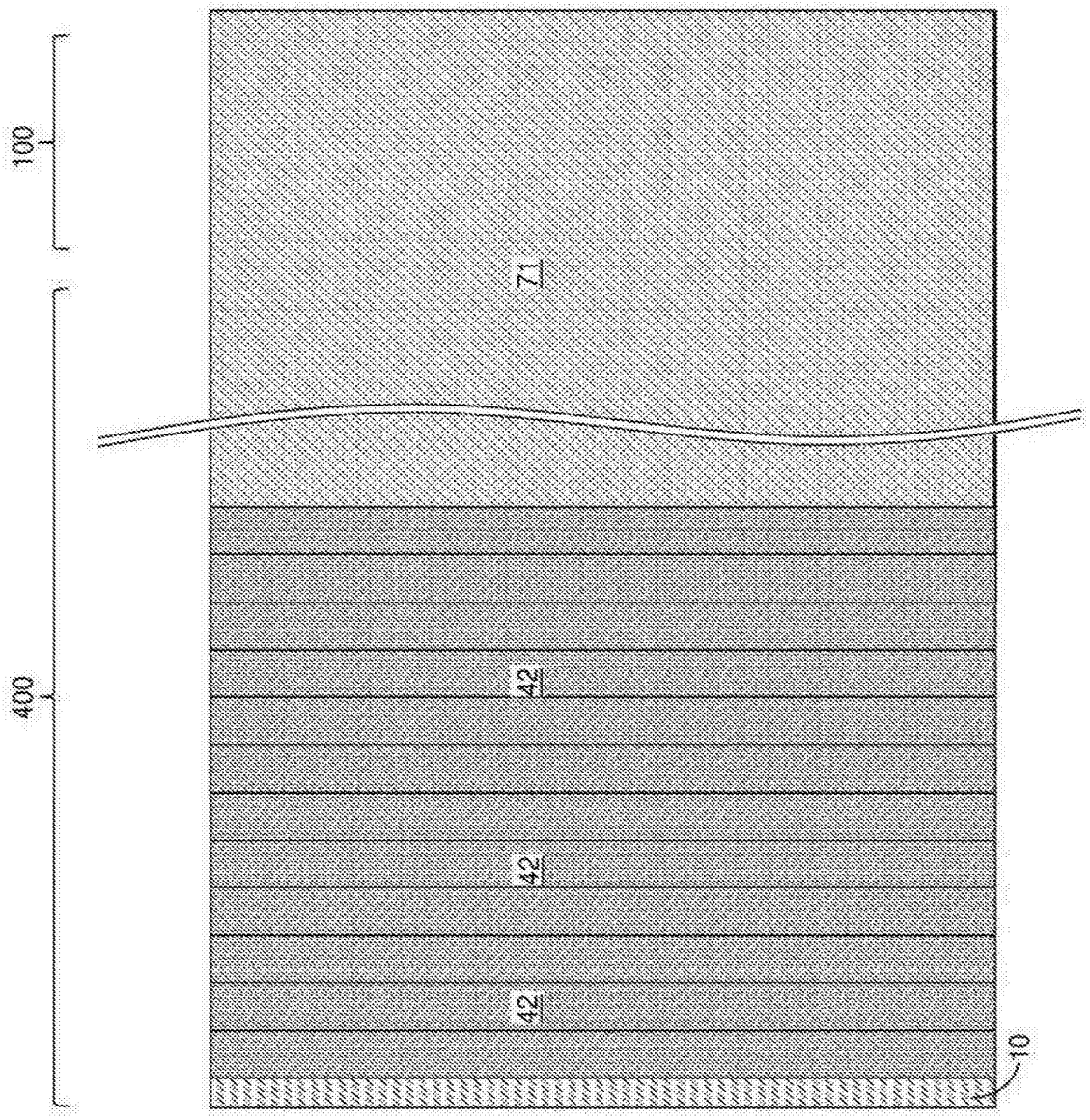


图5B

Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2024-00790

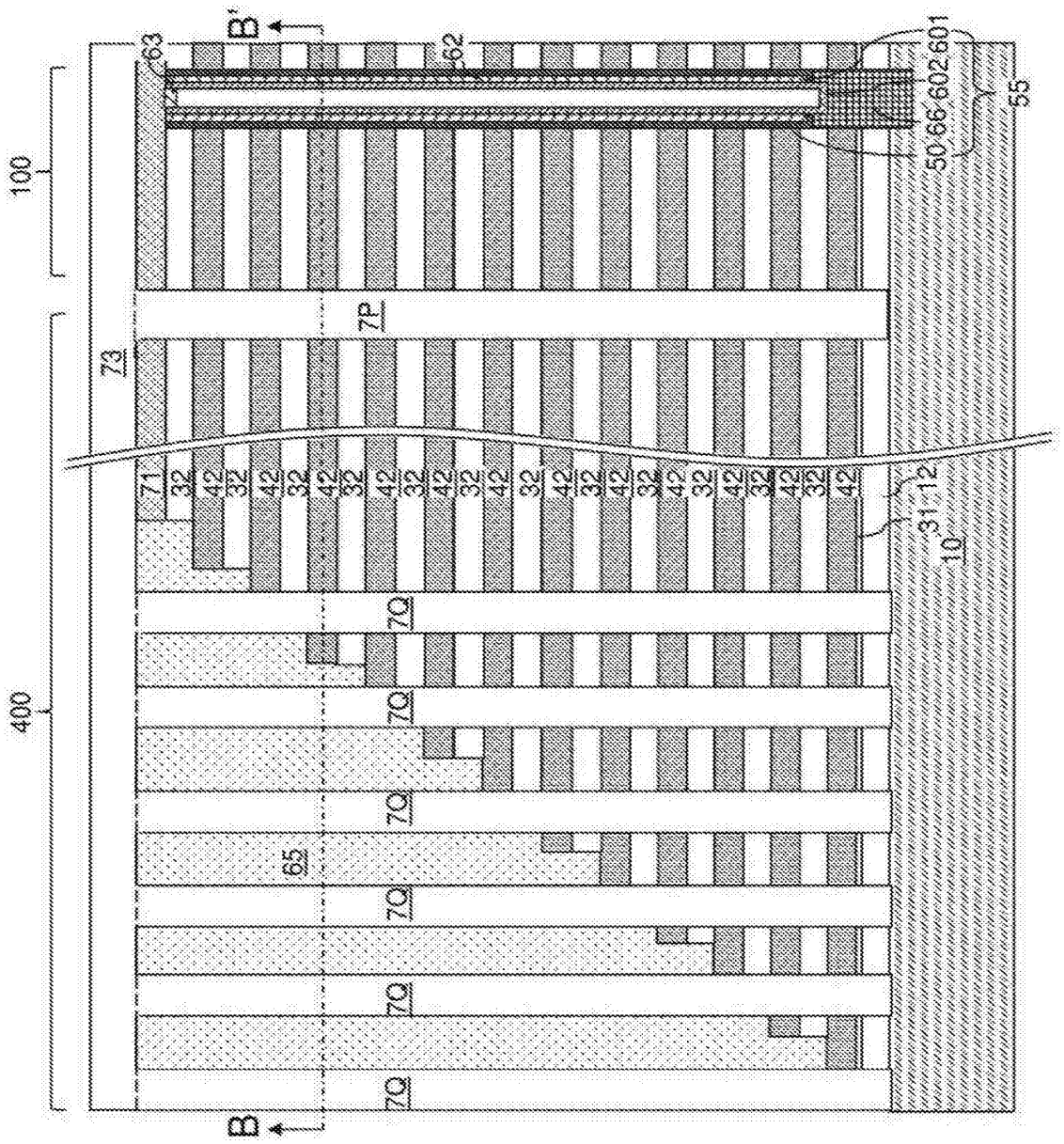


图6A

Micron Ex. 1002, p. 412
Micron v. YMTC
IPR2024-00790

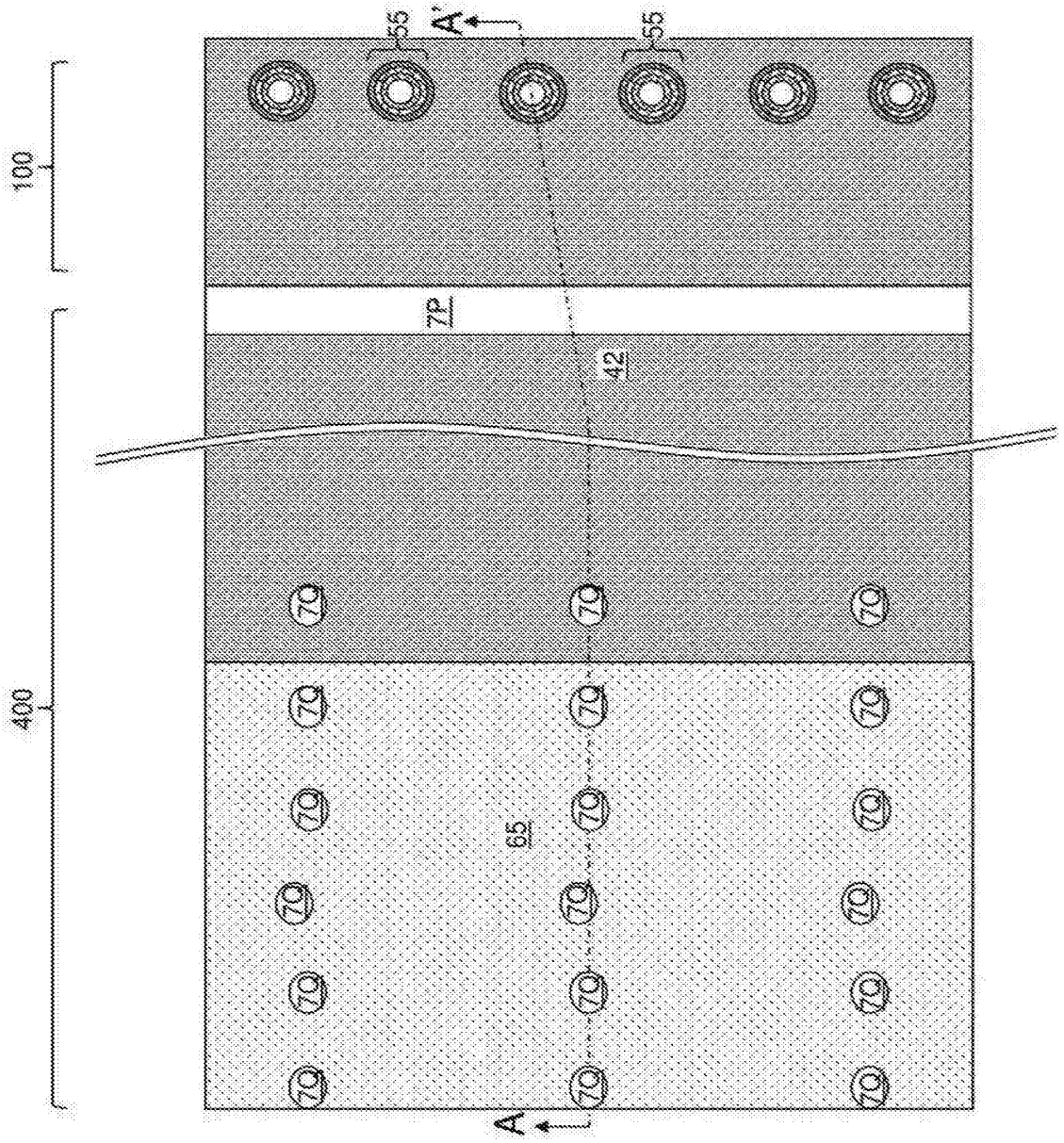


图6B

Micron Ex. 1002, p. 413
Micron v. YMTC
IPR2024-00790

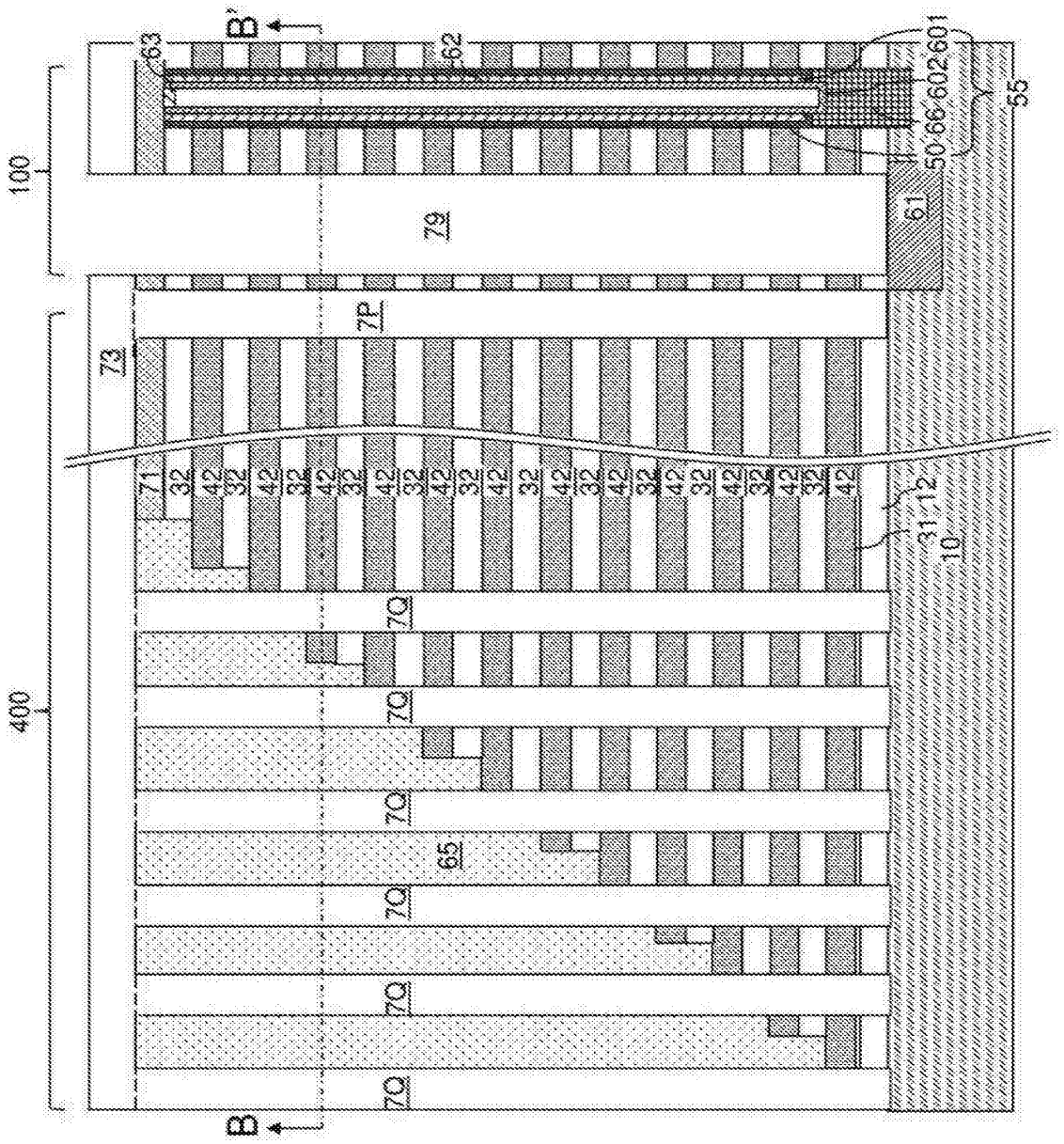


图7A

Micron Ex. 1002, p. 414
Micron v. YMTC
IPR2024-00790

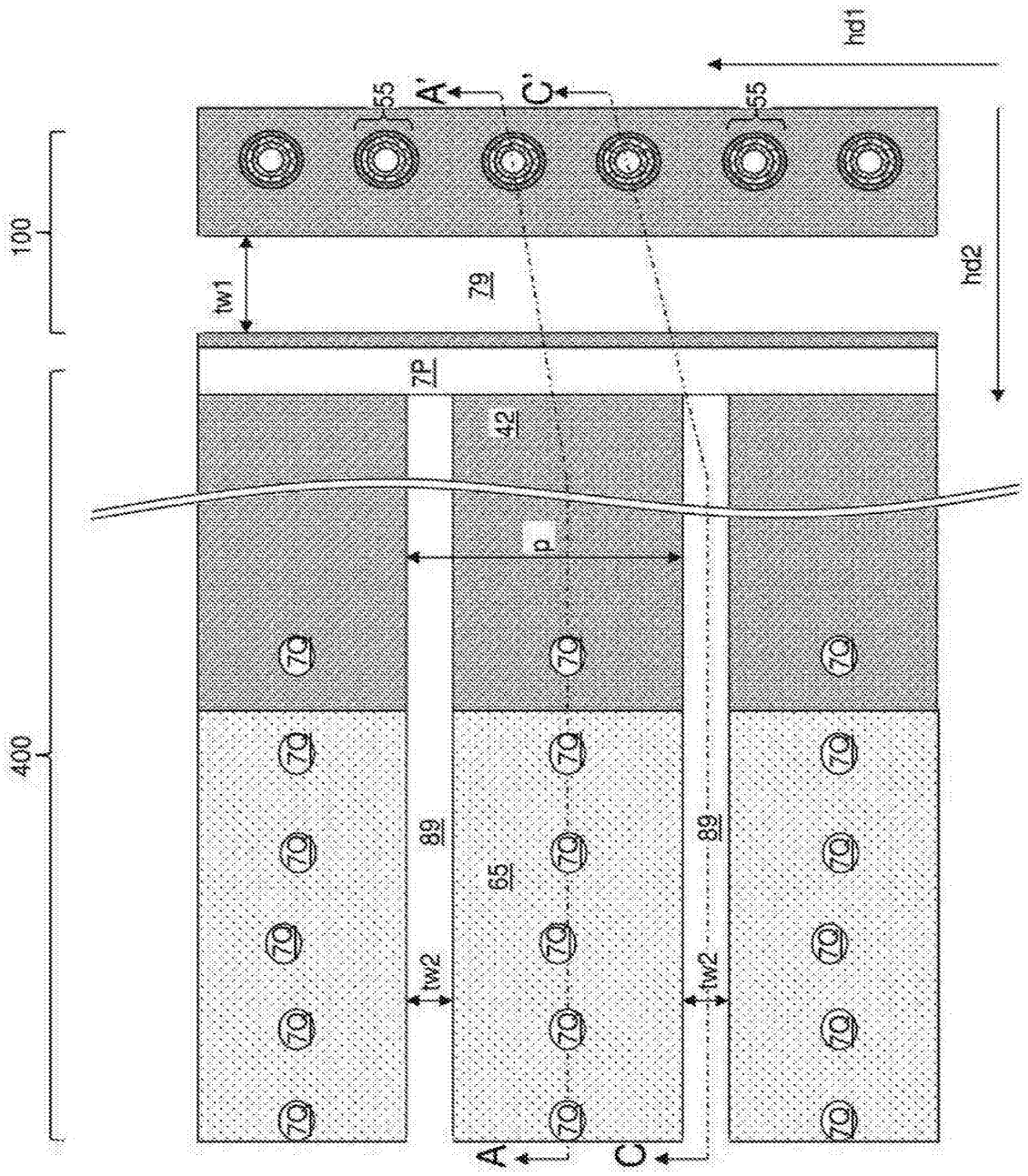


图7B

Micron Ex. 1002, p. 415
Micron v. YMTC
IPR2024-00790

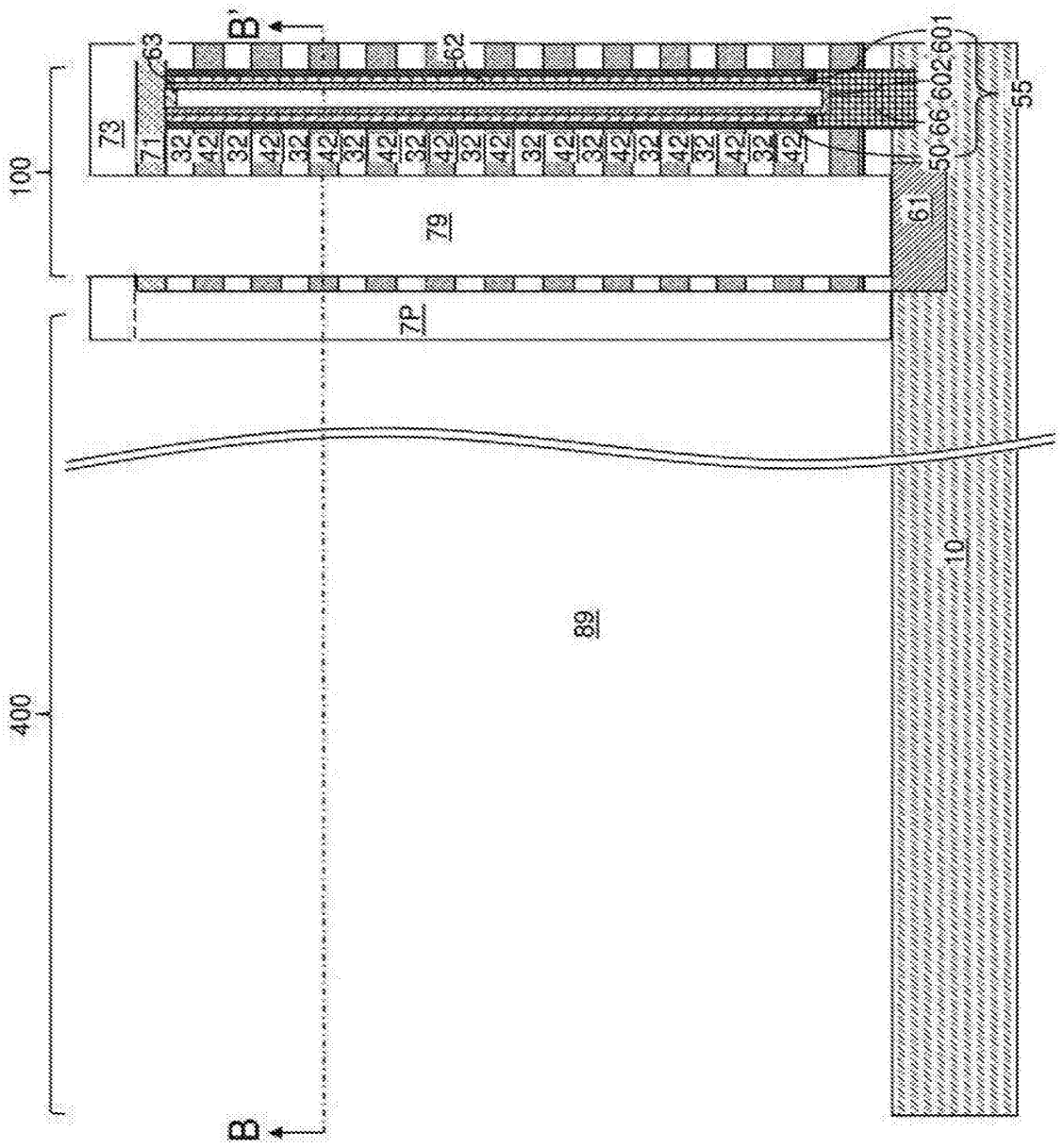


图7C

Micron Ex. 1002, p. 416
Micron v. YMTC
IPR2024-00790

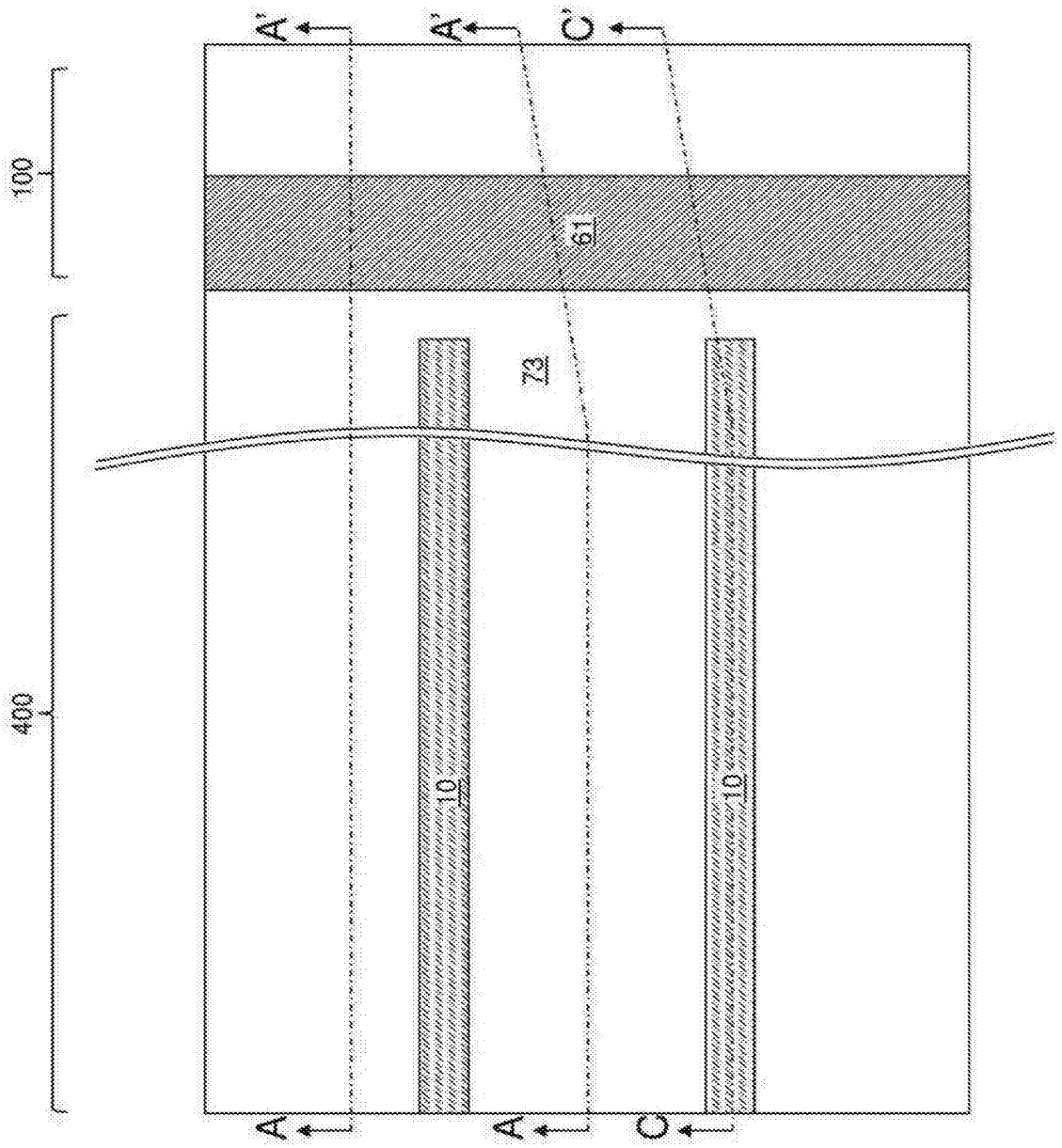


图7D

Micron Ex. 1002, p. 417
Micron v. YMTC
IPR2024-00790

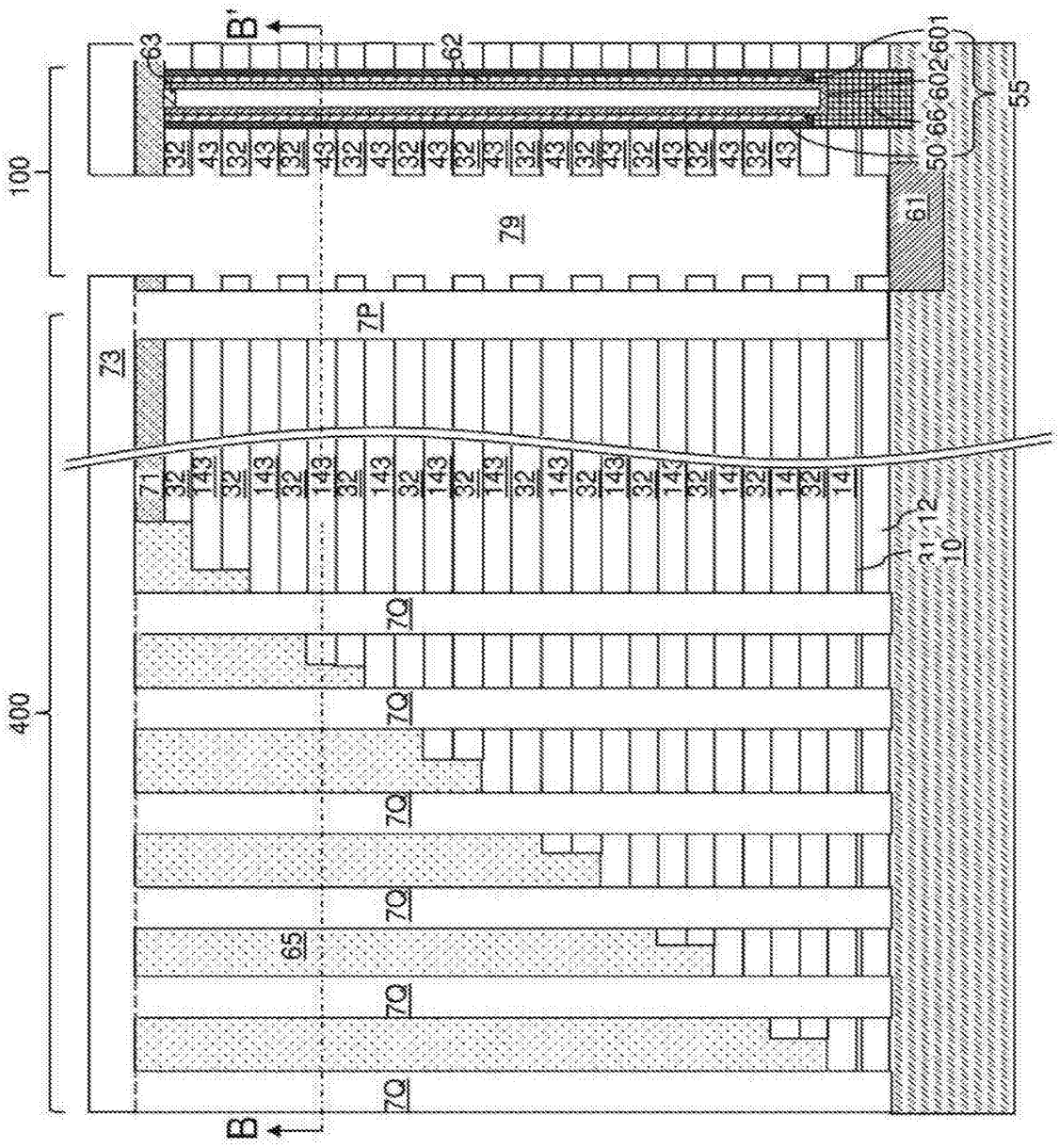


图8A

Micron Ex. 1002, p. 418
Micron v. YMTC
IPR2024-00790

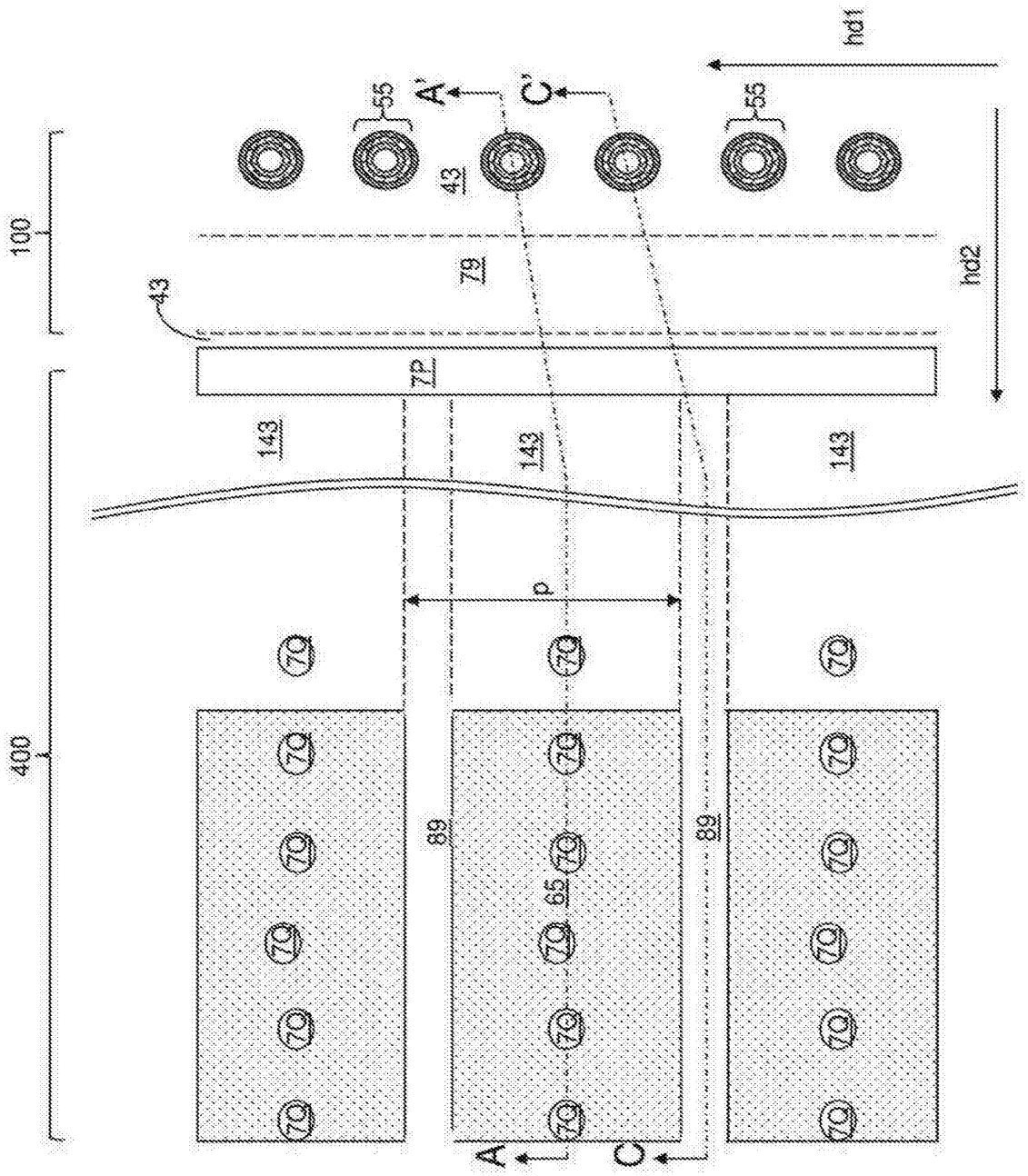


图8B

Micron Ex. 1002, p. 419
Micron v. YMTC
IPR2024-00790

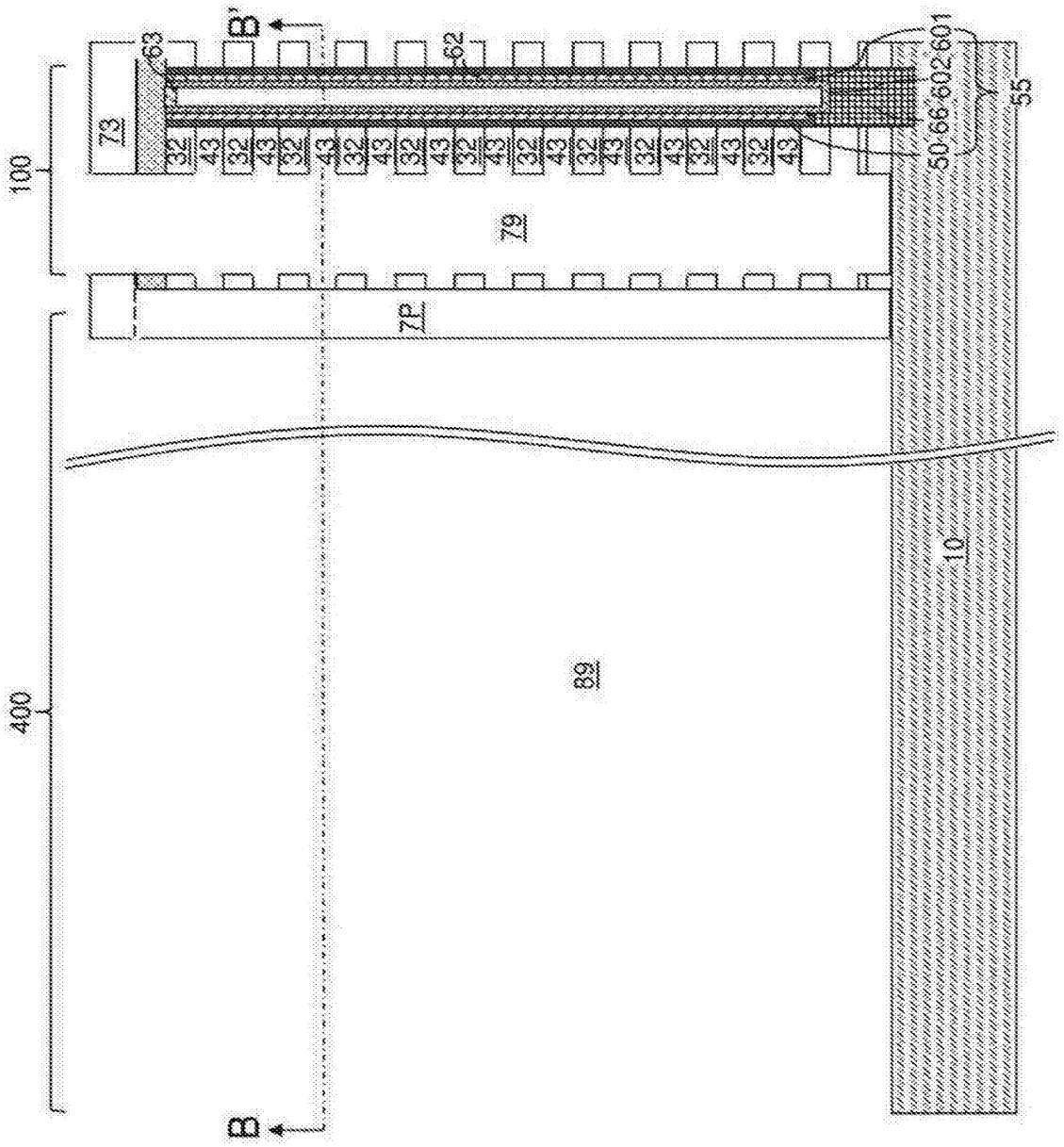


图8C

Micron Ex. 1002, p. 420
Micron v. YMTC
IPR2024-00790

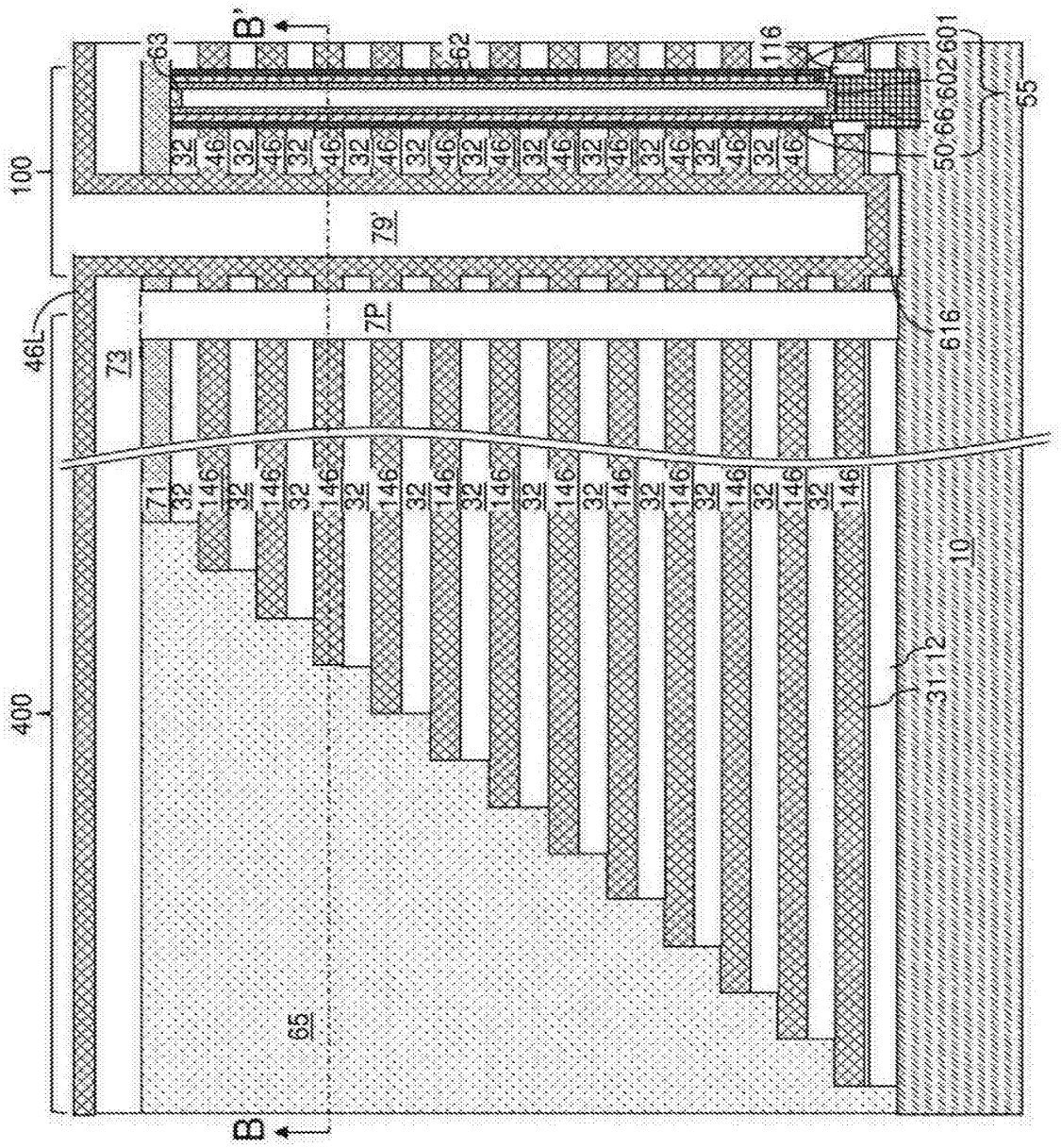


图9A

Micron Ex. 1002, p. 421
Micron v. YMTC
IPR2024-00790

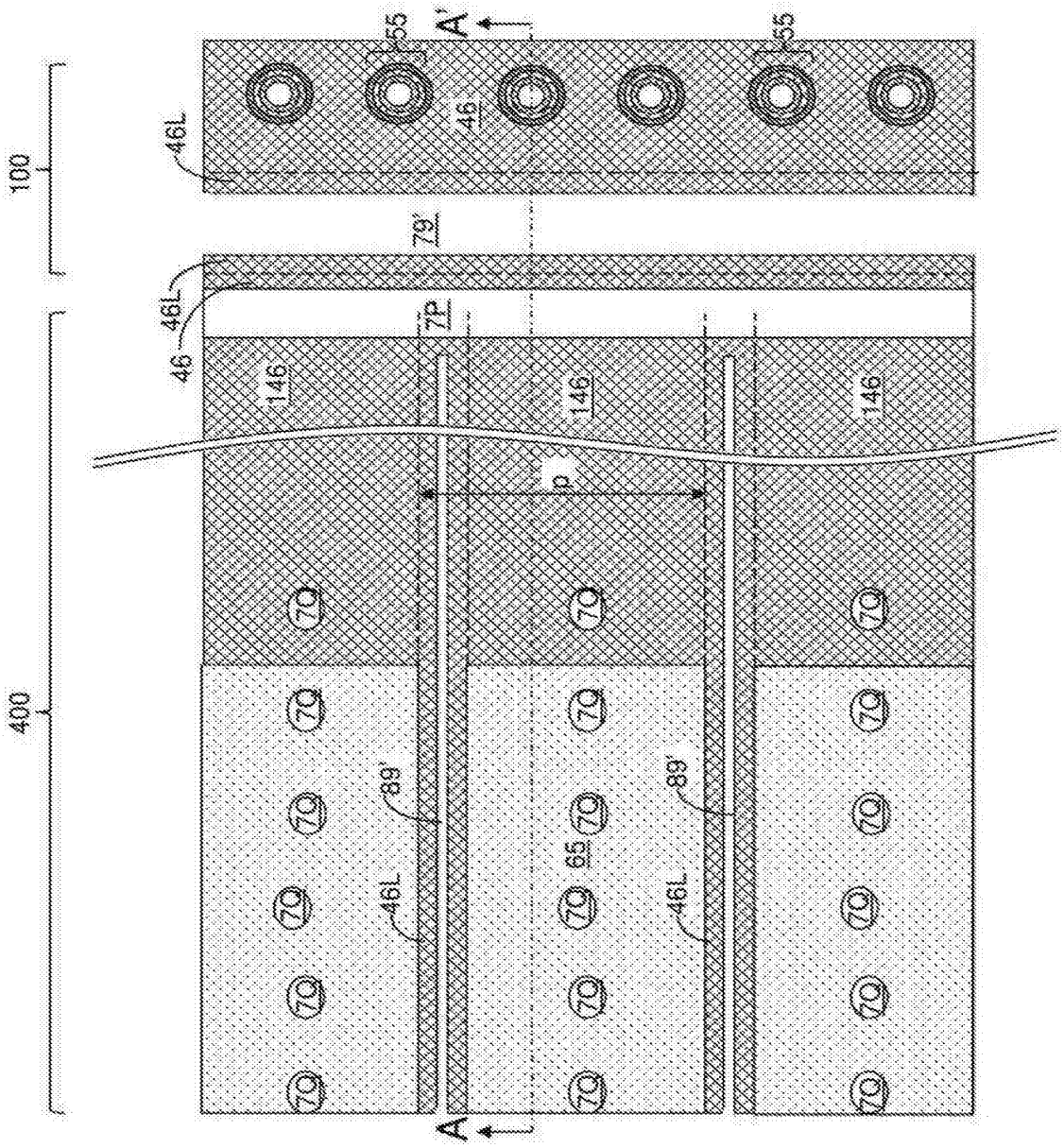


图9B

Micron Ex. 1002, p. 422
Micron v. YMTC
IPR2024-00790

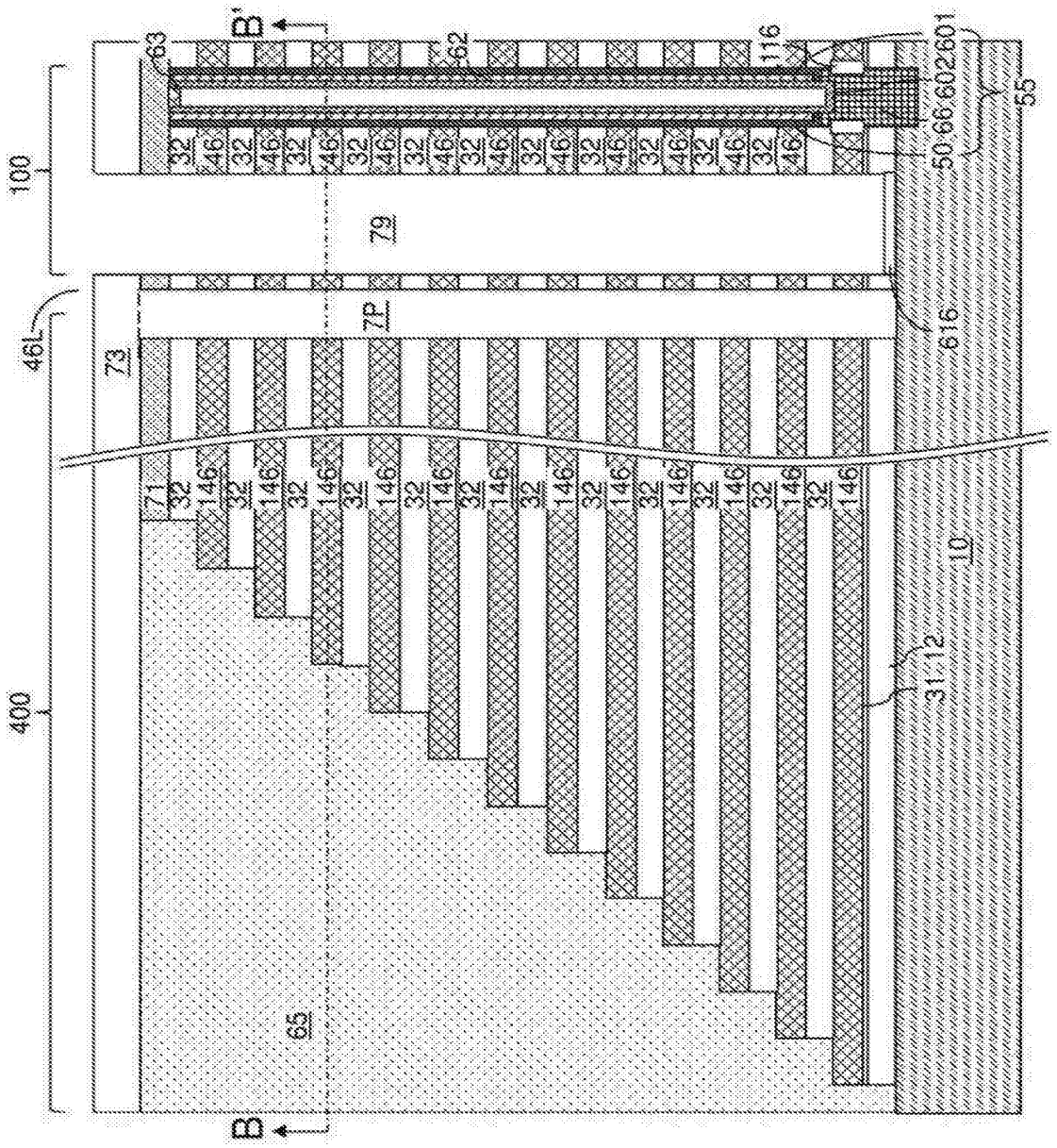


图10A

Micron Ex. 1002, p. 423
Micron v. YMTC
IPR2024-00790

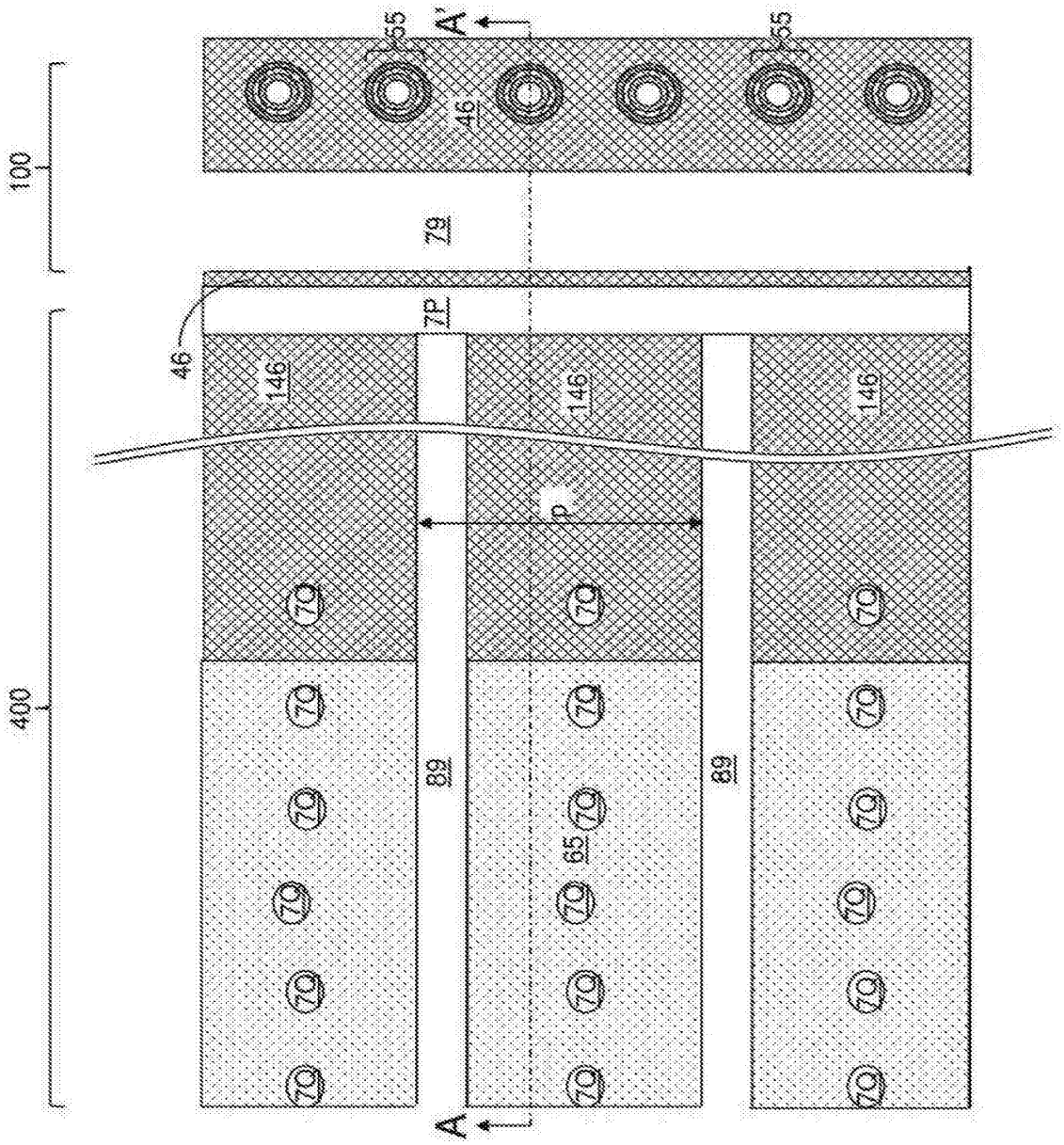


图10B

Micron Ex. 1002, p. 424
Micron v. YMTC
IPR2024-00790

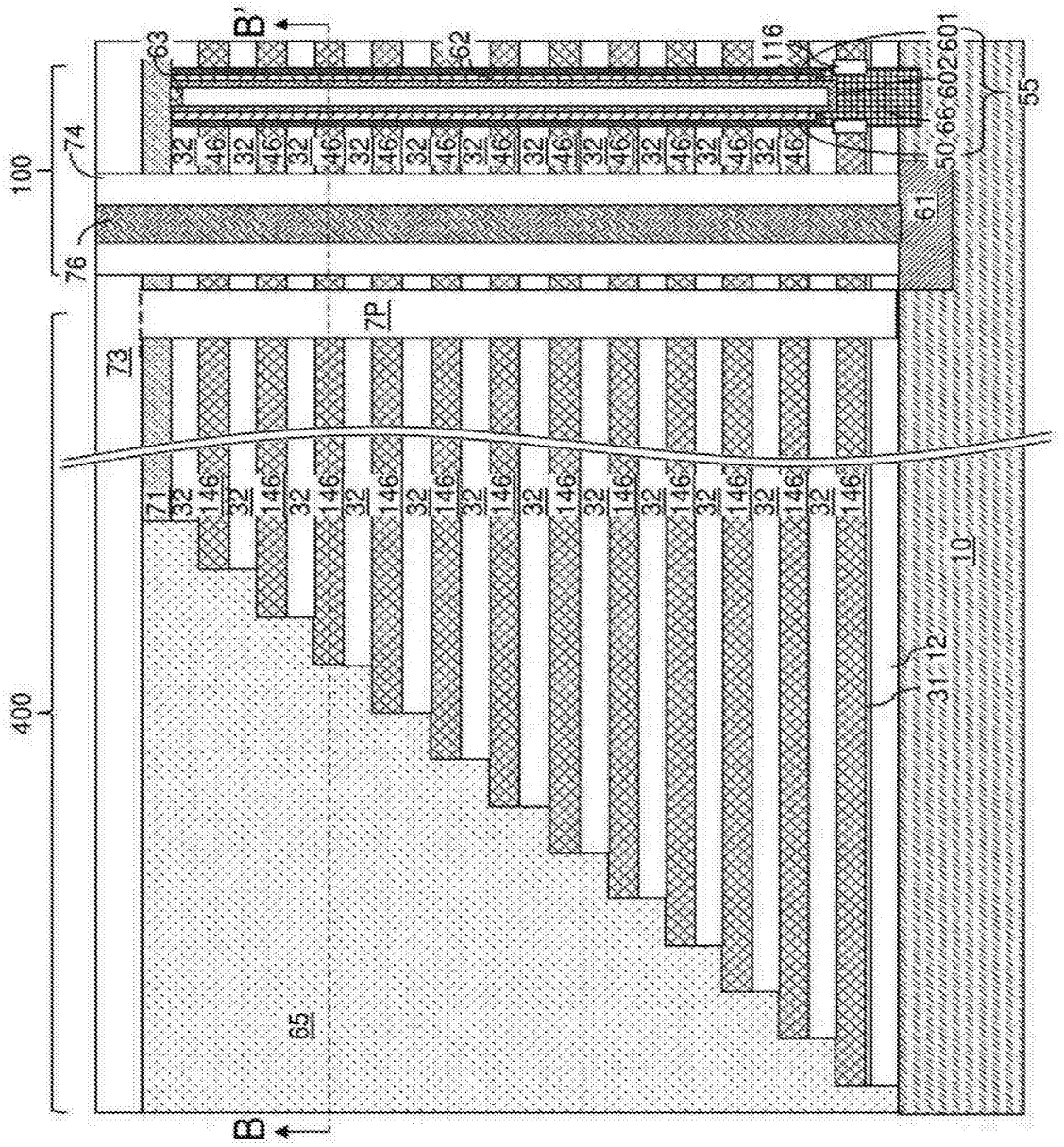


图11A

Micron Ex. 1002, p. 425
Micron v. YMTC
IPR2024-00790

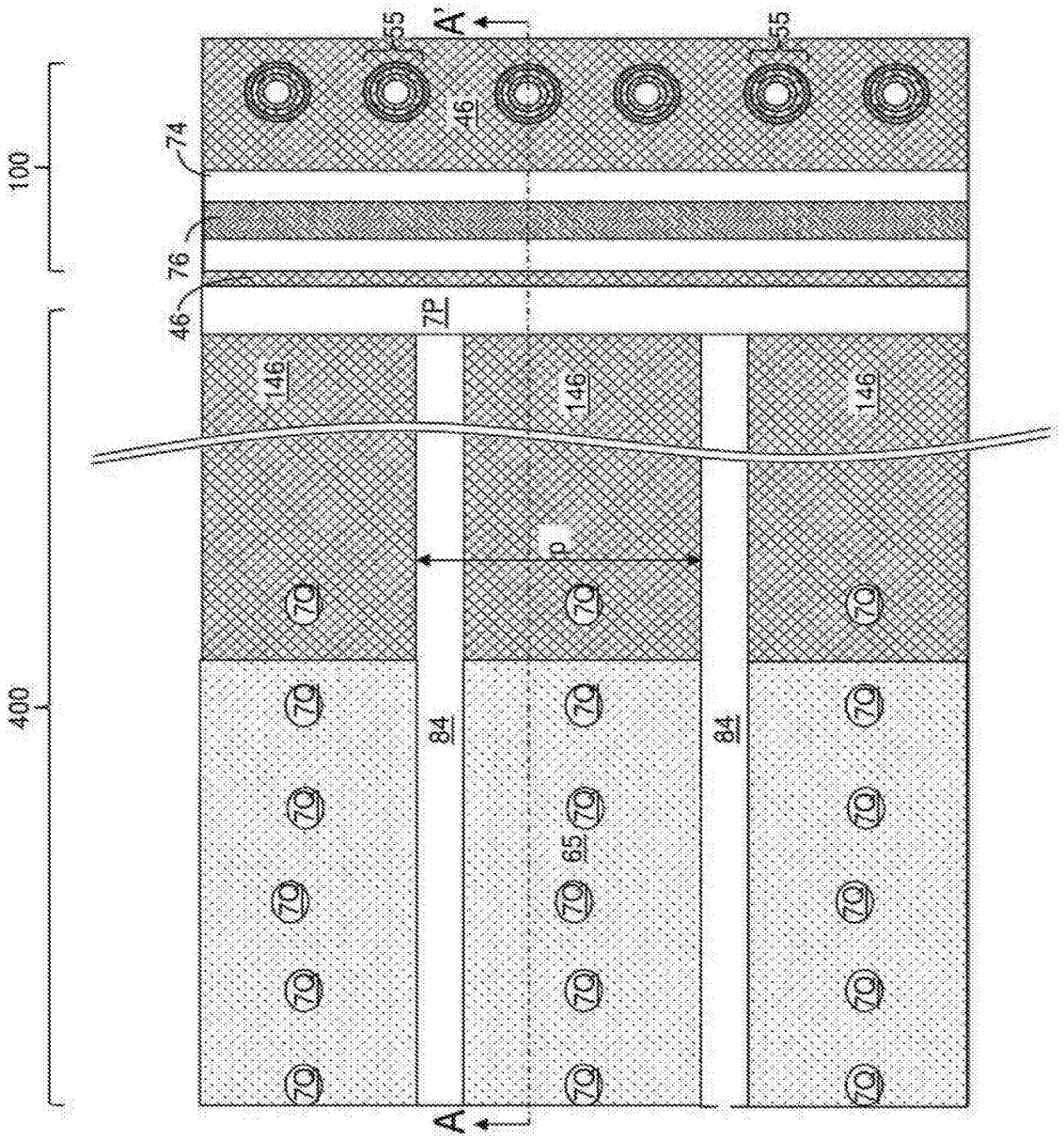


图11B

Micron Ex. 1002, p. 426
Micron v. YMTC
IPR2024-00790

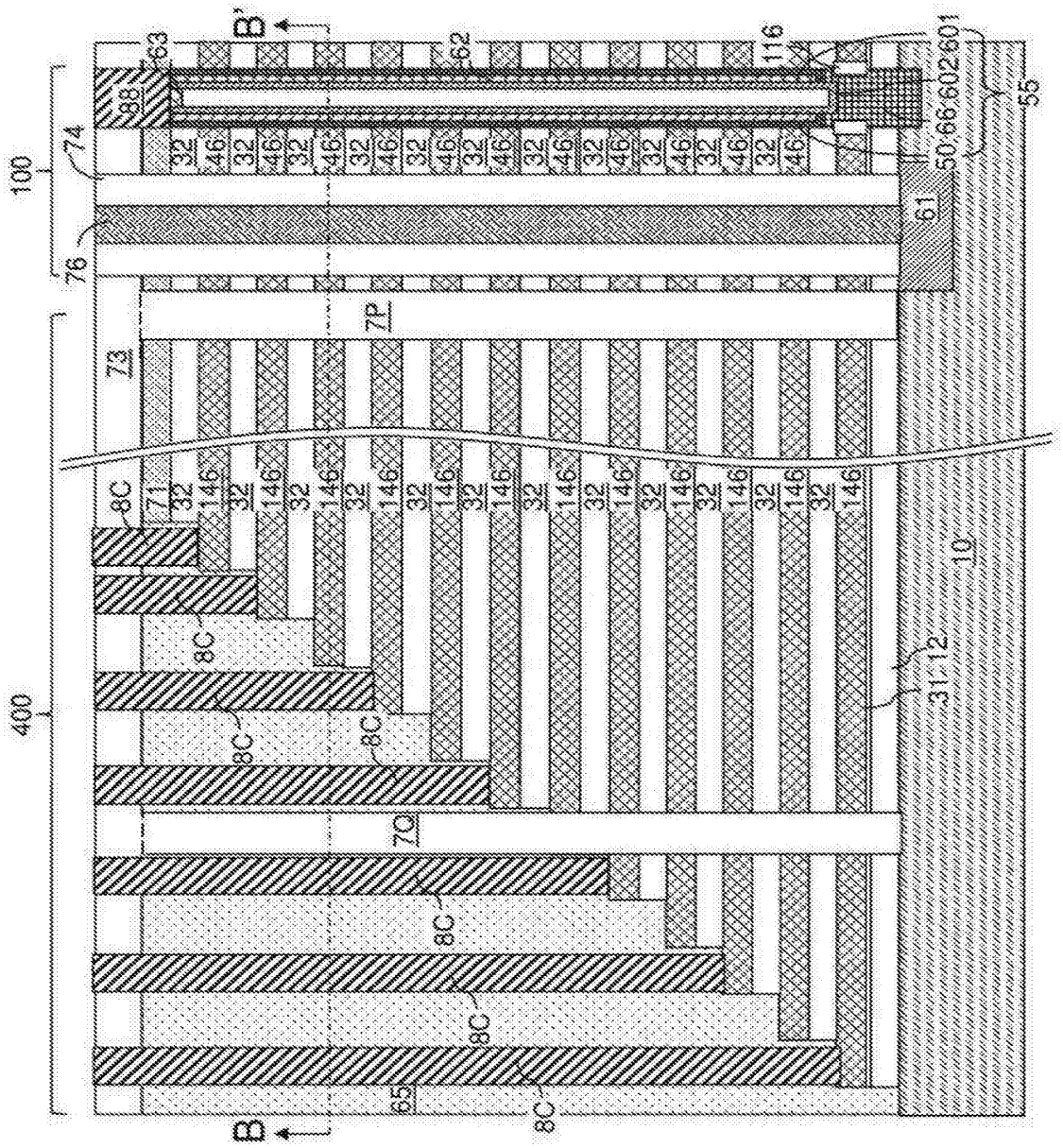


图12A

Micron Ex. 1002, p. 427
Micron v. YMTC
IPR2024-00790

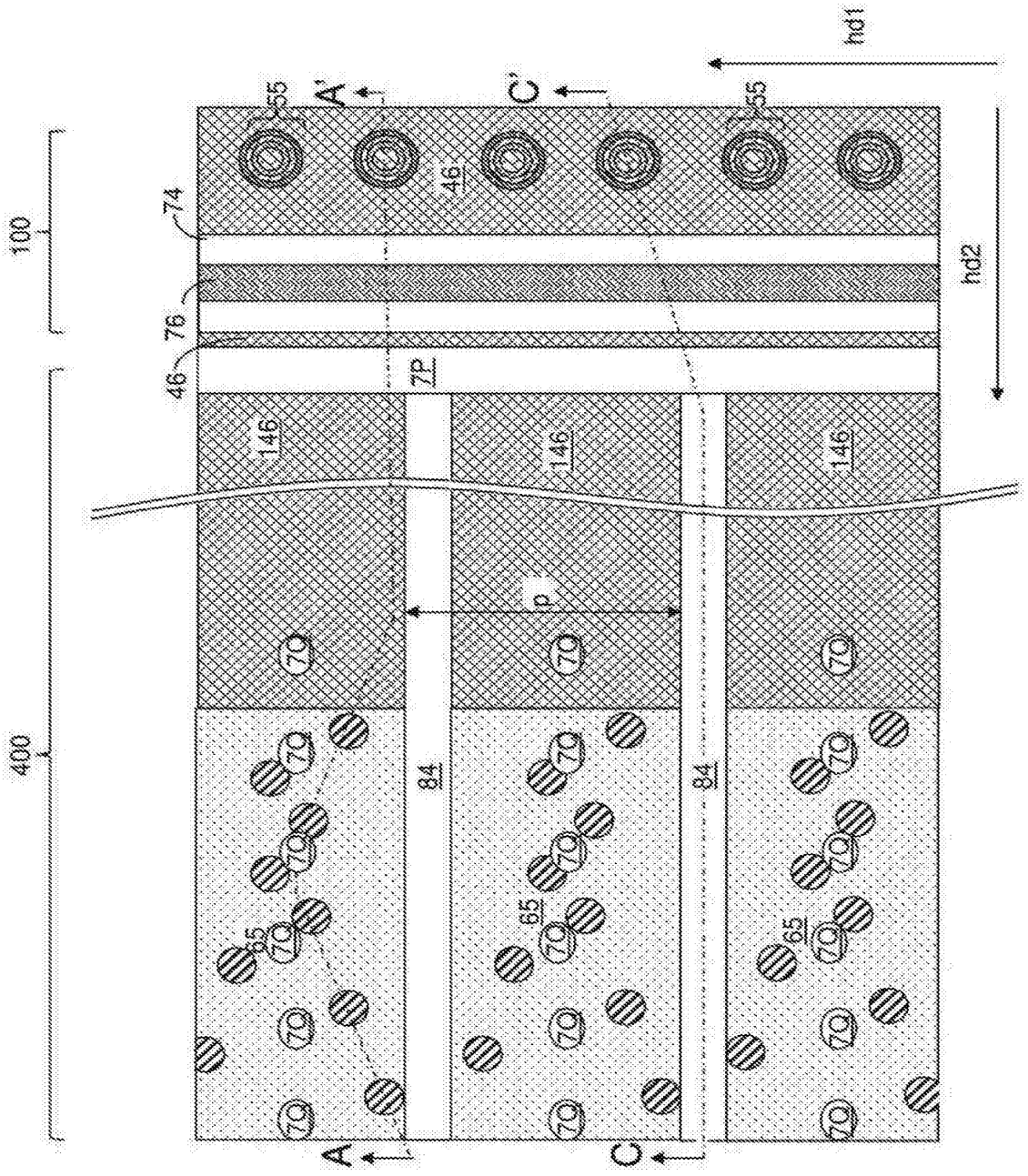


图12B

Micron Ex. 1002, p. 428
Micron v. YMTC
IPR2024-00790

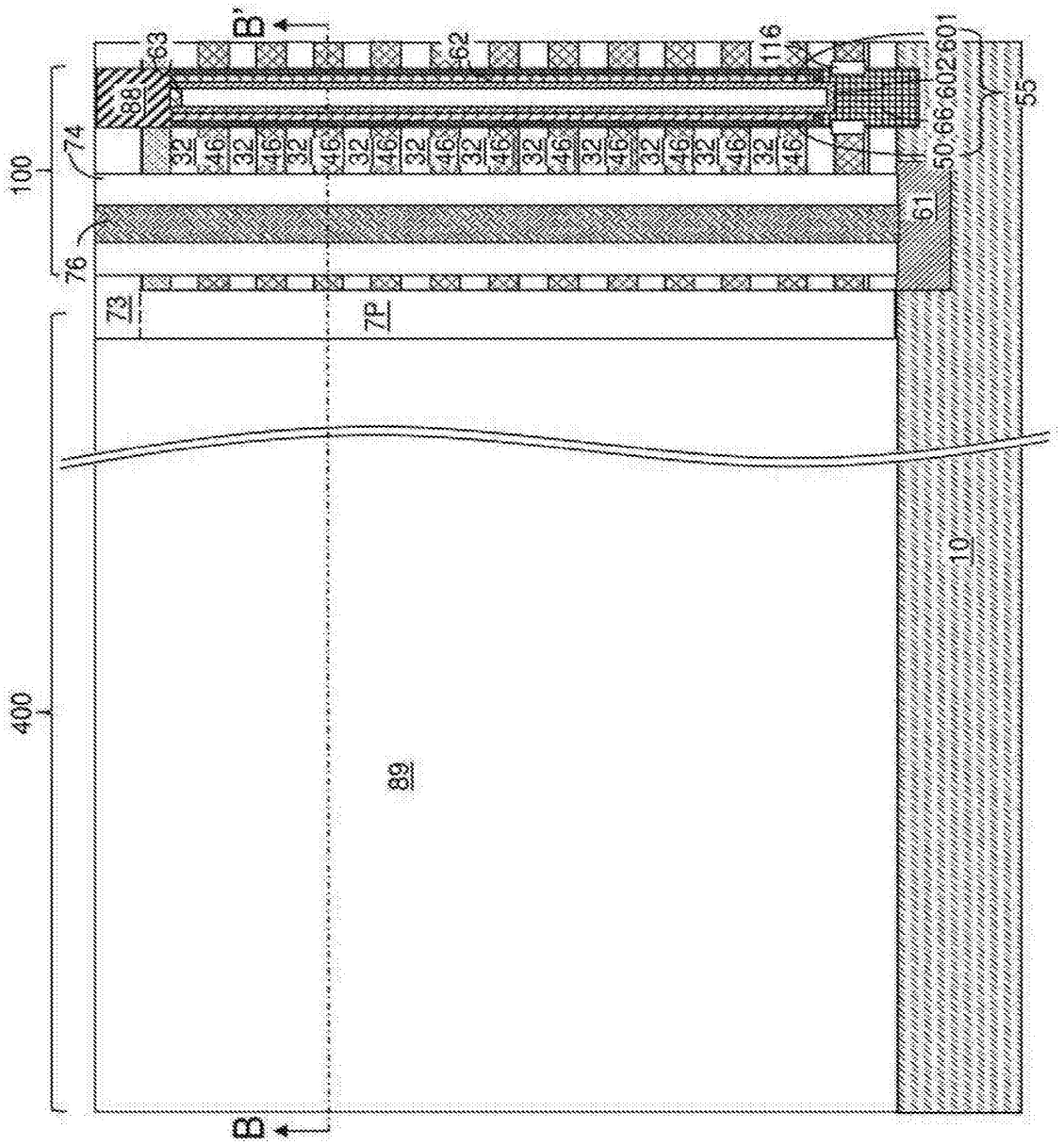


图12C

Micron Ex. 1002, p. 429
Micron v. YMTC
IPR2024-00790

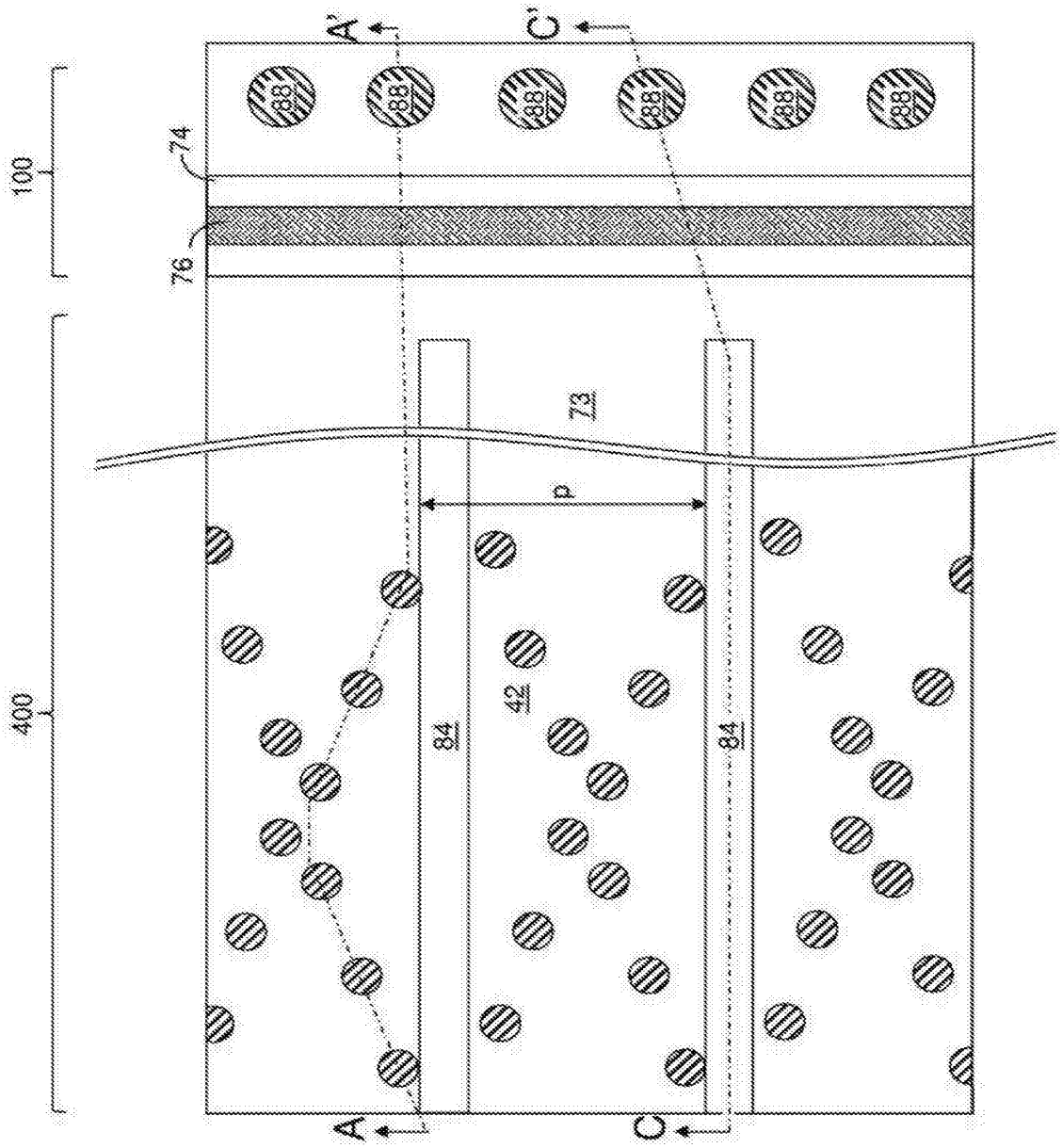


图12D

Micron Ex. 1002, p. 430
Micron v. YMTC
IPR2024-00790

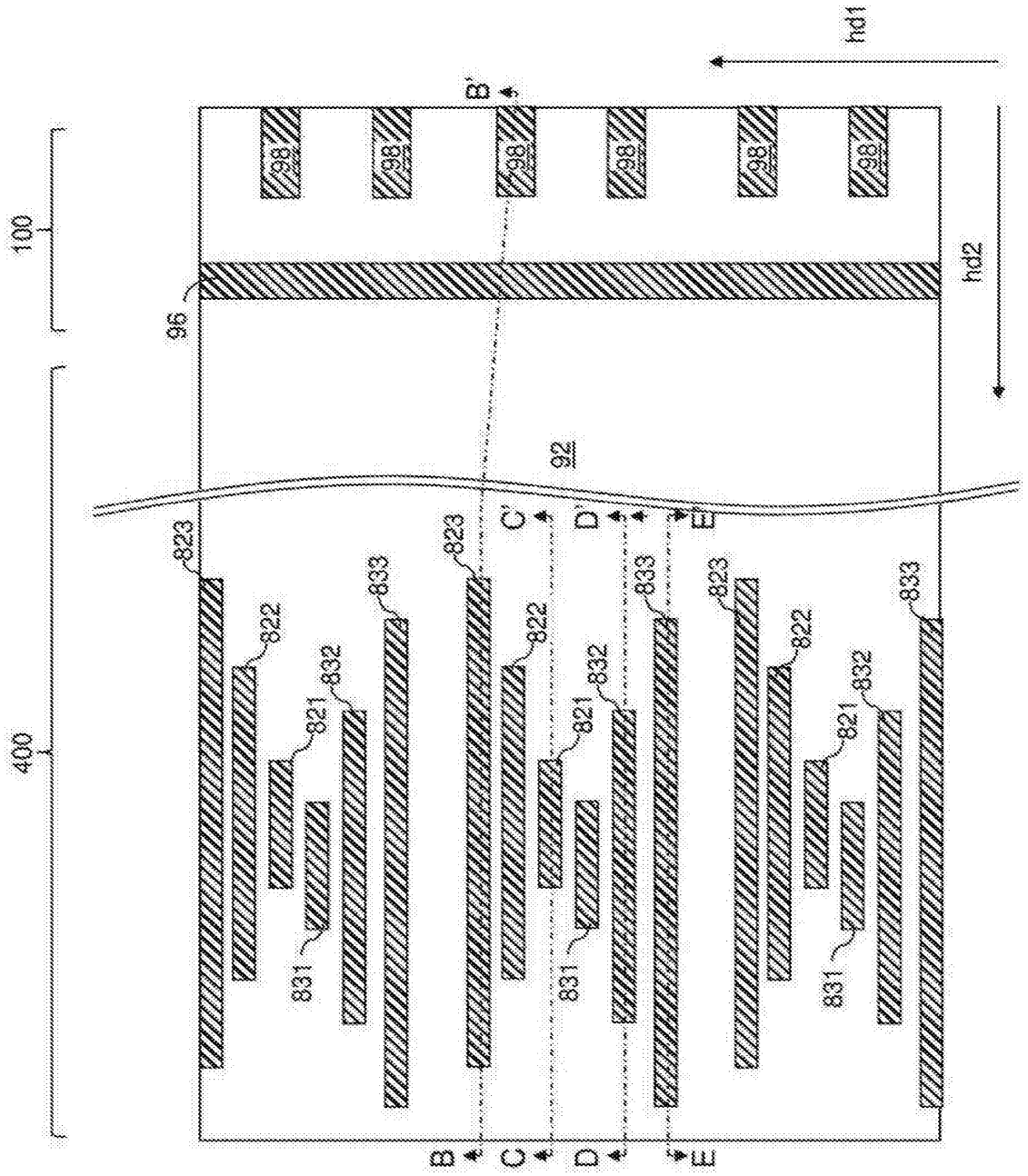


图13A

Micron Ex. 1002, p. 431
Micron v. YMTC
IPR2024-00790

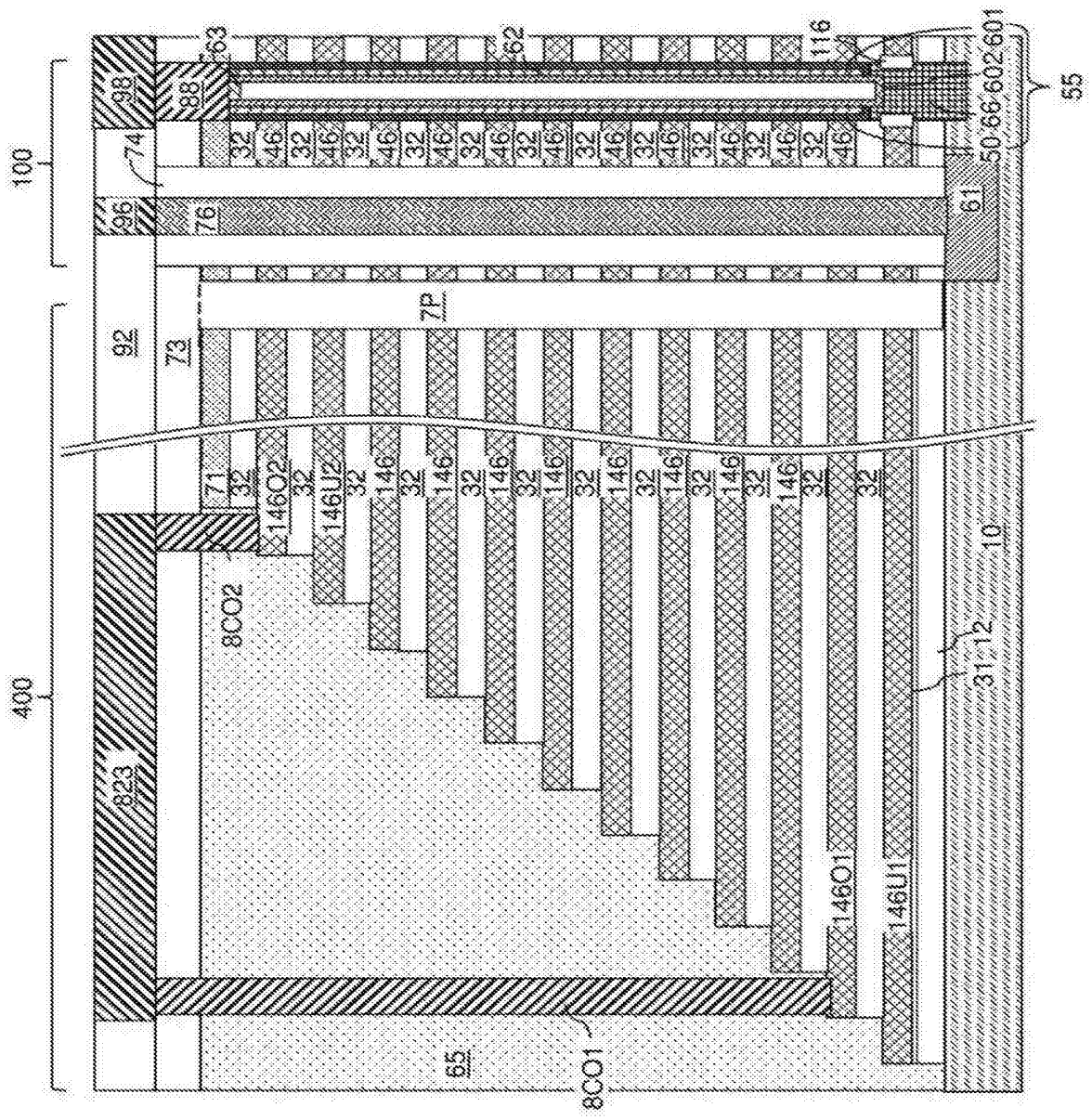


图13B

Micron Ex. 1002, p. 432
Micron v. YMTC
IPR2024-00790

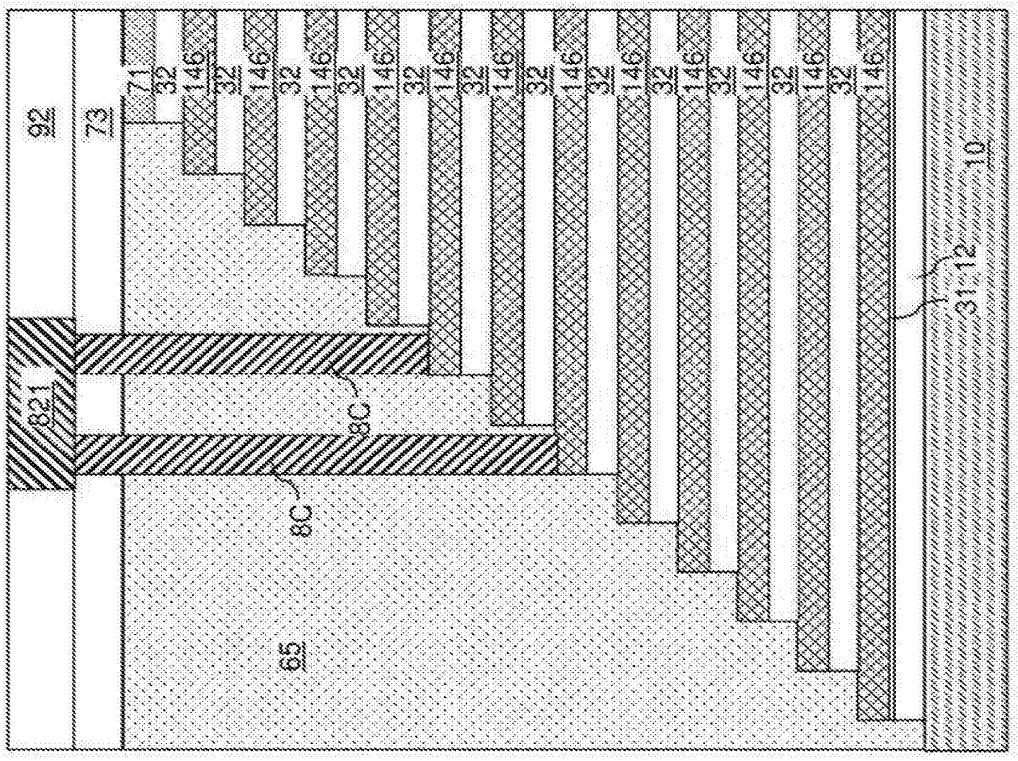


图13C

Micron Ex. 1002, p. 433
Micron v. YMTC
IPR2024-00790

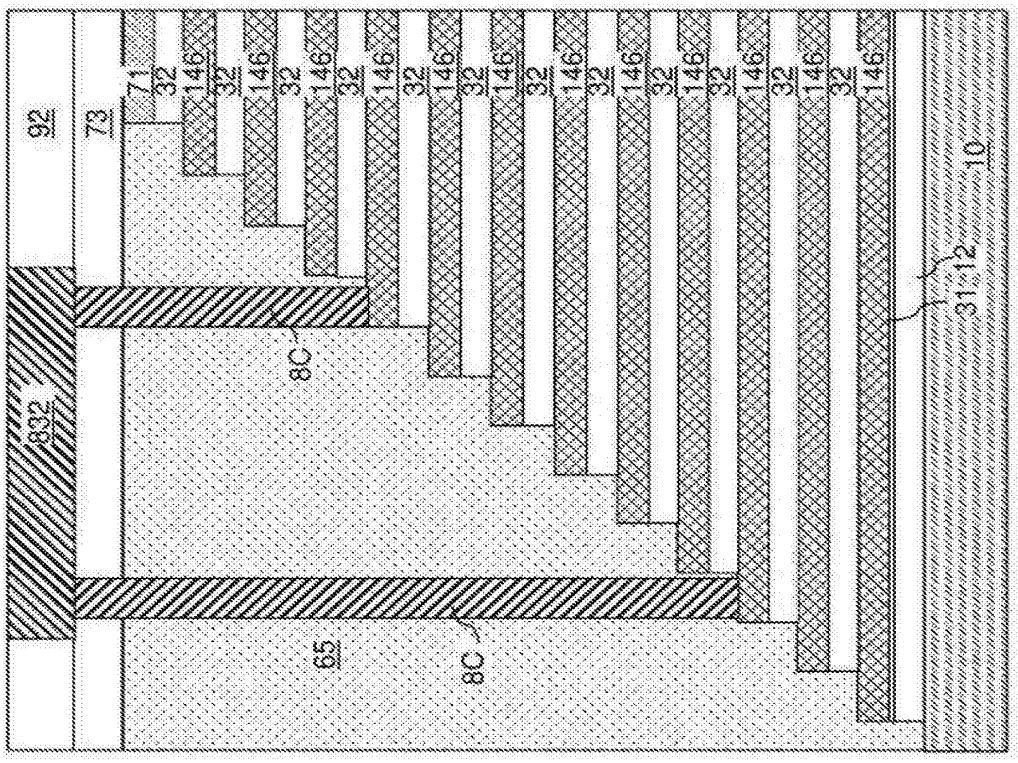


图13D

Micron Ex. 1002, p. 434
Micron v. YMTC
IPR2024-00790

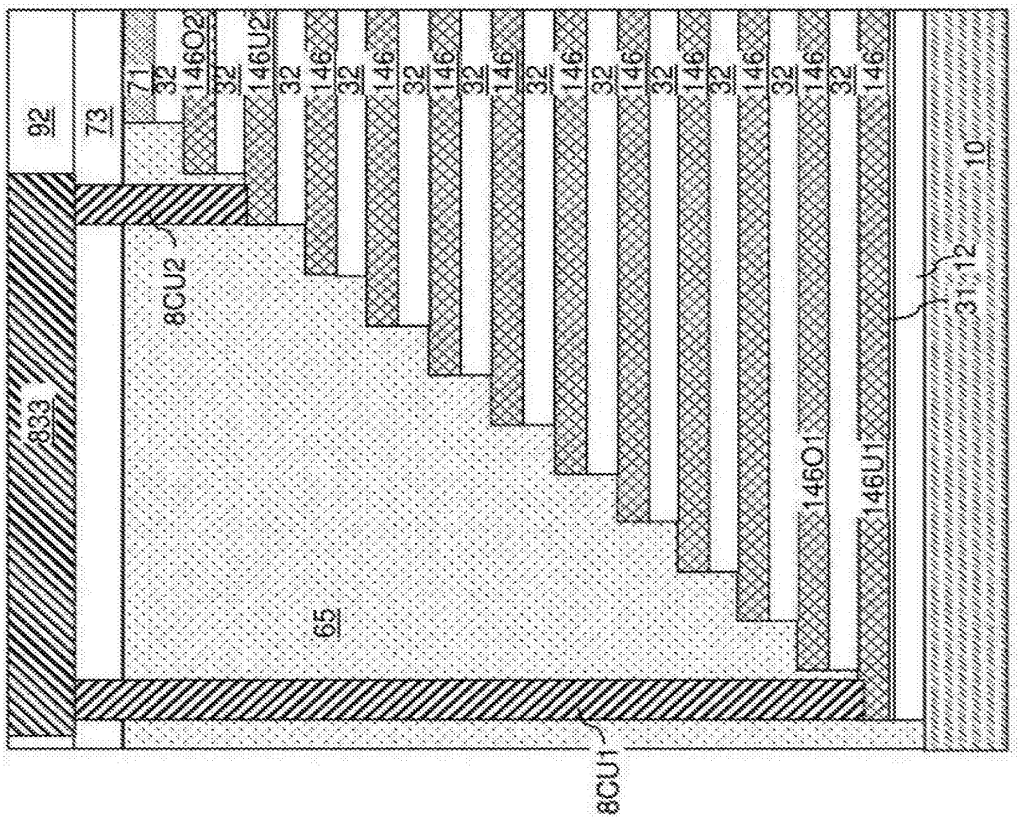


图13E

Micron Ex. 1002, p. 435
Micron v. YMTC
IPR2024-00790

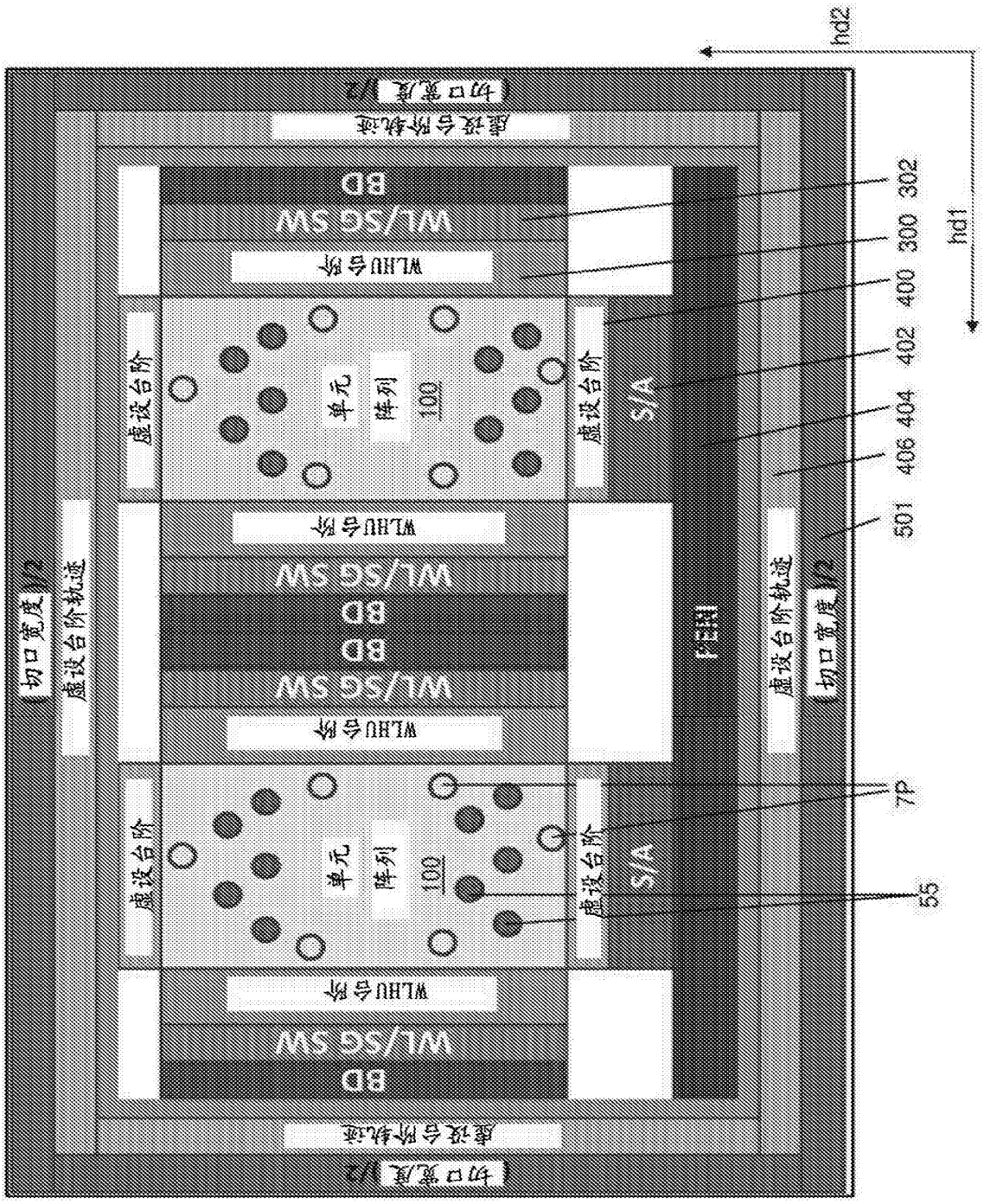


图14A

Micron Ex. 1002, p. 436
Micron v. YMTC
IPR2024-00790

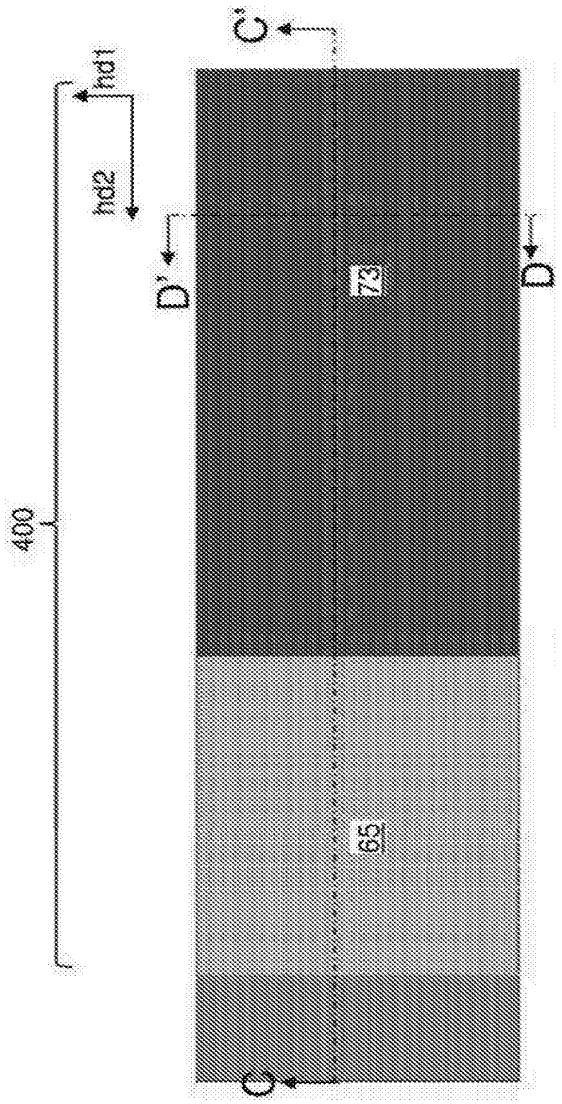


图14B

Micron Ex. 1002, p. 437
Micron v. YMTC
IPR2024-00790

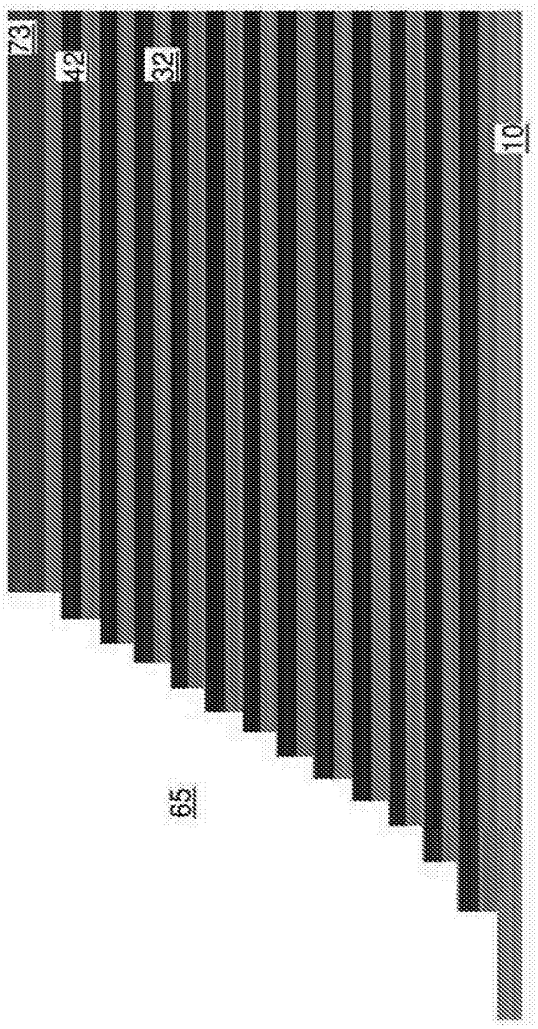


图14C

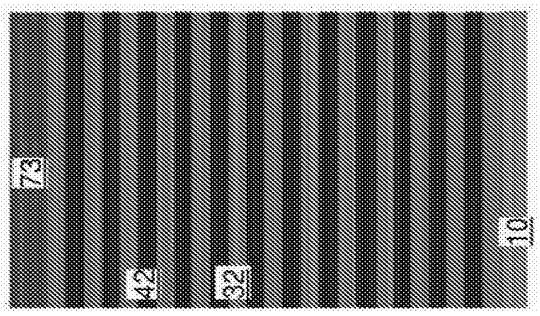


图14D

Micron Ex. 1002, p. 438
Micron v. YMTC
IPR2024-00790

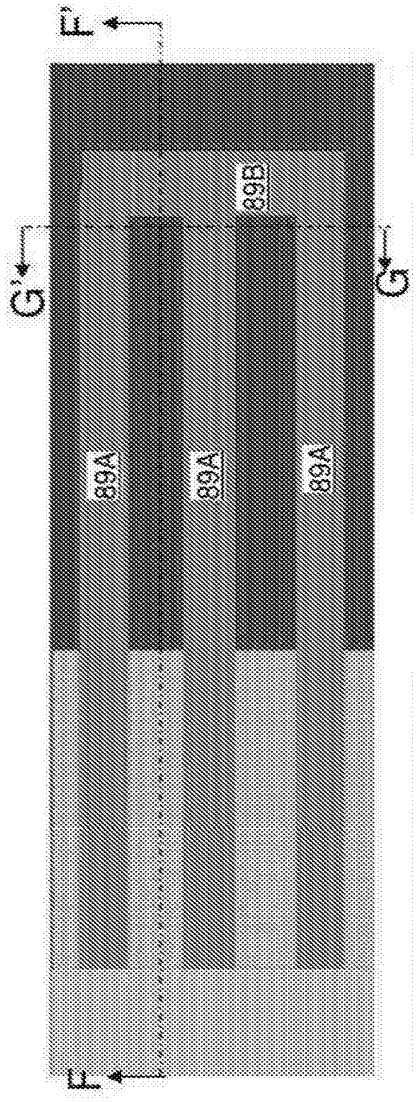


图14E

Micron Ex. 1002, p. 439
Micron v. YMTC
IPR2024-00790

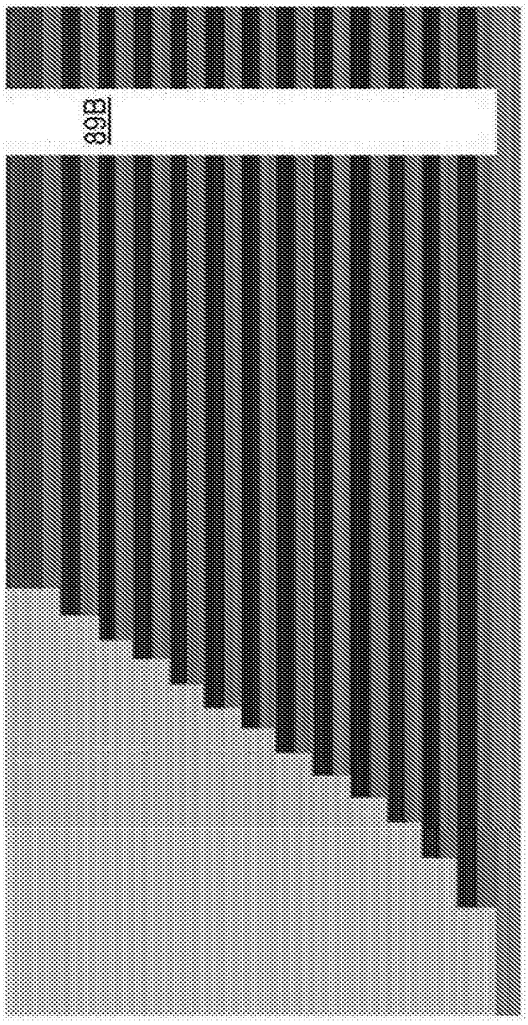


图14F

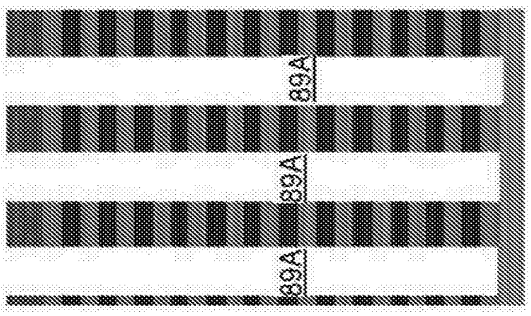


图14G

Micron Ex. 1002, p. 440
Micron v. YMTC
IPR2024-00790

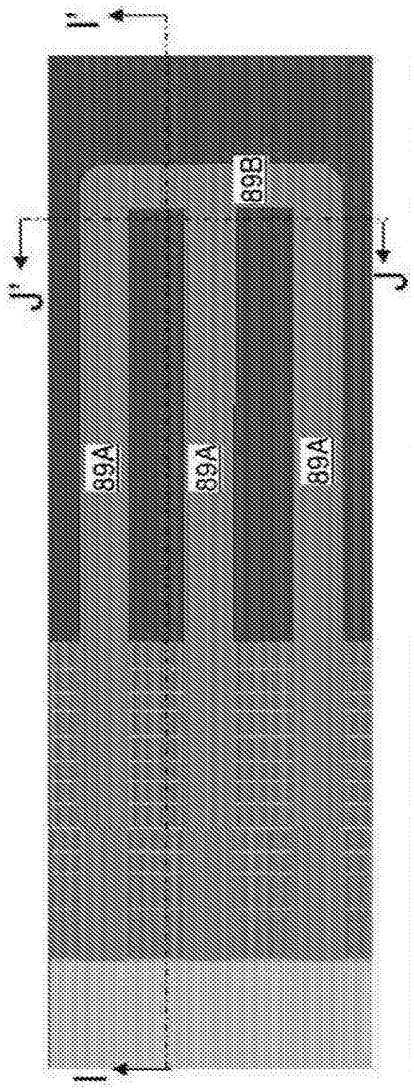


图14H

Micron Ex. 1002, p. 441
Micron v. YMTC
IPR2024-00790

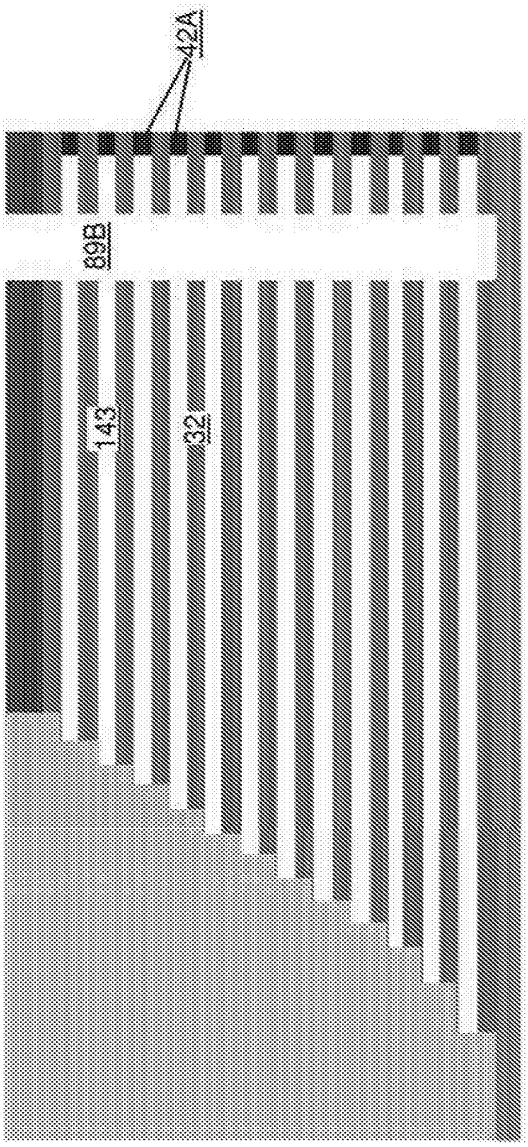


图14I

Micron Ex. 1002, p. 442
Micron v. YMTC
IPR2024-00790

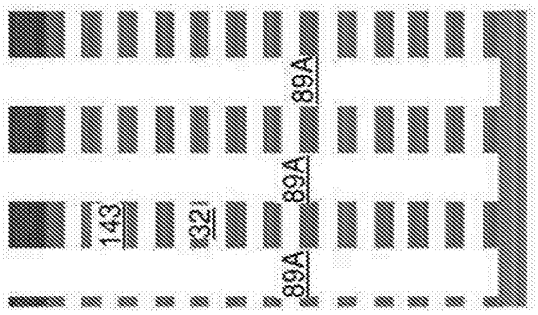


图14J

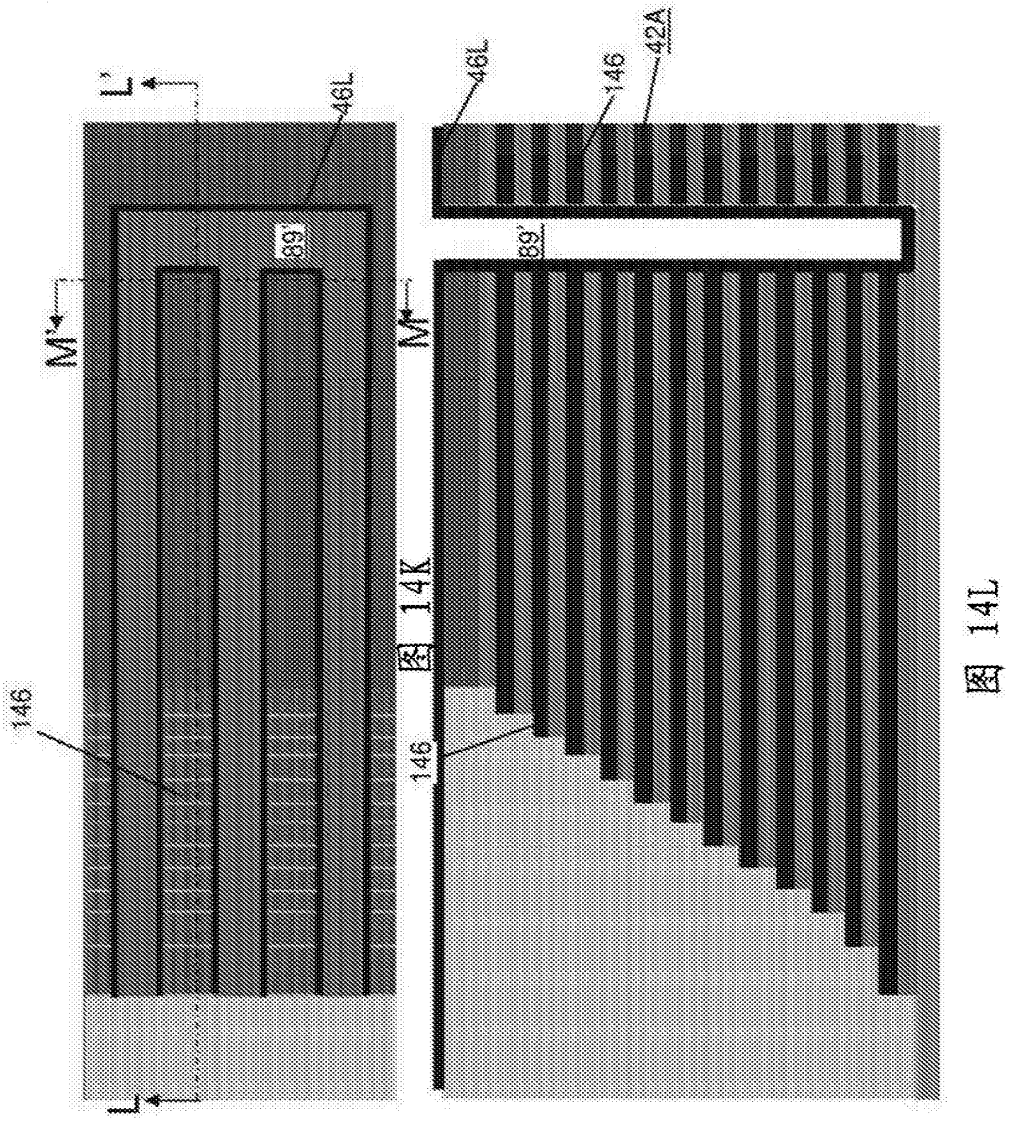


图 14K

图 14L

Micron Ex. 1002, p. 443
Micron v. YMTC
IPR2024-00790

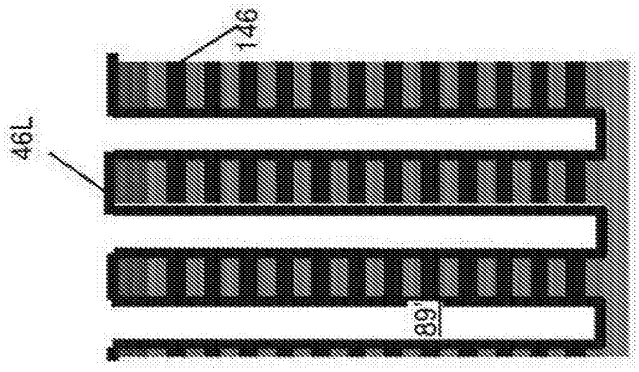


图14M

Micron Ex. 1002, p. 444
Micron v. YMTC
IPR2024-00790

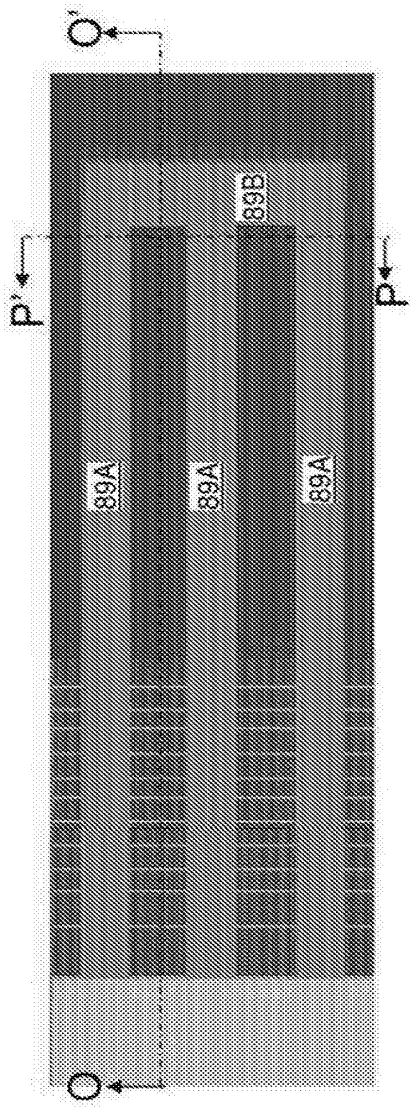


图14N

Micron Ex. 1002, p. 445
Micron v. YMTC
IPR2024-00790

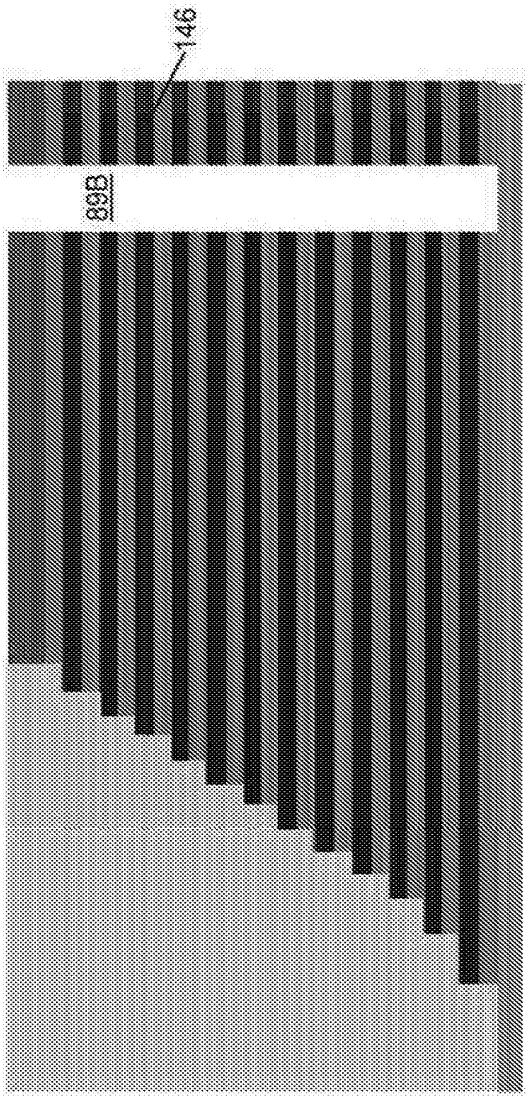


图140

Micron Ex. 1002, p. 446
Micron v. YMTC
IPR2024-00790

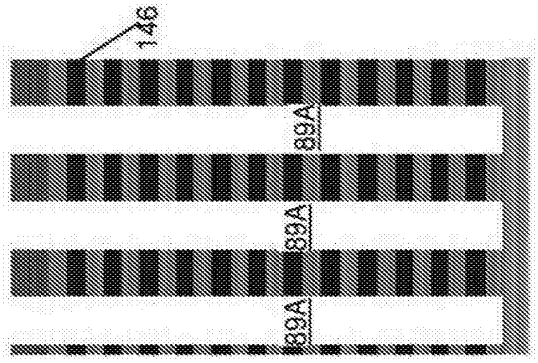


图14P

Micron Ex. 1002, p. 447
Micron v. YMTC
IPR2024-00790

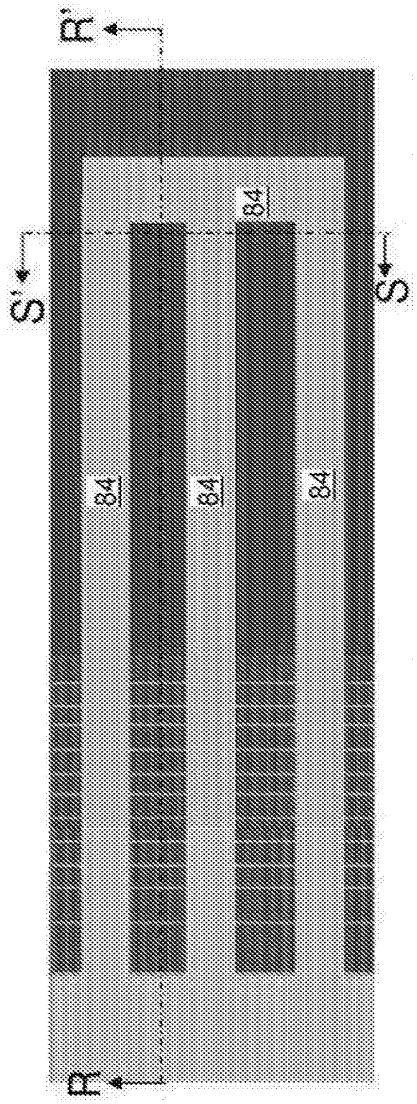


图14Q

Micron Ex. 1002, p. 448
Micron v. YMTC
IPR2024-00790

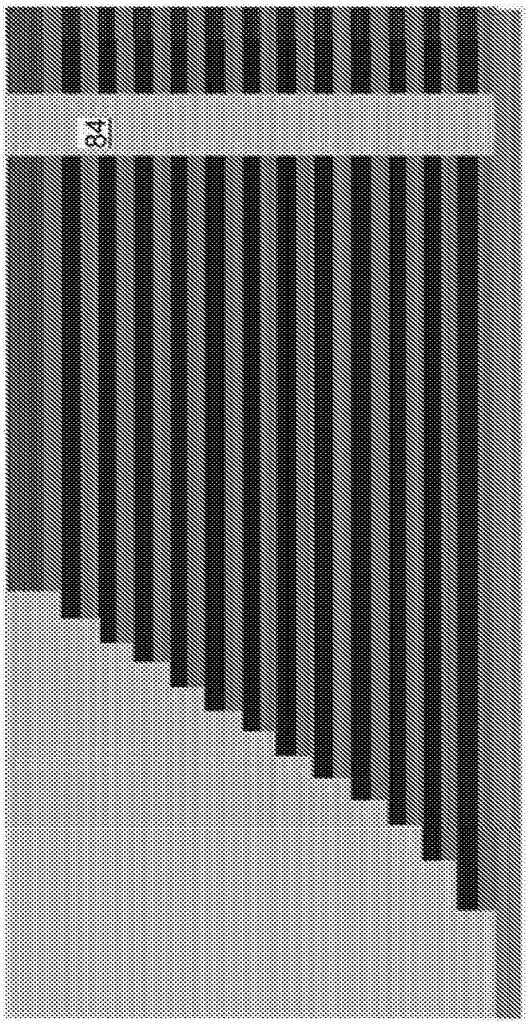


图14R

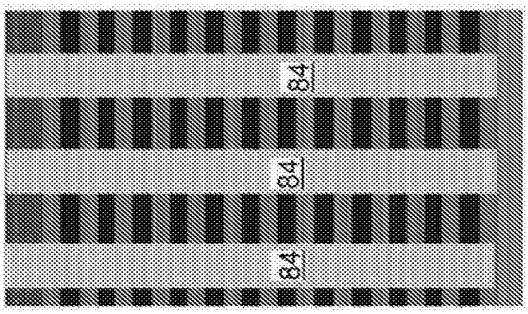


图14S

Micron Ex. 1002, p. 449
Micron v. YMTC
IPR2024-00790

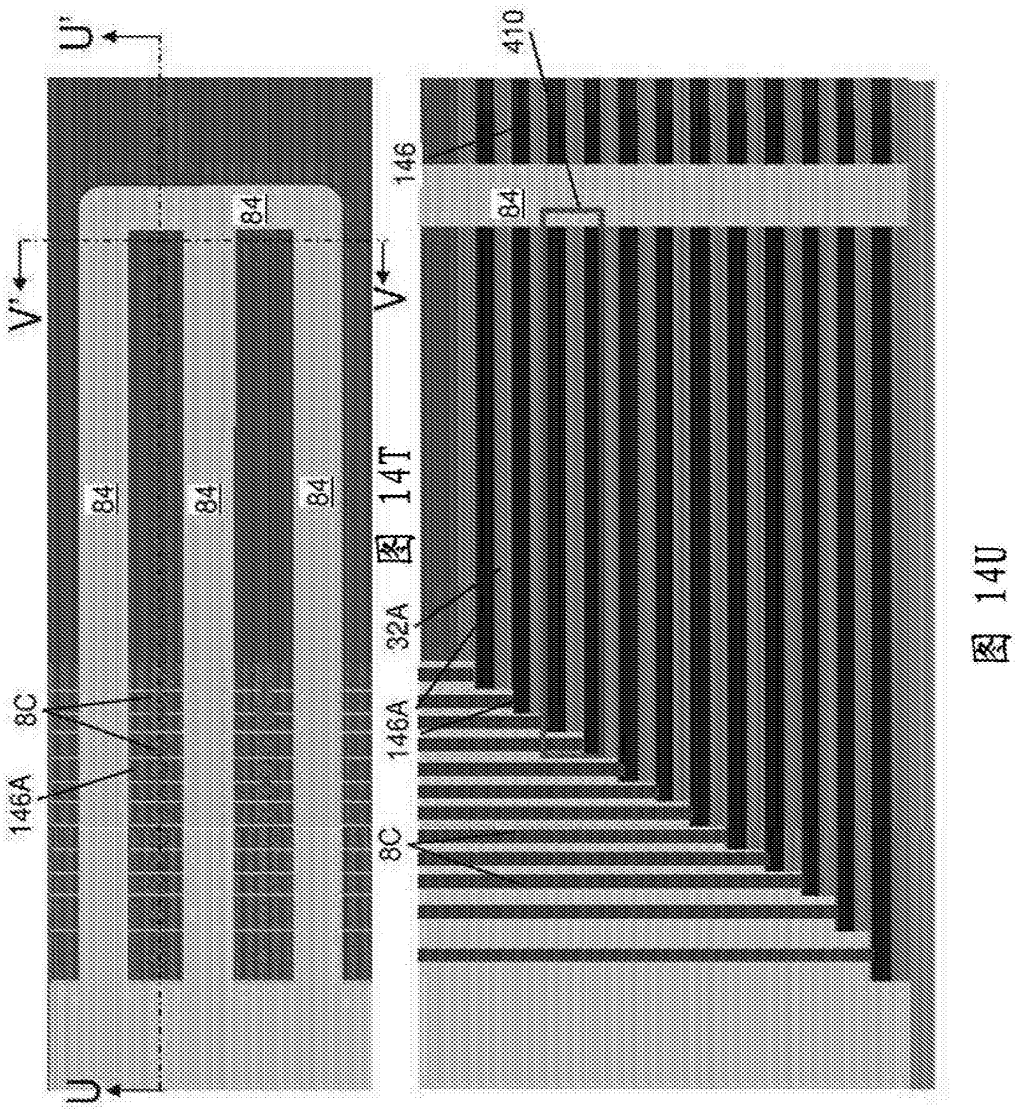


图 14T

图 14U

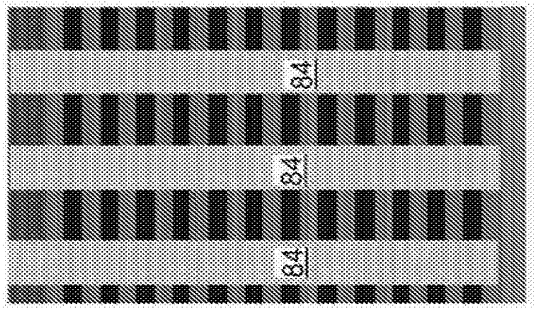


图14V

Micron Ex. 1002, p. 450
Micron v. YMTC
IPR2024-00790

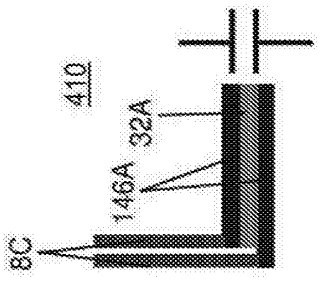


图14W

Micron Ex. 1002, p. 451
Micron v. YMTC
IPR2024-00790

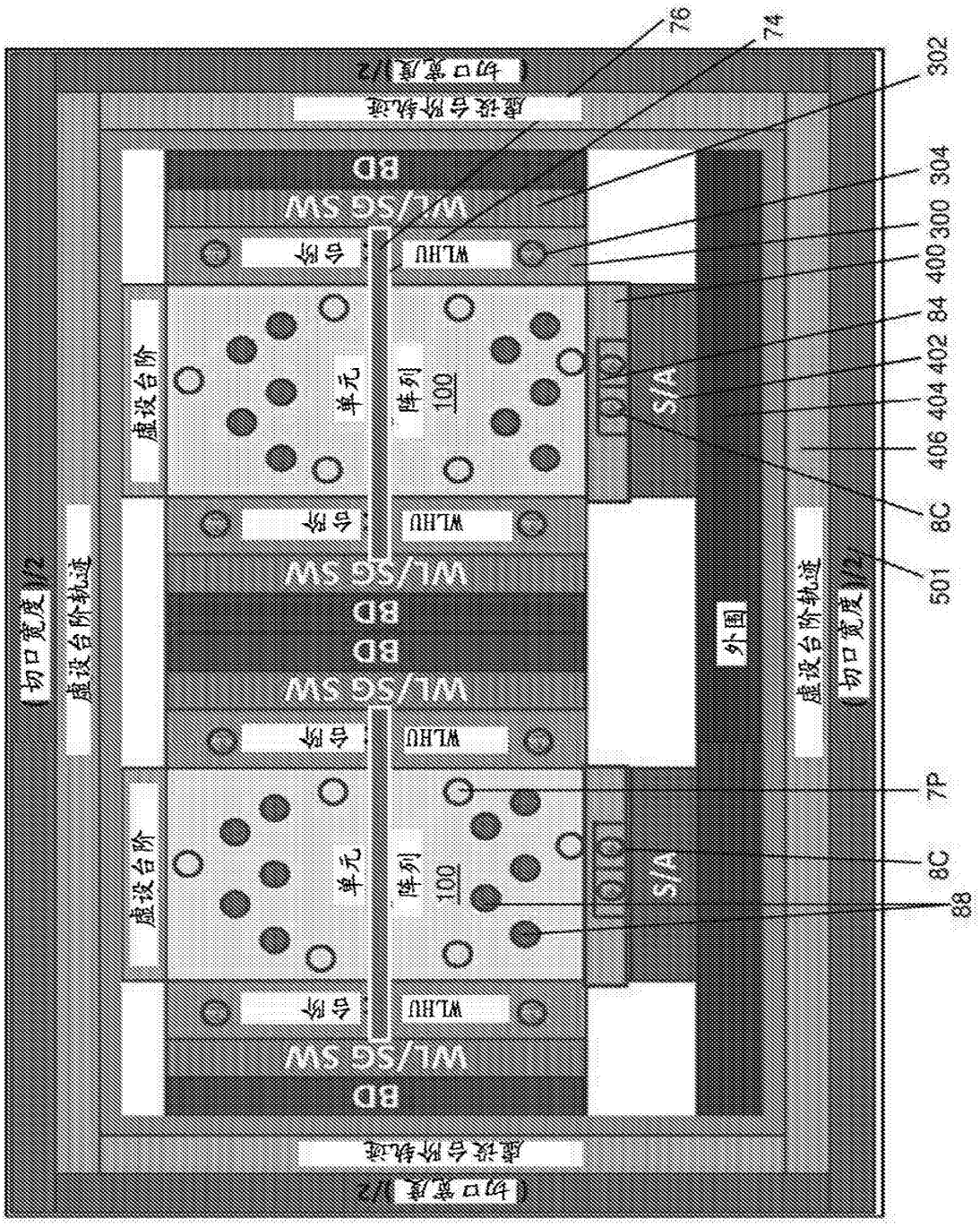


图14X

Micron Ex. 1002, p. 452
Micron v. YMTC
IPR2024-00790

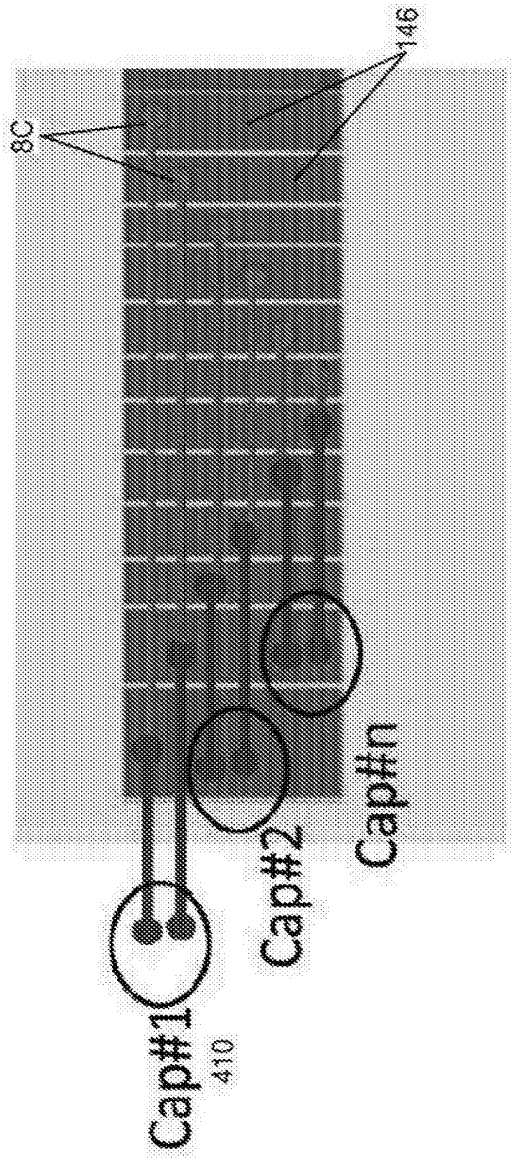


图14Y

Micron Ex. 1002, p. 453
Micron v. YMTC
IPR2024-00790

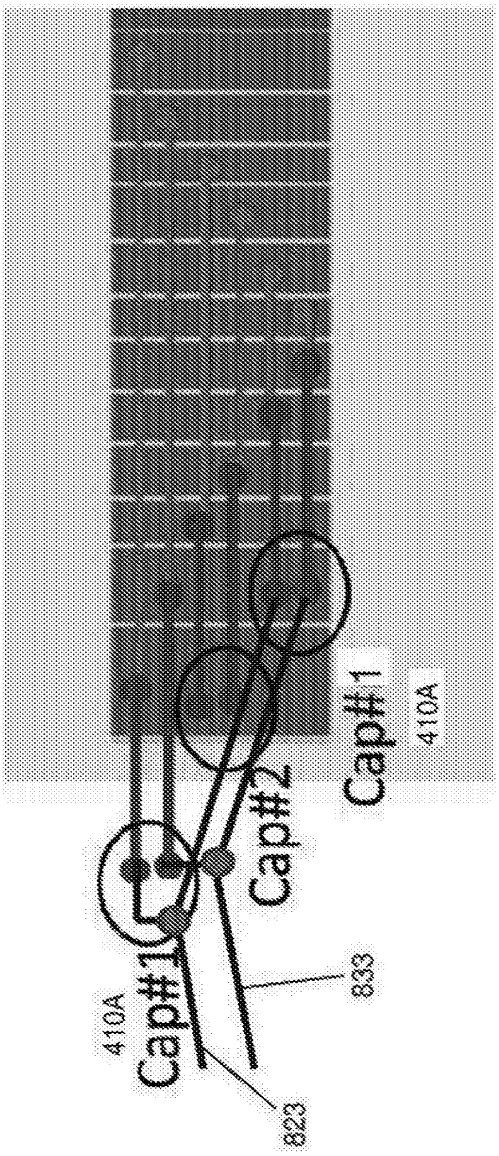


图14Z

Micron Ex. 1002, p. 454
Micron v. YMTC
IPR2024-00790

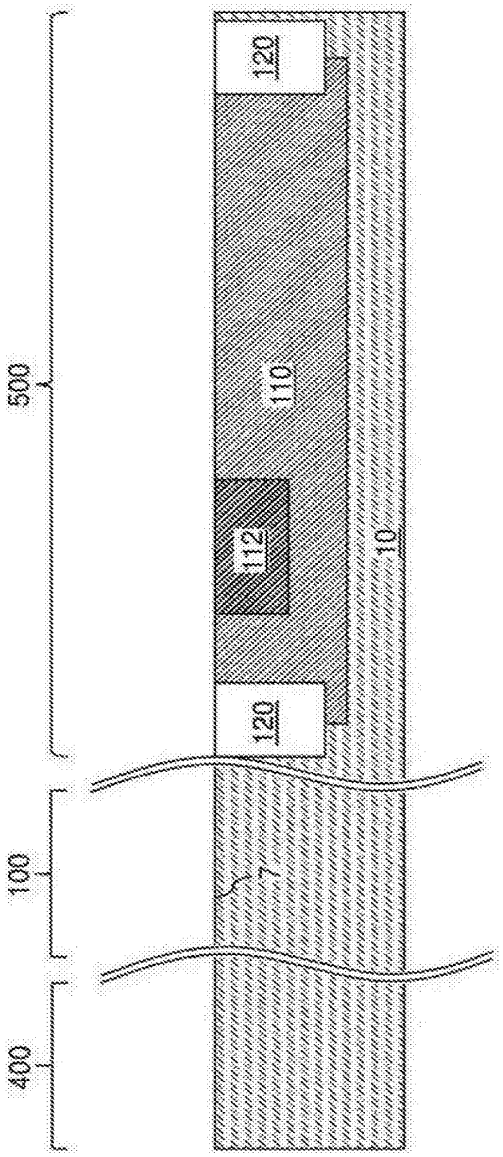


图15A

Micron Ex. 1002, p. 455
Micron v. YMTC
IPR2024-00790

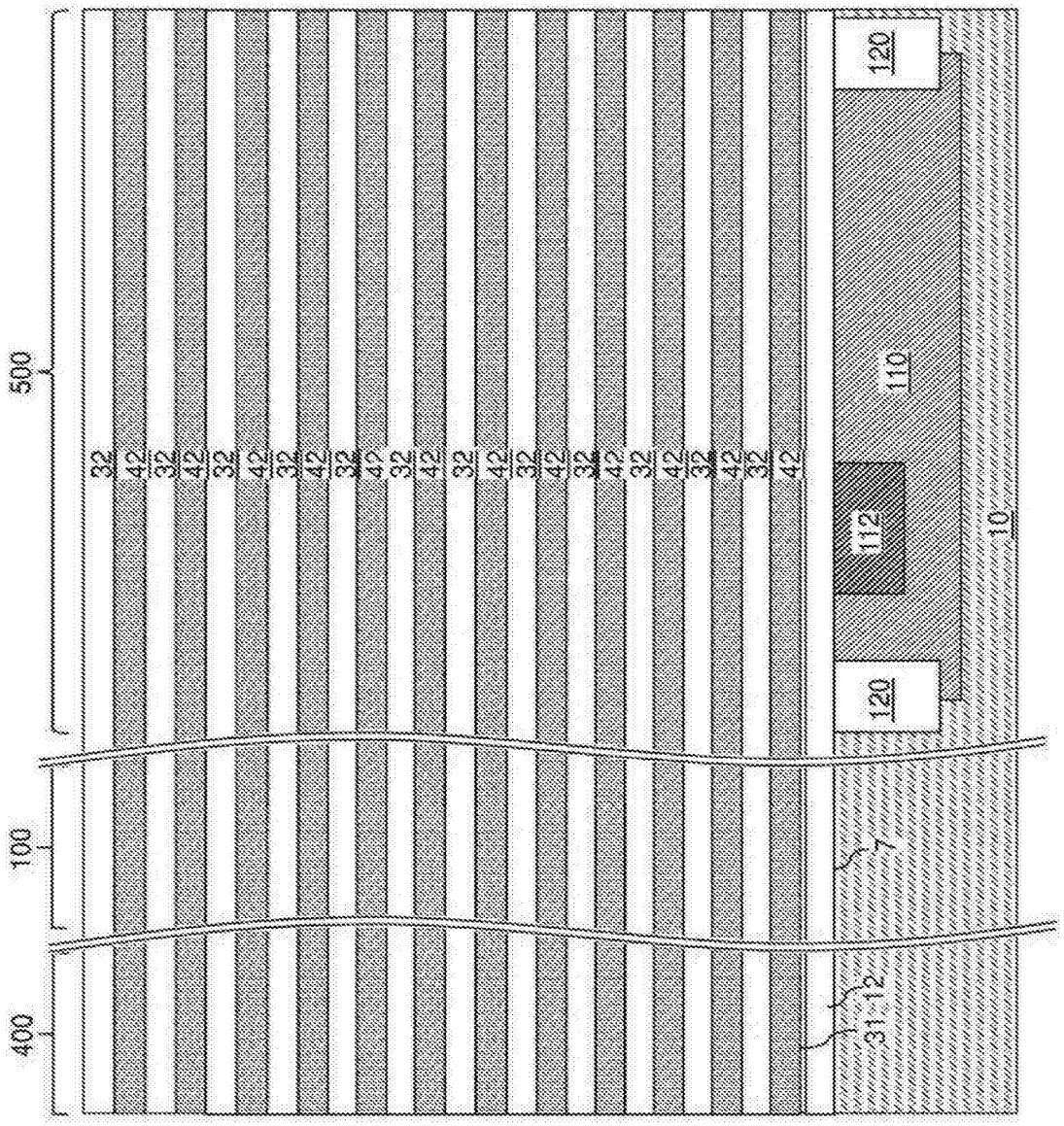


图15B

Micron Ex. 1002, p. 456
Micron v. YMTC
IPR2024-00790

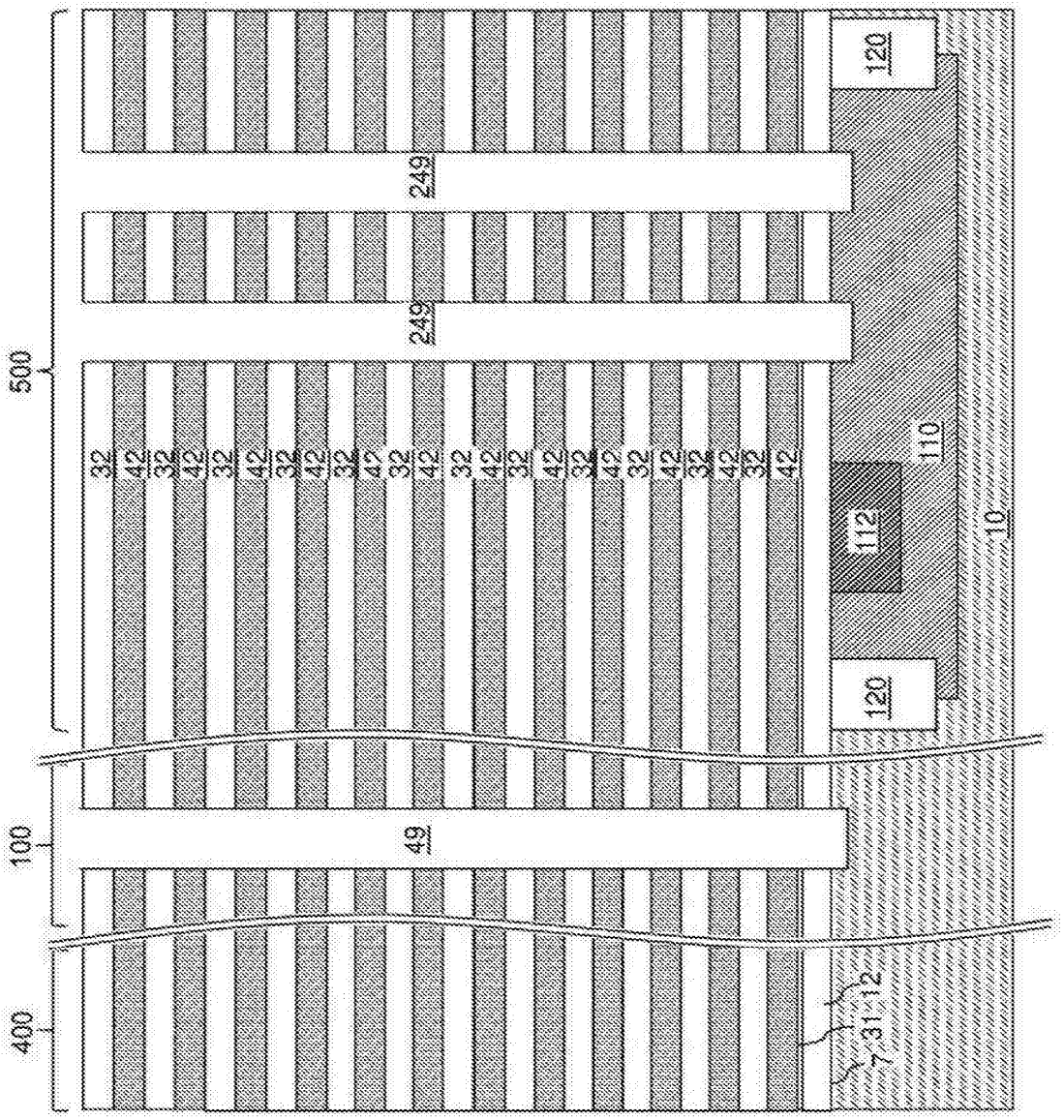


图16

Micron Ex. 1002, p. 457
Micron v. YMTC
IPR2024-00790

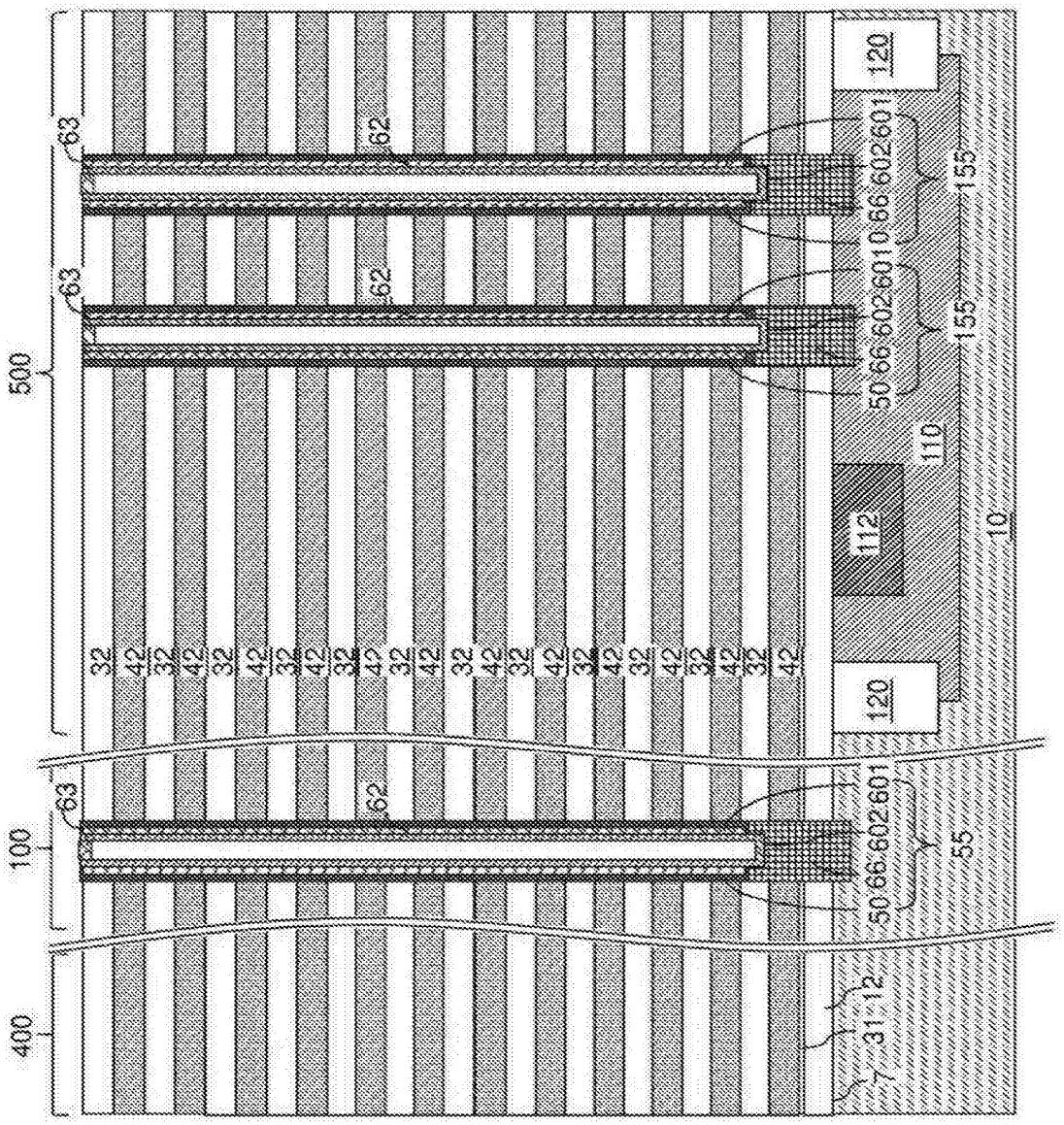


图17

Micron Ex. 1002, p. 458
Micron v. YMTC
IPR2024-00790

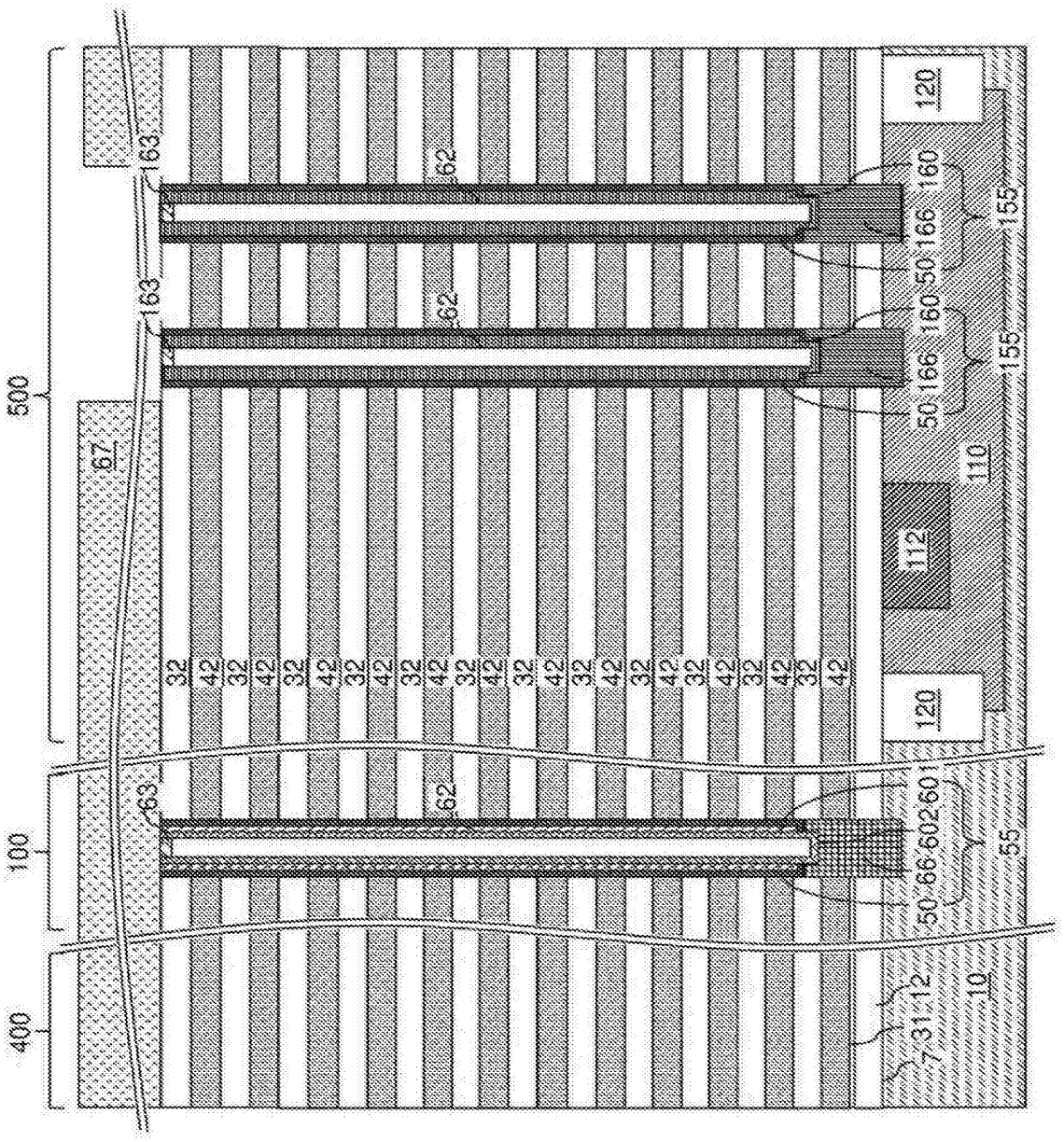


图18

Micron Ex. 1002, p. 459
Micron v. YMTC
IPR2024-00790

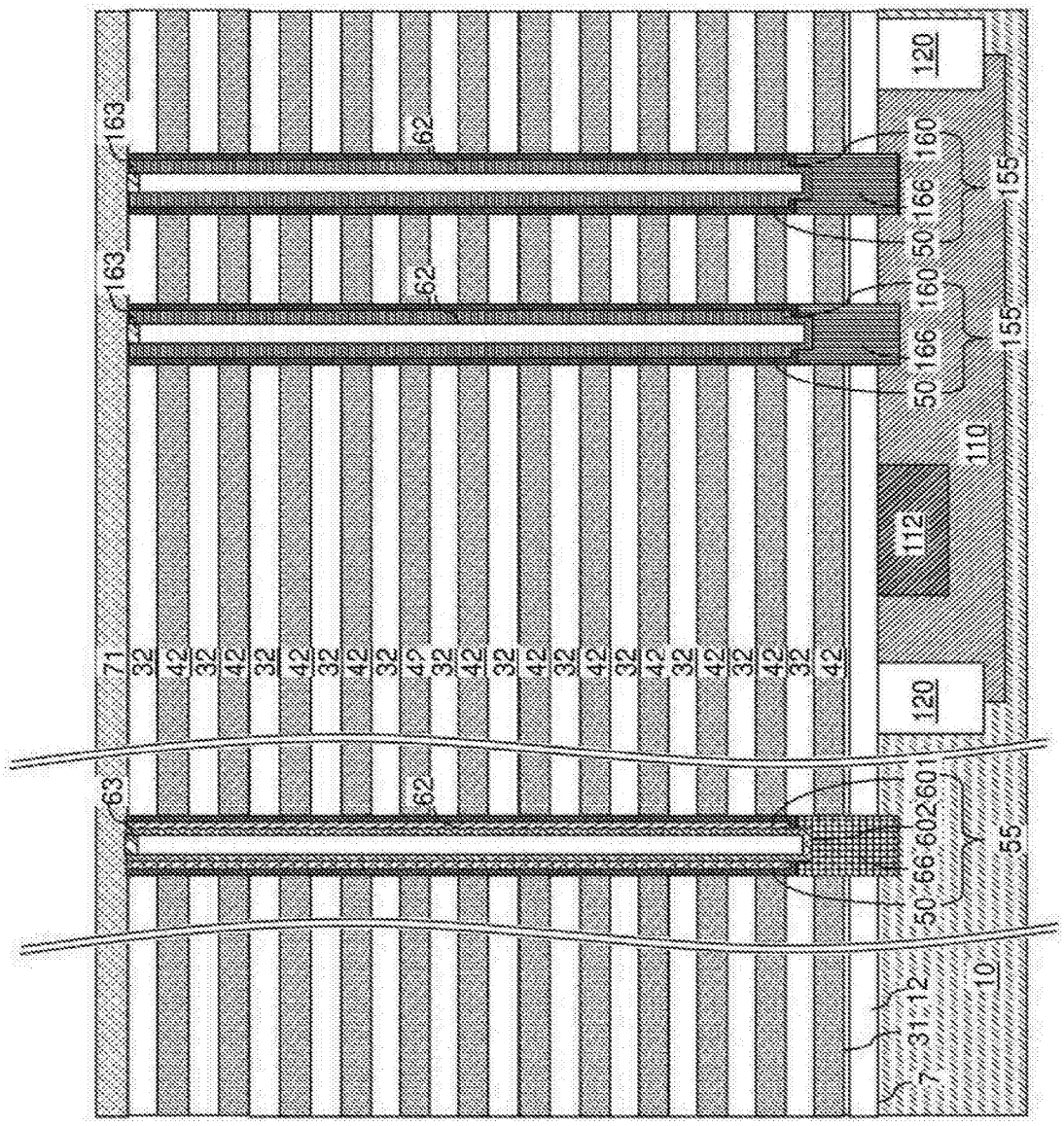


图19

Micron Ex. 1002, p. 460
Micron v. YMTC
IPR2024-00790

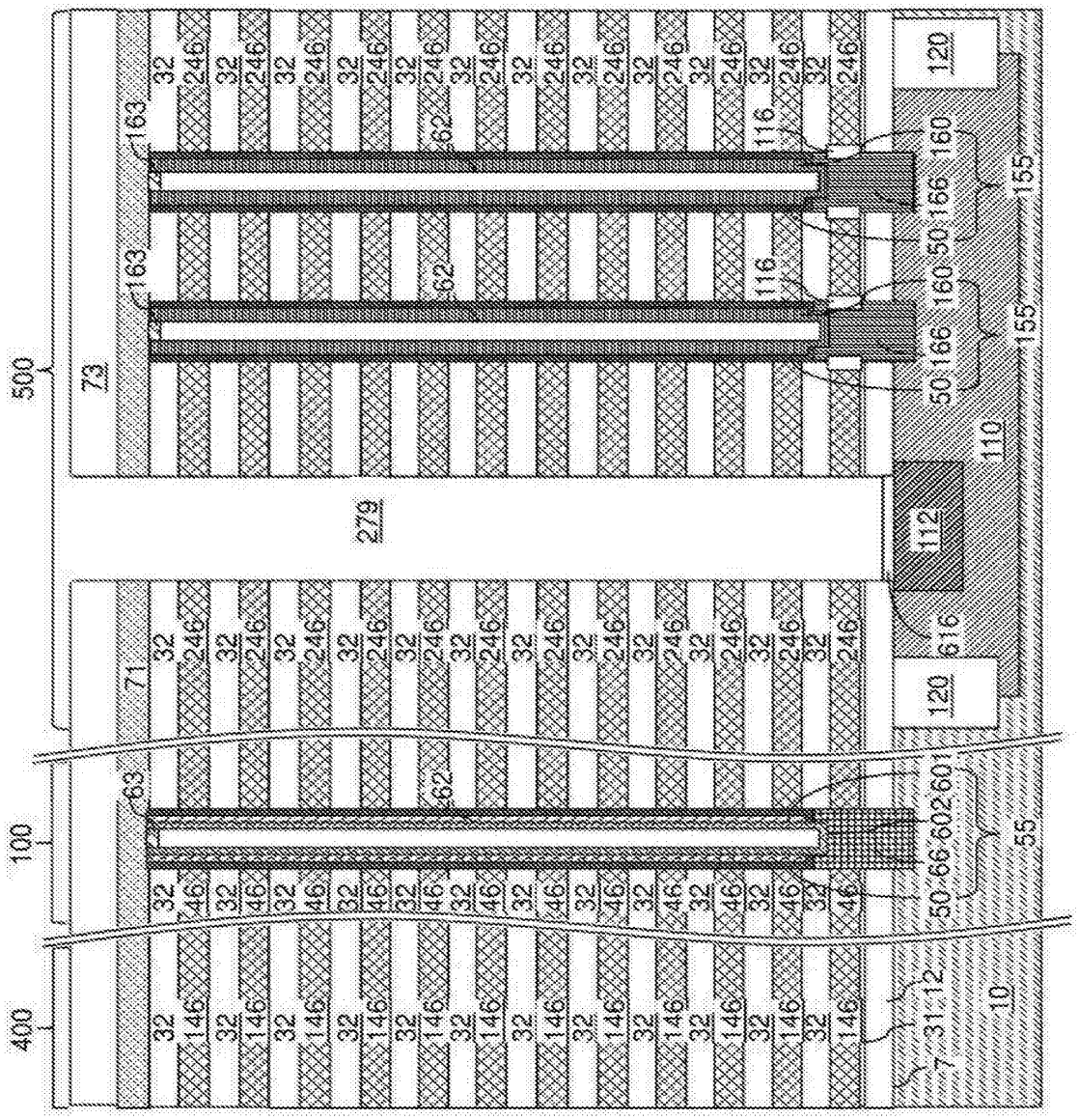


图20

Micron Ex. 1002, p. 461
Micron v. YMTC
IPR2024-00790

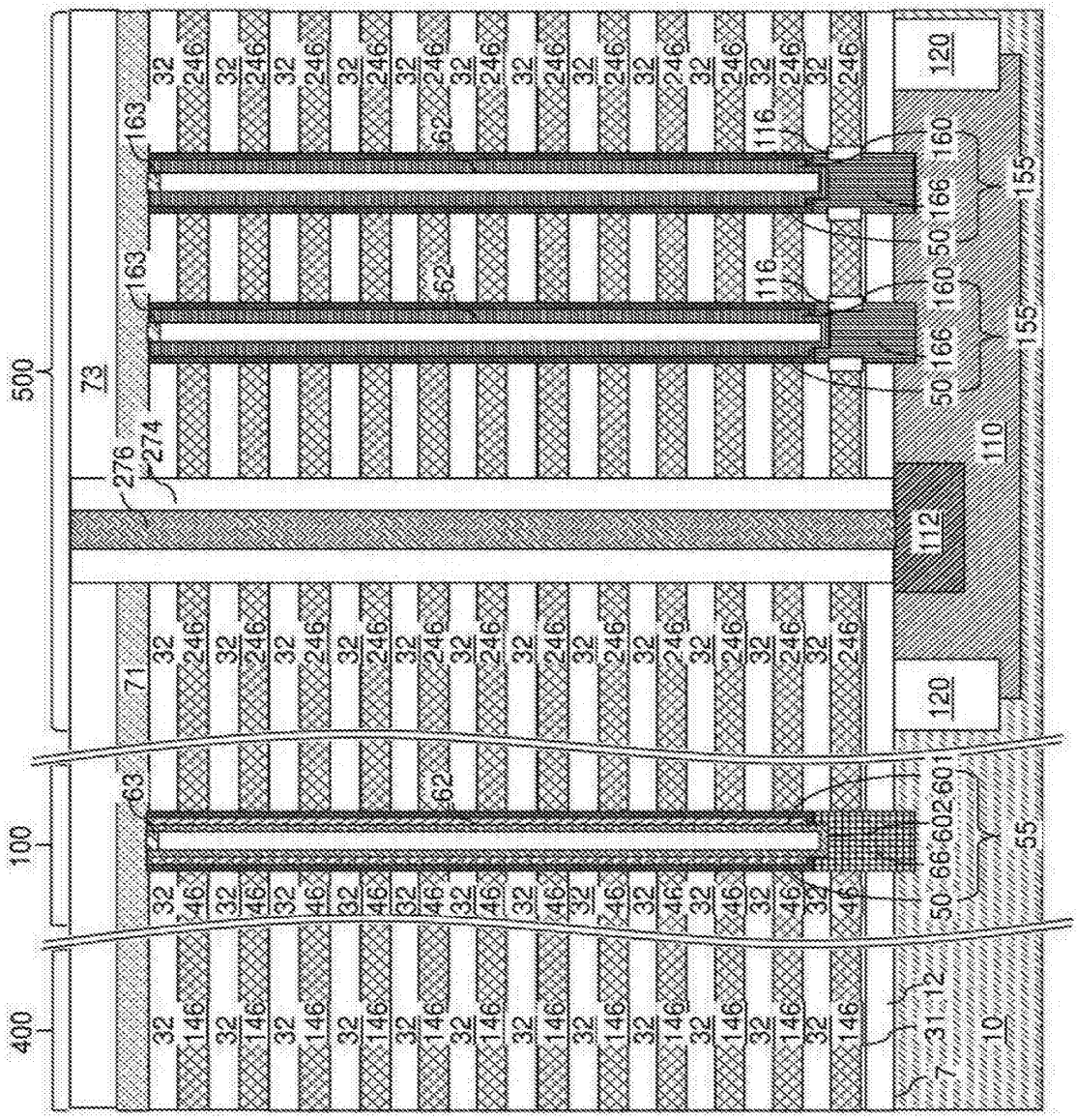


图21

Micron Ex. 1002, p. 462
Micron v. YMTC
IPR2024-00790

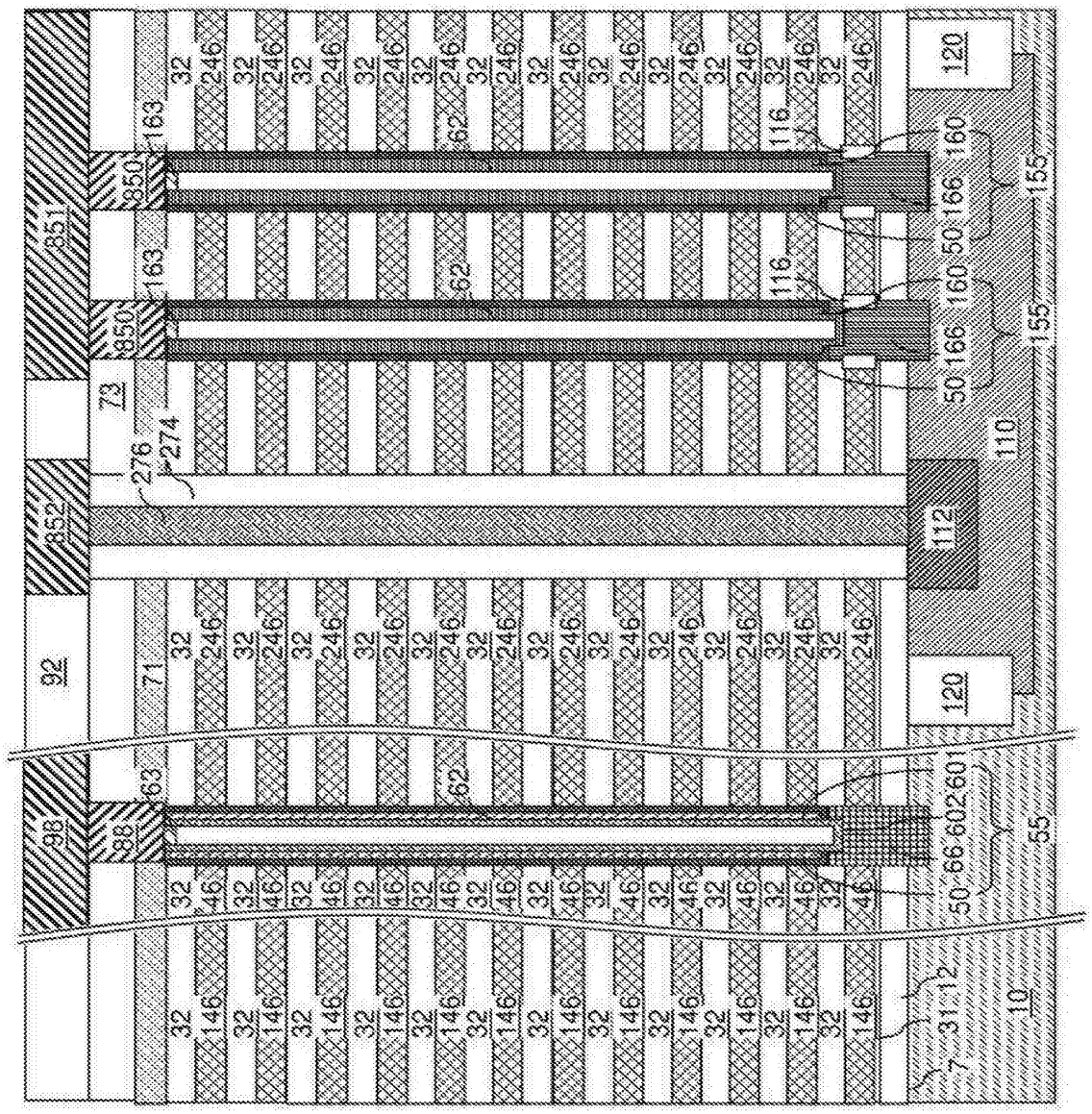


图22

Micron Ex. 1002, p. 463
Micron v. YMTC
IPR2024-00790

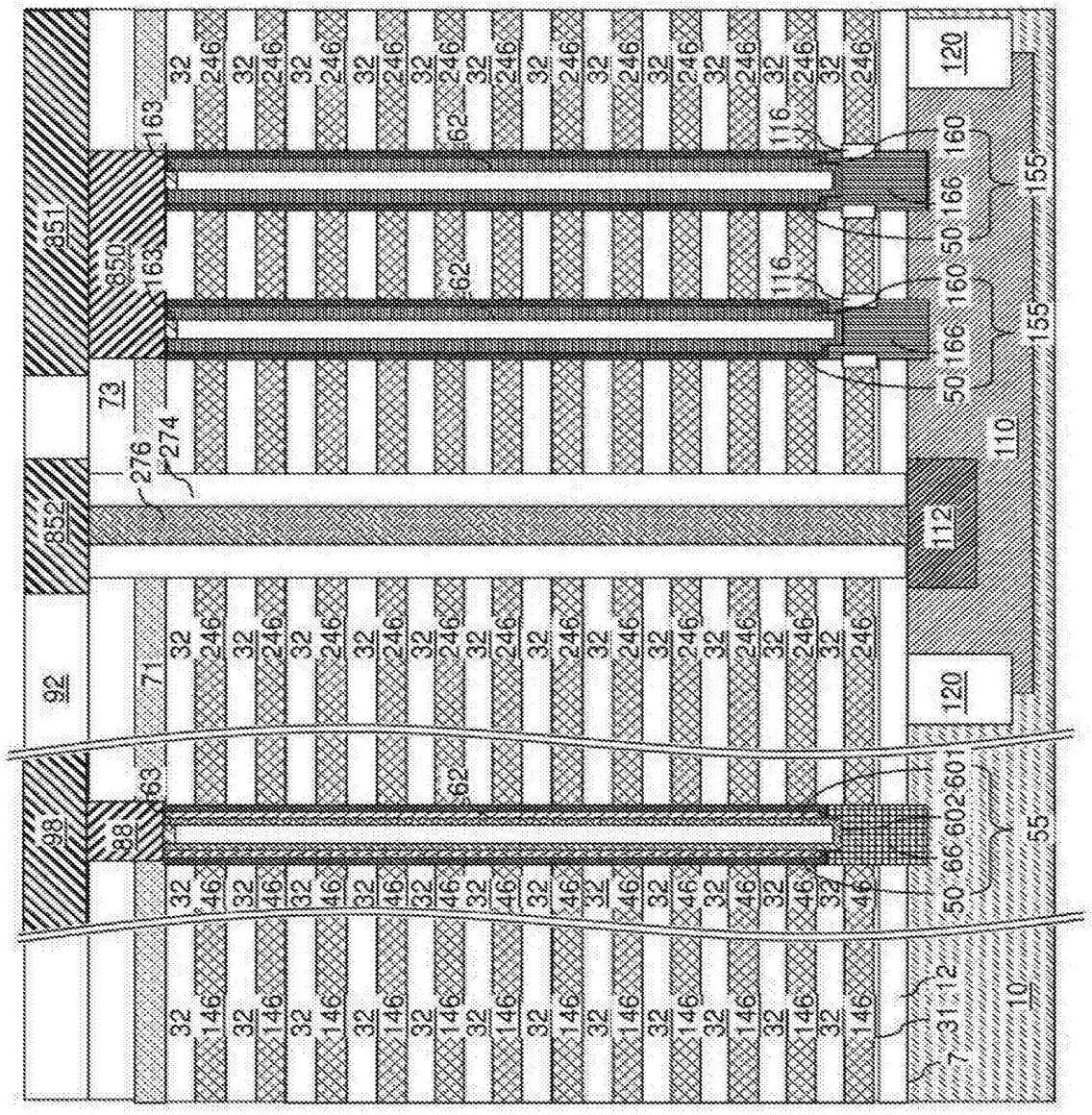


图23

Micron Ex. 1002, p. 464
Micron v. YMTC
IPR2024-00790

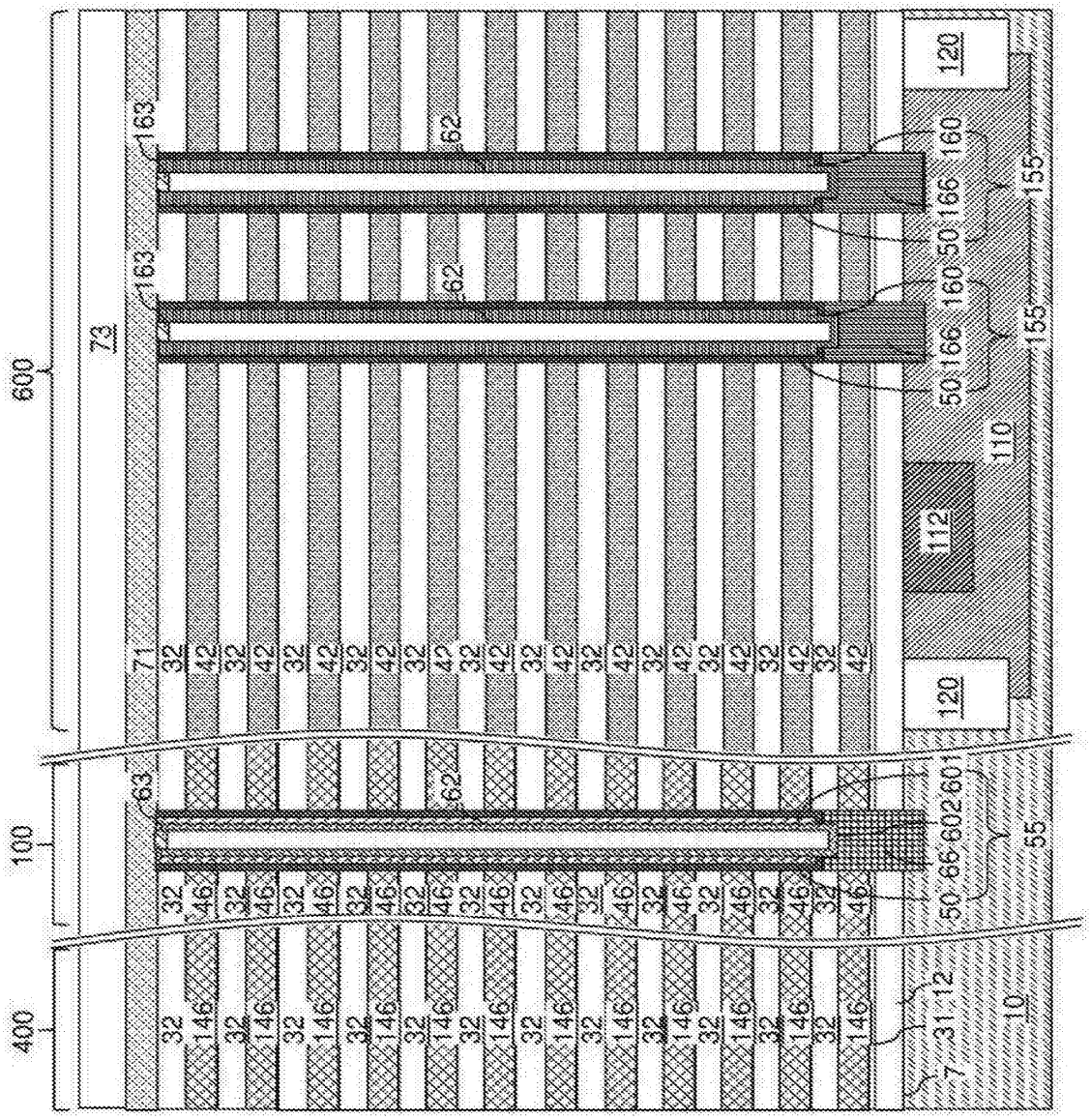


图24

Micron Ex. 1002, p. 465
Micron v. YMTC
IPR2024-00790

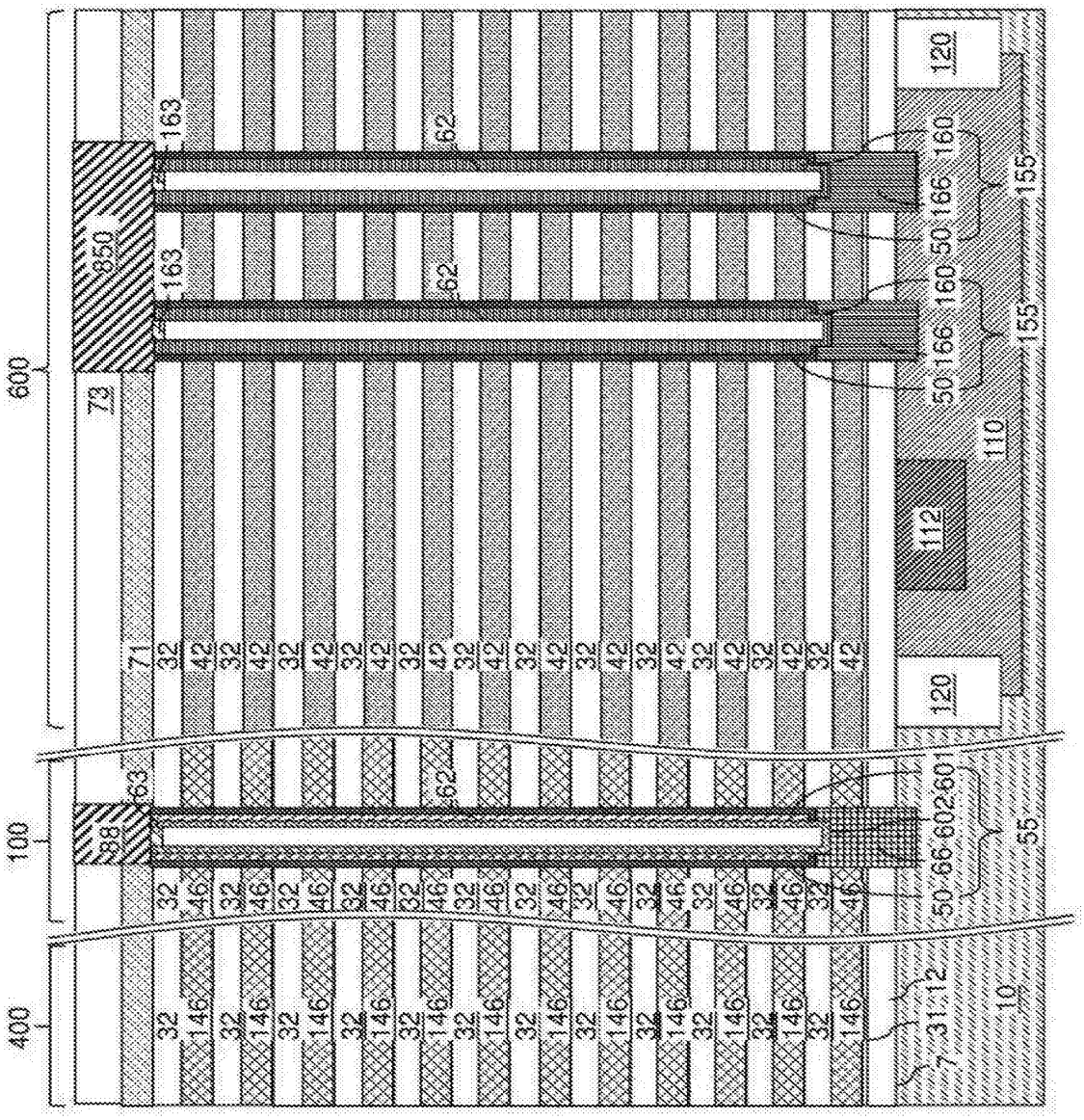


图25

Micron Ex. 1002, p. 466
Micron v. YMTC
IPR2024-00790

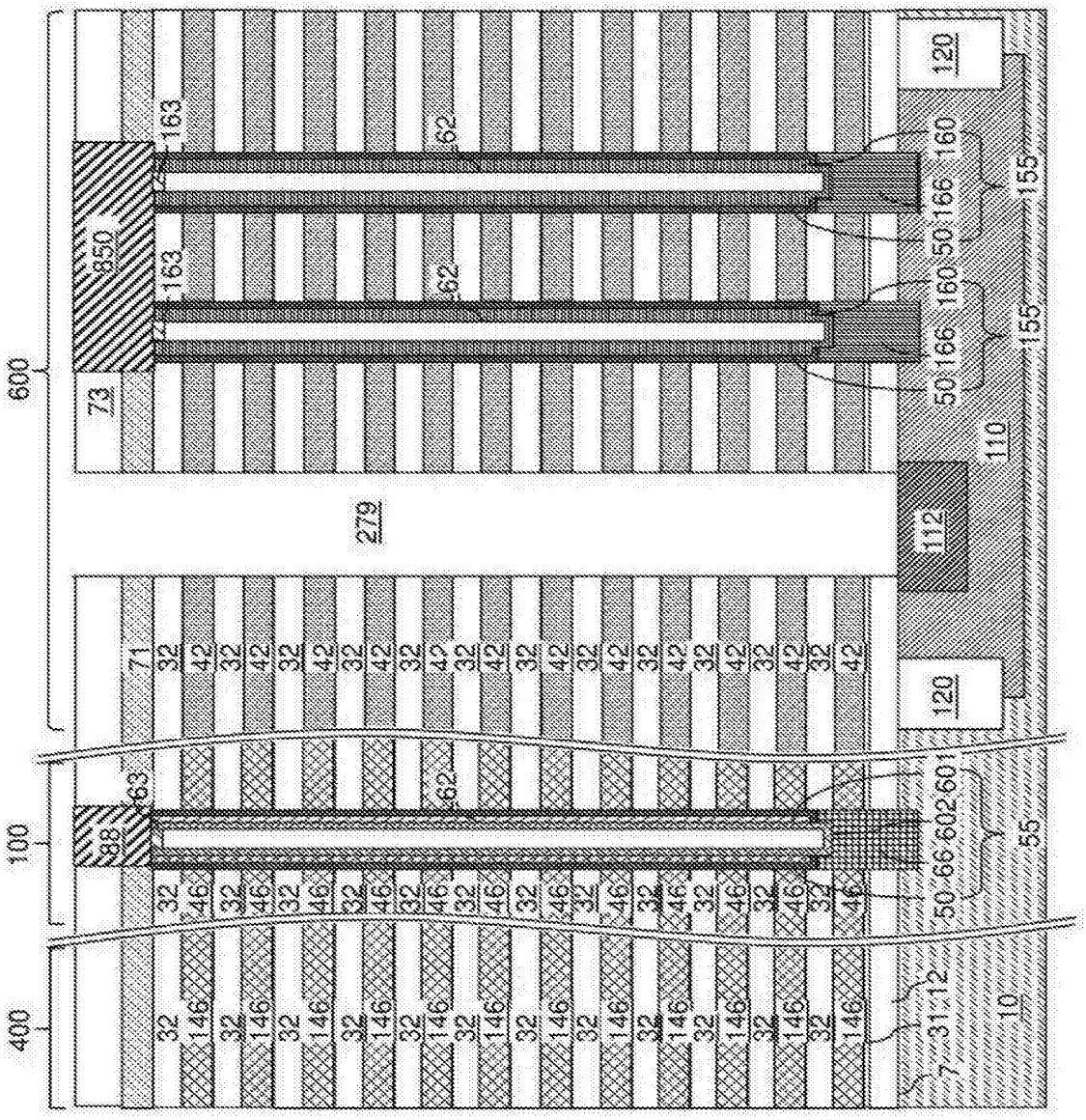


图26

Micron Ex. 1002, p. 467
Micron v. YMTC
IPR2024-00790

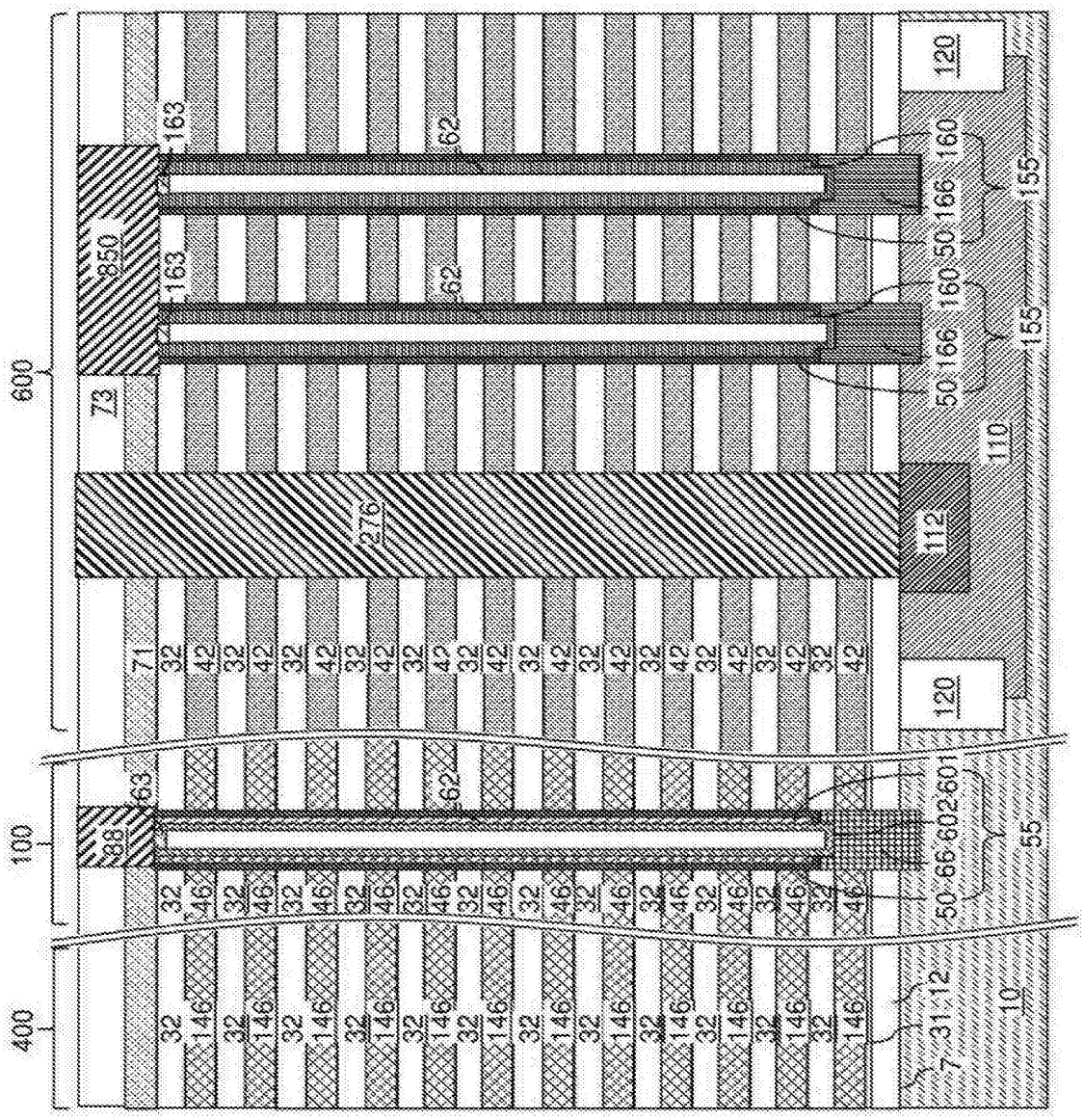


图27

Micron Ex. 1002, p. 468
Micron v. YMTC
IPR2024-00790

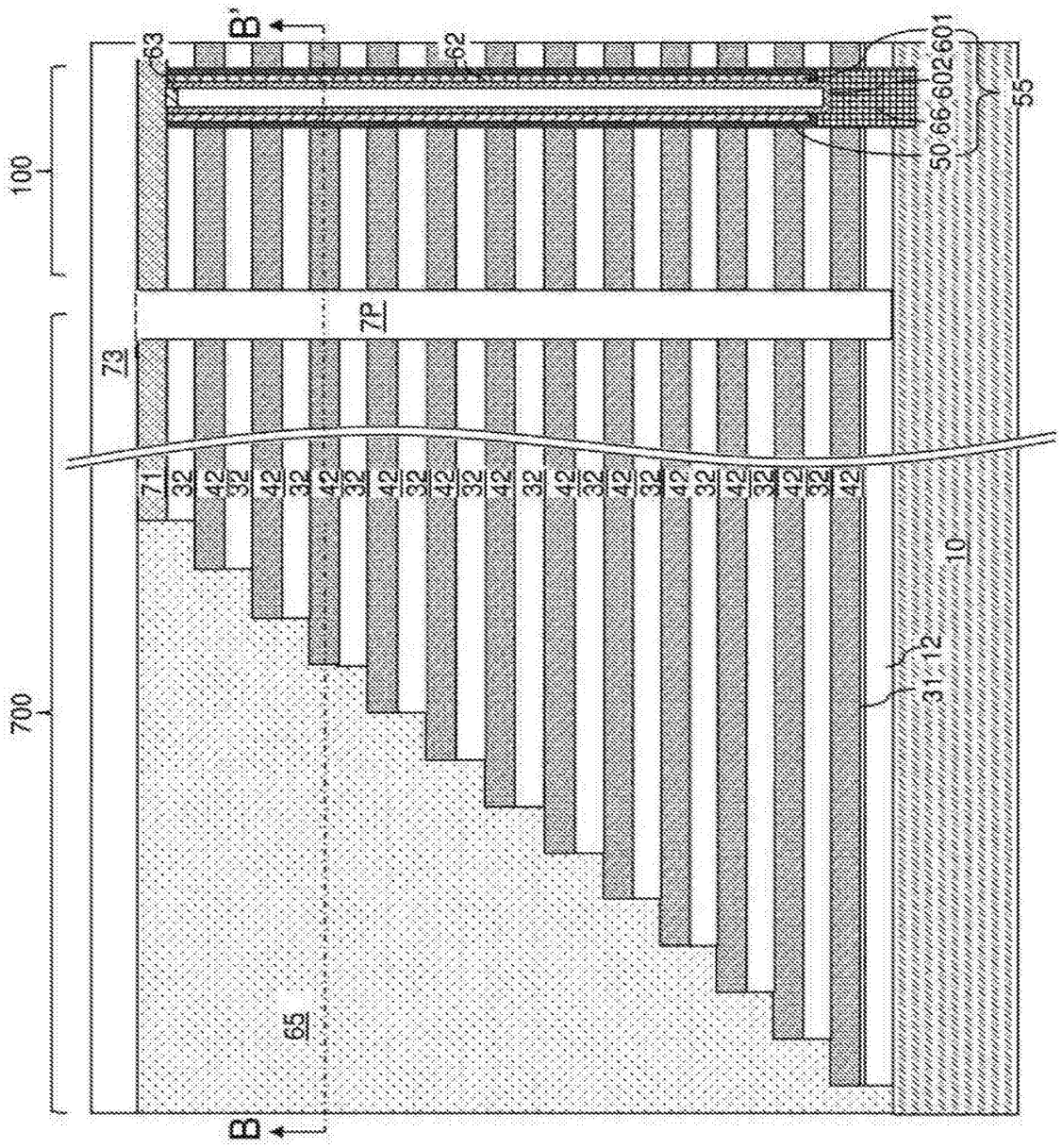


图28

Micron Ex. 1002, p. 469
Micron v. YMTC
IPR2024-00790

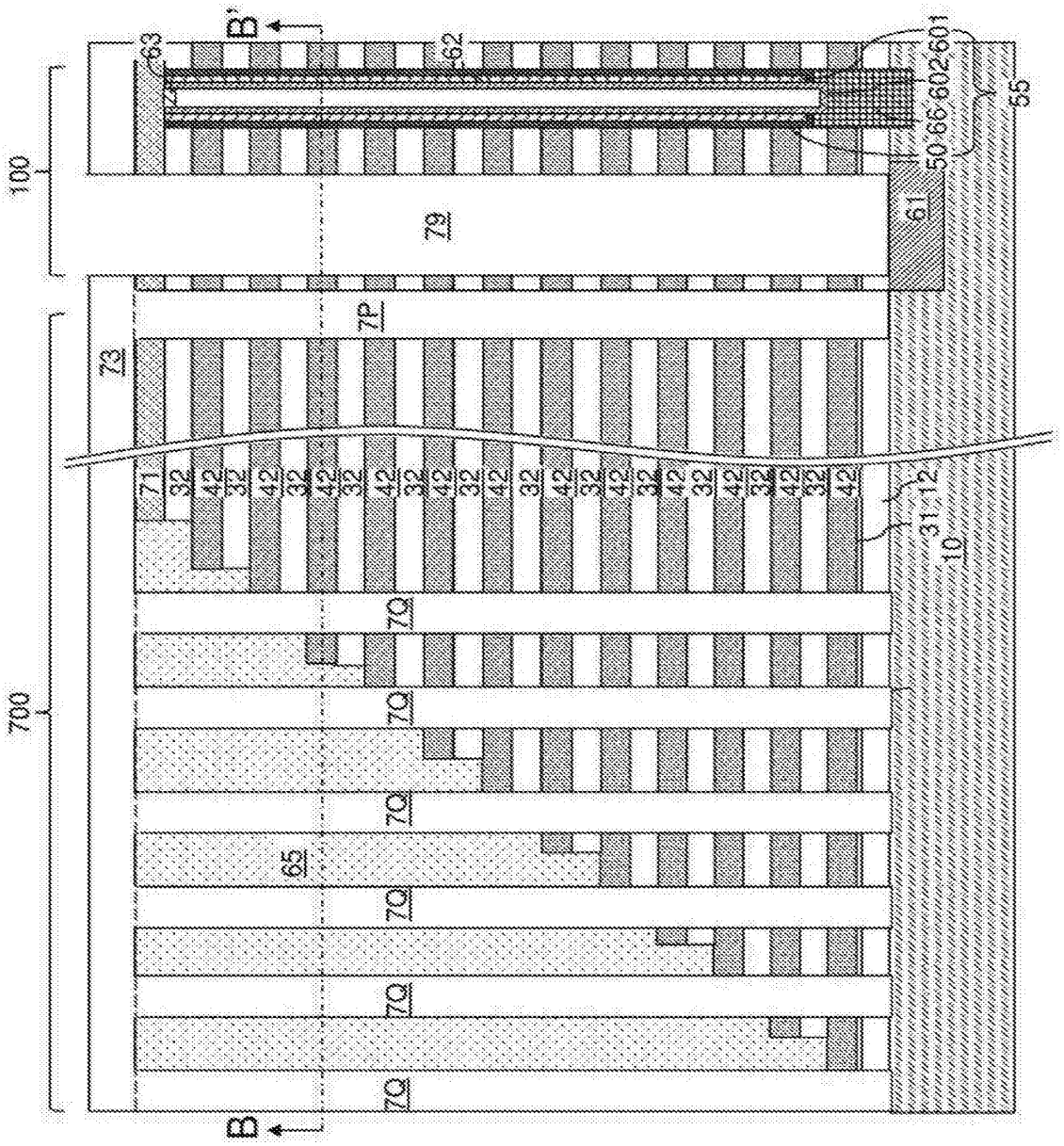


图29A

Micron Ex. 1002, p. 470
Micron v. YMTC
IPR2024-00790

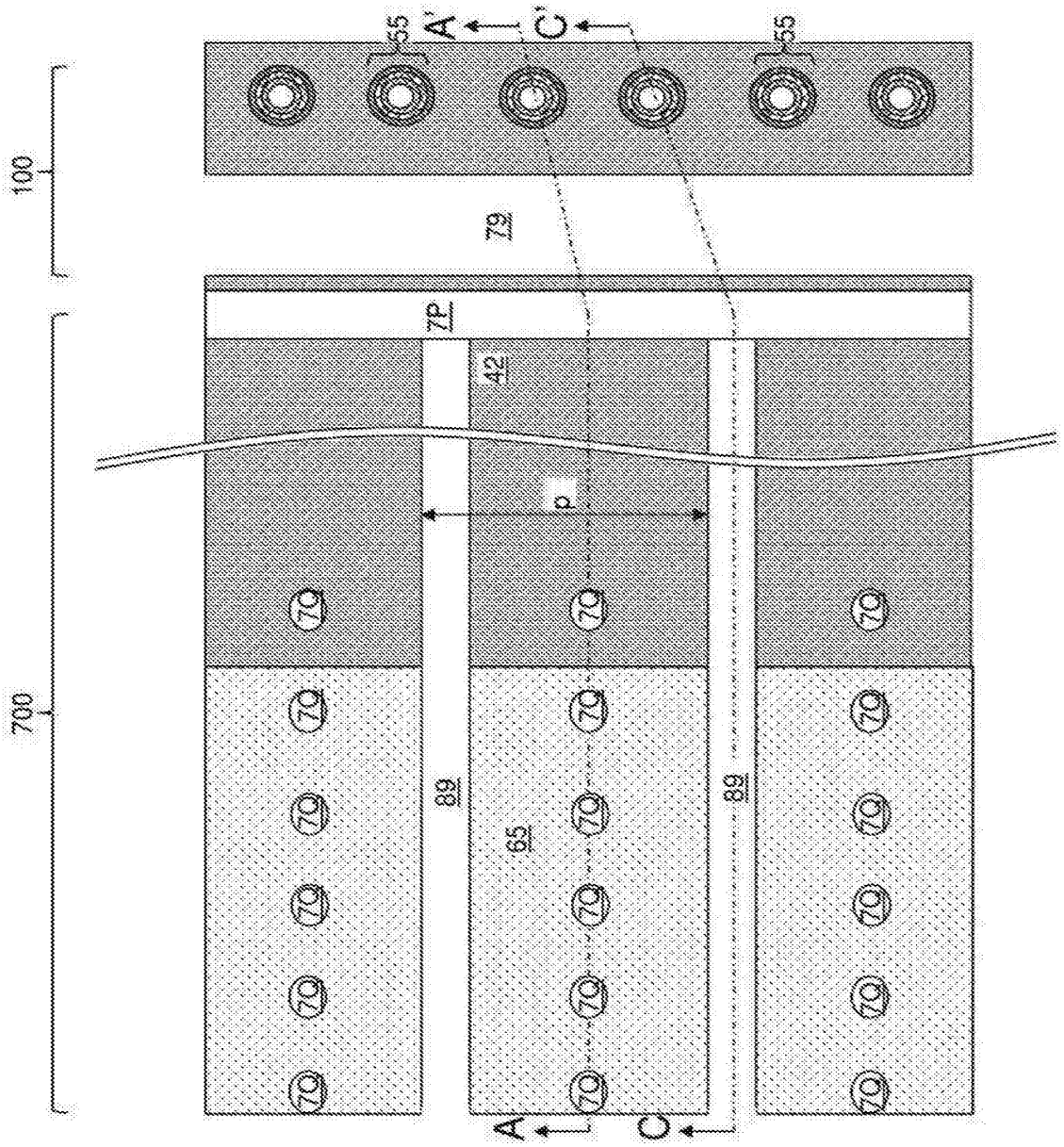


图29B

Micron Ex. 1002, p. 471
Micron v. YMTC
IPR2024-00790

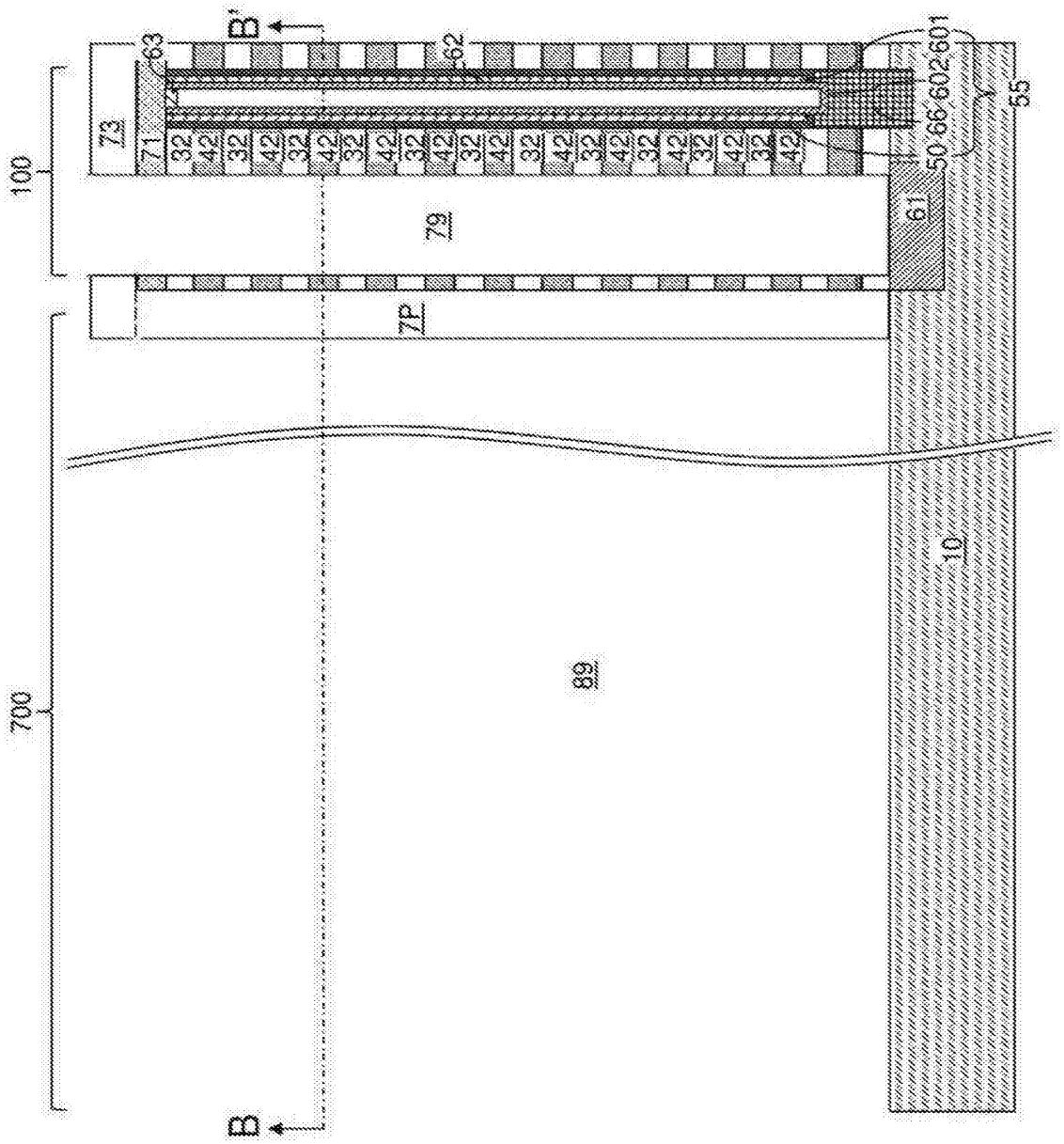


图29C

Micron Ex. 1002, p. 472
Micron v. YMTC
IPR2024-00790

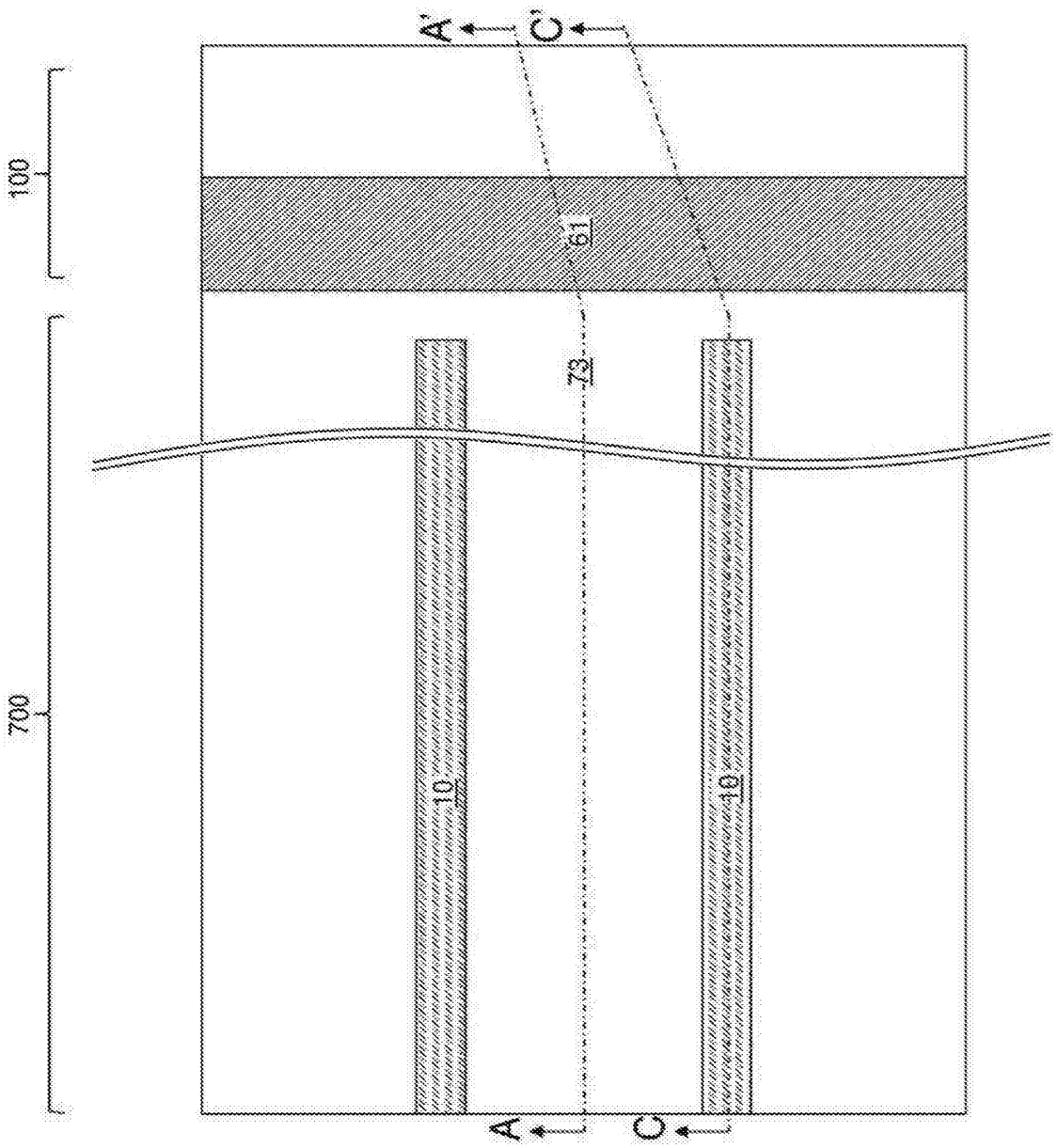


图29D

Micron Ex. 1002, p. 473
Micron v. YMTC
IPR2024-00790

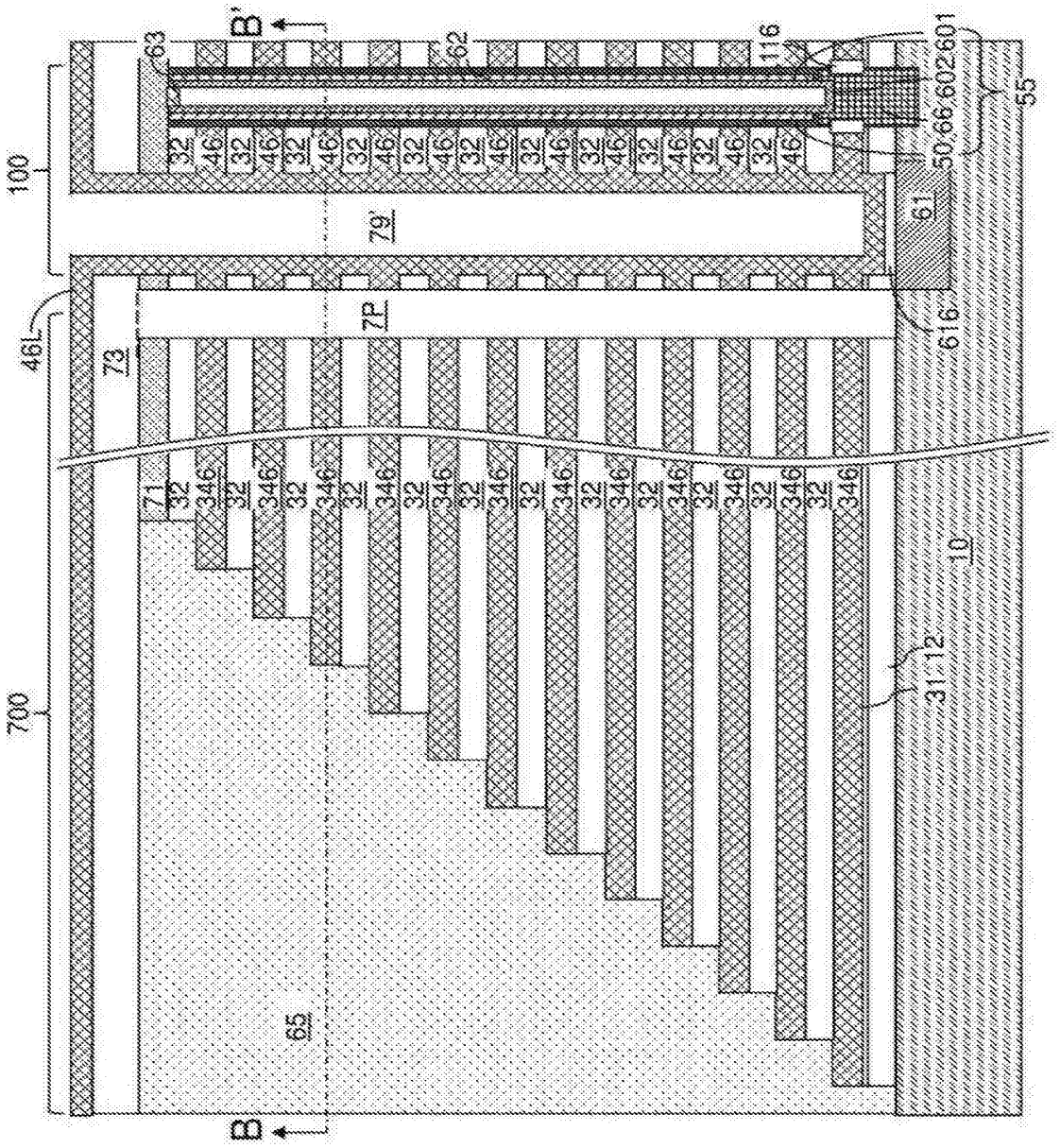


图30A

Micron Ex. 1002, p. 474
Micron v. YMTC
IPR2024-00790

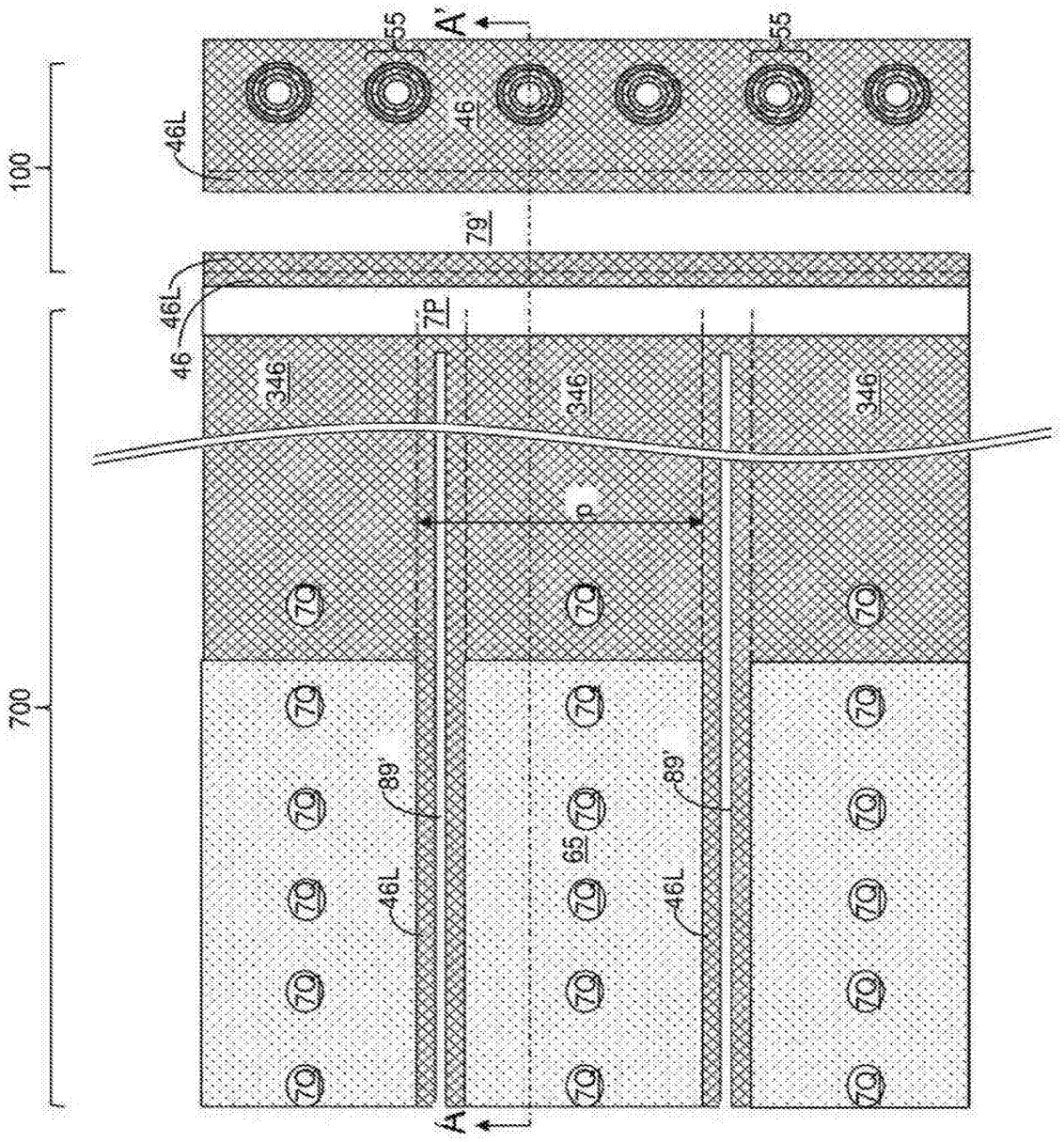


图30B

Micron Ex. 1002, p. 475
Micron v. YMTC
IPR2024-00790

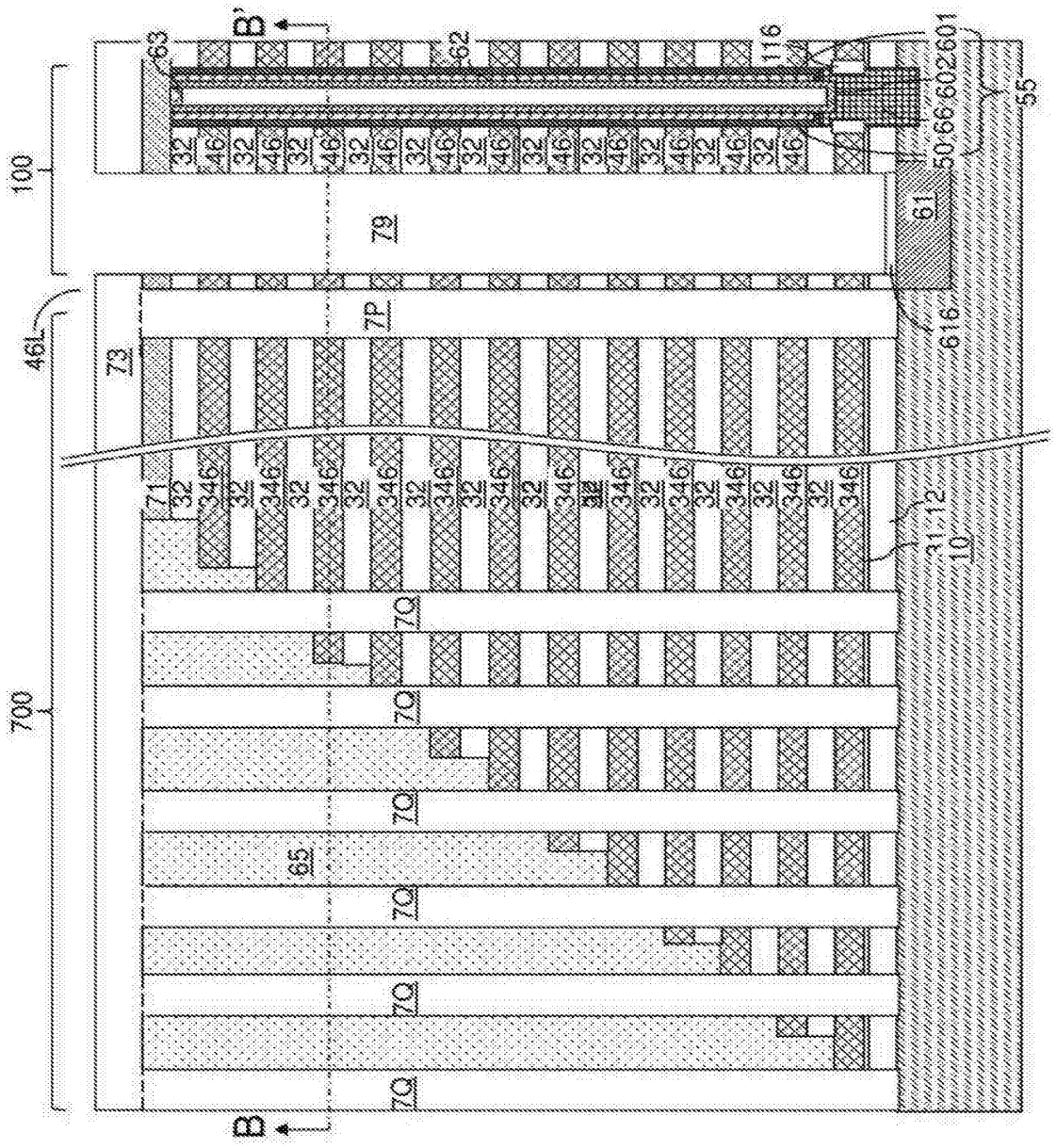


图31A

Micron Ex. 1002, p. 476
Micron v. YMTC
IPR2024-00790

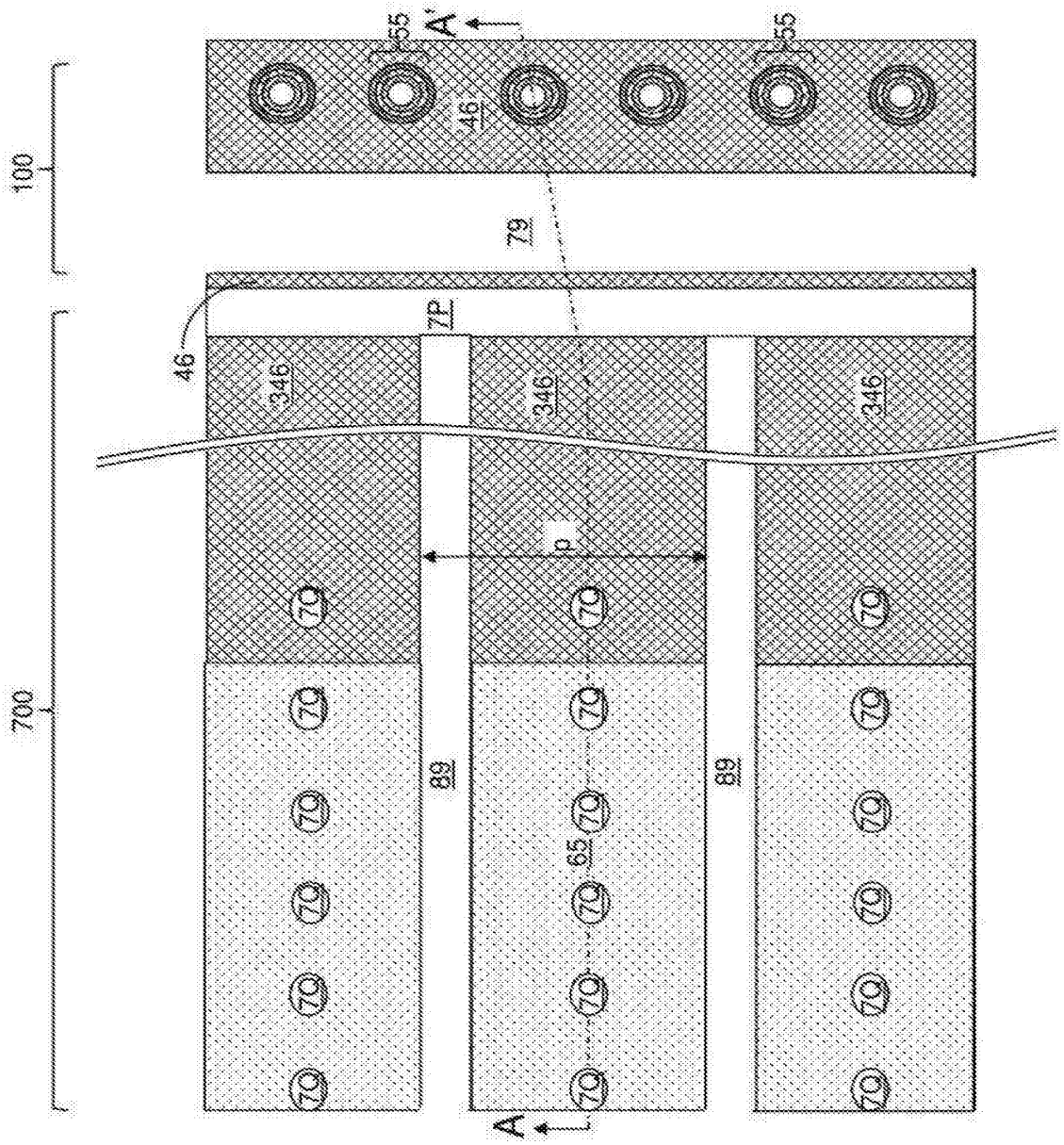


图31B

Micron Ex. 1002, p. 477
Micron v. YMTC
IPR2024-00790

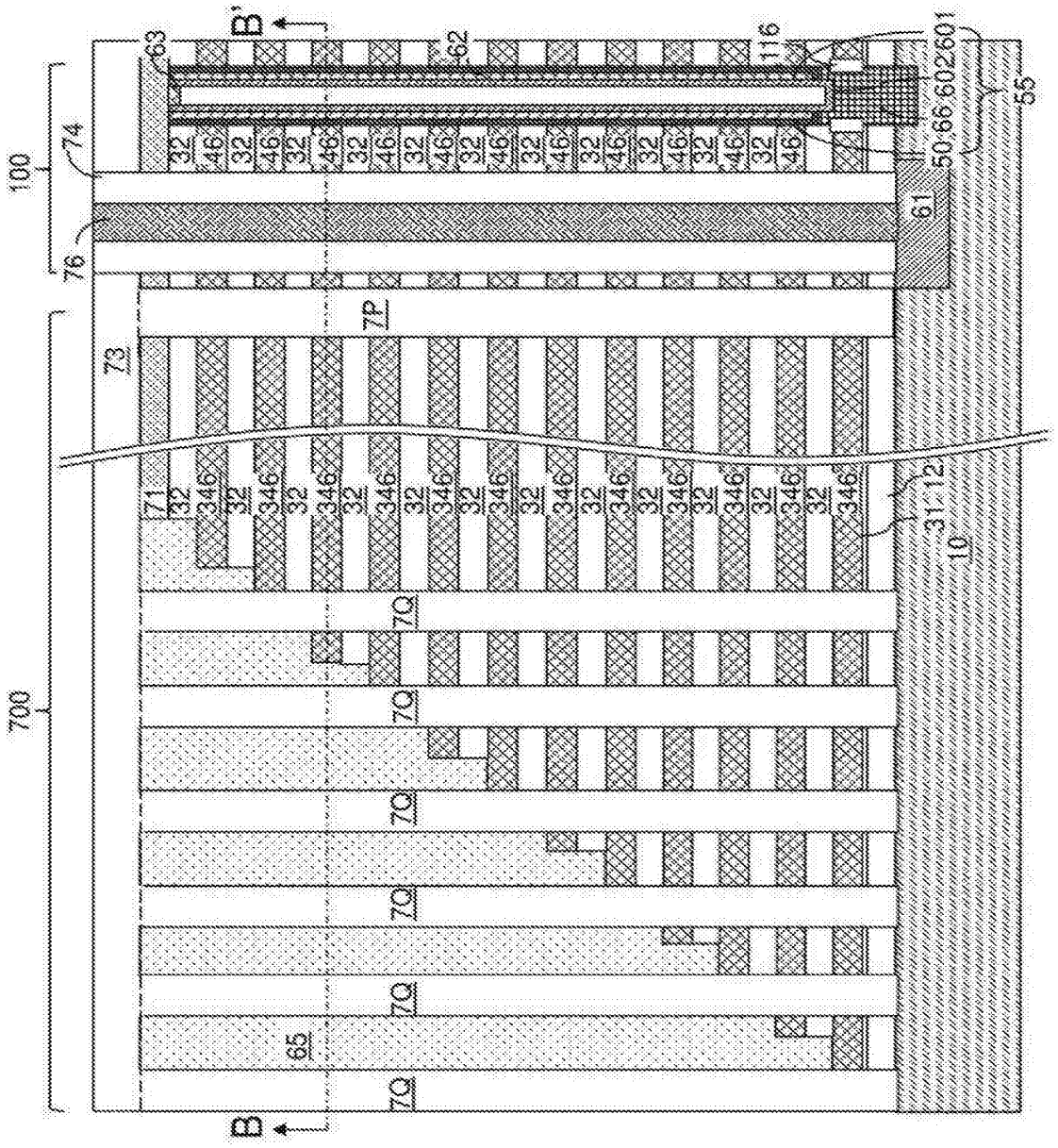


图32A

Micron Ex. 1002, p. 478
Micron v. YMTC
IPR2024-00790

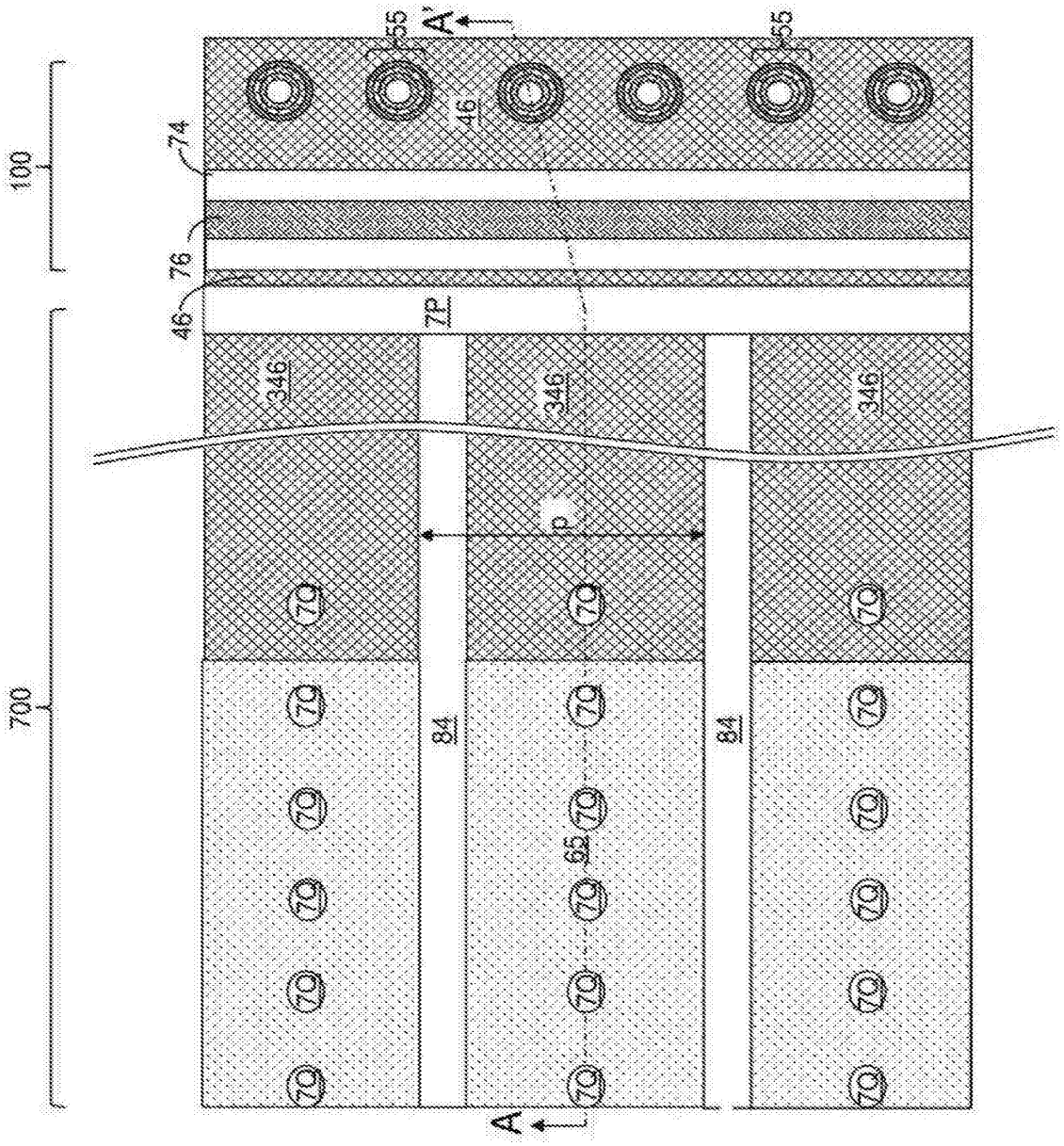


图32B

Micron Ex. 1002, p. 479
Micron v. YMTC
IPR2024-00790

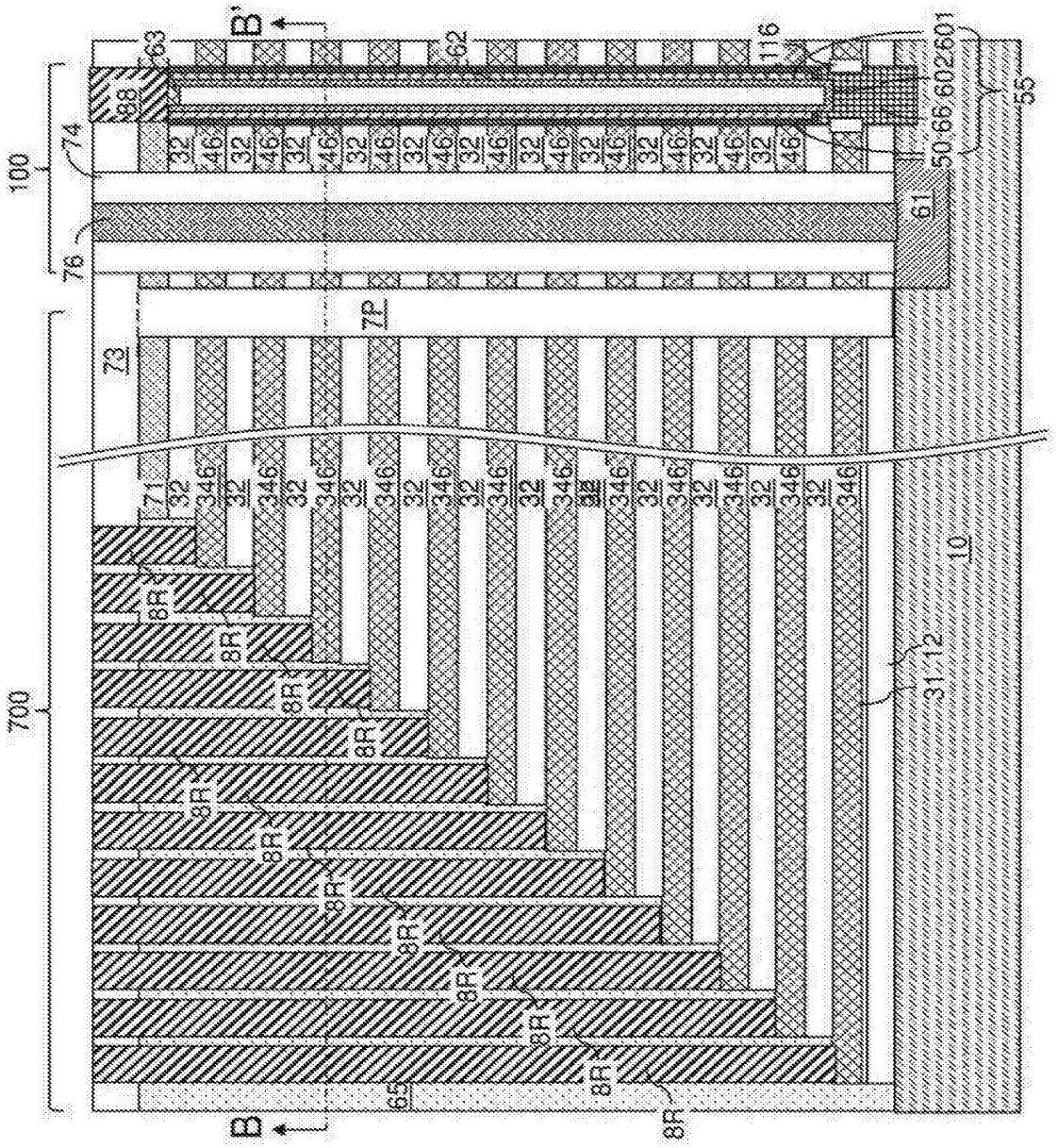


图33A

Micron Ex. 1002, p. 480
Micron v. YMTC
IPR2024-00790

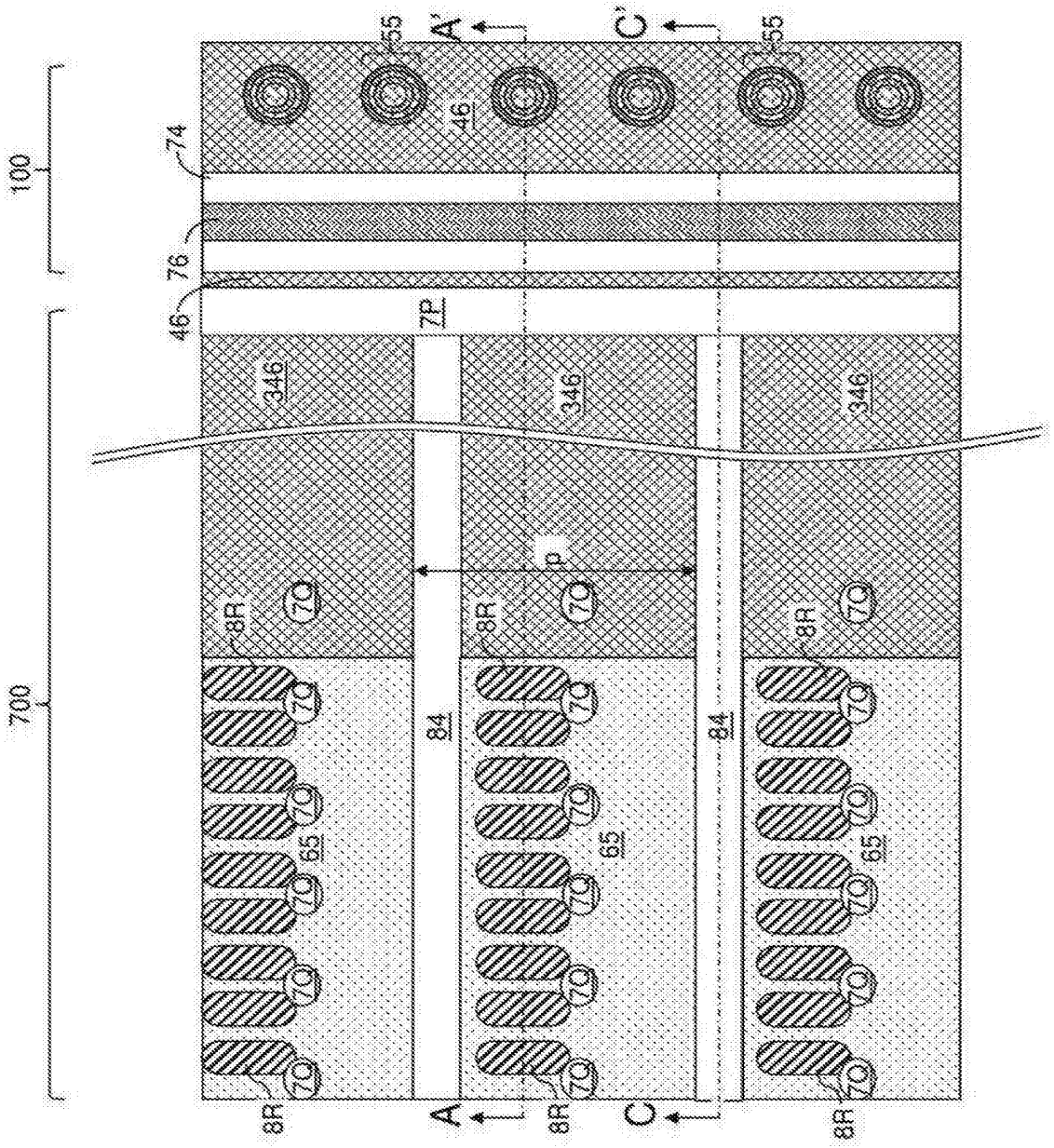


图33B

Micron Ex. 1002, p. 481
Micron v. YMTC
IPR2024-00790

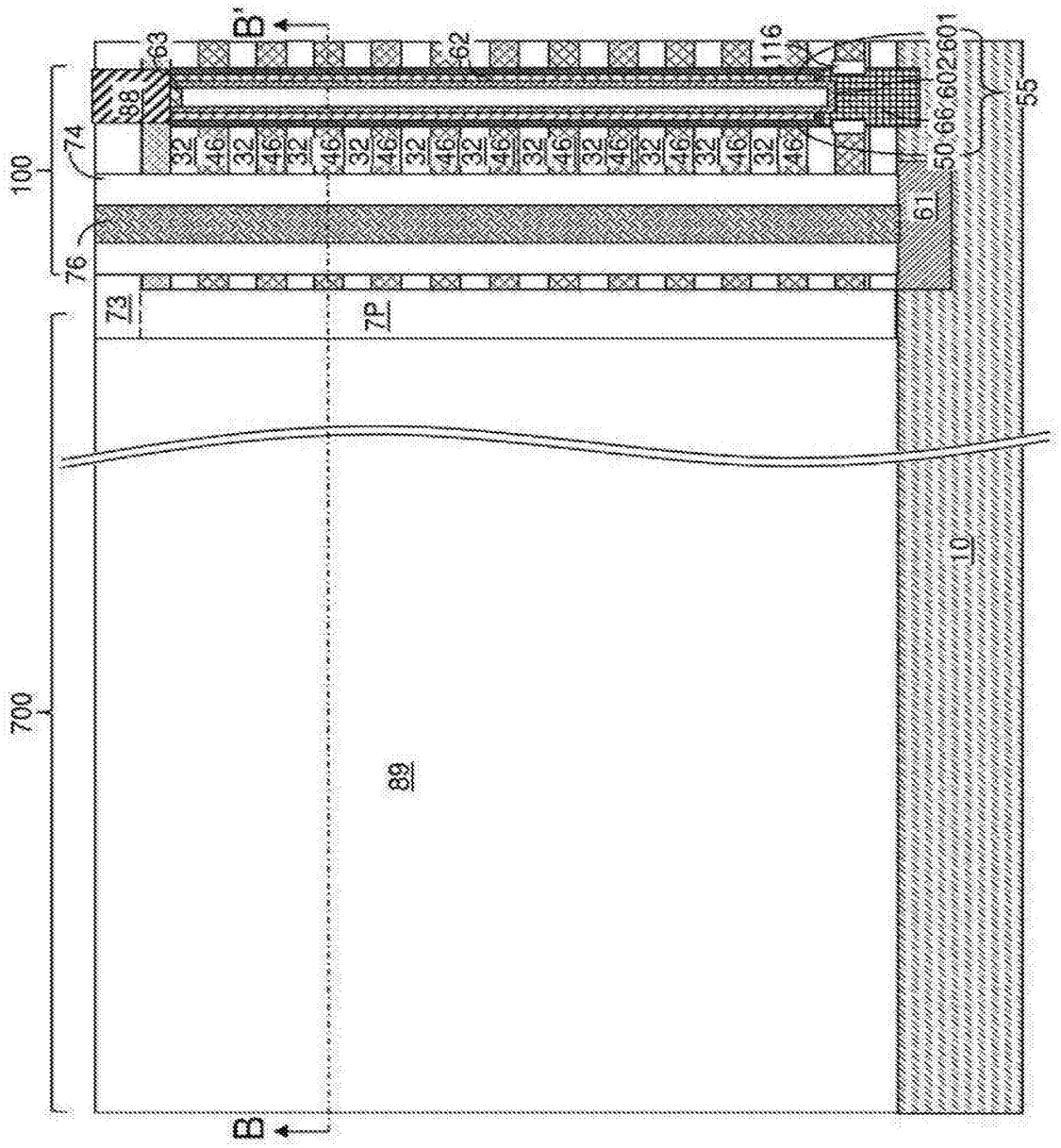


图33C

Micron Ex. 1002, p. 482
Micron v. YMTC
IPR2024-00790

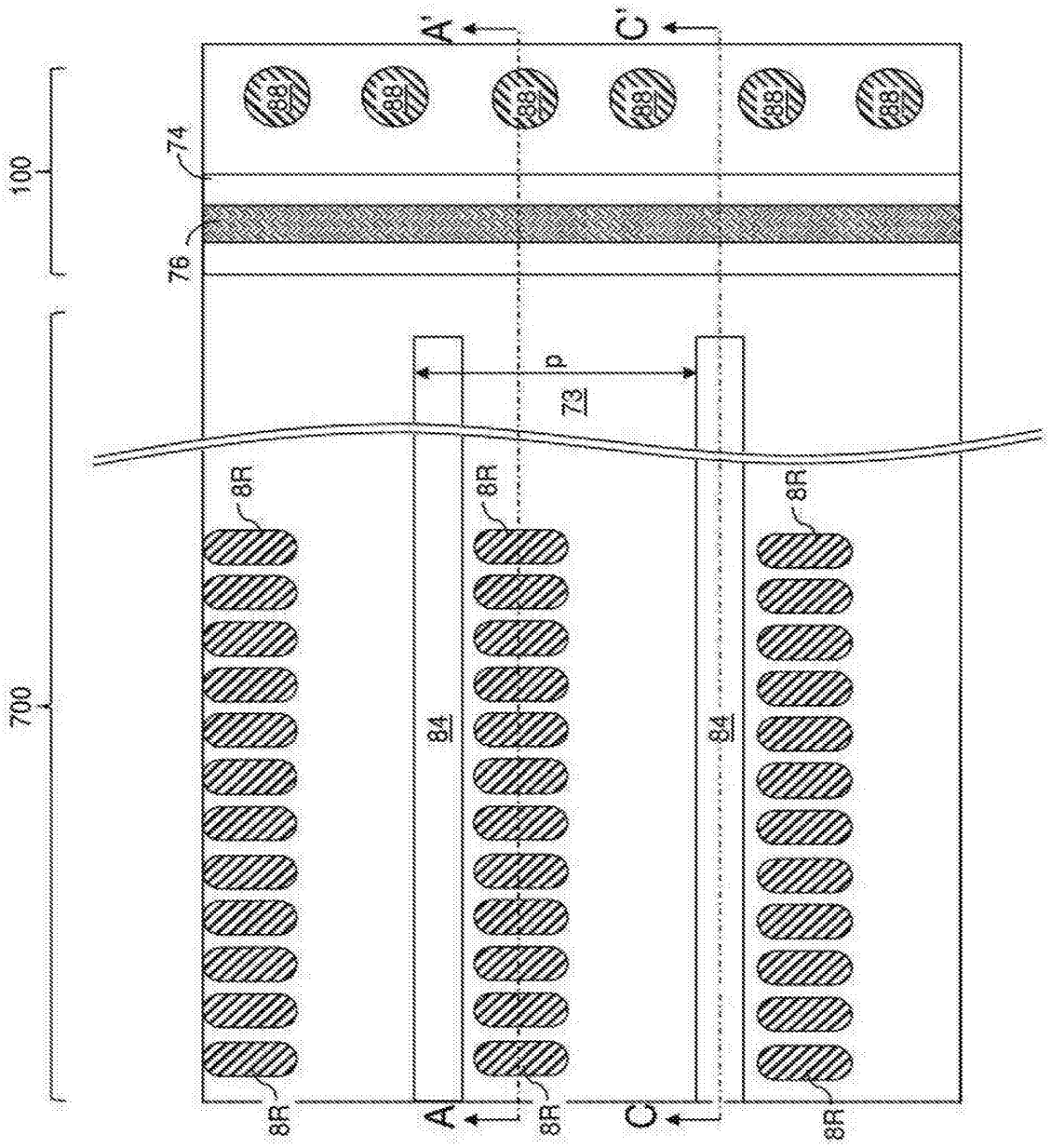


图33D

Micron Ex. 1002, p. 483
Micron v. YMTC
IPR2024-00790

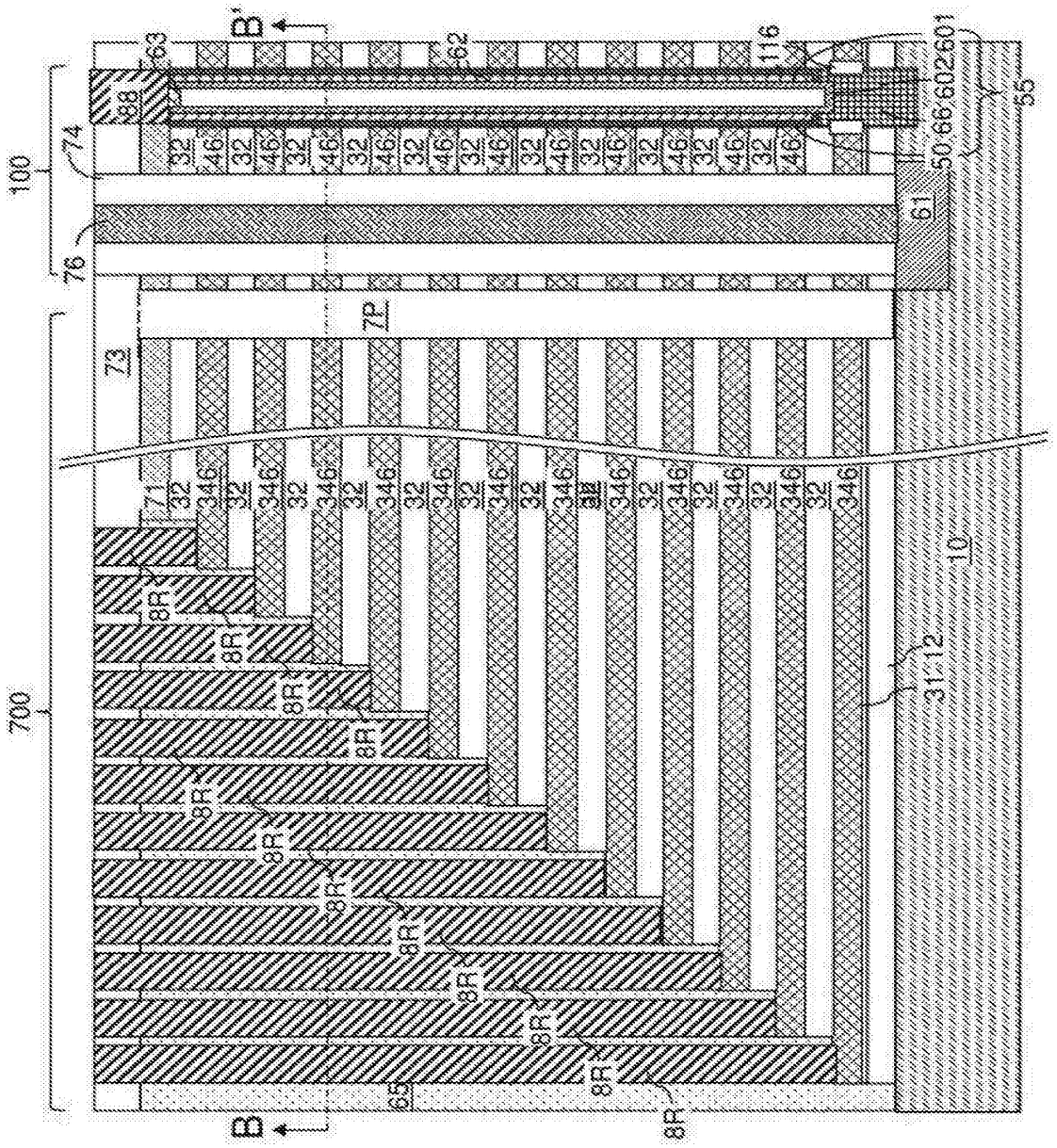


图34A

Micron Ex. 1002, p. 484
Micron v. YMTC
IPR2024-00790

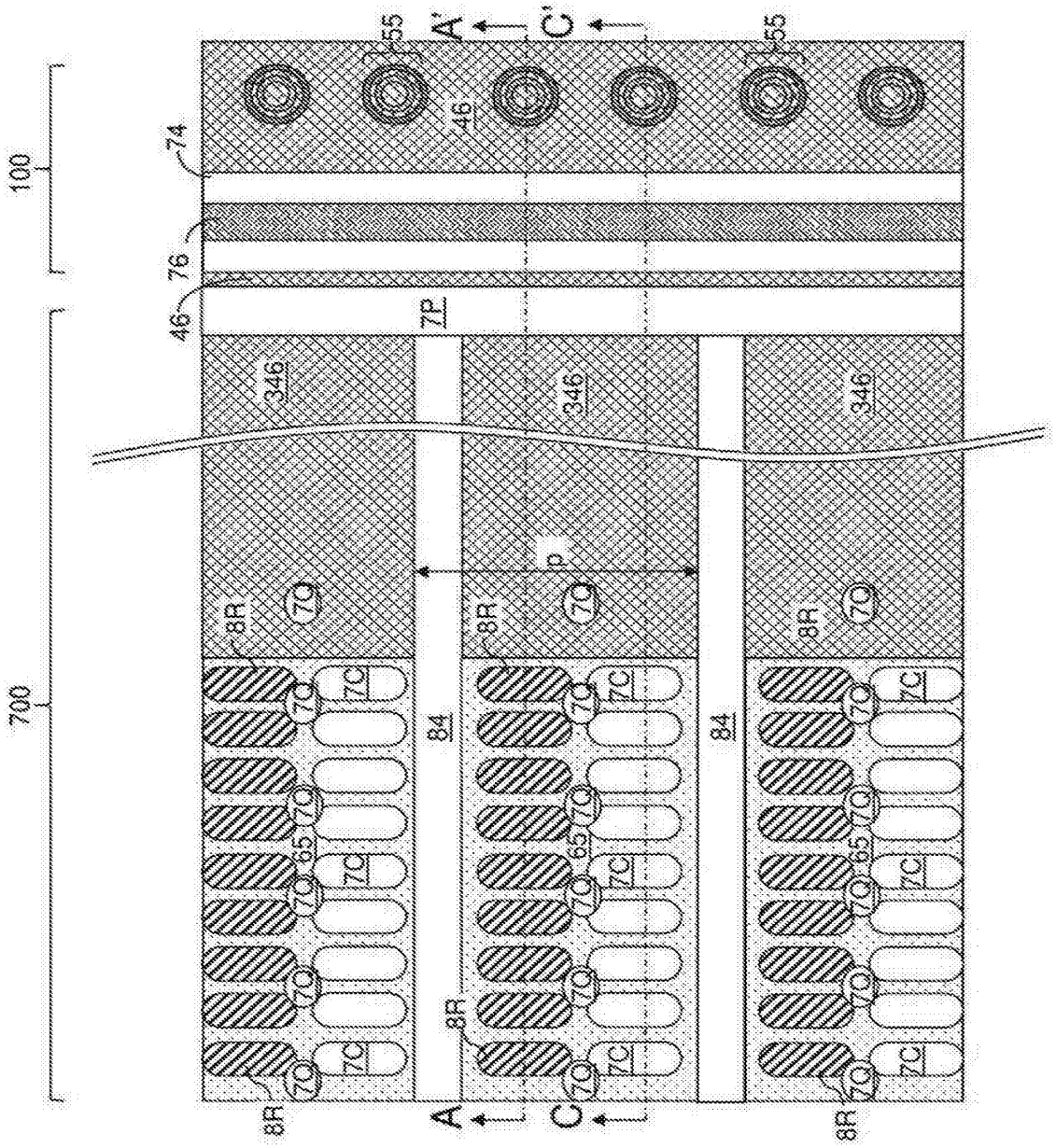


图34B

Micron Ex. 1002, p. 485
Micron v. YMTC
IPR2024-00790

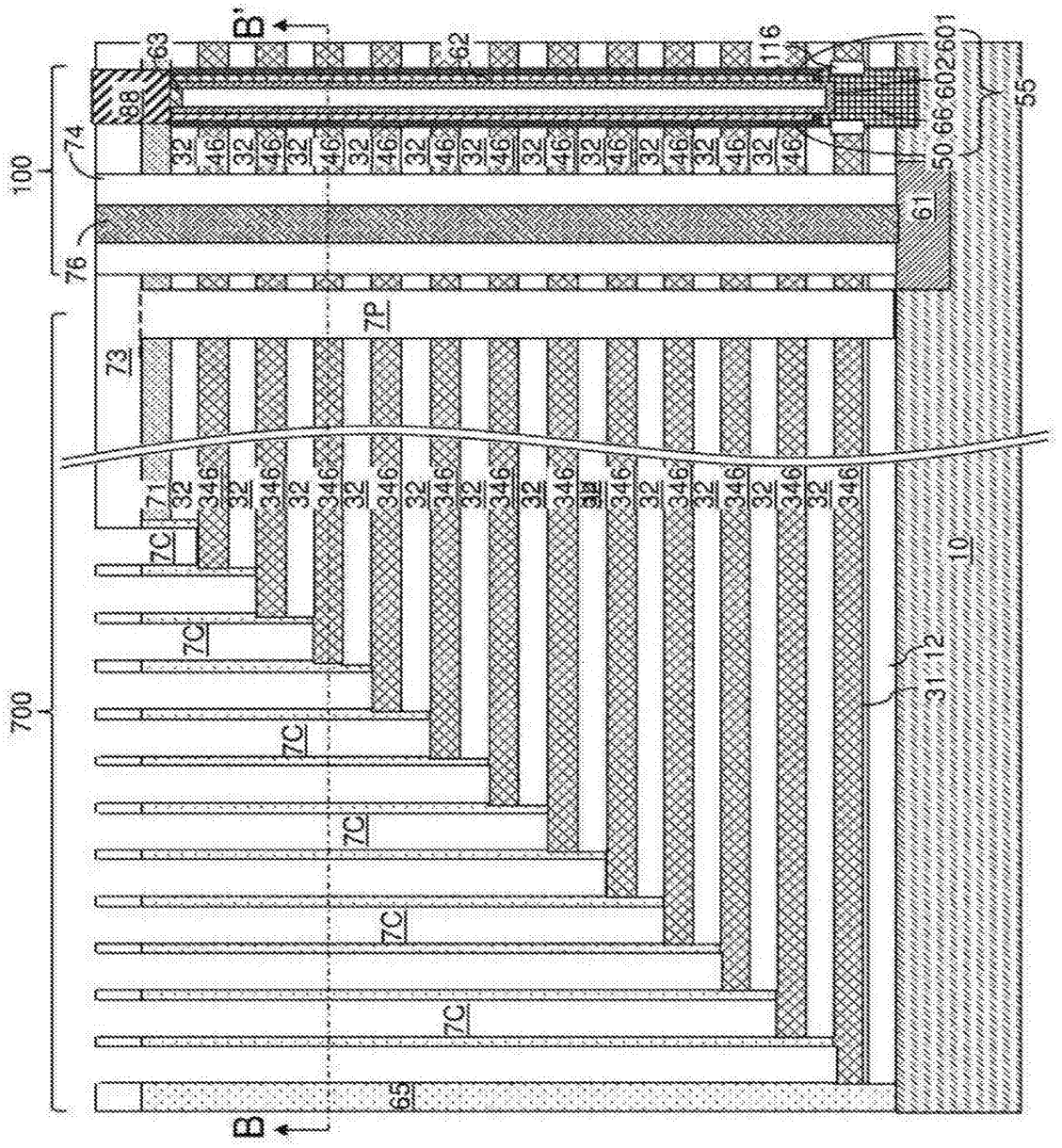


图34C

Micron Ex. 1002, p. 486
Micron v. YMTC
IPR2024-00790

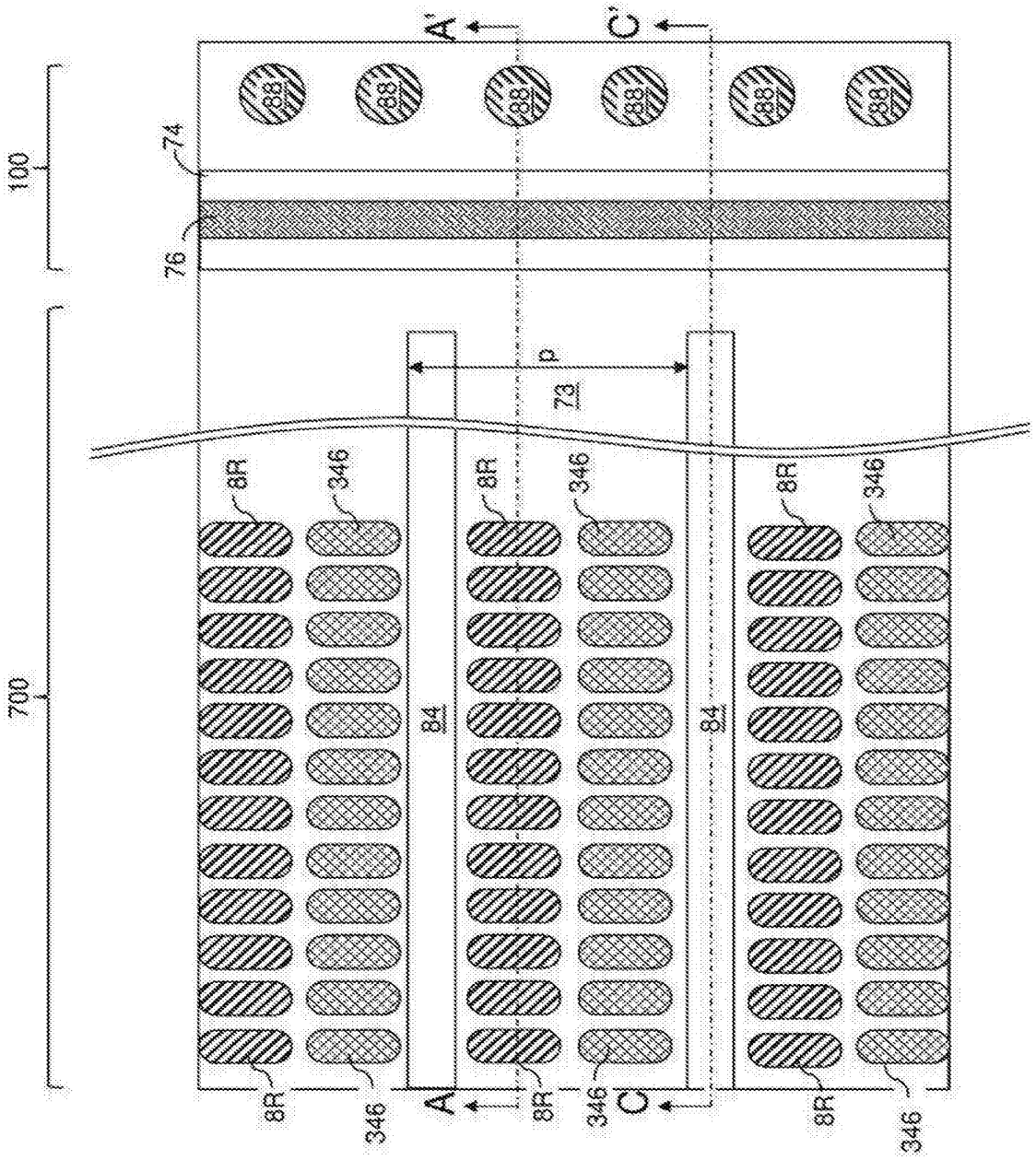


图34D

Micron Ex. 1002, p. 487
Micron v. YMTC
IPR2024-00790

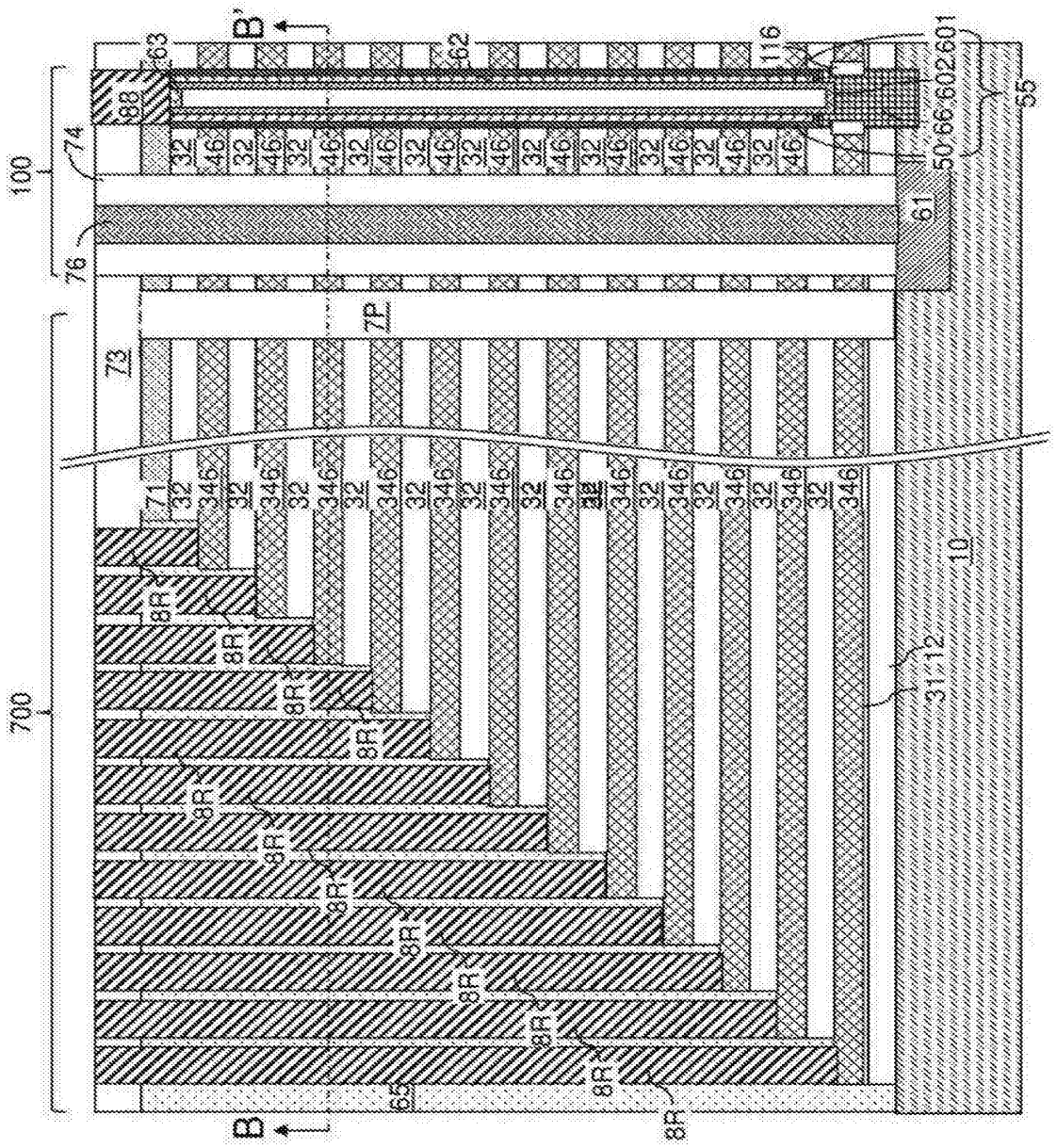


图35A

Micron Ex. 1002, p. 488
Micron v. YMTC
IPR2024-00790

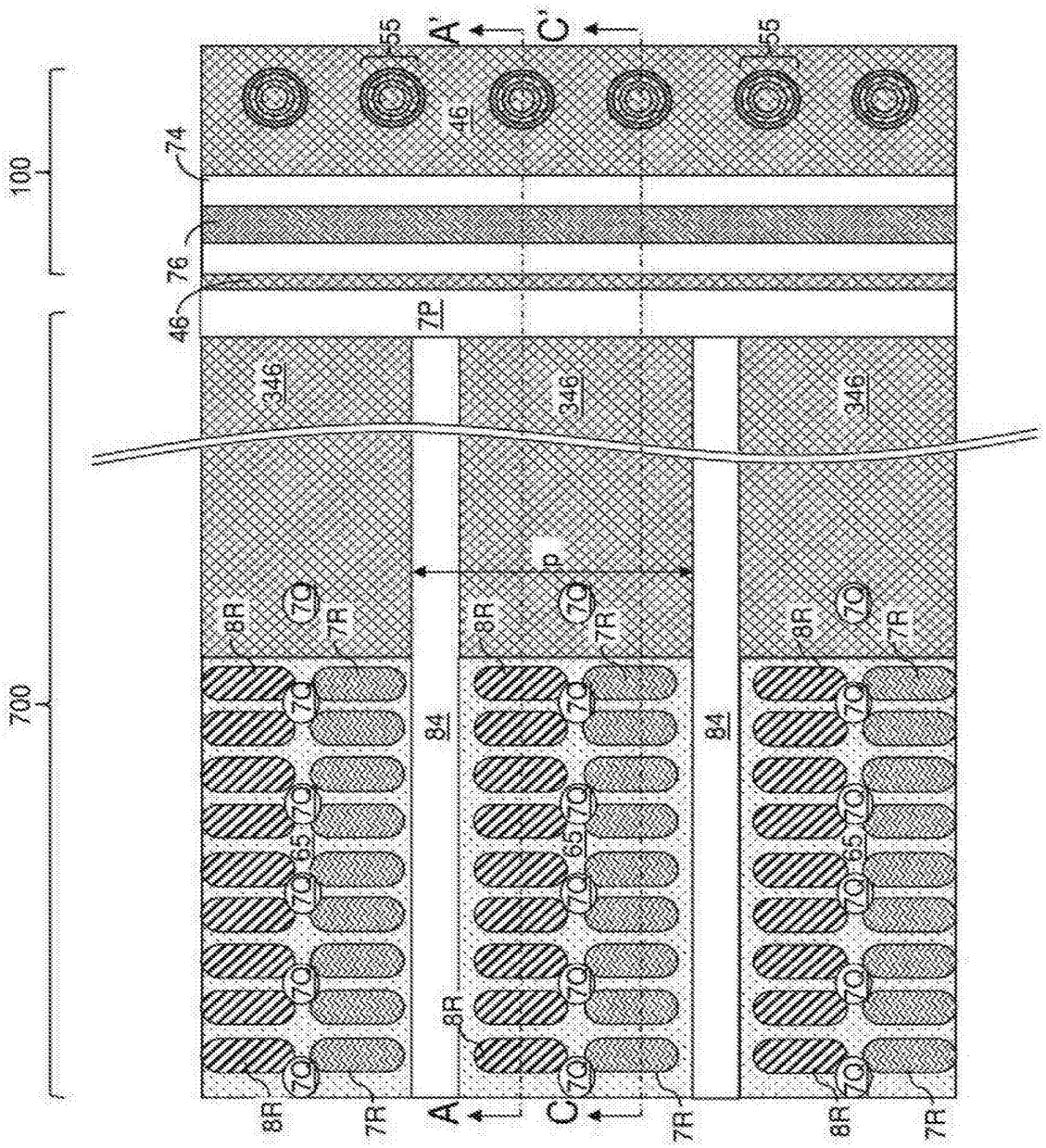


图35B

Micron Ex. 1002, p. 489
Micron v. YMTC
IPR2024-00790

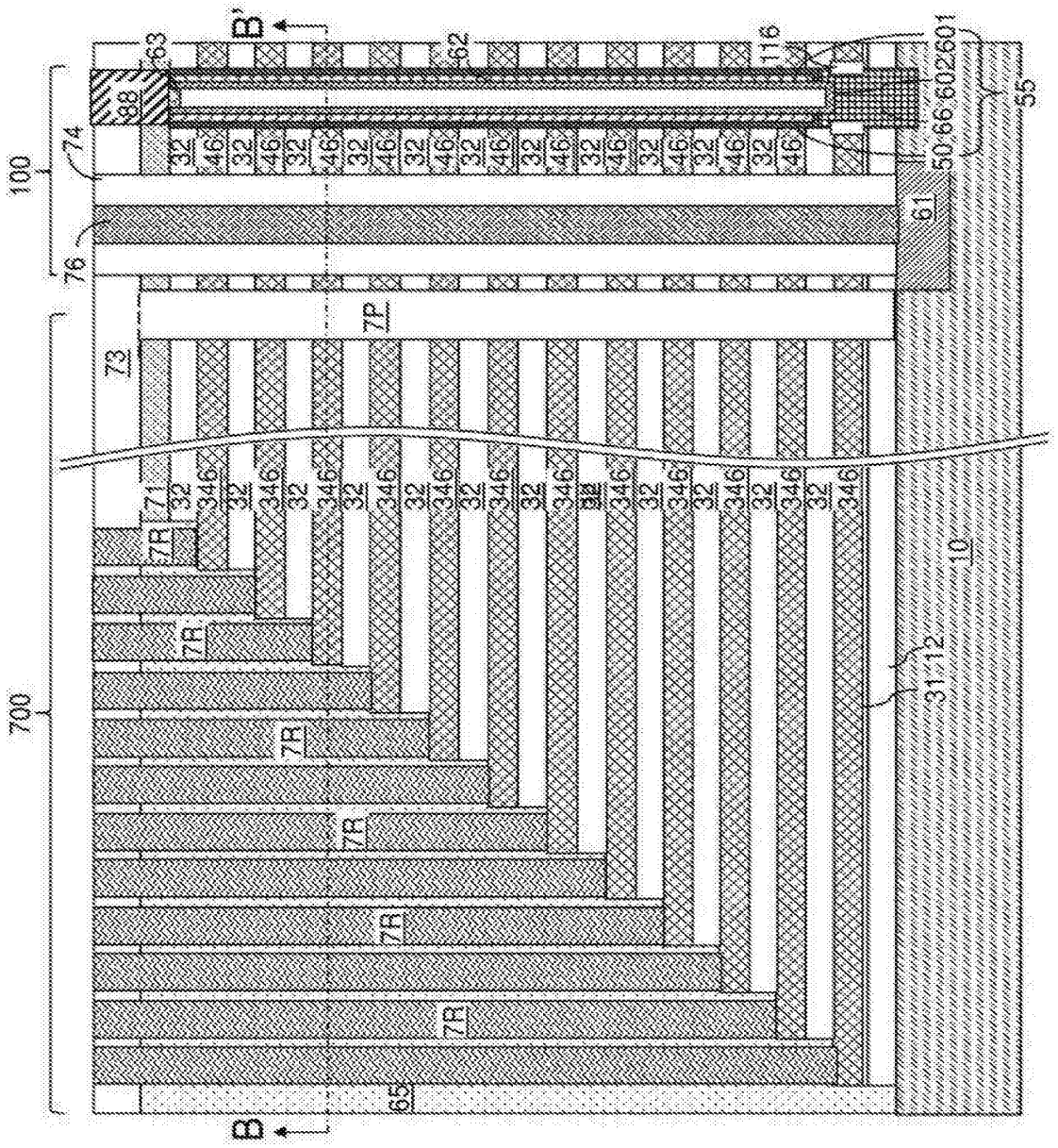


图35C

Micron Ex. 1002, p. 490
Micron v. YMTC
IPR2024-00790

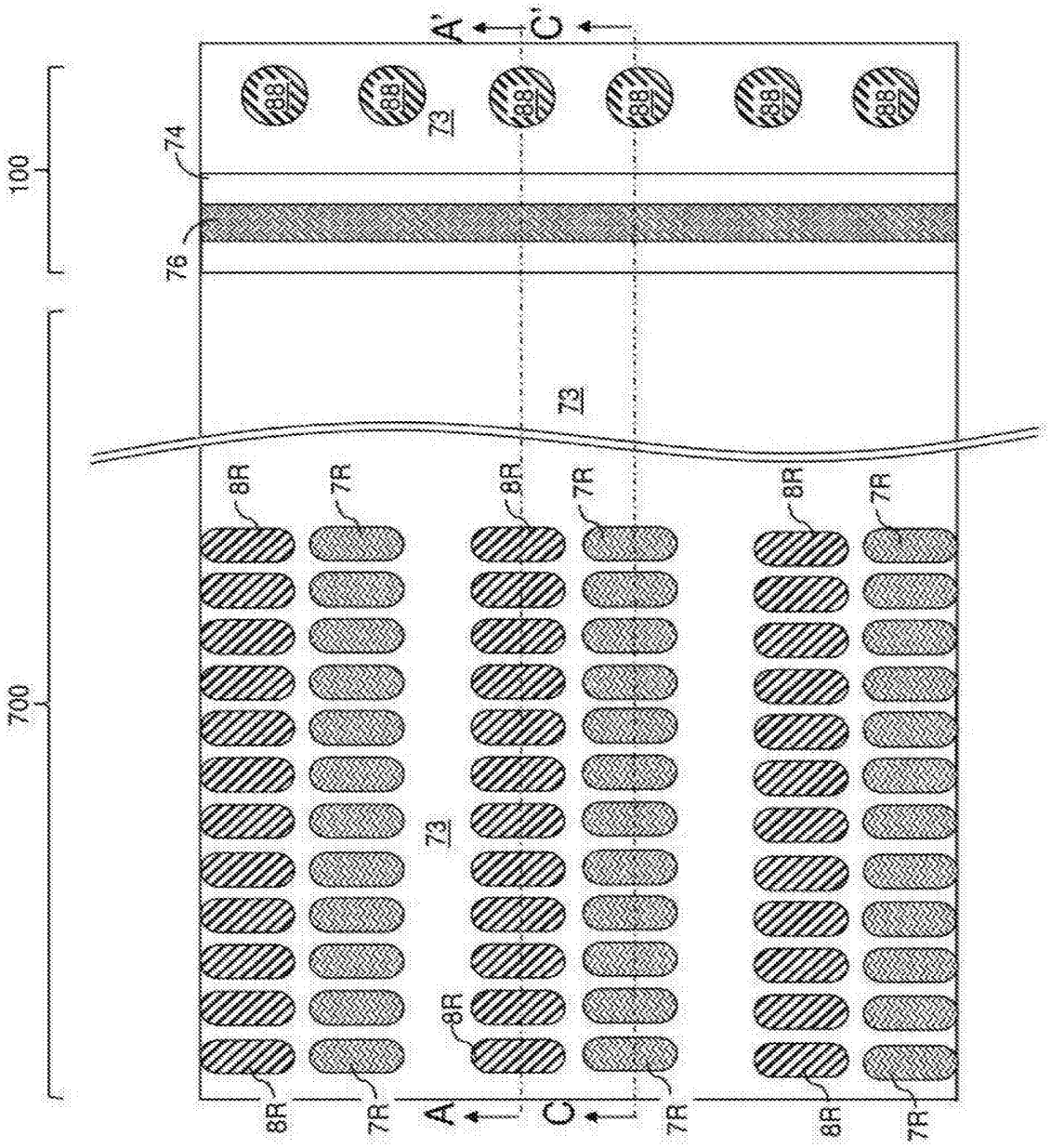


图35D

Micron Ex. 1002, p. 491
Micron v. YMTC
IPR2024-00790

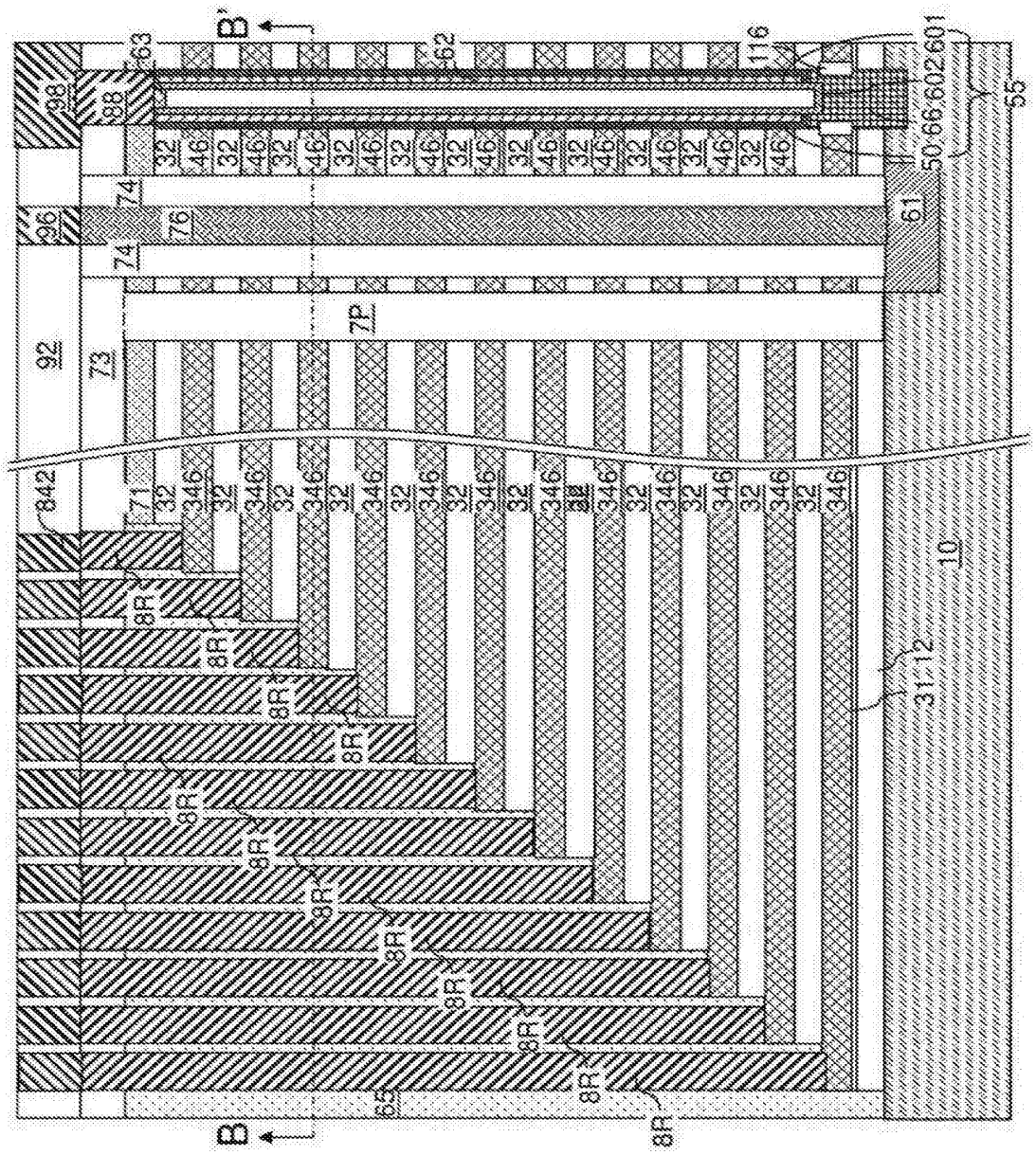


图36A

Micron Ex. 1002, p. 492
Micron v. YMTC
IPR2024-00790

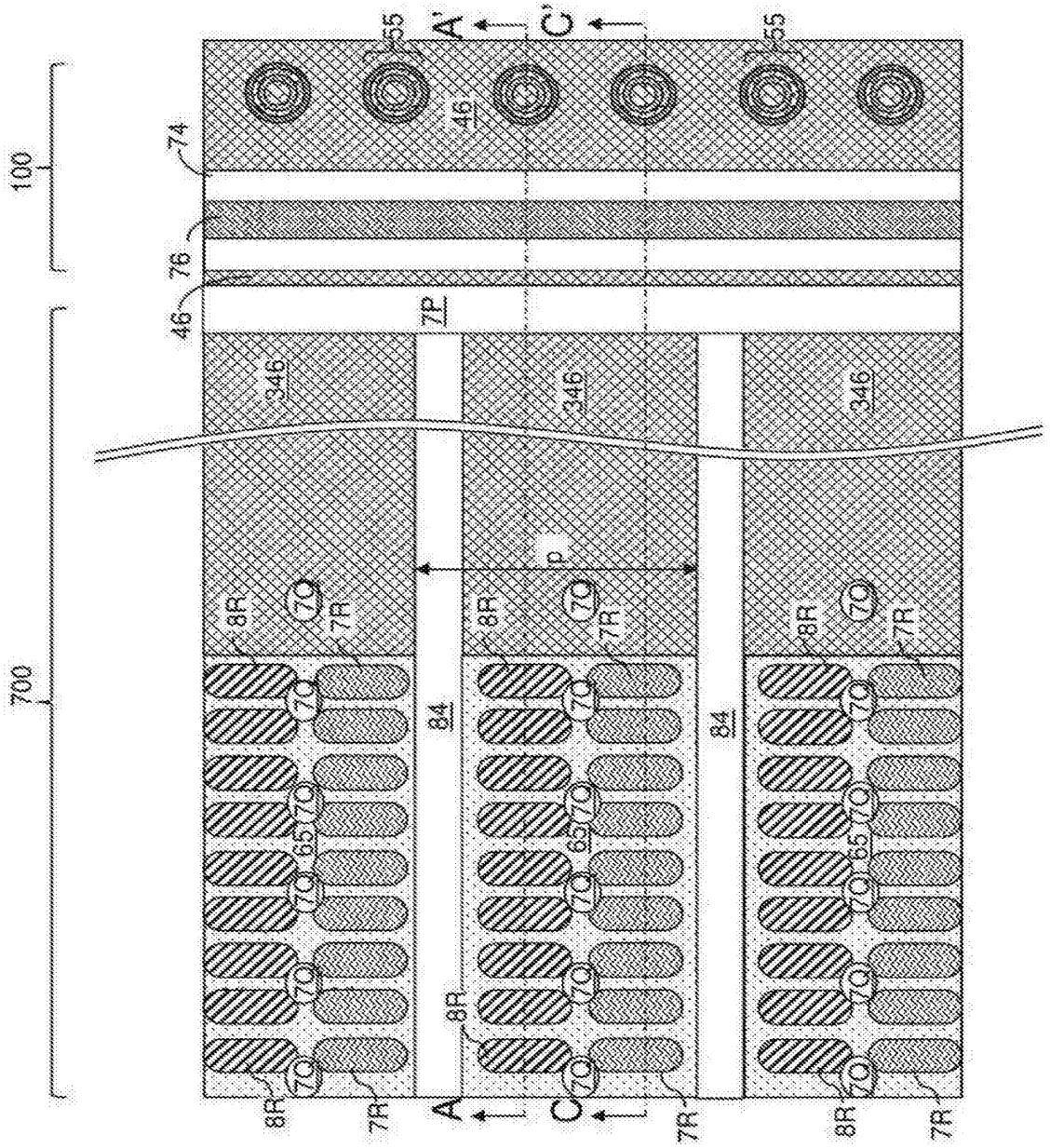


图36B

Micron Ex. 1002, p. 493
Micron v. YMTC
IPR2024-00790

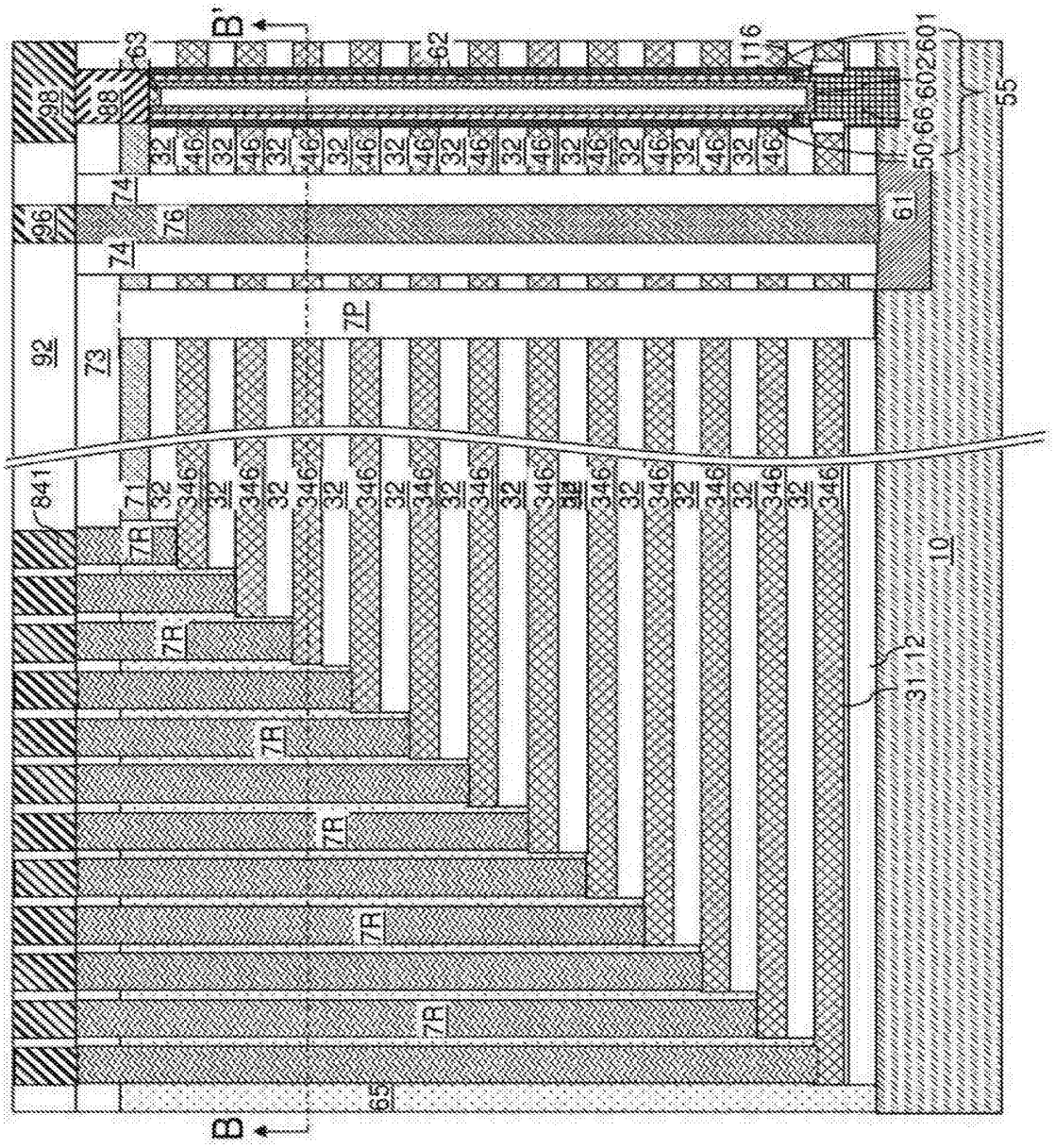


图36C

Micron Ex. 1002, p. 494
Micron v. YMTC
IPR2024-00790

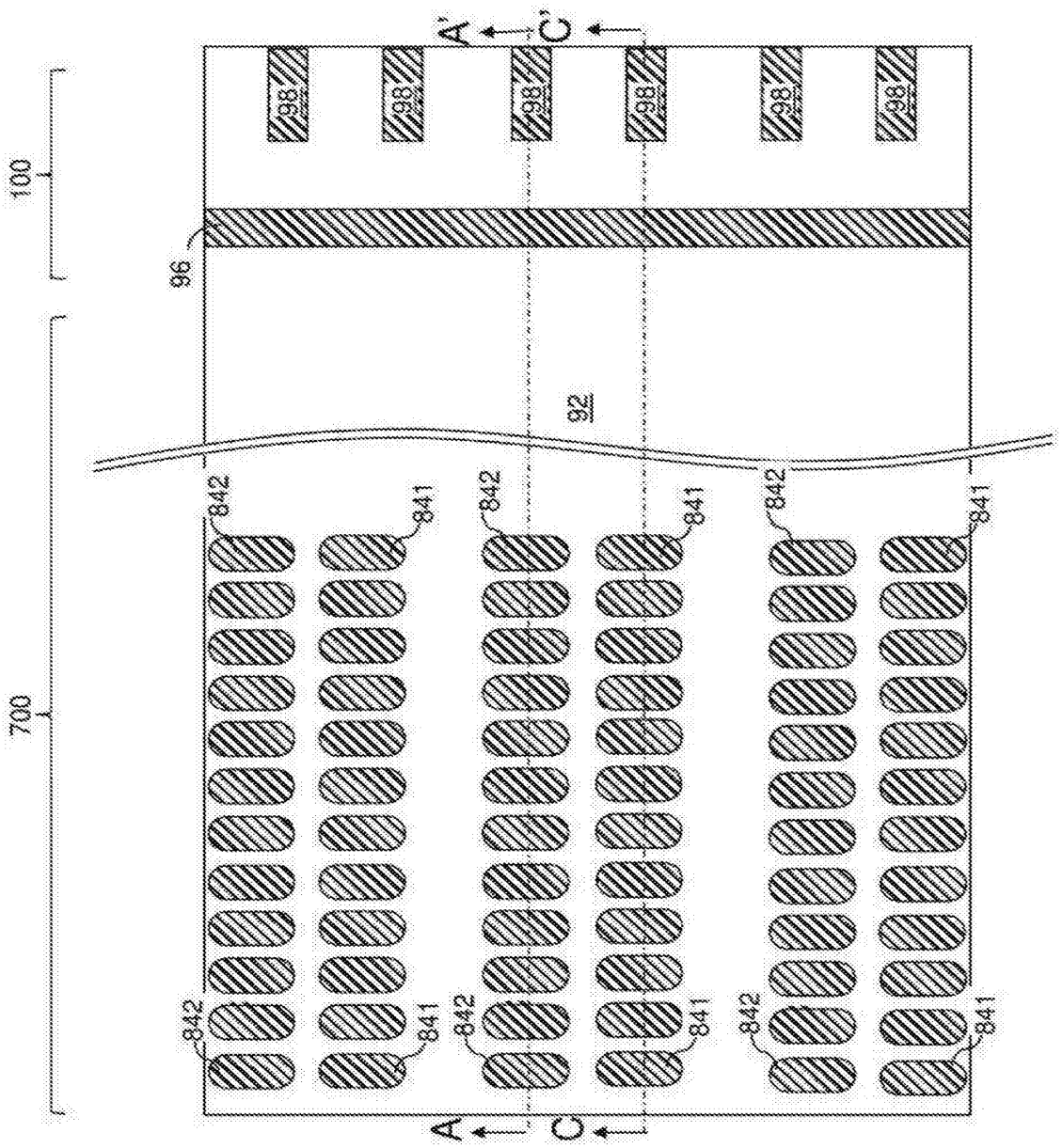


图36D

Micron Ex. 1002, p. 495
Micron v. YMTC
IPR2024-00790

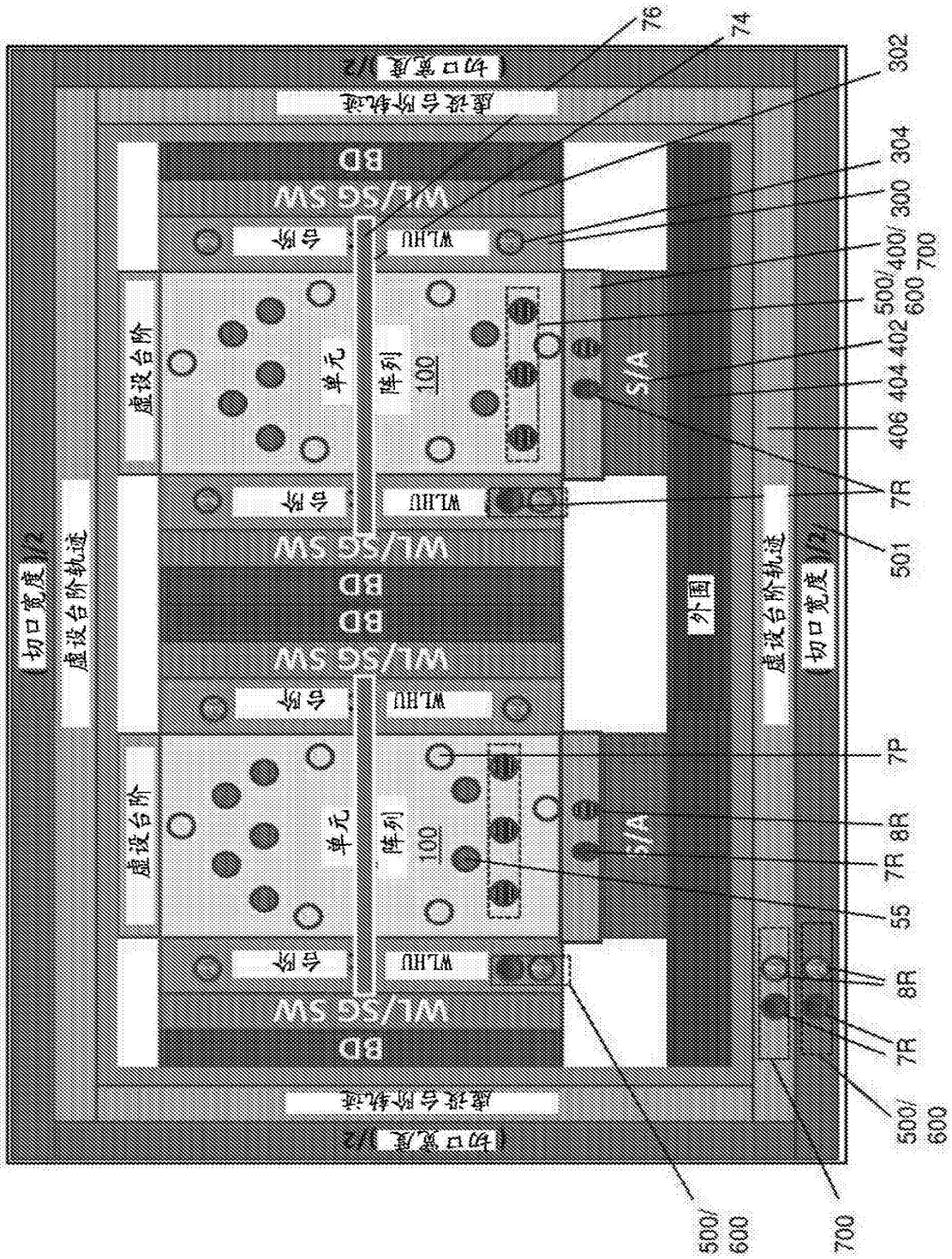


图37

Micron Ex. 1002, p. 496
Micron v. YMTC
IPR2024-00790

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108093656 A
(43)申请公布日 2018.05.29

(21)申请号 201680054810.2
(22)申请日 2016.08.17
(30)优先权数据
14/883,966 2015.10.15 US
(85)PCT国际申请进入国家阶段日
2018.03.21
(86)PCT国际申请的申请数据
PCT/US2016/047397 2016.08.17
(87)PCT国际申请的公布数据
WO2017/065869 EN 2017.04.20
(71)申请人 桑迪士克科技有限责任公司
地址 美国得克萨斯州
(72)发明人 张艳丽 R.S.马卡拉 J.刘
M.乔杜里 李耀升 J.阿尔斯梅尔
(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邱军
(51)Int.Cl.
H01L 27/1157(2017.01)
H01L 27/11582(2017.01)
H01L 27/11573(2017.01)
H01L 27/11575(2017.01)

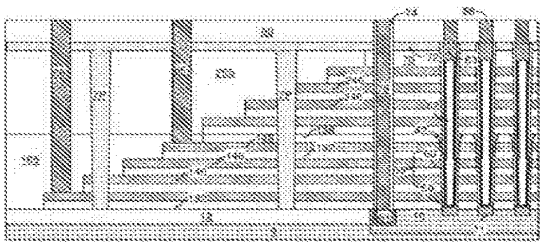
权利要求书4页 说明书21页 附图64页

(54)发明名称

具有该具有套环部分的接合电极的多级存储器堆叠结构及其制造方法

(57)摘要

包括多个堆叠结构的三维存储器器件可以形成有接合区域电极，该接合区域电极是形成在位于靠近上堆叠结构与下堆叠结构之间的接口的接合区域处的电极。通过多个堆叠结构形成存储器堆叠结构。接合区域电极横向地环绕与不同的堆叠结构之间邻近的接口的存储器堆叠结构的一部分。接合区域电极包括具有厚度的层部分、和横向地环绕存储器堆叠结构并且具有比层部分的厚度大的垂直长度的套环部分。套环部分相对于层部分的垂直长度的增加的垂直长度提供对在位于靠近不同的堆叠结构之间的接口的存储器堆叠结构中的半导体沟道的一部分的增强的控制。



CN 108093656 A

Micron Ex. 1002, p. 497
Micron v. YMTC
IPR2024-00790

1.一种单片三维存储器器件,包括:

下堆叠结构,其包括第一交替堆叠并且位于衬底上方,所述第一交替堆叠包括第一绝缘层和第一导电控制栅极层;

上堆叠结构,其包括第二交替堆叠并且位于所述下堆叠结构上方,所述第二交替堆叠包括第二绝缘层和第二导电控制栅极层;

存储器堆叠结构,其延伸通过所述下堆叠结构和所述上堆叠结构;和

电极,其覆盖所述第一导电层并在所述第二导电层的下面,并且包括具有厚度的层部分、和横向地环绕所述存储器堆叠结构并具有比所述层部分的厚度大的垂直长度的套环部分。

2.如权利要求1所述的单片三维存储器器件,其中所述套环部分的最顶部水平表面位于包括所述电极的层部分的顶表面的水平面之上。

3.如权利要求2所述的单片三维存储器器件,其中所述套环部分的最顶部水平表面在与所述下堆叠结构内的最顶部绝缘体层的顶表面相同的水平面内。

4.如权利要求2所述的单片三维存储器器件,其中所述套环部分的最底部水平表面位于包括所述层部分的底表面的水平面之上。

5.如权利要求2所述的单片三维存储器器件,其中所述套环部分具有上锥形侧壁和下锥形侧壁,所述下锥形侧壁具有比所述上锥形侧壁小的锥角。

6.如权利要求2所述的单片三维存储器器件,其中所述套环部分包括掺杂半导体材料。

7.如权利要求6所述的单片三维存储器器件,其中所述层部分包括具有与所述套环部分的半导体材料相同或不同的材料成分的另一掺杂半导体材料。

8.如权利要求2所述的单片三维存储器器件,其中所述电极包括与所述第一导电层不同的材料。

9.如权利要求1所述的单片三维存储器器件,其中所述套环部分的最顶部水平表面和所述层部分的顶表面在相同的水平面内。

10.如权利要求9所述的单片三维存储器器件,其中所述套环部分的最底部水平表面位于包括所述下堆叠结构和所述上堆叠结构之间的接口的水平面内并且位于所述层部分的底部下方。

11.如权利要求9所述的单片三维存储器器件,其中所述套环部分具有垂直外侧壁和垂直内侧壁。

12.如权利要求9所述的单片三维存储器器件,其中所述套环部分包括与所述层部分相同的导电材料。

13.如权利要求9所述的单片三维存储器器件,其中所述电极接触所述上堆叠结构中的最底部层的顶表面和侧壁表面。

14.如权利要求1所述的单片三维存储器器件,其中所述存储器堆叠结构从里面到外面包括:

半导体沟道;

隧穿介电层,其横向地环绕所述半导体沟道;和

电荷存储区域,其横向地环绕所述隧穿介电层。

15.如权利要求14所述的单片三维存储器器件,其中所述电极是电压被施加到其以在

Micron Ex. 1002, p. 498
Micron v. YMTC
IPR2024-00790

所述上堆叠和所述下堆叠之间的半导体沟道的接合区域中生成耗尽区域的伪字线。

16.如权利要求1所述的单片三维存储器器件，其中：

在至少另一第二导电层下面的每个第二导电层比所述第二导电层当中的任何覆盖层横向延伸得更远；

在至少另一第一导电层下面的每个第一导电层比所述第一导电层当中的任何覆盖层横向延伸得更远；

所述下堆叠结构还包括位于所述第一交替堆叠的第一阶梯式表面上和第一阶梯式表面上方的第一介电材料部分；

所述上堆叠结构还包括位于所述第二交替堆叠的第二阶梯式表面上和第二阶梯式表面上方的第二介电材料部分；

所述第一阶梯式表面和所述第二阶梯式表面位于接触区域内；以及

控制栅极接触孔结构的子集延伸通过所述第一介电材料部分和所述第二介电材料部分。

17.如权利要求1所述的单片三维存储器器件，其中：

所述电极的层部分的厚度包括均匀的厚度；并且

所述第一导电控制栅极层和所述第二导电控制栅极层具有均匀的厚度并且没有套环部分。

18.如权利要求1所述的单片三维存储器器件，其中：

所述单片三维存储器结构包括单片三维NAND存储器器件；

所述第一导电层和所述第二导电层包括所述单片三维NAND存储器器件的相应的字线或者电连接到所述单片三维NAND存储器器件的相应的字线；

所述衬底包括硅衬底；

所述单片三维NAND存储器器件包括在所述硅衬底上方的单片三维NAND串的阵列；

单片三维NAND串的阵列的第一器件级中的至少一个存储器单元位于单片三维NAND串的阵列的第二器件级中的另一存储器单元上方；

所述硅衬底包含包括用于位于其上的存储器器件的驱动器电路的集成电路；以及

单片三维NAND串的阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个半导体沟道的至少一个末端部分基本上垂直于所述衬底的顶表面延伸；

多个电荷存储元件，每个电荷存储元件位于与所述多个半导体沟道中的相应的一个半导体沟道相邻；以及

多个控制栅电极，其具有基本上平行于所述衬底的顶表面延伸的条形形状，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

19.一种形成三维存储器结构的方法，所述方法包括：

在衬底上方形成下堆叠结构，所述下堆叠结构包括第一绝缘层和第一间隔材料层的第一交替堆叠；

形成通过所述下堆叠结构的第一存储器开口；

至少在所述第一存储器开口的上部区域中形成填充材料结构；

Micron Ex. 1002, p. 499
Micron v. YMTC
IPR2024-00790

在所述下堆叠结构和所述填充材料结构上方形成上堆叠结构，所述上堆叠结构包括第二绝缘层和第二间隔材料层的第二交替堆叠；

在覆盖所述第一存储器开口的区域中形成通过所述上堆叠结构的第二存储器开口；

通过刻蚀通过所述填充材料结构的至少一部分来延伸所述第二存储器开口以形成堆叠间存储器开口；

在所述堆叠间存储器开口内形成存储器堆叠结构；以及

形成电极，所述电极包括具有厚度的层部分、和横向地环绕所述存储器堆叠结构并且具有比所述层部分的厚度大的垂直长度的套环部分。

20.如权利要求19所述的方法，其中：

所述填充材料结构包括掺杂半导体材料；以及

所述套环部分包括在延伸所述第二存储器开口之后保留的所述填充材料结构的环形部分。

21.如权利要求20所述的方法，其中：

所述电极的层部分包括在所述第二交替堆叠的形成之前被形成在所述第一交替堆叠上方的掺杂半导体层；以及

所述填充材料结构是通过在所述层部分的侧壁上选择性沉积所述掺杂半导体材料而形成的。

22.如权利要求21所述的方法，其中与在所述层部分的侧壁上沉积所述掺杂半导体材料的同时，外延沟道部分被形成在所述第一存储器开口的底部部分处。

23.如权利要求21所述的方法，还包括在覆盖所述层部分的介电材料层的水平面上方移除所沉积的掺杂半导体材料的一部分，其中：

所述所沉积的掺杂半导体材料的剩余部分组成所述填充材料结构；以及封装腔被形成在所述填充材料结构下面的所述第一存储器开口的一部分内。

24.如权利要求21所述的方法，其中在所述上堆叠结构的形成之前，所述填充材料结构具有非平面底表面和平面顶表面。

25.如权利要求19所述的方法，其中所述填充材料结构的整体在所述第二存储器开口的延伸期间被移除。

26.如权利要求19所述的方法，还包括：

在所述第一存储器开口的下部分中形成牺牲存储器开口填充部分；以及在所述牺牲存储器开口填充部分上方和所述下堆叠结构上方形成牺牲衬垫，其中填充材料结构被形成在位于所述第一存储器开口中并由牺牲衬垫的垂直部分环绕的腔内。

27.如权利要求26所述的方法，其中所述电极是通过用导电材料替换至少包括所述牺牲衬垫的垂直部分和覆盖所述下堆叠结构的牺牲衬垫的水平部分的体积的主要部分而形成的。

28.如权利要求27所述的方法，其中：

最底部第二间隔材料层被形成在所述牺牲衬垫的顶表面上；以及

所述最底部第二间隔材料层的主要部分被导电材料替换以形成所述电极。

29.如权利要求19所述的方法，其中：

所述第一间隔材料层和所述第二间隔材料层被提供作为第一牺牲材料层和第二牺牲

Micron Ex. 1002, p. 500
Micron v. YMTC
IPR2024-00790

材料层；

所述方法还包括分别用第一控制栅极导电材料层和第二控制栅极导电材料层替换所述第一牺牲材料层和所述第二牺牲材料层；以及

其中所述存储器堆叠结构从里面到外面包括：

半导体沟道；

隧穿介电层，其横向地环绕所述半导体沟道；和

电荷存储区域，其横向地环绕所述隧穿介电层。

30.如权利要求29所述的方法，其中在所述上堆叠结构的形成之前，所述电极的层部分被形成为掺杂半导体材料层。

31.如权利要求29所述的方法，其中与所述第二导电材料层的形成的同时，所述电极被形成。

32.如权利要求19所述的方法，其中：

所述三维存储器结构包括单片三维NAND存储器器件；

所述第一导电层和所述第二导电层包括所述单片三维NAND存储器器件的相应的字线或者被电连接到所述单片三维NAND存储器器件的相应的字线；

所述衬底包括硅衬底；

所述单片三维NAND存储器器件包括在所述硅衬底上方的单片三维NAND串的阵列；

单片三维NAND串的阵列的第一器件级中的至少一个存储器单元位于单片三维NAND串的阵列的第二器件级中的另一存储器单元上方；

所述硅衬底包含包括用于位于其上的存储器器件的驱动器电路的集成电路；以及

单片三维NAND串的阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个半导体沟道的至少一个末端部分基本上垂直于所述衬底的顶表面延伸；

多个电荷存储元件，每个电荷存储元件位于与所述多个半导体沟道中的相应的一个半导体沟道相邻；以及

多个控制栅电极，其具有基本上平行于所述衬底的顶表面延伸的条形形状，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

Micron Ex. 1002, p. 501
Micron v. YMTC
IPR2024-00790

具有该具有套环部分的接合电极的多级存储器堆叠结构及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年10月15日提交的申请号为14/883,966的美国专利的优先权的权益,其内容通过引用整体被并入本文。

技术领域

[0003] 本公开一般涉及三维存储器器件的领域,并且具体涉及包括多级存储器阵列的垂直堆叠的三维存储器器件及其制作方法。

背景技术

[0004] 在T.Endoh等人的题为“Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor(S-SGT)Structured Cell”,IEDM Proc.(2001)33-36的文章中公开了每单元具有一位的三维垂直NAND串。

发明内容

[0005] 根据本公开的一方面,提供了一种单片(monolithic)三维存储器器件,其包括下堆叠结构,该下堆叠结构包括第一交替堆叠,该第一交替堆叠包括位于衬底上方的第一绝缘层和第一导电控制栅极层;上堆叠结构,该上堆叠结构包括第二交替堆叠,该第二交替堆叠包括位于下堆叠结构上方的第二绝缘层和第二导电控制栅极层;存储器堆叠结构,该存储器堆叠结构延伸通过下堆叠结构和上堆叠结构;以及电极,该电极覆盖第一导电层并在第二导电层下面,并且包括具有厚度的层部分、和横向地环绕存储器堆叠结构并具有比层部分的厚度大的垂直长度的套环部分(collar portion)。

[0006] 根据本公开的另一方面,提供了一种形成三维存储器结构的方法。在衬底的上方形成下堆叠结构,该下堆叠结构包括第一绝缘层和第一间隔材料层(spacer material layer)的第一交替堆叠的。形成通过下堆叠结构的第一存储器开口。至少在第一存储器开口的上部区域中形成填充材料结构。在下堆叠结构和填充材料结构的上方形成上堆叠结构,该上堆叠结构包括第二绝缘层和第二间隔材料层的第二交替堆叠。形成通过覆盖第一存储器开口的区域中的上堆叠结构的第二存储器开口。第二存储器开口通过刻蚀(etch)通过填充材料结构的至少一部分而被延伸,以形成堆叠间存储器开口(inter-stack memory opening)。在堆叠间存储器开口内形成存储器堆叠结构。形成电极,该电极包括具有厚度的层部分、和横向地环绕存储器堆叠结构并具有比层部分的厚度大的垂直长度的套环部分。

附图说明

[0007] 图1是根据本公开的第一实施例的在第一绝缘层和第一牺牲材料层的第一交替堆叠的形成之后的第一示例性结构的垂直横截面图。

[0008] 图2A是根据本公开的第一实施例的在第一阶梯式表面、第一后向阶梯式介电材料

Micron Ex. 1002, p. 502
Micron v. YMTC
IPR2024-00790

部分和第一存储器开口的形成之后的第一示例性结构的垂直横截面视图。

[0009] 图2B是沿垂直平面B-B'的、图2A的第一示例性结构的垂直横截面图。

[0010] 图3A是根据本公开的第一实施例的在每个第一存储器开口的上部区域中形成锥形侧壁(tapered sidewall)之后的第一示例性结构的俯视图。

[0011] 图3B是沿垂直平面B-B'的、图3A的第一示例性结构的垂直横截面图。

[0012] 图4A是根据本公开的第一实施例的在每个第一存储器开口的底部处的外延沟道部分和在工艺中的(in-process)每个第一存储器开口的上部分处的填充材料结构的形成之后的第一示例性结构的俯视图。

[0013] 图4B是沿垂直平面B-B'的、图4A的第一示例性结构的垂直横截面图。

[0014] 图5A是根据本公开的第一实施例的在通过平坦化工艺(planarization process)形成填充材料结构之后的第一示例性结构的俯视图。

[0015] 图5B是沿垂直平面B-B'的、图5A的第一示例性结构的垂直横截面图。

[0016] 图6A是根据本公开的第一实施例的在第二绝缘层和第二牺牲材料层的第二交替堆叠的形成之后的第一示例性结构的俯视图。

[0017] 图6B是沿垂直平面B-B'的、图6A的第一示例性结构的垂直横截面图。

[0018] 图7A是根据本公开的第一实施例的在第二阶梯式表面、第二后向阶梯式介电材料部分和介电柱(dielectric pillar)结构的形成之后的第一示例性结构的俯视图。

[0019] 图7B是沿垂直平面B-B'的、图7A的第一示例性结构的垂直横截面图。

[0020] 图8A是根据本公开的第一实施例的在第二存储器开口的形成之后的第一示例性结构的俯视图。

[0021] 图8B是沿垂直平面B-B'的、图8A的第一示例性结构的垂直横截面图。

[0022] 图9A是根据本公开的第一实施例的在套环部分和堆叠间存储器开口的形成之后的第一示例性结构的俯视图。

[0023] 图9B是沿垂直平面B-B'的、图9A的第一示例性结构的垂直横截面图。

[0024] 图10A是根据本公开的第一实施例的在存储器堆叠结构的形成之后的第一示例性结构的俯视图。

[0025] 图10B是沿垂直平面B-B'的、图10A的第一示例性结构的垂直横截面图。

[0026] 图10C是图10A和图10B的第一示例性结构内的存储器堆叠结构的垂直横截面图。

[0027] 图11A是根据本公开的第一实施例的在背侧沟槽(backside trench)的形成之后的第一示例性结构的俯视图。

[0028] 图11B是沿垂直平面B-B'的、图11A的第一示例性结构的垂直横截面图。

[0029] 图12A是根据本公开的第一实施例的在背侧凹陷(recess)的形成之后的第一示例性结构的俯视图。

[0030] 图12B是沿垂直平面B-B'的、图12A的第一示例性结构的垂直横截面图。

[0031] 图13A是根据本公开的第一实施例的在导电层的形成之后的第一示例性结构的俯视图。

[0032] 图13B是沿垂直平面B-B'的、图13A的第一示例性结构的垂直横截面图。

[0033] 图14A是根据本公开的第一实施例的在接触孔结构(contact via structure)的形成之后的第一示例性结构的俯视图。

Micron Ex. 1002, p. 503
Micron v. YMTC
IPR2024-00790

[0034] 图14B是沿垂直平面B-B'的、图14A的第一示例性结构的垂直横截面图。

[0035] 图15是根据本公开的第二实施例的在第一绝缘层和第一牺牲材料层的第一交替堆叠的形成之后的第二示例性结构的垂直横截面图。

[0036] 图16是根据本公开的第二实施例的在第一阶梯式表面和第一后向阶梯式介电材料部分的形成之后的第二示例性结构的垂直横截面图。

[0037] 图17A是根据本公开的第二实施例的在器件区域中的第一存储器开口的形成之后的第二示例性结构的俯视图。

[0038] 图17B是沿垂直平面B-B'的、图17A的第二示例性结构的垂直横截面图。

[0039] 图18A是根据本公开的第二实施例的在第一存储器开口的下部分中的牺牲存储器开口填充部分的形成之后的第二示例性结构的俯视图。

[0040] 图18B是沿垂直平面B-B'的、图18A的第二示例性结构的垂直横截面图。

[0041] 图19A是根据本公开的第二实施例的在横向地扩展第一存储器开口的上部分之后的第二示例性结构的俯视图。

[0042] 图19B是沿垂直平面B-B'的图19A的第二示例性结构的垂直横截面图。

[0043] 图20A是根据本公开的第二实施例的在形成牺牲衬垫(liner)之后的第二示例性结构的俯视图。

[0044] 图20B是沿垂直平面B-B'的、图20A的第二示例性结构的垂直横截面图。

[0045] 图21A是根据本公开的第二实施例的在填充材料结构的形成之后的第二示例性结构的俯视图。

[0046] 图21B是沿垂直平面B-B'的、图21A的第二示例性结构的垂直横截面图。

[0047] 图22A是根据本公开的第二实施例的在第二绝缘层和第二牺牲材料层的第二交替堆叠的形成之后的第二示例性结构的俯视图。

[0048] 图22B是沿垂直平面B-B'的、图22A的第二示例性结构的垂直横截面图。

[0049] 图23A是根据本公开的第二实施例的在第二阶梯式表面和第二后向阶梯式介电材料部分的形成之后的第二示例性结构的俯视图。

[0050] 图23B是沿垂直平面B-B'的、图23A的第二示例性结构的垂直横截面图。

[0051] 图24A是根据本公开的第二实施例的在介电柱结构的形成之后的第二示例性结构的俯视图。

[0052] 图24B是沿垂直平面B-B'的、图24A的第二示例性结构的垂直横截面图。

[0053] 图25A是根据本公开的第二实施例的在第二存储器开口的形成之后的第二示例性结构的俯视图。

[0054] 图25B是沿垂直平面B-B'的、图25A的第二示例性结构的垂直横截面图。

[0055] 图26A是根据本公开的第二实施例的在填充材料结构的移除之后的第二示例性结构的俯视图。

[0056] 图26B是沿垂直平面B-B'的、图26A的第二示例性结构的垂直横截面图。

[0057] 图27A是根据本公开的第二实施例的在牺牲衬垫的物理地暴露的水平部分的移除之后的第二示例性结构的俯视图。

[0058] 图27B是沿垂直平面B-B'的、图27A的第二示例性结构的垂直横截面图。

[0059] 图28A是根据本公开的第二实施例的在牺牲存储器开口填充部分的移除之后的第

Micron Ex. 1002, p. 504
Micron v. YMTC
IPR2024-00790

二示例性结构的俯视图。

[0060] 图28B是沿垂直平面B-B'的、图28A的第二示例性结构的垂直横截面图。

[0061] 图29A是根据本公开的第二实施例的在存储器堆叠结构的形成之后的第二示例性结构的俯视图。

[0062] 图29B是沿垂直平面B-B'的、图29A的第二示例性结构的垂直横截面图。

[0063] 图30A是根据本公开的第二实施例的在背侧沟槽的形成之后的第二示例性结构的俯视图。

[0064] 图30B是沿垂直平面B-B'的、图30A的第二示例性结构的垂直横截面图。

[0065] 图31A是根据本公开的第二实施例的在背侧凹陷的形成之后的第二示例性结构的俯视图。

[0066] 图31B是沿垂直平面B-B'的、图31A的第二示例性结构的垂直横截面图。

[0067] 图32A是根据本公开的第二实施例的在导电层和接合区域电极的形成之后的第二示例性结构的俯视图。

[0068] 图32B是沿垂直平面B-B'的、图32A的第二示例性结构的垂直横截面图。

[0069] 图33A是根据本公开的第二实施例的在接触孔结构的形成之后的第二示例性结构的俯视图。

[0070] 图33B是沿垂直平面B-B'的、图33A的第二示例性结构的垂直横截面图。

具体实施方式

[0071] 如上所述，本公开针对包括多级存储器阵列的垂直堆叠的三维存储器器件及制作该三维存储器器件的方法，其各个方面在下文中描述。可以采用本公开的实施例来形成半导体器件，诸如包括多个NAND存储器串的三维单片存储器阵列器件。附图没有按比例绘制。除非明确地描述或清楚地指示不存在元件的复制，否则元件的多个实例可以在示出元件的单个实例的地方被复制。采用诸如“第一”、“第二”和“第三”的序数仅用于标识类似的元素，并且跨本公开的说明书和权利要求书可以采用不同的序数。如本文所使用的，位于第二元件“上”的第一元件可以位于第二元件的表面的外侧或位于第二元件的内侧。如本文所使用的，如果第一元件的表面和第二元件的表面之间存在物理接触，则第一元件“直接地”位于第二元件“上”。

[0072] 如本文所使用的，“层”是指包括具有基本上均匀的厚度的区域的材料部分。层可以延伸过下层结构或覆盖结构的整体，或者可以具有小于下层结构或覆盖结构长度的长度。此外，层可以是具有厚度小于连续结构的厚度的均一或非均一连续结构的区域。例如，层可以位于连续结构的顶表面和底表面之间的任何水平面对之间或在顶表面和底表面之间。层可以水平地、垂直地和/或沿着锥形表面延伸。衬底可以是层，可以在其中包括一个或多个层，和/或可以在其上、其之上和/或其之下具有一个或多个层。

[0073] 单片三维存储器阵列是其中多个存储器级形成在诸如半导体晶片的单个衬底之上而没有中间衬底的阵列。术语“单片”意味着阵列的每个级的层直接地沉积在阵列的每个下层级的层上。与此相反，二维阵列可以单独地形成，然后包装在一起以形成非单片存储器器件。例如，如在专利号为5,915,167的题为“三维结构存储器”的美国专利中所述，通过在单独的衬底上形成存储器级并垂直地堆叠存储器级来构造非单片堆叠存储器。在结合

Micron Ex. 1002, p. 505
Micron v. YMTC
IPR2024-00790

(bond)之前，衬底可以被变薄或从存储器级移除，但是由于存储器级最初在单独的衬底上方形成，所以这种存储器不是真正的单片三维存储器阵列。本公开的各种三维存储器器件包括单片三维NAND串存储器器件，并且可以采用本文描述的各种实施例来制造。

[0074] 参考图1，示出了根据本公开的第一实施例的第一示例性结构，其可以用于例如制造包含垂直NAND存储器器件的器件结构。第一示例性结构包括可以是半导体衬底的衬底。衬底可以包括衬底半导体层9。衬底半导体层9是半导体材料层，并且可以包括至少一种元素半导体材料、至少一种III-V化合物半导体材料、至少一种II-VI化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。衬底半导体层9可以包括诸如单晶硅晶片的单晶半导体材料。

[0075] 如本文所使用的，“半导体材料”是指具有在1.0x 10^{-6}S/cm到1.0x 10^{5}S/cm范围内的电导率的材料，并且在用电掺杂剂适当掺杂时能够产生具有在1.0S/cm和1.0x 10^{5}S/cm范围内的电导率的掺杂材料。如本文所使用的，“电掺杂剂”是指向带结构内的价带添加空穴的p型掺杂剂，或者向带结构内的导带添加电子的n型掺杂剂。如本文所使用的，“导电材料”是指具有大于1.0×10^{5}S/cm的电导率的材料。如本文所使用的，“绝缘材料”或“介电材料”是指具有小于1.0x 10^{-6}S/cm的电导率的材料。所有的电导率测量在标准条件下进行。可选地，可以在衬底半导体层9内形成至少一个掺杂阱(未明确地示出)。

[0076] 第一示例性结构包括其中可以随后形成存储器器件的器件区域100和其中随后形成阶梯式表面的接触区域200。如本文所使用的，“接触区域”是指其中将要形成接触孔结构的区域。用于外围电路的至少一个半导体器件可以形成在外围设备区域中，外围设备区域的大体位置由虚线矩形示出(为了清楚，详细结构未示出)。至少一个半导体器件可以包括例如一个或多个场效应晶体管。用于外围电路的至少一个半导体器件可以包含用于随后形成的、可以包括至少一个NAND器件的存储器器件的驱动器电路。

[0077] 可选地，可以在衬底的上部分中提供半导体材料层10。例如，可以通过将电掺杂剂(p型掺杂剂或n型掺杂剂)注入到衬底半导体层9的上部分中或通过例如通过选择性外延来沉积单晶半导体材料，来形成半导体材料层10。在一个实施例中，半导体材料层10可以包括与衬底半导体层9的单晶结构外延对准的单晶半导体材料(例如，p阱)。至少一个浅沟槽隔离结构12可以形成在衬底(9,10)的各个部分中以提供将要形成的器件之间的电隔离。

[0078] 随后形成第一材料层和第二材料层的交替堆叠。每个第一材料层可以包括第一材料，并且每个第二材料层可以包括与第一材料不同的第二材料。交替堆叠在本文被称为第一交替堆叠。在一个实施例中，第一交替堆叠可以包括第一绝缘层132和第一间隔材料层。第一间隔材料层可以是不需要随后用另一种材料替换的导电层，或是需要随后用相应的导电层替换的牺牲材料层。在一个实施例中，第一材料层和第二材料层可以分别是第一绝缘层132和第一牺牲材料层142。在一个实施例中，每个第一绝缘层132可以包括第一绝缘材料，并且每个第一牺牲材料层142可以包括第一牺牲材料。由第一绝缘层132和第一牺牲材料层142形成的交替堆叠在本文中被称为第一交替堆叠(132,142)或下交替堆叠(132,142)。在这种情况下，堆叠可以包括交替的多个第一绝缘层132和第一牺牲材料层142。如本文所使用的，“牺牲材料”是指在随后工艺加工步骤期间被移除的材料。

[0079] 如本文所使用的，第一元件和第二元件的交替堆叠是指其中第一元件的实例和第二元件的实例交替的结构。不是交替的多个(元件)的末端元件的第一元件的每个实例在两

Micron Ex. 1002, p. 506
Micron v. YMTC
IPR2024-00790

侧上由第二元件的两个实例邻接，并且不是交替的多个(元件)的末端元件的第二元件的每个实例在两端上由第一个元件的两个实例邻接。第一元件可以在其当中具有相同的厚度，或者可以具有不同的厚度。第二元件可以在其中具有相同的厚度，或者可以具有不同的厚度。交替的多个第一材料层和第二材料层可以以第一材料层的实例开始或者以第二材料层的实例开始，并且可以以第一材料层的实例或者以第二材料的实例层结束。在一个实施例中，第一元件的实例和第二元件的实例可以形成在交替的多个(元件)内以周期性重复的单元。

[0080] 第一交替堆叠(132,142)可以包括由第一材料组成的第一绝缘层132以及由与第一材料不同的第二材料组成的第一牺牲材料层142。第一绝缘层132的第一材料可以是至少一种绝缘材料。可以被用于第一绝缘层132的绝缘材料包括但不限于(包括掺杂或未掺杂的硅酸盐玻璃的)氧化硅、氮化硅、氮氧化硅、有机硅酸盐玻璃(Organosilicate Glass,OSG)、旋涂介电材料、通常已知为高介电常数(高-k)介电氧化物(例如，氧化铝、氧化铪等)的介电金属氧化物和其硅酸盐、介电金属氮氧化物和其硅酸盐，以及有机绝缘材料。在一个实施例中，第一绝缘层132的第一材料可以是氧化硅。

[0081] 第一牺牲材料层142的第二材料是对第一绝缘层132的第一材料而言可以被选择性地移除的牺牲材料。如本文所使用的，如果移除工艺以至少是移除第二材料的速率的两倍的速率移除第一材料，则第一材料的移除对第二材料而言是“选择性的”。第一材料的移除速率与第二材料的移除速率的比率在本文中被称为第一材料相对于第二材料的移除工艺的“选择性”。

[0082] 第一牺牲材料层142可以包括绝缘材料、半导体材料或导电材料。第一牺牲材料层142的第二材料随后可以用导电电极替换，导电电极例如可以用作垂直NAND器件的控制栅电极。第二材料的非限制性示例包括氮化硅、非晶半导体材料(诸如非晶硅)和多晶半导体材料(诸如多晶硅)。在一个实施例中，第一牺牲材料层142可以是包括氮化硅或者包括硅和锗中的至少一种的半导体材料的材料层。

[0083] 在一个实施例中，第一绝缘层132可以包括氧化硅、并且牺牲材料层可以包括氮化硅牺牲材料层。第一绝缘层132的第一材料可以例如由化学气相沉积(chemical vapor deposition,CVD)来沉积。例如，如果第一绝缘层132采用氧化硅，则正硅酸乙酯(Tetraethylorthosilicate,TEOS)可以被用作CVD工艺的前体材料。第一牺牲材料层142的第二材料可以例如由CVD或原子层沉积(Atomic Layer Deposition,ALD)形成。

[0084] 第一绝缘层132和第一牺牲材料层142的厚度可以在20nm到50nm的范围内，但是更小和更大的厚度可以被用于每个第一绝缘层132和每个第一牺牲材料层142。第一绝缘层132和第一牺牲材料层142对的重复次数可以在2到1,024的范围内，并且典型地为8到256，但是也可以采用更多的重复次数。在一个实施例中，第一交替堆叠(132,142)中的每个第一牺牲材料层142可以具有在每个相应的第一牺牲材料层142内基本上不变的均匀的厚度。

[0085] 顺序地形成导电材料层148和第一介电盖层138。导电材料层148包括导电材料，诸如可以包括IV族半导体材料或化合物半导体材料的掺杂半导体材料(例如，具有至少$10^{18}cm^{-3}$的掺杂浓度的p型或n型的重p型或n型掺杂的半导体材料)。在一个实施例中，导电材料层148可以包括掺杂多晶硅或掺杂硅锗合金。在一个实施例中，导电材料层148可以是掺杂半导体层。导电材料层148的厚度可以在20nm至50nm的范围内，但是更小和更大的厚度

Micron Ex. 1002, p. 507
Micron v. YMTC
IPR2024-00790

也可以被采用。第一介电盖层138包括可以是可以被用于第一绝缘层132的任何介电材料的介电材料。在一个实施例中，第一介电盖层138包括与第一绝缘层132相同的介电材料。导电材料层148的厚度可以在20nm至200nm的范围内，但是更小和更大的厚度也可以被采用。第一交替堆叠(132,142)、导电材料层148和第一介电盖层138共同组成下堆叠结构(132,142,138,148)。

[0086] 参考图2A和图2B，下堆叠结构(132,142,138,148)可以被图案化以形成第一阶梯式表面。第一阶梯式表面形成在接触区域200中。接触区域200包括其中形成第一阶梯式表面的第一阶梯式区域和其中随后将在(随后形成在下堆叠结构的上方的)上堆叠结构中形成附加的阶梯式表面的第二阶梯式区域。器件区域100被提供为与接触区域200相邻。包括存储器堆叠结构的存储器器件可以随后形成在器件区域100中。例如，可以通过在其中形成具有开口的掩模层、刻蚀第一介电盖层138和导电材料层148的级内的腔、并且通过刻蚀直接地位于刻蚀区域内的刻蚀腔的底表面的下面的每一个第一绝缘层132和第一牺牲材料层142对来迭代地扩展刻蚀区域并垂直地凹陷腔来形成第一阶梯式表面。第一交替堆叠(132,142)被图案化，使得刻蚀区域中每个下层第一牺牲材料层142比任何覆盖第一牺牲材料层142更远地横向突出，并且刻蚀区域中每个下层第一绝缘层132比任何覆盖第一绝缘层132更远地横向突出。接触区域可以是第一交替堆叠(132,142)的接触区域。本文中腔被称为第一阶梯式腔。

[0087] 介电材料被沉积以填充第一阶梯式腔。覆盖第一交替堆叠层(132,142)的最顶部表面的介电材料的超过部分例如通过化学机械平坦化被移除。沉积的介电材料的剩余部分形成第一后向阶梯式介电材料部分165，其形成在第一阶梯式表面上。第一介电材料部分165是后向阶梯式的。如本文所使用的，“后向阶梯式”元件是指具有阶梯式表面和水平横截面区域的元件，该水平横截面区域作为与其上存在元件的衬底的顶表面的垂直距离的函数而单调增加。下层堆叠结构(也被称为第一堆叠结构)包括第一交替堆叠(132,142)和第一后向阶梯式介电材料部分165。

[0088] 形成通过下堆叠结构(132,142,138,148,165)的、延伸到衬底(9,10)的顶表面的第一存储器开口121。第一存储器开口121可以形成在器件区域100中。例如，可以在下堆叠结构(132,142,138,148,165)的上方形成包括至少光致抗蚀剂层的光刻(lithographic)材料堆叠(未示出)，并且光刻材料堆叠可以被光刻图案化以在光刻材料堆叠内形成开口。可以通过采用作为刻蚀掩模的图案化的光刻材料堆叠的至少一个各向异性刻蚀来将光刻材料堆叠中的图案转移通过下堆叠结构(132,142,138,148,165)的整体。图案化的光刻材料堆叠中的开口下面的下堆叠结构(132,142,138,148,165)的部分被刻蚀以形成第一存储器开口121。换言之，将图案化的光刻材料堆叠中的图案转移通过下堆叠结构(132,142,138,148,165)形成第一存储器开口121。

[0089] 在一个实施例中，用于刻蚀通过第一交替堆叠(132,142)的材料的各向异性刻蚀工艺的化学可以交替以在提供第一介电材料部分165的可比平均刻蚀速率的同时优化第一交替堆叠(132,142)中的第一材料和第二材料的刻蚀。各向异性刻蚀可以是例如一系列反应离子刻蚀。第一存储器开口121的侧壁可以是基本上垂直的、或者可以是锥形的。随后，图案化的光刻材料堆叠可以随后例如通过灰化而被移除。

[0090] 在一个实施例中，衬底(9,10)可以用作各向异性刻蚀工艺的停蚀层。在一个实施

Micron Ex. 1002, p. 508
Micron v. YMTC
IPR2024-00790

例中，第一存储器器开口121可以通过过刻蚀(overetch)而延伸到衬底(9,10)的顶表面之下。第一存储器开口121的横向尺寸(例如，直径)在每个第一存储器开口121的上部分处可以是从大约20nm到200nm，并且在每个第一存储器开口121的下部分处可以是大约10nm到150nm。在一个实施例中，第一存储器开口121可以被形成为开口的阵列，其可以是周期性的、开口的二维阵列。

[0091] 导电材料层148的剩余部分组成接合区域电极的层部分，接合区域电极是指位于接合区域中的电极。如本文所使用的，接合区域是其中第一堆叠结构和第二堆叠结构以多堆叠结构(即通过邻接多个堆叠结构而形成的结构)彼此邻接的区域，。如本文所使用的，层部分是指具有始终具有均匀的厚度的层的一般形状的结构的部分。

[0092] 参考图3A和图3B，在一个实施例中，可以在每个第一存储器开口121周围的第一介电盖层138上形成锥形侧壁。可以通过在形成第一存储器开口121的各向异性刻蚀的末端处或末端附近增加各向异性刻蚀工艺的各向同性刻蚀分量(component)(例如，通过改变各向异性刻蚀工艺的气体混合物的比例)来形成第一介电盖层138的锥形侧壁。如从垂直于衬底(9,10)的顶表面的垂直线测量的，第一介电盖层138的侧壁的锥角可以在从3度到45度(诸如，从6度到30度)的范围内，但是更小和更大的角度也可以被采用。则第一介电盖层138的锥形侧壁(如果提供了)可以被用于提供在第一存储器开口121和随后形成的上堆叠结构中的第二存储器开口的对准之间的更大的覆盖容差。

[0093] 参考图4A和图4B，执行选择性外延工艺以在物理地暴露的半导体表面上沉积半导体材料。在一个实施例中，导电材料层148可以包括掺杂半导体材料，并且半导体表面可以物理地暴露在每个第一存储器开口121的底部处。在这种情况下，可以通过半导体材料的选择性外延来同时地沉积工艺中的填充材料结构31'和外延沟道部分11。如本文所使用的，“工艺中”结构是指随后在随后的工艺加工步骤中被修改或被移除的结构。

[0094] 具体地，在选择性外延工艺期间，外延沟道部分11从第一存储器开口121的底部处的半导体表面增长(grow)。在外延沟道部分11的增长的同时，在选择性外延工艺期间，工艺中的填充材料结构31'从导电材料层148的物理地暴露的半导体表面增长。随着工艺中的填充材料结构31'的尺寸增长，工艺中的填充材料结构压紧(pinch off)每个第一存储器开口121的顶部部分。在压紧每个第一存储器开口121的上部分时，外延沟道部分11的生长终止。在压紧每个第一存储器开口121的顶部部分之后，工艺中的填充材料部分31'可以继续增长。工艺中的填充材料部分31'的掺杂半导体材料形成在导电材料层148的侧壁上，导电材料层148是随后要被完成的接合区域电极的层部分。

[0095] 取决于导电材料层148的结晶度和选择性半导体材料沉积工艺的工艺条件，工艺中的填充材料结构31'可以形成为多晶半导体材料部分、单晶半导体材料部分或其组合。在一个实施例中，可以采用退火工艺来增加导电材料层148中的晶粒的平均尺寸。在一个实施例中，工艺中的填充结构31'内的主要晶粒可以以比其他晶粒快的速率增长，使得工艺中填充材料结构31'的主要部分可以是单晶。工艺中的填充材料结构31'可以各向同性地增长，或者可以以随机面(facet)或优选取向的面生长。工艺中的填充材料结构31'的顶表面可以突出到包括第一介电盖层138的顶表面的水平面上方。在一个实施例中，在选择性沉积工艺结束时，工艺中的填充材料结构31'的顶表面可以是凸起的。

[0096] 外延沟道部分11包括与半导体材料层10的单晶衬底半导体材料外延对准的单晶

Micron Ex. 1002, p. 509
Micron v. YMTC
IPR2024-00790

半导体材料。外延沟道部分11的成分可以与工艺中的填充材料结构31'的成分相同。

[0097] 在一个实施例中，可以用p-型掺杂剂或n-型掺杂剂的原位掺杂来掺杂沉积的半导体材料。因此，可以用适当的导电类型的电掺杂剂来掺杂工艺中的填充材料结构31'和外延沟道部分11。在一个实施例中，工艺中的填充材料结构31'、半导体材料层10和外延沟道部分11可以具有第一导电类型(例如，p-型)的掺杂。工艺中的填充材料结构31'和外延沟道部分11两者都可以包括硅。例如，工艺中的填充材料结构31'可以包括p-型掺杂的大晶粒多晶硅或单晶硅，并且外延沟道部分11可以包括p-型掺杂的单晶硅。

[0098] 可以例如通过顺序地或同时地流动具有刻蚀剂气体(诸如HCl)的反应剂气体(诸如SiH_4、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、Si_2H_6、GeH_4、Ge_2H_6、其他半导体前体气体或其组合)来执行形成工艺中的填充材料结构31'和外延沟道部分11的选择性外延工艺。非晶表面(诸如介电材料的表面)上的半导体材料的沉积速率小于刻蚀剂对半导体材料的刻蚀速率，而晶体表面(诸如半导体材料层10的顶表面)上的半导体材料的沉积速率大于刻蚀剂对半导体材料的刻蚀速率。因此，半导体材料仅被沉积在作为半导体材料层10的顶表面的物理地暴露的部分的半导体表面上。可以选择工艺条件(诸如沉积温度、工艺室中各种气体的分压等)，使得沉积的半导体材料是外延的，即单晶硅或具有与半导体材料层10的单晶结构原子对准的另一半导体材料(诸如，p阱)。

[0099] 参考图5A和图5B，沉积的掺杂半导体材料的部分可以从第一介电盖层138(其是覆盖导电材料层148的介电材料层，其是随后完成的接合区域电极的层部分)的水平面之上移除。第一存储器开口121中的沉积的掺杂半导体材料(即，工艺中的填充材料结构31')的每个剩余部分组成填充材料结构31。在一个实施例中，执行平坦化工艺以从包括下堆叠结构(132,142,138,148,165)的最顶部层的水平面之上移除工艺中的填充材料结构31'的部分，该堆叠结构(132,142,138,148,165)的最顶部层可以是第一介电盖层138。在一个实施例中，可以采用化学机械平坦化(Chemical Mechanical Planarization,CMP)工艺来从第一介电盖层138之上移除工艺中的填充材料结构31'。每个填充材料结构31的顶表面可以与第一介电盖层138的顶表面共面。封装腔28形成在每个第一存储器开口121的在相应的填充材料结构31下面的部分内。如这里所使用的，"腔"是指不包含固体或液体材料的体积。腔可以处于真空下或者可以包括气相材料。如本文所使用的，"封装腔"是指被封装的腔，即在其中没有任何开口的连续的表面集合里面的腔。因此，限定封装腔的表面彼此连续且相连，并且其当中不包括任何空隙。在一个实施例中，每个填充材料结构31可以具有非平面底表面和平面顶表面。

[0100] 参考图6A和图6B，材料层的第二交替堆叠(232,242)随后形成在下堆叠结构(132,142,138,148,165)的顶表面上。第二堆叠(232,242)包括交替的多个第三材料层和第四材料层。每个第三材料层可以包括第三材料，并且每个第四材料层可包括与第三材料不同的第四材料。在一个实施例中，第三材料可以与第一绝缘层132的第一材料相同，并且第四材料可以与第一牺牲材料层142的第二材料相同。

[0101] 在一个实施例中，第三材料层可以是第二绝缘层232并且第四材料层可以是在每个垂直地邻近的第二绝缘层232对之间提供垂直间隔的第二间隔材料层。在一个实施例中，第三材料层和第四材料层可以分别是第二绝缘层232和第二牺牲材料层242。第二绝缘层232的第三材料可以是至少一种绝缘材料。第二牺牲材料层242的第四材料可以是对第二绝

Micron Ex. 1002, p. 510
Micron v. YMTC
IPR2024-00790

缘层232的第三材料而言可以被选择性地移除的牺牲材料。第二牺牲材料层242可以包括绝缘材料、半导体材料或导电材料。第二牺牲材料层242的第四材料可以随后用可以用作例如垂直NAND器件的控制栅电极的导电电极替换。

[0102] 在一个实施例中，每个第二绝缘层232可以包括第二绝缘材料，并且每个第二牺牲材料层242可以包括第二牺牲材料。在这种情况下，第二堆叠(232，242)可以包括交替的多个第二绝缘层232和第二牺牲材料层242。可以例如通过化学气相沉积(CVD)来沉积第二绝缘层232的第三材料。可以例如由CVD或原子层沉积(ALD)来形成第二牺牲材料层242的第四材料。

[0103] 第二绝缘层232的第三材料可以是至少一种绝缘材料。可以用于第二绝缘层232的绝缘材料可以是可以用于第一绝缘层132的任何材料。第二牺牲材料层242的第四材料是对第二绝缘层232的第三材料而言可以被选择性地移除的牺牲材料。可以用于第二牺牲材料层242的牺牲材料可以是可以用于第一牺牲材料层142的任何材料。在一个实施例中，第二绝缘材料可以与第一绝缘材料相同，并且第二牺牲材料可以与第一牺牲材料相同。

[0104] 第二绝缘层232和第二牺牲材料层242的厚度可以在从20nm到50nm的范围内，但是更小和更大的厚度可以用于每个第二绝缘层232和用于每个第二牺牲材料层242。第二绝缘层232和第二牺牲材料层242对的重复次数可以在2到1，024(并且典型地为8到256)的范围内，但是也可以采用更多的重复次数。在一个实施例中，第二堆叠(232，242)中的每个第二牺牲材料层242可以具有在每个相应的第二牺牲材料层242内基本上不变的均匀的厚度。

[0105] 随后，第二介电盖层70可以形成在第二堆叠(232，242)上方。介电盖层70包括与第二牺牲材料层242的材料不同的介电材料。在一个实施例中，介电盖层70可以包括氧化硅。

[0106] 参考图7A和图7B，附加的阶梯式表面形成在接触区域200中的第二堆叠(232，242)中。附加的阶梯式表面在本文被称为第二阶梯式表面。第二阶梯式表面形成在第二阶梯式区域中，该第二阶梯式区域与下堆叠结构(132，142，138，148，165)内的第一阶梯式表面的第一阶梯式区域相邻并且不覆盖下堆叠结构(132，142，138，148，165)内的第一阶梯式表面的第一阶梯式区域。第二阶梯式表面可以与第一交替堆叠(132，146)和第一后向阶梯式介电材料部分165之间的阶梯式接口相邻并且不覆盖第一交替堆叠(132，146)和第一后向阶梯式介电材料部分165之间的阶梯式接口。

[0107] 可以例如通过在其中形成具有开口的掩模层、刻蚀最顶部第二牺牲材料层242和最顶部第二绝缘层232的级内的腔、并且通过刻蚀直接地位于刻蚀区域内的刻蚀腔的底表面的下面的第二绝缘层232和第二牺牲材料层242对来迭代地扩展刻蚀区域并垂直地凹陷腔来形成第二阶梯式表面。第二堆叠(232，242)被图案化，使得刻蚀区域中每个下层第二牺牲材料层242比任何覆盖第二牺牲材料层242横向地突出更远，并且刻蚀区域中每个下层第二绝缘层232比任何上层第二绝缘层232更远地横向突出。刻蚀区域包括接触区域200的区域，该接触区域包括用于第二堆叠(232。242)的接触区域和用于第一交替堆叠(132。142)的接触区域。

[0108] 因此，第二堆叠(232，242)被图案化以在其上形成第二阶梯式表面。通过第二堆叠(232，242)的部分的移除而形成的腔在本文被称为第二阶梯式腔。第二阶梯式腔的区域包括第二堆叠(232，242)的所有层从其移除的第一后向阶梯式第一介电材料部分165的区域。第二阶梯式腔的区域还包括第二堆叠(232，242)的第二阶梯式表面的区域。

Micron Ex. 1002, p. 511
Micron v. YMTC
IPR2024-00790

[0109] 介电材料被沉积以填充第二阶梯式腔。例如通过化学机械平坦化来移除覆盖第二堆叠(232,242)的最顶部表面的介电材料的超过部分。沉积的介电材料的剩余部分是后向阶梯式的,因此形成第二后向阶梯式介电材料部分265。第二后向阶梯式介电材料部分265位于第二堆叠(232,242)的第二阶梯式表面上和上方。第二后向阶梯式介电材料部分265形成在第二阶梯式表面上。接触区域200包括第一阶梯式表面的区域和第二阶梯式表面的区域。

[0110] 支撑柱结构7P和可选的平坦化介电层72可以形成在第二介电盖层70的上方。例如,可以例如通过光致抗蚀剂层的应用和图案化以及通过各向异性刻蚀来转移光致抗蚀剂层中的图案来在期望支撑柱结构7P的形成的区域中形成通过上堆叠结构(232,242,265,70)和下堆叠结构(132,142,138,148,165)的孔沟槽(via trench)。在(例如,通过灰化移除光致抗蚀剂层)移除光致抗蚀剂层之后,一种或多种介电材料可以被沉积在孔沟槽中和上堆叠结构(232,242,265,70)的上方。在孔沟槽中的(多个)沉积的介电材料的部分组成支撑柱结构7P,并且在上堆叠结构(232,242,265,70)上方的(多个)沉积的介电材料的部分组成平坦化介电层72。可选地,可以通过凹陷刻蚀或化学机械平坦化来移除在上堆叠结构(232,242,265,70)上方的(多个)沉积的介电材料的部分。

[0111] 参考图8A和图8B,形成通过上堆叠结构(232,242,265,70,72)到下堆叠结构(132,142,138,148,165)的顶表面的第二存储器开口221。第二存储器开口211形成在覆盖第一存储器121的区域中(即在基本上与第一存储器开口121的区域一致的区域中)。

[0112] 例如,包括至少光致抗蚀剂层的光刻材料堆叠(未示出)可以形成在上堆叠结构(232,242,265,70,72)的上方,并且可以被光刻图案化以在光刻材料堆叠内形成开口。可以通过采用作为刻蚀掩模的图案化的光刻材料堆叠的至少一个各向异性刻蚀来将光刻材料堆叠中的图案转移通过上堆叠结构(232,242,265,70,72)的整体。图案化的光刻材料堆叠中的开口下面的上堆叠结构(232,242,265,70,72)的部分被刻蚀以形成第二存储器开口(221,421)。换言之,将图案化的光刻材料堆叠中的图案转移通过上堆叠结构(232,242,265,70,72)形成第二存储器开口(221,421)。

[0113] 在一个实施例中,用于刻蚀通过第二堆叠(232,242)的材料的各向异性刻蚀工艺的化学可以交替以在提供第二介电材料部分265的可比平均刻蚀速率的同时优化第二堆叠(232,242)中的第三材料和第四材料的刻蚀,同时。各向异性刻蚀可以是例如一系列反应离子刻蚀。第二存储器开口221的侧壁可以是基本上垂直的、或者可以是锥形的。在一个实施例中,填充材料结构31可以用作形成第二存储器开口221的各向异性刻蚀工艺的停蚀结构。

[0114] 参考图9A和图9B,可以通过继续具有用于刻蚀填充材料结构31的材料的刻蚀化学中的改变的各向异性刻蚀工艺,来使第二存储器开口221垂直地延伸。每个第二存储器开口221可以延伸通过下层填充材料结构31的中央部分。每个填充材料结构31的中央部分可以被各向异性刻蚀。因为填充材料结构31的中央部分在各向异性刻蚀工艺期间被刻蚀通过以形成跨上堆叠结构和下堆叠结构延伸的堆叠间存储器开口49,所以每个第二存储器开口121可以连接到下层封装腔29。

[0115] 填充材料结构31的每个剩余部分组成套环部分42。套环部分42和导电材料层148共同组成被形成在上堆叠结构(232,242,70,265)和下堆叠结构(132,142,138,148,165)之间的接合区域中的电极,该电极在本文被称为接合区域电极(148,42)。接合区域电极(148,

Micron Ex. 1002, p. 512
Micron v. YMTC
IPR2024-00790

42)包括作为具有均匀的厚度的层部分的导电材料层148以及横向地环绕堆叠间存储器开口49并且具有比层部分的均匀的厚度大的垂直长度的套环部分42。在一个实施例中，每个套环部分42可以包括在延伸第二存储器开口221以形成堆叠间存储器开口49之后剩余的填充材料结构31的剩余环形部分。随后，可以随后例如通过灰化移除图案化的光刻材料堆叠。

[0116] 参考图10A-图10C，阻挡介电层52、存储器材料层54、隧穿介电层56和第一半导体沟道层61可以顺序地沉积为在堆叠间存储器开口49中并在上堆叠结构(232，246，265，70，72)的上方的保形材料层。阻挡介电层52包括诸如氧化硅、介电金属氧化物(诸如氧化铝)或其组合的阻挡介电材料。可替代地，如将在下面更详细描述的，阻挡介电层52可以在该工艺步骤期间被省略，并且替代地通过背侧凹陷形成。在一个实施例中，存储器材料层54可以是包括可以是例如氮化硅的介电电荷俘获材料的电荷俘获材料。

[0117] 存储器材料层54可以被形成为均匀成分的单个存储器材料层，或者可以包括多个存储器材料层的堆叠。多个存储器材料层(如果采用)可以包括多个间隔开的浮置栅极材料层，该浮置栅极材料层包含导电材料(例如，诸如钨、钼、钽、钛、铂、钌及其合金的金属，或诸如硅化钨、硅化钼、硅化钽、硅化钛、硅化镍、硅化钴或其组合的金属硅化物)和/或半导体材料(例如，包括至少一种基本半导体元素的多晶或非晶半导体材料或至少一种化合物半导体材料)。可替代地或另外地，存储器材料层54可以包括绝缘电荷俘获材料，诸如一个或多个氮化硅段。可替代地，存储器材料层54可以包括诸如金属纳米颗粒的导电纳米颗粒，该金属纳米颗粒可以是例如钌纳米颗粒。可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、物理气相沉积(Physical Vapor Deposition，PVD)、或用于在其中存储电荷的任何适当的沉积技术来形成存储器材料层54。存储器材料层54的厚度可以在2nm至20nm的范围内，但是更小和更大的厚度也可以被采用。

[0118] 隧穿介电层56包括介电材料，在适当的电偏置条件下可以通过该介电材料执行电荷隧穿。取决于要形成的单片三维NAND串存储器器件的操作模式，可以通过热载流子注入或通过福勒-诺德海姆隧穿感应电荷转移来执行电荷隧穿。隧穿介电层56可以包括氧化硅、氮化硅、氮氧化硅、介电金属氧化物(诸如氧化铝和氧化铪)、介电金属氧氮化物、介电金属硅酸盐、其合金和/或其组合。在一个实施例中，隧穿介电层56可以包括通常已知为ONO堆叠的，第一氧化硅层、氮氧化硅层和第二氧化硅层的堆叠。

[0119] 在一个实施例中，可以通过的氧化硅层的沉积、氧化硅层的表面部分氮化为氧氮化硅层、以及氧氮化硅层的表面部分氧化为第二氧化硅层来形成ONO堆叠。未被转化为氧氮化硅层的氧化硅层的部分是ONO堆叠内的第一氧化硅层，未被转化为第二氧化硅层的氧氮化硅层的部分是ONO堆叠内的氮氧化硅层。可替代地，可以通过在由氮化形成的氮氧化硅层的内侧壁上沉积氧化硅来形成第二氧化硅层。在一个实施例中，隧穿介电层56可以包括基本上不含碳的氧化硅层和/或基本上不含碳的氮氧化硅层。隧穿介电层56的厚度可以在2nm至20nm的范围内，但是更小和更大的厚度也可以被采用。

[0120] 第一半导体沟道层61可以形成在隧穿介电层56的上方。第一半导体沟道层61可以直接地沉积在隧穿介电层56上。第一半导体沟道层61包括半导体材料，诸如至少一种元素半导体材料、至少一种III-V化合物半导体材料、至少一种II-VI化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。在一个实施例中，第一半导体沟道层61包括非晶硅或多晶硅。可以通过诸如低压化学气相沉积(Low Pressure Chemical Vapor

Micron Ex. 1002, p. 513
Micron v. YMTC
IPR2024-00790

Deposition,LPCVD)的保形沉积方法来形成第一半导体沟道层61。第一半导体沟道层61的厚度可以在2nm至10nm的范围内,但是更小和更大的厚度也可以被采用。在第一半导体沟道层61的形成之后,在每个堆叠间存储器开口中存在腔。

[0121] 执行各向异性刻蚀以移除第一半导体沟道层61、隧穿介电层56、存储器材料层54和下阻挡介电21的水平部分,并物理地暴露每个外延沟道部分11的表面。相同的堆叠间存储器开口内的存储器材料层54、隧穿介电层56以及可选地阻挡介电层52的剩余部分的每个连续集合组成存储器膜50。

[0122] 第二半导体沟道层62可以沉积在第一半导体沟道层61的剩余垂直部分上以及外延沟道部分11的顶表面上。第二半导体沟道层62包括半导体材料,该半导体材料可以是可以用于第一半导体沟道层61的任何半导体材料。第一半导体沟道层和第二半导体沟道层(61,62)可以具有第一导电类型(即,与半导体材料层10相同的导电类型)的掺杂或者可以基本上是本征的。如本文所使用的,如果掺杂剂浓度不超过1.0×1016/cm3,则半导体材料基本上是本征的。在一个实施例中,第二半导体沟道层62可以包括非晶硅或多晶硅。第二半导体沟道层62的厚度可以在2nm至10nm的范围内,但是更小和更大的厚度也可以被采用。

[0123] 在每个堆叠间存储器开口49中的腔未完全被半导体沟道层(61,62)填充的情况下,可以在腔中沉积介电芯层以填充堆叠间存储器开口49内的腔的任何剩余部分。介电芯层包括诸如氧化硅或有机硅酸盐玻璃的介电材料。可以通过诸如低压化学气相沉积(LPCVD)的保形沉积方法,或通过诸如旋转涂布的自平坦沉积工艺来沉积介电芯层。

[0124] 随后,例如,可以通过从第二绝缘盖层70和/或平坦化介电层72的顶表面之上的凹陷刻蚀来移除介电芯层的水平部分。例如,可以通过平坦化工艺来移除位于平坦化介电层72的顶表面之上的第二半导体沟道层62的水平部分,该平坦化工艺可以采用凹陷刻蚀或化学机械平坦化(CMP)。堆叠间存储器开口内的第一半导体沟道层和第二半导体沟道层(61,62)的每个剩余部分组成半导体沟道60,该半导体沟道60是复合半导体沟道的垂直部分,该复合半导体沟道还包括存在于半导体材料层10的上部分中的外延沟道部分11和源极区域61之间的水平半导体沟道。存储器膜50和半导体沟道60的组合形成存储器堆叠结构55。

[0125] 当包括半导体沟道60的垂直NAND器件导通时,电流可以流过半导体沟道60。存储器材料层54横向地环绕隧穿介电56,并且隧穿介电56横向地环绕半导体沟道60的部分。每个存储器膜50可以以宏观保留时间存储电荷。如本文所使用的,宏观保留时间是指适于存储器器件作为永久性存储器器件操作的保留时间,诸如超过24小时的保留时间。

[0126] 例如,通过凹陷刻蚀,介电芯层的剩余部分的顶表面可以进一步在每个存储器开口内凹陷。介电芯层的每个剩余部分组成介电芯62。可以通过在介电芯62之上的每个凹陷区域内沉积掺杂半导体材料来形成漏极区域63。掺杂半导体材料可以是例如掺杂多晶硅。例如可以通过化学机械平坦化(CMP)或凹陷刻蚀来从平坦化介电层72的顶表面之上移除沉积的半导体材料的超过部分以形成漏极区域63。

[0127] 参考图11A和图11B,接触级介电层80可以可选地沉积在上堆叠结构(232,242,265,70,72)的上方。接触级介电层80包括与第二牺牲填充材料层242的材料不同的介电材料。例如,接触级介电层80可以包括氧化硅。接触级介电层80的厚度可以在20nm至500nm的范围内,但是更小和更大的厚度也可以被采用。

[0128] 可以例如通过施加光致抗蚀剂层(未示出)、光刻图案化光致抗蚀剂层、以及通过

Micron Ex. 1002, p. 514
Micron v. YMTC
IPR2024-00790

采用各向异性刻蚀来将光致抗蚀剂层中的图案转移通过上堆叠结构和下堆叠结构来形成通过上堆叠结构和下堆叠结构的至少一个接触沟槽79。形成至少一个接触沟槽79的各向异性刻蚀可以停止在衬底(9,10)上。与半导体材料层10的第一导电类型相反的第二导电类型的掺杂剂可以被注入到半导体材料层10的表面部分中,以在每个接触沟槽79的底表面的下面形成源极区域61。随后可以例如通过灰化移除光致抗蚀剂层。

[0129] 参考图12A和图12B,例如可以采用各向同性刻蚀工艺来将相对于第一和第二绝缘层(132,232)以及第一和第二介电盖层(138,70)的材料选择性地刻蚀第一和第二牺牲材料层(142,242)的材料的刻蚀剂引入到接触沟槽79中。第一背侧凹陷143在从其移除第一牺牲材料层142的体积中形成。第二背侧凹陷243在从其移除第二牺牲材料层242的体积中形成。对第一和第二绝缘层(132,232)的材料、第一和第二后向阶梯式介电材料部分(165,265)的材料、柱结构7P的材料以及阻挡介电层52的材料而言第一和第二牺牲材料层(142,242)的材料的移除可以是选择性的。在一个实施例中,第一和第二牺牲材料层(142,242)可以包括氮化硅,并且第一和第二绝缘层(132,232)以及第一和第二后向阶梯式介电材料部分(165,265)的材料可以从氧化硅和介电金属氧化物中选择。在另一个实施例中,第一和第二牺牲材料层(142,242)可以包括诸如锗或硅-锗合金的半导体材料,并且第二绝缘层232以及第一和第二后向阶梯式介电材料部分(165,265)的材料可以从氧化硅、氮化硅和介电金属氧化物中选择。

[0130] 各向同性刻蚀工艺可以是采用湿刻蚀方案的湿刻蚀工艺,或者可以是其中刻蚀剂以气相引入接触沟槽79中的气相(干)刻蚀工艺。例如,如果第一和第二牺牲材料层(142,242)包括氮化硅,则刻蚀工艺可以是其中第一示例性结构浸入包括磷酸的湿刻蚀槽内的湿刻蚀工艺,对氧化硅、硅和本领域中采用的各种其他材料而言,该磷酸选择性地刻蚀氮化硅。

[0131] 第一和第二背侧凹陷(143,243)中的每一个可以是横向地延伸腔,该腔具有比腔的垂直长度大的横向尺寸。换言之,第一和第二背侧凹陷(143,243)中的每一个的横向尺寸可以大于相应的背侧凹陷(143,243)的高度。多个第一背侧凹陷143可以在从其移除第一牺牲材料层142的材料的体积中形成。多个第二背侧凹陷243可以在从其移除第二牺牲材料层242的材料的体积中形成。第一和第二背侧凹陷(143,243)中的每一个可以基本上平行于衬底(9,10)的顶表面延伸。背侧凹陷(143,243)可以由下层绝缘层(132或232)的顶表面和覆盖绝缘层(132或232)的底表面垂直地界定。在一个实施例中,第一和第二背侧凹陷(143,243)中的每一个可以始终具有均匀的高度。可选地,背侧阻挡介电层可以形成在背侧凹陷中。

[0132] 参考图13A和图13B,至少一种导电材料可以沉积在多个背侧凹陷(143,243)中、接触沟槽79的侧壁上以及接触级介电层80的上方。至少一种导电材料可以包括至少一种金属材料,即包括至少一种金属元素的导电材料。

[0133] 多个第一导电层146可以形成在多个第一背侧凹陷143中,多个第二导电层246可以形成在多个第二背侧凹陷243中,并且连续的金属材料层可以形成在每个接触沟槽79的侧壁上以及接触级介电层80的上方。在第一间隔材料层和第二间隔材料层被提供作为第一牺牲材料层142和第二牺牲材料层242的实施例中,第一和第二牺牲材料层(142,242)可以分别用第一和第二导电材料层(146,246)替换。具体地,每个第一牺牲材料层142可以用第

Micron Ex. 1002, p. 515
Micron v. YMTC
IPR2024-00790

一导电层146替换，每个第二牺牲材料层242可以用第二导电层246替换。在每个接触沟槽79的未被连续金属材料层填充的部分中存在背侧腔。

[0134] 可以通过保形沉积方法来沉积金属材料，该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、无电电镀、电镀、或其组合。金属材料可以是元素金属、至少两种元素金属的金属间合金、至少一种元素金属的导电氮化物、导电金属氧化物、导电掺杂半导体材料、诸如金属硅化物的导电金属-半导体合金、其合金、以及其组合或堆叠。可以沉积在背侧凹陷(143,243)中的非限制性示例性金属材料包括钨、氮化钨、钛、氮化钛、钽、氮化钽、钴和钌。在一个实施例中，金属材料可以包括诸如钨的金属和/或金属氮化物。在一个实施例中，用于填充背侧凹陷(143,243)的金属材料可以是氮化钛层和钨填充材料的组合。在一个实施例中，可以通过化学气相沉积或原子层沉积来沉积金属材料。

[0135] 可以例如通过各向同性刻蚀来从每个接触沟槽79的侧壁以及从接触级介电层80之上回刻蚀连续金属材料层的沉积金属材料。第一背侧凹陷143中的沉积金属材料的每个剩余部分组成第一导电层146。第二背侧凹陷243中的沉积金属材料的每个剩余部分组成第二导电层246。每个导电层(146,246)可以是导电线结构。

[0136] 每个导电层(146,246)可以用作位于相同级的多个控制栅电极和电互连(即电短路)位于相同级的多个控制栅电极的字线的组合。每个导电层(146,246)内的控制栅电极是包括存储器堆叠结构55的垂直存储器器件的控制栅电极。

[0137] 参考图14A和图14B，可以例如通过沉积保形绝缘材料(诸如氧化硅)和随后的各向异性刻蚀来在每个接触沟槽79的外围处形成包括介电材料的绝缘间隔74。可以例如通过沉积导电材料以及通过诸如化学机械平坦化或凹陷刻蚀的平坦化工艺从包括接触级介电层的顶表面的水平面之上移除沉积导电材料的超过部分来在每个接触沟槽79的剩余体积中形成背侧接触孔结构76。

[0138] 附加的接触孔结构(88,66)可以形成通过接触级介电层80并且可选地通过第二和/或第一后向阶梯式介电材料部分(165,265)以提供第一示例性结构内的到各个导电节点的电接触。附加的接触孔结构(88,66)可以包括例如漏极接触孔结构88和控制栅极接触孔结构66。

[0139] 第一示例性结构可以包括单片三维存储器器件。单片三维存储器器件可以包括下堆叠结构(132,146,138,148,165)，该下堆叠结构(132,146,138,148,165)包括第一交替堆叠并且位于衬底(9,10)的上方，该第一交替堆叠包括第一绝缘层132和第一导电层146；上堆叠结构(232,246,70,265)，该上堆叠结构(232,246,70,265)包括第二交替堆叠并且位于下堆叠结构(132,146,138,148,165)的上方，该第二交替堆叠包括第二绝缘层232和第二导电层246；至少一个存储器堆叠结构55，该存储器堆叠结构55延伸通过下堆叠结构(132,146,138,148,165)和上堆叠结构(232,246,70,265)；和电极(即，接合区域电极(148,42))，该电极覆盖第一导电层146并在第二导电层246的下面，并且包括具有均匀的厚度的层部分148、和横向地环绕至少一个存储器堆叠结构55中的每一个并且具有比层部分148的均匀的厚度更大的垂直(即，在垂直于衬底的顶表面的方向上的)长度的套环部分42。换言之，与结构55相邻的套环部分42可以比层部分148厚，该层部分148比部分42更远离结构55。

[0140] 在一个实施例中，套环部分42的最顶部水平表面可以位于包括电极(148,42)的层部分148的顶表面的水平面之上。套环部分42的最顶部水平表面可以在与下堆叠结构(132,

Micron Ex. 1002, p. 516
Micron v. YMTC
IPR2024-00790

146,138,148,165)内的最顶部绝缘体层(即,第一介电盖层138)的顶表面相同的水平面内。在一个实施例中,套环部分42的最底部水平表面可以位于包括接触电极(148,42)的第一绝缘层132(即,最顶部第一绝缘层132)的底表面的水平面之上。

[0141] 在一个实施例中,套环部分42可以具有上锥形侧壁和下锥形侧壁,该下锥形侧壁具有比上锥形侧壁小的锥角。上锥形侧壁可以是第一介电盖层138的侧壁,下锥形侧壁可以是导电材料层148和最顶部第一绝缘层132的侧壁。在一个实施例中,套环部分42可以包括半导体材料。在一个实施例中,层部分148可以包括具有与套环部分42的半导体材料不同的材料成分的另一种半导体材料。在一个实施例中,电极(148,42)可以包括与第一和第二导电层(146,246)不同的材料。电极(148,42)可以位于下堆叠结构(132,146,138,148,165)内。

[0142] 在至少另一个第二导电层246下面的每个第二导电层246可以比第二导电层246中的任何覆盖层横向延伸得更远。在至少另一个第一导电层146下面的每个第一导电层146可以比第一导电层146中的任何覆盖层横向延伸得更远。

[0143] 在一个实施例中,下堆叠结构还可以包括位于第一交替堆叠(132,146)的第一阶梯式表面上和上方的第一介电材料部分,例如第一后向阶梯式介电材料部分165,并且上堆叠结构还可以包括位于第二交替堆叠(232,246)的第二阶梯式表面上和上方的第二介电材料部分,例如第二后向阶梯式介电材料部分265。第一阶梯式表面和第二阶梯式表面可以位于接触区域内,并且控制栅极接触孔结构66的子集延伸通过第一介电材料部分和第二介电材料部分。

[0144] 在一个实施例中,单片三维存储器结构包括单片三维NAND存储器器件。第一和第二导电层可以包括或可以电连接到单片三维NAND存储器器件的相应的字线。衬底(9,10)可以包括一个硅衬底。单片三维NAND存储器器件可以包括在硅衬底上方的单片三维NAND串的阵列。在单片三维NAND串的阵列的第一器件级中的至少一个存储单元可以位于单片三维NAND串的阵列的第二器件级中的另一存储器单元的上方。硅衬底可以包含包括用于位于其上的存储器器件的驱动器电路的集成电路。单片三维NAND串的阵列可以包括多个半导体沟道。多个半导体沟道中的每一个的至少一个末端部分基本上垂直于衬底的顶表面延伸。单片三维NAND串的阵列可以包括多个电荷存储元件。每个电荷存储元件可以位于与多个半导体沟道中的相应的一个半导体沟道相邻。单片三维NAND串的阵列可以包括具有基本上平行于衬底的顶表面延伸的条形形状的多个控制栅电极。多个控制栅电极可以至少包括位于第一器件级中的第一控制删电极和位于第二器件级中的第二控制栅电极。

[0145] 参考图15,示出了根据本公开的第二实施例的第二示例性结构,该第二示例性结构可以通过省略导电材料层148和第一介电盖层138的形成而从图1的第一示例性结构导出。

[0146] 参考图16,通过执行图2A和图2B的工艺步骤,第一后向阶梯式介电材料部分165可以形成在第一交替堆叠(132,142)中。如果采用平坦化工艺来形成第一后向阶梯式介电材料部分165,则最顶部第一绝缘层132可以被用作平坦化工艺的停蚀层。第一交替堆叠(132,142)和第一后向阶梯式介电材料部分165共同组成下堆叠结构(132,142,165)。

[0147] 参考图17A和图17B,介电材料层190可以形成在下堆叠结构(132,142,165)的上方。介电材料层190用作下堆叠结构(132,142,165)的介电盖层,并且在本文被称为第一介

Micron Ex. 1002, p. 517
Micron v. YMTC
IPR2024-00790

电盖层。介电材料层190是包括与第一牺牲材料层142的材料不同的介电材料的介电材料层。在一个实施例中，介电材料层190可以包括与第一绝缘层132相同的介电材料。介电材料层190的厚度可以在20nm至300nm的范围内，但是更小和更大的厚度也可以被采用。

[0148] 通过执行图3A和图3B的工艺步骤，可以形成通过介电材料层190和下堆叠结构(132,143,165)的第一存储器开口121，使得介电材料层190代替第一介电盖层138而被采用。下堆叠结构(132,142,165)内的最顶部介电层(即，最顶部第一绝缘层132)的侧壁的可选的锥形可以被省略，或者可以被执行。

[0149] 参考图18A和图18B，牺牲填充材料被沉积在第一存储器开口121中。牺牲填充材料是对第一绝缘层132、第一牺牲材料层142和半导体材料层10的材料而言可以被选择性地移除的材料。在一个实施例中，第一牺牲填充材料可以包括诸如锗或硅锗合金的半导体材料。可替代地，牺牲填充材料可以包括非晶碳、类金刚石碳或多孔有机硅酸盐玻璃。可以通过平坦化工艺来移除在包括下堆叠结构(132,142,165)的最顶部表面(诸如最顶部第一绝缘层132的顶表面)的水平面之上的牺牲填充材料的超过部分，其中该平台化工艺可以是例如化学机械平坦化(CMP)工艺和/或凹陷刻蚀工艺。此外，牺牲填充材料可以随后凹陷，使得第一存储器开口121中的牺牲填充材料的凹陷部分的顶表面位于包括最顶部第一牺牲材料层142的顶表面的水平面和介电材料层190的顶表面之间。牺牲填充材料的每个剩余部分填充第一存储器开口的下部分，并且组成牺牲存储器开口填充部分23。每个牺牲存储器开口填充部分23可以从相应的第一存储器开口121的底表面垂直地延伸到位于最顶部第一牺牲材料层142的顶表面之上的级。

[0150] 参考图19A和图19B，第一存储器开口121的上部分处的腔可以通过刻蚀工艺可选地横向地扩展。在一个实施例中，可以采用各向同性地刻蚀介电材料层190的介电材料的湿刻蚀工艺来横向地扩展覆盖牺牲存储器开口填充部分23的腔。在一个实施例中，如果介电材料层190包括氧化硅，则可以采用该采用氢氟酸的湿刻蚀。可以控制腔的横向扩展以避免腔的合并。

[0151] 参考图20A和图20B，牺牲衬垫192可以形成在牺牲存储器开口填充部分23的上方和下堆叠结构(132,142,165)的上方。在一个实施例中，牺牲衬垫192可以沉积在牺牲存储器开口填充部分23的顶表面上以及介电材料层190的顶表面和侧壁上。牺牲衬垫192包括牺牲材料，该牺牲材料对介电材料层190的材料而言可以随后被选择性地移除，并且该牺牲材料可以包括与牺牲材料层142的材料相同的材料。在一个实施例中，介电材料层190可以包括氧化硅，并且牺牲衬垫192可以包括氮化硅。可以通过诸如化学气相沉积(CVD)或原子层沉积(ALD)的保形沉积工艺来沉积牺牲衬垫192。牺牲衬垫192的厚度可以在2nm至100nm的范围内，和/或可以在4nm至20nm的范围内，但是更小和更大的厚度也可以被采用。

[0152] 参考图21A和图21B，填充材料被沉积在覆盖牺牲存储器开口填充部分23的腔中并且由牺牲衬垫192的垂直部分横向地环绕。填充材料可以包括诸如多晶硅或非晶硅的半导体材料、硅锗合金或III-V化合物半导体材料。可替代地，填充材料可以包括非晶碳、类金刚石碳、多孔或无孔有机硅酸盐玻璃、或者对牺牲衬垫192的材料而言可以选择性地移除的介电材料。可以采用作为停蚀层的牺牲衬垫192的顶表面来平坦化填充材料以形成填充材料结构33。每个填充材料结构33填充覆盖牺牲存储器开口填充部分23并且由牺牲衬垫192的垂直部分横向地环绕的相应的腔。每个填充材料结构33填充相应的第一存储器开口121的

Micron Ex. 1002, p. 518
Micron v. YMTC
IPR2024-00790

上部区域。

[0153] 参考图22A和图22B，可以执行图6A和图6B的工艺步骤以形成第二绝缘层232和第二间隔材料层的第二交替堆叠。在一个实施例中，第二间隔材料层可以是第二牺牲材料层242，并且第二交替堆叠可以包括第二绝缘层232和第二牺牲材料层242。第二介电盖层70可以形成在第二交替堆叠(232，242)的上方。第二交替堆叠(232，242)的最底部层可以是第二牺牲材料层242或第二绝缘层232。在一个实施例中，最底部第二间隔材料层(诸如最底部第二牺牲材料层242)可以形成在牺牲衬垫192的顶表面上以及填充材料结构33的顶表面上。

[0154] 参考图23A和图23B，如在第一实施例中，可以通过执行图7A和图7B的工艺步骤来形成第二阶梯式表面和第二后向阶梯式介电材料部分265。

[0155] 参考图24A和图24B，如在第一实施例中，可以通过执行图7A和图7B的工艺步骤来形成支撑柱结构7P和可选的平坦化介电层72。

[0156] 参考图25A和图25B，如在第一实施例中，可以采用图8A和图8B的工艺步骤来形成通过上(第二)堆叠结构(190，192，232，242，70，265，72)的第二存储器开口221。形成第二存储器开口221的各向异性刻蚀对填充材料结构33的材料而言可以是或可以不是选择性的。第二存储器开口221从包括上堆叠结构(190，192，232，242，70，265，72)的最顶部表面的水平面至少垂直地延伸到填充材料结构33的顶表面。

[0157] 参考图26A和图26B，在第二存储器开口221没有垂直地延伸到覆盖牺牲存储器开口填充部分23的牺牲衬垫192的水平部分的情况下，可以由另一个各向异性刻蚀来垂直地延伸第二存储器开口221直到牺牲衬垫192的凹陷部分的顶表面被物理地暴露。在一个实施例中，在该工艺步骤处，填充材料结构33的整体可以在第二存储器开口221的延伸期间被移除。在一个实施例中，各向异性刻蚀可以移除填充材料结构33整体。在另一个实施例中，可以执行移除填充材料结构33的材料的各向同性刻蚀，以移除填充材料结构33的邻近牺牲衬垫192的垂直部分的外围部分。

[0158] 参考图27A和图27B，执行另一各向异性刻蚀工艺以移除牺牲衬垫192的被物理地暴露在每个第二存储器开口221的底部处的凹陷的水平部分。各向异性刻蚀工艺将第二存储器开口221垂直地延伸通过牺牲衬垫192。牺牲衬垫192的垂直部分未被移除，并且保留在每个第二存储器开口221周围作为环形结构。

[0159] 参考图28A和图28B，牺牲存储器开口填充部分23由可以是各向异性刻蚀工艺和/或各向同性刻蚀工艺的刻蚀工艺移除。对第一和第二绝缘层(132，232)、第一和第二牺牲材料层(142，242)、介电材料层190、第二介电盖层70和半导体材料层10的材料而言，牺牲存储器开口填充部分23的移除可以被选择性地执行。随后可以根据需要执行适当的表面清洁工艺。第二存储器开口221进一步垂直地延伸以形成延伸通过下堆叠结构和上堆叠结构的堆叠间存储器开口49。

[0160] 参考图29A和图29B，可以执行图10A-图10C的工艺步骤以在堆叠间存储器开口49中形成存储器堆叠结构55。在该实施例中，外延沟道部分11是可选的并且可以根据需要存在或被省略。

[0161] 参考图30A和图30B，可以执行图11A和图11B的工艺步骤以形成至少一个背侧沟槽79和至少一个源极区域61。

[0162] 参考图31A和图31B，第一间隔材料层和第二间隔材料层可以被提供作为第一牺牲

Micron Ex. 1002, p. 519
Micron v. YMTC
IPR2024-00790

材料层142和第二牺牲材料层242，第一和第二牺牲材料层(142,242)可以分别用第一和第二导电材料层(146,246)替换。在这种情况下，可以执行图12A和图12B的工艺步骤以形成背侧凹陷(143,243)。可以同时地移除最底部第二牺牲材料层242和牺牲衬垫192以形成最底部组合的第二背侧凹陷243，其是最底部第二背侧凹陷243。(包括牺牲衬垫192的垂直部分的)牺牲衬垫192的整体在第二牺牲材料层242的移除期间被移除。

[0163] 参考图32A和图32B，可以执行图13A和图13B的工艺步骤，以形成在第一背侧凹陷143的每个级处的第一导电层146、在最底部第二牺牲材料层242和牺牲衬垫192的级处的电极248(其在本文被称为接合区域电极，因为该电极形成在位于邻近下堆叠结构和上堆叠结构之间的接口的接合区域中)、以及在第二背侧凹陷246的每个级处的第二导电层246。因此，与第二导电材料层246的形成同时，形成电极248。电极248可以包括具有均匀的厚度的层部分248L、以及横向地环绕相应的存储器堆叠结构55并且具有比层部分248L的均匀的厚度大的垂直长度的至少一个套环部分248C。具体地，电极248可以包括连接到多个套环部分248C的一个层部分248L，其中每个套环部分环绕相应的存储器堆叠结构55的中间部分。

[0164] 背侧阻挡介电层的体积(如果存在)小于第一和第二导电层(146,246)和电极248的体积。因此，可以通过用导电材料替换至少包括牺牲衬垫192的垂直部分和覆盖下堆叠结构的牺牲衬垫192的水平部分的体积的主要部分来形成电极248。此外，可以用导电材料替换最底部牺牲材料层242的主要部分以提供电极248。

[0165] 参考图33A和图33B，可以执行图14A和图14B的工艺步骤以形成各种接触孔结构(76,88,66)。第二示例性结构可以包括单片三维存储器器件。单片三维存储器器件可以包括下堆叠结构(132,146,165)，该下堆叠结构包括第一交替堆叠并且位于衬底(9,10)的上方，该第一交替堆叠包括第一绝缘层132和第一导电层146；上堆叠结构(190,232,246,248,70,72,265)，该上堆叠结构包括第二交替堆叠并且位于下堆叠结构(132,146,265)的上方，该第二交替堆叠包括第二绝缘层232和第二导电层246；至少一个存储器堆叠结构55，该存储器堆叠结构55延伸通过下堆叠结构(132,146,165)和上堆叠结构(190,232,246,248,70,72,265)；和电极，该电极覆盖第一导电层146并且位于第二导电层246的下面，并且包括具有均匀的厚度的层部分248L、和横向地环绕相应的存储器堆叠结构55且具有比层部分248L的均匀的厚度大的垂直长度的至少一个套环部分248C。

[0166] 在一个实施例中，套环部分248C的最顶部水平表面和层部分248L的顶表面可以在相同的水平面内。在一个实施例中，套环部分248L的最底部水平表面可以位于包括下堆叠结构(132,146,165)和上堆叠结构(190,232,246,248,70,72,265)之间的接口的水平面内。在一个实施例中，套环部分248C可以具有垂直外侧壁和垂直内侧壁。在一个实施例中，套环部分248C可以包括与层部分248L相同的材料。层部分248L和(多个)套环部分248C可以形成为其之间没有任何接口的单个连续结构。

[0167] 在一个实施例中，电极248和第二导电层246可以包括相同的导电材料。在一个实施例中，电极248和第一和第二导电层(146,246)可以包括相同的导电材料。在一个实施例中，电极248可以接触上堆叠结构(190,232,246,248,70,72,265)当中的最底部层(即，介电材料层190)的顶表面和至少一个侧壁表面。电极248可以位于上堆叠结构(190,232,246,248,70,72,265)内。

[0168] 在至少另一个第二导电层246下面的每个第二导电层246可以比第二导电层246中

Micron Ex. 1002, p. 520
Micron v. YMTC
IPR2024-00790

的任何上层横向延伸得更远。在至少另一个第一导电层146下面的每个第一导电层146可以比第一导电层146中的任何上层横向延伸得更远。

[0169] 在一个实施例中，下堆叠结构还可以包括位于第一交替堆叠(132，146)的第一阶梯式表面上和上方的第一介电材料部分，例如第一后向阶梯式介电材料部分165，并且上堆叠结构还可以包括位于第二交替堆叠(232，246)的第二阶梯式表面上和上方的第二介电材料部分，例如第二后向阶梯式介电材料部分265。第一阶梯式表面和第二阶梯式表面可以位于接触区域内，并且控制栅极接触孔结构66的子集延伸通过第一介电材料部分和第二介电材料部分。

[0170] 电极(148/42，248)的层部分的厚度可以是均匀的厚度，第一和第二导电层(146，246)可以包括不具有套环部分以及具有与电极(148/42，248)的均匀的厚度相同或不同的均匀的厚度的字线/控制栅电极。

[0171] 在一个实施例中，单片三维存储器结构包括单片三维NAND存储器器件。第一和第二导电层可以包括或可以电连接到单片三维NAND存储器器件的相应的字线。衬底(9，10)可以包括一个硅衬底。单片三维NAND存储器器件可以包括在硅衬底上方的单片三维NAND串的阵列。在单片三维NAND串的阵列的第一器件级中的至少一个存储单元可以位于单片三维NAND串的阵列的第二器件级中的另一存储器单元的上方。硅衬底可以包含包括用于位于其上的存储器器件的驱动器电路的集成电路。单片三维NAND串的阵列可以包括多个半导体沟道。多个半导体沟道中的每一个的至少一个末端部分基本上垂直于衬底的顶表面延伸。单片三维NAND串的阵列可以包括多个电荷存储元件。每个电荷存储元件可以位于与多个半导体沟道中的相应的一个半导体沟道相邻。单片三维NAND串的阵列可以包括具有基本上平行于衬底的顶表面延伸的条形形状的多个控制栅电极。多个控制栅电极可以至少包括位于第一器件级中的第一控制删电极和位于第二器件级中的第二控制栅电极。

[0172] 本公开的比接合区域电极的层部分(148，248L)的厚度大的接合区域电极(148/42，248)的套环部分(42，248C)的垂直长度提供在接合区域内被控制的每个半导体沟道内的区域的延伸的益处。因此，在接合区域中提供半导体沟道的更严格的控制，从而增加相应的半导体沟道的导通电流和截止电流之间的差异。换言之，接合区域电极(148/42，248)可以是在NAND器件的操作期间电压被施加到其，但是没有电荷被存储在与接合区域电极(148/42，248)相同水平器件级中的存储器堆叠结构55的存储器膜50的接合部分中的所谓的虚拟电极。到该电极的施加的电压增强了接合区域中的沟道60中的耗尽区域，以促进沟道的上部分和下部分之间的沟道中的电荷载流子的传输。仅与相同的电极的层部分相比，套环部分增强了沟道的接合区域中的耗尽区域，因为每个接合电极的套环部分具有仅比相同的电极的层部分大的厚度并且因此具有仅比相同的电极的层部分大的面对沟道的区域。虽然上面示出和描述了两个堆叠结构的垂直堆叠，但是应该理解，可以使用上面描述的方法形成比两个堆叠多的堆叠，诸如三到十个堆叠、诸如四到六个堆叠。

[0173] 虽然前面是指特定的优选实施例，但是应该理解，本公开没有这样的限制。本领域的普通技术人员将会想到，可以对所公开的实施例进行各种修改，并且这样的修改意图在本公开的范围内。在本公开中示出采用特定的结构和/或配置的实施例，应该理解，本公开可以用功能上等同的任何其他兼容结构和/或配置来实践，只要这些替换没有被明确地禁止或者另外地这些替换对于本领域普通技术人员而言已知是不可能的。本文援引的所有出

Micron Ex. 1002, p. 521
Micron v. YMTC
IPR2024-00790

版物、专利申请和专利均通过引用而整体被并入本文。

Micron Ex. 1002, p. 522
Micron v. YMTC
IPR2024-00790

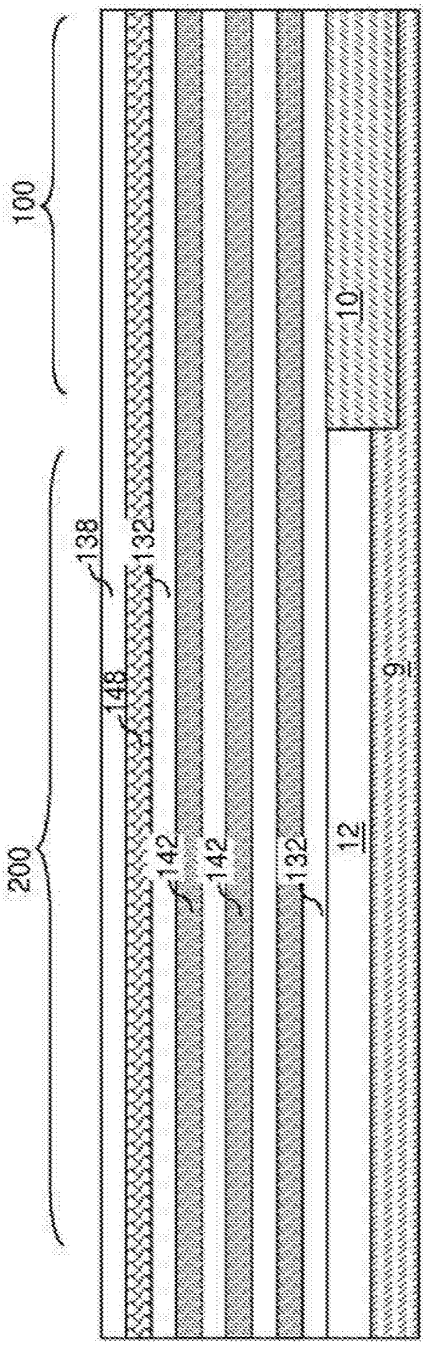


图1

Micron Ex. 1002, p. 523
Micron v. YMTC
IPR2024-00790

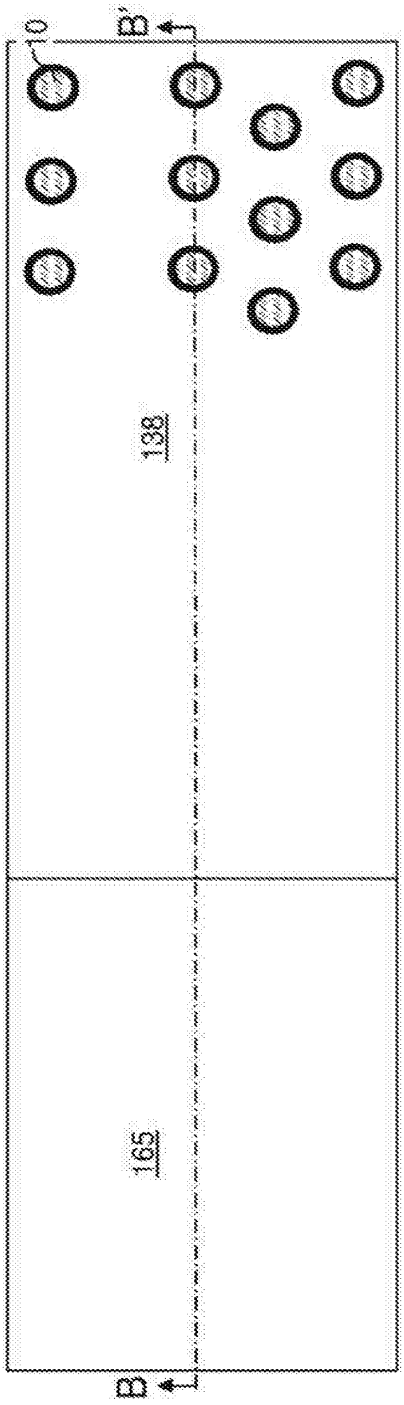


图2A

Micron Ex. 1002, p. 524
Micron v. YMTC
IPR2024-00790

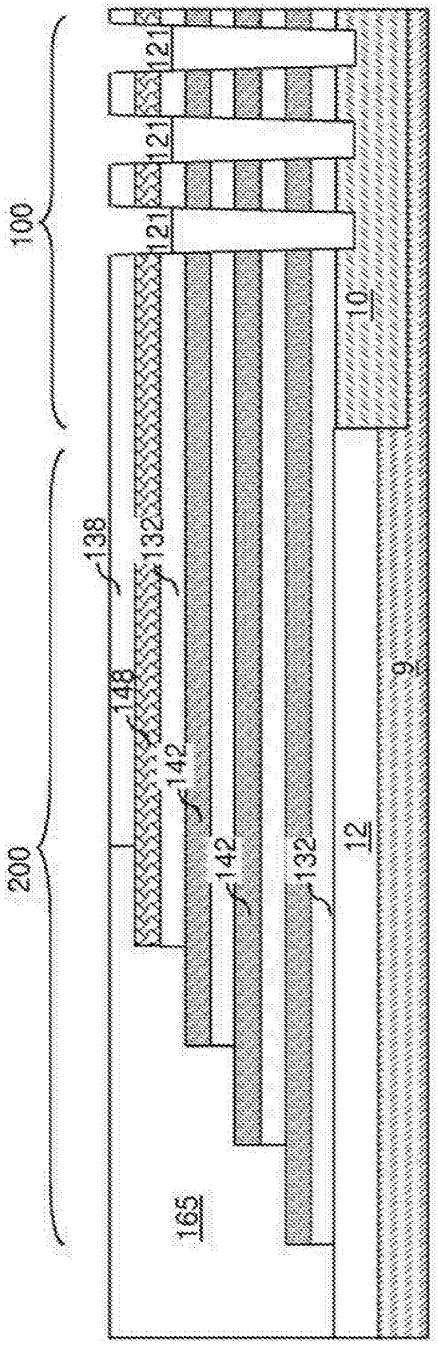


图2B

Micron Ex. 1002, p. 525
Micron v. YMTC
IPR2024-00790

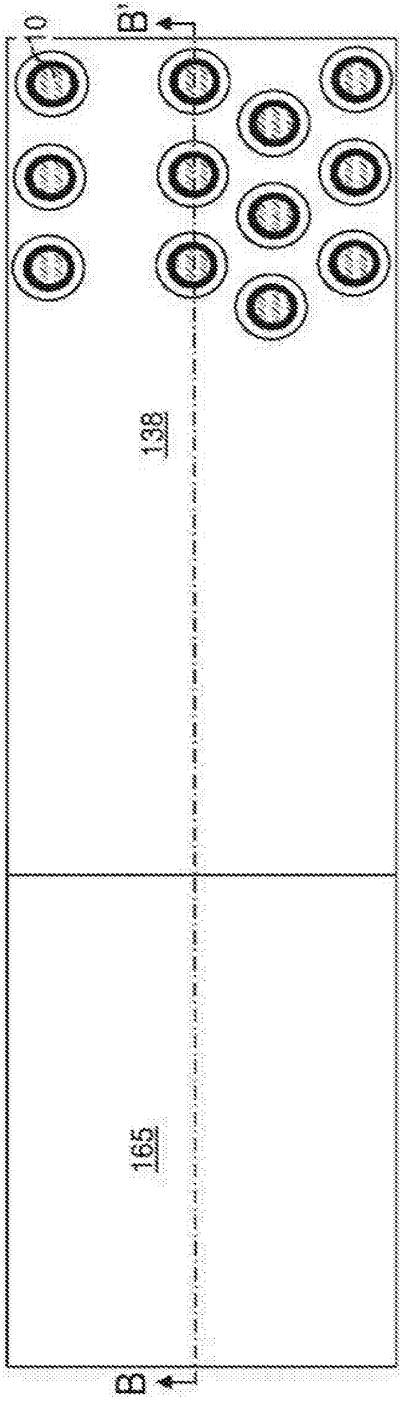


图3A

Micron Ex. 1002, p. 526
Micron v. YMTC
IPR2024-00790

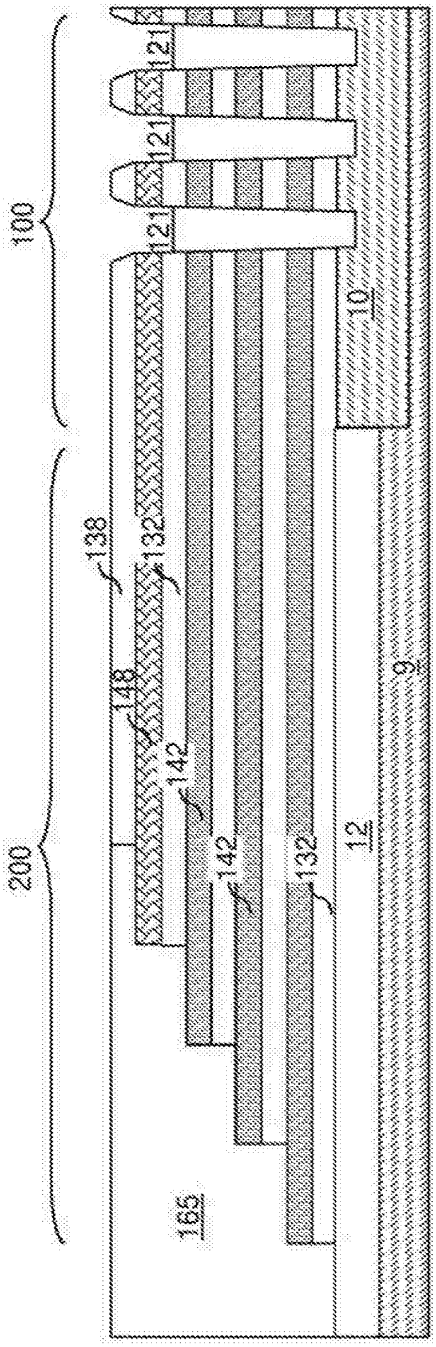


图3B

Micron Ex. 1002, p. 527
Micron v. YMTC
IPR2024-00790

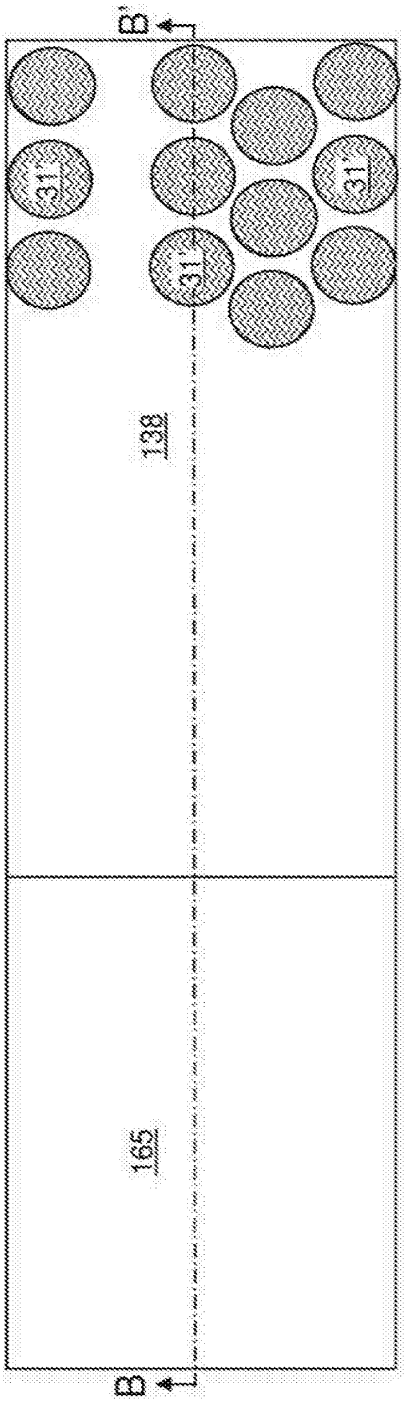


图4A

Micron Ex. 1002, p. 528
Micron v. YMTC
IPR2024-00790

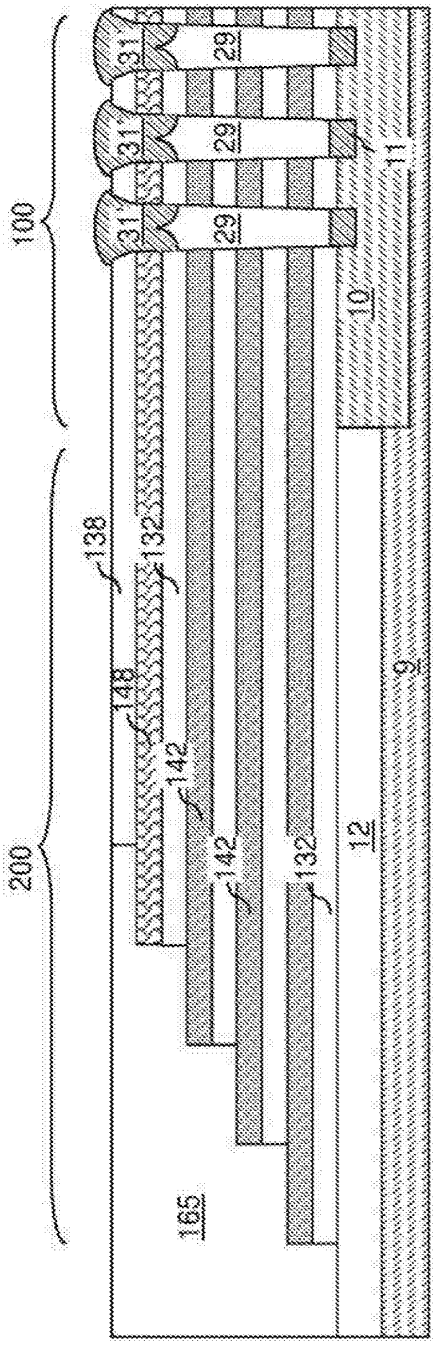


图4B

Micron Ex. 1002, p. 529
Micron v. YMTC
IPR2024-00790

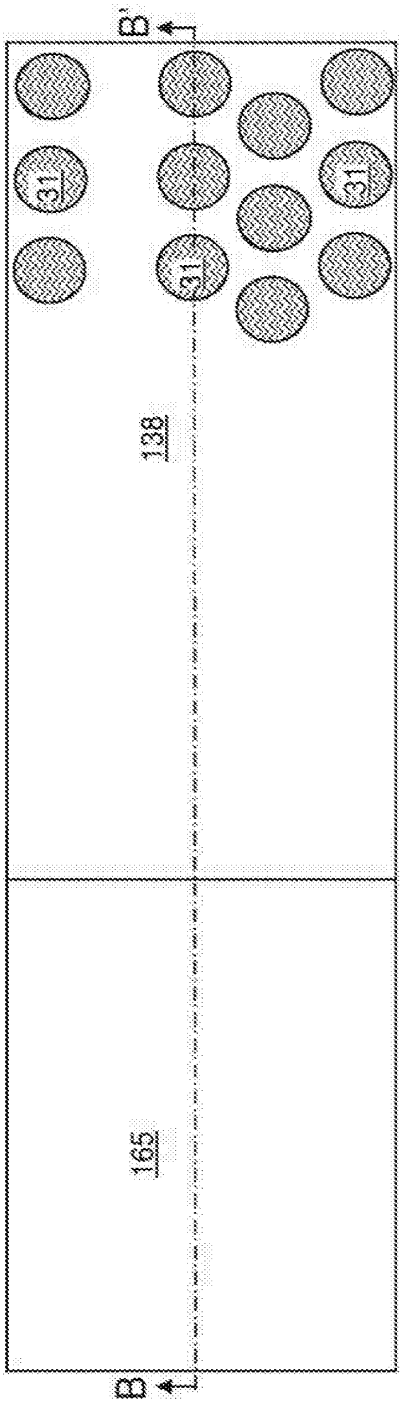


图5A

Micron Ex. 1002, p. 530
Micron v. YMTC
IPR2024-00790

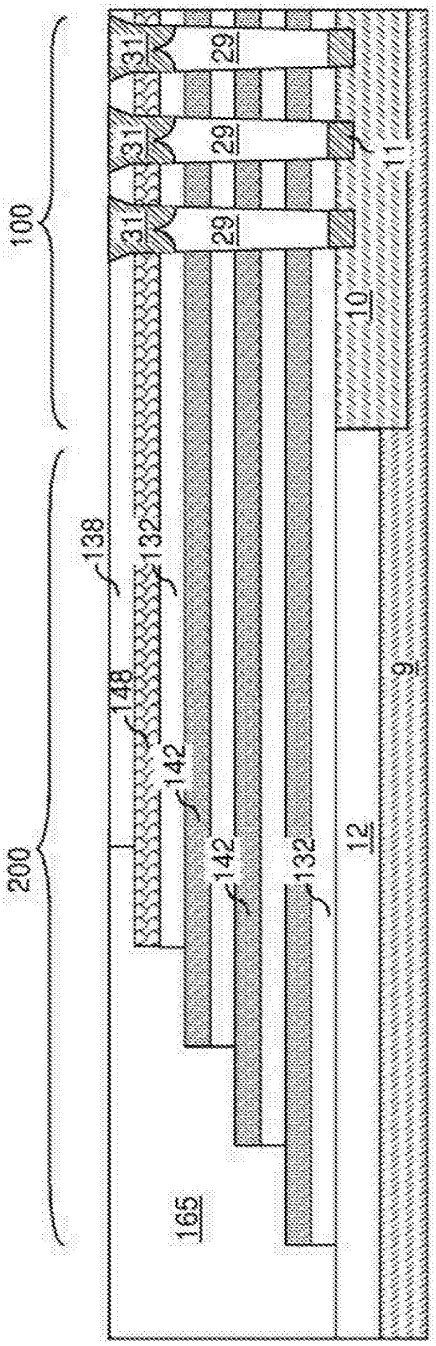


图5B

Micron Ex. 1002, p. 531
Micron v. YMTC
IPR2024-00790

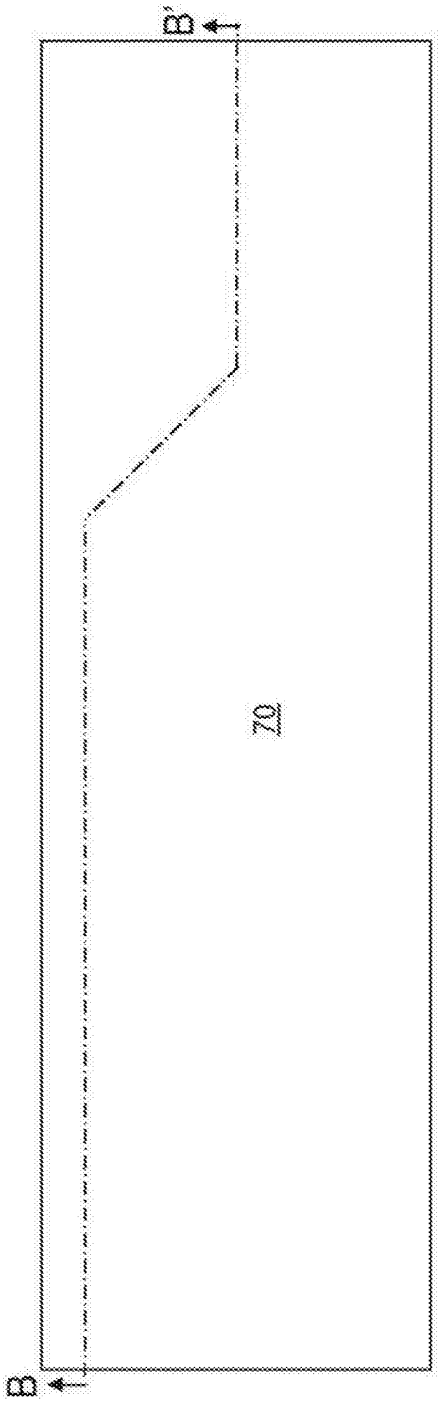


图6A

Micron Ex. 1002, p. 532
Micron v. YMTC
IPR2024-00790

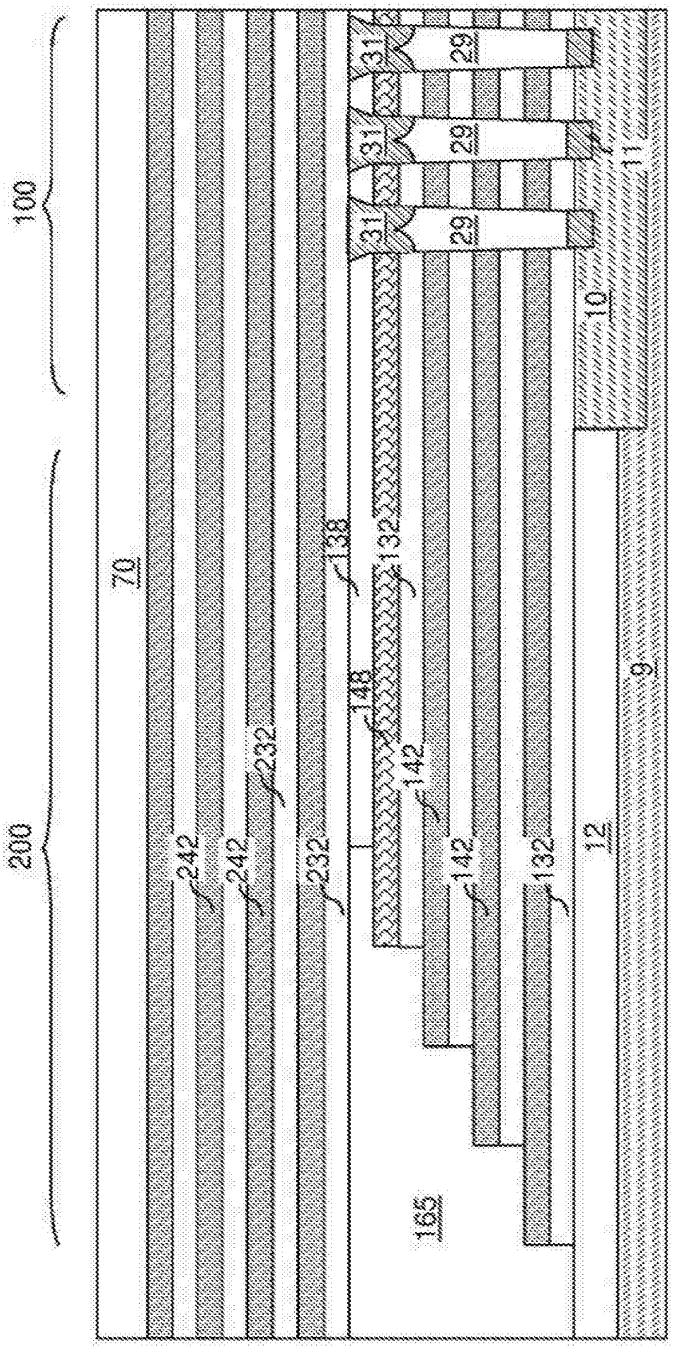


图6B

Micron Ex. 1002, p. 533
Micron v. YMTC
IPR2024-00790

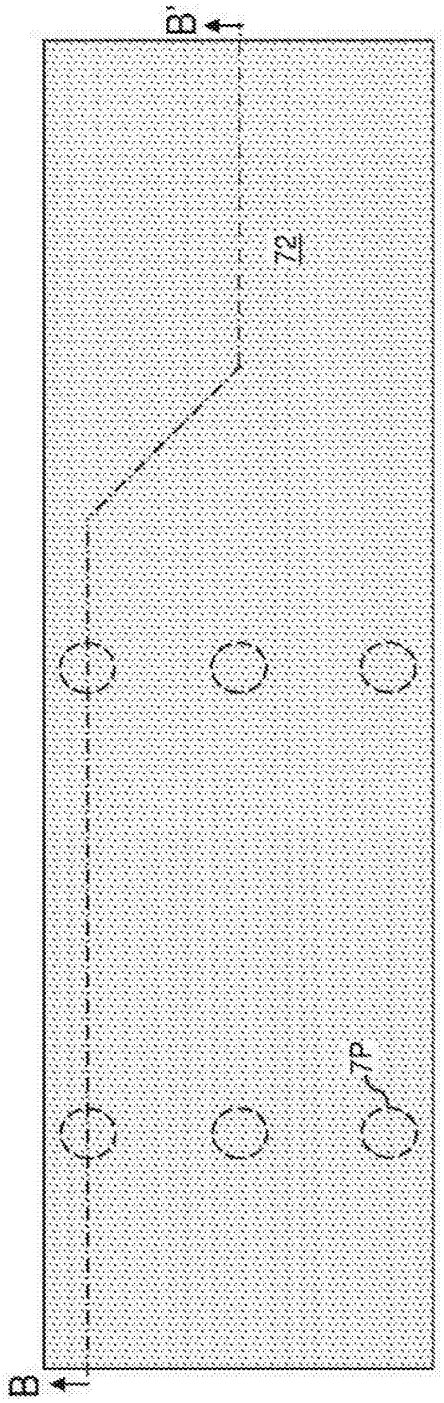


图7A

Micron Ex. 1002, p. 534
Micron v. YMTC
IPR2024-00790

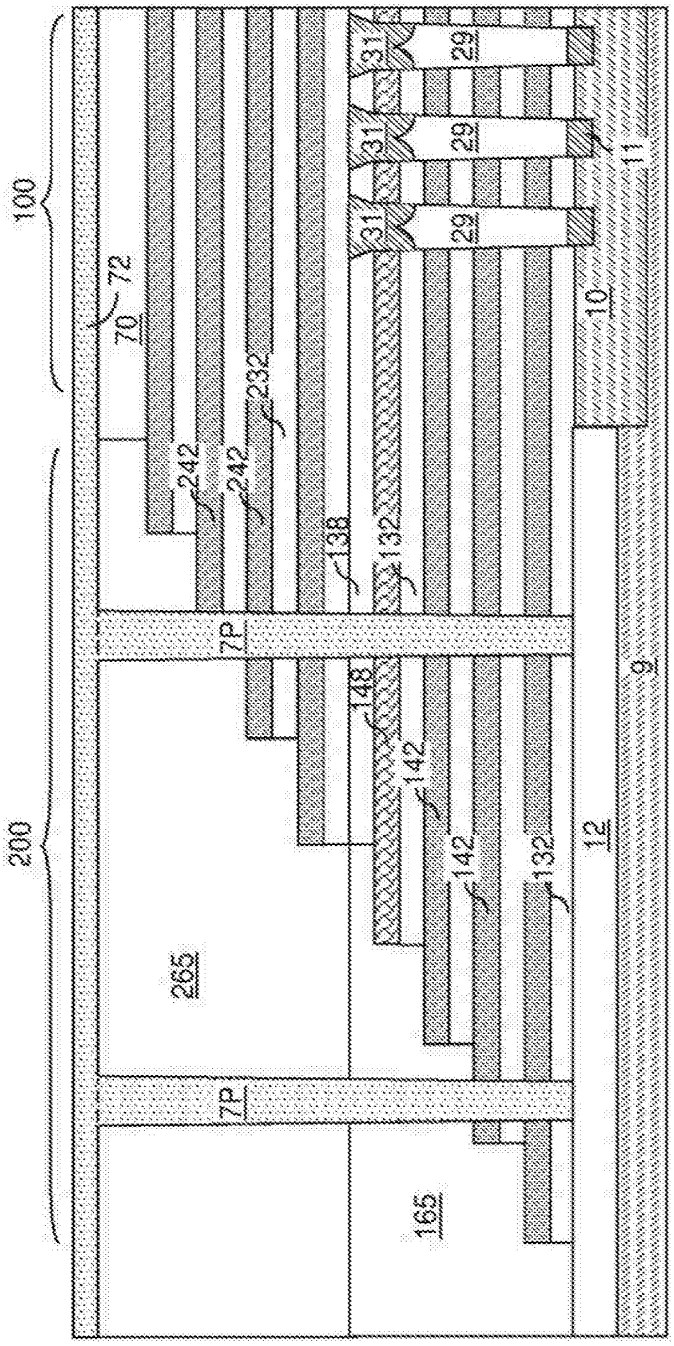


图7B

Micron Ex. 1002, p. 535
Micron v. YMTC
IPR2024-00790

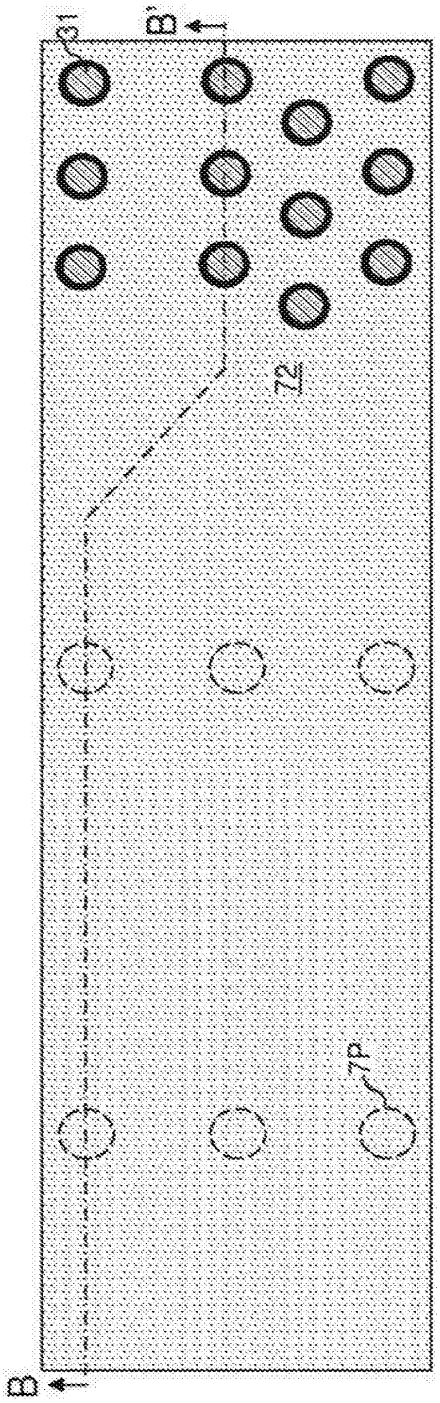


图8A

Micron Ex. 1002, p. 536
Micron v. YMTC
IPR2024-00790

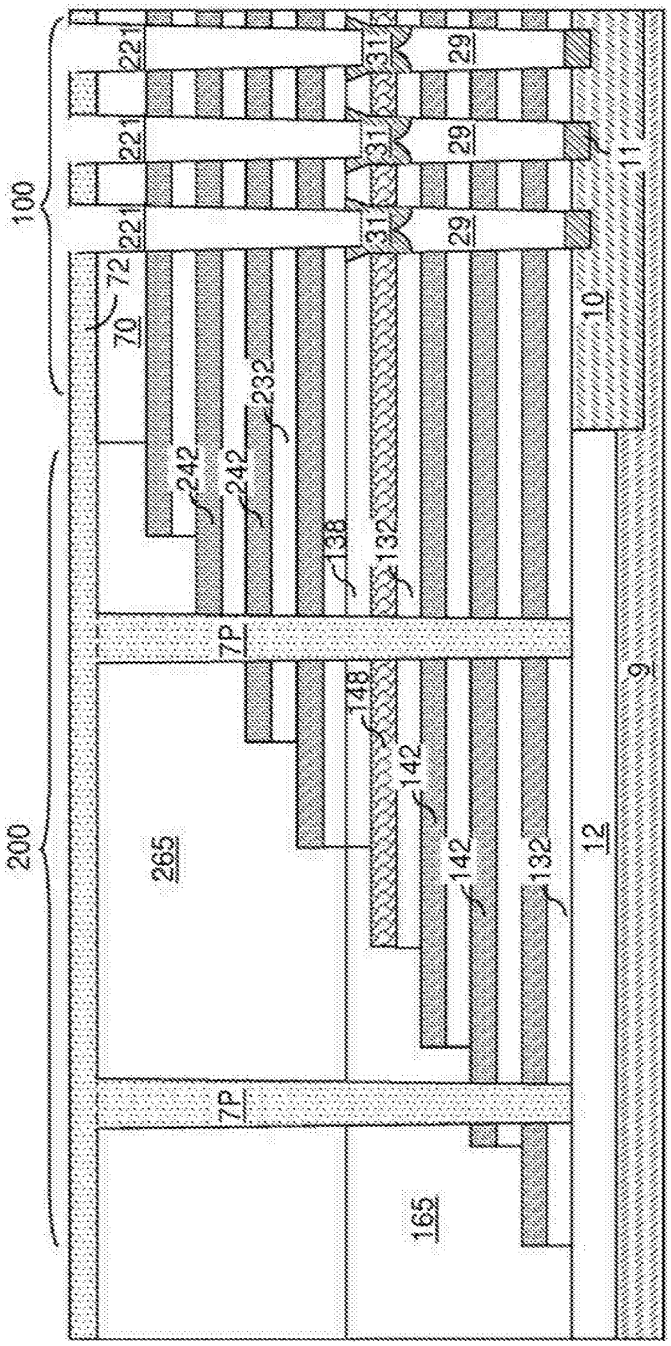


图8B

Micron Ex. 1002, p. 537
Micron v. YMTC
IPR2024-00790

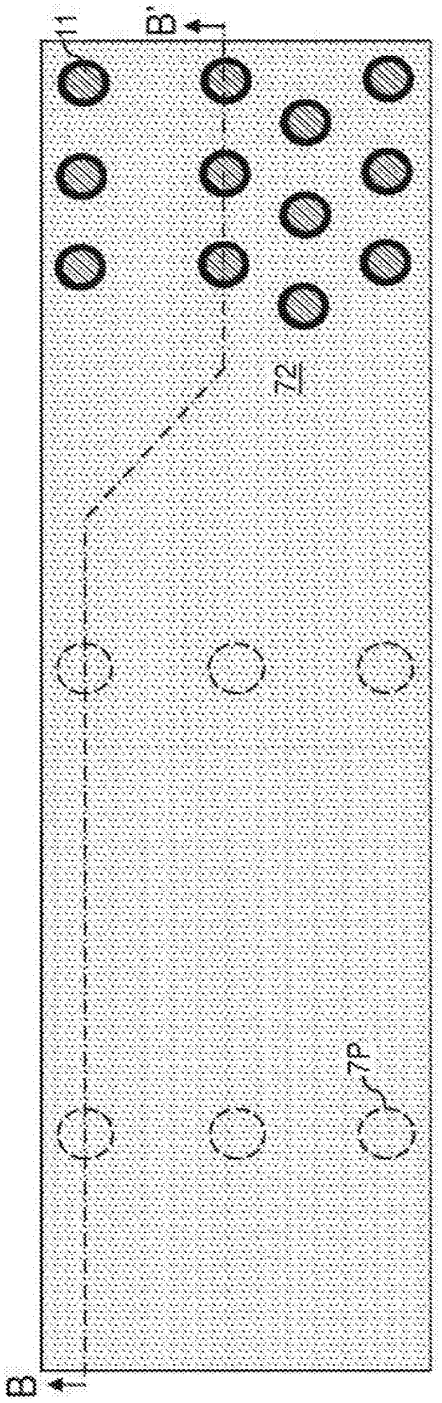


图9A

Micron Ex. 1002, p. 538
Micron v. YMTC
IPR2024-00790

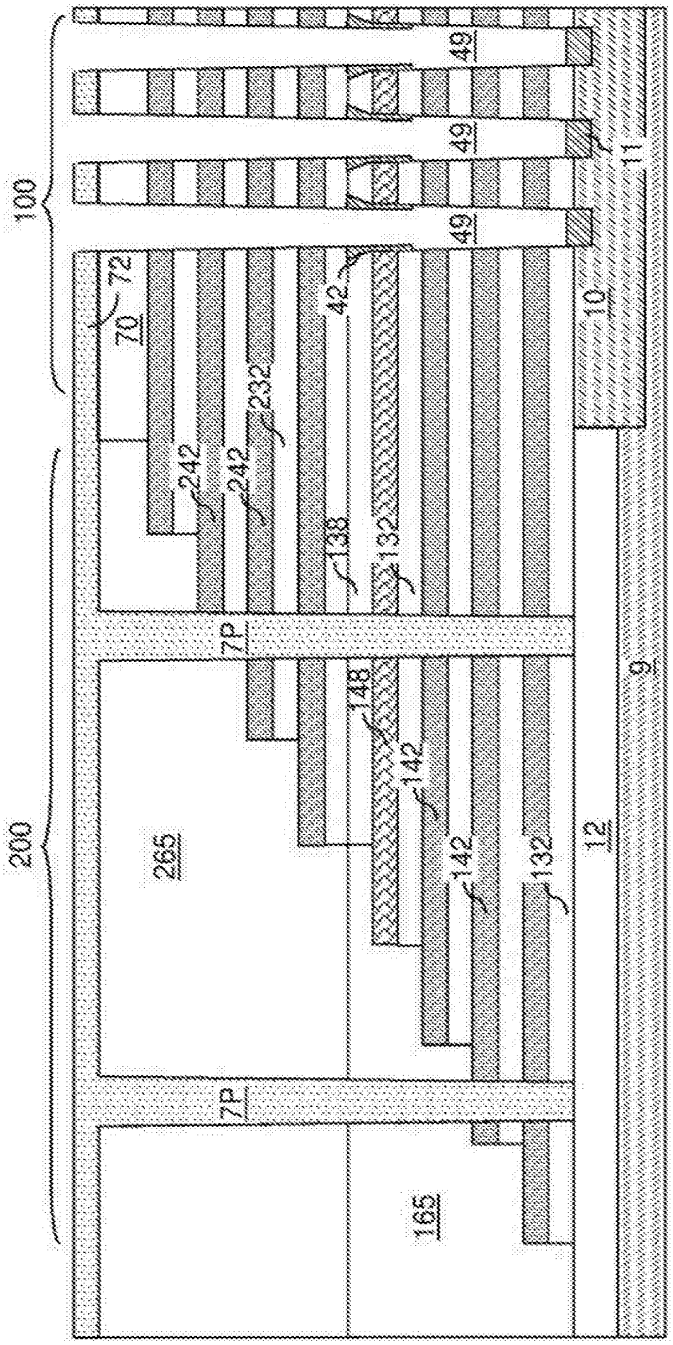


图9B

Micron Ex. 1002, p. 539
Micron v. YMTC
IPR2024-00790

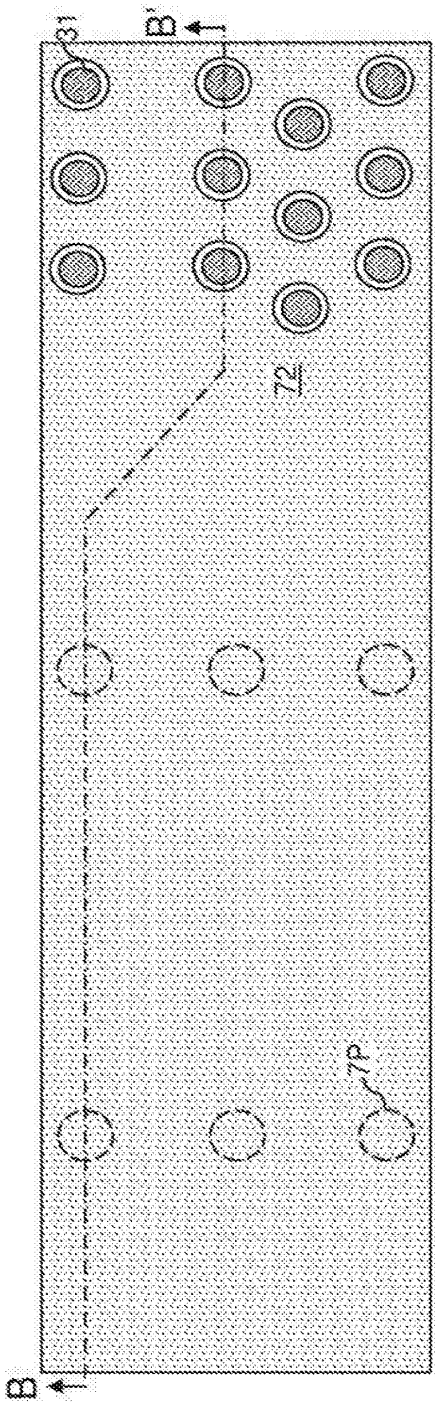


图10A

Micron Ex. 1002, p. 540
Micron v. YMTC
IPR2024-00790

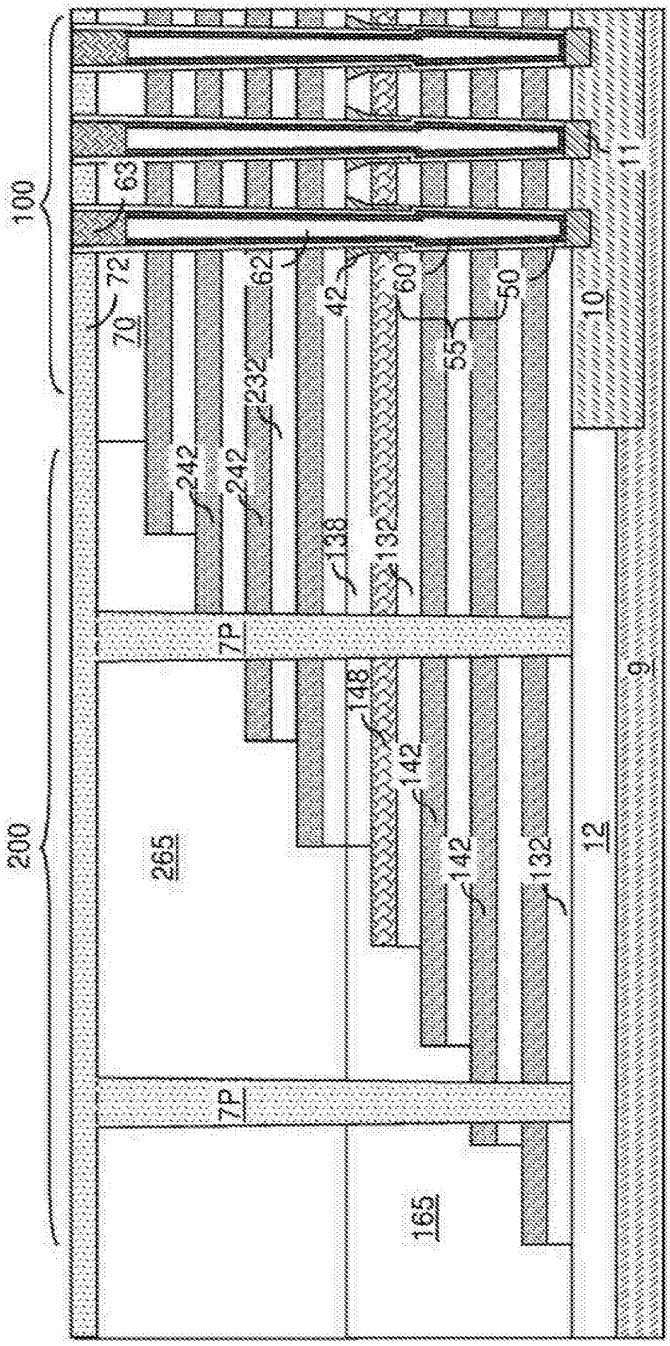


图10B

Micron Ex. 1002, p. 541
Micron v. YMTC
IPR2024-00790

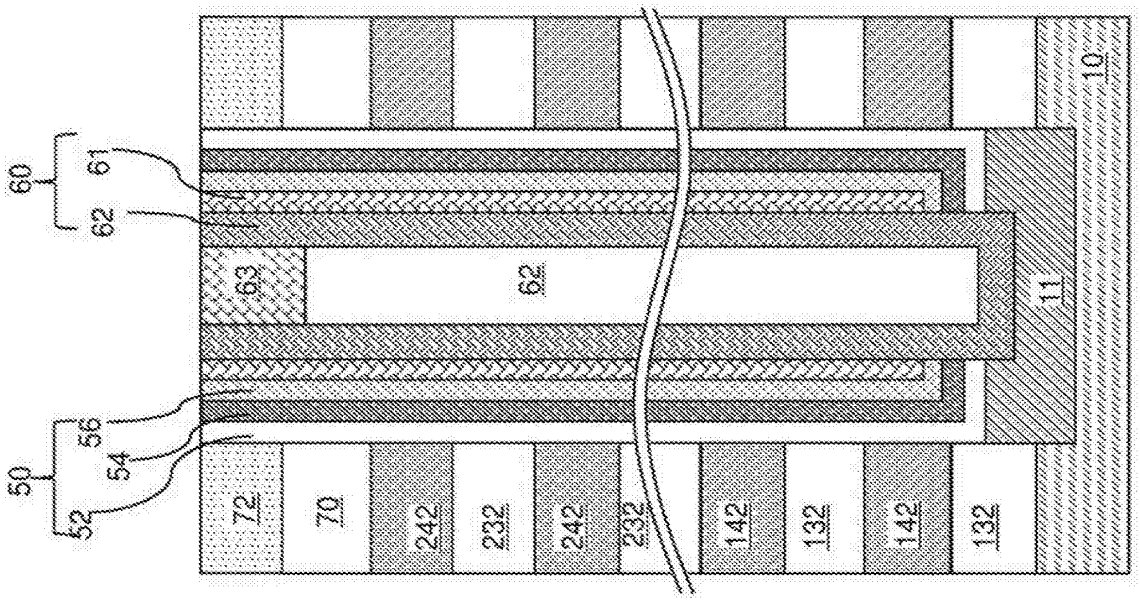


图10C

Micron Ex. 1002, p. 542
Micron v. YMTC
IPR2024-00790

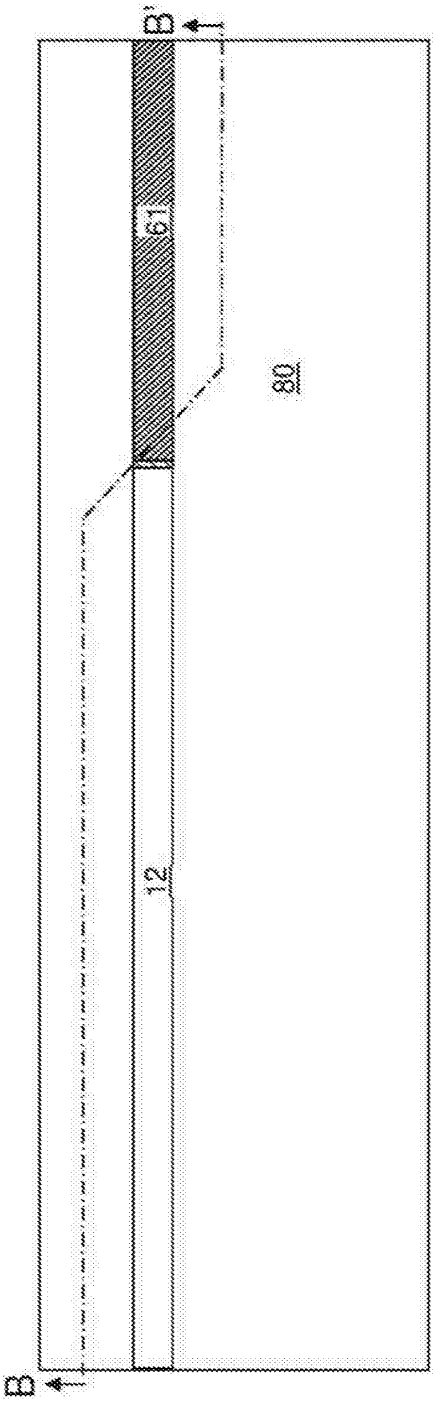


图11A

Micron Ex. 1002, p. 543
Micron v. YMTC
IPR2024-00790

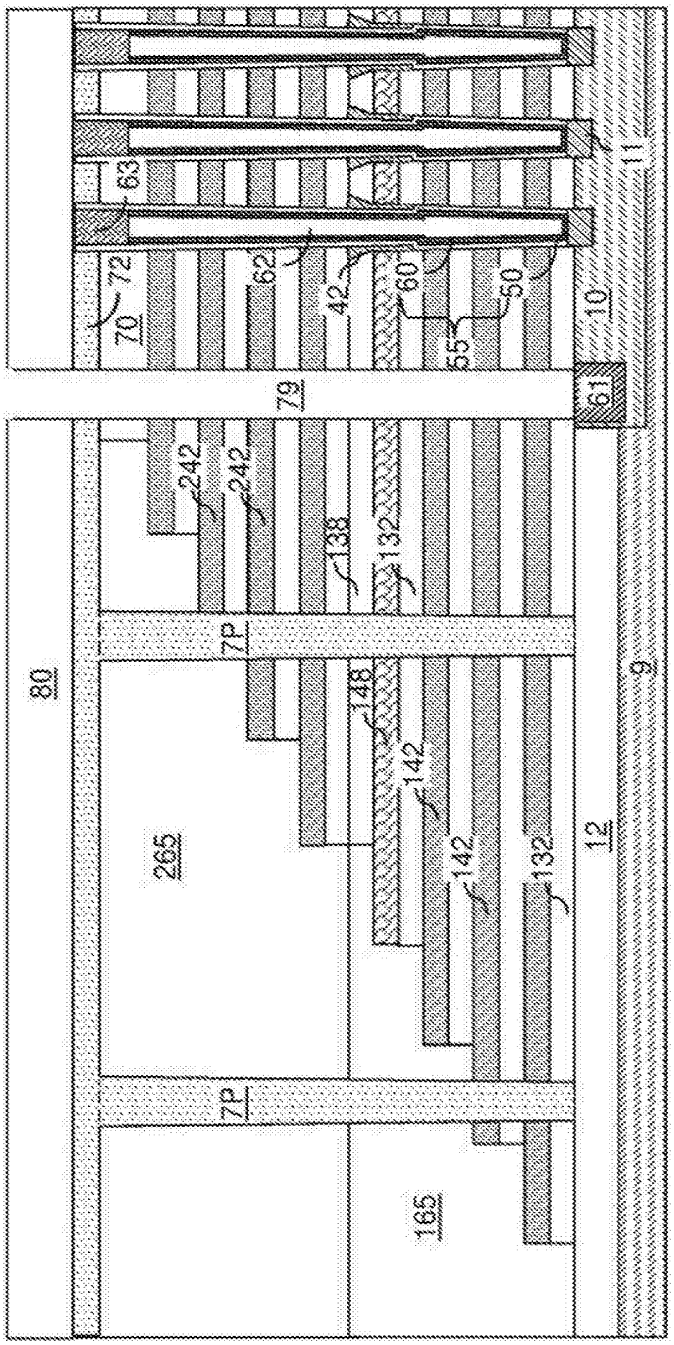


图11B

Micron Ex. 1002, p. 544
Micron v. YMTC
IPR2024-00790

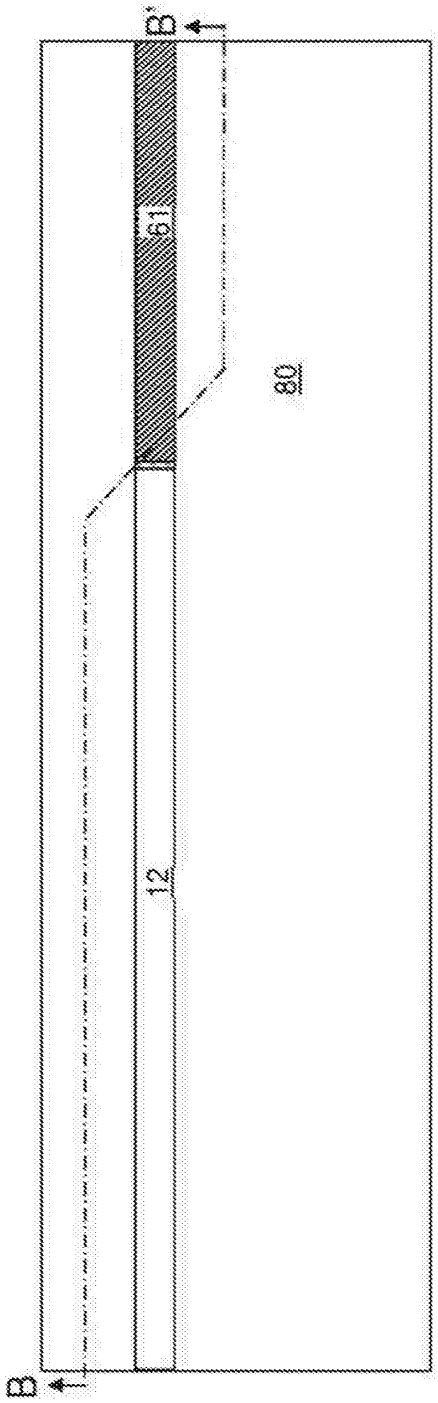


图12A

Micron Ex. 1002, p. 545
Micron v. YMTC
IPR2024-00790

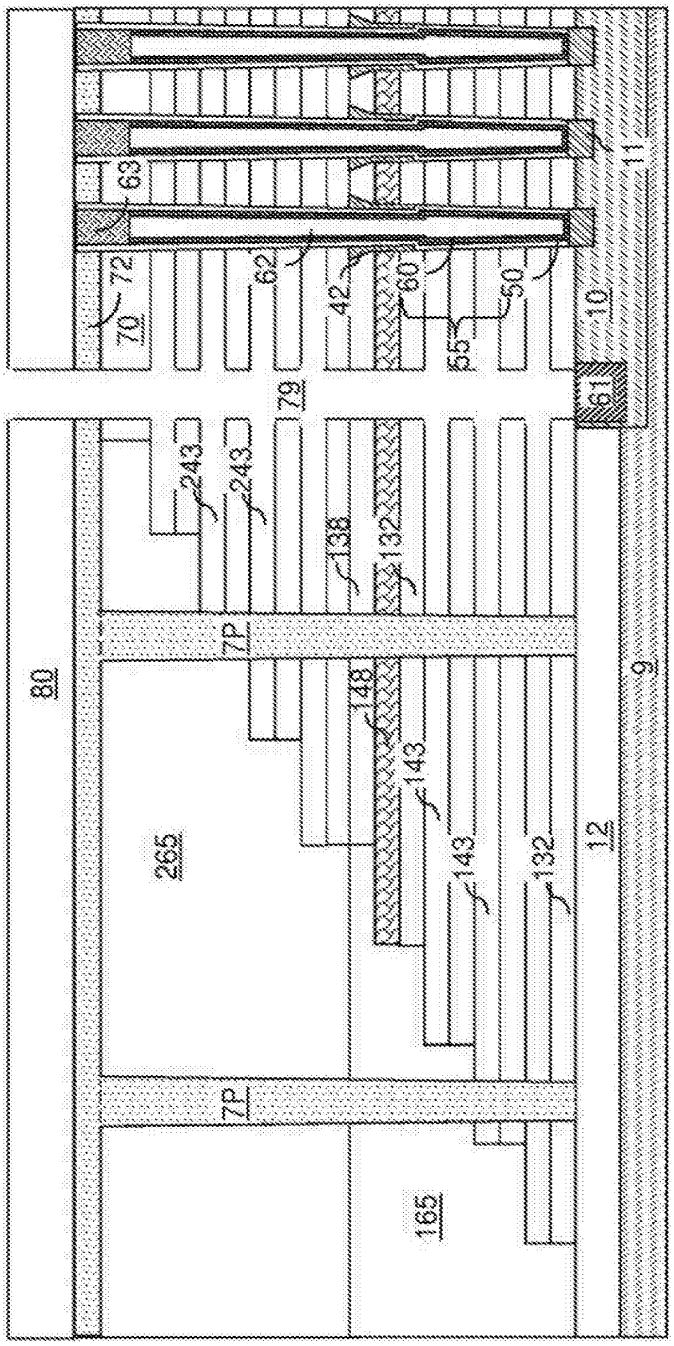


图12B

Micron Ex. 1002, p. 546
Micron v. YMTC
IPR2024-00790

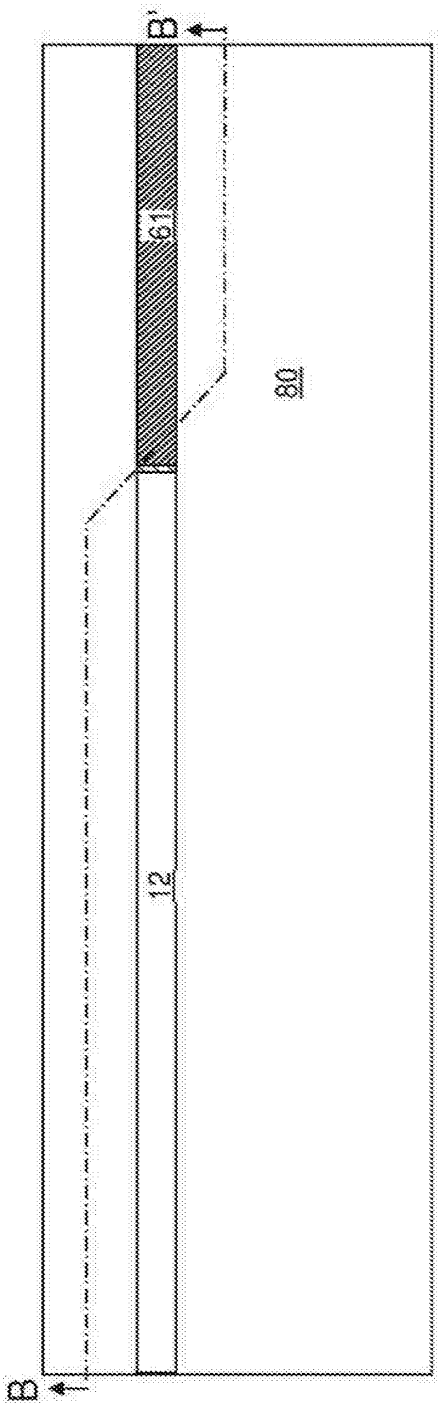


图13A

Micron Ex. 1002, p. 547
Micron v. YMTC
IPR2024-00790

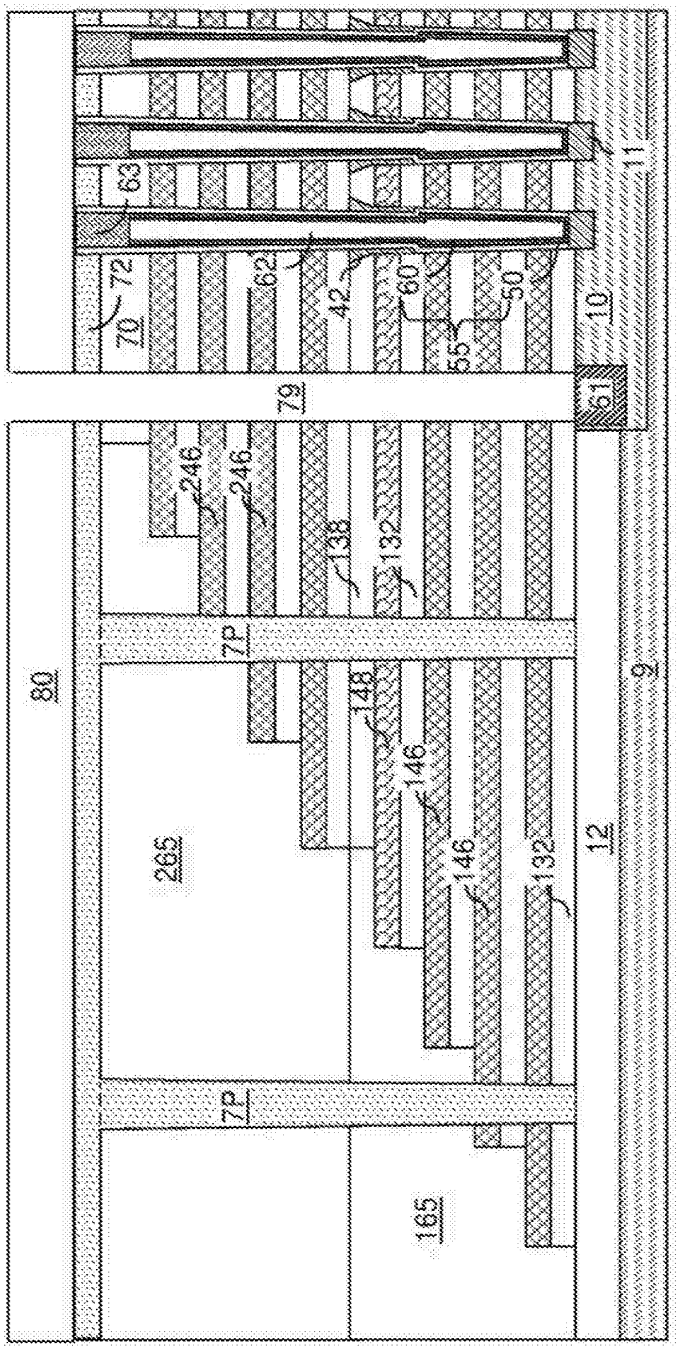


图13B

Micron Ex. 1002, p. 548
Micron v. YMTC
IPR2024-00790

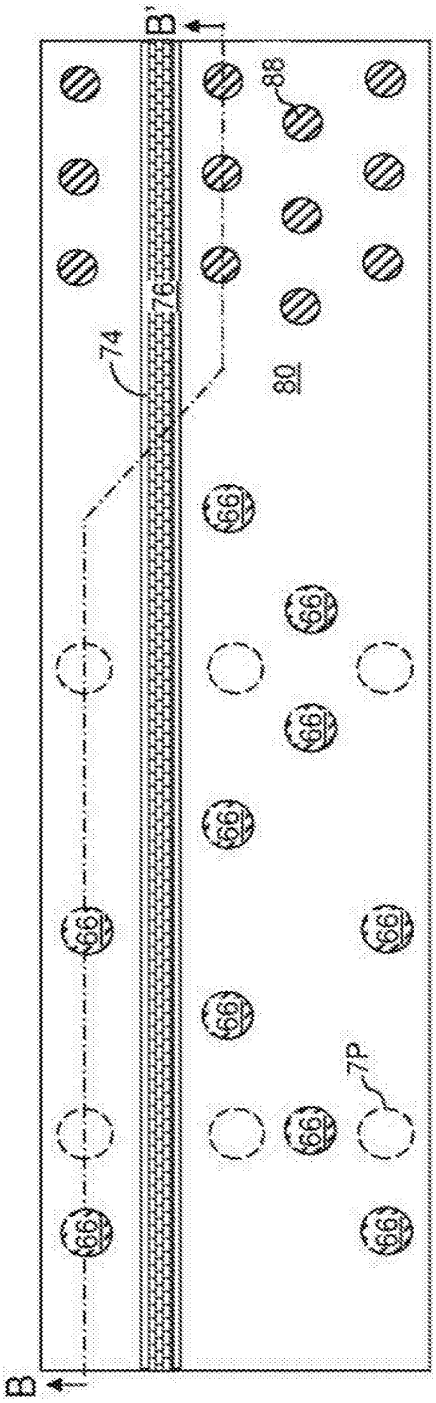


图14A

Micron Ex. 1002, p. 549
Micron v. YMTC
IPR2024-00790

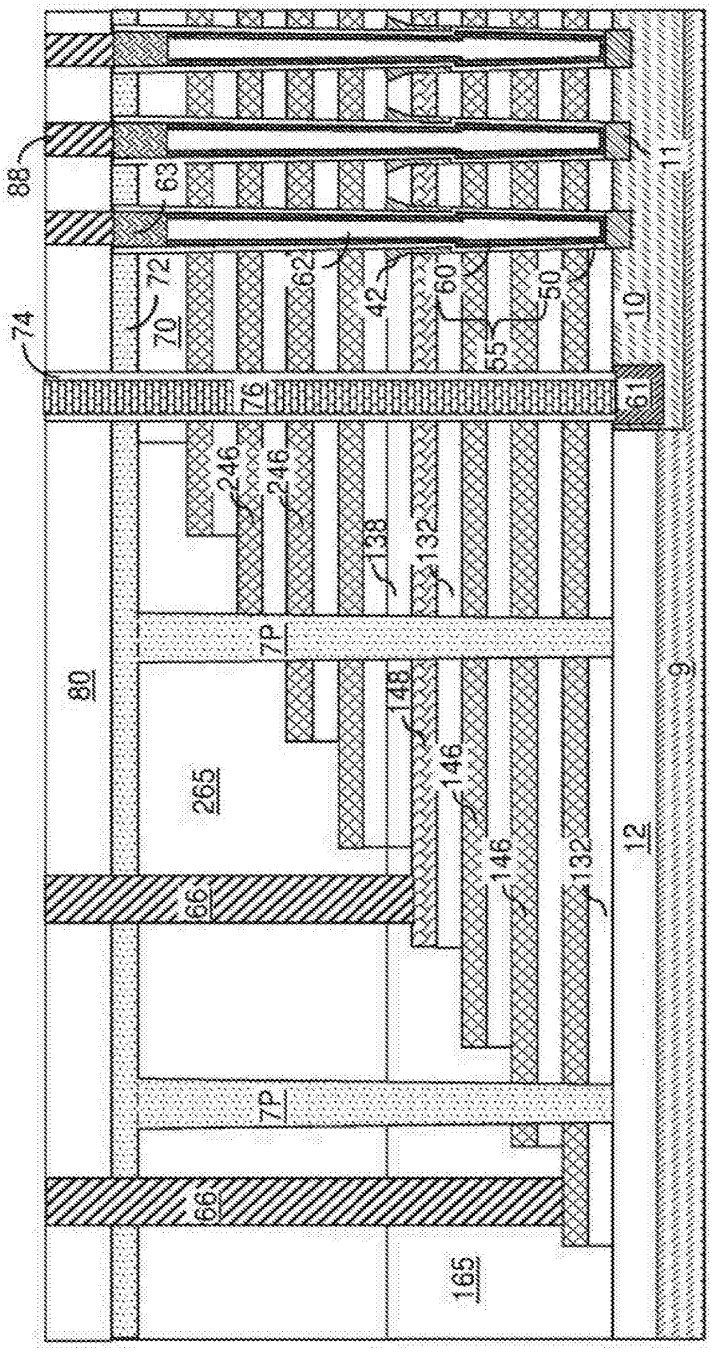


图14B

Micron Ex. 1002, p. 550
Micron v. YMTC
IPR2024-00790

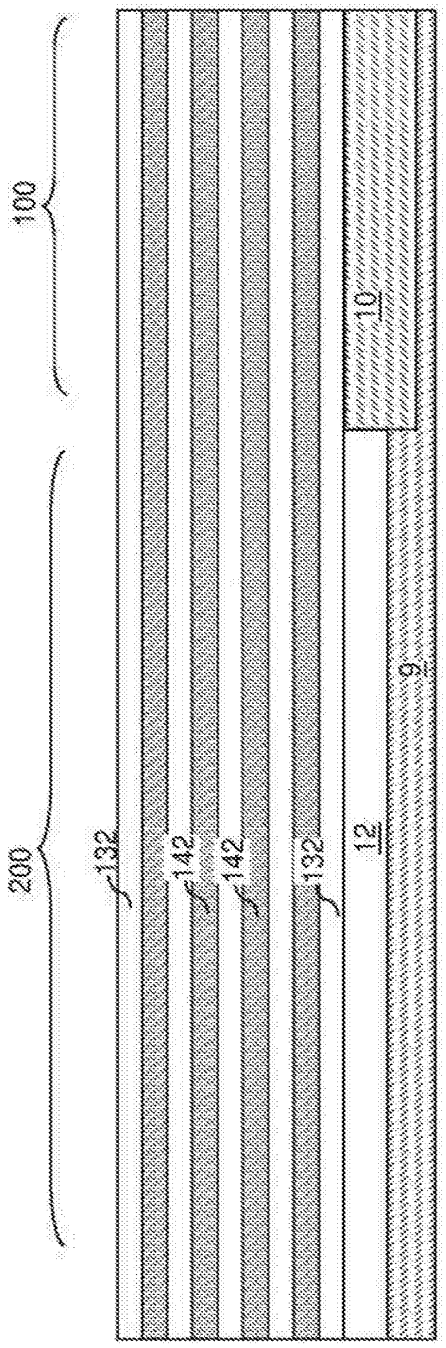


图15

Micron Ex. 1002, p. 551
Micron v. YMTC
IPR2024-00790

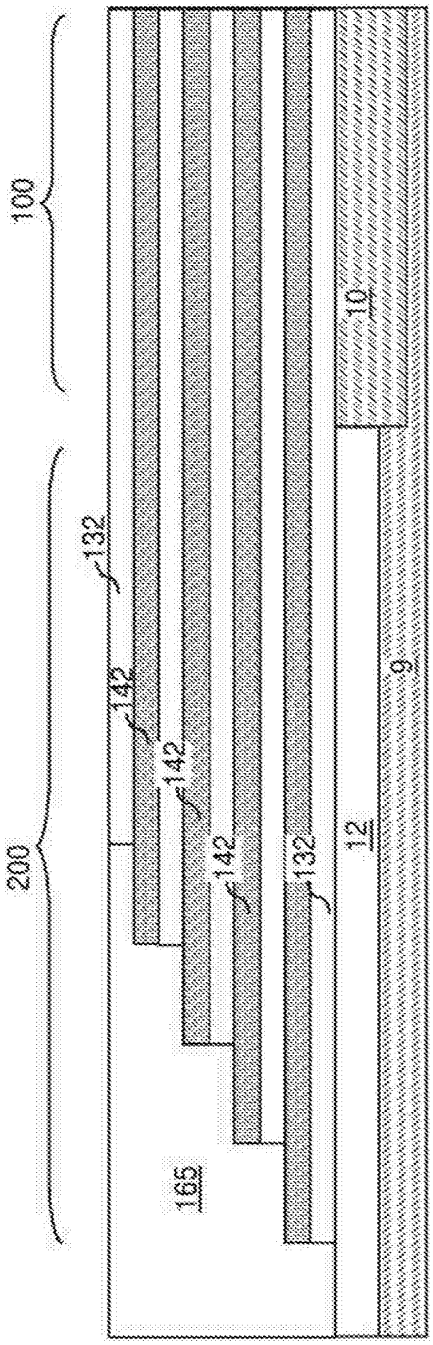


图16

Micron Ex. 1002, p. 552
Micron v. YMTC
IPR2024-00790

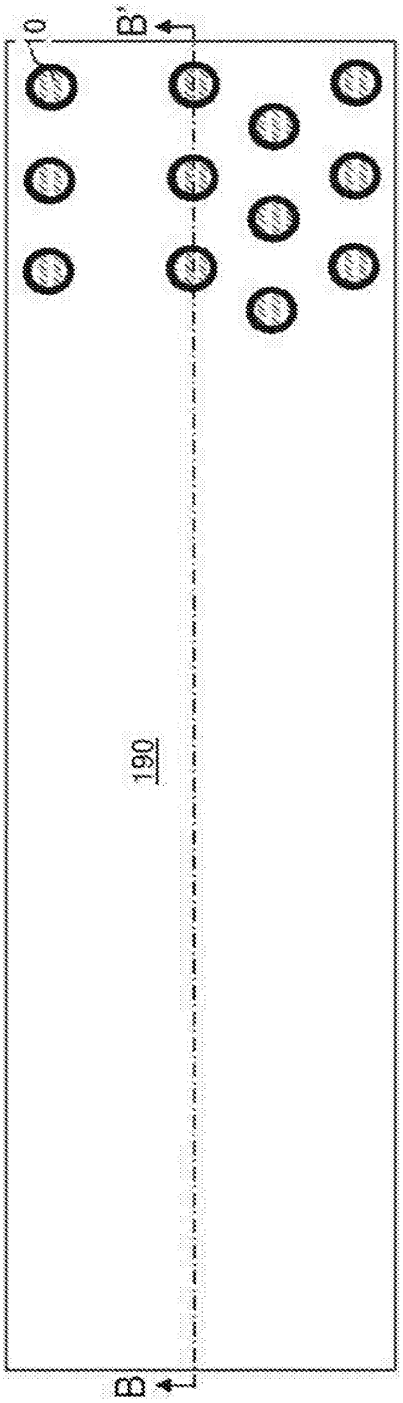


图17A

Micron Ex. 1002, p. 553
Micron v. YMTC
IPR2024-00790

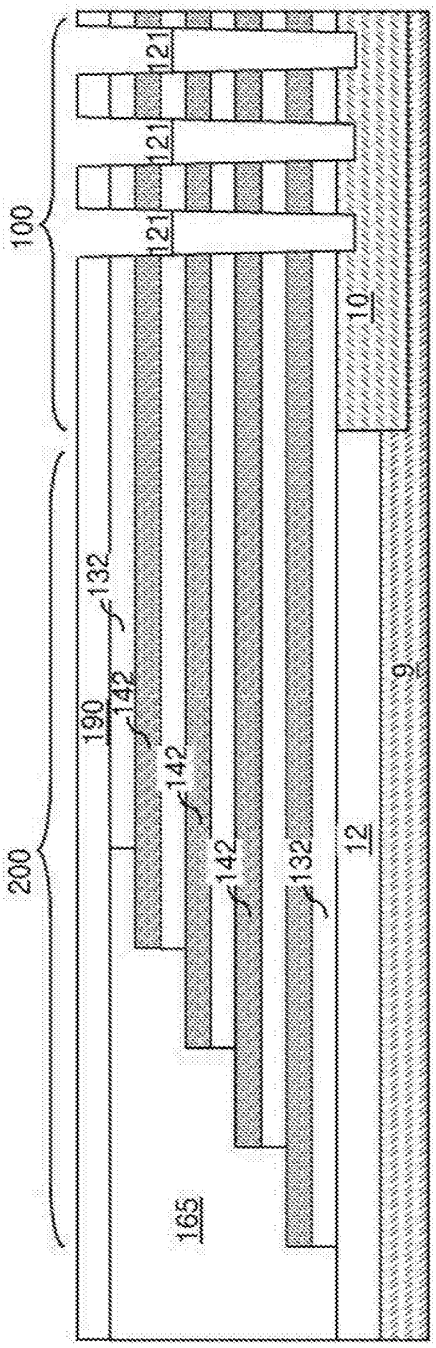


图17B

Micron Ex. 1002, p. 554
Micron v. YMTC
IPR2024-00790

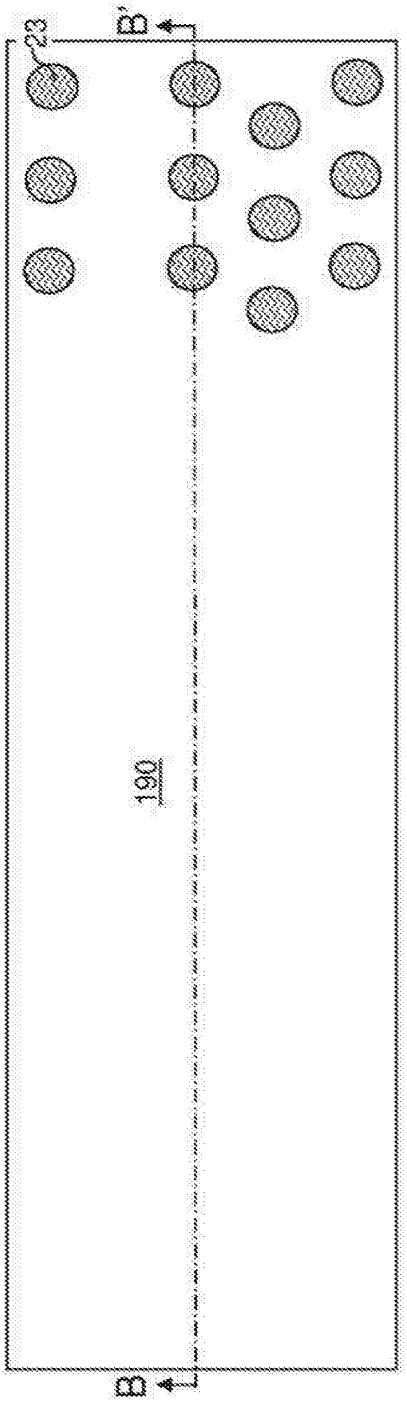


图18A

Micron Ex. 1002, p. 555
Micron v. YMTC
IPR2024-00790

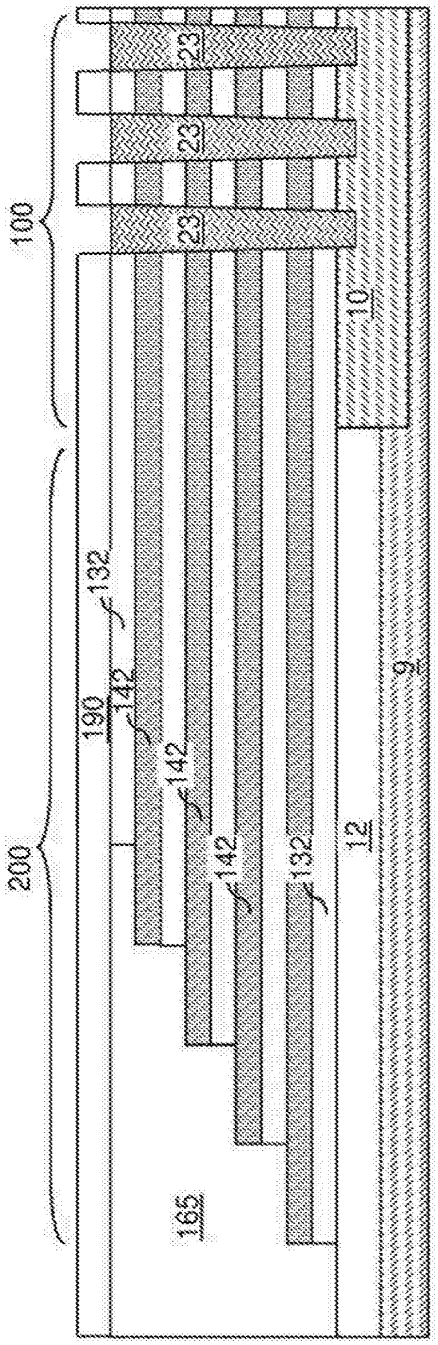


图18B

Micron Ex. 1002, p. 556
Micron v. YMTC
IPR2024-00790

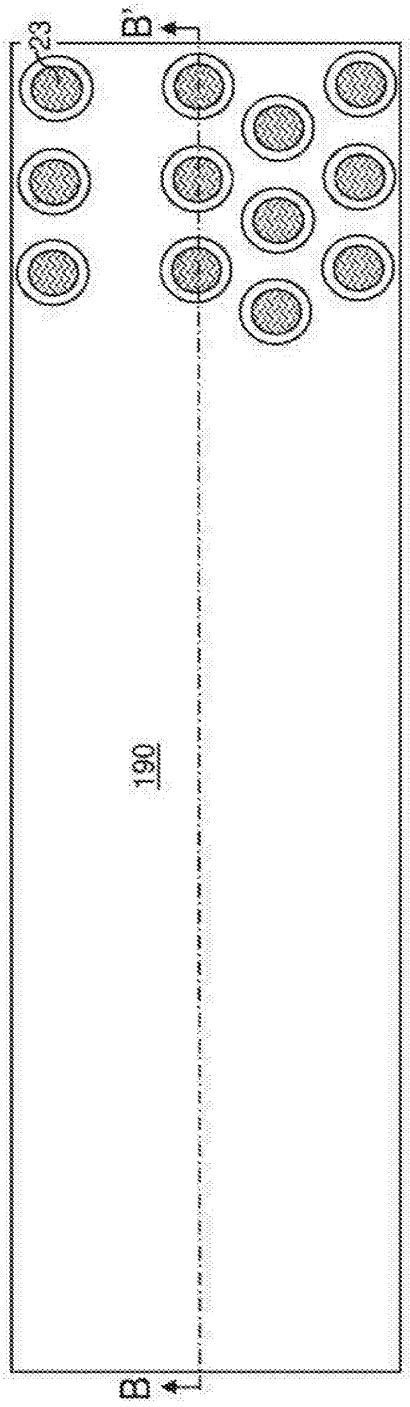


图19A

Micron Ex. 1002, p. 557
Micron v. YMTC
IPR2024-00790

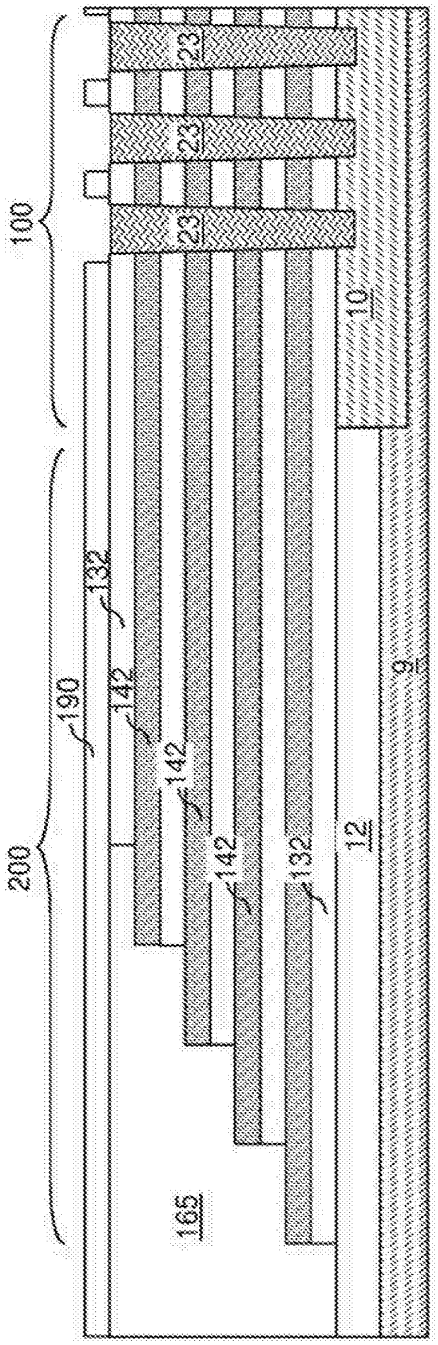


图19B

Micron Ex. 1002, p. 558
Micron v. YMTC
IPR2024-00790

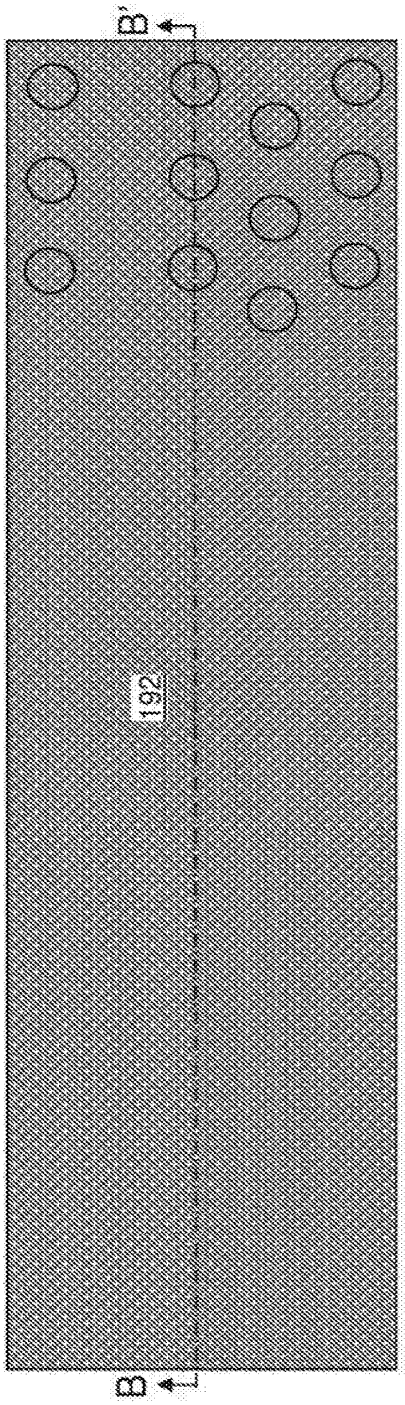


图20A

Micron Ex. 1002, p. 559
Micron v. YMTC
IPR2024-00790

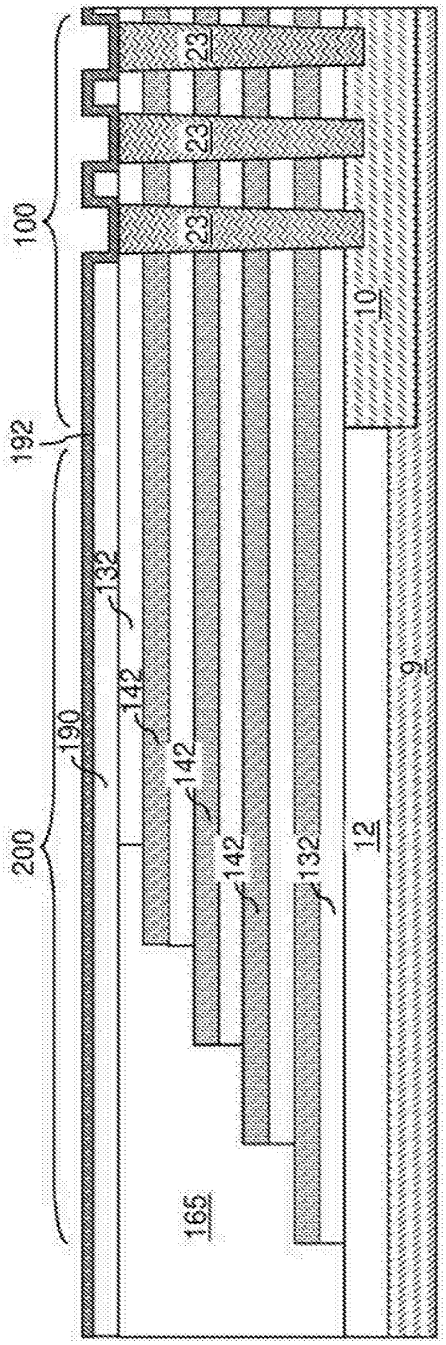


图20B

Micron Ex. 1002, p. 560
Micron v. YMTC
IPR2024-00790

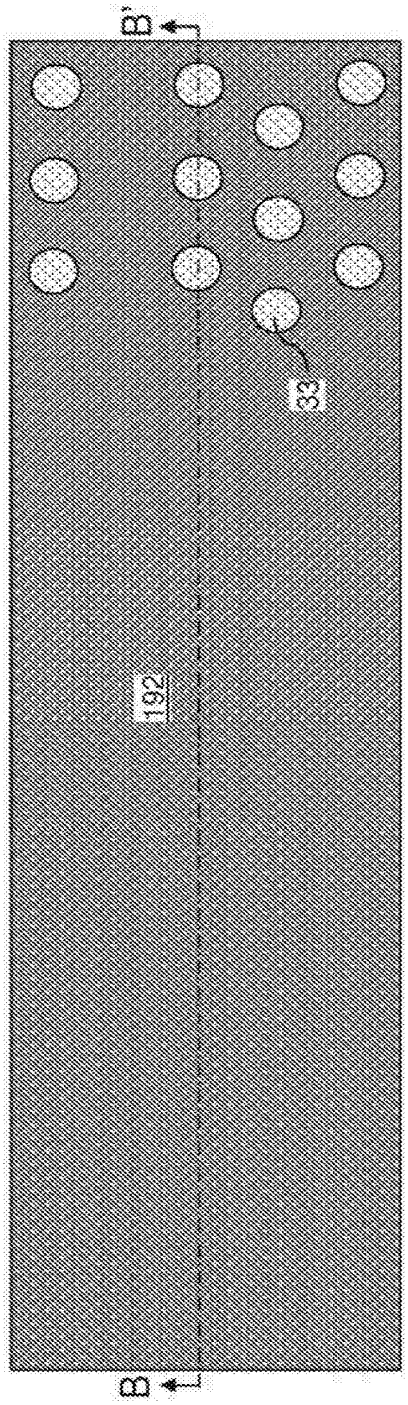


图21A

Micron Ex. 1002, p. 561
Micron v. YMTC
IPR2024-00790

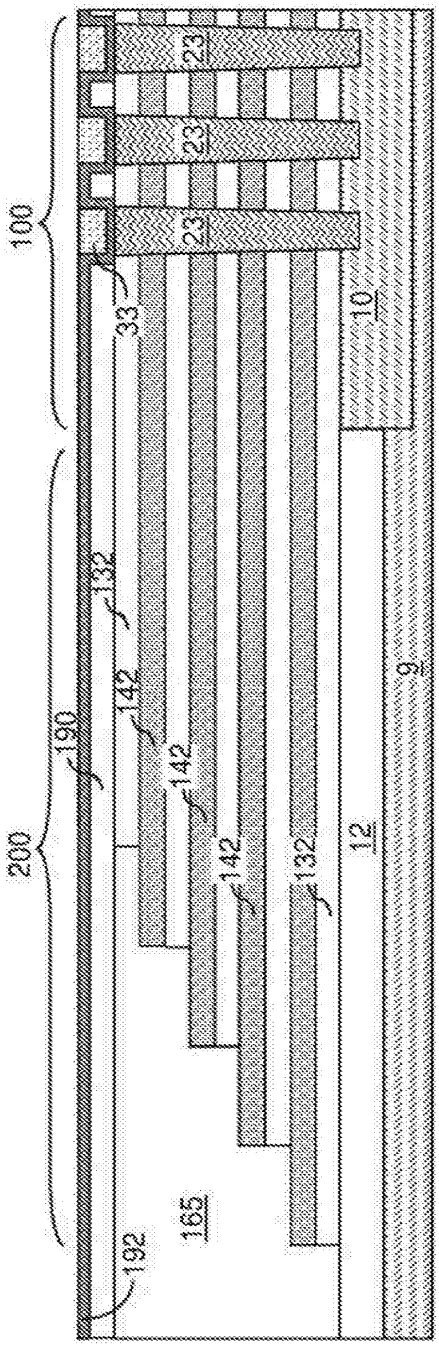


图21B

Micron Ex. 1002, p. 562
Micron v. YMTC
IPR2024-00790

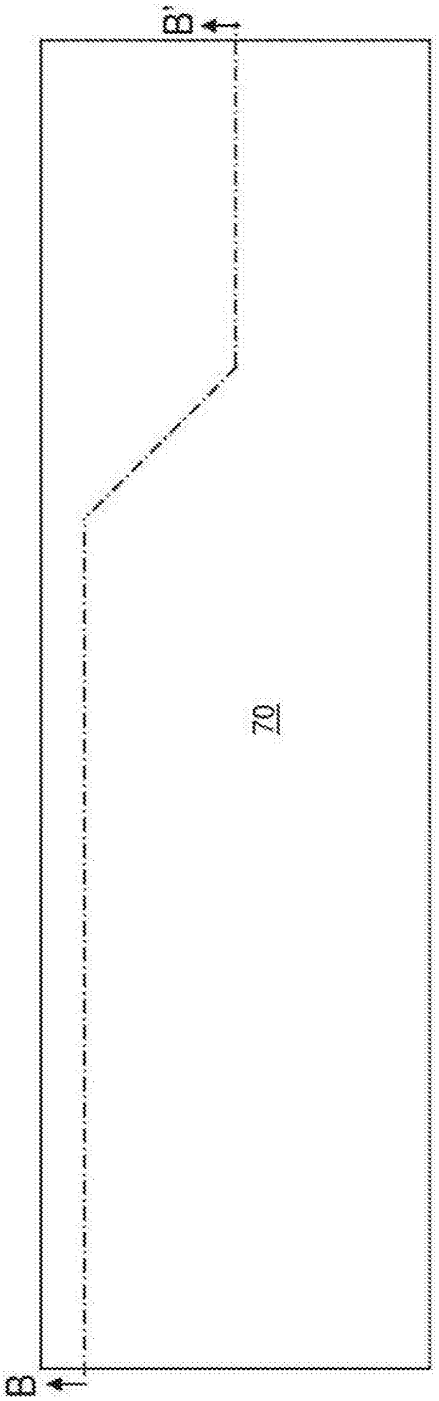


图22A

Micron Ex. 1002, p. 563
Micron v. YMTC
IPR2024-00790

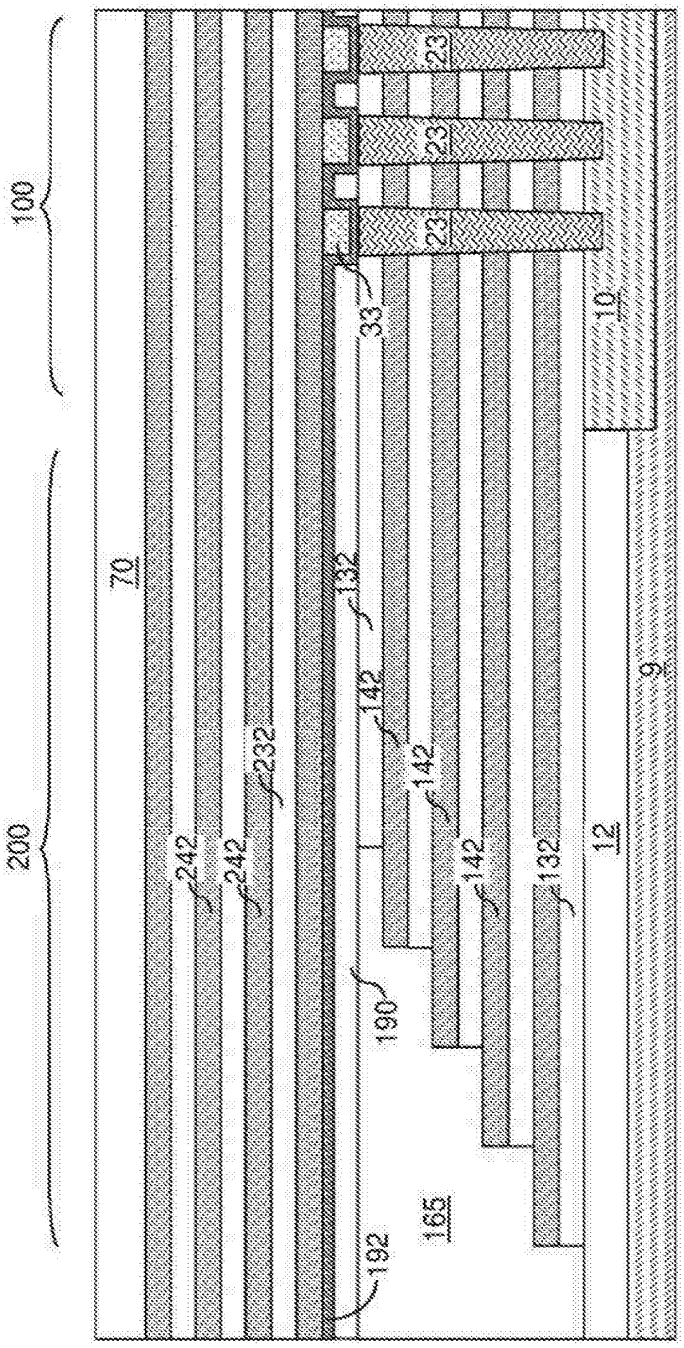


图22B

Micron Ex. 1002, p. 564
Micron v. YMTC
IPR2024-00790

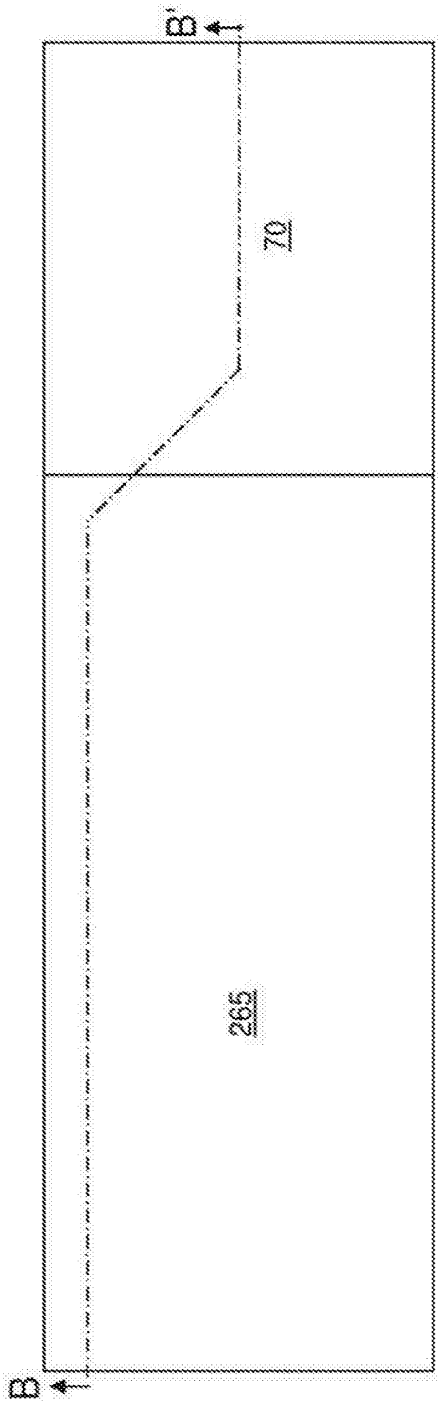


图23A

Micron Ex. 1002, p. 565
Micron v. YMTC
IPR2024-00790

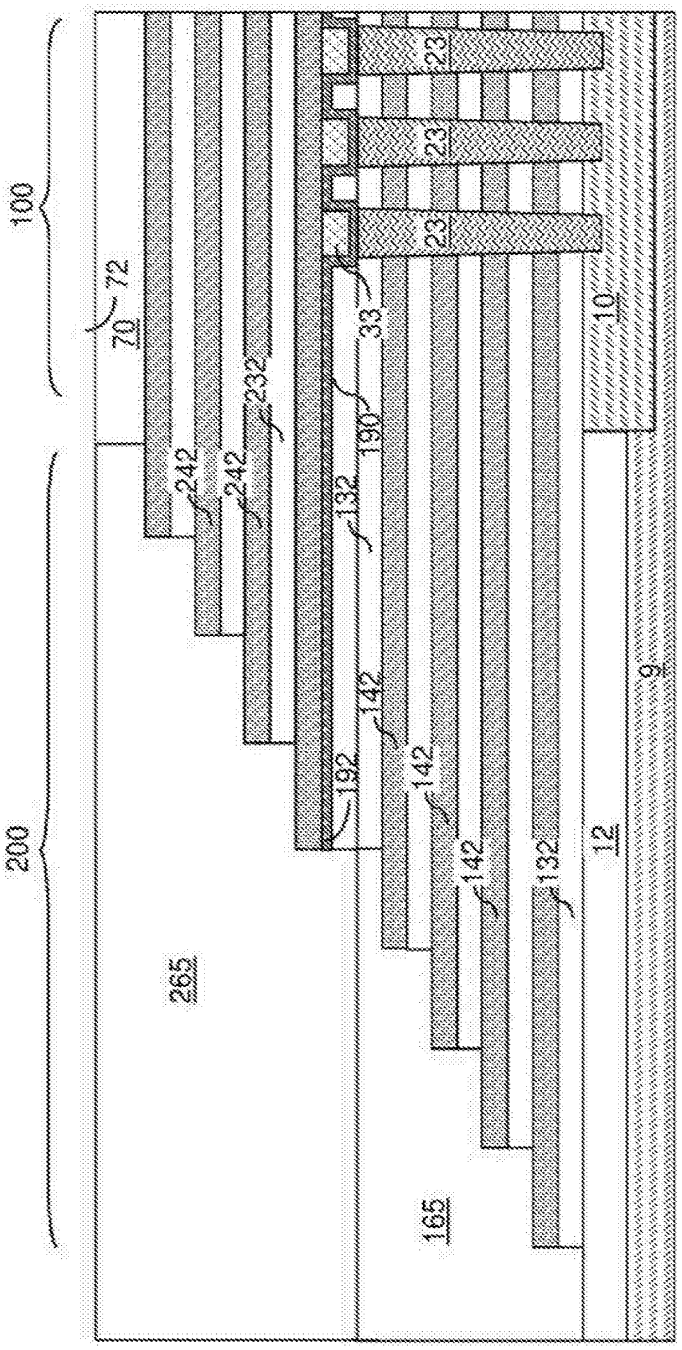


图23B

Micron Ex. 1002, p. 566
Micron v. YMTC
IPR2024-00790

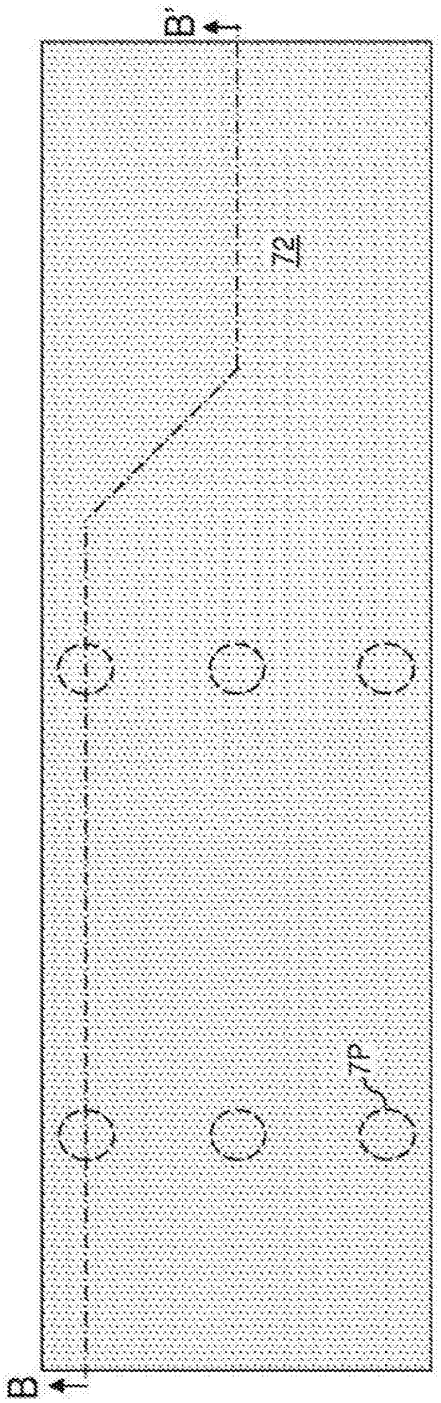


图24A

Micron Ex. 1002, p. 567
Micron v. YMTC
IPR2024-00790

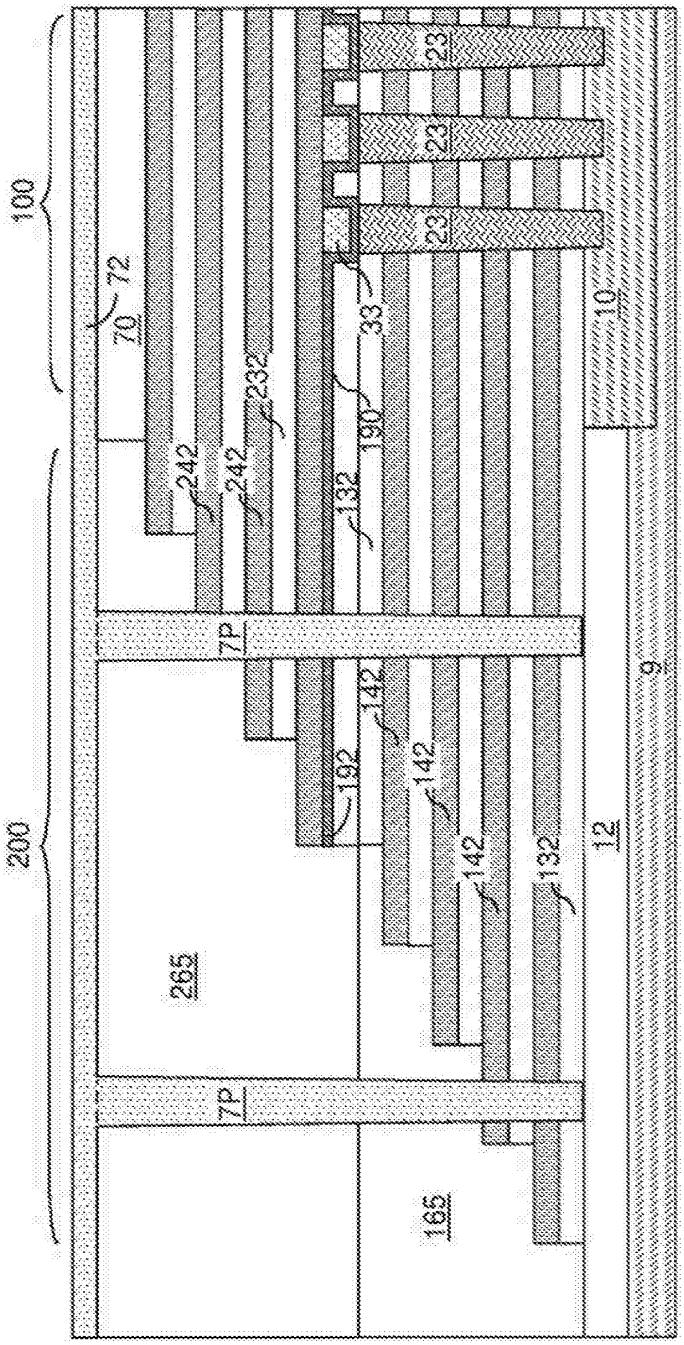


图24B

Micron Ex. 1002, p. 568
Micron v. YMTC
IPR2024-00790

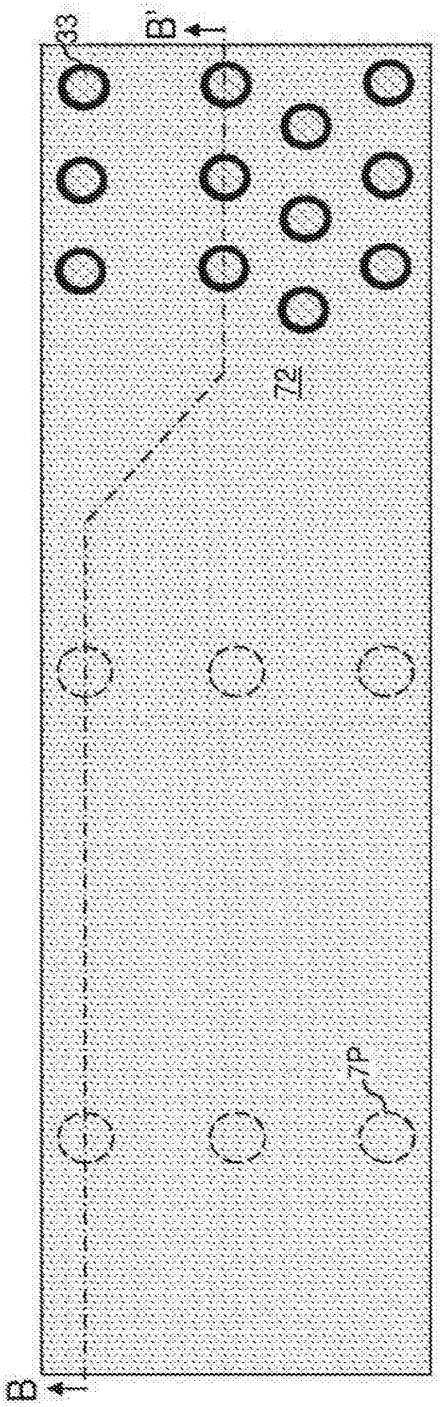


图25A

Micron Ex. 1002, p. 569
Micron v. YMTC
IPR2024-00790

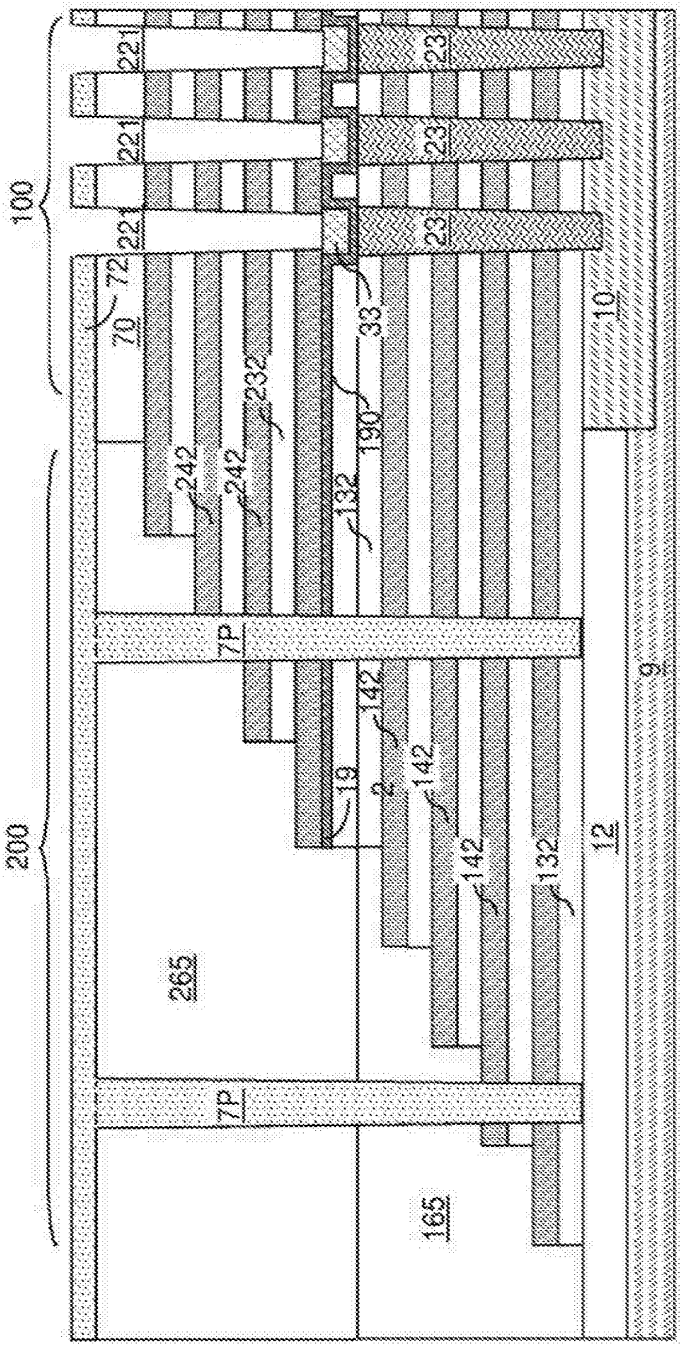


图25B

Micron Ex. 1002, p. 570
Micron v. YMTC
IPR2024-00790

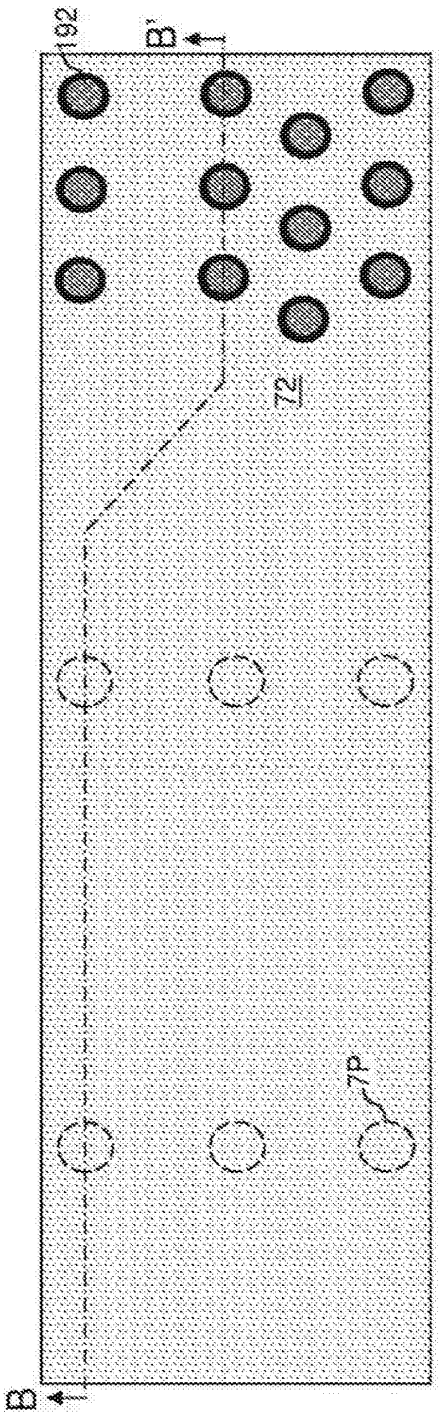


图26A

Micron Ex. 1002, p. 571
Micron v. YMTC
IPR2024-00790

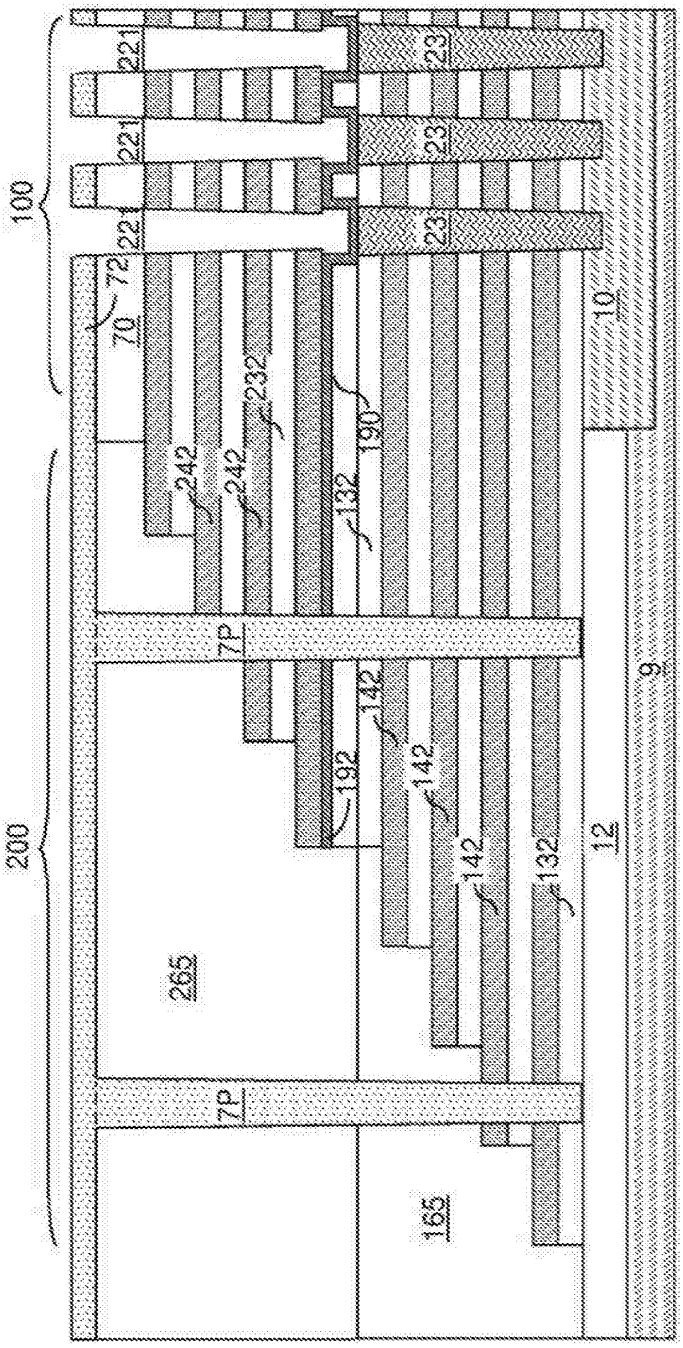


图26B

Micron Ex. 1002, p. 572
Micron v. YMTC
IPR2024-00790

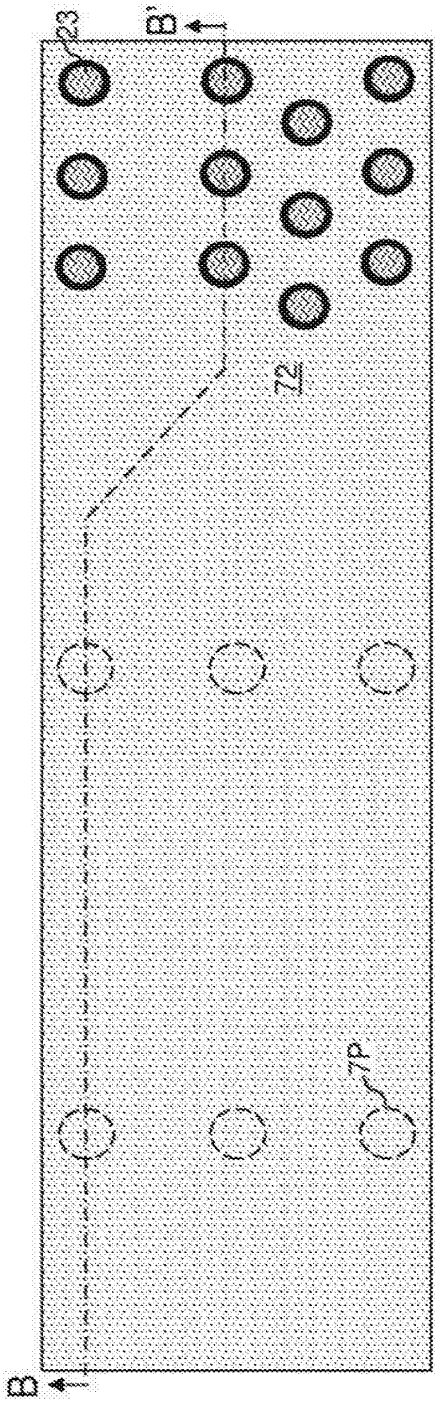


图27A

Micron Ex. 1002, p. 573
Micron v. YMTC
IPR2024-00790

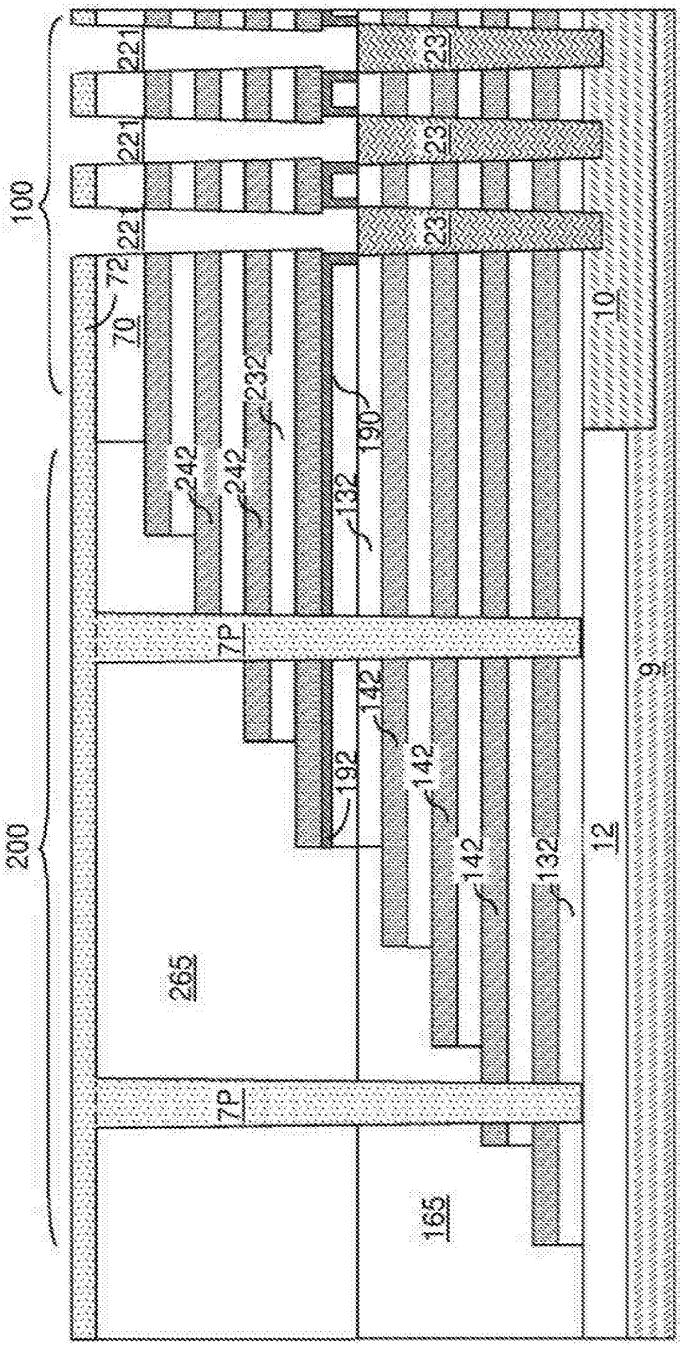


图27B

Micron Ex. 1002, p. 574
Micron v. YMTC
IPR2024-00790

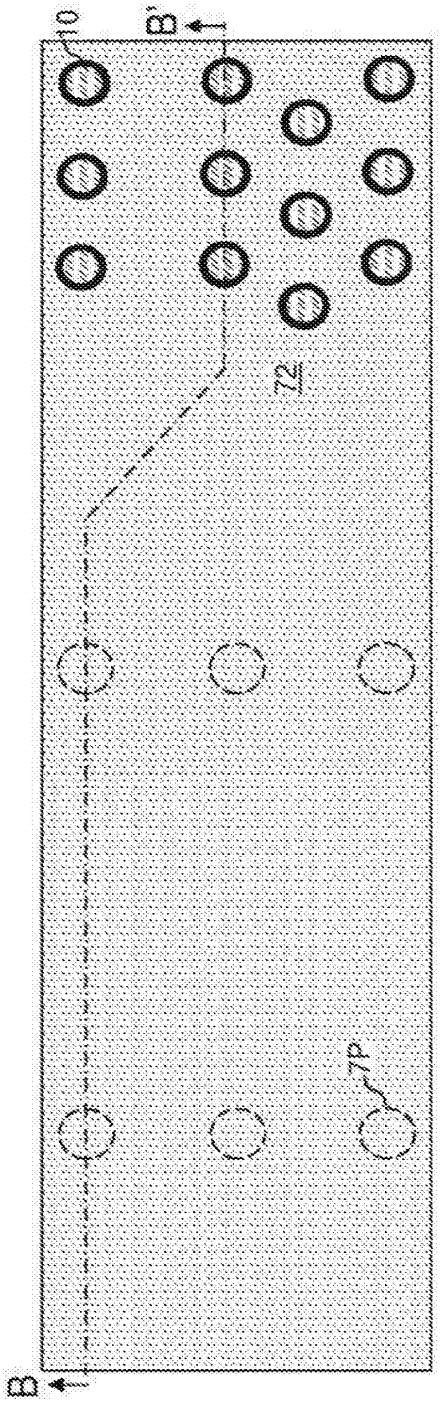


图28A

Micron Ex. 1002, p. 575
Micron v. YMTC
IPR2024-00790

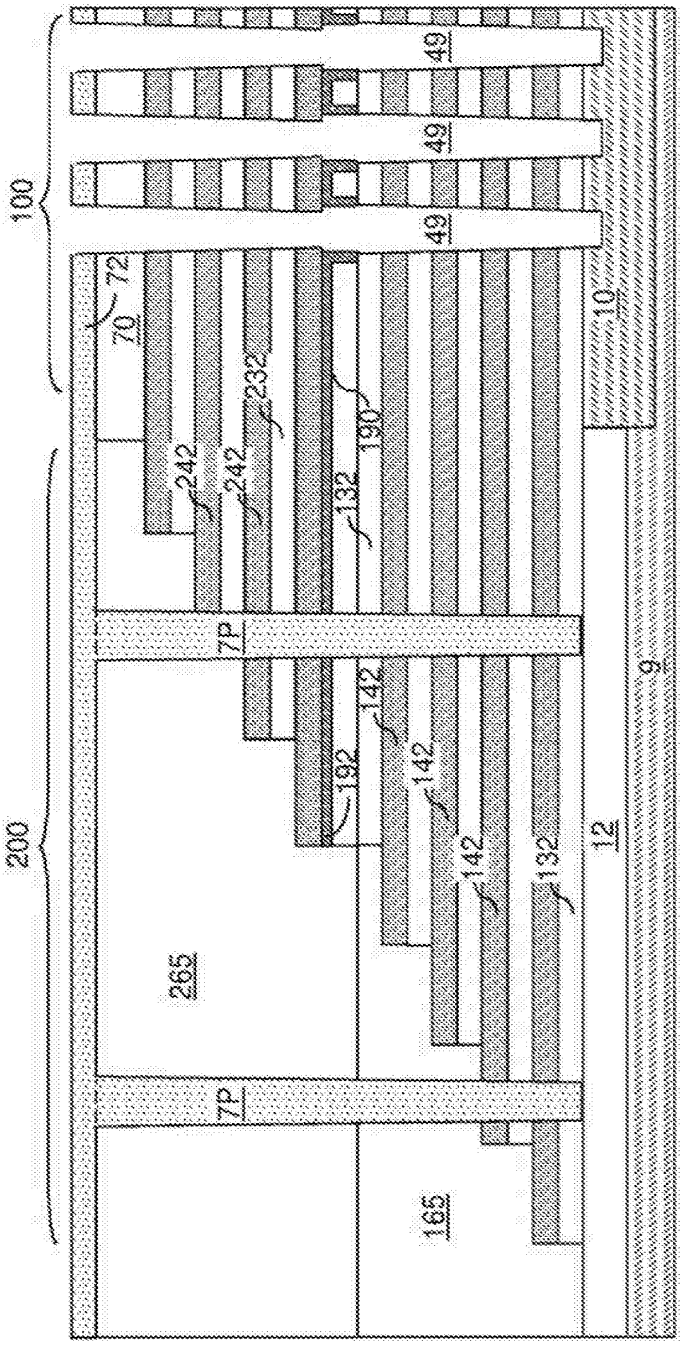


图28B

Micron Ex. 1002, p. 576
Micron v. YMTC
IPR2024-00790

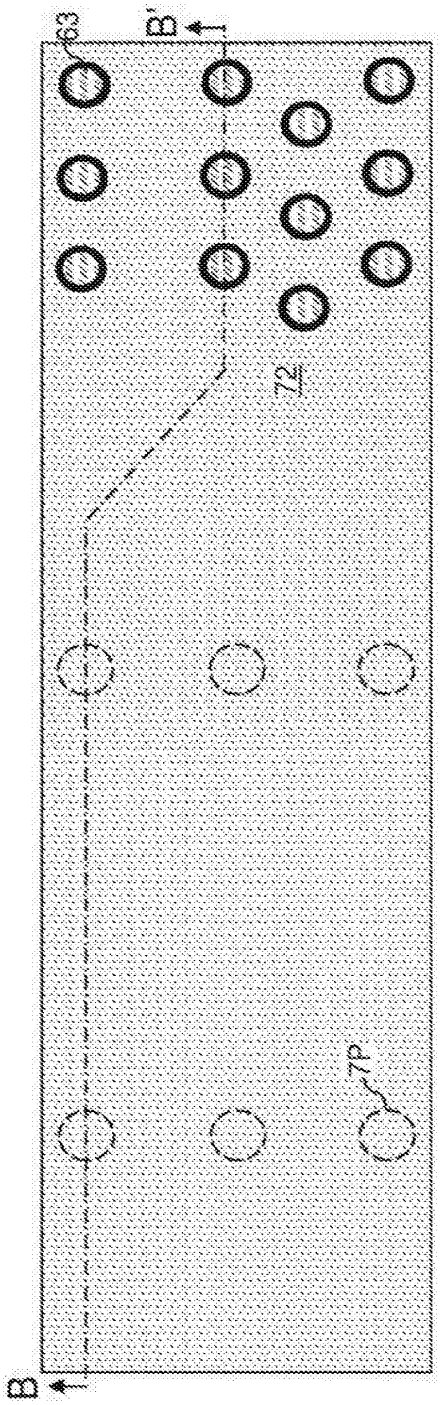


图29A

Micron Ex. 1002, p. 577
Micron v. YMTC
IPR2024-00790

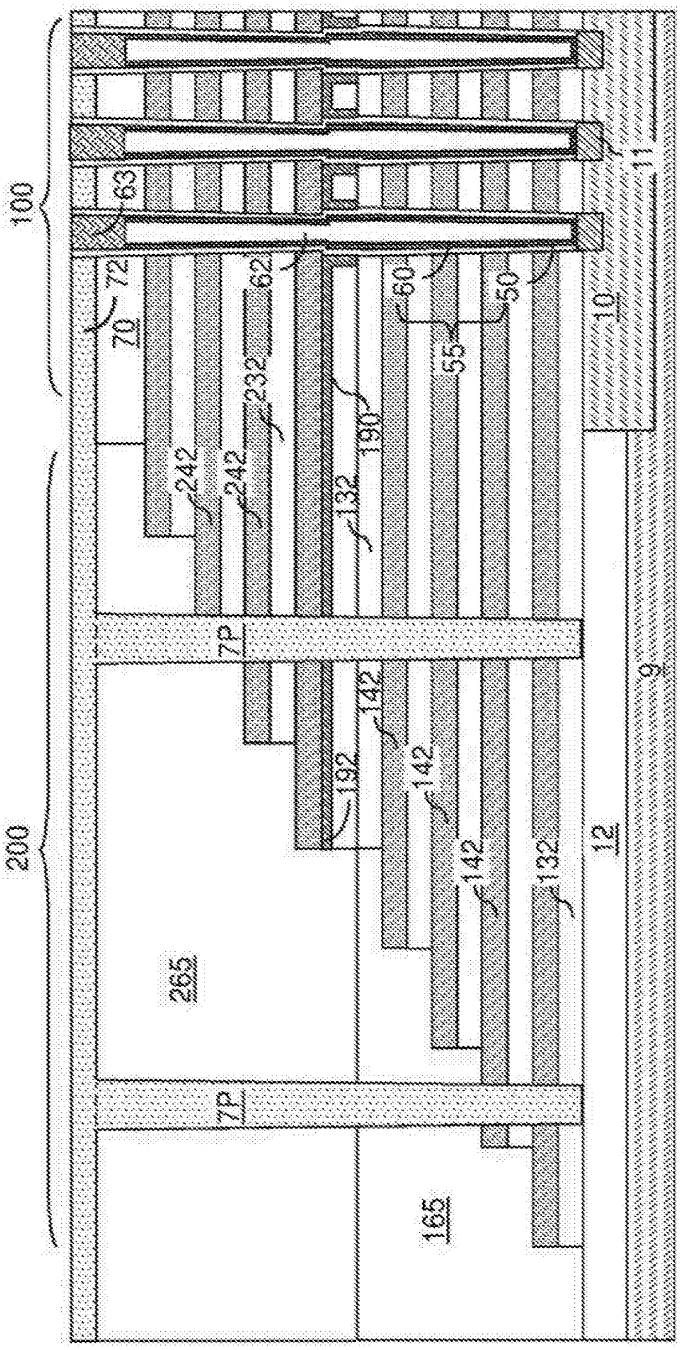


图29B

Micron Ex. 1002, p. 578
Micron v. YMTC
IPR2024-00790

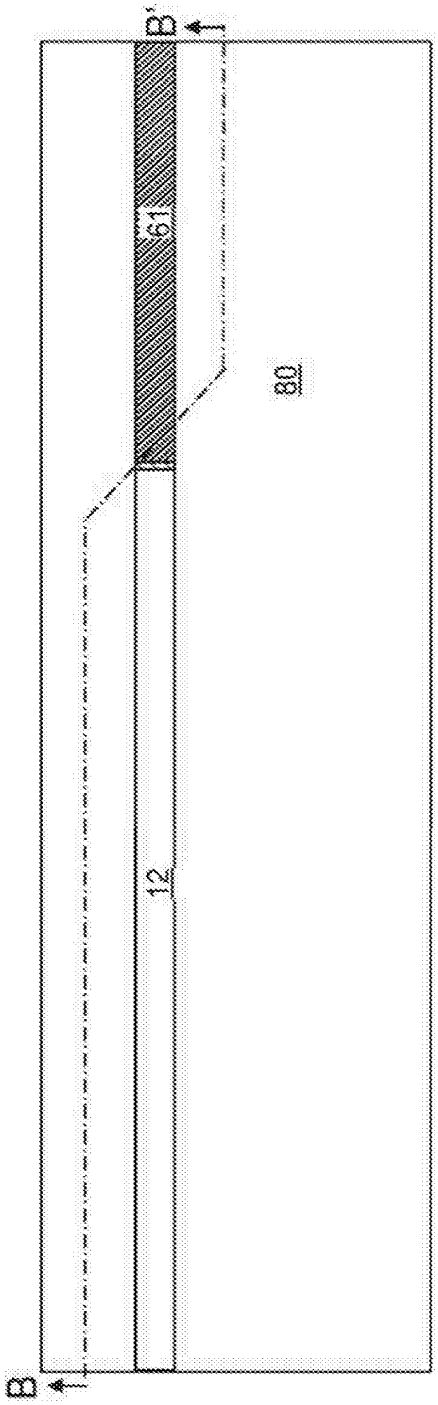


图30A

Micron Ex. 1002, p. 579
Micron v. YMTC
IPR2024-00790

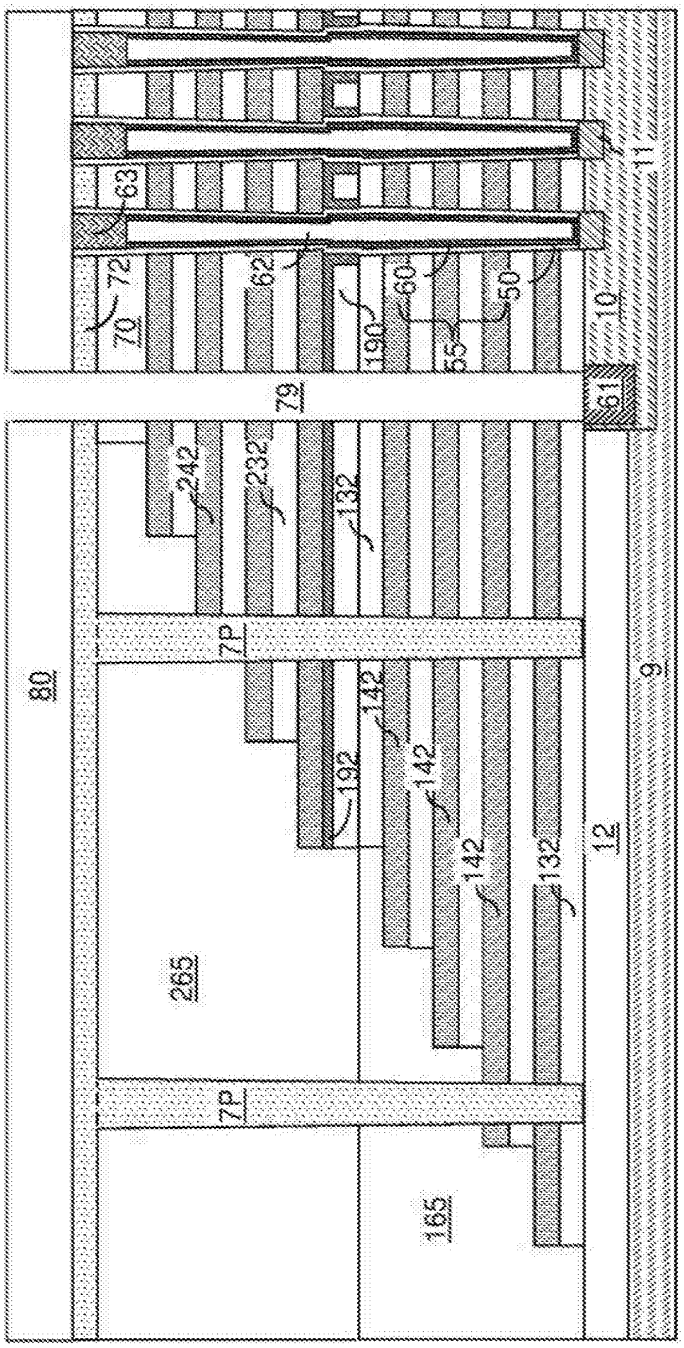


图30B

Micron Ex. 1002, p. 580
Micron v. YMTC
IPR2024-00790

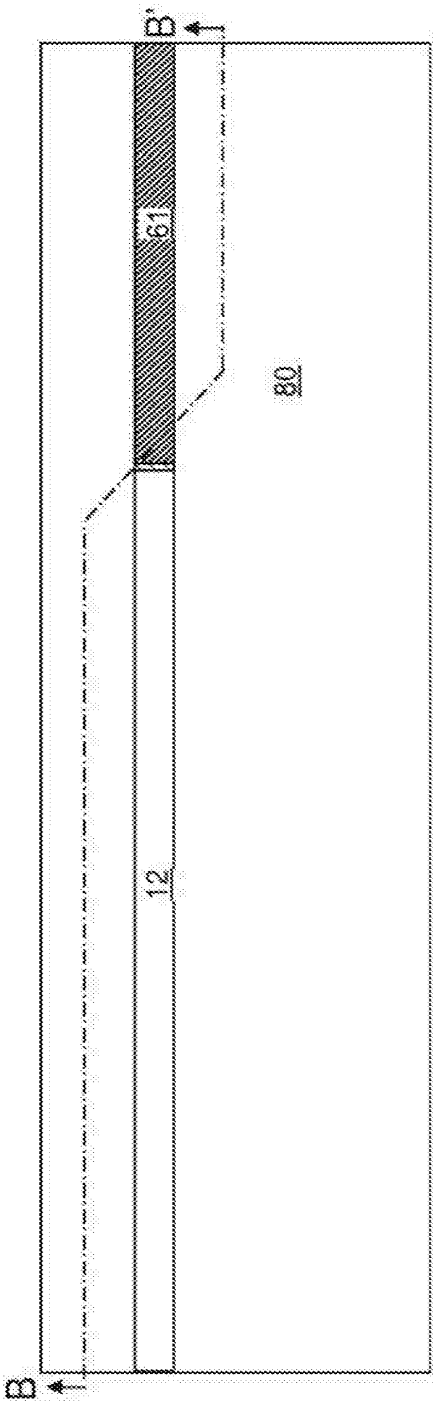


图31A

Micron Ex. 1002, p. 581
Micron v. YMTC
IPR2024-00790

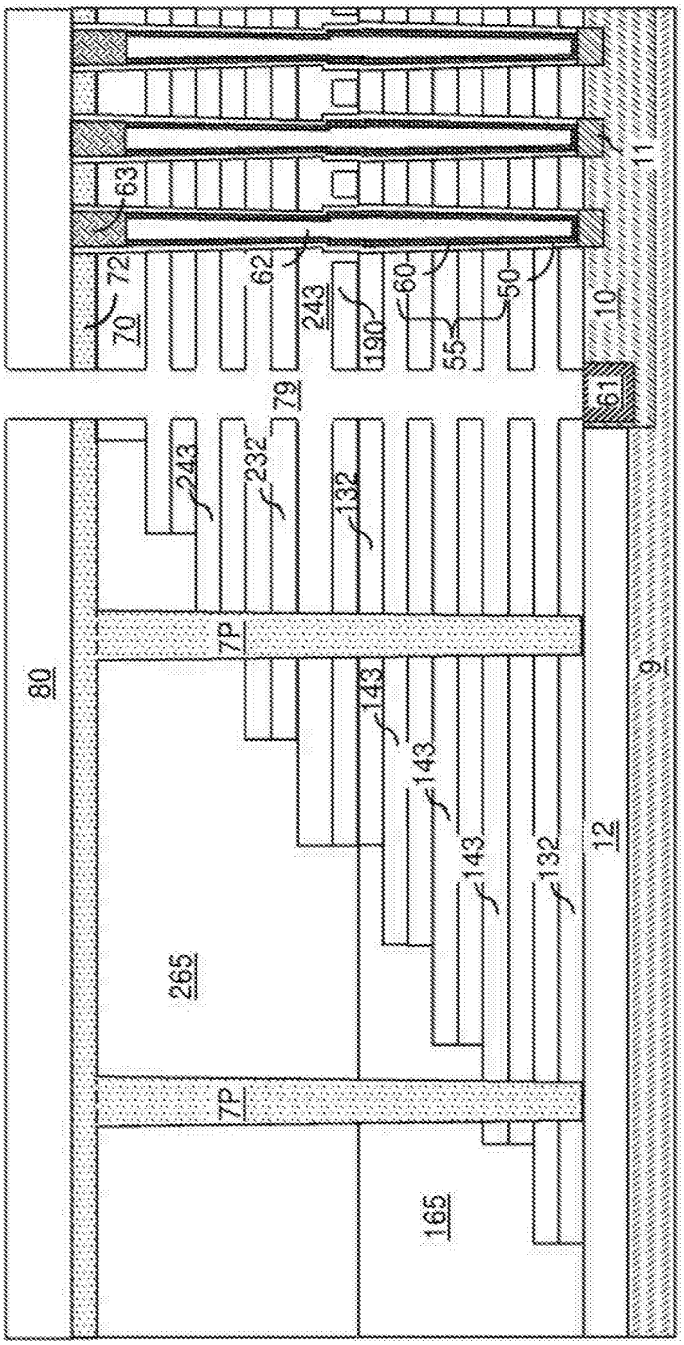


图31B

Micron Ex. 1002, p. 582
Micron v. YMTC
IPR2024-00790

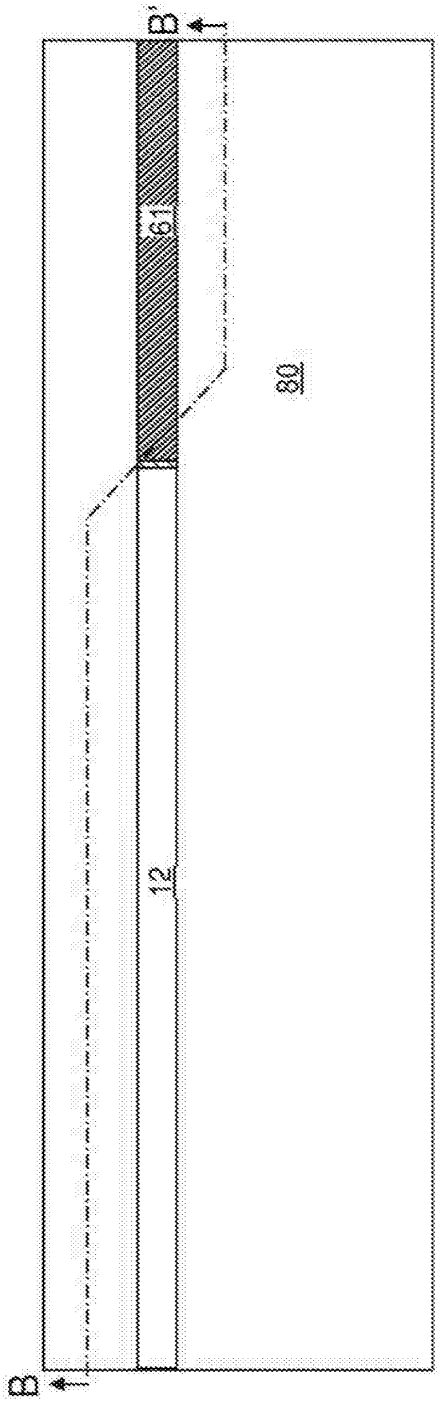


图32A

Micron Ex. 1002, p. 583
Micron v. YMTC
IPR2024-00790

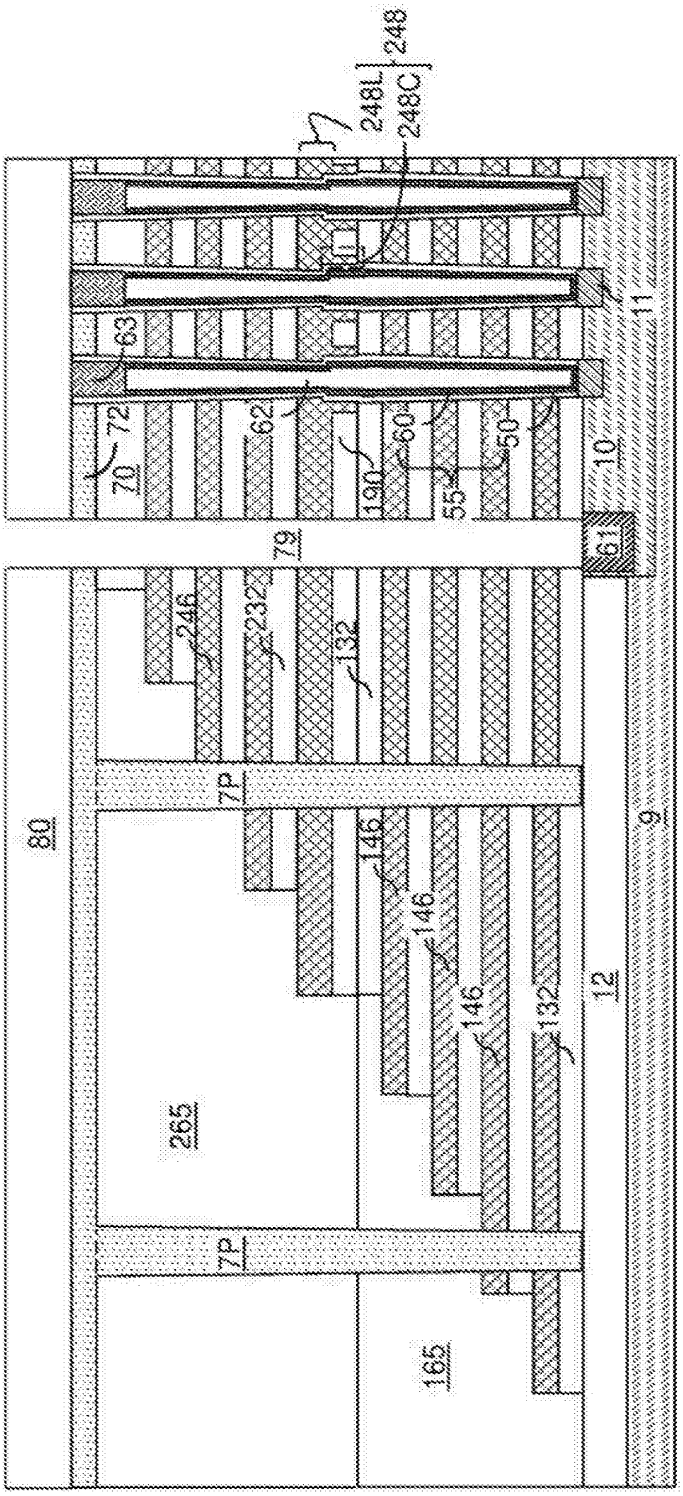


图32B

Micron Ex. 1002, p. 584
Micron v. YMTC
IPR2024-00790

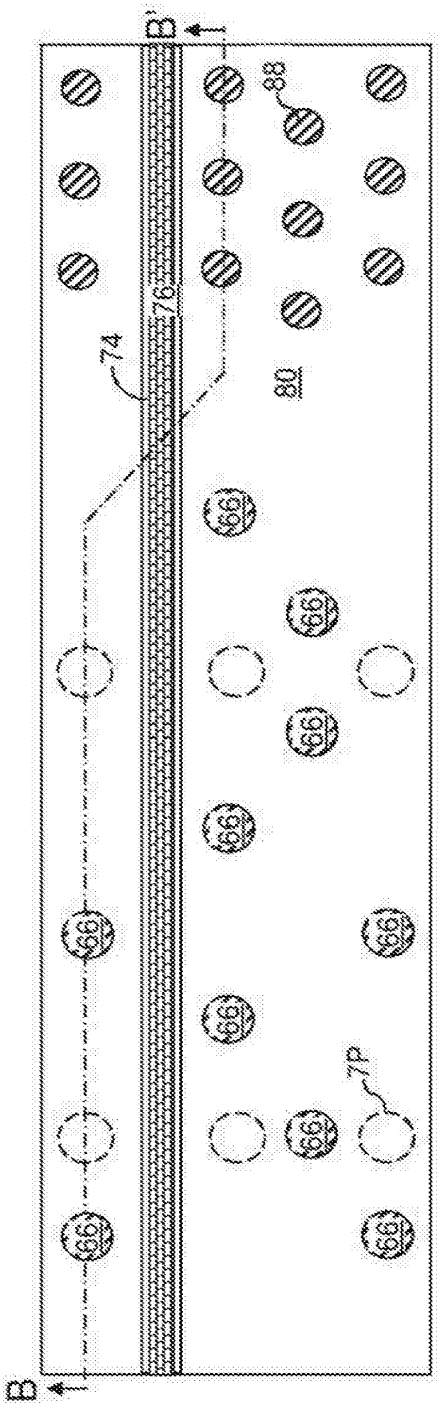


图33A

Micron Ex. 1002, p. 585
Micron v. YMTC
IPR2024-00790

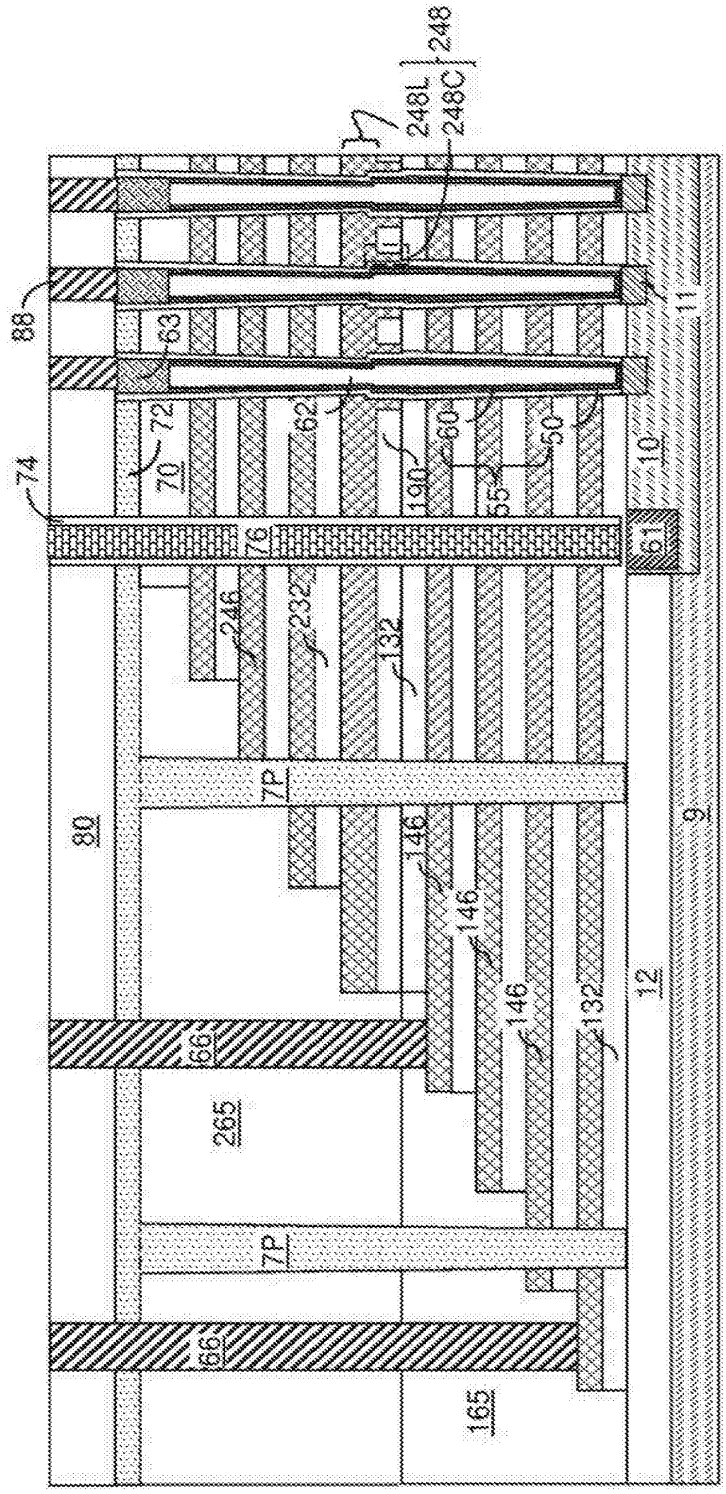


图33B

Micron Ex. 1002, p. 586
Micron v. YMTC
IPR2024-00790

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0076298
(43) 공개일자 2018년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/11556 (2017.01) *H01L 27/11524* (2017.01)
H01L 27/11529 (2017.01)
(52) CPC특허분류
H01L 27/11556 (2013.01)
H01L 27/11524 (2013.01)
(21) 출원번호 10-2017-0166138
(22) 출원일자 2017년12월05일
심사청구일자 없음
(30) 우선권주장
16206998.3 2016년12월27일
유럽특허청(EPO)(EP)

(71) 출원인
아이엠이씨 브이제트더블유
벨기에 비-3001 루벤 카펠드리프 75
(72) 발명자
반 하우트, 얀
벨기에 3001 루벤 카펠드리프 75 페이턴트 디파트먼트 아이엠이씨 브이제트더블유 내
블롬, 피터
벨기에 3001 루벤 카펠드리프 75 페이턴트 디파트먼트 아이엠이씨 브이제트더블유 내
(74) 대리인
특허법인 무한

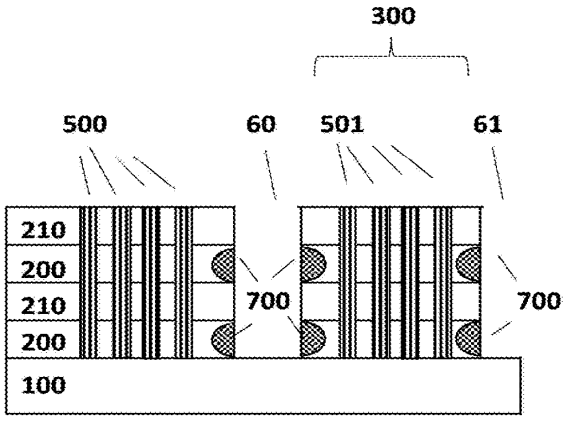
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **대체 게이트를 갖는 수직 채널형 3차원 비휘발성 반도체 메모리 디바이스의 제조방법**

(57) 요 약

메모리 디바이스의 제조 방법으로서, 상기 방법은 기판(100) 상에 제어 게이트층(200) 및 유전층(210)이 교대로 배치된 스택을 제공하는 단계; 스택을 통해 하나 이상의 메모리 홀(50, 51)을 포함하는 메모리 블록을 형성하는 단계로서, 하나 이상의 메모리 셀(500, 501)을 형성하기 위해 상기 하나 이상의 메모리 홀(50, 51)은 측벽 상에 프로그래밍 가능한 물질(120), 채널 물질(150), 및 유전 물질(220)의 스택을 포함하는 단계; 메모리 블록(300)의 경계의 적어도 일부를 형성하는 하나 이상의 트렌치(60)를 형성하기 위해 스택의 일부를 제거하는 단계; 제어 게이트층(200)에 리세스(70)를 형성하기 위해 하나 이상의 트렌치(60)의 측벽에 노출된 제어 게이트층(200)을 부분적으로 제거하는 단계; 및 전기전도성 플러그(700)를 형성하기 위해 상기 리세스(70)을 전기전도성 물질(700)로 충진하는 단계를 포함한다. 상응하는 디바이스가 또한 제공된다.

대 표 도 - 도2



Micron Ex. 1002, p. 587
Micron v. YMTC
IPR2024-00790

(52) CPC특허분류
H01L 27/11529 (2013.01)

Micron Ex. 1002, p. 588
Micron v. YMTC
IPR2024-00790

명 세 서

청구범위

청구항 1

메모리 디바이스의 제조 방법으로서,

- 기판(100) 상에 제어 게이트층(200) 및 유전층(210)이 교대로 배치된 스택을 제공하는 단계;

- 상기 스택을 통해 하나 이상의 메모리 홀(50, 51)을 포함하는 메모리 블록(300)을 형성하는 단계로서, 상기 하나 이상의 메모리 홀(50, 51)은 그 측벽 상에 프로그래밍 가능한 물질(120), 채널 물질(150), 및 유전 물질(220)의 스택을 포함하여, 하나 이상의 메모리 셀(350)을 형성하는, 단계;

- 메모리 블록(300)의 경계의 적어도 일부를 형성하는 하나 이상의 트렌치(60)를 형성하기 위해 스택의 일부를 제거하는 단계;

- 제어 게이트층(200)에 리세스(70)를 형성하기 위해 하나 이상의 트렌치(60)의 측벽에 노출된 제어 게이트층(200)을 부분적으로 제거하는 단계; 및

- 전기전도성 플러그(700)를 형성하기 위해 상기 리세스(70)를 전기전도성 물질로 충진하는 단계; 를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 리세스(70)를 충진하는 단계는, 상기 하나 이상의 트렌치(60) 및 리세스(70)를 전기전도성 물질로 충진하는 단계, 및 상기 리세스 내의 전기전도성 물질(700)을 유지하면서 트렌치(60) 내의 전기전도성 물질을 제거하는 단계를 포함하는, 방법.

청구항 3

제1항 또는 제2항에 있어서,

메모리 블록(300)을 형성하는 단계는, 상기 스택을 통해 하나 이상의 메모리 홀(50)을 형성하는 단계를 포함하고, 상기 메모리 홀(50)은 상기 기판(100)의 주요면에 수직인 측벽을 갖는, 방법.

청구항 4

제1항 또는 제2항에 있어서,

메모리 블록(300)을 형성하는 단계는, 상기 스택을 통해 하나 이상의 V형 메모리 홀(50)을 형성하는 단계를 포함하는, 방법.

청구항 5

제1항 또는 제2항에 있어서,

하나 이상의 트렌치(60, 61)를 형성하기 위해 스택의 일부를 제거하는 단계는, 상기 트렌치가 메모리 블록(300)의 경계를 형성하도록 하는, 방법.

청구항 6

제1항 또는 제2항에 있어서,

제어 게이트층(200)을 부분적으로 제거하는 단계는, 선택적인 에칭을 통해 제어 게이트층(200)을 언더-에칭하는(under-etching) 단계를 포함하는, 방법.

청구항 7

Micron Ex. 1002, p. 589
Micron v. YMTC
IPR2024-00790

제1항 또는 제2항에 있어서,

상기 리세스를 전기전도성 물질로 충진하는 단계는, 상기 리세스를 텅스텐, 텅스텐 니트라이드(nitride), 탄탈, 탄탈 니트라이드, 티타늄 및 티타늄 니트라이드의 하나 이상으로 충진하는 단계를 포함하는, 방법.

청구항 8

제1항 또는 제2항에 있어서,

제어 게이트층을 제공하는 단계는 반도체층을 제공하는 단계를 포함하고, 상기 리세스를 충진하는 단계는 상기 리세스를 금속성 물질로 충진하는 단계를 포함하는, 방법.

청구항 9

수직 채널형 3차원 반도체 메모리 디바이스로서,

- 하나 이상의 메모리 셀(350)을 형성하는 복수의 물질로 충진된, 제어 게이트층(200) 및 유전층(210)이 교대로 배치된 스택 내에 제공되는 하나 이상의 메모리 홀(50, 51)을 포함하는 메모리 블록(300);

- 메모리 블록(300)의 경계의 일부를 형성하는 하나 이상의 트렌치(60, 61)를 포함하고,

상기 제어 게이트층(200)은, 전기전도성 물질(700)로 충진된 하나 이상의 트렌치(60, 61)의 측벽에 리세스(70)를 갖는, 메모리 디바이스.

청구항 10

제9항에 있어서,

상기 제어 게이트층은 반도체층이고, 하나 이상의 트렌치의 측벽에서 리세스는 금속성 물질로 충진되는, 메모리 디바이스.

청구항 11

제9항 또는 제10항에 있어서,

상기 하나 이상의 메모리 홀(50)은 기판의 주요면에 수직인 방향에서 볼 때 원형 단면을 갖는 기둥 형상을 갖는, 메모리 디바이스.

청구항 12

제9항 또는 제10항에 있어서,

상기 하나 이상의 메모리 홀은 V형 트렌치(400)인, 메모리 디바이스.

청구항 13

제10항 또는 제11항에 있어서,

상기 하나 이상의 트렌치(60, 61)는 상기 메모리 블록(300)의 경계를 형성하는, 메모리 디바이스.

발명의 설명

기 술 분 야

[0001] 본 발명은 일반적으로 반도체 장치의 분야, 구체적으로 3차원 비휘발성 반도체 메모리 디바이스, 예를 들면, 수직 NAND 스트링 및 이러한 장치의 제조 방법에 관한 것이다. 특히 본 발명은 대체 게이트를 갖는 수직 채널형 3차원 반도체 디바이스에 관한 것이다.

배 경 기 술

[0002] 최근, 경우에 따라 Bit Cost Scalable (BiCS) 구조라고 하는 수직 채널 3차원(3D) 적층 메모리 구조를 사용하는 초고밀도 저장 디바이스가 제안되었다. 예를 들면, 3D NAND 적층 메모리 디바이스는 전도층 및 유전층이 교대로 배치된 스택으로 형성될 수 있다.

Micron Ex. 1002, p. 590
Micron v. YMTC
IPR2024-00790

Micron Ex. 1002, p. 591
Micron v. YMTC
IPR2024-00790

[0004] 그러나, 3D NAND 적층된 메모리 디바이스는 기본적인 상충관계를 갖는데, 밀도를 최대화하기 위해, 디바이스는 가능한 한 소정의 워드 플레인에 메모리 셀의 많은 게이트가 공유되어야 한다. 디바이스는 폴리층 및 유전체층이 교대로 배치된 스택을 사용할 수 있고, 이는 소위 POPO 접근방법으로 P는 폴리를 나타내고 O는 SiO2를 나타낸다. 이러한 접근 방법의 주요 단점 중 하나는, 교대로 배치된 폴리 층에 의해서 형성된 워드 라인의 저항이 너무 높은 것이다. 또한, 디바이스는 폴리 게이트 전극 대신에 금속 게이트 전극을 사용할 수 있다. 이는, 소위 MOMO 접근 방법으로서(M은 금속을 나타내고 O는 SiO2를 나타낸다), 대체로 스택 내에서 나타나는 응력 때문에 불가능하다.

[0006] 또 다른 접근 방법은, 더미 게이트층, 예를 들면, 실리콘 니트라이드의 층이 교대로 배치된 스택을 형성하기 위해 사용되는 대체 게이트 공정을 적용하는 것이다. 이후 이러한 더미 게이트층은 목적의 게이트 전극 물질로 대체된다. 이러한 소위 NONO 접근방법은(N은 니트라이드를 나타내고, O는 SiO2를 나타낸다), 워드 플레인의 폭을 수개, 예를 들면, 4개의 셀 스트링으로 제한한다. 이러한 대체 게이트 공정은 제거된 대체 게이트층의 캐비티의 충진 능력을 제한한다. 이러한 제한된 충진 능력에 의해, 목적의 게이트 전극 물질을 제공하는 슬릿이 수개의 로우마다 필요로 되기 때문에, 메모리 밀도를 감소시킨다. 또한, 이러한 슬릿은 대면적을 형성하는 기판까지 내려야 한다. 미국 특허공개 제2015/0079742호(도 6)은 대체 게이트를 갖는 이러한 수직 채널형 3차원 반도체 디바이스를 개시한다.

[0008] 워드 라인의 저항-캐패시터 시정수(time constant)가 감소하지만, 여전히 높은 메모리 밀도를 갖는, 신규한 및 개선된 3차원 비휘발성 메모리 디바이스, 및 그 제조 방법이 요구된다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 실시형태의 목적은 3차원 비휘발성 메모리 디바이스 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 상기 목적은 본 발명에 따른 방법 및 디바이스에 의해 달성된다.

[0011] 제1 형태에서, 본 발명은 메모리 디바이스의 제조 방법을 제공한다. 상기 방법은,

[0012] - 기판 상에 제어 게이트층 및 유전층이 교대로 배치된 스택을 제공하는 단계;

[0013] - 스택을 통해 하나 이상의 메모리 홀을 포함하는 메모리 블록을 형성하는 단계로서, 상기 하나 이상의 메모리 홀은 그 측벽 상에 프로그래밍 가능한 물질, 채널 물질, 및 유전 물질의 스택을 포함하여 하나 이상의 메모리 셀을 형성하는 단계;

[0014] - 메모리 블록의 경계의 적어도 일부를 형성하는 하나 이상의 트렌치를 형성하기 위해 스택의 일부를 제거하는 단계;

[0015] - 제어 게이트층에 리세스를 형성하기 위해 하나 이상의 트렌치의 측벽에 노출된 제어 게이트층을 부분적으로 제거하는 단계;

[0016] - 전기전도성 플러그, 예를 들면, 금속 플러그를 형성하기 위해 상기 리세스를 전기전도성 물질, 예를 들면, 금속으로 충진하는 단계;를 포함한다.

[0018] 본 발명의 실시형태의 이점은, 스택이 워드 라인/플레인의 RC 부하를 줄이면서 가능한 한 가장 높은 밀도로 유지될 수 있다.

[0020] 본 발명의 실시형태의 이점은, 대체 게이트, 특히 예를 들면, 부분적으로 금속성 게이트를 사용하여 빠른 접근

이 가능한 고밀도 스택을 제공한다.

[0022] 어레이의 많은 점에 슬릿을 필요로 하는, 개별적으로 모든 셀에서 대체 게이트(예를 들면, 금속 게이트)를 제공하는 것 대신에, 단지 활성 메모리 디바이스의 에지(예를 들면, 큰 메모리 블록의 에지)에서만 게이트 대체 공정이 행해진다.

[0024] 본 발명의 실시형태의 이점은, 소정의 적용(SCM, NAND, 등) 영역 및 성능 사이에서 최선의 상충관계를 얻기 위해서 하나의 메모리 블록에서 공유되는 워드 라인의 수를 선택할 수 있다.

[0026] 본 발명의 실시형태의 이점은, 높은 열 버짓(thermal budget)(예를 들면, 650℃)을 필요로 하는 제어 게이트 전극으로서의 실리사이드화된 폴리실리콘(예를 들면, 상부 표면과 하부 표면 상에 금속 실리사이드를 갖는 폴리실리콘 게이트 전극)을 사용하는 대안이 제공된다.

[0028] 본 발명의 실시형태에서, 리세스를 충진하는 단계는, 하나 이상의 트렌치 및 리세스를 전기전도성 물질로 충진하는 단계, 및 리세스 내의 전기전도성 물질을 유지하면서 트렌치 내의 전기전도성 물질을 제거하는 단계를 포함할 수 있다.

[0030] 본 발명의 실시형태에서, 메모리 블록을 형성하는 단계는, 기판의 주요면에 실질적으로 수직인 측벽을 갖는 스택을 통해 하나 이상의 메모리 홀을 형성하는 단계를 포함한다. 또 다른 실시형태에서, 메모리 블록을 형성하는 단계는, 스택을 통해 하나 이상의 V형 메모리 홀을 형성하는 단계를 포함한다.

[0032] 본 발명의 실시형태에서, 상기 방법은 하나 이상의 트렌치를 형성하기 위해 스택의 일부를 제거하는 단계를 포함하고, 상기 하나 이상의 트렌치는 메모리 블록의 경계를 형성한다.

[0034] 본 발명의 실시형태 따른 방법에서, 제어 게이트층을 부분적으로 제거하는 단계는, 선택적인 에칭(selective etch)을 통해 제어 게이트층을 언더-에칭하는 단계를 포함한다.

[0036] 본 발명의 실시형태에 따른 방법에서, 리세스를 전기전도성 물질로 충진하는 단계는, 리세스를, 제어 게이트층의 물질과 상이한 전기전도성 물질로 충진하는 단계를 포함한다. 본 발명의 실시형태에서, 리세스를 전기전도성 물질로 충진하는 단계는, 리세스를 텅스텐, 텅스텐 니트라이드, 탄탈, 탄탈 니트라이드, 티타늄 및 티타늄 니트라이드의 하나 이상으로 충진할 수 있다. 본 발명의 특정한 실시형태에서, 제어 게이트층은 반도체층이고, 상기 전도성 물질은 금속이다.

[0038] 제2 실시형태에서, 본 발명은 수직 채널형 3차원 반도체 메모리 디바이스를 제공하고, 이는

[0039] - 하나 이상의 메모리 셀을 형성하는 복수의 물질로 충진된, 전극 게이트층 및 유전층이 교대로 배치된 스택 내에 제공되는 하나 이상의 메모리 홀을 포함하는 메모리 블록;

[0040] - 메모리 블록의 경계의 일부를 형성하는 하나 이상의 트렌치를 포함하고,

[0041] 제어 게이트층은 하나 이상의 트렌치의 측벽에 리세스를 갖고, 전기전도성 물질로 충진된다. 전기전도성 물질은 제어 게이트층의 물질과 상이하다. 본 발명의 특정한 실시형태에서, 제어 게이트층은 반도체층이고, 전도성 물질은 금속이다.

Micron Ex. 1002, p. 592
Micron v. YMTC
IPR2024-00790

Micron Ex. 1002, p. 593
Micron v. YMTC
IPR2024-00790

[0043] 본 발명의 실시형태에 따른 메모리 디바이스에서, 하나 이상의 메모리 홀은 기판의 주요면에 실질적으로 수직인 방향에서 볼 때, 예를 들면, 위에서 볼 때, 원형 단면을 갖는 기둥 형상을 가질 수 있다. 또 다른 실시형태에서, 하나 이상의 메모리 홀은 V형 트렌치일 수 있다. 본 발명의 실시형태의 이점은, 3D 메모리 내의 V형 트렌치가 훨씬 더 완화된 방법(relaxed way)(피치식(pitch way))으로 상호 연결될 수 있다. 이는, 또한 둘레를 감소시킨다.

[0045] 본 발명의 실시형태에 따른 메모리 디바이스에서, 트렌치는 메모리 블록(300)의 경계를 형성할 수 있다.

[0047] 본 발명의 특정한 및 바람직한 형태는, 수반한 독립한 및 종속항에서 제시된다. 종속항으로부터의 특징은, 독립항의 특징 및 단지 청구항에 명시적으로 제공된 것 외에 필요에 따라 그 외의 종속항의 특징과 조합될 수 있다.

[0049] 본 발명의 이들 및 그 외의 형태는 이하 기재된 실시형태를 참조하여 명백하게 설명될 것이다.

도면의 간단한 설명

[0050] 도 1a-1f은 본 발명의 실시형태에 따른 3차원 메모리 디바이스의 제조 방법의 단계를 도시하는 개략 측단면도이다.

도 2는 본 발명의 실시형태에 따른 디바이스의 개략 단면도이다.

도 3은 수직 채널의 측벽이 기울어지도록 메모리 스트링을 도시하는 개략 단면도(하부) 및 상면도(상부)이다.

도 4는 다수의 셀 스트링을 갖는 메모리 블록을 포함하는 메모리 디바이스의 상면도를 도시하고, 각각의 셀 스트링은 V형 수직 채널을 갖고, 메모리 블록의 주변에 부분 금속 게이트가 구비된다.

도 5는 다수 셀 스트링을 갖는 메모리 블록을 포함하는 메모리 디바이스의 상면도를 도시하고, 각각의 셀 스트링은 플러그 수직 채널을 갖고, 메모리 블록 주변에 부분 금속 게이트가 구비된다.

도면은 단지 개략적이고 비제한적이다. 도면에서, 요소의 일부 크기는 과장되어 있고 설명 목적으로 정확한 스케일로 도시되는 것은 아니다.

청구항의 임의의 참조 부호는 그 범위를 한정하는 것으로 해석되지 않아야 한다.

상이한 도면에서, 동일한 참조 부호는 동일하거나 유사한 요소를 의미한다.

발명을 실시하기 위한 구체적인 내용

[0051] 본 발명은 특정한 실시예 및 특정 도면을 참조하여 설명하지만, 본 발명은 이들로 제한되지 않고 단지 청구범위에 의해서만 제한된다. 기재된 도면은 단지 개략적인 것으로 제한적이지 않다. 도면에서, 일부 요소의 크기가 과장될 수 있고 예시의 목적인 것으로 정확한 스케일로 도시되는 것은 아니다. 치수 및 상대치수는 본 발명의 수행에서 실제의 감소에 대응하지 않는다.

[0053] 또한, 상세한 설명 및 청구범위에서 제1, 제2, 등은 유사한 요소 사이의 구분을 위해서 사용되며, 반드시 시간적, 공간적, 등급적, 또는 임의의 다른 방식으로 순서를 설명하는 것은 아니다. 이와 같이 사용된 용어들은 적합한 환경하에서 상호 교환가능하고, 본원에 기재된 본 발명의 실시형태는 본원에 기재된 또는 설명된 것과 다른 순서로 작동할 수도 있다.

[0055] 또한, 상세한 설명 및 청구범위에서 상부, 하부 등은 설명 목적으로 사용되지만, 반드시 상대적인 위치를 설명하는 것은 아니다. 이와 같이 사용된 용어는 적합한 환경하에서 상호 교환가능하고, 본원에 기재된 발명의 실시형태는 본원에 기재된 또는 설명된 것과 다른 방향으로 작동 가능하다.

Micron Ex. 1002, p. 594
Micron v. YMTC
IPR2024-00790

[0057] 청구범위에서 사용되는 "포함하는"은 이하에 열거된 수단으로 제한되는 것으로 해석되지 않아야 하고; 그 외의 요소 또는 단계를 배제하지 않는다. 상기 용어는 참조로 기재된 특징, 정수, 단계, 또는 성분의 존재를 명기하는 것과 같이 해석되지만, 그 외의 하나 이상의 특징, 정수, 단계, 또는 성분, 또는 그룹의 존재 또는 첨가를 제외하는 것은 아니다. 따라서, "수단 A 및 B를 포함하는 디바이스"의 범위는 성분 A 및 B만으로 구성된 디바이스로 제한되는 것은 아니다. 본 발명에 대해, 디바이스의 관련된 유일한 성분이 A 및 B인 것을 의미한다.

[0059] 본 명세서에 기재된 "하나의 실시형태" 또는 "일 실시형태"는 실시형태에 대해서 기재된 특정한 특징, 구조 또는 특성이 본 발명의 하나 이상의 실시형태에 포함되어 있는 것을 의미한다. 따라서, 본 명세서의 다양한 부분에서 "하나의 실시형태" 또는 "일 실시형태"가 반드시 동일한 실시형태를 의미하는 것은 아니지만, 동일한 실시형태일 수 있다. 또한, 특정한 특징, 구조, 또는 특성은, 본 개시 내용으로부터 당업자에게 명백한 임의의 적당한 방법으로, 하나 이상의 실시형태에서 조합될 수 있다.

[0061] 마찬가지로, 본 발명의 예시의 실시형태의 설명에서, 본 발명의 다양한 특징은 하나 이상의 다양한 본 발명의 형태의 이해를 돕고, 본 개시 내용을 효율적으로 기재하기 위해서, 단일의 실시형태, 그 도면 또는 상세한 설명에서 함께 그룹화하는 경우가 있다. 그러나, 본 개시 내용의 이러한 방법은, 청구된 발명이 각각의 청구항에서 열거한 특징보다 많은 특징이 필요하다는 것을 반영하는 것으로 해석되지 않는다. 오히려, 다음 청구범위에서 반영된 것으로서, 본 발명의 형태는 상기 개시된 단일 실시형태의 모든 특징보다 적게 존재한다. 따라서, 상세한 설명 다음의 청구범위가 상세한 설명에 포함되며, 각각의 청구항은 본 발명의 별개의 실시형태로서 기재되어 있다.

[0063] 또한, 본원에 기재된 일부 실시형태는 일부 특징을 포함하고, 그 외의 실시형태에 포함된 그 외의 특징이 포함되지 않지만, 상이한 실시형태의 특징들의 조합은 본 발명의 범위 내에 있으며, 당업자에 의해 이해된 상이한 실시형태를 형성한다. 예를 들면, 다음의 청구범위에서, 임의의 청구된 실시형태는 임의의 조합으로 사용될 수 있다.

[0065] 본원에 제공된 설명에서, 수많은 특정한 세부 사항이 기재된다. 그러나, 본 발명의 실시형태는 이러한 특정한 세부 사항 없이 실시될 수 있는 것을 알 수 있다. 다른 예에서, 공지된 방법, 구조 및 기술은 상세한 설명의 이해가 불명확하게 되지 않도록 상세하게 기재되지 않았다.

[0067] 본원에 사용된 바와 같이, "제어 게이트" 및 "워드 라인"은 동일한 전기전도성 엔티티(electrically conductive entity)를 의미한다. 제어 게이트는 NAND 셀의 어레이에서 하나의 NAND 셀에 인접해서 위치하고 이를 제어하는 워드 라인의 일부로 고려될 수 있다. 워드 라인은 어레이 내에서 복수의 NAND 셀을 제어한다. 따라서, 워드 라인은 제어 게이트를 연결하는 전기전도성 엔티티의 일부인 것으로 고려될 수 있다. 그러나, 워드 라인 및 그 제어 게이트 부분은 (이들로 제한되지 않지만) 하나의 및 동일한 단계 중에서 형성될 수 있고, 하기 기재된 하나 이상의 전기전도성 층을 포함할 수 있다.

[0069] 수직 채널형 반도체 메모리 디바이스, 예를 들면, Bit Cost Scalable (BiCS) NAND 메모리 및 U형 (즉, "파이프형") BiCS (p-BiCS)은, 초고밀도 저장 디바이스로서 개발되었다. 그러나, 이들 BiCS 및 p-BiCS 3D NAND 구조는, 비교적 높은 제어 게이트/워드 라인의 저항 및 캐패시턴스를 갖는다. 이들 저항 및 캐패시턴스는 셀 효율을 감소시키고 메모리 디바이스의 전력 소비를 증가시킨다.

[0071] 본 발명의 실시형태는, 고유의 제어 게이트층 물질의 일부를 상이한 전도성 물질로 대체하고, 예를 들면, 폴리 게이트 전극을 금속 게이트 전극으로 대체함으로써 이들 단점을 해결하기 위한 방법 및 디바이스를 제공한다.

이러한 대체는, 활성 메모리 영역의 블록 주위에 슬릿 트렌치(slit trench)를 제공하여 행해짐으로써, 블록은 많은 셀 스트링(cell string)을 포함한다. 이들의 슬릿 트렌치는 슬릿 트렌치의 측벽에 노출된 제어 게이트층, 예를 들면, 폴리실리콘층의 일부를 제거할 수 있다. 이러한 제거는 언더컷 공정(undercut process)을 통해 행해질 수 있다. 이후, 어레이는 슬릿 트렌치를 전도성 물질, 예를 들면, 금속으로 종래의 CVD 공정에 의해서 충진하여 마감되고, 이는 제어 게이트층의 제거된 부분을 대체하고 슬릿 트렌치를 충진한다. 본 발명의 부분 게이트 대체 방법의 이점은, 제어 게이트 전극의 형성을 위해 적은 물질이 제거되고 요구되는 것이다. 본 발명의 실시형태는 임의의 수직 메모리 컨셉, 예를 들면, 본 발명의 실시형태에 따라 3D V형 셀과 함께 또는 셀로서 플러그를 갖는 3D 플로팅 게이트 구조에 사용될 수 있는 신규한 상호연결 스킴을 제공한다. 더 구체적으로, 본 발명의 실시형태는 치밀한 게이트 수준 상호연결 기술로서 사용될 수 있다.

[0073] 도 1a-1f는 본 발명의 실시형태에 따라 부분적으로 대체된 제어 게이트 전극을 갖는 수직 채널형 3차원 반도체 디바이스의 제조 방법의 개략 단면도이다. 실시형태에서, 주요면을 갖는 기판(100)은, 기판(100)의 주요면 상에 형성된 제1 물질층(200) 및 제2 물질층(210)이 교대로 배치된 스택을 갖는 것이 제공된다. 이들 도면에서 교대로 배치된 4개의 층이 제공되지만, 더 많은 층이 제공될 수 있기 때문에 이것이 본 발명을 제한하는 것으로 고려되지 않아야 한다. 바람직한 실시형태에서, 스택의 최종 상부층, 즉 기판(100)으로부터 가장 멀리 있는 층은 제1 물질층(200)이다.

[0075] 기판(100)은 사용되거나 디바이스를 형성할 수 있는 임의의 하부 물질 또는 물질들을 포함할 수 있다. 본 발명의 실시형태에서, 기판은, 반도체 기판, 예를 들면, 미세결정질 반도체 물질(예를 들면, 미세결정질 실리콘, IV-IV 화합물, 예를 들면, 실리콘 게르마늄 또는 실리콘-게르마늄-카본, III-V 화합물, II-VI 화합물)의 기판, 이러한 기판 상의 에피택셜층을 포함할 수 있다. 또 다른 실시형태에서, 기판은 임의의 그 외의 반도체 또는 비-반도체 물질, 예를 들면, 실리콘 옥사이드, 유리, 플라스틱, 금속 또는 세라믹 기판을 포함하거나 이것으로 제조될 수 있다. "기판"은 관심의 층 또는 부분, 특히 메모리 디바이스의 하부를 이루는 층의 요소를 정의하기 위해 사용된다. 기판(100)은 그 위에 제조된 집적 회로, 예를 들면, 기판(100) 상에 형성될 메모리 디바이스의 드라이버 회로(driver circuit)를 포함할 수 있다.

[0077] 층(200 및 210)은, CVD, PECVD, MBE 등과 같은 임의의 적합한 증착 방법에 의해 기판(100) 상에 교대로 증착될 수 있다. 바람직하게, 제1 물질층(200)은, 제어 게이트로서 사용하기에 적합하고 제어 게이트층으로 지칭된다. 적합한 물질은, 이들로 제한되지 않지만, IV 족 반도체, 예를 들면, 실리콘(예를 들면, 폴리실리콘), 실리콘 게르마늄, 실리콘 카바이드 등을 포함한다. 반도체는 p형 또는 n형 도핑될 수 있고 10^{17} cm^{-3} 내지 10^{21} cm^{-3}의 도핑 농도를 가질 수 있다. 제1 물질층(200)은 셀을 조절하는 조절 게이트를 형성하기 위해 패턴화될 수 있고, 이 경우 이들 제어 게이트는 도 1b의 상면도에서 도시된 바와 같이 평행 스트라이프로서 형성된다. 그러나, 제1 층(200)은 패턴화되지 않고 상응하는 제1 층(200)의 수준에서 모든 메모리 셀에 공통 제어 게이트인 면을 형성할 수 있다. 제2 물질층(210)은 제1 물질층(200)과 적어도 서로 전기적으로 분리된다. 제2 물질층(210)은, 제1 물질층(200)에 대해 예를 들면, 에칭에 의해서 선택적으로 제거할 수 있는 유전 또는 절연 물질(예를 들면, 실리콘 옥사이드, 실리콘 니트라이드 등)을 포함할 수 있다.

[0079] 기판(100) 상에 층(200, 210)의 교대의 증착 후, 도 1b에 도시된 바와 같이 하나 이상의 메모리 홀(50, 51)을 형성하기 위해 스택이 에칭될 수 있다: 그 아래에는 상기 도시된 상면도의 A-A 단면측면도가 도시된다. 메모리 홀은 층(200, 210)의 스택을 통해 펀칭되고, 메모리 스트링의 수직 채널이 있도록 한정한다. 수직의 NAND 스트링은, 제1 층(200)에 메모리 셀을 형성하기 위해, 이와 같이 형성된 홀을 물질 층으로 충진하여 도 1c에 도시된 바와 같이 메모리 홀(50,51)에 형성될 수 있다. 예를 들면, 메모리 홀(50, 51) 내에 프로그래밍 가능한 물질(120), 전도성 채널 물질(150) 및 충진 물질(220)의 일련의 등각 증착 단계(conformal deposition steps)에 의해 수직 채널을 갖는 메모리 셀 스트링을 형성한다. 등각 증착 기술은, 원자층 증착(ALD) 및 화학증착(CVD)을 포함하지만 이들로 제한되지 않는다. 제1 물질(200) 층은, 메모리 스트링 내에서 제어 게이트로서 상이한 수준으로 작용하고, 각 층은 메모리 셀을 상기 수준으로 제어한다. 프로그래밍 가능한 물질(120)층은, 페로-전기(Ferro-electric) 메모리인 경우, 페로-전기층의 스택 또는 페로-전기층일 수 있다. 프로그래밍 가능한 물질

Micron Ex. 1002, p. 595
Micron v. YMTC
IPR2024-00790

Micron Ex. 1002, p. 596
Micron v. YMTC
IPR2024-00790

(120)층은, 플로팅 게이트 메모리인 경우, 절연층/전도층/절연층의 스택일 수 있다. 특정한 실시형태에서, 프로그래밍 가능한 물질(120)은, 3D Resistive RAM (3D RRAM) 디바이스 또는 PCM 또는 임의의 저항 전환 컨셉으로서 사용될 수 있도록 저항 전환 물질일 수 있다. 채널 물질(150)은 10^{17} cm^{-3} 미만의 도핑 수준으로 저농도로 도핑된 p형 또는 n형 반도체 물질, 예를 들면, 폴리실리콘을 포함할 수 있다. n형 도핑된 채널 물질을 갖는 n-채널 디바이스는, 파이프-라인이 형성되지 않으면, 각 채널의 반대 말단에 위치한 10^{17} cm^{-3} 내지 10^{21} cm^{-3}의 도핑 농도를 갖는 n+ 접합, 예를 들면, 소스 및 드레인 n+ 도핑된 영역과 쉽게 연결될 수 있기 때문에 바람직하다. 그러나, p형 도핑된 채널 물질을 갖는 p채널 디바이스도 사용될 수 있다. 그 외의 반도체 물질, 예를 들면, Si, SiGe, SiC, Ge, III-V, II-VI, 등도 사용될 수 있다.

[0081] 워드 라인 또는 플레인의 저항 및 캐패시턴스를 감소시키기 위해, 워드 라인(또는 플레인)의 물질의 일부가 많은 전도성 물질, 예를 들면, 금속으로 대체된다.

[0083] 이러한 목적을 위해, 도 1d에 도시된 바와 같이 원형 단면을 갖는 슬릿 트렌치(60)로 슬릿 트렌치(60)가 형성된다. 이들 슬릿 트렌치(60)는, 도 1e에 도시된 바와 같이, 슬릿 트렌치(60)의 측벽에 노출된 게이트 전극 물질(200)을 제거할 수 있다: 그 아래에는 상기 도시된 상면도의 A-A 단면 측면도이다. 특정한 실시형태에서, 제어 게이트층의 일부를 에칭하는 단계는 언더컷 에칭 공정(undercut etch process)을 사용하여 수행될 수 있고, 비등방성 에첸트가 사용된다. 따라서, 슬릿 트렌치(60)의 측벽은 실질적으로 톱니 프로파일을 갖는다. 제어층의 일부만(예를 들면, 폴리실리콘)은 선택적으로 에칭 동안 제거되고, 제어층은 더미 또는 희생층으로 고려되지 않는 것을 주목한다.

[0085] 슬릿 트렌치(60)의 측벽 내에 이와 같이 형성된 리세스(70)는 제어 게이트층의 물질과 상이한 전도성 물질, 예를 들면, 금속으로 충진될 수 있다. 일반적으로 슬릿 트렌치(60) 내에 노출된 제1 물질(200)은, 부분적으로 제거되어 슬릿 트렌치에 인접한 제2 물질층(210) 과의 사이에 캐비티(70)를 형성한다. 적어도 리세스(70)는 대체 물질로 충진된다. 도 1f에 도시된 바와 같이 슬릿 트렌치(60)를 대체 물질, 예를 들면, 금속 또는 금속층의 스택으로 충진하여 리세스(70)를 충진한다. 전기전도성 물질은 적어도 리세스(70) 내에 제공된다. 전기전도성 물질은, CVD 공정 및 제어 층(예를 들면, 폴리실리콘)에 적합한 낮은 저항을 갖는 금속일 수 있다. 이러한 물질로는, 이들로 제한되지 않지만, 텅스텐, 티타늄, 탄탈, 탄탈 니트라이드, 티타늄 니트라이드 또는 이들 금속의 2개 이상의 조합일 수 있다. 전기전도성 물질은 전기전도성 제어 게이트 전극 플러그를 국부적으로 형성할 수 있다. 전기전도성 제어 게이트 전극 물질은 슬릿 트렌치(60)를 부분적으로 또는 완전히 충진하고 리세스(70)를 완전히 충진하여 증착된 게이트 전극 물질(200)이 충진된 메모리 홀(500, 501), 예를 들면, V 그루브 채널(500, 501)과 접촉되어 있다.

[0087] 그 다음에, 리세스(70)를 초과한 슬릿 트렌치(60) 내의 전기전도성 물질, 예를 들면, 금속이 제거된다. 그 다음에, 전도성 물질, 예를 들면, 금속을 에칭한 후, 제어 게이트층(200)의 홀(70)을 전기전도성 물질, 예를 들면, 금속으로 충진하여 제어 게이트 면의 노출된 말단 또는 경우에 따라 도 2에 나타낸 바와 같이 제어 게이트 스트라이프에 전기전도성 플러그, 예를 들면, 금속 플러그를 형성한다. 본원에 슬릿 트렌치(60)은 4 개 스트링(501) 씩 이격되어 있다. 슬릿 트렌치(60)의 공간 주파수가 낮아야 한다. 슬릿 트렌치(60) 사이의 메모리 홀(50, 51)(또는 메모리 스트링(500, 501))의 수가 클수록, 메모리 디바이스가 더 치밀하게 된다. 일반적으로, 스트링의 수가 10일 수 있고, 100일 수 있고, 바람직하게 1000 이상일 수 있다. 본 발명의 실시형태에 따른 메모리 블록은 일반적으로 최신기술보다 많은 수의 스트링을 가질 수 있다.

[0089] 도 1a-1f에 도시된 실시형태에서, 층(200, 201)의 스택을 통해 펀칭된 슬릿 트렌치(60)은 원형 단면을 갖고 슬릿 플러그를 형성한다. 이러한 슬릿 트렌치(60)은, 워드 플레인(200)에 개재되지 않거나, 경우에 따라 워드 라인이 층(200)에 형성된다. 임의 수준의 메모리 셀은, 동일한 워드 플레인(200)에 의해 접촉된 채 유지되거나, 또는 경우에 따라 그 수준의 물질(200)의 부분을 대체한 후, 층(200) 내에 형성된 워드 라인에 의해 접촉된 채 유지된다

Micron Ex. 1002, p. 597
Micron v. YMTC
IPR2024-00790

[0091] 그러나, 슬릿 트렌치(60)는 선택적으로 워드 플레인(200)의 폭 상에서 또는 경우에 따라 층(200)에 형성된 워드 라인의 폭을 통해 연장되는 슬릿 트렌치로서 형성될 수 있다. 특히 실시형태에서, 슬릿 트렌치(60)는 예를 들면, 도 1d의 도면의 플레인에 실질적으로 수직, 즉 층(200) 내의 제어 게이트의 패턴에 수직으로 향하는 길이를 갖는 연속적인 트렌치이다. 슬릿 트렌치(60)는, 기판(100)의 주요면에 실질적으로 수직인 층(200, 210)을 통해 연장된다. 실시형태에서, 슬릿 트렌치(60)는 상이한 형상을 가질 수 있고, 도 1d 도면의 플레인 내의 트렌치의 폭은, 층(200, 210)의 스택을 통해 트렌치의 깊이를 따라 증가하거나, 트렌치의 폭이 트렌치의 전체 깊이에 대해 일정하거나 감소한다. 바람직하게, 이러한 그루브 슬릿 트렌치(60)는 메모리 셀이 V형 수직 채널을 갖는 경우 사용된다.

[0093] 본 발명의 특정한 실시형태에서, 하나 이상의 메모리 셀은 V형 수직 채널을 가질 수 있다. 도 1a-1f 및 도 2에 의해 도시된 실시형태에서, 수직 채널은 기판(100)에 수직인 측벽을 갖는 플러그(50, 51)로 형성되었다. 또한, 수직 채널은 경사진 측벽을 갖는 층(200, 210)의 스택을 통해 개구(50, 51)로 형성될 수 있다. 일정한 원형 단면을 갖는 플러그(50, 51)를 형성하는 것 대신, 하나 이상의 메모리 홀로서 V형 트렌치(50, 51)가 제공될 수 있다. 직사각형 측벽을 갖는 수직 채널에서 행해진 바와 같이, 개구(50)는 도 3에 도시된 바와 같이, 프로그래밍 가능한 물질(120), 전도성 채널 물질(150), 및 충진 물질(220)을 순차적으로 포함한다.

[0095] 기판(100)에 스택의 층(200 및 210)의 증착 후, 이들 실시형태에서 스택이 에칭되어 도 3에 도시된 바와 같은 V형 트렌치를 형성할 수 있다. V형 채널 또는 트렌치(400)는 사다리꼴 또는 삼각형 단면을 가질 수 있다. V형 트렌치(400)는 경사진 부분에 연결되어 V 형상을 형성하는 수평부를 포함한다. 수평부는 사다리꼴 또는 삼각형 단면이 제공되는지에 따라 (수직부들이 날카로운 텁에서 교차하는)점이거나 폭을 가질 수 있다. 위에서 보면, V형 채널은 기판을 향한 영역으로 감소하는 단면을 갖는다. V형 채널의 V형 트렌치의 경사진 부분은 실질적으로 기판의 주요면에 수직이지 않고 임의의 각을 형성한다. 실시형태에서, 실질적으로 기판(100)의 주요면에 평행한 V형 채널의 단면 형상은 임의의 적합한 형상을 형성할 수 있고, 예를 들면, 직사각형 또는 원형일 수 있다. V형 채널(400)의 V형 트렌치는 마스킹 물질을 통해 기판 상에 층(200, 210)에 의해 형성된 스택을 비등방성 에칭하여 제공될 수 있다. 에칭은 평평한 경사 측벽 및 평평한 바닥을 갖는 피트 또는 캐비티를 형성하고, 경사진 측벽은 60° 내지 85° 의 기판의 주요면에 대한 임의의 각도를 포함할 수 있고, 이는 적어도 89° 의 각도를 갖는 실질적으로 수직 측벽으로 하는 종래기술 분야와 실질적으로 상이하다. 피트 또는 캐비티가 에칭 완료될 때 피라미드 형상을 나타낸다.

[0097] V형 트렌치가 제공되면, 메모리 셀(예를 들면, 수직 NAND 스트링)은 예를 들면, 프로그래밍 가능한 물질(120), 채널 물질(150) 및 채널 내의 충진 물질(220)의 일련의 증착물질로 형성되어 V형 채널을 형성할 수 있다. 등각 증착 기술은, 원자층 증착(ALD) 및 화학증착법(CVD)을 포함하지만, 이들로 제한되지 않는다.

[0099] 예를 들면, 프로그래밍 가능한 물질(120)층, 예를 들면, HfO2 층은, V형 트렌치(50)의 경사진 측벽, 선택적으로 트렌치(50)의 하부 상에 등각 증착될 수 있다. 또한, 프로그래밍 가능한 물질(120) 층은, V형 트렌치(50)를 프로그래밍 가능한 물질(120)로 충진한 후, 예를 들면, 높은 애스펙트비(HAR) 에칭에 의해 다시 에칭하여 등각층이 트렌치(50)의 내면에 존재하도록 제공한다. 본 발명의 실시형태에서, 프로그래밍 가능한 물질(120)은 페이지의 깊이 방향으로 모두 전체 V형 트렌치(50)를 따라 진행된다. 또 다른 실시형태에서, 프로그래밍 가능한 물질(120)은, 모두 도 3에 도시되고 그 상부에서 가장 잘 보이는 전체 V형 트렌치를 따라 진행되지 않는다. 프로그래밍 가능한 물질(120)층은, 페로-전기 메모리인 경우, 페로-전기층의 스택 또는 페로-전기층을 수 있다. 프로그래밍 가능한 물질(120) 층은, 플로팅 게이트 메모리인 경우, 절연층/전도층/절연층의 스택일 수 있다. 특정한 실시형태에서, 프로그래밍 가능한 물질(120)은 저항 전환 물질일 수 있고, 3D 저항 RAM (3D RRAM) 디바이스 또는 PCM 또는 임의의 저항 전환 컨셉으로서 사용될 수 있다.

[0101] 다음, 채널 물질(150), 예를 들면, 반도체 물질, 예를 들면, 실리콘의 층은 프로그래밍 가능한 물질(120) 층,

임의로 필요에 따라 V형 트렌치(50)의 수평 바닥부에 등각 증착될 수 있다. 또한, 채널 물질(150) 층은, 프로그래밍 가능한 물질(120) 층으로 덮인 V형 트렌치(50)를 채널 물질(150)로 충진하고 선택적으로 채널 물질의 일부를 제거하고, 예를 들면, 높은 애스펙트비(HAR) 에칭에 의해 다시 에칭함으로써 제공되고, 채널 물질의 등각 층은 프로그래밍 가능한 물질(120)의 상부에 V형 트렌치 내측에 존재한다. 채널 라이너(150)의 바닥부가 존재하는 경우, 연속적인 채널 라이너는 트렌치(50)의 반대 측벽을 따라 형성되고 '파이프-라인' 메모리 스트링을 형성한다. 채널 라이너(150)의 바닥부가 없는 경우, 예를 들면, 트렌치(50)의 바닥에서 라이너(150)를 통한 에칭에 의해 반대 스트링은 직렬로 연결되지 않는다. 채널 물질(150)은, 예를 들면, 10^{17} cm^{-3} 미만의 도핑 수준을 갖는 저농도로 도핑된 p형 또는 n형 반도체 물질, 예를 들면, 폴리실리콘을 포함할 수 있다. n형 도핑된 채널 물질을 갖는 n 채널 디바이스는, 파이프 라인이 형성되지 않는 경우, 각 채널의 반대 말단에 위치한 10^{17} cm^{-3} 내지 10^{21} cm^{-3} 도핑 농도를 갖는 n+ 접합, 예를 들면, 소스 및 드레인 n+ 도핑된 영역과 쉽게 연결될 수 있기 때문에 바람직하다. 그러나, p형 도핑된 채널 물질을 갖는 p 채널 디바이스가 또한 사용될 수 있다. 그 외의 반도체 물질, 예를 들면, Si, SiGe, SiC, Ge, III-V, II-VI, 등이 또한 사용될 수 있다.

[0103] 프로그래밍 가능한 물질(120) 층 상에 채널 물질(150) 층을 증착한 후, 바람직하게 높은 애스팩트비(HAR) 에칭에 의해서 채널 물질(150)층이 패턴화될 수 있다. 채널 물질(150)층의 이러한 패턴화는, 도 4에 도시된 바와 같이 채널을 트렌치(60)의 폭을 따르는 방향으로 복수의 짧은 채널로 분할한다. 실시형태에서, 채널 물질 라이너(150)로서 함께 임의로 프로그래밍 가능한 물질(120), 예를 들면, HfO2 층을 에칭하거나 제거할 수 있다. 프로그래밍 가능한 물질(120)이 전도성이 아닌 경우, 트렌치(50)를 갖는 인접한 스트링 또는 동일한 스트링에서 상이한 셀을 단락시키지 않기 때문에 (도 4에 도시되어 있지 않음, 충진 물질(220)로 충진되기 때문), 제거될 필요가 없다. 따라서, 채널물질(150)을 패턴화하는 (제2) HAR 에칭은, 프로그래밍 가능한 물질(120)에 대해 선택적으로 제거되어야 할 필요는 없다. 채널 라이너(150)를 패턴화하는 제2 HAR 에칭은 스택의 제1물질(200) 및 제2물질(210)에 대해 선택적일 수 있다.

[0105] 다음 단계에서, 충진 물질(220)은, 도 4에 도시된 바와 같이 채널 라이너(150) 위에 배치된 부분적으로 충진된 트렌치(50)에 제공된다. 기판(100)의 주요면에 실질적으로 수직인 단면에 충진 물질(220)의 형상은 사다리꼴 또는 삼각형(바닥에서 날카로운 팁을 갖고 수평부를 포함하지 않는다)일 수 있다. 충진 물질(220)은 등각 원자층 증착(ALD) 또는 화학증착(CVD)에 의해 증착된 실리콘 옥사이드 층을 포함할 수 있다. 그 외의 높은 K 유전 물질, 예를 들면, 하프늄 옥사이드는 실리콘 옥사이드 대신 또는 이외에 사용될 수 있다.

[0107] 따라서, V형 수직 트렌치 구조를 사용하여 메모리 디바이스 또는 메모리 셀은 트렌치의 경사진 측벽을 따라 구성된다. 충진 물질(220), 예를 들면, 유전 충진제, 예를 들면, 산화물은 도 4에 도시된 바와 같이 스트링의 2개의 반대부를 분리하고 격리하기 위해 사용된다. 본 발명의 실시형태에서는, 플러그 기반 구조로서 원통형 충진제를 사용하는 것 대신에, 충진 정확성의 점에서 용이하게 수행되는 피라미드형 또는 삼각형 충진제(220)가 사용된다. 슬릿 트렌치(60)의 하부에서 채널 물질(150)의 잔류 피스(residual piece)가 있는 경우, 인접한 반대의 스트링을 연결함으로써 종래기술 부분에서 검토되는 파이프라인 BiCS에서의 훨씬 더 복잡한 파이프라인과 동등한 연결을 한다: 개시된 방법에서 일련의 연결은 임의의 추가의 영역을 필요로 하지 않고 형성된다.

[0109] 소수의 단점은, 채널 라이너(150)가 마지막 제어 게이트의 수준 아래에 있기 때문에 하부 셀이 개별적으로 어드레스 가능한 것을 보장받기 위해 스택에서 트렌치를 마지막 제어 게이트(200) 아래까지 충진 물질(220)로 충진해야 한다는 것이다. 이는, 기판으로부터 가장 낮은 제어 게이트를 분리하는 하부 산화물 두께에서 더 많은 마진(margin)을 제공함으로써 쉽게 결정될 수 있고, 깊은 트렌치(50)가 형성될 수 있다. V형 트렌치의 존재의 점에서 반대의 하부 셀 사이의 전기 크로스톡(electrical crosstalk)은, 스트링의 상부보다 함께 더 가깝게 있기 때문에 이들은 점검되어야 한다.

[0111] 본 발명의 V 그루브 수직 채널 구조의 실시형태는, 필드 증강에 의존하지 않는 모든 3D NAND 및 RRAM 형 메모리에 적용될 수 있다. 이들은, FeFET, RRAM, CBRAM, memristor 또는 셀이 칩 상에 수직으로 구성된 크로스 포인

Micron Ex. 1002, p. 598
Micron v. YMTC
IPR2024-00790

트 메모리의 임의의 그 외의 형태에서 사용될 수 있지만, 이들로 제한되지 않는다.

[0113] 따라서, 본 발명의 실시형태에 따른 V형 채널은, 프로그램/소거 속도의 점에서 필드 증강 효과로 인해 상부 및 하부 셀 사이의 차이가 너무 크기 때문에 (프로그래밍 및 소거에 터널링이 사용되는)플러그 기반 구조에 사용되지 않는다. 즉, 이들 적용을 위한 에칭 각도는 본 발명의 실시형태에 따라 V형이 실질적으로 불가능한 90도에 매우 가까워야 한다. 그러나, 필드 증강에 의존하지 않는 또 다른 메카니즘(예를 들면, 페로-전기 전환)이 사용되는 경우, 셀은 이러한 변화를 나타내지 않고 완화된 에칭 각도로 트렌치 형성으로부터 자연적으로 발생하는 하부(수평부)에 실리콘과 같은 반도체 물질의 작은 피스로 대체될 수 있다.

[0115] 플러그 셀 스트링을 갖는 메모리 디바이스에 대해 상기 개시된 바와 같이, V 그루브 메모리 스트링 사이에 슬릿 트렌치(60)가 형성되고 게이트 전극의 물질(200)을 국소 제거할 수 있다. 이는, 제어 게이트층이 수직 슬릿 트렌치에 대해 수평 방향으로 위치하기 때문에, 제어 게이트층 물질이 리세스(70)를 형성한다. 이러한 수평 제거는, 슬릿 트렌치(60)의 측벽에 노출된 제어 게이트층(200)의 부분을 선택적으로 에칭하여 달성될 수 있다. 특정한 실시형태에서 제어 게이트층의 일부를 에칭하는 단계는, 언더컷 에칭 공정을 사용하여 수행될 수 있고, 비등방성 에첸트가 사용된다. 따라서, 슬릿 트렌치(60)의 측벽 에지는 실질적으로 톱니 프로파일이다. 제어층의 부분, 예를 들면, 폴리실리콘은 단지 에칭 중에 선택적으로 제거되고 제어층은 더미 또는 희생층으로 고려되지 않는 것을 유의한다. 슬릿 트렌치가 활성 메모리 셀 영역의 경계를 형성하기 때문에, 제어층은 활성 메모리 셀 영역의 에지에서 부분적으로 제거된다. 전기전도성 물질이 적어도 리세스(70) 내에 제공된다. 전기전도성 물질은 CVD 공정 및 제어층(예를 들면, 폴리실리콘)에 적합한, 낮은 저항을 갖는 금속일 수 있다. 이러한 물질의 예는, 이들로 제한되지 않지만, 텅스텐, 티타늄, 탄탈, 탄탈 니트라이드, 티타늄 니트라이드 또는 이들 금속의 2개 이상의 조합일 수 있다. 전기전도성 물질이 전기전도성 제어 게이트 전극 플러그를 국소적으로 형성할 수 있다. 전기전도성 제어 게이트 전극 물질은 슬릿 트렌치(60)를 부분적으로 또는 완전히 충진하고 리세스(70)를 완전히 충진하여 증착된 게이트 전극 물질(200)은 V 그루브 채널(50, 51)과 접촉된다. (플러그 실시형태에 대해 도 2에 도시된 것과 마찬가지로) 리세스(70) 내의 전극 물질이 제거되지 않고, (예를 들면, 비등방성 에칭을 사용하여) 트렌치(70)로부터의 전극 물질이 제거될 수 있다.

[0117] 도 2 또는 도 4에 도시된 바와 같이, 활성 메모리 셀 영역(300)에서 스택은, 기판(100)의 주요면 상에 제1 층(200) 및 제2 층(210)이 교대로 배치된 층을 포함한다. 제2 층은 제2 절연 물질, 예를 들면, 실리콘 옥사이드와 같은 절연물질을 포함한다. 제1 층(200)은, 메모리 홀(50, 51)에 인접한 전도성 물질, 예를 들면, 폴리실리콘과 같은 반도체 물질 및 메모리 홀(50, 51)로부터 멀리 있는 전도성 전극 물질을 포함하고, 전도성 전극 물질은, 예를 들면, 금속, 금속 실리사이드 또는 금속 니트라이드 물질, 예를 들면, 텅스텐, 텅스텐 실리사이드, 텅스텐 니트라이드, 탄탈, 탄탈 니트라이드, 티타늄, 티타늄 실리사이드 또는 티타늄 니트라이드이다. 전도성 전극 물질은 활성 메모리 셀 영역(300)의 경계에서 복수의 전도성 제어 게이트 전극(700)을 형성한다. 또한, 전도성 게이트 전극 물질은, NAND 메모리 스트링(500, 501)의 어느 하나에서 하나 이상의 메모리 필름에 인접해서 확장하거나 접촉하지 않는다. 본 발명의 실시형태에서, 전도성 전극(700)은, 에칭된 제2 층의 남은 물질(200)과 접촉하거나, 예를 들면, 금속(700)은 폴리실리콘(200)과 접촉하고, 이어서 전도성 전극(700)과 NAND 메모리 스트링(500, 501)의 하나 이상의 메모리 셀 사이에 제공된다.

[0119] 본 발명의 실시형태에서 전도성 전극 물질(700)은 제어 게이트의 남은 물질(200)과 접촉하고, 예를 들면, 금속(700)은 폴리실리콘(200)과 접촉하고, 완전한 대체 금속 게이트를 갖는 종래기술 디바이스에 비해 WF가 작다. 이러한 작은 WF가 페로-전기 적용에 유리하다.

[0121] 본 발명의 실시형태에서 슬릿 트렌치는 메모리 블록(300)의 경계에 제공된다. 따라서 메모리 블록의 에지, 예를 들면, 외부 경계만 부분적으로 대체된 게이트, 예를 들면, 부분적으로 대체된 금속 게이트를 포함한다. 대체 물질, 예를 들면, 금속은 메모리 블록(300)의 메모리 홀(50, 51) 사이에 존재하지 않는다.

Micron Ex. 1002, p. 599
Micron v. YMTC
IPR2024-00790

Micron Ex. 1002, p. 600
Micron v. YMTC
IPR2024-00790

[0123] 도 4는 3개의 V형 트렌치(50)에서 V형 수직 채널을 갖는 12개의 메모리 셀(350)을 포함하는, 메모리 영역(300)의 상면도를 개략적으로 도시한다. 본 발명의 실시형태에 따른 부분 대체 게이트 방법은 메모리 블록(300) 주위에 완전히 제공되고 메모리 블록(300)의 경계에서 워드 라인(200)을 또 다른 전도성 물질, 예를 들면, 금속(700, 700')으로 대체한다. 메모리 셀(350)을 형성한 후, 하나 이상의 V형 트렌치(60)는 메모리 블록(300)을 둘러싼 층 스택(200, 210)으로 한정된다. 그 다음에, 부분 대체 게이트(700, 700')는 본 발명의 실시형태를 사용하여 메모리 블록(300)의 주위 또는 경계를 이루는 슬릿 트렌치(60)를 통해 제공된다. 따라서, 메모리 블록(300)의 주변 또는 에지에 부분적인 대체 전도성 게이트, 예를 들면, 부분적인 대체 금속 게이트(700)는, 바람직하게 낮은 직렬 저항을 나타내기 때문에 메모리 블록(300) 내에 존재하는 워드 라인 및/또는 워드 플레인의 RC 부하를 감소시킨다. V 그루브(50) 수직 채널은 워드 플레인(200)을 통해 절단하기 때문에, 워드 플레인(또는 워드 라인)을 방해한다. 따라서, V 트렌치(60)는 V 그루브(50) 수직 채널에 수직 방향으로 형성되고 워드 플레인(200)의 분리된 파트는 이들 양측에 부분 전도성 게이트 예를 들면, 금속 게이트(700')를 통해 전기적으로 연결된다.

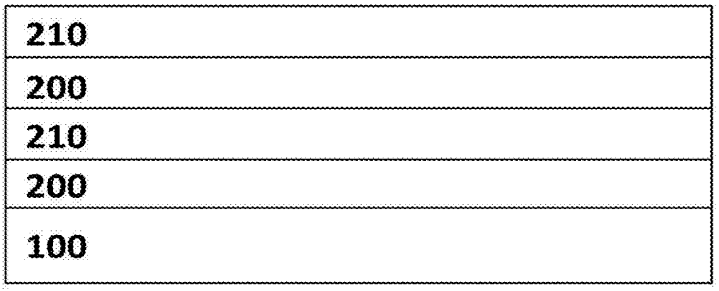
[0125] 도 5는 플러그(50) 내에 수직 채널을 갖는 12개의 메모리 셀(350)을 포함하는 메모리 영역(300)의 상면도를 개략적으로 도시한다. 본 발명의 실시형태에 따른 부분적인 대체 게이트 방법은, 메모리 블록(300) 주위에 부분적으로 제공되고, 메모리 블록(300) 파트의 경계에서 워드 라인(200)을 예를 들면 금속으로 대체된다. 메모리 셀(350)의 형성 후, V 트렌치(60)는 메모리 블록(300)의 반대측에 층 스택(200, 210)으로 한정된다. 이어서, 부분 대체 게이트(700)는 본 발명의 실시형태를 사용하여 메모리 블록(300)의 주변 또는 경계의 파트의 윤곽을 이루는 슬릿 트렌치(60)를 통해 제공된다. 메모리 블록(300) 내의 워드 플레인(200)은 메모리 셀의 플러그(50)에 의해서 방해되지 않기 때문에, 메모리 블록의 경계의 파트에서 부분 게이트 대체, 예를 들면, 부분 금속 게이트 대체를 갖도록 선택할 수 있다.

[0127] 상기 상세한 설명은 본 발명의 특정한 실시형태를 설명한다. 그러나, 상기 문맥에 상세하게 기재되어 있더라도, 본 발명은 다양한 방법으로 수행될 수 있는 것을 알 수 있다. 본 개시내용의 특정한 특성 또는 형태를 설명할 때 특정 용어의 사용은, 용어가 본원에 재정의되어 용어가 연관된 개시내용의 특성 또는 형태의 임의의 특이적 특성을 포함하는 것으로 제한되는 것을 의미하지 않는 것을 유의해야 한다.

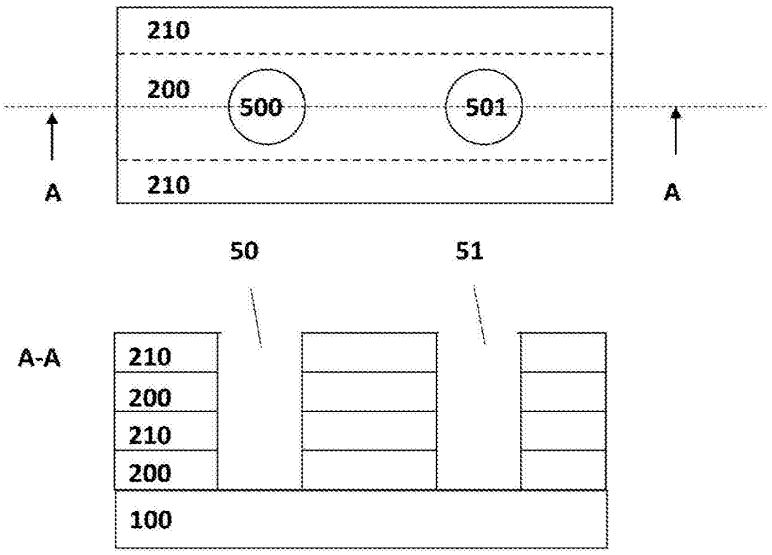
[0129] 상기 상세한 설명은 다양한 실시형태에 적용된 본 발명의 새로운 특성을 도시하고, 기재하고, 지적하지만, 도시된 장치 또는 공정의 형태 및 세부사항의 다양한 생략, 치환, 및 변경은 본 발명으로부터 벗어나지 않고 당업자에 의해서 행해질 수 있는 것으로 이해된다.

도면

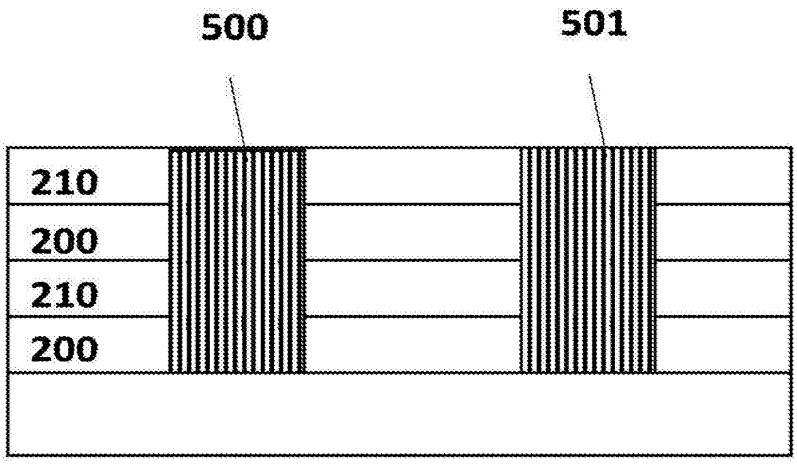
도면1a



도면1b

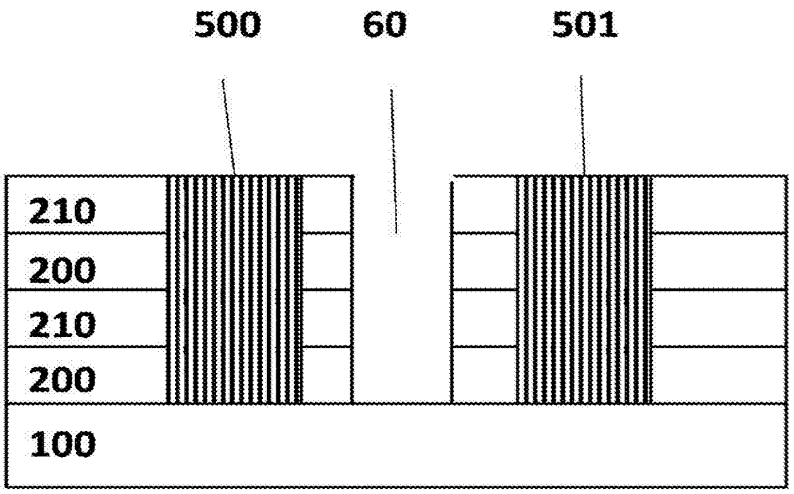


도면1c

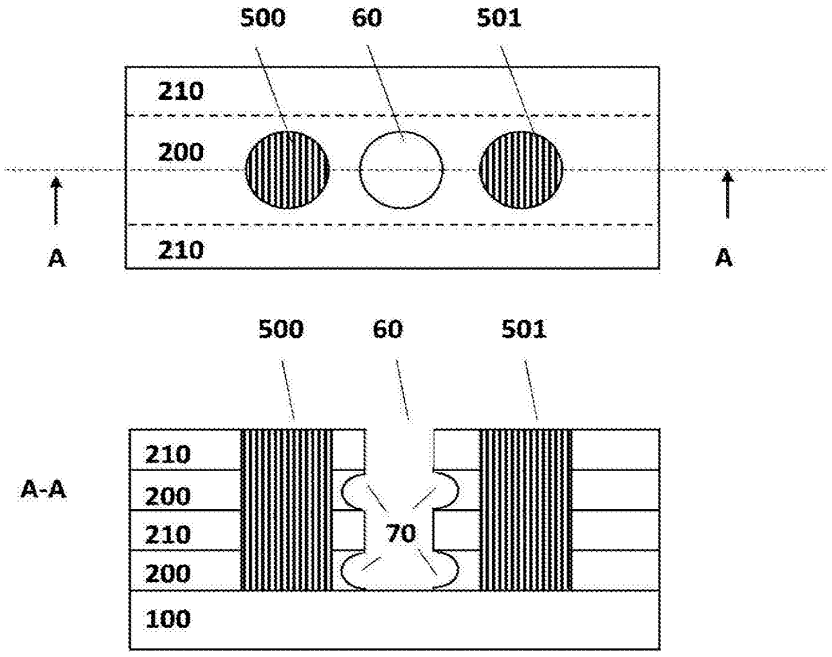


Micron Ex. 1002, p. 601
Micron v. YMTC
IPR2024-00790

도면1d

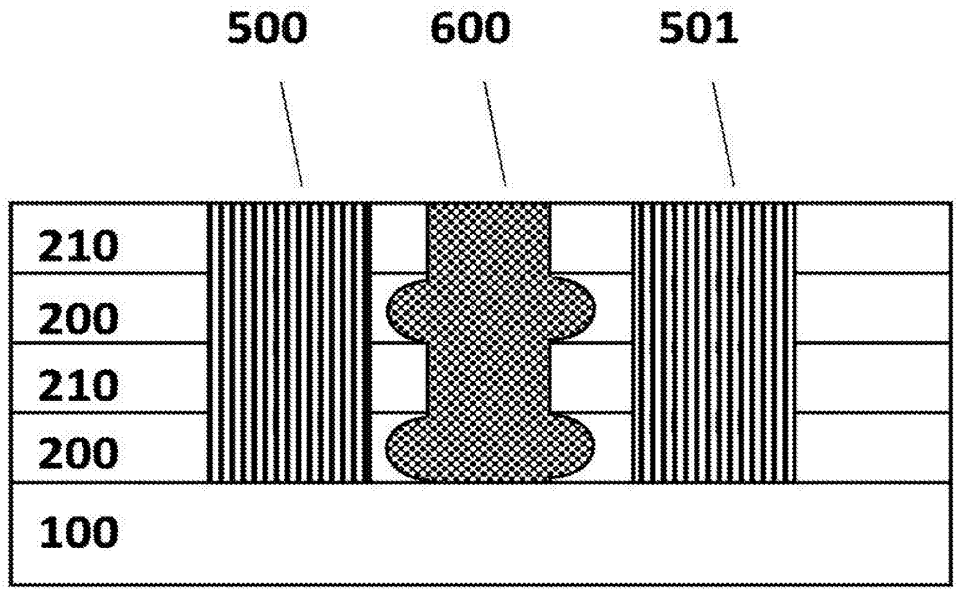


도면1e

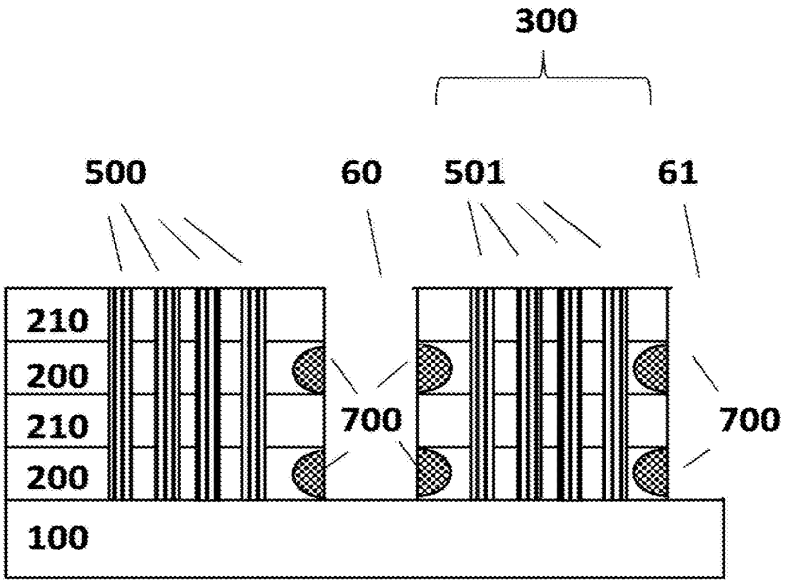


Micron Ex. 1002, p. 602
Micron v. YMTC
IPR2024-00790

도면1

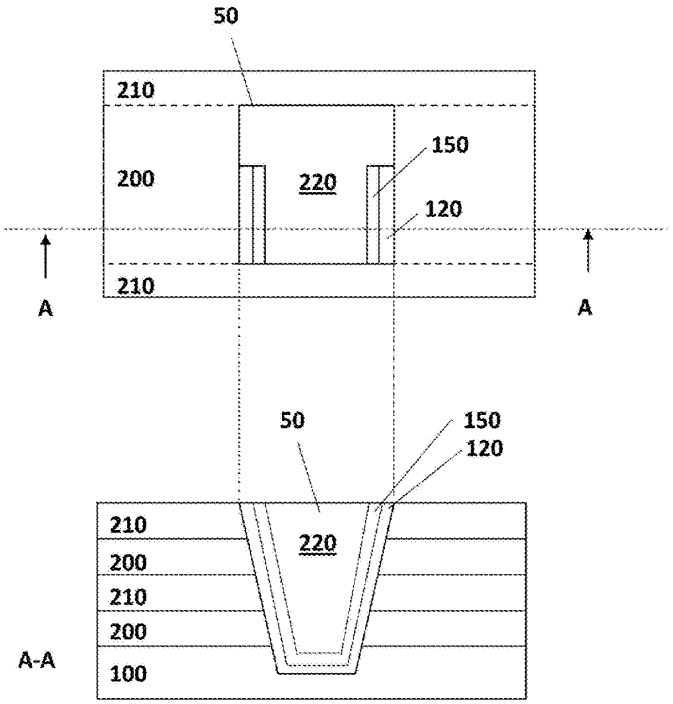


도면2

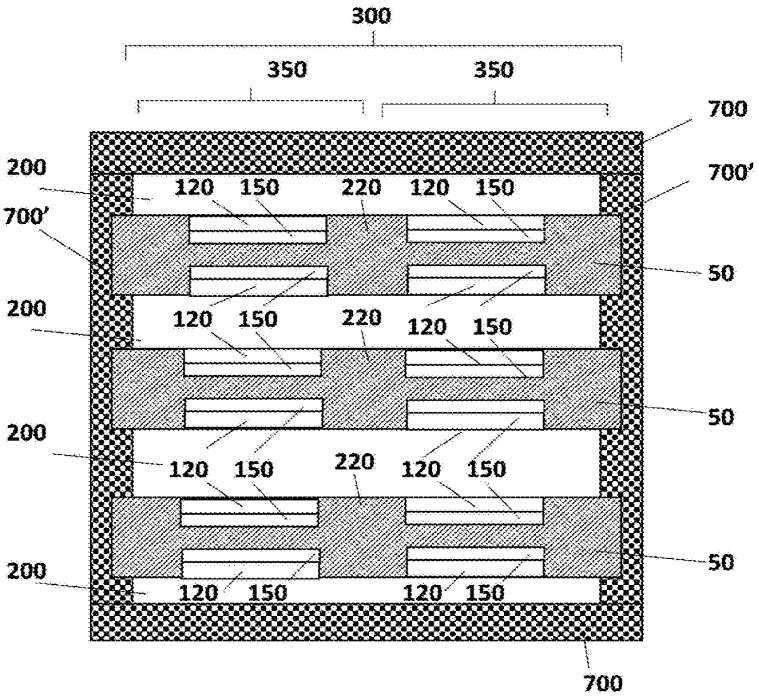


Micron Ex. 1002, p. 603
Micron v. YMTC
IPR2024-00790

도면3

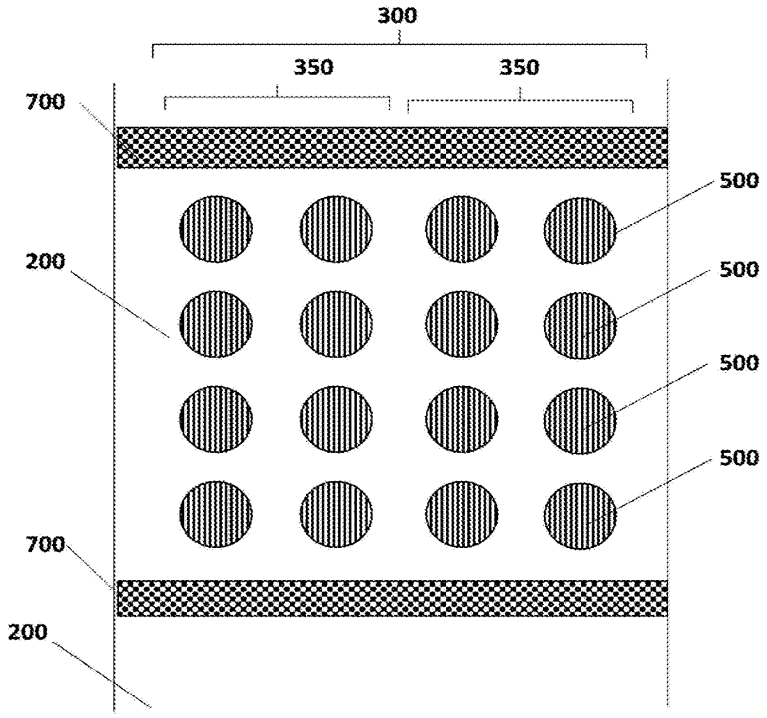


도면4



Micron Ex. 1002, p. 604
Micron v. YMTC
IPR2024-00790

도면5



Micron Ex. 1002, p. 605
Micron v. YMTC
IPR2024-00790