(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108615701 A
(43)申请公布日 2018.10.02

(21)申请号 201710499509.9

(22)申请日 2017.06.27

(30)优先权数据
62/433,648 2016.12.13 US
15/486,185 2017.04.12 US

(71)申请人 台湾积体电路制造股份有限公司
地址 中国台湾新竹市

(72)发明人 黄钲谦 江宗育

(74)专利代理机构 隆天知识产权代理有限公司 72003
代理人 李昕巍 章侃铱

(51)Int.Cl.
H01L 21/768(2006.01)
H01L 21/8234(2006.01)
H01L 21/8238(2006.01)

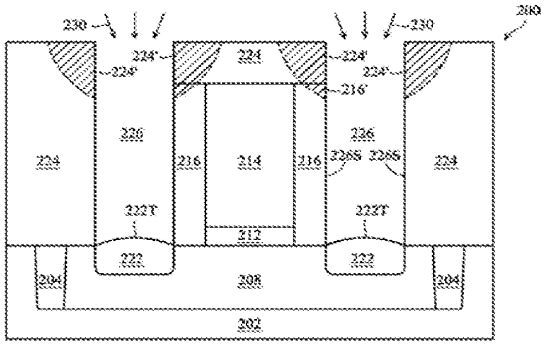
权利要求书1页 说明书8页 附图10页

(54)发明名称

半导体装置的制造方法

(57)摘要

一种半导体装置制造方法，包括形成接触孔，接触孔是配置成于介电层中露出半导体装置的源极/漏极特征，其中接触孔包括第一侧壁，其为介电层一部分；掺杂第一侧壁的上部；以及进行蚀刻制程从而去除接触孔中的氧化物。



CN 108615701 A

Micron Ex. 1002, p. 606
Micron v. YMTC
IPR2024-00790

1.一种半导体装置的制造方法，包括：

形成一接触孔，该接触孔是配置成于一介电层中露出该半导体装置的一源极/漏极特征，其中该接触孔包括一第一侧壁，其为该介电层一部分；

掺杂该第一侧壁的一上部；以及

进行一蚀刻制程从而去除该接触孔中的氧化物。

Micron Ex. 1002, p. 607
Micron v. YMTC
IPR2024-00790

半导体装置的制造方法

技术领域

[0001] 本发明实施例涉及半导体装置的制造方法，且特别关于形成半导体装置的接点(contact)的方法。

背景技术

[0002] 半导体工业已经进入纳米技术制程节点以追求更高的装置密度、更高的性能和更低的成本。在集成电路(IC)进化过程中，功能密度(单位芯片面积的互联装置数量)通常随着几何尺寸(使用制造制程可以创建的最小元件或线)下降而增加。这种微缩化的过程通常可提高生产效率和降低相关成本。尽管在材料和制造方面已取得了进展，但无论是平面(如平面场效晶体管)或三维(如鳍式场效晶体管)装置的微缩化都是具有挑战性的。举例来说，这种微缩化降低了可用于将晶体管连接到其它元件的面积。因此，在这种有限区域的内连线结构可能不利地影响相应的接合电阻(junction resistance)，进而降低晶体管的开关速度。

[0003] 各种技术已被提出以克服这一点。其中，通常将金属硅化物形成在晶体管的源极/漏极特征和相应的内连线结构(如源极/漏极接点)之间以降低接合电阻。通常，在形成上述金属硅化物层之前会执行预清洗制程(如至少一个蚀刻制程)。虽然预清洗制程有利地除去不需要的残留物/颗粒(例如氧化物)，但由于预清洗制程的等向性特征，预清洗制程也可能对围边元件和结构造成一些损坏。围边元件和结构(如间隔层、层间介电层等)的损坏可能又导致在栅极和源极/漏极接点之间形成桥接，这可能引起各种问题，例如短路。因此，形成晶体管源极/漏极接点的现有技术并不完全令人满意。

发明内容

[0004] 本发明实施例包括一种半导体装置的制造方法，包括：形成接触孔，接触孔是配置成于介电层中露出半导体装置的源极/漏极特征，其中接触孔包括第一侧壁，其为介电层一部分；掺杂第一侧壁的上部；以及进行蚀刻制程从而去除接触孔中的氧化物。

[0005] 本发明实施例亦包括一种半导体装置的制造方法，包括：形成栅极堆迭，包括栅极和沿着栅极的侧壁延伸的间隔层；于邻近栅极堆迭处形成源极/漏极特征；于栅极堆迭和源极/漏极特征上形成介电层；于介电层中形成接触孔，以露出源极/漏极特征，其中接触孔包括通过间隔层及介电层的一部分形成的第一侧壁；掺杂第一侧壁的上部；以及进行蚀刻制程从而去除接触孔中的氧化物。

[0006] 本发明实施例亦包括一半导体装置，包括：导电栓塞，位于基板上；栅极堆迭，沿着导电栓塞邻近于第一侧壁的导电栓塞；以及介电层，沿着导电栓塞的第二侧壁邻近于导电栓塞，第二侧壁与第一侧壁相对；其中沿着第二侧壁的介电层的至少一上部包括多个撞入掺质。

附图说明

Micron Ex. 1002, p. 608
Micron v. YMTC
IPR2024-00790

[0007] 以下将配合说明书附图详述本发明的实施例。应注意的是，依据在业界的标准做法，各种特征并未按照比例示出且仅用以说明例示。事实上，可能任意地放大或缩小元件的尺寸，以清楚地表现出本发明的特征。

[0008] 图1是根据本发明一实施例示出形成半导体装置方法的流程图。

[0009] 图2A、2B、2C、2D、2E、2F、2G、2H和2I是根据一些实施例，通过如图1所示的方法制造，于各种制造阶段期间的示例性半导体装置剖面图。

[0010] 附图标记说明：

[0011] 102、104、106、108、110、112、114、116、118～步骤

[0012] 200～半导体装置

[0013] 202～基板

[0014] 204～STI特征

[0015] 206～主动区

[0016] 208～掺杂阱

[0017] 212～栅极介电特征

[0018] 214～栅极

[0019] 216～栅极间隔物

[0020] 216'、224'、226C～上角

[0021] 220～通道区

[0022] 222～源极/漏极特征

[0023] 222T～顶表面

[0024] 224～介电层

[0025] 226～接触孔

[0026] 226S～侧壁

[0027] 227～注入制程

[0028] 230～预清洗制程

[0029] 232～金属硅化物(接触)层

[0030] 234～源极/漏极接点

[0031] θ～入射角

具体实施方式

[0032] 以下公开许多不同的实施方法或是例子来实行所提供的标的的不同特征，以下描述具体的元件及其排列的实施例以阐述本发明。当然这些实施例仅用以例示，且不该以此限定本发明的范围。例如，在说明书中提到第一特征形成于第二特征之上，其包括第一特征与第二特征是直接接触的实施例，另外也包括于第一特征与第二特征之间另外有其他特征的实施例，亦即，第一特征与第二特征并非直接接触。此外，在不同实施例中可能使用重复的标号或标示，这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及/或结构之间有特定的关系。

[0033] 此外，其中可能用到与空间相关用词，例如“在…下方”、“下方”、“较低的”、“上方”、“较高的”及类似的用词，这些空间相关用词为了便于描述图示中一个(些)元件或特征

Micron Ex. 1002, p. 609
Micron v. YMTC
IPR2024-00790

与另一个(些)元件或特征之间的关系,这些空间相关用词包括使用中或操作中的装置的不同方位,以及附图中所描述的方位。当装置被转向不同方位时(旋转90度或其他方位),则其中所使用的空间相关形容词也将依转向后的方位来解释。

[0034] 本发明提供了可免于上述问题的半导体装置制造方法的一些实施例。本发明的一些实施例提供了形成互补金属氧化物半导体(complementary metal-oxide-semiconductor,CMOS)晶体管的源极/漏极接点的方法,其中在欲形成源极/漏极接点的接触孔侧壁进行掺杂。具体来说,这种掺杂制程是在侧壁相应的上角(upper corner)各向异性地进行。因此可以减少被掺杂侧壁的蚀刻速度,即增加抗蚀刻率(etch resistivity)。根据一些实施例,增加的抗蚀刻率有助于侧壁承受通常在接触孔中形成金属硅化物(silicide)层之前所使用的一个或多个蚀刻制程(如上述预清洗制程)。此外,本发明实施例的方法不需要生成额外的结构或元件,使得这些方法能够无缝整合到现有的CMOS制造技术中。

[0035] 图1是根据本发明一实施例示出形成半导体装置200的方法100的流程图。须注意的是,方法100仅是一个例子,并不用于限制本发明。可以在方法100之前、之中和之后提供额外的操作,并且可以根据附加实施例来替换、消除或变动所描述的一些操作。下面配合第2A-2I图描述方法100,这些剖面图示出了在各种制造阶段的半导体装置200的一部分。

[0036] 于一些实施例中,半导体装置200包括一个或多个场效应晶体管(field effect transistors,FETs)。此外,虽然半导体装置200是建构为平面FET结构,在一些实施例中,所公开的方法100可以用于制造三维FET结构,例如鳍式FET(FinFET)结构。

[0037] 根据一些实施例,方法100是从提供半导体基板202(图2A)的操作102开始。如图2A的示例性实施例所示,半导体装置200包括半导体基板202。在一些实施例中,半导体基板202包括硅。或者,半导体基板202包括锗、硅锗或其它适当的半导体材料,例如三五族化合物材料。在一些其他实施例中,半导体基板202可以包括用于通过适当技术形成用于隔离的内埋介电材料层(buried dielectric material layer),例如通常称为氧离子植入硅晶隔离法(separation by implanted oxygen,SIMOX)的技术。在一些其他实施例中,半导体基板202可以是绝缘体上半导体,例如绝缘体上硅(silicon on insulator,SOI)。

[0038] 作为用于说明的各种例子,半导体装置200包括其他元件或特征。在一些实施例中,在半导体基板202中形成隔离特征,如各种浅沟槽隔离(shallow trench isolation,STI)特征204,并且定义主动区(或半导体区)206。STI特征204隔离并包围主动区206。在一个例子中,半导体基板202的顶表面和STI特征204的顶表面可共面,造成共同的顶表面。在另一个例子中,上述半导体基板202的顶表面和STI特征204的顶表面不共面,造成三维结构,如鳍式FET(FinFET)结构。

[0039] 在一些实施例中,STI特征204的形成包括:形成有开口的硬掩模,用于定义STI特征的区域;通过硬掩模的开口蚀刻半导体基板202,以在半导体基板202中形成沟槽;沉积至少一种介电材料以填充沟槽;并进行化学机械抛光(chemical mechanical polishing,CMP)制程。作为一示例,STI特征204的深度在约50nm和约500nm之间。更具体来说,硬掩模的形成包括沉积硬掩模层;以光刻制程在硬掩模上形成图案化的抗蚀层(resist layer);并使用图案化的抗蚀层作为蚀刻掩模,蚀刻硬掩模层。介质材料的沉积还包括热氧化沟槽,然后通过化学气相沉积(chemical vapor deposition,CVD)制程,以介电材料如氧化硅填充

Micron Ex. 1002, p. 610
Micron v. YMTC
IPR2024-00790

沟槽。在一个例子中，用于填充沟槽的CVD制程包括高密度等离子体CVD(high density plasma CVD，HDP-CVD)。在一些实施例中，STI特征204的形成包括在化学机械抛光之后去除硬掩模。在另一实施例中，硬掩模包括由热氧化形成的氧化硅层和由CVD制程在氧化硅层上形成的氮化硅。

[0040] 在图2A中，主动区206是设计以形成FET，例如p型FET(pFET)或n型FET(nFET)。在一些实施例中，可以在主动区206中形成掺杂阱208。在一些实施例中，掺杂阱208包括分布在将形成pFET的主动区206中的n型掺质，例如磷(P)及/或砷(As)。可以通过合适的掺杂制程，例如至少一个离子注入制程，经过掩模层的开口将n型掺质导入到n型阱208中。在一些其它例子中，掺杂阱208包括分布在将形成nFET的主动区206中的p型掺质，例如硼(B)。可以通过合适的掺杂制程，例如至少一个离子注入制程，经过掩模层的开口将p型掺质导入到p型阱208中。STI特征204更具有限定掺质至所欲主动区的功能。在本示例中，在主动区206中形成掺杂阱208。在一个例子中，掺杂阱208植入基板202的n型或p型掺质的相应掺杂浓度可为约10^{16}至$10^{18}cm^{-3}$间。在另一例子中，掺杂阱208可以具有约0.5μm至2μm的深度。

[0041] 根据各种实施例，方法继续至操作106，其中在半导体基板202的顶表面上形成栅极堆迭210(图2B)。如图2B所示，在主动区206中形成栅极堆迭210。此外，在一些实施例中，栅极堆迭210位于定义于主动区206中的通道区220之上，并与之垂直对准。当操作期间相应的FET开启时，通道区220作为导电路径。

[0042] 在一些实施例中，栅极堆迭210包括设置在半导体基板202上的栅极介电特征212和设置在栅极介电特征212上的栅极214。半导体装置200可还包括设置在栅极堆迭210的侧壁上的栅极间隔物216。

[0043] 更具体来说，栅极介电特征212包括栅极介电材料，如氧化硅或具有较高介电常数的合适介电材料(高介电常数介电材料，high-k dielectric material)。根据一些示意性实施例，栅极介电特征212可以包括一层以上介电材料层。例如，栅极介电特征212可以包括层间介电层，例如氧化硅，以及界面层上的高介电常数介电材料层。

[0044] 栅极214包括导电材料层，例如掺杂多晶硅、金属、金属合金、金属硅化物或其组合。在一些实施例中，栅极214包括一层以上导电材料层。例如，栅极214包括在栅极介电特征212上的具有适当功函数的第一导电层，以及设置在第一导电层上的第二导电层。在一个例子中，当形成pFET装置时，第一导电层是p型功函数金属层。p型功函数金属层的例子包括氮化钽及/或氮化钛。于另一例子中，当形成nFET装置时，第一导电层为n型功函数金属层。n型功函数金属层的例子包括钛及/或铝。第二导电层包括铝、钨、铜、掺杂多晶硅或其组合。

[0045] 通过包括各种沉积制程和图案化的过程形成栅极堆迭210。在一实施例中，在半导体基板202上形成界面层。界面层可以包括由适当技术，例如原子层沉积(atomic layer deposition，ALD)、热氧化或紫外线-臭氧氧化(UV-Ozone Oxidation)所形成的氧化硅。界面层的厚度可以小于10Å。随后，在一些实施例中，在界面层上形成高介电常数介电材料层。高介电常数介电层包括介电常数高于热氧化硅(约3.9)的介电材料。由合适的制程，如由ALD或其他合适的技术形成高介电常数介电材料层。其他形成高介电常数介电材料层的方法包括金属有机化学气相沉积(metal organic chemical vapor deposition，MOCVD)、物理气相沉积(Physical vapor deposition，PVD)、紫外线-臭氧氧化或分子束磊晶(molecular beam epitaxy，MBE)。于一实施例中，高介电常数介电材料包括HfO_2。或者，高

Micron Ex. 1002, p. 611
Micron v. YMTC
IPR2024-00790

介电常数介质材料层包括金属氮化物、金属硅化物或其他金属氧化物。界面层和高介电常数介电材料层构成栅极介电层。

[0046] 在一些实施例中，栅极214包括多晶硅材料。通过如CVD的制造技术，以在栅极介电层上形成多晶硅层。在一例子中，通过如PVD的制造技术，可以在高介电常数介电材料层和多晶硅层之间形成盖层(capping layer)。在一些例子中，盖层可以包括氮化钛(TiN)、氮化钽(TaN)或其组合。盖层可有一个或多个功能，例如扩散阻障、蚀刻停止及/或保护。

[0047] 在沉积栅极介电层和多晶硅层之后，在基板202上形成一层栅极堆迭材料层。图案化栅极堆迭材料层以形成栅极堆迭210。图案化栅极堆迭210包括光刻制程和蚀刻。光刻制程形成图案化的抗蚀层。在一例子中，光刻制程包括抗蚀涂层、软烘烤、曝光、曝光后烘烤(post-exposure baking,PEB)、显影和硬烘烤。然后通过使用图案化的抗蚀层作为蚀刻掩模，通过蚀刻以图案化栅极堆迭材料层。蚀刻制程可以包括至少一个蚀刻步骤。例如，可施用具有不同蚀刻剂的多个蚀刻步骤以蚀刻相应的栅极堆迭材料层。

[0048] 在其他实施例中，也可以使用硬掩模作为蚀刻掩模以图案化栅极堆迭材料层。硬掩模可包括氮化硅、氮氧化硅、氧化硅、其他合适的材料或其组合。在栅极堆迭材料层上沉积硬掩模层。通过光刻制程在硬掩模层上形成图案化的抗蚀层。然后，经由图案化的抗蚀层的开口对硬掩模进行蚀刻，从而形成图案化的硬掩模。之后可以使用合适的制程去除图案化的抗蚀层，例如湿剥离(wet stripping)或等离子体灰化(plasma etching)。

[0049] 继续参照图2B，栅极间隔物216包括介电材料并且可以具有至少一层膜层。在一些实施例中，栅极间隔物216可以包括氧化硅、氮化硅、氧氮化硅、其它合适的介电材料或其组合。通过沉积和各向异性蚀刻(如干蚀刻)形成栅极间隔物216。

[0050] 根据一些实施例，方法继续进行到操作106，其中在半导体基板202之中分别形成源极/漏极特征222(图2C)。在一些实施例中，通过在半导体基板202之中形成相应的凹槽，进而形成源极/漏极特征222，然后再生长源极/极性特征，以填充相应的凹槽，此将于随后进一步详细描述。在一些实施例中，通过包括蚀刻的操作，在主动区域114内的半导体基板202中形成一个或多个凹槽221。在一些实施例中，可以使用如湿(及/或干)蚀刻制程，选择地蚀刻基板202的材料，以形成凹槽221。进一步于这种实施例中，栅极堆迭210、栅极间隔物216以及STI 204共同用作蚀刻硬掩模，从而在相应的栅极区域和漏极区域中形成凹槽221。在一些例子中，使用蚀刻剂如四氟化碳(CF_4)、四甲基氢氧化铵(tetramethylammonium hydroxide,TMAH)、其它合适的蚀刻剂或其组合以形成凹槽221。在一些实施例中，形成凹槽221的宽度为约200Å至约800Å。于蚀刻制程后，使用合适的化学品以进行清洗制程。凹槽221以及栅极堆迭210大抵对准，特别是与栅极间隔物216的外边缘对准。

[0051] 如上所述，随后通过沉积制程，以半导体材料填充凹槽221，从而在晶体结构中磊晶生长源极/漏极特征222。根据各种示意性实施例，可以由合适的制程形成源极/漏极特征222，例如CVD制程。在一些替代性实施例中，可以由选择性的沉积制程形成源极/漏极特征222。用于形成源极/漏极特征222的沉积制程包括氯，其用于蚀刻效果并使沉积是有选择性的。设计及调整选择性沉积制程，以使其为磊晶生长，使得在凹槽221中形成的源极/漏极特征222包括晶体结构的半导体材料。

[0052] 继续参考图2C，源极/漏极特征222的半导体材料可以与基板202的半导体材料不同或相同。例如，半导体材料包括硅、碳化硅或硅锗，而基板202是硅基板。在一些实施例中，

Micron Ex. 1002, p. 612
Micron v. YMTC
IPR2024-00790

当源极/漏极特征222的半导体材料为硅且基板202为硅基板时，源极/漏极特征222的半导体材料通常是被掺杂的以形成源极/漏极特征。例如，当掺杂阱208是p型掺杂阱时，源极/漏极特征222可以是n型掺杂的(即掺杂磷掺质)。类似地，当掺杂阱208是n型掺杂阱时，源极/漏极特征222可以是p型掺杂的(即掺杂硼掺质)。

[0053] 方法继续进行到操作108，根据各种实施例，在半导体基板202上形成介电层224(图2D)。如图所示，形成介电层224以覆盖先前形成于半导体基板202之中/之上的特征，例如STI特征204、栅极堆迭210及源极/漏极特征222等。在一些实施例中，形成介电层224以电性隔离在整个半导体装置200中形成的一些元件，因此介电层224通常被称为层间介电(interlayer dielectric，ILD)层。可以由至少一种低介电常数(介于约1至3之间的介电常数)材料形成介电层224，例如氧化硅、高分子材料或其组合。在一些实施例中，通过使用旋转涂布制程，CVD制程或其组合形成介电层224。此外，介电层224可以包括约0.02μm至0.1μm的厚度。

[0054] 根据各种实施例，方法继续进行到操作110，其中在介电层224中形成一个或多个接触孔226(图2E)。通常，为了进一步的制程步骤，配置形成接触孔226，以露出相应的源极/漏极特征222。在一些实施例中，由至少一个以下的制程步骤形成接触孔226：在介电层224的顶表面上形成图案化硬掩模层(图2D)，其中图案化硬掩模层包括至少一个对应于各个源极/漏极特征222的位置的开口；通过使用图案化硬掩模层作为掩模，进行至少一个(干及/或湿)蚀刻制程，以通过硬掩模层的开口选择性地蚀刻介电层224；至少进行一个清洗制程。

[0055] 根据一些实施例，方法继续进行到操作112，其中由注入制程227掺杂相应接触孔226的侧壁226S的上角(top corner)226C(图2F)。更具体来说，在一些实施例中，注入制程227包括使用离子及/或扩散注入技术通过控制注入制程227的入射角(θ)，造成多个掺质(例如硼、硅及/或氮)穿透到侧壁226S的上角226C中。入射角可以介于约0°至约45°之间。在一些实施例中，注入制程227是各向异性制程，其中掺质由电源/加速器加速(功率约1至10keV)，以入射角θ各向异性地撞击在上角226C的顶表面上。如图2F所示，这种掺质可以穿透上角226C的顶表面，并延伸入上角226C一深度(例如约20～30nm)。也就是说，植入掺质于介电层224的上角(224')。在一些实施例中，植入的掺质可以帮助介电层224的上角(224')的抗蚀刻率增加，以承受至少一个蚀刻制程。因此，上角224'可能不会被蚀刻掉或甚至不会在后续进行蚀刻制程期间时损坏。因此，一旦以导电材料填充接触孔226而形成接点(细节将在后面讨论)，则可以有利地避免如接点和栅极214之间的短路。在一些其他实施例中，如图2F所示，掺质还可以穿透到间隔物216，以使间隔物216的上角216'的抗蚀刻率也增加。

[0056] 根据一些实施例，方法继续进行到操作114，其中在半导体装置200上进行至少一个预清洗制程230(图2G)。在一些实施例中，进行预清洗制程230以去除可能在侧壁226S及/或源极/漏极特征222的顶表面222T上形成的各种氧化物(如热氧化物、原生氧化物等)。更具体来说，这样的预清洗制程是等向性的制程。在一些实施例中，预清洗制程230包括：将半导体装置200放置在腔室中；启动电源以解离蚀刻气体(例如氨(NH_3)和三氟化氮(NF_3))的混合物；并将蚀刻气体与涤洗气体(purge gas，例如氩气)的混合物一起注入腔室中以开始蚀刻制程。应注意的是，根据一些实施例，由于掺杂制程227(图2F)使得上角224'(及/或上角216')具有增加的抗蚀刻率，所以接触孔226的形态特征可以大抵保持完整，而预清洗制程230仍然可以除去接触孔226中不想要的残留物/颗粒。

Micron Ex. 1002, p. 613
Micron v. YMTC
IPR2024-00790

[0057] 根据一些实施例，方法继续进行到操作116，其中在相应的源极/漏极特征222(图2H)上形成接触层232。在一些实施例中，接触层232包括金属硅化物层。这种金属硅化物层232可以由至少一个以下的制程形成：在其源极/漏极特征222上形成金属层(例如钛、钴、钽、镍、铂、铪、钯、钨、钼、铌或其组合)；并退火半导体装置200以在源极/漏极特征与相应的金属层之间开始硅化反应。因此，在相应的源极/漏极特征222上形成金属硅化物层232。在一些实施例中，金属硅化物层232具有约1至约8nm的厚度。在一些实施例中，随后可以在金属硅化物(接触)层232上形成阻障层(如金属氮化物层)。

[0058] 根据一些实施例，方法继续进行到操作118，其中以导电接点材料填充接触孔226，以形成相应的源极/漏极接点(栓塞)234(图2I)。导电接点材料可以包括如钨、铜、铝或其组合的各种导电材料中的任何一种。在一些实施例中，形成源极/漏极接点234可以包括至少一个以下制程步骤：用至少一种上述导电接点材料沉积接触孔226(如CVD、ALD、MOCVD等)；并进行平坦化制程(如CMP制程)以去除过量沉积的导电接点材料。

[0059] 在一实施例中，本发明公开了一种半导体装置的制造方法，包括形成一接触孔，该接触孔是配置成于一介电层中露出该半导体装置的一源极/漏极特征，其中该接触孔包括一第一侧壁，其为该介电层一部分；掺杂该第一侧壁的一上部；以及进行一蚀刻制程从而去除该接触孔中的氧化物。

[0060] 在另一实施例中，本发明公开了一种半导体装置的制造方法，包括：形成一栅极堆迭，包括一栅极和沿着该栅极的一侧壁延伸的一间隔层；于邻近该栅极堆迭处形成一源极/漏极特征；于该栅极堆迭和该源极/漏极特征上形成一介电层；于该介电层中形成一接触孔，以露出该源极/漏极特征，其中该接触孔包括通过该间隔层及该介电层的一部分形成的一第一侧壁；掺杂该第一侧壁的一上部；以及进行一蚀刻制程从而去除该接触孔中的氧化物。

[0061] 在又一实施例中，本发明公开了一半导体装置，包括：一导电栓塞，位于一基板上；一栅极堆迭，沿着该导电栓塞邻近于该第一侧壁的该导电栓塞；以及一介电层，沿着该导电栓塞的一第二侧壁邻近于该导电栓塞，该第二侧壁与该第一侧壁相对；其中沿着该第二侧壁的该介电层的至少一上部包括多个撞入掺质。

[0062] 如本发明一些实施例所述的半导体装置的制造方法，还包括于该蚀刻制程后于该源极/漏极特征上形成一金属硅化物层；以及以一导电材料填充该接触孔，从而形成该半导体装置的一接点。

[0063] 如本发明一些实施例所述的半导体装置的制造方法，其中该掺杂该第一侧壁的该上部包括：各向异性地将掺质撞击至该第一侧壁的一上角(upper corner)中。

[0064] 如本发明一些实施例所述的半导体装置的制造方法，其中该掺质包括硼、硅、氮和其组合中至少一种。

[0065] 如本发明一些实施例所述的半导体装置的制造方法，还包括于形成该接触孔前形成一栅极堆迭，包括一栅极和沿着该栅极的一侧壁设置的一间隔层。

[0066] 如本发明一些实施例所述的半导体装置的制造方法，其中该介电层的一部分覆盖该栅极。

[0067] 如本发明一些实施例所述的半导体装置的制造方法，其中该接触孔包括由该间隔层的一侧壁形成的一第二侧壁。

Micron Ex. 1002, p. 614
Micron v. YMTC
IPR2024-00790

[0068] 如本发明一些实施例所述的半导体装置的制造方法，还包括通过各向异性地将掺质撞击至该第二侧壁的一上部中，掺杂该第二侧壁的该上部。

[0069] 如本发明另一些实施例所述的半导体装置的制造方法，还包括于该源极/漏极特征上形成一金属硅化物层；以及以一导电材料填充该接触孔，从而形成该半导体装置的一接点。

[0070] 如本发明另一些实施例所述的半导体装置的制造方法，其中该掺杂该第一侧壁的该上部包括：各向异性地将掺质撞击至该第一侧壁的一上角中。

[0071] 如本发明另一些实施例所述的半导体装置的制造方法，其中该掺质包括硼、硅、氮和其组合中至少一种。

[0072] 如本发明另一些实施例所述的半导体装置的制造方法，其中该掺质穿透该间隔层的一侧壁及该介电层的该部分的一上角面(upper corner surface)。

[0073] 如本发明另一些实施例所述的半导体装置的制造方法，其中该接触孔包括由该介电层的另一部分形成的一第二侧壁。

[0074] 如本发明另一些实施例所述的半导体装置的制造方法，其中该掺质穿透该介电层的该另一部分的一上角面。

[0075] 如本发明又一些实施例所述的半导体装置，其中该导电栓塞通过一金属硅化物层耦接至于该基板中的一源极/漏极特征。

[0076] 如本发明又一些实施例所述的半导体装置，其中该掺质包括硼、硅、氮和其组合中至少一种。

[0077] 如本发明又一些实施例所述的半导体装置，其中所述撞入掺质分布在整个该介电层的一上角面。

[0078] 如本发明又一些实施例所述的半导体装置，其中该栅极堆迭包括一栅极介电层、该栅极介电层上的一栅极及沿着该栅极介电层及该栅极的侧壁的一间隔层。

[0079] 上述内容概述许多实施例的特征，因此任何所属技术领域中技术人员，可更加理解本发明的各面向。任何所属技术领域中技术人员，可能无困难地以本发明为基础，设计或修改其他制程及结构，以达到与本发明实施例相同的目的及/或得到相同的优点。任何所属技术领域中技术人员也应了解，在不脱离本发明的构思和范围内做不同改变、代替及修改，如此等效的创造并没有超出本发明的构思及范围。

Micron Ex. 1002, p. 615
Micron v. YMTC
IPR2024-00790

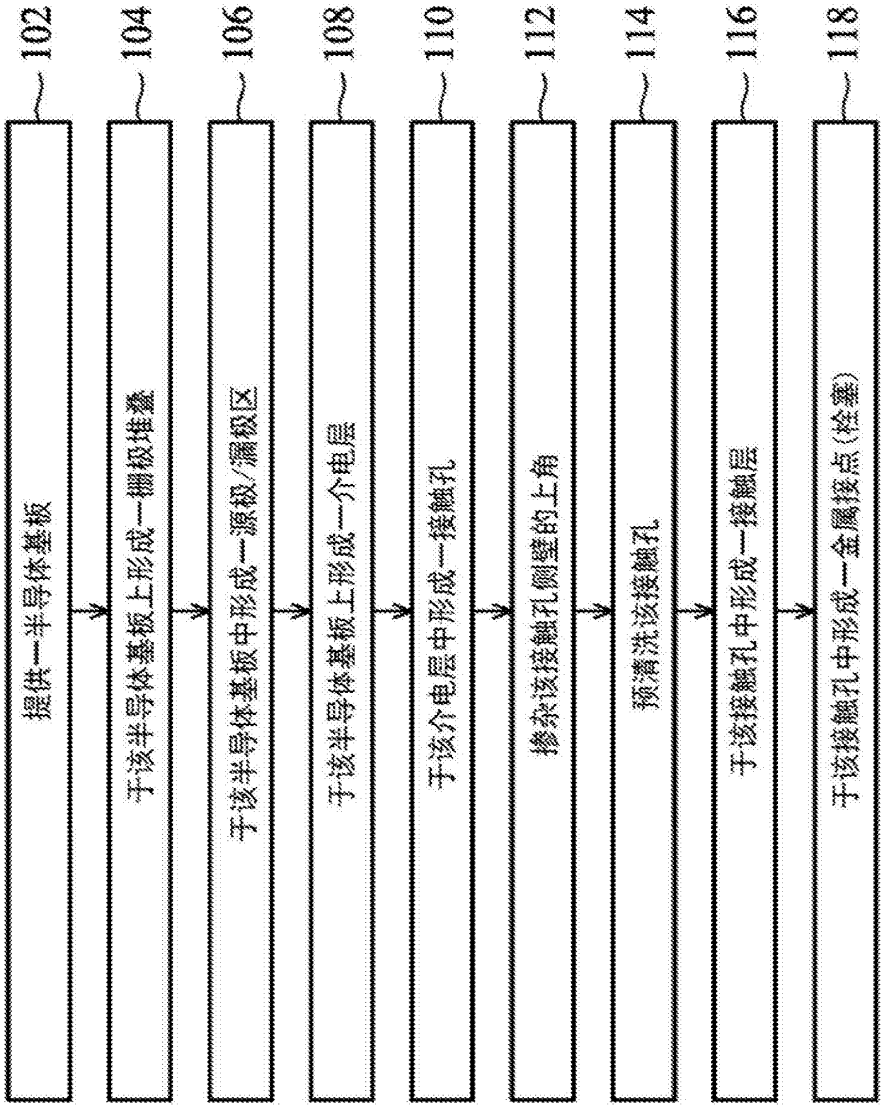


图1

Micron Ex. 1002, p. 616
Micron v. YMTC
IPR2024-00790

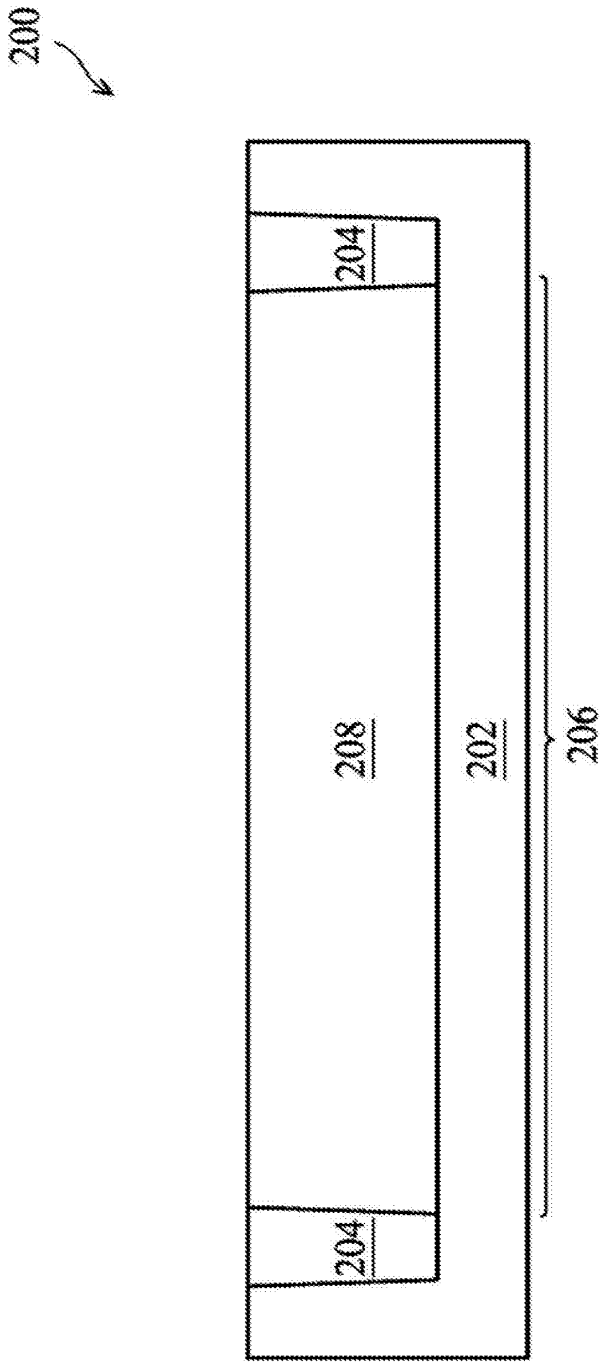


图2A

Micron Ex. 1002, p. 617
Micron v. YMTC
IPR2024-00790

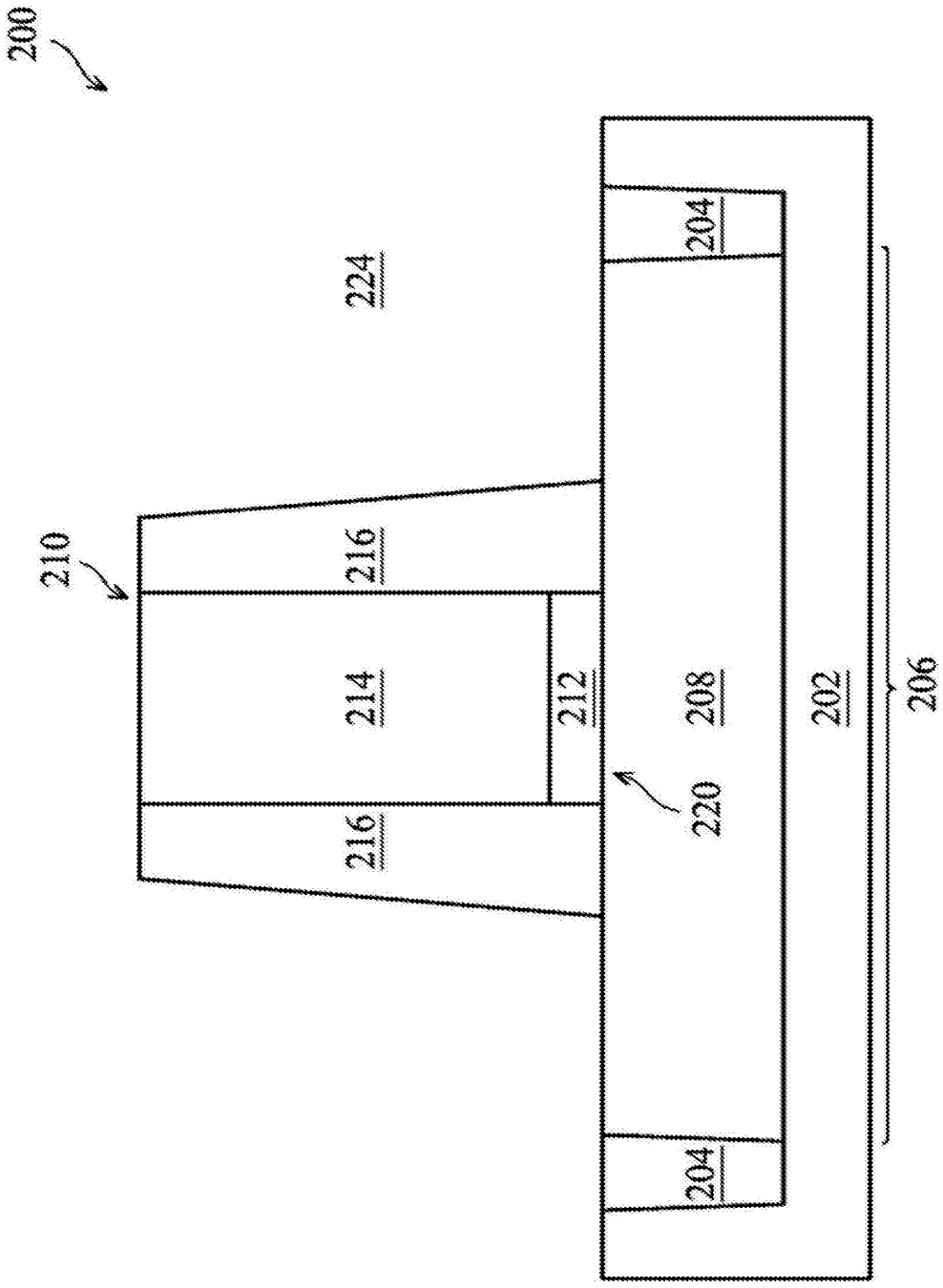


图2B

Micron Ex. 1002, p. 618
Micron v. YMTC
IPR2024-00790

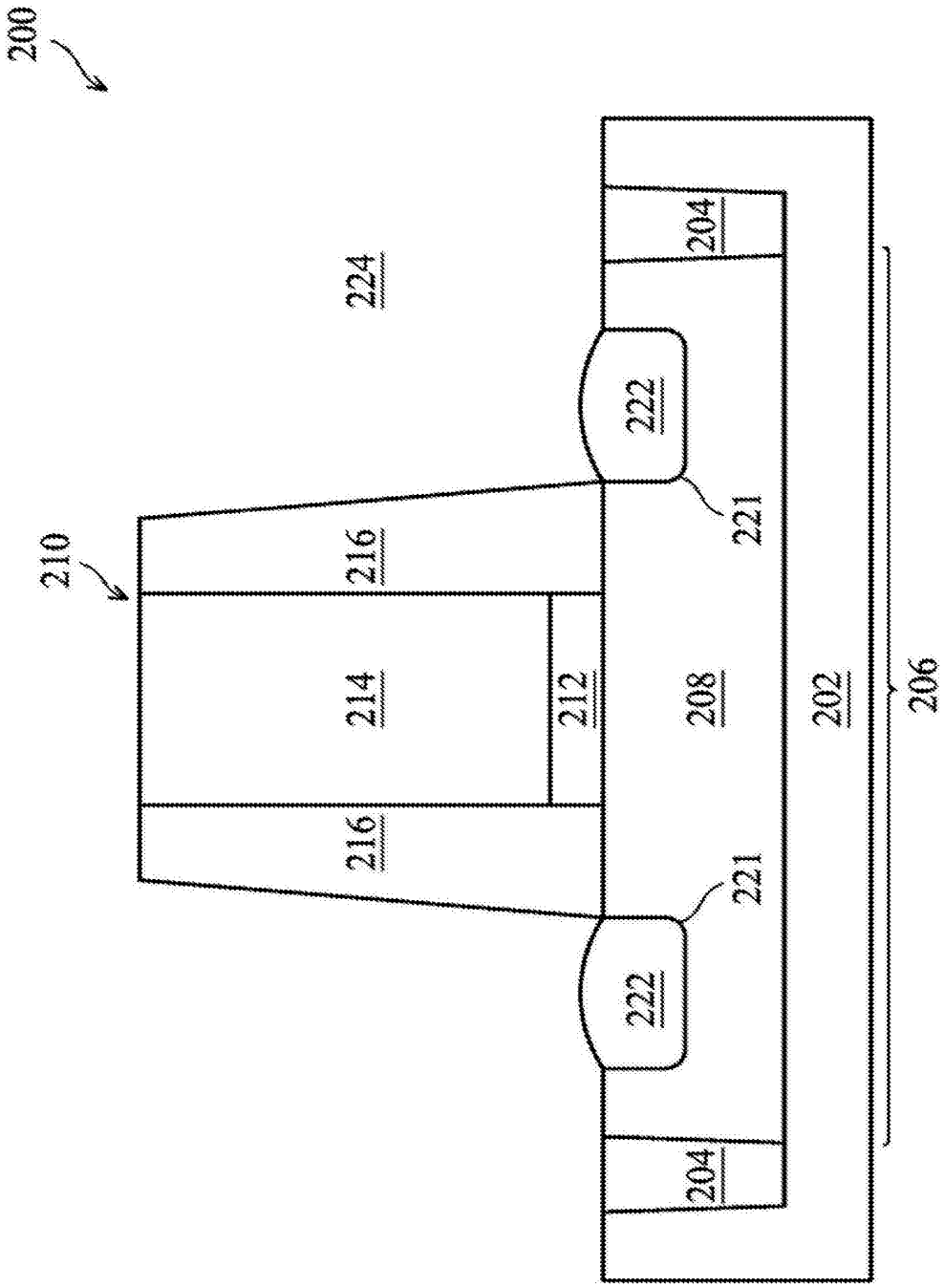


图2C

Micron Ex. 1002, p. 619
Micron v. YMTC
IPR2024-00790

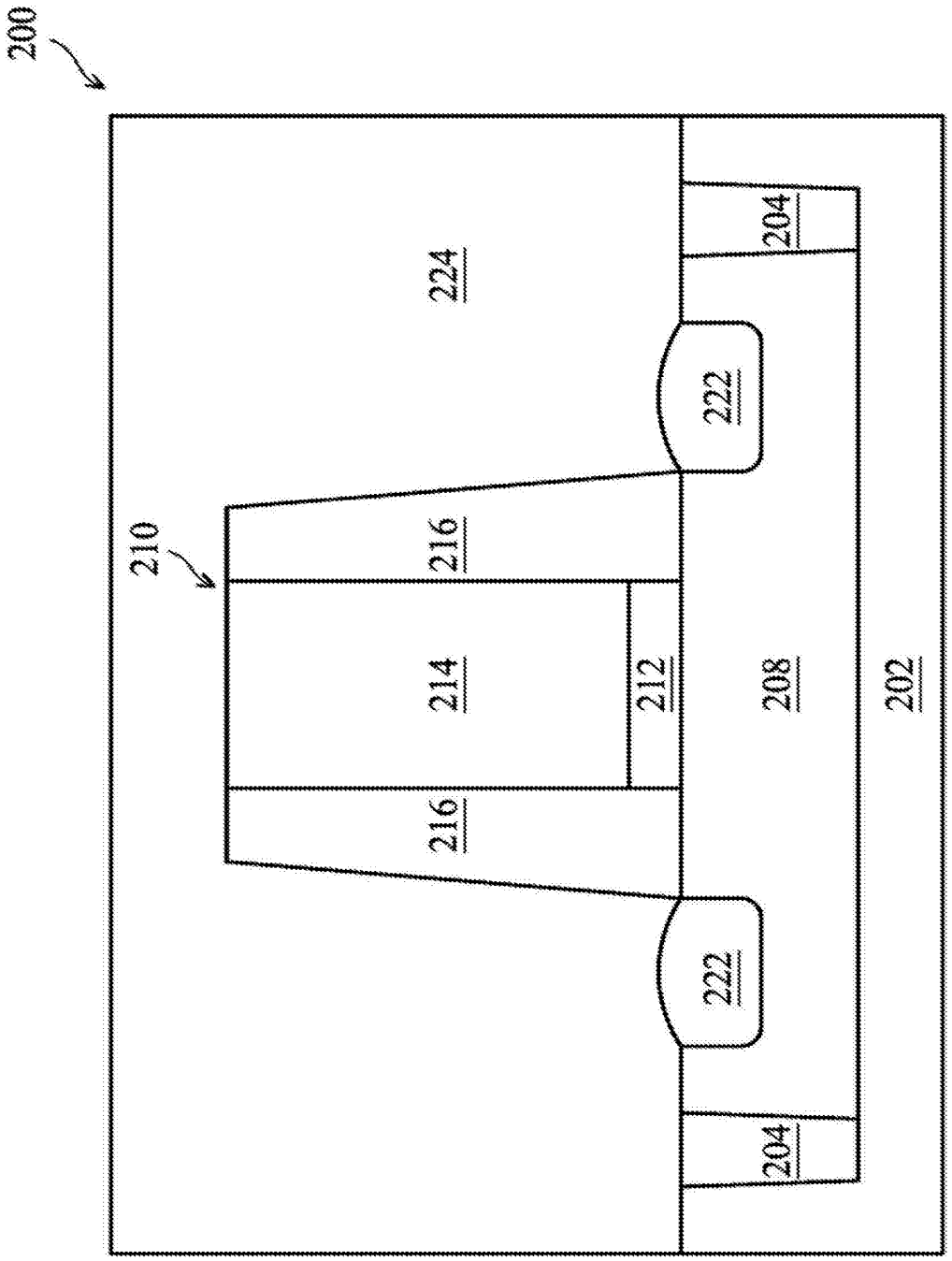


图2D

Micron Ex. 1002, p. 620
Micron v. YMTC
IPR2024-00790

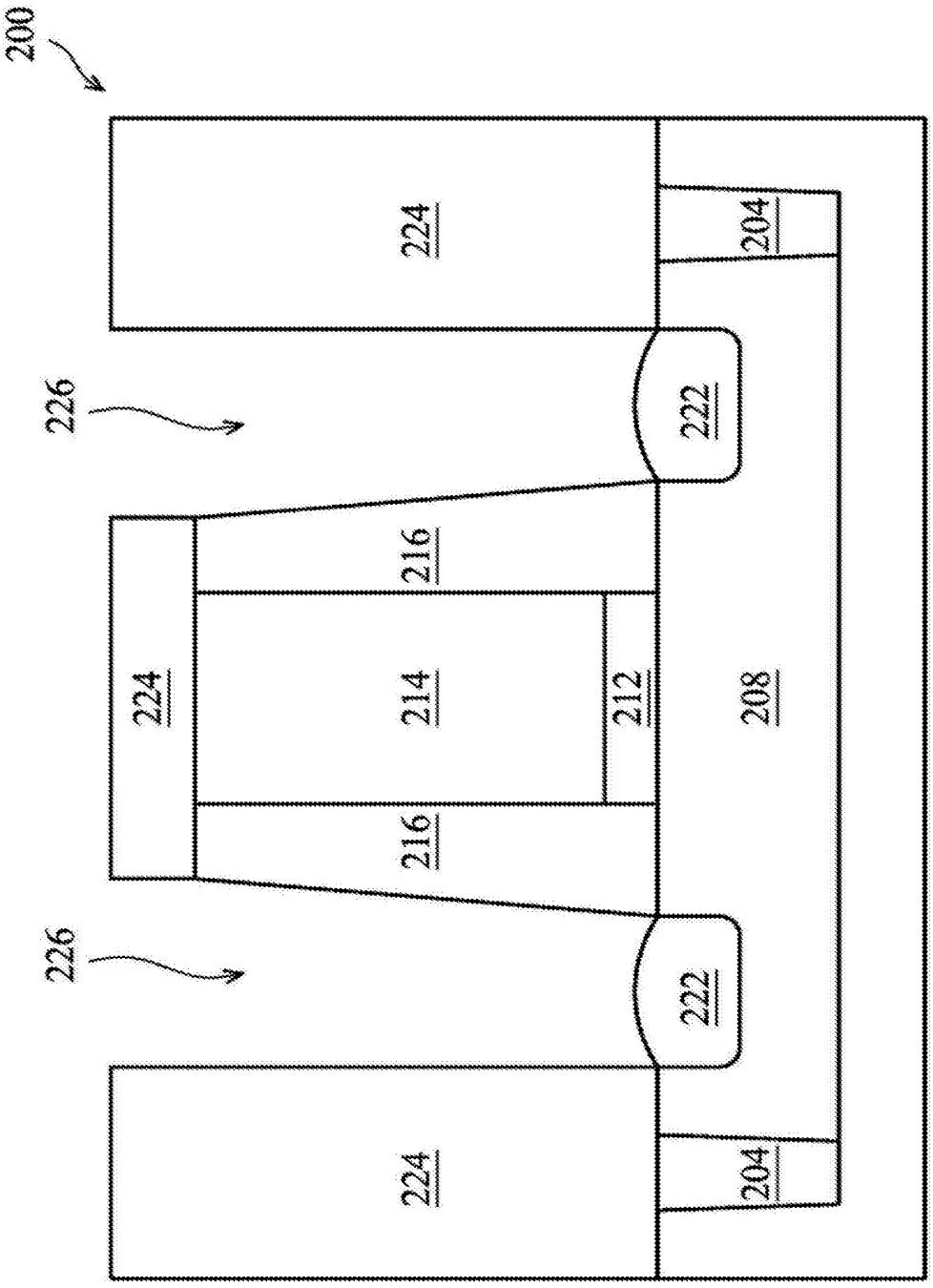


图2E

Micron Ex. 1002, p. 621
Micron v. YMTC
IPR2024-00790

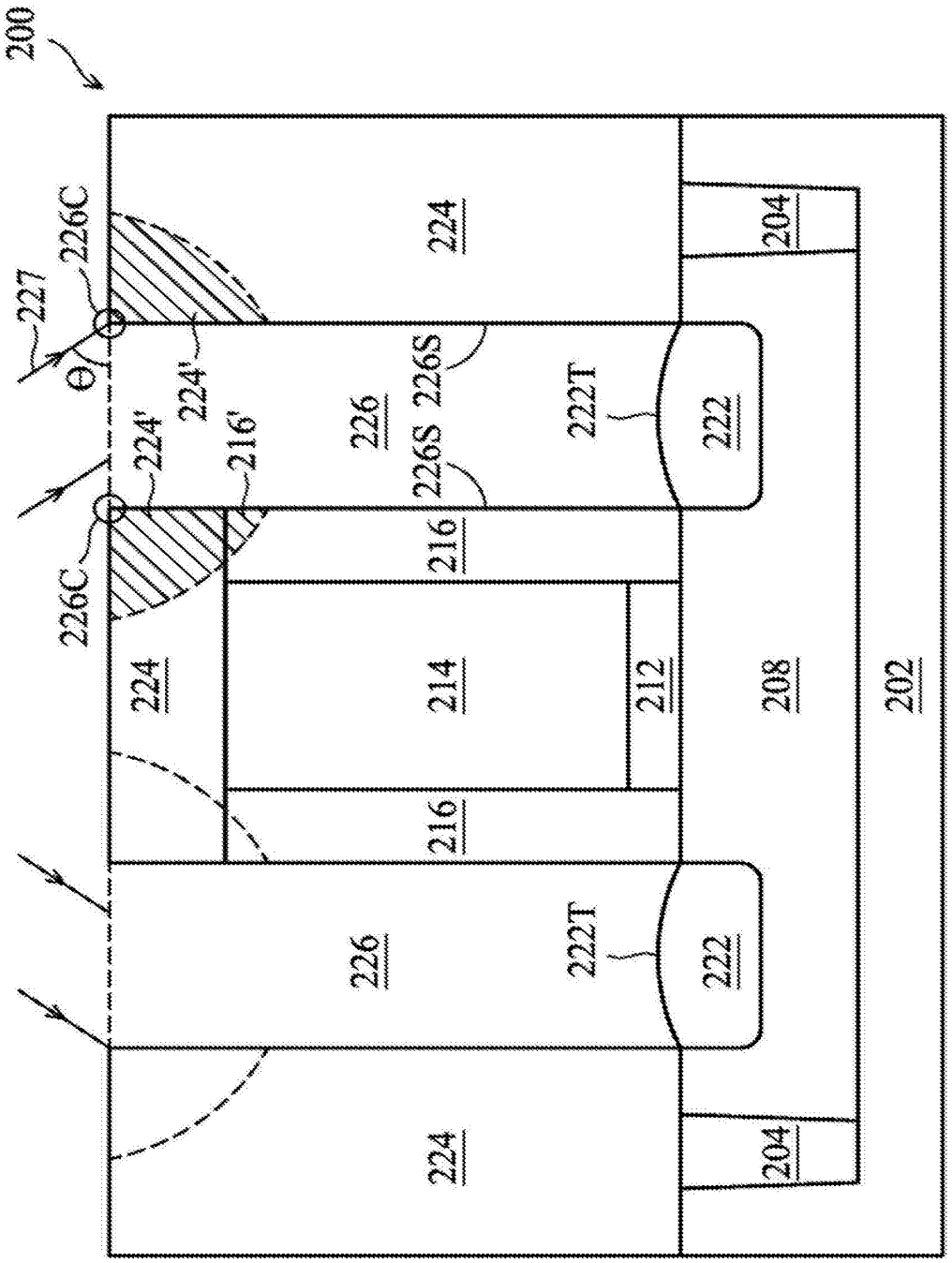


图2F

Micron Ex. 1002, p. 622
Micron v. YMTC
IPR2024-00790

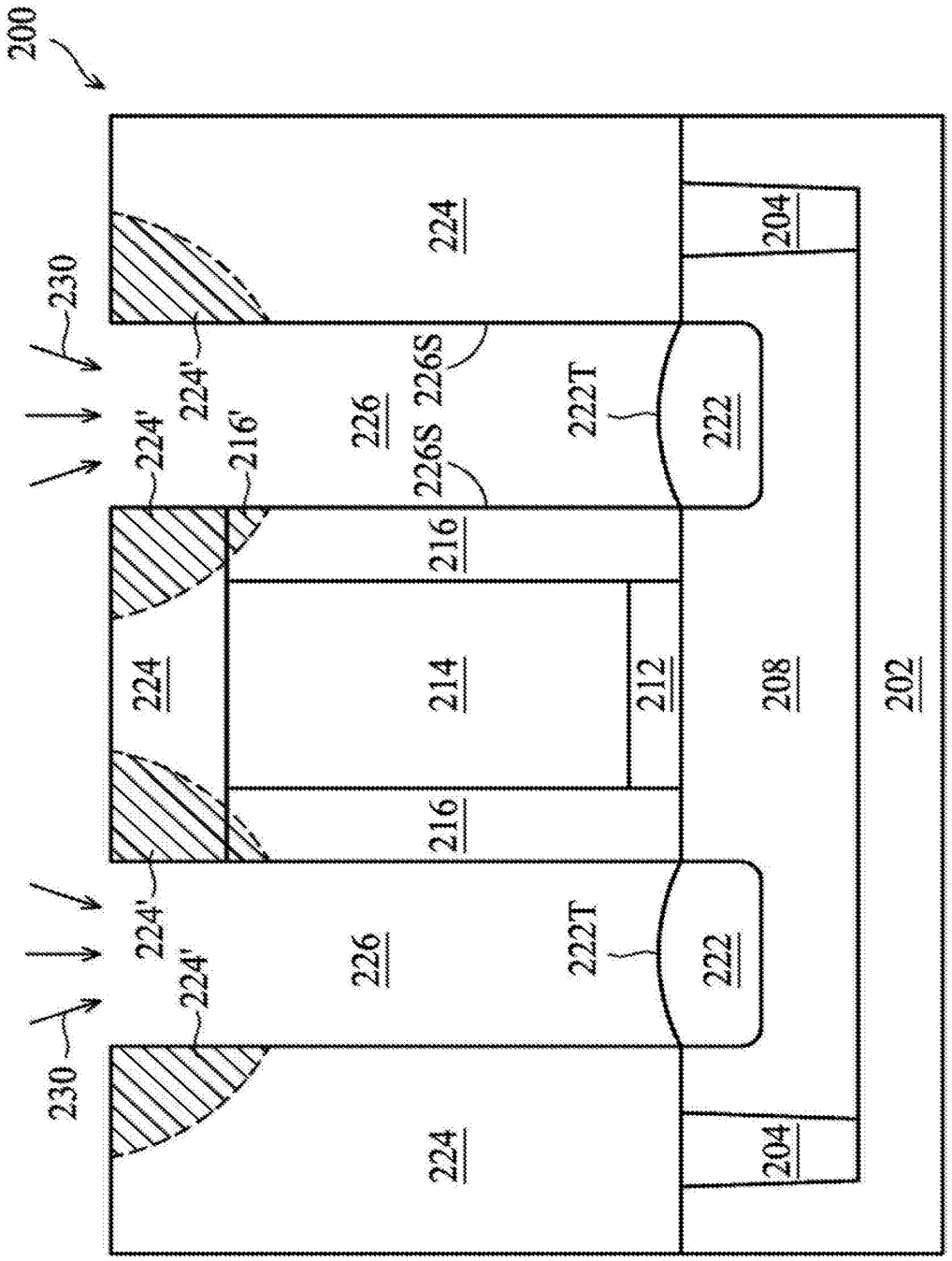


图2G

Micron Ex. 1002, p. 623
Micron v. YMTC
IPR2024-00790

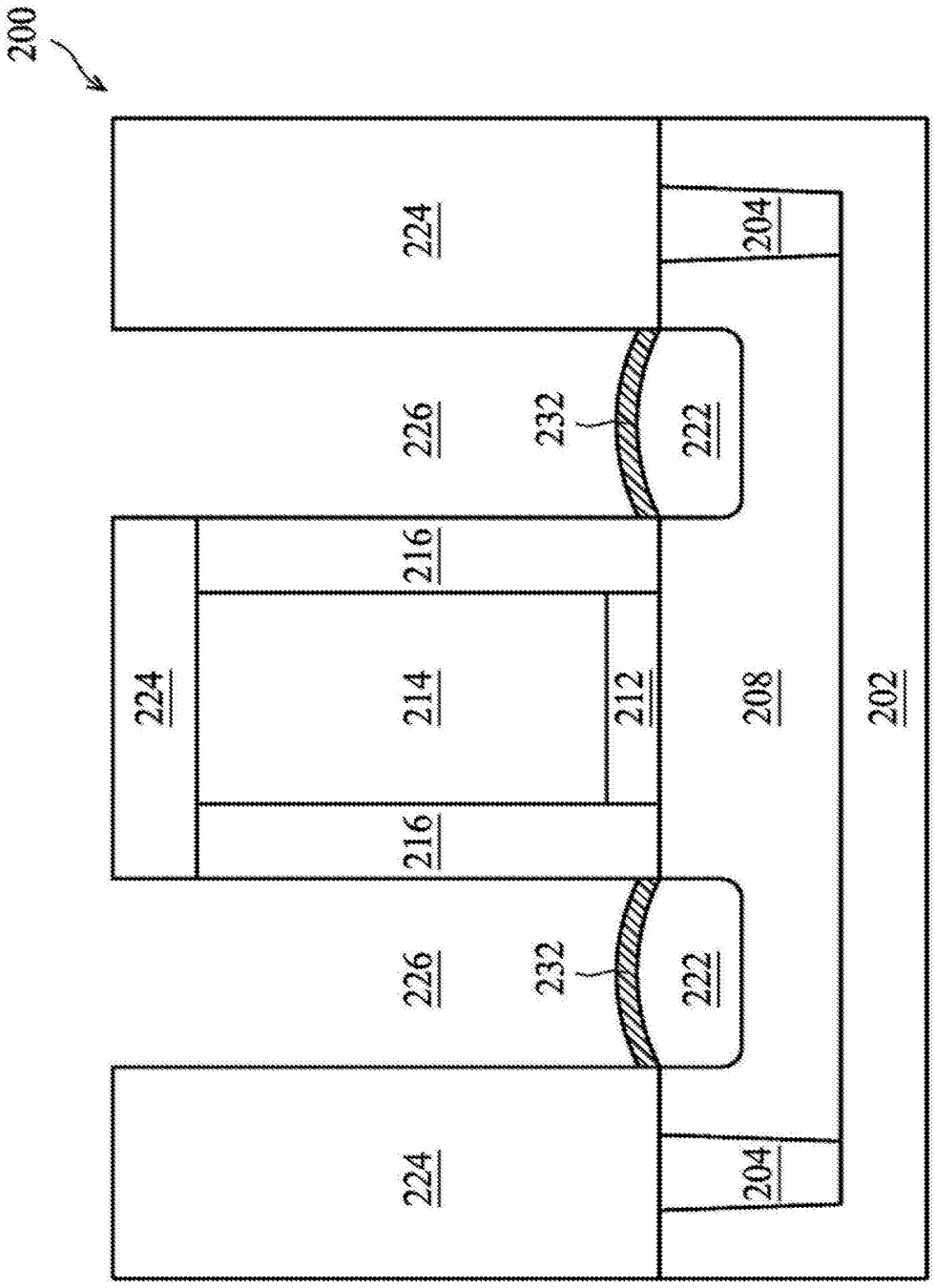


图2H

Micron Ex. 1002, p. 624
Micron v. YMTC
IPR2024-00790

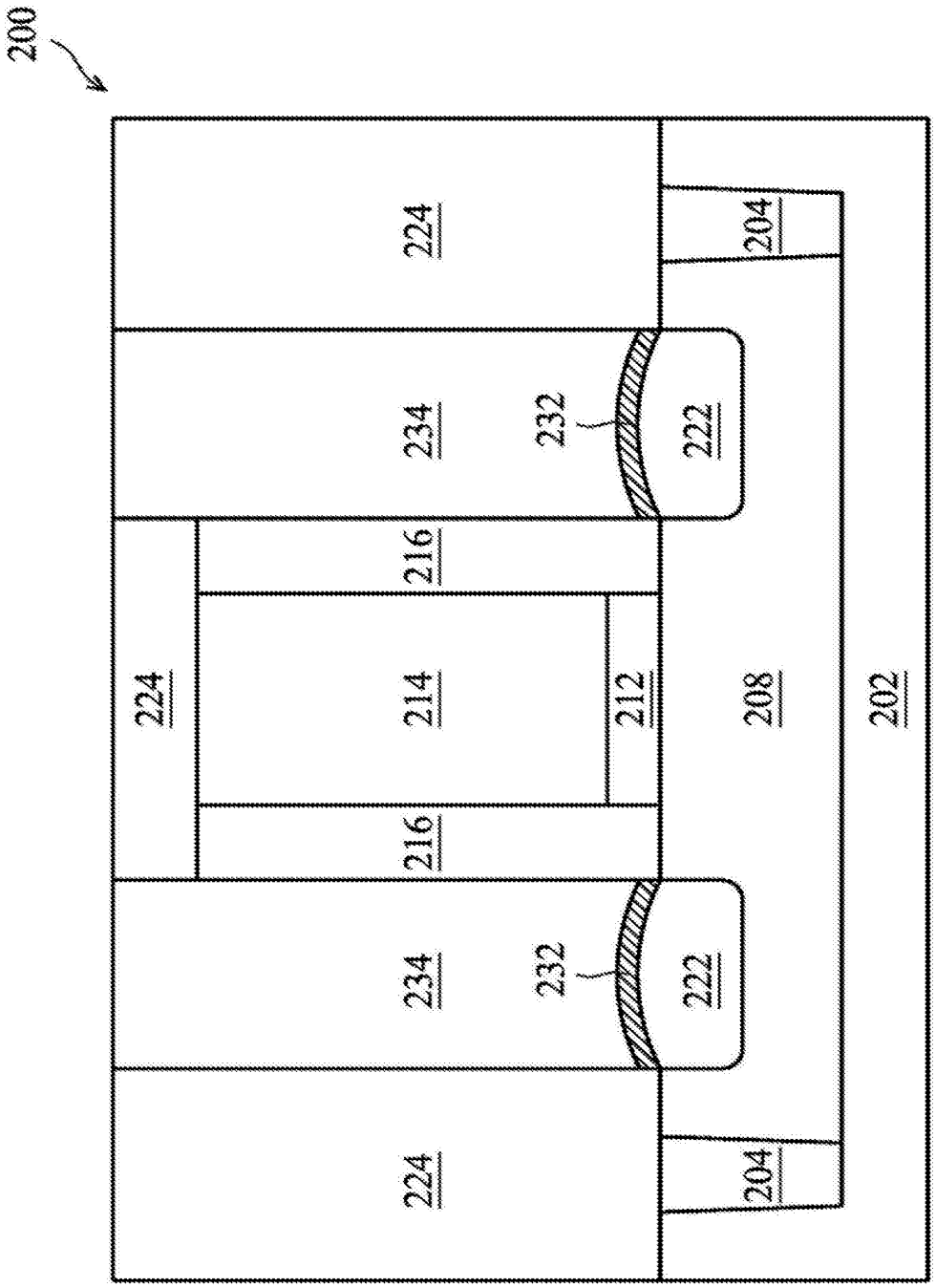


图2I

Micron Ex. 1002, p. 625
Micron v. YMTC
IPR2024-00790

PATENT COOPERATION TREATY

PCT

INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

22J

Applicant's or agent's file reference	FOR FURTHER ACTION	see Form PCT/ISA/220 as well as, where applicable, item 5 below.	
P2018TC551			
International application No.	International filing date		(Earliest)Priority date
PCT/CN2018/097432	*(day/month/year)*		*(day/month/year)*
	27 Jul. 2018(27. 07. 2018)		

Applicant

Yangtze Memory Technologies Co., Ltd.

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of 4 sheets.

☐ It is also accompanied by a copy of each prior art document cited in this report.

1. **Basis of the report**

a. With regard to the **language**, the international search was carried out on the basis of:

☒ the international application in the language in which it was filed

☐ a translation of the international application into _____, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b))

b. ☐ This international search report has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43.6bis(a)).

c. ☐ With regard to any **nucleotide and /or amino acid sequence** disclosed in the international application, see Box No. I.

2. ☐ **Certain claims were found unsearchable** (see Box No. II)

3. ☐ **Unity of invention is lacking** (see Box No. III)

4. With regard to the **title**,

☒ the text is approved as submitted by the applicant.

☐ the text has been established by this Authority to read as follows:

5. With regard to the **abstract**,

☒ the text is approved as submitted by the applicant.

☐ the text has been established, according to Rule 38.2(b), by this Authority as it appears in Box IV.

The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority.

6. With regard to the **drawings**,

a. The figure of the **drawings** to be published with the abstract is Figure No.6

☒ as suggested by the applicant

☐ as selected by this Authority, because the applicant failed to suggest a figure

☐ as selected by this Authority, because this figure better characterizes the invention

b. ☐ none of the figures is to be published with the abstract

国家知识产权局 专利审查业务章 110108135934

Micron Ex. 1002, p. 626
Micron v. YMTC
IPR2024-00790

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/097432

03J

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11556(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
H01L

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
DWPI, CNABS, CNKI: stack, sidewall, substrate, hole, memory, layer, conductor, insulate, unaligned, aligned, filling, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107680972A (YANGTZE MEMORY TECHNOLOGIES CO LTD) 09 Feb.2018(09.02.2018) description, paragraphs [0040]-[0054]	1-31
A	CN 107680972A (YANGTZE MEMORY TECHNOLOGIES CO LTD) 09 Feb.2018(09.02.2018) the whole document	32-40
A	CN 108615701A (TAIWAN SEMICONDUCTOR MFG CO LTD) 02 Oct.2018(02.10.2018) the whole document	1-40
A	US 2018175044A1 (CONVERSANT INTELLECTUAL PROPERTY MAN INC) 21 Jun.2018(21.06.2018) the whole document	1-40
A	KR 20180076298A (IMEC VZW) 05 Jul.2018(05.07.2018) the whole document	1-40

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

国家知识产权局 专利审查业务章 1101081359734

Form PCT/ISA /210 (2 sheet) (January 2015)

Micron Ex. 1002, p. 627
Micron v. YMTC
IPR2024-00790

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/097432

04J

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&"document member of the same patent family
Date of the actual completion of the international search 04 Apr. 2019(04. 04. 2019)	Date of mailing of the international search report 16 Apr. 2019(16. 04. 2019)
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No.(86-10)62019451	Authorized officer CHENG, Qiong Telephone No.: 86-(10)-62411647

国家知识产权局 专利审查业务章 1101081359734

Form PCT/ISA /210 (3 sheet) (January 2015)

Micron Ex. 1002, p. 628
Micron v. YMTC
IPR2024-00790

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/097432

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN107680972A	09.02.2018	CN107680972B	29.01.2019
CN108615701A	02.10.2018	US2018166329A1	14.06.2018
		TW201822279A	16.06.2018
US2018175044A1	21.06.2018	TW201546804A	16.12.2015
		US9935110B2	03.04.2018
		US2015221718A1	06.08.2015
		US9252205B2	02.02.2016
		US10074655B2	11.09.2018
		US9583496B2	28.02.2017
		US2016155744A1	02.06.2016
		WO2015117222A1	13.08.2015
		US2017141117A1	18.05.2017
KR20180076298A	05.07.2018	US2018233512A1	16.08.2018

15J

Form PCT/ISA/210(patent family annex) (January 2015)

国家知识产权局 专利审查业务章 1101081359734

Micron Ex. 1002, p. 629
Micron v. YMTC
IPR2024-00790

PATENT COOPERATION TREATY

From the INTERNATIONAL SEARCHING AUTHORITY

To:

100013

10th Floor, Tower C, Beijing Global Trade Center,
36 North Third Ring Road East, Dongcheng
District, Beijing, China

NTD UNIVATION INTELLECTUAL PROPERTY AGENCY LTD.

PCT

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43 *bis*.1)

	Date of mailing(*day/month/year*) 16. Apr. 2019 (16. 04. 2019)
Applicant's or agent's file reference P2018TC551	**FOR FURTHER ACTION** See paragraph 2 below

International application No.	International filing date(*day/month/year*)	Priority date (*day/month/year*)
PCT/CN2018/097432	27. Jul. 2018 (27. 07. 2018)	

International Patent Classification (IPC) or both national classification and IPC
H01L 27/11556 (2017. 01) i

Applicant
Yangtze Memory Technologies Co., Ltd.

1. This opinion contains indications relating to the following items:
   - ☒ Box No. I Basis of the opinion
   - ☐ Box No.II Priority
   - ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
   - ☐ Box No. IV Lack of unity of invention
   - ☒ Box No. V Reasoned statement under Rule 43*bis*.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
   - ☐ Box No. VI Certain documents cited
   - ☐ Box No. VII Certain defects in the international application
   - ☐ Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1*bis*(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of **3** months from the date of mailing of Form PCT/ISA/220 or before the expiration of **22** months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/CN	Date of completion of this opinion	Authorized officer
National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No. (86—10) 62019451	10. Apr. 2019 (10. 04. 2019)	**CHENG,Qiong** Telephone No. 86-10-62411647

国家知识产权局 专利审查业务章 11010813597 34

Form PCT/ISA/237 (cover sheet) (January 2015)

Micron Ex. 1002, p. 630
Micron v. YMTC
IPR2024-00790

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/CN2018/097432

Box No. I Basis of the opinion

1. With regard to the **language**, this opinion has been established on the basis of:
   - ☒ the international application in the language in which it was filed.
   - ☐ a translation of the international application into_____ which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).

2. ☐ This opinion has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91(Rule 43bis.1(b))

3. ☐ With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, this opinion has been established on the basis of a sequence listing:
   - a. ☐ forming part of the international application as filed:
     - ☐ in the form of an Annex C/ST.25 text file.
     - ☐ on paper or in the form of an image file.
   - b. ☐ furnished together with the international application under PCT Rule 13ter.1(a) for the purposes of international search only in the form of an Annex C/ST.25 text file.
   - c. ☐ furnished subsequent to the international filing date for the purposes of international search only:
     - ☐ in the form of an Annex C/ST.25 text file (Rule 13ter.1(a)).
     - ☐ on paper or in the form of an image file (Rule 13ter.1(b) and Administrative Instructions, Section 713).

4. ☐ In addition, in the case that more than one version or copy of a sequence listing has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that forming part of the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

5. Additional comments:

国家知识产权局 专利审查业务章 110108135934

Form PCT/ISA/237 (cover sheet) (January 2015)

Micron Ex. 1002, p. 631
Micron v. YMTC
IPR2024-00790

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/CN2018/097432

Box No. V Reasoned statement under Rule 43*bis*.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement:

Novelty (N)	Claims 1-40	YES
	Claims None	NO
Inventive step (IS)	Claims 32-40	YES
	Claims 1-31	NO
Industrial applicability (IA)	Claims 1-40	YES
	Claims None	NO

2. Citations and explanations

(1) The cited documents are as follows:

D1: CN 107680972 A (09.02.2018)

D2: CN 108615701 A (02.10.2018)

D3: US 2018175044 A1(21.06.2018)

D1 is considered as the closest prior art. D1 (see description, paragraphs [0040] - [0054]) discloses a method for fabricating a three dimensional NAND memory device. The method involves step for providing a substrate; step for forming a stacked layer having sacrificial layers and insulating layers alternately stacked on the substrate; step for forming a capping layer on the stacked layer; step for etching stacked layers with a covering layer other than etching holes as mask to form a contact hole; and step for forming a contact insulating layer on the sidewall of the contact hole to form a contact plug. The etching rate of the stacked layers under the etching hole is larger so that the contact holes under the larger etching hole can have deeper hole depths as the etching hole diameter is larger and the contact holes with different depths are realized.

D2 discloses a method for making a semiconductor device. The method involves forming a contact hole that is configured to expose a source/drain (S/D) feature of the semiconductor device in a dielectric layer. The contact hole includes a first sidewall that is portion of the dielectric layer. An upper portion of the first sidewall is doped. An etching process is performed thus cleaning oxides in the contact hole. The dopants include boron, silicon, and nitrogen.

D3 discloses a method for fabricating a dynamic RAM device. The method involves forming a first conductive layer within a hole and over a capacitor dielectric layer, where the first conductive layer comprises poly-silicon and tantalum nitride. The first conductive layer and the capacitor dielectric layer are etched using an anisotropic etch process such that a sidewall portion of the first conductive layer is arranged along height of the hole and the sidewall portion of the capacitor dielectric layer is arranged along the height of the hole.

专利审查业务章
1101081359734

Micron Ex. 1002, p. 632
Micron v. YMTC
IPR2024-00790

(2) Novelty and Inventive Step

D1 does not disclose all the technical feature of claims 1 and 12, such as a filling structure surrounding the multiple-stack staircase structure. Thus claims 1 and 12 are novel in the sense of PCT Article 33(2). Claims 2-11 and 13-31 are dependent on claims 1 and 12 respectively, thus they are novel in the sense of PCT Article 33(2).

However, the above difference is common knowledge in the art. It is obvious for a person skilled in the art to arrive at the technical solutions of claims 1 and 12 on the basis of D1 and common knowledge in the art. Thus, claims 1 and 12 do not involve inventive steps in the sense of PCT Article 33(3).

The additional technical features of claims 2-11 and 13-31 are disclosed by D1 or belong to common knowledge in the art. It is obvious for a person skilled in the art to arrive at the technical solutions of claims 2-11 and 13-31 on the basis of D1 and common knowledge. Thus, claims 2-11 and 13-31 do not involve inventive steps in the sense of PCT Article 33(3).

D1-D3 does not disclose all the technical features of claim 32, such as forming a first semiconductor sub-channel in a first dielectric stack of the plurality of dielectric stacks, and forming a second semiconductor sub-channel in the second dielectric stack, wherein the second semiconductor sub-channel aligns with the first semiconductor sub-channel along the direction perpendicular to the top surface of the substrate.

The above differences do not belong to common knowledge in the art. It is not obvious for a person skilled in the art to arrive at the technical solution of claim 32 on the basis of D1-D3, common knowledge, and any combination of them. Claims 33-40 are dependent on claim 32. Thus, claims 32-40 are novel in the sense of PCT Article 33(2) and involve inventive steps in the sense of PCT Article 33(3).

(3) Industrial Applicability

Claims 1-40 can be made or used in industry, thus claims 1-40 are industrially applicable in the sense of PCT Article 33(4).

Micron Ex. 1002, p. 633
Micron v. YMTC
IPR2024-00790

Espacenet

Bibliographic data: CN107680972 (B) — 2019-01-29

Three-dimensional (3D) NAND storage device and manufacturing method thereof

Inventor(s): 陈子琪, ; 王猛

Applicant(s): 长江存储科技有限责任公司

Classification: **- international:** ***H01L27/11556; H01L27/11582***
- cooperative:

Application number: CN20171159075 20171101 Global Dossier

Priority number(s): CN20171159075 20171101

Also published as: CN107680972 (A)

Abstract of CN107680972 (A)

The invention provides a manufacturing method of a three-dimensional (3D) NAND storage device. A lamination layer formed by alternatively laminating sacrifice layers and insulation layers is formed ona substrate, channel holes and storage layers in the channel holes are formed in a first region of the lamination layer, a coverage layer is formed on the lamination layer, etching holes with different hole diameters are formed in the coverage layer of a second region, etching of the lamination layer is performed by taking the coverage layer as shielding so that contact holes are formed under theetching holes, and different contact holes are ended at different sacrifice layers. During the etching process, the larger the hole diameters of the etching holes are, the larger the etching rate ofthe lamination layer under the etching holes is, so that the contact holes under the larger etching holes can have deeper depth, etching of the contact holes at different depths is achieved, and the contact holes corresponding to different sacrifice layers; and with regard to the storage device having multiple lamination layers, the problems of complicated fabrication process and relatively high cost caused by etching of multiple steps are prevented, the area required by the device is reduced, and the wafer yield is improved.

Micron Ex. 1002, p. 634
Micron v. YMTC
IPR2024-00790

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107680972 A
(43)申请公布日 2018.02.09

(21)申请号 201711059075.7

(22)申请日 2017.11.01

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 陈子琪 王猛

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 王宝筠

(51)Int.Cl.
H01L 27/11556(2017.01)
H01L 27/11582(2017.01)

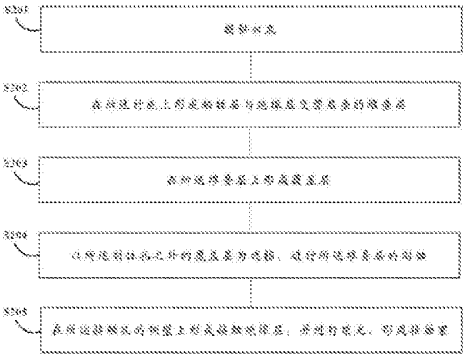
权利要求书1页 说明书8页 附图6页

(54)发明名称

一种3D NAND存储器件及其制造方法

(57)摘要

本发明提供一种3D NAND存储器件的制造方法，通过在衬底上形成牺牲层与绝缘层交替堆叠的堆叠层，该堆叠层的第一区域中形成有沟道孔以及沟道孔中的存储层，在堆叠层上形成覆盖层，其中第二区域的覆盖层中形成有不同孔径的刻蚀孔，以覆盖层为遮挡，进行堆叠层的刻蚀，以在刻蚀孔下形成接触孔，不同的接触孔停止于不同层的牺牲层。由于在刻蚀过程中，刻蚀孔孔径越大，其下的堆叠层的刻蚀速率越大，使得越大刻蚀孔下的接触孔能够具有更深的孔深，因此实现了不同深度的接触孔的刻蚀，形成对应于不同牺牲层的接触孔。对于具有较多层堆叠层的存储器件，避免了刻蚀多层台阶导致的制备工艺复杂和较高成本，降低了器件所需要的面积，提高了晶圆的良率。



CN 107680972 A

Micron Ex. 1002, p. 635
Micron v. YMTC
IPR2024-00790

1.一种3D NAND存储器件的制造方法,其特征在于,包括:

提供衬底;

在所述衬底上形成牺牲层与绝缘层交替层叠的堆叠层,所述堆叠层具有第一区域和第二区域,所述第一区域的堆叠层中形成有沟道孔以及沟道孔中的存储层;

在所述堆叠层上形成覆盖层,所述第二区域的覆盖层中形成有不同孔径的刻蚀孔;

以所述刻蚀孔之外的覆盖层为遮挡,进行所述堆叠层的刻蚀,以在所述刻蚀孔下形成接触孔,不同的接触孔停止于不同层的牺牲层,孔径越大的刻蚀孔下的接触孔具有更深的孔深;

在所述接触孔的侧壁上形成接触绝缘层,并进行填充,形成接触塞。

2.根据权利要求1所述的制造方法,其特征在于,孔径越大的刻蚀孔具有更深的孔深;则,

所述进行所述堆叠层的刻蚀的步骤中,还包括:

同时进行所述覆盖层的刻蚀。

3.根据权利要求1或2所述的制造方法,其特征在于,在形成覆盖层与进行所述堆叠层的刻蚀的步骤之间,还包括:

沉积阻挡控制层,孔径越小的刻蚀孔中的阻挡控制层具有更大的厚度;则,

所述进行所述堆叠层的刻蚀的步骤中,还包括:

同时进行所述阻挡控制层的刻蚀。

4.根据权利要求1所述的制造方法,其特征在于,所述堆叠层为矩形堆叠,所述第一区域中的沟道孔呈阵列排布,所述第二区域位于所述第一区域的旁侧。

5.根据权利要求4所述的制造方法,其特征在于,所述第二区域中的刻蚀孔与其旁侧的沟道孔的排布方向一致。

6.根据权利要求1所述的制造方法,其特征在于,在形成接触孔之后,还包括:

在所述接触孔的内壁上形成绝缘阻挡层;

利用栅线缝隙将所述牺牲层替换为金属层;则,

在所述接触孔的侧壁上形成接触绝缘层,包括:

去除所述接触孔底部的绝缘阻挡层,以所述绝缘阻挡层作为接触绝缘层。

7.一种3D NAND存储器件,其特征在于,包括:

衬底;

所述衬底上的金属层与绝缘层交替层叠的堆叠层,所述堆叠层具有第一区域和第二区域,所述第一区域的堆叠层中形成有沟道孔以及沟道孔中的存储层;

所述第二区域的堆叠层中的接触孔,不同的接触孔具有不同的孔径且孔径越大的接触孔设置于更下层的金属层上;

接触孔侧壁上的接触绝缘层以及接触孔中的接触塞。

8.根据权利要求7所述存储器件,其特征在于,所述堆叠层为矩形堆叠,所述第一区域中的沟道孔呈阵列排布,所述第二区域位于所述第一区域的旁侧。

9.根据权利要求8所述的存储器件,其特征在于,所述第二区域中的接触孔与其旁侧的沟道孔的排布方向一致。

Micron Ex. 1002, p. 636
Micron v. YMTC
IPR2024-00790

一种3D NAND存储器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造领域，特别涉及一种3D NAND器件及其制造方法。

背景技术

[0002] NAND闪存是一种比硬盘驱动器更好的存储设备，随着人们追求功耗低、质量轻和性能佳的非易失存储产品，在电子产品中得到了广泛的应用。目前，平面结构的NAND闪存已近实际扩展的极限，为了进一步的提高存储容量，降低每比特的存储成本，提出了3D结构的NAND存储器件。

[0003] 在3D NAND存储器件结构中，采用垂直堆叠多层存储单元的方式，实现堆叠式的立体存储器件。在制造3D NAND存储器件时，首先形成绝缘层和牺牲层交替层叠的堆叠层，并通过多次光刻及刻蚀工艺，在堆叠层的侧面形成阶梯形貌，使得堆叠层具有中央区域和阶梯区域；而后，在中央区域中形成沟道孔(Channel hole)，沟道孔用于形成存储层；在沟道孔中形成存储层之后，将堆叠层中的氮化硅层替换为金属层，每一层的金属层为每一层存储单元的控制栅，堆叠层阶梯区域的每一层台阶用于形成每一层控制栅的接触塞。

[0004] 在该制造工艺中，在台阶区域上形成接触塞，而随着堆叠层数的不断增加，需要经过更多道光刻和刻蚀工艺形成阶梯形貌，使得制造成本大大提高，同时，阶梯数量越多，所需形成的堆叠层的面积也越大，不利于提高存储器件的集成度，此外，堆叠层数越多，晶圆的翘曲程度加剧，形成接触塞时与阶梯区域中台阶面的对准会更困难，影响器件的性能，不利于晶圆良率的提升。

发明内容

[0005] 有鉴于此，本发明的目的在于提供一种3D NAND器件及其制造方法，降低了刻蚀成本，减小了器件面积，促进了器件集成度，提高了晶圆良率。

[0006] 为实现上述目的，本申请提供了一种3D NAND存储器件的制造方法，该方法包括：

[0007] 提供衬底；

[0008] 在所述衬底上形成牺牲层与绝缘层交替层叠的堆叠层，所述堆叠层具有第一区域和第二区域，所述第一区域的堆叠层中形成有沟道孔以及沟道孔中的存储层；

[0009] 在所述堆叠层上形成覆盖层，所述第二区域的覆盖层中形成有不同孔径的刻蚀孔；

[0010] 以所述刻蚀孔之外的覆盖层为遮挡，进行所述堆叠层的刻蚀，以在所述刻蚀孔下形成接触孔，不同的接触孔停止于不同层的牺牲层，孔径越大的刻蚀孔下的接触孔具有更深的孔深；

[0011] 在所述接触孔的侧壁上形成接触绝缘层，并进行填充，形成接触塞。

[0012] 可选地，孔径越大的刻蚀孔具有更深的孔深；则，所述进行所述堆叠层的刻蚀的步骤中，还包括：同时进行所述覆盖层的刻蚀。

[0013] 可选地，在形成覆盖层与进行所述堆叠层的刻蚀的步骤之间，还包括：

Micron Ex. 1002, p. 637
Micron v. YMTC
IPR2024-00790

[0014] 沉积阻挡控制层，孔径越小的刻蚀孔中的阻挡控制层具有更大的厚度；则，所述进行所述堆叠层的刻蚀的步骤中，还包括：同时进行所述阻挡控制层的刻蚀。

[0015] 可选地，所述堆叠层为矩形堆叠，所述第一区域中的沟道孔呈阵列排布，所述第二区域位于所述第一区域的旁侧。

[0016] 可选地，所述第二区域中的刻蚀孔与其旁侧的沟道孔的排布方向一致。

[0017] 可选地，在形成接触孔之后，还包括：

[0018] 在所述接触孔的内壁上形成绝缘阻挡层；

[0019] 利用栅线缝隙将所述牺牲层替换为金属层；则，

[0020] 在所述接触孔的侧壁上形成接触绝缘层，包括：

[0021] 去除所述接触孔底部的绝缘阻挡层，以所述绝缘阻挡层作为接触绝缘层。

[0022] 本申请实施例还提供了一种3D NAND存储器件，该器件包括：

[0023] 衬底；

[0024] 所述衬底上的金属层与绝缘层交替层叠的堆叠层，所述堆叠层具有第一区域和第二区域，所述第一区域的堆叠层中形成有沟道孔以及沟道孔中的存储层；

[0025] 所述第二区域的堆叠层中的接触孔，不同的接触孔具有不同的孔径且孔径越大的接触孔设置于更下层的金属层上；

[0026] 接触孔侧壁上的接触绝缘层以及接触孔中的接触塞。

[0027] 可选地，所述堆叠层为矩形堆叠，所述第一区域中的沟道孔呈阵列排布，所述第二区域位于所述第一区域的旁侧。

[0028] 可选地，所述第二区域中的接触孔与其旁侧的沟道孔的排布方向一致。

[0029] 本发明实施例提供的3D NAND存储器件的制造方法，通过在衬底上形成牺牲层与绝缘层交替堆叠的堆叠层，该堆叠层的第一区域中形成有沟道孔以及沟道孔中的存储层，在堆叠层上形成覆盖层，其中第二区域的覆盖层中形成有不同孔径的刻蚀孔，以覆盖层为遮挡，进行堆叠层的刻蚀，以在刻蚀孔下形成接触孔，不同的接触孔停止于不同层的牺牲层。由于在刻蚀过程中，刻蚀孔孔径越大，其下的堆叠层的刻蚀速率越大，使得越大刻蚀孔下的接触孔能够具有更深的孔深，实现了不同深度的接触孔的刻蚀，从而，形成对应于不同牺牲层的接触孔。对于具有较多层堆叠层的存储器件，避免了刻蚀多层台阶导致的制备工艺复杂和较高成本，降低了器件所需要的面积，提高了晶圆的良率。

附图说明

[0030] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0031] 图1a和1b示出了现有技术提供的形成的3D NAND存储器件的侧向剖面图和俯视图；

[0032] 图2示出了本申请实施例提供的一种3D NAND存储器件的制作方法流程图；

[0033] 图3a-3h示出了根据本申请实施例的制造方法形成3D NAND存储器件过程中的器件剖面结构示意图；

Micron Ex. 1002, p. 638
Micron v. YMTC
IPR2024-00790

[0034] 图4示出了本申请实施例中的刻蚀孔的俯视示意图；

[0035] 图5示出了本申请实施例提供的另一种3D NAND存储器件的制作方法流程图；

[0036] 图6a-6j示出了根据本申请另一实施例的制造方法形成3D NAND存储器件过程中的器件剖面结构示意图。

具体实施方式

[0037] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0038] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

[0039] 其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0040] 如图1a所示，为现有技术方法形成的3D NAND垂直堆叠层存储单元中阶梯区域的侧向剖面示意图，通过将堆叠层中的氮化硅层(图未示出)替换为金属层101，形成每一层存储单元的控制栅，水平金属控制栅层101通过独立垂直金属连线102与字线103相连，其中，垂直金属连线102之间通过绝缘层(图未示出)隔开。

[0041] 如图1b所示，为现有技术方法形成的3D NAND垂直堆叠层存储单元的俯视图，左边的部分为阶梯区域104，虚线表示呈台阶结构的金属栅，水平金属栅层通过独立垂直金属连线102与字线103相连。右侧为存储区域105，其中形成有沟道孔106的阵列。在以上形成垂直堆叠层存储单元的方法中，金属栅层101为台阶状，随着堆叠层数的不断增加，制作成本也大大提高，形成堆叠层的面积也大大增加。

[0042] 为了解决上述问题，本申请提供了一种3D NAND存储器件的制造方法，如图2所示为本申请实施例一种3D NAND存储器件的制造方法流程图，以下将结合流程图和附图3a-3h对具体的实施例进行详细的说明，为了更好地体现本方案，附图3a-3h仅示出了3D NAND存储器件的接触区域的剖面结构示意图，存储区域即本申请描述中的第一区域，接触区域也即本申请描述中的第二区域。

[0043] 步骤S201，提供衬底201，参考图3a所示。

[0044] 在本申请实施例中，衬底201为半导体衬底，例如可以为Si衬底、Ge衬底、SiGe衬底、SOI(绝缘体上硅，Silicon On Insulator)或GOI(绝缘体上锗，Germanium On Insulator)等。在其他实施例中，所述半导体衬底还可以为包括其他元素半导体或化合物半导体的衬底，例如GaAs、InP或SiC等，还可以为叠层结构，例如Si/SiGe等，还可以为其他外延结构，例如SGOI(绝缘体上锗硅)等。在本实施例中，所述衬底201为体硅衬底，用于支撑在其上的器件结构。

[0045] 步骤S202，在衬底201上形成牺牲层203与绝缘层202交替层叠的堆叠层，参考图4所示，所述堆叠层具有第一区域105和第二区域303，所述第一区域105的堆叠层中形成有沟道孔106以及沟道孔中的存储层(图未示出)。

[0046] 该步骤中，绝缘层202可以是氧化硅，牺牲层203可以是氮化硅，将氮化硅层和氧化

Micron Ex. 1002, p. 639
Micron v. YMTC
IPR2024-00790

硅层交替层叠来形成堆叠层，根据垂直方向所需形成的存储单元的个数来确定堆叠层的层数，堆叠层的层数例如可以为8层、32层、64层等，层数越多，越能提高集成度。可以采用化学气相沉积、原子层沉积或其他合适的沉积方法，依次交替沉积氮化硅和氧化硅，形成该堆叠层。

[0047] 可以通过在堆叠层上旋涂光刻胶层，通过曝光显影等步骤形成图案化的光刻胶层，即在第二区域的光刻胶层中形成通孔的阵列，以该图案化的光刻胶层为掩蔽，通过对堆叠层的刻蚀形成暴露衬底的沟道孔106，参考图4所示。

[0048] 在沟道孔106形成之后，进行光刻胶层的去除和沟道孔106中存储层的形成，存储层包括电荷捕获层和沟道层，电荷捕获层例如可以为ONO结构，即氧化物、氮化物和氧化物的叠层，沟道层例如可以为多晶硅层，在具体的应用中，依次在沟道孔侧壁上形成ONO的电荷捕获层以及多晶硅的沟道层，而后在沟道孔中形成填充层，填充层可以为氧化硅。

[0049] 步骤S203，在所述堆叠层上形成覆盖层204，所述第二区域的覆盖层204中形成有不同孔径的刻蚀孔207。

[0050] 覆盖层204是后续刻蚀形成接触孔时的掩膜层，是接触孔之外区域的保护层，可以根据具体的需要来选择覆盖层204的材料和厚度。在一些实施例中，覆盖层204可以是对堆叠层具有高选择比的材料形成，覆盖层204例如可以是多晶硅薄膜，其中的刻蚀孔207可以是暴露堆叠层的通孔。在本申请其他实施例中，覆盖层204也可以是其他硬掩膜材料。由于覆盖层204对堆叠层具有高选择比，因此在之后进行堆叠层的刻蚀时不会被刻蚀，且由于刻蚀孔207的孔径大小不同，越大孔径下的堆叠层的刻蚀速率越大，从而可以形成不同深度的接触孔208(参考图3d)。

[0051] 在另一些实施例中，覆盖层204可以为对堆叠层具有低选择比的材料，也就是在刻蚀堆叠层时，覆盖层204也会被刻蚀掉一部分，覆盖层204例如可以为无定型碳或氧化硅等，在对堆叠层进行刻蚀时，覆盖层204的厚度也在降低，因此覆盖层204的厚度需要具有合适的厚度，或者在覆盖层204下设置其他的阻挡层，避免堆叠层被过刻蚀。在该实施例中，刻蚀孔207可以是暴露堆叠层的通孔，更优地，也可以是由一定深度但未穿透该覆盖层204的孔，且孔径越大的刻蚀孔具有更深的孔深，也就是孔径越小的刻蚀孔207下保留的覆盖层204的厚度越大。由于刻蚀孔207的孔径大小不同，越大孔径下的堆叠层的刻蚀速率越大，同时，越小的刻蚀孔207下的保留的覆盖层204越厚，这样，使得越小的刻蚀孔207下的堆叠层的刻蚀开始时间越晚，便于进行刻蚀速率的控制，形成不同孔深的接触孔208。

[0052] 在具体的实施例中，如图3a所示，首先，可以在第二区域的堆叠层上沉积覆盖层204，并在覆盖层204上旋涂光刻胶层205，而后，形成图案化的光刻胶层205，图案化的光刻胶层205中形成有具有不同的孔径的通孔206；而后，参考图3b所示，以光刻胶层205作为掩膜进行刻蚀，在覆盖层上形成不同孔径的刻蚀孔207，再去除光刻胶205，如图3c所示。覆盖层的刻蚀方式可以是各向异性的干法刻蚀，由于光刻胶层205中通孔206的孔径大小不同，从而，越大孔径的通孔206下的覆盖层具有更快的刻蚀速率，从而，形成了深度不同的刻蚀孔207，各向异性刻蚀中形成的刻蚀孔的上部直径通常大于底部直径。

[0053] 在矩形堆叠的堆叠层中，通常第一区域105的沟道孔106呈阵列排布，阵列排布的方式可以为行列对齐排布，如图4所示，也可以是错行排布，也就是一行的沟道孔形成在前一行的两个沟道孔间的位置处，有利于提高沟道孔的集成密度。在本发明实施例中，第二区

Micron Ex. 1002, p. 640
Micron v. YMTC
IPR2024-00790

域303可以位于第一区域105的旁侧，例如旁侧的一边，也可以是旁侧的多边，第二区域303中的刻蚀孔304可以与其旁侧的沟道孔106的排布方向一致，这样，可以有效地减小接触孔区域的面积，从而降低整个存储器的面积。

[0054] 如图4所示为本申请一种可能的实施方式，在第二区域105中的刻蚀孔106呈阵列分布，第二区域303位于第一区域的旁侧，且各个刻蚀孔304可的排布方向可与第一区域105中的沟道孔106的排布方向一致。因此，在第一区域的旁侧，第二区域的面积只需容纳多个成排的刻蚀孔即可，例如对于32层的堆叠层来说，本申请实施例中的第二区域的面积只需容纳32个刻蚀孔，相对于现有技术中需要的32个金属栅台阶来说，节省了堆叠层的面积，降低了成本。

[0055] 步骤S204，以刻蚀孔207之外的覆盖层204为遮挡，进行堆叠层的刻蚀，以在刻蚀孔207下形成接触孔208，不同的接触孔208停止于不同层的牺牲层203，孔径越大的刻蚀孔207下的接触孔208具有更深的孔深，参考图3d所示。

[0056] 对堆叠层的刻蚀，可以是各向异性的干法刻蚀，例如可以为RIE(反应离子刻蚀)，如图3d所示，刻蚀孔207下的堆叠层被刻蚀形成接触孔208。不同孔径的刻蚀孔207，由于其对刻蚀速率的影响，形成接触孔208的深度也不同，对于孔径较大的刻蚀孔207下的接触孔208，因为刻蚀速率较大，因此形成的接触孔208具有更深的孔深。

[0057] 在对堆叠层的刻蚀过程中，对于对堆叠层具有高选择比的材料形成的覆盖层204，其厚度变化很小。对于对堆叠层具有低选择比的材料形成的覆盖层204，在刻蚀的过程中，该覆盖层204也逐渐被刻蚀，其厚度不断减少，因此在覆盖层204形成时，应考虑到刻蚀造成的覆盖层204损耗，初始形成的厚度可以大于在刻蚀过程中形成的损耗厚度，或者在覆盖层下增加阻挡层。

[0058] 由于形成的刻蚀孔207的孔径大小不一样，或者，进一步地，刻蚀孔207下的覆盖层204的保留的厚度也不一样，而孔径越大，在刻蚀过程中，其他的被刻蚀层的刻蚀速率将越快，保留的覆盖层204也会延迟对被刻蚀的堆叠层的刻蚀，通过这些控制，同时还可以结合具体刻蚀工艺的控制，刻蚀之后，孔径越大的刻蚀孔207下的接触孔208具有更深的孔深，并停止在不同的牺牲层203上。

[0059] 在步骤S205，在接触孔208的侧壁上形成接触绝缘层211，并进行填充，形成接触塞212，参考图3g和3h。

[0060] 该接触绝缘层211为绝缘材料，例如可以为氧化硅或氮氧化硅等，其作为形成接触塞211后与其他金属层的隔离层。可以通过沉积接触绝缘层材料，而后进行刻蚀去除接触孔底部的接触绝缘层材料来形成。而后，在接触孔中填充金属材料，例如W，从而形成接触塞212。

[0061] 在本发明优选的实施例中，该接触塞212在进行牺牲层203的替换之后进行，易于实现，且利于提高工艺的集成度。

[0062] 具体的，在步骤S204之后，可以进行如下步骤：

[0063] 步骤S2051，在接触孔208的内壁上形成绝缘阻挡层209。

[0064] 步骤S2052，利用栅线缝隙将牺牲层203替换为金属层210。

[0065] 步骤S2053，去除接触孔208底部的绝缘阻挡层，以所述绝缘阻挡层作为接触绝缘层，并在所述接触孔中形成接触塞。

Micron Ex. 1002, p. 641
Micron v. YMTC
IPR2024-00790

[0066] 如图3e所示，在接触孔侧壁形成绝缘阻挡层209。该绝缘阻挡层209在将牺牲层203替换为金属层210的工艺中，起到保持接触形貌的目的。需要说明的是，接触绝缘层211为绝缘材料，其作为形成接触塞212后与其他金属层的隔离层。作为一种优选的实施方式，绝缘阻挡层209是一种绝缘材料，例如可以为氧化硅或氮氧化硅等，即可实现形成接触塞后与其他金属层的隔离的目的，因此可以将接触孔底部的绝缘阻挡层去除，作为接触绝缘层212，从而简化制备工艺。在本申请其他实施例中，上述两种薄膜也可以由不同材料形成。

[0067] 在具体的实施例中，可以采用原子层沉积的方法形成氧化硅的绝缘阻挡层209，参见图3e所示，接触孔的内壁上形成有绝缘阻挡层209。

[0068] 而后，通过栅线缝隙(图未示出)去除所述堆叠层中的氮化硅层203，并形成替代氮化硅的金属层210。通常地，先形成栅线缝隙，而后，选择对氮化硅和氧化硅的高选择比的酸液，通过酸液进入栅线缝隙，将氮化硅层203去除，酸液例如可以为磷酸(H_3PO_4)。去除氮化硅203之后，填充入金属层210，金属层210可以为钨(W)。金属层210的填充可以使用气相沉积法实现，再通过对金属进行回刻去除多余的部分金属，形成金属层210，参考图3f。

[0069] 之后，需要将接触孔底部绝缘阻挡层去除，形成接触绝缘层211，以便后续进行接触塞212的形成。如图3g所示，通过各向异性的干法刻蚀去除绝缘阻挡层209位于接触孔底部的部分。如图3h所示，在接触孔中形成接触塞211，接触塞211可以是用于连接字线103和金属层210的金属导体，例如可以是钨。

[0070] 本发明实施例提供的3D NAND存储器件的制造方法，通过在衬底上形成牺牲层与绝缘层交替堆叠的堆叠层，该堆叠层的第一区域中形成有沟道孔以及沟道孔中的存储层，在堆叠层上形成覆盖层，其中第二区域的覆盖层中形成有不同孔径的刻蚀孔，以覆盖层为遮挡，进行堆叠层的刻蚀，以在刻蚀孔下形成接触孔，不同的接触孔停止于不同层的牺牲层。由于在刻蚀过程中，刻蚀孔孔径越大，其下的堆叠层的刻蚀速率越大，使得越大刻蚀孔下的接触孔能够具有更深的孔深，实现了不同深度的接触孔的刻蚀，从而，形成对应于不同牺牲层的接触孔。对于具有较多层堆叠层的存储器件，避免了刻蚀多层台阶导致的制备工艺复杂和较高成本，降低了器件所需要的面积，提高了晶圆的良率。

[0071] 基于上述实施例，本申请提供了另一种3D NAND存储器件的制造方法，与上述实施例不同的是，在覆盖层中形成不同孔径的刻蚀孔之后，可以进一步沉积阻挡控制层，以便进一步控制堆叠层的刻蚀速度，以下详细描述与上述实施例不同的部分，相同部分将不再赘述。

[0072] 参考图5所示，步骤S501，提供衬底201，参考图6a所示。

[0073] 本申请实施例中的衬底步骤S201中的相同，在此不再赘述。

[0074] 步骤S502，在衬底201上形成牺牲层203与绝缘层202交替层叠的堆叠层，参考图4所示，堆叠层具有第一区域105和第二区域303，第一区域105的堆叠层中形成有沟道孔106以及沟道孔中的存储层(图未示出)。

[0075] 上述步骤与步骤S202相同，在此不再赘述。

[0076] 步骤S503，在堆叠层上形成覆盖层202，第二区域303的覆盖层中形成有不同孔径的刻蚀孔207，参考图6b。

[0077] 覆盖层204是后续刻蚀形成接触孔时的掩膜层，是接触孔之外区域的保护层，可以根据具体的需要来选择覆盖层204的材料和厚度。在一些实施例中，覆盖层204可以是对堆

Micron Ex. 1002, p. 642
Micron v. YMTC
IPR2024-00790

叠层具有高选择比的材料，覆盖层204例如可以是多晶硅薄膜，其中的刻蚀孔207可以是暴露堆叠层的通孔。在另一些实施例中，覆盖层204可以为对堆叠层具有低选择比的材料，也就是在刻蚀堆叠层时，覆盖层204也会被刻蚀掉一部分，覆盖层204例如可以为无定型碳或氧化硅等，在对堆叠层进行刻蚀时，覆盖层204的厚度也在降低，因此覆盖层204的厚度需要具有合适的厚度，或者在覆盖层204下设置其他的阻挡层，避免堆叠层被过刻蚀。

[0078] 覆盖层204的形成过程见步骤S203，在此不再赘述。

[0079] 在矩形堆叠的堆叠层中，通常第一区域105的沟道孔106呈阵列排布，阵列排布的方式可以为行列对齐排布，如图4所示，也可以是错行排布，也就是一行的沟道孔形成在前一行的两个沟道孔间的位置处，有利于提高沟道孔的集成密度。在本发明实施例中，第二区域303可以位于第一区域105的旁侧，例如旁侧的一边，也可以是旁侧的多边，第二区域303中的刻蚀孔304可以与其旁侧的沟道孔106的排布方向一致，因此，在第一区域的旁侧，第二区域的面积只需容纳多个成排的刻蚀孔即可，这样，可以有效地减小接触孔区域的面积，从而降低整个存储器的面积，降低了成本。

[0080] 步骤S504，沉积阻挡控制层401，孔径越小的刻蚀孔中的阻挡控制层401具有更大的厚度。

[0081] 阻挡控制层401可以是相对于堆叠层具有低选择比的材料形成，在刻蚀堆叠层时，该阻挡控制层401也将被刻蚀掉，作为刻蚀形成接触孔时的刻蚀速率的控制层。由于覆盖层中刻蚀孔的孔径不同，沉积时薄膜的均匀性会有所不同，越小孔径的刻蚀孔底部表面的阻挡控制层的厚度会越厚，这样，通过沉积形成阻挡控制层401，在对堆叠层进行刻蚀时，较小孔径中会先刻蚀阻挡控制层，进而才会刻蚀到堆叠层，通过不同厚度的刻蚀阻挡层，可以控制刻蚀堆叠层的起始时间，越小孔径下的堆叠层的刻蚀时间越晚，从而，进一步控制堆叠层中接触孔的深度。

[0082] 沉积阻挡控制层401的方法可以是气相沉积法，在形成有刻蚀孔207的覆盖层204表面形成阻挡控制层401，如图6c所示，经过阻挡控制层401的沉积后，不同孔径的刻蚀孔中的阻挡控制层401薄膜的厚度不同，刻蚀孔的孔径越小，其内形成的阻挡控制层401越厚，刻蚀阻挡控制层401以暴露堆叠层所需要的时间越长。如图6d所示，在对阻挡控制层401进行刻蚀时，孔径较大的刻蚀孔207内的阻挡控制层401较薄，且刻蚀速率较快，较先完成刻蚀以暴露其下的堆叠层；而孔径较小的刻蚀孔207内的阻挡控制层401较厚，且其刻蚀速率较慢，较后完成刻蚀。通过阻挡控制层401实现了对不同刻蚀孔207下堆叠层刻蚀的顺序和速率的控制，进一步对接触孔208的深度进行控制，参考图6f所示。

[0083] 在本申请实施例中，步骤S504是为了控制堆叠层的刻蚀，是优选的方式，在本申请其他实施例中，也可以不进行，不影响本申请实施例的实现。

[0084] 步骤S505，以刻蚀孔207之外的覆盖层204为遮挡，进行堆叠层208的刻蚀，以在刻蚀孔207下形成接触孔208，不同的接触孔208停止于不同层的牺牲层203，孔径越大的刻蚀孔207下的接触孔208具有更深的孔深，参考图6f所示。

[0085] 对堆叠层的刻蚀，可以是各向异性的干法刻蚀，例如可以为RIE(反应离子刻蚀)，刻蚀孔207下的堆叠层被刻蚀形成接触孔208。不同孔径的刻蚀孔207，由于其对刻蚀速率的影响，形成接触孔208的深度也不同，对于孔径较大的刻蚀孔207下的接触孔208，因为刻蚀速率较大且刻蚀孔中的阻挡控制层越薄，因此形成的接触孔208具有更深的孔深。

Micron Ex. 1002, p. 643
Micron v. YMTC
IPR2024-00790

[0086] 在对堆叠层的刻蚀过程中，同时会对阻挡控制层401进行刻蚀。由于不同孔径的刻蚀孔内形成的阻挡控制层厚度不同，且不同孔径的刻蚀孔内的阻挡控制层的刻蚀速率不同，因此，在如图6d的具体实施例中，在对堆叠层刻蚀过程中，需要对阻挡控制层进行刻蚀，孔径较大的刻蚀孔内的阻挡控制层厚度较小，率先完成刻蚀并开始堆叠层的刻蚀，因此堆叠层的刻蚀较早，孔径较小的刻蚀孔内的阻挡控制层厚度较大，需要较长时间才能完成刻蚀并暴露其下的堆叠层，因此堆叠层的刻蚀较晚，因此通过阻挡控制层401，可以实现了对不同孔径的刻蚀孔207下堆叠层刻蚀的顺序和速率的控制。

[0087] 如图6e所示，孔径较大的刻蚀孔207下的堆叠层刻蚀速率较快，孔径较小的刻蚀孔下的堆叠层刻蚀速率较慢，形成中间孔402，对中间孔402继续进行刻蚀，形成接触孔208，如图6f所示，其中不同孔径的接触孔208停止于不同的牺牲层203，以便在牺牲层203被替换成金属后，接触孔208内的金属介质212和金属层210连通(参考图6j)。

[0088] 步骤S506，在所述接触孔的内壁上形成绝缘阻挡层209(如图6g所示)；利用栅线缝隙(图未示出)将所述牺牲层203替换为金属层210(如图6h所示)；去除所述接触孔208底部的绝缘阻挡层(如图6i所示)，以所述绝缘阻挡层作为接触绝缘层211，并进行填充，形成接触塞212(如图6j所示)。

[0089] 上述步骤与步骤S205类似，在此不再赘述。

[0090] 本发明实施例提供的3D NAND存储器件的制造方法，通过不同孔径的刻蚀孔来控制对堆叠层的刻蚀速率，通过阻挡控制层控制对堆叠层的刻蚀时间，形成对应于不同牺牲层的接触孔。对于具有较多层堆叠层的存储器件，提高了堆叠层刻蚀的准确性，避免了刻蚀多层台阶导致的制备工艺复杂和较高成本，降低了器件所需要的面积，提高了晶圆的良率。

[0091] 基于以上对3D NAND存储器件的制造方法的描述，本申请还提供了一种由上述方法形成的3D NAND存储器件，参考图4和图6j所示，该器件包括：

[0092] 衬底201；

[0093] 所述衬底上的金属层210与绝缘层202交替层叠的堆叠层，所述堆叠层具有第一区域和第二区域，所述第一区域的堆叠层中形成有沟道孔以及沟道孔中的存储层(图未示出)；

[0094] 所述第二区域的堆叠层中的接触孔208，不同的接触孔具有不同的孔径且孔径越大的接触孔设置于更下层的金属层210上；

[0095] 接触孔208侧壁上的接触绝缘层211以及接触孔中的接触塞212。

[0096] 在矩形堆叠的堆叠层中，通常第一区域的沟道孔呈阵列排布，可以设定第二区域位于第一区域的旁侧，例如旁侧的一边，也可以是旁侧的多边，第二区域中的刻蚀孔可以与其旁侧的沟道孔的排布方向一致，因此，在第一区域的旁侧，第二区域的面积只需容纳多个成排的刻蚀孔即可，节省了堆叠层的面积，降低了成本。

[0097] 以上所述仅是本发明的优选实施方式，虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案做出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何的简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

Micron Ex. 1002, p. 644
Micron v. YMTC
IPR2024-00790

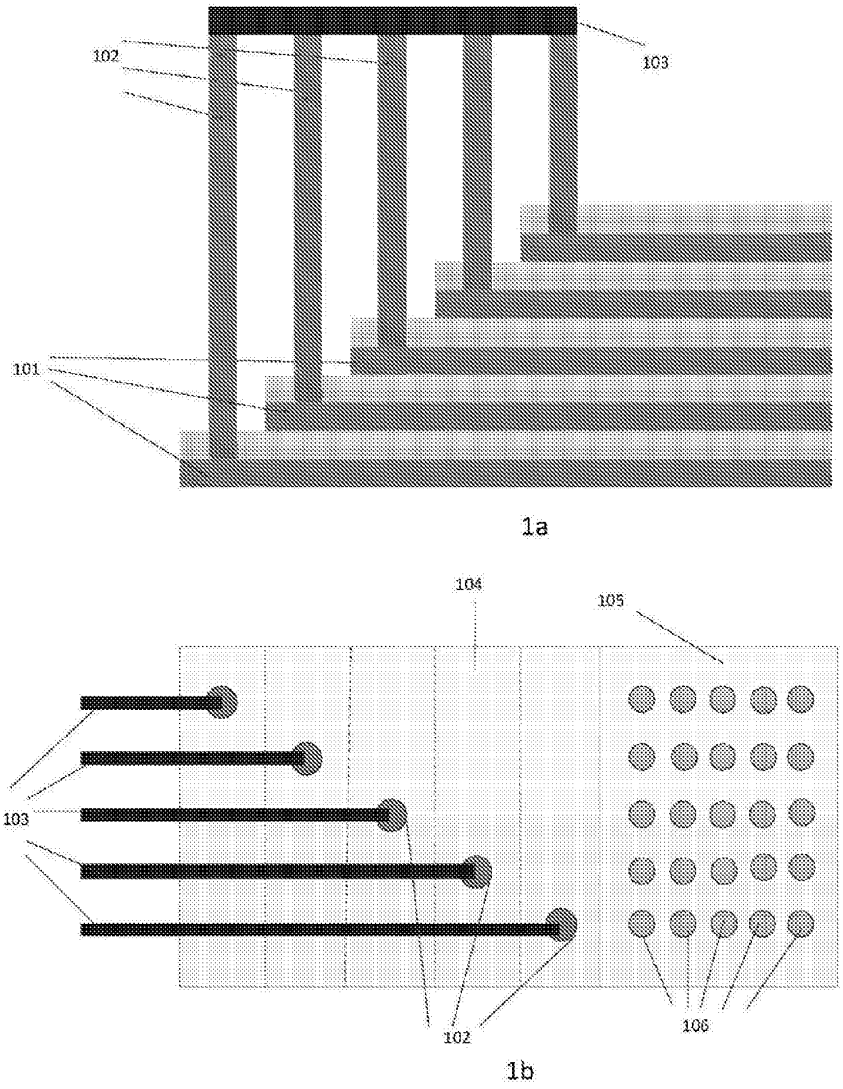


图1

Micron Ex. 1002, p. 645
Micron v. YMTC
IPR2024-00790

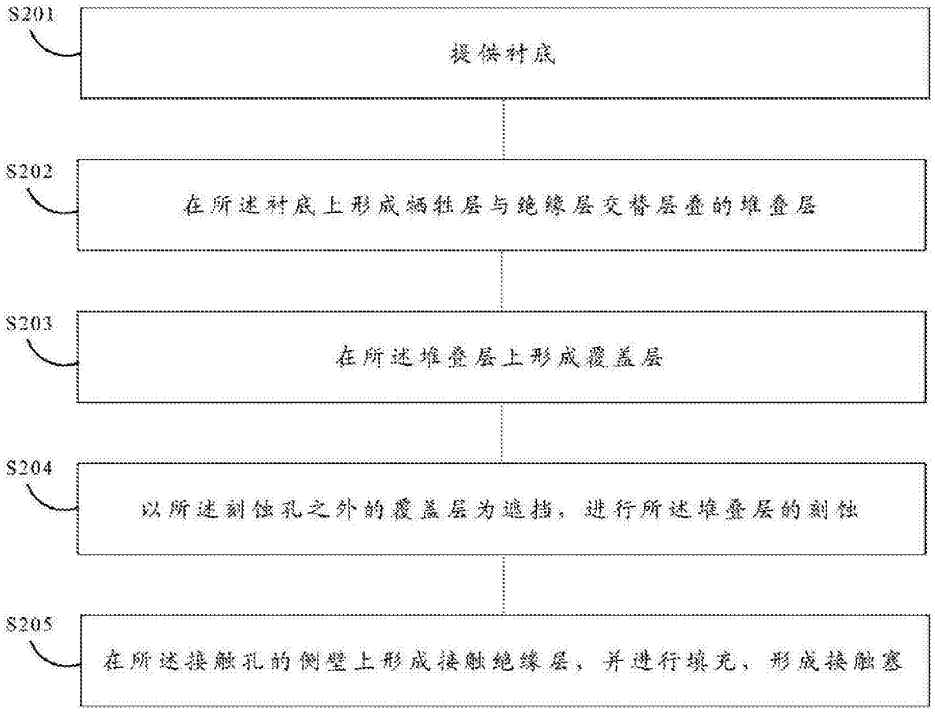


图2

Micron Ex. 1002, p. 646
Micron v. YMTC
IPR2024-00790

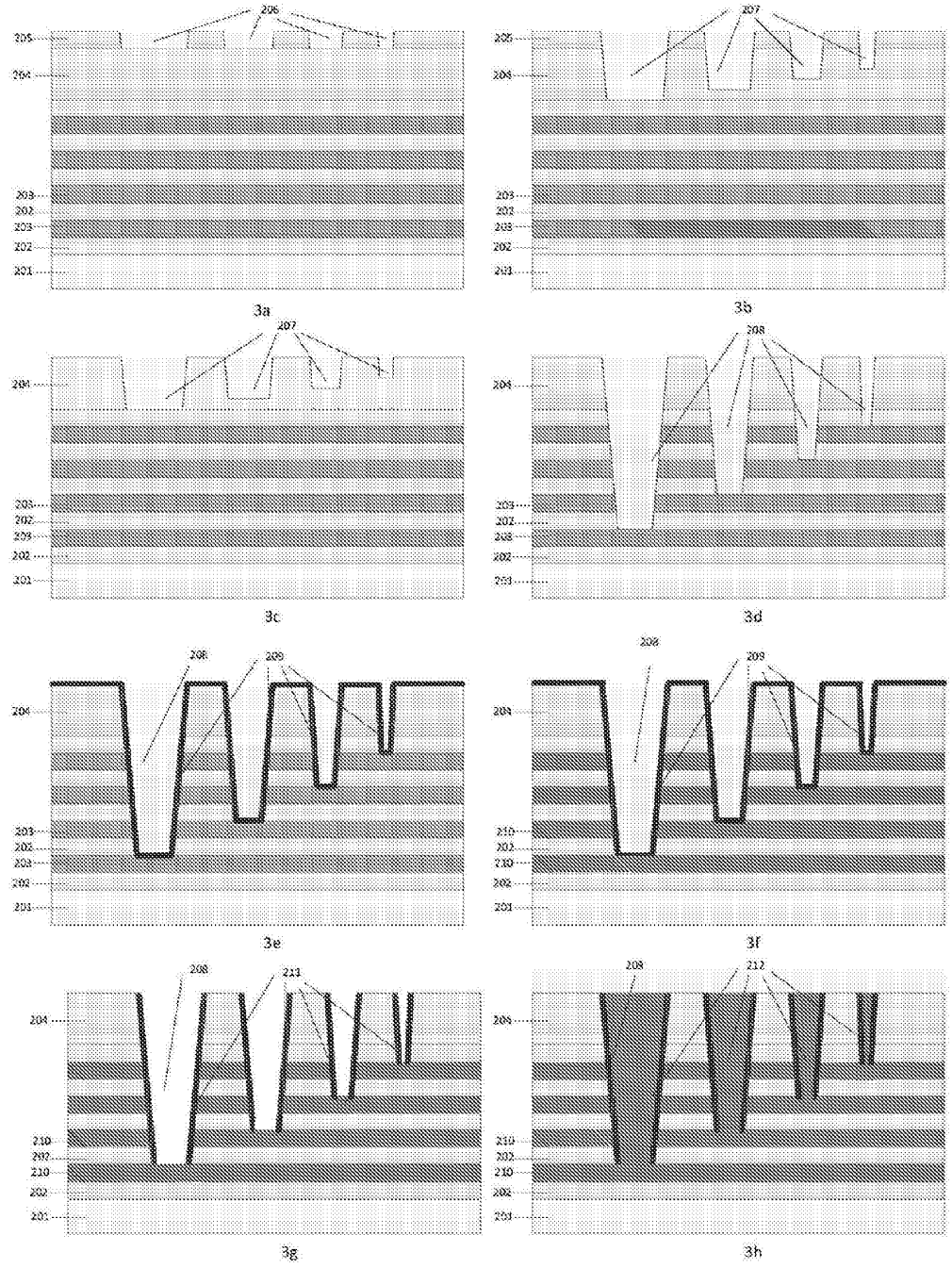


图3

Micron Ex. 1002, p. 647
Micron v. YMTC
IPR2024-00790

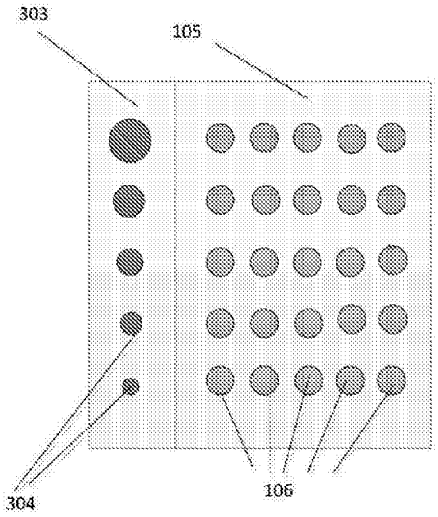


图4

Micron Ex. 1002, p. 648
Micron v. YMTC
IPR2024-00790

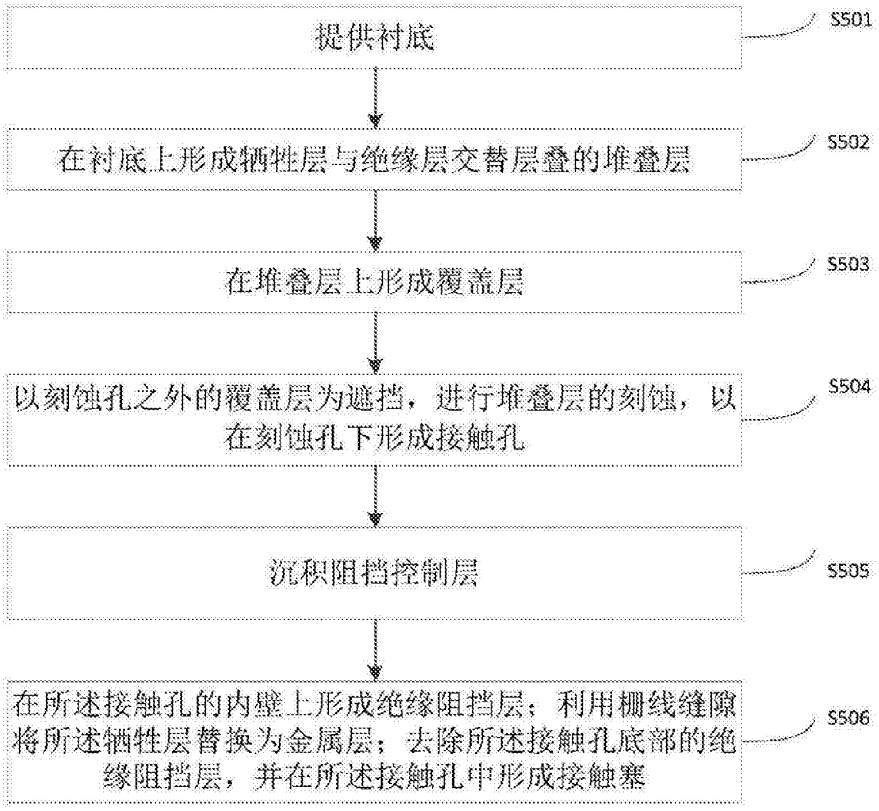


图5

Micron Ex. 1002, p. 649
Micron v. YMTC
IPR2024-00790

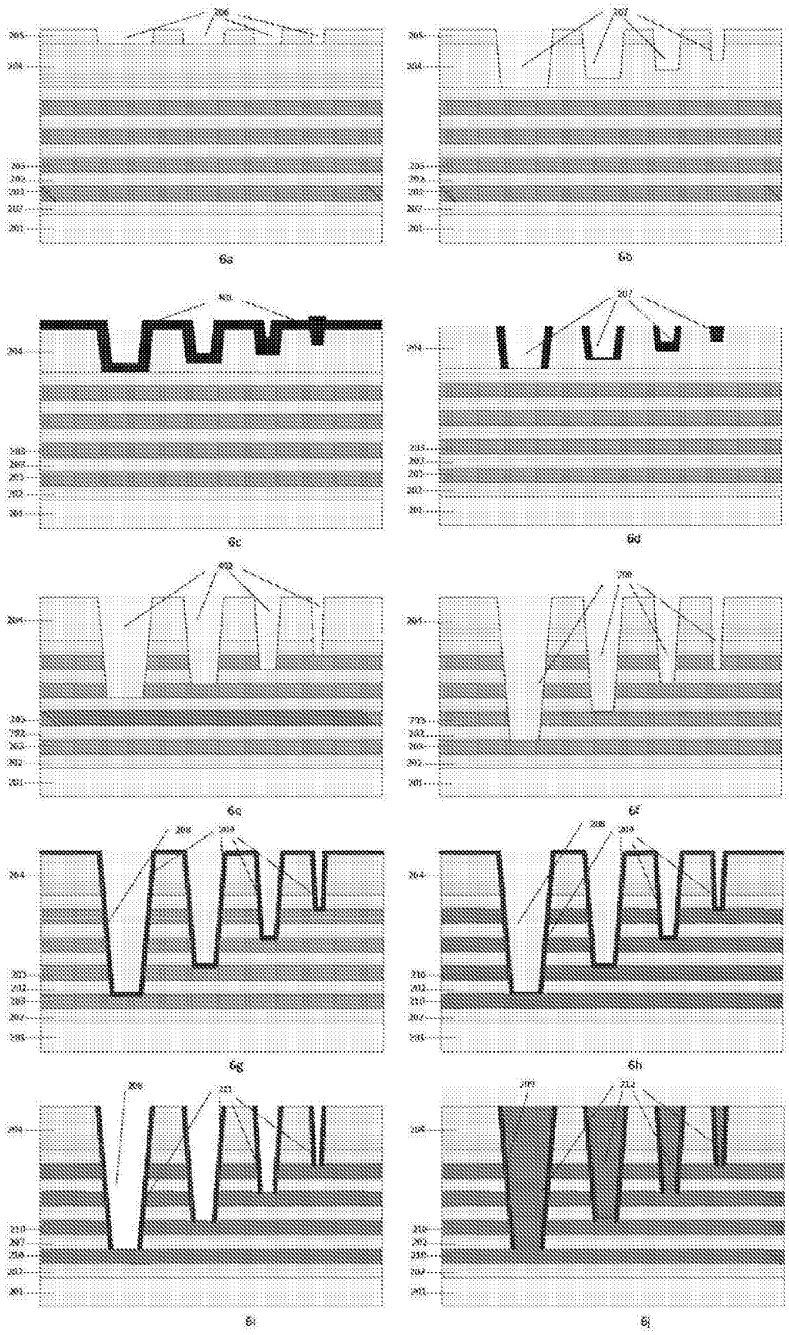


图6

Micron Ex. 1002, p. 650
Micron v. YMTC
IPR2024-00790

Electronic Acknowledgement Receipt

EFS ID:	36696101
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Donald J. Featherstone/Simran Parmar
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0350001
Receipt Date:	26-JUL-2019
Filing Date:	10-SEP-2018
Time Stamp:	10:55:30
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		41230350001IDS.pdf	70456 373454f8c9945e8cace4754574bf9f2e145ce818	yes	10

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Miscellaneous Incoming Letter	1	1
	Transmittal Letter	2	8
	Information Disclosure Statement (IDS) Form (SB08)	9	10

Warnings:					
Information:					
2	Foreign Reference	FP1.PDF	10402714 09f9af1a8123e3a58a64ebf1d2fdc2379ef1f25e	no	66
Warnings:					
Information:					
3	Foreign Reference	FP2.PDF	16865537 ef933c2751dfc7d1eb3b61495c3947da81f34dce	no	186
Warnings:					
Information:					
4	Foreign Reference	FP3.PDF	22181998 1a009795077ac390a4e815df8f9395dff843f8f0	no	133
Warnings:					
Information:					
5	Foreign Reference	FP5.PDF	8322454 50ca560c8f9cbc3ee66bcb8b20ee5eec0da476be	no	90
Warnings:					
Information:					
6	Foreign Reference	FP6.PDF	967944 ff0b49bc4bf0169691b3d983cfafa1a006db187f	no	19
Warnings:					
Information:					

7	Foreign Reference	FP7.PDF	1122975 f28d4bba389251c303faaf11ba3695e7ed605a4d	no	20
Warnings:					
Information:					
8	Non Patent Literature	NPL1_ISR.PDF	401587 0f3bc8c9551f03bb67f9b3cacccafb7b74f9fb34	no	8
Warnings:					
Information:					
9	Foreign Reference	FP4.pdf	427664 39dc2d471a9a10ad8fb53cdbfafe078c5030849d	no	17
Warnings:					
Information:					
			Total Files Size (in bytes):	60763329	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

July 26, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582
Art Unit 2811
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Application No. 16/126,919; Filing Date: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Information Disclosure Statement;
2. Form PTO/SB/08a (1 sheet) listing 13 documents (**US1-US6** and **FP1-FP7**);
3. Form PTO/SB/08b (1 sheet) listing 1 document (**NPL1**); and
4. Copies of cited documents (**FP1-FP7** and **NPL1**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/Y-G/skp
Enclosures

13455869_1.docx

Micron Ex. 1002, p. 654
Micron v. YMTC
IPR2024-00790

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2811
Application No.: 16/126,919	Examiner: GURLEY, Lynne Ann
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 656
Micron v. YMTC
IPR2024-00790

after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or

Micron Ex. 1002, p. 657
Micron v. YMTC
IPR2024-00790

Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or

Micron Ex. 1002, p. 658
Micron v. YMTC
IPR2024-00790

other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. Concise explanations of the relevance of non-English language documents appear below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US1** (2016/0268263 A1) is submitted herewith as the English-language counterpart of document **FP1** (CN 105977257 A).

Document **US2** (2018/0166329 A1) is submitted herewith as the English-language counterpart of document **FP7** (CN 108615701 A).

Document **US4** (2018/0233512 A1) is submitted herewith as the English-language counterpart of document **FP6** (KR 20180076298 A).

Document **US5** (9,570,463 B1) is submitted herewith as the English-language counterpart of document **FP5** (CN 108093656 A).

Document **FP2** (WO 2016/205078 A2) is submitted herewith as the English-language counterpart of document **FP3** (CN 107431063 A).

Document **FP4** (CN 107680972 A) appears to describe a "Three-dimensional (3D) NAND storage device and manufacturing method thereof," as noted in the corresponding English-language abstract attached to the document.

Micron Ex. 1002, p. 659
Micron v. YMTC
IPR2024-00790

☒ 8. Copies of documents **FP1-FP7** and **NPL1** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patents and patent application publications cited as documents **US1-US6** on the attached IDS Forms are submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☐ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No(s). _____ in accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

☐ 11. In accordance with the Federal Circuit decision in *Dayco Prods., Inc. v. Total Containment, Inc.* 329 F.3d 1358 (Fed. Cir. 2003), Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____. The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

Atty. Dkt. No. 4123.0350001

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: July 26, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

13455840_1.docx

Micron Ex. 1002, p. 661
Micron v. YMTC
IPR2024-00790

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

26111 7590 09/04/2019

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
NIKMANESH, SEAHVOSH J	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
09/04/2019	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 662
Micron v. YMTC
IPR2024-00790

Office Action Summary	Application No. 16/126,919	Applicant(s) LIU et al.	
	Examiner SEAHVOSH J NIKMANESH	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 7/26/2019.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☐ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6) ☐ Claim(s) _____ is/are allowed.

7) ☐ Claim(s) _____ is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☑ Claim(s) 1-20 are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 663
Micron v. YMTC
IPR2024-00790

Notice of Pre-AIA or AIA Status

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

Election/Restriction

Restriction to one of the following inventions is required under 35 U.S.C. 121:

I. Claims 1-6, drawn to a memory device, classified in 257/001+.

II. Claims 7-20, drawn to a method of forming a memory device, classified in 438/001+.

The inventions are independent or distinct, each from the other because:

Inventions I and II are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case the product as claimed can be made by various other processes such as lamination or deposition processes.

Restriction for examination purposes as indicated is proper because all the inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of the following reasons apply:

- the inventions have acquired a separate status in the art in view of their different classification
- the inventions have acquired a separate status in the art due to their recognized divergent subject matter
- the inventions require a different field of search (e.g., searching different classes/subclasses or electronic resources, or employing different search strategies or search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a invention to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected invention**.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims

must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to SEAHVOSH J NIKMANESH whose telephone number is (571)270-1805. The examiner can normally be reached on M-F IFP.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles Garber can be reached on 5712722194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer

Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Seahvosh Nikmanesh/

Primary Examiner, Art Unit 2812

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/126,919	Examiner: Nikmanesh, Seahvosh J.
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

Reply to Restriction Requirement

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

In reply to the office action dated September 4, 2019, requesting an election of one group of claims to prosecute in the above-referenced patent application, Applicant hereby provisionally elects to prosecute Group I, represented by claims 1-6. This election is made without prejudice to or disclaimer of the other claims or inventions disclosed.

This election is made without traverse.

Reconsideration and withdrawal of the Restriction Requirement, and consideration and allowance of all pending claims, are respectfully requested.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue

prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: September 23, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

13875056_1.docx

Micron Ex. 1002, p. 669
Micron v. YMTC
IPR2024-00790

Electronic Acknowledgement Receipt

EFS ID:	37244728
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Donald J. Featherstone/Maya Bennett
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0350001
Receipt Date:	23-SEP-2019
Filing Date:	10-SEP-2018
Time Stamp:	17:29:44
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2019-09-23-Cover-Letter-4123-0350001.PDF	213349 2f72a232481f62403ec0210f7f140ac9f58ea112	no	1
Warnings:					

Information:					
2	Response to Election / Restriction Filed	2019-09-23-Reply-Restriction-Requirement-4123-0350001.PDF	85756 fbc72af6751b65839dd5e96558a15a2b7b0689e4	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	299105	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

September 23, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582

Re: U.S. Utility Patent Application
Appl. No. 16/126,919; Filed: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

Transmitted herewith for appropriate action is a ***Reply to Restriction Requirement***, which is submitted electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) or credit any overpayment to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

RES/mlb
Enclosure

13875076_1.docx

Micron Ex. 1002, p. 672
Micron v. YMTC
IPR2024-00790

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	09-10-2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2016/0111440 A1	04-21-2016	Chae et al.	
	US2	US- 2017/0103996 A1	04-13-2017	Lee et al.	
	US3	US- 9,449,987 B1	09-20-2016	Miyata et al.	
	US4	US- 9,853,043 B2	12-26-2017	Lu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 107771356 A	03-06-2018	SANDISK TECHNOLOGIES LLC		
	FP2	CN 107810552 A	03-16-2018	SANDISK TECHNOLOGIES LLC		

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] **Applicant's unique citation designation number (optional).** [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/126,919	Examiner: GURLEY, Lynne Ann
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

First Supplemental Information Disclosure Statement

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Form PTO/SB/08a equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Form based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

Applicant has checked the appropriate boxes below.

☐ 1. Statement under 37 C.F.R. 1.704(d). Each item of information contained in this Information Disclosure Statement: (i) was first cited in any communication from a patent office in a counterpart[1] foreign or international application or from the Office; and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of this information disclosure statement; OR (ii) is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in Sec. 1.56(c) more than thirty days prior to the filing of the information disclosure statement.

☒ 2. Filing under 37 C.F.R. § 1.97(b). This Information Disclosure Statement is being filed within three months of the date of filing of a national application other than a continued prosecution application (CPA), OR within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, OR before the mailing date of a first Office Action on the merits OR before the mailing of a first Office Action after the filing of a request for continued examination under 37 C.F.R. § 1.114. No statement or fee is required.

☐ 3. Filing under 37 C.F.R. § 1.97(c). This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office

---

[1] The term counterpart foreign patent application means that a claim for priority has been made in either the U.S. application or a foreign application based on the other, or that the disclosures of the U.S. and foreign patent applications are substantively identical (e.g., an application filed in the European Patent Office claiming the same U.K. priority as claimed in the U.S. application).

Micron Ex. 1002, p. 675
Micron v. YMTC
IPR2024-00790

Action on the merits, but before the mailing date of a Final Rejection, or Notice of Allowance, or an action that otherwise closes prosecution in the application.

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☐ c. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p).

☐ 4. Filing under 37 C.F.R. § 1.97(d) This Information Disclosure Statement is being filed more than three months after the U.S. filing date and after the mailing date of a Final Rejection or Notice of Allowance, but on or before payment of the Issue Fee. The required fee is provided through online credit card payment authorization in the amount of $240.00 in payment of the fee under 37 C.F.R. § 1.17(p); in addition:

Micron Ex. 1002, p. 676
Micron v. YMTC
IPR2024-00790

☐ a. Statement under 37 C.F.R. § 1.97(e)(1). I hereby state that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

☐ b. Statement under 37 C.F.R. § 1.97(e)(2). I hereby state that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 C.F.R. § 1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(2).

☒ 5. The patent family for one or more foreign language documents submitted herewith includes a United States patent, and other patent, in the English language. Copies of both the particular foreign patent(s) or published foreign patent applications cited in the foreign patent office communication, and that are not already of record in this application, are enclosed. Copies of the related United States or other English language patent or published application from the family list, if not already of record, are listed on the accompanying SB/08A form. For the purposes of a statement under 37 CFR 1.97(e)(1), the United States or other English language patent or published application are to be construed as being cited by the foreign patent office. MPEP 609.04(b)(V).

Micron Ex. 1002, p. 677
Micron v. YMTC
IPR2024-00790

☐ 6. The document(s) was/were cited in a search report by a foreign patent office in a counterpart foreign application. Submission of an English language version of the search report that indicates the degree of relevance found by the foreign office is provided in satisfaction of the requirement for a concise explanation of relevance. MPEP 609.04(a)(III).

☒ 7. Concise explanations of the relevance of the non-English language documents appear below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **US3** (9,449,987 B1) is submitted herewith as the English-language counterpart of document **FP1** (CN 107771356 A).

Document **US4** (9,853,043 B2) is submitted herewith as the English-language counterpart of document **FP2** (CN 107810552 A).

☒ 8. Copies of documents **FP1-FP2** are submitted. However, in accordance with 37 C.F.R. § 1.98(a)(2)(ii), no copies of the U.S. patents and patent application publications cited as documents **US1-US4** on the attached IDS Form are submitted.

☐ 9. Copies of the _____ documents were cited by or submitted to the Office in an IDS that complies with 37 C.F.R. § 1.98(a)-(c) in Application No._____, filed _____, which is relied upon for an earlier filing date under 35 U.S.C. § 120. Thus, copies of these documents are not attached. 37 C.F.R. § 1.98(d).

☐ 10. It is expected that the examiner will review the prosecution and cited art in the parent Application No(s). _____ in accordance with MPEP 2001.06(b), and indicate in the next communication from the office that the art cited in the earlier prosecution history has been reviewed in connection with the present application.

Micron Ex. 1002, p. 678
Micron v. YMTC
IPR2024-00790

☐ 11. In accordance with the Federal Circuit decision in *Dayco Prods., Inc. v. Total Containment, Inc.* 329 F.3d 1358 (Fed. Cir. 2003), Applicants submit herewith Office Actions from the co-pending U.S. Patent Application No._____, filed _____, as documents _____ to _____. The identification of these Office Actions is not to be construed as a waiver of secrecy as to those applications now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited applications and the art cited therein during examination.

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Form, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: November 22, 2019

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

13748436_1

Micron Ex. 1002, p. 679
Micron v. YMTC
IPR2024-00790

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

November 22, 2019

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582
Art Unit 2812
Attn: Mail Stop Amendment

Re: U.S. Utility Patent Application
Application No. 16/126,919; Filing Date: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. First Supplemental Information Disclosure Statement;
2. Form PTO/SB/08a (1 sheet) listing 6 documents (**US1-US4** and **FP1-FP2**);
3. Copies of cited documents (**FP1-FP2**).

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/lef
Enclosures

13748454_1

Micron Ex. 1002, p. 680
Micron v. YMTC
IPR2024-00790

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107771356 A
(43)申请公布日 2018.03.06

(21)申请号 201680036404.3

(22)申请日 2016.06.09

(30)优先权数据
14/832,579 2015.08.21 US
14/995,017 2016.01.13 US

(85)PCT国际申请进入国家阶段日
2017.12.21

(86)PCT国际申请的申请数据
PCT/US2016/036656 2016.06.09

(87)PCT国际申请的公布数据
WO2017/034646 EN 2017.03.02

(71)申请人 桑迪士克科技有限责任公司
地址 美国得克萨斯州

(72)发明人 Z.卢 D.毛 K.宫田 J.有吉 J.阿尔斯梅尔 G.马塔米斯 W.史 J.许 X.胡 A.林 J.余

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邱军

(51)Int.Cl.
H01L 27/11565(2017.01)
H01L 27/11573(2017.01)
H01L 27/11575(2017.01)
H01L 27/11582(2017.01)
H01L 21/02(2006.01)

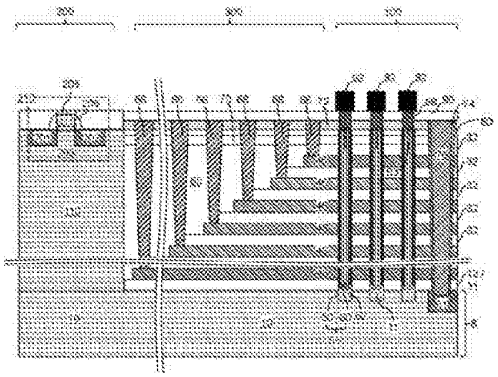
权利要求书7页 说明书26页 附图39页

(54)发明名称

具有外围晶体管的外延半导体基座的三维存储器器件

(57)摘要

提供了一种制造存储器器件的方法，所述方法包括在半导体基板之上形成绝缘体层和间隔体材料层的第一交替堆叠体，蚀刻所述第一交替堆叠体以暴露单晶半导体材料，在所述单晶半导体材料上形成第一外延半导体基座，使得所述第一外延半导体基座与所述单晶半导体材料外延对齐，通过所述第一交替堆叠体形成存储器堆叠结构的阵列，以及在所述第一外延半导体基座之上形成至少一个半导体器件。



CN 107771356 A

Micron Ex. 1002, p. 681
Micron v. YMTC
IPR2024-00790

1.一种制造存储器器件的方法,包括:

在基板的单晶半导体表面之上形成绝缘体层和间隔体材料层的交替堆叠体;

通过图案化所述交替堆叠体形成阶梯式表面,其中所述单晶半导体表面在所述交替堆叠体的所有层被移除的区域中被暴露;

在形成所述阶梯式表面之后,分别在所述半导体基板的半导体表面之上和所述阶梯式表面之上形成外延半导体基座和电介质材料部分,其中所述外延半导体基座与所述基板的单晶半导体表面外延对齐;

通过所述交替堆叠体的剩余部分形成存储器堆叠结构的阵列;以及

在所述外延半导体基座上形成至少一个半导体器件。

2.如权利要求1所述的方法,其中所述外延半导体基座在形成所述电介质材料部分之前通过选择性外延工艺形成。

3.如权利要求2所述的方法,还包括:

在所述交替堆叠体之上形成平坦化停止层;

在形成所述阶梯式表面之前图案化所述平坦化停止层;

将电介质材料沉积在所述图案化的平坦化停止层、所述阶梯式表面和所述外延半导体基座之上;以及

使用所述外延半导体基座和所述平坦化停止层作为停止结构来平坦化所述电介质材料,以形成所述电介质材料部分。

4.如权利要求1所述的方法,其中所述电介质材料部分在形成所述外延半导体基座之前通过沉积和图案化电介质材料来形成。

5.如权利要求4所述的方法,其中所述外延半导体基座通过以下方式形成:

进行形成下部外延半导体基座部分的第一外延半导体沉积工艺;以及

进行形成上部外延半导体基座部分的第二外延半导体沉积工艺,其中所述下部外延半导体基座部分和上部外延半导体基座部分共同构成所述外延半导体基座。

6.如权利要求5所述的方法,还包括:

在所述第一外延半导体沉积工艺之后和所述第二外延半导体沉积工艺之前,通过所述交替堆叠体的剩余部分形成多个存储器开口;以及

在形成所述上部外延半导体基座部分的所述第二外延半导体沉积工艺期间,在所述多个存储器开口中形成外延通道部分的阵列。

7.如权利要求6所述的方法,其中形成所述存储器堆叠结构的阵列包括在外延通道部分的阵列上的相应的存储器开口中形成所述存储器堆叠结构的阵列。

8.如权利要求1所述的方法,还包括:

在所述交替堆叠体之上形成平坦化停止层;以及

采用所述平坦化停止层作为停止层来平坦化所述外延半导体基座的最顶表面。

9.如权利要求1所述的方法,其中:

在所述外延半导体基座上形成至少一个半导体器件包括在所述外延半导体基座上形成所述存储器器件的驱动电路的至少一个晶体管;以及

所述外延半导体基座具有基本垂直的侧壁。

10.如权利要求9所述的方法,其中所述外延半导体基座侧壁没有阶梯式结构。

Micron Ex. 1002, p. 682
Micron v. YMTC
IPR2024-00790

11.如权利要求1所述的方法，其中每个存储器堆叠结构包括：

存储器薄膜，其包括隧穿电介质、至少一个电荷存储区域和阻挡电介质；以及

垂直半导体通道，其与所述存储器薄膜的内表面接触，并叠盖所述基板的单晶半导体表面重叠。

12.如权利要求11所述的方法，还包括：

通过所述阶梯式表面形成多个虚设开口；

在形成所述存储器堆叠结构的阵列的同时，在所述多个虚设开口中形成多个虚设存储器堆叠结构；以及

形成与所述存储器堆叠结构的阵列电接触的多个位线，使得所述多个虚设存储器堆叠结构不与所述多个位线电接触。

13.如权利要求12所述的方法，还包括：

移除所述间隔体材料层，以使用所述多个虚设存储器堆叠结构作为支撑柱来形成多个凹陷；以及

在所述多个凹陷中形成包括所述存储器器件的控制栅电极的导电材料层。

14.如权利要求1所述的方法，其中：

所述间隔体材料层被设置为导电层，或被替换为导电层；并且

所述方法还包括通过所述电介质材料部分形成接触通孔结构到相应的导电层。

15.如权利要求1所述的方法，其中：

所述存储器器件包括单片三维NAND存储器器件；

所述基板包括硅基板；

所述单片三维NAND存储器器件包括所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的第二器件级中的另一存储器单元之上；

所述硅基板包含集成电路，所述集成电路包括位于其上的所述存储器器件的驱动电路；并且

每个NAND中包括：

半导体通道，其中所述半导体通道的至少一个端部部分基本上垂直于所述硅基板的顶表面延伸；

多个电荷存储元件，每个电荷存储元件位于相应的半导体通道附近；以及

多个控制栅电极，其具有基本上平行于所述半导体基板的顶表面延伸的条形，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

16.一种存储器器件，包括：

位于半导体基板之上的导电层和绝缘体层的交替堆叠体；

位于存储器开口内的存储器堆叠结构的阵列，所述存储器开口通过所述交替堆叠体延伸；

叠盖所述交替堆叠体的阶梯式表面的电介质材料部分；

具有基本上垂直的侧壁的外延半导体基座，所述外延半导体基座与所述半导体基板中的单晶基板半导体材料外延对齐；以及

Micron Ex. 1002, p. 683
Micron v. YMTC
IPR2024-00790

位于所述外延半导体基座的顶表面上的至少一个半导体器件。

17.如权利要求16所述的存储器器件，其中：

所述外延半导体基座具有的顶表面在与所述电介质材料部分的顶表面相同的水平平面内；

所述电介质材料部分和所述外延半导体基座之间的整个接触区域在相同的垂直平面内；

所述外延半导体基座的基本上垂直的侧壁没有阶梯式表面；并且

所述至少一个半导体器件包括位于所述存储器器件的外围区域中的所述存储器器件的驱动电路的场效应晶体管。

18.如权利要求17所述的存储器器件，还包括：

漏极区域的阵列，其接触所述存储器堆叠结构的阵列内的相应的半导体通道；以及

位于所述交替堆叠体之上的平坦化停止层，其中所述平坦化停止层的顶表面与所述电介质材料部分的顶表面共面。

19.如权利要求16所述的存储器器件，还包括外延通道部分的阵列，其位于所述存储器堆叠结构的阵列的下面，并具有与所述外延半导体基座的至少上部部分相同的材料组分。

20.如权利要求16所述的存储器器件，其中所述外延半导体基座包括上部外延半导体基座部分和下部外延半导体基座部分，所述下部外延半导体基座部分包括与所述上部半导体基座部分不同的半导体材料。

21.如权利要求16所述的存储器器件，还包括：

接触通孔结构，其通过所述电介质材料部分延伸并接触相应的导电层；

通过所述阶梯式表面延伸的多个虚设开口；

位于所述多个虚设开口中的多个虚设存储器堆叠结构；以及

与所述存储器堆叠结构的阵列电接触的多个位线，其中所述多个虚设存储器堆叠结构不与所述多个位线电接触。

22.如权利要求16所述的存储器器件，其中：

所述存储器器件包括单片三维NAND存储器器件；

所述半导体基板包括硅基板；

所述单片三维NAND存储器器件包括在所述硅基板之上的单片三维NAND串的阵列；

所述NAND串的三维阵列的第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的第二器件级中的另一存储器单元之上；

所述硅基板包含集成电路，所述集成电路包括位于其上的所述存储器器件的驱动电路；并且

每个NAND串包括：

半导体通道，其中所述半导体通道的至少一个端部部分基本上垂直于所述硅基板的顶表面延伸；

多个电荷存储元件，每个电荷存储元件位于相应的半导体通道附近；以及

多个控制栅电极，其具有基本上平行于所述半导体基板的顶表面延伸的条形，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

Micron Ex. 1002, p. 684
Micron v. YMTC
IPR2024-00790

23.一种制造存储器器件的方法,包括:

在半导体基板之上形成绝缘体层和间隔体材料层的第一交替堆叠体;

蚀刻所述第一交替堆叠体以暴露单晶半导体材料;

在所述单晶半导体材料上形成第一外延半导体基座,其中所述第一外延半导体基座与所述单晶半导体材料外延对齐;

通过所述第一交替堆叠体形成存储器堆叠结构的阵列;

在所述第一外延半导体基座上形成第二外延半导体基座,其中所述第一外延半导体基座和所述第二外延半导体基座彼此外延对齐;以及

在所述第一外延半导体基座和所述第二外延半导体基座之上形成至少一个半导体器件。

24.如权利要求23所述的方法,还包括:

通过图案化所述第一交替堆叠体在所述第一交替堆叠体的侧面中形成阶梯式表面;

通过在所述阶梯式表面之上沉积电介质材料来形成电介质材料部分,并且在形成所述第一外延半导体基座之前从所述单晶半导体材料的上方移除所沉积的电介质材料的一部分;以及

平坦化沉积的第一外延半导体材料以形成第一外延半导体基座,所述第一外延半导体基座具有的顶表面与所述电介质材料部分的顶表面在相同的水平平面内。

25.如权利要求23所述的方法,还包括:

在形成所述第一外延半导体基座的步骤之后,通过图案化所述第一交替堆叠体来在所述第一交替堆叠体的侧面中形成阶梯式表面;以及

通过在所述阶梯式表面之上和所述第一外延半导体基座之上沉积电介质材料来形成电介质材料部分,并且从所述第一外延半导体基座上方移除所沉积的电介质材料的一部分。

26.如权利要求23所述的方法,还包括:

在所述第一交替堆叠体之上形成平坦化停止层;以及

采用所述平坦化停止层作为停止层来平坦化所述第一外延半导体基座的最顶表面。

27.如权利要求23所述的方法,其中形成至少一个半导体器件包括在所述第一外延半导体基座和所述第二外延半导体基座之上形成所述存储器器件的驱动电路的至少一个晶体管。

28.如权利要求23所述的方法,其中通过所述第一交替堆叠体形成所述存储器堆叠结构的阵列包括通过所述第一交替堆叠体形成多个第一存储器开口,以及在所述第一存储器开口中形成存储器薄膜和半导体通道。

29.如权利要求28所述的方法,还包括通过图案化所述第一交替堆叠体在所述第一交替堆叠体的侧面中形成阶梯式表面,其中所述第一外延半导体基座的侧壁没有阶梯式结构。

30.如权利要求29所述的方法,还包括:

在形成所述多个第一存储器开口的相同的步骤期间,在所述第一交替堆叠体中通过所述阶梯式表面形成多个第一虚设开口;

在与所述第一存储器开口中形成所述存储器堆叠结构的相同的步骤期间,在所述第一

Micron Ex. 1002, p. 685
Micron v. YMTC
IPR2024-00790

虚设开口中形成虚设存储器堆叠结构;以及

形成与所述存储器堆叠结构的阵列电接触的多个位线,使得所述至少一个虚设存储器堆叠结构不与所述多个位线电接触。

31.如权利要求30所述的方法,还包括:

移除每个交替堆叠体的间隔体材料层,以使用所述虚设存储器堆叠结构作为支撑柱来形成多个凹陷;以及

在所述多个凹陷中形成导电材料层,其中所述导电材料层包括所述存储器器件的控制栅电极。

32.如权利要求23所述的方法,其中:

所述至少一个交替堆叠体的间隔体材料层被设置为,或被替换为导电层;并且

所述方法还包括形成接触通孔结构到相应的导电层。

33.如权利要求23所述的方法,还包括:

在所述第一交替堆叠体之上形成绝缘体层和间隔体材料层的第二交替堆叠体;以及

蚀刻所述第一交替堆叠体以暴露所述第一外延半导体基座。

34.如权利要求33所述的方法,其中:

通过所述第一交替堆叠体和所述第二交替堆叠体形成所述存储器堆叠结构的阵列;以及

在蚀刻所述第一交替堆叠体以暴露所述第一外延半导体基座的步骤之后,形成所述第二外延半导体基座。

35.如权利要求34所述的方法,还包括:

通过所述第一交替堆叠体形成多个第一存储器开口;

在所述第一存储器开口中形成牺牲填充结构;

通过所述第二交替堆叠体形成第二存储器开口以暴露所述牺牲填充结构;以及

移除所述牺牲填充结构以形成包括所述第一存储器开口和所述第二存储器开口的堆叠体间存储器开口,其中所述存储器堆叠结构的阵列形成在所述堆叠体间存储器开口中。

36.如权利要求23所述的方法,还包括形成具有镜像对称性的一对阶梯式表面区域,该对阶梯式表面区域包括邻近所述存储器堆叠体器件的阵列的区域的活动阶梯图案、以及远离所述存储器堆叠体器件的阵列的区域的虚设阶梯图案。

37.如权利要求36所述的方法,还包括:

从所述活动阶梯图案但是不从所述虚设阶梯图案移除所述间隔体材料层,以在所述活动阶梯图案中形成多个凹陷;以及

在所述多个凹陷中形成导电材料层;

其中所述导电材料层包括所述存储器器件的控制栅电极;并且

其中所述第一外延半导体基座形成在所述虚设阶梯图案中且不在所述活动阶梯图案中。

38.如权利要求23所述的方法,其中:

所述存储器器件包括单片三维NAND存储器器件;

所述半导体基板包括硅基板;

所述单片三维NAND存储器器件包括在所述硅基板之上的单片三维NAND串的阵列;

Micron Ex. 1002, p. 686
Micron v. YMTC
IPR2024-00790

所述NAND串的三维阵列的第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的第二器件级中的另一存储器单元之上；

所述硅基板包含集成电路，所述集成电路包括位于其上的所述存储器器件的驱动电路；并且

每个NAND串包括：

半导体通道，其中所述半导体通道的至少一个端部部分基本上垂直于所述硅基板的顶表面延伸；

多个电荷存储元件，每个电荷存储元件位于相应的半导体通道附近；以及

多个控制栅电极，其具有基本上平行于所述半导体基板的顶表面延伸的条形，所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

39.一种存储器器件，包括：

位于半导体基板之上的至少一个交替堆叠体，其中所述至少一个交替堆叠体中的每一个包括导电层和绝缘体层，所述导电层和所述绝缘体层沿着垂直于所述半导体基板的顶表面的方向交替，并且在接触区域中包括阶梯式表面；

位于存储器开口内的存储器堆叠结构的阵列，所述存储器开口通过所述至少一个交替堆叠体的整体延伸；

附加的绝缘层和间隔体材料层的至少一个附加的交替堆叠体，其中所述间隔体材料层与所述导电层的组分不同；

位于所述至少一个附加的交替堆叠体中的至少一个外延半导体基座，其中所述至少一个外延半导体基座中的每一个与所述半导体基板的单晶基板半导体材料外延对齐；以及

位于所述至少一个外延半导体基座上的至少一个半导体器件。

40.如权利要求39所述的存储器器件，其中：

所述至少一个外延半导体基座中的每一个具有的顶表面在与相应的电介质材料部分的顶表面相同的水平平面内；

每个电介质材料部分与相应的外延半导体基座之间的整个接触区域在相同的垂直或锥形平面内；

所述至少一个外延半导体基座不包括阶梯式表面；并且

所述至少一个半导体器件包括位于所述存储器器件的外围区域中的所述存储器器件的驱动电路的场效应晶体管。

41.如权利要求40所述的存储器器件，还包括：

漏极区域的阵列，其接触所述存储器堆叠结构的阵列内的相应的半导体通道；以及

位于所述至少一个交替堆叠体之上的电介质材料层，其中所述电介质材料层的顶表面与相应的电介质材料部分的顶表面共面。

42.如权利要求39所述的存储器器件，还包括外延通道部分的阵列，其位于所述存储器堆叠结构的阵列的下面，并且与所述半导体基板中的半导体材料的单晶结构外延对齐。

43.如权利要求39所述的存储器器件，还包括：

接触通孔结构，其通过所述至少一个电介质材料部分延伸并接触相应的导电层；

通过所述阶梯式表面的相应的部分延伸的多个虚设开口；

Micron Ex. 1002, p. 687
Micron v. YMTC
IPR2024-00790

位于所述多个虚设开口中的多个虚设存储器堆叠结构;以及

与所述存储器堆叠结构的阵列电接触的多个位线,其中所述多个虚设存储器堆叠结构不与所述多个位线电接触。

44.如权利要求39所述的存储器器件,其中所述至少一个交替堆叠体包括多个交替堆叠体。

45.如权利要求44所述的存储器器件,其中:

所述存储器堆叠结构的阵列通过所述多个交替堆叠体延伸;以及

所述存储器堆叠结构的阵列内的至少一个存储器堆叠结构包括位于第一交替堆叠体内的第一锥形侧壁、与叠盖所述第一交替堆叠体的第二交替堆叠体的底表面接触的水平表面、以及位于所述第二交替堆叠体内的第二锥形侧壁。

46.如权利要求39所述的存储器器件,包括形成由后退阶梯式电介质材料部分横向间隔开的一对阶梯式表面区域,其中该对阶梯式表面区域包括括邻近所述存储器堆叠体器件的阵列的区域的活动阶梯图案、以及远离所述存储器堆叠体器件的阵列的区域的虚设阶梯图案。

47.如权利要求46所述的存储器器件,其中所述至少一个外延半导体基座邻接所述虚设阶梯图案,且不延伸到所述活动阶梯图案的任何区域中。

48.如权利要求39所述的存储器器件,还包括位于相应的交替堆叠体上的至少一个电介质材料部分,其中所述至少一个电介质材料部分中的每一个叠盖所述相应的交替堆叠体和所述至少一个附加的交替堆叠体的阶梯式表面。

49.如权利要求39所述的存储器器件,其中:

附加的绝缘层和间隔体材料层的所述至少一个附加的交替堆叠体接触所述至少一个外延半导体基座的至少一个侧壁;并且

所述间隔体材料层包括电介质材料。

50.如权利要求39所述的存储器器件,其中:

所述存储器器件包括单片三维NAND存储器器件;

所述半导体基板包括硅基板;

所述单片三维NAND存储器器件包括在所述硅基板之上的单片三维NAND串的阵列;

所述NAND串的三维阵列的第一器件级中的至少一个存储器单元位于所述NAND串的三维阵列的第二器件级中的另一存储器单元之上;

所述硅基板包含集成电路,所述集成电路包括位于其上的所述存储器器件的驱动电路;并且

每个NAND串包括:

半导体通道,其中所述半导体通道的至少一个端部部分基本上垂直于所述硅基板的顶表面延伸;

多个电荷存储元件,每个电荷存储元件位于相应的半导体通道附近;以及

多个控制栅电极,其具有基本上平行于所述半导体基板的顶表面延伸的条形,所述多个控制栅电极至少包括位于所述第一器件级中的第一控制栅电极和位于所述第二器件级中的第二控制栅电极。

Micron Ex. 1002, p. 688
Micron v. YMTC
IPR2024-00790

具有外围晶体管的外延半导体基座的三维存储器器件

技术领域

[0001] 本公开总体涉及三维半导体器件的领域，更具体地，涉及包括外围器件的三维存储器器件及其制造方法。

背景技术

[0002] 需要外围器件来控制三维存储器器件中的各种存储器元件的操作。随着三维存储器器件中的堆叠体的数量的增加，用于提供与外围器件的电接触的接触通孔结构的高度增加。接触通孔结构的高度上的这种增加使得难以为外围器件形成可靠的接触通孔结构。

发明内容

[0003] 根据本公开的方面，一种制造存储器器件的方法包括在基板的单晶半导体表面之上形成绝缘体层和间隔体材料层的交替堆叠体，以及通过图案化所述交替堆叠体来形成阶梯式表面。所述单晶半导体表面在所述交替堆叠体的所有层被移除的区域中被暴露。所述方法还包括，在形成所述阶梯式表面之后，分别在所述半导体基板的半导体表面之上和所述阶梯式表面之上形成外延半导体基座和电介质材料部分。所述外延半导体基座与所述半导体基板的单晶半导体表面外延对齐。所述方法还包括通过所述交替堆叠体的剩余部分形成存储器堆叠结构的阵列，以及在所述外延半导体基座上形成至少一个半导体器件。

[0004] 根据本公开的另一方面，一种存储器器件包括：位于半导体基板之上的导电层和绝缘体层的交替堆叠体；位于存储器开口内的存储器堆叠结构的阵列，所述存储器开口通过所述交替堆叠体延伸；叠盖所述交替堆叠体的阶梯式表面的电介质材料部分；具有基本上垂直的侧壁的外延半导体基座，所述外延半导体基座与所述半导体基板中的单晶基板半导体材料外延对齐；以及位于所述外延半导体基座的顶表面上的至少一个半导体器件。

[0005] 根据本公开的又一方面，提供了一种制造存储器器件的方法。所述方法包括在半导体基板之上形成绝缘体层和间隔体材料层的第一交替堆叠体，蚀刻所述第一交替堆叠体以暴露单晶半导体材料，在所述单晶半导体材料上形成第一外延半导体基座，其中所述第一外延半导体基座与所述单晶半导体材料外延对齐，通过所述第一交替堆叠体形成存储器堆叠结构的阵列，在所述第一外延半导体基座上形成第二外延半导体基座，其中所述第一外延半导体基座和所述第二外延半导体基座彼此外延对齐，以及在所述第一外延半导体基座至少形成至少一个半导体器件。

[0006] 根据本公开的又一方面，提供了一种存储器器件，其包括位于半导体基板之上的至少一个交替堆叠体，其中所述至少一个交替堆叠体中的每一个包括导电层和绝缘体层，所述导电层和所述绝缘体层沿着垂直于所述半导体基板的顶表面的方向交替，并且在接触区域中包括阶梯式表面；位于存储器开口内的存储器堆叠结构的阵列，所述存储器开口通过所述至少一个交替堆叠体的整体延伸；附加的绝缘层和间隔体材料层的至少一个附加的交替堆叠体，其中所述间隔体材料层与所述导电层的组分不同；位于所述至少一个附加的交替堆叠体中的至少一个外延半导体基座，其中所述至少一个外延半导体基座中的每一个

Micron Ex. 1002, p. 689
Micron v. YMTC
IPR2024-00790

与所述半导体基板的单晶基板半导体材料外延对齐；以及位于所述至少一个外延半导体基座上的至少一个半导体器件。

附图说明

[0007] 图1是根据本公开的第一实施例的在基板之上形成交替层、绝缘帽层和平坦化停止层的堆叠体之后的第一示范性结构的垂直截面图。

[0008] 图2是根据本公开的第一实施例的在形成阶梯式台阶之后的第一示范性结构的垂直截面图。

[0009] 图3是根据本公开的第一实施例的在外围器件区域中形成外延半导体基座之后的第一示范性结构的垂直截面图。

[0010] 图4是根据本公开的第一实施例的在沉积电介质填充材料层之后的第一示范性结构的垂直截面图。

[0011] 图5是根据本公开的第一实施例的在形成电介质材料部分之后的第一示范性结构的垂直截面图。

[0012] 图6是根据本公开的第二实施例的在形成电介质填充材料层之后的第二示范性结构的垂直截面图。

[0013] 图7是根据本公开的第二实施例的在形成电介质材料部分之后的第二示范性结构的垂直截面图。

[0014] 图8是根据本公开的第二实施例的在移除电介质材料部分的区域之后的第二示范性结构的垂直截面图。

[0015] 图9是根据本公开的第二实施例的在形成外延半导体部分之后的第二示范性结构的垂直截面图。

[0016] 图10A是根据本公开的第二实施例的在形成存储器开口和外延通道部分之后的第一示范性结构和第二示范性结构的俯视图。

[0017] 图10B是沿着垂直平面B-B'的图10A的示范性结构的垂直截面图。

[0018] 图10C是沿着垂直平面C-C'的图10A的示范性结构的垂直截面图。

[0019] 图10D是沿着垂直平面B-B'的图10A的示范性结构的垂直截面图。

[0020] 图11A是根据本公开的实施例的在形成存储器堆叠结构和背侧接触结构之后的第一示范性结构或第二示范性结构的俯视图。

[0021] 图11B是沿着垂直平面B-B'的图11A的示范性结构的垂直截面图。

[0022] 图11C是沿着垂直平面C-C'的图11A的示范性结构的垂直截面图。

[0023] 图11D是沿着垂直平面B-B'的图11A的示范性结构的垂直截面图。

[0024] 图12A是根据本公开的实施例的在形成外围器件之后的第一示范性结构或第二示范性结构的俯视图。

[0025] 图12B是沿着垂直平面B-B'的图12A的示范性结构的垂直截面图。

[0026] 图12C是沿着垂直平面C-C'的图12A的示范性结构的垂直截面图。

[0027] 图12D是沿着垂直平面D-D'的图12A的示范性结构的垂直截面图。

[0028] 图12E是沿着垂直平面E-E'的图12A的示范性结构的垂直截面图。

[0029] 图13是根据本公开的第三实施例的在形成第一交替堆叠体之后的第三示范性结

Micron Ex. 1002, p. 690
Micron v. YMTC
IPR2024-00790

构的垂直截面图。

[0030] 图14是根据本公开的第三实施例的在形成第一阶梯式台阶之后的第三示范性结构的垂直截面图。

[0031] 图15是根据本公开的第三实施例的在沉积第一电介质填充材料层之后的第三示范性结构的垂直截面图。

[0032] 图16是根据本公开的第三实施例的在形成第一电介质填充材料部分之后的第三示范性结构的垂直截面图。

[0033] 图17是根据本公开的第三实施例的在图案化第一电介质填充材料部分以物理暴露单晶半导体层的顶表面之后的第三示范性结构的垂直截面图。

[0034] 图18是根据本公开的第三实施例的在形成第一外延半导体基座之后的第三示范性结构的垂直截面图。

[0035] 图19是根据本公开的第三实施例的在形成第一存储器开口之后的第三示范性结构的垂直截面图。

[0036] 图20是根据本公开的第三实施例的在形成牺牲填充结构之后的第三示范性结构的垂直截面图。

[0037] 图21是根据本公开的第三实施例的在形成第二交替堆叠体之后的第三示范性结构的垂直截面图。

[0038] 图22是根据本公开的第三实施例的在形成第二阶梯式台阶和第二电介质填充材料部分之后的第三示范性结构的垂直截面图。

[0039] 图23是根据本公开的第三实施例的在形成第二外延半导体基座之后的第三示范性结构的垂直截面图。

[0040] 图24是根据本公开的第三实施例的在形成第二存储器开口之后的第三示范性结构的垂直截面图。

[0041] 图25是根据本公开的第三实施例的在形成堆叠间存储器开口之后的第三示范性结构的垂直截面图。

[0042] 图26A是根据本公开的第三实施例的在形成存储器堆叠结构之后的第三示范性结构的俯视图。

[0043] 图26B是沿着图26A中的线B-B'的图26A的第三示范性结构的垂直截面图。

[0044] 图27是根据本公开的第三实施例的在形成第一外延半导体基座之后、形成第一电介质材料填充部分之前的第三示范性结构的替代实施例的垂直截面图。

[0045] 图28A-28D是根据本公开的实施例的第一、第二或第三示范性结构的替代配置的顺序直截面图。

[0046] 图29A是图28D的替代配置的示意俯视图，其中示出了选定的元件。

[0047] 图29B是沿着垂直平面B-B'的图29A的结构的垂直截面图。

[0048] 图29C是沿着垂直平面C-C'的图29A的结构的垂直截面图。

具体实施方式

[0049] 如上面所讨论的，本公开涉及包括外围晶体管的三维存储器器件及其制造方法，下面描述其各个方面。本公开的实施例可以用于形成包括多级存储器结构的各种结构，其

Micron Ex. 1002, p. 691
Micron v. YMTC
IPR2024-00790

非限制性示例包括半导体器件，例如包括多个NAND存储器串的三维单片存储器阵列。附图不是按照比例绘制的。具有相同的附图标记的元件指代相同或相似的元件。元件的多个范例可以在示出元件的单个范例的情况下被复制，除非明确描述或以其他方式清楚地指明了没有元件的复制。诸如“第一”、“第二”和“第三”的序数词仅用于标识相同的元件、且在本说明书和本公开的权利要求书中可以采用不同的序数词。如本文所使用的，位于第二元件“上”的第一元件可以位于第二元件的表面的外侧上或者位于第二元件的内侧上。如本文所使用的，如果第一元件的表面与第二元件的表面之间存在物理接触，则第一元件“直接”位于第二元件“上”。

[0050] 单片三维存储器阵列是这样的阵列，其中多个存储器级形成在单个基板(例如半导体晶片)之上，而没有中间基板。术语“单片”意味着阵列的每个级的层被直接沉积在阵列的每个下面的级的层上。相比之下，二维阵列可以分开形成，然后封装在一起以形成非单片存储器器件。例如，如题为“Three Dimensional Structure Memory”的美国专利No.5,915,167中所述，通过在分离的基板上形成存储器级并垂直地堆叠存储器级来构造非单片堆叠的存储器。基板可以在键合之前被减薄或从存储器级移除，但是由于存储器级最初在分离的基板上形成，这种存储器不是真正的单片三维存储器阵列。本公开的各种三维存储器器件包括单片三维NAND串存储器器件，并且可以采用本文所述的各种实施例来制造。

[0051] 参考图1，示出了根据本公开的实施例的第一示范性结构，其可以例如用于制造包含垂直NAND存储器器件的装置。该示范性结构包括基板8，其可以是半导体基板，例如单晶硅晶片。半导体基板8可以包括一个或多个材料层(9,10)。在一个实施例中，基板8可以包括至少一个下面的材料层9和作为最顶层的单晶半导体层10。在一个实施例中，该至少一个下面的材料层9可以包括半导体材料层，其具有与位于其上的单晶半导体层10不同导电类型的掺杂。替代地或附加地，该至少一个下面的材料层9可以包括埋入的绝缘体层。在一个实施例中，该至少一个下面的材料层9可以包括具有第一导电类型的掺杂的第一半导体材料层9B、以及具有与第一导电类型相反的第二导电类型的掺杂的第二半导体材料层9A。单晶半导体材料层10可以具有第一导电类型的掺杂。

[0052] 单晶半导体层10是半导体材料层，且可以包括至少一种元素半导体材料(例如，硅)、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。

[0053] 如本文所使用的，“半导体材料”是指具有1.0x 10^{-6}S/cm至1.0x 10^{5}S/cm的范围中的电导率的材料，且当以电掺杂剂进行适当的掺杂时，能够制造具有1.0S/cm至1.0x 10^{5}S/cm的范围中的电导率的掺杂的材料。如本文所使用的，“电掺杂剂”是指向带结构内的平衡带添加空穴的p型掺杂剂，或向带结构内的导电带添加电子的n型掺杂剂。如本文所使用的，“导电材料”是指电导率大于1.0x 10^{5}S/cm的材料。如本文所使用的，“绝缘体材料”或“电介质材料”是指电导率小于1.0x 10^{-6}S/cm的材料。对电导率的所有测量都是在标准条件下进行的。可选地，可以在单晶半导体层10内形成至少一个掺杂阱(未明确示出)。

[0054] 可选地，电介质垫层12可以形成在单晶半导体层10的顶表面上。电介质垫层12可以例如是氧化硅层。电介质垫层12的厚度可以例如在从3nm至30nm的范围中，尽管也可以采用更小或更大的厚度。可选地，可以在电介质垫层12之上形成底部绝缘体层31。如果存在，底部绝缘体层31包括电介质材料，且可以直接形成在电介质垫层12的顶表面上。可以用于

Micron Ex. 1002, p. 692
Micron v. YMTC
IPR2024-00790

底部绝缘体层31的示范性材料包括但不限于氧化硅、电介质金属氧化物和氮化硅(在随后形成的第二材料层的材料不是氮化硅的情况下)。

[0055] 在基板8的顶表面之上形成第一材料层(其可以是绝缘层32)和第二材料层(其可以是间隔体材料层42)的交替堆叠体,其可以例如在底部绝缘体层31的顶表面上。如本文所使用的,交替的多个第一元件和第二元件是指这样的结构,其中第一元件的范例和第二元件的范例交替。不是交替的多个元件的端部元件的第一元件的每个范例在两侧邻接第二元件的两个范例,且不是交替的多个元件的端部元件的第二元件的每个范例在两端邻接第一元件的两个范例。第一元件可以在其中具有相同的厚度,或可以具有不同的厚度。第二元件可以在其中具有相同的厚度,或可以具有不同的厚度。交替的多个第一材料层和第二材料层可以以第一材料层的范例或第二材料层的范例开始,且可以以第一材料层的范例或第二材料层的范例结束。在一个实施例中,第一元件的范例和第二元件的范例可以形成形成在交替的多个元件内以周期性重复的单位。

[0056] 每个第一材料层包括第一材料,且每个第二材料层包括不同于第一材料的第二材料。在一个实施例中,每个第一材料层可以是绝缘体层32,且每个第二材料层可以是在绝缘体层之间提供垂直隔离的间隔体材料层42。在这种情况下,堆叠体可以包括交替的多个绝缘体层32和间隔体材料层42。

[0057] 交替的多个层的堆叠体在本文中被称为交替堆叠体(32,42)。在一个实施例中,交替堆叠体(32,42)可以包括由第一材料构成的绝缘体层32、以及由不同于绝缘体层32的第二材料构成的间隔体材料层42。绝缘体层32的第一材料可以是至少一种电绝缘材料。因此,每个绝缘体层32可以是电绝缘材料层。可以用于绝缘体层32的电绝缘材料可以包括但不限于氧化硅(包含掺杂的或未掺杂的硅酸盐玻璃)、氮化硅、氮氧化硅、有机硅酸盐玻璃(OSG)、旋转电介质材料、通常称为高介电常数(高k)的电介质氧化物(例如,氧化铝、氧化铪等)及其硅酸盐、电介质金属氮氧化物及其硅酸盐、以及有机绝缘材料。在一个实施例中,绝缘体层32的第一材料可以是氧化硅。

[0058] 间隔体材料层42的第二材料是牺牲材料,其可以是对绝缘体层32的第一材料为选择性地被移除。在这种情况下,间隔体材料层42被称为材料层。如本文所使用的,如果移除工艺以移除第二材料的速率的至少两倍速率来移除第一材料,则对第一材料的移除对第二材料是“选择性的”。对第一材料的移除的速率与对第二材料的移除的速率的比率在本文称为第一材料相对于第二材料的移除工艺的“选择性”。

[0059] 间隔体材料层42可以包括电绝缘材料、半导体材料或导电材料。在间隔体材料层42是牺牲材料层的情况下,间隔体材料层42的牺牲材料可以随后替换为导电电极,其例如可以用作垂直NAND器件的控制栅电极。可以用于间隔体材料层42的牺牲材料的非限制性示例包括氮化硅、非晶半导体材料(例如非晶硅)和多晶半导体材料(例如多晶硅)。在一个实施例中,间隔体材料层42可以是包括氮化硅或半导体材料(其包括硅和锗中的至少一种)的牺牲材料层。替代地,间隔体材料层42可以是随后不会被替换的导电材料层,即永久导电材料层。

[0060] 在一个实施例中,绝缘体层32可以包括氧化硅,且间隔体材料层可以包括氮化硅间隔体材料层。绝缘体层32的第一材料可以例如通过化学气相沉积(CVD)被沉积。例如,如果氧化硅被用于绝缘体层32,则原硅酸四乙酯(TEOS)可以用作CVD工艺的前体材料。间隔体

Micron Ex. 1002, p. 693
Micron v. YMTC
IPR2024-00790

材料层42的第二材料可以例如由CVD或原子层沉积(ALD)来形成。

[0061] 绝缘体层32和间隔体材料层42的厚度可以在20nm至50nm的范围中，尽管可以为每个绝缘体层32和每个间隔体材料层42采用更小或更大的厚度。绝缘体层32和间隔体材料层(例如，控制栅电极或间隔体材料层)42的对的重复次数可以在从2到1024的范围内，并且通常从8到256，尽管也可以使用更多的重复次数。堆叠体中的顶部栅电极和底部栅电极可以用作选择栅电极。在一个实施例中，交替堆叠体(32,42)中的每个间隔体材料层42可以在每个相应的间隔体材料层42内具有基本上不变的均匀的厚度。

[0062] 绝缘帽层70可以沉积在交替堆叠体(32,42)之上。绝缘帽层70包括绝缘体材料，其可以是与绝缘体层32的第一材料相同的材料。绝缘帽层70包括与间隔体材料层42的第二材料不同的材料。绝缘帽层70的厚度可以在从20nm至100nm的范围内，尽管也可以采用更小或更大的厚度。

[0063] 平坦化停止层80可以形成在绝缘帽层70之上。平坦化停止层80包括电介质材料，所述电介质材料可以在随后的平坦化步骤(其可以采用化学机械平坦化)中用作停止层。例如，平坦化停止层80可以采用电介质金属氧化物(例如氧化铝)、氮化硅或氧化硅。平坦化停止层80包括不同于间隔体材料层42的第二材料的电介质材料。平坦化停止层80的厚度可以在从5nm至40nm的范围内，尽管也可以采用更小或更大的厚度。

[0064] 第一示范性结构可以具有随后在其中形成存储器器件的区域，其在本文中称为器件区域100。第一示范性结构可以具有另一区域，在所述区域中随后形成接触控制栅电极的接触通孔结构，其在本文中称为接触区域300。第一示范性结构还可以具有另一区域，在所述区域中随后形成控制存储器器件的操作的外围器件，其在本文中称为外围器件区域200。

[0065] 参考图2，可以根据第一实施例形成在接触区域300和外围器件区域200之上延伸的阶梯式腔69。阶梯式腔69可以具有各种阶梯式表面，使得阶梯式腔的水平截面形状根据距离基板8的顶表面的垂直距离逐步地变化。在一个实施例中，阶梯式腔69可以通过以下方式形成：通过用掩模层(其可以是图案化的光致抗蚀剂层)初始地掩蔽器件区域100和可选的接触区域200，通过蚀刻前者的未掩蔽的部分来图案化平坦化停止层80和绝缘帽层70，以及通过重复地进行一组处理步骤来形成阶梯式表面。在替代实施例中，区域200和300可以在相同的蚀刻步骤期间同时被蚀刻，或者区域200可以在单独的蚀刻步骤中在区域300之前被蚀刻。

[0066] 该组处理步骤可以例如包括第一类型的蚀刻工艺和第二类型的蚀刻工艺，第一类型的蚀刻工艺通过一个或多个级垂直地增加腔的深度，第二类型的蚀刻工艺通过修整掩模层(例如，通过部分地灰化掩模层的外部部分)来扩展将在随后的第一类型的蚀刻工艺中将被垂直蚀刻的区域。如本文所使用的，包括交替的多层的结构的“级”被定义为结构内的一对第一材料和第二材料层的相对位置。例如，光致抗蚀剂层(未示出)可以被施加并且被图案化，以初始地覆盖器件区域100和接触区域300，并且可以交替地进行各向异性蚀刻工艺和灰化工艺。每个各向异性蚀刻工艺可以通过两个垂直级(对应于一对绝缘体层32和间隔体材料层42)垂直地延伸预先存在的腔，并且蚀刻穿过新近物理暴露的区域内的平坦化停止层80和绝缘帽层70，所述区域是这样的区域，在所述区域中，平坦化停止层80的顶表面在修整光致抗蚀剂层的外部部分的紧接着的灰化工艺期间被物理暴露。每个灰化工艺通过仅移除光致抗蚀剂层的最外部分来修整光致抗蚀剂层。灰化工艺的持续时间决定了灰化的光

Micron Ex. 1002, p. 694
Micron v. YMTC
IPR2024-00790

致抗蚀剂材料的量，以及阶梯式表面的对应的壁架(即，水平表面)的长度。在形成阶梯式表面期间，可以移除位于区域200中的交替堆叠体(32,42)的层32和42以及层12和31的部分，以在区域200中暴露半导体基板8(例如，单晶硅基板半导体层10)。替代地，位于区域200中的这些层的部分可以在与用于形成阶梯式表面的步骤分离的蚀刻步骤期间被移除。

[0067] 在形成阶梯式腔之后，交替堆叠体(32,42)的外围部分可以具有阶梯式表面。如本文所使用的，“阶梯式表面”是指一组表面，其包括至少两个水平表面和至少两个垂直表面，使得每个水平表面邻接从水平表面的第一边缘向上延伸的第一垂直表面，并邻接从水平表面的第二边缘向下延伸的第二垂直表面。“阶梯式腔”是指具有阶梯式表面的腔。掩模层的剩余部分可以例如通过灰化被移除。

[0068] 参考图3，外延半导体基座110可以形成在外围器件区域200中，外围器件区域200是半导体材料层10的单晶基板半导体材料的顶表面被物理暴露的区域。外延半导体基座110可以由选择性外延工艺形成。外延半导体基座110包括与半导体材料层10的单晶基板半导体材料(例如，单晶硅)外延对齐的单晶半导体材料(例如，单晶硅)。可选地，外延半导体基座110可以掺杂有适当导电类型的电掺杂剂。外延半导体基座110的顶表面可以与包括平坦化停止层80的顶表面的水平表面共面，或者可以位于其之上。外延半导体基座110的侧壁表面可以是基本上垂直的，且没有阶梯式表面，该阶梯表面为区域300中的堆叠体中的阶梯式表面的镜像。外延半导体基座110的基本上垂直的侧壁相对于水平表面(例如，基板的顶表面)的角度可以在从80度至100度的范围内，例如90度。

[0069] 形成外延半导体基座110的选择性外延工艺可以例如通过以下方式进行：使反应物气体(例如SiH_4、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、Si_2H_6、GeH_4、Ge_2H_6、其他半导体前体气体、或其组合)与蚀刻剂气体(例如HCl)顺序地或同时地流动。半导体材料在非晶表面(例如电介质材料的表面)上的沉积速率小于蚀刻剂对半导体材料的蚀刻速率，而半导体材料在晶体表面(例如半导体材料层10的顶表面)上的沉积速率大于蚀刻剂对半导体材料的蚀刻速率。因此，半导体材料仅沉积在半导体表面上，该半导体表面是半导体材料层10的顶表面的物理暴露的部分。可以选择工艺条件(例如沉积温度、工艺室中的各种气体的分压、等等)，使得沉积的半导体材料与半导体材料层10的单晶结构外延(即单晶)原子对齐。

[0070] 参考图4，电介质填充材料层65L沉积在阶梯式腔69的剩余部分中(其存在于接触区域300中)、器件区域100中的交替堆叠体(32,42)之上、以及外围器件区域200中的外延半导体基座110之上。电介质填充材料层65L包括电介质材料，该电介质材料可以随后使用诸如化学机械平坦化(CMP)的平坦化工艺被平坦化。例如，电介质填充材料层65L可以包括电介质材料，例如未掺杂的氧化硅或掺杂的氧化硅(例如磷硅酸盐玻璃、硼硅酸盐玻璃、或硼磷硅酸盐玻璃)。电介质填充材料层65L可以完全填充接触区域300中的阶梯式腔69的剩余部分。

[0071] 参考图5，可以进行平坦化工艺，以从包括平坦化停止层80的顶表面的水平表面上方移除电介质填充材料层65L的部分。例如，可以通过化学机械平坦化(CMP)从平坦化停止层80的顶表面的上方移除电介质填充材料层65L的部分。电介质填充材料层65L的填充接触区域300中的阶梯式腔的剩余部分构成电介质材料部分(即，绝缘填充材料部分)。在一个实施例中，电介质材料部分可以包括后退(retro)阶梯式底表面。在这种情况下，电介质材料部分在本文中称为后退阶梯式电介质材料部分65。如本文所使用的，“后退阶梯式”元件是

Micron Ex. 1002, p. 695
Micron v. YMTC
IPR2024-00790

指具有阶梯式表面和水平截面面积的元件，该水平截面面积作为距离元件所存在的基板的顶表面的垂直距离的函数单调增加。如果采用氧化硅作为后退阶梯式电介质材料部分65，则后退阶梯式电介质材料部分65的氧化硅可以或可以不掺杂有诸如B、P和/或F的掺杂剂。因此，外延半导体基座110和后退阶梯式电介质材料部分65分别形成在半导体基板8的半导体表面之上和阶梯式表面之上。如果需要，后退阶梯式电介质材料部分65也可以形成在暴露的基板9的一部分之上。外延半导体基座110与半导体基板8中的单晶基板半导体材料外延对齐。

[0072] 在一个实施例中，可以至少采用外延半导体基座110作为平坦化工艺的停止结构，以平坦化电介质填充材料层65L的电介质材料来形成后退阶梯式电介质材料部分65。在一个实施例中，可以至少采用外延半导体基座110和平坦化停止层80作为平坦化工艺的停止结构，以平坦化电介质填充材料层65L的电介质材料来形成后退阶梯式电介质材料部分65。在后退阶梯式电介质材料部分65的平坦化(例如，CMP)期间使用基座100作为平坦化(例如，抛光)停止层是在区域300中形成阶梯式表面之后形成基座110的一个非限制性优点。在区域300中形成阶梯式表面之后形成基座110的另一个非限制性优点是在基座110的(多个)侧壁中不形成阶梯式表面。这在基座110的平面顶表面留下了更多的空间以形成外围(例如，驱动电路)器件和/或减少了用于基座的空间，这允许在相同尺寸的基板的区域100中形成更多的存储器器件。

[0073] 参考图6，根据本公开的第二实施例的第二示范性结构可以通过在形成外延半导体基座之前形成电介质填充材料层65L从图2的第一示范性结构导出。平坦化停止层80在形成图2所示的阶梯式表面之前被图案化。图6的电介质填充材料层65L可以具有与图4的电介质填充材料层65L相同的组分。另外，图6的电介质填充材料层65L可以采用与形成图4的电介质填充材料层65L的沉积方法相同的沉积方法来形成。

[0074] 参考图7，可以进行平坦化工艺，以从包括平坦化停止层80的顶表面的水平表面的上方移除电介质填充材料层65L的部分。例如，可以通过化学机械平坦化(CMP)从平坦化停止层80的顶表面的上方移除电介质填充材料层65L的部分。可以采用平坦化停止层80作为停止层来平坦化电介质填充材料层65L。电介质填充材料层65L的填充接触区域300和外围器件区域200中的电介质填充材料层65L的剩余部分构成后退阶梯式电介质材料部分65(即，绝缘填充材料部分)。如果氧化硅用于后退阶梯式电介质材料部分65，则后退阶梯式电介质材料部分65的氧化硅可以或可以不掺杂有诸如B、P和/或F的掺杂剂。

[0075] 参考图8，光致抗蚀剂层(未示出)可以施加在平坦化停止层80和后退阶梯式电介质材料部分65之上，且可以被图案化以覆盖器件区域100和接触区域300，而不覆盖外围器件区域200。可以进行各项异性蚀刻或各向同性蚀刻以从外围器件区域200移除后退阶梯式电介质材料部分65的一部分。在一个实施例中，可以采用各向异性蚀刻以从外围器件区域200中的半导体基板8的顶表面的上方移除后退阶梯式电介质材料部分65的物理暴露的区域。

[0076] 后退阶梯式电介质材料部分65的尺寸由于各向异性蚀刻而减小。具体地，在接触区域300中的阶梯式表面之上沉积的电介质材料的剩余部分构成后退阶梯式电介质材料部分65。因此，后退阶梯式电介质材料部分65(如在图8的处理步骤之后提供的)通过在基板8之上沉积和图案化电介质材料来形成。外围区域腔79形成在后退阶梯式电介质材料部分65

Micron Ex. 1002, p. 696
Micron v. YMTC
IPR2024-00790

的一部分被移除的体积内。

[0077] 参考图9，下部外延半导体基座110A可以形成在外围器件区域200中，其为在其中物理暴露半导体材料层10的单晶基板半导体材料的顶表面的区域。下部外延半导体基座110A可以由选择性外延工艺形成，其在本文中称为第一选择性外延工艺。下部外延半导体基座110A包括单晶半导体材料，其与半导体材料层10的单晶基板半导体材料外延对齐。可选地，下部外延半导体基座110A可以掺杂有适当类型的电掺杂剂。下部外延半导体基座110A的顶表面可以位于包括平坦化停止层80的顶表面的水平表面下方，且位于后退阶梯式电介质材料部分65的顶表面下方。下部外延半导体基座110A的侧壁表面可以接触后退阶梯式电介质材料部分65的侧壁，其可以是基本上垂直的侧壁。下部外延半导体基座110A的侧壁相对于水平表面的角度可以在从80度到100度的范围内，例如90度，尽管也可以采用更小或更大的角度。

[0078] 形成下部外延半导体基座110A的选择性外延工艺可以与可用于形成图3的外延半导体基座110的选择性外延工艺相同。可以选择选择性外延工艺的持续时间，使得下部外延半导体基座110A的厚度可以在平坦化停止层80的顶表面与半导体基板8的顶表面之间的垂直距离的30％和99％之间。

[0079] 参考图10A-10D，光致抗蚀剂层(未示出)施加在图9的第二示范性结构之上或图5的第一示范性结构之上。光致抗蚀剂层可以施加在以下的上方：平坦化停止层80、后退阶梯式电介质材料部分65，以及(i)图5所示的第一实施例的第一示范性结构的基座110，或者(ii)根据图9所示的第二实施例的第二结构中的下部外延半导体基座110A。光致抗蚀剂层被光刻图案化以在其中形成开口。选择开口的图案，使得开口的第一子集形成在期望形成存储器堆叠结构的器件区域100内，且开口的第二子集形成在期望形成虚设支撑结构的接触区域300内。如本文所使用的，“虚设”结构是指不电活动的结构。

[0080] 存储器开口49和虚设存储器开口49’可以由通过平坦化停止层80、绝缘帽层70、交替堆叠体(32,42)、底部绝缘体层31、电介质垫层12和后退阶梯式电介质材料部分65转印开口的图案来形成。在一个实施例中，每个存储器开口49可以具有比每个虚设存储器开口49’更小的直径或宽度。替代地，开口49可以具有相同的直径或宽度。可以使用诸如反应离子刻蚀的各向异性蚀刻来进行开口的图案的转印。至少一个半导体表面(例如，层10)通过各向异性蚀刻在每个存储器开口49和每个虚设存储器开口49’的底部部分被物理暴露。光致抗蚀剂层可以随后例如通过灰化被移除。

[0081] 在第二实施例的方法中，上部外延半导体基座110B和外延通道部分11可以通过另一选择性外延工艺同时形成在图9的第二示范性结构上，其在本文中称为第二选择性外延工艺。上部外延半导体基座110B直接形成在下部外延半导体基座110A上。每个外延通道部分11直接形成在基板8中的导体材料层10的物理暴露的半导体表面上。

[0082] 在一个实施例中，第二选择性外延工艺可以在反应物气体(即，半导体前体气体)的供给限制半导体材料的沉积速率的区域中进行。在这种情况下，上部外延半导体基座110B的厚度可以大于外延通道部分11。下部外延半导体基座110A和上部外延半导体基座110B的组合构成外延半导体基座110。在一个实施例中，可以选择下部外延半导体基座部分110A的厚度和上部外延半导体基座110B的厚度，使得上部外延半导体基座110B的顶表面与后退阶梯式电介质材料部分65的顶表面和/或平坦化停止层80的顶表面基本上共面。在另

Micron Ex. 1002, p. 697
Micron v. YMTC
IPR2024-00790

一实施例中，可以选择下部外延半导体基座部分110A的厚度和上部外延半导体基座110B的厚度，使得上部外延半导体基座110B的顶表面形成在包括后退阶梯式电介质材料部分65的顶表面和平坦化停止层80的顶表面的水平表面的上方。在这种情况下，在形成存储器堆叠结构和漏极区域之后可以选择性进行修饰(touch-up)化学机械平坦化工艺。

[0083] 在第一外延半导体沉积工艺之后且在第二外延半导体沉积工艺之前，多个存储器开口49通过交替堆叠体(32,42)的剩余部分形成。上部外延半导体基座110B包括单晶半导体材料，其与半导体材料层10的单晶基板半导体材料外延对齐。上部外延半导体基座110B和外延通道部分11的半导体材料可以与下部外延半导体基座110A的半导体材料相同或不同(例如，两者可以都包括单晶硅)。因此，外延半导体基座110和后退阶梯式电介质材料部分65分别形成在半导体基板8的半导体表面之上和阶梯式表面之上。如果需要，部分65也可以形成在基板8的部分之上。外延半导体基座110与半导体基板8中的单晶基板半导体材料外延对齐。

[0084] 在第一实施例的方法中，外延半导体基座110在形成图5的第一示范性结构中的外延通道部分11期间被掩蔽。替代地，外延通道部分11可以整个被省略，且通道60可以直接接触基板8(例如，直接接触层10)。可选地，平坦化停止层80可以对绝缘帽层70选择性地被移除。

[0085] 参考图11A-11D，第一实施例和第二实施例的方法中的下一步骤包括通过顺序沉积材料层在存储器开口49和虚设存储器开口49'中的每一个内形成存储器薄膜层。例如，可以顺序地沉积至少一个阻挡电介质层、存储器材料层和隧穿电介质层，以形成连续层堆叠体。至少一个阻挡电介质层包括至少一种电介质材料，例如电介质金属氧化物材料和/或氧化硅。存储器材料层可以包括电荷捕获电介质材料，例如氮化硅或多个导电浮置栅极。隧穿电介质层包括单个电介质层，例如氧化硅，或诸如ONO堆叠体(即，氧化硅、氮化硅、氧化硅堆叠体)的电介质层堆叠体。

[0086] 第一连续半导体材料层可以沉积在存储器薄膜50之上。第一连续半导体材料层可以是多晶或非晶半导体材料层。可以进行各向异性蚀刻以移除第一连续半导体材料层和存储器薄膜层的水平部分。存储器开口49内或虚设存储器开口49'内的存储器薄膜层的每个剩余部分构成存储器薄膜50。存储器开口49内或虚设存储器开口49'内的第一连续半导体材料层的每个剩余部分构成第一半导体材料层601。在每个存储器开口49和每个虚设存储器开口49'的底部，通过第一半导体材料层601和存储器薄膜50的堆叠体形成开口。外延通道部分11的顶表面通过每个存储器薄膜50中的开口被物理暴露。如果省略部分11，则可以替代地暴露层10。

[0087] 第二连续半导体材料层直接沉积在外延通道部分11的物理暴露的顶表面上。电介质填充材料沉积在腔中，该腔是存储器开口49或虚设存储器开口49'的未填充的部分。通过平坦化工艺将电介质填充材料和第二连续半导体材料层的水平部分从后退阶梯式电介质材料部分65和外延半导体基座110的顶表面的上方移除，该平坦化工艺可以包括凹陷蚀刻和/或化学机械平坦化。第二连续半导体材料层的每个剩余部分构成第二半导体材料层602。第一半导体材料层601和第二半导体材料层602的每个相邻的对构成垂直半导体通道60。器件区域100中的存储器薄膜50和垂直半导体通道60的每个相邻的对构成存储器堆叠结构55，存储器堆叠结构55由相应的位线电接触，如下文更详细地描述的。接触区域300中

Micron Ex. 1002, p. 698
Micron v. YMTC
IPR2024-00790

的存储器薄膜50和垂直半导体通道60每个相邻的对构成虚设存储器堆叠结构55'，虚设存储器堆叠结构55'不由相应的位线电接触。电介质填充材料随后凹陷到绝缘帽层70的顶表面的下方。存储器开口49中或虚设存储器开口49'中的电介质填充材料的每个剩余部分构成电介质芯62。掺杂的半导体材料沉积在凹陷区域中以形成漏极区域63。每个漏极区域63接触垂直半导体通道60并叠盖电介质芯62。

[0088] 接触级电介质层72形成在绝缘帽层70、后退阶梯式电介质材料部分65和外延半导体基座110之上。背侧接触沟槽可以通过接触级电介质层72、绝缘帽层70、交替堆叠体(32，42)、底部绝缘体层31、电介质垫层12和后退阶梯式电介质材料部分65形成。在一个实施例中，存储器堆叠结构55可以沿着第一水平方向hd1形成为彼此横向间隔开的组。在这种情况下，背侧接触沟槽可以沿着第二水平方向hd2延伸，第二水平方向hd2可以垂直于第一水平方向hd1。背侧接触沟槽可以延伸到半导体材料层10的上部部分中。

[0089] 电掺杂剂可以被植入半导体材料层10的表面部分中以形成源极区域61。在一个实施例中，半导体材料层10和外延通道部分11可以具有第一导电类型(例如p型)的掺杂，且源极区域61和漏极区域63可以具有第二导电类型(例如n型)的掺杂。垂直半导体通道60可以具有第一导电类型的掺杂，或可以基本上是本征的。如本文所使用的，如果掺杂剂浓度不超过$1.0\times10^{16}/cm^3$，则半导体材料基本上是本征的。

[0090] 在一个实施例中，间隔体材料层42可以包括牺牲材料层。在这种情况下，牺牲材料层42可以替换为导电材料层，例如，通过采用选择性蚀刻工艺对绝缘体层32选择性地移除牺牲材料层42以形成横向凹陷，并且通过沉积至少一种导电材料(例如金属氮化物衬垫(例如，TiN))和金属填充材料(例如，W)的组合来填充横向凹陷。横向凹陷外部的导电材料的部分(例如，在背侧接触沟槽中和接触级电介质层72之上)可以通过各向同性蚀刻被移除。每个横向凹陷填充有导电层46，其可以用作存储器堆叠结构55的控制栅电极。虚设存储器堆叠结构55'被用于在从堆叠体移除层42之后支撑堆叠体中间隔开的层32。

[0091] 替代地，间隔体材料层42可以设置为导电层。在这种情况下，不必用至少一种导电材料替换间隔体材料层。

[0092] 可以在每个背侧接触沟槽的侧壁上形成绝缘间隔体74，例如，通过电介质材料层的沉积、以及移除共形电介质材料层的水平部分的各向异性蚀刻。共形电介质材料层的每个剩余的垂直部分构成绝缘间隔体74。

[0093] 至少一种导电材料可以沉积在背侧接触沟槽的未填充部分内，以在每个背侧接触沟槽内形成背侧接触通孔结构76。在一个实施例中，可以采用多个导电材料来形成背侧接触通孔结构76。在一个实施例中，每个背侧接触通孔结构76可以包括含有第一导电材料的下部背侧接触通孔部分76A和含有第二导电材料的上部背侧接触通孔部分76B。

[0094] 参考图12A-12E，在第一实施例和第二实施例的方法中，接触通孔结构66可以通过后退阶梯式电介质材料部分65形成到相应的导电层46。接触通孔结构66提供与导电层46的电接触，导电层可以通过替换牺牲材料层(如实施为间隔体材料层42)或设置为间隔体材料层42来形成。存储器接触通孔结构88(即，漏极电极/局部互连)形成在沉积于器件之上的通孔级电介质层90的开口中，使得每个相应的结构88接触相应的存储器堆叠结构55中的漏极区域63。多个位线92然后形成为与结构88电接触。结构88和位线92不电接触区域300中的虚设存储器堆叠结构55'。

Micron Ex. 1002, p. 699
Micron v. YMTC
IPR2024-00790

[0095] 接触级电介质层72在外围器件区域200中的部分可以被移除，例如通过施加并图案化光致抗蚀剂层以覆盖器件区域100和接触区域300，并且通过移除接触级电介质层72的物理暴露的部分。至少一个半导体器件240可以形成在外延半导体基座110上。在说明性示例中，该至少一个半导体器件240可以包括至少一个场效应晶体管，其包括晶体管源极区域201、晶体管漏极区域202、晶体管本体区域203、栅极电极205(其包括栅极电介质和栅极导体)、以及栅极间隔体206。该至少一个半导体器件240可以是本领域已知的任何半导体器件。

[0096] 图12A-12E的示范性结构包括多层结构，其包括位于半导体基板8之上的导电层(46或42)和绝缘体层32的交替堆叠体{(32,46)或(32,42)}；位于通过交替堆叠体{(32,46)或(32,42)}的存储器开口内的存储器堆叠结构55的阵列；叠盖交替堆叠体{(32,46)或(32,42)}的阶梯式表面的后退阶梯式电介质材料部分65；以及与半导体基板8中的单晶基板半导体材料外延对齐的外延半导体基座110。在一个实施例中，基座110具有的顶表面可以在与后退阶梯式电介质材料部分65的顶表面相同的水平表面内。优选地，基座110具有基本上垂直的侧壁，且在侧壁上没有阶梯式表面。

[0097] 至少一个半导体器件240可以位于外延半导体基座110的顶表面上。该至少一个半导体器件240可以包括场效应晶体管，其包括栅极电极205，栅极电极205从接触级电介质层72的叠盖存储器堆叠结构55的顶表面凸出。漏极区域63的阵列可以接触存储器堆叠结构55的阵列内的相应的半导体通道60。每个漏极区域63的底表面可以位于绝缘帽层70的底表面的下方。

[0098] 外延通道部分的阵列11可以位于存储器堆叠结构55的阵列的下面。外延通道部分的阵列11可以与外延半导体基座110的上部部分具有相同的材料组分。在一个实施例中，外延半导体基座110可以包括上部外延半导体基座110B和下部外延半导体基座110A，下部外延半导体基座110A包括与上部半导体基座110B不同的半导体材料。

[0099] 在一个实施例中，接触通孔结构66可以通过后退阶梯式电介质材料部分65接触并接触相应的导电层(46或42)。在一个实施例中，后退阶梯式电介质材料部分65和外延半导体基座110之间的整个接触区域可以在二维平面内，所述二维平面可以是后退阶梯式电介质材料部分65的外延半导体基座110和/或基本上垂直的侧壁的分面的平面。

[0100] 在一个实施例中，多堆叠体结构可以包括单片三维NAND存储器器件。半导体基板可以包括硅基板。单片三维NAND存储器器件可以包括硅基板之上的单片三维NAND串的阵列。NAND串的三维阵列的第一器件级中的至少一个存储器单元可以位于NAND串的三维阵列的第二器件级中的另一存储器单元之上。硅基板可以包括集成电路，该集成电路包括位于其上的存储器器件的驱动电路。每个NAND串可以包括半导体通道。半导体通道的至少一个端部部分可以基本上垂直于硅基板的顶表面延伸。每个NAND串可以包括多个电荷存储元件。每个电荷存储元件可以位于相应的半导体通道附近。在一个实施例中，每个电荷存储元件可以是位于控制栅电极附近的电荷存储材料的一部分，如实施为导电材料层(46或42)。每个NAND串可以包括多个控制栅电极，其具有基本上平行于硅基板的顶表面延伸的条形。多个控制栅电极可以至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

[0101] 一般来说，热预算是用于制造三维(3D)NAND器件的互补金属氧化物半导体(CMOS)

Micron Ex. 1002, p. 700
Micron v. YMTC
IPR2024-00790

器件的重要问题。优选地，存储器堆叠结构采用高质量材料层，其可以通过高温工艺步骤来实现。如果外围区域200中的CMOS模块(例如，包含外围/驱动电路晶体管)在于器件区域100中形成存储器阵列之前被构建，则CMOS器件在于区域100中形成存储器阵列期间受到所有存储器阵列热过程的影响。根据本公开的方法，外延半导体基座在形成台阶之后和形成存储器堆叠结构之前生长。CMOS器件在形成存储器堆叠结构之后被制造，这降低了外围器件区域200的CMOS器件所经受的热预算。可以改善后退阶梯式电介质材料部分65的多个顶表面，且可以缩短形成在外围器件之上的接触通孔结构(未示出)，从而减少连接到本公开的外围器件的金属互连结构的寄生电阻和寄生电容。

[0102] 实施例的另一优点在于，当在区域300中形成阶梯式表面之后形成基座110时，在后退阶梯式电介质材料部分65的平坦化(例如，CMP)期间，基座100可以用作平坦化(例如，例如抛光)停止层。在区域300中形成阶梯式表面之后形成基座100的另一非限制性优点在于，在基座110的(多个)侧壁中不形成阶梯式表面。这在基座110的平坦顶表面处留下了更多的空间以形成外围(例如，驱动电路)器件和/或减少了用于基座的空间，这允许更多的存储器器件形成在相同尺寸的基板的区域100中。

[0103] 参考图13，示出了根据本公开的第三实施例的第三示范性结构，其可以与图1所示的第一示范性结构相同。交替堆叠体在本文中称为第一交替堆叠体1000，且包括绝缘体层和间隔体材料层。间隔体材料层可以是导电层，或可以是随后移除的牺牲材料层。在一个实施例中，间隔体材料层可以是牺牲材料层，其在本文中称为第一牺牲材料层42。绝缘体层在本文中称为第一绝缘体层32。第一绝缘体层32可以与第一实施例的绝缘体层32相同，且第一牺牲材料层42可以与第一实施例的牺牲材料层42相同。第一交替堆叠体1000中的重复数可以与第一实施例中的交替堆叠体的重复数相同或不同。

[0104] 第一绝缘帽层70和第一平坦化停止层80可以形成在第一交替堆叠体(32,42)之上。第一绝缘帽层70可以包括与第一实施例的绝缘帽层70相同的材料，且可以具有与其相同的厚度。第一平坦化停止层80可以包括与第一实施例的平坦化停止层80相同的材料，且可以具有与其相同的厚度。

[0105] 参考图14，可以采用与第一实施例相同的方法将第一阶梯式表面形成在第一交替堆叠体上。第一阶梯式腔69在接触区域300之上延伸，且可以形成外围器件区域200。第一阶梯式腔69可以具有各种阶梯式表面，使得阶梯式腔的水平截面形状作为距离基板8的顶表面的垂直距离的函数逐步变化。可以采用与第一实施例中相同的处理步骤。

[0106] 参考图15，第一电介质填充材料层65L沉积在存在于接触区域300中的阶梯式腔69中，且沉积在器件区域100中的第一交替堆叠体1000之上。第一电介质填充材料层65L包括电介质材料，该电介质材料可以随后采用诸如化学机械平坦化(CMP)的平坦化工艺被平坦化。第一电介质填充材料层65L可以包括与第一实施例的电介质填充材料层65L相同的材料。第一电介质填充材料层65L可以完全填充接触区域300中的第一阶梯式腔69。

[0107] 参考图16，可以进行第一平坦化工艺以从包括第一平坦化停止层80的顶表面的水平表面的上方移除第一电介质填充材料层65L的部分。例如，可以通过化学机械平坦化(CMP)从第一平坦化停止层80的顶表面的上方移除第一电介质填充材料层65L的部分。可以采用第一平坦化停止层80作为停止层来平坦化第一电介质填充材料层65L。第一平坦化停止层80可以随后被移除。第一电介质填充材料层65L的填充接触区域300和外围器件区域

Micron Ex. 1002, p. 701
Micron v. YMTC
IPR2024-00790

200中的第一阶梯式腔的剩余部分构成第一后退阶梯式电介质材料部分65(即,绝缘填充材料部分)。如氧化硅用于第一后退阶梯式电介质材料部分65,则后退阶梯式电介质材料部分65的氧化硅可以或可以不掺杂有诸如B、P和/或F的掺杂剂。

[0108] 参考图17,光致抗蚀剂层(未示出)可以施加在第一绝缘帽层70和第一后退阶梯式电介质材料部分65之上,且可以被图案化以覆盖器件区域100和接触区域300,而不覆盖外围器件区域200。可以进行各向异性蚀刻或各向同性蚀刻以从外围器件区域200移除第一后退阶梯式电介质材料部分65的部分。在一个实施例中,可以采用各向异性蚀刻以从外围器件区域200中的半导体基板8的顶表面的上方移除第一后退阶梯式电介质材料部分65的物理暴露的区域。

[0109] 第一后退阶梯式电介质材料部分65的尺寸由于各向异性蚀刻而减少。具体来说,接触区域300中的第一阶梯式表面之上沉积的电介质材料的剩余部分构成第一后退阶梯式电介质材料部分65。因此,第一后退阶梯式电介质材料部分65(如图17的处理步骤之后提供的)通过在基板8之上沉积和图案化电介质材料而形成。第一外围区域腔79形成在第一后退阶梯式电介质材料部分65的一部分被移除的体积内。

[0110] 参考图18,第一外延半导体基座110可以形成在外围器件区域200中,其为半导体材料层10的单晶基板半导体材料的顶表面被物理暴露的区域。第一外延半导体基座110可以通过选择性外延工艺形成。外延半导体基座110包括单晶半导体材料(例如,单晶硅),其与半导体材料层10的单晶基板半导体材料(例如,单晶硅)外延对齐。可选地,第一外延半导体基座110可以掺杂有适当导电类型的电掺杂剂。第一外延半导体基座110的顶表面可以与包括第一绝缘帽层70的顶表面的水平表面共面,或可以位于其之上。第一外延半导体基座110的接触第一后退阶梯式电介质材料部分65的侧壁表面可以基本上是垂直的。在这种情况下第一外延半导体基座110的基本上垂直的侧壁相对于水平表面(例如,基板的顶表面)的角度可以在从80度到100度的范围内,例如90度。替代地,第一外延半导体基座110的接触第一后退阶梯式电介质材料部分65的侧壁表面可以以10度或更大的锥角(例如,以从10度至45度的锥角)成锥形。锥角从垂直于基板8的顶表面的垂直方向测得。第一外延半导体基座110的接触第一后退阶梯式电介质材料部分65的侧壁表面不具有任何阶梯式表面。

[0111] 用于形成第一实施例的外延半导体基座110的选择性外延工艺可以用于形成第三实施例的第一外延半导体基座110。可以选择工艺条件(例如沉积温度、工艺室中的各种气体的分压、等等),使得沉积的半导体材料与半导体材料层10的单晶结构外延(即单晶)原子对齐。可选地,可以通过平坦化工艺移除形成在包括第一绝缘帽层70的顶表面的水平表面上方的沉积的外延半导体材料的任何多余部分。可以采用化学机械平坦化(CMP)和/或凹陷蚀刻。在这种情况下,第一外延半导体基座110具有的顶表面可以在与第一绝缘帽层70和第一后退阶梯式电介质材料部分65的顶表面相同的水平表面内。替代地,第一外延半导体基座110的顶表面可以提升高于或凹陷低于包括第一绝缘帽层70和第一后退阶梯式电介质材料部分65的顶表面的水平表面。

[0112] 参考图19,光致抗蚀剂层(未示出)施加在第三示范性结构之上。光致抗蚀剂层可以施加在第一平坦化绝缘帽层70、第一后退阶梯式电介质材料部分65和第一外延半导体基座110之上。光致抗蚀剂层可以被光刻图案化以在其中形成开口。选择开口的图案,使得开口的第一子集形成在期望形成存储器堆叠结构的器件区域100内,且开口的第二子集形成

Micron Ex. 1002, p. 702
Micron v. YMTC
IPR2024-00790

在期望形成虚设支撑结构的接触区域300内。例如，图10A所示的存储器开口49和虚设存储器开口49'的图案可以用于形成光致抗蚀剂层中的开口。

[0113] 第一存储器开口49和第一虚设存储器开口49'可以由通过转印第一绝缘帽层70、第一交替堆叠体1000、可选的底部绝缘体层31、可选的电介质垫层12和第一后退阶梯式电介质材料部分65转印光致抗蚀剂层中的开口的图案来形成。在一个实施例中，每个第一存储器开口49的直径或宽度可以小于每个第一虚设存储器开口49'。替代地，存储器开口49和第一虚设存储器开口49'可以具有相同的直径或宽度。可以使用诸如反应离子刻蚀的各向异性蚀刻将光致抗蚀剂层中的开口的图案转印到第三示范性结构中。至少一个半导体表面(例如，单晶半导体层10)通过各向异性蚀刻在每个第一存储器开口49和每个第一虚设存储器开口49'的底部部分物理暴露。光致抗蚀剂层可以随后例如通过灰化被移除。

[0114] 参考图20，牺牲填充结构59可以形成在第一存储器开口49和第一虚设存储器开口49'中的每一个中。牺牲填充结构59包括牺牲材料，其可以随后对单晶半导体层10、第一交替堆叠体1000和第一后退阶梯式电介质材料部分65的材料选择性地被移除。可选地，在形成牺牲填充结构59之前，可以在第一存储器开口49和第一虚设存储器开口49'的表面上形成电介质衬垫(未示出)。如果采用，则电介质衬垫可以包括电介质材料层，例如氧化硅层、氮化硅层、电介质金属氧化物层、或其堆叠体。

[0115] 例如，牺牲填充结构59可以包括诸如锗或硅-锗合金的半导体材料、诸如非晶碳的电介质材料、类金刚石碳、有机聚合物、无机聚合物(例如硅基聚合物)、或有机硅酸盐玻璃。牺牲填充结构59的牺牲材料可以通过以下方式形成：自平坦化方法(例如旋涂)、共形沉积方法(例如低压化学气相沉积)、或非共形沉积方法(例如等离子体增强化学气相沉积)。取决于沉积方法，至少一个腔可以或可以不形成在每个牺牲填充结构59内。可以通过平坦化工艺移除沉积在包括第一绝缘帽层70和第一后退阶梯式电介质材料部分65的顶表面的水平表面上方的牺牲材料的多余的部分。平坦化工艺可以例如采用，化学机械平坦化(CMP)和/或凹陷蚀刻。每个牺牲填充结构59具有的顶表面可以与第一绝缘帽层70和第一后退阶梯式电介质材料部分65的顶表面基本上共面。

[0116] 参考图21，间隔体材料层和绝缘体层的第二交替堆叠体2000可以形成在第一交替堆叠体1000之上。间隔体材料层可以是导电层，或可以是随后被移除的牺牲材料层。在一个实施例中，间隔体材料层可以是牺牲材料层，其在本文可以称为第二牺牲材料层242。绝缘体层在本文称为第二绝缘体层232。第二绝缘体层232可以包括可用于第一实施例的第一绝缘体层32的任何材料，且第二牺牲材料层242可以包括可用于第一实施例的牺牲材料层42的任何材料。第二绝缘体层232的厚度的范围可以与第一实施例的绝缘体层32的厚度的范围相同。第二牺牲材料层242的厚度的范围可以与第一实施例或第一堆叠体1000的牺牲材料层42的厚度的范围相同。第二交替堆叠体2000中的重复次数可以与第一实施例中的交替堆叠体的重复次数相同或不同。在一个实施例中，第二绝缘体层232可以包括与第一交替堆叠体1000的第一绝缘体层32相同的材料，且第二牺牲材料层242可以包括与第一交替堆叠体1000的第一牺牲材料层42相同的材料。

[0117] 第二绝缘帽层270和第二平坦化停止层280可以形成在第二交替堆叠体2000之上。第二绝缘帽层270可以包括与第一绝缘帽层70相同的材料，并可以具有与其相同的厚度。第二平坦化停止层280可以包括与第一平坦化停止层80相同的材料，且可以具有与其相同的

Micron Ex. 1002, p. 703
Micron v. YMTC
IPR2024-00790

厚度。

[0118] 参考图22，可以采用将第一阶梯式表面形成在第一交替堆叠体1000上期间的相同的方法，将第二阶梯式表面形成在第二交替堆叠体2000上。第二阶梯式表面可以相对于第一阶梯式表面交错，使得第二阶梯式表面的区域邻接第一阶梯式表面的区域，且比存在于第一交替堆叠体1000上的第一阶梯式表面的区域更靠近器件区域100。可以形成在接触区域300和外围器件区域200之上延伸的第二阶梯式腔。第二阶梯式腔可以叠盖整个第一阶梯式表面。第二阶梯式腔可以具有各种阶梯式表面，使得阶梯式腔的水平截面形状作为距离基板8的顶表面的垂直距离的函数逐步变化。

[0119] 第二电介质填充材料层可以沉积在存在于接触区域300中的第二阶梯式腔中、在器件区域100中的第二交替堆叠体2000之上、在接触区域300中的第一后退阶梯式电介质材料部分65之上、以及在外围器件区域200中的外延半导体基座110之上。第二电介质填充材料层包括电介质材料，其可以随后采用诸如化学机械平坦化(CMP)的平坦化工艺被平坦化。第二电介质填充材料层可以包括可用于第一实施例的电介质填充材料层65L的任何材料。在一个实施例中，第二电介质填充材料层可以包括与第一后退阶梯式电介质材料部分65的电介质材料相同的材料。第二电介质填充材料层可以完全填充接触区域300中的第二阶梯式腔。

[0120] 可以进行第二平坦化工艺以从包括第二平坦化停止层280的顶表面的水平表面的上方移除第二电介质填充材料层的部分。例如，可以通过化学机械平坦化(CMP)从第二平坦化停止层280的顶表面的上方移除第二电介质填充材料层的部分。可以采用第二平坦化停止层280作为停止层来平坦化第二电介质填充材料层。第二电介质填充材料层的填充接触区域300和外围器件区域200中的第二阶梯式腔的剩余部分构成第二后退阶梯式电介质材料部分265(即，绝缘填充材料部分)。如果氧化硅用于第二后退阶梯式电介质材料部分265，则后退阶梯式电介质材料部分265的氧化硅可以或可以不掺杂有诸如B、P和/或F的掺杂剂。第二平坦化停止层280可以随后被移除。

[0121] 参考图23，光致抗蚀剂层(未示出)可以施加在第二绝缘帽层270和第二后退阶梯式电介质材料部分265之上，且可以被图案化以覆盖器件区域100和接触区域300，而不覆盖外围器件区域200。可以进行各向异性蚀刻或各向同性蚀刻以从外围器件区域200移除第二后退阶梯式电介质材料部分265的一部分。在一个实施例中，可以采用各向异性蚀刻以从外围器件区域200中的第一外延半导体基座110的顶表面的上方移除第二后退阶梯式电介质材料部分265的物理暴露的区域。在一个实施例中，第一外延半导体基座110可以用作进行各向异性蚀刻工艺的停止层。在一些实施例中，可以在第一外延半导体基座110的顶表面中进行过蚀刻(overetch)。

[0122] 第二后退阶梯式电介质材料部分265的尺寸由于各向异性蚀刻而减小。具体来说，接触区域300中的第二阶梯式表面之上沉积的电介质材料的剩余部分构成第二后退阶梯式电介质材料部分265。因此，第二后退阶梯式电介质材料部分265(如在图23的处理步骤之后提供的)通过在第一后退阶梯式电介质材料部分65之上沉积和图案化电介质材料来形成。第二外围区域腔形成在第二后退阶梯式电介质材料部分265的一部分被移除的体积内。

[0123] 第二外延半导体基座210可以形成在外围器件区域200中，其为第一外延半导体基座110的顶表面被物理暴露的区域。第二外延半导体基座210通过选择性外延工艺形成。第

Micron Ex. 1002, p. 704
Micron v. YMTC
IPR2024-00790

二外延半导体基座210包括单晶半导体材料(例如,单晶硅),其与第一外延半导体基座110的单晶半导体材料外延对齐,且因此与半导体材料层10的单晶基板半导体材料(例如,单晶硅)外延对齐。可选地,第二外延半导体基座210可以掺杂有适当导电类型的电掺杂剂。第二外延半导体基座210的顶表面可以与包括第二绝缘帽层270的顶表面的水平表面共面,或可以位于其上方。在第二外延半导体基座210的顶表面形成在包括第二绝缘帽层270的顶表面的水平表面的上方的情况下,可以进行平坦化工艺(例如化学机械平坦化和/或凹陷蚀刻)以移除第二外延半导体基座280的凸出部分。在这种情况下,平坦化工艺之后的第二外延半导体基座210的顶表面可以与第二绝缘帽层270和第二后退阶梯式电介质材料部分265的顶表面共面。

[0124] 第二外延半导体基座210的接触第二后退阶梯式电介质材料部分265的侧壁表面可以基本上是垂直的。在这种情况下,第二外延半导体基座210的基本上垂直的侧壁相对于水平表面(例如,基板的顶表面)的角度可以在从80度到100度的范围内,例如90度。替代地,第二外延半导体基座210的接触第二后退阶梯式电介质材料部分265的侧壁表面可以以10度或更大的锥角(例如,以从10度到45度的锥角)成锥形。第二外延半导体基座210的接触第二后退阶梯式电介质材料部分265的侧壁表面不具有任何阶梯式表面。

[0125] 用于形成第一实施例的外延半导体基座110的选择性外延工艺可以用于形成第三实施例的第二外延半导体基座210。可以选择工艺条件(例如沉积温度、工艺室中的各种气体的分压、等等),使得沉积的半导体材料与半导体材料层110的单晶结构外延(即单晶)原子对齐,且因此与半导体材料层10的单晶结构原子对齐。可选地,可以通过平坦化工艺移除形成在包括第二绝缘帽层270的顶表面的水平表面的上方的沉积的外延半导体材料的任何多余的部分。可以采用化学机械平坦化(CMP)和/或凹陷蚀刻。在这种情况下,第二外延半导体基座210具有的顶表面可以与第二绝缘帽层270和第二后退阶梯式电介质材料部分265的顶表面在相同的水平平面内。

[0126] 第二存储器开口249和第二虚设存储器开口249'通过第二交替堆叠体2000形成到牺牲填充结构59的顶表面。第二存储器开口249形成在器件区域100中,且第二虚设存储器开口249'形成在接触区域300中。每个第二存储器开口249可以形成在与相应的第一存储器开口49的区域基本上重合的区域中。每个第二虚设存储器开口249'可以形成在与相应的第一虚设存储器开口49'的区域基本上重合的区域中。

[0127] 例如,至少包括光致抗蚀剂层的光刻材料堆叠体(未示出)可以形成在第二交替堆叠体2000之上,且可以被光刻图案化以在光刻材料堆叠体内形成开口。通过采用图案化的光刻材料堆叠体作为蚀刻掩模的至少一个各向异性蚀刻,光刻材料堆叠体中的图案可以通过第二交替堆叠体2000和第二后退阶梯式电介质材料部分265被转印。第二交替堆叠体2000和第二后退阶梯式电介质材料部分265的位于图案化的光刻材料堆叠体中的开口的部分被蚀刻以形成第二存储器开口249和第二虚设存储器开口249'。换言之,图案化的光刻材料堆叠体中的图案通过第二交替堆叠体2000的转印形成第二存储器开口249和第二虚设存储器开口249'。

[0128] 在一个实施例中,用于通过第二交替堆叠体2000的材料蚀刻的各向异性蚀刻工艺的化学反应可以交替,以优化第二交替堆叠体2000中的第二绝缘层232和第二牺牲材料层242的蚀刻,同时为第二电介质材料部分265提供相当的平均蚀刻速率。各向异性蚀刻可以

Micron Ex. 1002, p. 705
Micron v. YMTC
IPR2024-00790

例如是一系列的反应离子蚀刻。第二存储器开口249和第二虚设存储器开口249'的侧壁可以是基本上垂直的，或可以是锥形的。

[0129] 第二存储器开口249通过第二交替堆叠体2000形成在叠盖位于器件区域100中的牺牲填充结构59区域中。在形成第二存储器开口249的同时，第二虚设存储器开口249'可以通过第二后退阶梯式电介质材料部分和第二交替堆叠体2000形成在叠盖位于接触区域200中的牺牲填充结构59的区域中。在一个实施例中，牺牲填充结构59可以用作终点检测材料以控制各向异性蚀刻工艺的终止时间。在一个实施例中，第二存储器开口249和第二虚设存储器开口249'可以通过过蚀刻在牺牲填充结构59的顶表面的下方延伸。第二存储器开口249和第二虚设存储器开口249'的横向尺寸(例如，直径)可以与相应的下面的牺牲填充结构59的横向尺寸相当。例如，第二存储器开口249和第二虚设存储器开口249'中的每一个的横向尺寸可以在其上部部分处为大约20nm至200nm，且可以在其下部部分处为大约10nm至150nm。在一个实施例中，第二存储器开口249和第一存储器开口49可以形成为开口的阵列，其可以是开口的周期性的二维阵列。第二虚设存储器开口249'和第一虚设存储器开口49'可以形成为彼此相互分离的离散的开口，且可以或可以不形成周期性二维阵列图案。第二虚设存储器开口249'之间的横向间隔距离可以是第二存储器开口249之间的最近相邻距离的两倍(例如，三倍或更多)。

[0130] 在一个实施例中，第二存储器开口249的每个底表面可以完全位于下面的牺牲填充结构59的顶表面的区域内。第二虚设存储器开口249'的每个底表面可以完全位于下面的牺牲填充结构59的顶表面的区域内。随后，图案化的光刻材料堆叠体可以随后例如通过灰化被移除。

[0131] 参考图25，牺牲填充结构59可以对第一交替堆叠体1000、第二交替堆叠体2000、第一和第二后退阶梯式电介质材料部分(65，265)、以及基板8的材料选择性地被移除。例如，如果锗或硅-锗合金被用于牺牲填充结构59，则可以使用采用过氧化氢的湿法蚀刻。如果非晶碳或有机聚合物用于牺牲填充结构59，则可以采用灰化工艺。如果在第一存储器开口49和第一虚设存储器开口49'内采用可选的牺牲衬垫，则牺牲衬垫可以通过对第一交替堆叠体1000、第二交替堆叠体2000、第一和第二后退阶梯式电介质材料部分(65，265)、以及基板8为选择性的蚀刻工艺被移除。

[0132] 每个第二存储器开口249向下延伸以包括下面的第一存储器开口49的体积，从而形成垂直延伸的开口，其在本文中称为堆叠间存储器开口349。每个堆叠间存储器开口349通过第一交替堆叠体1000和第二交替堆叠体2000延伸。如本文所使用的，“堆叠间”元件是指通过至少两个交替堆叠体延伸的元件。每个第二虚设存储器开口249'向下延伸以包括下面的第一存储器开口49'的体积，从而形成附加的垂直延伸的开口，其在本文中称为堆叠间虚设存储器开口349'。每个堆叠间虚设存储器开口349'通过第一交替堆叠体1000、第二后退阶梯式电介质材料部分265、可选的第二交替堆叠体2000、以及可选的第一后退阶梯式电介质材料部分65延伸。

[0133] 每个堆叠间存储器开口349包括第一存储器开口49和第二存储器开口249的垂直相邻对的体积，且至少在包括第一交替堆叠体1000的底表面的第一水平平面到包括第二交替堆叠体2000的顶表面的第二水平平面之间延伸。每个堆叠间虚设存储器开口349'包括第一虚设存储器开口49'和第二虚设存储器开口249'的垂直相邻对的体积，且至少在包括第

Micron Ex. 1002, p. 706
Micron v. YMTC
IPR2024-00790

一交替堆叠体1000的底表面的第一水平平面到包括第二交替堆叠体2000的顶表面的第二水平平面之间延伸。堆叠间存储器开口349和堆叠间虚设存储器开口349是多级开口结构，其包含第一交替堆叠体(1000)内的第一级开口、以及第二交替堆叠体2000或第二后退阶梯式电介质材料部分265中的第二级开口。

[0134] 参考图26A和图26B，外延通道部分11可以可选地在每个堆叠间存储器开口349和每个堆叠间虚设存储器开口349'的底部处由选择性外延工艺形成。形成在堆叠间存储器开口349中的外延通道部分11用作相应的垂直场效应晶体管的通道的一部分。形成在堆叠间虚设存储器开口349'中的外延通道部分11是虚设结构，其在堆叠间虚设存储器开口349'中提供填充材料以增强结构完整性。

[0135] 存储器堆叠结构55和虚设存储器堆叠结构55'可以分别同时形成在器件区域100中的堆叠间存储器开口349中和接触区域300中的堆叠间虚设存储器开口349'中。在一个实施例中，用作支撑柱结构的每个存储器堆叠结构55和每个虚设存储器结构55'可以具有相同的一组元件。换言之，存在于每个存储器堆叠结构55内的该组所有材料可以与存在于每个虚设存储器堆叠结构55'内的该组所有材料相同。每个存储器堆叠结构55通过用一组材料填充堆叠间存储器开口349来形成，并且每个虚设存储器堆叠结构55'通过用相同的处理步骤中沉积的相同的该组材料填充堆叠间虚设存储器开口349'来形成。

[0136] 在一个实施例中，存储器薄膜50可以形成在堆叠间存储器开口349和堆叠间虚设存储器开口349'的每个侧壁上。在一个实施例中，存储器薄膜50可以包括层堆叠体，其从外到内包括阻挡电介质层、存储器材料层和隧穿电介质层。在一个实施例中，存储器薄膜50可以与第一实施例和第二实施例相同，即，对于其中的每个部件可以具有相同的厚度和材料组分。

[0137] 存储器薄膜50可以沉积为连续层的层堆叠体。可以进行各向异性蚀刻，以从第二交替堆叠体2000的上方和每个堆叠间开口(349,349')的底部处蚀刻存储器薄膜50的水平部分。存储器薄膜50的剩余部分是位于相应的堆叠间存储器开口349或堆叠间虚设存储器开口349'内的垂直部分。开口可以通过各向异性蚀刻在每个堆叠间开口(349,349')的底部处通过存储器薄膜50的每个水平部分形成。

[0138] 半导体通道60形成在每个堆叠间开口(349,349')内，且直接形成在每个存储器薄膜50的内部侧壁上。半导体通道60可以通过将至少一种半导体材料沉积在存储器薄膜50的内部侧壁上和半导体基板8的半导体表面上来形成。可选地，如图11C和图11D所示，半导体通道60可以包括第一半导体通道层601和第二半导体通道层602的组合。半导体通道60的半导体材料可以包括掺杂的多晶半导体材料(例如掺杂的多晶硅)，或可以包括掺杂的非晶半导体材料(例如非晶硅)，其随后可以在升高的温度下的适当退火之后转化为掺杂的多晶半导体材料。在一个实施例中，每个半导体通道60可以是通过第二交替堆叠体2000和第一交替堆叠体1000延伸的单个半导体通道。

[0139] 电介质芯62可以形成在每个半导体通道60内的腔内，例如，通过沉积诸如氧化硅的电介质材料，并随后平坦化该电介质材料。可以进行电介质材料的平坦化，以从包括上部堆叠结构的最顶层的顶表面的水平表面的顶表面的上方移除沉积的电介质材料的部分。可以进行电介质材料的平坦化，例如通过化学机械平坦化。剩余的电介质材料部分可以凹陷到上部堆叠结构的顶表面的下方，例如通过凹陷蚀刻。存储器开口内的电介质材料的每个

Micron Ex. 1002, p. 707
Micron v. YMTC
IPR2024-00790

剩余部分构成电介质芯62。电介质芯62为可选部件，且存储器薄膜50和半导体通道60的组合可以完全填充存储器开口。

[0140] 漏极区域63可以形成在每个半导体通道60的顶部部分上，例如通过沉积掺杂的半导体材料。如果半导体通道60包括掺杂的半导体材料，则漏极区域63的导电类型可以与半导体通道60的导电类型相反。在一个实施例中，半导体通道60和掺杂的半导体材料层10共同构成实现在垂直存储器堆叠结构(例如垂直NAND结构)内的场效应晶体管的垂直堆叠体的通道。

[0141] 堆叠间存储器开口349内的每组存储器薄膜50、半导体通道60、电介质芯62和漏极区域63构成存储器堆叠结构55。堆叠间虚设存储器开口349'内的每组存储器薄膜50、半导体通道60、电介质芯62和漏极区域63构成虚设存储器堆叠结构55'。虚设存储器堆叠结构55'不提供任何电功能性，而是用于在制造示范性结构中的器件期间提供机械支撑，例如，通过防止在随后形成背侧凹陷期间防止材料层的塌陷。另外，虚设存储器堆叠结构55'可以用于在示范性结构中的器件的制造之后和操作期间提供机械支撑。

[0142] 虚设存储器堆叠结构55'可以包括虚设半导体通道60，其具有与存储器堆叠结构55中的半导体通道60相同的组分和相同的厚度。虚设半导体通道60不电连接到单片三维存储器器件的驱动电路。如本文所使用的，如果第一元件接触第二元件，或者在第一元件和第二元件之间存在导电路径(由至少一个导电材料构成的路径)，则第一元件电连接到第二元件。

[0143] 在一个实施例中，每个虚设存储器堆叠结构55'可以包括虚设存储器薄膜50，其具有与存储器堆叠结构55中的存储器薄膜相同的组分和相同的厚度。每个虚设存储器堆叠结构55'可以包括虚设隧穿电介质层，其具有与隧穿电介质层相同的组分和厚度。

[0144] 虚设存储器堆叠结构55'不执行任何电功能。因此，在单片三维存储器器件的操作期间，在虚设存储器薄膜中不存储电荷。在单片三维存储器器件的操作期间，没有载荷子隧穿通过虚设隧穿电介质层。在单片三维存储器器件的操作期间，没有电流流过虚设半导体通道。

[0145] 每个虚设存储器堆叠结构55'是电不活动部件，即，由于没有电短接到半导体基板8的半导体材料以外的导电部件而不能电气工作的部件。每个半导体柱结构55'包括存储器薄膜50(其为虚设存储器薄膜，即电活动存储器薄膜)、半导体通道60(其为虚设半导体通道，即，电活动半导体通道)、电介质芯62、以及漏极区域63(其为虚设漏极区域，即，电活动漏极区域)。

[0146] 至少一个虚设存储器堆叠结构55'中的每个虚设存储器薄膜50在与每个存储器堆叠结构55中的存储器薄膜50相同的步骤期间形成。至少一个虚设存储器堆叠结构55'中的每个虚设隧穿电介质层在与每个存储器堆叠结构55中的隧穿电介质层相同的步骤期间形成。至少一个虚设存储器堆叠结构55'中的每个虚设半导体通道60在与每个存储器堆叠结构55中的半导体通道60相同的步骤期间形成。至少一个虚设存储器堆叠结构55'中的每个虚设漏极区域63在与每个存储器堆叠结构55中的漏极区域63相同的步骤期间形成。

[0147] 至少一个半导体器件240可以形成在多个外延半导体基座中或上，其可以例如是第一和第二外延半导体基座(110,210)。在一个实施例中，形成在至少一个外延半导体基座(110,210)上的至少一个半导体器件可以包括存储器器件的驱动电路的至少一个晶体管。

Micron Ex. 1002, p. 708
Micron v. YMTC
IPR2024-00790

在说明性示例中，该至少一个半导体器件240可以包括至少一个场效应晶体管和/或本领域已知的一个或多个其他半导体器件。

[0148] 接触级电介质层290可以形成在第二交替堆叠体2000、第二后退阶梯式电介质材料部分265和第二外延半导体基座210之上。接触级电介质层290包括电介质材料，例如氧化硅、氮化硅、有机硅酸盐玻璃、或其组合。接触级电介质层290的厚度可以在100nm至1,000nm的范围内，尽管也可以采用更小或更大的厚度。

[0149] 背侧接触沟槽可以通过接触级电介质层290、第二交替堆叠体2000、第一交替堆叠体、第一和第二绝缘帽层(70,270)、第一交替堆叠体1000、底部绝缘体层31、电介质垫层12、以及第一和第二后退阶梯式电介质材料部分(65,265)形成。在一个实施例中，存储器堆叠结构55可以形成为通过背侧接触沟槽彼此横向间隔开的组。电掺杂剂可以以与第一实施例和第二实施例中相同的方式被植入导体材料层10的表面部分中以形成源极区域61。

[0150] 虽然本公开是采用其中使用两个交替堆叠体的实施例来描述的，但图20-24的处理步骤可以被重复以形成包括三个或更多个交替堆叠体的多堆叠体结构。在这种情况下，可以为每个交替堆叠体形成一组阶梯式表面、后退阶梯式电介质材料部分、外延半导体基座、以及一组牺牲填充结构。因此，采用本公开的方式，可以形成三个或多个交替堆叠体、三组或更多组阶梯式表面、三个或更多个后退阶梯式电介质材料部分、三个或更多个垂直堆叠并互相外延对齐的外延半导体基座、以及堆叠间开口的组合。

[0151] 参考图27，可以通过颠倒图18的处理步骤以及图14、15和16的处理步骤的顺序来提供第三示范性结构的替代实施例。在这种情况下，外围器件区域200中的第一交替堆叠体1000的部分通过各向异性蚀刻被移除，而器件区域100和接触区域300中的第一交替堆叠体1000的部分被保护，例如，通过随后被移除的图案化的光致抗蚀剂层。图27中所示的替代实施例对应于在形成第一外延半导体基座110之后且在形成阶梯式表面之前的处理步骤，在此期间可以移除第一外延半导体基座110的一部分。在这种情况下，第一外延半导体基座110可以在形成电介质材料填充部分65之前形成。然后进行图14-17和图19-21的步骤。

[0152] 根据上述的本公开的各种实施例，一种制造存储器器件的方法包括至少进行一次一系列的处理步骤。该系列的处理步骤包括：在半导体基板8的单晶半导体表面之上形成绝缘体层(32或232)和间隔体材料层(42或242)的交替堆叠体(1000或2000)的步骤，通过图案化交替堆叠体(1000或2000)形成阶梯式表面的步骤，其中单晶半导体材料在交替堆叠体的所有层被移除的区域(例如外围器件区域200)中被暴露，以及分别在单晶半导体材料上和阶梯式表面之上形成外延半导体基座(110或220)和电介质材料部分(65或265)的步骤，其中外延半导体基座(110,210)与单晶半导体材料外延对齐。存储器堆叠结构55的阵列可以通过至少一个交替堆叠体(1000,2000)形成。

[0153] 每个外延半导体基座(110,210)可以通过在相同系列的处理步骤中形成相应的电介质材料部分(65,265)之前或之后由选择性外延工艺形成。在一个实施例中，每个系列的处理步骤还可以包括：通过在单晶半导体材料之上沉积电介质材料并从单晶半导体材料上方移除沉积的电介质材料的一部分来形成电介质材料部分(65或265)，并且然后通过平坦化沉积的外延半导体材料以提供与电介质材料部分(65或265)的顶表面在同一水平表面内的顶表面，从而形成外延半导体基座(110或210)。在另一实施例中，每个电介质材料部分(65或265)可以通过在形成相应的外延半导体基座(110或210)之后沉积和图案化相应的电

Micron Ex. 1002, p. 709
Micron v. YMTC
IPR2024-00790

介质材料来形成。

[0154] 在一个实施例中，每个外延半导体基座(110,210)可以通过进行将外延半导体材料沉积在下面的物理暴露的半导体表面上的外延半导体沉积工艺来形成；并且平坦化沉积的外延半导体材料，使得沉积的外延半导体材料的剩余部分构成外延半导体基座(110,210)。在一个实施例中，每个系列的处理步骤还可以包括通过相应的交替堆叠体(1000或2000)形成多个存储器开口(49或249)。存储器堆叠结构的阵列可以从每个交替堆叠体(1000,2000)由通过包括存储器开口(49,249)的垂直延伸的开口349形成电荷存储元件(如存储器材料层的与导电层相邻的垂直间隔部分所实现的)和隧穿电介质来形成。

[0155] 在一个实施例中，每个系列的处理步骤还可以包括在相应的交替堆叠体(1000或2000)之上形成平坦化停止层(80或280)，并采用平坦化停止层(80或280)作为停止层来平坦化相应的外延半导体基座(110或210)的最顶表面。在一个实施例中，至少一个外延半导体部分(110,210)的侧壁没有阶梯式结构。

[0156] 在一个实施例中，每个存储器堆叠结构55可以包括存储器薄膜50(其包括隧穿电介质、电荷存储区域和阻挡电介质)和垂直半导体通道60(其接触存储器薄膜的内表面并叠盖基板8的单晶半导体表面)。在一个实施例中，每个系列的处理步骤还可以包括在相应的交替堆叠体(1000或2000)上通过阶梯式表面形成多个虚设开口(也称为虚设存储器开口49'或249')。至少一个虚设存储器堆叠结构55'可以从每个交替堆叠体(1000或2000)通过包括虚设存储器开口(49'或249')的至少一个垂直延伸的开口349'形成。

[0157] 与存储器堆叠结构55的阵列电接触的多个位线92可以形成为使得至少一个虚设存储器堆叠结构55'不与多个位线电接触。可以移除每个交替堆叠体(1000或2000)的间隔体材料层(例如第一和第二牺牲材料层(42,242))，以使用至少一个虚设存储器堆叠结构55'作为支撑件来形成多个凹陷。导电材料层(46,246)可以形成在该多个凹陷中，其中导电材料层包括存储器器件的栅电极。

[0158] 至少一个交替堆叠体(1000,2000)的间隔体材料层可以设置为或替换为导电层(46,246)。接触通孔结构66可以形成到相应的导电层(46,246)。多次进行该系列的处理步骤，使得可以形成多个交替堆叠体(1000,2000)。

[0159] 在一个实施例中，牺牲填充结构59可以通过多个交替堆叠体(1000,2000)之中的第一交替堆叠体1000形成。存储器开口(例如第二存储器开口249)可以通过叠盖第一交替堆叠体1000的第二交替堆叠体200形成在牺牲填充结构59之上。可以形成通过第一和第二交替堆叠体(1000,2000)延伸的垂直延伸井口349。每个垂直延伸井口349可以包括第二交替堆叠体2000中的第二存储器开口249和第一交替堆叠体1000中的第一存储器开口的体积。

[0160] 在一个实施例中，第一交替堆叠体中的第一间隔体材料层和第二交替堆叠体中的第二间隔体材料层可以分别包括第一牺牲材料层42和第二牺牲材料层242。在这种情况下，第一和第二牺牲材料层(42,242)可以替换为导电材料层，例如，通过采用选择性蚀刻工艺对第一和第二绝缘体层(32,232)选择性地移除第一和第二牺牲材料层(42,242)以形成横向凹陷，并且通过沉积至少一种导电材料(例如金属氮化物衬垫(例如，TiN)和金属填充材料(例如，W)的组合)来填充横向凹陷。可以通过蚀刻移除导电材料在横向凹陷之外的部分(例如，在背侧接触沟槽中和接触级电介质层290之上)。每个横向凹陷填充有导电层。具体

Micron Ex. 1002, p. 710
Micron v. YMTC
IPR2024-00790

来说，由一个或多个第一绝缘体层32界定的每个横向凹陷填充有第一导电层46，且由一个或多个第二绝缘体层232界定的每个横向凹陷填充有第二导电层246。第一和第二导电层(46,246)可以用作存储器堆叠结构55的控制栅电极。虚设存储器堆叠结构55'用于支撑第一和第二绝缘体层(32,232)，而横向凹陷存在于第三示范性结构中。

[0161] 替代地，第一和/或第二间隔体材料层可以设置为导电层。在这种情况下，用至少一种导电材料替换这样的间隔体材料层不是必须的。

[0162] 绝缘间隔体74可以与第一实施例和第二实施例相同的方式形成在每个背侧接触沟槽的侧壁上。背侧接触通孔结构76可以以与第一实施例和第二实施例相同的方式形成在每个背侧接触沟槽内。

[0163] 接触通孔结构66可以通过第二和/或第一后退阶梯式电介质材料部分(265,65)形成到相应的导电层46、246。可以采用与第一实施例和第二实施例相同的处理步骤来形成接触通孔结构66。接触通孔结构66可以提供到导电层46、246的电接触。存储器接触通孔结构88可以形成在接触级电介质层290中的开口中，使得每个相应的存储器接触通孔结构88接触相应的存储器堆叠结构55中的漏极区域63。可以以与第一实施例和第二实施例相同的方式形成多个位线以提供到存储器接触通孔结构88的电连接，例如，如图12D和图12E所示。存储器接触通孔结构88和位线不物理接触，且不电接触外围器件区域中的虚设存储器堆叠结构55'。

[0164] 本公开的各种实施例可以提供一种存储器器件，其包括位于半导体基板8之上的至少一个交替堆叠体(其可以包括多个交替堆叠体(1000,2000))。至少一个交替堆叠体(1000,2000))中的每一个包括导电层(46,246)和绝缘体层(32,232)，两者沿着垂直于半导体基板8的顶表面的方向交替并在接触区域300中提供阶梯式表面。存储器器件可以包括位于通过至少一个交替堆叠体(1000,2000)的整体延伸的存储器开口内的存储器堆叠结构55的阵列、以及位于相应的交替堆叠体(1000,2000)的级的至少一个电介质材料部分(65,265)。至少一个电介质材料部分(65,265)中的每一个叠盖相应的交替堆叠体(1000,2000)的阶梯式表面。存储器器件可以包括位于相应的交替堆叠体(1000,2000)上的至少一个外延半导体基座(110,210)。至少一个外延半导体基座(1000,2000)中的每一个与半导体基板8中的单晶基板半导体材料外延对齐。存储器器件可以包括位于至少一个外延半导体基座(110,210)上的至少一个半导体器件240。

[0165] 在一个实施例中，至少一个外延半导体基座(110,210)中的每一个具有的顶表面可以与相应的电介质材料部分的顶表面在相同的水平表面内，相应的电介质材料部分可以例如是第一后退阶梯式电介质材料部分65或第二后退阶梯式电介质材料部分265。在一个实施例中，每个电介质材料部分(65,265)与相应的外延半导体基座(110,210)之间的整个接触区域可以在相应的垂直或锥形平面内。在一个实施例中，至少一个外延半导体基座(110,210)不包括阶梯式表面。在一个实施例中，至少一个半导体器件240包括位于存储器器件的外围区域200中的存储器器件的驱动电路的场效应晶体管。

[0166] 在一个实施例中，漏极区域63的阵列可以接触存储器堆叠结构55的阵列内的相应的半导体通道60。电介质材料层(例如第一绝缘帽层70或第二绝缘帽层270)可以位于至少一个交替堆叠体(1000,2000)之上。电介质材料层(例如第一绝缘帽层70或第二绝缘帽层270)的顶表面可以与相应的电介质材料部分(65,265)的顶表面共面。

Micron Ex. 1002, p. 711
Micron v. YMTC
IPR2024-00790

[0167] 在一个实施例中，外延通道部分的阵列11可以位于存储器堆叠结构的阵列的下面，并与半导体基板8中的半导体材料的单晶结构外延对齐。在一个实施例中，接触通孔结构66可以通过至少一个电介质材料部分(65,265)延伸，并且可以接触相应的导电层(46,246)。多个虚设开口(49',249')可以通过阶梯式表面的相应的部分延伸。多个虚设存储器堆叠结构55'可以位于多个虚设开口中。多个位线92可以与存储器堆叠结构55的阵列电接触。多个虚设存储器堆叠结构55'不与多个位线92电接触。

[0168] 在一个实施例中，存储器堆叠结构55的阵列可以通过多个交替堆叠体(1000,2000)延伸。存储器堆叠结构的阵列内的至少一个存储器堆叠结构55'(或所有的存储器堆叠结构55')可以包括位于第一交替堆叠体1000内的第一锥形侧壁、接触叠盖第一交替堆叠体1000的第二交替堆叠体2000的底表面的水平表面、以及位于第二交替堆叠体2000内的第二锥形侧壁。

[0169] 在一个实施例中，多堆叠体结构可以包括单片三维NAND存储器器件。半导体基板可以包括硅基板。单片三维NAND存储器器件可以包括在硅基板之上的单片三维NAND串的阵列。NAND串的三维阵列的第一器件级中的至少一个存储器单元可以位于NAND串的三维阵列的第二器件级中的另一存储器单元之上。硅基板可以包含集成电路，其包括位于其之上的存储器器件的驱动电路。每个NAND串可以包括半导体通道。半导体通道的至少一个端部部分可以基本上垂直于硅基板的顶表面延伸。每个NAND串可以包括多个电荷存储元件。每个电荷存储元件可以位于相应的半导体通道附近。在一个实施例中，每个电荷存储元件可以是位于控制栅电极(如实施为导电材料层)附近的电荷存储材料的一部分。每个NAND串可以包括基本上平行于该半导体基板的顶表面延伸的条形。多个控制栅电极可以至少包括位于第一器件级中的第一控制栅电极和位于第二器件级中的第二控制栅电极。

[0170] 使用多个交替堆叠体可以通过允许一次重复操作绝缘体层和间隔体材料层的一个交替堆叠体的处理步骤来缩放三维器件结构的总高度。虽然在本文中示出了其中采用两个交替堆叠体的示范性实施例，本公开的方法可以扩展为集成三个或更多个交替堆叠体。

[0171] 参考图28A，针对第一、第二或第三示范性结构或由其导出的任何结构进行说明。图28A的示范性结构对应于图7和图16的任何处理步骤。在该配置中，第一阶梯区域301(其包括以对基板8增加的接近度沿着一个方向更远地延伸的第一组阶梯式表面)横向邻接第二阶梯区域302(其包括以对基板8增加的接近度沿着相反的方向更远地延伸的第二组阶梯式表面)，使得第一后退阶梯式电介质材料部分65设置在第一组和第二组阶梯式表面之件和两者之上。第一阶梯区域301可以位于器件区域100附近，且第二阶梯区域302可以位于外围器件区域附近。因此，在相同的步骤蚀刻工艺期间同时形成区域301和302。在该实施例中，区域302不被移除，而在图7和图16所示的先前实施例中，该区域被移除。

[0172] 参考图28B，可以进行图17和图18的处理步骤。第一外延半导体基座110可以通过第二阶梯区域302形成，使得第一绝缘层32和第一间隔体材料层42的第一交替堆叠体(32,42)的剩余部分至少接触远离第一阶梯区域301的第一外延半导体基座110的远端侧壁110D。第一外延半导体基座110的近端侧壁110P可以接触第一后退阶梯式电介质材料部分65的侧壁，且可以或可以不接触第一绝缘层32和第一间隔体材料层42的第一交替堆叠体(32,42)的另一剩余部分。第一外延半导体基座110的远端侧壁110D可以或可以不接触第一后退阶梯式电介质材料部分65的部分。

Micron Ex. 1002, p. 712
Micron v. YMTC
IPR2024-00790

[0173] 参考图28C，可以进行图19-22的处理步骤，以形成第二绝缘层232和第二间隔体材料层242的第二交替堆叠体(232，242)、以及第二后退阶梯式电介质材料部分265。阶梯区域301和302延伸到第二交替堆叠体中，以在两个堆叠体中形成连续的相应的阶梯区域301和302。

[0174] 参考图28D，可以进行图23的处理步骤，以直接在第一外延半导体基座110上形成第二外延半导体基座210。在一个实施例中，第二外延半导体基座210可以通过第二阶梯区域302形成，使得第二绝缘层232和第二间隔体材料层242的第二交替堆叠体(232，242)的剩余部分接触远离第一阶梯区域301的第二外延半导体基座210的远端侧壁210D。第二外延半导体基座210的近端侧壁210P可以接触第二后退阶梯式电介质材料部分265的侧壁，且可以或可以不接触第二绝缘层232和第二间隔体材料层242的第二交替堆叠体(232，242)的另一剩余部分。第二外延半导体基座210的远端侧壁210D可以或可以不接触第二后退阶梯式电介质材料部分265的一部分。

[0175] 随后，可以进行图24、25、26A和26B的处理步骤，以提供存储器器件。

[0176] 图29A-29C示出了可以通过图28A-28D的处理步骤导出的结构的总体配置。在图29A-29C中示出了选定的元件，且为了清楚起见省略了一些元件。

[0177] 第一存储器块120A和第二存储器块120B由接触沟槽79横向间隔开，背侧接触通孔结构76(如图26A和图26B所示)可以形成在接触沟槽79中。第一阶梯式表面区域330A可以形成在第一存储器块120A附近，且第二阶梯式表面区域330B可以形成在第二存储器块120B附近。第一阶梯式表面区域330A包括第一对阶梯图案，但是为了存在第一和第二外延半导体基座(110，120)的堆叠体的至少一个范例，其将为具有镜像对称性的对称图案。类似地，第二阶梯式表面区域330B包括第二对阶梯图案，但是为了存在第一和第二外延半导体基座(110，120)的堆叠体的至少一个范例，其将为具有镜像对称性的对称图案。

[0178] 每个阶梯式表面区域(330A，330B)的近端侧包括活动阶梯图案(301A或301B)，在该活动阶梯图案中，字线246电连接到位于相应的虚设阶梯图案(302A或302B)中的基座210中的相应的外围器件区域240A、240B(例如，字线驱动电路器件)。如本文所使用的，阶梯式表面区域(330A，330B)的“近端侧”是指器件区域100中靠近存储器块(120A，120B)的一侧。在第一间隔体材料层42和第二间隔体材料层242形成为牺牲材料层的情况下，活动阶梯图案(301A，301B)和器件区域100中的第一间隔体材料层42和第二间隔体材料层242在图25的处理步骤之后以及图26A和图26B的处理步骤期间替换为第一导电层146和第二导电层246。接触通孔结构(其在本文中称为字线接触通孔结构66)位于活动阶梯图案中。字线接触通孔结构66接触字线，其可以是在用导电层替换牺牲材料层之后的第一交替堆叠体(32，146)和第二堆叠体(232，246)的控制栅电极(如实施为第一导电层146和第二导电层246)的端部部分。字线接触通孔结构66可以通过导电互连线305连接到位于外围器件区域(240A，240B)中的外围器件，例如场效应晶体管240T。例如，线路305可以电连接到相应的晶体管240T的源极240S或漏极204D，晶体管240T也含有栅极电极240G。

[0179] 优选地，半导体器件240T可以形成在第一和第二外延半导体基座(110，210)的每个堆叠体上或中。在这种情况下，存储器器件可以包括位于至少一个外延半导体基座(110，210)上的至少一个半导体器件240T。该至少一个半导体器件240可以是驱动电路的任何半导体器件。

Micron Ex. 1002, p. 713
Micron v. YMTC
IPR2024-00790

[0180] 相比之下，每个阶梯式表面区域(300A，300B)的远端侧可以包括虚设阶梯图案(302A，302B)，其不电连接到外围器件区域(240A，240B)或存储器块(120A，120B)中的外围器件240T。如本文所使用的，阶梯式表面区域(330A，330B)的“远端侧”是指远离器件区域100中的存储器块(120A，120B)的侧面。交替堆叠体(32，42，232，242)的位于虚设阶梯图案中的部分可以通过后退阶梯式电介质材料部分(65，265)与背侧接触沟槽79横向间隔开。在第一间隔体材料层42和第二间隔体材料层242形成为牺牲材料层的情况下，移除第一和第二间隔体材料层(42，242)的牺牲材料的蚀刻剂不到达交替堆叠体(32，42，232，242)的位于虚设阶梯图案(302A，302B)中的部分。因此，在图26A和图26B的处理步骤期间，虚设阶梯图案(302A，302B)中的第一间隔体材料层42和第二间隔体材料层242不被替换为第一导电层146和第二导电层246。反之，即使在于器件区域100和活动阶梯图案(301A，301B)中形成导电层(46，246)的处理步骤之后，每个虚设阶梯图案(302A，302B)可以包括第一绝缘层32和第一间隔体材料层42(其可以为第一牺牲材料层，例如第一氮化硅层)的第一交替堆叠体(32，42)、以及第二绝缘层232和第二间隔体材料层242(其可以为第二牺牲材料层，例如第二氮化硅层)的第二交替堆叠体(232，242)。

[0181] 在采用图28A-28D和图29A-29C所示的配置的实施例中，可以在图28A的处理步骤中形成具有镜像对称性的一对阶梯式表面区域{(301A，302A)或(301B，302B)}。每对阶梯式表面区域{(301A，302A)或(301B，302B)}包括靠近器件区域100中的存储器堆叠体器件的阵列的活动阶梯图案(301A或301B)、以及远离器件区域100中的存储器堆叠体器件的阵列的区域的虚设阶梯图案(302A，302B)。

[0182] 该对阶梯式表面区域{(301A，302A)或(301B，302B)}可以通过至少一个后退阶梯式电介质材料部分(65，265)横向间隔开。第一外延半导体基座110和第二外延半导体基座210可以形成在虚设阶梯图案(302A，302B)的区域中，且不在活动阶梯图案(301A，301B)的任何区域中。至少一个外延半导体基座(110，210)可以邻接虚设阶梯图案(302A，302B)，且不延伸到活动阶梯图案(301A，301B)的任何区域中。

[0183] 活动阶梯图案(301A，301B)位于相应的绝缘层(32，232)和相应的导电层(46，246)的交替堆叠体(32，46，232，246)中。相比之下，虚设阶梯图案(302A，302B)位于附加的绝缘层(32，232)和间隔体材料层(42，242)的至少一个附加的交替堆叠体(32，42，232，242)中。间隔体材料层(42，242)包括牺牲材料，其具有与导电层(46，246)不同的组分。在一个实施例中，附加的绝缘层(32，232)和间隔体材料层(42，242)的至少一个附加的交替堆叠体(32，42，232，242)接触至少一个外延半导体基座(110，210)的至少一个侧壁。在一个实施例中，间隔体材料层(42，242)可以包括诸如氮化硅的电介质(即，电绝缘)材料，且不包含导电材料。

[0184] 尽管上述内容涉及特定的优选实施例，但应当理解，本公开不限于此。本领域的普通技术人员将会想到，可以对所公开的实施例进行各种修改，并且这样的修改意图在本公开的范围内。在本公开中示出采用特定结构和/或配置的实施例的情况下，应该理解，本公开可以用功能上等同的任何其他兼容结构和/或配置来实践，只要这些替换没有明确禁止或者对于本领域的普通技术人员已知是不可能的。本文引用的所有出版物、专利申请和专利均通过引用整体并入本文。

Micron Ex. 1002, p. 714
Micron v. YMTC
IPR2024-00790

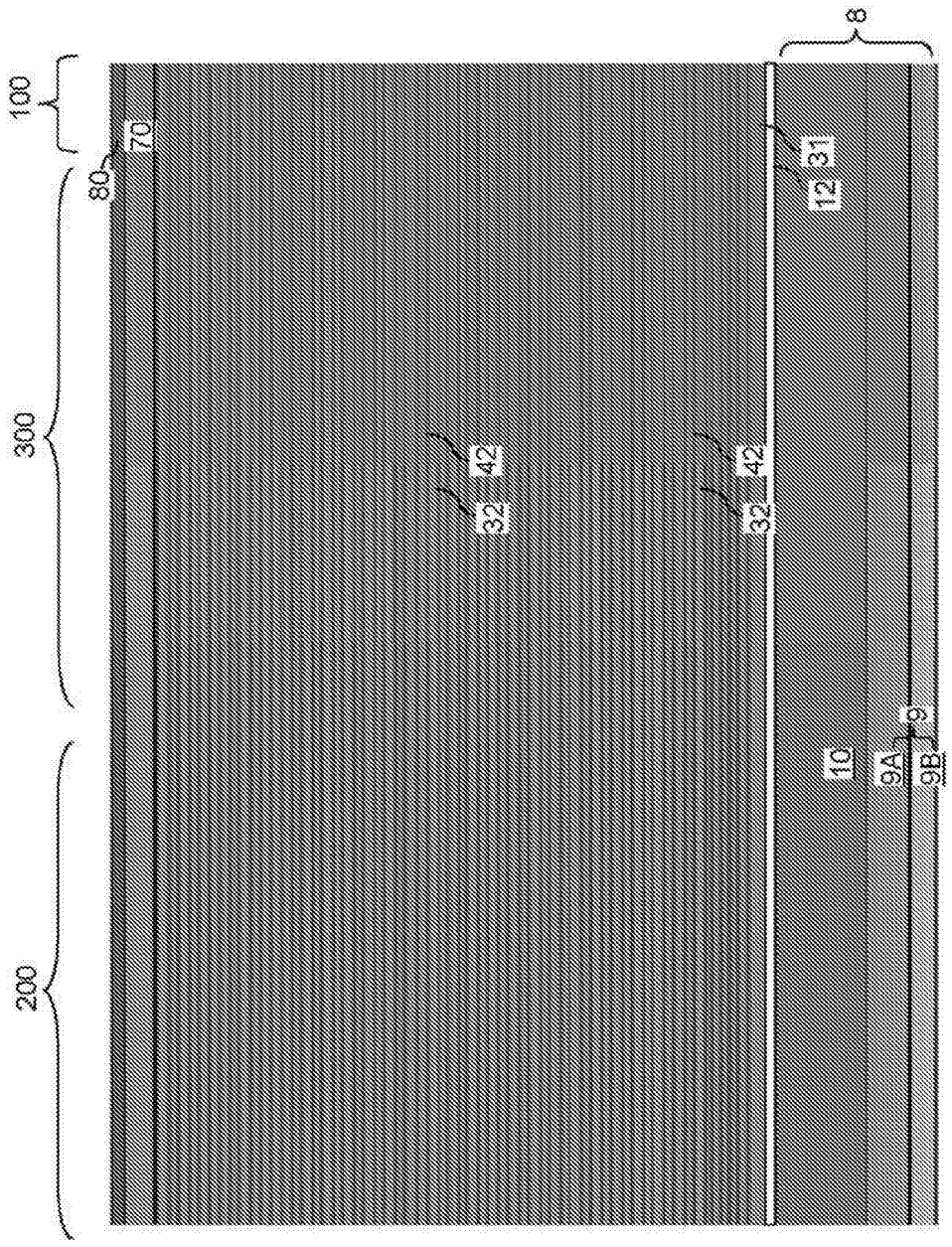


图1

Micron Ex. 1002, p. 715
Micron v. YMTC
IPR2024-00790

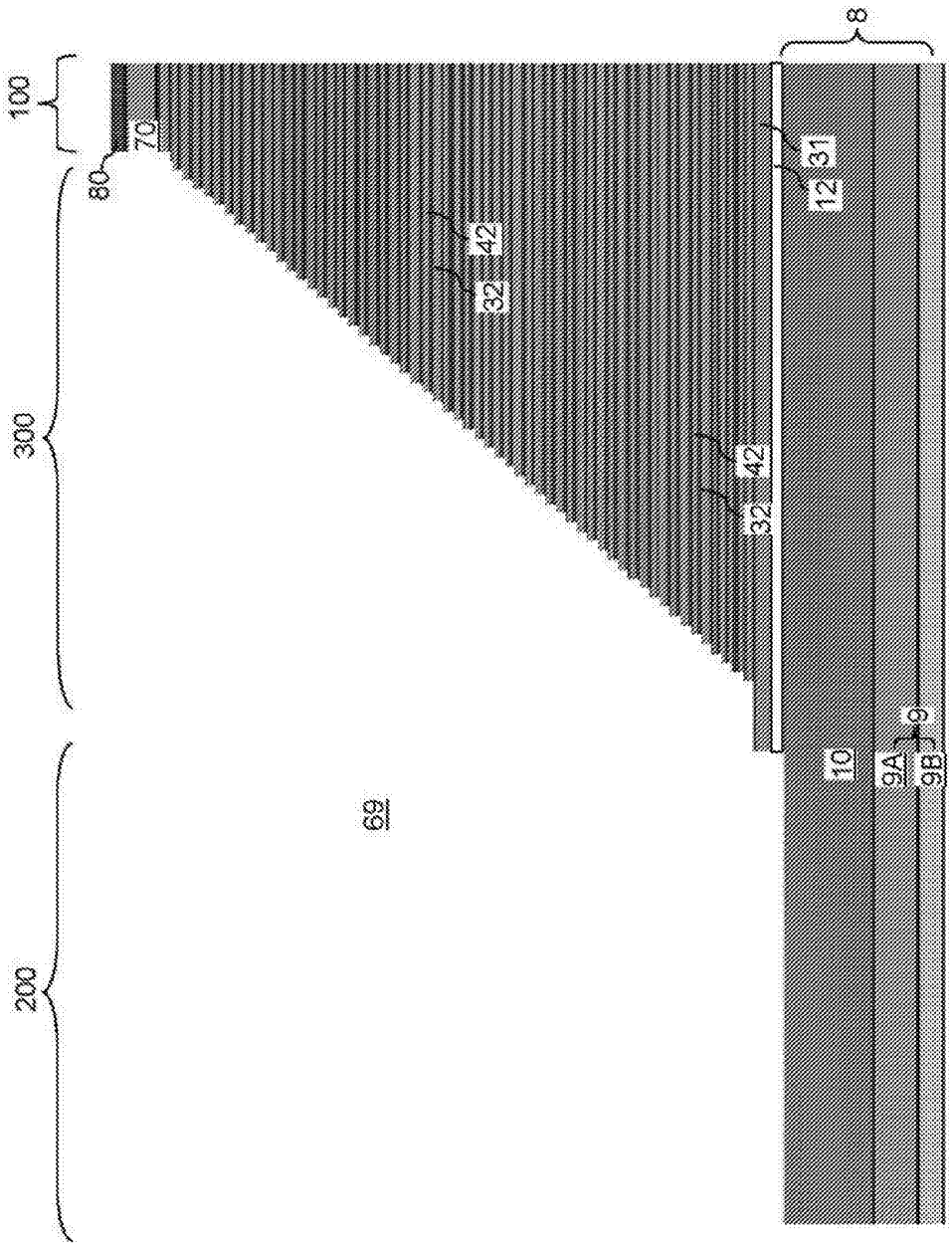


图2

Micron Ex. 1002, p. 716
Micron v. YMTC
IPR2024-00790

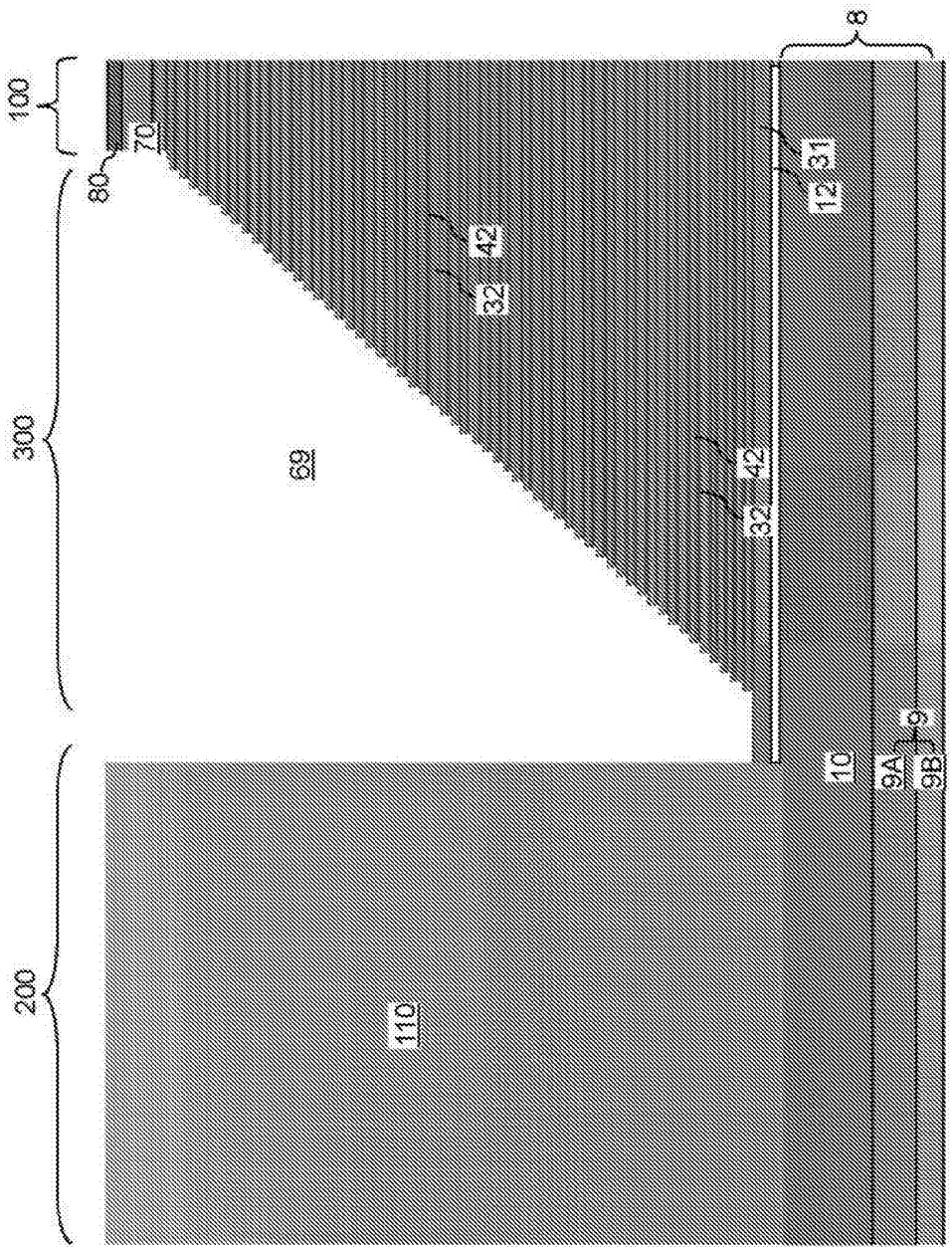


图3

Micron Ex. 1002, p. 717
Micron v. YMTC
IPR2024-00790

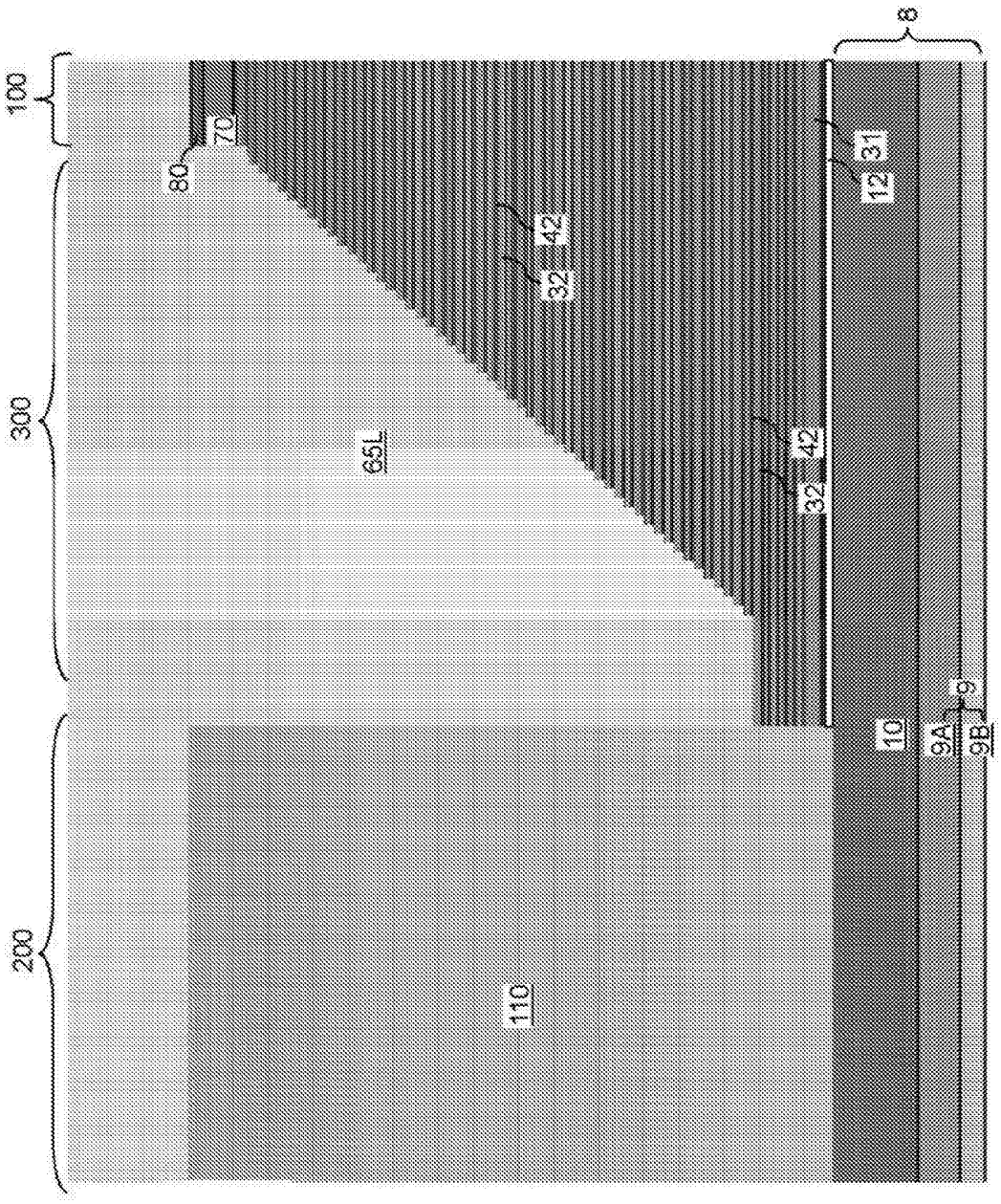


图4

Micron Ex. 1002, p. 718
Micron v. YMTC
IPR2024-00790

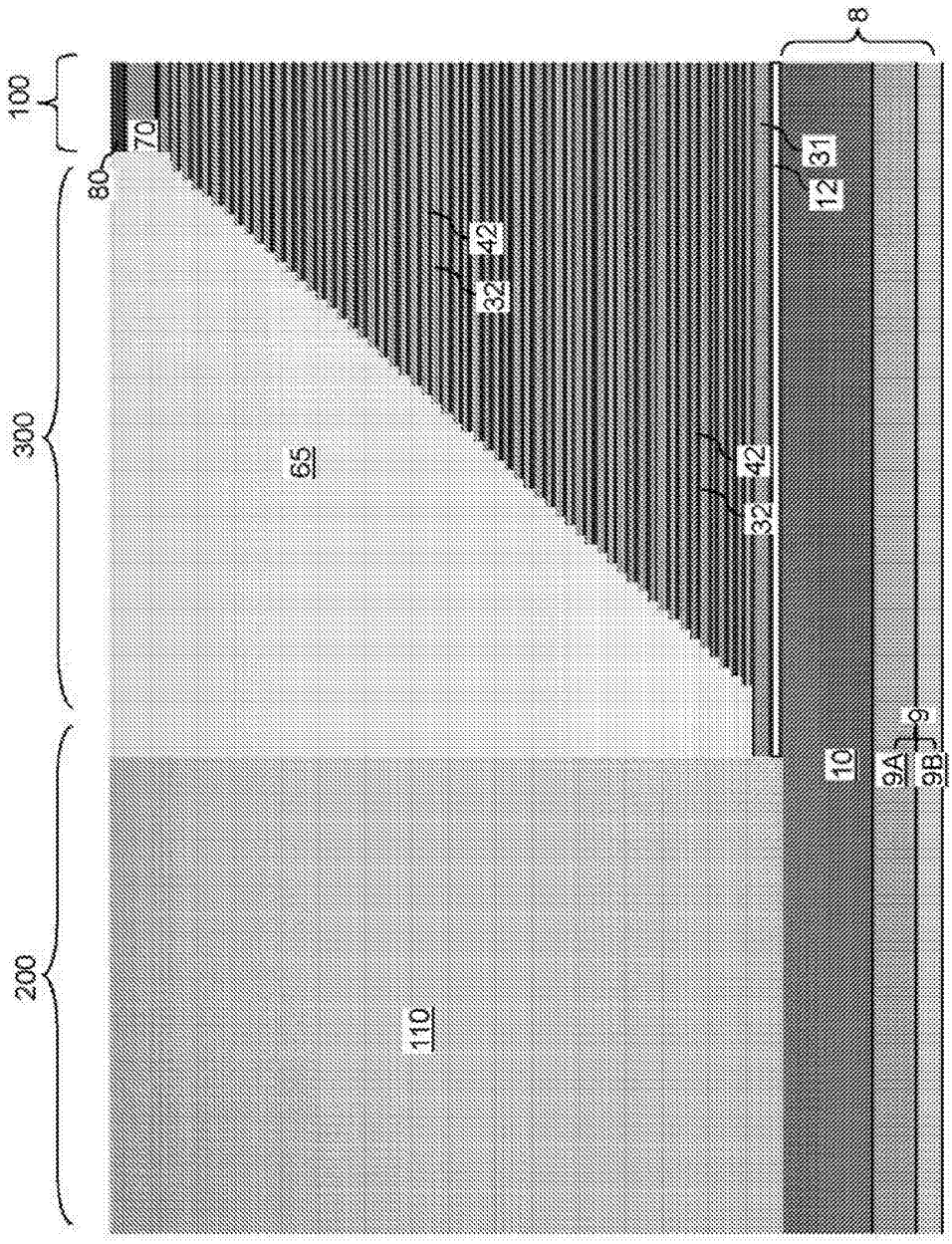


图5

Micron Ex. 1002, p. 719
Micron v. YMTC
IPR2024-00790

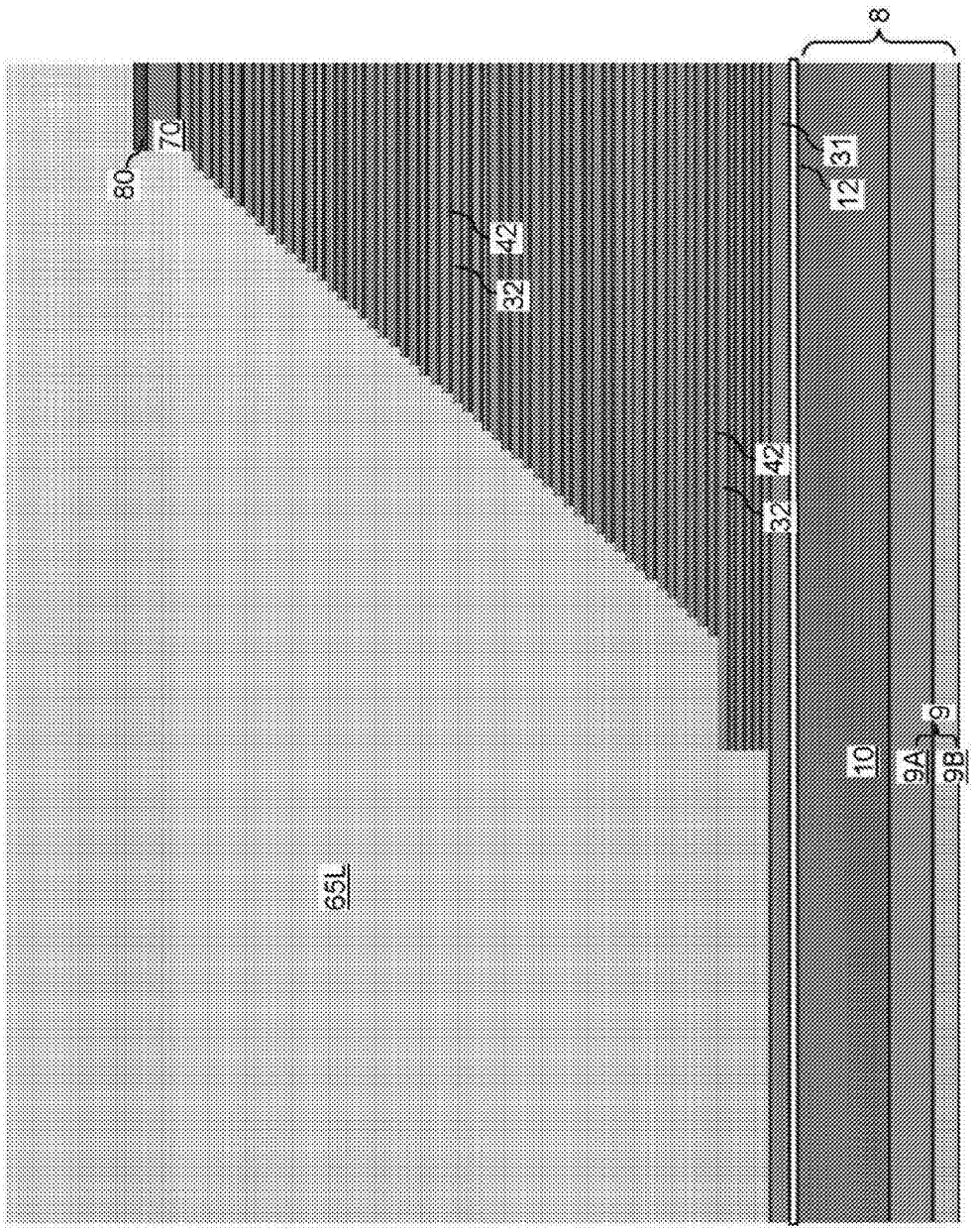


图6

Micron Ex. 1002, p. 720
Micron v. YMTC
IPR2024-00790

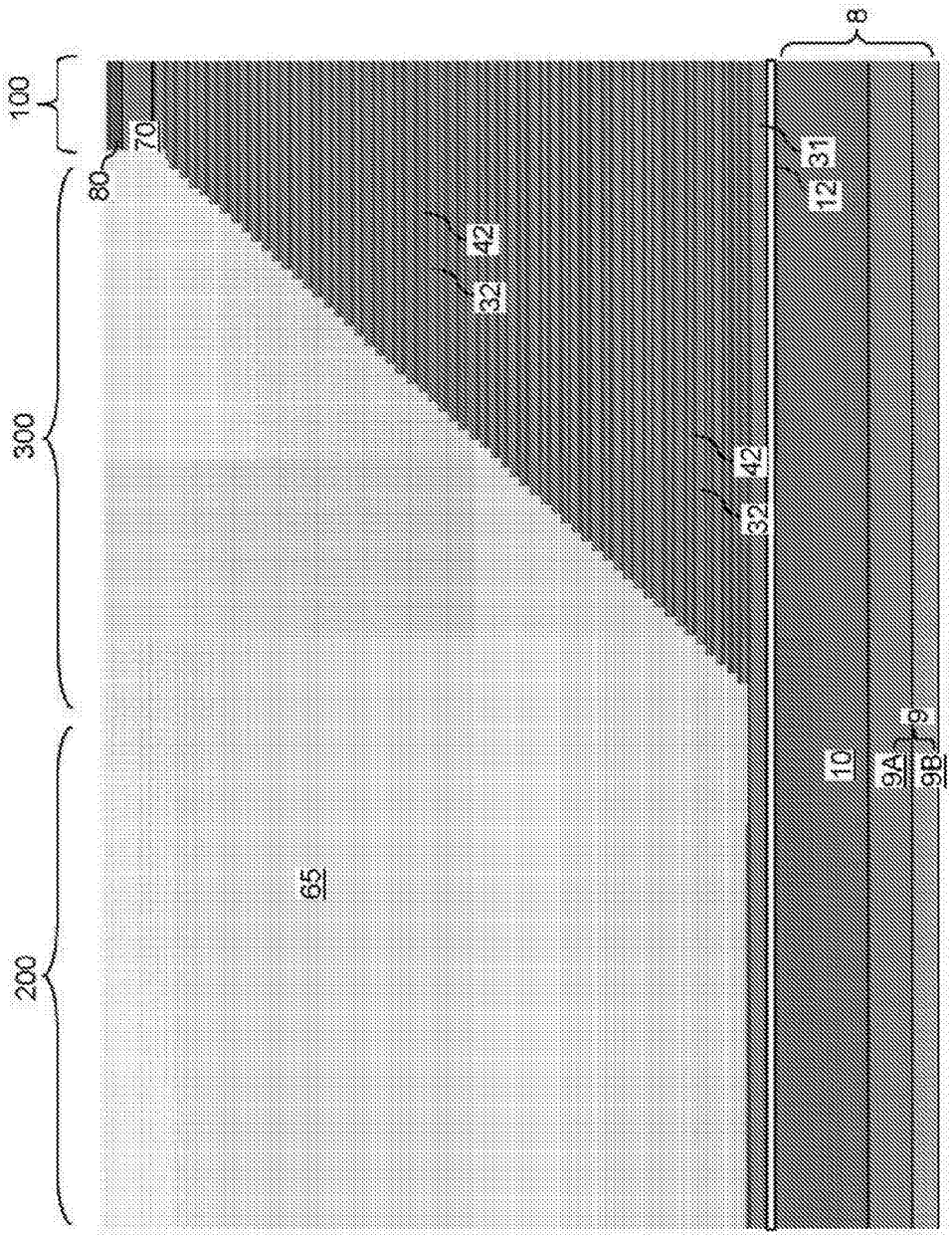


图7

Micron Ex. 1002, p. 721
Micron v. YMTC
IPR2024-00790

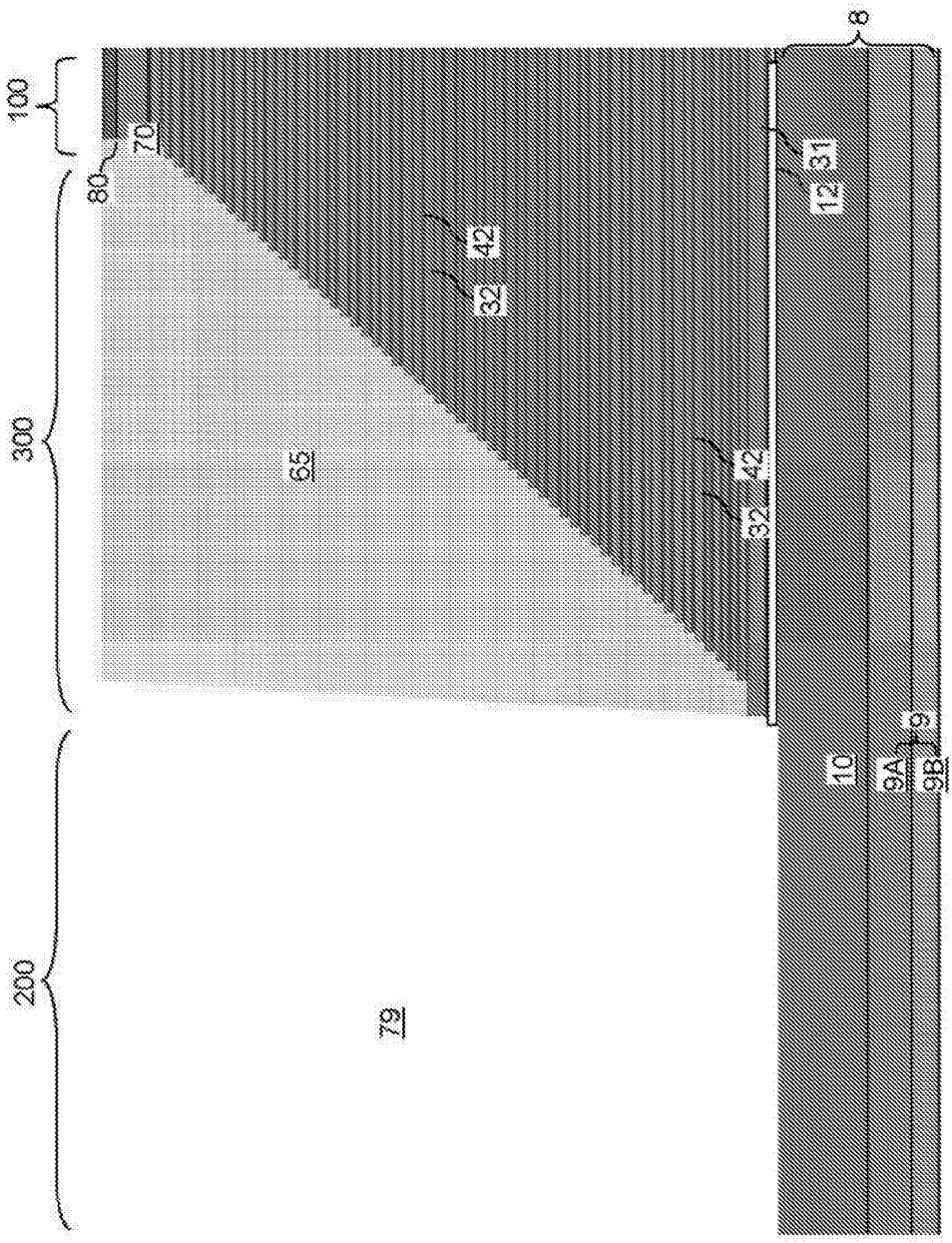


图8

Micron Ex. 1002, p. 722
Micron v. YMTC
IPR2024-00790

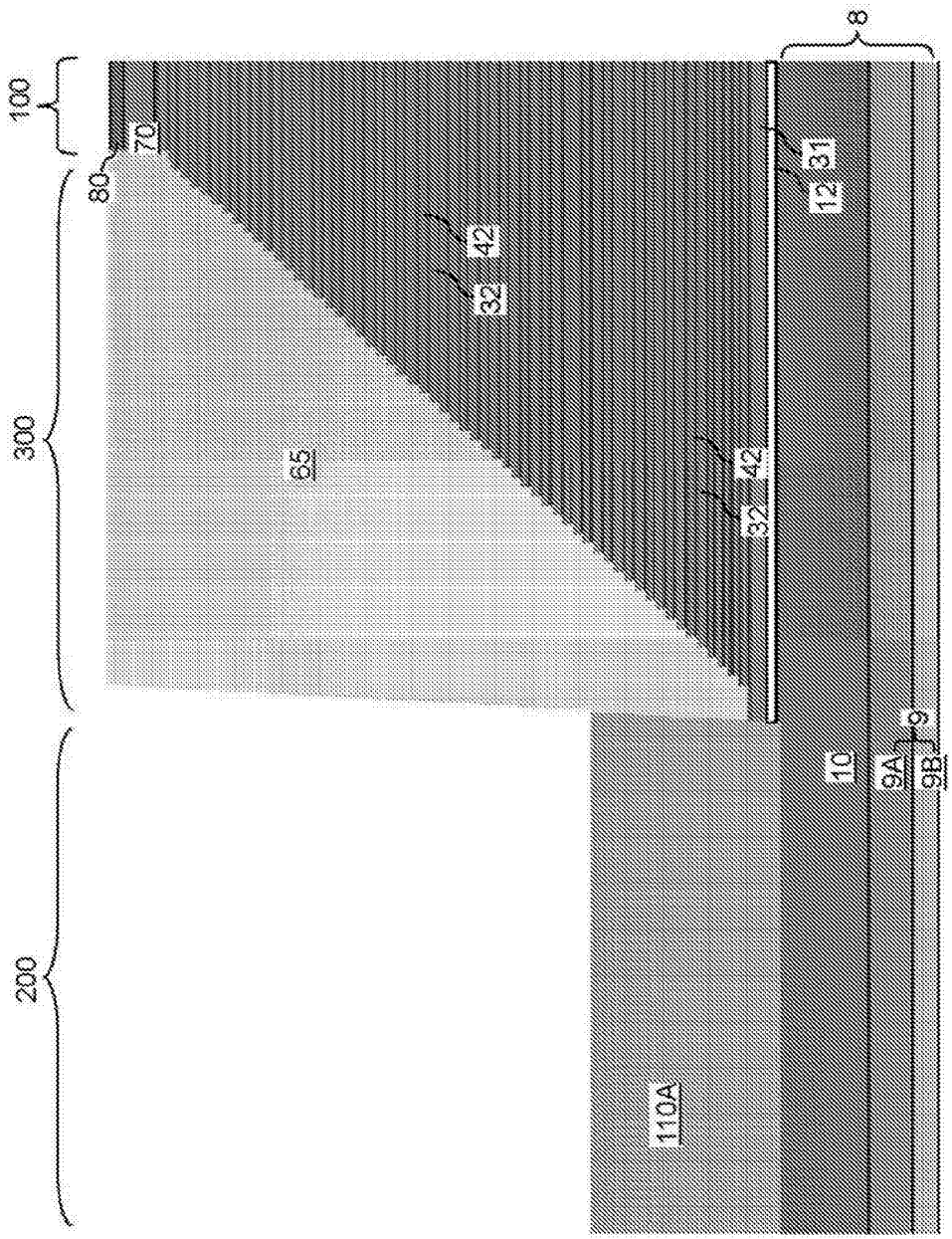


图9

Micron Ex. 1002, p. 723
Micron v. YMTC
IPR2024-00790

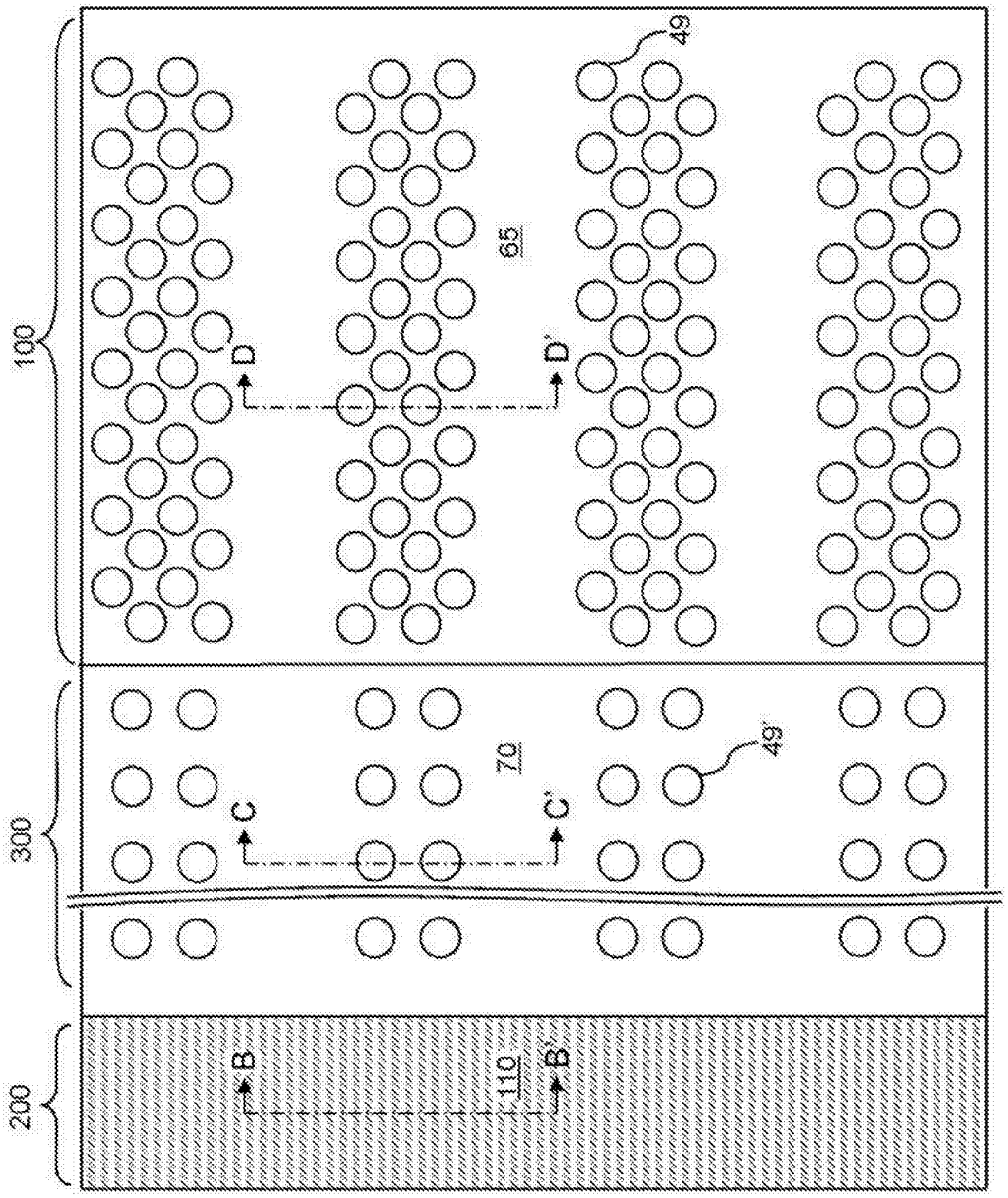


图10A

Micron Ex. 1002, p. 724
Micron v. YMTC
IPR2024-00790

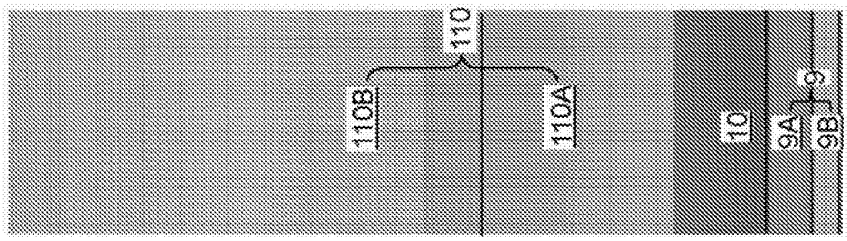


图10B

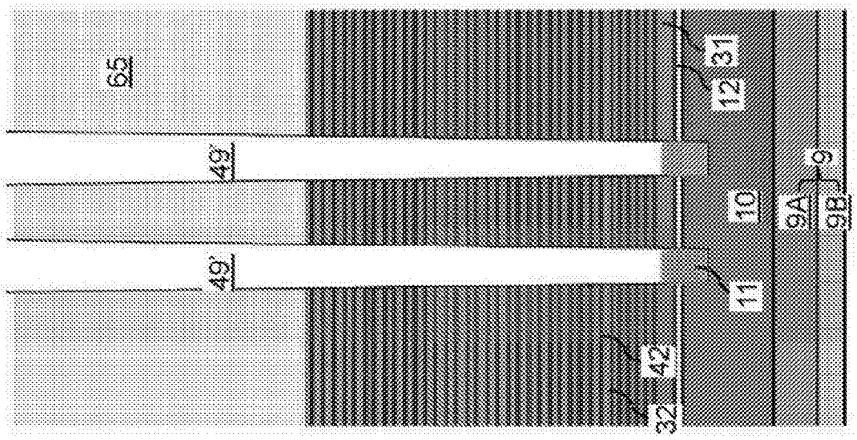


图10C

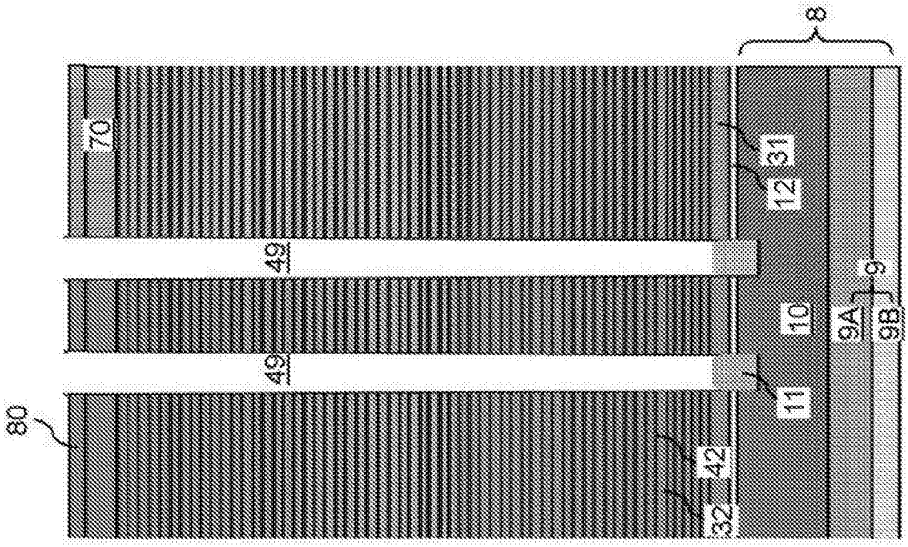


图10D

Micron Ex. 1002, p. 725
Micron v. YMTC
IPR2024-00790

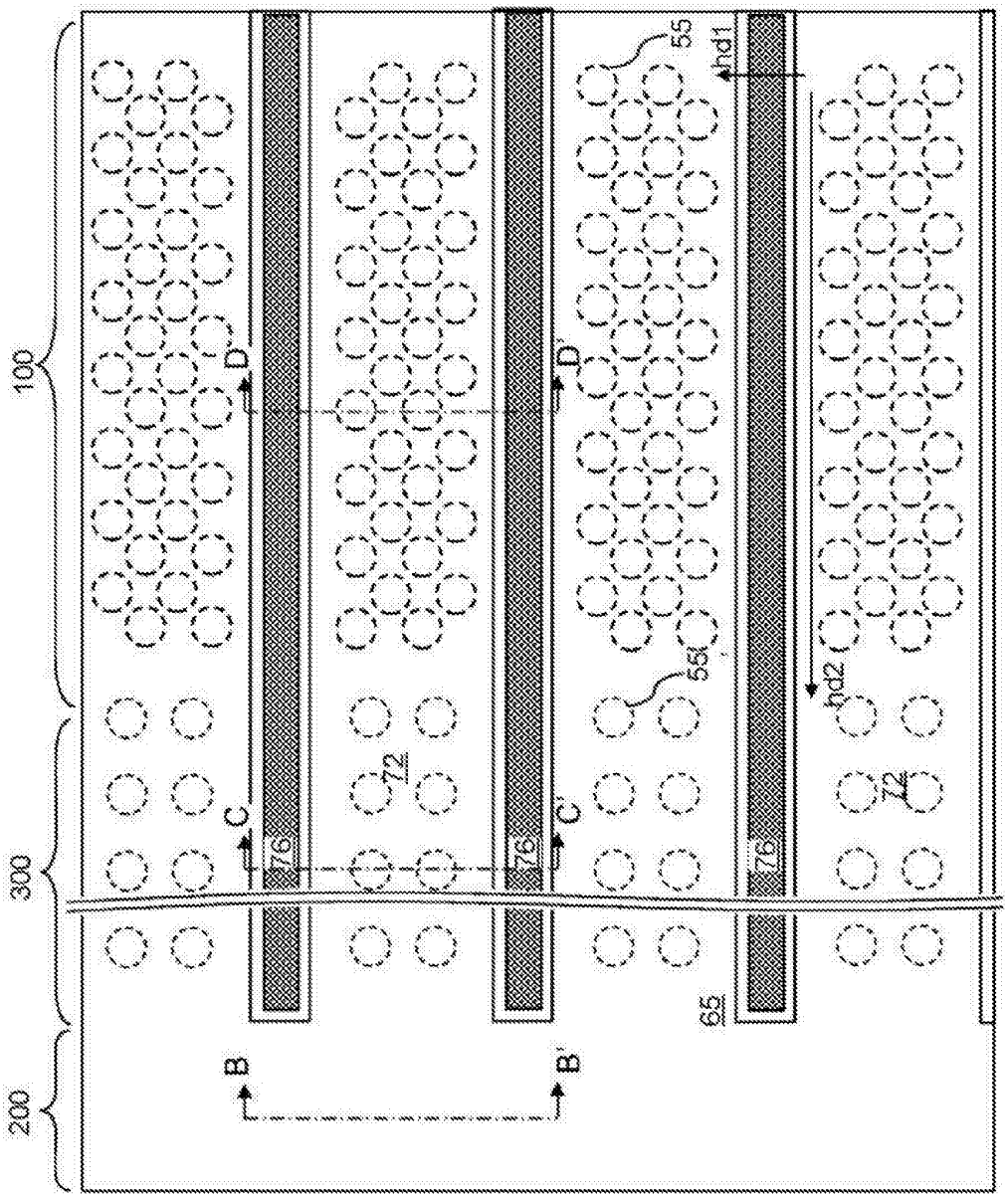


图11A

Micron Ex. 1002, p. 726
Micron v. YMTC
IPR2024-00790

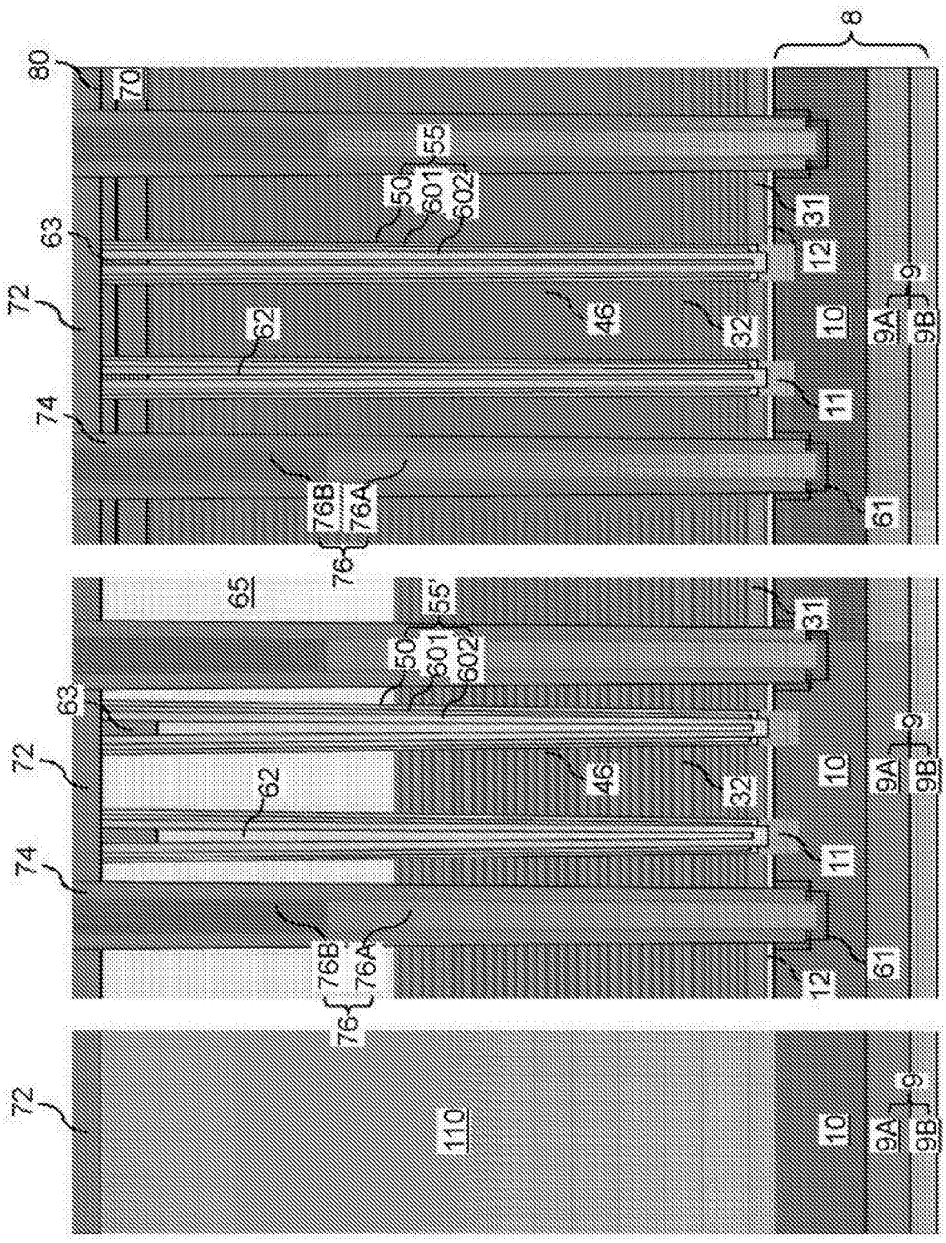


图 11D

图 11C

图 11B

Micron Ex. 1002, p. 727
Micron v. YMTC
IPR2024-00790

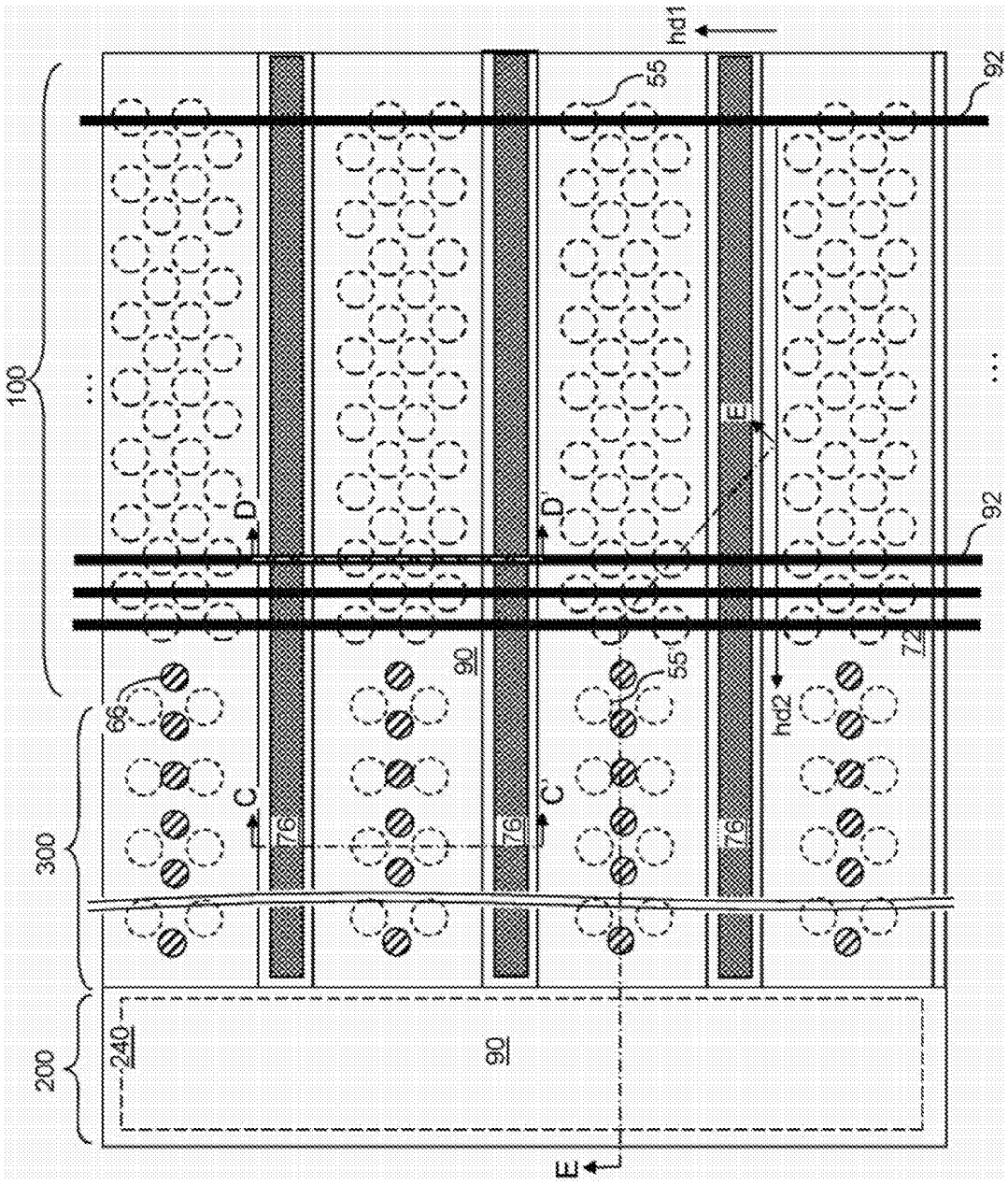


图12A

Micron Ex. 1002, p. 728
Micron v. YMTC
IPR2024-00790

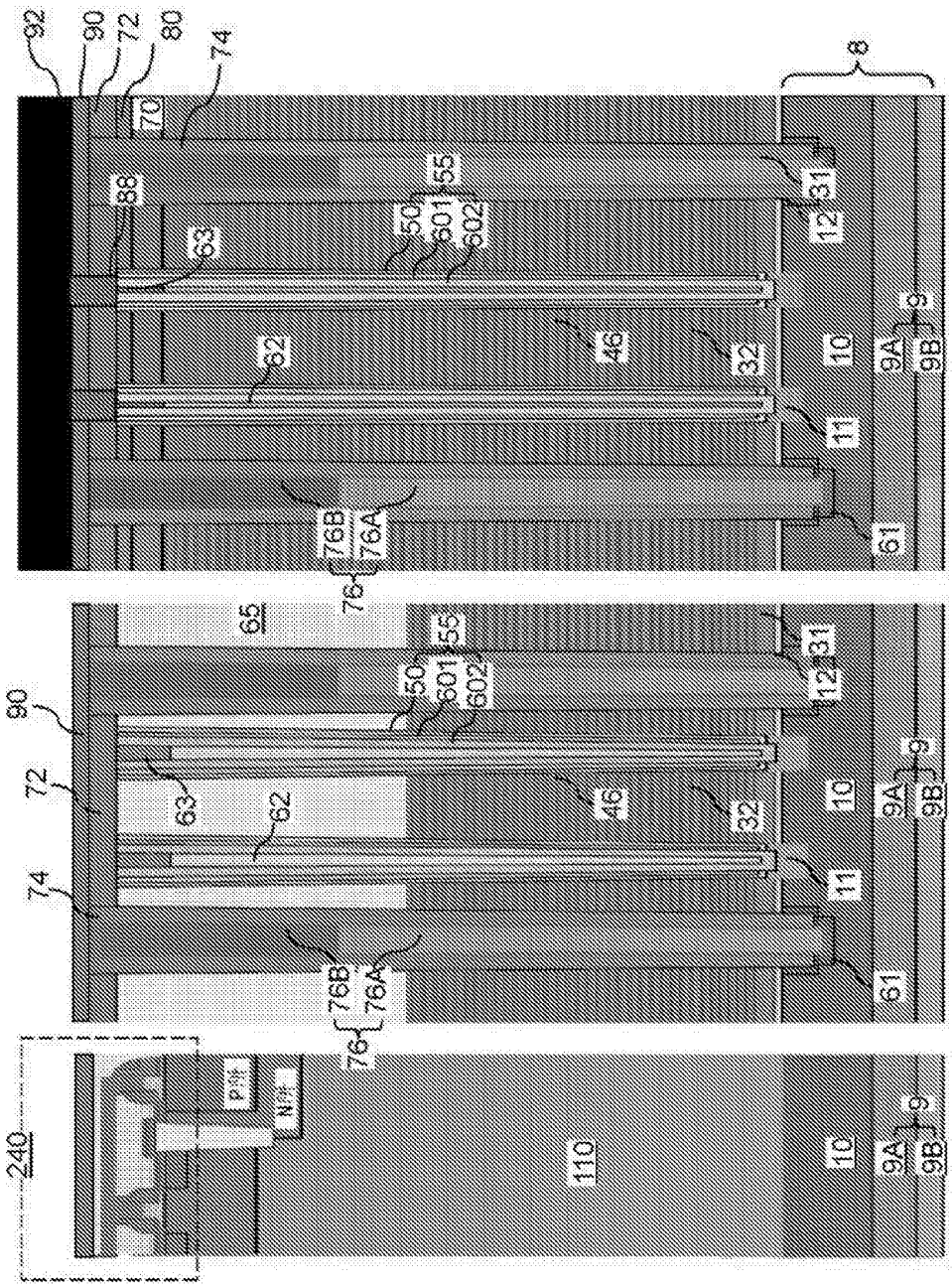


图 12D

图 12C

图 12B

Micron Ex. 1002, p. 729
Micron v. YMTC
IPR2024-00790

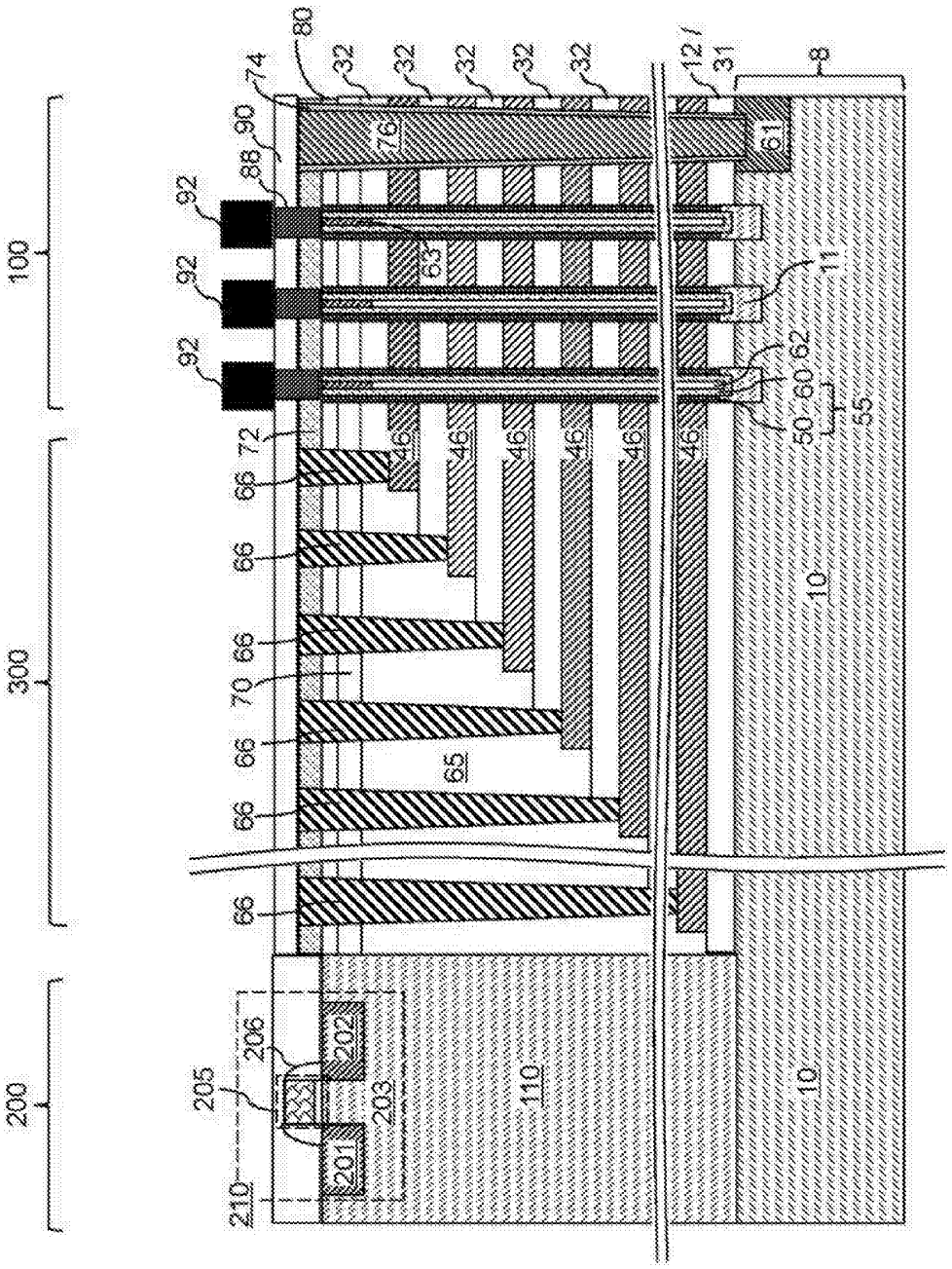


图12E

Micron Ex. 1002, p. 730
Micron v. YMTC
IPR2024-00790

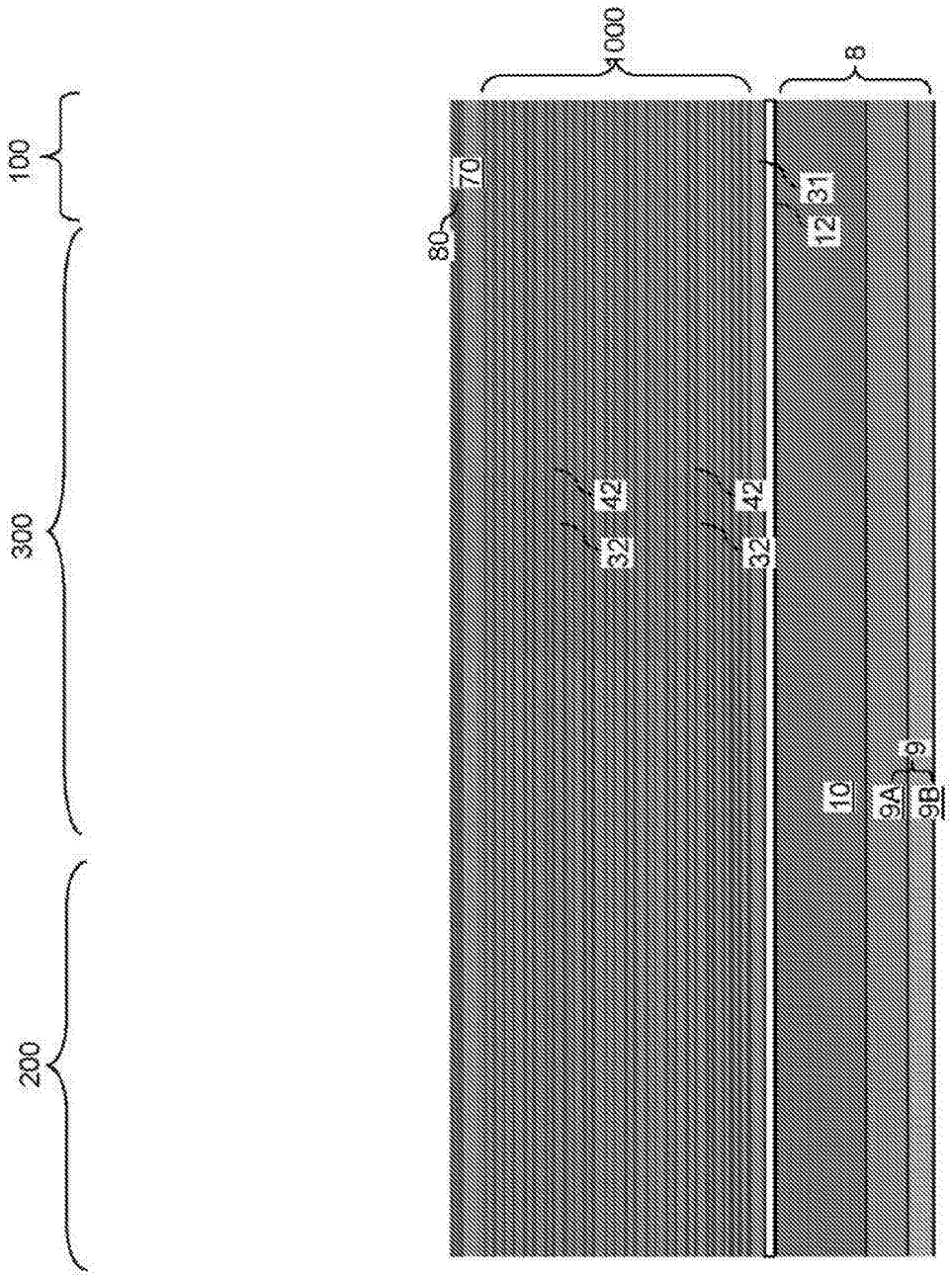


图13

Micron Ex. 1002, p. 731
Micron v. YMTC
IPR2024-00790

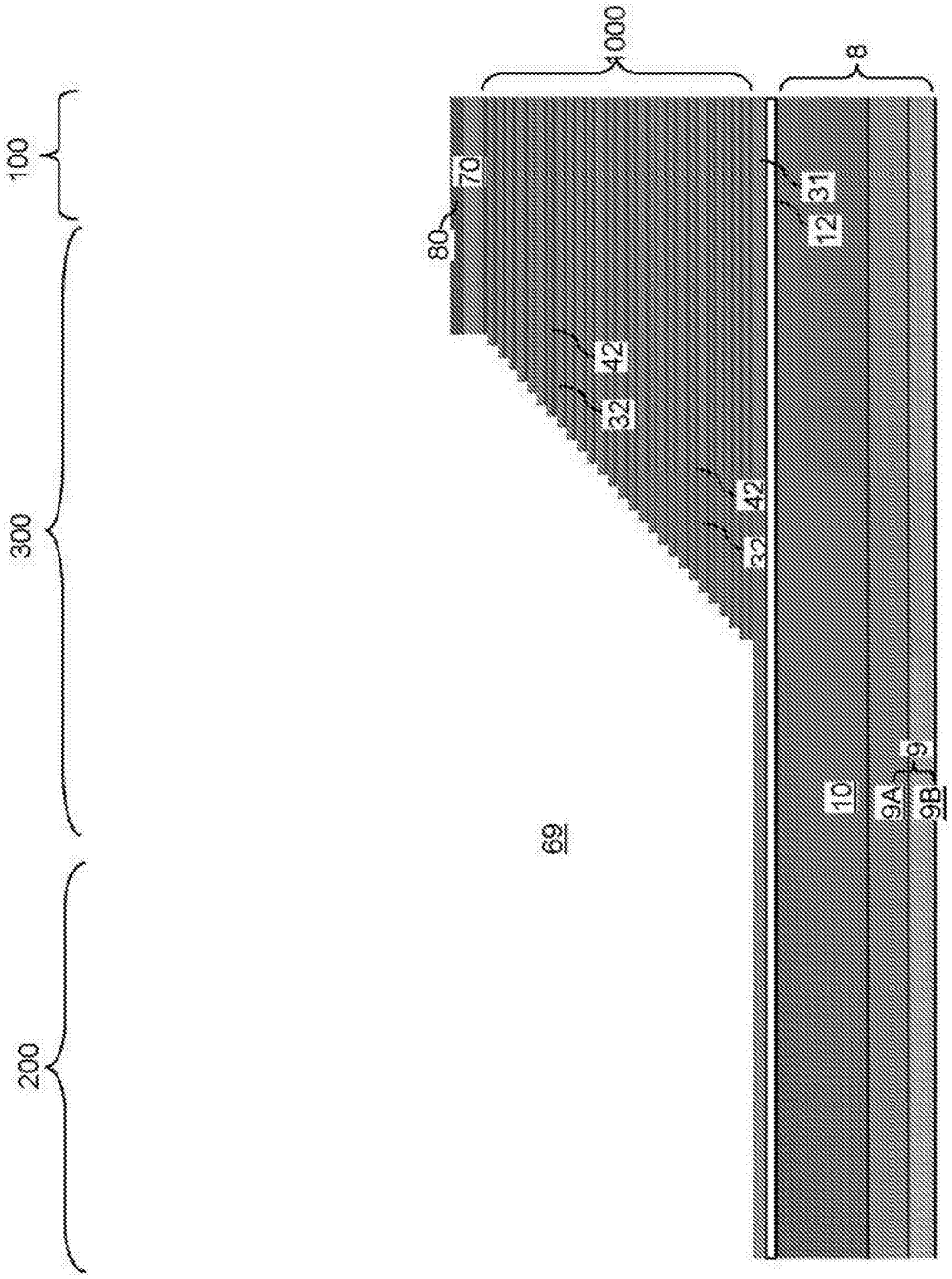


图14

Micron Ex. 1002, p. 732
Micron v. YMTC
IPR2024-00790

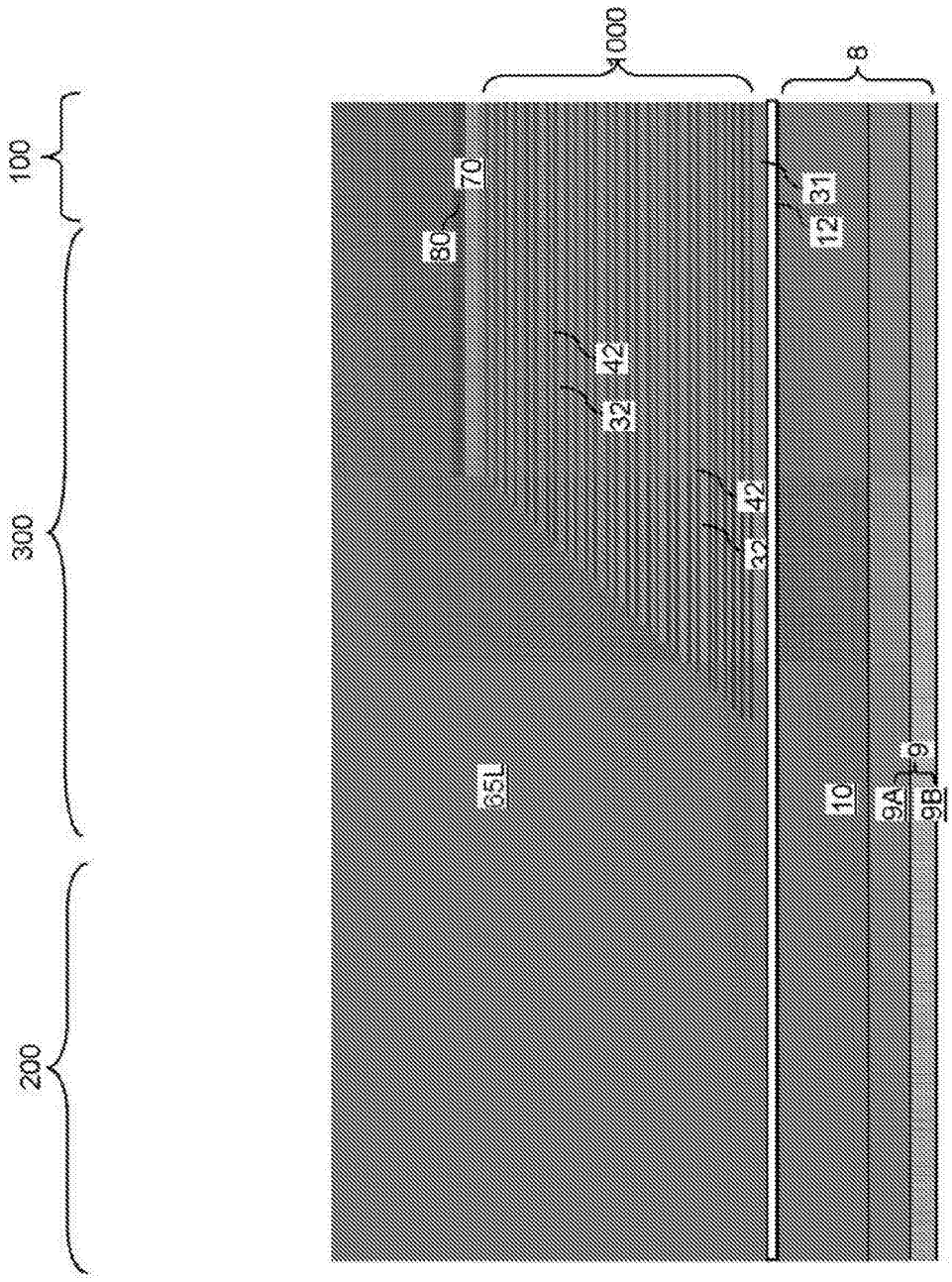


图15

Micron Ex. 1002, p. 733
Micron v. YMTC
IPR2024-00790

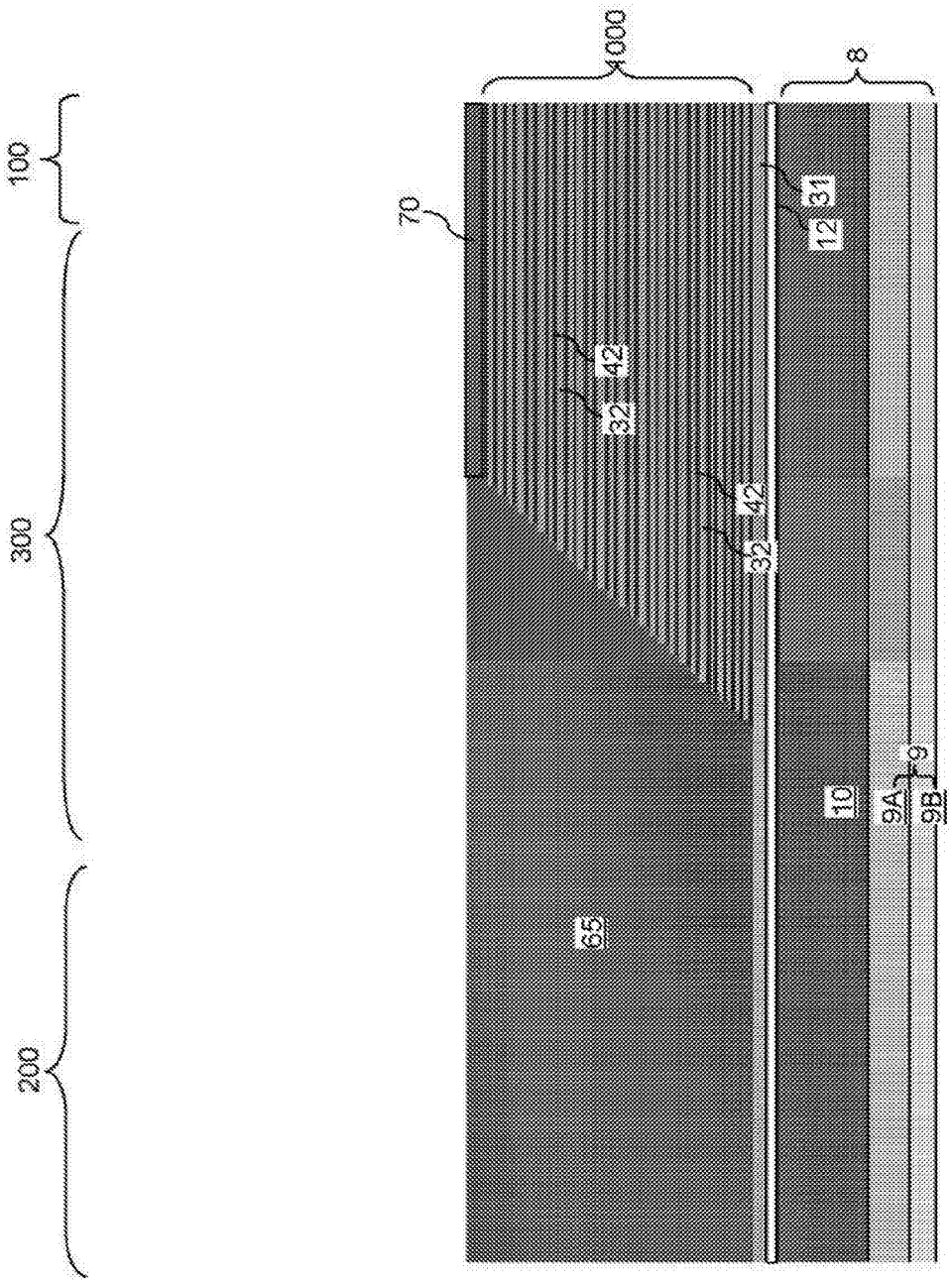


图16

Micron Ex. 1002, p. 734
Micron v. YMTC
IPR2024-00790

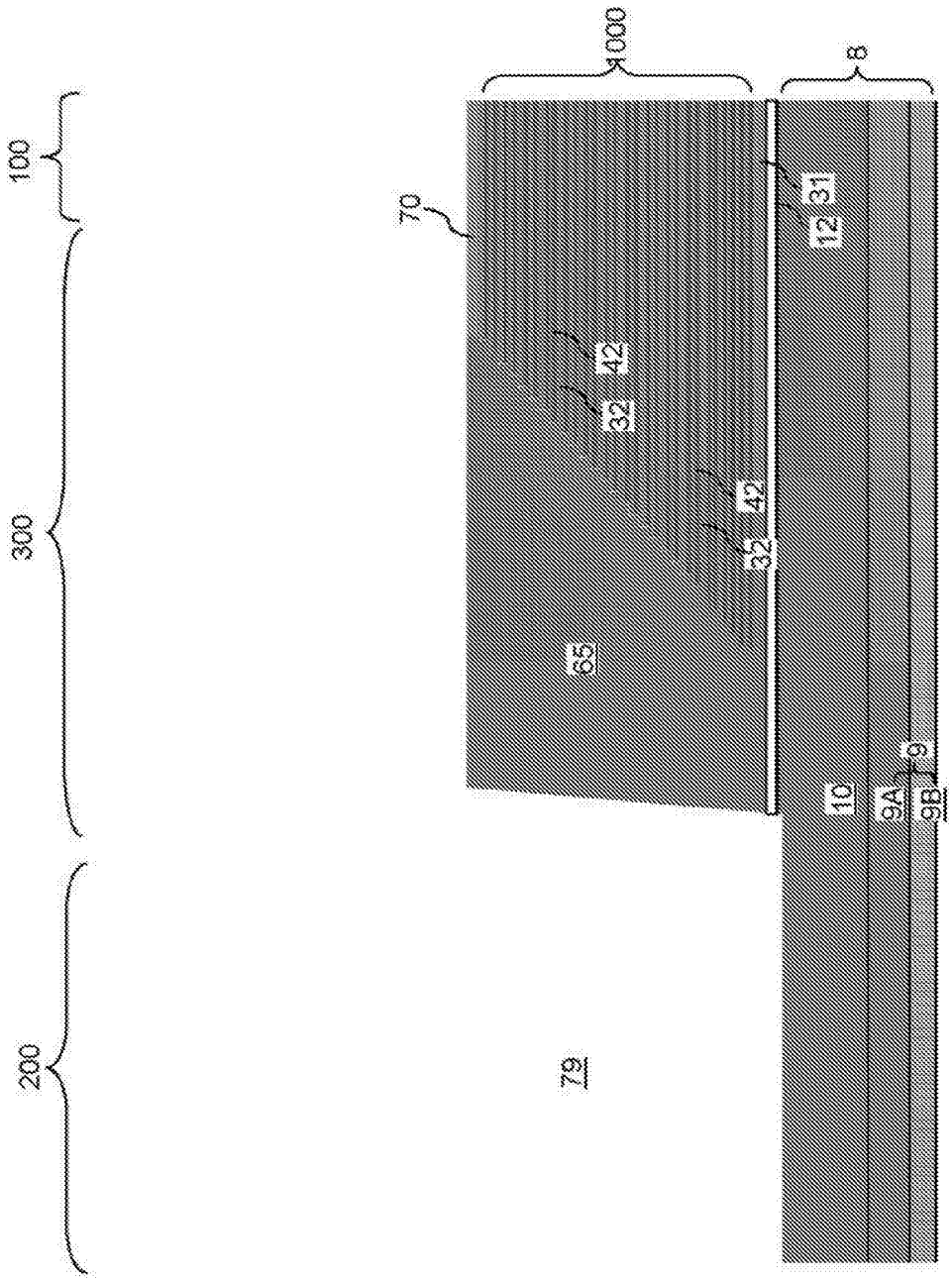


图17

Micron Ex. 1002, p. 735
Micron v. YMTC
IPR2024-00790

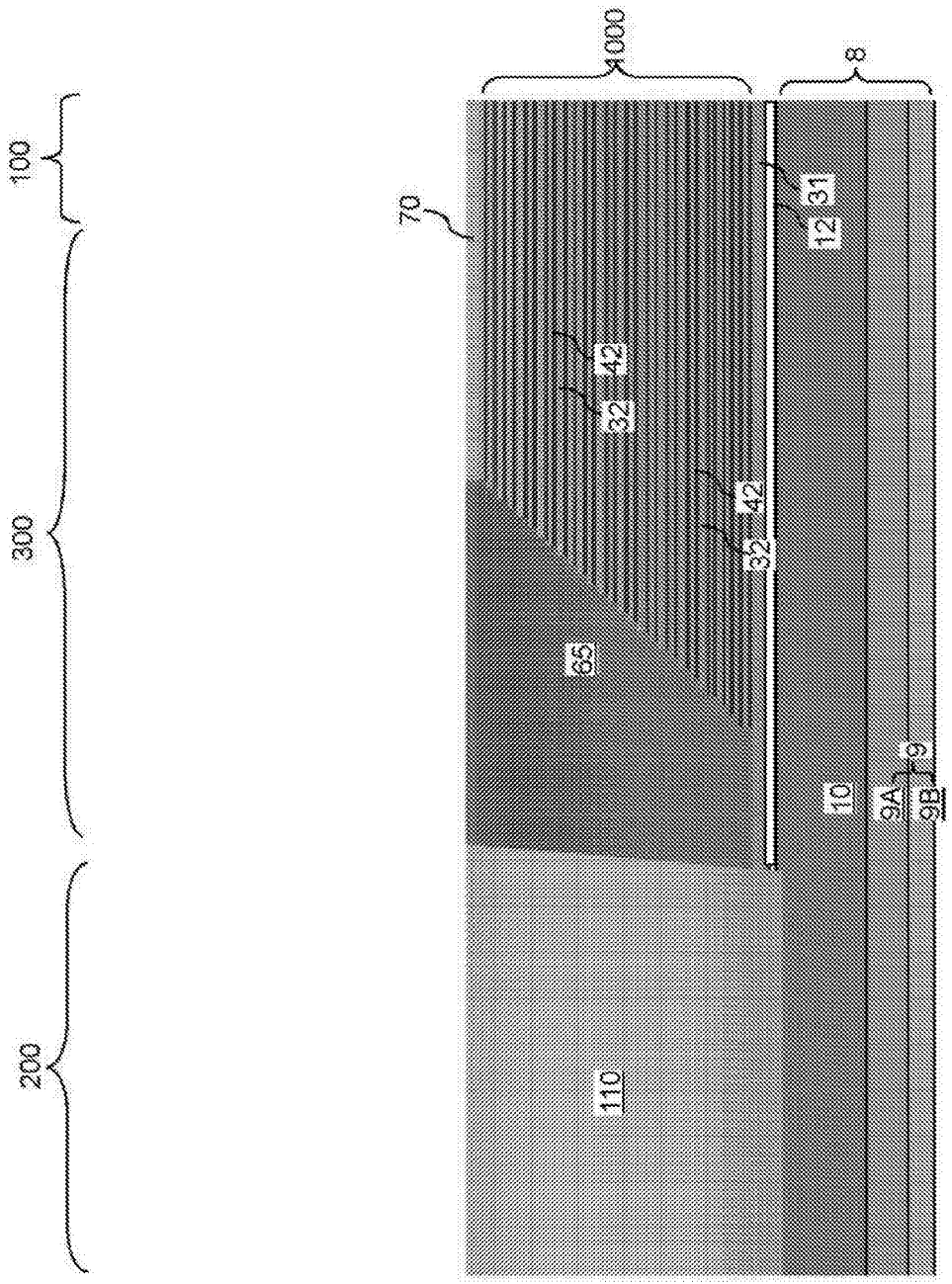


图18

Micron Ex. 1002, p. 736
Micron v. YMTC
IPR2024-00790

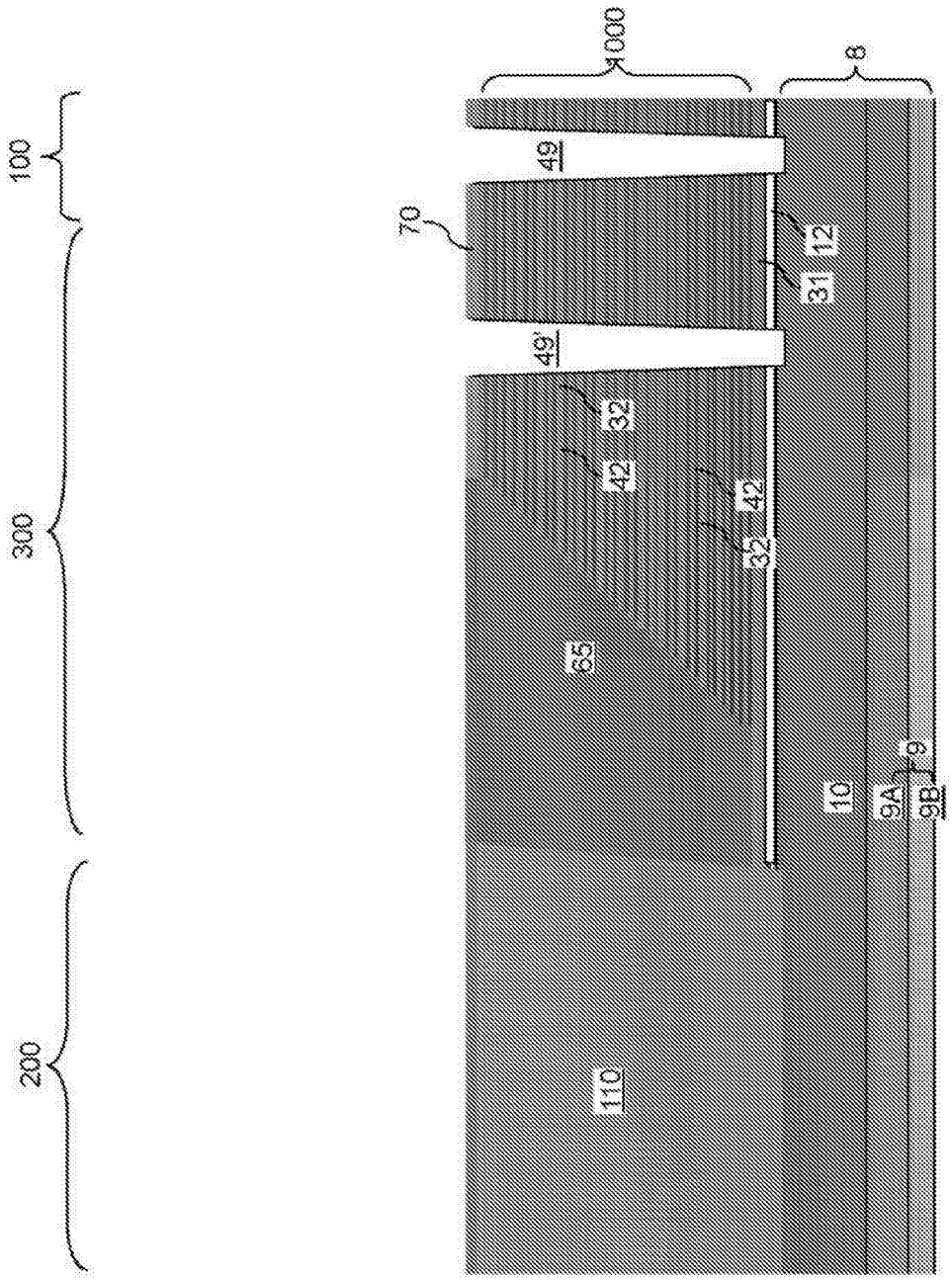


图19

Micron Ex. 1002, p. 737
Micron v. YMTC
IPR2024-00790

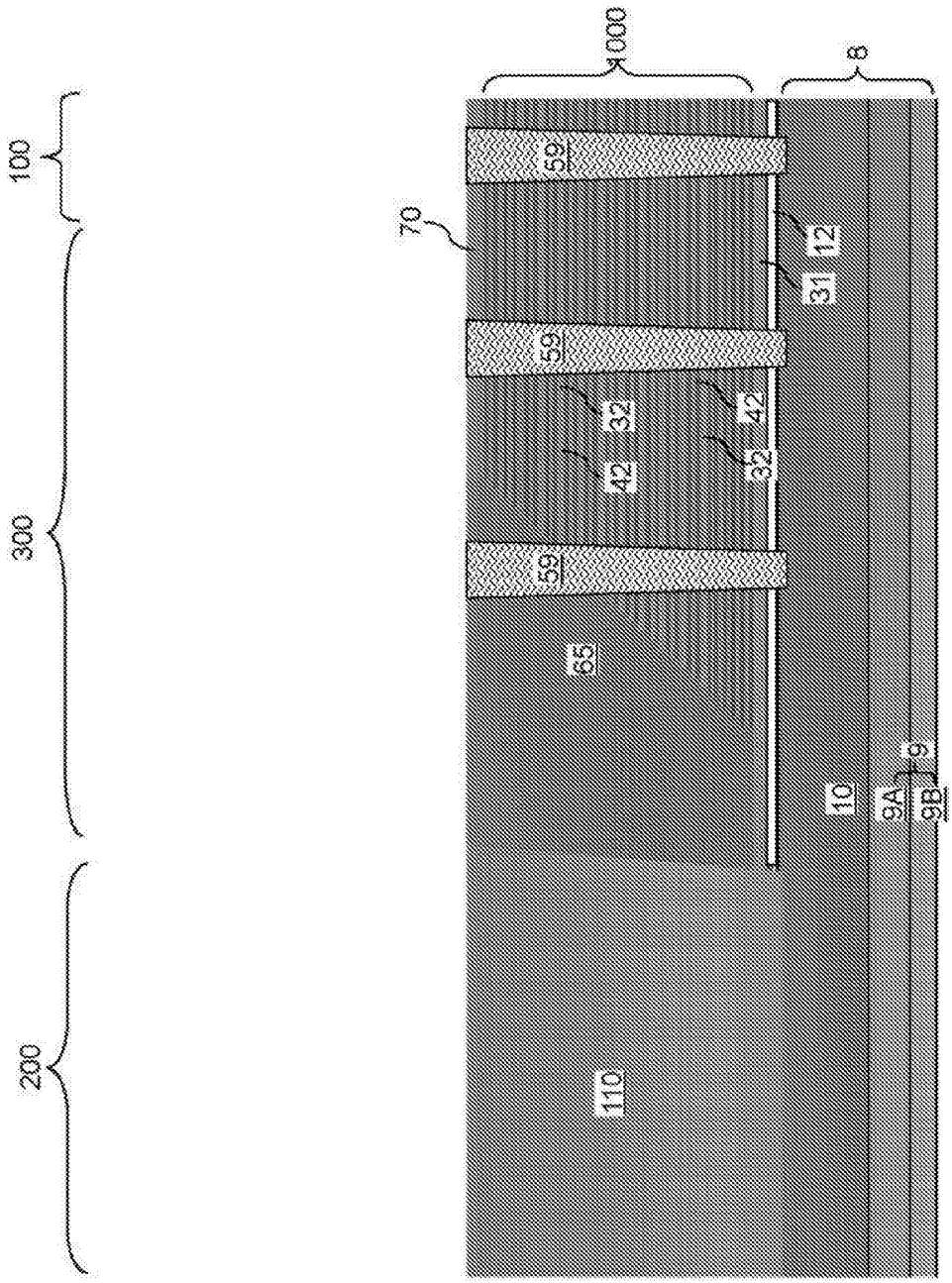


图20

Micron Ex. 1002, p. 738
Micron v. YMTC
IPR2024-00790

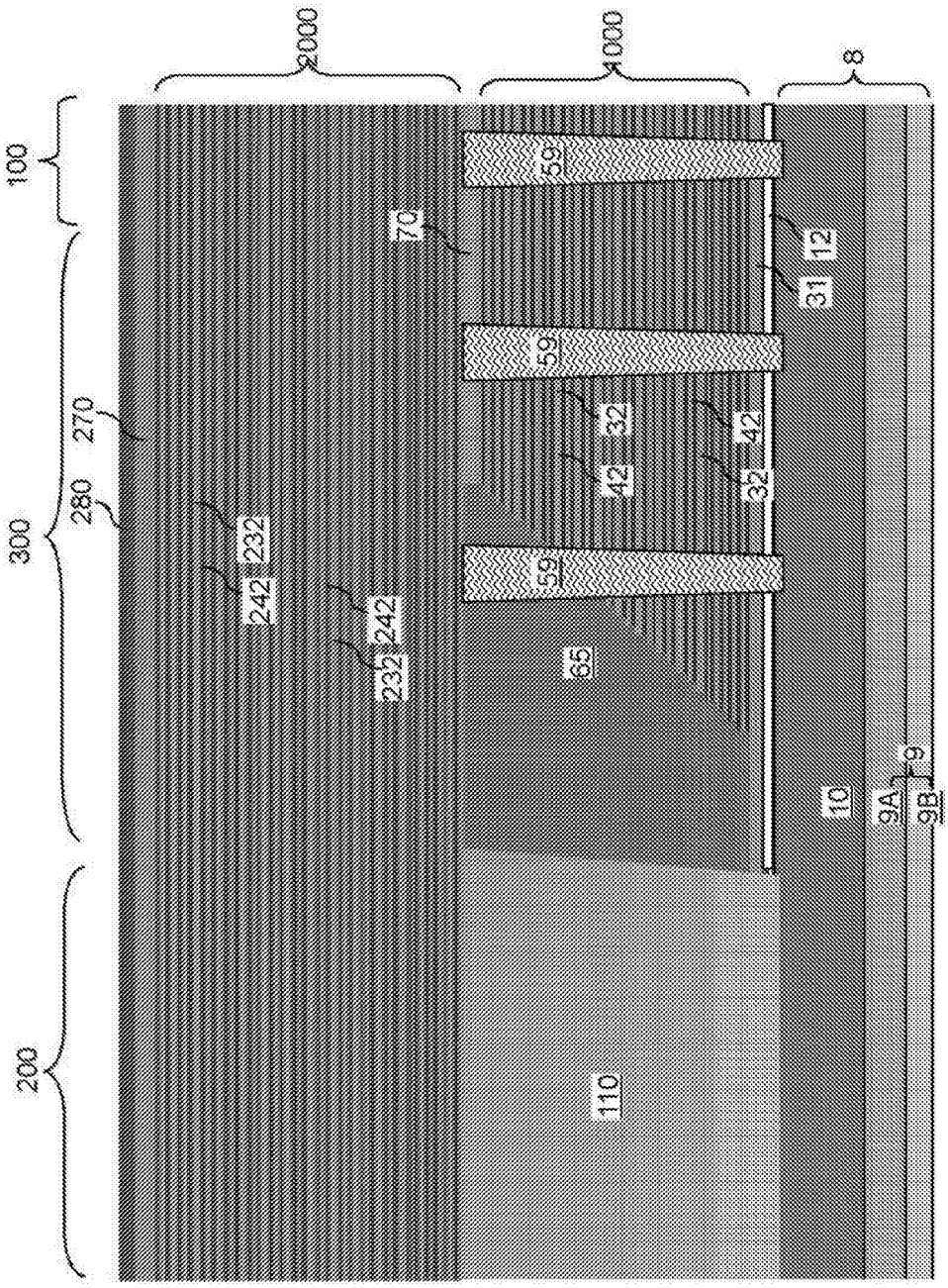


图21

Micron Ex. 1002, p. 739
Micron v. YMTC
IPR2024-00790

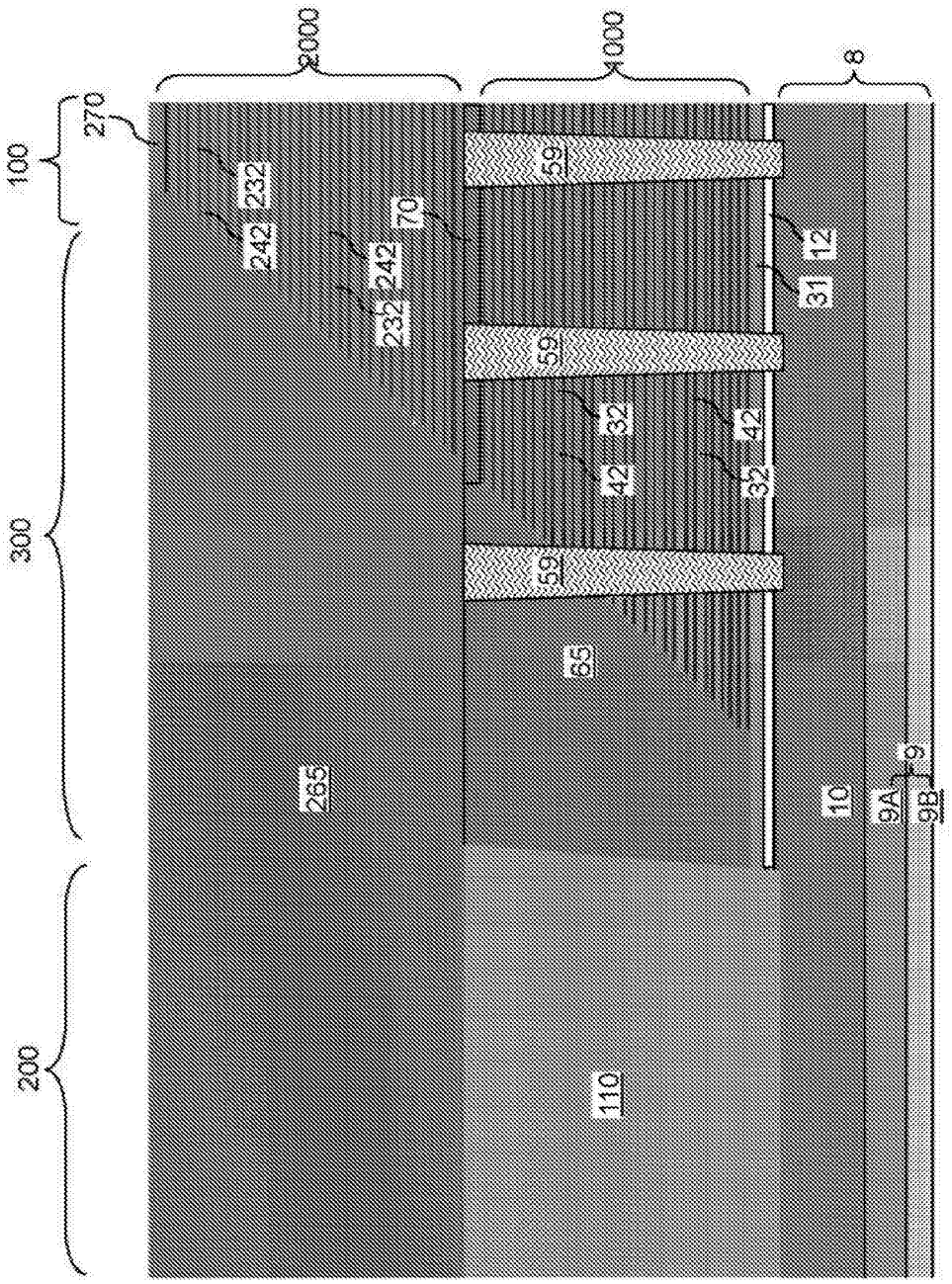


图22

Micron Ex. 1002, p. 740
Micron v. YMTC
IPR2024-00790

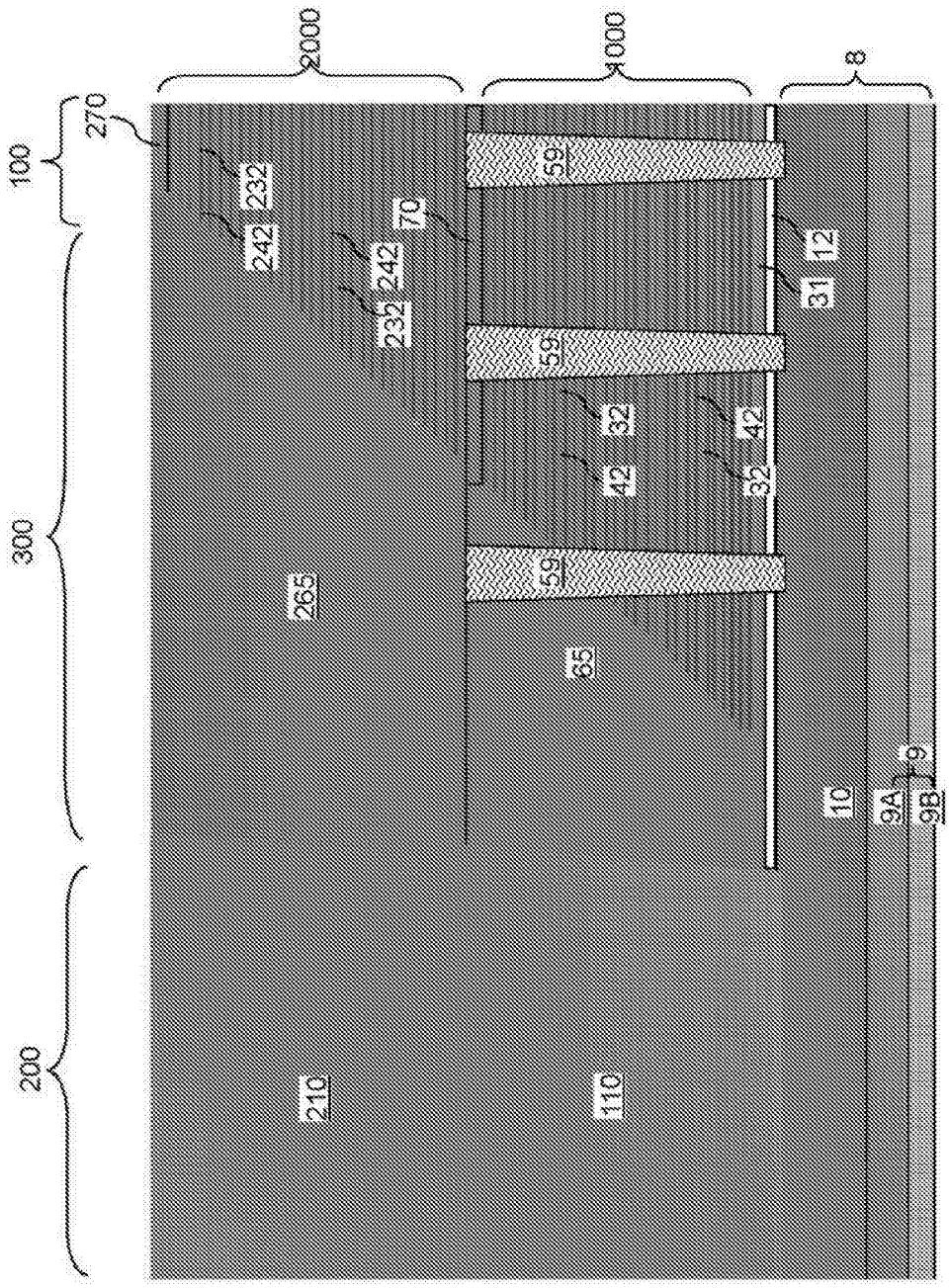


图23

Micron Ex. 1002, p. 741
Micron v. YMTC
IPR2024-00790

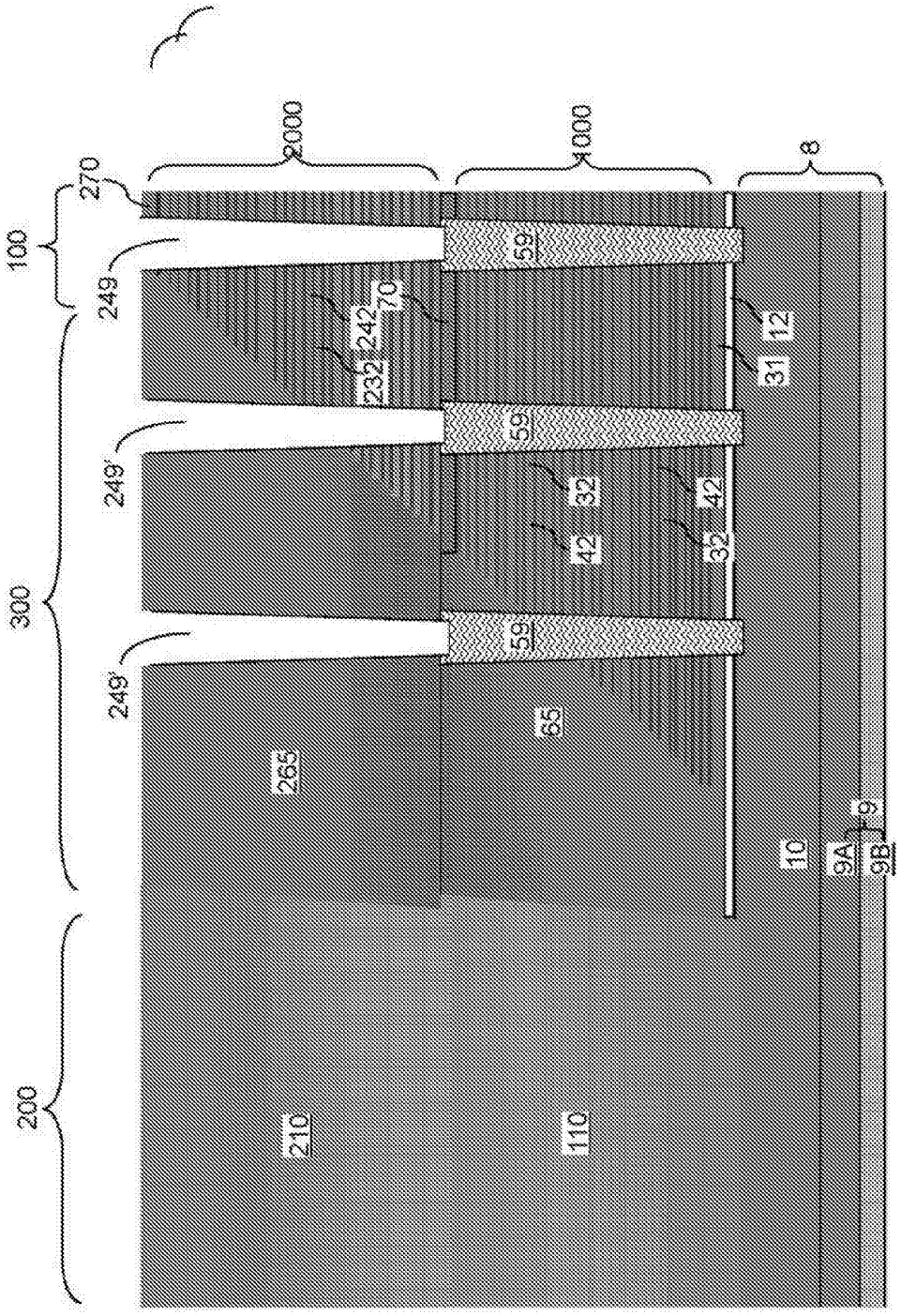


图24

Micron Ex. 1002, p. 742
Micron v. YMTC
IPR2024-00790

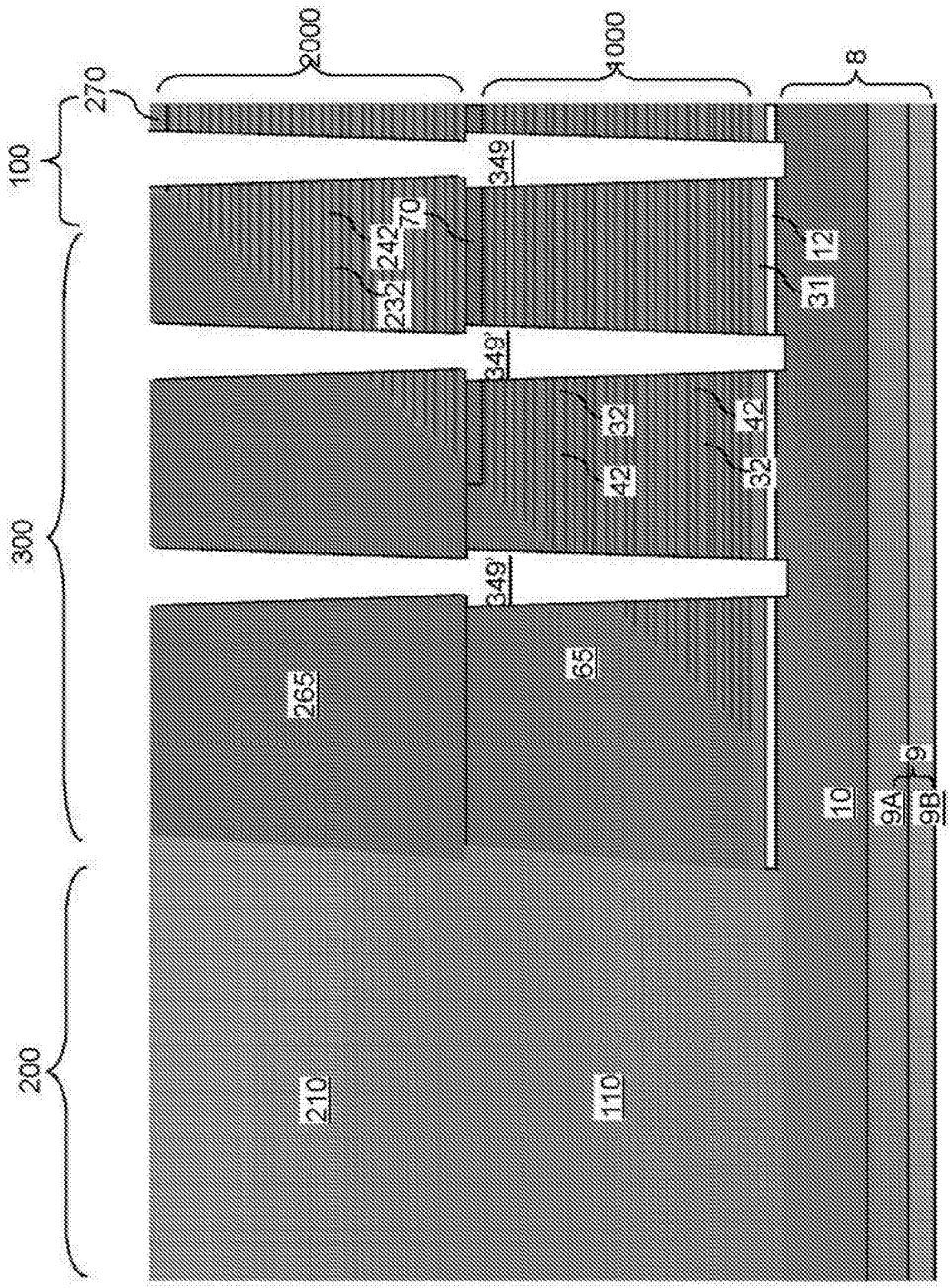


图25

Micron Ex. 1002, p. 743
Micron v. YMTC
IPR2024-00790

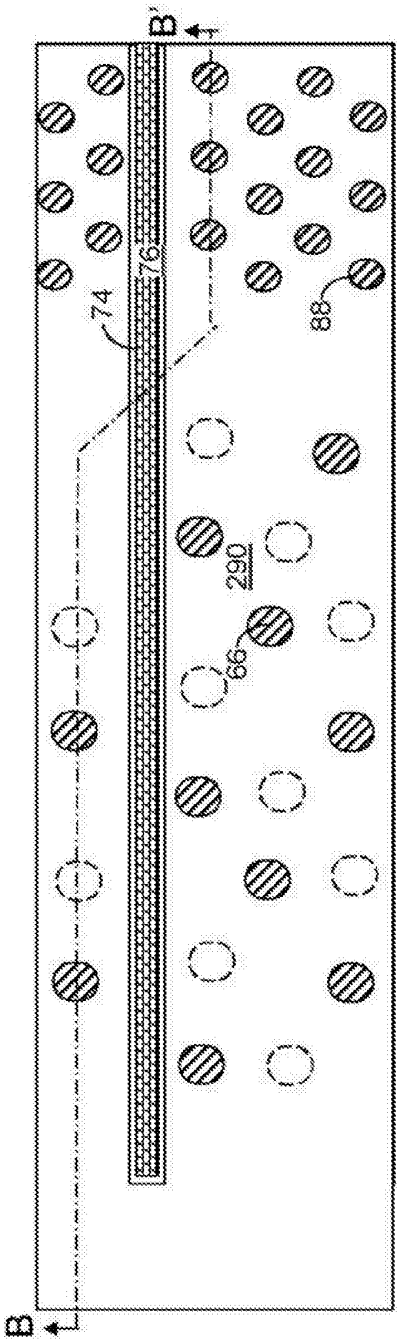


图26A

Micron Ex. 1002, p. 744
Micron v. YMTC
IPR2024-00790

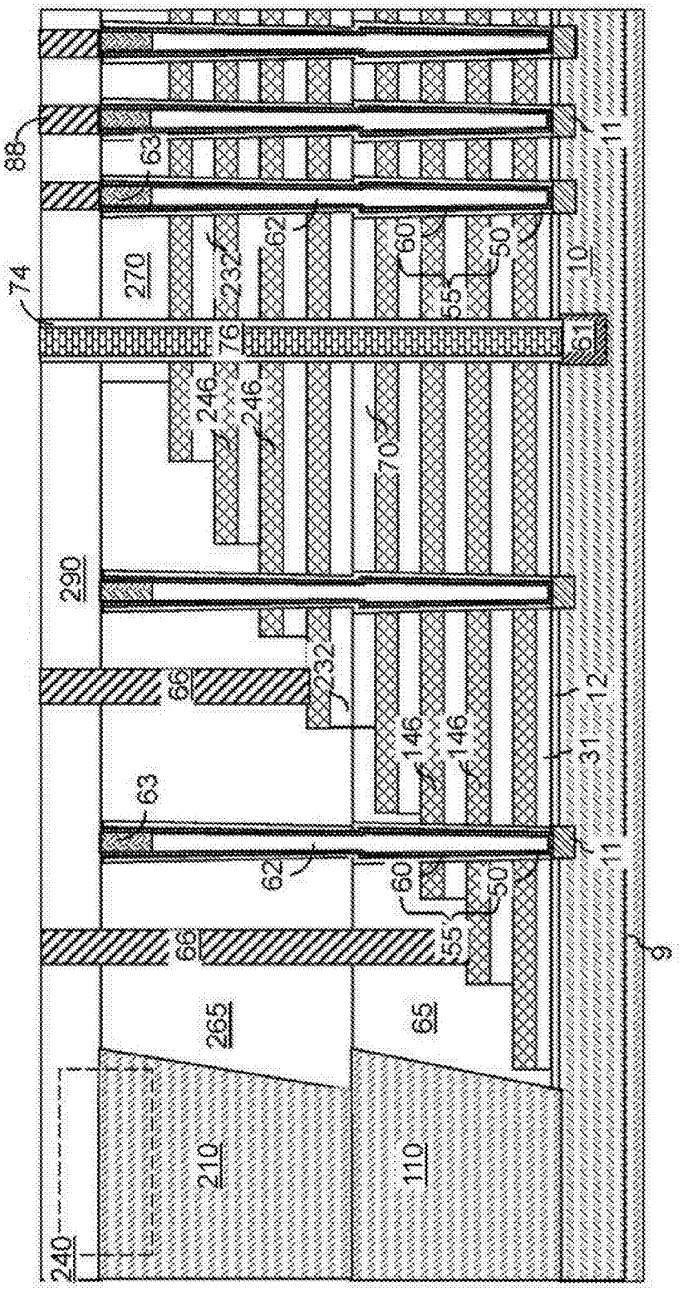


图26B

Micron Ex. 1002, p. 745
Micron v. YMTC
IPR2024-00790

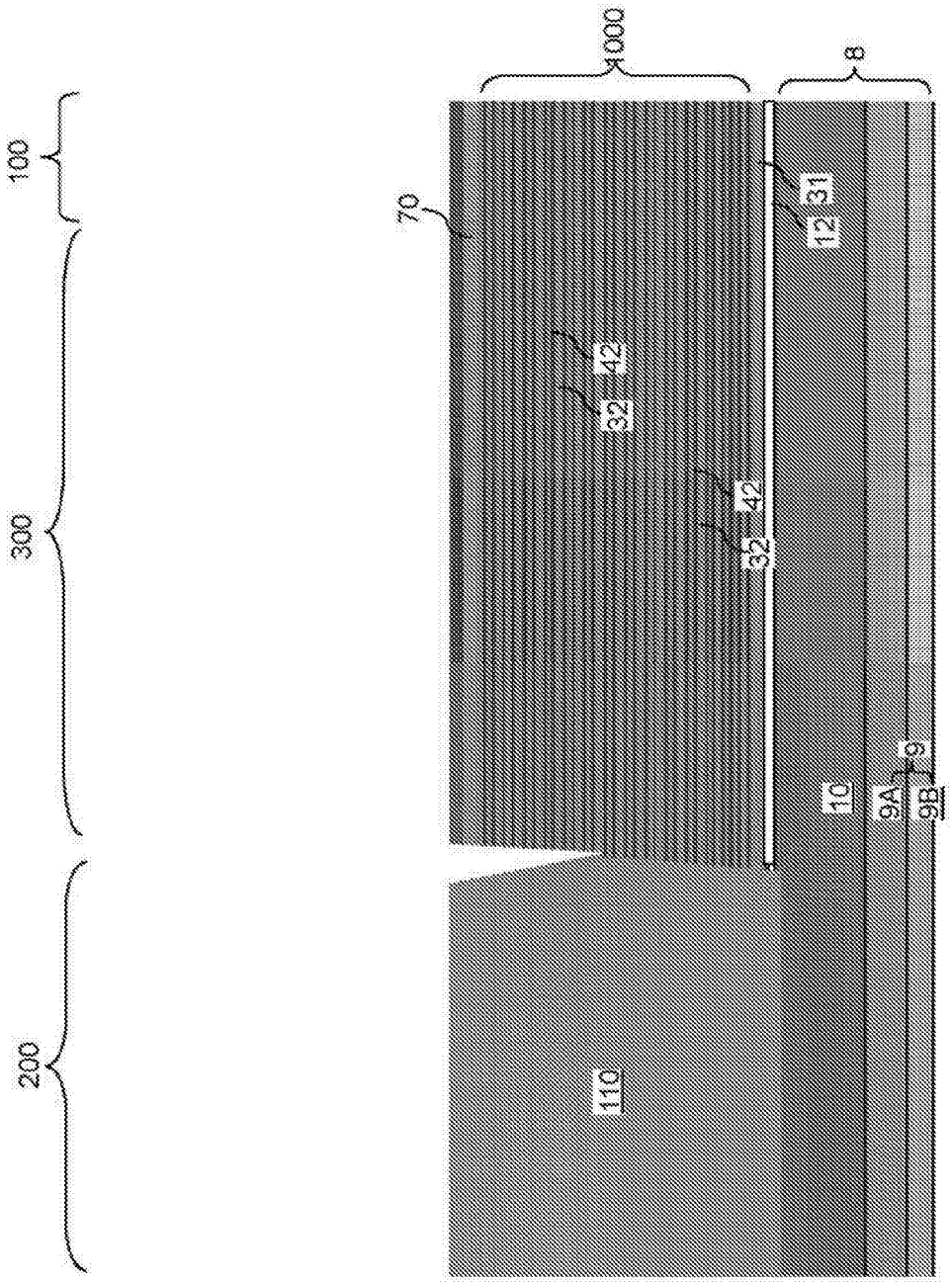


图27

Micron Ex. 1002, p. 746
Micron v. YMTC
IPR2024-00790

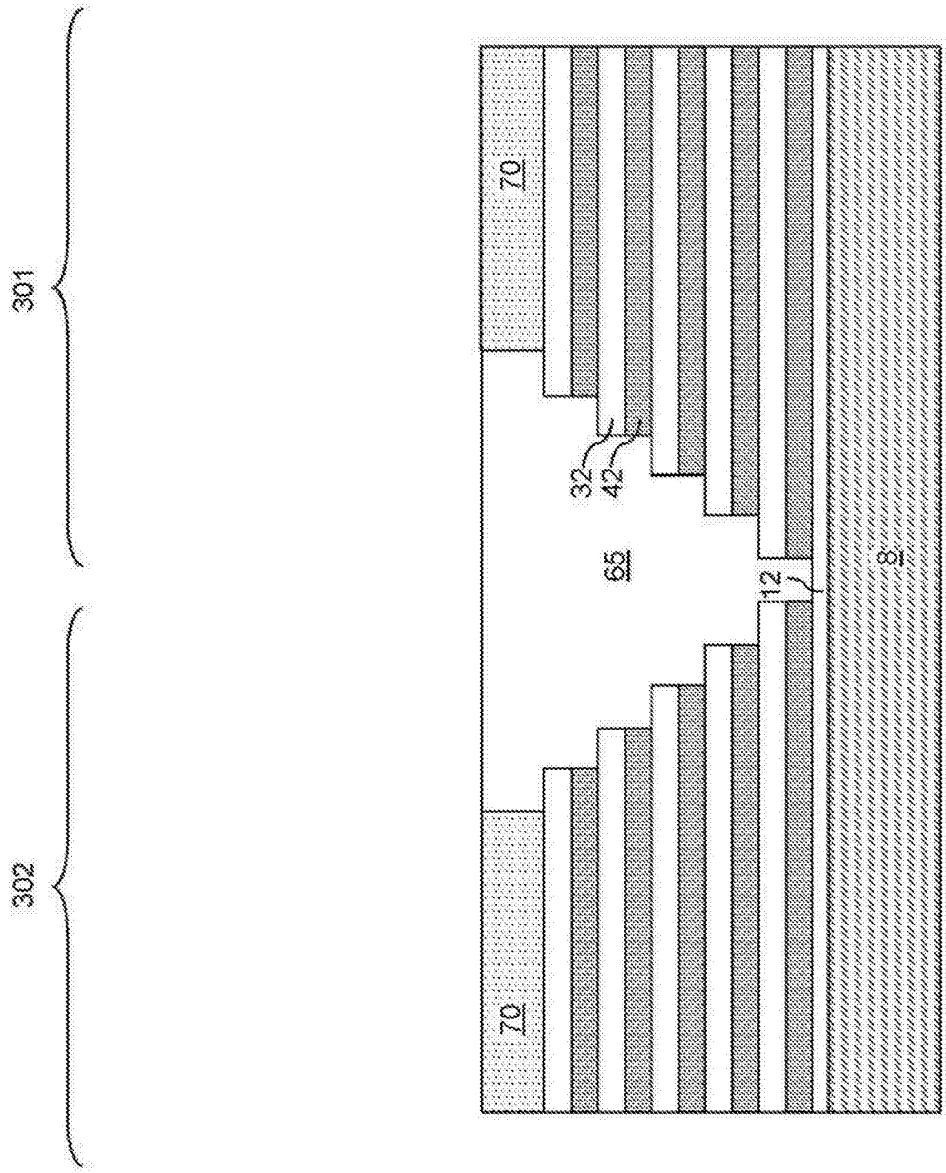


图28A

Micron Ex. 1002, p. 747
Micron v. YMTC
IPR2024-00790

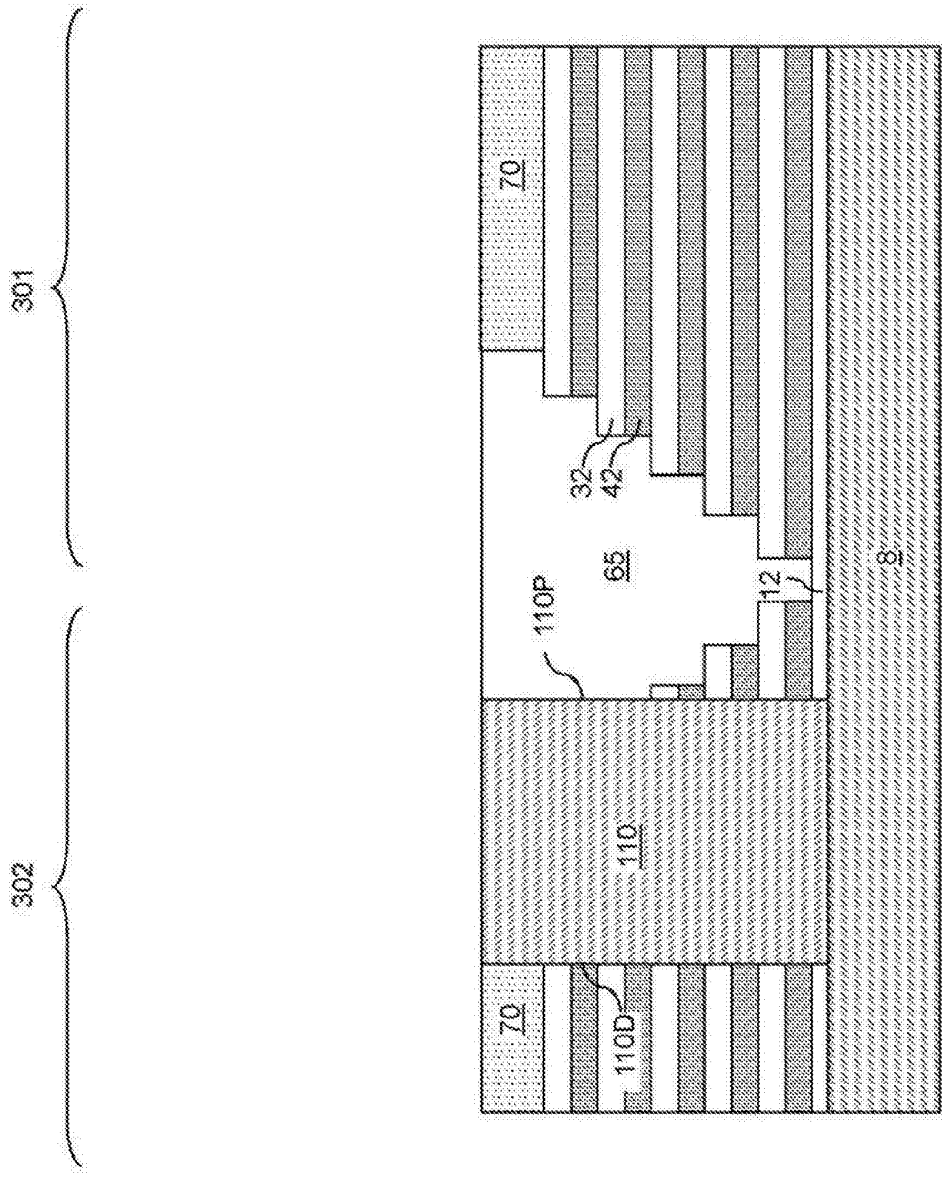


图28B

Micron Ex. 1002, p. 748
Micron v. YMTC
IPR2024-00790

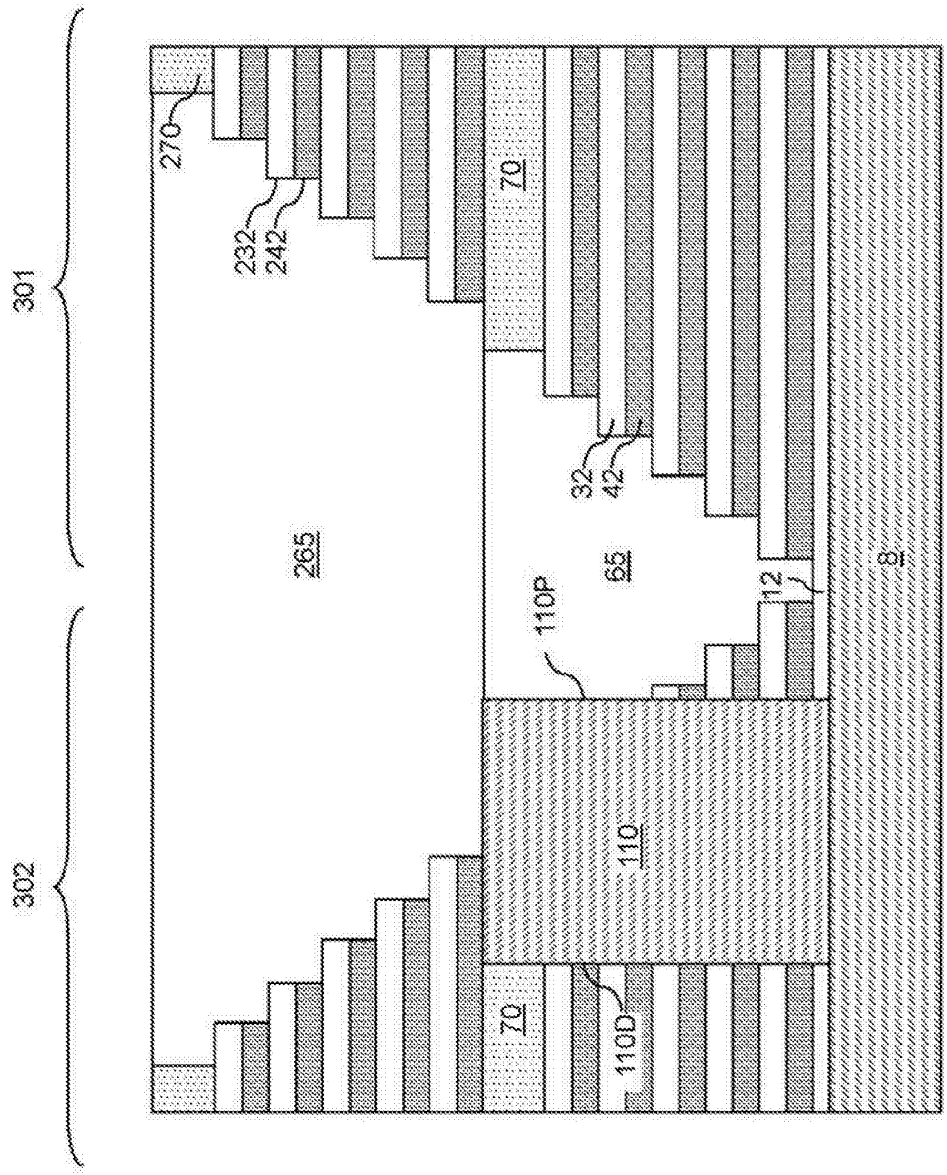


图28C

Micron Ex. 1002, p. 749
Micron v. YMTC
IPR2024-00790

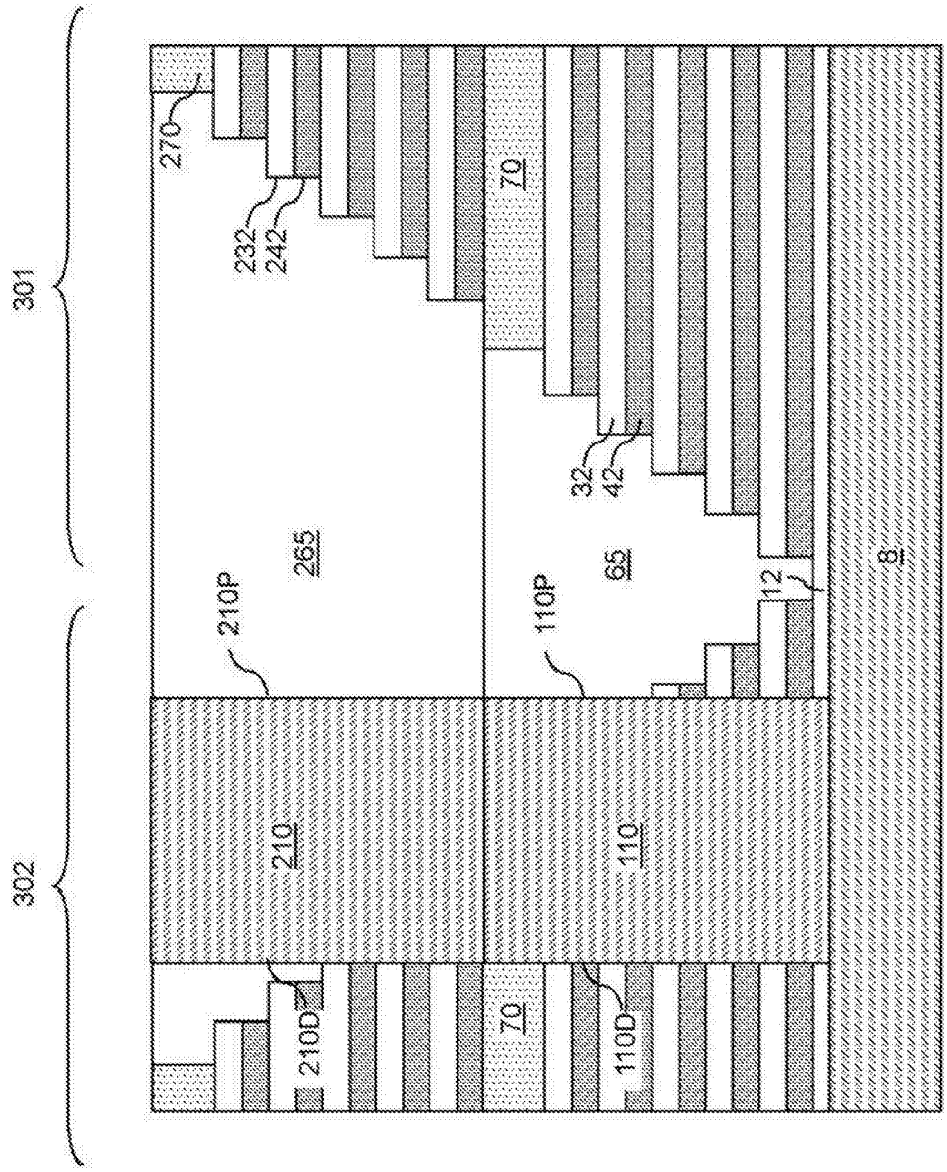


图28D

Micron Ex. 1002, p. 750
Micron v. YMTC
IPR2024-00790

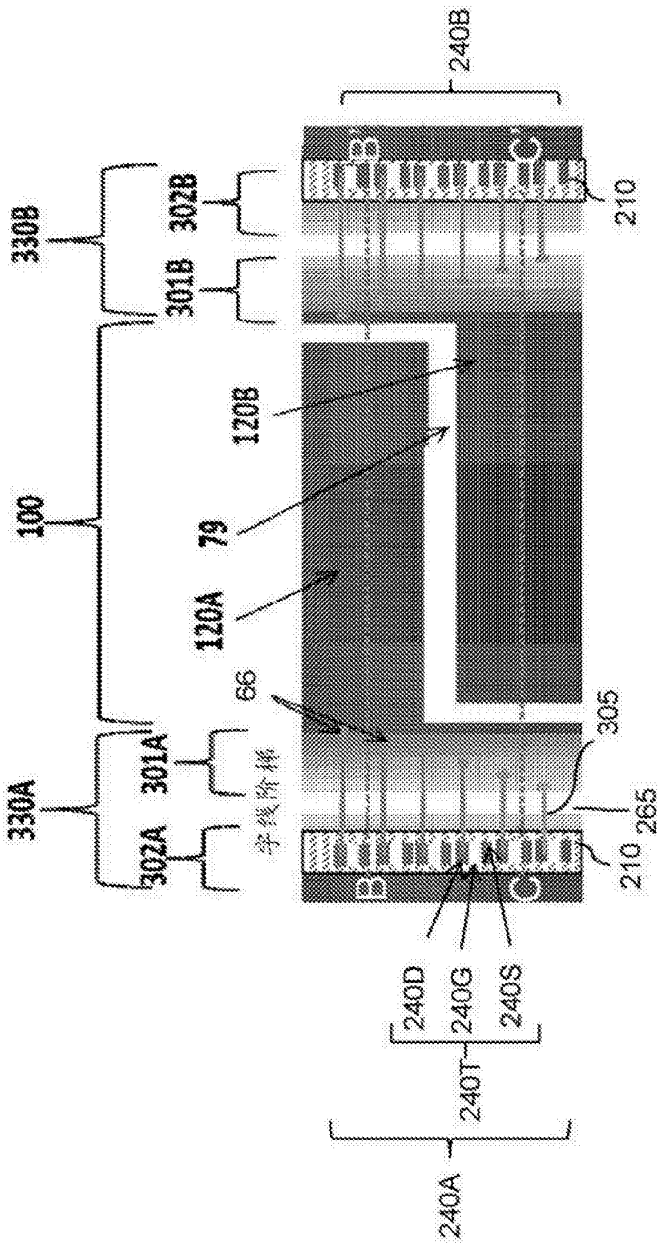


图29A

Micron Ex. 1002, p. 751
Micron v. YMTC
IPR2024-00790

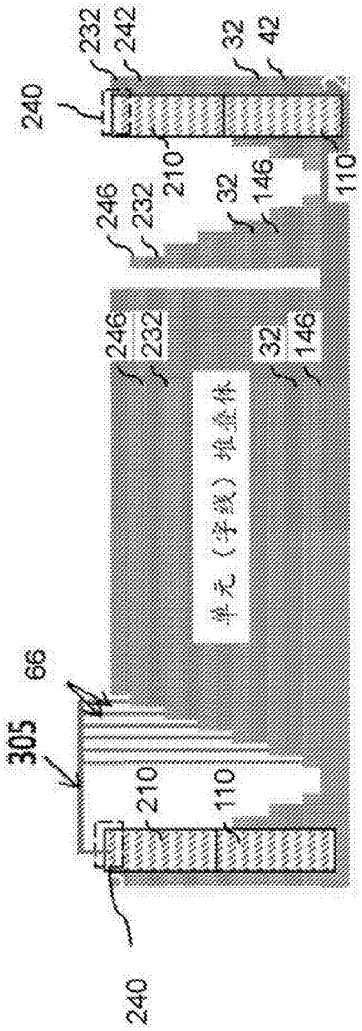


图29B

Micron Ex. 1002, p. 752
Micron v. YMTC
IPR2024-00790

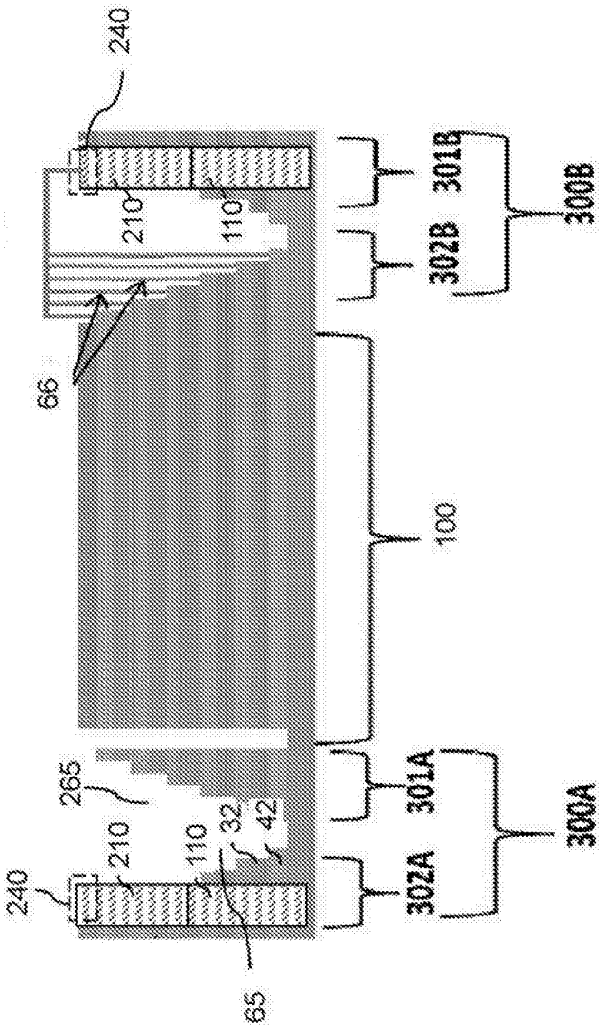


图29C

Micron Ex. 1002, p. 753
Micron v. YMTC
IPR2024-00790

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107810552 A
(43)申请公布日 2018.03.16

(21)申请号 201680036417.0

(22)申请日 2016.06.10

(30)优先权数据
14/834,830 2015.08.25 US

(85)PCT国际申请进入国家阶段日
2017.12.21

(86)PCT国际申请的申请数据
PCT/US2016/036837 2016.06.10

(87)PCT国际申请的公布数据
WO2017/034649 EN 2017.03.02

(71)申请人 桑迪士克科技有限责任公司
地址 美国得克萨斯州

(72)发明人 Z.卢 D.毛 T.张 J.阿尔斯梅尔 W.史 H.钱

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邱军

(51)Int.Cl.
H01L 23/522(2006.01)
H01L 27/11575(2017.01)
H01L 27/11582(2017.01)
H01L 29/792(2006.01)
H01L 21/311(2006.01)
H01L 27/11548(2017.01)
H01L 27/11556(2017.01)
H01L 29/788(2006.01)

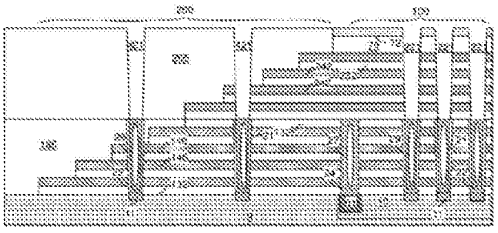
权利要求书4页 说明书19页 附图44页

(54)发明名称

使用含有牺牲填充材料的腔制造多级存储器堆叠体结构的方法

(57)摘要

一种形成三维存储器装置的方法，包含在基板之上形成绝缘材料层和第一牺牲材料层的下部堆叠体结构，穿过下部堆叠体结构形成第一存储器开口并用牺牲填充材料填充第一存储器开口，用第一导电层替换第一牺牲材料层，在替换第一牺牲材料层之后在下部堆叠体结构之上形成绝缘和第二牺牲材料层的上部堆叠体结构，在上覆于第一存储器开口的区域中穿过上部堆叠体结构形成第二存储器开口，用第二导电层替换第二牺牲材料层，从第二存储器开口下方的第一存储器开口移除牺牲填充材料，以在替换第二牺牲材料层之后形成堆叠体间存储器开口，以及在堆叠体间存储器开口内形成存储器堆叠体结构。



CN 107810552 A

Micron Ex. 1002, p. 754
Micron v. YMTC
IPR2024-00790

1.一种单片三维存储器装置,包括:

下部堆叠体结构,其包括第一交替堆叠体,所述第一交替堆叠体包含第一绝缘层和第一导电层,且位于基板之上;

上部堆叠体结构,其包括第二交替堆叠体,所述第二交替堆叠体包含第二绝缘层和第二导电层,且位于所述下部堆叠体结构之上;以及

多个存储器堆叠体结构,其延伸穿过所述下部堆叠体结构和所述上部堆叠体结构;

其中:

所述存储器堆叠体结构中的每一个位于存储器开口中且包括下部阻挡电介质和上部阻挡电介质,所述下部阻挡电介质与所述存储器开口的下部部分的侧壁接触,并且所述上部阻挡电介质与所述存储器开口的上部部分的侧壁接触且不与所述下部阻挡电介质物理接触;

所述存储器开口的下部部分的侧壁通过所述上部堆叠体结构的水平底部表面与所述存储器开口的上部部分的侧壁邻接;

所述多个存储器堆叠体结构中的每一个包括存储器膜,所述存储器膜包含存储器材料层和隧穿电介质层;并且

每个存储器材料层接触所述上部堆叠体结构的水平底部表面。

2.根据权利要求1所述的单片三维存储器装置,其中所述上部阻挡电介质的底部表面完全在由所述下部阻挡电介质的顶部表面的内周所限定的区域内。

3.根据权利要求1所述的单片三维存储器装置,其中所述上部阻挡电介质和所述下部阻挡电介质的组分和厚度中的至少一者彼此不同。

4.根据权利要求1所述的单片三维存储器装置,其中所述存储器开口的下部部分的侧壁和所述存储器开口的上部部分的侧壁是锥形的。

5.根据权利要求1所述的单片三维存储器装置,其中所述存储器材料层与所述上部堆叠体结构的水平表面之间的接触区域具有环形形状。

6.根据权利要求1所述的单片三维存储器装置,还包括半导体沟道,所述半导体沟道包含位于所述存储器堆叠体结构中的垂直部分和邻接位于所述下部堆叠体之下的源极区的水平部分,其中所述半导体沟道的每个垂直部分的上部部分接触漏极区。

7.根据权利要求6所述的单片三维存储器装置,还包括至少一个支撑柱结构,所述支撑柱结构延伸穿过所述下部堆叠结构和上部堆叠体结构的阶梯表面,并且包括与所述多个存储器堆叠体结构相同的材料组。

8.根据权利要求7所述的单片三维存储器装置,其中:

所述至少一个支撑柱结构中的每一个包括虚设半导体沟道,所述虚设半导体沟道具有与所述半导体沟道相同的组分和相同的厚度;并且

所述虚设半导体沟道不电连接到所述单片三维存储器装置的驱动电路。

9.根据权利要求1所述的单片三维存储器装置,其中:

位于至少另一第二导电层之下的每个第二导电层比所述第二导电层之中的任意上覆层横向延伸得更远;并且

位于至少另一第一导电层之下的每个第一导电层比所述第一导电层之中的任意上覆层横向延伸得更远。

Micron Ex. 1002, p. 755
Micron v. YMTC
IPR2024-00790

10.根据权利要求9所述的单片三维存储器装置，还包括位于所述接触区内的控制栅极接触通孔结构，所述控制栅极接触通孔结构至少穿过所述上部堆叠体结构内的电介质材料部分垂直延伸，并且接触选自所述第一导电层和第二导电层的相应的导电层。

11.根据权利要求1所述的单片三维存储器装置，其中：

所述下部堆叠体结构还包括位于所述第一交替堆叠体的第一阶梯表面上和之上的第一电介质材料部分；

所述上部堆叠体结构还包括位于所述第二交替堆叠体的第二阶梯表面上和之上的第二电介质材料部分；

所述第一阶梯表面和所述第二阶梯表面位于接触区内；并且

控制栅极接触通孔结构的子组穿过所述第一电介质材料部分和所述第二电介质材料部分延伸。

12.根据权利要求1所述的单片三维存储器装置，其中：

所述单片三维存储器结构包括单片三维NAND存储器装置；

所述第一导电层和第二导电层包括或电连接到所述单片三维NAND存储器装置的相应的字线；

所述基板包括硅基板；

所述单片三维NAND存储器装置包括所述硅基板之上的单片三维NAND串的阵列；

所述单片三维NAND串的阵列的第一装置级中的至少一个存储器单元位于所述单片三维NAND串的阵列的第二装置级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括用于位于其上的所述存储器装置的驱动电路；并且

所述单片三维NAND串的阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部部分实质上垂直于所述基板的顶部表面延伸；

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的相应的一个相邻；以及

多个控制栅电极，所述多个控制栅电极具有实质上平行于所述基板的顶部表面延伸的条形状，所述多个控制栅电极至少包括位于所述第一装置级中的第一控制栅电极和位于所述第二装置级中的第二控制栅电极。

13.一种形成三维存储器装置的方法，包括：

在基板之上形成下部堆叠体结构，其中所述下部堆叠体结构包括第一交替堆叠体，所述第一交替堆叠体包含第一绝缘层和第一牺牲材料层；

穿过所述下部堆叠体结构形成第一存储器开口，并用牺牲填充材料填充所述第一存储器开口；

用第一导电层替换所述第一牺牲材料层；

在替换所述第一牺牲材料层之后在所述下部堆叠体结构之上形成上部堆叠体结构，其中所述上部堆叠体结构包括第二交替堆叠体，所述第二交替堆叠体包含第二绝缘层和第二牺牲材料层；

在上覆于所述第一存储器开口的区域中穿过所述上部堆叠体结构形成第二存储器开

Micron Ex. 1002, p. 756
Micron v. YMTC
IPR2024-00790

口；

用第二导电层替换所述第二牺牲材料层；

在替换所述第二牺牲材料层之后，从位于所述第二存储器开口下方的所述第一存储器开口移除所述牺牲填充材料，以形成堆叠体间存储器开口；以及

在所述堆叠体间存储器开口内形成存储器堆叠体结构。

14.根据权利要求13所述的方法，其中：

每个存储器堆叠体结构包括存储器膜和半导体沟道；并且

每个堆叠体间存储器开口包含与第一存储器开口和第二存储器开口的垂直邻接对的体积，并且至少在包含所述下部堆叠体结构的底部表面的第一水平平面与包含所述上部堆叠体结构的顶部表面的第二水平平面之间延伸。

15.根据权利要求13所述的方法，其中：

所述牺牲填充材料包括多晶硅；

一经用所述牺牲填充材料填充所述第一存储器开口，在每个第一存储器开口内形成包封腔；并且

所述包封腔被相应的第一存储器开口内的所述牺牲填充材料的一部分包封。

16.根据权利要求15所述的方法，还包括：

在形成所述第二存储器开口之后，各向异性地蚀刻所述第一存储器开口内的每个牺牲填充材料部分的上部部分；以及

在每个包封腔的体积连续地邻接到上覆的第二存储器开口的体积之后，各向同性地蚀刻所述牺牲填充材料部分的每个剩余部分。

17.根据权利要求16所述的方法，还包括：

在各向异性地蚀刻所述每个牺牲填充材料部分的上部部分之前，在每个第二存储器开口的侧壁上形成上部阻挡电介质层和牺牲衬垫；

在移除所述牺牲填充材料的同时移除所述牺牲衬垫；以及

在移除所述牺牲填充材料部分之后，在所述上部阻挡电介质层的一部分上直接形成存储器材料层。

18.根据权利要求17所述的方法，还包括在用所述牺牲填充材料填充所述第一存储器开口之前，在每个第一存储器开口的侧壁上直接形成下部阻挡电介质层，其中所述存储器材料层直接形成在所述下部阻挡电介质层的一部分上。

19.根据权利要求13所述的方法，还包括：

穿过所述下部堆叠体结构形成第一接触沟槽，其中通过穿过所述第一接触沟槽提供蚀刻剂和至少一种导电材料来执行用所述第一导电层替换所述第一牺牲材料层；并且

在形成所述第二交替堆叠体之前，用第二牺牲填充材料填充所述第一接触沟槽。

20.根据权利要求19所述的方法，还包括在上覆于所述第一接触沟槽的区域中穿过所述上部堆叠体结构形成第二接触沟槽。

21.根据权利要求20所述的方法，其中在所述第二牺牲填充材料存在于所述第一接触沟槽内的同时，通过穿过所述第二接触沟槽提供第二蚀刻剂和至少另一种导电材料，来执行用所述第二导电层替换所述第二牺牲材料层。

22.根据权利要求21所述的方法，还包括：

Micron Ex. 1002, p. 757
Micron v. YMTC
IPR2024-00790

在用所述第二导电层替换所述第二牺牲材料层之后，移除所述第二牺牲填充材料；以及

形成穿过所述第一接触沟槽和第二接触沟槽延伸的接触通孔结构。

23.根据权利要求13所述的方法，其中：

所述三维存储器装置包括单片三维NAND存储器装置；

所述第一堆叠体和第二堆叠体中的所述第一导电层和第二导电层包括或电连接到所述垂直NAND装置的相应的字线；

所述基板包括硅基板；

所述单片三维NAND存储器装置包括所述硅基板之上的单片三维NAND串的阵列；

所述单片三维NAND串的阵列的第一装置级中的至少一个存储器单元位于所述单片三维NAND串的阵列的第二装置级中的另一存储器单元之上；

所述硅基板含有集成电路，所述集成电路包括位于其上的所述存储器装置的驱动电路；并且

所述单片三维NAND串的阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部部分实质上垂直于所述基板的顶部表面延伸；

多个电荷储存元件，每个电荷储存元件定位为与所述多个半导体沟道中的相应的一个相邻；以及

多个控制栅电极，所述多个控制栅电极具有实质上平行于所述基板的顶部表面延伸的条形状，所述多个控制栅电极至少包括位于所述第一装置级中的第一控制栅电极和位于所述第二装置级中的第二控制栅电极。

Micron Ex. 1002, p. 758
Micron v. YMTC
IPR2024-00790

使用含有牺牲填充材料的腔制造多级存储器堆叠体结构的方法

技术领域

[0001] 本公开总体上涉及三维存储器装置的领域，并且特别地涉及包含多级存储器阵列的垂直堆叠体的三维存储器装置及其制造方法。

背景技术

[0002] T.Endoh等人发表于IEDM Proc.(2001)33-36的题为“Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor(S-SGT)Structured Cell”的文章中公开了具有每单元一位(bit)的三维垂直NAND串。

发明内容

[0003] 根据本公开的方面，单片三维存储器装置包括下部堆叠体结构、上部堆叠体结构以及多个存储器堆叠体结构，下部堆叠体结构包括第一交替堆叠体，所述第一交替堆叠体包含第一绝缘层和第一导电层且位于基板之上，上部堆叠体结构包括第二交替堆叠体，所述第二交替堆叠体包含第二绝缘层和第二导电层且位于下部堆叠体结构之上，并且多个存储器堆叠体结构延伸穿过下部堆叠体结构和上部堆叠体结构。存储器堆叠体结构中的每一个位于存储器开口中且包括与存储器开口的下部部分的侧壁接触的下部阻挡电介质，以及与存储器开口的上部部分的侧壁接触且不与下部阻挡电介质物理接触的上部阻挡电介质。存储器开口的下部部分的侧壁通过上部堆叠体结构的水平底部表面邻接于存储器开口的上部部分的侧壁。多个存储器堆叠体结构中的每一个包括存储器膜，存储器膜包含存储器材料层和隧穿电介质层，并且每个存储器材料层接触上部堆叠体结构的水平底部表面。

[0004] 根据本公开的另一方面，形成三维存储器装置的方法包含，在基板之上形成绝缘层和第一牺牲材料层的下部堆叠体结构，穿过下部堆叠体结构形成第一存储器开口并用牺牲填充材料填充第一存储器开口，用第一导电层替换第一牺牲材料层，在替换第一牺牲材料层之后，在下部堆叠体结构之上形成绝缘层和第二牺牲材料层的上部堆叠体结构，在上覆于第一存储器开口的区域中穿过上部堆叠体结构形成第二存储器开口，用第二导电层替换第二牺牲材料层，在替换第二牺牲材料层之后，从第二存储器开口之下的第一存储器开口移除牺牲填充材料，以形成堆叠体间存储器开口，以及在堆叠体间存储器开口内形成存储器堆叠体结构。

附图说明

[0005] 图1是根据本公开的实施例的在形成第一绝缘层和第一牺牲材料层的第一交替堆叠体之后的示例性结构的垂直截面图。

[0006] 图2是根据本公开的实施例的在形成第一阶梯表面和第一反向阶梯电介质材料部分之后的示例性结构的垂直截面图。

[0007] 图3A是根据本公开的实施例的在形成装置区中的第一存储器开口和接触区中的

Micron Ex. 1002, p. 759
Micron v. YMTC
IPR2024-00790

第一支撑开口之后的示例性结构的俯视图。

[0008] 图3B是图3A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0009] 图4A是根据本公开的实施例的在每个第一存储器开口和每个第一支撑开口的底部处形成外延沟道部分之后的示例性结构的俯视图。

[0010] 图4B是图4A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0011] 图5A是根据本公开的实施例的在形成下部阻挡电介质层之后的示例性结构的俯视图。

[0012] 图5B是图5A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0013] 图6A是根据本公开的实施例的在沉积第一牺牲填充材料层之后的示例性结构的俯视图。

[0014] 图6B是图6A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0015] 图7A是根据本公开的实施例的在形成下级接触沟槽之后的示例性结构的俯视图。

[0016] 图7B是图7A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0017] 图8A是根据本公开的实施例的在通过移除第一牺牲材料层形成第一横向凹陷之后的示例性结构的俯视图。

[0018] 图8B是图8A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0019] 图9A是根据本公开的实施例的在沉积导电材料以形成第一导电层之后的示例性结构的俯视图。

[0020] 图9B是图9A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0021] 图10A是根据本公开的实施例的在凹陷蚀刻之后的示例性结构的俯视图，所述凹陷蚀刻从下级接触沟槽并从第一交替堆叠体上方移除导电材料的部分。

[0022] 图10B是图10A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0023] 图11A是根据本公开的实施例的在沉积第二牺牲填充材料层之后的示例性结构的俯视图。

[0024] 图11B是图11A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0025] 图12A是根据本公开的实施例的在平坦化第一和第二牺牲填充材料层之后的示例性结构的俯视图。

[0026] 图12B是图12A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0027] 图13A是根据本公开的实施例的在形成第二绝缘层和第二牺牲材料层的第二交替堆叠体之后的示例性结构的俯视图。

[0028] 图13B是图13A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0029] 图14A是根据本公开的实施例的在形成第二阶梯表面和第二反向阶梯电介质材料部分之后的示例性结构的俯视图。

[0030] 图14B是图14A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0031] 图15A是根据本公开的实施例的在形成装置区中的第二存储器开口和接触区中的第二支撑开口之后的示例性结构的俯视图。

[0032] 图15B是图15A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0033] 图16是根据本公开的实施例在沉积第二阻挡电介质层和牺牲衬垫之后的第一存储器开口和第二存储器开口的堆叠体的垂直截面图。

Micron Ex. 1002, p. 760
Micron v. YMTC
IPR2024-00790

[0034] 图17是根据本公开的实施例在各向异性蚀刻之后的第一和第二存储器开口的堆叠体的垂直截面图，所述各向异性蚀刻移除包封腔的上部盖部分。

[0035] 图18是根据本公开的实施例在移除第一牺牲填充材料和牺牲衬垫之后的第一和第二存储器开口的堆叠体的垂直截面图。

[0036] 图19是根据本公开的实施例在形成存储器材料层、隧穿电介质层以及第一半导体沟道层之后的第一和第二存储器开口的堆叠体的垂直截面图。

[0037] 图20是根据本公开的实施例在形成第二半导体沟道层、电介质芯以及漏极区之后的第一和第二存储器开口的堆叠体的垂直截面图。

[0038] 图21A是根据本公开的实施例的在形成存储器堆叠体结构、虚设存储器堆叠体结构、电介质芯以及漏极区之后的示例性结构的俯视图。

[0039] 图21B是图21A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0040] 图22A是根据本公开的实施例的示例性结构在形成上部级接触沟槽之后的俯视图。

[0041] 图22B是图22A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0042] 图23A是根据本公开的实施例的在通过移除第二牺牲材料层形成第二横向凹陷之后的示例性结构的俯视图。

[0043] 图23B是图23A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0044] 图24A是根据本公开的实施例的在形成第二导电层之后的示例性结构的俯视图。

[0045] 图24B是图24A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0046] 图25A是根据本公开的实施例的在移除第二牺牲填充材料部分之后的示例性结构的俯视图。

[0047] 图25B是图25A的示例性结构沿着垂直平面B-B'的垂直截面图。

[0048] 图26A是根据本公开的实施例的在形成绝缘间隔体和后侧接触通孔结构之后的示例性结构的俯视图。

[0049] 图26B是图26A的示例性结构沿着垂直平面B-B'的垂直截面图。

具体实施方式

[0050] 如上面所讨论的，本公开涉及包含多级存储器阵列的垂直堆叠体的三维存储器装置及其制造方法，下面描述了其各方面。可以采用本公开的实施例来形成半导体装置，比如包括多个NAND存储器串的三维单片存储器阵列装置。附图未按比例绘制。在图示元件的单个实例情况下，可以复制元件的多个实例，除非另有明确描述或清楚指明元件的复制不存在。诸如“第一”、“第二”以及“第三”的顺序仅用来识别相似的元件，并且在本公开的说明书和权利要求中可以采用不同的顺序。如本文中所使用的，位于第二元件“上”的第一元件可以是位于第二元件的表面的外侧上，或位于第二元件的内侧上。如本文中所使用的，如果第一元件的表面与第二元件的表面之间存在物理接触，则第一元件“直接”位于第二元件“上”。

[0051] 如本文中所使用的，“层”是指包含具有实质上均匀的厚度的区域的材料部分。层可以在下面的或上覆的结构的整体之上延伸，或可以具有比下面的或上覆的结构的范围更小的范围。此外，层可以为均质或非均质连续结构的区域，其具有小于连续结构的厚度的厚

Micron Ex. 1002, p. 761
Micron v. YMTC
IPR2024-00790

度。例如，层可以位于连续结构的顶部表面和底部表面处或之间的水平平面的任意对之间。层可以水平、垂直和/或沿着锥形表面延伸。基板可以为层，可以在其中包含一个或多个层，和/或可以在其上、其上方和/或其之下的具有一个或多个层。

[0052] 单片三维存储器阵列是这样的存储器阵列，其中多个存储器级形成在诸如半导体晶片的单个基板上方，而没有介于中间的基板。术语“单片”是指阵列的每级的层直接沉积在阵列的每个下面的级的层上。相比之下，可以分开地形成二维阵列并然后封装在一起，以形成非单片存储器装置。例如，已经通过在分开的基板上形成存储器级并垂直堆叠存储器级而构建了非单片堆叠的存储器，如题为“Three Dimensional Structure Memory”、专利号为5,915,167的美国专利中所描述的。在接合之前，可以将基板减薄或从存储器级移除，但由于存储器级初始地形成在分开的基板之上，这样的存储器不是真正的单片三维存储器阵列。本公开的各种三维存储器装置包含单片三维NAND串存储器装置，并且可以采用本文中所描述的各种实施例来制造。

[0053] 参考图1，图示了根据本公开的实施例的示例性结构，其可以用来例如制造含有垂直NAND存储器装置的装置结构。示例性结构包含基板，其可以为半导体基板。基板可以包含基板半导体层9。基板半导体层9为半导体材料层，并且可以包含至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料，或本领域已知的其他半导体材料。基板半导体层9可以包括单晶半导体材料，比如单晶硅晶片。

[0054] 如本文中所用的，“半导体材料”是指具有在从1.0×10^{-6}S/cm至1.0×10^{5}S/cm范围内的电导率的材料，并且一经用电掺杂剂适当掺杂，能够产生具有在从1.0S/cm至1.0×10^{5}S/cm的范围内的电导率的掺杂材料。如本文中所用的，“电掺杂剂”是指对能带结构(band structure)内的价带(valance band)添加空穴的p-型掺杂剂，或对能带结构内的导带(conduction band)添加电子的n-型掺杂剂。如本文中所用的，“导电材料”是指具有大于1.0×10^{5}S/cm的电导率的材料。如本文中所用的，“绝缘体材料”或“电介质材料”是指具有小于1.0×10^{-6}S/cm的电导率的材料。对于电导率的全部测量在标准条件下进行。可选地，可以在基板半导体层9内形成至少一个掺杂阱(未明确示出)。

[0055] 示例性结构包含装置区100和接触区200，在装置区100中可以后续形成存储器装置，并且在接触区200中后续形成阶梯表面。如本文中所使用的，“接触区”是指其中要形成接触通孔结构的区域。可以在外围装置区300中形成用于外围电路的至少一个半导体装置，外围装置区300的总体位置由点线的矩形(为了清楚未示出详细结构)示出。至少一个半导体装置可以包含例如一个或多个场效应晶体管。用于外围电路的至少一个半导体装置可以含有用于要后续形成的存储器装置的驱动电路，其可以包含至少一个NAND装置。

[0056] 可选地，可以在基板的上部部分中提供半导体材料层10。可以例如通过将电掺杂剂(p-型掺杂剂或n-型掺杂剂)植入到基板半导体层9的上部部分中，或例如通过由选择性外延来沉积单晶半导体材料，来形成半导体材料层10。在一个实施例中，半导体材料层10可以包含与基板半导体层9的单晶结构外延对准的单晶半导体材料(例如，p-阱)。

[0057] 随后形成第一材料层和第二材料层的交替堆叠体。每个第一材料层可以包含第一材料，并且每个第二材料层可以包含与第一材料不同的第二材料。在一个实施例中，第一材料层和第二材料层可以分别为第一绝缘层132和第一牺牲材料层142。在一个实施例中，每

Micron Ex. 1002, p. 762
Micron v. YMTC
IPR2024-00790

个第一绝缘层132可以包含第一绝缘材料，并且每个第一牺牲材料层142可以包含第一牺牲材料。由第一绝缘层132和第一牺牲材料层142形成的交替堆叠体在本文中称为第一交替堆叠体(132,142)，或下部交替堆叠体(132,142)。在此情况下，堆叠体可以包含交替的多个第一绝缘层132和第一牺牲材料层142。如本文中所使用的，“牺牲材料”是指在后续工艺步骤期间被移除的材料。

[0058] 如本文中所使用的，第一元件和第二元件的交替堆叠体是指其中第一元件的实例与第二元件的实例交替的结构。交替多重体的第一元件中不是端部元件的每个实例在两侧上由第二元件的两个实例邻接，并且交替多重体的第二元件中不是端部元件的每个实例在两端上由第一元件的两个实例邻接。第一元件可以在其中具有相同的厚度，或可以具有不同的厚度。第二元件可以在其中具有相同的厚度，或可以具有不同的厚度。交替多个第一材料层和第二材料层可以起始于第一材料层的实例或第二材料层的实例，并且可以终止于第一材料层的实例或第二材料层的实例。在一个实施例中，第一元件的实例和第二元件的实例可以形成单元，其在交替多重体中周期性重复。

[0059] 第一交替堆叠体(132,142)可以包含由第一材料构成的第一绝缘层132，和由第二材料构成的第一牺牲材料层142，第二材料与第一材料不同。第一绝缘层132的第一材料可以为至少一种绝缘材料。可以用于第一绝缘层132的绝缘材料包含但不限于硅氧化物(包含掺杂或未掺杂的硅酸盐玻璃)、硅氮化物、硅氮氧化物、有机硅酸盐玻璃(OSG)、旋涂电介质材料、通常已知为高电介质常数(high-k)电介质氧化物的电介质金属氧化物(例如，铝氧化物、铪氧化物等)及其硅酸盐、电介质金属氮氧化物及其硅酸盐、以及有机绝缘材料。在一个实施例中，第一绝缘层132的第一材料可以为硅氧化物。

[0060] 第一牺牲材料层142的第二材料为牺牲材料，可以对第一绝缘层132的第一材料有选择性地移除第一牺牲材料层142的第二材料。如本文中所使用的，如果移除工艺以第二材料的移除速率的至少两倍的速率来移除第一材料，则第一材料的移除为“对”第二材料“有选择性”。第一材料的移除的速率与第二材料的移除的速率的比例在本文中称为第一材料的移除工艺关于第二材料的“选择度”。

[0061] 第一牺牲材料层142可以包括绝缘材料、半导体材料、或导电材料。可以后续用导电电极替换第一牺牲材料层142的第二材料，导电电极可以起到例如垂直NAND装置的控制栅电极的作用。第二材料的非限制性示例包含硅氮化物、非晶半导体材料(比如非晶硅)以及多晶半导体材料(比如多晶硅)。在一个实施例中，第一牺牲材料层142可以为材料层，其包括硅氮化物或包含硅和锗中的至少一种的半导体材料。

[0062] 在一个实施例中，第一绝缘层132可以包含硅氧化物，并且牺牲材料层可以包含硅氮化物牺牲材料层。可以例如通过化学气相沉积(CVD)来沉积第一绝缘层132的第一材料。例如，如果硅氧化物用于第一绝缘层132，则正硅酸四乙酯(tetraethylorthosilicate，TEOS)可以用作CVD工艺的前驱体材料。可以例如通过CVD或原子层沉积(ALD)来形成第一牺牲材料层142的第二材料。

[0063] 第一绝缘层132和第一牺牲材料层142的厚度可以在从20nm至50nm的范围内，虽然对于每个第一绝缘层132和对于每个第一牺牲材料层142可以采用更薄或更厚的厚度。第一绝缘层132和第一牺牲材料层142的对的重复的数目可以在从2至1024的范围内，并且典型地为从8至256，虽然也可以采用更大数目的重复。在一个实施例中，第一交替堆叠体(132，

Micron Ex. 1002, p. 763
Micron v. YMTC
IPR2024-00790

142)中的每个第一牺牲材料层142可以具有均匀的厚度，其在每个相应的第一牺牲材料层142内实质上不变。

[0064] 参考图2，可以图案化下部堆叠体结构(132,142)，以形成第一阶梯表面。在接触区200中形成第一阶梯表面。接触区200包含第一阶梯区域和第二阶梯区域，在第一阶梯区域中形成第一阶梯表面，在第二阶梯区域中将在上部堆叠体结构(待在下部堆叠体结构之上后续形成)中后续形成附加阶梯表面。将装置区100提供为与接触区200相邻。可以后续在装置区100中形成包含存储器堆叠体结构的存储器装置。可以例如通过形成其中具有开口的掩模层，在最顶部第一牺牲材料层142和最顶部第一绝缘层132的级内蚀刻腔，以及通过蚀刻直接位于蚀刻区域内的蚀刻的腔的底部表面下方的每对第一绝缘层132和第一牺牲材料层142来迭代地扩大蚀刻区域并使腔垂直凹陷，来形成第一阶梯表面。图案化第一交替堆叠体(132,142)，使得每个下面的第一牺牲材料层142比蚀刻区中任意上覆的第一牺牲材料层142横向突出得更远，并且每个下面的第一绝缘层132比蚀刻区中任意上覆的第一绝缘层132横向突出得更远。接触区可以为第一交替堆叠体(132,142)的接触区。腔在本文中称为第一阶梯腔。

[0065] 沉积电介质材料以填充第一阶梯腔。例如通过化学机械平坦化，来移除覆于第一交替堆叠体(132,142)的最顶部表面之上的电介质材料的过量部分。沉积的电介质材料的剩余部分形成第一反向阶梯电介质材料部分165，其形成在第一阶梯表面上。第一电介质材料部分165为反向阶梯。如本文中所使用的，“反向阶梯”元件是指具有阶梯表面且水平截面积作为距其上存在元件的基板的顶部表面的垂直距离的函数单调增加的元件。下部堆叠体结构(其也称为第一堆叠体结构)包括第一交替堆叠体(132,142)和第一反向阶梯电介质材料部分165。

[0066] 参考图3A和3B，延伸到基板(9,10)的顶部表面的第一开口(121,321)形成为穿过下部堆叠体结构(132,142,165)。第一开口(121,321)包含装置区100中形成的第一存储器开口121和接触区200中形成的第一支撑开口321。例如，可以将至少包含光致抗蚀剂层的光刻材料堆叠体(未示出)形成在下部堆叠体结构(132,142,165)之上，并且可以将其光刻法图案化，以在光刻材料堆叠体内形成开口。可以通过采用图案化的光刻材料堆叠体作为蚀刻掩模的至少一个各向异性蚀刻，来将光刻材料堆叠体中的图案转印穿过下部堆叠体结构(132,142,165)的整体。将下部堆叠体结构(132,142,165)位于图案化的光刻材料堆叠体中的开口下面的部分蚀刻，以形成第一开口(121,321)。换而言之，图案化的光刻材料堆叠体中的图案穿过下部堆叠体结构(132,142,165)的转印形成第一开口(121,321)。

[0067] 在一个实施例中，可以交替用来蚀刻穿过第一交替堆叠体(132,142)的材料的各向异性蚀刻工艺的化学过程，以在提供对于第一电介质材料部分165的相当的平均蚀刻速率的同时，最优化对第一交替堆叠体(132,142)中的第一材料和第二材料的蚀刻。各向异性蚀刻可以为例如一系列的反应离子蚀刻。第一开口(121,321)的侧壁可以为实质上垂直的，或可以为锥形的。随后，可以通过例如灰化来后续移除图案化的光刻材料堆叠体。

[0068] 可选地，在后续步骤期间，堆叠体中的顶层132可以起到蚀刻终止电介质层的作用。从而，堆叠体中的顶层132可以包括与堆叠体中的其余层132(例如，硅氧化物)不同的材料(例如，金属氧化物电介质)。在形成第一存储器开口121的同时，将第一支撑开口321形成为穿过交替层(132,142)的第一堆叠体，并穿过第一电介质材料部分165和可选的蚀刻终止

Micron Ex. 1002, p. 764
Micron v. YMTC
IPR2024-00790

电介质层中的一个，第一存储器开口121形成为穿过蚀刻终止电介质层和交替层(132,142)的第一堆叠体。在一个实施例中，基板(9,10)可以用作各向异性蚀刻工艺的终止层。在一个实施例中，可以通过过蚀刻(overetch)使第一开口(121,321)在基板(9,10)的顶部表面下方延伸。第一开口(121,321)的横向尺寸(例如，直径)在每个第一开口(121,321)的上部部分处可以为从约20nm至200nm，并且在每个第一开口(121,321)的下部部分处可以为约10nm至150nm。在一个实施例中，第一存储器开口121可以形成为开口的阵列，其可以为开口的周期性二维阵列。第一支撑开口321可以形成为离散的开口，其彼此相互分隔，并且可以不形成周期性二维阵列图案。第一支撑开口321之间的最接近相邻横向分隔距离可以大于第一存储器开口121之间的最接近相邻距离的两倍(例如，三倍或更多倍)。

[0069] 参考图4A和4B，可以通过选择性外延工艺来形成可选的外延沟道部分11。外延沟道部分11包括与半导体材料层10的单晶基板半导体材料外延对准的单晶半导体材料。可选地，外延沟道部分11可以掺杂有适当导电类型的电掺杂剂。在一个实施例中，半导体材料层10和外延沟道部分11可以具有第一导电类型(例如，p-型)的掺杂。

[0070] 可例如通过连同蚀刻剂气体(比如HCl)依次或同时地流通反应物气体(比如SiH_4、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、Si_2H_6、GeH_4、Ge_2H_6、其他半导体前驱体气体，或其组合)，来执行形成外延沟道部分11的选择性外延工艺。非晶表面(比如电介质材料的表面)上的半导体材料的沉积速率小于蚀刻剂对半导体材料的蚀刻速率，而晶体表面(比如半导体材料层10的顶部表面)上的半导体材料的沉积速率大于蚀刻剂对半导体材料的蚀刻速率。从而，半导体材料仅沉积在半导体表面上，其为半导体材料层10的顶部表面的物理暴露的部分。可以选择工艺条件(比如沉积温度、工艺室中各种气体的分压等)，使得沉积的半导体材料与半导体材料层10(例如，p-阱)的单晶结构外延对准，即，单晶硅或另一半导体材料与半导体材料层10的单晶结构原子对准。

[0071] 参考图5A和5B，可以在第一存储器开口121和第一支撑开口321的物理暴露的表面上和第一交替堆叠体(132,142)之上形成下部阻挡电介质层21L。下部阻挡电介质层21L可以包含单个电介质材料层或多个电介质材料层。可以通过共形沉积方法，将下部阻挡电介质层21L沉积在每个存储器开口121的侧壁上。在一个实施例中，下部阻挡电介质层21L可以包含电介质金属氧化物。如本文中所使用的，电介质金属氧化物是指包含至少一种金属元素和至少氧的电介质材料。电介质金属氧化物可以主要由至少一种金属元素和氧构成，或可以主要由至少一种金属元素、氧以及诸如氮的至少一种非金属元素构成。在一个实施例中，下部阻挡电介质层21L可以包含电介质金属氧化物，其具有大于7.9的介电常数，即，具有大于硅氮化物的介电常数的介电常数。

[0072] 电介质金属氧化物的非限制性示例包含铝氧化物(Al_2O_3)、铪氧化物(HfO_2)、镧氧化物(LaO_2)、钇氧化物(Y_2O_3)、钽氧化物(Ta_2O_5)、其硅酸盐、其氮掺杂化合物、其合金、以及其堆叠体。可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、脉冲激光沉积(PLD)、液源雾化化学沉积或其组合来沉积下部阻挡电介质层21L。下部阻挡电介质层21L的厚度可以在从1nm至20nm的范围内，虽然也可以采用更薄或更厚的厚度。下部阻挡电介质层21L可以后续起到电介质材料部分的作用，其阻挡所存储的电荷泄露到控制栅电极。在一个实施例中，下部阻挡电介质层21L包含铝氧化物。

[0073] 附加地或替代地，下部阻挡电介质层21L可以包含硅基电介质材料，比如硅氧化

Micron Ex. 1002, p. 765
Micron v. YMTC
IPR2024-00790

物、硅氮氧化物、硅氮化物或其组合。在一个实施例中，下部阻挡电介质层21L可以包含硅氧化物。可以通过共形沉积方法(比如低压化学气相沉积、原子层沉积或其组合)形成硅基电介质材料。如果存在，硅基电介质材料的厚度可以在从1nm至20nm的范围内，虽然也可以采用更薄或更厚的厚度。替代地，下部阻挡电介质层21L可以省略，并且可以在形成后侧凹陷之后，在待后续形成的存储器膜的表面上通过共形沉积工艺形成阻挡电介质层。

[0074] 参考图6A和6B，在第一存储器开口121和第一支撑开口321的腔中、并在交替堆叠体(132,142)和下部阻挡电介质层21L之上沉积第一牺牲填充材料层22L。第一牺牲填充材料层22L包含第一牺牲填充材料，其为可以对下部阻挡电介质层21L的材料有选择性地移除的材料。在一个实施例中，第一牺牲填充材料可以包含半导体材料，比如硅(例如，非晶硅或多晶硅)、锗、硅-锗合金。替代地，第一牺牲填充材料可以包含非晶碳、类金刚石碳、或多孔有机硅酸盐玻璃。

[0075] 在一个实施例中，可以采用非共形沉积方法来沉积第一牺牲填充材料层22L。在此情况下，可以在每个第一存储器开口121内和每个第一支撑开口321内形成第一包封腔29。如本文中所用的，“腔”是指不包含固体或液体材料的容积。腔可以处于真空或可以包含气相材料。如本文中所使用的，“包封腔”是指被包封的腔，即，在其中不具有任何开口的表面的连续组内部的腔。从而，限定包封腔的表面彼此之间连续，且其之间不包含任何间隙。一经用第一牺牲填充材料填充第一存储器开口121和第一支撑开口321，在每个第一存储器开口121内和每个支撑开口321内形成第一包封腔29。每个第一包封腔29在相应的第一存储器开口121内或在相应的第一支撑开口321内被第一牺牲填充材料的一部分包封。

[0076] 参考图7A和7B，可以例如通过施加光致抗蚀剂层(未示出)、光刻法地图案化光致抗蚀剂层、以及采用各向异性蚀刻将光致抗蚀剂层中的图案转印穿过第一交替堆叠体(132,142)，来穿过第一交替堆叠体(132,142)形成至少一个第一接触沟槽179。每个第一接触沟槽179可以从第一牺牲填充材料层22L的顶部表面至少延伸到半导体材料层10的顶部表面。可以将与半导体材料层10的第一导电类型相反的第二导电类型的掺杂剂植入到半导体材料层10的表面部分中，以形成源极区61。每个第一接触沟槽179延伸穿过下部堆叠体结构(132,142,165)，并且因此在本文中称为下级接触沟槽。

[0077] 参考图8A和8B，可以例如采用各向同性蚀刻工艺，将关于第一绝缘层132的材料选择性地蚀刻第一牺牲材料层142的材料的蚀刻剂引入到第一接触沟槽179中。在第一牺牲材料层142被移除的体积中形成第一后侧凹陷143。第一牺牲材料层142的材料的移除可以是对第一绝缘层132的材料、第一反向阶梯电介质材料部分165的材料、半导体材料层10的半导体材料以及下部阻挡电介质层21L的材料有选择性的。在一个实施例中，第一牺牲材料层142可以包含硅氮化物，并且第一绝缘层132和第一反向阶梯电介质材料部分165的材料可以选自硅氧化物和电介质金属氧化物。在另一实施例中，第一牺牲材料层142可以包含半导体材料，比如锗或硅-锗合金，并且第一绝缘层132和第一反向阶梯电介质材料部分165的材料可以选自硅氧化物、硅氮化物以及电介质金属氧化物。

[0078] 各向同性蚀刻工艺可以为采用湿法蚀刻溶液的湿法蚀刻工艺，或可以为气相(干法)蚀刻工艺，其中蚀刻剂以气相被引入到第一接触沟槽179中。例如，如果第一牺牲材料层142包含硅氮化物，则蚀刻工艺可以为湿法蚀刻工艺，其中示例性结构被浸没在包含磷酸的湿法蚀刻槽中，磷酸对硅氧化物、硅以及本领域中采用的各种其他材料有选择性地蚀刻硅

Micron Ex. 1002, p. 766
Micron v. YMTC
IPR2024-00790

氮化物。

[0079] 每个第一后侧凹陷143可以为横向延伸的腔，其具有大于腔的垂直范围的横向尺寸。换而言之，每个第一后侧凹陷143的横向尺寸可以大于第一后侧凹陷143的高度。可以在第一牺牲材料层142的材料被移除的体积中形成多个第一后侧凹陷143。多个第一后侧凹陷143中的每一个可以实质上平行于基板(9,10)的顶部表面延伸。第一后侧凹陷143可以由下面的第一绝缘层132的顶部表面和上覆的第一绝缘层132的底部表面垂直地界定。在一个实施例中，每个第一后侧凹陷143可以具有通体均匀的高度。可选地，后侧阻挡电介质层可以形成在后侧凹陷中。

[0080] 参考图9A和9B，可以在多个第一后侧凹陷143中、第一接触沟槽179的侧壁上、并且在第一牺牲填充材料层22L之上沉积至少一种导电材料。至少一种导电材料可以包含至少一种金属材料，即，包含至少一种金属元素的导电材料。

[0081] 可以在多个第一后侧凹陷143中形成多个第一导电层146，并且可以在每个第一接触沟槽179的侧壁上和第一牺牲填充材料层22L之上形成连续金属材料层46L。从而，可以用第一导电层146替换每个第一牺牲材料层142。后侧腔存在于每个第一接触沟槽179的未用连续金属材料层46L填充的部分中。

[0082] 可以通过共形沉积方法(其可以为例如化学气相沉积(CVD)、原子层沉积(ALD)、无电镀、电镀或其组合)来沉积金属材料。金属材料可以为元素金属、至少两个元素金属的金属间合金、至少一种元素金属的导电氮化物、导电金属氧化物、导电掺杂半导体材料、诸如金属硅化物的导电金属-半导体合金、其合金、以及其组合或堆叠体。可以沉积在多个第一后侧凹陷143中的非限制性示例性金属材料包含钨、钨氮化物、钛、钛氮化物、钽、钽氮化物、钴以及钌。在一个实施例中，金属材料可以包括诸如钨的金属和/或金属氮化物。在一个实施例中，用于填充多个第一后侧凹陷143的金属材料可以为钛氮化物层和钨填充材料的组合。在一个实施例中，可以通过化学气相沉积或原子层沉积来沉积金属材料。

[0083] 参考图10A和10B，从每个第一接触沟槽179的侧壁并从第一牺牲填充材料层22L的上方例如通过各向同性蚀刻来回蚀刻连续金属材料层46L的沉积的金属材料。第一后侧凹陷143中的沉积的金属材料的每个剩余部分构成第一导电层146。每个第一导电层146可以为导电线结构。从而，可以用第一导电层146替换每个第一牺牲材料层142。

[0084] 每个第一导电层146可以用作位于相同级的多个控制栅电极与将位于相同级的多个控制栅电极电互连(即，电短路)的字线的组合。每个第一导电层146内的控制栅电极为待后续形成的垂直存储器装置的控制栅电极。

[0085] 参考图11A和11B，在每个第一接触沟槽179中和第一牺牲填充材料层22L之上沉积第二牺牲填充材料层24L。第二牺牲填充材料层24L包含第二牺牲填充材料，其为可以对第一绝缘层132和第一导电层146的材料有选择性地被移除的材料。在一个实施例中，第二牺牲填充材料可以包含半导体材料，比如多晶硅，锗，和/或硅-锗合金。替代地，第二牺牲填充材料可以包含非晶碳，类金刚石碳，或多孔有机硅酸盐玻璃。第二牺牲填充材料可以与第一牺牲填充材料相同或不同。

[0086] 在一个实施例中，可以采用非共形沉积方法来沉积第二牺牲填充材料层24L。在此情况下，可以在每个第一接触沟槽179内形成第二包封腔27。一经用第二牺牲填充材料填充第一接触沟槽179，在每个第一接触沟槽179内形成第二包封腔27。每个第二包封腔27被相

Micron Ex. 1002, p. 767
Micron v. YMTC
IPR2024-00790

应的第一接触沟槽179内的第二牺牲填充材料的一部分包封。

[0087] 参考图12A和12B，执行平坦化工艺，以从第一绝缘层132和第一导电层146的交替堆叠体(132,146)上方移除第一和第二牺牲填充材料层(21L,22L)的部分。在一个实施例中，可以采用化学机械平坦化(CMP)工艺来从交替堆叠体(132,146)上方移除第一和第二牺牲填充材料层(21L,22L)。可选地，下部阻挡电介质层21L的水平部分可以用作CMP工艺的终止层。在一个实施例中，可以例如通过各向同性蚀刻工艺或通过润色抛光工艺(touch-up polish process)，来后续移除下部阻挡电介质层21L的水平部分。第一牺牲填充材料在第一存储器开口或第一支撑开口中的每个剩余部分构成包含第一包封腔27的第一牺牲填充材料部分22。第二牺牲填充材料在第一接触沟槽中的每个剩余部分构成包含第二包封腔27的第二牺牲填充材料部分24。在一个实施例中，第一牺牲填充材料部分22可以形成二维阵列，其可以具有沿着两个不同的水平方向的周期性。此外，每个第二牺牲填充材料部分24可以沿着水平方向延伸，水平方向在本文中称为第二牺牲填充材料部分24的长度向方向。下部阻挡电介质层21L在第一存储器开口内或第一支撑开口内的每个剩余部分在本文中称为下部阻挡电介质21。每个下部阻挡电介质21直接形成在第一存储器开口或第一支撑开口的侧壁上。

[0088] 参考图13A和13B，然后在下部堆叠体结构(132,142,165)的顶部表面上形成材料层的第二交替堆叠体(232,242)。第二堆叠体(232,242)包含交替多个第三材料层和第四材料层。每个第三材料层可以包含第三材料，并且每个第四材料层可以包含与第三材料不同的第四材料。在一个实施例中，第三材料可以与第一绝缘层132的第一材料相同，并且第四材料可以与第一牺牲材料层142的第二材料相同。

[0089] 在一个实施例中，第三材料层和第四材料层可以分别为第二绝缘层232和第二牺牲材料层242。第二绝缘层232的第三材料可以为至少一种绝缘材料。第二牺牲材料层242的第四材料为牺牲材料，所述牺牲材料可以对第二绝缘层232的第三材料有选择性地被移除。第二牺牲材料层242可以包括绝缘材料、半导体材料或导电材料。可以后续用导电电极替换第二牺牲材料层242的第四材料，导电电极可以例如起到垂直NAND装置的控制栅电极的作用。

[0090] 在一个实施例中，每个第二绝缘层232可以包含第二绝缘材料，并且每个第二牺牲材料层242可以包含第二牺牲材料。在此情况下，第二堆叠体(232,242)可以包含交替的多个第二绝缘层232和第二牺牲材料层242。可以例如通过化学气相沉积(CVD)来沉积第二绝缘层232的第三材料。可以例如通过CVD或原子层沉积(ALD)来形成第二牺牲材料层242的第四材料。

[0091] 第二绝缘层232的第三材料可以为至少一种绝缘材料。可以用于第二绝缘层232的绝缘材料可以为能够用于第一绝缘层132的任意材料。第二牺牲材料层242的第四材料为牺牲材料，所述牺牲材料可以对第二绝缘层232的第三材料有选择性地被移除。可以用于第二牺牲材料层242的牺牲材料可以为能够用于第一牺牲材料层142的任意材料。在一个实施例中，第二绝缘材料可以与第一绝缘材料相同，并且第二牺牲材料可以与第一牺牲材料相同。

[0092] 第二绝缘层232和第二牺牲材料层242的厚度可以在从20nm至50nm的范围内，虽然对于每个第二绝缘层232和对于每个第二牺牲材料层242可以采用更薄或更厚的厚度。第二绝缘层232和第二牺牲材料层242的对的重复的数目可以在从2至1024的范围内，并且典型

Micron Ex. 1002, p. 768
Micron v. YMTC
IPR2024-00790

地为从8至256，虽然也可以采用更大数目的重复。在一个实施例中，第二堆叠体(232,242)中的每个第二牺牲材料层242可以具有均匀的厚度，其在每个相应的第二牺牲材料层242内实质上不变。

[0093] 可以后续在第二堆叠体(232,242)之上形成电介质盖层70和平坦化终止层72。电介质盖层70包含与第二牺牲材料层242的材料不同的电介质材料。在一个实施例中，电介质盖层70可以包含硅氧化物。平坦化终止层72是可选的层，并包含与第二牺牲材料层242的材料不同的电介质材料，且可以用作平坦化工艺(其可以为化学机械平坦化工艺)中的平坦化终止材料。例如，平坦化终止层72可以包含硅氮化物和/或电介质金属氧化物。

[0094] 参考图14A和14B，在接触区200中的第二堆叠体(232,242)中形成附加阶梯表面。附加阶梯表面在本文中称为第二阶梯表面。第二阶梯表面形成在第二阶梯区域中，其相邻于且不叠盖下部堆叠体结构(132,142,165)内的第一阶梯表面的第一阶梯区域。第二阶梯表面可以相邻于且不叠盖第一交替堆叠体(132,146)与第一反向阶梯电介质材料部分165之间的阶梯界面。

[0095] 可以例如通过形成其中具有开口的掩模层，在最顶部第二牺牲材料层242和最顶部第二绝缘层232的级内蚀刻腔，以及通过蚀刻直接位于蚀刻区域内的蚀刻的腔的底部表面下方的第二绝缘层232和第二牺牲材料层242的对来迭代地扩大蚀刻区域并将腔垂直凹陷，来形成第二阶梯表面。图案化第二堆叠体(232,242)，使得每个下面的第二牺牲材料层242比蚀刻区中的任意上覆第二牺牲材料层242横向突出得更远，并且每个下面的第二绝缘层232比蚀刻区中的任意上覆的第二绝缘层232横向突出得更远。蚀刻区域包含接触区200的区域，其包含用于第二堆叠体(232,242)的接触区域和用于第一交替堆叠体(132,142)的接触区域。

[0096] 从而，图案化第二堆叠体(232,242)，以在其上形成第二阶梯表面。通过移除第二堆叠体(232,242)的部分而形成的腔在本文中称为第二阶梯腔。第二阶梯腔的区域包含第一反向阶梯第一电介质材料部分165的区域，从该区域移除第二堆叠体(232,242)的全部层。第二阶梯腔的区域还包含第二堆叠体(232,242)的第二阶梯表面的区域。

[0097] 沉积电介质材料以填充第二阶梯腔。例如通过化学机械平坦化来移除电介质材料覆于第二堆叠体(232,242)的最顶部表面之上的过量部分。沉积的电介质材料的剩余部分为反向阶梯，并且从而形成第二反向阶梯电介质材料部分265。第二反向阶梯电介质材料部分265位于第二堆叠体(232,242)的第二阶梯表面上或之上。在第二阶梯表面上形成第二反向阶梯电介质材料部分265。接触区200包括第一阶梯表面的区域和第二阶梯表面的区域。

[0098] 参考图15A和15B，第二开口(221,421)形成为穿过上部堆叠体结构(232,242,265,70,72)至下部堆叠体结构(132,142,165)的顶部表面。第二开口(221,421)包含装置区100中形成的第二存储器开口221和接触区200中形成的第二支撑开口421。每个第二存储器开口221可以形成在与相应的第一存储器开口121的区域实质上重合的区域中。每个第二支撑开口421可以形成在与相应的第一支撑开口321的区域实质上重合的区域中。

[0099] 例如，可以将至少包含光致抗蚀剂层的光刻材料堆叠体(未示出)形成在上部堆叠体结构(232,242,265,70,72)之上，并且将其光刻法地图案化，以在光刻材料堆叠体内形成开口。可以通过采用图案化光刻材料堆叠体作为蚀刻掩模的至少一个各向异性蚀刻，来将光刻材料堆叠体中的图案转印穿过上部堆叠体结构(232,242,265,70,72)的整体。将上部

Micron Ex. 1002, p. 769
Micron v. YMTC
IPR2024-00790

堆叠体结构(232,242,265,70,72)位于图案化的光刻材料堆叠体中的开口之下的部分蚀刻,以形成第二开口(221,421)。换而言之,图案化的光刻材料堆叠体中的图案穿过上部堆叠体结构(232,242,265,70,72)的转印形成第二开口(221,421)。

[0100] 在一个实施例中,可以交替用来蚀刻穿过第二堆叠体(232,242)的材料的各向异性蚀刻工艺的化学反应,以在提供第二电介质材料部分265的相当的平均蚀刻速率的同时,最优化对第二堆叠体(232,242)中的第三材料和第四材料的蚀刻。各向异性蚀刻可以为例如一系列的反应离子蚀刻。第二开口(221,421)的侧壁可以为实质上垂直的,或可以为锥形的。

[0101] 在覆于第一存储器开口(121,321)之上的区域中穿过上部堆叠体结构(232,242,265,70,72)形成第二存储器开口(221,421),第一存储器开口(121,321)填充有牺牲开口填充结构(22,24)。可以在形成第二存储器开口221的同时,将第二支撑开口421形成为穿过交替层(232,242)的第二堆叠体并穿过第二电介质材料部分265,第二存储器开口221形成为穿过交替层(232,242)的第二堆叠体。在一个实施例中,牺牲开口填充结构(22,24)可以用作终点检测层,以控制各向异性蚀刻工艺的终止时间。

[0102] 第二开口(221,421)的横向尺寸(例如,直径)可以是与第一开口(121,321)的横向尺寸相当的。例如,第二开口(221,421)的横向尺寸在每个第二开口(221,421)的上部部分处可以为从约20nm至200nm,并且在每个第二开口(221,421)的下部部分处可以为约10nm至150nm。在一个实施例中,第二存储器开口221和第一存储器开口121可以形成为开口的阵列,其可以为开口的周期性二维阵列。第二支撑开口421和第一支撑开口321可以形成为离散开口,其彼此相互分隔,并且可以不形成周期性二维阵列图案。第二支撑开口421之间的横向分隔距离可以大于第二存储器开口221之间的最接近相邻距离的二倍(例如,三倍或更多)。

[0103] 第二存储器开口221的每个底部表面可以完全在下面的第一牺牲填充材料部分22的顶部表面的区域内。第二支撑开口421的每个底部表面可以完全在下面的牺牲填充材料部分24的顶部表面的区域内。随后,可以例如通过灰化来后续移除图案化的光刻材料堆叠体。

[0104] 参考图16,对于其中在每个外延沟道部分11的侧壁处提供电介质间隔体116且其中采用栅极电介质层31代替最底部第一绝缘层132的配置,示出了第一存储器开口和第二存储器开口的垂直堆叠体。可以在形成第一后侧凹陷143之后和沉积至少一种导电材料以形成第一导电层146之前(例如,在图8A和8B的工艺步骤与图9A和9B的工艺步骤之间),通过氧化外延沟道部分11的物理暴露的侧壁来提供这样的配置。

[0105] 可以直接在第二开口(221,421)的侧壁上和第一牺牲填充材料部分22的物理暴露的表面上、并在第二交替堆叠体(232,242)之上沉积上部阻挡电介质层41L。上部阻挡电介质层41L可以包含能够用于下部阻挡电介质层21L的任意材料中的一种或多种。可以采用能够用来沉积下部阻挡电介质层21L的相同工艺来沉积上部阻挡电介质层41L。上部阻挡电介质层41L的组分可以与下部阻挡电介质层21L的组分相同或不同。上部阻挡电介质层41L的厚度可以与下部阻挡电介质层21L的厚度相同或不同。在一个实施例中,上部阻挡电介质层41L不物理接触下面的下部阻挡电介质21的任何部分。

[0106] 可以在上部阻挡电介质层41L之上可选地形成牺牲衬垫42L。牺牲衬垫42L包含能

Micron Ex. 1002, p. 770
Micron v. YMTC
IPR2024-00790

够对上部阻挡电介质层41L的材料有选择性地移除、且在移除上部阻挡电介质层41L的水平部分的后续各向异性蚀刻工艺期间可以为上部阻挡电介质层41L的垂直部分提供保护的材料。例如，牺牲衬垫42L可以包含这样的材料，比如硅、锗、硅-锗合金、非晶碳、类金刚石碳或有机硅酸盐玻璃。在一个实施例中，牺牲衬垫42L可以包含与第一牺牲填充材料部分22的材料相同的材料。在一个实施例中，牺牲衬垫42L可以为非晶硅层或多晶硅层。牺牲衬垫42L的厚度可以在从1nm至20nm的范围内，虽然也可以采用更薄或更厚的厚度。

[0107] 参考图17，执行各向异性蚀刻，以移除牺牲衬垫42L和上部阻挡电介质层41L的水平部分。在位于第二存储器开口下方的每个第一存储器开口内各向异性地蚀刻每个第一牺牲填充材料部分22的上部部分。各向异性蚀刻移除每个第一牺牲材料填充部分22的上部盖部分，使得包封腔29连接到上覆的腔体积并成为开放腔29'。换而言之，每个包封腔29的体积连续地邻接于上覆的第二存储器开口的体积，从而包封腔29成为开放腔29'。如本文中所使用的，"开放腔"是指连续地连接到未填充固体或液体的另一体积的腔。上部阻挡电介质层41L在第二存储器开口内或第二支撑开口内的每个剩余部分构成上部阻挡电介质41。

[0108] 参考图18，通过对下部阻挡电介质21和上部阻挡电介质41材料有选择性的各向同性蚀刻，来移除牺牲衬垫42L和第一牺牲填充材料部分22的材料。各向同性蚀刻工艺的蚀刻剂可以穿过开放腔29'同时接近牺牲填充材料部分22的侧壁部分和底部部分。在移除牺牲衬垫42L和第一牺牲填充材料部分22的材料的各向同性蚀刻期间，可以将每个上部阻挡电介质41的最底部水平部分移除或在尺寸上缩小。移除牺牲衬垫42L的材料和第一牺牲填充材料部分22的材料的各向同性蚀刻可以对下部阻挡电介质21和上部阻挡电介质41的材料具有高选择度，从而最小化下部阻挡电介质21和上部阻挡电介质41的附带损坏。在一个实施例中，上部阻挡电介质41可以与下面的阻挡电介质21物理分开，即，不与之物理接触，如图18的插图中所示。

[0109] 下部堆叠体结构(132,146,165)中的第一存储器开口和上部堆叠体结构(232,246,265,70,72)中的第二存储器开口的堆叠体共同构成堆叠体间存储器开口。每个堆叠体间存储器开口可以包含第一存储器开口和第二存储器开口的垂直邻接的对的体积，并且可以延伸穿过下部堆叠体结构(132,146,165)和上部堆叠体结构(232,246,265,70,72)。

[0110] 参考图19，可以后续在堆叠体间存储器开口中和上部堆叠体结构(232,246,265,70,72)之上将存储器材料层54、隧穿电介质层56以及第一半导体沟道层601沉积为共形材料层。在一个实施例中，存储器材料层54可以为包含电介质电荷捕捉材料的电荷捕捉材料，其可以为例如硅氮化物。存储器材料层54可以形成为均质组分的单个存储器材料层，或可以包含多个存储器材料层的堆叠体。如果采用，多个存储器材料层可以包括多个间隔开的浮置栅极材料层，其含有导电材料(例如，金属，比如钨、钼、钽、钛、铂、钌及其合金，或金属硅化物，比如钨硅化物、钼硅化物、钽硅化物、钛硅化物、镍硅化物、钴硅化物或其组合)和/或半导体材料(例如，包含至少一种元素半导体元素或至少一种化合物半导体材料的多晶或非晶半导体材料)。替代地或附加地，存储器材料层54可以包括绝缘电荷捕捉材料，比如一个或多个硅氮化物片段(segment)。替代地，存储器材料层54可以包括导电纳米颗粒，比如金属纳米颗粒，其可以为例如钌纳米颗粒。可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、物理气相沉积(PVD)或用于在其中储存电荷的任意适当沉积技术来形成存储器材料层54。存储器材料层54的厚度可以在从2nm至20nm的范围内，虽然也可以采用更薄或更厚

Micron Ex. 1002, p. 771
Micron v. YMTC
IPR2024-00790

的厚度。

[0111] 隧穿电介质层56包含电介质材料，可以在适当电偏压条件下穿过所述电介质材料执行电荷隧穿。可以通过热载流子注入或通过Fowler-Nordheim隧穿引发的电荷转移来执行电荷隧穿，这取决于要形成的单片三维NAND串存储器装置的操作模式。隧穿电介质层56可以包含硅氧化、硅氮化物、硅氮氧化物、电介质金属氧化物(比如铝氧化物和铪氧化物)、电介质金属氮氧化物、电介质金属硅酸盐、其合金、和/或其组合。在一个实施例中，隧穿电介质层56可以包含第一硅氧化物层、硅氮氧化物层和第二硅氧化物层的堆叠体，其通常已知为ONO堆叠体。

[0112] 在一个实施例中，可以通过沉积硅氧化物层，将硅氧化物层的表面部分氮化为硅氮氧化物层，以及将硅氮氧化物层的表面部分氧化为第二硅氧化物层，来形成ONO堆叠体。硅氧化物层未被转化为硅氮氧化物层的部分为ONO堆叠体内的第一硅氧化物层，并且硅氮氧化物层未被转化为第二硅氧化物层的部分为ONO堆叠体内的硅氮氧化物层。替代地，可以通过将硅氧化物沉积在由氮化形成的硅氮氧化物层的内侧壁上，来形成第二硅氧化物层。在一个实施例中，隧穿电介质层56可以包含实质上不含碳的硅氧化物层和/或实质上不含碳的硅氮氧化物层。隧穿电介质层56的厚度可以在从2nm至20nm的范围内，虽然也可以采用更薄或更厚的厚度。

[0113] 可以在隧穿电介质层56之上形成第一半导体沟道层601。第一半导体沟道层601可以直接沉积在隧穿电介质层56上。第一半导体沟道层601包含半导体材料，比如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。在一个实施例中，第一半导体沟道层601包含非晶硅或多晶硅。可以通过共形沉积方法(比如低压化学气相沉积(LPCVD))来形成第一半导体沟道层601。第一半导体沟道层601的厚度可以在从2nm至10nm的范围内，虽然也可以采用更薄或更厚的厚度。在形成第一半导体沟道层601之后，腔49'存在于每个堆叠体间存储器开口中。

[0114] 参考图20，执行各向异性蚀刻，以移除第一半导体沟道层601、隧穿电介质层56、存储器材料层54以及下部阻挡电介质21的水平部分，并且物理地暴露每个外延沟道部分11(或层10是部分11是省略的)的表面。下部阻挡电介质21、上部阻挡电介质41、隧穿电介质层56的剩余部分、存储器材料层54在相同堆叠体间存储器开口的内的剩余部分的每个连续组构成存储器膜50。

[0115] 可以在第一半导体沟道层601的剩余垂直部分上和外延沟道部分11的顶部表面上沉积第二半导体沟道层602。第二半导体沟道层602包含半导体材料，其可以为能够用于第一半导体沟道层601的任意半导体材料。第一和第二半导体沟道层(601,602)可以具有第一导电类型(即，与半导体材料层10相同导电类型)的掺杂或可以为实质上本征的。如本文中所使用的，如果掺杂剂浓度不超过$1.0\times10^{16}/cm^3$，则半导体材料为实质上本征的。在一个实施例中，第二半导体沟道层602可以包含非晶硅或多晶硅。第二半导体沟道层602的厚度可以在从2nm至10nm的范围内，虽然也可以采用更薄或更厚的厚度。

[0116] 在每个堆叠体间存储器开口中的腔49'未被半导体沟道层(601,602)完全填充的情况下，可以在腔49'中沉积电介质芯层，以填充每个堆叠体间存储器开口内的腔49'的任何剩余部分。电介质芯层包含电介质材料，比如硅氧化物或有机硅酸盐玻璃。可以通过诸如

Micron Ex. 1002, p. 772
Micron v. YMTC
IPR2024-00790

低压化学气相沉积(LPCVD)的共形沉积方法或通过诸如旋涂的自平坦化沉积工艺来沉积电介质芯层。

[0117] 随后，可以例如通过凹陷蚀刻，来从绝缘盖层70的顶部表面和可选的平坦化终止层72上方移除电介质芯层的水平部分。例如，可以通过平坦化工艺来移除位于平坦化终止层72的顶部表面上方的第二半导体沟道层602的水平部分，平坦化工艺可以采用凹陷蚀刻或化学机械平坦化(CMP)。第一和第二半导体沟道层(601,602)在堆叠体间存储器开口内的每个剩余部分构成半导体沟道60，其为还包含水平半导体沟道的复合半导体沟道的垂直部分，所述水平半导体沟道存在于半导体材料层10的上部部分中，在外延沟道部分11与源极区61之间。

[0118] 当包含半导体沟道60的垂直NAND装置导通时，电流可以流动通过半导体沟道60。隧穿电介质56被存储器材料层54横向围绕，并横向围绕半导体沟道60的部分。每个存储器膜50能够以宏观保留时间来储存电荷。如本文中所使用的，宏观保留时间是指适于作为永久存储器装置的存储器装置的操作的保留时间，比如超过24小时的保留时间。

[0119] 可以例如通过凹陷蚀刻到位于绝缘盖层70的顶部表面与绝缘盖层70的底部表面之间的深度，来使电介质芯层的剩余部分的顶部表面进一步凹陷到每个存储器开口内。电介质芯层的每个剩余部分构成电介质芯62。

[0120] 可以通过在电介质芯62上方的每个凹陷区内沉积掺杂半导体材料，来形成漏极区63。掺杂半导体材料可以为例如掺杂多晶硅。可以例如通过化学机械平坦化(CMP)或凹陷蚀刻从平坦化终止层72的顶部表面上方移除沉积的半导体材料的过量部分，以形成漏极区63。

[0121] 图21A和22B图示了图20的工艺步骤之后的示例性结构，其形成存储器堆叠体结构55、虚设存储器堆叠体结构55'、电介质芯62以及漏极区。每个存储器堆叠体结构55包含第一存储器开口和第二存储器开口(即，堆叠体间存储器开口)的垂直堆叠体内的存储器膜50与半导体沟道60的组合。每个虚设存储器堆叠体结构55'包含第一支撑开口和第二支撑开口(即，堆叠体间支撑开口)的垂直堆叠体内的存储器膜50和半导体沟道60的组合。

[0122] 参考图22A和22B，可以可选地在上部堆叠体结构(232,242,265,70,72)之上沉积接触级电介质层80。接触级电介质层80包含与第二牺牲填充材料层242的材料不同的电介质材料。例如，接触级电介质层80可以包含硅氧化物。接触级电介质层80的厚度可以在从20nm至500nm的范围内，虽然也可以采用更薄或更厚的厚度。

[0123] 可以例如通过施加光致抗蚀剂层(未示出)，光刻法地图案化光致抗蚀剂层，以及采用各向异性蚀刻将光致抗蚀剂层中的图案穿过第二交替堆叠体(232,242)转印，来穿过第二交替堆叠体(232,242)形成至少一个第二接触沟槽279。每个第二接触沟槽279形成在覆于第一接触沟槽179之上的区域中，第一接触沟槽179填充有第二牺牲填充材料部分24。每个第二接触沟槽279可以延伸穿过上部堆叠体结构(232,242,265,70,72)，并且从而在本文中称为上部级接触沟槽。形成至少一个第二接触沟槽279的各向异性蚀刻可以在第二牺牲填充材料部分24上终止。

[0124] 参考图23A和23B，可以例如采用各向同性蚀刻工艺，来将相对于第二绝缘层232的材料选择性地蚀刻第二牺牲材料层242的材料的蚀刻剂引入到第二接触沟槽279中。第二后侧凹陷243形成在第二牺牲材料层242被移除的体积中。第二牺牲材料层242的材料的移除

Micron Ex. 1002, p. 773
Micron v. YMTC
IPR2024-00790

可以是对第二绝缘层232的材料、第二反向阶梯电介质材料部分165的材料，第二牺牲填充材料部分24的材料、以及上部阻挡电介质41的材料有选择性的。在一个实施例中，第二牺牲材料层242可以包含硅氮化物，并且第二绝缘层232和第二反向阶梯电介质材料部分265的材料可以选自硅氧化物和电介质金属氧化物。在另一实施例中，第二牺牲材料层242可以包含半导体材料，比如锗或硅-锗合金，并且第二绝缘层232和第二反向阶梯电介质材料部分265的材料可以选自硅氧化物、硅氮化物以及电介质金属氧化物。

[0125] 各向同性蚀刻工艺可以为采用湿法蚀刻溶液的湿法蚀刻工艺，或可以为其中将蚀刻剂以气相引入到第二接触沟槽279中的气相(干法)蚀刻工艺。例如，如果第二牺牲材料层242包含硅氮化物，则蚀刻工艺可以为湿法蚀刻工艺，其中示例性结构浸没在包含磷酸的湿法蚀刻槽内，磷酸对硅氧化物、硅以及本领域中采用的各种其他材料有选择性地蚀刻硅氮化物。

[0126] 每个第二后侧凹陷243可以为横向延伸的腔，其具有大于腔的垂直范围的横向尺寸。换而言之，每个第二后侧凹陷243的横向尺寸可以大于第二后侧凹陷243的高度。多个第二后侧凹陷243可以形成在第二牺牲材料层242的材料被移除的体积中。多个第二后侧凹陷243中的每一个可以实质上平行于基板(9,10)的顶部表面延伸。第二后侧凹陷243可以由下面的第二绝缘层232的顶部表面和上覆的第二绝缘层232的底部表面垂直地界定。在一个实施例中，每个第二后侧凹陷243可以具有通体均匀的高度。可选地，可以在后侧凹陷中形成后侧阻挡电介质层。

[0127] 参考图24A和24B，可以执行图9A、9B、10A以及10B的工艺步骤，以在多个第二后侧凹陷243中沉积至少一种导电材料，并且例如通过各向同性蚀刻，从每个第二接触沟槽279的侧壁和从接触级电介质层80上方回蚀刻至少一种导电材料。沉积的金属材料在第二后侧凹陷243中的每个剩余部分构成第二导电层246。每个第二导电层246可以为导电线结构。从而，可以用第二导电层246替换每个第二牺牲材料层242。

[0128] 根据本公开的实施例，可以在形成上部堆叠体结构(232,242,265,70,72)之前，通过穿过第一接触沟槽179供给第一蚀刻剂和至少一种导电材料，来执行用第一导电层146对第一牺牲材料层142的替换。可以在第二牺牲填充材料存在于第一接触沟槽179内的同时，通过穿过第二接触沟槽279供给第二蚀刻剂和至少另一导电材料，来执行用第二导电层246对第二牺牲材料层242的替换。

[0129] 每个第二导电层246可以用作位于相同级处的多个控制栅电极和将位于相同级处的多个控制栅电极电互连(即，电短路)的字线的组合。每个第二导电层246内的控制栅电极为用于待后续形成的垂直存储器装置的控制栅电极。

[0130] 参考图25A和25B，在用第二导电层246替换第二牺牲材料层242之后，可以从第一接触沟槽179移除每个第二牺牲填充材料部分24。可以采用各向异性蚀刻、各向同性蚀刻或其组合来对第一和第二绝缘层(132,232)、第一导电层和第二导电层(146,246)以及源极区61有选择性地移除第二牺牲填充材料部分24。在一个实施例中，可以采用各向异性蚀刻来蚀刻每个第二牺牲填充材料部分24的盖部分，以将每个第二包封腔27转化为开放腔，并且可以采用各向同性蚀刻来从开放腔内蚀刻第二牺牲填充材料部分24的剩余部分。每个源极区61的顶部表面在后侧接触沟槽79内物理暴露，后侧接触沟槽79包含第一接触沟槽179和第二接触沟槽279的体积。

Micron Ex. 1002, p. 774
Micron v. YMTC
IPR2024-00790

[0131] 参考图26A和26B，通过电介质材料层的共形沉积和移除电介质材料层的水平部分的各向异性蚀刻，在每个后侧接触沟槽79内形成绝缘间隔体74。在由绝缘间隔体74封闭的腔内沉积至少一种导电材料，并且从包含接触级电介质层80的顶部表面的水平平面上方移除至少一种导电材料的过量部分。至少一种导电材料在绝缘间隔体74内的剩余部分构成后侧接触通孔结构76。

[0132] 控制栅极接触通孔结构66可以穿过接触级电介质层80以及第二和/或第一反向阶梯电介质材料部分(165,265)形成，以提供对第一导电层和第二导电层(146,246)的电接触。阵列接触通孔结构88可以穿过接触级电介质层80形成，以提供对漏极区63的电接触。

[0133] 尽管上面图示和描述了两个堆叠体(132,146)和(232,246)，应当理解，使用上面所描述的方法可以形成多于两个堆叠体，比如三个至十个堆叠体，比如四个至六个堆叠体。在上面所描述的方法中，在第一堆叠体中形成阶梯、存储器开口和支撑开口(如果需要)，并且然后用牺牲材料填充存储器和支撑开口。然后在第一堆叠体中形成(多个)后侧接触沟槽，用导电层替换牺牲材料层，并且然后用另一牺牲材料填充后侧接触通孔沟槽。然后在第一堆叠体上形成第二堆叠体。如果存储器装置中仅使用两个堆叠体，则方法如上所述完成。

[0134] 替代地，如果存储器装置中使用多于两个堆叠体，则对于装置中不是顶部堆叠体的每个后续堆叠体重复上面第一堆叠体的工艺步骤。从而，对于装置中的第二、第三、第四等堆叠体，在每个沉积的堆叠体中形成阶梯、存储器开口和支撑开口(如果需要)，并且然后用牺牲材料填充存储器和支撑开口。然后在每个沉积的堆叠体中形成(多个)后侧接触通孔沟槽，用导电层替换牺牲材料层，并且然后用另一牺牲材料填充后侧接触通孔沟槽。然后在下面的堆叠体之上形成接下来的堆叠体。当顶部堆叠体形成在下面的堆叠体之上时，执行图14A-26B所示的步骤，并且将存储器堆叠体结构55、后侧接触通孔结构76以及控制栅极接触通孔结构66通过延伸穿过全部堆叠体的相应的开口和沟槽(即，穿过三个或更多个堆叠体)形成。

[0135] 从而，在本公开的实施例方法中，在形成接下来的堆叠体之前，在每个堆叠体中形成导电控制栅极/字线材料。同样，在形成接下来的堆叠体之前，在每个堆叠体中形成阶梯、存储器开口、支撑开口(如果需要)以及后侧接触沟槽，并用牺牲材料填充。相比之下，将存储器堆叠体结构55、后侧接触通孔结构76(即，源电极或局部互连)和控制栅极接触通孔结构66(即，字线接触结构)通过延伸穿过全部堆叠体形成，在相应的单个步骤中形成全部的堆叠体，并在每个堆叠体中用导电层(即，控制栅电极/字线)替换牺牲材料层。

[0136] 在每个堆叠体中用导电层替换牺牲材料层允许在装置中形成许多堆叠体并实现大量的装置级，因为当在具有大量装置级的装置中用水平导电层替换水平牺牲材料层时，获得高金属填充比是相对困难的。同样，由于在高的装置中阶梯和高深宽比(aspect ratio)开口的形成是相对困难的，在形成接下来的上覆的堆叠体之前，在每个堆叠体中形成阶梯以及存储器开口和支撑开口。相比之下，可以在单个步骤中，在延伸穿过全部堆叠体的相应的开口和沟槽中形成垂直存储器堆叠体结构55、后侧接触通孔结构76以及控制栅极接触通孔结构66，以降低工艺成本。

[0137] 示例性结构可以包含单片三维存储器装置，其包含包括第一交替堆叠体的下部堆叠体结构(132,146,165)、包括第二交替堆叠体的上部堆叠体结构(232,246,265,70,72)以及多个存储器堆叠体结构55，第一交替堆叠体包含第一绝缘层132和第一导电层146且位于

Micron Ex. 1002, p. 775
Micron v. YMTC
IPR2024-00790

基板(9,10)之上,第二交替堆叠体包含第二绝缘层232和第二导电层246且位于下部堆叠体结构(132,146,165)之上,并且多个存储器堆叠体结构55延伸穿过下部堆叠体结构(132,146,165)和上部堆叠体结构(232,246,265,70,72)。存储器堆叠体结构55中的每一个位于存储器开口中且包括下部阻挡电介质21和上部阻挡电介质41,下部阻挡电介质21接触存储器开口的下部部分的侧壁,并且上部阻挡电介质41接触存储器开口的上部部分(即,堆叠体间存储器开口)的侧壁,并如图18的插图所示,在一个实施例中,上部阻挡电介质21不与下部阻挡电介质21物理接触。

[0138] 上部阻挡电介质41的底部表面可以完全在由下部阻挡电介质21的顶部表面的内周所限定的区域内。存储器开口的下部部分的侧壁通过第二交替堆叠体(232,246)的水平底部表面邻接于存储器开口的上部部分的侧壁,第二交替堆叠体(232,246)的水平底部表面可以为例如最底部第二绝缘体层232的底部表面,如图18的插图所示。采用不同工艺来形成下部阻挡电介质21和上部阻挡电介质41。从而,上部阻挡电介质41和下部阻挡电介质21组分和厚度中的至少一个可以彼此不同。在一个实施例中,存储器开口的下部部分的侧壁和存储器开口的上部部分的侧壁可以为锥形的。

[0139] 在一个实施例中,多个存储器堆叠体结构55中的每一个可以包括存储器膜50,存储器膜50包含存储器材料层54和隧穿电介质层56。在一个实施例中,每个存储器材料层54可以接触上部堆叠体结构(232,246,265,70,72)的水平表面,所述水平表面可以为例如最底部第二绝缘体层232的底部表面。在一个实施例中,存储器材料层54中的一个与上部堆叠体结构(232,246,265,70,72)的水平表面之间的接触区域可以具有环形的形状,即,其中具有孔的实质上圆形的形状,如图19中的插图所示。

[0140] 单片三维存储器装置还可以包含半导体沟道,半导体沟道包含位于存储器堆叠体结构55内的垂直部分60和与位于下部堆叠体之下的源极区61邻接的水平部分(即,半导体材料层10的表面部分)。半导体沟道的每个垂直部分的上部部分与漏极区63接触。在一个实施例中,至少一个支撑柱结构55'可以延伸穿过下部堆叠结构和上部堆叠体结构的阶梯表面,并且可以包括与多个存储器堆叠体结构55'相同的材料组。在一个实施例中,至少一个支撑柱结构55'中的每一个可以包括虚设半导体沟道60,虚设半导体沟道60具有与半导体沟道60相同的组分和相同的厚度。虚设半导体沟道不电连接到单片三维存储器装置的驱动电路。

[0141] 在一个实施例中,位于至少另一第二导电层246之下的每个第二导电层246可以比第二导电层246之中的任何上覆层横向延伸得更远。此外,位于至少另一第一导电层146之下的每个第一导电层146可以比第一导电层146之中的任意上覆层横向延伸得更远。

[0142] 控制栅极接触通孔结构66可以位于接触区内。控制栅极接触通孔结构66可以至少穿过上部堆叠体结构内的电介质材料部分(即,第二反向阶梯电介质材料部分265)垂直延伸,并且可以接触选自第一导电层和第二导电层(146,246)的相应的导电层。

[0143] 在一个实施例中,下部堆叠体结构还可以包括第一电介质材料部分,例如,位于第一交替堆叠体(132,146)的第一阶梯表面上和之上的第一反向阶梯电介质材料部分165,并且上部堆叠体结构还可以包括第二电介质材料部分,例如,位于第二交替堆叠体(232,246)的第二阶梯表面上和之上的第二反向阶梯电介质材料部分265。第一阶梯表面和第二阶梯表面可以位于接触区内,并且控制栅极接触通孔结构66的子组延伸穿过第一电介质材料部

Micron Ex. 1002, p. 776
Micron v. YMTC
IPR2024-00790

分和第二电介质材料部分。

[0144] 在一个实施例中，单片三维存储器结构包括单片三维NAND存储器装置。第一导电层和第二导电层可以包括或可以电连接到单片三维NAND存储器装置的相应的字线。基板(9,10)可以包括硅基板。单片三维NAND存储器装置可以包括硅基板之上的单片三维NAND串的阵列。单片三维NAND串的阵列的第一装置级中的至少一个存储器单元可以位于单片三维NAND串的阵列的第二装置级中的另一存储器单元之上。硅基板可以含有集成电路，集成电路包括用于位于其上的存储器装置的驱动电路。单片三维NAND串的阵列可以包括多个半导体沟道。多个半导体沟道中的每一个的至少一个端部部分实质上垂直于基板的顶部表面延伸。单片三维NAND串的阵列可以包括多个电荷储存元件。每个电荷储存元件可以定位为与多个半导体沟道的相应的一个相邻。单片三维NAND串的阵列可以包括具有条形状的多个控制栅电极，所述条形状实质上平行于基板的顶部表面延伸。多个控制栅电极可以至少包括位于第一装置级中的第一控制栅电极和位于第二装置级的中的第二控制栅电极。

[0145] 尽管前述涉及特定优选的实施例，应当理解，本公开不限于此。本领域普通技术人员将想到，可以对所公开的实施例进行各种修改，并且这样的修改意图在本公开的范围内。在采用本公开中所阐述的特定结构和/或配置的实施例的情况下，应当理解，能够以功能上等效的任何其他兼容结构和/或配置实践本公开，只要这样的替换未被明确禁止或对于本领域普通技术人员已知为不可能。本文所列举的全部出版物、专利申请和专利通过引用以其整体整合于本文。

Micron Ex. 1002, p. 777
Micron v. YMTC
IPR2024-00790

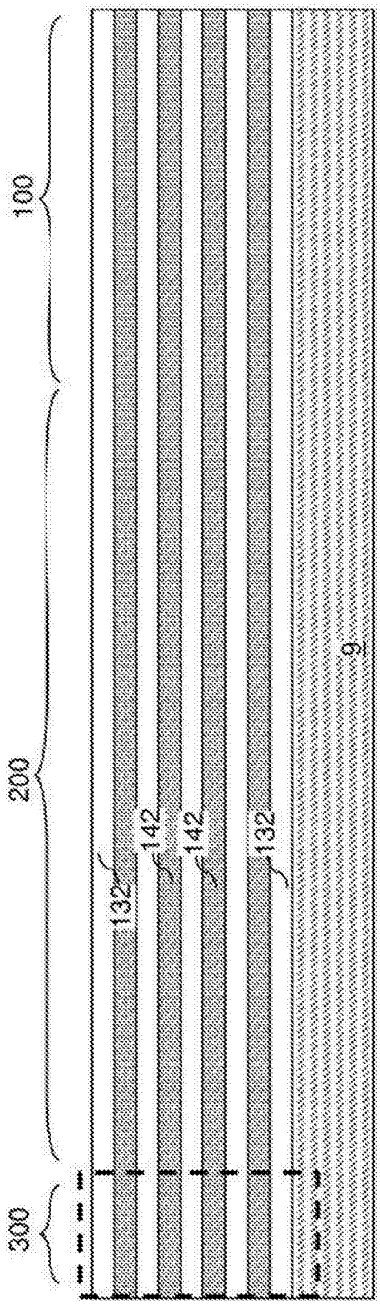


图1

Micron Ex. 1002, p. 778
Micron v. YMTC
IPR2024-00790

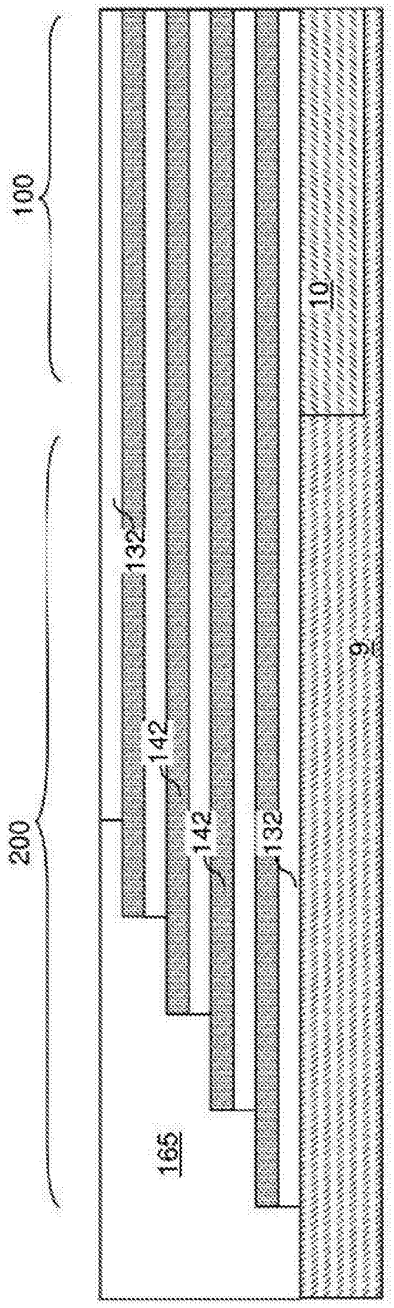


图2

Micron Ex. 1002, p. 779
Micron v. YMTC
IPR2024-00790

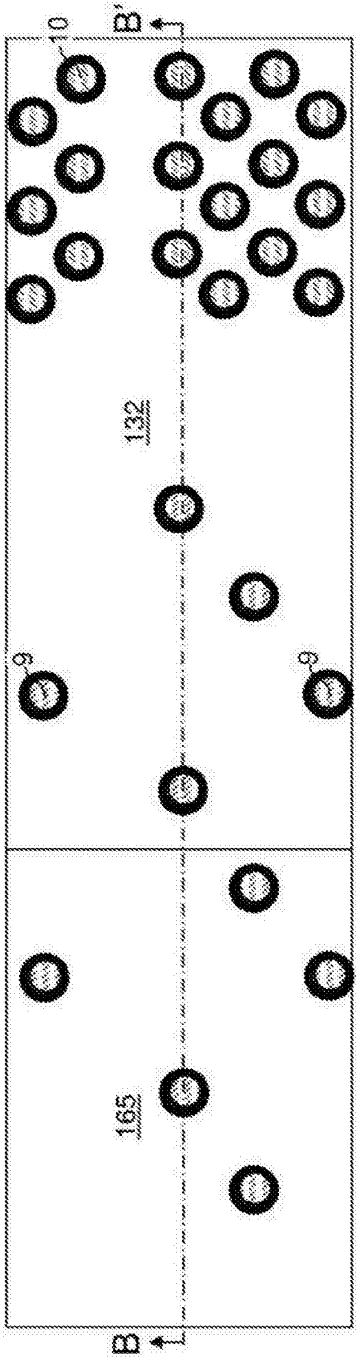


图3A

Micron Ex. 1002, p. 780
Micron v. YMTC
IPR2024-00790

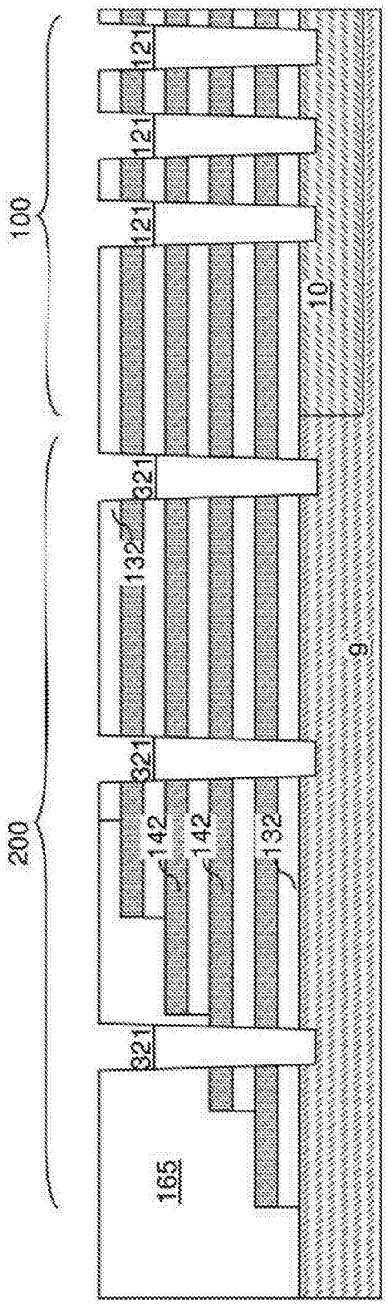


图3B

Micron Ex. 1002, p. 781
Micron v. YMTC
IPR2024-00790

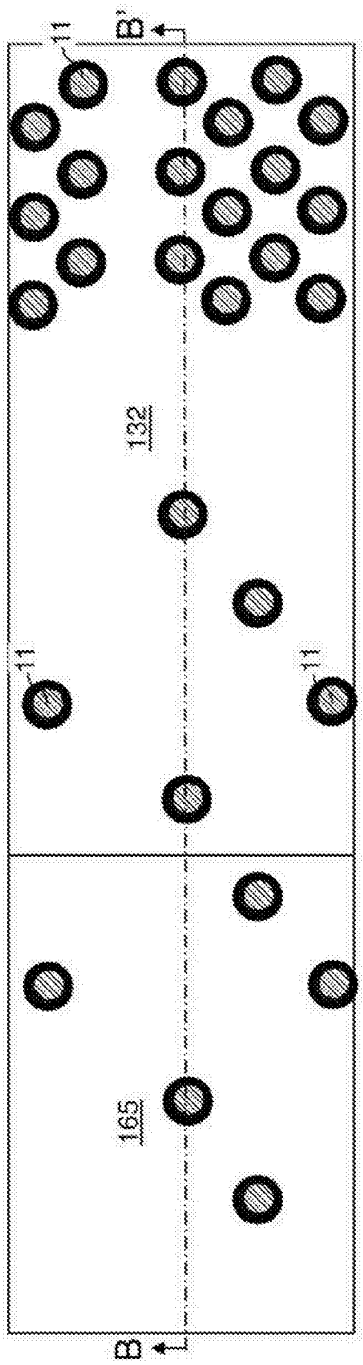


图4A

Micron Ex. 1002, p. 782
Micron v. YMTC
IPR2024-00790

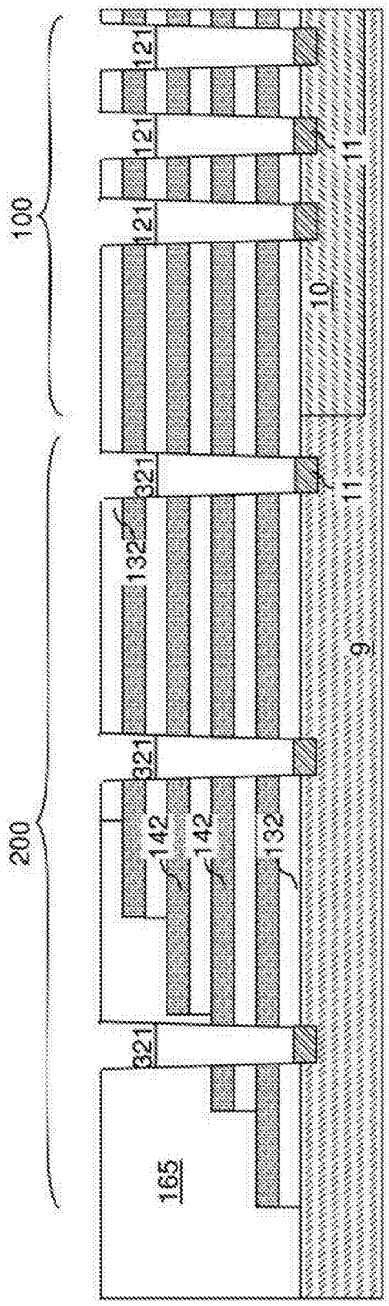


图4B

Micron Ex. 1002, p. 783
Micron v. YMTC
IPR2024-00790

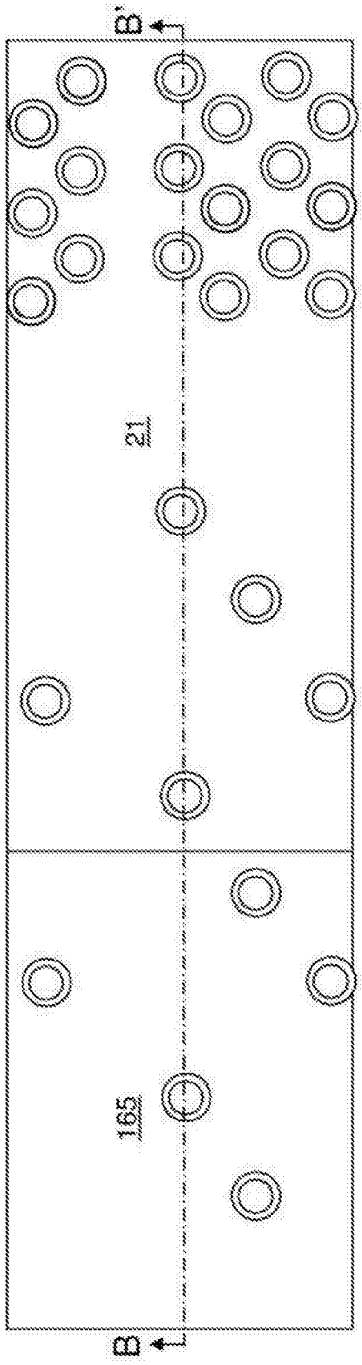


图5A

Micron Ex. 1002, p. 784
Micron v. YMTC
IPR2024-00790

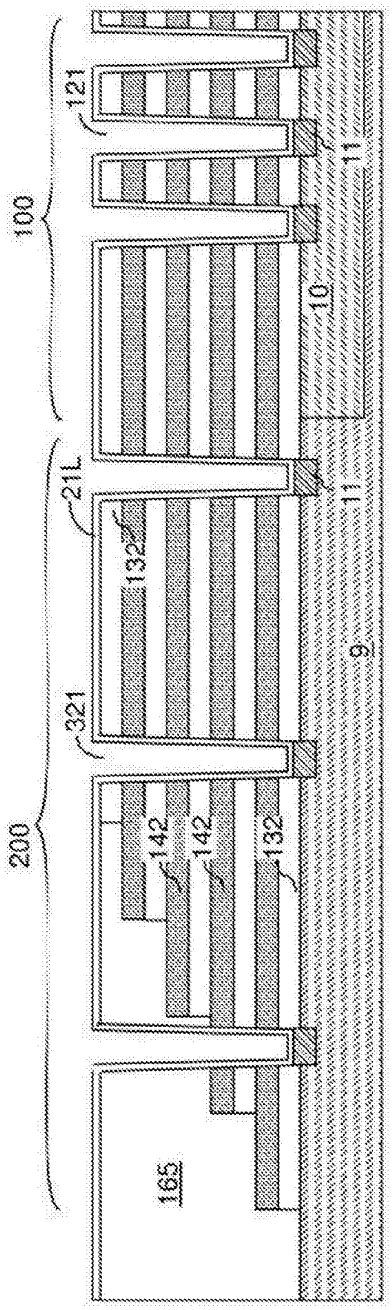


图5B

Micron Ex. 1002, p. 785
Micron v. YMTC
IPR2024-00790

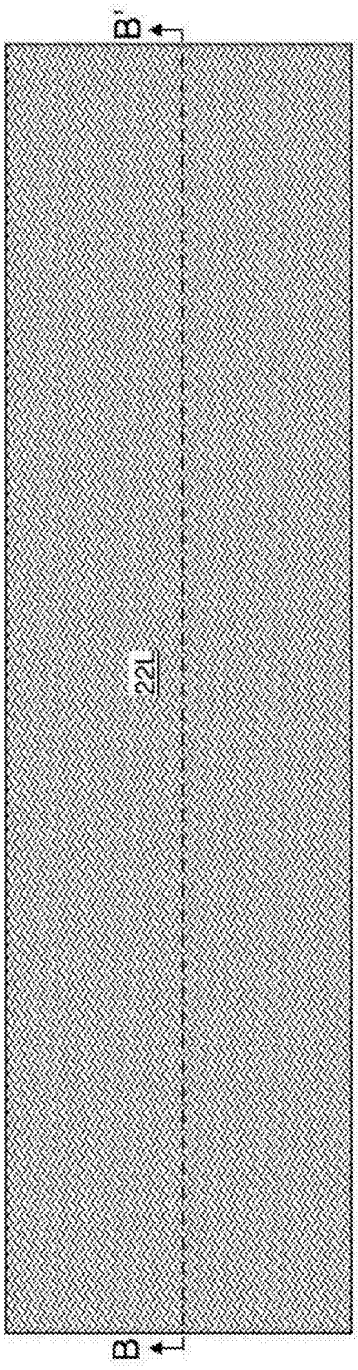


图6A

Micron Ex. 1002, p. 786
Micron v. YMTC
IPR2024-00790

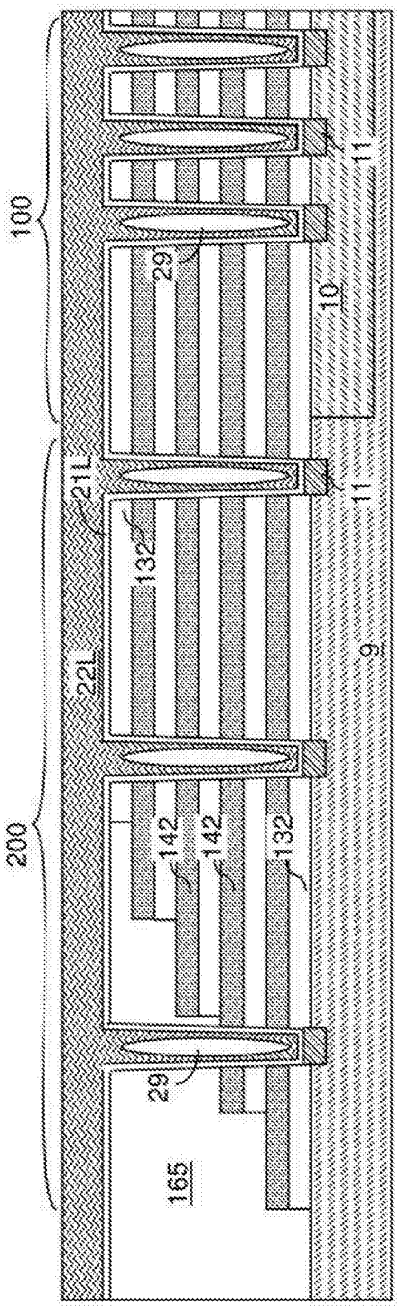


图6B

Micron Ex. 1002, p. 787
Micron v. YMTC
IPR2024-00790

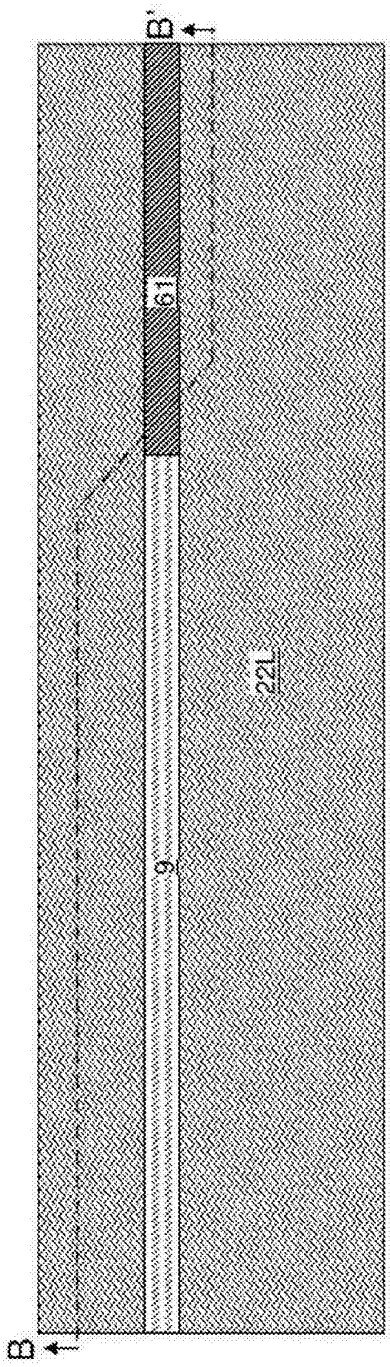


图7A

Micron Ex. 1002, p. 788
Micron v. YMTC
IPR2024-00790

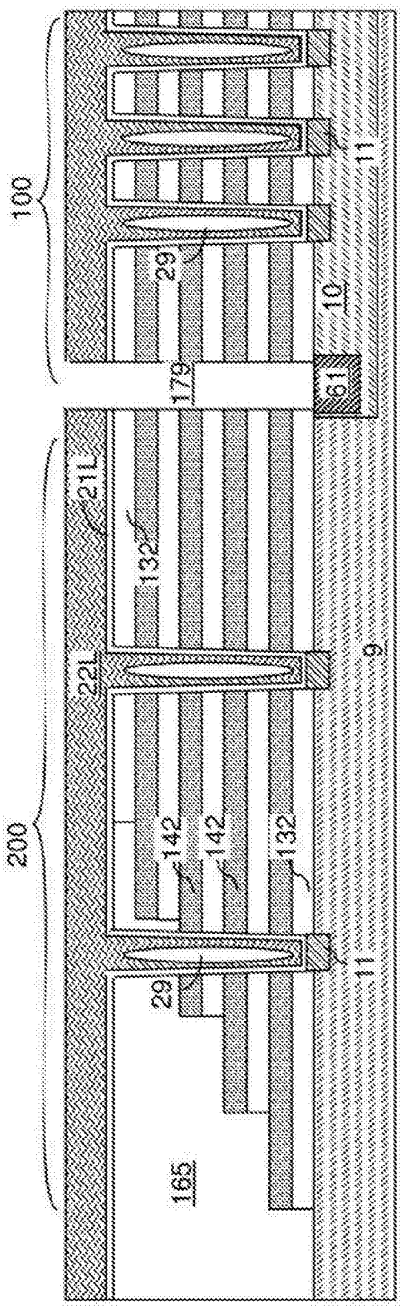


图7B

Micron Ex. 1002, p. 789
Micron v. YMTC
IPR2024-00790

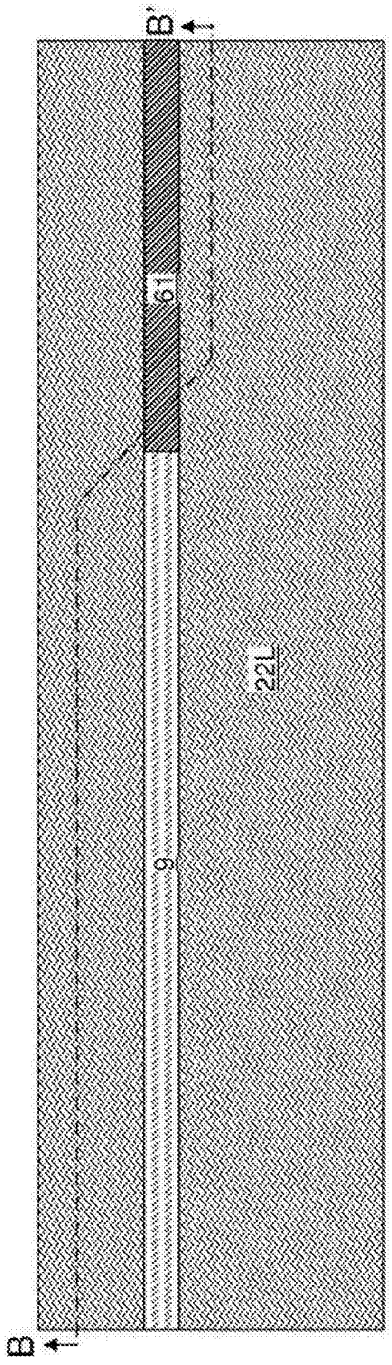


图8A

Micron Ex. 1002, p. 790
Micron v. YMTC
IPR2024-00790

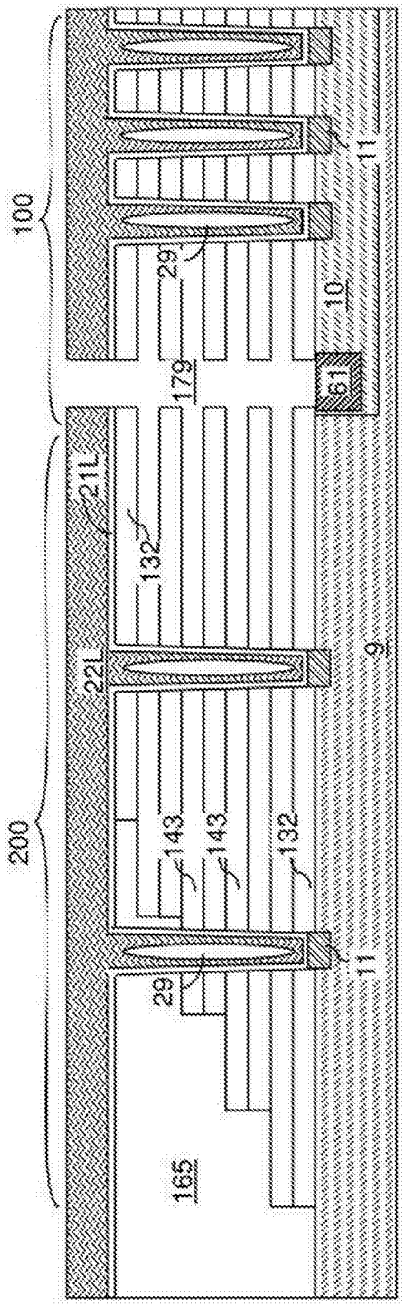


图8B

Micron Ex. 1002, p. 791
Micron v. YMTC
IPR2024-00790

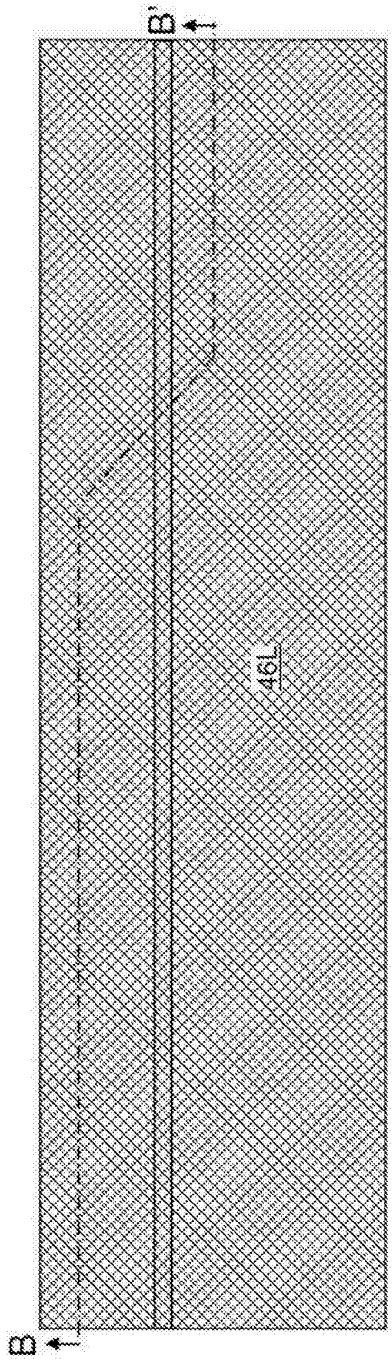


图9A

Micron Ex. 1002, p. 792
Micron v. YMTC
IPR2024-00790

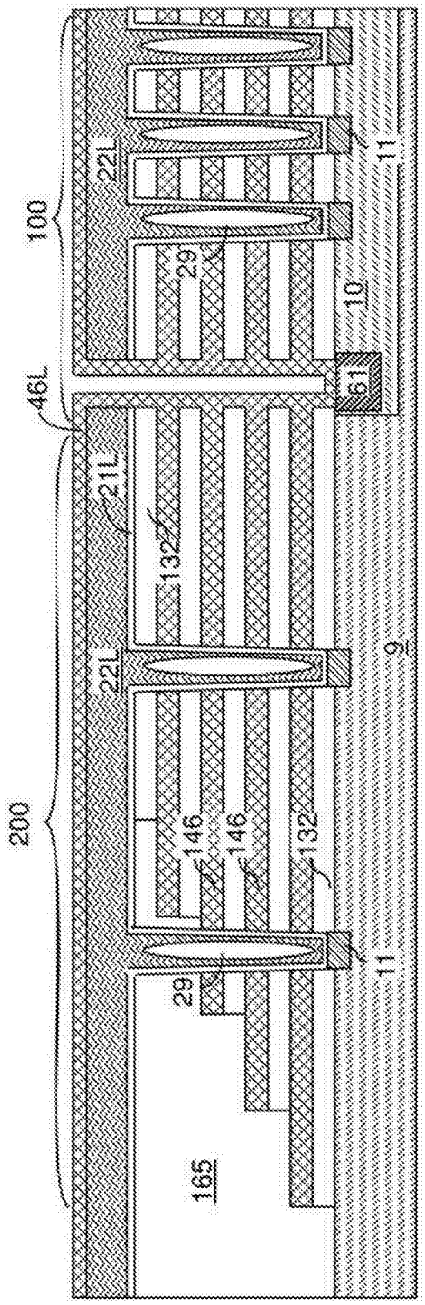


图9B

Micron Ex. 1002, p. 793
Micron v. YMTC
IPR2024-00790

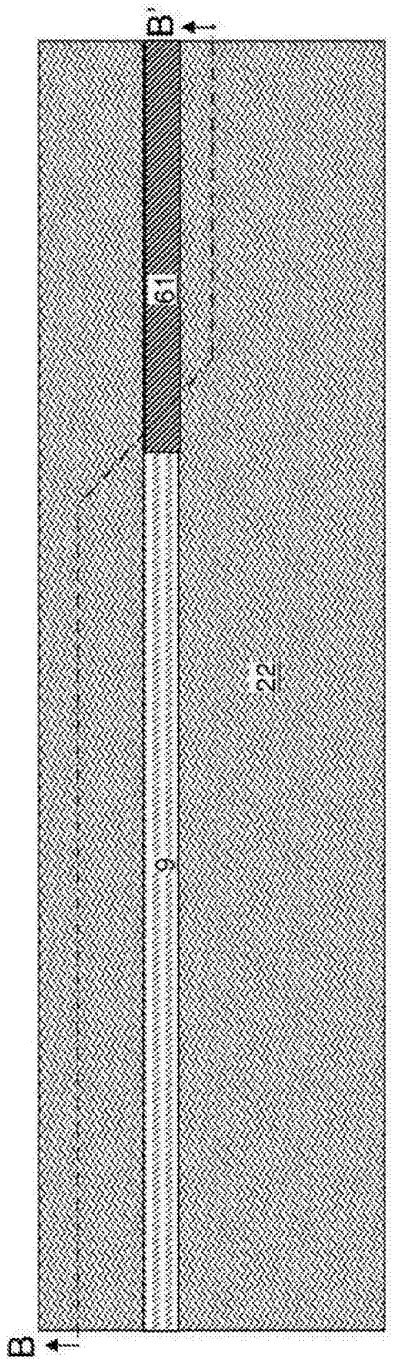


图10A

Micron Ex. 1002, p. 794
Micron v. YMTC
IPR2024-00790

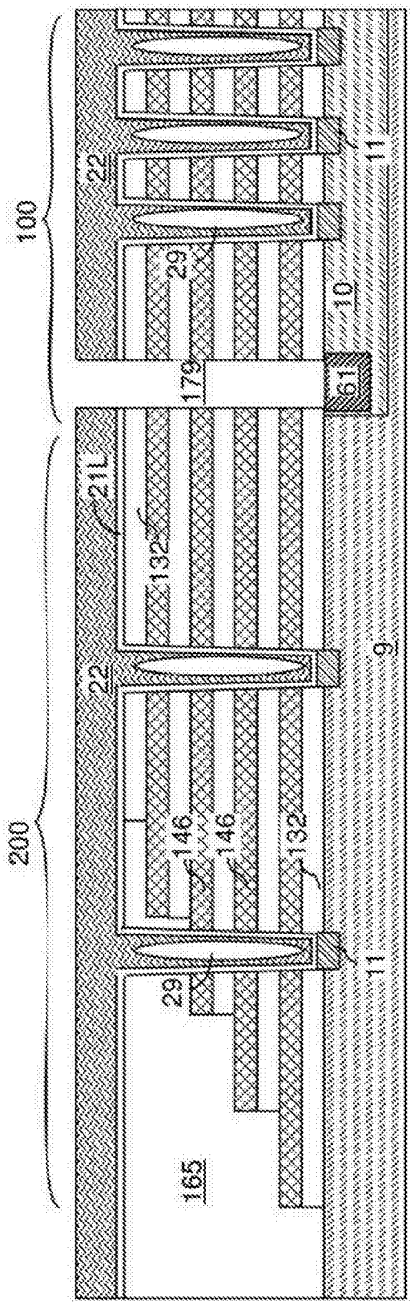


图10B

Micron Ex. 1002, p. 795
Micron v. YMTC
IPR2024-00790

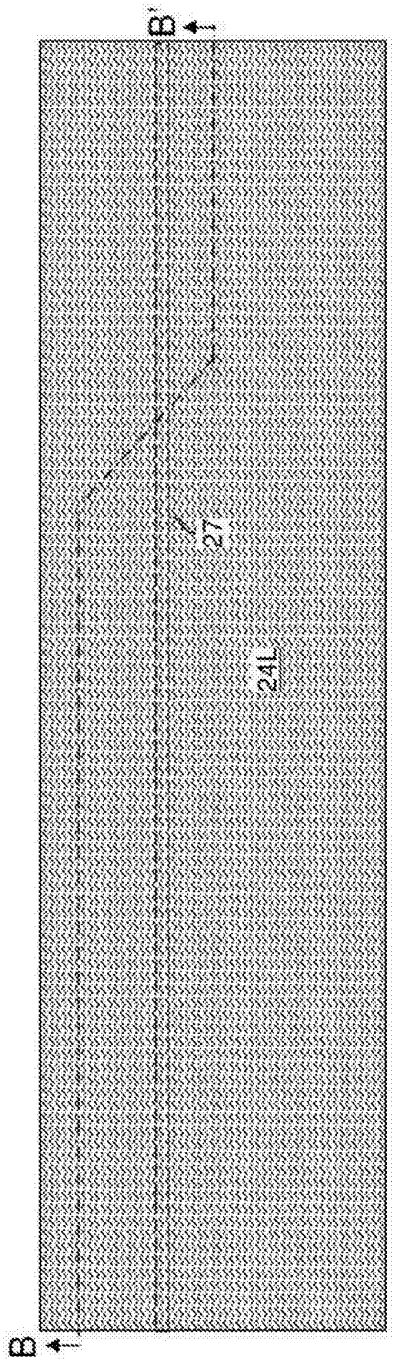


图11A

Micron Ex. 1002, p. 796
Micron v. YMTC
IPR2024-00790

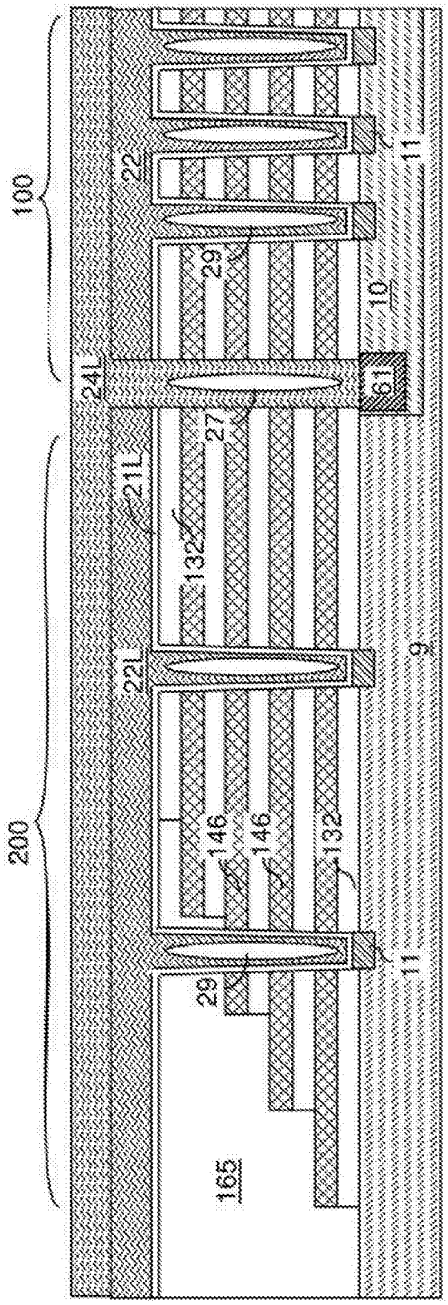


图11B

Micron Ex. 1002, p. 797
Micron v. YMTC
IPR2024-00790

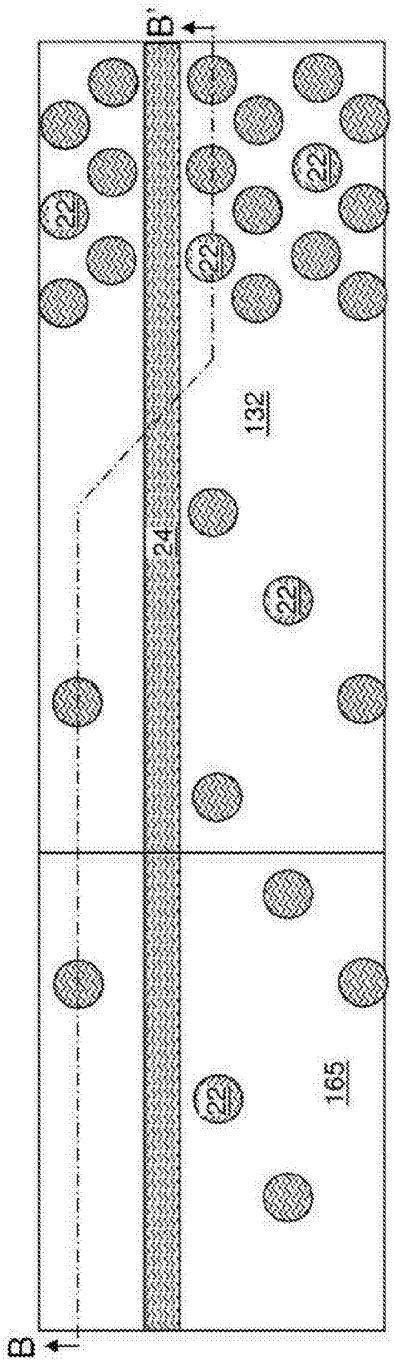


图12A

Micron Ex. 1002, p. 798
Micron v. YMTC
IPR2024-00790

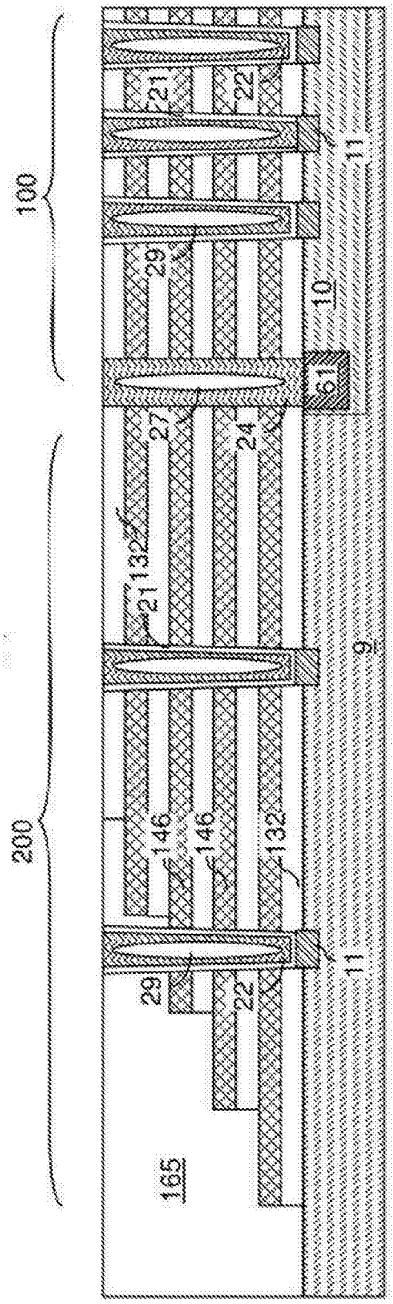


图12B

Micron Ex. 1002, p. 799
Micron v. YMTC
IPR2024-00790

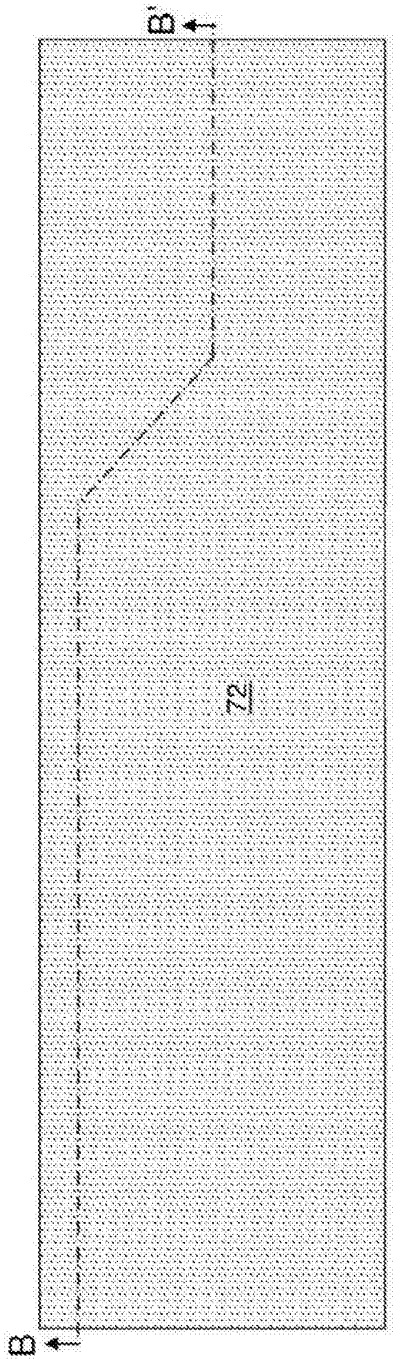


图13A

Micron Ex. 1002, p. 800
Micron v. YMTC
IPR2024-00790

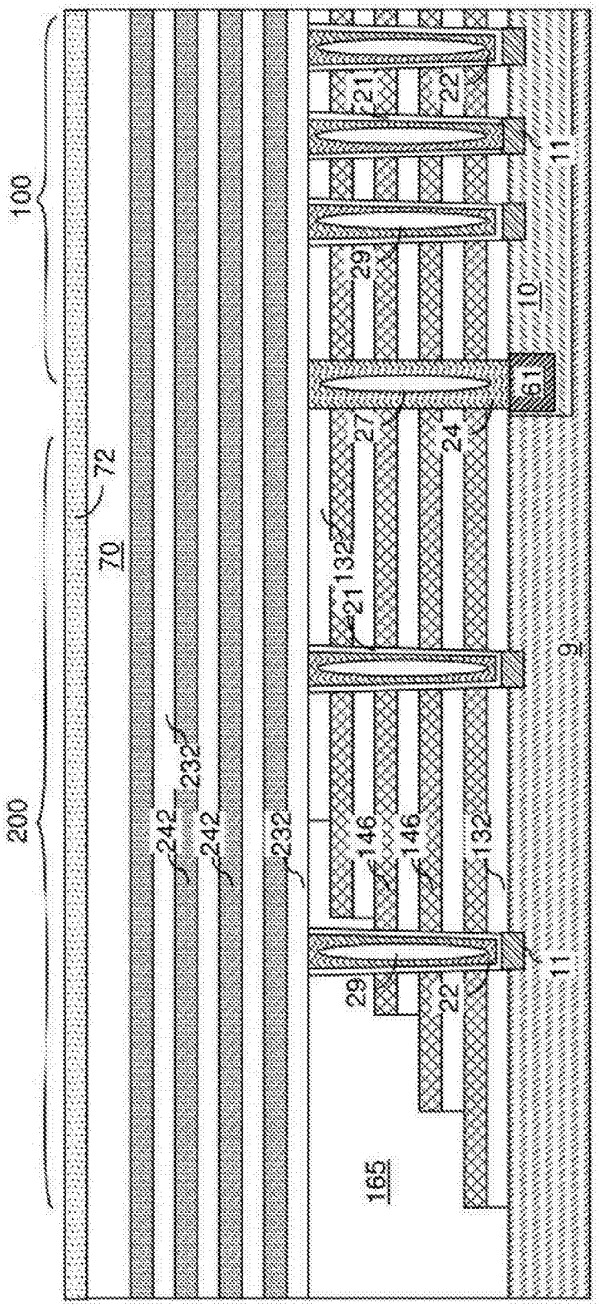


图13B

Micron Ex. 1002, p. 801
Micron v. YMTC
IPR2024-00790

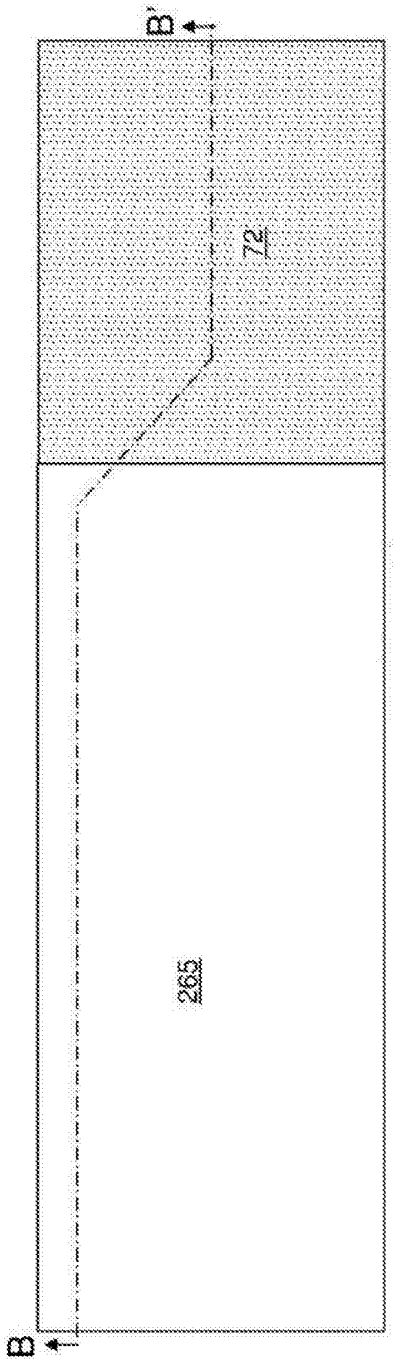


图14A

Micron Ex. 1002, p. 802
Micron v. YMTC
IPR2024-00790

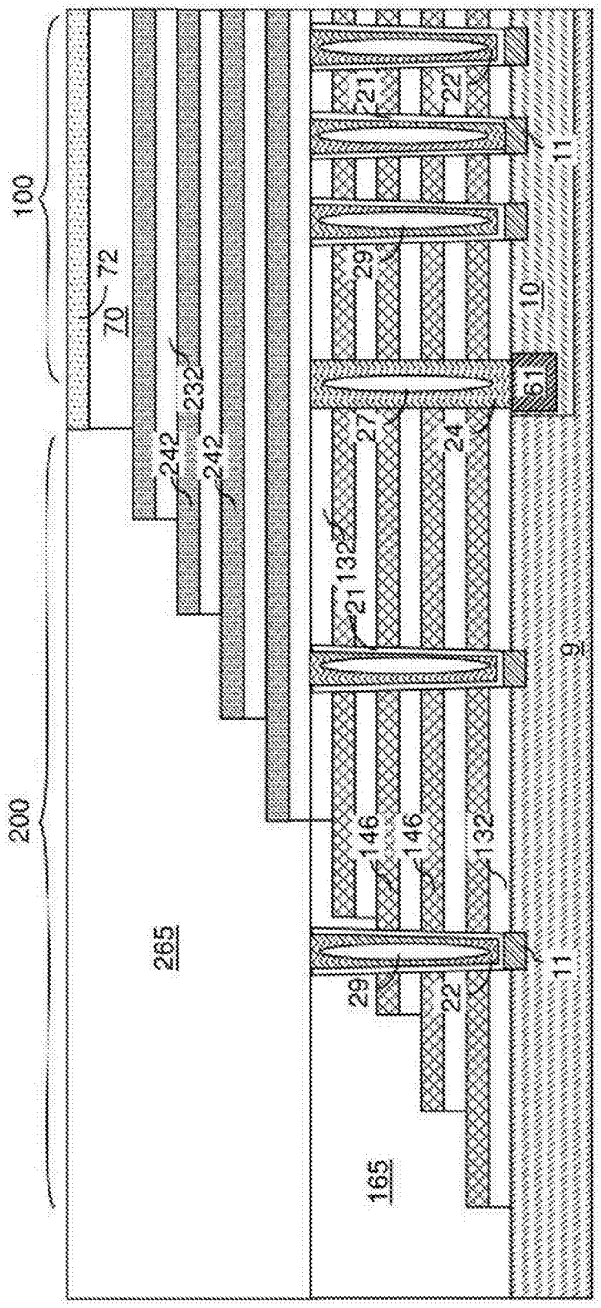


图14B

Micron Ex. 1002, p. 803
Micron v. YMTC
IPR2024-00790

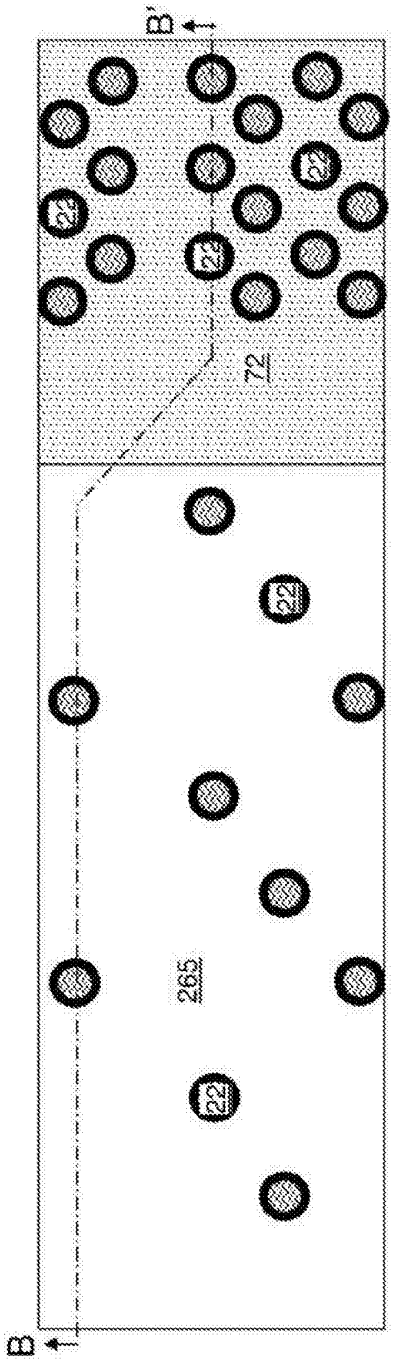


图15A

Micron Ex. 1002, p. 804
Micron v. YMTC
IPR2024-00790

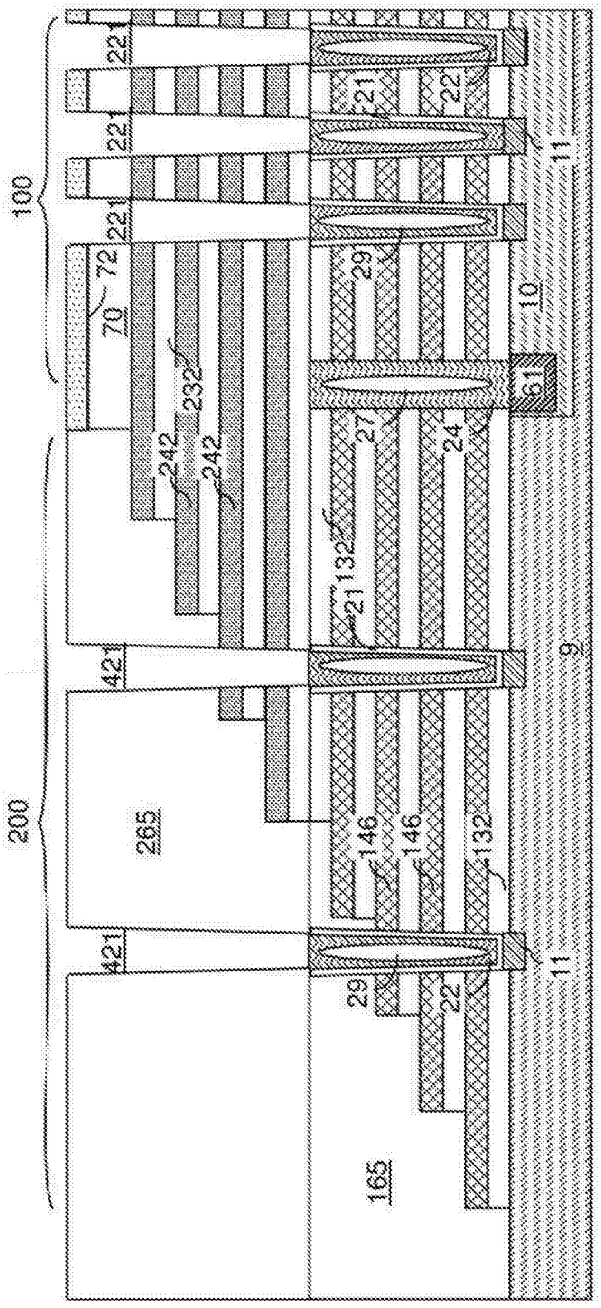


图15B

Micron Ex. 1002, p. 805
Micron v. YMTC
IPR2024-00790

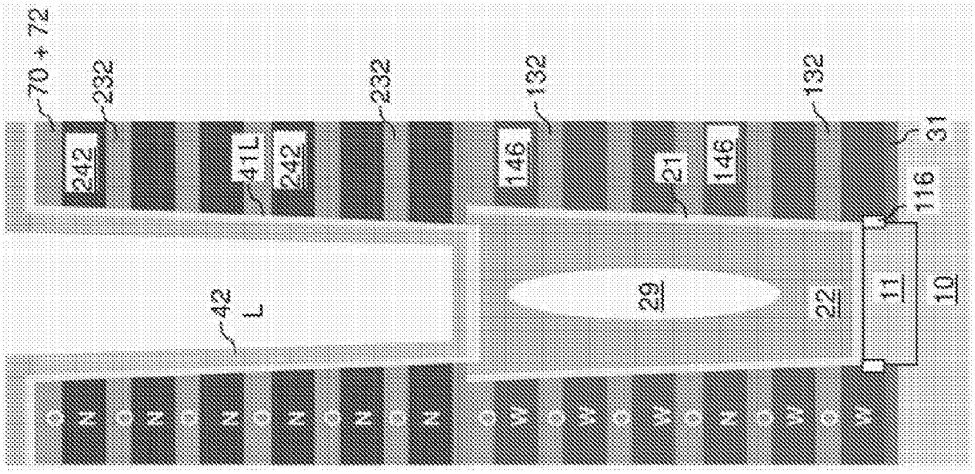


图16

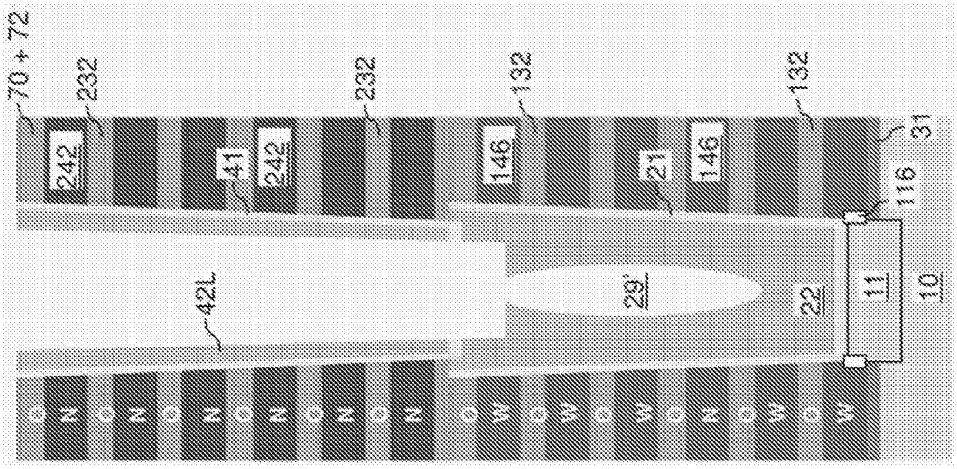


图17

Micron Ex. 1002, p. 806
Micron v. YMTC
IPR2024-00790

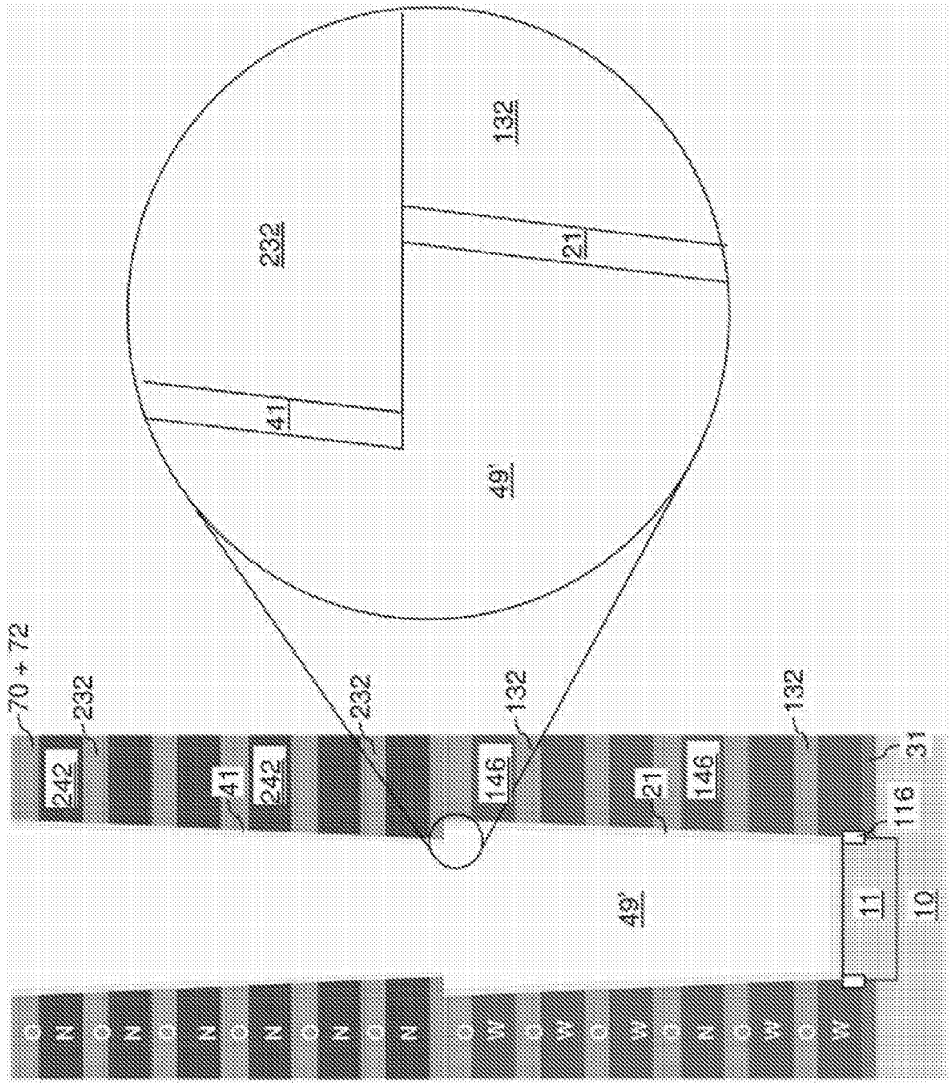


图18

Micron Ex. 1002, p. 807
Micron v. YMTC
IPR2024-00790

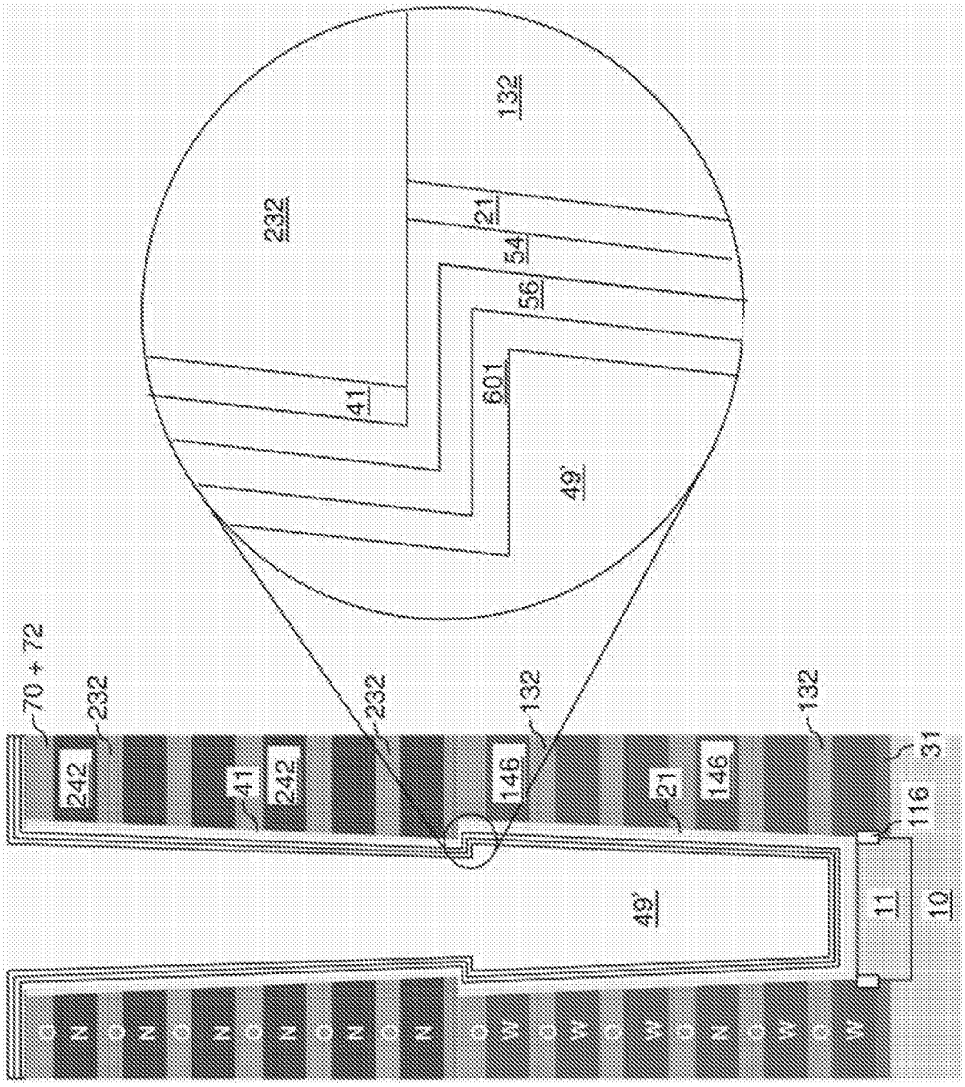


图19

Micron Ex. 1002, p. 808
Micron v. YMTC
IPR2024-00790

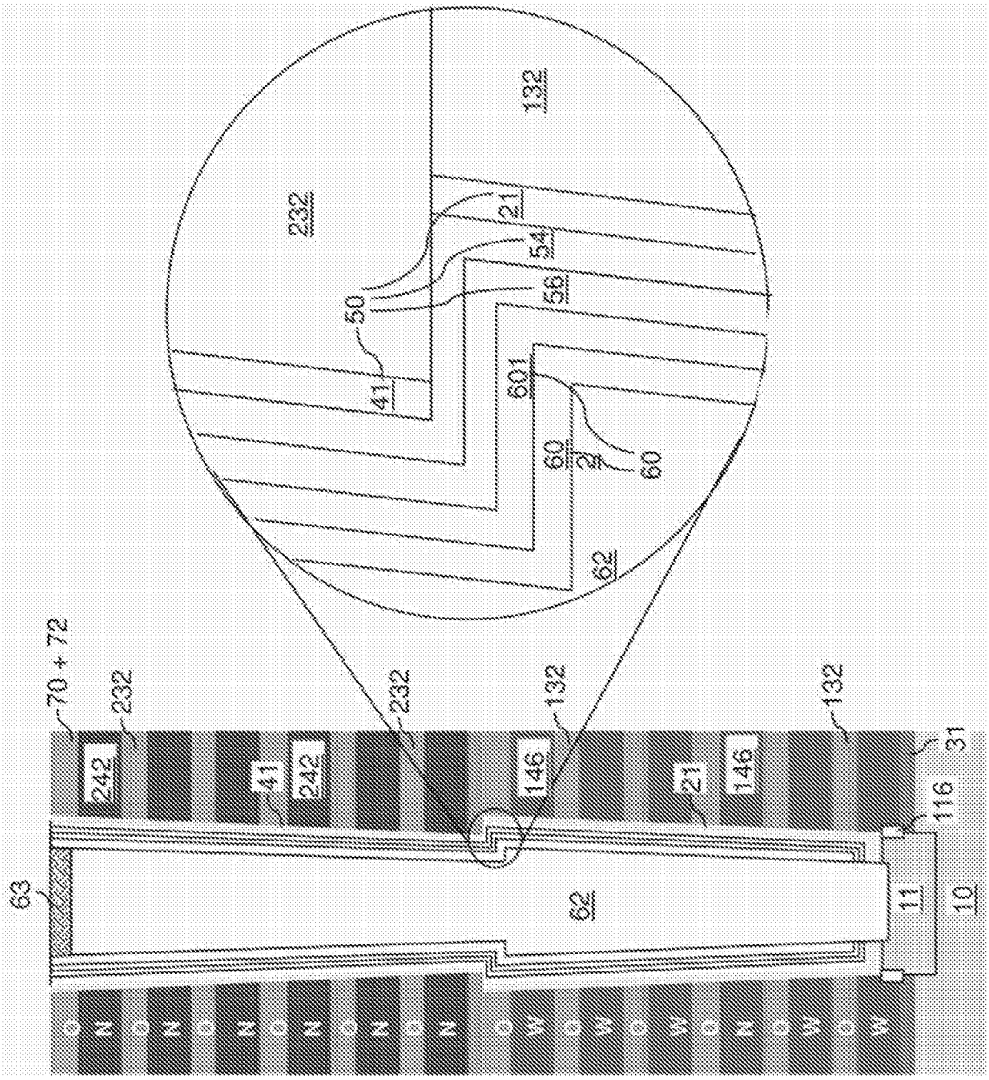


图20

Micron Ex. 1002, p. 809
Micron v. YMTC
IPR2024-00790

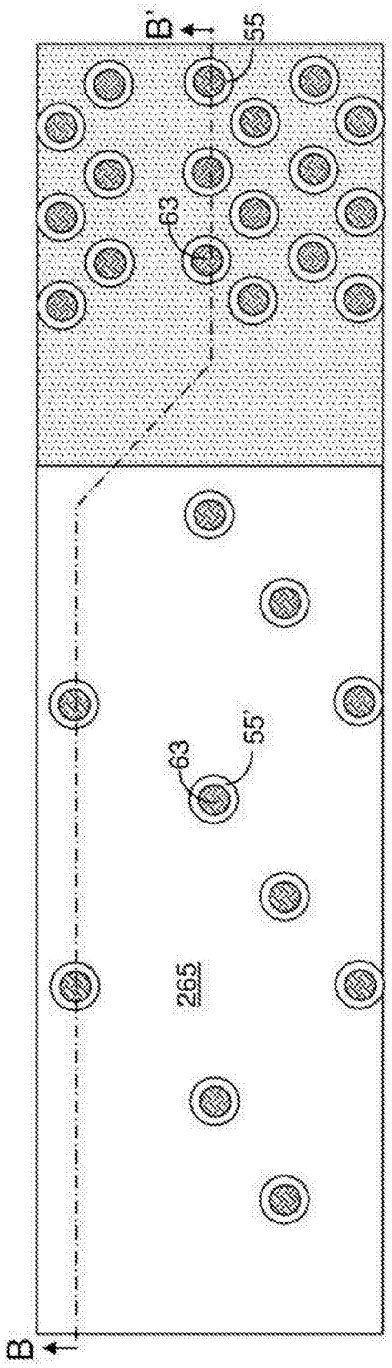


图21A

Micron Ex. 1002, p. 810
Micron v. YMTC
IPR2024-00790

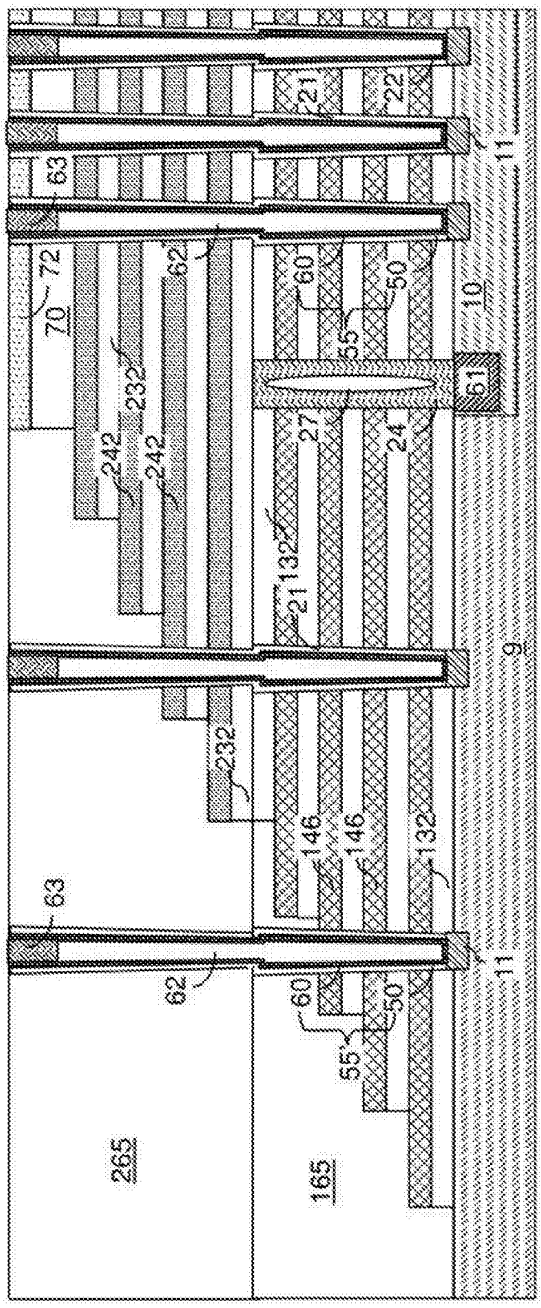


图21B

Micron Ex. 1002, p. 811
Micron v. YMTC
IPR2024-00790

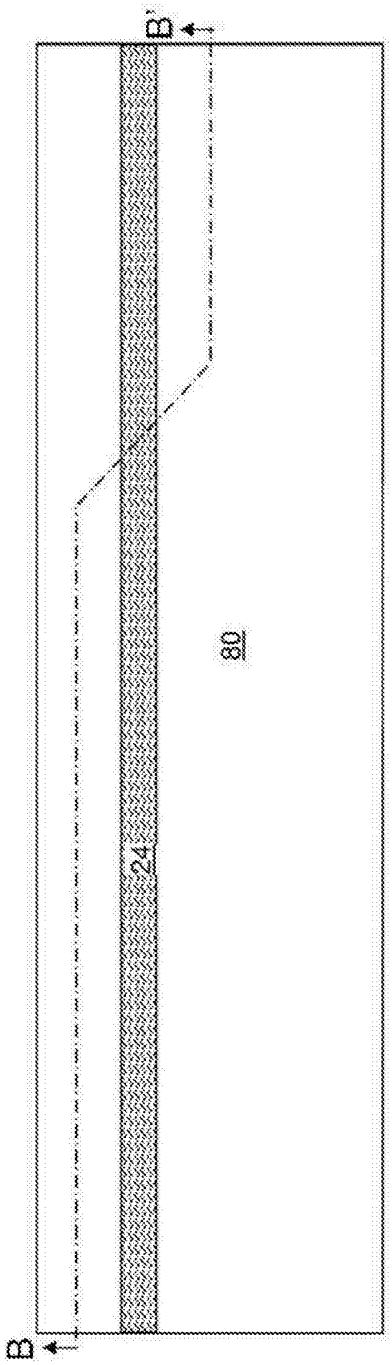


图22A

Micron Ex. 1002, p. 812
Micron v. YMTC
IPR2024-00790

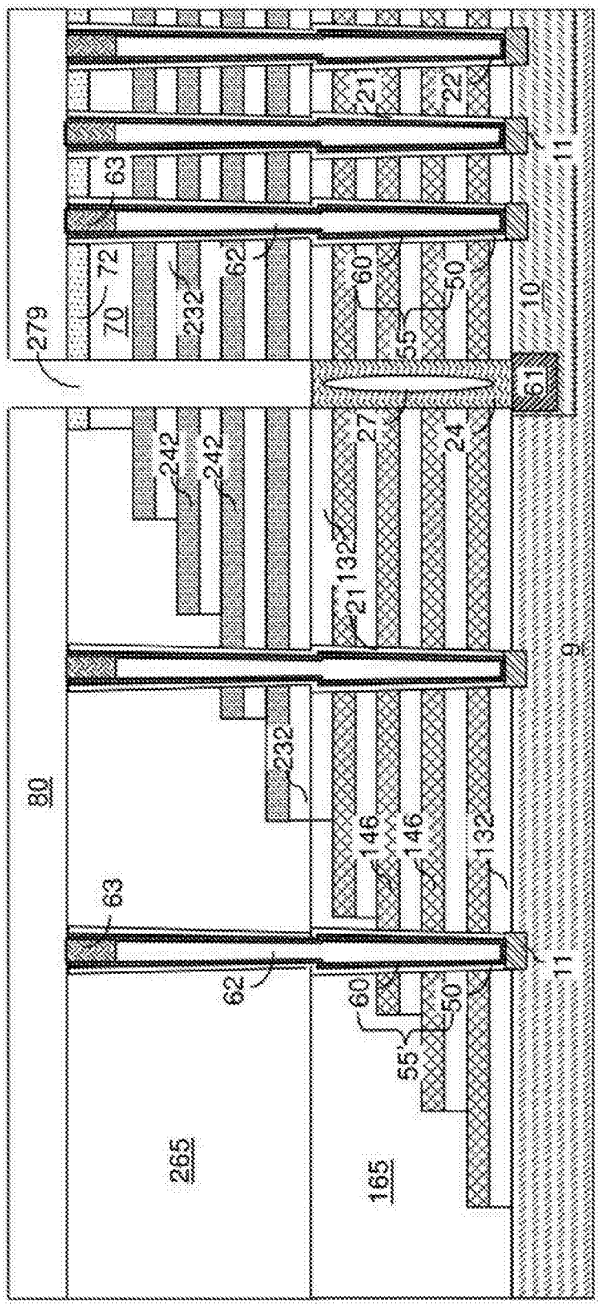


图22B

Micron Ex. 1002, p. 813
Micron v. YMTC
IPR2024-00790

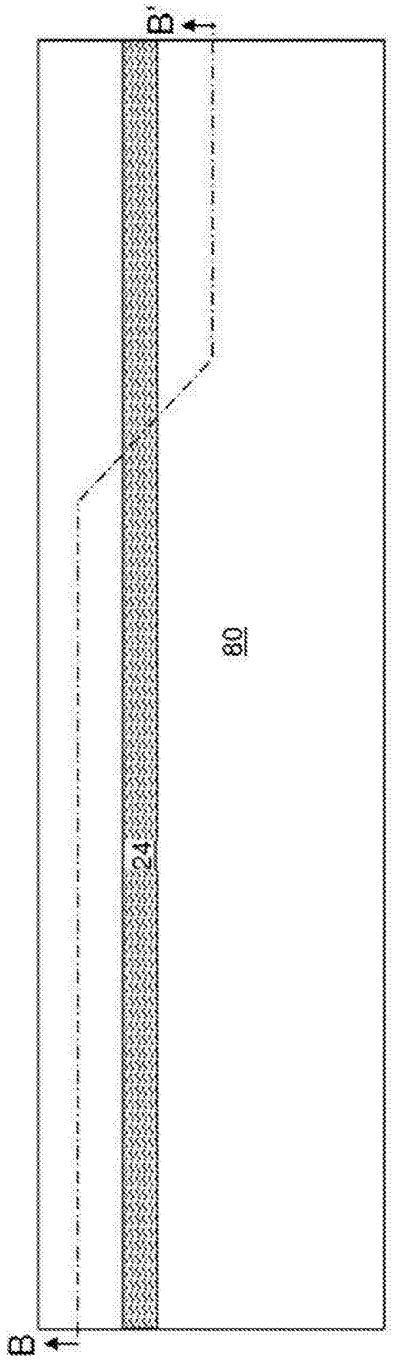


图23A

Micron Ex. 1002, p. 814
Micron v. YMTC
IPR2024-00790

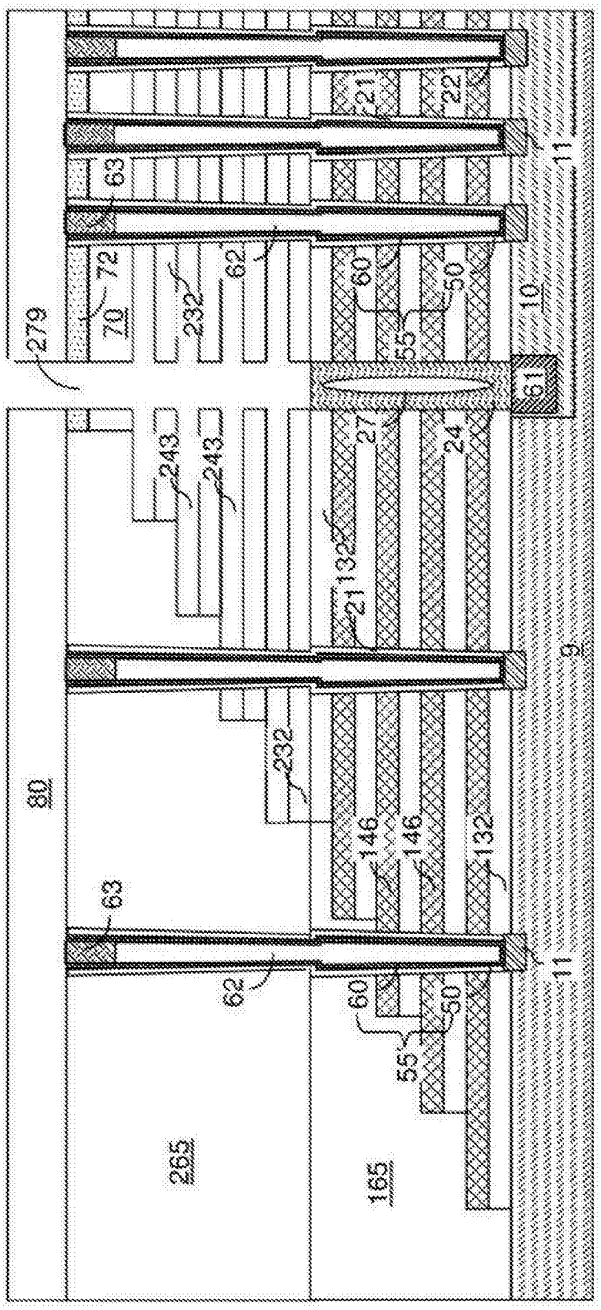


图23B

Micron Ex. 1002, p. 815
Micron v. YMTC
IPR2024-00790

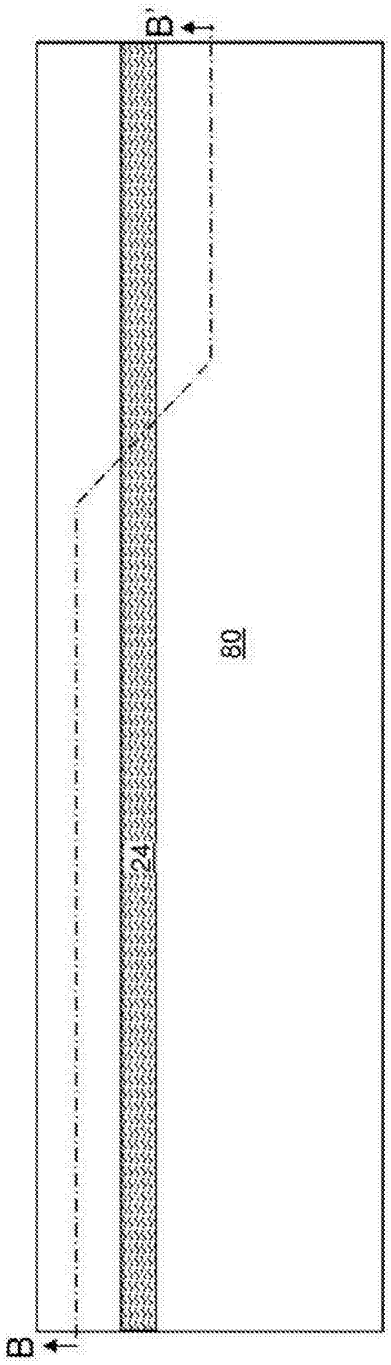


图24A

Micron Ex. 1002, p. 816
Micron v. YMTC
IPR2024-00790

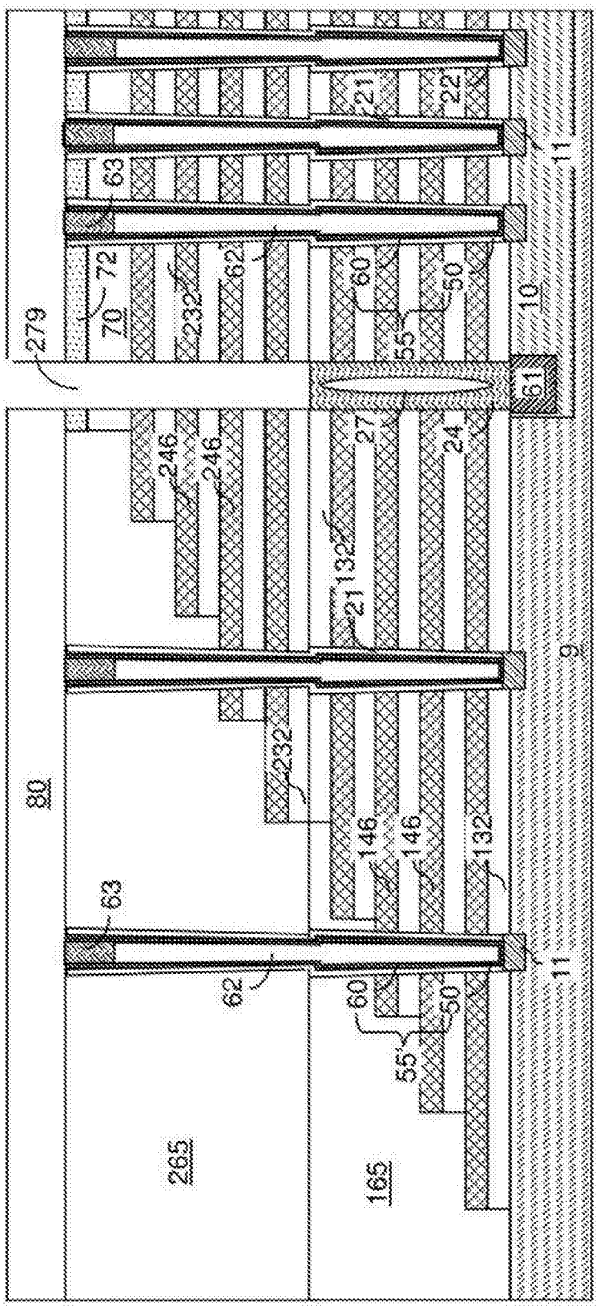


图24B

Micron Ex. 1002, p. 817
Micron v. YMTC
IPR2024-00790

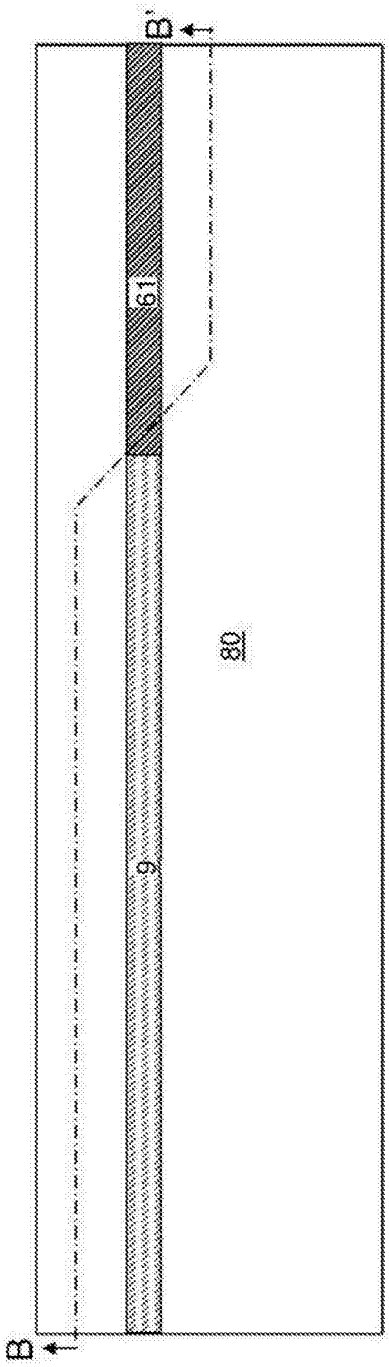


图25A

Micron Ex. 1002, p. 818
Micron v. YMTC
IPR2024-00790

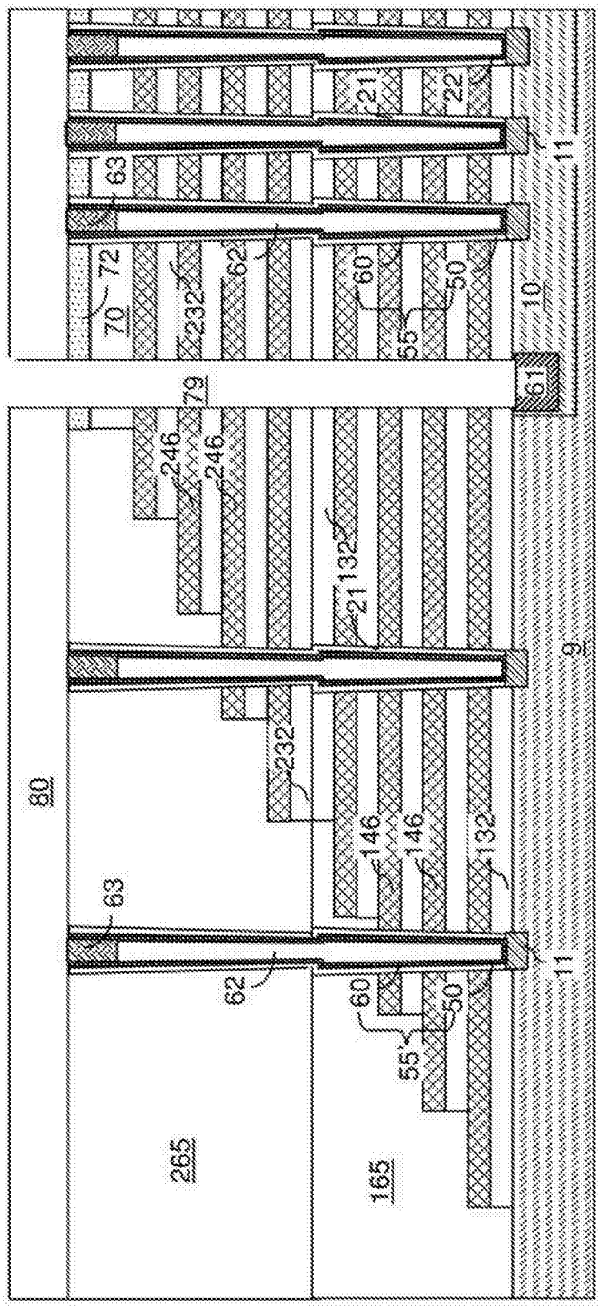


图25B

Micron Ex. 1002, p. 819
Micron v. YMTC
IPR2024-00790

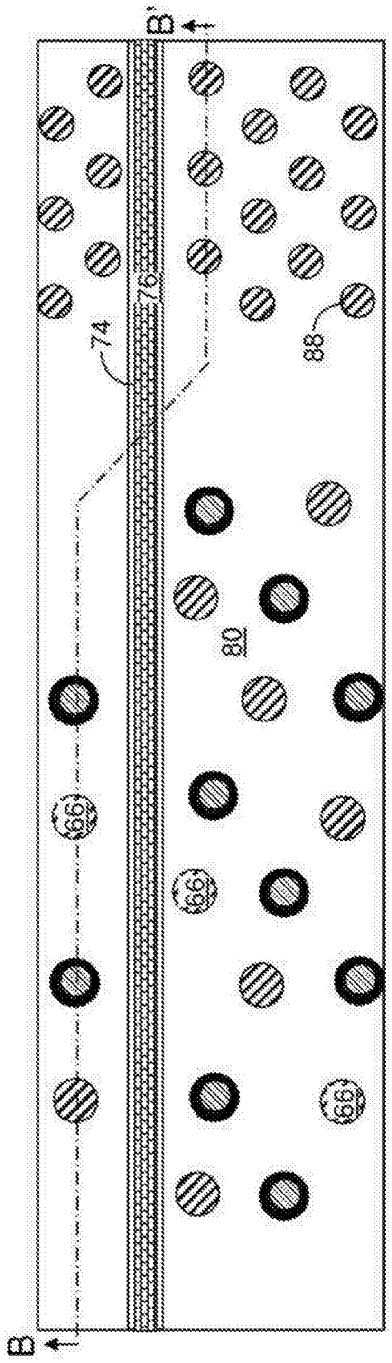


图26A

Micron Ex. 1002, p. 820
Micron v. YMTC
IPR2024-00790

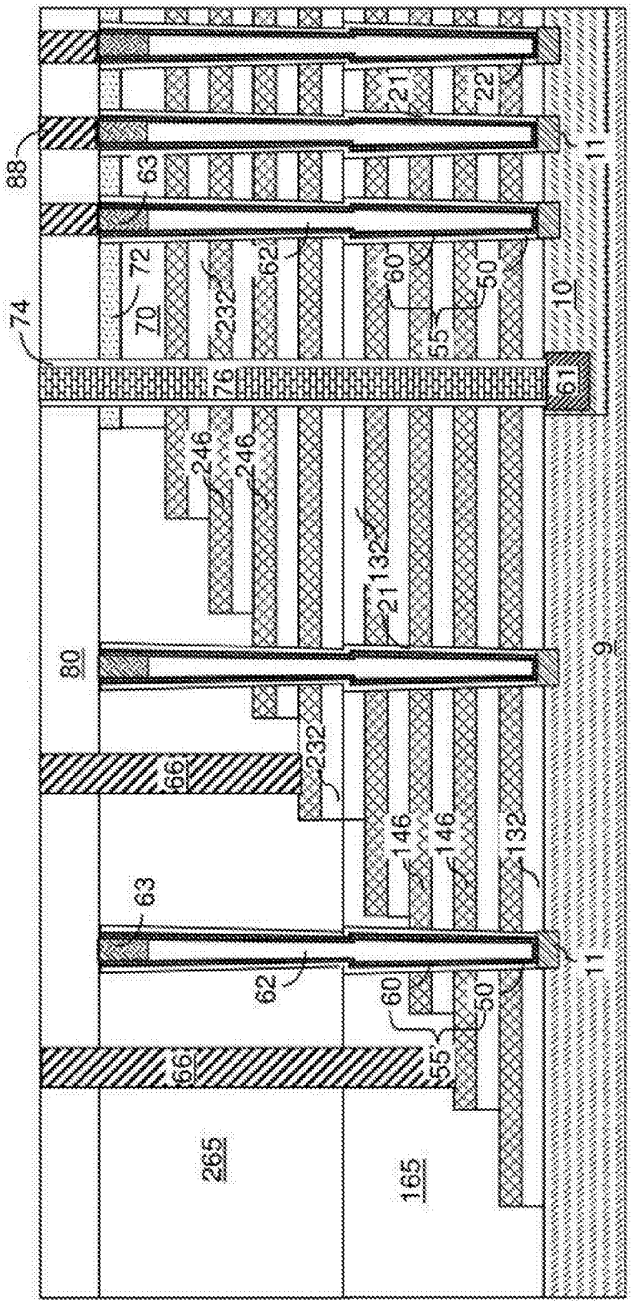


图26B

Micron Ex. 1002, p. 821
Micron v. YMTC
IPR2024-00790

Electronic Acknowledgement Receipt

EFS ID:	37831540
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Donald J. Featherstone/Laney Flanagan
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0350001
Receipt Date:	22-NOV-2019
Filing Date:	10-SEP-2018
Time Stamp:	12:55:38
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		4123035_Bundle.pdf	362056 105e112467e416fa95a9a5ea5513c48be40ef391	yes	8

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Information Disclosure Statement (IDS) Form (SB08)	8	8
	Transmittal Letter	2	7
	Miscellaneous Incoming Letter	1	1

Warnings:					
Information:					
2	Foreign Reference	FP1_CN107771356A.pdf	7407329 2fb1a72ff5b19bde03968ce2a835410f7c6cd174	no	73
Warnings:					
Information:					
3	Foreign Reference	FP2_CN107810552A.pdf	6507605 8fc261b013ceb0fe38a15c9fe0cca7ae830c5b71	no	68
Warnings:					
Information:					
		Total Files Size (in bytes):	14276990		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

26111 7590 01/07/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
NIKMANESH, SEAHVOSH J	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
01/07/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 824
Micron v. YMTC
IPR2024-00790

Office Action Summary	Application No. 16/126,919	Applicant(s) LIU et al.	
	Examiner SEAHVOSH J NIKMANESH	Art Unit 2812	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☑ Responsive to communication(s) filed on 11/22/2019.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☑ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) 7-20 is/are withdrawn from consideration.

6) ☐ Claim(s) _____ is/are allowed.

7) ☑ Claim(s) 1-6 is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☐ Claim(s) _____ are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☑ The drawing(s) filed on 9/10/2018 is/are: a)☑ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☑ Notice of References Cited (PTO-892)

2) ☑ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 825
Micron v. YMTC
IPR2024-00790

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

1. This is in response to the IDS filed 11/22/2019.

Election/Restrictions

2. Applicant's election without traverse of Group I claims 1-6 in the reply filed on 9/23/2019 is acknowledged.

3. Claims 7-20 withdrawn from further consideration pursuant to 37 CFR 1.142(b) as being drawn to a nonelected invention, there being no allowable generic or linking claim. Election was made **without** traverse in the reply filed on 9/23/2019.

Information Disclosure Statement

4. The IDS filed 11/22/2019 has been considered.

Claim Rejections - 35 USC § 102

In the event the determination of the status of the application as subject to AIA 35 U.S.C. 102 and 103 (or as subject to pre-AIA 35 U.S.C. 102 and 103) is incorrect, any correction of the statutory basis for the rejection will not be considered a new ground of rejection if the prior art relied upon, and the rationale supporting the rejection, would be the same under either status.

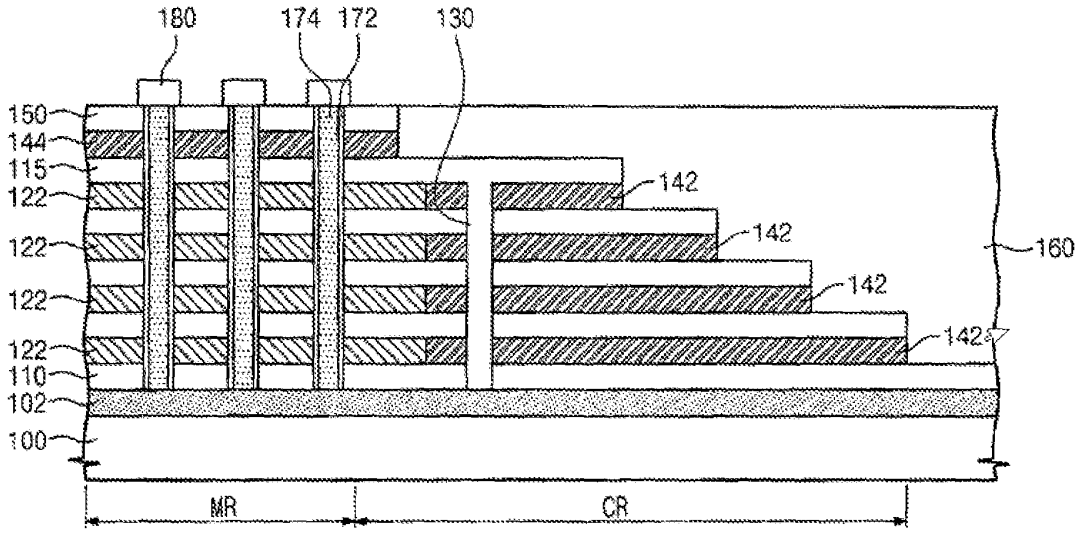
The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (a)(1) the claimed invention was patented, described in a printed publication, or in public use, on sale or otherwise available to the public before the effective filing date of the claimed invention.

a. Claim(s) 1-6 is/are rejected under 35 U.S.C. 102(a)(1) as being anticipated by Chae et al., US PGPub 2010/0133599 A1.

1. A memory device comprising: a substrate; a multiple-stack staircase structure comprising a plurality of staircase structures stacked over the substrate, wherein each of the plurality of staircase structures comprises a plurality of conductor layers 122/142, wherein each of the plurality of conductor layers is located between two insulating layers 110/115, a filling structure surrounding the multiple-stack staircase structure 160; a semiconductor channel extending through the multiple-stack staircase structure, wherein the semiconductor channel comprises unaligned sidewall surfaces; and a supporting pillar extending through at least one of the multiple-stack staircase structure and the filling structure, wherein the supporting pillar 130; Fig. 13G; comprises aligned sidewall surfaces (13A-13G; [0095]-[0112]).

Fig. 13G



2. The memory device of claim 1, wherein: the multi-stack staircase structure comprises a first staircase structure over the substrate and a second staircase structure over the first staircase structure; and the supporting pillar extends from a top surface of the second staircase structure to a bottom surface of the first staircase structure ([0091], [0095]-[0104] and [0108]-[0109]).

3. The memory device of claim 2, wherein: the supporting pillar and the semiconductor channel comprise same filling layers; and the supporting pillar and the semiconductor channel is each filled with at least one of a charge trapping film, a semiconductor channel film, and a dielectric core [0095]-[0104] and [0109].

4. The memory device of claim 2, wherein: the supporting pillar and the semiconductor channel are filled with different filling layers; and the supporting pillar is filled with at least one of an insulating material and a pillar- support material surrounded by the insulating material, and the semiconductor channel is filled with at least one of a charge trapping film, a semiconductor channel film, and a dielectric core [0095]-[0104] and [0109]).

5. The memory device of claim 4, wherein the insulating material comprises silicon oxide ([0095] Referring to FIG. 13A, interlayer dielectrics 110 and conductive layers 120 are alternately stacked on a semiconductor substrate 100. The semiconductor substrate 100 includes a memory cell region MR and a contact region CR around the memory cell region MR. In the exemplary embodiments of the inventive concept, the memory cell region MR and the contact region CR are regions for gate electrodes. Also, the semiconductor substrate 100 may include an impurity region (or well) 102, and the interlayer dielectrics 110 and the conductive layers 120 are formed over the semiconductor substrate 100. The interlayer dielectrics 110 may be formed of silicon oxide, silicon oxynitride, or silicon nitride, and the conductive layers 120 may be

formed of polysilicon. The number of the stacked conductive layers 120 may depend on the capacity of the nonvolatile memory device.) and the pillar-support material comprises at least one of copper, cobalt, nickel, and aluminum [0104].

6. The memory device of claim 5, further comprising a connection layer in the semiconductor channel between two adjacent staircase structures, wherein the connection layer comprises a doped semiconductor material, and portions of the semiconductor channel separated by the connection layer each forms a semiconductor sub-channel ([0060] and [0108]; 102).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to SEAHVOSH J NIKMANESH whose telephone number is (571)270-1805. The examiner can normally be reached on M-F IFP.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles Garber can be reached on 5712722194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer

Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Seahvosh Nikmanesh/
Primary Examiner, Art Unit 2812

Notice of References Cited	Application/Control No. 16/126,919	Applicant(s)/Patent Under Reexamination LIU et al.	
	Examiner SEAHVOSH J NIKMANESH	Art Unit 2812	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20170207221-A1	07-2017	KIM; Kyoung-Hoon	H01L27/1052	1/1
*	B	US-20100133599-A1	06-2010	Chae; Soodoo	H01L27/11578	257/315
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Micron Ex. 1002, p. 831
Micron v. YMTC
IPR2024-00790

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	Art Unit
	SEAHVOSH J NIKMANESH	2812

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

CLAIMS

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/02/2020								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	N								
	8	N								
	9	N								
	10	N								
	11	N								
	12	N								
	13	N								
	14	N								
	15	N								
	16	N								
	17	N								
	18	N								
	19	N								
	20	N								

Micron Ex. 1002, p. 832
Micron v. YMTC
IPR2024-00790

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	Art Unit
	SEAHVOSH J NIKMANESH	2812

CPC - Searched*		
Symbol	Date	Examiner
H01L27/11582, 27/1157, 27/11573	01/02/2020	SJN
H01L21/3086, 21/0337	01/02/2020	SJN
H01L23/53295	01/02/2020	SJN

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
Limited text search in EAST. See attached search history.	01/02/2020	SJN

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner

Micron Ex. 1002, p. 833
Micron v. YMTC
IPR2024-00790

Bibliographic Data

Application No: 16/126,919

Foreign Priority claimed: ○ Yes ◉ No

35 USC 119 (a-d) conditions met: ☐ Yes ☑ No ☐ Met After Allowance

Verified and Acknowledged: /Seahvosh Nikmanesh/ (Examiner's Signature) /SJN/ (Initials)

Title: MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
09/10/2018	257	2812	4123.0350001
RULE			

APPLICANTS

Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA

INVENTORS

Jun LIU Wuhan, Hubei, CHINA

Zongliang Huo Wuhan, CHINA

Li Hong Xiao Wuhan, CHINA

Zhenyu Lu Wuhan, CHINA

Qian Tao Wuhan, CHINA

Yushi Hu Wuhan, CHINA

Sizhe Li Wuhan, CHINA

Zhao Hui Tang Wuhan, CHINA

Yu Ting Zhou Wuhan, CHINA

Zhaosong Li Wuhan, CHINA

CONTINUING DATA

This application is a CON of PCT/CN2018/097432 07/27/2018

FOREIGN APPLICATIONS

IF REQUIRED, FOREIGN LICENSE GRANTED**

09/26/2018

STATE OR COUNTRY

CHINA

ADDRESS

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

1100 NEW YORK AVENUE, N.W.

WASHINGTON, DC 20005
UNITED STATES

FILING FEE RECEIVED

$1,880

Equivalent of Form PTO/SB/08a (07-09)

Substitute for form 1449/PTO	*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT *(Use as many sheets as necessary)*	Application Number	16/126,919
	Filing Date	September 10, 2018
	First Named Inventor	Jun LIU
	Art Unit	2811
	Examiner Name	GURLEY, Lynne Ann
Sheet 1 of 1	Attorney Docket Number	4123.0350001

U.S. PATENT DOCUMENTS

Examiner initials*	Cite No.[1]	Document Number Number-Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	2016/0268263 A1	09-15-2016	Lee et al.	
	US2	2018/0166329 A1	06-14-2018	Huang et al.	
	US3	2018/0174044 A1	06-21-2018	Na	
	US4	2018/0233512 A1	08-16-2018	Van Houdt et al.	
	US5	9,570,463 B1	02-14-2017	Zhang et al.	
	US6	9,576,967 B1	02-21-2017	Kimura et al.	

FOREIGN PATENT DOCUMENTS

Examiner initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	FP1	CN 105977257 A	09-28-2016	SK HYNIX INC		
	FP2	WO 2016/205078 A2	12-22-2016	SANDISK TECHNOLOGIES LLC		
	FP3	CN 107431063 A	12-01-2017	SANDISK TECHNOLOGIES LLC		
	FP4	CN 107680972 A	02-09-2018	CHANGJIANG STORAGE TECH CO LTD		X
	FP5	CN 108093656 A	05-29-2018	SANDISK TECHNOLOGIES INC		
	FP6	KR 20180076298 A	07-05-2018	IMEC VZW		
	FP7	CN 108615701 A	10-02-2018	TAIWAN SEMICONDUCTOR MFG CO LTD		

13455131_1.docx

Examiner Signature	/Seahvosh Nikmanesh/ (12/19/2019)	Date Considered	12/19/2019

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /SJN/

Equivalent of Form PTO/SB/08b (7-09)

Substitute for form 1449/PTO				*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT *(Use as many sheets as necessary)*				Application Number	16/126,919
				Filing Date	September 10, 2018
				First Named Inventor	LIU, Jun
				Art Unit	2811
				Examiner Name	GURLEY, Lynne Ann
Sheet	1	of	1	Attorney Docket Number	4123.0350001

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T[2]
	NPL1	International Search Report and Written Opinion of the International Searching Authority directed to related International Patent Application No. PCT/CN2018/097432, mailed April 16, 2019; 8 pages.	

13510364_1.docx

Examiner Signature	/Seahvosh Nikmanesh/ (12/19/2019)	Date Considered	12/19/2019

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /SJN/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	10101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S2	4767799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S3	77797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S4	638220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S5	1202040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S6	496099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S7	1281593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S8	6323884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S9	844213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S10	1977654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S11	6323884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S12	14018614	S1 S2 S3 S4 S5 S6 S7 S8 S9 S10 S11	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 15:03

Micron Ex. 1002, p. 838
Micron v. YMTC
IPR2024-00790

S13	10101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S14	4767799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S15	77797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S16	638220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S17	1202040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S18	496099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S19	1281593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S20	6323884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S21	844213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S22	1977654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S23	6323884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S24	14018614	S13 S14 S15 S16 S17 S18 S19 S20 S21 S22 S23	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S25	14018614	S24	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S26	1	S25 and pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:42
S27	59	"20160111440" "20170103996" "9449987" "9853043"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	ON	2019/12/19 08:58

Micron Ex. 1002, p. 839
Micron v. YMTC
IPR2024-00790

			IBM_TDB			
S28	50	"20160268263" "20180166329" "20180174044" "20180233512" "9570463" "9576967"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:04
S29	0	"16126919"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:13
S30	105	S27 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:35
S31	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:45
S32	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S34	36	pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S35	16585	H01L27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S36	14507	H01L21/0337.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S37	8827	H01L21/3086.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S38	11538	H01L23/53295.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S39	9206	H01L27/1157.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S40	6999	H01L27/11573.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S41	52637	S35 S36 S37 S38 S39 S40	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S42	309	S41 and pillar and stack$3 and staircase and channel and sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15

Micron Ex. 1002, p. 840
Micron v. YMTC
IPR2024-00790

1/ 2/ 2020 1:28:45 PM
C:\ Users\ snikmanesh\ Documents\ EAST\ Workspaces\ 16126919.wsp

Micron Ex. 1002, p. 841
Micron v. YMTC
IPR2024-00790

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	09-10-2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	US1	US- 2016/0111440 A1	04-21-2016	Chae et al.	
	US2	US- 2017/0103996 A1	04-13-2017	Lee et al.	
	US3	US- 9,449,987 B1	09-20-2016	Miyata et al.	
	US4	US- 9,853,043 B2	12-26-2017	Lu et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]-Number[4]-Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 107771356 A	03-06-2018	SANDISK TECHNOLOGIES LLC		
	FP2	CN 107810552 A	03-16-2018	SANDISK TECHNOLOGIES LLC		

Examiner Signature	/Seahvosh Nikmanesh/ (12/19/2019)	Date Considered	12/19/2019

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] **Applicant's unique citation designation number (optional).** [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /SJN/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/126,919	09/10/2018	Jun LIU	4123.0350001

CONFIRMATION NO. 4582

PUBLICATION NOTICE

26111
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

OC000000114338749

Title:MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

Publication No.US-2020-0035699-A1
Publication Date:01/30/2020

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Micron Ex. 1002, p. 843
Micron v. YMTC
IPR2024-00790

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/126,919	Examiner: NIKMANESH, Seahovosh J.
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

Amendment and Reply Under 37 C.F.R. § 1.111

Mail Stop Amendment

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

In reply to the Office Action dated January 7, 2020, Applicant submits the following Amendment and Remarks.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 19-0036.

Amendments to the Claims

This listing of claims will replace all prior versions, and listings, of claims in the application.

1. (Original) A memory device comprising:

a substrate;

a multiple-stack staircase structure comprising a plurality of staircase structures stacked over the substrate, wherein each of the plurality of staircase structures comprises a plurality of conductor layers, wherein each of the plurality of conductor layers is located between two insulating layers;

a filling structure surrounding the multiple-stack staircase structure;

a semiconductor channel extending through the multiple-stack staircase structure, wherein the semiconductor channel comprises unaligned sidewall surfaces; and

a supporting pillar extending through at least one of the multiple-stack staircase structure and the filling structure, wherein the supporting pillar comprises aligned sidewall surfaces.

2. (Original) The memory device of claim 1, wherein:

the multi-stack staircase structure comprises a first staircase structure over the substrate and a second staircase structure over the first staircase structure; and

the supporting pillar extends from a top surface of the second staircase structure to a bottom surface of the first staircase structure.

3. (Currently amended) The memory device of claim 2, wherein:

the supporting pillar and the semiconductor channel comprise same filling layers; and

the supporting pillar and the semiconductor channel [[is]] <u>are</u> each filled with at least one of a charge trapping film, a semiconductor channel film, and a dielectric core.

4. (Original) The memory device of claim 2, wherein:

the supporting pillar and the semiconductor channel are filled with different filling layers; and

Micron Ex. 1002, p. 845
Micron v. YMTC
IPR2024-00790

the supporting pillar is filled with at least one of an insulating material and a pillar-support material surrounded by the insulating material, and the semiconductor channel is filled with at least one of a charge trapping film, a semiconductor channel film, and a dielectric core.

5. (Original) The memory device of claim 4, wherein the insulating material comprises silicon oxide and the pillar-support material comprises at least one of copper, cobalt, nickel, and aluminum.

6. (Currently Amended) The memory device of claim 5, further comprising a connection layer in the semiconductor channel between two adjacent staircase structures, wherein the connection layer comprises a doped semiconductor material, and portions of the semiconductor channel separated by the connection layer each [[forms]]form a semiconductor sub-channel.

7. (Withdrawn) A method for forming a memory device, comprising:

forming a plurality of dielectric stacks stacked on one another over a substrate to create a multiple-stack staircase structure, wherein each one of the plurality of dielectric stacks comprises a plurality of dielectric pairs arranged along a direction perpendicular to a top surface of the substrate;

forming a filling structure that surrounds the multiple-stack staircase structure;

forming a semiconductor channel extending through the multiple-staircase structure, wherein the semiconductor channel comprises unaligned sidewall surfaces; and

forming a supporting pillar extending through at least one of the multiple-staircase structure and the filling structure, wherein the supporting pillar comprises aligned sidewall surfaces.

8. (Withdrawn) The method of claim 7, wherein forming the supporting pillar comprises:

forming a photoresist layer over the at least one of the filling structure and the multiple-stack staircase structure;

Micron Ex. 1002, p. 846
Micron v. YMTC
IPR2024-00790

patterning the photoresist layer to form a patterned photoresist layer with an opening that exposes a portion of the filling structure, wherein a location of the opening corresponds to a location of the supporting pillar;

using the patterned photoresist layer as an etch mask to etch through at least one of the filling structure and the multiple-stack staircase structure to form a pillar hole, wherein a bottom of the pillar hole contacts the substrate; and

filling the pillar hole with a first material.

9. (Withdrawn) The method of claim 8, wherein forming the semiconductor channel comprises:

forming a first sub-channel hole in a first dielectric stack of the plurality of dielectric stacks;

filling the first sub-channel hole with a sacrificial filling material to form a sacrificial filling structure;

forming a second dielectric stack over the first dielectric stack;

forming a second sub-channel hole in the second dielectric stack, wherein:

the second sub-channel hole aligns with the sacrificial filling structure along the direction perpendicular to the top surface of the substrate, and

the second sub-channel hole adjoins the first sub-channel hole to form a channel hole through the plurality of dielectric stacks and into the substrate;

removing the sacrificial filling structure in the first sub-channel hole; and

filling the channel hole with a second material.

10. (Withdrawn) The method of claim 9, wherein:

the first material is same as the second material and are formed by same fabrication operations; and

the same fabrication operations comprises depositing at least one of a charge trapping film, a semiconductor channel film, and a dielectric core into the channel hole and the pillar hole.

Micron Ex. 1002, p. 847
Micron v. YMTC
IPR2024-00790

11. (Withdrawn) The method of claim 10, wherein the pillar hole is formed before a formation of the second sub-channel hole.

12. (Withdrawn) The method of claim 10, wherein the pillar hole is formed after a formation of the first sub-channel hole and a formation of the second sub-channel hole .

13. (Withdrawn) The method of claim 9, wherein the first material is different from the second material and is formed by a different deposition operation than the second material.

14. (Withdrawn) The method of claim 13, wherein the first material comprises at least one of an insulating material and a pillar-support material surrounded by the insulating material; and the second material comprises at least one of a charge trapping film, a semiconductor channel film, and a dielectric core.

15. (Withdrawn) The method of claim 8, wherein forming the semiconductor channel comprises:

forming a first semiconductor sub-channel in the first dielectric stack;

forming a connection layer over the first semiconductor sub-channel, wherein the connection layer comprises a doped semiconductor material; and

forming a second dielectric stack and a second semiconductor sub-channel in the second dielectric stack, wherein the second semiconductor sub-channel aligns with and adjoins the first semiconductor sub-channel to form a semiconductor channel extending through the plurality of dielectric stacks and into the substrate.

16. (Withdrawn) The method of claim 15, wherein:

the first material is same as the second material and are formed by same fabrication operations; and

the same fabrication operations comprises depositing at least one of a charge trapping film, a semiconductor channel film, and a dielectric core into the channel hole and the pillar hole.

Micron Ex. 1002, p. 848
Micron v. YMTC
IPR2024-00790

17. (Withdrawn) A method for forming a memory device, comprising:

depositing a plurality of dielectric stacks over one another over a substrate to form a multiple-dielectric-stack structure, wherein each one of the plurality of dielectric stacks comprises a plurality of first material layer and second material layer alternatingly arranged along a direction perpendicular to a top surface of the substrate;

forming a first semiconductor sub-channel in a first dielectric stack of the plurality of dielectric stacks;

forming a second dielectric stack of the plurality of dielectric stacks over the first dielectric stack;

forming a second semiconductor sub-channel in the second dielectric stack, wherein the second semiconductor sub-channel aligns with the first semiconductor sub-channel along the direction perpendicular to the top surface of the substrate; and

patterning the multiple-dielectric-stack structure to form a multiple-stack staircase structure.

18. (Withdrawn) The method of claim 17, wherein patterning the multiple-dielectric-stack structure comprises a single staircase-forming patterning process.

19. (Withdrawn) The method of claim 18, wherein the staircase-forming patterning process comprises:

forming a photoresist layer over the multiple-dielectric-stack structure;

trimming the photoresist layer along a first direction parallel to a top surface of the substrate; and

etching the multiple-dielectric-stack structure, using the trimmed photoresist layer as an etch mask to form a staircase.

Micron Ex. 1002, p. 849
Micron v. YMTC
IPR2024-00790

20. (Withdrawn) The method of claim 19, wherein forming the first semiconductor sub-channel and the second semiconductor sub-channel comprise:

forming a first sub-channel hole in the first dielectric stack and a second sub-channel hole in the second dielectric stack; and

filling the first sub-channel hole and the second sub-channel hole each with channel-forming layers, wherein the channel-forming layers comprise at least one of a charge trapping film, a semiconductor channel film, and a dielectric core.

Micron Ex. 1002, p. 850
Micron v. YMTC
IPR2024-00790

Remarks

Reconsideration of this Application is respectfully requested.

Claims 1-20 are pending in the application. Claims 7-20 were previously withdrawn from consideration. Claims 3 and 6 are amended to correct grammatical typos. These changes are believed to introduce no new matter, and their entry is respectfully requested.

Based on the amendments and the following remarks, Applicant respectfully requests that the Examiner reconsider all outstanding rejections and that they be withdrawn.

Rejections under 35 U.S.C. § 102

Claims 1-6 are rejected under 35 U.S.C. § 102(a)(1) as allegedly being anticipated by U.S. Patent Application Publication No. 2010/0133599 A1 to Chae *et al.* ("Chae"). Applicant now respectfully traverses these rejections.

Independent claim 1 recites at least the following features that distinguish over Chae:

> a semiconductor channel extending through the multiple-stack staircase structure, wherein **the semiconductor channel comprises unaligned sidewall surfaces**,

(Emphases added.)

Applicant respectfully submits that, the Office Action fails to exam the claim limitation by considering all words in the claim. MPEP § 2143.03 states:

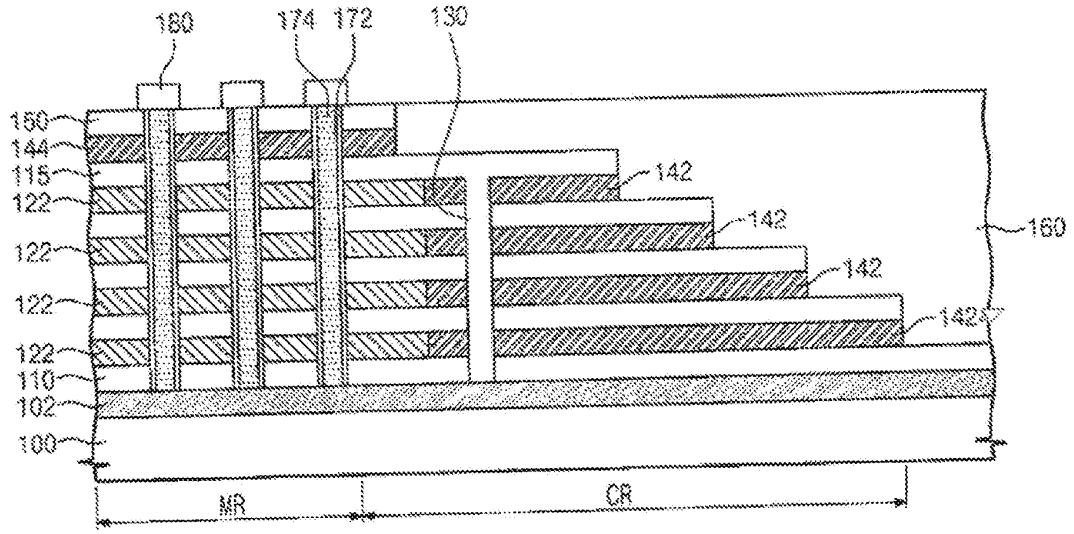
> "All words in a claim must be considered in judging the patentability of that claim against the prior art." In re Wilson, 424 F.2d 1382, 1385, 165 USPQ 494, 496 (CCPA 1970).
>
> Examiners must consider all claim limitations when determining patentability of an invention over the prior art. In re Gulack, 703 F.2d 1381, 1385, 217 USPQ 401, 403-04 (Fed. Cir. 1983). The subject matter of a properly construed claim is defined by the terms that limit the scope of the claim when given their broadest reasonable interpretation. See MPEP § 2111 et seq. It is this subject matter that must be examined.

Micron Ex. 1002, p. 851
Micron v. YMTC
IPR2024-00790

In rejecting claim 1, the Office Action fails to map any disclosure from Chae to the above distinguishing features:

> 1. A memory device comprising: a substrate; a multiple-stack staircase structure comprising a plurality of staircase structures stacked over the substrate, wherein each of the plurality of staircase structures comprises a plurality of conductor layers 122/142, wherein each of the plurality of conductor layers is located between two insulating layers 110/115, a filling structure surrounding the multiple-stack staircase structure 160; a semiconductor channel extending through the multiple-stack staircase structure, wherein the semiconductor channel comprises unaligned sidewall surfaces; and a supporting pillar extending through at least one of the multiple-stack staircase structure and the filling structure, wherein the supporting pillar 130; Fig. 13G; comprises aligned sidewall surfaces (13A-13G; [0095]-[0112]).

Fig. 13G



(Emphasis added. Office Action, p. 3.)

Micron Ex. 1002, p. 852
Micron v. YMTC
IPR2024-00790

Totally contrary to the distinguishing features as recited in original claim 1, the semiconductor channel 172/174 of Chae has smooth and straight sidewall surfaces, as clearly shown in Fig. 13G of Chae that is reproduced in page 3 of the Office Action. Nowhere does Chae discloses or suggests the smooth and straight sidewall surfaces of semiconductor channel 172/174 could be modified to "unaligned sidewall surfaces," as required by claim 1. Thus, Chae fails to disclose at least the distinguishing features of claim 1.

Accordingly, independent claim 1 is allowable over Chae. Dependent claims 2-5, each of which depends from independent claim 1, are also allowable for at least depending from an allowable base claim, and for their respective distinguishing features.

Based on at least the reasons discussed above, reconsideration and withdrawal of the rejections under 35 U.S.C. § 102 are respectfully requested.

Micron Ex. 1002, p. 853
Micron v. YMTC
IPR2024-00790

Conclusion

All of the stated grounds of rejections have been properly traversed, accommodated, or rendered moot. Applicant therefore respectfully requests that the Examiner reconsider all presently outstanding rejections and that they be withdrawn. Applicant believes that a full and complete reply has been made to the outstanding Office Action and, as such, the present application is in condition for allowance. If the Examiner believes, for any reason, that personal communication will expedite prosecution of this application, the Examiner is invited to telephone the undersigned at the number provided.

Prompt and favorable consideration of this Amendment and Reply is respectfully requested.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 4/2/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

14813429.1

Micron Ex. 1002, p. 854
Micron v. YMTC
IPR2024-00790

Electronic Acknowledgement Receipt

EFS ID:	39040573
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Donald J. Featherstone/Denise Bauckman
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0350001
Receipt Date:	02-APR-2020
Filing Date:	10-SEP-2018
Time Stamp:	10:15:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	2020-04-02-Miscellaneous-Letter-4123-0350001.pdf	274192 fa5d4f0686c7486eded5b7dd0e40342d49b3bb90	no	1

Warnings:

Information:					
2		2020-04-02-Amendment-111-4123-0350001.pdf	840211 b7a59b423dc589bdb288c33c9737dbae5d40edbd	yes	11

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Amendment/Req. Reconsideration-After Non-Final Reject	1	1
	Claims	2	7
	Applicant Arguments/Remarks Made in an Amendment	8	11

Warnings:	
Information:	
Total Files Size (in bytes):	1114403

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

April 2, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582
Art Unit 2812
Mail Stop Amendment

Re: U.S. Utility Patent Application
Appl. No. 16/126,919; Filing Date: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

Transmitted herewith for appropriate action is a document entitled ***Amendment and Reply Under 37 C.F.R. § 1.111***, which is submitted electronically.

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for net addition of claims or forwarding to appeal) or credit any overpayment to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/dab
Enclosure

14454892_1.docx

Micron Ex. 1002, p. 857
Micron v. YMTC
IPR2024-00790

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

26111 7590 07/01/2020
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER
NIKMANESH, SEAHVOSH J

ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 07/01/2020

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

TITLE OF INVENTION: MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/01/2020

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 858
Micron v. YMTC
IPR2024-00790

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 07/01/2020
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

TITLE OF INVENTION: MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/01/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
NIKMANESH, SEAHVOSH J	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required) ❑ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

Micron Ex. 1002, p. 859
Micron v. YMTC
IPR2024-00790

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

26111 7590 07/01/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
NIKMANESH, SEAHVOSH J	
ART UNIT	PAPER NUMBER
2812	

DATE MAILED: 07/01/2020

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 860
Micron v. YMTC
IPR2024-00790

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	**Application No.** 16/126,919	**Applicant(s)** LIU et al.	
	Examiner SEAHVOSH J NIKMANESH	**Art Unit** 2812	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 4/2/2020.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-6 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some *c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☑ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/Seahvosh Nikmanesh/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 862
Micron v. YMTC
IPR2024-00790

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

1. This is in response to the remarks dated 4/2/2020.

EXAMINER'S AMENDMENT

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

The application has been amended as follows:

a. Cancel claims 7-20.

Allowable Subject Matter

2. Claims 1-6 are allowed.

3. The following is an examiner's statement of reasons for allowance:

a. **Regarding claim 1,** the prior art of the record does not anticipate or make obvious the applicant's semiconductor device including all the limitations as follows:

> 1 (Original) A memory device comprising:
>
> a substrate;
>
> a multiple-stack staircase structure comprising a plurality of staircase structures stacked over the substrate, wherein each of the plurality of staircase structures comprises a plurality of conductor layers, wherein each of the plurality of conductor layers is located between two insulating layers;
>
> a filling structure surrounding the multiple-stack staircase structure;
>
> a semiconductor channel extending through the multiple-stack staircase structure, wherein the semiconductor channel comprises unaligned sidewall surfaces; and
>
> a supporting pillar extending through at least one of the multiple-stack staircase structure and the filling structure, wherein the supporting pillar comprises aligned sidewall surfaces.

Additionally the remarks dated 4/2/2020 highlight the difference between the instant application and the previous rejection. i.e.

> Totally contrary to the distinguishing features as recited in original claim 1, the semiconductor channel 172/174 of Chae has smooth and straight sidewall surfaces, as clearly shown in Fig. 13G of Chae that is reproduced in page 3 of the Office Action. Nowhere does Chae discloses or suggests the smooth and straight sidewall surfaces of semiconductor channel 172/174 could be modified to "unaligned sidewall surfaces," as required by claim 1. Thus, Chae fails to disclose at least the distinguishing features of claim 1.
>
> Accordingly, independent claim 1 is allowable over Chae. Dependent claims 2-5, each of which depends from independent claim 1, are also allowable for at least depending from an allowable base claim, and for their respective distinguishing features.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to SEAHVOSH J NIKMANESH whose telephone number is (571)270-1805. The examiner can normally be reached on M-F IFP.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Charles Garber can be reached on 5712722194. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained

from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Seahvosh Nikmanesh/
Primary Examiner, Art Unit 2812

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	Art Unit
	SEAHVOSH J NIKMANESH	2812

CPC - Searched*		
Symbol	Date	Examiner
H01L27/11582, 27/1157, 27/11573	01/02/2020	SJN
H01L21/3086, 21/0337	01/02/2020	SJN
H01L23/53295	01/02/2020	SJN

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
Search updated.	06/22/2020	SJN

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	Interference Search History Printout.	06/22/2020	SJN

Micron Ex. 1002, p. 866
Micron v. YMTC
IPR2024-00790

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	**Art Unit**
	SEAHVOSH J NIKMANESH	2812

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

CLAIMS

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	01/02/2020	06/22/2020							
	1	✓	=							
	2	✓	=							
	3	✓	=							
	4	✓	=							
	5	✓	=							
	6	✓	=							
	7	N	-							
	8	N	-							
	9	N	-							
	10	N	-							
	11	N	-							
	12	N	-							
	13	N	-							
	14	N	-							
	15	N	-							
	16	N	-							
	17	N	-							
	18	N	-							
	19	N	-							
	20	N	-							

Micron Ex. 1002, p. 867
Micron v. YMTC
IPR2024-00790

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	**Art Unit**
	SEAHVOSH J NIKMANESH	2812

CPC						
Symbol					**Type**	**Version**
H01L	/	27	/	11582	F	2013-01-01
H01L	/	21	/	0337	I	2013-01-01
H01L	/	21	/	3086	I	2013-01-01
H01L	/	23	/	53295	I	2013-01-01
H01L	/	27	/	1157	I	2013-01-01
H01L	/	27	/	11573	I	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	6	
/Seahvosh Nikmanesh/ Primary Examiner, Art Unit 2812	22 June 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	12

U.S. Patent and Trademark Office — Part of Paper No.: 20200622

Micron Ex. 1002, p. 868
Micron v. YMTC
IPR2024-00790

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	**Art Unit**
	SEAHVOSH J NIKMANESH	2812

INTERNATIONAL CLASSIFICATION				
CLAIMED				
H01L27/11582	/	27	/	11582
H01L21/033	/	21	/	033
H01L21/308	/	21	/	308
H01L23/532	/	23	/	532
H01L27/1157	/	27	/	1157
H01L27/11573	/	27	/	11573

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	6	
/Seahvosh Nikmanesh/ Primary Examiner, Art Unit 2812	22 June 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	12

U.S. Patent and Trademark Office — Part of Paper No.: 20200622

Micron Ex. 1002, p. 869
Micron v. YMTC
IPR2024-00790

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	**Art Unit**
	SEAHVOSH J NIKMANESH	2812

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1														
	2														
	3														
	4														
	5														
	6														

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	6	
/Seahvosh Nikmanesh/ Primary Examiner, Art Unit 2812	22 June 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	12

U.S. Patent and Trademark Office — Part of Paper No.: 20200622

Micron Ex. 1002, p. 870
Micron v. YMTC
IPR2024-00790

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	1	"16126919"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2020/06/22 11:14
S1	10,101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S2	4,767,799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S3	77,797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S4	638,220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S5	1,202,040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S6	496,099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S7	1,281,593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S8	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS;	OR	ON	2019/10/17 14:03

			EPO; JPO; DERWENT; IBM_TDB			
S9	844,213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S10	1,977,654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S11	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S12	14,018,614	S1 S2 S3 S4 S5 S6 S7 S8 S9 S10 S11	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 15:03
S13	10,101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S14	4,767,799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S15	77,797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S16	638,220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S17	1,202,040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40

S18	496,099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S19	1,281,593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S20	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S21	844,213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S22	1,977,654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S23	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S24	14,018,614	S13 S14 S15 S16 S17 S18 S19 S20 S21 S22 S23	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S25	14,018,614	S24	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S26	1	S25 and pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:42
S27	59	"20160111440" "20170103996" "9449987" "9853043"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO;	OR	ON	2019/12/19 08:58

			DERWENT; IBM_TDB			
S28	50	"20160268263" "20180166329" "20180174044" "20180233512" "9570463" "9576967"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:04
S29	0	"16126919"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:13
S30	105	S27 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:35
S31	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:45
S32	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S34	36	pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S35	16,585	H01L27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S36	14,507	H01L21/0337.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S37	8,827	H01L21/3086.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14

S38	11,538	H01L23/53295.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S39	9,206	H01L27/1157.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S40	6,999	H01L27/11573.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S41	52,637	S35 S36 S37 S38 S39 S40	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S42	309	S41 and pillar and stack$3 and staircase and channel and sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S43	40	pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2020/04/08 07:33

6/22/2020 11:16:29 AM
C:\Users\snikmanesh\Documents\EAST\Workspaces\16126919.wsp

EAST Search History

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L3	4	(pillar and stack$3 and staircase and channel and align$3 with sidewall).clm.	US-PGPUB; USPAT	OR	ON	2020/06/22 11:16

6/22/2020 11:17:33 AM
C:\Users\snikmanesh\Documents\EAST\Workspaces\16126919.wsp

DONALD J. FEATHERSTONE
DIRECTOR
(202) 772-8629
DONF@STERNEKESSLER.COM

Sterne Kessler
STERNE KESSLER GOLDSTEIN & FOX

September 30, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582
Mail Stop Issue Fee

Re: Allowed U.S. Utility Patent Application
Appl. No. 16/126,919; Filed: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

In response to the **Notice of Allowance and Fee(s) Due** dated July 1, 2020, the following documents are transmitted for appropriate action by the U.S. Patent and Trademark Office:

1. Online Credit Card Payment Authorization for **$1,000.00** to cover:

   $1,000.00 - Issue Fee;

2. Comments on Statement of Reasons for Allowance; and

3. Issue Fee Transmittal (Form PTOL-85).

The above-listed documents are filed electronically via EFS-Web.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

DJF/W-S/mm
Enclosures
15475252_1.docx

Micron Ex. 1002, p. 877
Micron v. YMTC
IPR2024-00790

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/126,919	Examiner: NIKMANESH, Seahvosh J.
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

Comments on Statement of Reasons for Allowance

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Mail Stop: Issue Fee

Commissioner:

Applicant thanks the Examiner for indicating the allowability of claims 1-6 in the Notice of Allowance dated July 1, 2020.

Comments on Statement of Reasons for Allowance

Applicant notes the Examiner's Statement of Reasons for Allowance presented on pages 2-3 of the Notice of Allowance. Applicant reserves the right to demonstrate claims 1-6 are allowable over the art made of record for further reasons related to any of their recited features. Applicant further contends that reservation of this right does not give rise to any implication regarding whether the Applicant agrees with or acquiesces in the reasoning provided by the Examiner.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Donald J. Featherstone/

Donald J. Featherstone
Attorney for Applicant
Registration No. 33,876

Date: 9/30/2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600

15618384.1

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

26111 7590 07/01/2020
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

TITLE OF INVENTION: MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	10/01/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
NIKMANESH, SEAHVOSH J	2812	257-324000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Sterne, Kessler, Goldstein & Fox P.L.L.C.
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Yangtze Memory Technologies Co., Ltd.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Wuhan, Hubei, CHINA

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 19-0036

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Donald J. Featherstone/ Date 9/30/2020

Typed or printed name Donald J. Featherstone Registration No. 33,876

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 879
Micron v. YMTC
IPR2024-00790

Electronic Patent Application Fee Transmittal

Application Number:	16126919
Filing Date:	10-Sep-2018
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Filer:	Donald J. Featherstone/Michael Monteiro
Attorney Docket Number:	4123.0350001

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1000**

Electronic Acknowledgement Receipt

EFS ID:	40721779
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Donald J. Featherstone/Michael Monteiro
Filer Authorized By:	Donald J. Featherstone
Attorney Docket Number:	4123.0350001
Receipt Date:	30-SEP-2020
Filing Date:	10-SEP-2018
Time Stamp:	17:32:54
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1000
RAM confirmation Number	E20209TH33553663
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2020-09-30-Issue-Fee-Bundle-4123-0350001.PDF	2014588 6400d2bfb64764978f218e07163c24f4fe334b43	yes	3

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Miscellaneous Incoming Letter	1	1
	Post Allowance Communication - Incoming	2	2
	Issue Fee Payment (PTO-85B)	3	3

Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30439 b1e773b097acdfb9ecd02b7908b7450372c820f2	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	2045027		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	11/10/2020	10833097	4123.0350001	4582

26111 7590 10/21/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Jun LIU, Wuhan, CHINA;
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA
Zongliang Huo, Wuhan, CHINA;
Li Hong Xiao, Wuhan, CHINA;
Zhenyu Lu, Wuhan, CHINA;
Qian Tao, Wuhan, CHINA;
Yushi Hu, Wuhan, CHINA;
Sizhe Li, Wuhan, CHINA;
Zhao Hui Tang, Wuhan, CHINA;
Yu Ting Zhou, Wuhan, CHINA;
Zhaosong Li, Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Doc Code: QPIDS.REQ
Document Description: QuickPath Information Disclosure Statement

PTO/SB/09 (09-18)

CERTIFICATION AND REQUEST FOR CONSIDERATION OF AN INFORMATION DISCLOSURE STATEMENT FILED AFTER PAYMENT OF THE ISSUE FEE UNDER THE QPIDS PROGRAM

Non-Provisional Application Number: 16/126,919	Filing Date: September 10, 2018
First Named Inventor: Jun LIU	Title of Invention: MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THER

THE UNDERSIGNED HEREBY CERTIFIES AND REQUESTS THE FOLLOWING FOR THE ABOVE-IDENTIFIED APPLICATION.

1. Consideration is requested of the information disclosure statement (IDS) submitted herewith, which is being filed after payment of the issue fee.
2. Check the box next to the appropriate selection:
   ☑ Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(1).

   OR

   ☐ No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the IDS was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(2).

   OR

   ☐ See attached certification statement in compliance with 37 CFR 1.97(e).
3. Please charge the IDS fee set forth in 37 CFR 1.17(p) to Deposit Account No. 19-0036.
4. A Petition to Withdraw from Issue After Payment of the Issue Fee (37 CFR 1.313(c)(2)), including the petition fee set forth in 37 CFR 1.17(h), is submitted herewith as a **Web-based ePetition**. **WARNING:** Do not submit the petition as a follow-on paper via EFS-Web. Submit the petition as a Web-based ePetition by signing on to EFS-Web as a registered user, selecting the radio button next to "Existing application/patent," and then selecting the radio button next to "ePetition (for automatic processing and immediate grant, if all petitions requirements are met)." Failure to use the Web-based ePetition interface will result in automatic entry of the RCE.
5. A request for continued examination (RCE) under 37 CFR 1.114 and the RCE fee under 37 CFR 1.17(e) are submitted herewith.
6. The RCE will be treated as a "conditional" RCE. In the event the examiner determines that any item of information contained in the IDS necessitates the reopening of prosecution in the application, the undersigned understands that (i) the RCE will be processed and treated as an RCE under 37 CFR 1.114 and therefore (ii) the IDS fee under 37 CFR 1.17(p) will be returned in accordance with 37 CFR 1.97(b)(4). In the event that no item of information in the IDS necessitates reopening prosecution, the undersigned understands that the RCE will not be processed and the RCE fee under 37 CFR 1.17(e) will be returned.
7. This certification and request is being filed as a **Web-based ePetition** and is not accompanied by an amendment to the application. Inclusion of an amendment will result in automatic entry of the RCE.

Signature /Wenchong Shu/	Date 11/2/2020
Name (Print/Typed) Wenchong Shu	Practitioner Registration Number (if applicable) 73999

Note: *Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required in accordance with 37 CFR 1.33 and 11.18. Please see 37 CFR 1.4(d) for the form of the signature. If necessary, submit multiple forms for more than one signature, see below.**

☑ *Total of 1 forms are submitted.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: LIU *et al.*	Confirmation No.: 4582
Applicant: Yangtze Memory Technologies Co., Ltd.	Art Unit: 2812
Application No.: 16/126,919	Examiner: NIKMANESH, Seahvosh J.
Filing Date: September 10, 2018	Atty. Docket: 4123.0350001

Title: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**

Second Supplemental Information Disclosure Statement

Mail Stop 313(c)

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Commissioner:

Listed on accompanying IDS Forms PTO/SB/08a equivalent and PTO/SB/08b equivalent are documents that may be considered material to the patentability of this application as defined in 37 C.F.R. §1.56, and in compliance with the duty of disclosure requirements of 37 C.F.R. §§ 1.97 and 1.98.

Applicant has listed publication dates on the attached IDS Forms based on information presently available to the undersigned. However, the listed publication dates should not be construed as an admission that the information was actually published on the date indicated.

Applicant reserves the right to establish the patentability of the claimed invention over any of the information provided herewith, and/or to prove that this information may not be prior art, and/or to prove that this information may not be enabling for the teachings purportedly offered.

This statement should not be construed as a representation that a search has been made, or that information more material to the examination of the present patent application does not exist. The Examiner is specifically requested not to rely solely on the material submitted herewith.

The required fee is provided through authorization to deduct the amount of $260.00 from deposit account No. 19-0036 in payment of the fee under 37 C.F.R. § 1.17(p). I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 C.F.R. § 1.97(e)(1).

A concise explanation of the relevance of the non-English language document(s) appears below in accordance with 37 C.F.R. § 1.98(a)(3).

Document **FP1** (CN 107579069 A) appears to describe a "three-dimensional flash memory and manufacture method thereof," as noted in the attached English-language translation of the abstract.

Document **NPL1** (Official Action for Chinese Application 202010428927.0) shows an Official Action for Chinese Application 202010428927.0), which is a counterpart application to the instant U.S. Patent Application (U.S. Appln. No. 16/126,919).

Copies of documents **FP1** and **NPL1** are submitted.

Micron Ex. 1002, p. 888
Micron v. YMTC
IPR2024-00790

It is respectfully requested that the Examiner initial and return a copy of the enclosed IDS Forms, and indicate in the official file wrapper of this patent application that the documents have been considered.

The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

Date: November 2, 2020

1100 New York Avenue, N.W.
Washington, D.C. 20005-3934
(202) 371-2600
15801553_1.docx

15801845.1

Micron Ex. 1002, p. 889
Micron v. YMTC
IPR2024-00790

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	September 10, 2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 107579069 A	01-12-2018	YANGTZE MEMORY TECH CO LT		✓

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	September 10, 2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Chinese Application No. 202010428927.0, Office Action mailed October 19, 2020; 11 pages.	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

Espacenet

Bibliographic data: CN107579069 (A) — 2018-01-12

Three-dimensional flash memory and manufacture method thereof

Inventor(s): ZHAO XIANGHUI; HU JUN; ZENG ZUIXIN; ZHANG SHI; CHEN BAOYOU ± (赵祥辉, ; 胡军, ; 曾最新, ; 章诗, ; 陈保友)

Applicant(s): YANGTZE MEMORY TECH CO LTD ± (长江存储科技有限责任公司)

Classification: **- international:** ***H01L27/11524; H01L27/11551; H01L27/1157; H01L27/11578***

- cooperative:

Application number: CN201710771657 20170831 Global Dossier

Priority number (s): CN201710771657 20170831

Also published as: CN107579069 (B)

Abstract of CN107579069 (A)

The application provides a three-dimensional flash memory and a manufacture method thereof. The manufacture method includes: providing a semiconductor substrate to form a mask, wherein the position and size of the mask are the same as those of a mask to form a pattern on a first film layer; performing first etching under etching depth of M*a, wherein M>/=INT(N)+1; trimming and reducing the edge ofthe mask by single step width; performing second etching under etching depth a; repeating the two steps above until the first film layer is etched. The manufacture method of the invention has the advantage that by changing an etching sequence in pattern manufacture process for the steps and first film layer, the first film layer of greater thickness at the bottom and a second film layer of less thickness forming the steps can be formed via the same mask, the consumption of the mask in the etching process of the second film layer is decreased, and the manufacture cost of the three-dimensionalflash memory is reduced.

Micron Ex. 1002, p. 892
Micron v. YMTC
IPR2024-00790

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107579069 A
(43)申请公布日 2018.01.12

(21)申请号 201710771657.1

(22)申请日 2017.08.31

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 赵祥辉 胡军 曾最新 章诗 陈保友

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 李婷婷 王宝筠

(51)Int.Cl.
H01L 27/11524(2017.01)
H01L 27/11551(2017.01)
H01L 27/1157(2017.01)
H01L 27/11578(2017.01)

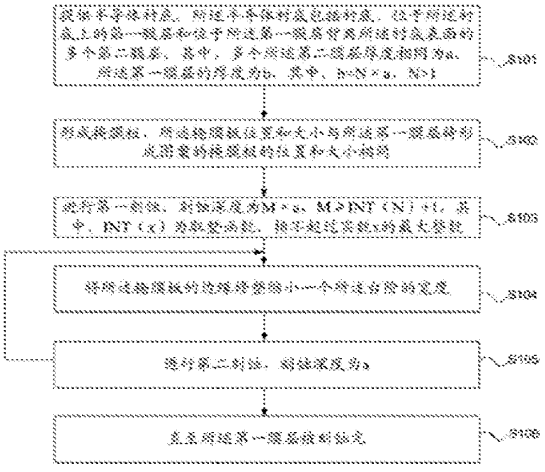
权利要求书1页 说明书7页 附图13页

(54)发明名称

一种三维闪存及其制作方法

(57)摘要

本申请提供一种三维闪存及其制作方法，所述制作方法包括：提供半导体衬底，形成掩膜板，所述掩膜板位置和大小与所述第一膜层待形成图案的掩膜板的位置和大小相同；进行第一刻蚀，刻蚀深度为M×a，M≥INT(N)+1；将所述掩膜板的边缘修整缩小一个所述台阶的宽度；进行第二刻蚀，刻蚀深度为a；重复上面两个步骤，直至所述第一膜层被刻蚀完。本发明三维闪存制作方法，通过改变台阶和第一膜层上图案制作过程中的刻蚀顺序，从而使得最下面的厚度较厚的第一膜层与形成台阶的厚度较薄的第二膜层能够采用同一张掩膜板形成，从而节省了第二膜层刻蚀过程中的掩膜板的使用，进而降低了三维闪存制作成本。



CN 107579069 A

Micron Ex. 1002, p. 893
Micron v. YMTC
IPR2024-00790

1.一种三维闪存制作方法，其特征在于，包括：

A：提供半导体衬底，所述半导体衬底包括衬底、位于所述衬底上的第一膜层和位于所述第一膜层背离所述衬底表面的多个第二膜层，其中，多个所述第二膜层厚度相同为a，所述第一膜层的厚度为b，其中，b＝N×a，N>1；

B：形成掩膜板，所述掩膜板位置和大小与所述第一膜层待形成图案的掩膜板的位置和大小相同；

C：进行第一刻蚀，刻蚀深度为M×a，M≥INT(N)+1，其中，INT(x)为取整函数，指不超过实数x的最大整数；

D：将所述掩膜板的边缘修整缩小一个所述台阶的宽度；

E：进行第二刻蚀，刻蚀深度为a；

重复步骤D和步骤E，直至所述第一膜层被刻蚀完。

2.根据权利要求1所述的三维闪存制作方法，其特征在于，所述第一刻蚀的刻蚀深度为INT(N)+1。

3.根据权利要求1所述的三维闪存制作方法，其特征在于，所述第一膜层包括第一子膜层和第二子膜层，所述第一子膜层位于所述第二子膜层和所述衬底之间。

4.根据权利要求3所述的三维闪存制作方法，其特征在于，所述第一子膜层为SiN层或多晶硅层，所述第二子膜层为氧化层。

5.根据权利要求4所述的三维闪存制作方法，其特征在于，所述第二膜层包括第三子膜层和第四子膜层，所述第三子膜层位于第四子膜层朝向衬底的一侧。

6.根据权利要求5所述的三维闪存制作方法，其特征在于，所述第三子膜层为SiN层或多晶硅层，所述第四子膜层为氧化层。

7.根据权利要求1-6任意一项所述的三维闪存制作方法，其特征在于，所述掩膜板的材质为光阻。

8.根据权利要求1-6任意一项所述的三维闪存制作方法，其特征在于，所述衬底为硅衬底。

9.一种三维闪存，其特征在于，采用权利要求1-8任意一项所述的三维闪存制作方法制作形成；

所述三维闪存包括衬底和位于所述衬底上的多个台阶层；

多个台阶层包括位于衬底表面的第一膜层图案和位于所述第一膜层图案背离所述衬底方向依次设置的多个台阶膜层；

所述第一膜层图案的厚度大于一层所述台阶膜层的厚度。

10.根据权利要求9所述的三维闪存，其特征在于，所述衬底为硅衬底，所述台阶层包括靠近所述衬底的SiN层或多晶硅层和远离所述衬底的氧化层。

Micron Ex. 1002, p. 894
Micron v. YMTC
IPR2024-00790

一种三维闪存及其制作方法

技术领域

[0001] 本发明涉及半导体器件制作技术领域，尤其涉及一种三维闪存及其制作方法。

背景技术

[0002] NAND闪存是一种比硬盘驱动器更好的存储设备，随着人们追求功耗低、质量轻和性能佳的非易失存储产品，在电子产品中得到了广泛的应用。目前，平面结构的NAND闪存已接近实际扩展的极限，为了进一步的提高存储容量，降低每比特的存储成本，提出了3D结构的NAND存储器。

[0003] 在3D NAND存储器结构中，采用垂直堆叠多层数据存储单元的方式，实现堆叠式的3DNAND存储器结构，这些垂直堆叠的多层数据存储单元称之为台阶。

[0004] 通常3D NAND存储器结构中的台阶数量较多，形成台阶过程中，需要经过多次掩膜和刻蚀的步骤，由于多次掩膜步骤需要多个掩膜板，造成3D NAND的制作工艺成本较高。

发明内容

[0005] 有鉴于此，本发明提供一种三维闪存及其制作方法，以解决现有技术中3D NAND制作过程中工艺成本较高的问题。

[0006] 为实现上述目的，本发明提供如下技术方案：

[0007] 一种三维闪存制作方法，包括：

[0008] A：提供半导体衬底，所述半导体衬底包括衬底、位于所述衬底上的第一膜层和位于所述第一膜层背离所述衬底表面的多个第二膜层，其中，多个所述第二膜层厚度相同为a，所述第一膜层的厚度为b，其中，b＝N×a，N>1；

[0009] B：形成掩膜板，所述掩膜板位置和大小与所述第一膜层待形成图案的掩膜板的位置和大小相同；

[0010] C：进行第一刻蚀，刻蚀深度为M×a，M≥INT(N)+1，其中，INT(x)为取整函数，指不超过实数x的最大整数；

[0011] D：将所述掩膜板的边缘修整缩小一个所述台阶的宽度；

[0012] E：进行第二刻蚀，刻蚀深度为a；

[0013] 重复步骤D和步骤E，直至所述第一膜层被刻蚀完。

[0014] 优选地，所述第一刻蚀的刻蚀深度为INT(N)+1。

[0015] 优选地，所述第一膜层包括第一子膜层和第二子膜层，所述第一子膜层位于所述第二子膜层和所述衬底之间。

[0016] 优选地，所述第一子膜层为SiN层或多晶硅层，所述第二子膜层为氧化层。

[0017] 优选地，所述第二膜层包括第三子膜层和第四子膜层，所述第三子膜层位于第四子膜层朝向衬底的一侧。

[0018] 优选地，所述第三子膜层为SiN层或多晶硅层，所述第四子膜层为氧化层。

[0019] 优选地，所述掩膜板的材质为光阻。

Micron Ex. 1002, p. 895
Micron v. YMTC
IPR2024-00790

[0020] 优选地，所述衬底为硅衬底。

[0021] 本发明还提供一种三维闪存，采用上面任意一项所述的三维闪存制作方法制作形成；

[0022] 所述三维闪存包括衬底和位于所述衬底上的多个台阶层；

[0023] 多个台阶层包括位于衬底表面的第一膜层图案和位于所述第一膜层图案背离所述衬底方向依次设置的多个台阶膜层；

[0024] 所述第一膜层图案的厚度大于一层所述台阶膜层的厚度。

[0025] 优选地，所述衬底为硅衬底，所述台阶层包括靠近所述衬底的SiN层或多晶硅层和远离所述衬底的氧化层。

[0026] 经由上述的技术方案可知，本发明提供的三维闪存制作方法，通过改变台阶和第一膜层上图案制作过程中的刻蚀顺序，从而使得最下面的厚度较厚的第一膜层与形成台阶的厚度较薄的第二膜层能够采用同一张掩膜板形成，相对于现有技术中最下面的厚度较厚的第一膜层的刻蚀需要单独采用一张掩膜板而言，节省了第二膜层刻蚀过程中的掩膜板的使用，进而降低了三维闪存制作成本。

[0027] 本发明提供的三维闪存器件，采用上述方法制作形成，在制作过程中，能够节省一个掩膜板的使用，基于量产而言，能够降低三维闪存的制作成本。

附图说明

[0028] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

[0029] 图1为现有技术中3D NAND制作过程中的台阶形成过程示意图；

[0030] 图2为本发明实施例提供的一种三维闪存制作方法流程图；

[0031] 图3A-图3H本发明实施例提供的一种三维闪存的台阶形成过程示意图；

[0032] 图4为本发明实施例提供的一种三维闪存的结构示意图；

[0033] 图5为本发明实施例提供的另一种三维闪存的结构示意图；

[0034] 图6为本发明实施例提供的另一种三维闪存进行第一刻蚀时掩膜板位置示意图。

具体实施方式

[0035] 正如背景技术部分所述，现有技术中3D NAND器件的制作过程中需要多次掩膜和多次刻蚀的步骤，在台阶形成过程中，需要制作多个掩膜板，进行不同膜层的刻蚀，从而造成掩膜板的成本较高。

[0036] 发明人发现出现上述现象的原因是，形成台阶的膜层包括待形成台阶膜层和位于待形成台阶膜层最下方的第一膜层，由于第一膜层的厚度与位于其上的待形成台阶的膜层厚度不同，在刻蚀最下面的第一膜层时，只能单独采用一张掩膜板，从而造成掩膜板的个数较多，成本较高。

[0037] 具体地，请参见图1所示，每一层待形成台阶膜层包括第一氧化层01a和第一氮化硅层01b，第一膜层包括第二氧化层02a和第二氮化硅层02b，其中第一膜层的厚度相较于待

Micron Ex. 1002, p. 896
Micron v. YMTC
IPR2024-00790

形成台阶膜层的厚度厚。在台阶形成过程中，包括：

[0038] 形成第一掩膜板PR01，所述第一掩膜板PR01的大小和位置与紧挨第一膜层表面的台阶层待形成台阶的形状大小和位置相同；

[0039] 刻蚀一个第一氧化层01a和第一氮化硅层01b的厚度，形成台阶S1'；

[0040] 修整所述第一掩膜板PR01，使得第一掩膜板PR01缩小一个台阶预设的宽度；

[0041] 再刻蚀一个第一氧化层01a和第一氮化硅层01b的厚度，之前的台阶S1'被刻蚀形成台阶S1，同时刻蚀形成台阶S2'；

[0042] 重复修整和刻蚀的步骤，将所述待形成台阶膜层均刻蚀完成，形成多个厚度相同的台阶(S1、S2和S3)。

[0043] 但当刻蚀至最下面的第一膜层时，由于第一膜层的厚度与台阶的厚度不同，若继续使用第一掩膜板PR01进行刻蚀，刻蚀第一膜层厚度的同时，会将已经形成的台阶也进行刻蚀，由于刻蚀量相对于台阶厚度而言较多，从而导致台阶错层，使得台阶形成过程失败。为了避免上述问题产生，只能单独采用一张掩膜板来刻蚀最下面的第一膜层，如图1中所示，采用第二掩膜板PR02遮盖已经形成的台阶(S1、S2、S3)后，再进行刻蚀，形成最终结构，包括S1、S2、S3和S4四个台阶。

[0044] 因此，第一膜层的刻蚀与其上的台阶膜层的刻蚀过程只能分开，采用两个掩膜板进行分别刻蚀，由于掩膜板使用较多，造成工艺成本较高。

[0045] 基于此，本发明提供一种三维闪存制作方法，包括：

[0046] A：提供半导体衬底，所述半导体衬底包括衬底、位于所述衬底上的第一膜层和位于所述第一膜层背离所述衬底表面的多个第二膜层，其中，多个所述第二膜层厚度相同为a，所述第一膜层的厚度为b，其中，$b=N\times a$，$N>1$；

[0047] B：形成掩膜板，所述掩膜板位置和大小与所述第一膜层待形成图案的掩膜板的位置和大小相同；

[0048] C：进行第一刻蚀，刻蚀深度为$M\times a$，$M\geq INT(N)+1$，其中，$INT(x)$为取整函数，指不超过实数x的最大整数；

[0049] D：将所述掩膜板的边缘修整缩小一个所述台阶的宽度；

[0050] E：进行第二刻蚀，刻蚀深度为a；

[0051] 重复步骤D和步骤E，直至所述第一膜层被刻蚀完。

[0052] 本发明提供的三维闪存制作方法，通过改变台阶和第一膜层上图案制作过程中的刻蚀顺序，从而使得最下面的厚度较厚的第一膜层与形成台阶的厚度较薄的第二膜层能够采用同一张掩膜板形成，相对于现有技术中最下面的厚度较厚的第一膜层的刻蚀需要单独采用一张掩膜板而言，节省了第二膜层刻蚀过程中的掩膜板的使用，进而降低了三维闪存制作成本。

[0053] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0054] 请参见图2，图2为本发明实施例提供的一种三维闪存制作方法的流程示意图，所述三维闪存制作方法包括：

Micron Ex. 1002, p. 897
Micron v. YMTC
IPR2024-00790

[0055] S101:提供半导体衬底,所述半导体衬底包括衬底、位于所述衬底上的第一膜层和位于所述第一膜层背离所述衬底表面的多个第二膜层,其中,多个所述第二膜层厚度相同为a,所述第一膜层的厚度为b,其中,b=N×a,N>1;

[0056] 本实施例中不限定衬底的具体材质,可选的,衬底可以为硅衬底。需要说明的是,本实施例中不限定所述半导体衬底上的第二膜层的层数,可选的,本实施例中的半导体衬底为现有的32层3D NAND,在本发明其他实施例中还可以是其他层数的3D NAND,本实施例中对此不做限定。

[0057] 需要说明的是,本实施例中半导体衬底还包括位于多层第二膜层下方的第一膜层,第一膜层的厚度与普通的台阶膜层(即第二膜层)厚度不相同,相较于中间的普通台阶膜层的厚度较厚。

[0058] 在形成台阶过程中,现有技术中通常需要进行9次掩膜,本实施例中提供的三维闪存制作方法即为基于现有技术中已经制作完成前7次掩膜和刻蚀的基础上形成的,因此,本实施例中所述的半导体衬底为已经完成前7次掩膜,经过刻蚀后的半导体衬底,如图3A所示,包括衬底31、位于衬底上的第一膜层32和未进行蚀刻形成台阶的多层第二膜层332以及已经经过前7次掩膜过程刻蚀形成台阶的多个第二膜层331,本实施例中半导体衬底还可以包括位于最上面的第三膜层34,第三膜层34的厚度可以与第二膜层厚度相同,也可以不相同,本实施例中对此不做限定。

[0059] 需要说明的是,本实施例中对所述第一膜层和第二膜层的材质不做限定,可选的,所述第一膜层包括第一子膜层和第二子膜层,所述第一子膜层位于所述第二子膜层和所述衬底之间。所述第二膜层包括第三子膜层和第四子膜层,所述第三子膜层位于第四子膜层朝向衬底的一侧。而所述第一子膜层为SiN层或多晶硅层,所述第二子膜层为氧化层。所述第三子膜层为SiN层或多晶硅层,所述第四子膜层为氧化层。本实施例中所述氧化层可选为二氧化硅层,本实施例中对此不做限定。

[0060] 需要说明的是,本实施例中对所述第一膜层的厚度和所述第二膜层的厚度不做限定,可以根据实际3D NAND的膜层制作而设置。可选的,所述第一子膜层的厚度为450Å,第二子膜层的厚度为1300Å;所述第三子膜层的厚度为295Å,第四子膜层的厚度为420Å。

[0061] 请参见图3所示,本实施例中第一膜层32的厚度为b=(450Å+1300Å)=1750Å,第二膜层,也即普通台阶膜层(331和332)的厚度为a=(295Å+420Å)=715Å,而普通台阶宽度为W,本实施例中b=N×a,也即N=1750/715=2.4。

[0062] 以上材质、膜厚等参数均为示例,对本申请保护范围不做限定。

[0063] S102:形成掩膜板,所述掩膜板位置和大小与所述第一膜层待形成图案的掩膜板的位置和大小相同;

[0064] 也即,本发明实施例中采用的掩膜板为形成最底层第一膜层的图案(或台阶)的掩膜板,其放置位置和大小均与第一膜层待形成图案或待形成台阶的掩膜板相同。

[0065] 继续以现有的32层3D NAND,需要9次掩膜和刻蚀形成台阶为例进行说明,每次掩膜和刻蚀会形成一定的台阶数量,每一次掩膜后,经过修整掩膜板的大小,依次刻蚀,采用内推方式形成一部分台阶,本实施例中将上述过程称为SS(Stair Step,台阶),即现有技术中32层3D NAND,需要9次SS。

Micron Ex. 1002, p. 898
Micron v. YMTC
IPR2024-00790

[0066] 本步骤中形成掩膜板，所述掩膜板即为现有技术中SS9中的掩膜板。本实施例中不限定掩膜板的具体材质，可选的，所述掩膜板为光阻。

[0067] 需要说明的是，如图3A所示，现有SS9掩膜板35的右侧与SS7完成后台阶边缘的距离为待形成的第二膜层台阶和第一膜层台阶的宽度总和。需要说明的是，第一膜层台阶的宽度与第二膜层台阶的宽度可以相同，也可以不相同，本实施例中仅以第一膜层台阶宽度与第二膜层台阶宽度相同，均为W为例进行说明(下同)，而待形成台阶的第二膜层(即采用现有方法SS8需要刻蚀的膜层)个数为3，因此，如图3A所示，SS9掩膜板35的右侧与SS7完成后台阶边缘的距离为4W。如图6所示，当待形成台阶的第二膜层(即采用现有方法SS8需要刻蚀的膜层)为5层时，SS9掩膜板35的右侧与SS7完成后台阶边缘的距离为5层第二膜层台阶的宽度与第一膜层台阶宽度之和，也即6W。本实施例中不限定第一膜层台阶宽度的具体数值，本领域技术人员公知的，第一膜层台阶宽度可以与第二膜层台阶宽度相同，也可以不相同。

[0068] S103：进行第一刻蚀，刻蚀深度为M×a，M≥INT(N)+1，其中，INT(x)为取整函数，指不超过实数x的最大整数；

[0069] 需要说明的是，由于工艺制作限制，每次刻蚀的深度均为第二膜层厚度的整数倍，因此，本实施例中刻蚀深度M≥INT(N)+1。本实施例中，取整函数是指不超过实数x的最大整数称为x的整数部分，记作INT(x)。也即本发明实施例中的取整函数为向下取整，如INT(2.4)＝2；INT(3.9)＝3。

[0070] 请参见3A所示，本实施例中在形成掩膜板35时，已经制作完成前SS1-SS7的过程，掩膜板35遮挡SS1-SS7形成的台阶部分，进行保护。从图3A可以看出，若采用现有技术的制作方法，则SS8需要刻蚀3层普通台阶膜层332的厚度，SS9需要单独刻蚀最下方第一膜层32的厚度。

[0071] 而本发明实施例通过计算得知，M≥INT(N)+1＝INT(2.4)+1＝3，也即M≥3；本实施例中进行第一刻蚀时的厚度至少为3倍第二膜层的厚度，此时，在后续内推形成台阶过程中，当所有的第二膜层刻蚀完成形成台阶的同时，肯定已经将第一膜层刻蚀完成。

[0072] 需要说明的是，由于每次刻蚀的深度均为第二膜层厚度的整数倍，当N为小数时，最后刻蚀完成时，势必会刻蚀部分衬底，刻蚀衬底的厚度为M-b，因此，当M取值越大的时候，最终刻蚀衬底的厚度越多，对衬底造成不必要的损伤。基于此，本实施例中可选的，M＝INT(N)+1。

[0073] 本实施例中N＝2.4，M＝3，因此请参见3B，沿着掩膜板的边缘刻蚀深度为3a的厚度。

[0074] S104：将所述掩膜板的边缘修整缩小一个所述台阶的宽度；

[0075] 请参见图3C所示，将掩膜板35的边缘修整缩小一个台阶的宽度W，调整掩膜板的大小，为后续形成第二膜层的台阶做基础。

[0076] 需要说明的是，本实施例中不限定对掩膜板35的边缘进行修整缩小的具体工艺，可选的，采用刻蚀机在刻蚀机内部对掩膜板35进行修整缩小。

[0077] S105：进行第二刻蚀，刻蚀深度为a；

[0078] 请参见图3D，对掩膜板35未遮挡的部分进行第二刻蚀，本实施例中第二刻蚀的刻蚀深度为一层第二膜层的厚度a。此时，由于本实施例中现有技术SS8刻蚀的第二膜层层数

Micron Ex. 1002, p. 899
Micron v. YMTC
IPR2024-00790

有L层，本实施例中L＝3，而本实施例中M＝3，因此，即L＝M，那么经过第一刻蚀后，正好将第一膜层裸露，经过一次第二刻蚀后，第一膜层32同样被刻蚀a厚度。

[0079] 但需要说明的是，若现有技术中SS8刻蚀的第二膜层层数有L层，且L>M，则经过一次第二刻蚀，并不会裸露出第一膜层32的表面。若现有技术中SS8刻蚀的第二膜层层数有L层，且L<M，则经过第一刻蚀后，第一膜层就已经有部分被刻蚀，此次经过第二刻蚀，第一膜层会再次被刻蚀a厚度。

[0080] S106：重复步骤S104和步骤S105，直至所述第一膜层被刻蚀完。

[0081] 请参见图3E，重复步骤S104，将掩膜板35的边缘再次修整缩小一个所述台阶的宽度W；请参见图3F，重复步骤S105，进行第二刻蚀，刻蚀深度为a；从图3F中可以看出，此时，第一膜层32还没有被刻蚀完成，需要继续重复步骤S104将掩膜板35的边缘再次修整缩小一个所述台阶的宽度W，请参见图3G；继续重复步骤S105，进行第二刻蚀，刻蚀深度为a，请参见图3H；此时，第一膜层32已经被完全刻蚀完成，则结束。

[0082] 本实施例中，L＝3，因此，在第一刻蚀完成后，执行了3次步骤S104和步骤S105，若现有技术中SS8需要刻蚀L层第二膜层，则进行第一刻蚀后，执行L次步骤S104和步骤S105即可将第一膜层刻蚀完整。

[0083] 本发明实施例提供的3D NAND制作方法，通过改变刻蚀过程中刻蚀的厚度，能够实现采用待形成第一膜层台阶的掩膜板同时实现较厚的第一膜层的台阶制作以及位于其上的多个等厚的第二膜层的台阶制作，从而避免使用第二膜层台阶制作的掩膜板，即相对于现有技术中的制作方法，能够减少一个掩膜板的使用，从而降低了3D NAND的制作成本。

[0084] 本发明实施例还提供一种三维闪存，采用上实施例中所述的三维闪存制作方法制作形成；如图4所示，所述三维闪存包括衬底41和位于衬底上的多个台阶层；多个台阶层包括位于衬底表面的第一膜层图案42和位于第一膜层图案42背离衬底41方向依次设置的多个台阶膜层43；第一膜层图案42的厚度均大于一层台阶膜层43的厚度。

[0085] 本实施例中不限定所述衬底的材质，以及台阶层的材质。可选的衬底41为硅衬底。而台阶层均包括靠近所述衬底的SiN层或多晶硅层和远离衬底41的氧化层。所述氧化层可选的为二氧化硅。

[0086] 本实施例中多个台阶膜层43上还可以包括其他膜层结构，如图4中的膜层44所示，本实施例中对此不做限定。

[0087] 本发明实施例提供的3D NAND采用上面实施例提供的制作方法制作而成。制作过程中，通过改变刻蚀过程中刻蚀的厚度，能够实现采用待形成第一膜层台阶的掩膜板同时实现较厚的第一膜层的台阶制作以及位于其上的多个等厚的第二膜层的台阶制作，从而避免使用第二膜层台阶制作的掩膜板，即相对于现有技术中的制作方法，能够减少一个掩膜板的使用，从而降低了3D NAND的制作成本。

[0088] 本发明提供的3D NAND制作方法还可以应用在任意包括多层等厚的第二膜层和位于第二膜层的下方的一层第一膜层，且第一膜层的厚度比第二膜层厚度厚的场景中。如图5所示，若3D NAND包括衬底51、位于衬底51表面的第一膜层52、位于第一膜层52上的等厚的台阶膜层(53、54)；还包括第三膜层55和位于第三膜层55上方的等厚的台阶膜层(56、57的下半部分)，其中，第一膜层52的厚度比台阶膜层(53、54)的厚度厚，第三膜层55的厚度比台阶膜层56的厚度厚，此时，若采用现有技术中的工艺进行制作，第三膜层55需要单独一个掩

Micron Ex. 1002, p. 900
Micron v. YMTC
IPR2024-00790

膜板，无法与上层的等厚台阶膜层56共用一个掩膜板；而第一膜层52也需要一个单独的掩膜板，无法与上层的等厚膜层53共用一个掩膜板。而利用本发明提供的制作方法，则可以提供半导体衬底，所述半导体衬底为已经制作完成图5中的台阶层57的基础上，采用形成第三膜层55台阶的掩膜板，一次掩膜，形成台阶膜层56和第三膜层55的图案；而后继续采用现有工艺制作台阶54，当需要制作等厚台阶膜层53和第一膜层52时，采用本发明提供的方法，在已经形成的半导体衬底上，形成第一膜层52台阶的掩膜板，然后进行一次多台阶膜层刻蚀，再多次修整和刻蚀，最终一次掩膜，同时形成台阶膜层53和第一膜层52的图案。也即，在形成图5所示结构时，本发明提供的制作方法能够节省两个掩膜板的使用，从而大大降低了3D NAND的制作成本。

[0089] 本发明提供的3D NAND制作方法还可以应用在包含多个厚度比普通台阶膜层厚度的膜层的3D NAND制作过程中，从而能够节省多个掩膜板的使用，能够大大降低3D NAND的制作成本。其原理与图5所示结构形成方法类似，本发明实施例不再进行详细说明。

[0090] 需要说明的是，本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。

[0091] 对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下，在其它实施例中实现。因此，本发明将不会被限制于本文所示的这些实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

Micron Ex. 1002, p. 901
Micron v. YMTC
IPR2024-00790

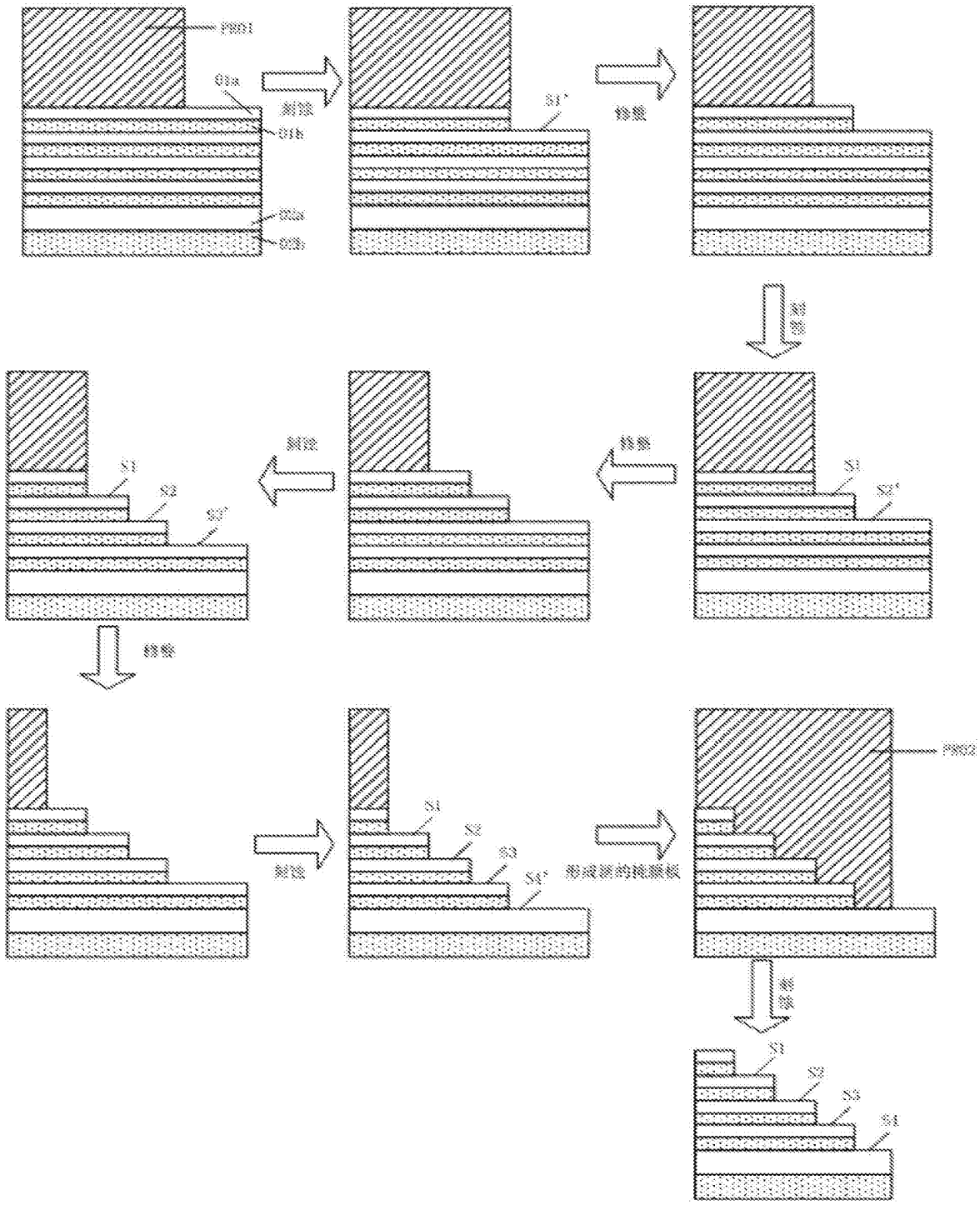


图1

Micron Ex. 1002, p. 902
Micron v. YMTC
IPR2024-00790

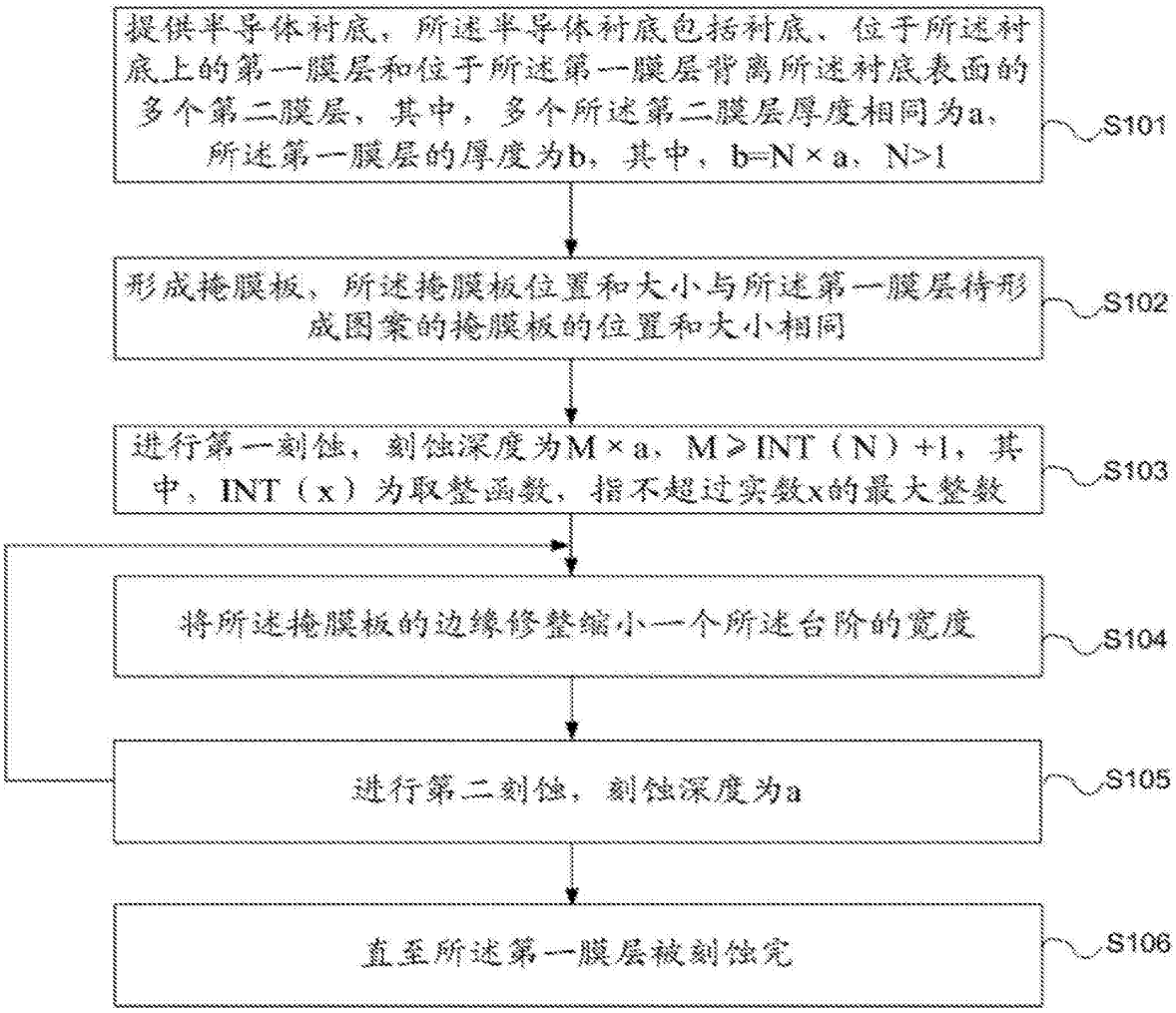


图2

Micron Ex. 1002, p. 903
Micron v. YMTC
IPR2024-00790

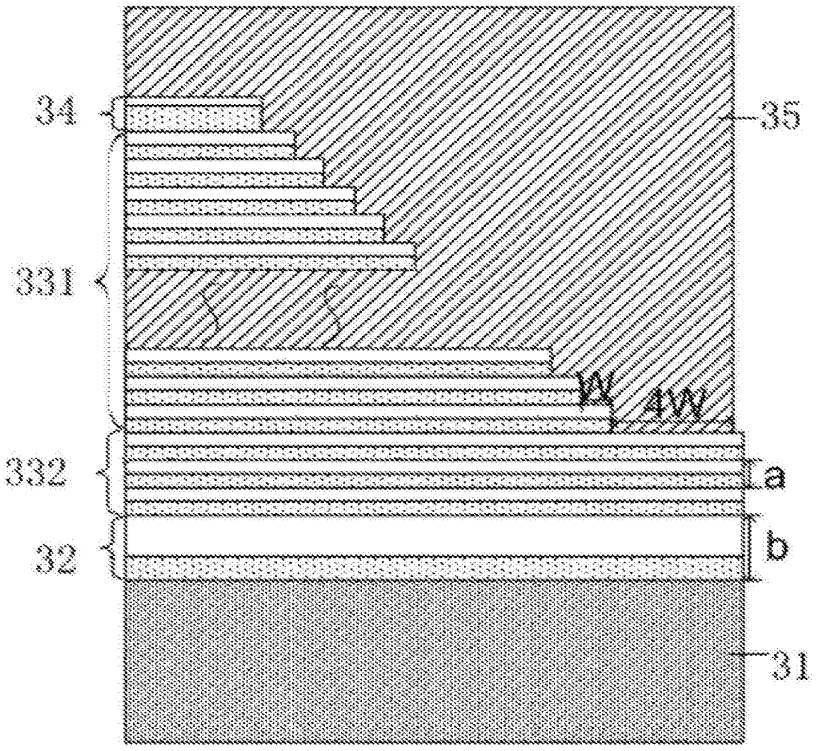


图3A

Micron Ex. 1002, p. 904
Micron v. YMTC
IPR2024-00790

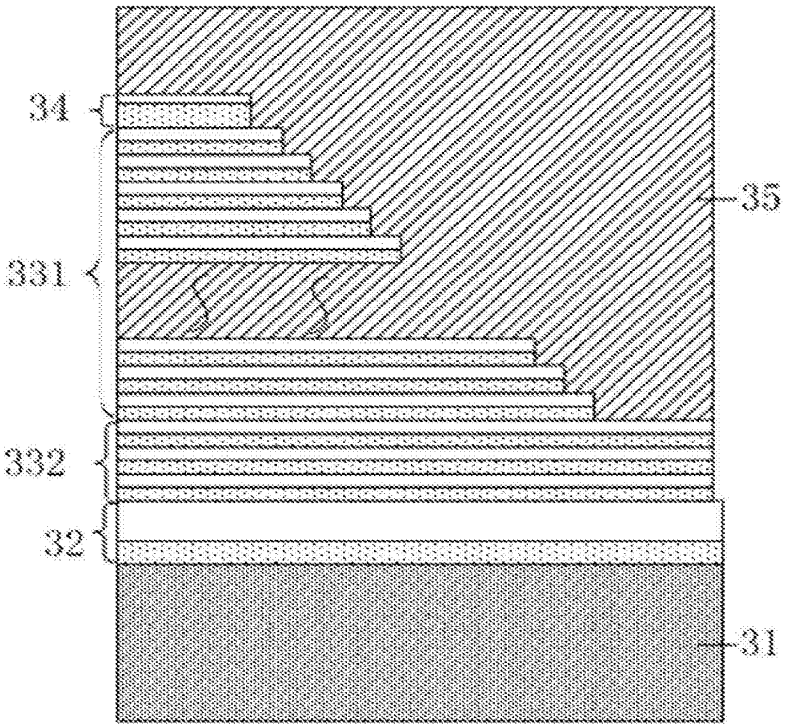


图3B

Micron Ex. 1002, p. 905
Micron v. YMTC
IPR2024-00790

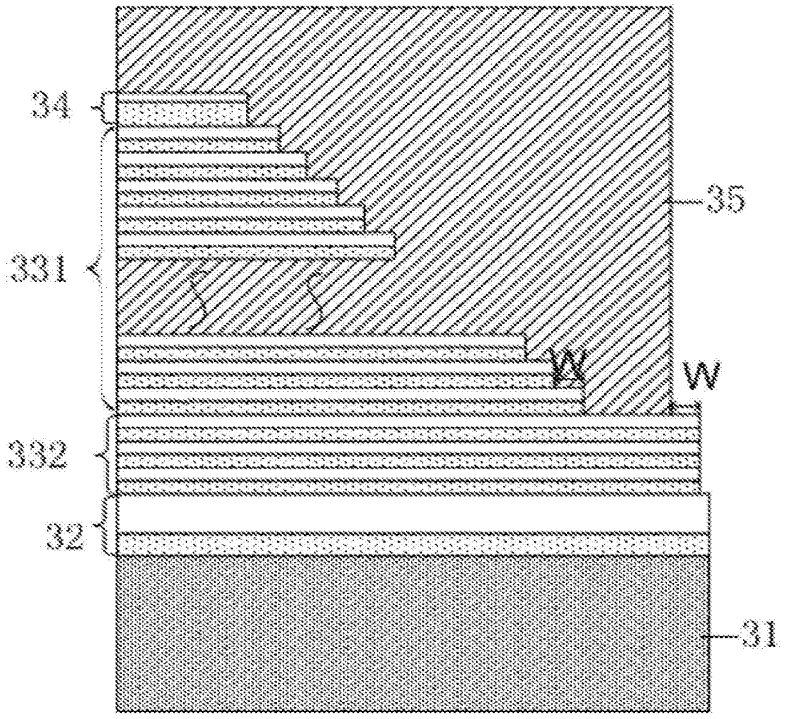


图3C

Micron Ex. 1002, p. 906
Micron v. YMTC
IPR2024-00790

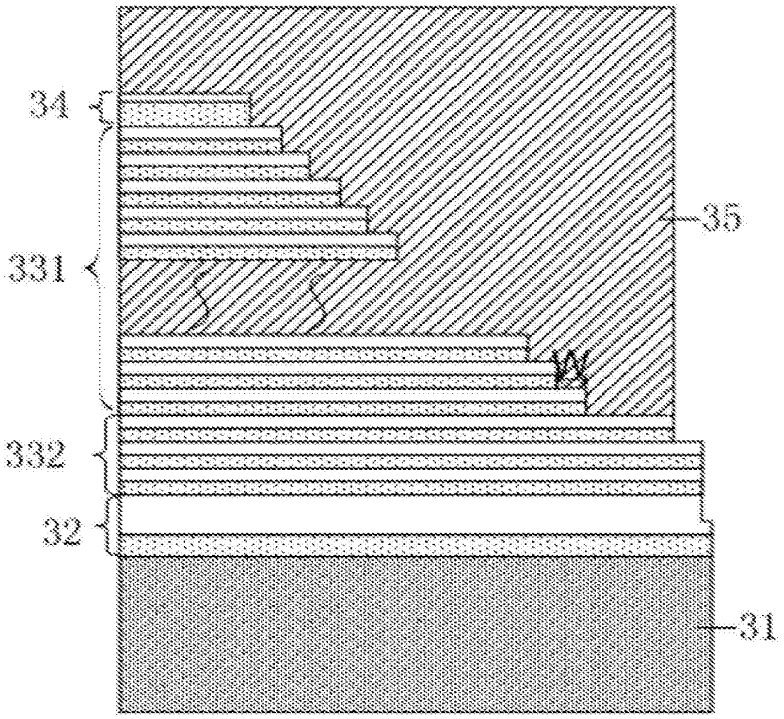


图3D

Micron Ex. 1002, p. 907
Micron v. YMTC
IPR2024-00790

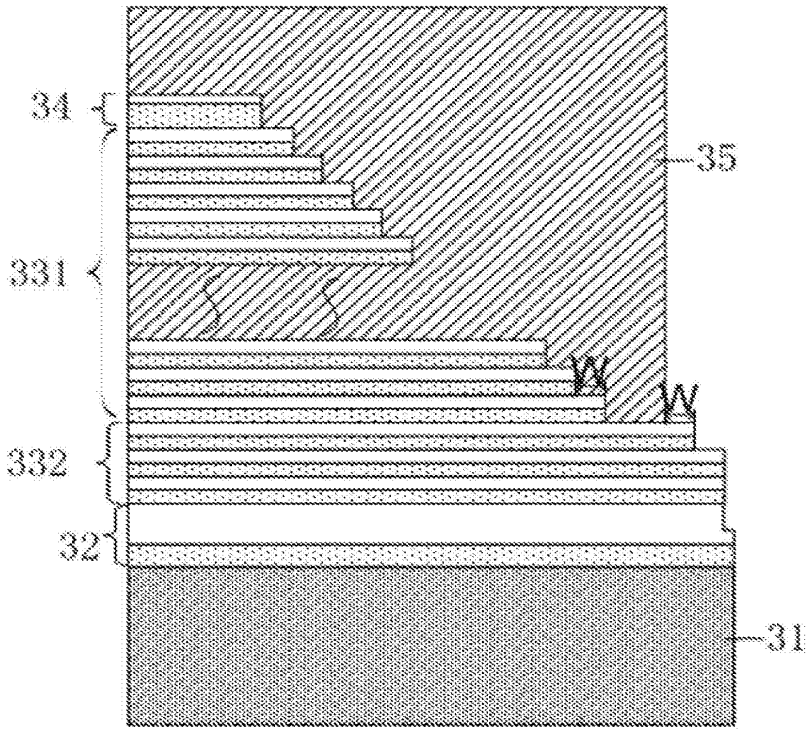


图3E

Micron Ex. 1002, p. 908
Micron v. YMTC
IPR2024-00790

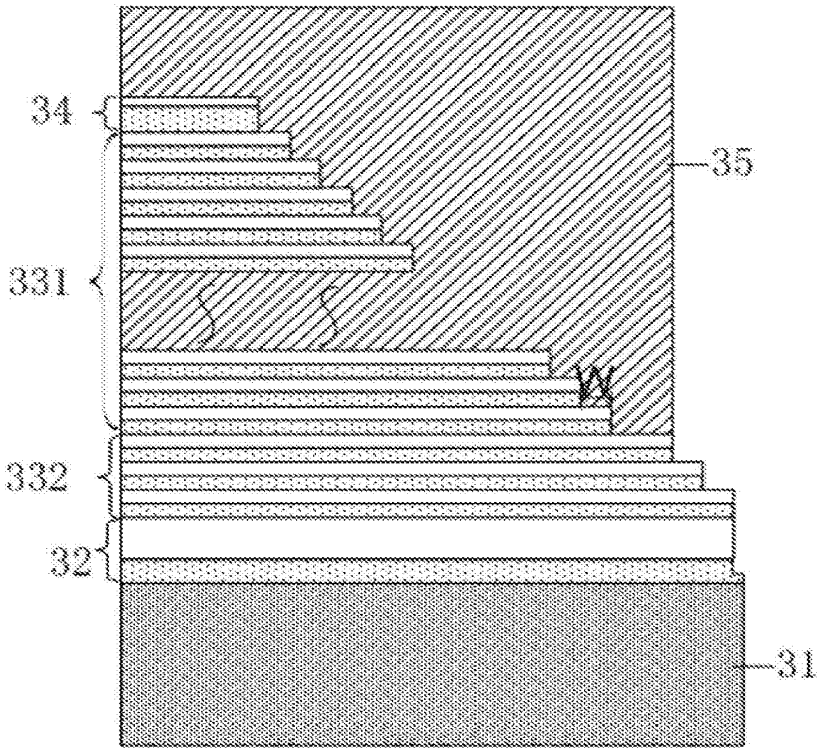


图3F

Micron Ex. 1002, p. 909
Micron v. YMTC
IPR2024-00790

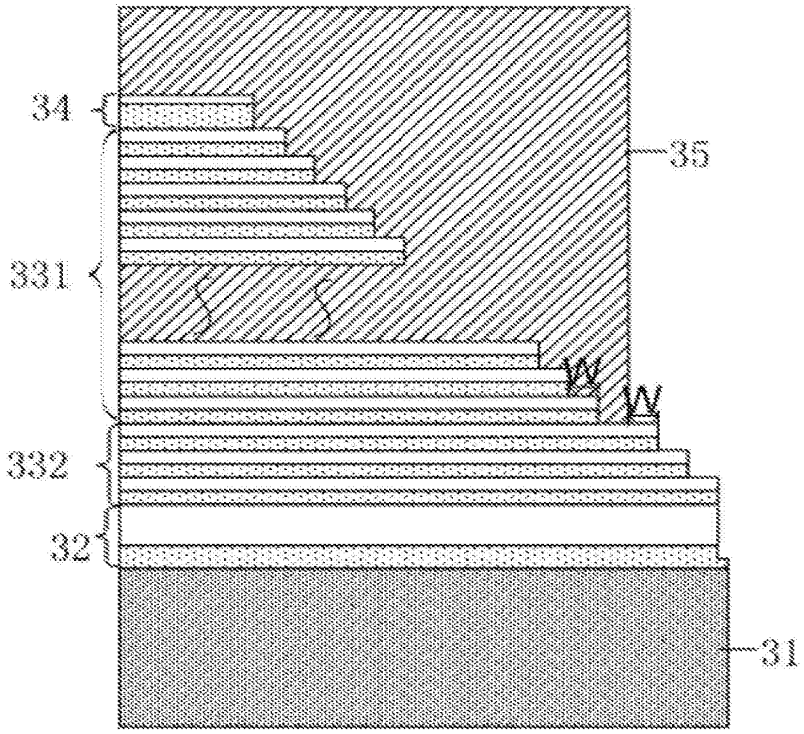


图3G

Micron Ex. 1002, p. 910
Micron v. YMTC
IPR2024-00790

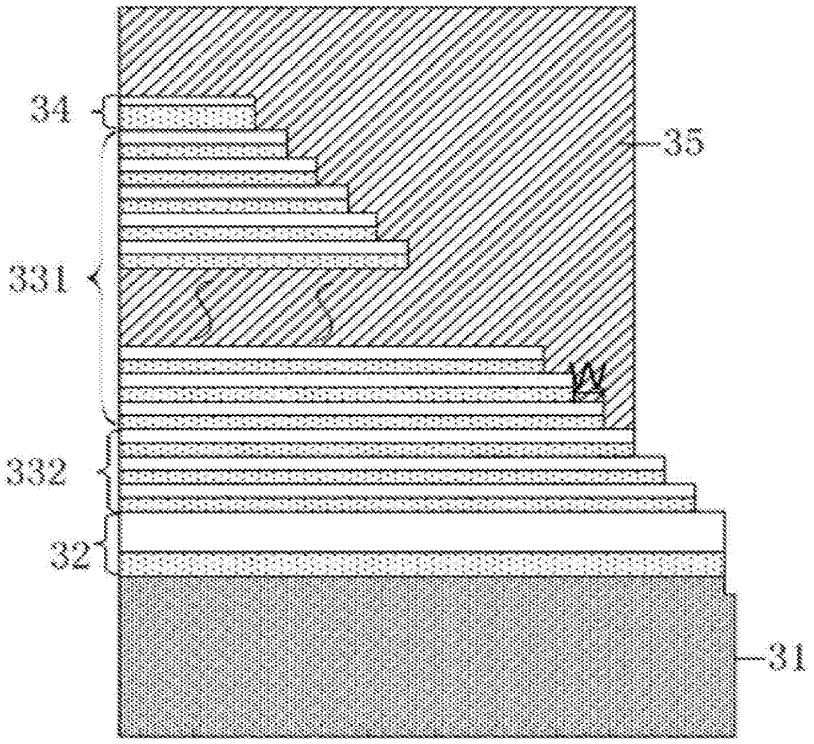


图3H

Micron Ex. 1002, p. 911
Micron v. YMTC
IPR2024-00790

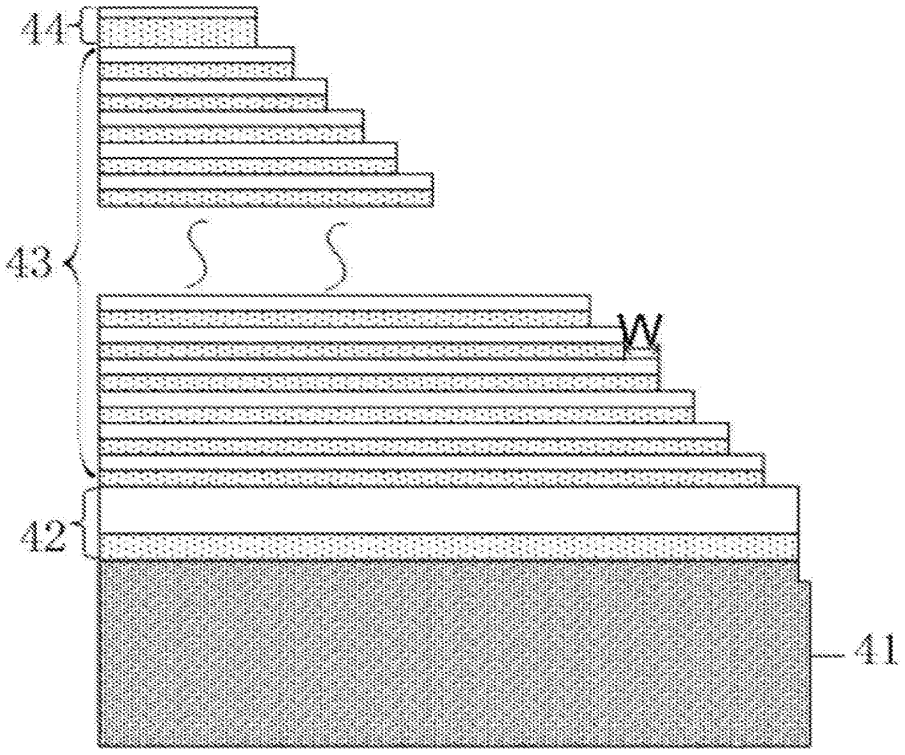


图4

Micron Ex. 1002, p. 912
Micron v. YMTC
IPR2024-00790

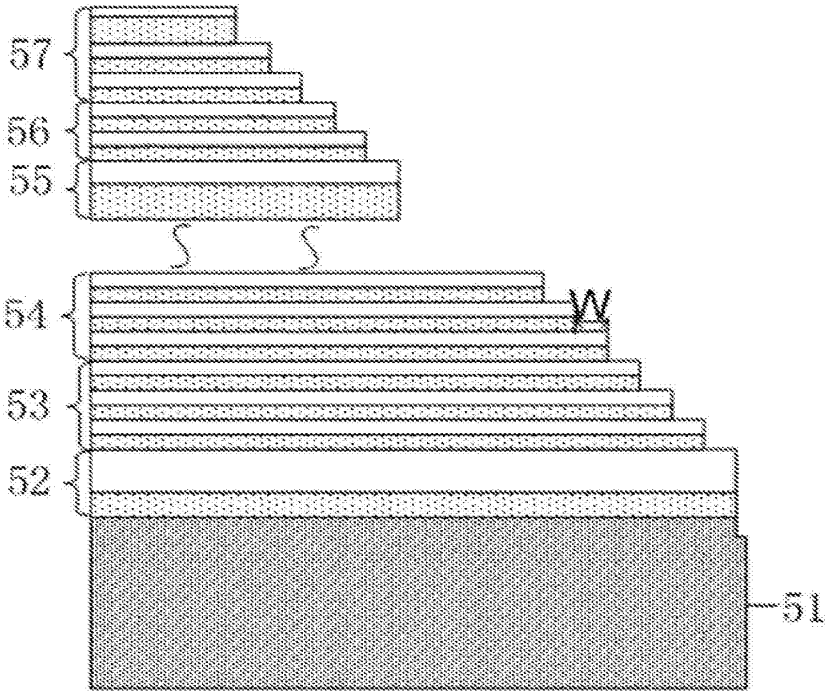


图5

Micron Ex. 1002, p. 913
Micron v. YMTC
IPR2024-00790

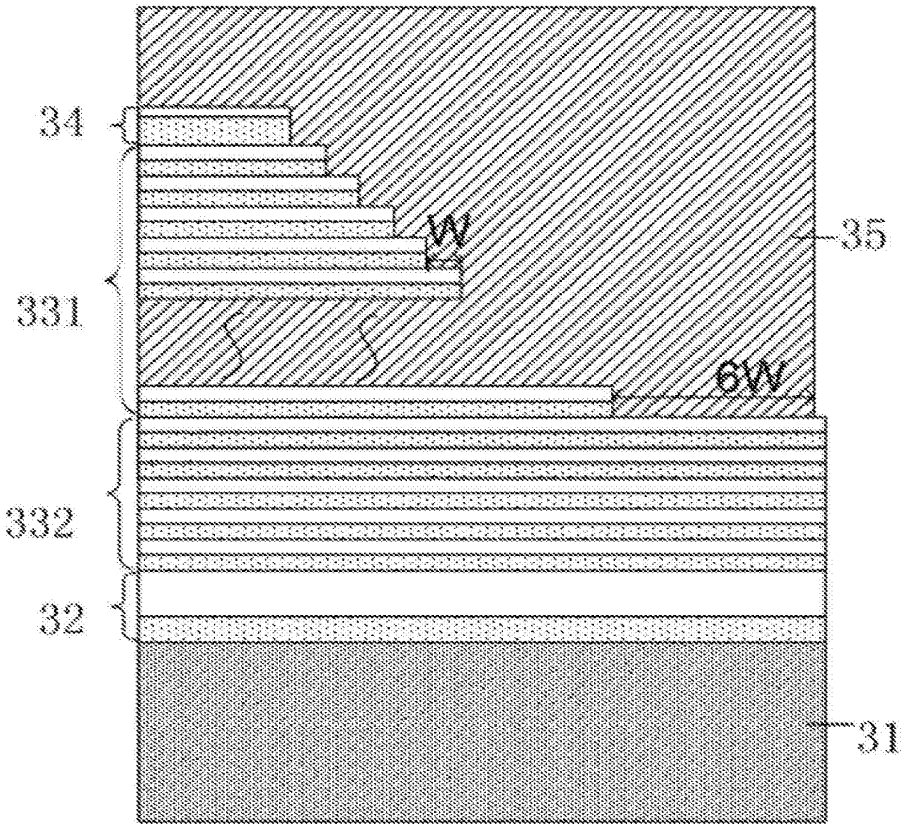


图6

Micron Ex. 1002, p. 914
Micron v. YMTC
IPR2024-00790

Doc Code: PET.AUTO Document Description: Petition automatically granted by EFS-Web	PTO/SB/140 U.S. Patent and Trademark Office Department of Commerce

Electronic Petition Request	**PETITION TO WITHDRAW AN APPLICATION FROM ISSUE AFTER PAYMENT OF THE ISSUE FEE UNDER 37 CFR 1.313(c)**
Application Number	16126919
Filing Date	10-Sep-2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	SEAHVOSH NIKMANESH
Attorney Docket Number	4123.0350001
Title	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF

An application may be withdrawn from issue for further action upon petition by the applicant. To request that the Office withdraw an application from issue, applicant must file a petition under this section including the fee set forth in § 1.17(h) and a showing of good and sufficient reasons why withdrawal of the application from issue is necessary.

APPLICANT HEREBY PETITIONS TO WITHDRAW THIS APPLICATION FROM ISSUE UNDER 37 CFR 1.313(c).

A grantable petition requires the following items:
(1) Petition fee; and
(2) One of the following reasons:
(a) Unpatentability of one or more claims, which must be accompanied by an unequivocal statement that one or more claims are unpatentable, an amendment to such claim or claims, and an explanation as to how the amendment causes such claim or claims to be patentable;
(b) Consideration of a request for continued examination in compliance with § 1.114 (for a utility or plant application only); or
(c) Express abandonment of the application. Such express abandonment may be in favor of a continuing application, but not a CPA under 37 CFR 1.53(d).

Petition Fee

○	Small Entity
○	Micro Entity
◉	Regular Undiscounted

Reason for withdrawal from issue

◯ One or more claims are unpatentable ◉ Consideration of a request for continued examination (RCE) (List of Required Documents and Fees) ◯ Applicant hereby expressly abandons the instant application (any attorney/agent signing for this reason must have power of attorney pursuant to 37 CFR 1.32(b)).
RCE request,submission, and fee. ☐ I certify, in accordance with 37 CFR 1.4(d)(4) that : The RCE request ,submission, and fee have already been filed in the above-identified application on ☒ Are attached.
THIS PORTION MUST BE COMPLETED BY THE SIGNATORY OR SIGNATORIES I certify, in accordance with 37 CFR 1.4(d)(4) that I am: ◉ An attorney or agent registered to practice before the Patent and Trademark Office who has been given power of attorney in this application. ◯ An attorney or agent registered to practice before the Patent and Trademark Office, acting in a representative capacity. ◯ A sole inventor ◯ A joint inventor; I certify that I am authorized to sign this submission on behalf of all of the inventors as evidenced by the power of attorney in the application ◯ A joint inventor; all of whom are signing this e-petition

Signature	/Wenchong Shu/
Name	Wenchong Shu
Registration Number	73999

Electronic Patent Application Fee Transmittal

Application Number:	16126919
Filing Date:	10-Sep-2018
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Filer:	Wenchong Shu/Jon Baitlon
Attorney Docket Number:	4123.0350001

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
PETITION FEE- 37 CFR 1.17(H) (GROUP III)	1464	1	140	140
RCE- 1ST REQUEST	1801	1	1360	1360
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1500**

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

Decision Date : November 2, 2020

In re Application of :

Jun LIU

DECISION ON PETITION

UNDER CFR 1.313(c)(2)

Application No : 16126919

Filed : 10-Sep-2018

Attorney Docket No : 4123.0350001

This is an electronic decision on the petition under 37 CFR 1.313(c)(2), filed November 2, 2020, to withdraw the above-identified application from issue after payment of the issue fee.

The petition is **GRANTED.**

The above-identified application is withdrawn from issue for consideration of a submission under 37 CFR 1.114 (request for continued examination). See 37 CFR 1.313(c)(2).

Petitioner is advised that the issue fee paid in this application cannot be refunded. If, however, this application is again allowed, petitioner may request that it be applied towards the issue fee required by the new Notice of Allowance.

Telephone inquiries concerning this decision should be directed to the Patent Electronic Business Center (EBC) at 866-217-9197.

This application file is being referred to Technology Center AU 2812 for processing of the request for continuing examination under 37 CFR 1.114 .

Office of Petitions

Electronic Acknowledgement Receipt

EFS ID:	41010975
Application Number:	16126919
International Application Number:	
Confirmation Number:	4582
Title of Invention:	MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF
First Named Inventor/Applicant Name:	Jun LIU
Customer Number:	26111
Filer:	Wenchong Shu/Jon Baitlon
Filer Authorized By:	Wenchong Shu
Attorney Docket Number:	4123.0350001
Receipt Date:	02-NOV-2020
Filing Date:	10-SEP-2018
Time Stamp:	16:43:06
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1500
RAM confirmation Number	E2020A2G43027079
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	sIDS2-Cover-Letter-4557-0350001.pdf	277504 7d899971c2735c67155d570a039069aa2f90965e	no	2
Warnings:					
Information:					
2	Request for Continued Examination (RCE)	sIDS2-RCE-Form-4123-0350001.pdf	1349949 c5a2566cb0c0c3490f986e3ae97573cf9bbf0835	no	3
Warnings:					
Information:					
3	Quick Path Information Disclosure Statement	sIDS2-SB09-4123-0350001.pdf	169498 9887b6ed303844cce71bc98cec8b1946e61615e6	no	1
Warnings:					
Information:					
4	Transmittal Letter	sIDS2-Pleading-4123-0350001.pdf	120002 4ba3e8adebe9f0787cae3c44db9d5cf4763c146f	no	3
Warnings:					
Information:					
5	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08a-4123-0350001.pdf	149490 044aaa896a9ff85d64577fba50e1089b4065d490	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
6	Information Disclosure Statement (IDS) Form (SB08)	sIDS2-SB08b-4123-0350001.pdf	193924 f4240cc16c87f2f7df5e2192f5442d6623ab8e02	no	1
Warnings:					

Information:					
This is not an USPTO supplied IDS fillable form					
7	Foreign Reference	FP1_CN107579069A.pdf	751474 91227765953ce8a7fbd497ef36fb1b0994782368	no	23
Warnings:					
Information:					
8	Non Patent Literature	NPL1_CNOA.pdf	215431 4ce300b08e2177819193b25a7ceca6038b6aa7d4	no	11
Warnings:					
Information:					
9	Petition automatically granted by EFS	petition-request.pdf	31634 4e499ce6a0fed289a643ccb582888468l5e5ee6f	no	2
Warnings:					
Information:					
10	Fee Worksheet (SB06)	fee-info.pdf	32350 8e260068f545d759ddd6a528b5faeb75cf976d72	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	3291256		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

WENCHONG SHU
PATENT AGENT
(202) 772-8656
WSHU@STERNEKESSLER.COM

November 2, 2020

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Confirmation No. 4582
Art Unit 2812
Attn: Mail Stop 313(c)

Re: U.S. Utility Patent Application
Application No. 16/126,919; Filing Date: September 10, 2018
For: **MULTIPLE-STACK THREE-DIMENSIONAL MEMORY DEVICE AND FABRICATION METHOD THEREOF**
Inventors: LIU *et al.*
Our Ref: 4123.0350001

Commissioner:

Transmitted herewith for appropriate action are the following documents:

1. Online Credit Card Payment Authorization in the amount of **$1,760.00** to cover:

   $260.00 Information Disclosure Statement Fee, under 37 C.P.R.§ 1.17(p);

   $140.00 Petition to Withdraw from Issue after Payment of the Issue Fee, under 37 C.F. R. § 1.313(c)(2); and

   $1,360.00 Request for Continued Examination Fee, under 37 C.P.R. § 1.17(e).

2. Request for Continued Examination (RCE) Transmittal (PTO/SB/30);

3. ePetition to Withdraw an Application from Issue After Payment of the Issue Fee under 37 C.F.R. 1.313(c)(2);

4. Quickpath Information Disclosure Statement (QPIDS) Transmittal (PTO/SB/09);

5. Second Supplemental Information Disclosure Statement;

6. Form PTO/SB/08a (1 sheet) listing 1 document (**FP1**);

7. Form PTO/SB/08b (1 sheet) listing 1 document (**NPL1**); and

8. Copies of cited documents (**FP1** and **NPL1**).

Micron Ex. 1002, p. 923
Micron v. YMTC
IPR2024-00790

In the event that extensions of time are necessary to prevent abandonment of this patent application, then such extensions of time are hereby petitioned.

Fee payment is provided through online credit card payment. The U.S. Patent and Trademark Office is hereby authorized to charge any fee deficiency, or credit any overpayment, to our Deposit Account No. 19-0036.

Respectfully submitted,

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.

/Wenchong Shu/

Wenchong Shu
Agent for Applicant
Registration No. 73,999

W-S/jcb
Enclosures

15801577_1.docx

Micron Ex. 1002, p. 924
Micron v. YMTC
IPR2024-00790

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :75320

Sale Accounting Date:11/03/2020

Sale Item Reference Number	Effective Date
16126919	11/02/2020

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I2020A3027412648	1806	SUBMISSION- INFORMATION DISCLOSURE STMT	$260.00	Deposit Account

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	09/10/2018	Jun LIU	4123.0350001	4582

26111 7590 11/12/2020
STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

EXAMINER	
NIKMANESH, SEAHVOSH J	

ART UNIT	PAPER NUMBER
2812	

NOTIFICATION DATE	DELIVERY MODE
11/12/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

e-office@sternekessler.com

Micron Ex. 1002, p. 926
Micron v. YMTC
IPR2024-00790

Supplemental ***Notice of Allowability***	**Application No.** 16/126,919	**Applicant(s)** LIU et al.	
	Examiner SEAHVOSH J NIKMANESH	**Art Unit** 2812	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 11/2/2020.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-6 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some *c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☐ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/Seahvosh Nikmanesh/
Primary Examiner, Art Unit 2812

Micron Ex. 1002, p. 927
Micron v. YMTC
IPR2024-00790

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/126,919	LIU et al.
	Examiner	Art Unit
	SEAHVOSH J NIKMANESH	2812

CPC - Searched*		
Symbol	Date	Examiner
H01L27/11582, 27/1157, 27/11573	01/02/2020	SJN
H01L21/3086, 21/0337	01/02/2020	SJN
H01L23/53295	01/02/2020	SJN

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
Search updated.	11/06/2020	SJN

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	Interference Search History Printout.	06/22/2020	SJN

Micron Ex. 1002, p. 928
Micron v. YMTC
IPR2024-00790

PTO/SB/08a (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	September 10, 2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

U. S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3] Number[4] Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T[6]
	FP1	CN 107579069 A	01-12-2018	YANGTZE MEMORY TECH CO LT		✓

Examiner Signature	/Seahvosh Nikmanesh/ (11/05/2020)	Date Considered	11/05/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /SJN/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	10,101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S2	4,767,799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S3	77,797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S4	638,220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S5	1,202,040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S6	496,099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S7	1,281,593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S8	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S9	844,213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS;	OR	ON	2019/10/17 14:03

			EPO; JPO; DERWENT; IBM_TDB			
S10	1,977,654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S11	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 14:03
S12	14,018,614	S1 S2 S3 S4 S5 S6 S7 S8 S9 S10 S11	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/17 15:03
S13	10,101	yangtze.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S14	4,767,799	liu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S15	77,797	huo.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S16	638,220	xiao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S17	1,202,040	lu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S18	496,099	tao.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40

S19	1,281,593	hu.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S20	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S21	844,213	tang.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S22	1,977,654	zhou.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S23	6,323,884	li.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S24	14,018,614	S13 S14 S15 S16 S17 S18 S19 S20 S21 S22 S23	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S25	14,018,614	S24	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:40
S26	1	S25 and pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/10/18 05:42
S27	59	"20160111440" "20170103996" "9449987" "9853043"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 08:58
S28	50	"20160268263" "20180166329" "20180174044"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO;	OR	ON	2019/12/19 09:04

		"20180233512" "9570463" "9576967"	DERWENT; IBM_TDB			
S29	0	"16126919"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:13
S30	105	S27 S28	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:35
S31	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 09:45
S32	7	"12592869"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S34	36	pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:09
S35	16,585	H01L27/11582.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S36	14,507	H01L21/0337.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S37	8,827	H01L21/3086.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:14
S38	11,538	H01L23/53295.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15

S39	9,206	H01L27/1157.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S40	6,999	H01L27/11573.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S41	52,637	S35 S36 S37 S38 S39 S40	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S42	309	S41 and pillar and stack$3 and staircase and channel and sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/12/19 12:15
S43	40	pillar and stack$3 and staircase and channel and align$3 with sidewall	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2020/04/08 07:33
S44	1	"16126919"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2020/06/22 11:14
S45	4	(pillar and stack$3 and staircase and channel and align$3 with sidewall).clm.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2020/06/22 11:16

11/6/2020 7:04:31 AM
C:\Users\snikmanesh\Documents\EAST\Workspaces\16126919.wsp

PTO/SB/08b (07-09)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	16/126,919
Filing Date	September 10, 2018
First Named Inventor	Jun LIU
Art Unit	2812
Examiner Name	NIKMANESH, SEAHVOSH J
Attorney Docket Number	4123.0350001

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	NPL1	Chinese Application No. 202010428927.0, Office Action mailed October 19, 2020; 11 pages.	

Examiner Signature	/Seahvosh Nikmanesh/ (11/05/2020)	Date Considered	11/05/2020

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /SJN/

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :C46472

Refund Accounting Date:11/17/2020

Effective Date	Sale Item Reference Number	Refund Total
11/02/2020	16126919	$1,360.00

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method	Account Number
I2020AGC48593446	1801	RCE- 1ST REQUEST	$1,360.00	DA	190036

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :C46472

Sale Adjustment Accounting Date:11/17/2020

Effective Date	Sale Accounting Date	Sale Item Reference Number
11/02/2020	11/17/2020	16126919

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I2020AGC48593446	1801	RCE- 1ST REQUEST	$1,360.00	DA

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/126,919	12/15/2020	10868031	4123.0350001	4582

26111 7590 11/24/2020

STERNE, KESSLER, GOLDSTEIN & FOX P.L.L.C.
1100 NEW YORK AVENUE, N.W.
WASHINGTON, DC 20005

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Jun LIU, Wuhan, CHINA;
Yangtze Memory Technologies Co., Ltd., Wuhan, CHINA
Zongliang Huo, Wuhan, CHINA;
Li Hong Xiao, Wuhan, CHINA;
Zhenyu Lu, Wuhan, CHINA;
Qian Tao, Wuhan, CHINA;
Yushi Hu, Wuhan, CHINA;
Sizhe Li, Wuhan, CHINA;
Zhao Hui Tang, Wuhan, CHINA;
Yu Ting Zhou, Wuhan, CHINA;
Zhaosong Li, Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 938
Micron v. YMTC
IPR2024-00790