Docket No. 521129US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S) Yali SONG, et al.

SERIAL NO: New Application ART UNIT:

FILING DATE: Herewith EXAMINER:

FOR: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

FEE TRANSMITTAL

☐ No additional fee is required

☐ Small entity status of this application under 37 C.F.R. §1.9 and §1.27 is claimed.

☐ Track 1 Prioritized Examination

The Fee has been calculated as shown below:

FOR	NUMBER FILED	NUMBER EXTRA	RATE	CALCULATIONS
TOTAL CLAIMS	20 - 20 =	0	x $100 =	$ 0.00
INDEPENDENT CLAIMS	3 - 3 =	0	x $460 =	$ 0.00
UTILITY APPLICATION SIZE FEE	57* - 100 = (* 75 x .75)	0 (each addtl. 50 sheets over 100)	x $400 =	$0.00
☐ MULTIPLE DEPENDENT CLAIMS (If applicable)			+ $820 =	$0.00
☐ LATE FILING OF DECLARATION			+ $160 =	$0.00
☐ NON-ELECTRONIC FILING FEE			+ $400 =	$0.00
■ FILING FEE ($300.00) ■ SEARCH FEE ($660.00) ■ EXAMINATION FEE ($760.00)			BASIC FEES	$1,720.00
			TOTAL OF ABOVE CALCULATIONS	$1,720.00
☐ REDUCTION BY 50% FOR FILING BY SMALL ENTITY				$0.00
☐ FILING FEE REDUCED IF E-FILED – SMALL ENTITY			+ $-75 =	$0.00
☐ FILING IN NON-ENGLISH LANGUAGE			+ $140 =	$0.00
			TOTAL	$1,720.00

☐ Please charge Deposit Account No. **15-0030** in the amount of **$0.00**

■ Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount of **$1,720.00**.

■ The Director is hereby authorized to charge any additional fees which may be required for the papers being filed herewith and for which no payment is enclosed herewith, or credit any overpayment to Deposit Account No. **15-0030**, with the **EXCEPTION** of deficiencies in fees for multiple dependent claims in new applications.

Submitted by: /Teddy S. Gron/

Johnny Ma
Registration No. 59,976

Customer Number
22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 02/12)

Teddy S. Gron
Registration No.: 63,062

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Filer:	Philippe Jean-Claude Signore/Arielle Adams
Attorney Docket Number:	521129US

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	300	300
UTILITY SEARCH FEE	1111	1	660	660
UTILITY EXAMINATION FEE	1311	1	760	760
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1720**

Electronic Acknowledgement Receipt	
EFS ID:	35539252
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Philippe Jean-Claude Signore/Arielle Adams
Filer Authorized By:	Philippe Jean-Claude Signore
Attorney Docket Number:	521129US
Receipt Date:	27-MAR-2019
Filing Date:	
Time Stamp:	08:37:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1720
RAM confirmation Number	032719INTEFSW08380900
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129USNEWAPP.pdf	6473147 ed2887c44a90b4f46d5f2376d7e6a9b08c3ecd2a	yes	87

Multipart Description/PDF files in .zip description

Document Description	Start	End
Power of Attorney	86	87
Oath or Declaration filed	83	85
Drawings-only black and white line drawings	62	82
Abstract	61	61
Claims	55	60
Specification	8	54
Application Data Sheet	2	7
Transmittal of New Application	1	1

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	34924 510239c39b9f5d566410842c419f1bcc3846881a	no	2

Warnings:

Information:

Total Files Size (in bytes):	6508071

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5. If the Power of Attorney by Applicant form is not accompanied by this transmittal form or an equivalent, the Power of Attorney will not be recognized in the application.

Application Number	New Application
Patent Number	
Filing Date	Herewith
Issue Date	
First Named Inventor	Yali SONG
Title	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
Art Unit	
Examiner Name	
Attorney Docket Number	521129US

SIGNATURE of Applicant or Patent Practitioner

Signature	/Teddy S. Gron/	Date	03/27/2019
Name	Teddy S. Gron	Telephone	703-413-3000
Registration Number	Registration No.: 63,062		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications.

■ *Total of 1 forms are submitted.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 01/31/2018. OMB 0651-0035
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 22850

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name	
Address	
City	State / Zip
Country	
Telephone / Email	

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature	Date (Optional)
Name	SIMON SHI-NING YANG
Title	CEO

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Atty. Docket No. 521129US

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is 18 Gaoxin 4th Road, East Lake High-Tech Development Zone, Wuhan, Hubei, China (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

Micron Ex. 1002, p. 9
Micron v. YMTC
IPR2024-00794

(c) in any and all inventions described in the patent application identified above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 22850** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

1934285-00463D6P-10. 18. 40. 190
32766-12/03/2019 15:05

Micron Ex. 1002, p. 10
Micron v. YMTC
IPR2024-00794

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: **Yali SONG** Date: 2019.03.14

Signature of Inventor: Yali Song

Inventor: **Li Hong XIAO** Date: 2019.03.14

Signature of Inventor: Lihong Xiao

Inventor: **Ming WANG** Date: 2019.03.14

Signature of Inventor: Ming Wang

1934285-0046400-10.18.40.190
32766-12/03/2019 15:12

Micron Ex. 1002, p. 11
Micron v. YMTC
IPR2024-00794

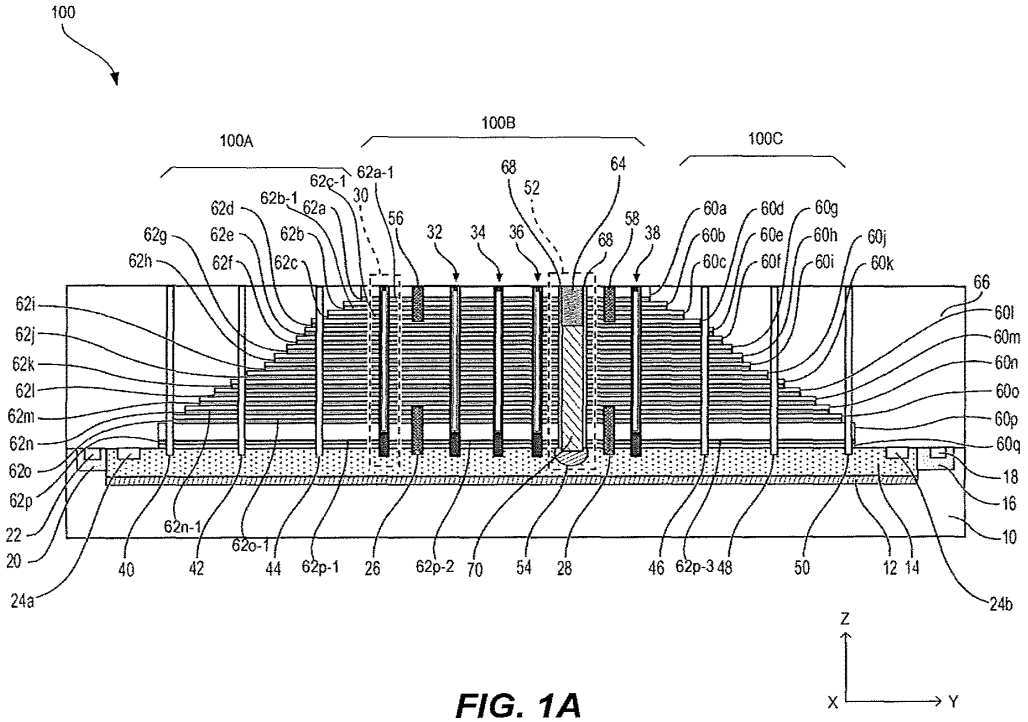

100
100A
100B
100C
62a-1
62c-1
62b-1
62a
62d
62e
62b
62g
62h
62f
62c
30
56
32
34
36
68
52
64
58
38
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
66
60l
60m
60n
60o
60p
60q
62i
62j
62k
62l
62m
62n
62o
62p
22
20
24a
62n-1
62o-1
40
42
44
62p-1
26
62p-2
70
54
28
46
62p-3
48
50
12
14
18
16
10
24b
Z
X
Y

FIG. 1A

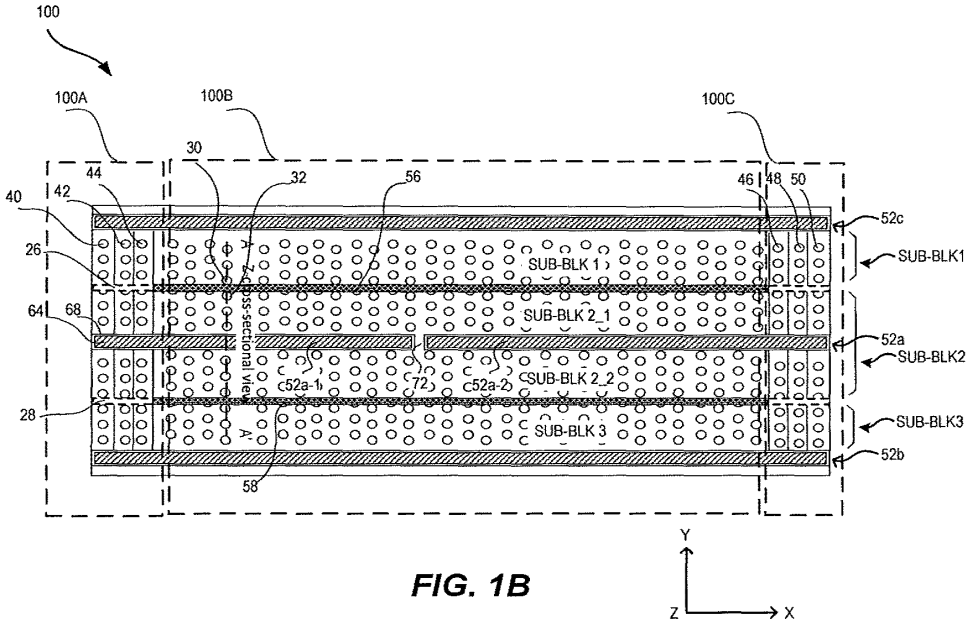

100
100A
100B
100C
30
44
32
56
46
48
50
40
42
26
64
68
28
58
52c
SUB-BLK1
SUB-BLK 1
SUB-BLK 2_1
52a
SUB-BLK2
SUB-BLK 2_2
52a-1
72
52a-2
SUB-BLK 3
SUB-BLK3
52b
A
A'
Cross-sectional view
Y
Z
X

FIG. 1B

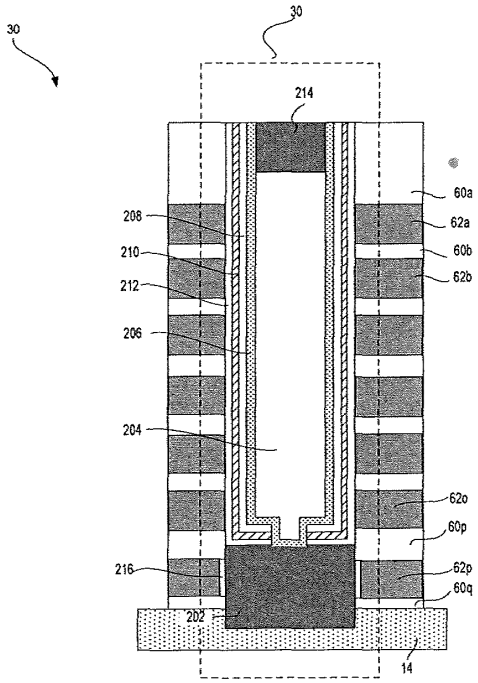


FIG. 1C-1

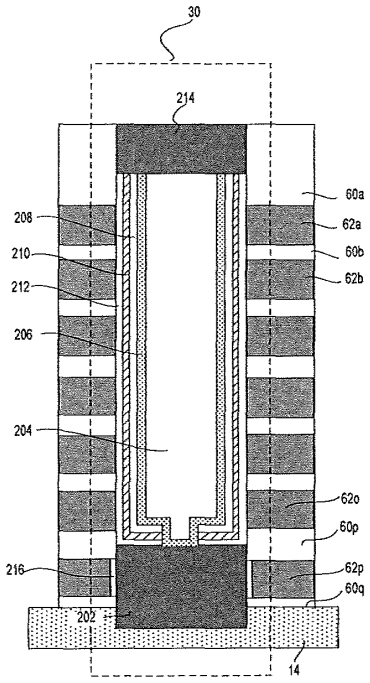


FIG. 1C-2

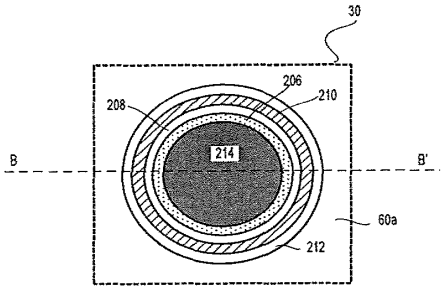


FIG. 1D-1

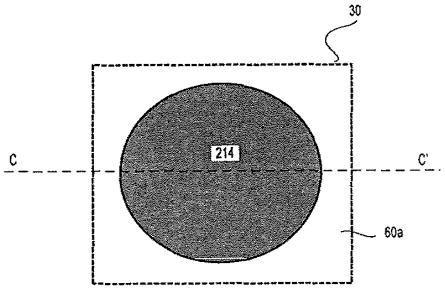


FIG. 1D-2

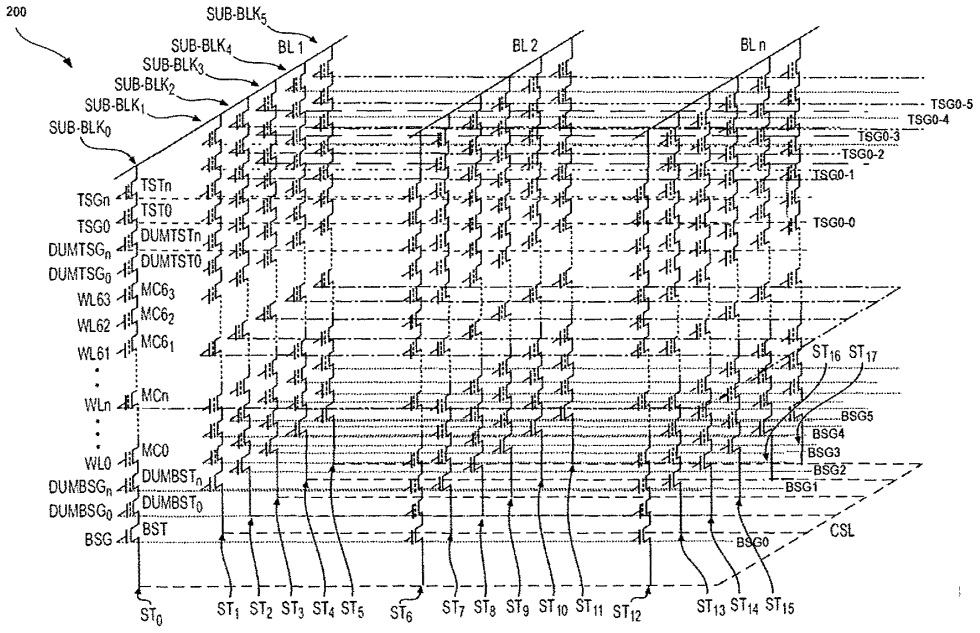

200
SUB-BLK5
SUB-BLK4
SUB-BLK3
SUB-BLK2
SUB-BLK1
SUB-BLK0
BL 1
BL 2
BL n
TSGn
TSG0
DUMTSGn
DUMTSG0
WL63
WL62
WL61
WLn
WL0
DUMBSGn
DUMBSG0
BSG
TSTn
TST0
DUMTSTn
DUMTST0
MC63
MC62
MC61
MCn
MC0
DUMBST0
DUMBST0
BST
TSG0-5
TSG0-4
TSG0-3
TSG0-2
TSG0-1
TSG0-0
ST16 ST17
BSG5
BSG4
BSG3
BSG2
BSG1
BSG0
CSL
ST0 ST1 ST2 ST3 ST4 ST5 ST6 ST7 ST8 ST9 ST10 ST11 ST12 ST13 ST14 ST15

FIG. 1E

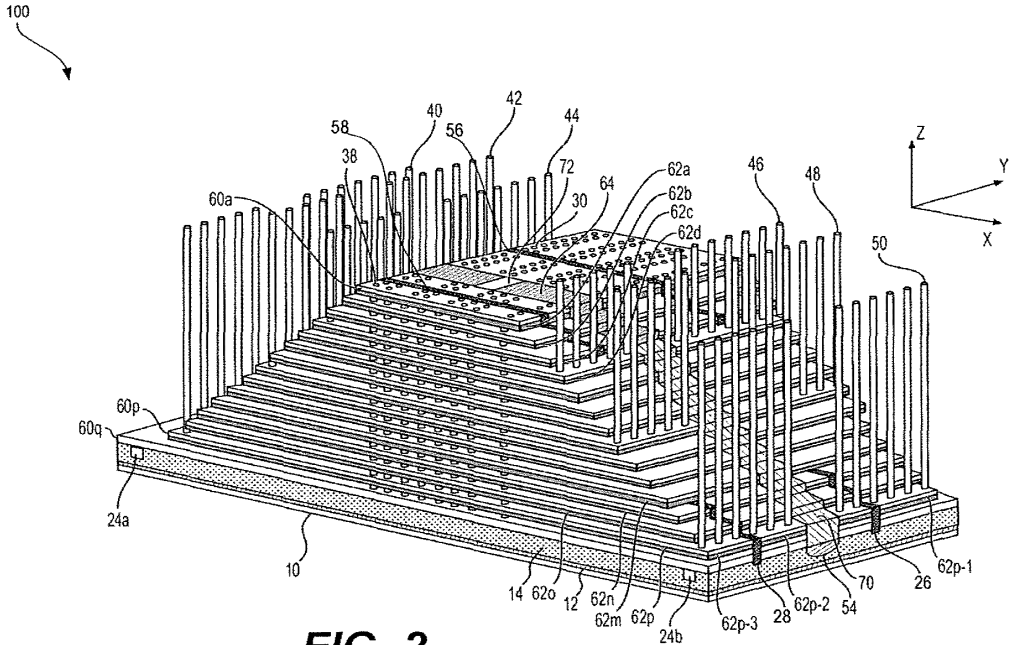

100
58
40
42
44
56
38
72
64
62a
62b
62c
62d
46
48
30
60a
Z
Y
X
50
60p
60q
24a
10
14
62o
12
62n
62m
62p
24b
62p-3
28
62p-2
54
70
26
62p-1

FIG. 2

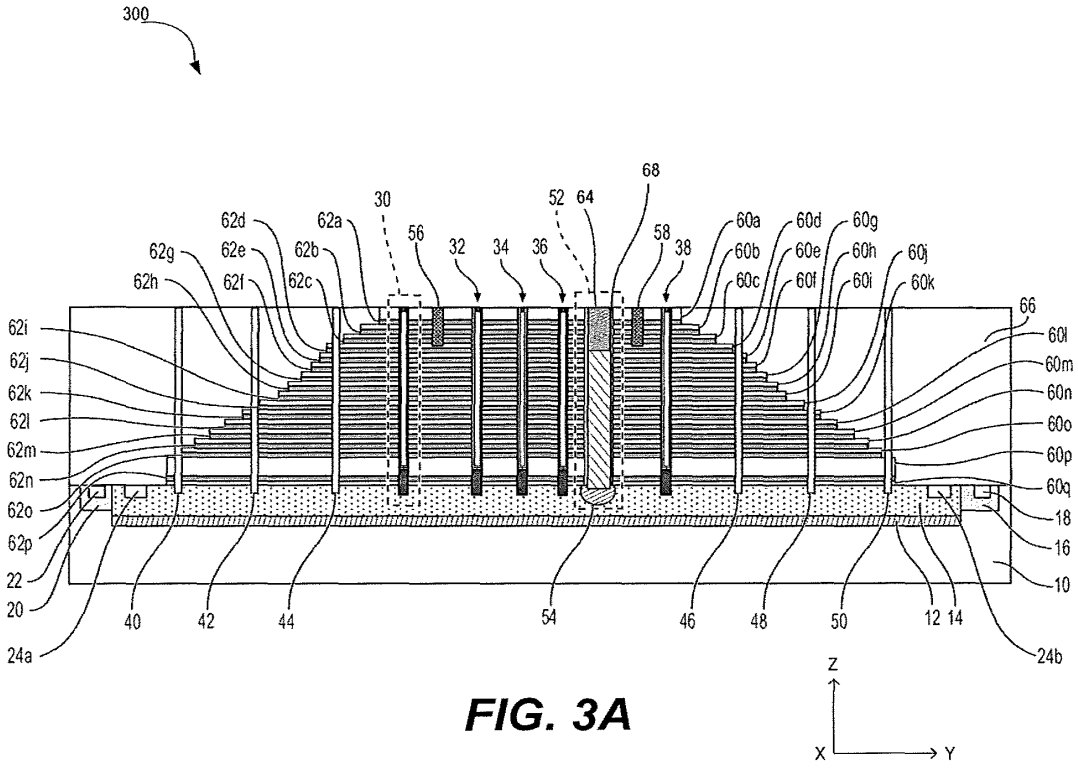

300
68
30
52
64
62d
62a
56
32
34
36
58
38
60a
60d
60g
62g
62e
62b
60b
60e
60h
60j
62h
62f
62c
60c
60f
60i
60k
66
62i
60l
62j
60m
62k
60n
62l
60o
62m
60p
62n
60q
62o
18
62p
16
22
10
20
40
42
44
54
46
48
50
12
14
24a
24b
Z
X
Y

FIG. 3A

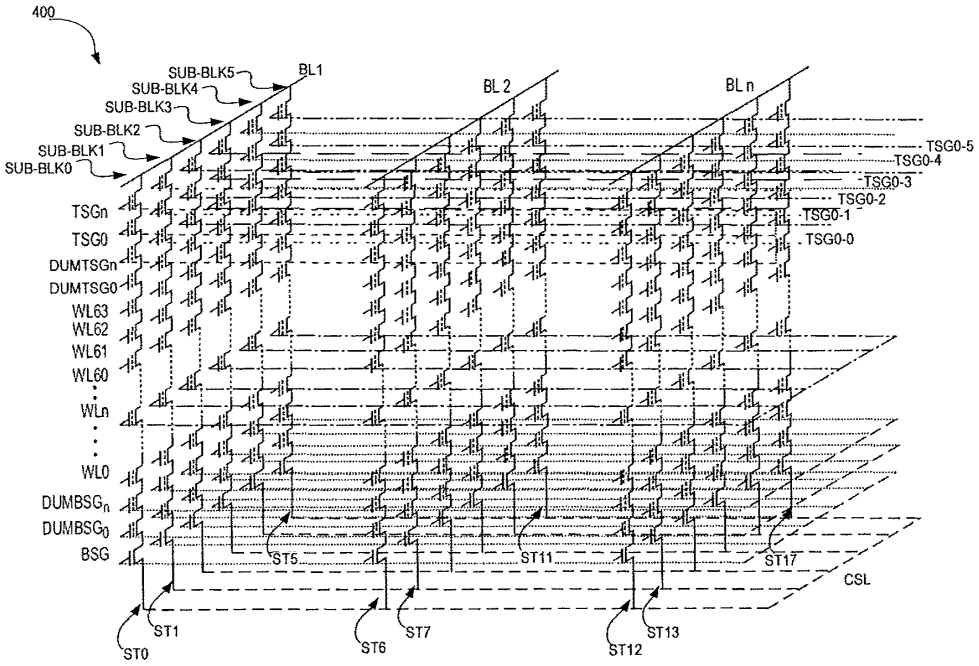

400
SUB-BLK5
SUB-BLK4
SUB-BLK3
SUB-BLK2
SUB-BLK1
SUB-BLK0
BL1
BL 2
BL n
TSG0-5
TSG0-4
TSG0-3
TSG0-2
TSG0-1
TSG0-0
TSGn
TSG0
DUMTSGn
DUMTSG0
WL63
WL62
WL61
WL60
WLn
WL0
DUMBSGn
DUMBSG0
BSG
ST5
ST11
ST17
CSL
ST1
ST0
ST6
ST7
ST12
ST13

FIG. 3B

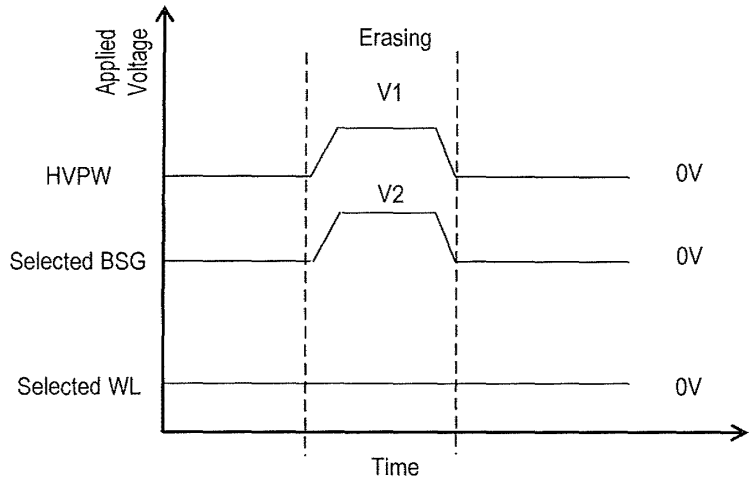

Applied Voltage
Erasing
V1
V2
HVPW
Selected BSG
Selected WL
0V
0V
0V
Time

FIG. 4A

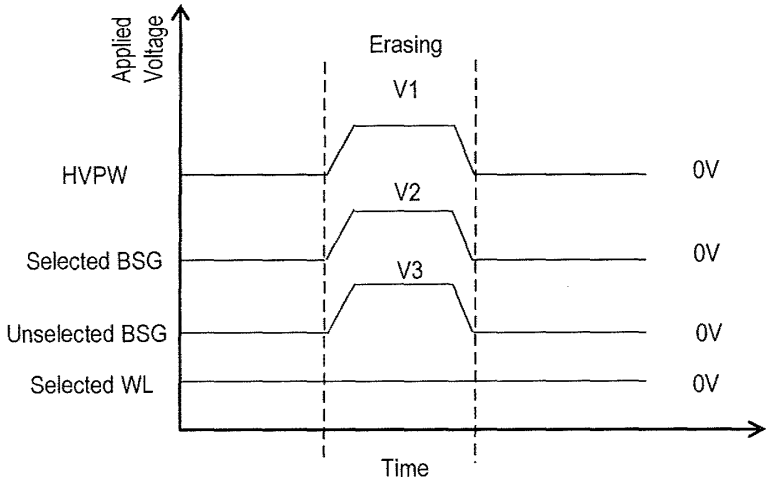

Applied Voltage
Erasing
V1
V2
V3
HVPW
Selected BSG
Unselected BSG
Selected WL
0V
0V
0V
0V
Time

FIG. 4B

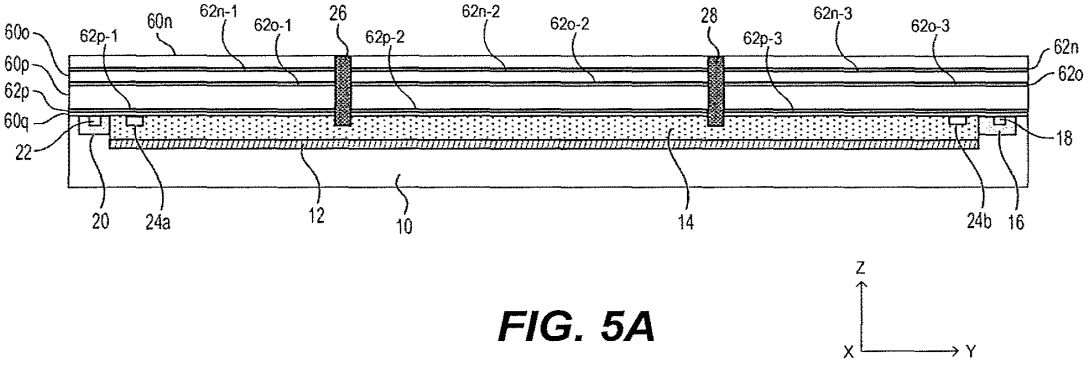

60o
60p
62p
60q
22
62p-1
60n
62n-1
62o-1
26
62p-2
62n-2
62o-2
28
62p-3
62n-3
62o-3
62n
62o
18
20
24a
12
10
14
24b
16
Z
X
Y

FIG. 5A

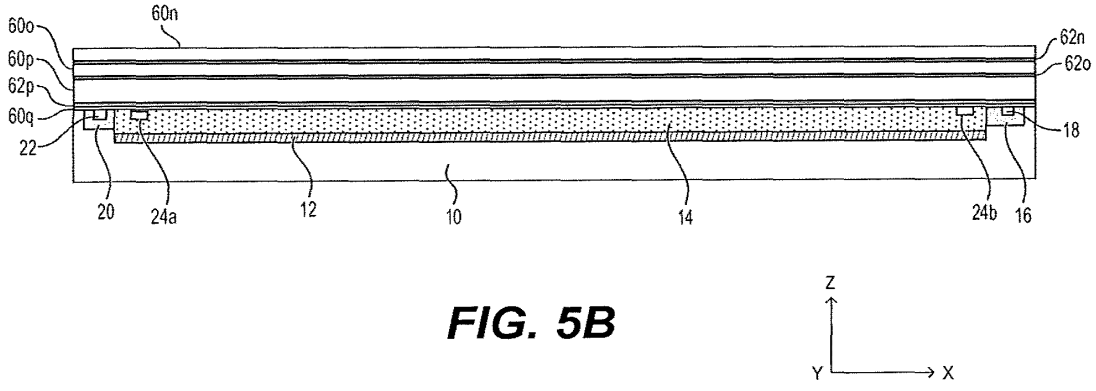

60o
60p
62p
60q
22
60n
62n
62o
18
20
24a
12
10
14
24b
16
Z
Y
X

FIG. 5B

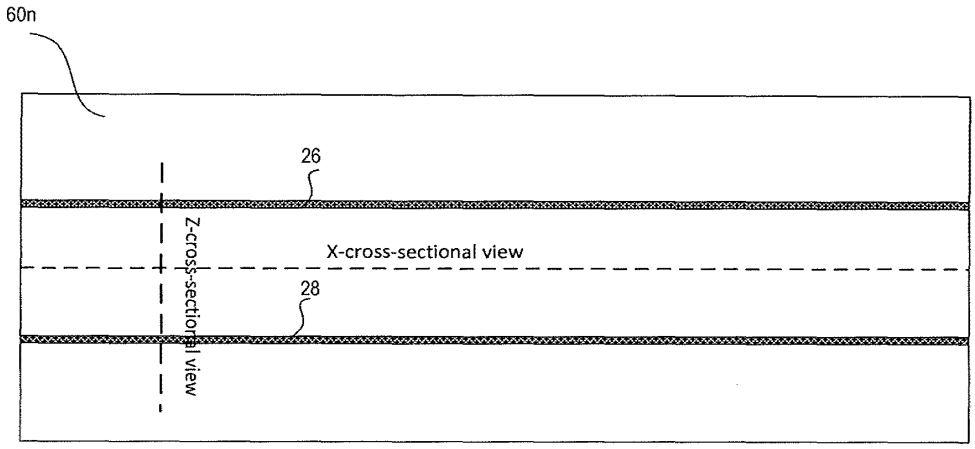
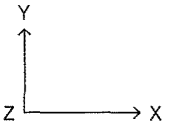

60n
26
Z-cross-sectional view
X-cross-sectional view
28

FIG. 5C


Y
Z
X

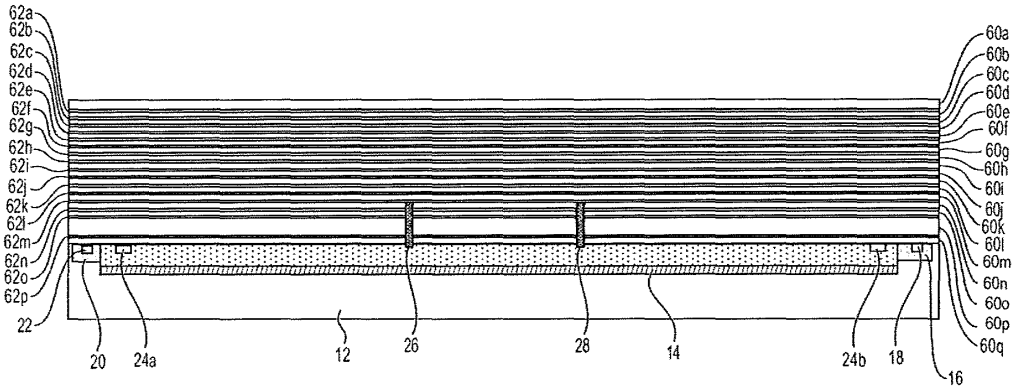
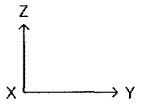

62a
62b
62c
62d
62e
62f
62g
62h
62i
62j
62k
62l
62m
62n
62o
62p
22
20
24a
12
26
28
14
24b
18
16
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
60l
60m
60n
60o
60p
60q

FIG. 6


Z
X
Y

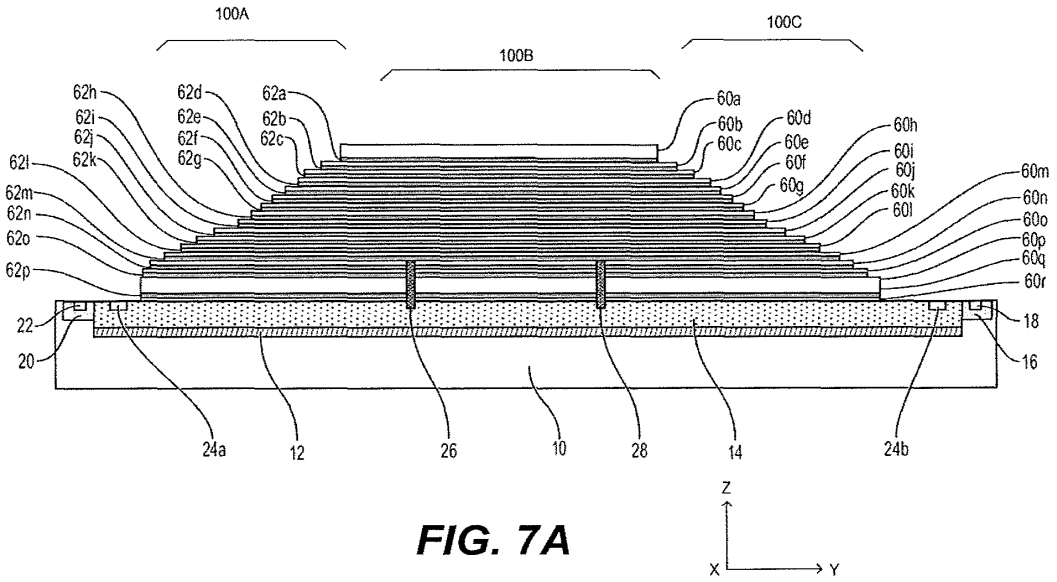

100A
100B
100C
62h
62i
62j
62k
62l
62m
62n
62o
62p
62d
62e
62f
62g
62a
62b
62c
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
60l
60m
60n
60o
60p
60q
60r
22
20
18
16
24a
12
26
10
28
14
24b
Z
X
Y

FIG. 7A

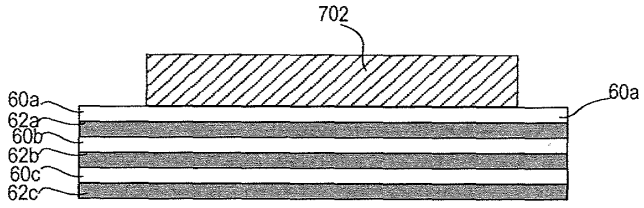


FIG. 7B

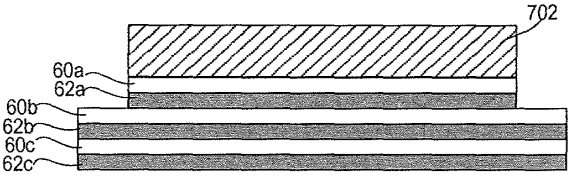


FIG. 7C

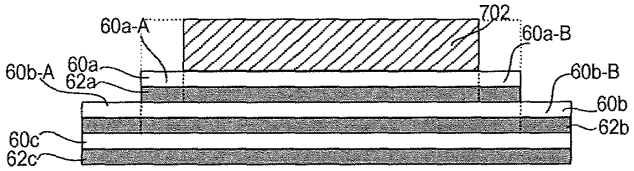


FIG. 7D

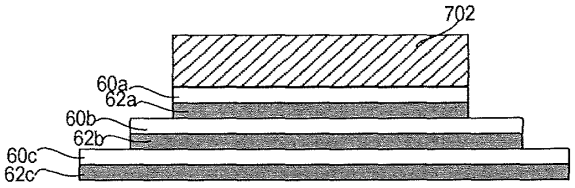


FIG. 7E

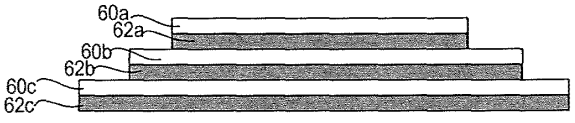


FIG. 7F

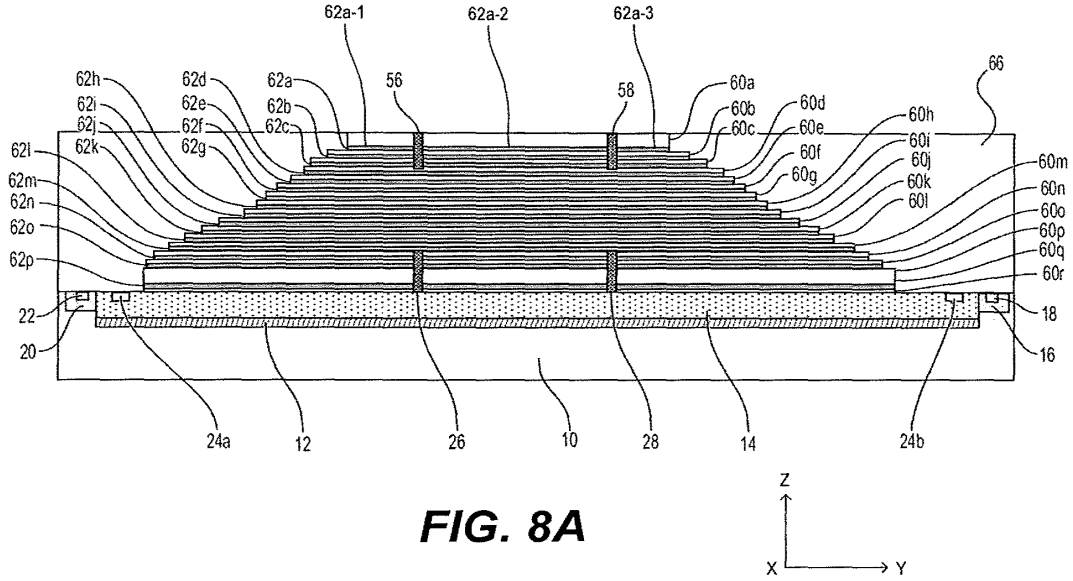

62a-1
62a-2
62a-3
62h
62i
62j
62k
62l
62m
62n
62o
62p
62d
62e
62f
62g
62a
62b
62c
56
58
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
60l
66
60m
60n
60o
60p
60q
60r
22
20
18
16
24a
12
26
10
28
14
24b
Z
X
Y

FIG. 8A

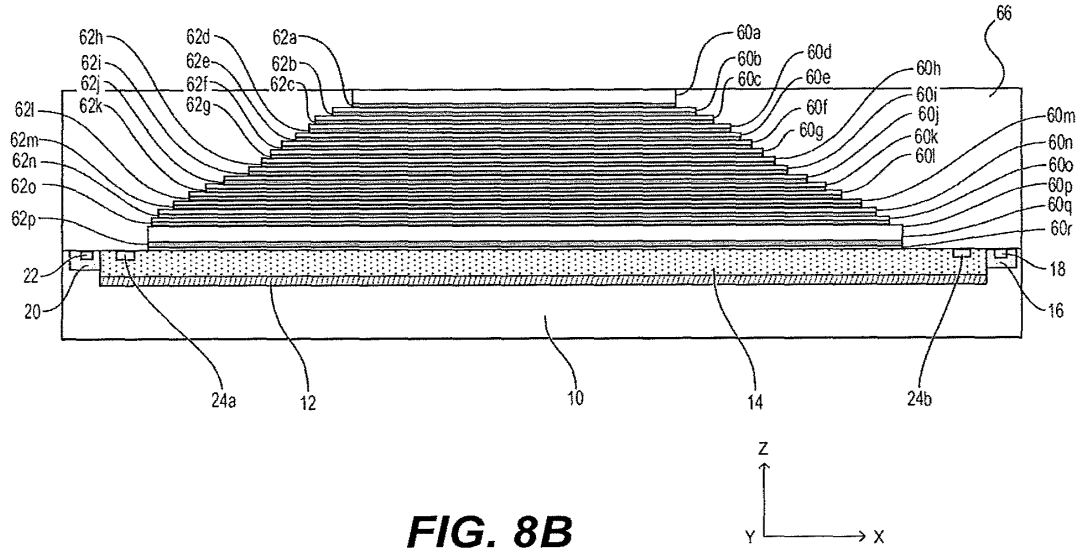

62h
62i
62j
62k
62l
62m
62n
62o
62p
62d
62e
62f
62g
62a
62b
62c
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
60l
66
60m
60n
60o
60p
60q
60r
22
20
18
16
24a
12
10
14
24b
Z
Y
X

FIG. 8B

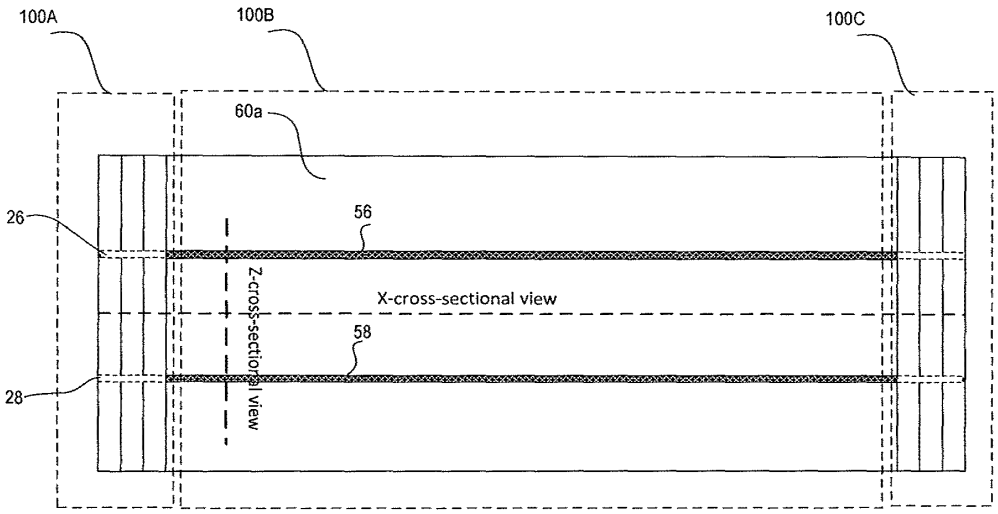
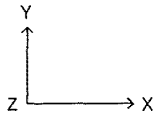

100A
100B
100C
60a
26
56
Z-cross-sectional view
X-cross-sectional view
58
28

FIG. 8C


Y
Z
X

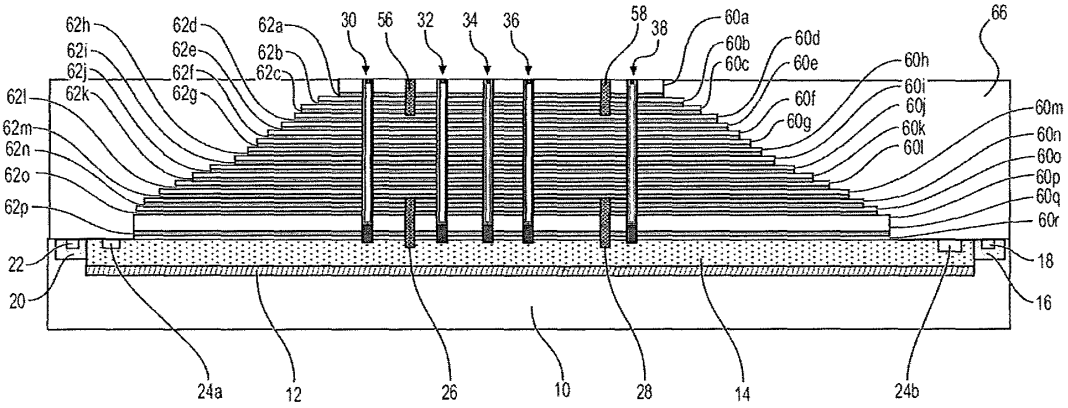
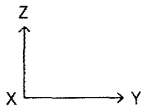

62h
62i
62j
62k
62l
62m
62n
62o
62p
62d
62e
62f
62g
62a
62b
62c
30
56
32
34
36
58
38
60a
60b
60c
60d
60e
60f
60g
60h
60i
60j
60k
60l
66
60m
60n
60o
60p
60q
60r
22
20
18
16
24a
12
26
10
28
14
24b

FIG. 9A


Z
X
Y

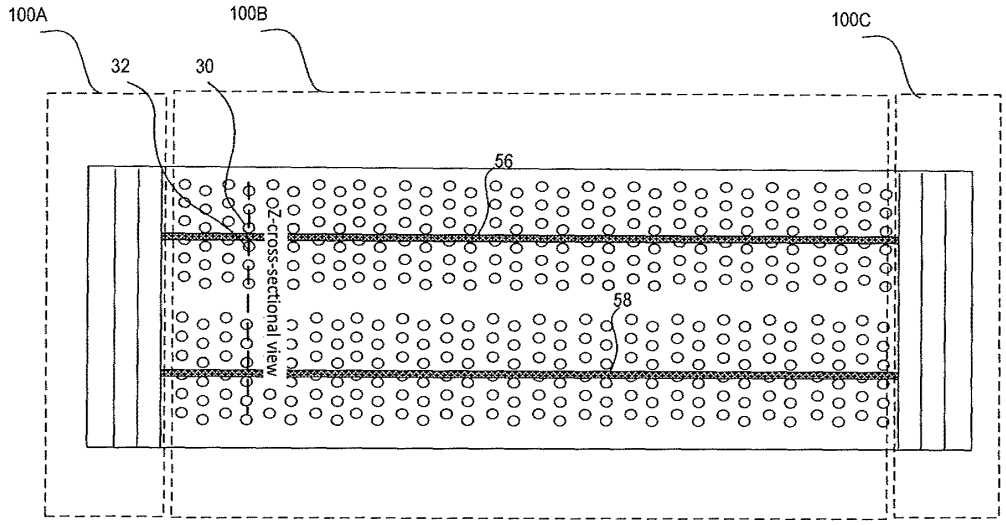


FIG. 9B



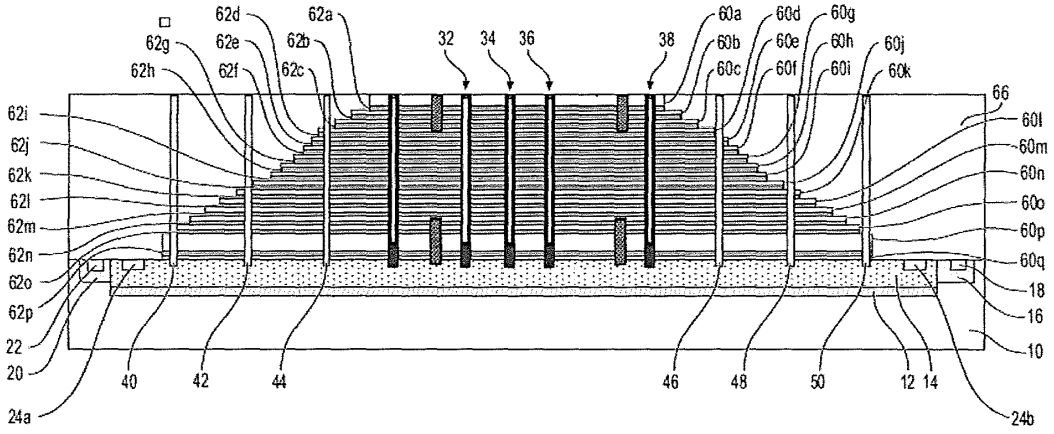
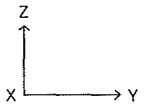


FIG. 10A



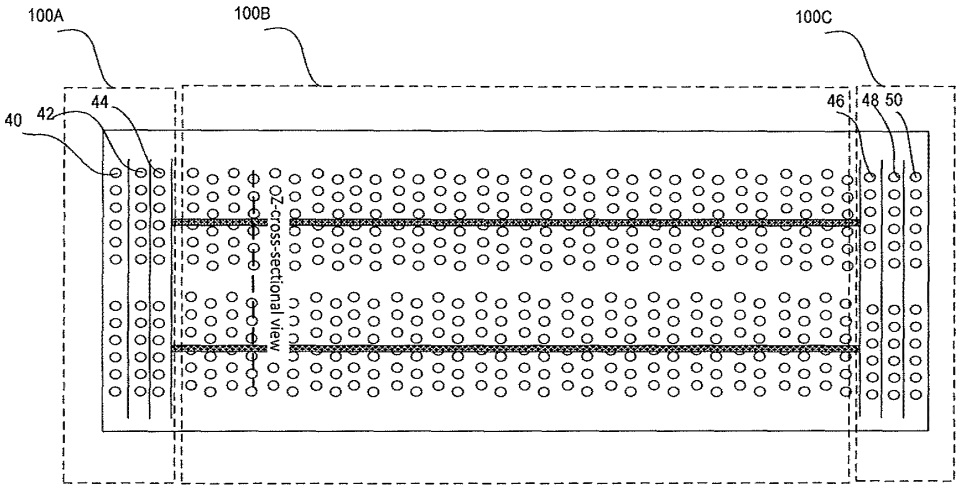
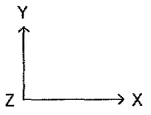


FIG. 10B



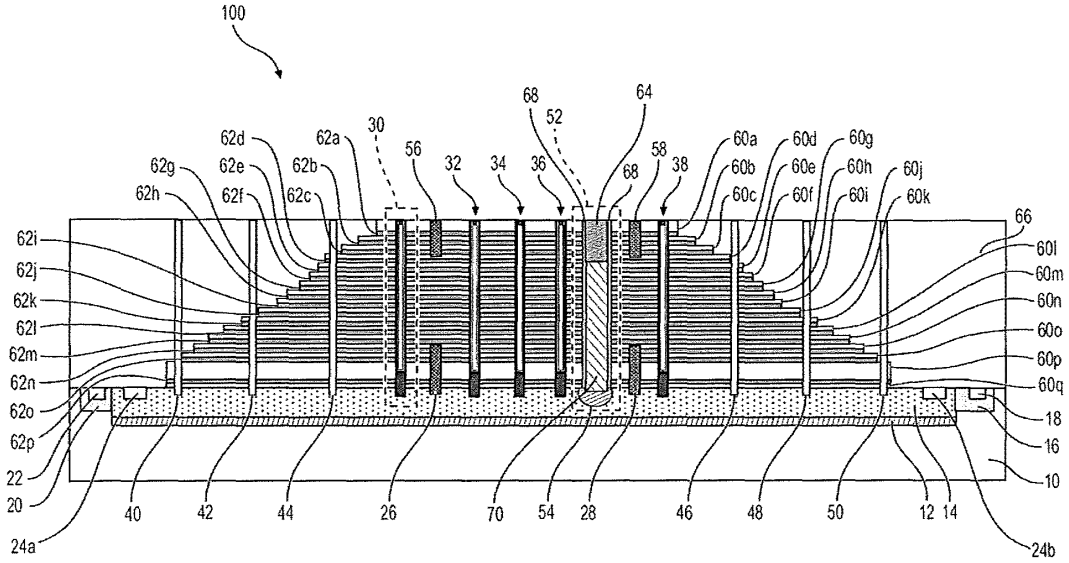

100
68
64
52
62d
62a
30
56
32
34
36
58
38
62g
62e
62b
68
60a
60d
60g
62h
62f
62c
60b
60e
60h
60j
60c
60f
60i
60k
66
62i
60l
62j
60m
62k
60n
62l
60o
62m
60p
62n
60q
62o
18
62p
16
22
10
20
40
42
44
26
70
54
28
46
48
50
12
14
24a
24b
Z
X
Y

FIG. 11A

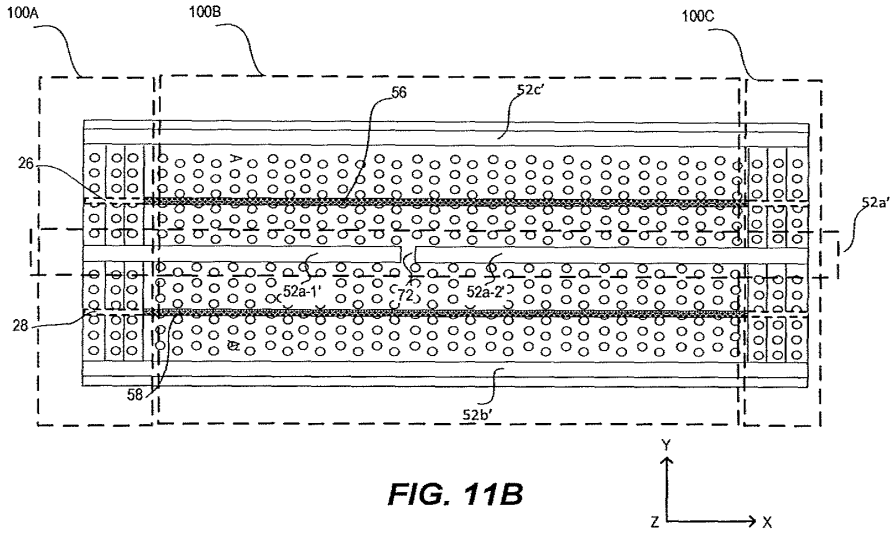


FIG. 11B

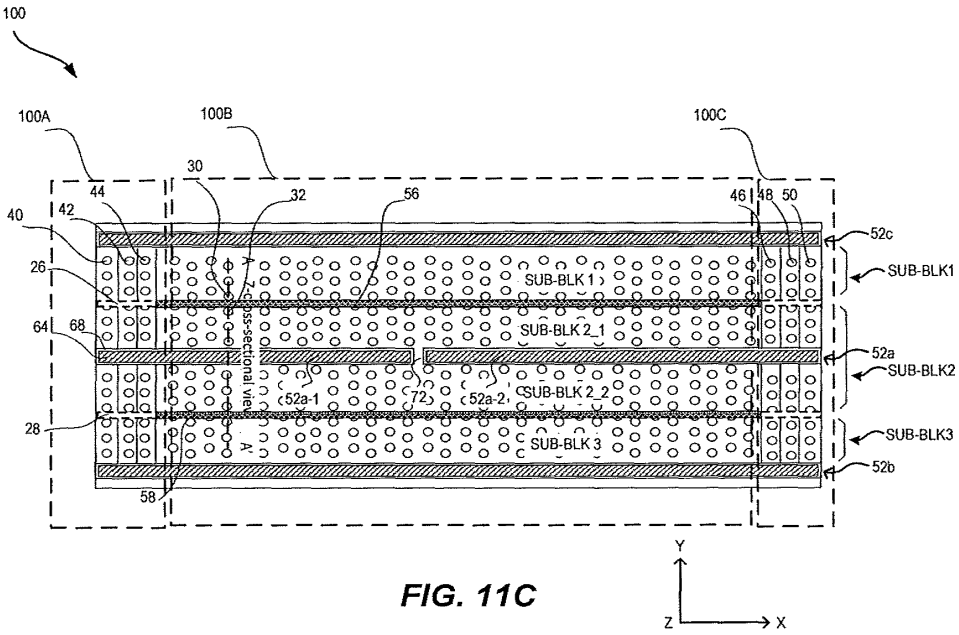


FIG. 11C

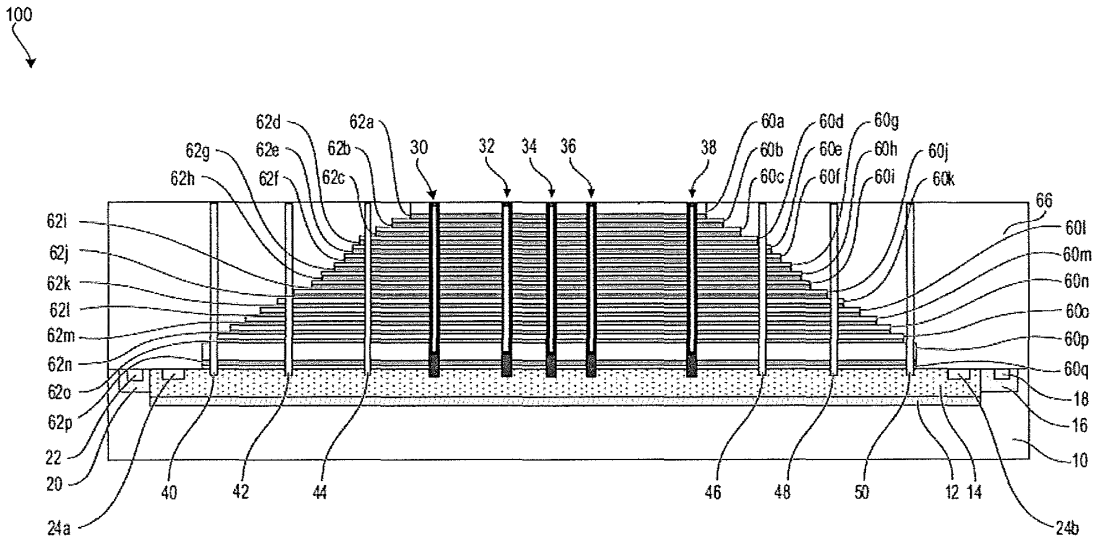
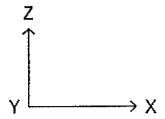

100
62d
62a
60a
60d
60g
62g
62e
62b
30
32
34
36
38
60b
60e
60h
60j
62h
62f
62c
60c
60f
60i
60k
66
62i
60l
62j
60m
62k
60n
62l
60o
62m
60p
62n
60q
62o
18
62p
16
22
10
20
40
42
44
46
48
50
12
14
24a
24b

FIG. 11D


Z
Y
X

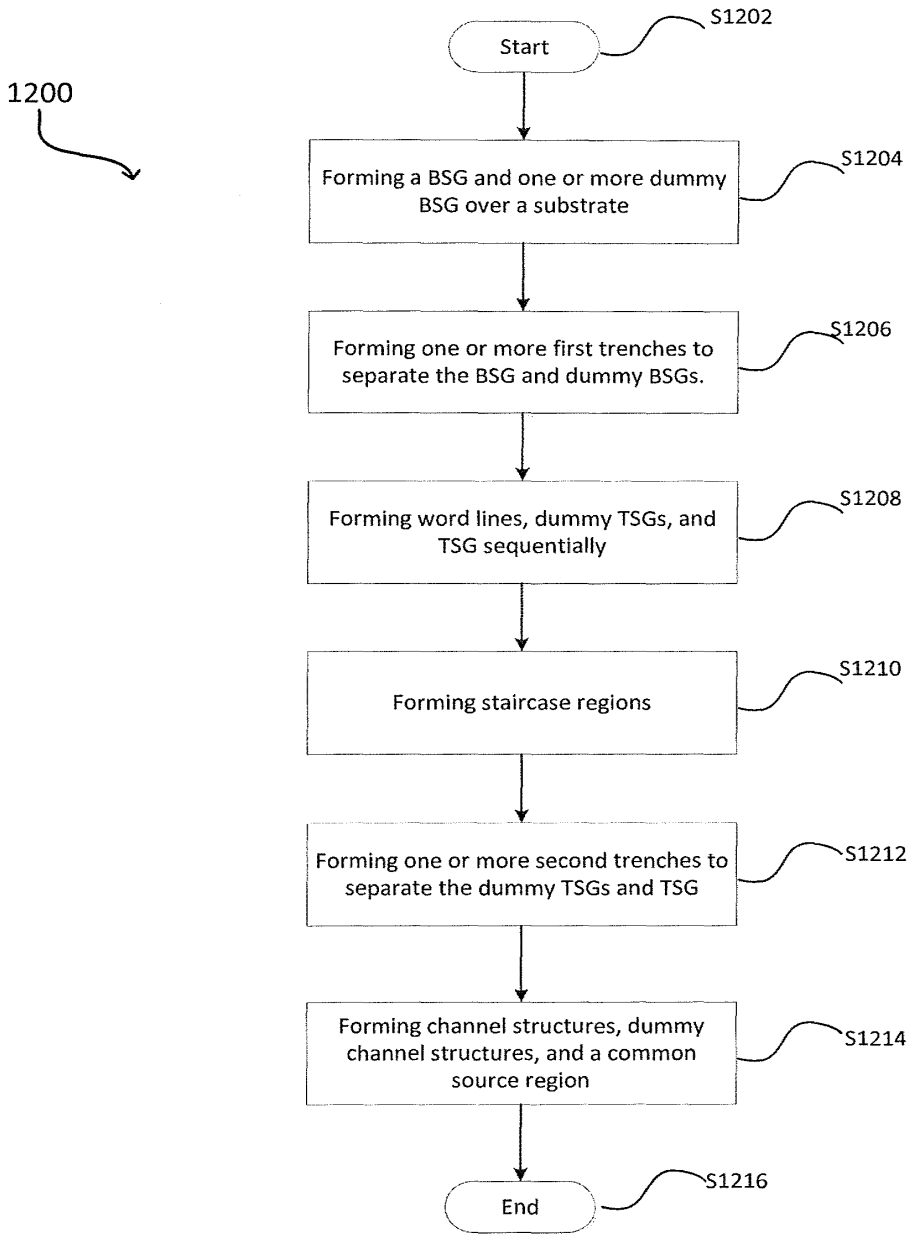

1200
Start
S1202
Forming a BSG and one or more dummy BSG over a substrate
S1204
Forming one or more first trenches to separate the BSG and dummy BSGs.
S1206
Forming word lines, dummy TSGs, and TSG sequentially
S1208
Forming staircase regions
S1210
Forming one or more second trenches to separate the dummy TSGs and TSG
S1212
Forming channel structures, dummy channel structures, and a common source region
S1214
End
S1216

FIG. 12

ABSTRACT

A 3D-NAND memory device is provided. The memory device includes a substrate, a bottom select gate (BSG) disposed over the substrate, a plurality of word lines positioned over the BSG with a staircase configuration and a plurality of insulating layers disposed between the substrate, the BSG, and the plurality of word lines. In the disclosed memory device, one or more first dielectric trenches are formed in the BSG and extend in a length direction of the substrate to separate the BSG into a plurality of sub-BSGs. In addition, one or more common source regions are formed over the substrate and extend in the length direction of the substrate. The one or more common source regions further extend through the BSG, the plurality of word lines and the plurality of insulating layers.

Micron Ex. 1002, p. 33
Micron v. YMTC
IPR2024-00794

WHAT IS CLAIMED IS:

1. A memory device, comprising:

a substrate;

a bottom select gate (BSG) disposed over the substrate;

a plurality of word lines positioned over the BSG with a staircase configuration;

a plurality of insulating layers disposed between the substrate, the BSG, and the plurality of word lines;

one or more first dielectric trenches formed in the BSG and extending in a length direction of the substrate to separate the BSG into a plurality of sub-BSGs; and

one or more common source regions formed over the substrate and extending in the length direction of the substrate, wherein the one or more common source regions extend through the BSG, the plurality of word lines, and the plurality of insulating layers.

2. The memory device of claim 1, further comprising:

a top select gate (TSG) positioned over the plurality of word lines, the TSG and the plurality of word lines being spaced apart by the plurality of insulating layers; and

one or more second dielectric trenches formed in the TSG and extending in the length direction of the substrate to separate the TSG into a plurality of sub-TSGs.

3. The memory device of claim 2, wherein the first dielectric trenches and the second dielectric trenches are aligned with each other in a width direction of the substrate.

4. The memory device of claim 2, wherein the one or more common source regions further

Micron Ex. 1002, p. 34
Micron v. YMTC
IPR2024-00794

pass through the TSG, and the one or more common source regions, the first dielectric trenches, and the second dielectric trenches extend parallel to each other in the length direction of the substrate.

5. The memory device of claim 2, further comprising:

a plurality of channel structures formed over the substrate along a height direction of the substrate that is perpendicular to the substrate, wherein each of the plurality of channel structure passes through the BSG, the plurality of word lines, the TSG, and the plurality of insulating layers.

6. The memory device of claim 1, further comprising:

a plurality of dummy channel structures formed along the a height direction of the substrate that is perpendicular to the substrate, the plurality of dummy channel structures passing through the BSG, the plurality of word lines and the plurality of insulating layers to extend into the substrate.

7. The memory device of claim 5, further comprising a plurality of memory cell sub-blocks, each of the memory cell sub-blocks including a plurality of respective channel structures that are connected to a same sub-BSG and to a same sub-TSG, each of the memory cell sub-blocks being operated individually.

8. The memory device of claim 5, wherein the one or more first dielectric trenches and the one or more common source regions are alternatively disposed in the width direction of the substrate.

9. The memory device of claim 5, wherein the one or more second dielectric trenches

Micron Ex. 1002, p. 35
Micron v. YMTC
IPR2024-00794

and the one or more common source regions are alternatively disposed in the width direction of the substrate so that a plurality of channel structures are disposed therebetween.

10. The memory device of claim 1, further comprising one or more dummy BSGs that are formed between the plurality of word lines and the BSG, separated by the one or more first dielectric trenches into a plurality of dummy sub-BSGs, and spaced apart from the plurality of word lines and the BSG by the plurality of insulating layer.

11. The memory device of claim 2, further comprising one or more dummy TSGs that are formed between the plurality of word lines and the TSG, separated by the one or more second dielectric trenches into a plurality of dummy sub-TSGs, and spaced apart from the plurality of the word lines and the TSG by the plurality of insulating layers.

12. A method for manufacturing a memory device, comprising:

forming a plurality of first insulating layers, and a bottom select gate (BSG) layer over a substrate, the plurality of first insulating layers being disposed between the substrate, and the BSG layer;

forming one or more first dielectric trenches that pass through the BSG layer, and the plurality of first insulating layers, and extend in a length direction of the substrate, the BSG layer being separated by the one or more first dielectric trenches into a plurality of sub-BSG layers;

forming a plurality of word line layers, and a plurality of second insulating layers over the BSG layer, the plurality of second insulating layers being disposed between the BSG layer and the plurality of word line layers; and

forming one or more common source regions over the substrate and extending in

Micron Ex. 1002, p. 36
Micron v. YMTC
IPR2024-00794

the length direction of the substrate, each of the one or more common source regions extending through the BSG layer, the plurality of first insulating layers, the plurality of word line layers, and the plurality of second insulating layers.

13. The method of claim 12, further comprising:

forming a top select gate (TSG) layer over the plurality of word line layers, the TSG layer and the plurality of word line layers being spaced apart by the plurality of second insulating layers.

14. The method of claim 13, wherein each of the one or more common source regions further extends through the BSG layer, the plurality of first insulating layers, the plurality of word line layers, the plurality of second insulating layers, and the TSG layer.

15. The method of claim 13, further comprising:

forming one or more second dielectric trenches that extend in the length direction of the substrate, and pass through the TSG layer and a portion of the plurality of second insulating layers that separate a uppermost word line layer and the TSG layer from each other, wherein the first dielectric trenches and the second dielectric trenches are aligned with each other in a width direction of the substrate and are spaced apart by the plurality of word line layers, wherein the TSG layer is separated by the one or more second dielectric trenches into a plurality of sub-TSG layers.

16. The method of claim 13, further comprising;

forming a plurality of channel structures, wherein the plurality of channel structures are formed over the substrate along a height direction that is perpendicular to the substrate, wherein each of the plurality of channel structure passes through the BSG

Micron Ex. 1002, p. 37
Micron v. YMTC
IPR2024-00794

layer, the plurality of first insulating layers, the plurality of word line layers, the TSG layer, and the plurality of second insulating layers .

17. A method for erasing a 3D-NAND memory device, wherein the 3D-NAND memory device are formed over a substrate and includes a plurality of vertical NAND strings in which a first sub-block of the plurality of vertical NAND strings are connected to a first bottom select gate (BSG), a second sub-block of the plurality of vertical NAND strings are connected to a second BSG, the first BSG and the second BSG are separated by a dielectric trench, and both the first sub-block and the second sub-block of vertical NAND strings are connected to a plurality of shared word lines, the method comprising:

setting the substrate to a first voltage;

setting the first BSG to a second voltage, the second voltage being lower than the first voltage; and

setting the one or more word lines to a third voltage that is equal to zero.

18. The method of claim 17, further comprising:

setting the second BSG to a fourth voltage, the fourth voltage being higher than the second voltage.

19. The method of claim 17, wherein the first sub-block of the plurality of vertical NAND strings are further connected to one or more first dummy BSGs, and the second sub-block of the plurality of vertical NAND strings are further connected to one or more second dummy BSGs, and the first dummy BSGs and the second dummy BSGs are separated by the dielectric trench, the method further comprising:

setting the one or more first dummy BSGs to a fifth voltage, the fifth voltage being lower than the second voltage; and

Micron Ex. 1002, p. 38
Micron v. YMTC
IPR2024-00794

setting the one or more second dummy BSGs to a sixth voltage, the sixth voltage being lower than the fourth voltage.

20. The method of claim 18, wherein the second voltage is in a range from zero to 13 volts, and the fourth voltage is in a range from 18 to 25 volts.

Micron Ex. 1002, p. 39
Micron v. YMTC
IPR2024-00794

Novel 3D NAND Memory Device And Method of Forming The Same

RELATED APPLICATION

[0001] This application is a continuation of International Application No. PCT/CN2018/119908, filed on December 07, 2018. The entire disclosure of the prior application is hereby incorporated by reference in its entirety.

BACKGROUND

[0002] As critical dimensions of devices in integrated circuits shrink to the limits of common memory cell technologies, designers have been looking to techniques for stacking multiple planes of memory cells to achieve greater storage capacity, and to achieve lower costs per bit.

[0003] A 3D-NAND memory device is an exemplary device of stacking multiple planes of memory cells to achieve greater storage capacity, and to achieve lower costs per bit. As 3D NAND technology migrates towards high density and high capacity, especially from 64L to 128L architecture, the number of word line layers (or gate control layers) in a vertical direction perpendicular to a substrate has been increasing significantly. The increasing number of word line layers leads to a dramatic increase of block size of the 3D-NAND memory device, which in turn induces longer read and erase time, longer data transfer time, and lower storage efficiency.

Micron Ex. 1002, p. 40
Micron v. YMTC
IPR2024-00794

SUMMARY

[0004] The inventive concepts relate to formation of a 3D NAND memory device with a divided block structure and a method of performing a partial block erase based on the divided block structure.

[0005] A related 3D-NAND memory device can include a plurality of memory cell blocks or memory cell arrays. Each of the blocks can include a plurality of vertical NAND memory cell strings. The vertical NAND memory cell strings can each have one or more bottom select transistors (BSTs), one or more dummy BSTs, a plurality of memory cells (MCs), one or more dummy top select transistors (TSTs), and one or more TSTs that are disposed sequentially and in series over a substrate along a height direction (or Z direction) of the substrate. A source region of a lowermost BST in the each of the vertical NAND memory cell strings is connected to a common source line (CSL), and a drain region of an uppermost TST in the each of the vertical NAND memory cell strings is connected to a bit line. In the related 3D-NAND memory device, the vertical NAND memory cell strings of a same block can share a bottom select gate (BSG). The shared BSG accordingly controls all the BSTs of the vertical NAND memory cell strings in that block simultaneously during operating the related 3D-NAND memory device, such as erasing the related 3D-NAND memory device. As the related 3D-NAND memory device migrates to higher capacity with an increased block size, the shared BSG can induce longer erasing time, longer data transfer time, and lower storage efficiency.

[0006] In the disclosed 3D-NAND memory device, each of the blocks can be separated into a plurality of sub-blocks by dividing the shared BSG into a plurality of sub-BSGs

Micron Ex. 1002, p. 41
Micron v. YMTC
IPR2024-00794

through one or more first dielectric trenches. Each of the sub-blocks accordingly has a respective sub-BSG, and each of the sub-blocks can be operated individually through controlling the respective sub-BSG. By introducing such a divided BSG structure, the disclosed 3D-NAND memory device can effectively reduce parasitic capacitance and coupling effects between the BSG and adjacent dielectric layers, and significantly improve V_t performance of the bottom select transistors (BSTs). In addition, the erasing time and data transfer time could be reduced significantly, and data storage efficiency can be improved as well.

[0007] In the disclosed 3D-NAND memory device, the each of sub-blocks can also have a respective sub-top select gate (sub-TSG) by dividing a shared/common TSG into a plurality of sub-TSGs through one or more second dielectric trenches. Each of the sub-TSGs can control a respective sub-block during a reading/programming operation. In some embodiments, the first and second dielectric trenches can be formed via a same reticle set so that a manufacturing cost can be reduced.

[0008] According to an aspect of the present disclosure, a memory device is provided. The memory device can include a substrate, a bottom select gate (BSG) disposed over the substrate, a plurality of word lines positioned over the BSG with a staircase configuration and a top select gate (TSG) positioned over the plurality of word lines. The memory device also includes a plurality of insulating layers disposed between the substrate, the BSG, the plurality of word lines, and the TSG. In the disclosed memory device, one or more first dielectric trenches are formed in the BSG and extend in a length direction of the substrate to separate the BSG into a plurality of sub-BSGs.

Micron Ex. 1002, p. 42
Micron v. YMTC
IPR2024-00794

[0009] In addition, one or more second dielectric trenches are formed in the TSG and extend in the length direction (X-direction) of the substrate to separate the TSG into a plurality of sub-TSGs. The memory device further includes one or more common source regions that are formed over the substrate and extend in the length direction of the substrate. Each of the one or more common source regions extends through the BSG, the plurality of word lines, the TSG, and the plurality of insulating layers, and is electrically coupled with the substrate via a respective doped region. The one or more common source regions, the first dielectric trenches and the second dielectric trenches further extend parallel to each other along the length direction of the substrate.

[0010] In some embodiments, the first dielectric trenches and the second dielectric trenches are aligned with each other in a width direction (Y-direction) of the substrate and are spaced apart by the plurality of word lines.

[0011] The memory device also includes a plurality of channel structures formed over the substrate along a height direction (Z-direction) of the substrate that is perpendicular to the substrate. Each of the plurality of channel structure passes through the BSG, the plurality of word lines, the TSG and the plurality of insulating layers, and is electrically coupled with the substrate via a respective bottom channel contact that extends into the substrate. The each of the plurality of channel structures further includes a channel layer, a tunneling layer, a charge trapping layer, and a barrier layer.

[0012] The memory device also includes a plurality of dummy channel structures formed along the height direction of the substrate. The plurality of dummy channel structures pass through the BSG, the plurality of word lines and the plurality of insulating layers to extend into the substrate.

Micron Ex. 1002, p. 43
Micron v. YMTC
IPR2024-00794

[0013] The memory device also includes a plurality of memory cell strings. Each of the memory strings incudes a respective channel structure, a respective sub-BSG, the plurality of word lines, a respective sub-TSG, and the plurality of insulating layers that separate the respective sub-BSG, the plurality of word lines, and the respective sub-TSG from one another.

[0014] The memory device also includes a plurality of memory cell sub-blocks. Each of the memory cell sub-blocks including a respective plurality of memory cell strings that are connected to a same sub-BSG and to a same sub-TSG, and each of the memory cell sub-blocks is operated individually.

[0015] The memory device can further include a plurality of dummy channel structures formed along the height direction of the substrate. The plurality of dummy channel structures pass through the BSG, the plurality of word lines, the TSG and the plurality of insulating layers to extend into the substrate.

[0016] In some embodiments, the one or more first dielectric trenches and the one or more common source regions are alternatively disposed in the width direction of the substrate so that a plurality of channel structures are disposed therebetween.

[0017] In some embodiments, the memory device further includes one or more dummy BSGs that are formed between the plurality of word lines and the BSG, separated by the one or more first dielectric trenches into a plurality of dummy sub-BSGs , and spaced apart from the plurality of word lines and the BSG by the plurality of insulating layers.

[0018] In some embodiments, the memory device further includes one or more dummy TSGs that are formed between the plurality of word lines and the TSG, separated by the one or more second dielectric trenches into a plurality of dummy sub-TSGs, and spaced apart from the plurality of the word lines and the TSG by the plurality of insulating layers.

Micron Ex. 1002, p. 44
Micron v. YMTC
IPR2024-00794

[0019] According to an aspect of the present disclosure, a method for manufacturing a memory device is provided. In the disclosed method, a bottom select gate (BSG) layer is formed over a substrate, one or more dummy BSG layers are formed over the BSG layer, and a plurality of first insulating layers are disposed between the substrate, the BSG layer, and the one or more dummy BSG layers. Next, one or more first dielectric trenches are formed. The one or more first dielectric trenches pass through the BSG layer, the one or more dummy BSG layers and the plurality of first insulating layers, and extend into the substrate along a length direction of the substrate. The BSG layer is separated by the one or more first dielectric trenches into a plurality of sub-BSG layers, and the one or more dummy BSG layers are separated by the one or more first dielectric trenches into a plurality of dummy sub-BSG layers.

[0020] In the disclosed method, a plurality of word line layers are subsequently formed over the dummy BSG layers, one or more dummy top select gates (TSG) layers are formed over the plurality of word line layers, a TSG layer is formed over the dummy BSG layers, and a plurality of second insulating layers are disposed between the dummy BSG layers, the plurality of word line layers, the one or more dummy TSG layers, and the TSG layer. Next, one or more second dielectric trenches are formed. The second dielectric trenches extend in the length direction of the substrate, and passes through the one or more dummy TSG layers, the TSG layer and a portion of the plurality of second insulating layers that separate an uppermost word line layer, the one or more dummy TSG layers, and the TSG layer from each other. The first dielectric trenches and the second dielectric trenches are aligned with each other in a width direction of the substrate and are spaced apart by the plurality of word line layers. The TSG layer is separated by the one or more second dielectric trenches into a plurality of sub-TSG layers, and the one or

Micron Ex. 1002, p. 45
Micron v. YMTC
IPR2024-00794

more dummy TSG layers are separated by the one or more second dielectric trenches into a plurality of dummy sub-TSG layers.

[0021] According to yet another aspect of the present disclosure, a method for erasing a 3D-NAND memory device is provided. The 3D-NAND memory device are formed over a substrate and includes a plurality of vertical NAND strings in which a first block of the plurality of vertical NAND strings are connected to a first bottom select gate (BSG), a second block of the plurality of vertical NAND strings are connected to a second BSG, the first BSG and the second BSG are separated by a dielectric trench, and both the first block and the second block of vertical NAND strings are connected to a plurality of shared word lines. In the disclosed method, the substrate is set to a first voltage, the first BSG is set to a second voltage that is lower than the first voltage, the second BSG is set to a third voltage that is higher than the second voltage, and the one or more word lines are set to a fourth voltage that is equal to zero.

[0022] In some embodiments, the first block of the plurality of vertical NAND strings are erased through applying the second voltage to the first BSG, and the second block of the plurality of vertical NAND strings are not erased through applying the third voltage to the second BSG.

BRIEF DESCRIPTION OF THE DRAWINGS

[0023] Aspects of the present disclosure are best understood from the following detailed description when read with the accompanying figures. It is noted that, in accordance with the standard practice in the industry, various features are not drawn to scale. In fact, the dimensions of the various features may be arbitrarily increased or reduced for clarity of discussion.

Micron Ex. 1002, p. 46
Micron v. YMTC
IPR2024-00794

[0024] Figure 1A is a cross-sectional view of a 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0025] Figure 1B is a top down view of the 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0026] Figure 1C-1 is a first cross-sectional view of a channel structure in the 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0027] Figure 1D-1 is a first top down view of the channel structure in the 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0028] Figure 1C-2 is a second cross-sectional view of a channel structure in the 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0029] Figure 1D-2 is a second top down view of the channel structure in the 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0030] Figure 1E is an equivalent circuit diagram of a 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0031] Figure 2 is a schematic perspective view of a 3D-NAND memory device in three-dimensions, in accordance with exemplary embodiments of the disclosure.

[0032] Figure 3A is a cross-sectional view of a related 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0033] Figure 3B is an equivalent circuit diagram of the related 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0034] Figure 4A is a schematic diagram of an operation parameter to erase a related 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

Micron Ex. 1002, p. 47
Micron v. YMTC
IPR2024-00794

[0035] Figure 4B is a schematic diagram of another operation parameter to erase a 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0036] Figures 5A through 11D are cross-sectional and top down views of various intermediary steps of manufacturing a 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

[0037] Figure 12 is a flowchart of a process for manufacturing a 3D-NAND memory device, in accordance with exemplary embodiments of the disclosure.

DETAILED DESCRIPTION

[0038] The following disclosure provides many different embodiments, or examples, for implementing different features of the provided subject matter. Specific examples of components and arrangements are described below to simplify the present disclosure. These are, of course, merely examples and are not intended to be limiting. For example, the formation of a first feature over or on a second feature in the description that follows may include embodiments in which the first and second features are formed features may be in direct contact, and may also include embodiments in which additional features may be formed between the first and second features, such that the first and second features may not be in direct contact. In addition, the present disclosure may repeat reference numerals and/or letters in the various examples. This repetition is for the purpose of simplicity and clarity and does not in itself dictate a relationship between the various embodiments and/or configurations discussed.

[0039] Further, spatially relative terms, such as “beneath,” “below,” “lower,” “above,” “upper” and the like, may be used herein for ease of description to describe one element

Micron Ex. 1002, p. 48
Micron v. YMTC
IPR2024-00794

or feature's relationship to another element(s) or feature(s) as illustrated in the figures. The spatially relative terms are intended to encompass different orientations of the device in use or operation in addition to the orientation depicted in the figures. The apparatus may be otherwise oriented (rotated 90 degrees or at other orientations) and the spatially relative descriptors used herein may likewise be interpreted accordingly.

[0040] FIG. 1A is a cross-sectional view of a 3D-NAND memory device 100, and FIG. 1B is a top down view of the 3D-NAND memory device 100 where the cross-sectional view of the 3D-NAND memory device 100 in FIG. 1A is obtained from a line A-A' along a Z-direction (i.e., height direction) of a substrate in FIG. 1B. Dashed lines in FIG. 1B indicate a perspective view.

[0041] As shown in FIG. 1A, the memory device 100 can have a substrate 10 made of silicon, a high voltage P-type Well (HVPW) 14 formed on a top portion of the substrate 10, and a deep N-type Well 12 that is disposed below the HVPW. The HVPW 14 extends from a top surface of the substrate 10 and into the substrate with a depth from 0.5 um to 5 um according to the design requirements. The HVPW 14 can have a top portion and a bottom portion. The top portion (not shown) of the HVPW 14 is level with the top surface of the substrate 10 and is doped with boron at a dopant concentration from 10e11 cm^{-3} to 10e14 cm^{-3}. The top portion of the HVPW 14 forms the array (i.e., memory cell region) P-Well. The array P-Well is also known as 'active tub' since voltages are applied to the tub during erasing or programming the memory device. The top portion can also be configured to create bipolar junction transistor (BJT) devices in periphery where control circuits occupy. The bottom portion (not shown) of the HVPW 14 is formed under the top portion and is doped with phosphorus at a dopant

Micron Ex. 1002, p. 49
Micron v. YMTC
IPR2024-00794

concentration from 10e11 cm^{-3} to 10e14 cm^{-3}. The bottom portion creates a deep 'N-Tub' that helps isolate the array P-Well (i.e., the top portion) from the periphery P-Wells. The bottom portion can also be configured to create BJT devices in periphery.

[0042] The deep N-type Well 12 illustrated in FIG. 1A can be doped through a high energy implantation with phosphorus at a dopant concentration from 10e11 cm^{-3} to 10e14 cm^{-3}. The deep N-type Well 12 is formed under the HVPW 14, and extends into the substrate with a depth from 0.1 um 1 um according to design requirements. In some embodiments, the deep N-type Well 12 can surround the HVPW 14 to isolate the HVPW 14 from adjacent components.

[0043] Still referring to FIG. 1A, the memory device 100 can also have one or more P+ regions 24a and 24b formed in the HVPW 14. The P+ regions extend from the top surface of the substrate 10 and into the substrate with a depth from 0.01 um to 0.2 um. The P+ regions can be doped with boron at a dopant concentration from 10e14 cm^{-3} to 10e18 cm^{-3}. In subsequent manufacturing steps, a respective array contact can be formed over each of the P+ regions, and the P+ regions are configured to reduce resistance between the array contacts and the HVPW.

[0044] Similarly, one or more N+ regions 18 and 22 can be formed in the substrate 10. The N+ regions 18 and 22 extend from the top surface of the substrate and extend into the substrate with a depth from 0.01 um to 0.2 um. The N+ regions can be doped with phosphorus at a dopant concentration from 10e14 cm^{-3} to 10e18 cm^{-3}. Over the N+ regions, one or more substrate contacts (not shown) can be formed in subsequent manufacturing steps, and the N+ regions are configured to reduce resistance between the substrate contacts and the substrate.

Micron Ex. 1002, p. 50
Micron v. YMTC
IPR2024-00794

[0045] The disclosed memory device 100 can also include one or more high voltage N-type Wells (HVNW). Each of the N+ regions can be surrounded by a respective high voltage N-type Well (HVNW). For example, the N+ region 22 is surrounded by a HVNW 20, and the N+ region 18 is surrounded by a HVNW 16. The HVNWs can be formed by doping the substrate with phosphorus at a dopant concentration from 10e11 cm^{-3} to 10e14 cm^{-3}. The HVNWs extend from the top surface of the substrate and extend into the substrate 10 with a depth from 0.1 um to 1 um. The HVNWs are configured to isolate the N+ regions from adjacent components.

[0046] Still referring to FIG. 1A, a bottom select gate (BSG) 62p, one or more dummy BSGs (or bottom dummy word lines, such as 62n-62o), a plurality of word lines (e.g., 62d-62m), one or more dummy top select gates (TSGs) (or top dummy word lines, such as 62b-62c), and a TSG 62a are disposed sequentially over the substrate. In addition, a plurality of insulating layers, such as 17 insulating layers 60a-60q, are disposed between the substrate 10, the BSG, the dummy BSGs, the word lines, the dummy TSGs and the TSG to separate the substrate 10, the BSG, the dummy BSGs, the word lines, the dummy TSGs and the TSG from each other.

[0047] In some embodiments, the insulating layers 60, the BSG, the dummy BSGs, the word lines, the dummy TSGs and the TSG are alternatively stacked over the substrate 10 with a staircase configuration in which the TSG 62a and a uppermost insulating layer 60a have the smallest length, and the BSG 62p and a lowermost insulating layer 60q have the largest length.

[0048] It should be understood that FIG. 1A is merely an exemplary 3D-NAND memory device 100, and the 3D-NAND memory device 100 can include any number of

Micron Ex. 1002, p. 51
Micron v. YMTC
IPR2024-00794

the BSG, the dummy BSG, the word line, the dummy TSG, and the TSG. For example, the 3D-NAND memory device 100 can have three BSGs, three TSGs, and 64 word lines.

[0049] In some embodiments (i.e. Gate-last Formation Technology), the BSG 62p, the dummy BSGs 62n-62o, the word lines 62d-62m, the dummy TSGs 62b-62c, and the TSG 62a illustrated in FIG. 1A are formed firstly using sacrificial layers (i.e. SiN). The sacrificial layers can be removed and replaced with a high K layer, glue layers and one or more metal layers. The high K layer can be made of aluminum oxide (Al_2O_3) and/or Hafnium oxide (HfO_2) and/or Tantalum oxide (Ta_2O_5), and/or something of high K (Dielectric Constant). The metal layer can be made of tungsten (W), Cobalt (Co), for example. The word lines can have a thickness in a range from 10 nm to 100 nm, according to requirements of product specification, device operation, manufacturing capabilities, and so on. In an embodiment of FIG. 1, the insulating layers 60 can be made of SiO_2 with a thickness from 5 nm to 50 nm.

[0050] Still referring to FIG. 1A, one or more first dielectric trenches (or first trenches), such as two fist trenches 26 and 28, are formed in the one or more BSGs (e.g., 62p) and the one or more dummy BSGs (e.g., 62n-62o). The first trenches 26 and 28 extends in an X-direction (i.e., length direction) of the substrate 10 to separate the BSG 62p and the dummy BSGs 62n-62o layers into a plurality of sub-BSGs and sub-dummy BSGs, or to say, a plurality of cell strings. For example, three sub-BSGs 62p-1, 62p-2, and 62p-3 are included in embodiment shown in FIG. 1A. In addition, one or more second dielectric trenches (or second trenches), such as the two second trenches 56 and 58 illustrated in FIG.1A, are formed in the one or more TSGs (e.g., 62a) and the

Micron Ex. 1002, p. 52
Micron v. YMTC
IPR2024-00794

one or more dummy TSGs (e.g.,62b-62c). The second trenches also extend in the X-direction (length direction) of the substrate 10 to separate the TSG 62a and dummy TSGs 62b-62c into a plurality of sub-TSGs and sub-dummy TSGs. For example, a sub-TSG 62a-1, two sub-dummy TSGs 62b-1 and 62c-1 are illustrated in FIG. 1A. In some embodiments, the first trenches and the second trenches are optically aligned with each other in a Y-direction (i.e., a width direction, top-down view) of the substrate 10 and are spaced apart by the plurality of word lines 62d-62m. In some embodiments, the first and second trenches can have a CD 50 nm to 150 nm and are filled with SiO_2, SiON, SiOCN, or other suitable dielectric materials. In some embodiments, the first trenches 26 and 28 can extend into the HVPW 14 with a depth between 10 nm and 100 nm.

[0051] By introducing the first and second trenches into the memory device 100, the BSG and TSG are separated into a plurality of sub-BSGs and sub-TSGs. The sub-BSGs and sub-TSGs can divide the memory device 100 into a plurality of sub-blocks, or to say, a plurality of cell strings. Each of the sub-blocks has a respective sub-BSG and a respective sub-TSG. The each of the sub-blocks can be operated individually through controlling the respective sub-BSG and respective sub-TSG. Correspondingly, the disclosed 3D-NAND memory device 100 can precisely control a desired sub-block/array region so as to effectively reduce a programming time, a reading time, an erasing time and data transfer time, and significantly improve data storage efficiency.

[0052] Still referring to FIG. 1A, one or more common source regions (CSRs), such as one common source region 52, is formed over the substrate and extend in the X-direction (length direction) of the substrate. The common source region 52 passes through the BSG 62p, the dummy BSGs 62n-62o, the plurality of word lines 62d-62m, the dummy TSGs

Micron Ex. 1002, p. 53
Micron v. YMTC
IPR2024-00794

62b-62c, the TSG 62a, and the plurality of insulating layers 60, and is electrically coupled with the substrate 10 via a doped region 54. The common source region 52, the first trenches 26 and 28, and the second trenches 56 and 58 extend parallel to each other in the X-direction (length direction) of the substrate 10. The common source region 52 can have side portions and a bottom portion to be electrically coupled with the dope region 54. A dielectric spacer 68 is formed along the side portions and in direct contact with the word lines 62d-62m and insulating layers 60. A conductive layer 70 is formed along the dielectric spacer 68 and over the doped region 54. The common source region 52 further includes a top contact 64 that is formed along the dielectric spacer 68 and over the conductive layer 70. The doped region 54 can be N-type doped through one or more ion implantation processes. In an embodiment of FIG. 1A, the dielectric spacer 68 is made of SiO_2, the conductive layer 70 is made of polysilicon, and the top contact 64 is made of tungsten.

[0053] In some embodiments, the common source region 52 can have a continuous configuration to extend along the X-direction (length direction) of the substrate. In some embodiments, the common source region 52 can be separated into two or more sub-CSRs. The sub-CSRs are aligned with each other in the X-direction of the substrate.

[0054] In the 3D-NAND memory device 100, a plurality of channel structures are formed over the substrate 10 along a Z-direction (or height direction) of the substrate. As shown in FIG. 1A, five contact structures 30, 32, 34, 36 and 38 are included. Each of the channel structures passes through the BSG, the dummy BSGs, the word lines, the dummy TSGs, the TSG and the insulating layers, and is electrically coupled with the substrate via a respective bottom channel contact that extends into the substrate. For

Micron Ex. 1002, p. 54
Micron v. YMTC
IPR2024-00794

example, a contact structure 30 is electrically coupled with the substrate via a bottom contact 202 that is shown in FIG. 1C. In addition, each of the channel structures further includes a channel layer 206, a tunneling layer 208, a charge trapping layer 210, and a barrier layer 212, which has been shown in FIGS. 1C and 1D for details.

[0055] The memory device 100 can further include a plurality of dummy channel structures that are formed along the Z-direction (height direction) of the substrate. For example, six dummy channel structures 40, 42, 44, 46, 48, and 50 are included in the memory device 100. In some embodiments, the memory device 100 can be divided into three regions: Two staircase regions 100A and 100C and a core region 100B. As shown, the staircase regions 100A and 100C can be arranged on single or both sides of the central core region 100B of the memory device 100. The staircase regions 100A and 100C do not include any channel structures, and the core region 100B includes the plurality of channel structures. In some embodiments, the dummy channel structures are formed in the staircase regions 100A and 100C only, and pass through the BSG, the dummy BSGs, the word lines and the insulating layers to extend into the substrate. In other embodiments, the dummy channel structures can be formed in both the staircase regions 100A and 100C and the core region 100B. When the dummy channel structures are formed in the core region 100B, the dummy channel structures pass through the TSG, the dummy TSGs, the word lines, the dummy BSGs, and the BSG, and extend into the substrate. The dummy channel structures serve as sustain components to support the staircase regions and/or the core regions when sacrificial word lines are removed. In an embodiment of FIG. 1A, the dummy channel structures are made of SiO_2.

Micron Ex. 1002, p. 55
Micron v. YMTC
IPR2024-00794

[0056] FIG. 1B is a top down view of the 3D NAND memory device 100 in accordance with some embodiments of the disclosure. As shown in FIG. 1B, the memory device 100 can have three common source regions 52a-52c that extend along the X-direction (length direction) of the substrate 10. The common source regions 52b and 52C are disposed at two boundaries of the memory device 100 with a continuous configuration. The common source regions 52b and 52C can serve as common source regions for the memory device 100, and further isolate the memory device 100 from adjacent components. In some embodiments, the memory device 100 is one of memory cell blocks of a 3D-NAND chip (not shown). The common source regions 52b and 52C accordingly isolate the memory device 100 (or the memory cell block 100) from adjacent memory cell blocks of the 3D-NAND chip. The common source region 52a is disposed at a middle position of the memory device 100. The common source region 52a is separated into two or more sub-CSRs by one or more "H-Cuts". As shown in FIG. 1B, the CRS 52a is separated by an H-cut 72 into two sub-CSRs 52a-1 and 52a-2.

[0057] Still referring to FIG. 1B, the first trenches 26 and 28, and the second trenches 56 and 58 are optionally aligned with each other at the Y direction (width direction) of the substrate 10. The first trenches and the second trenches are disposed between two adjacent common source regions. For example, the first trench 26 and the second trench 56 are aligned and disposed between a common source region 52a and a common source region 52b. In addition, the dummy channel structures 40, 42, and 44 are positioned at the staircase region 100A, and the dummy structures 46, 48, and 50 are positioned at the staircase region 100C. A plurality of channel structures, such as channel structures 30, 32, are disposed in the core region 100B.

Micron Ex. 1002, p. 56
Micron v. YMTC
IPR2024-00794

[0058] By introducing the first/second trenches, the 3D-NAND memory device 100 (or memory cell block 100) can be divided into a plurality of sub-blocks. For example, three sub-blocks SUB-BLK 1-3 are formed in FIG.1B. Each sub-block can have a respective sub-BSG and a respective sub-TSG. The sub-BSG is formed by separating the BSG 62p into three sub-BSGs (i.e., 62p-1, 62p-2, and 62p-3) by the first trenches, and the sub-TSG is formed by separating the TSG 62a into three sub-TSGs by the second trenches. It should be mentioned that the SUB-BLK 2 can have two portions SUB-BLK2_1 and SUB_BLK_2 that are electrically connected with each other through the H-Cut 72. Accordingly, The SUB-BLK 2 can have a larger size than the SUB-BLK 1and SUB-BLK 3. Without the introduction of the first/second trenches, the memory device 100 (or the memory cell block 100) has a shared BSG, such as 62p, and a shared TSG, such as 62a.

[0059] It should be understood that FIG. 1B is merely an exemplary 3D NAND memory device 100, and the 3D NAND memory device 100 can include any number of first trenches or second trenches between two adjacent common source regions. For example, two or more first trenches or two or more second trenches can be disposed between two adjacent common source regions. The 3D NAND memory device 100 can also include any number of common source regions.

[0060] FIG. 1C-1 is a first cross-sectional view of the channel structure 30 in the 3D-NAND memory device 100, and FIG. 1D-1 is a first top down view of the channel structure 30 where the cross-sectional view of FIG. 1C-1 is obtained from a line B-B' along a Z-direction (height direction) of a substrate in FIG. 1D-1. FIG. 1C-2 is a second cross-sectional view of the channel structure 30 and FIG. 1D-2 is a second top

Micron Ex. 1002, p. 57
Micron v. YMTC
IPR2024-00794

down view where the cross-sectional view of FIG. 1C-2 is obtained from a line C-C' along a Z-direction (height direction) of a substrate in FIG. 1D-2.

[0061] As shown in FIGS. 1C-1/1D-1, the channel structure 30 can have a cylindrical shape with sidewalls and a bottom region. Of course, other shapes are possible. The channel structure 30 is formed along a Z-direction perpendicular to the substrate 10, and electrically coupled with the substrate 10 via a bottom channel contact 202 that is positioned at the bottom region of the channel structure. The channel structure 30 further includes a channel layer 206, a tunneling layer 208, a charge trapping layer 210, and a barrier layer 212. The barrier layer 212 is formed along the sidewalls of the channel structure 30 and over bottom channel contact 202. The barrier layer 212 is in direct contact with the word lines 62d-62m and the insulating layers 60. The charge trapping layer 210 is formed along the barrier layer 212 and over the bottom channel contact 202, and the tunneling layer 208 is formed along the charge trapping layer 210 and over the bottom channel contact 202. The channel layer 206 has side portions that is formed along the tunneling layer 208 and has a T-shape bottom portion that extends through bottom portions of the tunneling layer 208, the charge trapping layer 210, and the barrier layer 212 that are positioned over the bottom channel contact 202. The T-shape bottom portion of the channel layer 206 further is positioned over the bottom contact 206 and is in direct contact with the bottom channel contact 202. In addition, the tunneling layer 208, the charge trapping layer 210, and the barrier layer 212 can form an "L-foot" configuration in the channel structure 30. The L-foot configuration can include side portions that are formed along the sidewalls of the channel structure and a bottom portion over the bottom channel contact 202.

Micron Ex. 1002, p. 58
Micron v. YMTC
IPR2024-00794

[0062] The channel structure 30 can also have a channel insulating layer 204 that is formed along the channel layer 206 to fill the channel structure 30. The channel insulating layer 204 can have a T-shape bottom portion that extends through bottom portions of the channel layer 206, the tunneling layer 208, the charge trapping layer 210, and the barrier layer 212 and lands on the channel layer 206. In some embodiments, the channel insulating layer 204 can include a void that is positioned in a middle position of the channel insulating layer 204. The channel structure 30 can further include a top channel contact 214 that is formed along the channel insulating layer 204 and in direct contact with the channel layer 206. The top channel contact 214 is positioned above the TSG 62a to prevent any electrical interference between the top channel contact 214 and the TSG 62a. In the channel structure 30, a gate dielectric layer 216 is further formed between the BSG 62p and the bottom channel contact 202. The gate dielectric layer 216 can be positioned between the insulating layer 60p and 60q, and have an annular shape to surround the bottom channel contact 202.

[0063] In an embodiment of FIGS. 1C-1/1D-1, the barrier layer 212 is made of SiO_2. In another embodiment, the barrier layer 212 can include multiple layers, such as SiO_2 and Al_2O_3. In an embodiment of FIGS. 1C-1/1D-1, the charge trapping layer 210 is made of SiN. In another embodiment, the charge trapping layer 210 can include a multi-layer configuration, such as a SiN/SiON/SiN multi-layer configuration. In some embodiments, the tunneling layer 208 can include a multi-layer configuration, such as a SiO/SiON/SiO multi-layer configuration. In an embodiment of FIGS. 1C-1/1D-1, the channel layer 206 is made of polysilicon via a furnace low pressure chemical vapor

Micron Ex. 1002, p. 59
Micron v. YMTC
IPR2024-00794

deposition (CVD) process. The channel insulating layer 204 can be made of SiO_2, and the top and bottom channel contacts can be made of polysilicon.

[0064] As shown in FIGS. 1C-1/1D-1, the channel structure 30 can have a cylindrical shape. However, the present disclosure is not limited thereto, and the channel structures 30 may be formed in other shapes, such as a square pillar-shape, an oval pillar-shape, or any other suitable shapes.

[0065] FIGS. 1C-2/1D-2 provides another configuration to dispose the top channel contact 214 in the channel structure 30. As shown in FIGS. 1C-2/1D-2, the top channel contact 214 is formed along the insulating layer 60a and over the channel layer 206, tunneling layer 208, charge trapping layer 210, barrier layer 212, and channel insulating layer 204. A bottom surface of the top channel contact 214 is in direct contact with a top surface of the channel layer 206. Comparing to the top channel contact 214 in FIGS. 1C-1/1D-1, the top channel contact 214 in FIGS. 1C-2/1D-2 has a larger size which in turn provides a bigger process window to dispose a subsequently formed Via over the top channel contact.

[0066] FIG.1E is an equivalent circuit diagram of a 3D NAND memory device, in accordance with exemplary embodiments of the disclosure. As shown in FIG. 1E, the circuit diagram includes a memory cell block 200 or memory cell array 200. The memory cell block 200 can include a plurality of vertical NAND memory cell strings ST0-ST17. Each of the memory cell strings can have one or more bottom select transistors (BSTs), one or more dummy BSTs (DUMBSTs), a plurality of memory cells (MCs), one or more dummy top select transistors (DUMTSTs), and one or more TSTs. For example, a memory cell string ST0 can have a BST, two dummy BSTs (DUMBST0

Micron Ex. 1002, p. 60
Micron v. YMTC
IPR2024-00794

and DUMBSTn), 64 memory cells MC0-MC63, two dummy TSTs (DUMTST0 and DUMTSTn), and two TSTs (TST0 and TSTn). A top end of each of the memory cell strings can be a drain region that is connected to a bit line (BL), and a bottom end of each of the memory cell strings can be a source region that is connected to a common source line (CSL). For example, the memory cell string ST0 is connected to a bit line BL1 through the drain region of the TSTn and is connected to a CSL through the source region of the BST.

[0067] The memory cell block 200 can be divided into six sub-blocks from SUB-BLK0 to SUB-BLK5 by the first and second trenches that are illustrated in FIG. 1A. Each of the sub-blocks can have a respective set of memory cell strings. For example, SUB-BLK0 can include a set of memory cell strings ST0, ST6 and ST12, and SUB-BLK1 can include another set of memory cell strings ST1, ST7 and ST13.

[0068] In a related memory cell block, such as a memory cell block 400 shown in FIG. 3B, a bottom select gate (BSG) of each of the memory cell strings are connected to each other and shared. Similarly, a dummy BSG of each of the memory cell strings is also connected to each other and shared. In the memory cell block 200, the bottom select gate BSG and the dummy BSGs (e.g., DUMBSG0 and DUMBSGn) can be separated into a plurality of sub-BSGs and sub-dummy BSGs by the first trenches, such as 26 and 28 illustrated in FIG. 1A. For example, the BSG can be separated by the first trenches into a plurality of sub-BSGs from BSG0 to BSG5. In addition, the top select gates TSGs (e.g., TSG0 and TSGn), and the dummy TSGs (e.g., DUMTSG0 and DUMTSGn) can be separated into a plurality of sub-TSGs and sub-dummy TSGs by the second trenches,

Micron Ex. 1002, p. 61
Micron v. YMTC
IPR2024-00794

such as 56 and 58 illustrated in FIG. 1A. For example, the TSG0 can be separated by the second trenches into a plurality of sub-TSGs from TSG0-0 to TSG0-5.

[0069] Accordingly, the BSTs, the dummy BSTs, the dummy TSTs, and the TSTs in each of the sub-blocks can have respective control gates that are sub-BSGs, sub-dummy BSGs, sub-dummy TSGs and sub-TSGs respectively. For example, in SUB-BLK0, the BSTs of the strings ST0, ST6 and ST12 have an individual control gate of BSG0 that is formed by the first trenches to separate the control gate BSG, and the TST0s of the strings ST0, ST6, ST12 have an individual control gate of TSG0-0 that is formed by the second trenches to separate the control gate TSG. Similarly, in SUB-BLK1, the BSTs of ST1, ST7 and ST13 have a control gate of BSG1 and the TST0s of ST1, ST7 and ST13 have a control gate of TSG0-1. Without the introduction of the first/second trenches, the memory cell block 200 has shared BSG, dummy BSGs, dummy TSGs, and TSG. An exemplary shared BSG is illustrated in FIGS. 3A and 3B where the BSG of each of the memory cell strings are connected to each other and shared.

[0070] By introducing such a divided BSG structure, the disclosed 3D-NAND memory device can effectively reduce parasitic capacitance and coupling effects between the BSG and adjacent dielectric layers, and significantly improve V_t performance of the bottom select transistors (BSTs). In addition, the divided BSG structure allows erasing a specific sub-block rather than the entire block 200. Accordingly, the erasing time and data transfer time could be reduced significantly, and data storage efficiency can be improved as well. Further, the divided TSG structure allows reading/programming a specific sub-block rather than the entire block 200, which in turn reduces the reading/programming time and improves the data transfer/storage efficiency.

Micron Ex. 1002, p. 62
Micron v. YMTC
IPR2024-00794

[0071] In the memory cell block 200, the sub-blocks can share one or more word lines. For example, as shown in FIG. 1E, 18 MCns in six sub-blocks are connected to each other and have a common/shared word line WLn. Similarly, other MCs in all six sub-blocks can also have common/shared word lines.

[0072] The each of the sub-blocks can have one or more bit line connections. For example, in sub-block SUB-BLK0, the memory cell string ST0 is connected to BL1, the memory cell string ST6 is connected to BL2, and the memory cell string ST12 is connected to BLn. In the disclosed memory cell block 200, all the 18 memory cell strings are connected to a same CSL (or common source region).

[0073] Still referring to FIG. 1E, each of the memory cell strings can be constituted by one or more sub-BSGs, one or more sub-dummy BSGs, a plurality of word lines, one or more sub-dummy TSGs, one or more sub-TSGs, and a channel structure that pass through the sub-TSGs, sub-dummy TSGs, word lines, sub-dummy BSGs, and sub-BSGs, and is electrically coupled to a substrate/a same common source region (i.e., CSL). For example, a memory cell string ST0 can be constituted by a channel structure 30, a sub-BSG 62p-1 (i.e., BSG0 in FIG. 1E), two sub-dummy BSGs 62n-1 and 62o-1, word lines 62d-62m, two sub-dummy TSGs 62b-1 and 62c-1, and a sub-TSG 62a-1(i.e., TSG0-1 in FIG. 1E), which are illustrated in FIG. 1A. It should be noted that the TSGn is not illustrated in FIG. 1A. Accordingly, the bottom select transistor (BST) of the string ST0 can be constituted by the channel structure 30 and the sub-BSG 62p-1. A memory cell, such as MC63 can be constituted by the channel structure 30 and the world line 62d. The top select transistor TST0 can be formed by the channel structure 30 and the sub-TSG 62a-1. The DUMSTST0 can be formed by the channel structure 30 and the sub-

Micron Ex. 1002, p. 63
Micron v. YMTC
IPR2024-00794

dummy TSG 62c-1. The common source line (CSL) illustrated in FIG. 1E can be the common source region 52 illustrated in FIG. 1A.

[0074] FIG. 2 is a schematic perspective view of a 3D NAND memory device, in accordance with exemplary embodiments of the disclosure. As shown in FIG. 2, a plurality of dummy channel structures, such as 40, 42, 44, 46, 48, and 50 are disposed in the staircase regions. A plurality of channel structures, such as 30 and 38, are positioned in the core region. Two first trenches (26 and 28) and two second trenches (56 and 58) are formed along the X-direction, aligned at the Y-direction, and spaced apart from each other by a plurality of word lines 62d-62m. The first trenches separate the BSG 62p, the dummy BSGs (62n and 62o) into a plurality of sub-BSGs and a plurality of sub-dummy BSGs respectively. For example, three sub-BSGs 62p-1, 62p-2, and 62p-3 are included in embodiment shown in FIG. 2. Similarly, the second trenches separate the TSG 62a, the dummy TSGs (62b and 62c) into a plurality of sub-TSGs and a plurality of sub-dummy TSGs respective. A plurality of insulating layers 60a-60q are formed between the substrate, the BSG, the dummy BSGs, the word lines, the dummy TSGs, and the TSG. A common source region 52 is formed along the X-direction and disposed with the first and second trenches in parallel. The common source region 52 passes through the TSG, the dummy TSGs, the word lines, the dummy BSGs, and the BSG, and extends into the substrate 10. The common source region 52 is separated by the H-Cut 72 into two sub common source regions.

[0075] FIG. 3A is a cross-sectional view of a related 3D NAND memory device 300 that is obtained along a Z-direction (height direction) of a substrate. Comparing to the

Micron Ex. 1002, p. 64
Micron v. YMTC
IPR2024-00794

memory device 100, the related memory device 300 does not include the first trenches, such as 26 and 28 that are illustrated in FIG. 1A.

[0076] FIG. 3B illustrates an equivalent circuit diagram of the related 3D NAND memory device 300. As shown in FIG. 3B, the circuit diagram includes a memory cell block or memory cell array 400. The memory cell block 400 can include six sub-blocks from SUB-BLK0 to SUB-BLK5 by the second trenches, such as 56 and 58 in FIG. 3A. Similar to the memory device 100, the top select gates TSGs (e.g., TSG0 and TSGn), and the dummy TSGs (e.g., DUMTSG0 and DUMTSGn) can be separated into a plurality of sub-TSGs and sub-dummy TSGs by the second trenches. For example, the TSG0 can be separated by the second trenches into a plurality of sub-TSGs from TSG0-0 to TSG0-5. Accordingly, each of the sub-blocks can have respective sub-TSGs and respective sub-dummy TSGs. For example, a sub-block SUB-BLK0 can have a sub-TSG TSG0-0, and a sub-block SUB-BLK1 can have a sub-TSG TSG0-1. The difference between the related memory device 300 and the disclosed memory device 100 is that in the related memory device 300, the BSG or dummy BSGs (e.g., DUMBSG0 and DUMBSGn) in each of the sub-blocks are connected to each other and shared.

[0077] FIG. 4A is a schematic diagram of an operation parameter to erase a related 3D NAND memory device 300, in accordance with exemplary embodiments of the disclosure. Figure 4B is a schematic diagram of another operation parameter to erase a 3D-NAND memory device 100, in accordance with exemplary embodiments of the disclosure.

[0078] As shown in FIG. 4A, during erasing the related 3D-NAND memory device 300, the word lines that control the memory cells (MCs) are set to an operating voltage

Micron Ex. 1002, p. 65
Micron v. YMTC
IPR2024-00794

equal to zero volt (V). An input voltage applied to the HVPW, such as the HVPW 14 in FIG. 3A, can be set to a first operating voltage V1. The first operating voltage V1 can be positive and have a value between 18 V and 22 V. An input voltage to a selected BSG of a specific sub-block, such as SUB-BLK0 in FIG. 3B, can be set to a second operating voltage V2 that can be lower than the first operating voltage but still positive. For example, the second operating voltage V2 can be in a range from zero volt to 13 V. In addition, the dummy BSGs in the specific sub-block can be set to a switch voltage (not shown in FIG. 4A) that is 0.5 V-2 V lower than the second operating voltage V2. In some embodiments, the selected BSG and the selected dummy BSGs in the specific sub-block can be set to float.

[0079] A detailed erasing process can be described base on the channel structure 30 that is illustrated in FIGS. 1C and 1D and the memory cell string ST0/sub-block SUB-BLK0 that is illustrated in FIGS. 1E and 3B. It should be mentioned again, the memory cell string ST0 can be constituted by the channel structure 30 and the surrounding BSG, dummy BSGs, word lines, dummy TSGs, and TSG that are illustrated in FIGS. 1C and 1D.

[0080] As shown in FIGS. 1C and 1D, when the first operating voltage is applied to the HVPW 14, the first operating voltage V1 is electrically coupled to the channel layer 206 via the bottom channel contact 202. Because the word lines 62d-62m are all set to an operating voltage equal to zero volt, the channel layer 206 forms a relatively high electric potential with respect to the word lines. The formed high electric potential attracts the electrons that are trapped in the trapping layer 210 back to the channel layer 206. In addition, holes can be injected into the channel layer by the first operating

Micron Ex. 1002, p. 66
Micron v. YMTC
IPR2024-00794

voltage V1 from the HVPW 14/common source region 52. The injected holes can sustain a positive potential in the channel layer and further recombine with the attracted electrons in the channel layer 206. When the electron-hole recombination is completed, the memory cell string ST0 is erased. Accordingly, the input voltages V1, V2 are set to zero volt.

[0081] During the easing operation, the selected BSG is either set to float or set to the second operating voltage V2 that allows the selected BSG to stay at a positive voltage relatively lower than the first voltage V1 that is applied to the HVPW 14. Such a relative lower voltage can reduce the electric filed across the gate dielectric (e.g., gate dielectric layer 216 shown in FIG. 1C) and the reduced electric field in turn can prevent the gate dielectric layer from breaking down. In some embodiments, the second voltage V2 applied to the selected BSG can further help generate hole through a gate induced drain leak (GIDL) effect and improve the holes to flow from the substrate to a top portion of the channel layer 206 (e.g., a position close to the TSG).

[0082] In some embodiments, the dummy BSGs are either set to float or set to the switch voltages (not shown). The applied switch voltages can be reduced gradually in the direction from BSG 62p toward word line 62m. A gradual reduction in the voltage on dummy BSGs in the direction from BSG toward word lines may reduce the electric field between the BSG (set at a high voltage) and word lines (set at a low voltage, such as zero), hence reducing carrier generation between BSG and word lines and eliminating erase disturb.

[0083] Since the related memory device 300 has a common or shared BSG, when the second voltage V2 is applied to the BSG of string ST0/SUB-BLK0 during the easing

Micron Ex. 1002, p. 67
Micron v. YMTC
IPR2024-00794

operation, the bottom select transistors (BSTs) in rest of 17 memory cell strings ST1-ST17 can also be affected and turned on by the second operating voltage V2. Correspondingly, the erasing operation can take place in all six sub-blocks. As the 3D-NAND memory device migrates to higher capacity with an increasing block size, the common/shared BSG can induce longer erasing time, longer data transfer time, and lower storage efficiency.

[0084] FIG. 4B is a schematic diagram of another operation parameter to erase a 3D NAND memory device 100. As shown in FIG. 1E, each of the sub-blocks illustrated in FIG. 1E can have a respective sub-BSG that is formed by introducing the first trenches to separate the BSG. When an erasing operation is started, the second voltage V2 can be applied to a respective sub-BSG of a selected sub block. For example, if the SUB-BLK0 is selected, the second voltage V2 can be applied to the corresponding sub-BSG BSG0. In addition, a third voltage V3 can be applied to a respective sub-BSG of an un-selected sub block. For example, if the SUB-BLK1 is un-selected, the third voltage V3 can be applied to the corresponding sub-BSG BSG1. The third voltage V3 can be close to the first voltage V1 and higher than the second voltage V2. For example, the V3 can be ranged from 18 V to 25 V. The relative higher third voltage V3 with respect to the second voltage V2 can repeal the holes that are generated from the HVPW/substrate and inhibiting the holes from flowing into the channel layer of the un-selected sub-block. Accordingly, the erasing process can take place in the selected sub-block only, and the erasing time and data transfer time could be reduced significantly, and data storage efficiency can be improved as well.

Micron Ex. 1002, p. 68
Micron v. YMTC
IPR2024-00794

[0085] Figures 5A through 11D are cross-sectional and top down views of various intermediary steps of manufacturing a 3D-NAND memory device 100 in accordance with exemplary embodiments of the disclosure.

[0086] FIG. 5A is a cross-sectional view that is obtained along a Z-direction (i.e., height direction) of a substrate. As shown in FIG. 5A, a plurality of doped regions 12, 14, 16, 18, 20, 22, and 24 are formed in a substrate 10 based on a photolithography process and a doping and/or ions implantation process. The doped regions in FIG. 5A may be substantially similar to the doped regions discussed above with reference to FIG. 1A. In order to form the doped regions, a patterned mask can be formed over the substrate by the photolithography process. The patterned mask exposes desired regions of the substrate that need dopant. A doping process, such as an ion implantation process, an in situ doped epitaxial growth, a plasma doping process (PLAD), or other methods as known in the art, can be applied to transfer suitable dopant into the exposed regions of the substrate 10. A dopant concentration, a doping profile, and a doping depth can be controlled by adjusting the energy, angle and dopant type of the doping process.

[0087] Over the substrate 10, a bottom select gate (BSG) 62p, two dummy BSGs 62n-62o, and a plurality of first insulating layers 62n-62q can be subsequently formed. The substrate 10, BSG 62p and the dummy BSGs 62n-62o are spaced apart from each other by the first insulating layers 60n-60q.

[0088] The BSG 62p and the two dummy BSGs 62n-62o can be sacrificial layers that are made of SiN. The sacrificial layers can be removed and replaced with a high K layer and a metal layer in future manufacturing steps. The BSG 62p and the two dummy

Micron Ex. 1002, p. 69
Micron v. YMTC
IPR2024-00794

BSGs 62n-62o can have a thickness in a range from 10 nm to 100 nm. The first insulating layer can include SiO, SiCN, SiOCN, or other suitable materials. The first insulating layers 60n-60q can have a thickness from 5 nm to 50 nm. Any suitable deposition process can be applied to form the BSG, the dummy BSGs and the first insulating layers, such as chemical vapor deposition (CVD), physical vapor deposition (PVD), atomic layer deposition (ALD), diffusion, or any combination thereof.

[0089] Still referring to FIG. 5A, two first trenches 26 and 28 can be formed in the BSG 62p and dummy BSGs 62n-62o when the BSG, dummy BSGs and the first insulating layers are stacked over the substrate 10. The first trenches 26 and 28 extends in a X-direction (i.e., a length direction) of the substrate 10 to separate the BSG 62p and the dummy BSGs 62n-62o into a plurality of sub-BSGs and sub-dummy BSGs. For example, three sub-BSGs 62p-1 to 62p-3, and three sub-dummy BSGs 62n-1 to 62n-3 are included in FIG. 5A.

[0090] The first trenches 26 and 28 can have a CD from 50 nm to 150 nm. The first trenches can be filled wtih SiO_2, SiON, SiOCN, or other suitable dielectric materials. In some embodiments, the first trenches 26 and 28 can extend into the HVPW 14 with a depth between 10 nm and 100 nm. The first trenches can be formed by a photolithography process, a subsequent etching process, filling with dielectric materials then CMP (Chemical Mechanical Polish) when necessary. For example, a patterned mask stack can be formed over the insulating layer 60n by the photolithography process. A subsequent etching processing can be introduced to etch through the insulating layers, the BSG, the dummy BSGs and further extend into the HVPW 14 to form two trench openings. The trench openings then can be filled with a dielectric

Micron Ex. 1002, p. 70
Micron v. YMTC
IPR2024-00794

material, such as SiO_2, SiON, SiOCN, or other suitable materials by applying a chemical vapor deposition (CVD), physical vapor deposition (PVD), atomic layer deposition (ALD), diffusion, or any combination thereof. A surface planarization may be performed to remove any excessive dielectric materials over the insulating layer 60n.

[0091] FIG. 5B is cross-sectional view that is obtained along an X-direction (a length direction) of the substrate, and FIG. 5C is a top down view to illustrate a final structure when the first trenches 26 and 28 are formed. As shown in FIG. 5B, the first trenches 26 and 28 cannot be observed when the cross-sectional view is made along the X-direction (length direction) of the substrate 10. In FIG. 5C, the insulating layer 60n is shown as a top surface and the two first trenches 26 and 28 extend along the length direction of the substrate and further separate the substrate 10 into three equal regions.

[0092] In FIG. 6, a plurality of word lines 62d-62m, two dummy top select gates (TSGs) 62b-62c, and a TSG 62a are sequentially formed on the first insulating layer 60n. A plurality of second insulating layers 60a-60m are also deposited over the first insulating layer 60n. The world lines 62d-62m, the dummy TSGs 62b-62c, and the TSG 62a are spaced apart from each other by the second insulating layers 60a-60m. The world lines 62d-62m, the dummy TSGs 62b-62c, and the TSG 62a can be sacrificial layers that are made of SiN and have a thickness in a range from 10 nm to 100 nm. The sacrificial layers can be removed and replaced with a high K layer and a metal layer in the future manufacturing steps. The second insulating layers 60a-60m can have a thickness between 5 nm and 50 nm, and include SiO_2, SiCN, SiOCN, or other suitable materials. Any suitable deposition process can be applied to form the TSG, the dummy TSGs and the second insulating layers, such as chemical vapor deposition (CVD),

Micron Ex. 1002, p. 71
Micron v. YMTC
IPR2024-00794

physical vapor deposition (PVD), atomic layer deposition (ALD), diffusion, or any combination thereof.

[0093] In FIG. 7A, two staircase regions 100A and 100C are formed. The formation of the two staircase regions 100A and 100C can be illustrated in exemplary manufacturing steps that are shown in FIGS. 7B-7F. As shown in FIG. 7B, a plurality of word sacrificial lines 62a-62c and a plurality of insulating layers 60a-60c can be formed and disposed alternatively. A patterned mask stack 702 can be formed on the insulating layer 60a. The patterned mask stack 702 exposes two end portions of the insulating layer 60a. The mask stack 702 can include an amorphous carbon hard-mask layer, a dielectric anti-reflective coating (DARC), a bottom anti-reflective coating (BARC) layer, and a photoresist layer. In some other embodiments, the mask stack 702 can be only photoresist for staircase formation. The mask stack 702 can be patterned according to any suitable technique, such as a lithography process (e.g., photolithography or e-beam lithography) which may further include photoresist coating (e.g., spin-on coating), soft baking, mask aligning, exposure, post-exposure baking, photoresist developing, rinsing, drying (e.g., spin-drying and/or hard baking), and the like.

[0094] In FIG. 7C, a first plasma etching process can be performed to remove the exposed end portions of the insulating layer 60a. The fist plasma etching process further removes portions of underlying word line 62a that are not protected by the mask stack 702 and stops on the insulating layer 60b by a precise process control. In FIG. 7D, a trim process can be applied to remove portions of the mask stack 702 from two ends to expose the insulating layer 60a further. The exposed portions of the insulating layer 60a

Micron Ex. 1002, p. 72
Micron v. YMTC
IPR2024-00794

can be two end portions 60a-A and 60a-B. In addition, the insulating layer 60b can have exposed end portions 60b-A and 60b-B.

[0095] In FIG. 7E, a second etching process can be performed. The second etching process can remove the exposed end portions 60a-A and 60a-B from insulation layer 60a. By precisely controlling the second etching process either through an etching time or end point traces, the second etching process further removes portions of word line 62a under the 60a-A and 60a-B and stops on the insulating layer 60b. In the meanwhile, the exposed end portions 60b-A and 60b-B from insulating layer 60b and portions of word line 62b under the 60b-A and 60b-B can be removed simultaneously. Upon the completion of the second etching process, two staircase regions can be formed at two sides. In FIG. 7F, a subsequent plasma ashing can be applied to remove the remaining mask stack 702. Briefly, a multi-cycle Trim - Etch process on multiple masks (As illustrated in FIGS. 7B-7F) can be applied to form the staircase 100A and 100C in FIG. 7A.

[0096] In FIG. 8A, two second trenches 56 and 58 can be formed in the TSG 62a and dummy TSGs 62b-62c. The second trenches 56 and 58 extend in the X-direction (i.e., a length direction) of the substrate 10 to separate the TSG 62a and the dummy TSGs 62b-62c into a plurality of sub-BSGs, and a plurality of sub-dummy BSGs respectively. For example, three sub-BSGs 62a-1, 62a-2, and 62a-3 can be included in FIG. 8A. In some embodiments, the second trenches 56 and 58 can be aligned with the first trenches 26 and 28 in the Y-direction (width direction) of the substrate.

[0097] The second trenches 56 and 58 can have a CD 50 nm to 150 nm and include SiO_2, SiON, SiOCN, or other suitable dielectric materials. The second trenches can be

Micron Ex. 1002, p. 73
Micron v. YMTC
IPR2024-00794

formed by a photolithography process and a subsequent etching process. For example, a patterned mask stack can be formed over the insulating layer 60a based on the photolithography process. The subsequent etching processing is introduced to etch through the insulating layers 60a-60d, the TSG 62a, the dummy BSGs 62b-62c and stop on the word line 62d to form two trench openings. The trench openings then can be filled with a dielectric material, such as SiO_2, SiON, SiOCN, or other suitable materials by applying a chemical vapor deposition (CVD), physical vapor deposition (PVD), atomic layer deposition (ALD), diffusion, or any combination thereof. A surface planarization, such as a CMP process, can be performed to remove any excessive dielectric materials over the insulating layer 60a. After the surface planarization, the dielectric material that remains in the trench openings forms the second trenches.

[0098] FIG. 8B is cross-sectional view that is obtained along the X-direction (length direction) of the substrate, and FIG. 8C is a top down view to illustrate a final structure when the second trenches 56 and 58 are formed. As shown in FIG. 8B, both the first and the second trenches cannot be observed when the cross-sectional view is made along the X-direction (length direction) of the substrate 10. In FIG. 8C, the insulating layer 60a is a top layer. The second trenches 56 and 58 are formed along the length direction of the substrate and further are aligned with the first trenches 26 and 28 in the Y-direction (width direction) of the substrate 10. The first trenches and the second trenches together separate the substrate 10 into three regions (or sub-blocks). In addition, two staircase regions 100A and 100C are positioned at two sides and a core region 100C is positioned in middle of the substrate.

Micron Ex. 1002, p. 74
Micron v. YMTC
IPR2024-00794

[0099] FIG. 9A is a cross-sectional view obtained in the Z-direction (height direction) of the substrate to illustrate the formation of a plurality of channel structures. In order to form the channel structures, a plurality of channel openings can be formed firstly. The channel openings can be formed through a photolithography process to form a patterned mask and a subsequent etching process to transfer the patterns of the mask. The formed channel openings can pass through the TSG, the dummy TSGs, the word lines, the dummy BSGs, and the BSG, and further extend into the HVPW 14. Each of the channel openings can have side portions and a bottom portion to expose the HVPW 14. When the channel openings are formed, a plurality of bottom channel contacts, such as the bottom channel contact 202 illustrated in FIG. 1C, can be formed at the bottom portions of the channel openings. Each of the channel openings can have a respective bottom contact at the bottom portion. The bottom channel contacts can protrude from the BSG 62p, and a top surface of each of the bottom channel contacts can be positioned between the BSG 62p and the dummy BSG 62o.

[0100] Still referring to FIG. 9A, once the bottom channel contacts are formed, a barrier layer, a charge trapping layer, and a tunneling layer can be formed sequentially along the side portions of the channel openings and over the bottom channel contacts. A subsequent anisotropic plasm etching can be applied to remove portions of the barrier layer, the charge trapping layer, and the tunneling layer that are disposed over the bottom channel contacts to form a plurality of interconnect opening. Each interconnect opening exposes a respective bottom channel contact. A channel layer can be formed subsequently along the side portions of the channel openings and further extends through the interconnect openings to connect the bottom channel contacts.

Micron Ex. 1002, p. 75
Micron v. YMTC
IPR2024-00794

[0101] Once the channel layer is formed, the channel layer can have side portions that are formed along the tunneling layer and a T-shape bottom portion that extends through bottom portions of the tunneling layer, the charge trapping layer, and the barrier layer that are positioned over the bottom channel contact. The T-shape bottom portion of the channel layer is in direct contact with the bottom channel contact, which can be shown in FIGS. 1C and 1D. In addition, the tunneling layer, the charge trapping layer, and the barrier layer can form an L-foot configuration in the channel openings. The L-foot configuration can include side portions that are formed along the sidewalls of the channel openings and a bottom portion over the bottom channel contacts.

[0102] In some embodiments, once the channel layer is formed, a subsequent annealing process can be applied, one is to release wafer stress, the other is to reduce defects (dangling bonds), in some cases, it's also to transform the channel layer into polycrystalline. In some embodiments, the formation of the channel structure further includes forming a channel insulating layer over the channel layer to fill the channel openings, and forming a top channel contact over the channel insulating layer and the top channel contact is in direct contact with the channel layer. A detailed channel structure can be illustrated in FIGS. 1C and 1D.

[0103] FIG. 9B is top down view to illustrate the formation of a plurality of channel structures. As shown in FIG. 9B, the plurality of channel structures can be formed in the core region 100B and separated by the second trenches 56 and 58 into 3 sub-blocks.

[0104] FIG. 10A is a cross-sectional view obtained in the Z-direction (height direction) of the substrate to illustrate the formation of a plurality of dummy channel structures 40, 42, 44, 46, 48, and 50. The dummy channel structures serve as sustain

Micron Ex. 1002, p. 76
Micron v. YMTC
IPR2024-00794

components to support the staircase regions 100A and 100C and/or the core regions 100B when sacrificial word lines are removed and replaced with metals. In order to form the dummy channel structures, a plurality of dummy channel openings can be formed firstly. The dummy channel openings can be formed through a photolithography process to form a patterned mask and a subsequent etching process to transfer the patterns of the mask. The dummy channel openings can be formed in the staircase regions. The formed dummy channel openings can pass through the word lines, the dummy BSGs, and the BSG, and further extend into the HVPW 14. Each of the dummy channel openings can have side portions and a bottom portion to expose the HVPW 14. When the dummy channel openings are formed, a dielectric layer can be formed to fill the dummy channel openings. The dielectric layer can include SiO_2, SiCN, SiOCN, or other suitable materials. A subsequent surface planarization, such as a CMP process, may be required to remove any excessive dielectric layer over the insulating layer 60a. Once the surface planarization is completed, the dielectric layer that remains in the dummy channel openings forms the dummy channel structures.

[0105] In some embodiments, the dummy channel structures can have a critical dimension (CD) between 50 nm and 200 nm. In some embodiments, the dummy channel structures can extend into the HVPW 14 with a depth between 10 nm and 200 nm. The dummy channel structures can have a circular shape. In some embodiments, the dummy channel structures can have non-circular shapes, such as a capsule shape, a rectangular shape, an arc shape, a bone shape, and the like. The non-circular shapes can be adjusted by two or more parameters, such as width, length, arc radius, arc angle, and the like. Further, in some embodiments, the non-circular shapes can be arranged in a

Micron Ex. 1002, p. 77
Micron v. YMTC
IPR2024-00794

symmetric pattern or in a non-symmetric pattern with regard to other contacts in the staircase regions.

In some embodiments, the dummy channel structures can be formed before the staircase region is formed. In some embodiments, the dummy channel structures can be formed in the core region. Accordingly, the dummy channel structures can pass through the BSG, the dummy BSGs, the plurality of word lines, the dummy TSGs, the TSG and the plurality of insulating layers to extend into the substrate. In some embodiments, the dummy channel structures can be formed with the channel structure together and have a similar structure to the channel structure. For example, the dummy structure can also include a barrier layer, a trapping layer, a tunneling layer, and a channel layer.

[0106] FIG. 10B is top down view to illustrate the formation of the plurality of dummy channel structures. As shown in FIG. 10B, the plurality of dummy channel structures can be formed in the two staircase regions 100A and 100C, and also core array region 100B (Especially, at the transition zones of core to staircase regions).

[0107] FIG. 11A is a cross-sectional view obtained in the Z-direction (height direction) of the substrate to illustrate the formation of one or more common source regions. In order to form the channel structures, one or more common source openings can be formed firstly. The common source openings can be formed through a photolithography process to form a patterned mask and a subsequent etching process to transfer the patterns of the mask. The formed common source openings pass through the TSG, the dummy TSGs, the word lines, the dummy BSGs, and the BSG, and further extend into the HVPW 14. Each of the common source openings can have side portions and a bottom portion that extend into the HVPW. The common source openings can

Micron Ex. 1002, p. 78
Micron v. YMTC
IPR2024-00794

further extend along the X-direction (Length direction) of the substrate, and are parallel disposed with the first and second trenches.

[0108] FIG. 11B shows an exemplary embodiment of the formation of the common source openings. As shown in FIG. 11B, two common source openings 52b' and 52C' are formed at two boundaries of the substrate with a continuous configuration. The common source regions 52a and 52c can be subsequently formed within the common source openings 52b' and 52c' respectively. A common source opening 52a' is formed at a middle position of the substrate. The common source opening 52a' can include two or more sub-openings based on the formed pattern of mask. For example, two sub-openings 52a-1' and 52a-2' are included in FIG. 11B. A space between the two sub-openings 52a-1' and 52a-2' forms an H-Cut, such as the H-Cut 72 in FIG. 11B. Common source regions 52a-1 and 52a-2 can be formed within the two sub-openings 52a-1' and 52a-2' respectively.

[0109] After the common source openings are formed, subsequent manufacturing steps to complete the formation of the common source regions can be different between a gate first manufacturing flow and a gate last manufacturing flow. In the gate first manufacturing flow, an ion implantation can be subsequently applied to form a dope region, such as the doped region 54, at the bottom portion of each of the common source openings. A dielectric spacer, such as the dielectric spacer 68, can be formed along the side portions of the common source openings and over the doped regions. An anisotropic plasm etching can be implemented to remove bottom portion of the dielectric spacer formed over the doped regions to expose the doped regions. A conductive layer, such as the conductive layer 70, can be deposited along the dielectric

Micron Ex. 1002, p. 79
Micron v. YMTC
IPR2024-00794

spacer and fill the common source openings. The conductive layer can be recessed afterward by an etching process, and a top contact, such as the top contact 64, can be formed along the dielectric spacer and over the conductive layer. When the top contact is formed, formation of a common source region is completed and the complete common source region 52 can be illustrated in FIG. 11A.

[0110] However, in the gate last manufacturing flow, when the common source openings are formed, the BSG, dummy BSGs, word lines, dummy TSGs, and TSG are subsequently removed to form a plurality of vacancies by a wet etching chemical that is introduced through the common source openings. An ion implantation can be thereafter applied to form the dope region (e.g., 54) at the bottom portion of each of the common source openings. Following the implantation step, the BSG, dummy BSGs, word lines, dummy TSGs, and TSG are re-formed by filling the vacancies with a high-K layer plus metal layers through the common source openings. Next, a dielectric spacer, such as the dielectric spacer 68, can be formed along the side portions of the common source openings and over the doped regions. A followed anisotropic plasm etching can be implemented to remove bottom portion of the dielectric spacer formed over the doped regions to expose the doped regions. A conductive layer, such as the conductive layer 70, can be deposited along the dielectric spacer and fill the common source openings. The conductive layer can be recessed afterward by an etching process, and a top contact, such as the top contact 64, can be formed along the dielectric spacer and over the conductive layer. When the top contact is formed, formation of the common source regions is completed and the complete common source regions can be illustrated in FIG. 11A.

Micron Ex. 1002, p. 80
Micron v. YMTC
IPR2024-00794

[0111] After the formation of the common source regions, a final memory device 100 is formed which is identical to the memory device 100 illustrated in FIG. 1A.

[0112] FIG. 11C is top down view to illustrate the formation of one or more common source regions. As shown in FIG. 11C, the memory device 100 can have three common source regions 52a-52c. The common source regions 52a-52c are formed along the X-direction (length direction) of the substrate 10 and are disposed at two boundaries and a middle position of the memory device 100. The common source regions 52b and 52C are disposed at two boundaries of the memory device 100 with a continuous configuration. The common source region 52a is disposed at a middle position of the memory device 100. The common source region (CSR) 52a is separated by the H-cut 72 into two sub-CSRs 52a-1 and 52a-2. The first trenches 26 and 28, and the second trenches 56 and 58 are aligned with each other at the Y direction (width direction) of the substrate 10. The first trenches and the second trenches are disposed between two adjacent common source regions.

[0113] FIG. 11D is a cross-sectional view obtained in the X-direction (length direction) of the substrate to illustrate the final structure of the memory device 100. As shown in FIG. 11D, the first trenches, the second trenches and the common source regions cannot be observed from the cross-sectional view that is obtained in the X-direction (length direction) of the substrate.

[0114] FIG. 12 is a flowchart of a process 1200 for manufacturing a 3D NAND memory device 100 in accordance with some embodiments. The process 1200 begins at step 1204 where one or more BSGs and one or more dummy BSGs are formed sequentially over a substrate. In addition, a plurality of first insulating layers are

Micron Ex. 1002, p. 81
Micron v. YMTC
IPR2024-00794

formed between the substrate, the BSGs and the dummy BSGs. The substrate can include a plurality of doped regions to reduce the resistance between the substrate and subsequently formed contact structures. The substrate, BSGs and dummy BSGs are spaced apart from each other by the first insulating layers.

[0115] In step 1206 of the process 1200, one or more first trenches are formed in the BSGs and dummy BSGs. The first trenches pass through the BSGs, dummy BSGs, and the first insulating layers, and extend into the substrate. The first trenches further extend along a X-direction (length direction) of the substrate. The first trenches separate the BSGs, the dummy BSGs into a plurality of sub-BSGs, and sub-dummy BSGs. In some embodiments, steps 1204 and 1206 can be performed as illustrated with reference to FIGS. 5A-5C.

[0116] The process 1200 then proceeds to step 1208 where a plurality of word lines, one or more dummy TSGs, and one or more TSGs are stacked over the dummy BSGs sequentially. In addition, a plurality of second insulating layers are formed over the dummy BSGs and disposed between the dummy BSGs, the word lines, the dummy TSGs, and TSGs. In some embodiments, step 1208 can be performed as illustrated with reference to FIG. 6.

[0117] In step 1210, one or more staircase regions can be formed. The staircase regions are configured to provide spaces to form dummy channel structure as well as word line contacts (not shown). The formation of the staircase regions can be implemented by alternatively repeating a mask patterning process and a plasma etching process. The formed staircase regions are positioned at two sides of the substrate and a

Micron Ex. 1002, p. 82
Micron v. YMTC
IPR2024-00794

core region is position in the middle. In some embodiments, step 1208 can be performed as illustrated with reference to FIGS. 7A-7F.

[0118] The process 1200 proceeds to step 1212 where one or more second trenches are formed in the dummy TSGs and the TSGs. The second trenches extend along the length direction of the substrate. The second trenches further pass through the dummy TSG, the TSGs and a portion of the second insulating layers therebetween. The first trenches and the second trenches are aligned with each other in a width direction of the substrate and are spaced apart by the plurality of word line layers. The TSGs are separated by the second trenches into a group of sub-TSGs, and the TSGs are separated by the second trenches into a group of sub-dummy TSGs. In some embodiments, step 1212 can be performed as illustrated with reference to FIGS. 8A-8C.

[0119] In step 1214 of the process 1200, a plurality of channel structures can be formed in the core region. The formation of the channel structures can be performed as illustrated with reference to FIGS. 9A-9B. Next, a plurality of dummy channel structures can be formed in the staircase regions. The formation of the dummy channel structures can be performed as illustrated with reference to FIGS. 10A-10B.

[0120] It should be understood that the channel structures can also be formed before the staircase region is formed. In some embodiments, the dummy channel structures can be formed in the core region. In some embodiments, the dummy channel structures can be formed with the channel structure together and have a similar structure to the channel structure. For example, the dummy structure can also include a barrier layer, a trapping layer, a tunneling layer, and a channel layer.

Micron Ex. 1002, p. 83
Micron v. YMTC
IPR2024-00794

[0121] Still in step 1214, one or more common source regions can be formed after the formation of the dummy channel structures. The common source regions extend through the BSGs, the dummy BSGs, the word lines, the dummy TSGs, the TSGs, and the first and second insulating layers. Each of the common source regions is electrically coupled with the substrate via a respective doped region. The common source regions, the first trenches and the second trenches further extend parallel to each other along the length direction of the substrate. In some embodiments, the formation of the common source regions further includes removing the BSGs, the dummy BSGs, the word lines, the dummy TSGs, and the TSGs, and re-forming the BSGs, the dummy BSGs, the word lines, the dummy TSGs, and the TSGs with a high-K layer and metal layers. In some embodiments, the formation of the common source regions can be performed as illustrated with reference to FIGS. 11A-11D.

[0122] It should be noted that additional steps can be provided before, during, and after the process 1200, and some of the steps described can be replaced, eliminated, or performed in different order for additional embodiments of the process 1200. In subsequent process steps, various additional interconnect structures (e.g., metallization layers having conductive lines and/or vias) may be formed over the semiconductor device 1200. Such interconnect structures electrically connect the semiconductor device 1200 with other contact structures and/or active devices to form functional circuits. Additional device features such as passivation layers, input/output structures, and the like may also be formed.

[0123] The various embodiments described herein offer several advantages over related memory devices. For example, in the related memory devices, a plurality of

Micron Ex. 1002, p. 84
Micron v. YMTC
IPR2024-00794

memory cell blocks or memory cell arrays can be included. Each of the blocks can include a plurality of vertical NAND memory cell strings. In the related memory device, the vertical NAND memory cell strings in a same block can have a common/shared bottom select gate (BSG). The shared BSG accordingly controls all the bottom select transistors (BSTs) of the vertical NAND memory cell strings in that block simultaneously during operating the related 3D-NAND memory device, such as erasing the related 3D-NAND memory device. As the related 3D-NAND memory device migrates to higher capacity with an increasing block size, the shared BSG can induce longer erasing time, longer data transfer time, and lower storage efficiency.

[0124] In the disclosed memory device, each of the blocks is separated into a plurality of sub-blocks by dividing the shared BSG into a plurality of sub-BSGs through one or more first trenches. Each of the sub-blocks has a respective sub-BSG, and each of the sub-blocks can be operated individually through controlling the respective sub-BSG. By introducing such a divided BSG structure, the disclosed 3D-NAND memory device can effectively reduce parasitic capacitance and coupling effects between the BSG and adjacent dielectric layers, and significantly improve V_t performance of the bottom select transistors (BSTs). In addition, the erasing time and data transfer time could be reduced significantly, and data storage efficiency can be improved as well.

[0125] In the disclosed memory device, the each of sub-blocks can further have a respective sub-top select gate (sub-TSG) by dividing a shared TSG into a plurality of sub-TSGs through one or more second trenches. Each of the sub-TSGs can control a respective sub-block during a reading/programming operation. In some embodiments,

Micron Ex. 1002, p. 85
Micron v. YMTC
IPR2024-00794

the first and second trenches can be formed via a same reticle set so that a manufacturing cost can be reduced.

[0126] The foregoing outlines features of several embodiments so that those skilled in the art may better understand the aspects of the present disclosure. Those skilled in the art should appreciate that they may readily use the present disclosure as a basis for designing or modifying other processes and structures for carrying out the same purposes and/or achieving the same advantages of the embodiments introduced herein. Those skilled in the art should also realize that such equivalent constructions do not depart from the spirit and scope of the present disclosure, and that they may make various changes, substitutions, and alterations herein without departing from the spirit and scope of the present disclosure.

Micron Ex. 1002, p. 86
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Yali		SONG	

Residence Information	Non US Residency		
City	Wuhan	Country of Residence	China

Mailing Address of Inventor:

Address 1	Room 7018, No. 18, Huaguang Road		
Address 2	Guandong Science and Technology Industrial Park, East Lake High-Tech Development Zone		
City	Wuhan	State/Province	Hubei
Postal Code	430074	Country	China

Inventor 2

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Li Hong		XIAO	

Residence Information	Non US Residency		
City	Wuhan	Country of Residence	China

Mailing Address of Inventor:

Address 1	Room 7018, No. 18, Huaguang Road		
Address 2	Guandong Science and Technology Industrial Park, East Lake High-Tech Development Zone		
City	Wuhan	State/Province	Hubei
Postal Code	430074	Country	China

Inventor 3

Micron Ex. 1002, p. 87
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

Legal Name				
Prefix	**Given Name**	**Middle Name**	**Family Name**	**Suffix**
	Ming		WANG	

Residence Information	**Non US Residency**		
City	Wuhan	**Country of Residence**	China

Mailing Address of Inventor:

Address 1	Room 7018, No. 18, Huaguang Road		
Address 2	Guandong Science and Technology Industrial Park, East Lake High-Tech Development Zone		
City	Wuhan	**State/Province**	Hubei
Postal Code	430074	**Country**	China

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	22850
Email Address	oblonpat@oblon.com

Application Information:

Title of the Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		
Attorney Docket Number	521129US	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	21	**Suggested Figure for Publication (if any)**	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Micron Ex. 1002, p. 88
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	■ Customer Number	☐ US Patent Practitioner	☐ Limited Recognition (37 CFR 11.9)
Customer Number	22850		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the application number blank.

Prior Application Status	Pending		
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
	Continuation of	PCT/CN2018/119908	2018-12-07

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX) the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Application Number	Country	Filing Date (YYYY-MM-DD)	Access Code (if applicable)

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

Micron Ex. 1002, p. 89
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78 this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant must opt-out of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

Micron Ex. 1002, p. 90
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

■ Assignee	☐ Legal Representative under 35 U.S.C. 117	☐ Joint Inventor
☐ Person to whom the inventor is obligated to assign.	☐ Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :	

If the Applicant is an Organization check here. ■

Organization Name	YANGTZE MEMORY TECHNOLOGIES CO., LTD.

Mailing Address Information For Applicant:

Address 1	18 Gaoxin 4th Road, East Lake High-Tech Development Zone		
Address 2			
City	Wuhan	**State/Province**	Hubei
Country China		Postal Code	
Phone Number		Fax Number	
Email Address			

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

If the Assignee or Non-Applicant Assignee is an Organization check here. ■

Organization Name	YANGTZE MEMORY TECHNOLOGIES CO., LTD.

Micron Ex. 1002, p. 91
Micron v. YMTC
IPR2024-00794

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	521129US
	Application Number	New Application
Title of Invention	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME	

Mailing Address Information For Assignee including Non-Applicant Assignee:			
Address 1	18 Gaoxin 4th Road, East Lake High-Tech Development Zone		
Address 2			
City	Wuhan	**State/Province**	Hubei
Country China		Postal Code	
Phone Number		Fax Number	
Email Address			

Signature:

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Teddy S. Gron/			Date (YYYY-MM-DD)	2019-03-27
First Name		Last Name		Registration Number	

Teddy S. Gron
Registration No.: 63,062

Micron Ex. 1002, p. 92
Micron v. YMTC
IPR2024-00794

505395397 03/27/2019

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
Stylesheet Version v1.2

EPAS ID: PAT5442191

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT

CONVEYING PARTY DATA

Name	Execution Date
YALI SONG	03/14/2019
LI HONG XIAO	03/14/2019
MING WANG	03/14/2019

RECEIVING PARTY DATA

Name:	YANGTZE MEMORY TECHNOLOGIES CO., LTD.
Street Address:	18 GAOXIN 4TH ROAD, EAST LAKE HIGH-TECH DEVELOPMENT ZONE
City:	WUHAN, HUBEI
State/Country:	CHINA

PROPERTY NUMBERS Total: 1

Property Type	Number
Application Number:	16365725

CORRESPONDENCE DATA

Fax Number: (703)413-2220

Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.

Phone: (703) 413-3000
Email: AAdams@oblon.com
Correspondent Name: OBLON, ET AL.
Address Line 1: 1940 DUKE STREET
Address Line 4: ALEXANDRIA, VIRGINIA 22314

ATTORNEY DOCKET NUMBER:	521129US
NAME OF SUBMITTER:	ARIELLE ADAMS
SIGNATURE:	/ARIELLE ADAMS/
DATE SIGNED:	03/27/2019
	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 3
source=521129USASN#page1.tif
source=521129USASN#page2.tif
source=521129USASN#page3.tif

Atty. Docket No. 521129US

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is 18 Gaoxin 4th Road, East Lake High-Tech Development Zone, Wuhan, Hubei, China (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

Micron Ex. 1002, p. 94
Micron v. YMTC
IPR2024-00794

(c) in any and all inventions described in the patent application identified above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 22850** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

1934285-00463D6P-10. 18. 40. 190
32766-12/03/2019 15:05

Micron Ex. 1002, p. 95
Micron v. YMTC
IPR2024-00794

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: **Yali SONG** Date: 2019.03.14

Signature of Inventor: Yali Song

Inventor: **Li Hong XIAO** Date: 2019.03.14

Signature of Inventor: Lihong Xiao

Inventor: **Ming WANG** Date: 2019.03.14

Signature of Inventor: Ming Wang

1934285-0046400-10.18.40.190
32766-12/03/2019 15:12

Micron Ex. 1002, p. 96
Micron v. YMTC
IPR2024-00794

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 16/365,725

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	300
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	660
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	760
TOTAL CLAIMS (37 CFR 1.16(i))	20 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 460 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1720

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/365,725	03/27/2019	2812	1720	521129US	20	3

CONFIRMATION NO. 4814

22850
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET
ALEXANDRIA, VA 22314

FILING RECEIPT

OC000000107284948

Date Mailed: 04/11/2019

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Yali SONG, Wuhan, CHINA;
Li Hong XIAO, Wuhan, CHINA;
Ming WANG, Wuhan, CHINA;

Applicant(s)

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA;

Assignment For Published Patent Application

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 22850

Domestic Priority data as claimed by applicant

This application is a CON of PCT/CN2018/119908 12/07/2018

Foreign Applications for which priority is claimed (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.) - None.
Foreign application information must be provided in an Application Data Sheet in order to constitute a claim to foreign priority. See 37 CFR 1.55 and 1.76.

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Micron Ex. 1002, p. 98
Micron v. YMTC
IPR2024-00794

If Required, Foreign Filing License Granted: 04/09/2019

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/365,725**

Projected Publication Date: 06/11/2020

Non-Publication Request: No

Early Publication Request: No

Title

NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

Preliminary Class

438

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

Micron Ex. 1002, p. 99
Micron v. YMTC
IPR2024-00794

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 100
Micron v. YMTC
IPR2024-00794

Form PTO 1449 (Modified)	U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE	ATTY DOCKET NO. 521129US	SERIAL NO. 16/365,725
LIST OF REFERENCES CITED BY APPLICANT		INVENTOR(S) Yali SONG, et al.	
		FILING DATE March 27, 2019	GROUP 2827

U.S. PATENT DOCUMENTS

EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	2010/0320528 A1	12-23-2010	JEONG, J. et al.			
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES	TRANSLATION NO
	AO	103226973 A	07-31-2013	China		X
	AP	103680611 A	03-26-2014	China		X
	AQ	103680618 A	03-26-2014	China		X
	AR					
	AS					
	AT					
	AU					
	AV					

OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)

	AW	Combined Chinese Office Action and Search Report issued on Jul. 17, 2019, in Patent Application No. 201880002892.5, citing documents AA and AO-AQ therein, 7 pages (with English Translation of Category of Cited Documents)
	AX	
	AY	
	AZ	☐ Additional References sheet(s) attached

Examiner		Date considered	

*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Docket No. 521129US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF:	Yali SONG, et al.		
SERIAL NO:	16/365,725	GAU:	2827
FILED:	March 27, 2019	EXAMINER:	
FOR:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:
Applicant(s) wish to disclose the following information.

REFERENCES

■ The applicant(s) wish to make of record the reference(s) listed on the attached form PTO-1449 and/or accompanying documents from a corresponding foreign application. Copies of the listed reference(s) are attached, where required, as are either statements of relevancy, English translations of the categories of cited documents for foreign search reports or English translations of foreign Office Actions which provide the statement of relevancy for the foreign language references cited therein, or any readily available partial or full English translations of pertinent portions of any non-English language reference(s).

☐ Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount required under 37 CFR §1.17(p).

CERTIFICATION

☐ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.

☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

■ Please charge any additional fees for the papers being filed herewith and for which no payment is enclosed herewith, or credit any overpayment to deposit account number **15-0030**.

Respectfully submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Maki Saitoh/

Johnny Ma
Registration No. 59,976

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 02/12)

Maki Saitoh
Registration No.: 72,208

Electronic Acknowledgement Receipt

EFS ID:	36639114
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Daniel J. Pereira/Jeeda Oulabi
Filer Authorized By:	Daniel J. Pereira
Attorney Docket Number:	521129US
Receipt Date:	19-JUL-2019
Filing Date:	27-MAR-2019
Time Stamp:	15:22:39
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129USIDS.pdf	15222187 6fdde43debcdddf1bd09ead905bc8e882e7800ce	yes	148

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Foreign Reference	57	148
	Foreign Reference	24	56
	Foreign Reference	10	23
	Non Patent Literature	3	9
	Information Disclosure Statement (IDS) Form (SB08)	2	2
	Transmittal Letter	1	1
Warnings:			
Information:			
	Total Files Size (in bytes):	15222187	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 103680618 A
(43)申请公布日 2014.03.26

(21)申请号 201310155754.X

(22)申请日 2013.04.28

(30)优先权数据
197673/2012 2012.09.07 JP
039874/2013 2013.02.28 JP

(71)申请人 株式会社 东芝
地址 日本东京都

(72)发明人 岩井斋 藤田志郎 助川博
藤泽俊雄 原德正

(74)专利代理机构 北京市中咨律师事务所 11247
代理人 杨晓光 于静

(51)Int.Cl.
G11C 16/06(2006.01)
G11C 16/26(2006.01)

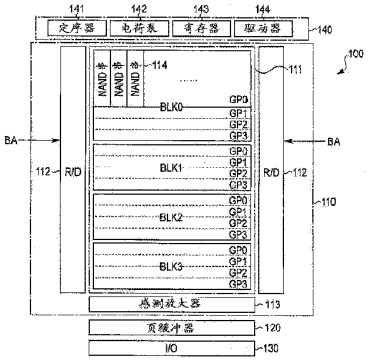
权利要求书2页 说明书30页 附图59页

(54)发明名称

半导体存储器器件和控制器

(57)摘要

本发明涉及半导体存储器器件和控制器。根据一个实施例，一种半导体存储器器件包括多个块。所述块包括第一选择晶体管、第二选择晶体管、多个存储器基元晶体管、第一选择栅极线和第二选择栅极线以及字线。所述块中的一个保持关于包括短路缺陷的字线、第一选择栅极线和/或第二选择栅极线的信息。



CN 103680618 A

Micron Ex. 1002, p. 105
Micron v. YMTC
IPR2024-00794

1. 一种半导体存储器器件，包括：

存储器基元阵列，其以非易失性方式存储数据；以及

控制器，其控制对所述存储器基元阵列的存取，

其中所述存储器基元阵列包括多个块，且所述块中的每个包括：

第一选择晶体管和第二选择晶体管；

多个存储器基元晶体管，其每个包括电荷积累层和控制栅极并层叠在半导体衬底之上，所述存储器基元晶体管在所述第一选择晶体管和所述第二选择晶体管之间被串联连接，

第一选择栅极线和第二选择栅极线，分别连接到所述第一选择晶体管和所述第二选择晶体管的栅极；以及

字线，连接到各个存储器基元晶体管的栅极，以及

所述块中的一个块保持关于包括短路缺陷的字线、第一选择栅极线和/或第二选择栅极线的信息。

2. 根据权利要求 1 所述的器件，其中当存取所述块中的包括所述短路缺陷的一个块时，所述控制器将包括所述短路缺陷的互连设定到相同电势。

3. 一种控制器，其控制根据权利要求 1 所述的半导体存储器器件，所述控制器包括：

处理器，其发布命令以存取所述半导体存储器器件；以及

存储器单元，其保持数据，

其中依赖于存取包括所述短路缺陷的块还是存取不包括所述短路缺陷的块，所述处理器发布不同的命令。

4. 根据权利要求 3 所述的控制器，其中当所述半导体存储器器件上电时，所述控制器从所述半导体存储器器件接收关于所述短路缺陷的信息并将所述信息保持在所述存储器单元中。

5. 根据权利要求 3 所述的控制器，其中当所述半导体存储器器件上电时，所述控制器从所述半导体存储器器件接收坏块信息而不接收关于所述短路缺陷的信息，且

一旦接收存取包括所述短路缺陷的所述块的请求，所述处理器读取来自所述半导体存储器器件的关于所述短路缺陷的所述信息并将所述信息保持在所述存储器部分中。

6. 根据权利要求 3 所述的控制器，其中一但存取包括所述短路缺陷的所述块，所述控制器重写在所述半导体存储器器件的寄存器中保持并关于将被施加到所述字线的电压的信息。

7. 根据权利要求 3 所述的控制器，其中所述控制器确定所述块中的任一个是否包括缺陷，以及

基于与 ROM 熔丝不同的所述半导体存储器器件的区域中的所述确定的结果，重写缺陷信息。

8. 根据权利要求 7 所述的控制器，其中所述控制器将数据从所述块中的一个块擦除并基于当擦除所述数据时所观察到的状态确定所述缺陷是否存在于所述块中的所述一个块中。

9. 根据权利要求 7 所述的控制器，其中所述半导体存储器器件是 NAND 闪存存储器，以及

Micron Ex. 1002, p. 106
Micron v. YMTC
IPR2024-00794

所述控制器使用由 NAND 接口规定的字线间泄漏检查命令来确定是否存在所述缺陷。

10. 根据权利要求 7 所述的控制器，其中所述第一选择晶体管经由位线连接到感测放大器，且所述第二选择晶体管连接到所述源极线，以及

所述短路缺陷包括以下中的一个：

第一选择栅极线之间的短路；

第二选择栅极线之间的短路；

所述第一选择栅极线和所述第二选择栅极线之间的短路；

放置在相同层中的所述字线之间的短路；

放置在不同层中的所述字线之间的短路；以及

所述第二选择栅极线和所述源极线之间的短路。

11. 一种半导体存储器器件，包括：

包含多个块的存储器基元阵列，每个所述块包括在半导体衬底之上层叠并串联连接的多个存储器基元晶体管以及多个连接到所述存储器基元晶体管的各个栅极的字线；以及

控制电路，其控制对所述存储器基元阵列的数据存取，

其中当字线短路缺陷发生在所述块中时，所述控制电路将所述块中的所述字线分为多个区域以管理所述块。

12. 根据权利要求 11 所述的器件，其中所述多个区域沿着层叠所述存储器基元晶体管的方向被布置，

不含有具有短路缺陷的字线的区域作为良好区域被管理，而含有具有短路缺陷的字线作为缺陷区域被管理。

13. 根据权利要求 12 所述的器件，其中所述控制电路数据存取所述良好区域，并避免数据存取所述缺陷区域。

14. 根据权利要求 13 所述的器件，还包括 ROM 熔丝，其以非易失性方式存储关于所述缺陷区域的信息，

其中所述控制电路使用存储在所述 ROM 熔丝中的所述信息来控制所述字线的电压，以将所述缺陷区域设定到未选择状态。

15. 一种控制根据权利要求 12 所述的半导体存储器器件的控制器，其中关于所述缺陷区域的所述信息被从所述半导体存储器器件读取并用于避免存取所述缺陷区域。

16. 根据权利要求 15 所述的控制器，还包括存储单元，其存储关于所述缺陷区域的信息。

Micron Ex. 1002, p. 107
Micron v. YMTC
IPR2024-00794

半导体存储器器件和控制器

[0001] 相关申请的交叉引用

[0002] 本申请是基于并要求享有于 2012 年 9 月 7 日提交的日本专利申请 2012-197673 的优先权，其全部内容通过引用结合于此。

技术领域

[0003] 在此描述的实施例一般涉及半导体存储器器件和控制器。

背景技术

[0004] 已知其中存储器基元被三维布置的 NAND 闪存存储器。

发明内容

[0005] 本发明的实施例改善了存储器器件的制造生产率。

[0006] 通常，根据一个实施例，一种半导体存储器器件包括存储器基元阵列以及控制器。所述存储器基元阵列以非易失性方式存储数据。所述控制器控制对所述存储器基元阵列的存取。所述存储器基元阵列包括多个块。所述块中的每个包括第一选择晶体管、第二选择晶体管、多个存储器基元晶体管、第一选择栅极线、第二选择栅极线和字线。每个所述存储器基元晶体管包括电荷积聚层和控制栅极，且被层叠在半导体衬底之上并串联连接在所述第一选择晶体管和所述第二选择晶体管之间。所述第一选择栅极线和所述第二选择栅极线分别连接到所述第一选择晶体管和所述第二选择晶体管的栅极。所述字线被连接到各个存储器基元晶体管的栅极。所述块中的一个块保持关于包括短路缺陷的字线、第一选择栅极线和 / 或第二选择栅极线的信息。

[0007] 本发明的实施例可改善存储器器件的制造生产率。

附图说明

[0008] 图 1 是根据第一实施例的存储器系统的框图；

[0009] 图 2 是根据第一实施例的半导体存储器器件的框图；

[0010] 图 3 和 4 是根据第一实施例的存储器基元阵列的电路图和透视图；

[0011] 图 5 和 6 是根据第一实施例的存储器基元阵列的横截面图；

[0012] 图 7 是存储器基元阵列的透视图；

[0013] 图 8 是根据第一实施例的行检测器和驱动电路的框图；

[0014] 图 9 是根据第一实施例的测试方法的流程图；

[0015] 图 10 是根据第一实施例的存储器基元阵列的示意图；

[0016] 图 11 是根据第一实施例的块的示意图；

[0017] 图 12 是根据第一实施例的控制器的操作的流程图；

[0018] 图 13 是示出根据第一实施例的命令的图；

[0019] 图 14 和 15 是根据第一实施例的半导体存储器器件的操作的流程图；

Micron Ex. 1002, p. 108
Micron v. YMTC
IPR2024-00794

[0020] 图 16、17 和 18 是根据第一实施例的存储器基元阵列的电路图；

[0021] 图 19 是根据第二实施例的存储器基元阵列的电路图；

[0022] 图 20 是示出根据第二实施例由存储器系统执行的处理的顺序图；

[0023] 图 21 是根据第二实施例的半导体存储器器件的命令顺序图；

[0024] 图 22 是示出根据第二实施例的存储器系统执行的处理的顺序图；

[0025] 图 23 是根据第二实施例的半导体存储器器件的命令顺序图；

[0026] 图 24 是根据第二实施例的存储器基元阵列的电路图；

[0027] 图 25 是示出根据第二实施例由存储器系统执行的处理的顺序图；

[0028] 图 26 是根据第二实施例的半导体存储器器件的命令顺序图；

[0029] 图 27 是示出根据第二实施例由存储器系统执行的处理的顺序图；

[0030] 图 28 是根据第二实施例的半导体存储器器件的命令顺序图；

[0031] 图 29 是根据第二实施例的存储器基元阵列的电路图；

[0032] 图 30 是示出根据第二实施例由存储器系统执行的处理的顺序图；

[0033] 图 31 是根据第二实施例的半导体存储器器件的命令顺序图；

[0034] 图 32 是示出根据第二实施例由存储器系统执行的处理的顺序图；

[0035] 图 33 是根据第二实施例的半导体存储器器件的命令顺序图；

[0036] 图 34 和 35 是根据第三实施例的控制器的操作的流程图；

[0037] 图 36 是示出根据第三实施例由存储器系统执行的处理的顺序图；

[0038] 图 37 是根据第三实施例的控制器的操作的流程图；

[0039] 图 38 是示出根据第三实施例由存储器系统执行的处理的顺序图；

[0040] 图 39 是根据第三实施例的控制器的操作的流程图；

[0041] 图 40 是根据第三实施例由存储器系统执行的处理的顺序图；

[0042] 图 41 是根据第四实施例的寄存器的框图；

[0043] 图 42 是根据第四实施例用于与 SIN 码的存储有关的信号的时序的时序图；

[0044] 图 43 和 44 是根据第四实施例的半导体存储器器件的命令顺序图；

[0045] 图 45 是根据第五实施例的存储器基元阵列的概念图；

[0046] 图 46 是根据第五实施例的控制器的操作的流程图；

[0047] 图 47 是示出根据第六实施例的缺陷和补救方法之间的关系的图；

[0048] 图 48 和 49 是根据第六实施例的存储器基元阵列的透视图和横截面图；

[0049] 图 50 是根据第六实施例的字线的平面图；

[0050] 图 51 是根据第七实施例的半导体存储器器件的框图；

[0051] 图 52 是示出根据第七实施例的写操作中的电压关系的图；

[0052] 图 53 是示出根据第七实施例的用于写抑制的沟道升压（boost）方案的图；

[0053] 图 54 是示出根据第七实施例的用于另一个实例中的沟道升压方案的电压关系的图；

[0054] 图 55 是示出根据第七实施例的读操作中的电压关系的图；

[0055] 图 56 和 57 是示出根据第七实施例用于将块分为多个区域的单元的实例的图；

[0056] 图 58 是根据第七实施例的测试方法的流程图；

[0057] 图 59 是示出根据第七实施例的短路缺陷的实例的横截面图；

Micron Ex. 1002, p. 109
Micron v. YMTC
IPR2024-00794

[0058] 图 60 是示出根据第七实施例的缺陷区域和可用区域间的关系的图；

[0059] 图 61 是示出根据第七实施例的短路缺陷的实例的横截面图；

[0060] 图 62 是示出根据第七实施例的缺陷区域和可用区域间的关系的图；

[0061] 图 63 是根据第七实施例的具有 ROM 熔丝区域的块的示意图；

[0062] 图 64 是示出测试方法的通常流程的流程图；

[0063] 图 65 是示出用于短路测试的施加电压的图；

[0064] 图 66 和 67 是示出用于检测泄漏电流的操作的电路图；

[0065] 图 68 是示出写操作的图；

[0066] 图 69 是示出根据第八实施例的由控制器执行的控制操作的流程图；

[0067] 图 70 和 71 是根据第一到第八实施例的修改的存储器基元阵列的图；

[0068] 图 72 是根据第一到第八实施例的存储器基元阵列的横截面图；以及

[0069] 图 73 是根据第一到第八实施例的修改的存储器基元阵列的电路图。

具体实施方式

[0070] 1. 第一实施例

[0071] 将描述根据第一实施例的半导体存储器器件和用于半导体存储器的控制器。以下将用三维叠层 NAND 闪存存储器作为实例来描述半导体存储器器件，其中存储器基元被层叠在半导体衬底上。

[0072] 1.1 配置

[0073] 1.1.1 存储器系统配置

[0074] 首先，将参考图 1 描述根据本实施例的包括半导体存储器器件的存储器系统的配置。图 1 是根据本实施例的存储器系统的框图。

[0075] 如图 1 所示，存储器系统包括 NAND 闪存存储器 100、控制器 200 和主机装置 300。

[0076] NAND 闪存存储器 100 包括多个存储器基元以用非易失性方式存储数据。以下将描述 NAND 闪存存储器 100 的详细配置。

[0077] 控制器 200 指示 NAND 闪存存储器 100 响应于来自主机装置 300 的指令执行写操作、读操作和擦除操作等。控制器 200 还管理 NAND 闪存存储器 100 中的存储器空间。控制器 200 和 NAND 闪存存储器 100 可例如形成相同的半导体器件。这样的半导体器件的实例包括存储器卡，诸如 SD™ 卡和 SSD（固态驱动器）

[0078] 控制器 200 包括主机接口电路 210、嵌入式存储器（RAM）220、处理器（CPU）230、缓冲存储器 240 和 NAND 接口电路 250。

[0079] 主机接口电路 210 经由控制器总线连接到主机装置 300 以与主机装置 300 通信。主机接口电路 210 将从主机装置 300 接收的指令和数据传输到 CPU230 和缓冲存储器 240。主机接口电路 210 还响应于来自 CPU230 的指令将缓冲存储器 240 中的数据传输到主机装置 300。

[0080] NAND 接口电路 250 经由 NAND 总线连接到 NAND 闪存存储器 100 以与 NAND 闪存存储器 100 通信。NAND 接口电路 250 将从 CPU230 接收的指令传递到 NAND 闪存存储器，且在写期间，将缓冲存储器 240 中的数据写入到 NAND 闪存存储器 100。NAND 接口电路 250 还在读期间将从 NAND 闪存存储器 100 读取的数据传递到缓冲存储器 240。

Micron Ex. 1002, p. 110
Micron v. YMTC
IPR2024-00794

[0081] CPU230 作为整体来控制控制器 200 的操作。例如，一旦从主机装置 300 接收到读指令，CPU230 响应于该读指令发布基于 NAND 接口的读指令。这也适用于写和擦除。CPU230 也执行各种类型的处理，诸如损耗(wear)均衡以管理 NAND 闪存存储器 1。CPU230 还执行各种计算。CPU230 执行例如数据加密处理、随机处理以及纠错(ECC：错误检查和纠正)处理。

[0082] 嵌入式存储器 220 是例如半导体存储器，诸如 DRAM，且被用作用于 CPU230 的工作区域。嵌入式存储器 220 保持被配置为管理 NAND 闪存存储器 100 的固件、各种管理表等。

[0083] 1.1.2 半导体存储器器件配置

[0084] 现在将描述半导体存储器器件的配置。

[0085] 1.1.2.1 半导体存储器器件的通常配置

[0086] 图 2 是根据本实施例的 NAND 闪存存储器 100 的框图。如图 2 所示，NAND 闪存存储器 100 包括核心单元 110、页缓冲器 120、输入 / 输出单元 130 和外围电路 140。

[0087] 核心单元 110 包括存储器基元阵列 111、行解码器 112 和感测放大器 113。

[0088] 存储器基元阵列 111 包括多个(在图 2 的实例中是 4 个)块 BLK (BLK0 到 BLK3)，每个是一组非易失性存储器基元。块 BLK 是数据擦除单元，且相同的块 BLK 中的数据被一次擦除。每个块 BLK 包括多个(在本实例中是 4 个)串组 GP (GP0 到 GP3)，每个是包括一组串联的存储器基元的 NAND 串 114。当然，存储器基元阵列 111 中的块的数量和一个块 BLK 中的串组的数量是可选的。

[0089] 行解码器 112 解码块地址 BA 以选择对应的块 BLK。

[0090] 在数据读取期间，感测放大器 113 感测并放大从存储器基元读出的数据。在数据写期间，感测放大器 113 将写数据传输到存储器基元。数据以多个存储器基元为单位从存储器基元阵列 11 读取以及写入到其中。该单位对应于一页。

[0091] 页缓冲器 120 以页为单位保持数据。在数据读取期间，页缓冲器 120 临时保持由感测放大器 113 传输的以页为单位的数据，并顺序地将数据传输到输入 / 输出单元 130。另一方面，在数据写期间，页缓冲器 120 临时保持由输入 / 输出单元 130 顺序传输的数据，并以页为单位将数据传输到感测放大器 113。

[0092] 输入 / 输出单元 130 经由 NAND 总线将各种命令和数据传递到控制器 200 以及从其接收。

[0093] 外围电路 140 包括定序器(sequencer)141、电荷泵 142、寄存器 143 和驱动器 144。

[0094] 驱动器 144 向行解码器 112、感测放大器 113 和源极线驱动器(在图中未示出)施加用于数据写入、数据读取和数据擦除所要求的电压。电压由行解码器 112、感测放大器 113 和源极线驱动器被施加到存储器基元(以下描述的字线、选择栅极线、背栅极线、位线以及源极线)。

[0095] 电荷泵 142 升压外部提供的电源电压以向驱动器 144 提供所要求的电压。

[0096] 寄存器 143 保持各种信号。例如，寄存器 143 保持数据写操作或数据擦除操作的状态以通知控制器操作是否已经正常完成。

[0097] 定序器 141 作为整体控制 NAND 闪存存储器 100 的操作。

[0098] 1.1.2.2 存储器基元阵列 111

[0099] 现在，将描述存储器基元阵列 11 的详细配置。图 3 是块 BLK0 的电路图。块 BLK1 到 BLK3 具有类似的配置。

Micron Ex. 1002, p. 111
Micron v. YMTC
IPR2024-00794

[0100] 如图 3 所示，块 BLK0 包括例如 4 个串组 GP。而且，每个串组 GP 包括 n（n 是自然数）个 NAND 串 114。

[0101] 每个 NAND 串 114 包括例如 8 个存储器基元晶体管 MT（MT0 到 MT7）、选择晶体管 ST1 和 ST2，以及背栅极晶体管 BT。每个存储器基元晶体管 MT 包括层叠栅极，其包括控制栅极和电荷积聚层以便以非易失性方式保持数据。存储器基元晶体管 MT 的数量不限于 8，而可以是 16、32、64、128 等。与存储器基元晶体管 MT 类似，背栅极晶体管 BT 包括层叠的栅极，其包括控制栅极和电荷积聚层。但是，背栅极晶体管 BT 不是被配置为保持数据和用作数据写入、数据读取和数据擦除期间的简单电流路径。存储器基元晶体管 MT 和背栅极晶体管 BT 被布置在选择晶体管 ST1 和选择晶体管 ST2 之间，以便存储器基元晶体管 MT 和背栅极晶体管 BT 中的电流路径被串联在一起。背栅极晶体管 BT 在存储器基元晶体管 MT3 和存储器基元晶体管 MT4 之间被提供。位于一组串联的晶体管的一端的存储器基元晶体管 MT7 中的电流路径被连接到选择晶体管 ST1 中的电流路径的一端。位于串联的晶体管的组的另一端的存储器基元晶体管 MT0 中的电流路径被连接到选择晶体管 MT2 中的电流路径的一端。

[0102] 每个串组 GP0 到 GP3 中的选择晶体管 ST1 的各个栅极连接到选择栅极线 SGD0 到 SGD3。每个串组 GP0 到 GP3 中的选择晶体管 ST2 的各个栅极连接到选择栅极线 SGD0 到 SGD3。相反，相同块 BLK0 中的存储器基元晶体管 MT0 到 MT7 的控制栅极共同连接到字线 WL0 到 WL7。背栅极晶体管 BT 的控制栅极共同连接到背栅极线 BG（对于块 BLK0 到 BLK3、背栅极线 BG0 到 BG3）。

[0103] 即，在相同的块 BLK0 中提供对于多个串组 GP0 到 GP3 来说是共用的字线 WL0 到 WL7 和背栅极线 BG 以用于连接。相反，即使在相同的块 BLK0 中，在每个串组 GP0 到 GP3 中也单独提供选择栅极线 SGD 和 SGS。

[0104] 而且，在这些布置在被放置在同一行的存储器基元阵列 111 的矩阵中的 NAND 串 114 中，选择晶体管 ST1 中的电流路径的其他端点连接到位线 BL（BL0 到 BLn ；n 是自然数）中的一个。即，共同的位线 BL 跨过多个块 BLK 将 NAND 串 114 连接在一起。而且，选择晶体管 ST2 中的电流路径的其他端连接到共同的源极线 SL。源极线 SL 跨过多个块共同连接 NAND 串 114。

[0105] 如上所述，相同的块 BLK 内的存储器基元晶体管 MT 中的数据被一次擦除。相反，在一个块 BLK 中的一个串组 GP 中连接到一条字线 WL 的多个存储器基元晶体管 MT 上一次执行数据读取和数据写入。该用于数据读取和数据写入的单元被称为“页”。

[0106] 现在，将参考图 4 和图 5 描述存储器基元阵列 111 的三维叠层结构。图 4 和 5 是存储器基元阵列 111 的透视图和横截面图。

[0107] 如图 4 和 5 所示，在半导体衬底 20 上提供存储器基元阵列 111。存储器基元阵列 111 包括背栅极晶体管层 L1、存储器基元晶体管层 L2、选择晶体管层 L3 和互连层 L4。

[0108] 背栅极晶体管层 L1 用作背栅极晶体管 BT。存储器基元晶体管层 L2 用作存储器基元晶体管 MT0 到 MT7（NAND 串 114）。选择晶体管层 L3 用作选择晶体管 ST1 和 ST2。互连层 L4 用作源极线 SL 和位线 BL。

[0109] 背栅极晶体管层 L1 包括背栅极导电层 21。背栅极导电层 21 被形成为在第一方向 D1 和第二方向 D2 二维延伸（即，第一方向和第二方向与其中层叠了存储器基元的第三方向 D3 是正交的）。背栅极导电层 21 被分为对应于各个块 BLK 的片段。背栅极导电层 21 由例

Micron Ex. 1002, p. 112
Micron v. YMTC
IPR2024-00794

如多晶硅组成。背栅极导电层 21 用作背栅极线 BG。

[0110] 如图 5 所示，背栅极导电层 21 具有背栅极孔 22。背栅极孔 22 被用于接应背栅极导电层。背栅极孔 22 被制造为几乎是矩形形状，从上表面看在第一方向具有纵向方向。

[0111] 存储器基元晶体管层 L2 在背栅极导电层 L1 上形成。存储器基元晶体管层 L2 包括字线导电层 23a 到 23d。字线导电层 23a 到 23d 与夹于其间的层间介电层层叠。字线导电层 23a 到 23d 被形成为沿着行方向以列方向的预定节距（pitch）延伸的条。字线导电层 23a 到 23d 由例如多晶硅组成。字线导电层 23a 用作存储器基元晶体管 MT3 和 MT4 的控制栅极（字线 WL3 和 WL4），字线导电层 23b 用作存储器基元晶体管 MT2 和 MT5 的控制栅极（字线 WL2 和 WL5），字线导电层 23c 用作存储器基元晶体管 MT1 和 MT6 的控制栅极（字线 WL1 和 WL6），以及字线导电层 23d 用作存储器基元晶体管 MT0 和 MT7 的控制栅极（字线 WL0 和 WL7）。

[0112] 如图 5 所示，存储器基元晶体管层 L2 具有存储器孔 24。存储器孔 24 被穿过字线导电层 23a 到 23d 而延伸。存储器孔 24 在第一方向与背栅极孔 22 的端部对准。

[0113] 如图 5 所示，背栅极晶体管层 L1 和存储器基元晶体管层 L2 还包括块绝缘层 25a、电荷积聚层 25b、隧道绝缘层 25c 和半导体层 26。半导体层 26 用作 NAND 串 16 的体（每个晶体管的背栅极）。

[0114] 如图 5 所示，块绝缘层 25a 在面向背栅极孔 22 和存储器孔 24 的侧壁上形成具有预定厚度。电荷积聚层在块绝缘层 25a 的侧面上形成具有预定厚度。隧道绝缘层 25c 在电荷积聚层 25b 的侧表面上形成具有预定厚度。半导体层 26 被形成为与隧道绝缘层 25c 的侧表面接触。半导体层 26 被形成以填充背栅极孔 22 和存储器孔 24。

[0115] 当从第二方向看时，半导体层 26 被形成为 U 形。即，半导体层 26 包括一对沿着与半导体衬底 20 的表面垂直的方向延伸的柱部分 26a，以及连接该对柱部分 26 的下端的连接部分 26b。

[0116] 块绝缘层 25a 和隧道绝缘层 25c 由例如氧化硅（SiO_2）制成。电荷积聚层 25b 由例如氮化硅（SiN）制成。半导体层 26 由多晶硅制成。块绝缘层 25、电荷积聚层 25b、隧道绝缘层 25c 和半导体层 26 形成 MONOS 晶体管，其用作存储器基元晶体管 MT。

[0117] 在背栅极晶体管层 L1 的布置中，隧道绝缘层 25c 被形成为包围连接部分 26b。背栅极导电层 21 被形成为包围连接部分 26b。

[0118] 而且，在存储器基元晶体管层 L2 的布置中，隧道绝缘层 25c 被形成为包围柱部分 26a。电荷积聚层 25b 被形成为包围隧道绝缘层 25c。块绝缘层 25a 被形成为包围电荷积聚层 25b。字线导电层 23a 到 23d 被形成为包围块绝缘层 25a 到 25c 以及柱部分 26a。

[0119] 如图 4 和 5 所示，选择晶体管层 L3 包括导电层 27a 和 27b。导电层 27a 和 27b 被形成为在第二方向延伸的条，以在第一方向具有预定节距。一对导电层 27a 和一对导电层 27b 被交替布置在第一方向。导电层 27a 被形成在一个柱部分 26a 的上层，且导电层 27b 被形成在另一个柱部分 26a 的上层。

[0120] 导电层 27a 和 27b 由多晶硅制成。导电层 27a 用作选择晶体管 ST2 的栅极（选择栅极线 SGS）。导电层 27b 用作选择晶体管 ST1 的栅极（选择栅极线 SGD）。

[0121] 如图 5 所示，选择晶体管层 L3 具有孔 28a 和 28b。孔 28a 和 28b 分别延伸过导电层 27a 和 27b。而且，孔 28a 和 28b 与存储器孔 24 对准。

Micron Ex. 1002, p. 113
Micron v. YMTC
IPR2024-00794

[0122] 如图 5 所示，选择晶体管层 L3 包括栅极绝缘层 29a 和 29b，以及半导体层 30a 和 30b。栅极绝缘层 29a 和 29b 分别在面向孔 28a 和 28b 的侧壁上形成。半导体层 30a 和 30b 被形成为在与半导体衬底 20 的表面垂直的方向上延伸的柱，以便分别与栅极绝缘层 29a 和 29b 接触。

[0123] 栅极绝缘层 29a 和 29b 由例如氧化硅（SiO_2）制成。半导体层 30a 和 30b 由例如多晶硅制成。

[0124] 在选择晶体管层 L3 的布置中，栅极绝缘层 29a 被形成为包围柱半导体层 30a。导电层 27a 被形成为包围栅极绝缘层 29a 和半导体层 30a。栅极绝缘层 29b 被形成为包围柱半导体层 30b。半导体层 27b 被形成为包围栅极绝缘层 29b 和半导体层 30b。

[0125] 如图 4 和 5 所示，互连层 L4 在选择晶体管层 L3 上形成。互连层 L4 包括源极线层 31、插塞层 32 以及位线层 33。

[0126] 源极线层 31 的形状是在第二方向延伸的盘。源极线层 31 被形成为与在第一方向和源极线层 31 相邻的一对半导体层 27a 的顶表面接触。插塞层 32 被形成为与半导体层 27b 的顶表面接触，以便垂直于半导体衬底 20 的前表面而延伸。位线层 33 被形成为在第二方向的预定节距布置并在第一方向延伸的条。位线层 33 被形成为与插塞层 32 的顶表面接触。源极线层 31、插塞层 32 以及位线层 33 由例如诸如钨（W）的金属形成。源极线层 31 用作参考图 3 描述的源极线 SL。位线层 33 用作参考图 3 描述的位线 BL。

[0127] 图 6 和 7 示出了存储器基元阵列 111 的另一个实例。图 6 是沿着位线方向延伸的线获得的存储器基元阵列 11 的横截面图。图 7 是存储器基元阵列 111 的透视图。

[0128] 如图 6 和 7 所示，半导体存储器器件 26 可以是柱形的，而不是如图 4 和 5 所示的 U 形。在这种情况下，如图 6 和 7 所示，源极线层 31 被形成在半导体衬底之上。多个柱状半导体层 30 被形成在源极线层 31 上。选择晶体管 St2、存储器基元晶体管 MT0 到 MT7，以及选择晶体管 ST1 以这种顺序从围绕半导体层 30 的底部形成。而且，形成位线层 33。本配置消除了用于背栅极晶体管 BT 的需要。

[0129] 1.1.2.3 行解码器

[0130] 现在将参考图 8 描述行解码器 112 的配置。图 8 是行解码器 112 和驱动器 144 的框图。对于行解码器 112，仅示出了与框 BLK 的任一个有关的部件。即，图 8 示出的行解码器 112 被提供在每个块 BLK 中。行解码器 112 选择或不选择相关的块 BLK。

[0131] 如图 8 所示，行解码器 112 包括块解码器 41 和高耐压 n 沟道增强（E 型）MOS 晶体管 42 到 46（42-0 到 42-7、43-0 到 43-3、44-0 到 44-3、45-0 到 45-3、46-0 到 46-3）和 47。

[0132] <块解码器 41>

[0133] 首先，将描述块解码器 41。在数据读取、数据写入和数据擦除之间，块解码器 41 解码块地址 BA 以输出信号 TG 和 /REDCA。当块地址 BA 与对应的块 BLK 匹配时，信号 TG 被设置为“H”电平。在“H”电平的信号 TG 的电压被设定到 VPGMH 以用于写，设定到 VREADH 用于读取，设定到 Vdda 以用于擦除。而且，信号 /REDCA 被设为“L”电平（例如 0V）。

[0134] 另一方面，当块地址 BA 未能与块 BLK 匹配时，信号 TG 被设为“L”电平（例如 0V），且信号 /REDCA 被设为“H”电平。

[0135] VPGMH 是被设计为在数据写期间传输被施加给选择的字线的高电压 VPGM 的电压。VPGMH 高于 VPGM。VREADH 是被设计为在读取期间传输被施加给未选择的字线的电压 VREAD

Micron Ex. 1002, p. 114
Micron v. YMTC
IPR2024-00794

的电压。VREADH 高于 VREAD。Vdda 是被设计为传输电压 Vdd（例如 0V）的电压。Vdda 高于 Vdd。

[0136] <晶体管 42>

[0137] 现在将描述晶体管 42。晶体管 42 被配置为传输电压到选择的块 BLK 中的字线 WL。每个晶体管 42-0 到 42-7 中的电流路径的一端连接到对应块 BLK 中的字线 WL0 到 WL7 中的对应一个。电流路径的另一端连接到 CG0 到 CG7 中的对应一个。晶体管 42-0 到 42-7 的栅极都连接到共同信号线 TG。

[0138] 因此，例如，对应于选择的块 BLK0 的行解码器 112-0 开启晶体管 42-0 到 42-7，并分别将字线 WL0 到 WL7 连接到信号线 CG0 到 CG7。另一方面，行解码器 112-1 到 112-3 关掉晶体管 42-0 到 42-7，并将字线 WL0 到 WL7 从信号线 CG0 到 CG7 分离。

[0139] 晶体管 42 被用在相同块 BLK 中的所有串组 GP。

[0140] <晶体管 43 和 44>

[0141] 现在将描述晶体管 43 和 44。晶体管 43 和 44 被配置为传输电压给选择栅极线 SGD。每个晶体管 43-0 到 43-3 中的电流路径的一端连接到对应块 BLK 中的选择栅极线 SGD0 到 SGD3 的对应的一个。电流路径的另一端连接到信号线 SGDD0 到 SGDD3 的对应一个。晶体管 43-0 到 43-3 的栅极都连接到共同的信号线 TG。而且，每个晶体管 44-0 到 44-3 中的电流路径的一端连接到对应块 BLK 中的选择栅极线 SGD0to SGD3 中对应的一个。电流路径的另一端连接到节点 SGD_COM。每个晶体管 44-0 到 44-3 的栅极被施加了信号 /RDECA。节点 SGD_COM 具有诸如 0V 的电压或负电压 VBB，其关断选择晶体管 ST1。

[0142] 因此，对应于选择的块 BLK0 的行解码器 112-0 开启晶体管 43-0 到 43-3，同时关断晶体管 44-0-44-3。因此，选择的块 BLK0 中的选择栅极线 SGD0 到 SGD3 分别连接到信号线 SGDD0 到 SGDD3。

[0143] 另一方面，对应于未选择的块 BLK1 到 BLK3 的行解码器 112-1 到 112-3 关断晶体管 43-1 到 43-3，同时开启晶体管 44-1 到 44-3。因此，未选择的块 BLK1 到 BLK3 中的选择栅极线 SGD0 到 SGD3 连接到节点 SGD_COM。

[0144] <晶体管 45 和 46>

[0145] 晶体管 45 和 46 被配置为将电压传输到选择栅极线 SGS。晶体管 45 和 46 的连接和操作与晶体管 43 和 44 的连接和操作等价，仅是选择栅极线 SGD 被选择栅极线 SGS 代替。

[0146] 即，对应于选择的块 BLK0 的行解码器 112-0 开启晶体管 45-0 到 45-3，同时关断晶体管 46-0 到 46-3。另一方面，对应于未选择的块 BLK1 到 BLK3 的行解码器 112-1 到 112-3 关断晶体管 43-1 到 43-3，同时开启晶体管 44-1 到 44-3。

[0147] <晶体管 47>

[0148] 现在将描述晶体管 47。晶体管 47 被设计为将电压传递给背栅极线 BG。晶体管 47 中的电流路径的一端连接到对应块 BLK 中的背栅极线 BG。电流路径的另一端连接到信号 BGD。晶体管 47 的栅极类似于其他晶体管连接到信号线 TG。

[0149] 因此，对应于选择的块 BLK0 的行解码器 112 开启晶体管 47。对应于未选择的块 BLK1 到 BLK3 的行解码器 112-1 到 112-3 关断晶体管 47。

[0150] 当然，如果存储器基元阵列 111 具有图 6 和 7 所示的配置，不需要晶体管 47。

[0151] 1.1.2.4 驱动器 144

Micron Ex. 1002, p. 115
Micron v. YMTC
IPR2024-00794

[0152] 现在，将进一步参考图 8 描述驱动器 144 的配置，特别是被配置为传递电压的行解码器 112 的配置。驱动器 144 将数据读取、数据写入和数据擦除所需的电压传递给信号线 CG0 到 CG7、SGDD0 到 SGDD3、SGSD0 到 SGSD3 和 BGD 的每一个。

[0153] 如图 8 所示，驱动器 144 包括 CG 驱动器 51（51-0 到 51-7）、SGD 驱动器 52（52-0 到 52-3）、SGS 驱动器 53（53-0 到 53-3）、BG 驱动器 54 以及电压驱动器 55。

[0154] 电压驱动器 55 从电荷泵 142 接收电压并将要求的电压作为电压 VRDEC 和 VCGSEL 传递到块解码器 41 和 CG 驱动器 51。CG 驱动器 51-0 到 51-7 根据页地址将要求的电压传递到信号线 CG0 到 CG7（字线 WL0 到 WL7）。SGD 驱动器 52-0 到 52-3 将要求的电压传递到信号线 SGDD0 到 SGDD3（选择栅极线 SGD0 到 SGD3）。SGD 驱动器 53-0 到 53-3 将要求的电压传递到信号线 SGSD0 到 SGSD3（选择栅极线 SGS0 到 SGS3）。BG 驱动器 54 将要求的电压传递到信号线 BGD。

[0155] 1.2 用于测试 NAND 闪存存储器 100 的方法

[0156] 1.2.1 测试方法

[0157] 现在将描述用于测试如上所述配置的 NAND 闪存存储器 100 的方法。根据该方法，如果缺陷块出现在存储器基元阵列 111 中，根据缺陷程度管理缺陷块。

[0158] 图 9 是出货（shipment）前在 NAND 闪存存储器 100 上执行的测试方法的流程图。NAND 闪存存储器 100 由测试器测试。测试基本以以下顺序被执行：块测试、识别缺陷的位置以及写入管理数据。

[0159] 如图 9 所示，测试器对存储器基元阵列 111 中的每个块 BLK 执行泄漏检测（步骤 S10）。

[0160] 如果泄漏检查导致等于或小于 Ith1 的泄漏量（步骤 S11，是），块 BLK 通过测试（步骤 S12）。因此，测试器把块 BLK 记录为好块（步骤 S13）。

[0161] 如果泄漏检查导致大于 Ith1 的泄漏量（步骤 S11，否），块 BLK 测试失败（步骤 S14）。如果块 BLK 测试失败且泄漏量进一步大于 Ith2（步骤 5，否），则测试器将块 BLK 记录为坏块（步骤 S17）。被记录为坏块的块 BLK 被禁止使用。

[0162] 在步骤 S15，如果泄漏量等于或小于 Ith2（步骤 S15，是），即，泄漏量大于 Ith1 并等于或小于 Ith2，测试器将块 BLK 记录为限制块（步骤 S16）。即，可基于泄漏量（例如泄漏电流的量）来估计缺陷程度（重要性）。这使得可以确定块由于存在大量的物理缺陷而需要被作为坏块处理，还是块因为缺陷出现在块的一部分中但不是那么关键（量不那么大）以使得该块不被认为是坏块而被认为是限制块。该处理是利用例如 NAND 闪存存储器中提供以检测每个块的泄漏的功能来执行的。

[0163] 以下描述的步骤 S10 到 S17 中的处理是对存储器基元阵列 111 的所有块 BLK 执行的。随后，测试器识别缺陷的位置。

[0164] 即，测试器首先选择限制块（步骤 S18）。测试器随后识别限制块的缺陷的位置（步骤 S19）。根据本实施例假设的缺陷是由短路发生的，例如字线 WL、选择栅极线 SGD 以及选择栅极线 SGS。将在第六实施例中描述缺陷的其他实例。

[0165] 步骤 S18 和 S19 的上述处理对被记录为限制快的所有块 BLK 执行。当然，如果存储器基元阵列 111 中没有出现限制块，忽略步骤 S18 和 S19 的处理。

[0166] 随后，测试器将管理数据写入到存储器基元阵列 111 中（步骤 S20）。管理数据包括

Micron Ex. 1002, p. 116
Micron v. YMTC
IPR2024-00794

作为块测试的结果而获得的坏块和限制块的块地址，以及在步骤 S19 获得的关于缺陷位置的信息。管理数据被写入到用于存储器基元阵列 111 的 ROM 熔丝。

[0167] 1.2.2 管理数据

[0168] 现在将参考图 9 获得的管理数据。图 10 是存储器基元阵列 111 的示意图。如图 10 所示，例如假设块 BLK2 被记录为限制块。则，包括关于限制块的信息的管理数据被写入到例如块 BLK（m-1）（m 是至少为 2 的自然数）。

[0169] 图 11 是块 BLK（m-1）的示意图。如图 11 所示，块 BLK（m-1）中的两个页 PG 被用作 ROM 熔丝区域。管理数据包括以下：

[0170] （a）坏列信息 BCOL

[0171] （b）坏块信息 BBLK1

[0172] （c）限制块信息 BBLK2

[0173] （d）限制块信息 BBLK3

[0174] （e）调整（trimming）信息 TRIM

[0175] （f）坏字线信息 BWL

[0176] （g）坏选择栅极信息（BSG）。

[0177] BCOL 是关于坏列（坏位线 BL）的信息，例如坏列的块地址。BBLK1 是关于坏块的信息，例如坏块的块地址。BBLK2 是关于包括短路字线 WL 的限制块的信息，例如，限制块的块地址。BBLK3 是关于包括短路选择栅极线 SGD 和 SGS 的限制块的信息，例如限制块的块地址。调整信息涉及 NAND 闪存存储器 100 的电路操作。BWL 是关于短路字线 WL 的信息，例如字线地址（页地址）。BSG 是关于短路的选择栅极线 SGD 和 SGS 的信息，例如选择栅极线地址（串地址）。

[0178] 在图 11 的实例中，信息 BCOL、BBLK1、BBLK2、BBLK3 和 TRIM 被保持在特定页 PG1 中，且信息 BWL 和 BSG 被保持在另一个页 PG2 中。

[0179] 1.3 存储器系统的操作

[0180] 现在将描述如上配置的存储器系统中的控制器 200 和 NAND 闪存存储器 100 的操作。

[0181] 1.3.1 控制器 200 的操作

[0182] 首先，参考图 12 描述控制器 200 的操作。图 12 是示出由控制器 200 在 NAND 闪存存储器 100 上执行的控制操作的通常流程的流程图。

[0183] 如图 12 所示控制器 200 首先给 NAND 闪存存储器 100 上电（步骤 S30）。随后，控制器 200 从 NAND 闪存存储器 100 接收存储在 ROM 熔丝中的信息（管理数据）（步骤 S31）。在该步骤接收的信息被保持在图 11 的页 PG1 中并包括坏块信息 BBLK1 和限制块信息 BBLK2 和 BBLK3。

[0184] 控制器 200 继续从 NAND 闪存存储器 100 接收管理数据的剩余部分（步骤 S32）。在该步骤中接收的信息包括坏字线信息 BWL 和坏选择栅极线信息 BSG。

[0185] 步骤 S31 和 S32 可响应于来自控制 200 的请求而执行或可由 NAND 闪存存储器 200 自主执行而不接受控制器 200 的请求（POR：上电读（Power on Read））。

[0186] 控制器 200 将接收的信息存储在例如 RAM220 中。随后，响应于来自主机装置 300 的请求，控制器 200 存取 NAND 闪存存储器 100（步骤 S33）。基于 RAM220 中的信息 BBLK1 到

Micron Ex. 1002, p. 117
Micron v. YMTC
IPR2024-00794

BBLK3，控制器 200 存取好块和限制块并避免存取坏块。

[0187] 图 13 示出了来自控制 200 以读存取并将存取写入到 NAND 闪存存储器 100 的指令的实例。

[0188] 命令“读（x）（Read （x））”是从好块中的地址 x 读取数据的指令，且不能存取任何限制块。

[0189] 命令“读 LBLKm （x）（ReadLBLKm(x)）”是读取来自限制块的地址 x 的数据的指令。命令“读 LBLKm(x)”包括控制到相同电势的至少两个短路互连的指令。但是，命令“读 LBLKm(x)”本身不能存取限制块中任何坏字线。

[0190] 命令“程序（x）（Program(x)）”是将数据写入到好块中的地址 x 的指令。命令“程序 (x)”不能存取任何限制块。

[0191] 命令“程序 LBLKm(x) （ProgramLBLKm(x)）”是将数据写入到限制块中的地址 x 的指令。命令“程序 LBLKm(x)”包括控制到相同的电势的至少两个短路互连的指令。但是，命令“程序 LBLKm(x)”不能存取限制块中的任何坏字线。

[0192] 1.3.2NAND 闪存存储器 100 的操作

[0193] 现在将参考图 14 描述 NAND 闪存存储器 100 的操作。图 14 是一般地示出 NAND 闪存存储器 100 的操作的流程的流程图。

[0194] 如图 14 所示，当由控制器 200 的上电而激活时（步骤 S40），NAND 闪存存储器 100 读取来自 ROM 熔丝的数据。更具体地，NAND 闪存存储器 100 读取来自图 11 中的页 PG1 的数据并将读取的数据传输到控制器 200（步骤 S41）。在步骤 S41，信息 BBLK1 到 BBLK3 被传输到控制器 200。

[0195] NAND 闪存存储器 100 继续读取来自图 11 的页 PG2 的数据并将读取的数据传输到控制器 200 （步骤 S42）。在步骤 S42 中，信息 BWL 和 BSG 被传输给控制器 200。

[0196] 步骤 S41 和 S42 中的处理在激活后被立即执行。随后，一旦接收到存取好块或限制块的指令（步骤 S43），NAND 闪存存储器 100 根据接收的指令执行处理（步骤 S44）。

[0197] 图 15 是详细示出步骤 S44 的流程图。如图 15 所示，如果好块将被存取（步骤 S50，否），则 NAND 闪存存储器 100 执行正常控制。即，根据页地址，驱动器 52-54 施加预定电压给选择字线、未选择字线以及选择栅极线（步骤 S52）。结果，数据被程序、读取或擦除（步骤 S53）。NAND 闪存存储器 100 将处理状态（通过或故障）返回给控制器 200 （步骤 S54）。

[0198] 如果限制块（BBLK2 或 BBLK3）将被存取（步骤 S50，是），NAND 闪存存储器 100 将两个短路互连设置为相同的电势（步骤 S51）。例如，如果限制块包括两个短路的字线，NAND 闪存存储器 100 将短路的字线设到相同的电势。这样也适用于选择栅极线 SGD 和 SGS。NAND 闪存存储器 100 对其他互连执行正常控制（步骤 S52）。

[0199] 在图 16 到 18 中示出了操作。图 16 到 18 是好块 BLK0 和限制块 BLK1 的电路图。

[0200] 图 16 示出了限制块 BLK1 中的两条字线 WL1 和 WL2 是短路的。在这种情况下，两条字线 WL1 和 WL2 恒定处于相同的电势。即，当选择限制块 BLK2 时，参考图 8 所描述的，CG 驱动器 51-1 和 51-2 恒定输出相同的电势。这样的控制不对好块 BLK0 执行。

[0201] 图 17 示出了限制块 BLK1 中的两个选择栅极线 SGS0 和 SGS1 是短路的。在这种情况下，两个选择栅极线 SGS0 和 SGS1 恒定处于相同的电势。即，当选择限制块 BLK1 时，参考图 8 所述描述的，SGS 驱动器 53-0 和 53-1 恒定输出相同的电势。

Micron Ex. 1002, p. 118
Micron v. YMTC
IPR2024-00794

[0202] 图 18 示出了限制块 BLK1 中的两个选择栅极线 SGD0 到 SGD1 是短路的。在该情况下，两个选择栅极线 SGD0 和 SGD1 恒定处于相同的电势。即，当选择了限制块 BLK1 时，参考图 8 所描述的，SGD 驱动器 52-0 和 52-1 恒定输出相同的电势。

[0203] 1.4 根据本实施例的效果

[0204] 如参考图 4 到 7 所描述的，在三维叠层 NAND 闪存存储器中，位线 BL 和源极线 SL 由存储器孔 24 连接到一起。存在选择栅极线 SGD 和 SGS，以便选择每个存储器孔 24。而且，形成多条字线 WL。

[0205] 如上所描述的，在每个层中独立提供多个选择栅极线 SGD 和 SGS，而每个层中的多个字线 WL 彼此连接（参见图 3、图 6 和 7）。原因是如果字线 WL 被单独提供给各个串组 GP，字线的数量（CG 线的数量）与字线 WL 的叠层的数量一致增加，使得 CG 线的撤插塞（withdrawal）和解码器的布置很困难。

[0206] 因此，字线 WL 在多个串之间共享以抑制芯片面积的增加。另一方面，共享的字线 WL 增加块尺寸。如从图 3 明显的，一个串组 GP 对应于其中存储器基元被二维地形成的平面 NAND 闪存存储器中的一个块。即，三维叠层 NAND 闪存存储器中的一个块的尺寸等于平面 NAND 闪存存储器中的若干块的尺寸。

[0207] 擦除单元的尺寸与块尺寸一致增加。结果，性能可被降低或缺陷替换单元的尺寸可增加，由此减少制造生产率。可能的缺陷包括在与衬底表面垂直的方向彼此邻近的字线间的短路、邻近选择栅极线 SGS 间的短路以及邻近选择栅极线 SGD 之间的短路。传统工艺将所有这些缺陷处理为块缺陷。即，传统工艺将缺陷视为坏块并阻止使用坏块中的所有存储器基元。这会增加坏块的数量以降低制造生产率。

[0208] 相反，本实施例对包括短路缺陷的块执行合适的电压控制。这限制短路缺陷影响操作以避免将该块认为是坏块。

[0209] 即，除了传统的坏块信息 BLLK1，关于包括短路的块的信息 BBLK2 和 BBLK3 被提供在 ROM 熔丝中。更具体地，在测试期间，块被检查是否泄漏，且以下块被记录为限制块：该块具有的泄露量超过该块被认为是好的的范围但却落入预定范围内。

[0210] 控制器 200 基于信息 BBLK1 到 BBLK3 存取 NAND 闪存存储器 100。随后，基于信息 BWL 和 / 或 BSG，控制器 200 控制 NAND 闪存存储器 100，以便对于那些包括短路缺陷的块，至少两个短路互连被设定到相同的电势。将互连设为相同的电势可限制短路缺陷影响操作。

[0211] 因此，本实施例可避免仅基于存在短路缺陷而将块考虑为坏块。因此，本实施例可改善 NAND 闪存存储器的制造生产率。

[0212] 2. 第二实施例

[0213] 现在将描述根据第二实施例的半导体存储器器件和用于半导体存储器器件的控制器。本实施例将更详细地描述在第一实施例中描述的操作。以下将描述与第一实施例的不同指出。

[0214] 2.1 读取操作

[0215] 首先将描述读取操作。

[0216] 2.1.1 读取期间的偏置关系。

[0217] 将参考图 19 描述读取期间的偏置关系。图 19 是一个块 BLK 的电路图。图 19 示出了块 BLK 包括两个串组 GP0 和 GP1，且数据将从串组 GP0 中的字线 WL2 读出。

Micron Ex. 1002, p. 119
Micron v. YMTC
IPR2024-00794

[0218] 如图 19 所示，感测放大器 113 预充电位线 BL 到电压 VPRE。而且，驱动器 144 施加电压 VCGR 到选择的字线 WL2。VCGR 是对应于用于读取的希望的电平的电压。此外，电压 VREAD 被施加到未选择的字线 WL0、WL1 和 WL3 到 WL7。VREAD 是高电压，其开启存储器基元晶体管 MT，而不管在存储器基元晶体管层 MT 中保持的数据。电压 VCG_BGV 被施加给背栅极线 BG。VCG_BGV 是开启背栅极晶体管 BT 的电压。这些电压被提供给每个串 GP0 和 GP1。

[0219] 而且，驱动器 144 施加电压 VSG（例如 5V）给选择栅极线 SGD0 和 SGS0。VSG 是开启晶体管 ST1 和 ST2 的电压。而且，例如，0V 被施加到选择栅极线 SGD1 和 SGS1。

[0220] 结果，在选择的串组 GP0 中，选择晶体管 ST1 和 ST2 被开启。因此，当读取目标页中的存储器基元晶体管 MT 被开启时，电流从对应位线 BL 流到对应源极线 SL。另一方面，当存储器基元晶体管 MT 被关断时，电流的流动被阻止。

[0221] 另一方面，在未选择的串组 GP1 中，选择晶体管 ST1 和 ST2 被关断。因此，没有数据从未选择的串组 GP1 中被读取。

[0222] 图 19 仅是说明性的，且例如正电压 VSRC（例如 2.5V）可被施加给源极线 SL。在这种情况下，通过将 VSRC 添加到上述电压来设置位线 BL、字线 WL、背栅极线 BG 以及选择栅极线 SGD 和 SGS 的电势。

[0223] 2.1.2 存取好块

[0224] 现在，将参考图 20 描述对好块的读存取。图 20 是示出当从好块读取数据时，主机装置 300 和控制器 200 和 NAND 闪存存储器（输入 / 输出单元 130、页缓冲器 120 和核心单元 110）之间的指令流的流程图。

[0225] 如图 20 所示，一旦从主机装置 300 接收到读取存取，控制器 200 发布读取命令“读 (x)”。作为响应，NAND 闪存存储器 100 在定序器 141 的控制下以页为单位读出数据到页缓冲器 120。

[0226] 随后，控制器 200 连续从页缓冲器 120 读出数据。即，通过触发（toggle）时钟信号（信号 /RE）而顺序地读出数据。此后，控制器 200 将读取的数据传递到主机装置 300。

[0227] 图 21 是示出当从好块读取数据时 NAND 总线上的命令序列和就绪（ready）/ 忙信号的状态的时序图。就绪 / 忙信号（R/B 信号）指示 NAND 闪存存储器 100 的状态。对于 R/B="H"，NAND 闪存存储器已就绪且能接收命令。相反，对于 R/B="L"，NAND 闪存存储器 100 忙且不接受任何命令。

[0228] 如图 21 所示，控制器 200 首先发布由 NAND 接口规定的命令“00h”。“00h”是第一读命令。“00h”的输入允许 NAND 闪存存储器 100 识别读取操作的开始。控制器 200 继续发布地址 ADD。控制器 200 随后发布“30h”。“30h”是第二读命令。第二读命令的接收允许 NAND 闪存存储器 100 开始读取操作并被设置在忙状态。随后，从对应于地址 ADD 的页读取的数据 D 被顺序从页缓冲器 120 转移到控制器 200。

[0229] 即，参考图 20 描述的“读 (x)”对应于从命令“00h”到命令“30h”的命令序列。

[0230] 2.1.3 存取限制块

[0231] 现在将参考图 22 描述对限制块的读存取。图 22 是示出当从限制块读出数据时，主机装置 300 和控制器 200 和 NAND 闪存存储器（输入 / 输出单元 130、页缓冲器 120 和核心单元 110）之间的指令流的流程图。

[0232] 图 22 与结合好块描述的图 20 的区别在于，相同电势控制指令和命令“读 (x)”一

Micron Ex. 1002, p. 120
Micron v. YMTC
IPR2024-00794

起由控制器 200 被发布给 NAND 闪存存储器 100。即，参考图 13 描述的“读 _LBLKm(x)”对应于“读(x)”与相同电势控制指令的组合。图 22 中的描述“SIN”指 SIN 码的替换，这将在第四实施例中描述。

[0233] 图 23 是示出当从限制块读取数据时 NAND 总线上的命令序列和就绪 / 忙信号的状态的时序图。

[0234] 如图 23 所示，控制器 200 首先发布由 NAND 接口规定的命令“00h”，随后发布地址 ADD。随后，控制器 200 发布新命令“xxh”。“xxh”是第二读命令，其代替“30h”并包括例如相同电势控制指令的意思。一旦接收到“xxh”，NAND 闪存存储器 100 执行读操作而同时控制短路互连到相同电势。随后，数据 D 顺序地被传递到控制器 200。关于短路互连的信息可以各种方法被通信到 NAND 闪存存储器。将在第四实施例中描述这样的方法的一个实例。

[0235] 2.2 写操作

[0236] 现在将描述写操作。

[0237] 2.2.1 写期间的偏置关系

[0238] 将参考图 24 描述写操作期间的偏置关系。图 24 是一个块 BLK 的电路图。图 24 示出了块 BLK 包括两个串组 GP0 和 GP1，且数据将被写入到串组 GP0 中的字线 WL2。

[0239] 如图 24 所示，感测放大器 113 依赖于程序数据提供电压 VDD 或 0V 给位线 BL。将写入数据的列(其中电荷被注射到电荷积聚层以增加阈值)被提供 0V。VDD 被提供给不向其写入数据的列。而且，选择的字线 WL2 被提供有程序电压 VPGM(例如，20V ；电压依赖于写电平)。VPGM 是被设计为将电荷注入到电荷积聚层的高电压。电压 VPASS（10V<VPASS<VPGM）被施加给未选择的字线 WL0、WL1 和 WL3 到 WL7。VPASS 是高电压，其开启存储器基元晶体管 MT 而不考虑在存储器基元晶体管 MT 中保持的数据。电压 VCG_BGV 被施加给背栅极线 BG。VCG_BGV 开启背栅极晶体管 BT。这些电压都被施加给每个串组 GP0 和 GP1。

[0240] 而且，驱动器 144 将电压 VSGD 施加给选择栅极线 SGD0。VSGD 是这样的电压，在施加 0V 到位线 BL （即，漏极）时开启选择晶体管 ST1 的电压，且在施加 VDD 到位线 BL 时关断选择晶体管 ST1。

[0241] 结果，在串组 GP0 和 GP1 中，在存储器基元晶体管 MT0 到 MT7 中形成沟道。在选择的串组 GP0 中，0V 被施加到位线 BL 时，选择晶体管 ST1 在 NAND 串 114 中被开启。因此，0V 被传输到存储器基元晶体管 MT2 的沟道并注射到电荷积聚层。另一方面，在 NAND 串 114 中，在 VDD 被施加到位线 BL 时，选择晶体管 ST1 被关断。结果，NAND 串 114 中的电势被设置为浮动状态，并由于与字线 WL 的电容耦合而增加。这阻止了电荷被注入到存储器基元晶体管 MT2 的电荷积聚层，阻止数据写入。

[0242] 在未选择的串组 GP1 中，选择晶体管 ST1 和 ST2 被关断。因此，没有数据被写入到未选择的串组 GP2。

[0243] 2.2.2 存取好块

[0244] 现在将参考图 25 描述对好块的写存取。图 25 是示出当数据被写入到好块时，主机装置 300 和控制器 200 和 NAND 闪存存储器(输入 / 输出单元 130、页缓冲器 120 和核心单元 110）之间的指令流的流程图。

[0245] 如图 25 所示，一旦从主机装置 300 接收到写存取，控制器 200 发布写命令“程序(x)”并将程序数据传输到页缓冲器 120。作为响应，NAND 闪存存储器 100 在定序器 141 的

Micron Ex. 1002, p. 121
Micron v. YMTC
IPR2024-00794

控制下将页缓冲器 120 中的数据以页为单位写入到存储器基元阵列 111。

[0246] 图 26 是示出当数据被写入到好块时 NAND 总线上的命令序列和就绪 / 忙信号的状态的时序图。

[0247] 如图 26 所示，控制器 200 首先发布由 NAND 接口规定的命令“80h”。“80h”是第一写命令。“80h”的输入允许 NAND 闪存存储器 100 识别写操作的开始。控制器 200 继续发布地址 ADD。控制器 200 还顺序地传递程序数据 D。控制器 200 最后发布“10h”。“10h”是第二写命令。接收第二写命令允许 NAND 闪存存储器 100 开始写操作并被设置到忙状态。随后，页缓冲器 120 中的数据 D 以页为单位被写入到对应于地址 ADD 的页。

[0248] 即，图 25 示出的“程序 (x)”和“数据 (x) (Data (x))”对应于图 26 中的从命令“80h”到命令“10h”的命令序列。

[0249] 2.2.3 存取限制块

[0250] 现在将参考图 27 描述对限制块的写存取。图 27 是示出当将数据写入到限制块时，主机装置 300 和控制器 200 和 NAND 闪存存储器 (输入 / 输出单元 130、页缓冲器 120 和核心单元 110) 之间的指令流的流程图。

[0251] 图 27 与结合好块描述的图 25 的区别在于，由控制器 200 将相同电势控制指令与命令“程序 (x)”一起被发布给 NAND 闪存存储器 100。即，参考图 13 描述的“程序 _LBLKm(x)”对应于“程序 (x)”与相同电势控制指令的组合。

[0252] 图 28 是示出当数据被写入到限制块时 NAND 总线上的命令序列和就绪 / 忙信号的状态的时序图。

[0253] 如图 28 所示，控制器 200 按照参考图 26 描述的顺序发布新命令“yyh”，取代“10h”。“yyh”是第二写命令，其代替“10h”并包括例如相同电势控制指令的意思。一旦接收到“yyh”，NAND 闪存存储器 100 执行写操作，同时将短路线控制在相同的电势。

[0254] 2.3 擦除操作

[0255] 现在将描述擦除操作。

[0256] 2.3.1 擦除期间的偏置关系

[0257] 现在将参考图 29 描述擦除期间的偏置关系。图 29 是一个块 BLK 的电路图。图 29 示出了从包括在块 BLK 中的两个串组 GP0 和 GP1 一次擦除数据。

[0258] 如图 29 所示，驱动器 144 施加擦除电压 VERA (例如 20V) 到位线 BL 和源极线 SL。而且，VERA_SG (例如 12V) 被施加到选择栅极线 SGD0、SGD1、SGS0 和 SGS1。这导致在选择栅极端处的 GIDL (栅极诱导漏极泄漏)。GIDL 产生一对空穴和电子，且该空穴进入到具有较低电压的柱 26。因此，柱 26 的电势升高到擦除电压 VERA。

[0259] 随后，0V 被施加到所有的字线 WL 以将空穴恢复到电荷积聚层。因此数据被擦除。

[0260] 擦除可以串组 GP 为单位而实现。在这种情况下，VERA 可被施加到未选择的串组的选择栅极线 SGD 和 SGS，或选择栅极线 SGD 和 SGS 可被设置到浮动状态。

[0261] 2.3.2 存取好块

[0262] 现在将参考图 30 描述对好块的擦除存取。图 30 是示出当从好块擦除数据时主机装置 300 和控制器 200 和 NAND 闪存存储器 (输入 / 输出单元 130、页缓冲器 120 和核心单元 110) 之间的指令流的流程图。

[0263] 如图 30 所示，控制器 200 从主机装置 300 接收擦除存取并随后发布擦除命令“擦

Micron Ex. 1002, p. 122
Micron v. YMTC
IPR2024-00794

除(x)”。作为响应，NAND 闪存存储器 100 在顺序器 141 的控制下执行擦除操作。

[0264] 图 31 是示出当从好块擦除数据时 NAND 总线上的命令序列和就绪 / 忙信号的状态的时序图。

[0265] 如图 31 所示，控制器 200 首先发布由 NAND 接口规定的命令“60h”。“60h”是第一擦除命令。“60h”的输入允许 NAND 闪存存储器 100 识别擦除操作的开始。控制器 200 继续发布地址 ADD。控制器 200 最后发布“D0h”。“D0h”是第二擦除命令。接收第二擦除命令允许 NAND 闪存存储器 100 开始擦除操作并被设置在忙状态。NAND 闪存存储器 100 一次擦除对应于地址 ADD 的块 BLK (或串组 GP) 中的数据。

[0266] 2.3.3 对限制块的存取

[0267] 现在将参考图 32 描述对限制块的擦除存取。图 32 是示出当从限制块擦除数据时主机装置 300 和控制器 200 和 NAND 闪存存储器(输入 / 输出单元 130、页缓冲器 120 和核心单元 110) 之间的指令流的流程图。

[0268] 图 32 与结合好块描述的图 30 的区别在于，相同电势控制指令与命令“擦除(x)”一起被控制器 200 发布给 NAND 闪存存储器 100。

[0269] 图 33 是示出当从限制块擦除数据时 NAND 总线上的命令序列和就绪 / 忙信号的状态的时序图。

[0270] 如图 33 所示，控制器 200 在参考图 31 描述的顺序中发布新命令“zzh”来代替“D0h”。“zzh”是第二擦除命令，其代替“D0h”并包括例如相同电势控制指令的意思。一旦接收到“zzh”，NAND 闪存存储器 100 执行擦除操作，同时将短路线控制在相同电势。

[0271] 2.4 根据本实施例的效果

[0272] 第一实施例可被例如在本实施例中描述的方法实施。

[0273] 3. 第三实施例

[0274] 现在将描述根据第三实施例的半导体存储器器件和用于半导体存储器器件的控制器。本实施例对应于第一和第二实施例，其中在对 NAND 闪存存储器 100 的数据存取期间而不是在上电时，坏字线信息 BWL 和坏选择栅极线信息 BSG 被读取。仅描述与第一和第二实施例的不同。

[0275] 3.1 操作

[0276] 将描述根据本实施例的存储器系统的操作。根据本实施例的测试操作与图 9 到图 11 示出的在第一实施例描述的测试操作类似，因此不再描述。

[0277] 3.1.1 控制器的一般操作

[0278] 首先，将参考图 34 描述控制器的一般操作。图 34 是控制器 200 的操作的流程图，并对应于在第一实施例中描述的图 12。

[0279] 如图 34 所示，控制器 200 接收图 11 中的页 PG1 中的数据，在 NAND 数闪存存储器 100 上电后该数据已通过 POR (上电读) 读取。即，控制器 200 接收坏块信息 BBLK1 和限制块信息 BBLK2 和 BBLK3。POR 是一种当 NAND 闪存存储器 100 上电时由 NAND 存储器 100 自主执行的读取操作。

[0280] 本实施例与第一实施例的不同在于 POR 不从页 PG2 读取。

[0281] 此后，如果主机装置做出对控制器 200 的存取请求，控制器 200 确定将存取好块还是限制块(步骤 S60)。如果存取好块(步骤 S60，是)，控制器 200 执行正常操作(步骤 S61)。

Micron Ex. 1002, p. 123
Micron v. YMTC
IPR2024-00794

正常操作与第一实施例描述的处理类似。

[0282] 另一方面，如果将存取限制块(步骤 S60，否)，控制器 200 读取对应于限制块的坏字线信息 BWL 和坏选择栅极线信息 BSG。控制器 200 随后存取限制块，与第一实施例的一样。

[0283] 3.1.2 读取操作

[0284] 现在将参考图 35 描述对限制块执行的读取操作。图 35 是示出一旦从主机装置 300 接收到读取存取而在空闲状态由控制器 200 执行的操作的流程图。

[0285] 如图 35 所示，如果将存取好块(步骤 S70)，控制器 200 发布正常读取命令。该操作与在第二实施例描述的图 20 和 21 示出的操作类似。

[0286] 如果将存取含有字线短路缺陷的限制块 BBLK2(步骤 S72)，控制器 200 读取 BWL 信息(步骤 S73)。随后，控制器 200 发布命令以从 BLLK2 读取(步骤 S74)。步骤 S74 与在第二实施例中描述的图 22 和图 23 中的对应操作类似。

[0287] 如果将存取含有选择栅极线短路缺陷的限制块 BBLK3 (步骤 S75)，控制器 200 读取 BSG 信息(步骤 S76)。随后，控制器 200 发布命令以从 BLLK3 读取(步骤 S77)。步骤 S77 与在第二实施例中描述的图 22 和图 23 的对应操作类似。

[0288] 图 36 是示出当从限制块读取数据时主机装置 300 和控制器 200 和 NAND 闪存存储器(输入 / 输出单元 130、页缓冲器 120 和核心单元 110) 之间的指令的流程的流程图。

[0289] 图 36 与在第二实施例中描述的图 22 的区别在于，用于读取管理数据的处理在控制器 200 发布命令“读(x)”之前被执行。

[0290] 即，一旦从主机装置 300 接收到读存取，控制器 200 发布“读(L)(Read(L))”。作为响应，NAND 闪存存储器 100 将管理数据(BWL 和 / 或 BSG) 以页为单位在定序器 141 的控制下读取到页缓冲器 120。

[0291] 随后，控制器 200 顺序读取页缓冲器 120 中的数据。因此，控制器 200 可确定字线或选择栅极线短路缺陷出现在将被访问的限制块的何处。

[0292] 随后的处理与图 22 中的对应处理类似。

[0293] 3.1.3 写操作

[0294] 现在将参考图 37 描述对限制块执行的写操作。图 37 是示出一旦从主机装置 300 接收到写存取而在空闲状态由控制器 200 执行的操作的流程图。

[0295] 如图 37 所示，如果将存取好块(步骤 S80)，控制器 200 发布正常的写命令。该操作与在第二实施例中描述的图 25 和 26 示出的操作类似。

[0296] 如果将存取含有字线短路缺陷的限制块 BBLK2(步骤 S82)，控制器 200 读取 BWL 信息(步骤 S83)。随后，控制器 200 发布命令以写入到 BBLK2(步骤 S84)。步骤 S84 与第二实施例描述的图 27 和 28 中的对应操作类似。

[0297] 如果将存取含有选择栅极线短路缺陷的限制块 BBLK3 (步骤 S85)，控制器 200 读取 BSG 信息(步骤 S86)。随后，控制器 200 发布命令以写入到 BBLK3 (步骤 S87)。步骤 S87 与第二实施例描述的图 27 和 28 中的对应操作类似。

[0298] 图 38 是示出当数据被写入到限制块时主机装置 300 和控制器 200 和 NAND 闪存存储器(输入 / 输出单元 130、页缓冲器 120 和核心单元 110) 之间的指令流的流程图。

[0299] 图 38 与第二实施例描述的图 22 的区别在于，读取管理数据的处理是在控制器 200

Micron Ex. 1002, p. 124
Micron v. YMTC
IPR2024-00794

发布命令“程序(x)”之前执行的。

[0300] 即，一旦从主机装置接收到写存取，控制器 200 发布“读(L)”。作为响应，NAND 闪存存储器 100 在定序器 141 的控制下以页为单位将管理数据(BWL 和 / 或 BSG)读到页缓冲器 120 中。

[0301] 随后，控制器 200 顺序读取页缓冲器 120 中的数据。由此，控制器 200 可确定字线或选择栅极线短路缺陷出现在将被存取的限制块的何处。

[0302] 随后的处理与图 27 中的对应处理类似。

[0303] 3.1.4 擦除操作

[0304] 现在，将参考图 39 描述根据本实施例的对限制块执行的擦除操作。图 39 是示出一旦从主机装置 300 接收到擦除存取而在空闲状态由控制器 200 执行的操作的流程图。

[0305] 如图 39 所示，如果将存取好块(步骤 S90)，控制器 200 发布正常的写操作命令。该操作与第二实施例中描述的图 30 和 31 示出的操作类似。

[0306] 如果将存取含有字线短路缺陷的限制块 BBLK2(步骤 S92)，控制器 200 读取 BWL 信息(步骤 S93)。随后，控制器 200 发布用于 BBLK2 的擦除命令(步骤 S94)。步骤 S94 与第二实施例描述的图 32 和 33 中的对应操作类似。

[0307] 如果将存取含有选择栅极线短路缺陷的限制块 BBLK3(步骤 S95)，控制器 200 读取 BSG 信息(步骤 S96)。随后，控制器 200 发布用于 BBLK3 的擦除命令(步骤 S97)。步骤 S97 与第二实施例描述的图 32 和 33 的对应操作类似。

[0308] 图 40 是示出当从限制块擦除数据时，主机装置 300 和控制器 200 和 NAND 闪存存储器(输入 / 输出单元 130、页缓冲器 120 和核心单元 110)之间的指令流的流程图。

[0309] 图 40 与在第二实施例中描述的图 32 的区别在于，读取管理数据的处理是在控制器 200 发布命令“擦除(x)”之前执行的。用于读取管理数据的方法与用于结合读取的用于读取管理数据的方法和结合写入的用于读取管理数据的方法类似。

[0310] 3.2 根据本实施例的效果

[0311] 根据本实施例的方法消除了当 NAND 闪存存储器 100 上电时，由 POR 读取信息 BWL 和 BSG 的需要。由此，NAND 闪存存储器可被快速激活。

[0312] 一旦用于限制块的信息 BWL 和 BSG 被读取并传输到控制器 200，在存取相同的限制块期间，信息 BWL 和 BSG 不再需要被读取。

[0313] 4. 第四实施例

[0314] 现在将描述用于半导体存储器器件和用于该半导体存储器器件的控制器。本实施例公开了被设计为在第一到第三实施例中将短路互连设置到相同电势的控制实例。

[0315] 4.1SIN 代码寄存器

[0316] NAND 闪存存储器 100 包括 SIN 代码寄存器，例如在寄存器 143 中。SIN 代码是关于将被施加给每个字线 WL 以用于数据读取、数据写入和数据擦除的电压的信息。SIN 代码寄存器保持这样的信息。定序器 141 和驱动器 144 基于 SIN 代码寄存器中的信息施加希望的电压给每个字线 WL。

[0317] 图 41 是 SIN 代码寄存器的电路图。如图 41 所示，SIN 代码寄存器 145 包括锁存器电路 60 (60-0 到 60-7)、缓冲电路 61 和控制器(逻辑电路 62)。

[0318] 锁存器电路 60-0 到 60-7 分别与字线 WL0 和 WL7 关联，并保持将被施加到相关字

Micron Ex. 1002, p. 125
Micron v. YMTC
IPR2024-00794

线 WL 的信息。缓冲电路 61 临时保持由控制器 62 提供的 SIN 代码并将 SIN 代码传递到锁存器电路 60。

[0319] 控制器 62 包括正常控制器 63、中断控制器 64 和选择器 65。正常控制器 63 发布 SIN 代码，用于将存取好块时的情况。如果将存取限制块，中断控制器 64 保持由控制器 200 提供的 SIN 代码。基于选择信号 SEL，选择器 65 选择由正常控制器 63 提供的 SIN 代码或由中断控制器 64 提供的 SIN 代码以将选择的 SIN 代码传递到缓冲电路 61。

[0320] 而且，控制器 62 产生时钟 CLK。缓冲电路 61 和锁存器电路 60 与时钟 CLK 同步地检索（retrieve）信号。

[0321] 4.2 用于设置 SIN 代码的方法

[0322] 现在将描述用于设置如上配置的寄存器 145 中的 SIN 代码的方法。图 42 是示出时钟 CLK 和锁存器电路 60 中设定的 SIN 代码的时序图。

[0323] 如图 42 所示，当 SIN 代码被传递到缓冲电路 61 时，关于将被施加到各个字线 WL 的电压的信息被与时钟同步的顺序设定，从锁存器电路 60-0 开始。

[0324] 4.3 重写 SIN 代码的操作

[0325] 现在将描述重写 SIN 代码的操作。本实施例重写 SIN 代码，以便将短路互连设定到相同电势。即，如果例如两个字线 WL0 和 WL1 是短路的，相应锁存器电路 60-6 和 60-1 中的 SIN 代码被重写以便使得代码相同。

[0326] 首先将参考图 43 描述在读取期间的重写操作。图 43 示出了读取期间的命令序列。

[0327] 如图 43 所示，在发布命令“00h”、地址 ADD 和命令“xxh”后，控制器 20 发布 SIN 代码并最终发布第二读命令“30h”。“xxh”的发布允许选择器 65 从控制器 200 接收的和由中断控制器 64 提供的 SIN 代码中选择。结果，将短路字线设定到相同电势的这样的代码被存储在锁存器电路 60-0 到 60-7 中。

[0328] 现在将参考图 44 描述写操作期间的重写操作。图 44 示出了写操作期间的命令序列。

[0329] 如图 44 所示，在发布命令“80h”、地址 ADD 以及“yyh”后，控制器 200 发布 SIN 代码并最终发布第二写命令“10h”。“yyh”的发布允许选择器 65 从控制器 200 接收的和由中断控制器 64 提供的 SIN 代码中选择。结果，将短路字线设定到相同电势的这样的代码被存储在锁存器电路 60-0 到 60-7 中。

[0330] 4.4 根据本实施例的效果

[0331] 在第一到第三实施例中描述的相同电势控制可被例如根据本实施例的方法实现。

[0332] 5. 第五实施例

[0333] 现在将描述半导体存储器器件和用于该半导体存储器器件的控制器。本实施例采取反制在 NAND 闪存存储器 100 的出货后发生的短路缺陷的措施，即，反制所获得的缺陷的措施。以下将描述与第一到第四实施例的不同。

[0334] 5.1 第一方法

[0335] 图 45 是根据本实施例的存储器基元阵列的示意图。如图 45 所示，除了 ROM 熔丝，存储器基元阵列 111 还包括更新管理数据保持区域。更新管理数据保持区域是其中保持获取的缺陷信息（BBLK2、BBLK3、BWL 和 BSG）的区域。因此，控制器 200 可对更新管理数据保持区域进行读存取和写存取，但被阻止对更新管理数据保持区域进行擦除存取。而且，主机

Micron Ex. 1002, p. 126
Micron v. YMTC
IPR2024-00794

装置 300 也被阻止存取更新管理数据保持区域。更新管理数据保持区域可被设定为使得该信息可通过 POR 从更新管理数据保持区域读取。

[0336] 图 46 是示出用于检查获得的缺陷的方法的流程图。如图 46 所示，控制器 200 擦除一个块 BLK（步骤 S100）。控制器 200 随后检查状态（步骤 S101）。如果仁一个块处于状态故障（如果任何块中的数据未能被擦除），控制器 200 将块 BLK 记录为坏块或限制块（步骤 S102）。该确定与第一实施例中描述的步骤 S11 到 S17 的确定类似。

[0337] 如果任何块被记录为限制块，控制器 200 识别限制块的缺陷位置（步骤 S103）。在识别后，控制器 200 将识别的缺陷信息（BBLK2、BBLK3、BWL 和 BSG）写入到更新管理数据保持区域中。

[0338] 更新管理数据保持区域中的管理数据可由 NAND 闪存存储器 100 以任何时序自主传递给控制器 200 或可响应于来自控制器 200 的请求而被传递。

[0339] 而且，上述检查也可响应于来自控制器 200 的请求被执行或当控制器不进行任何数据存取时以任何时序被 NAND 闪存存储器 100 自主执行。

[0340] 此外，NAND 接口规定“Dfh”为字线间泄漏检查命令。因此，可使用该命令。

[0341] 5.2 第二方法

[0342] 现在将描述第二方法。控制器 200 在适合时执行在第一实施例中描述的图 9 示出的操作，而不是如第一方法的情况的那样以用于擦除操作的时序执行。在该操作期间发现的任何缺陷被写入图 45 描述的更新管理数据保持区域。

[0343] 5.3 根据本实施例的效果

[0344] 利用根据本实施例的方法，即使在操作期间发生缺陷（在出货后），对应的块并不是必需被认为是坏块，而是连续地被用作限制块。因此，可改善用户便利性。

[0345] 6. 第六实施例

[0346] 现在将描述半导体存储器器件和用于半导体存储器器件的控制器。本实施例描述了在三维叠层 NAND 中可能发生的一些缺陷，包括以上第一到第五实施例描述的缺陷，以及针对这些缺陷的措施。仅描述与第一到第五实施例的不同之处。

[0347] 图 47 是示出缺陷类型和用于缺陷的补救方法的图。图 48 到图 50 是存储器基元阵列的透视图和横截面图，以及字线的平面图，示出了可能的缺陷。

[0348] 6.1 情况 I

[0349] 首先，缺陷情况 I 是沿着选择栅极线 SG 彼此邻近的存储器孔 MH 之间的短路（参见图 50）。该缺陷明显地被观测为邻近位线之间的短路并被认为是列故障。该缺陷由列冗余技术补救。

[0350] 列冗余是用单独提供的冗余列来补救坏列以补救坏列的技术。在情况 I，至少两个位线被观测为短路故障。因此，至少两个列（换句话说，包括两条位线的列）用冗余列代替。

[0351] 6.2 情况 II

[0352] 情况 II 是沿着位线 BL 彼此邻近的存储器孔 MH 之间的短路（参见图 48 到图 50）。该缺陷明显地被观测为列故障。如在情况 1，该缺陷由列冗余技术补救。

[0353] 与情况 I 不同，在情况 II 中，多个短路存储器孔 MH 出现在相同的列中。因此，如果单个列（包括一条位线的列）可被冗余，仅单个列可用另一个列代替。

[0354] 6.3 情况 III

Micron Ex. 1002, p. 127
Micron v. YMTC
IPR2024-00794

[0355] 情况 III 对应于相同的 NAND 串 114 中的选择栅极线 SGD 和选择栅极线 SGS 之间的短路(见图 49)。该缺陷明显地被观测为块故障。但是,缺陷实际仅出现在一个存储器组 GP 中。根据传统技术,这样的块被记录为坏块,且不使用块中的存储器基元。

[0356] 但是,情况 III 中的缺陷可被第一到第五实施例描述的方法补救。即,基于管理数据,控制器 200 可识别选择栅极线 SGD 和 SGS 是短路的。因此,为了允许该块被存取,短路选择栅极线 SGD 和 SGS 被可控地设为相同电势。这使得包括情况 111 中的缺陷的块被补救。

[0357] 6.4 情况 IV

[0358] 情况 IV 是跨 NAND 串 114 的选择栅极线 SGD 之间的短路(参见图 48)。该缺陷明显地被观测为块故障。但是,缺陷实际仅出现在两个存储器组 GP 中。传统技术也把这样的块考虑为坏块。

[0359] 但是,情况 IV 中的缺陷也被第一到第五实施例中描述的方法补救。即,控制器 200 基于管理数据可控地设置将两条短路选择栅极线 SGD 设定到相同电势。这使得包括情况 IV 中的缺陷的块被补救。

[0360] 当选择栅极线在不同串间是短路时,不可使用包括短路的选择栅极线的多个串。即,这些串恒定地不被选择。控制器 200 不存取未选择的串。但是,在诸如块批量数据写的操作中,诸如闪存写(Flash Write),包括缺陷串的所有串执行相同的操作,且这避免了提出特定问题。这也适用于情况 V。

[0361] 6.5 情况 V

[0362] 情况 V 是跨过 NAND 串 114 的选择栅极线 SGS 之间的短路(见图 49)。该缺陷可与情况 IV 一样的方式被处理。即,控制器 200 基于管理数据将至少两条短路选择栅极线 SGS 设定到相同电势。

[0363] 6.6 情况 VI

[0364] 情况 VI 是沿着位线彼此邻近的字线 WL 之间的短路(参见图 49 和图 50)。该缺陷明显地被观测为块故障。如上所描述的,在三维叠层 NAND 闪存存储器中,多个串共享字线 WL。因此,字线 WL 之间的短路使得整个块有缺陷。因此,传统技术将这样的块视为是坏的。

[0365] 但是,通过将短路字线 WL 设为相同的电势,情况 VI 中的缺陷可被补救,如第一到第五实施例中所描述的。

[0366] 6.7 情况 VII

[0367] 情况 VII 是沿着存储器孔 MH 彼此相邻的字线 WL 之间的短路(关于半导体衬底表面的垂直方向)(参见图 49 和图 50)。该缺陷可被补救,如情况 VI。

[0368] 6.8 情况 VIII

[0369] 情况 VIII 是源极线(D0)和选择栅极线 SGS 之间的短路(参见图 49)。附图中的参考标号“D0”指在 NAND 串之上的最低层层级处提供的金属互连层。参考标号“D1”指在高于“D0”的层级处提供的金属互连层。

[0370] 不同的源极线 SL 可被提供在各个块中或相同的源极线 SL 可被块共享。情况 VIII 中的缺陷是前一情况中的块故障,且在后一情况中是作为整体的存储器基元阵列 111 中的故障

[0371] 在这种情况下,控制器 200 将短路源极线 SL 和选择栅极线 SGS 设定到相同电势。在本实例中,管理数据包括缺陷源极线信息,其被写入到图 11 的页 PG1 或 PG2。

Micron Ex. 1002, p. 128
Micron v. YMTC
IPR2024-00794

[0372] 6.9 情况 IX

[0373] 情况 IX 是接触插塞 C1 (D0)和选择栅极线 SGD (见图 49)之间的短路。接触插塞 C1 在层级 D0 处形成以与将选择晶体管 ST1 的漏极连接到位线 BL。如在情况 I 和情况 II 中,该缺陷由列冗余技术补救。

[0374] 6.10 情况

[0375] 情况 X 是接触插塞 C1 (D0)和源极线 SL 之间的短路(见图 49)。该缺陷可如情况 IX 中那样被处理。

[0376] 7. 第七实施例

[0377] 现在将描述半导体存储器器件和用于半导体存储器器件的控制器。以下仅描述与第一到第六实施例的不同之处。

[0378] 7.1 半导体存储器器件的一般配置

[0379] 图 51 是根据本实施例的 NAND 闪存存储器 100 的框图。如图 51 所示,NAND 闪存存储器 10 包括存储器基元阵列 111、行解码器(R/D)112、感测放大器 113、页缓冲器 120、列解码器 121、锁存器电路 122、输入 / 输出电路 130、控制电路(定序器)141、电压生成器(电荷泵)142、地址 / 命令寄存器 143 和驱动器 144。

[0380] 存储器基元阵列 111 包括多个(在该实例中是四)块 BLK (BLK0 到 BLK3),其是一组非易失性存储器基元。块 BLK 是数据擦除单元,且相同块中的数据被一次擦除。每个块 BLK 包括多个(在该实例中是四)串组 GP (GP0 到 GP3),每个是一组包括串行连接到一起的存储器基元的 NAND 串 114。当然,存储器基元阵列 111 中块的数量和一个块 BLK 中的串组的数量是可选的。存储器基元阵列 111 的配置如参考图 3 到图 7 的第一实施例中描述的。

[0381] 行解码器 112 从地址 / 命令寄存器 143 接收块地址信号,并从驱动器 144 接收字线控制信号和选择栅极控制信号。行解码器 112 基于接收的块地址信号、字线控制信号和选择栅极控制信号而选择特定块或特定字线 WL。行解码器 112 可被提供在存储器基元阵列 111 的相对侧上。

[0382] 在数据读取期间,感测放大器 113 读出并放大从存储器基元读取的数据。在数据写期间,感测放大器将写数据传递到存储器基元。数据以多个存储器基元为单位从存储器基元阵列 111 被读取并被写入到存储器基元阵列 111。该单元对应于页。“页”的定义将在此后被特定描述。

[0383] 页缓冲器 120 以页为单位保持数据。在数据读取期间,页缓冲器 120 临时以页为单位保持由感测放大器 113 传输的数据,并顺序地将数据传递到输入 / 输出电路 130。另一方面,在数据写期间,页缓冲器 120 临时保持由输入 / 输出电路 130 顺序传输的数据,并以页为单位将数据传输到感测放大器 113。

[0384] 输入 / 输出电路 130 经由 NAND 总线将各种命令和数据传递到控制器 200 并从其接收各种命令和数据。地址 / 命令寄存器 143 从输入 / 输出电路 130 接收命令和地址并保持命令和地址。

[0385] 驱动器 144 将用于数据写入、数据读取和数据擦除的电压提供给行解码器 112、感测放大器 113 和源极线驱动器(在图中未示出)。行解码器 112、感测放大器 113 和源极线驱动器将电压施加给存储器基元(以下描述的字线、选择栅极线、背栅极线、位线和源极线)。

[0386] 电压生成器 143 加压外部提供的电源电压以将要求的电压提供给驱动器 144。

Micron Ex. 1002, p. 129
Micron v. YMTC
IPR2024-00794

[0387] 例如，在上电期间，锁存器电路 122 临时保持从存储器基元阵列 111 中的 ROM 熔丝读取的管理数据。管理数据包括关于每个块中的缺陷区域的信息。将在以下描述管理数据。锁存器电路 122 包括例如 SRAM。

[0388] 控制电路 141 作为整体控制 NAND 闪存存储器 100 的操作。

[0389] 7.2 写操作

[0390] 现在将描述写操作。图 52 是示出写操作中的电压关系的图。在图 52 中，忽略背栅极晶体管 BT 的描述。在写期间，背栅极晶体管 BT 处于开状态。假设，例如字线 WL0 到 WL23 被放置在块中且该数据被写入到字线 WL10。

[0391] 依赖于写数据，每条字线 WL 被提供有电源电压 VDD 或地电压 VSS（0V）。将被写入数据的列（电荷被注入到电荷积聚层以提升阈值电压）被提供有 0V。被阻止经历写的列（没有电荷被注入到电荷积聚层以维持阈值电压）被提供有电源电压。程序电压 VPGM（例如 20V）被施加给选择的字线 WL10。程序电压 VPGM 是允许电荷被注入到电荷积聚层的高电压。

[0392] 用于分离（切断）沟道的关断电压 VISO 被施加给未选择的字线 WL7。例如，VISO 被设为 0V。中间电压 VGP 被施加给未选择的字线 WL8。写通过电压 VPASS（例如 10V）被施加到另外的未选择字线 WL0 到 WL6、WL9 和 WL11 到 WL23。写通过电压 VPASS 是高电压，其开启存储器基元晶体管，而不考虑存储器基元晶体管保持的数据。中间电压 VGP 逐步减少切断电压 VISO 和写通过电压 VPASS 之间的快速增加的电势差异。在该情况下，“VISO<VGP<VPASS”。

[0393] 而且，电压 VSGD 被施加给选择栅极线 SGD。电压 VSGD 开启具有施加给对应位线 BL（即，漏极）的 0V 的选择晶体管 ST1。电压 VSGD 关断具有施加给其的电源电压 VDD 的选择晶体管 ST1。在该情况下，0V 被施加给选择栅极线 SGS 以关断选择晶体管 ST2，且 0V 被施加给源极线 SL。

[0394] 结果，在其中 0V 被施加给对应位线 BL 的选择的串组 GP 中的 NAND 串中，选择晶体管 ST1 被开启。因此，0V 被传递给存储器基元晶体管 MT10 的沟道以将电荷注射到电荷积聚层。另一方面，在其中电源电压 VDD 被施加到对应位线 BL 的 NAND 串中，选晶体管 ST1 被关断。因此，NAND 串的沟道被放置为浮动状态，且作为与字线 WL 的电容耦合的结果，沟道电压增加。特别地，存储器基元晶体管 MT7 关断其沟道，且由此存储器基元晶体管 MT8 到 MT23 的沟道电压被有效升压。结果，没有电荷被注入到存储器基元晶体管 MT10 的电荷积聚层，且没有数据被写入到存储器基元晶体管 MT10（实现写阻止状态）。

[0395] 另一方面，在未选择的串组 GP 中，选择晶体管 ST1 和 ST2 被关断。因此，没有数据被写入到未选择的串组 GP。

[0396] 图 53 是示出用于写阻止的沟道升压方案的图。在图 53 中，横坐标轴表示选择的字线号，且纵坐标轴表示施加到字线的电压。

[0397] 假设字线 WLi 被选择。程序电压 VPGM 被施加到选择的字线 WLi。关断电压 VISO 被施加到未选择的字线 WL(i-3)。当对字线以增加从字线 WL0 开始的字线号的顺序执行写入时，将被升压的沟道的范围随着字线号的增加而减少。因此，随着块内的写入的进展，升压效率被改善。

[0398] 用于实施写阻止的沟道升压方案不限于上述电压关系。例如，电压 VGP 可被忽略，且可设置 WL10=VPGM，WL9=VPASS，且 WL8=VISO。即，当假设选择字线 WLi 时，关断电压 VISO 可被施加到未选择的字线 WL（i-2）。

Micron Ex. 1002, p. 130
Micron v. YMTC
IPR2024-00794

[0399] 图 54 是示出用于另一个实例中的沟道升压方案的电压关系。关断电压还被施加到未选择的字线 WL12，其比选择的字线 WL10 离位线更近。因此，在选择的字线 WL10 的相对侧上的沟道被切断。在图 54 示出的实例中，可被升压的沟道范围被进一步减少，以进一步改善升压效果。

[0400] 7.3 读取操作

[0401] 现在将描述读取操作。图 55 是示出读取操作中的电压关系的图。在图 55 中，省略了背栅极晶体管 BT 的说明。在读取期间，背栅极晶体管 BT 处于开状态。假设例如字线 WL0 到 WL23 被设置在块中且从字线 WL9 读取数据。

[0402] 首先，感测放大器 113 预充电位线 BL 到电压 VPRE。读取电压 VCGR 被施加到选择的字线 WL9。读取电压 VCRG 对应于将被读取的数据信号的电压电平。此外，电压 VREAD 被施加到未选择的字线 WL0 到 WL8 以及 WL10 到 WL23。电压 VREAD 开启存储器基元晶体管 MT，而不管由存储器基元晶体管 MT 保持的数据。

[0403] 而且，电压 VSG（例如 5V）被施加到选择栅极线 SGD 和 SGS。电压 VSG 开启选择晶体管 ST1 和 ST2。而且，0V 被施加到源极线 SL。

[0404] 结果，在选择的串组 GP 中，选择晶体管 ST1 和 ST2 被开启。因此，当读取目标页中的存储器基元晶体管 MT 被开启时，电流从对应的位线 BL 流到源极线 SL。另一方面，当存储器基元晶体管被关断时，没有电流流动。

[0405] 另一方面，在未选择的串组 GP 中，选择晶体管 ST1 和 ST2 被关断。因此，没有数据从未选择的串组 GP 被读取。

[0406] 图 55 仅是示意性的，且正电压 VSRC（例如 2.5V）可被施加到源极线 SL。在该情况下，位线 BL、字线 WL、背栅极线 BG 和选择栅极线 SGD 和 SGS 的电势每个都等于上述电压加上电压 VSRC。

[0407] 7.4 用于测试 NAND 闪存存储器 100 的方法

[0408] 7.4.1 字线短路测试

[0409] 现在将描述测试如上配置的 NAND 闪存存储器的方法。本实施例通过在垂直方向（在其中存储器基元被层叠的方向）将一个块分为多个区域来管理 NAND 闪存存储器。图 56 是示出用于将块分为多个区域的单元的实例的图。图 56 仅示出一个块内的两个 NAND 串。

[0410] 在图 56 示出的实例中，通过将块分为 4 个区域，AR0 到 AR3，而管理块。在特定区域 AR 中，当在字线间的一个或多个位置发生短路缺陷时，区域 AR 作为缺陷区域被管理。

[0411] 图 57 是示出用于将具有柱形（I 型）半导体层的块分为多个区域的单元的实例的图。在图 57 示出的实例中，将块分为 4 个区域 AR0 到 AR3 而管理一个块。区域 AR 的数量不限于 4，例如块可被认为其他数量的块，诸如 8 和 16。在特定区域 AR，当在字线间的一个或多个位置处发生短路缺陷时，区域 AR 作为缺陷区域被管理。

[0412] 图 58 是在出货前对 NAND 闪存存储器 100 执行的测试方法的流程图。根据本实施例的测试检查字线的短路（短路测试）。短路测试使用例如测试器来检查在目标字线间是否发生短路。

[0413] 以下描述的短路测试顺序地在每个块上执行。首先，在将被测试的块中，短路测试同时在所有的字线层上执行（一次）（步骤 S200）。特别地，在水平方向彼此邻近的字线被短路测试，且在垂直方向上彼此邻近的字线被短路测试。如果步骤 S200 中的第一短路测试的

Micron Ex. 1002, p. 131
Micron v. YMTC
IPR2024-00794

结果指示在字线层中没有发生短路，则没有在块中发生短路缺陷。因此，测试器把块记录为好块(步骤 S201)。将在以下描述短路测试的特定实例。

[0414] 如果第一短路测试的结果指示发生字线短路，短路测试在块中的 4 个区域 AR0 到 AR3 中单独执行(步骤 S202，第二短路测试)。步骤 S202 中的第二短路测试的结果识别其中发生字线短路的区域 AR。

[0415] 随后，在两个相邻的区域 AR 上同时执行第三短路测试(步骤 S203)。步骤 S203 中的第三短路测试允许确定跨过两个相邻区域 AR 之间的边界布置且在垂直方向彼此邻近的字线间是否发生短路缺陷。步骤 S203 中的第三短路测试包括 3 个步骤，即，同时在区域 AR0 和 AR1 上执行短路测试的步骤、同时在区域 AR1 和区域 AR2 上执行短路测试的步骤以及同时在区域 AR2 和区域 AR3 上执行短路测试的步骤。步骤 S203 中的第三短路测试可检测两个相邻区域 AR 之间的短路。这种类型的短路缺陷可通过第二短路测试，但可被第三短路测试检测到。当在两个相邻区域 AR 之间发生短路缺陷时，两个区域 AR 被确定为缺陷区域。

[0416] 随后，基于第二和第三短路测试的结果，识别块中缺陷区域的位置和不可用区域(步骤 S204)。在测试器中记录缺陷区域和不可使用区域的位置。缺陷区域对应于其中作为第二短路测试的结果检测出字线短路缺陷的区域 AR，以及其中作为第三短路测试的结果检测出字线短路的两个相邻区域 AR。缺陷区域不被用作数据存储区域。

[0417] 不可用区域是缓冲区域，其用于在写操作期间的升压电压控制并对应于缺陷区域的相对侧上的区域 AR。即，在不可使用区域不发生短路缺陷，但是由于不可用区域与缺陷区域相邻，升压电压控制不能在不可使用区域上执行。与缺陷区域类似，不可用区域不被用作数据存储区域。缺陷区域和不可使用区域被统称为子坏块区域。

[0418] 图 59 是示出短路缺陷的实例的横截面图。在图 59 中，字线短路已发生在区域 AR2。因此，区域 AR2 是缺陷区域。而且，位于区域 AR2 的各个相对侧上的区域 AR1 和 AR3 是不可用区域。例如，当数据被写入到字线 WL9 时，用于沟道升压控制的电压不能被施加到字线 WL6 到 WL8，由此区域 AR3 被设为不可用区域。类似地，当数据被写入到字线 WL18 时，用于沟道升压控制的电压不能被施加到字线 WL15 到 WL17，由此区域 AR1 被设为不可用区域。被用作数据存储区域的可用区域对应于块中所有的区域，除了其中发生了短路缺陷的缺陷区域以及包括在对应于除了缺陷区域以外的所有区域的好区域中的不可用区域。

[0419] 图 60 是示出可用区域和其中发生了短路缺的陷缺陷区域之间的关系的图。图 60 中的叉(“x”标记)表示缺陷区域。图 60 中的圆圈表示好区域，其是除了缺陷区域以外的区域。

[0420] 如图 60 所见，可用区域对应于除了缺陷区域和与每个缺陷区域邻近且在每个缺陷区域的相对侧上的不可用区域之外的所有区域。例如，当区域 AR4 是缺陷区域时，区域 AR3 被设为不可用区域，因此，可用区域是区域 AR1 和 AR2。而且，具有除了图 60 示出的模式以外的模式的缺陷区域的块被确定为坏块。例如，其中区域 AR0 和 AR2 是缺陷区域的块被确定为坏块，因为分别与区域 AR0 和 AR2 邻近的区域 AR1 和 AR3 是不可用块。

[0421] 图 61 是示出具有 1 型半导体层的块中的短路缺陷的实例的横截面图。在图 61 中，字线短路已发生在区域 AR2 中。因此，区域 AR2 是缺陷区域。在图 61 示出的实例中，写从最低字线层(WL0)向上前进。在这种情况下，直接位于缺陷区域之上且邻近缺陷区域的区域是不能对其执行升压电压控制的不可用区域。在图 61 中，缺陷区域 AR2 以上且与其邻近

Micron Ex. 1002, p. 132
Micron v. YMTC
IPR2024-00794

的区域 AR1 被设为不可用区域。而且，区域 AR0 和 AR3，其是来自块中的所有区域中的除了短路区域 AR2（即，缺陷区域）以及不可用区域 AR1 以外的区域，被设为用于存储数据的可用区域。

[0422] 图 62 是示出具有 I 型半导体层的块中的缺陷区域和可用区域之间的关系的图。如图 62 所示，来自块中的所有区域的除了缺陷区域和不可用区域以外的区域被设为可用区域。不可用区域直接在缺陷区域之上并与其相邻。而且，具有除了图 62 的模式以外的模式的缺陷区域的块被确定是坏块。当使用图 54 示出的沟道升压机制时，位于缺陷区域的相对侧上的区域被设为缓冲区域（不可用区域）。

[0423] 参考图 58，测试器将管理数据写入到存储器基元阵列 111（步骤 S205）。在此提到的管理数据包括关于好块、坏块和子坏块区域的信息（缺陷区域和不可用区域），其被作为短路测试的结果而获得。注意“好块”与“好区域”不同义。如上所描述的，“好块”指不包括短路缺陷的块（见图 58）。相反，“好区域”指该区域是块中的部分区域且不包括短路缺陷（见图 60 和 62）。管理数据被写入到存储器基元阵列 111 的 ROM 熔丝。

[0424] 例如，假设存储器基元阵列 111 中的块 BLKm 被指定为具有 ROM 熔丝区域。图 63 是具有 ROM 熔丝区域的块 BLKm 的示意图。如图 63，块 BLKm 中的两个页 PG1 和 PG2 被用作 ROM 熔丝区域。两个页 PG1 和 PG2 都存储相同的管理数据。上述管理数据被写入到 ROM 熔丝区域。

[0425] 7.4.2 测试状态的记录方法

[0426] 现在将描述测试状态的记录方法。图 64 是示出字线短路和其他测试的流程图。

[0427] 首先将执行除了字线短路以外的测试（步骤 S300）。步骤 S300 中的测试包括位线和感测放大器的测试，以及除了字线以外的短路测试。步骤 S300 的测试对所有的块执行。

[0428] 随后，图 58 示出的字线短路测试对于将被测试的块执行（步骤 S301）。

[0429] 随后，执行对测试状态的记录。状态 [2:0] 的实例如下：

[0430] [000]：好块

[0431] [001]：部分好块（可用区域 AR0）

[0432] [010]：部分好块（可用区域 AR3）

[0433] [011]：部分好块（可用区域 AR0 和 AR1）

[0434] [100]：部分好块（可用区域 AR2 和 AR3）

[0435] [111]：真正的坏块

[0436] 如果将被测试的块不是好块（步骤 S302），在测试器中记录坏块标识（步骤 S303）。随后，如果将被检测的块不是真正的坏块（即，包括可用区域）（步骤 S304），部分好块的状态被记录在测试器中（步骤 S305）。

[0437] 随后，当字线短路测试和用于所有块的状态记录完成时（步骤 S306），测试前进到除了步骤 S300 和 S301 以外的测试过程（步骤 S307）。

[0438] 7.4.3 短路测试的特定实例

[0439] 现在将描述短路测试的特定实例。在短路测试中，在水平方向上彼此相邻的两条字线被不同的电压充电，且在垂直方向上彼此相邻的两条字线被不同的电压充电。图 65 是示出用于短路测试的施加的电压的图。

[0440] 假设例如区域 AR0 的短路测试被执行且电压 VPGM 和电压 VPASS 被用作两种电压。

Micron Ex. 1002, p. 133
Micron v. YMTC
IPR2024-00794

例如字线 WL1、WL2 和 WL3 用程序电压 VPGM 充电，而字线 WL0、WL2 和 WL22 被程序通过电压 VPASS 充电。相邻字线在水平方向和垂直方向用不同的电压充电。检测泄漏电流是否出现在用电压充电的多条选择字线中。

[0441] 图 66 是示出用于检测泄漏电流的操作的电路图。驱动器 144 包括 N 沟道 MOS 晶体管 DR1-DR4。MOS 晶体管 DR1 的电流路径的一端连接到端子 73，且 MOS 晶体管 DR1 的电流路径的另一端连接到节点 VCGSEL。电压 VPGM 被施加到 MOS 晶体管 DR2 的电流路径的一端，且 MOS 晶体管 DR2 的电流路径的另一端连接到节点 VCGSEL。读取电压 VCGR 被施加到 MOS 晶体管 DR3 的电流路径的一端且 MOS 晶体管 DR3 的电流路径的另一端连接到节点 VCGSEL。未选择的电压 VUSEL（VPASS 或 VREAD）被施加到 MOS 晶体管 DR4 的电流路径的一端，而 MOS 晶体管 DR4 的电流路径的另一端连接到未选择的字线。节点 VCGSEL 连接到未选择的字线。利用例如来自测试器的命令执行选择的字线和未选择的字线的改变。

[0442] 泄漏检测电路 70 连接到端子 73。泄漏检测电路 70 包括电压生成电路 71 和安培计 72。泄漏检测电路 70 可被包括在测试器中或可并入到 NAND 闪存存储器 100 中。由字线短路引起的泄漏电流是小电流。为了检测小电流，将泄漏检测电路 70 并入到 NAND 闪存存储器 100 是理想的。

[0443] 在泄漏电流检测操作中，首先选择的字线（图 66 的实例中的 WL0、WL2 和 WL4）经由 MOS 晶体管 DR2 用电压 VPGM 充电，且未选择的字线（图 66 的实例中的 WL1 和 WL3）经由 MOS 晶体管 DR4 用电压 USEL（=VPASS）充电。

[0444] 随后如图 67 所示，在 MOS 晶体管 DR2 和 DR4 被关断后，MOS 晶体管 DR1 被开启。在这种状态，当短路缺陷没有发生在字线时，经由 MOS 晶体管 DR1 泄漏电流不流动且泄漏电流由此不被泄漏检测电路 70 检测到。相反，当在字线中发生短路缺陷时，泄漏电流 I 泄漏经由 MOS 晶体管 DR1 而流动。泄漏电流 I 泄漏由泄漏检测电路 70 检测。

[0445] 如上所示，泄漏电流的检测，即，短路测试可被实施。当增加短路测试区域时，实施例也可以类似于区域 AR0 的情况被执行。

[0446] 7.5NAND 闪存存储器 100 的操作

[0447] 现在将描述 NAND 闪存存储器 100 的操作。首先，控制器 200 给 NAND 闪存存储器 100 供电。然后，控制电路 141 读取来自存储器基元阵列 111 的 ROM 熔丝的管理数据，并将读取的管理数据存储在锁存器电路 122 中。随后，基于锁存器电路 122 中的管理数据，控制电路 141 管理缺陷区域和不可用区域作为未选择的区域（不可写区域）。

[0448] 在对具有缺陷区域的块执行的写操作中，控制电路 141 进行控制，以便数据仅被写入到块中的可用区域。即，控制电路 141 避免将数据写入到缺陷区域和不可用区域。此时，写通过电压 VPASS 被施加到缺陷区域的所有字线中。电压控制的剩余部分与参考图 52 描述的写操作的电压控制的对应部分相同。例如，当区域 AR0 是缺陷区域时，区域 AR1 是不可用区域，且区域 AR2 和 AR3 是图 68 示出的可用区域，随后通过电压 VPASS 被施加到区域 AR0 的所有字线，且区域 AR1 到 AR3 通常被控制用于数据写入。

[0449] 而且，在对具有缺陷区域的块执行的读取操作中，控制电路 141 进行控制，以便数据仅从块中的可用区域被读取。即，控制电路 141 避免从缺陷区域和不可用区域读取数据。此时，电压 VREAD 被施加到缺陷区域的所有字线。电压控制的剩余部分与参考图 55 描述的读取操作中的电压控制的对应部分相同。

Micron Ex. 1002, p. 134
Micron v. YMTC
IPR2024-00794

[0450] 当使用其中未施加切断电压 VISO 的写策略时，即，沟道在其中间被切断，控制电路 141 进行控制，以便仅缺陷区域未被选择。以这种策略，数据可被写入到所有的好区域（即，除了缺陷区域以外的所有区域）。

[0451] 7.6 效果

[0452] 层叠存储器基元使得存储容量增加。另一方面，如果外围电路，诸如行解码器保持具有平面结构，与存储器基元阵列相比，外围电路尺寸较大。随后，不管有多少存储器基元被层叠，芯片尺寸不能被减少。在多个 NAND 串间共享字线使得芯片尺寸减少。但是，字线的共享导致块尺寸增加。增加的块尺寸增加了擦除单元，由此降低了性能，同也增加了缺陷替代单元，由此减少生产率。例如，当在块中的字线间发生短路缺陷时，块通常被确定为是有缺陷的，即，被确定为坏块。

[0453] 相反，本实施例通过将块中的字线分为垂直方向的多个区域而管理块。随后，其中发生字线短路缺陷的区域作为缺陷区域被管理，且其他区域作为好区域被管理。因此，本实施例可避免将该块作为整体认为是有缺陷的，使得可被用户获得的存储区域的尺寸减少被最小化。结果，存储区域可被更有效地使用。

[0454] 而且，对其不能执行沟道升压策略所要求的电压控制的区域作为不可用区域被管理，没有数据被写入到不可用区域中。因此，即使各种写入策略被施加到其中发生了字线短路的块，数据可被精确地写入到块。

[0455] 当在出货后发生字线的短路缺陷时，到包括短路缺陷的块的数据写入将是写错误。但是，如果写错误可被纠错（ECC：错误检查和纠正）修复，块可被使用。相反，如果错误比特的数量超过比特的 ECC 可校正数量，块被设为坏块。

[0456] 关于数据擦除，当擦除错误由字线短路缺陷引起时，包括短路缺陷的块被设为坏块。相反，当未引起擦除错误时，即使存在字线短路缺陷，仍然可使用块。

[0457] 8. 第八实施例

[0458] 根据第七实施例，NAND 闪存存储器 100 中的控制电路 141 控制对具有其中发生字线短路缺陷的缺陷区域的块的存取。根据第八实施例，控制 NAND 闪存存储器 100 的控制器 200 控制对具有缺陷区域的块的存取。

[0459] 图 69 是示出由控制器 200 执行的控制操作的流程图。

[0460] 首先，控制器 200 给 NAND 闪存存储器 100 上电。控制器 200 随后从 NAND 闪存存储器 100 读取存储在 ROM 熔丝中的信息（管理数据）（步骤 S401）。在步骤 S401，控制器 200 接收信息，其是存储在图 63 的页 PG1 和 PG2 中的管理数据，并包括关于好块、坏块和子坏块（缺陷区域和不可用区域）的信息。步骤 S401 可根据来自控制器 200 的请求而执行或在不接收来自控制器 200 的请求的情况下由 NAND 闪存存储器 100 自主执行（POR：上电读）。

[0461] 控制器 200 将从 NAND 闪存存储器 100 接收的管理数据存储在例如 RAM220 中。然后，根据来自主机装置 300 的请求，控制器 200 存取 NAND 闪存存储器 100（步骤 S402）。此时，基于 RAM220 中的管理数据，控制器 200 仅存取任意的好块和包括在具有缺陷区域的块中的可用区域，并避免存取任何坏块和子坏块区域。

[0462] 如以上详细描述的，控制器 200 可被配置为避免存取任何子坏块区域。这使得 NAND 闪存存储器 100 的处理负载减少，并进一步允许对规格的改变被最小化。

[0463] 在上述实施例中，一个块被分为沿着层叠存储器基元的方向的多个区域。这是字

Micron Ex. 1002, p. 135
Micron v. YMTC
IPR2024-00794

线短路缺陷的发生频率沿着层叠方向而变化的趋势所导致的。即，在叠层存储器中，多个互连在沟槽中被层叠，且由此字线短路缺陷的可能性在下部要高于上部。但是，用于块分割的基础不限于层叠方向，而是可根据字线短路缺陷的状态被适宜地设定。

[0464] 9. 修改

[0465] 如上所述，根据实施例的半导体存储器器件 1 包括存储器基元阵列(图 2 中的 111)，其以非易失性方式存储数据，以及控制器(图 2 中的 140)，其控制对存储器基元阵列的存取。存储器基元阵列包括多个块。每个块包括：第一选择晶体管、第二选择晶体管、多个存储器基元晶体管、第一选择栅极线、第二选择栅极线和字线。存储器基元晶体管包括电荷积聚层和控制栅极，且被层叠在半导体衬底上。存储器基元晶体管在第一选择晶体管和第二选择晶体管之间被串联连接。第一选择栅极线和第二选择栅极线分别被连接到第一选择晶体管和第二选择晶体管的栅极。字线连接到各个存储器基元晶体管的栅极。块中的一个保持关于包括短路缺陷的字线(图 11 中的 BWL 或 BSG)、第一选择栅极线和 / 或第二选择栅极线的信息

[0466] 本配置可修复互连之间的短路缺陷并改善半导体存储器器件的存储器空间的使用效率。实施例不限于以上描述的这些且可被改变。

[0467] 在实施例中描述的实例中，仅短路字线或短路选择栅极线被包括在一个块中。但是，参考图 47 描述的多个缺陷可被包括在将被存取的块(或串)中。

[0468] 而且，在实施例中描述的实例中，管理数据被写入到 ROM 熔丝中。但是，在允许控制器 200 保持从测试获得的管理数据的这样的配置中，管理数据不需要被写入到 ROM 熔丝中。这样的方法适于具有集成到一起的 NAND 闪存存储器 100 以及控制器 200 的半导体器件(具有集成到一起的 NAND 闪存存储器 100 和控制器 200 的商业可得产品)。

[0469] 而且，图 11 描述的页 PG2 不是必作为 ROM 熔丝被处理，而是可以是作为从 ROM 熔丝分离的仅管理数据的区域而获取的区域。即，信息 BWL 和 BSG 不被 POR 读取。但是，该区域被阻止由用户(主机装置 300)存取，其仅允许由控制器 200 顺序写入信息(擦除也是被禁止的)。当然，即使在这样的情况下，信息 BWL 和 BSG 可被设为由 POR 读取。

[0470] 此外，在第二实施例的描述中，对 NAND 闪存存储器 100 的存取涉及将信息 BWL 和 BSG 传输到控制器 200。根据本实施例，以下两种方法是可能的。第一种方法是响应于来自主机装置 300 的存取指令而不是 POR 而读取 BWL 和 BSG。该方法如上所描述。第二种方法是这样的，NAND 闪存存储器 100 通过 POR 读取 BWL 和 BSG，并将 BWL 和 BSG 保持在例如寄存器 143 中，而不是将信息传递给控制器 200。随后，当控制器 200 进行存取请求时，NAND 闪存存储器 100 将寄存器 143 中的 BWL 和 BSG 传递给控制器 200。当然各种其他方法是可用的。

[0471] 而且，在第四实施例的描述中，SIN 代码被重新写入，以便将短路互连设为相同电势。但是，将短路互连设为相同电势的方法不限于 SIN 代码被重写的情况。用于该方法的命令序列也不限于图 43 和 44 示出的命令序列。例如，可准备新命令，其允许输入缺陷地址，以便控制器 200 可将命令以及指示短路位置的地址输入到 NAND 闪存存储器 100。

[0472] 而且，通过将电子从电荷积聚层取出而将数据从存储器基元晶体管 MT 擦除，存储器基元晶体管 MT 的阈值可立即具有负值。在三维叠层 NAND 闪存存储器中，各个邻近存储器基元晶体管中的电荷积聚层被连接在一起。因此，当具有负阈值的晶体管和具有正阈值

Micron Ex. 1002, p. 136
Micron v. YMTC
IPR2024-00794

的晶体管被布置为彼此邻近时，电荷可被重新耦合而恶化数据。因此，一旦擦除后，可执行程序操作以将阈值转移到具有正值的给定范围内。

[0473] 此外，当主机装置 300 存取坏字线时，可使用两种可能的方法。一种方法是阻止控制器 200 存取 NAND 闪存存储器 100。根据另一种方法，当将接收的逻辑地址转译为物理地址时，控制器 200 将逻辑地址转译为好字线的物理地址。这两种方法间的不同在图 70 中示出。图 70 是示出字线和对字线的写存取的顺序的图，并示出平面 NAND 闪存存储器的情况。

[0474] 如图 70 所示，没有任何坏字线，数据按照从字线 WL(j-1) 到字线 WL(j+3)（j 是自然数）的顺序被写入。如果字线 WLj 和 WL（j+1）是短路的，且如果控制器 200 避免发布存取这些字线 WL 的指令（控制器 200 被阻止发布对应的命令），则存取字线 WL（j+2）。相反，如果执行地址转译，控制器 200 一旦接收到存取坏字线 WLj 的指令时，将对应于 WLj 的逻辑地址转译为对应于 WL（j+2）的物理地址。因此，字线 WL（j+2）被认为是随后被存取的字线 WLj。图 71 示出了每个存储器基元晶体管保持 3 位数据。数据是逐比特写入的。在数据被写入到较高比特的字线 WLK（k 是自然数）之前，数据被写入到字线 WL（k-1）的较低比特。

[0475] 而且，在三维层叠 NAND 闪存中，每个字线 WL 由相同块内的多个串共享。因此，如图 72 的存储器基元阵列的横截面图所示，不仅对选择串中的多个字线 WL 执行相同电势控制，也对连接到选择的串的缺陷字线的未选择的串中的字线执行相同电势控制。

[0476] 图 2 示出的存储器基元阵列也可具有图 73 所示的布置。图 73 是块 BLK0 的电路图，且块 BLK1 到 BLK3 可具有相同的布置。如图 73 所示，字线 WL0 到 WL3、背栅极线 BG、偶数选择栅极线 SGD0 和 SGD2 以及奇数选择栅极线 SGS1 和 SGS3 被提取到存储器基元阵列 111 的一侧。另一方面，字线 WL4 到 WL7、偶数选择栅极线 SGS0 和 SGS2，以及奇数选择栅极线 SGD1 和 SGD3 被提取到存储器基元阵列 111 的另一侧，该另一侧与上述侧相对。这样的布置也是可能的。

[0477] 在这种布置中，可以将行解码器 112 分为两个行解码器，并将布置为，解码器彼此相对，中间夹有存储器基元阵列 111。在这种布置中，一个行解码器可选择选择栅极线 SGD0、SGD2、SGS1 和 SGS3、字线 WL0 到 WL3 以及背栅极线 BG，且另一行解码器可选择选择栅极线 SGS0、SGS2、SGD1 和 SGD3，以及字线 WL4 到 WL7。这种布置可减少互连的复杂性，诸如驱动器 144 和存储器基元阵列 111 之间的区域（包括行解码器 112）中的选择栅极线和字线。

[0478] 此外，当然，与以上描述中的数据写入、数据读取和数据擦除一起使用的值是示意性的，且当适用时可改变。此外，在上述实施例中，每个存储器基元晶体管 MT 可保持 1 比特数据（2 级数据）或至少 2 比特数据（4 级数据）。此外，上述实施例不仅适用于字线、选择栅极线和源极线的短路，如可能，也适用于其他互连中的短路缺陷。

[0479] 而且，已用三维叠层 NAND 闪存存储器作为半导体存储器器件的实例描述了实施例。但是，三维叠层 NAND 闪存存储器的配置不限于图 3 到图 7 示出的配置，而是可以被改变。而且，上述实施例不仅适用于 NAND 闪存存储器，如可能，也适用于半导体存储器器件。

[0480] 此外，如可能，在实施例中描述的流程图中的步骤可被重新排序。

[0481] 尽管已描述了特定实施例，这些实施例仅以举例的方式被展示，且不旨在限制本发明的范围。确实，在此描述的新颖实施例可以多种其他方式被实施；而且，可对在此描述的实施例的形式做出各种省略、替代和变化，而不脱离本发明的精神。所附权利要求书及其等价物旨在涵盖落在本发明的范围和精神范围内的这样的形式或修改。

Micron Ex. 1002, p. 137
Micron v. YMTC
IPR2024-00794

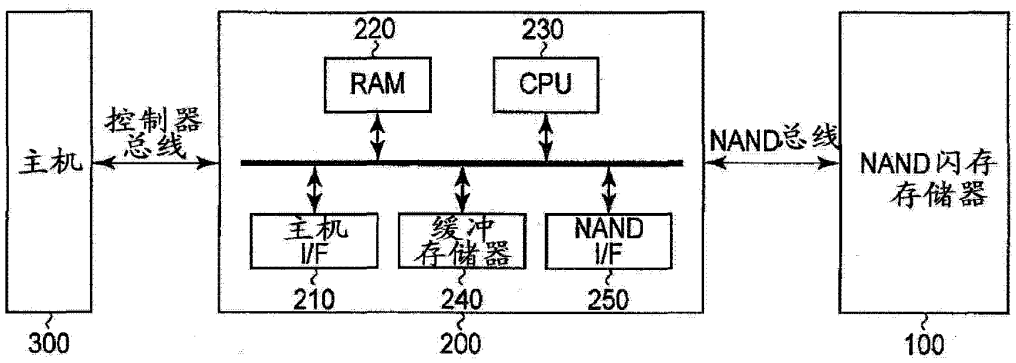


图 1

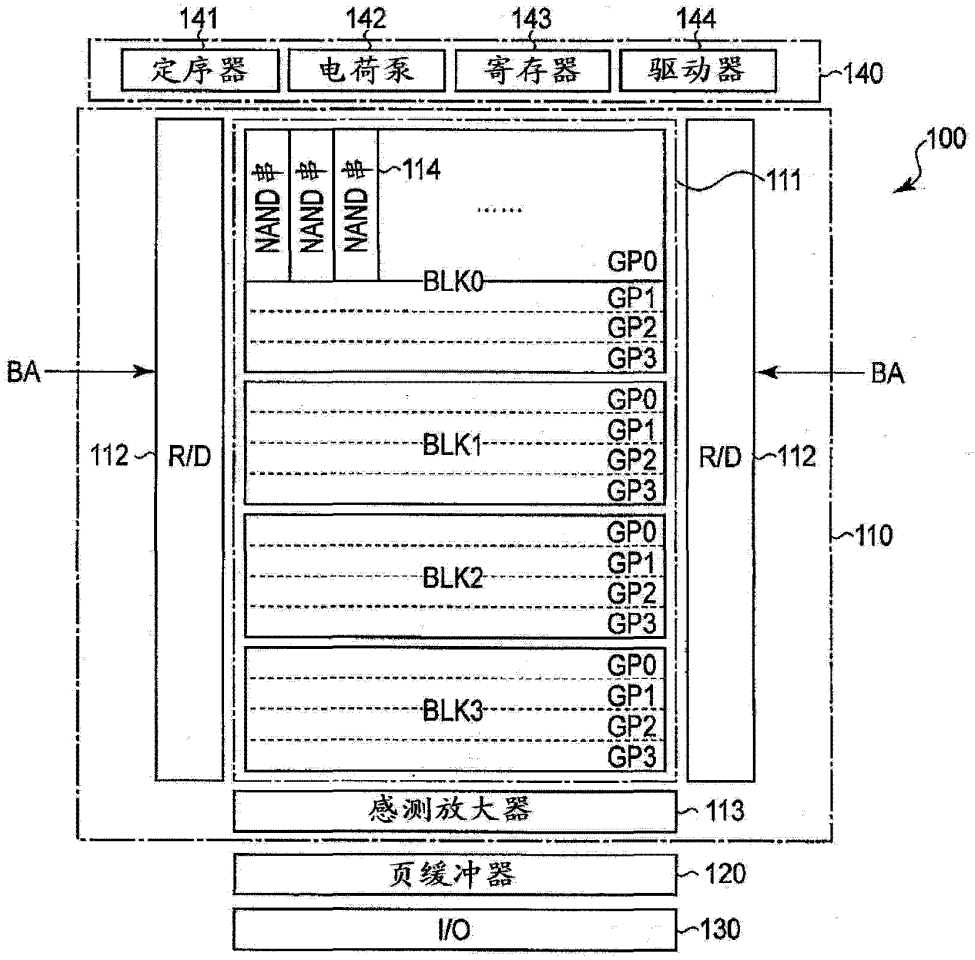


图 2

Micron Ex. 1002, p. 138
Micron v. YMTC
IPR2024-00794

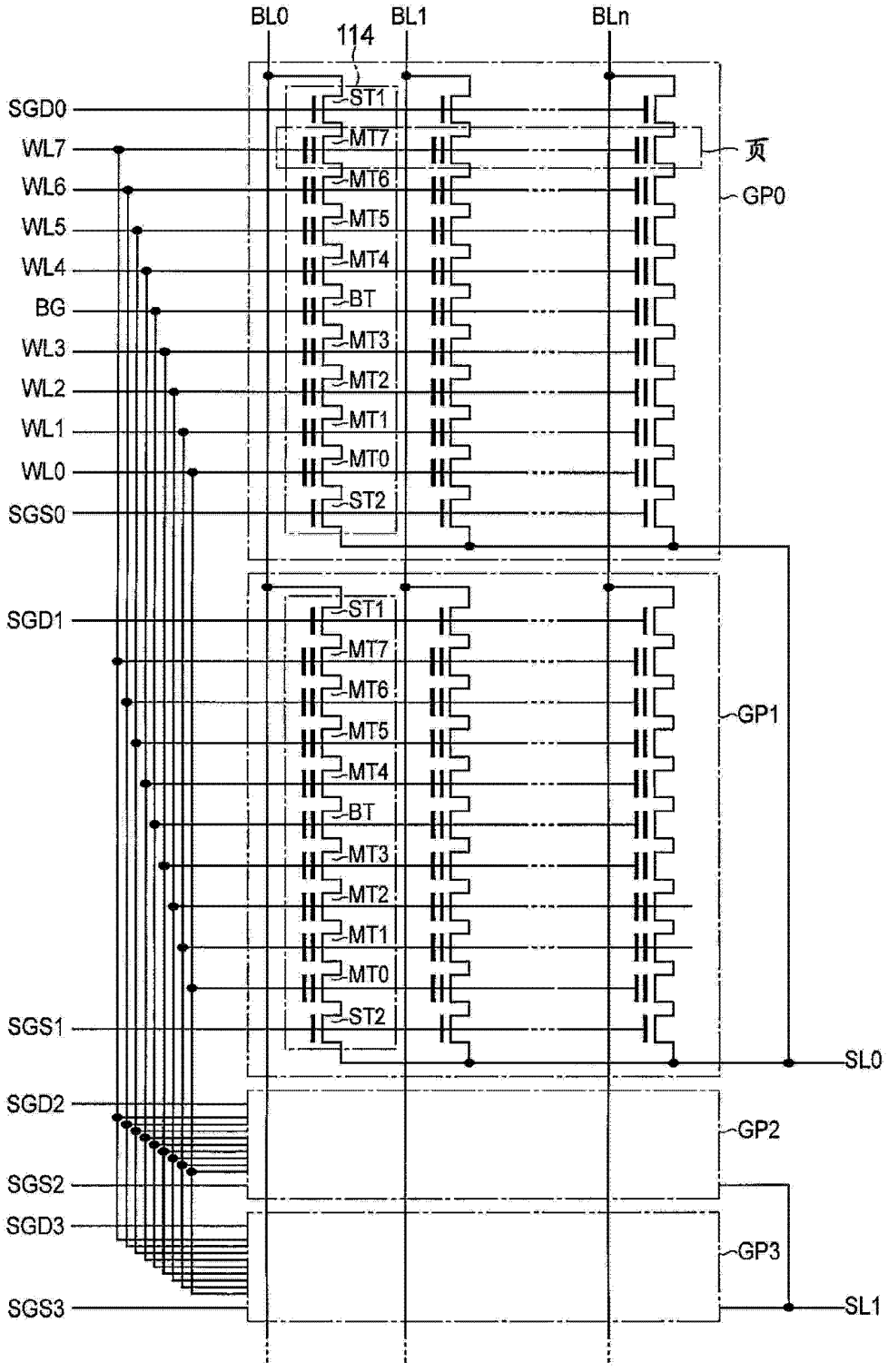


图 3

Micron Ex. 1002, p. 139
Micron v. YMTC
IPR2024-00794

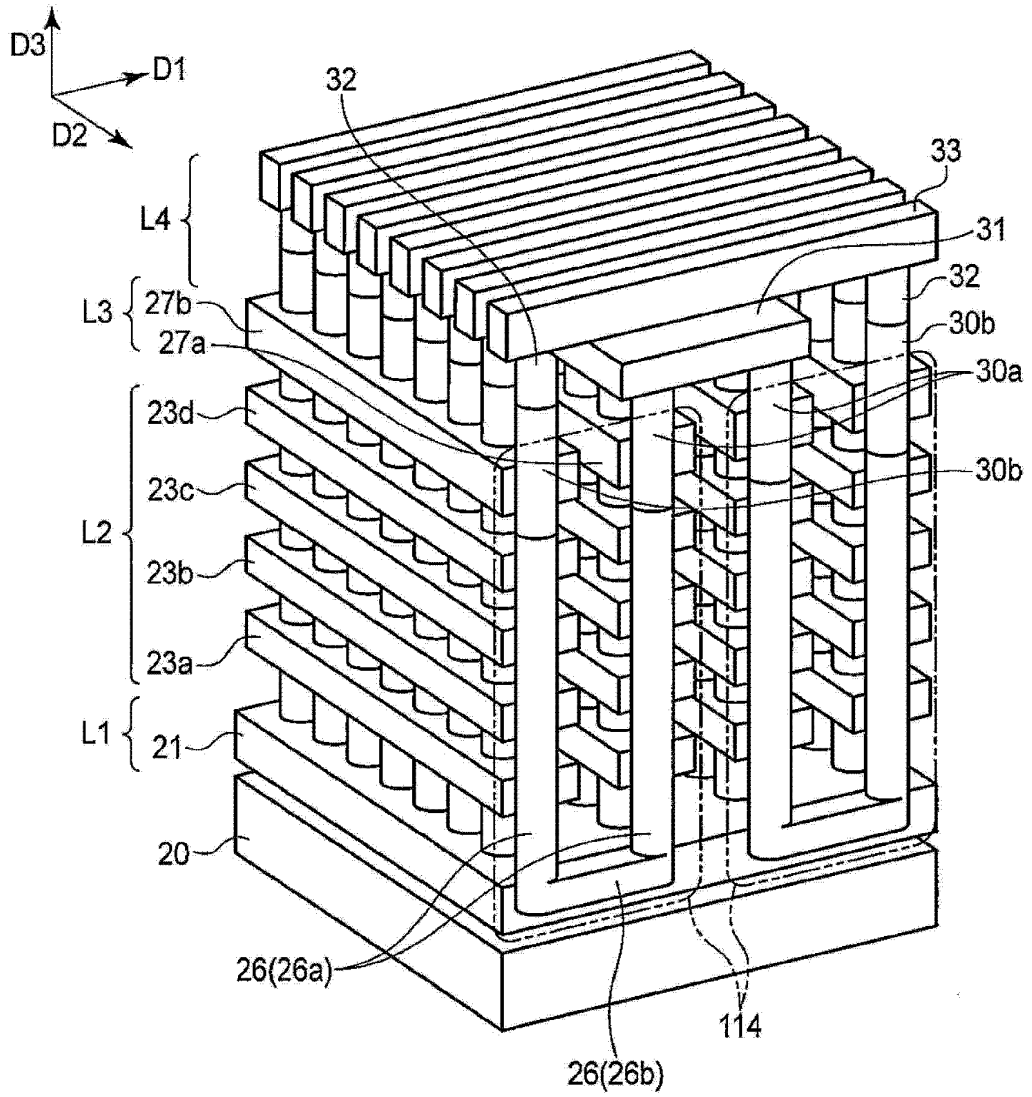


图 4

Micron Ex. 1002, p. 140
Micron v. YMTC
IPR2024-00794

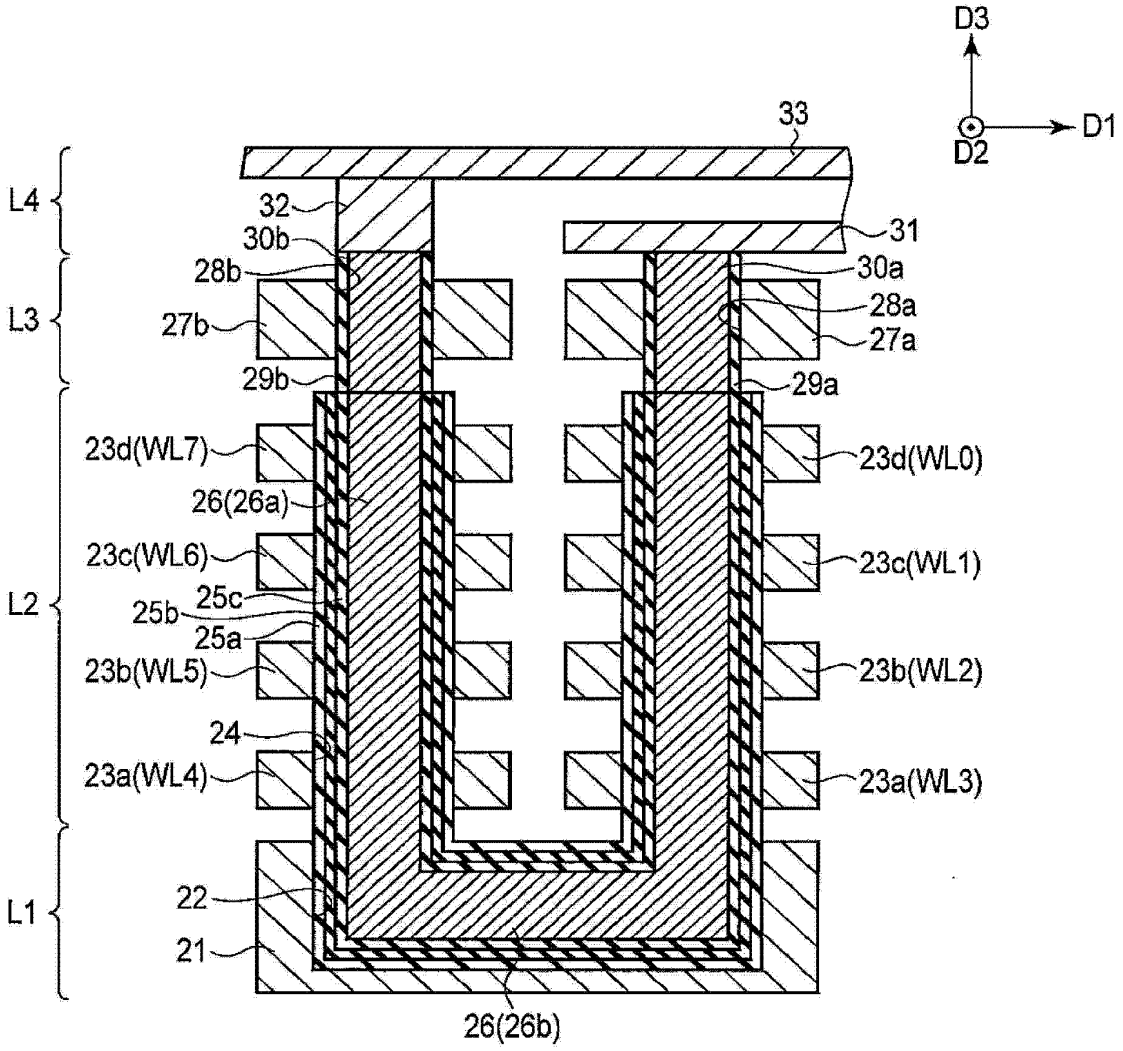


图 5

Micron Ex. 1002, p. 141
Micron v. YMTC
IPR2024-00794

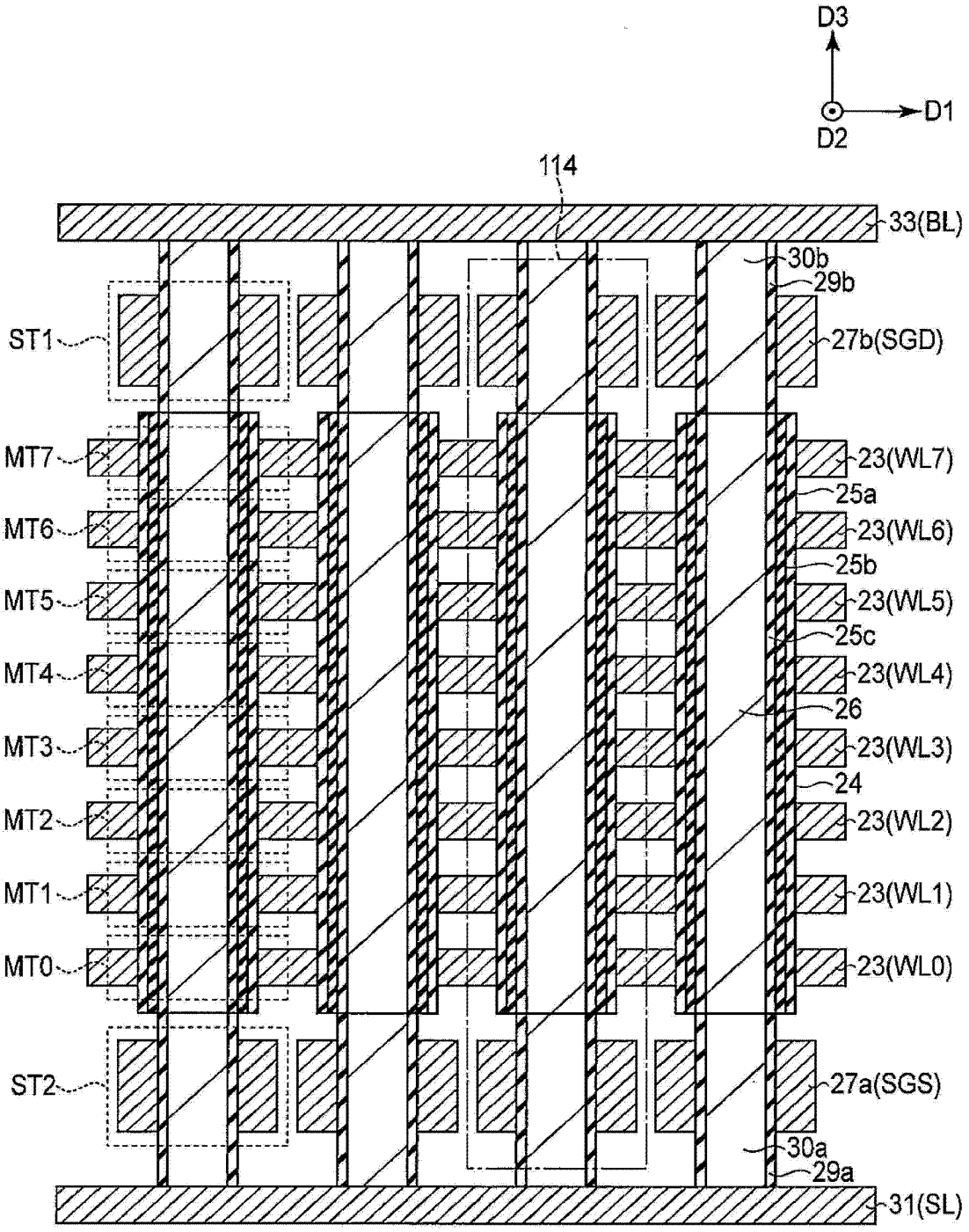


图 6

Micron Ex. 1002, p. 142
Micron v. YMTC
IPR2024-00794

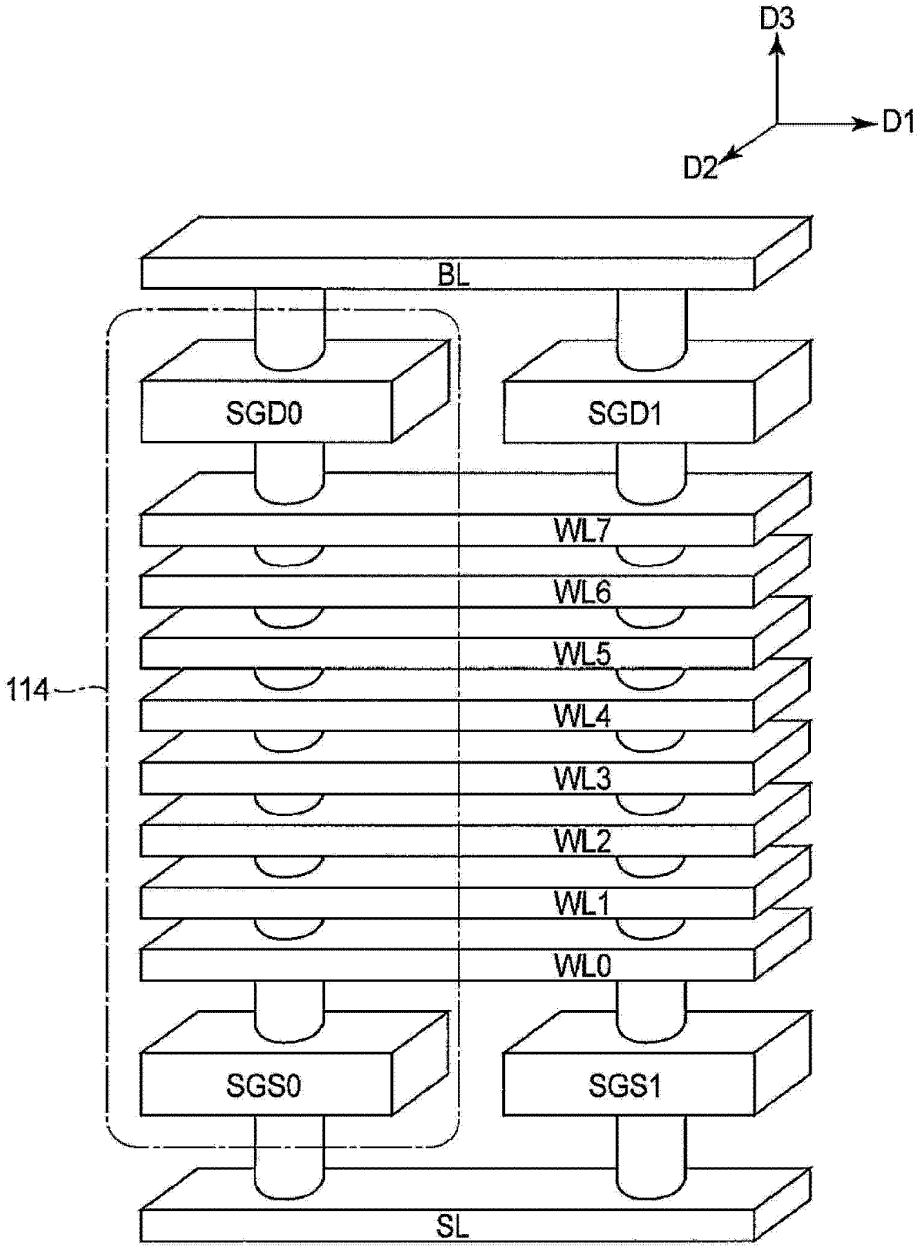


图 7

Micron Ex. 1002, p. 143
Micron v. YMTC
IPR2024-00794

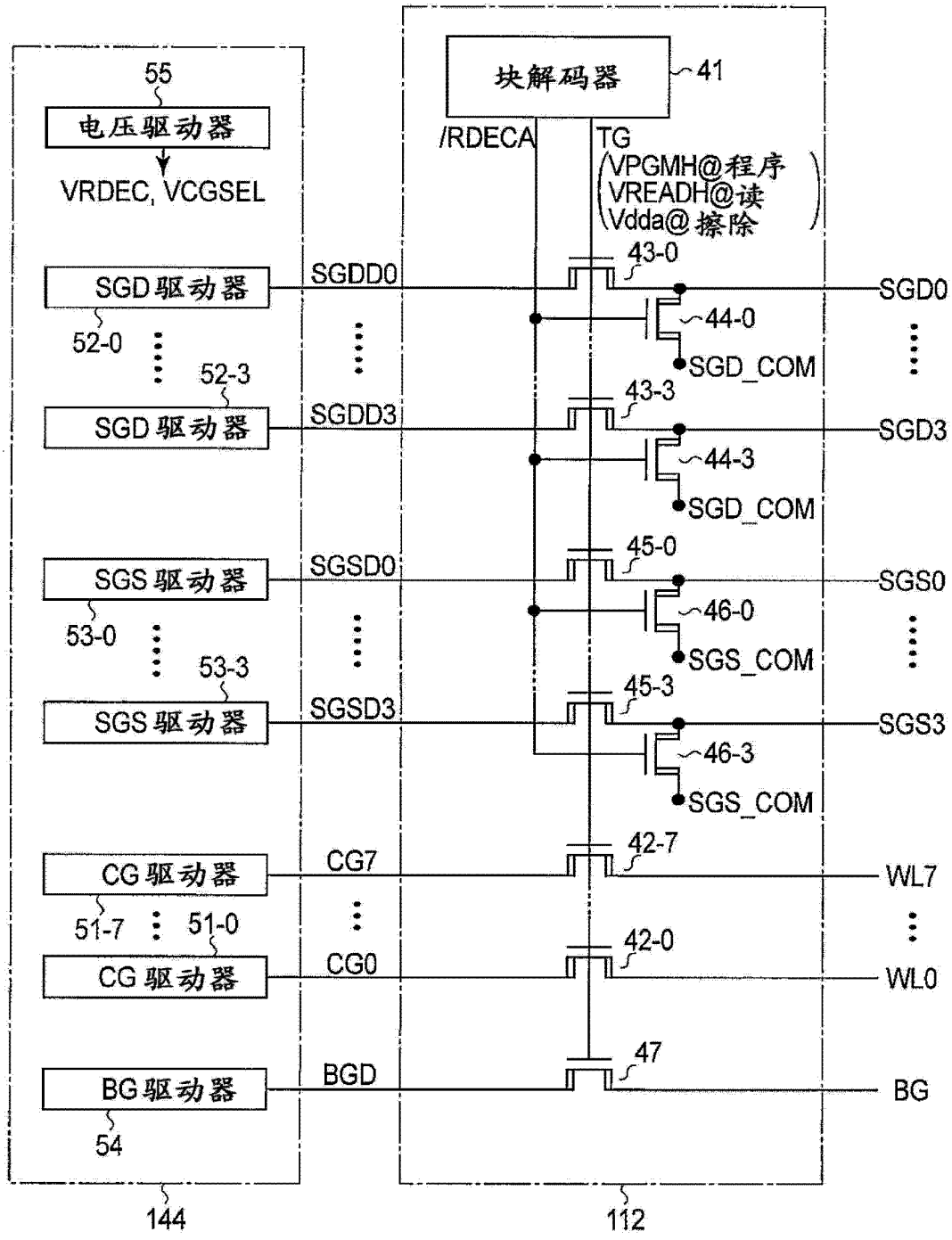


图 8

Micron Ex. 1002, p. 144
Micron v. YMTC
IPR2024-00794

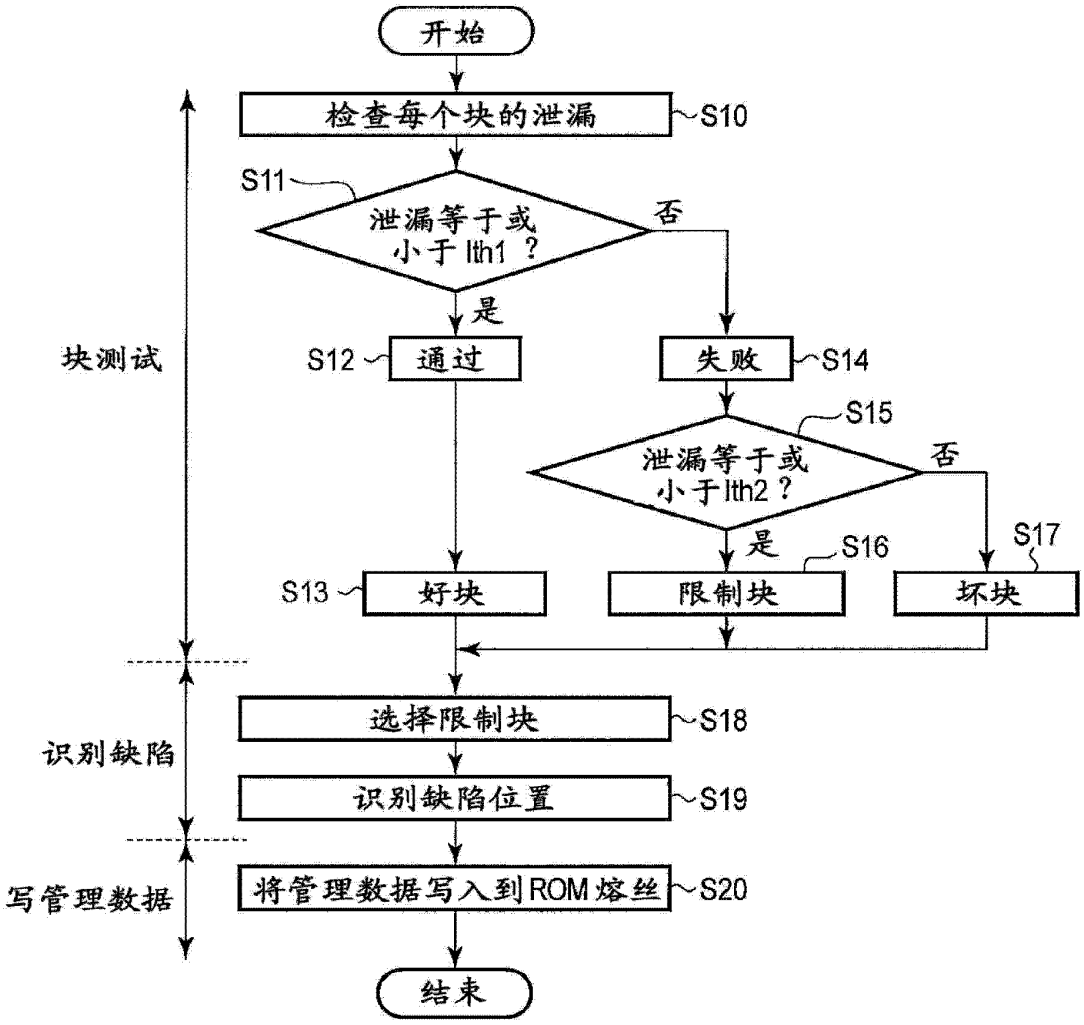


图 9

Micron Ex. 1002, p. 145
Micron v. YMTC
IPR2024-00794

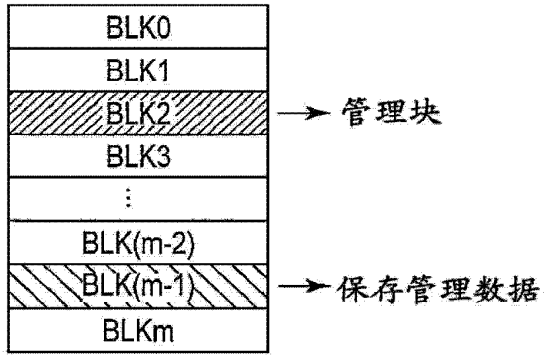


图 10

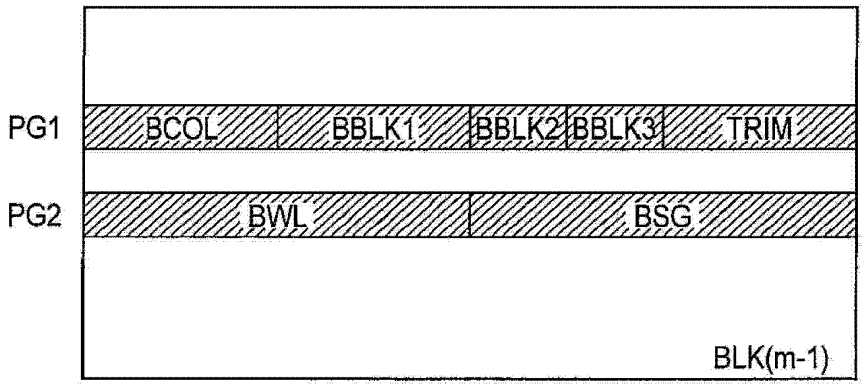


图 11

Micron Ex. 1002, p. 146
Micron v. YMTC
IPR2024-00794

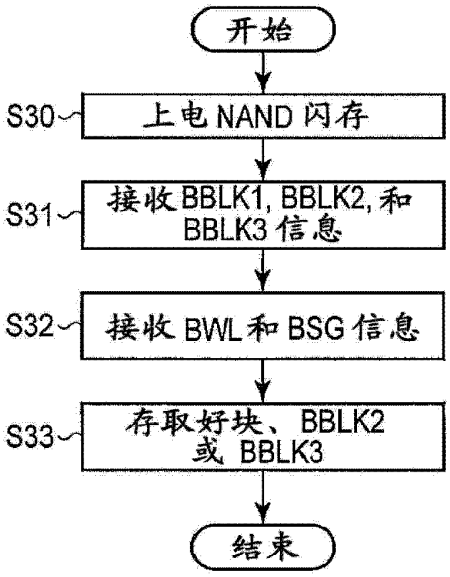


图 12

命令（复合命令）	存取限制块	存取坏 WL
读 _(x)	NG	NG
读 _LBLKm(x)	OK	NG
程序 _(x)	NG	NG
程序 _LBLKm(x)	OK	NG

图 13

Micron Ex. 1002, p. 147
Micron v. YMTC
IPR2024-00794

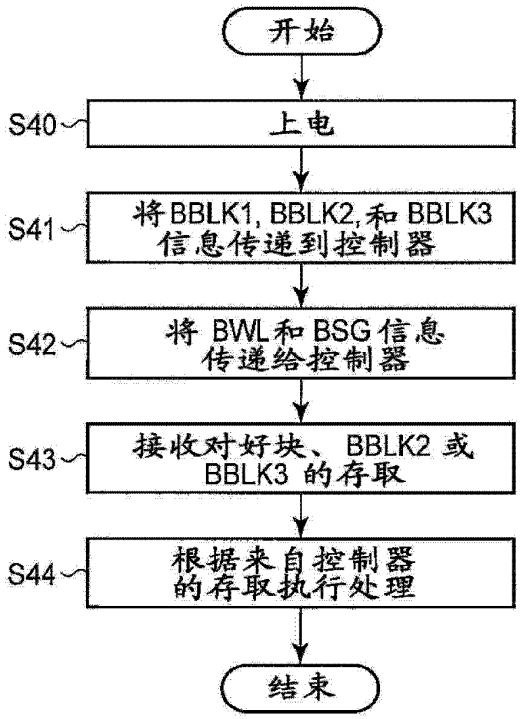


图 14

Micron Ex. 1002, p. 148
Micron v. YMTC
IPR2024-00794

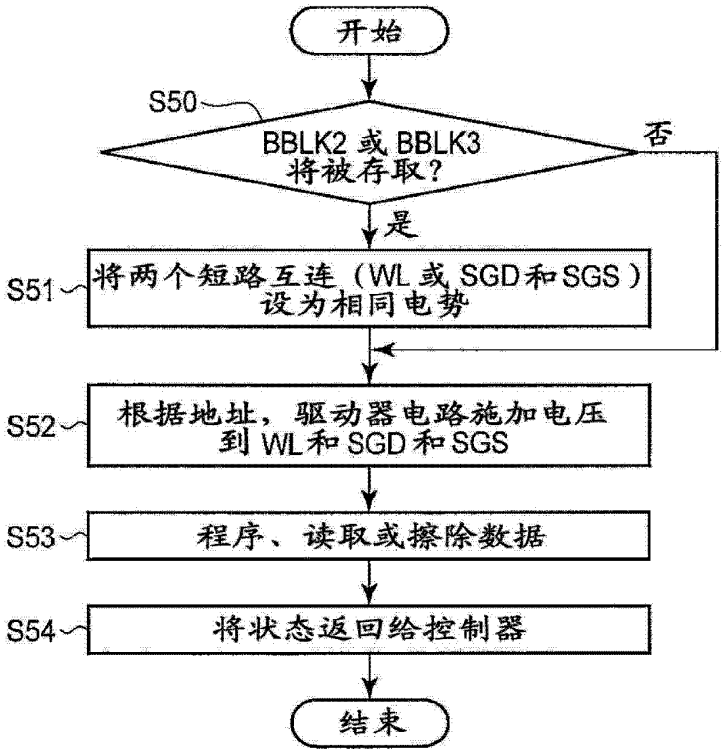


图 15

Micron Ex. 1002, p. 149
Micron v. YMTC
IPR2024-00794

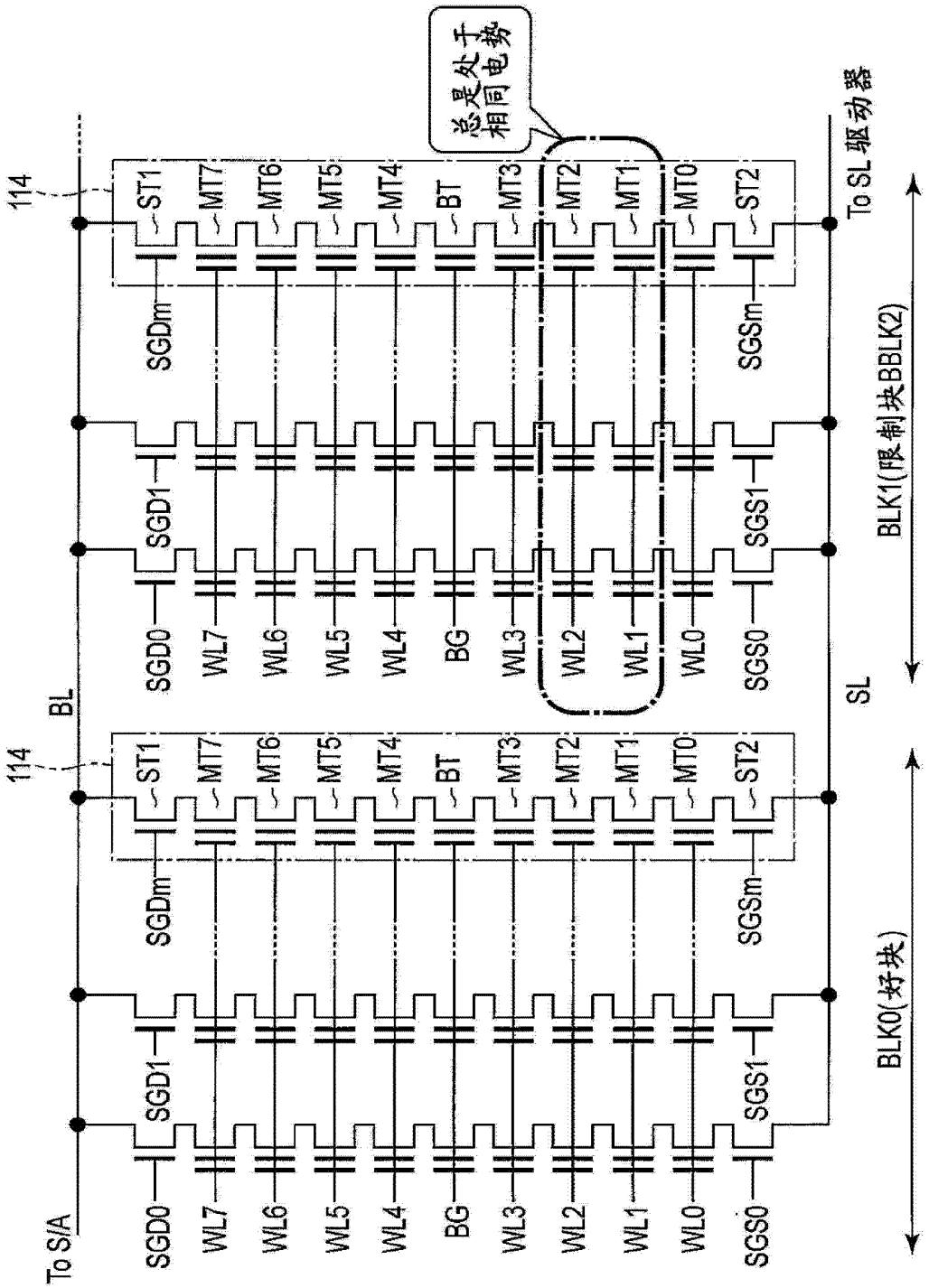


图 16

Micron Ex. 1002, p. 150
Micron v. YMTC
IPR2024-00794

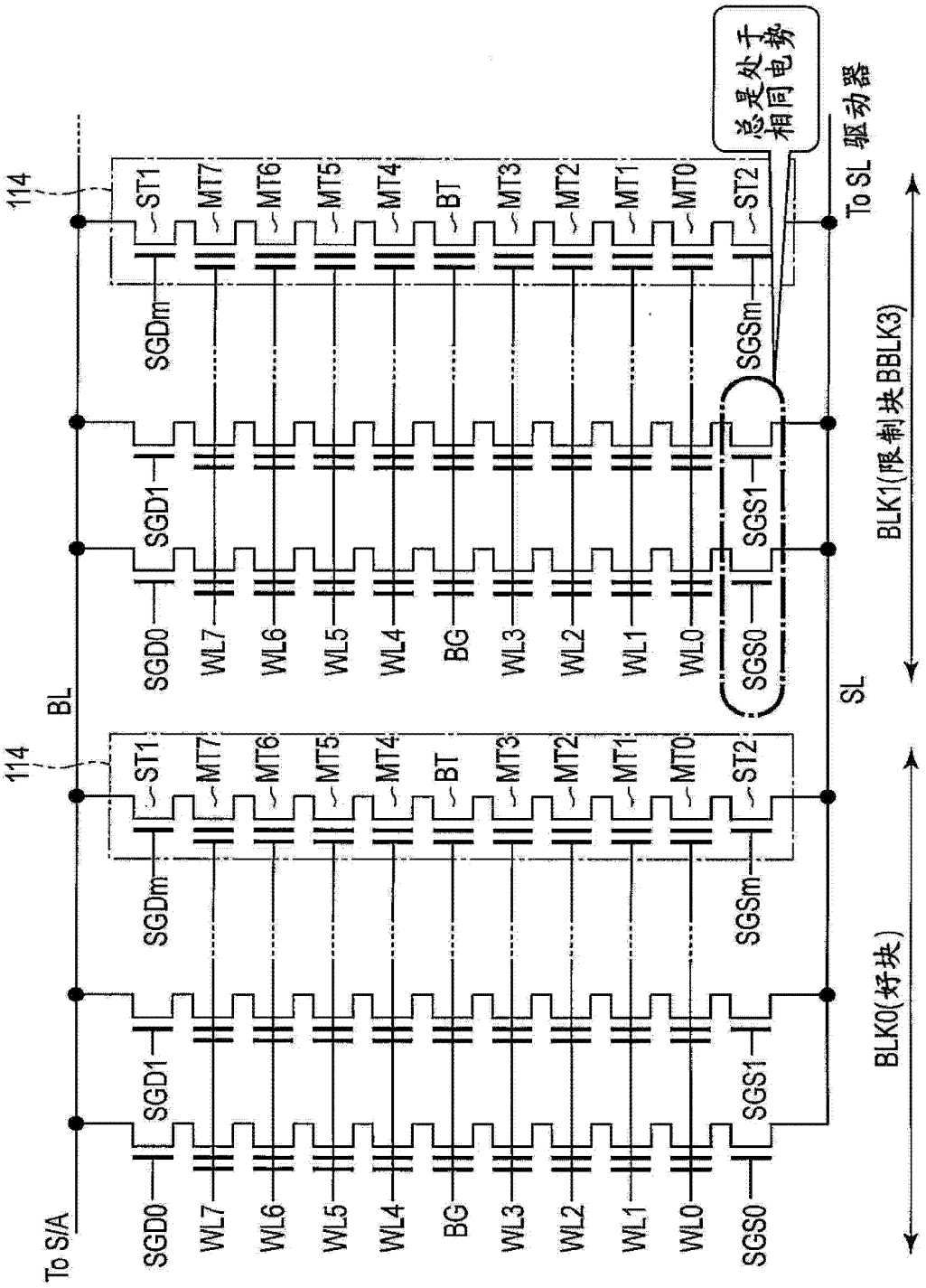


图 17

Micron Ex. 1002, p. 151
Micron v. YMTC
IPR2024-00794

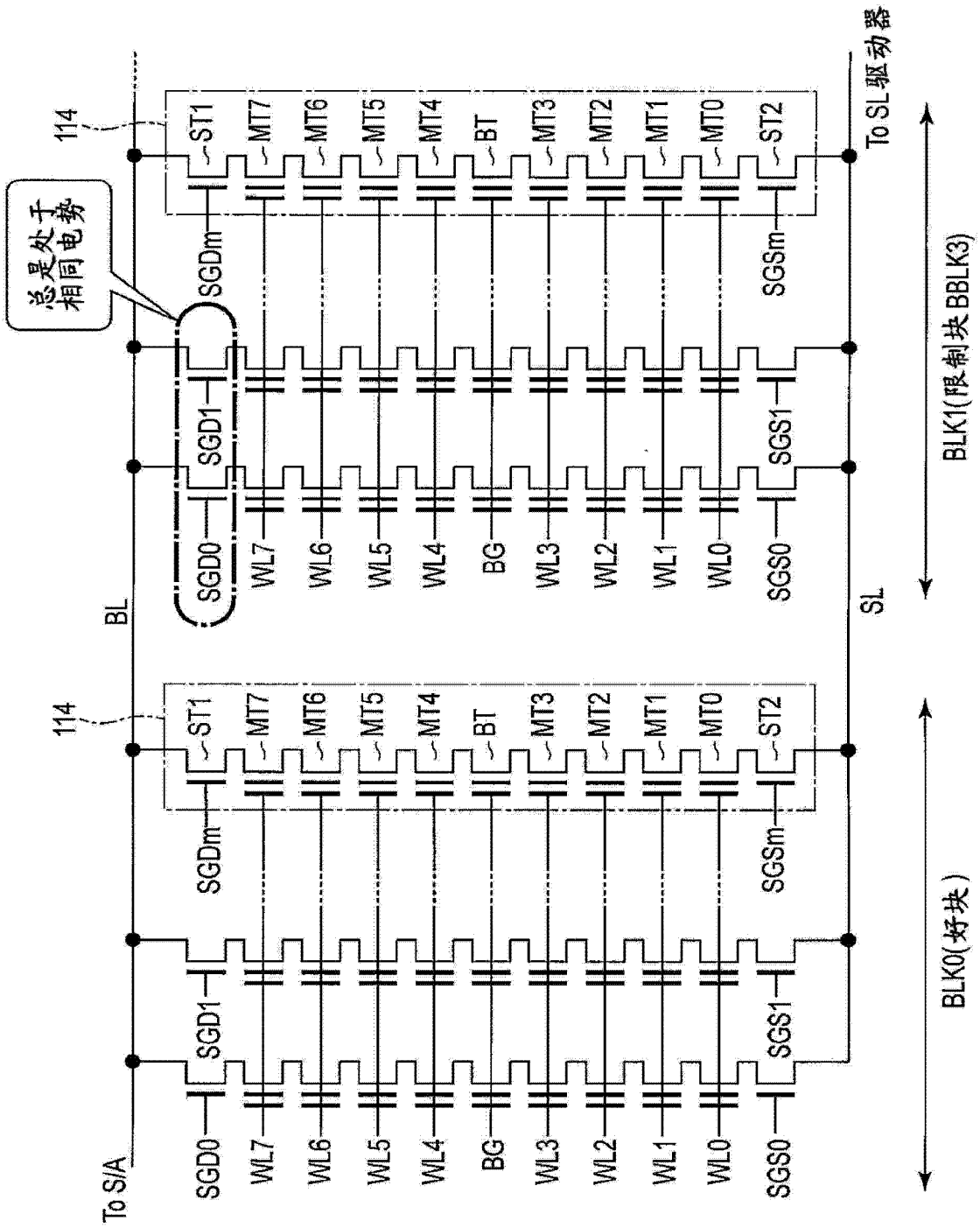


图 18

Micron Ex. 1002, p. 152
Micron v. YMTC
IPR2024-00794

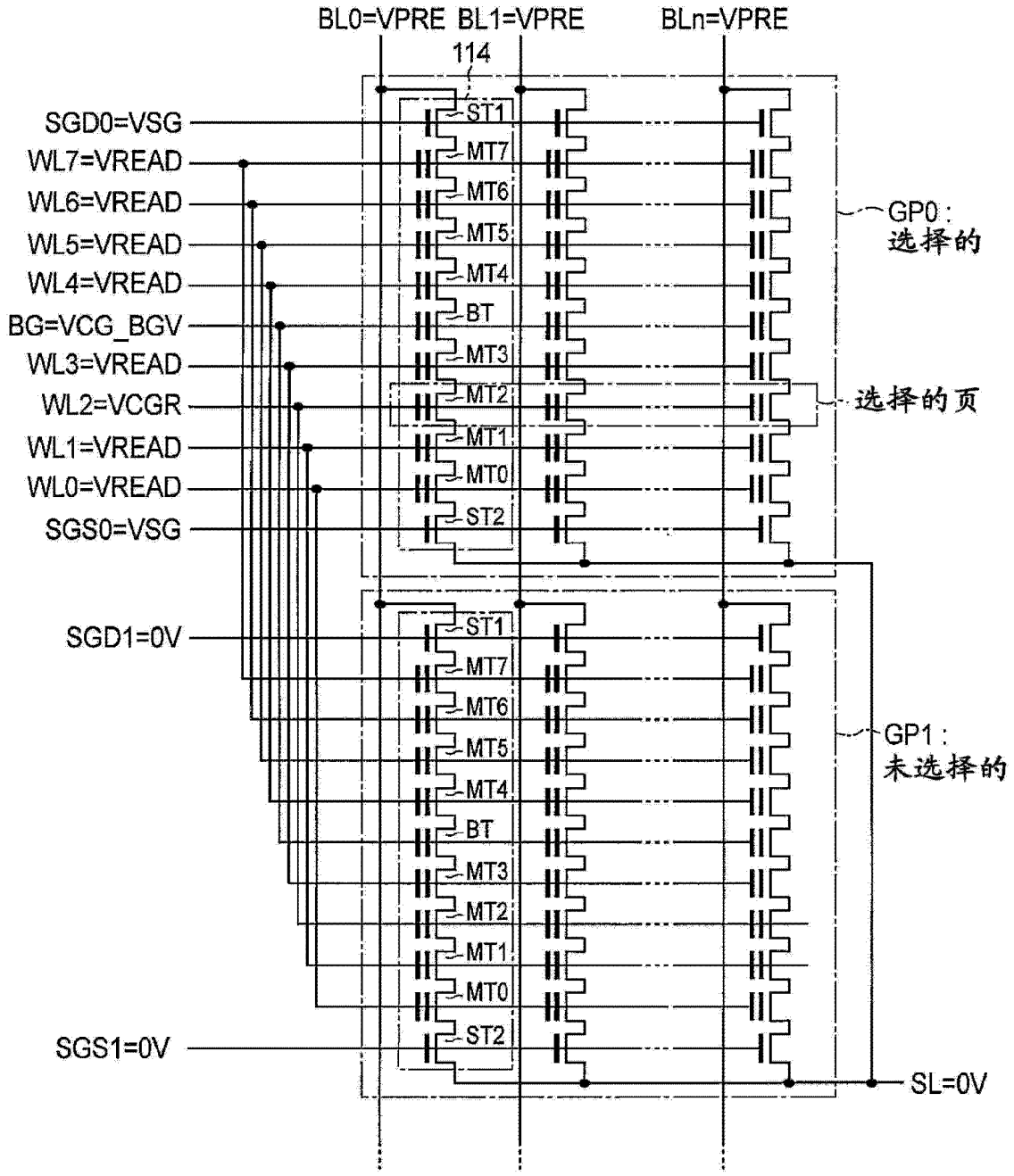


图 19

Micron Ex. 1002, p. 153
Micron v. YMTC
IPR2024-00794

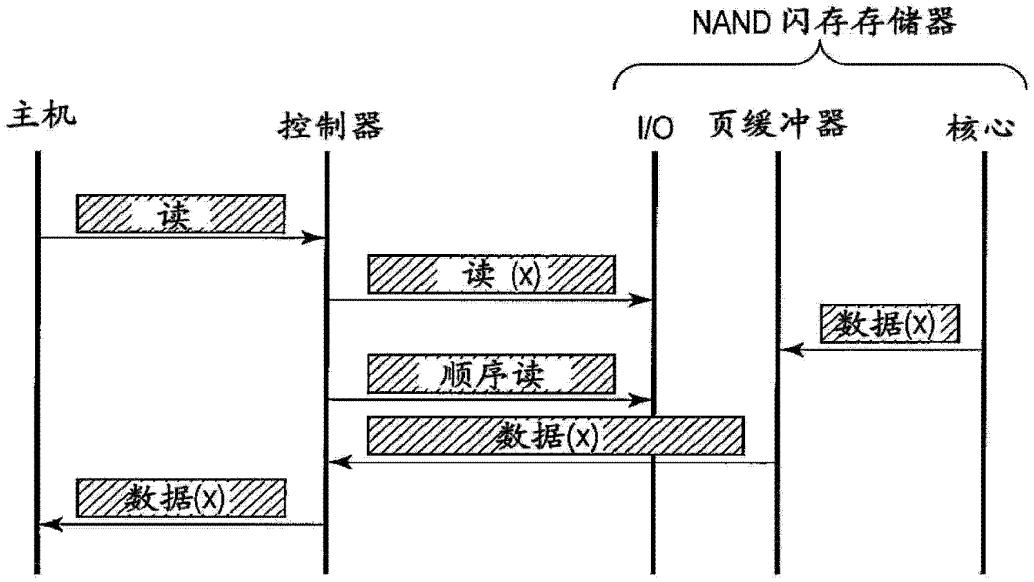


图 20

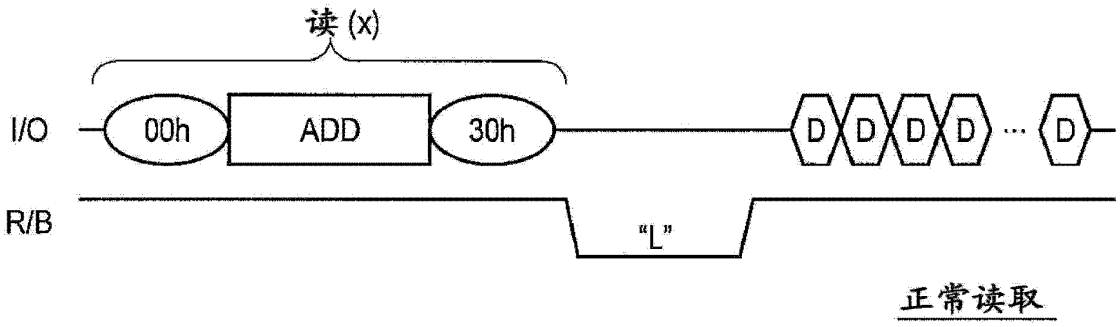


图 21

Micron Ex. 1002, p. 154
Micron v. YMTC
IPR2024-00794

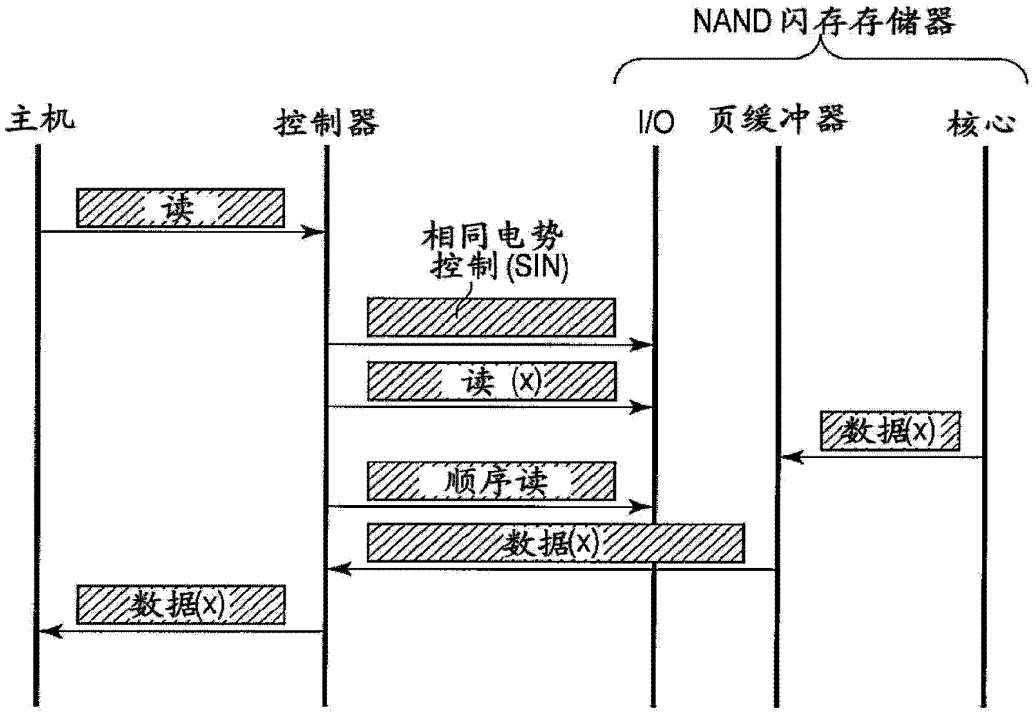


图 22

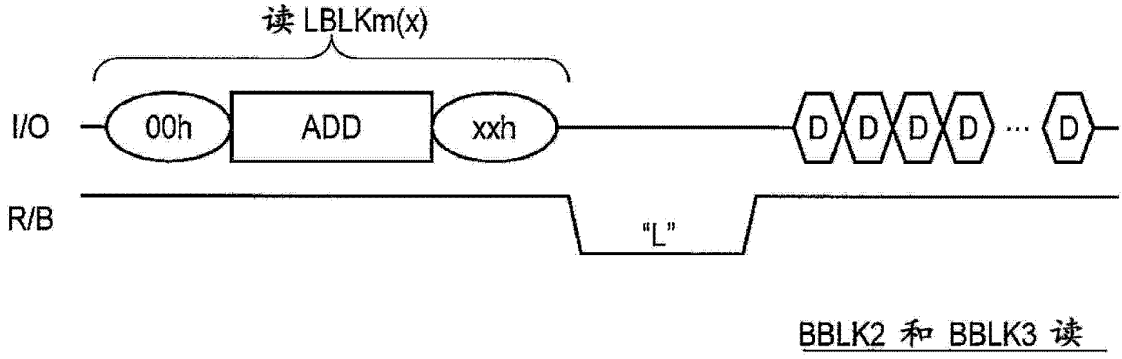


图 23

Micron Ex. 1002, p. 155
Micron v. YMTC
IPR2024-00794

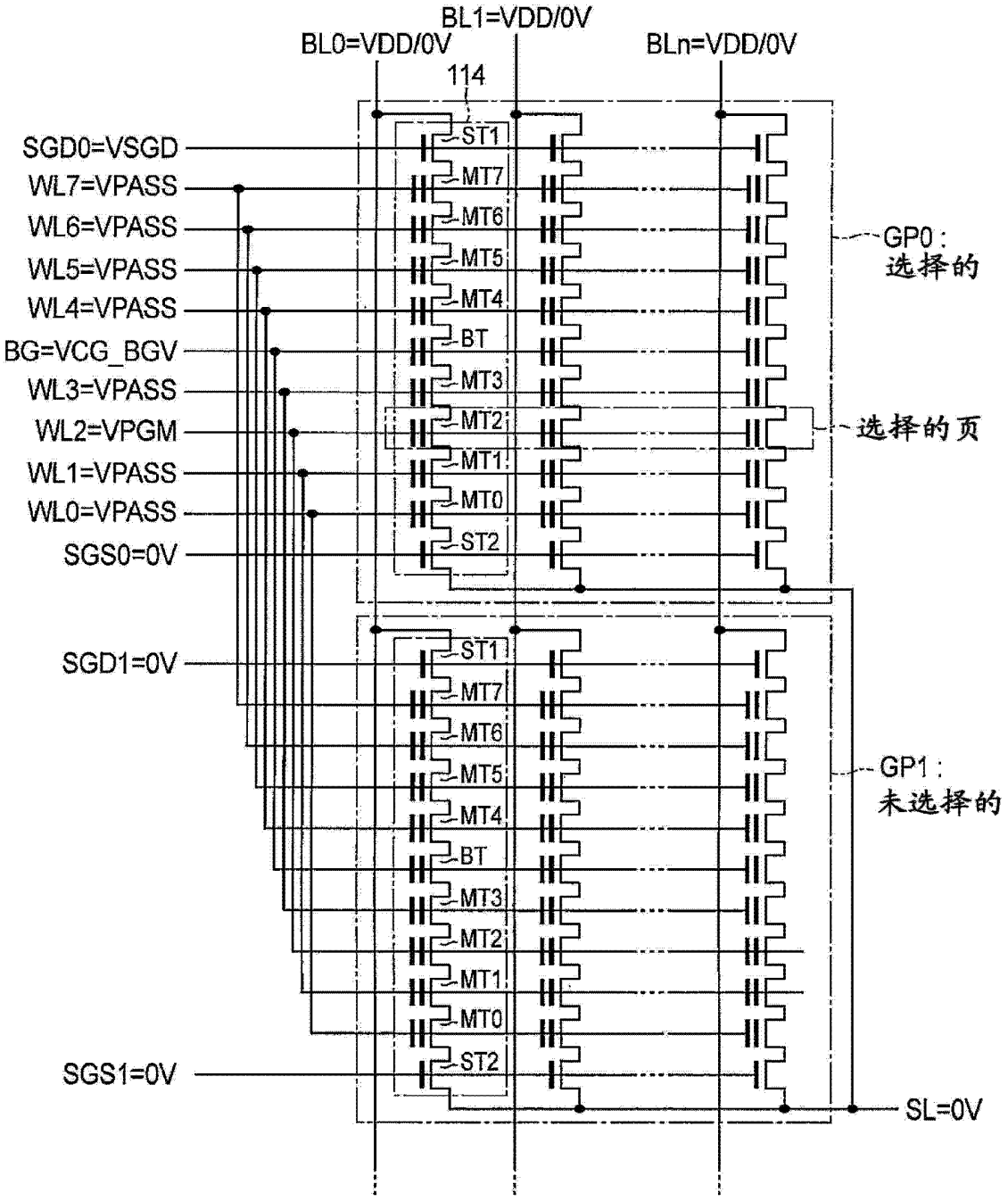


图 24

Micron Ex. 1002, p. 156
Micron v. YMTC
IPR2024-00794

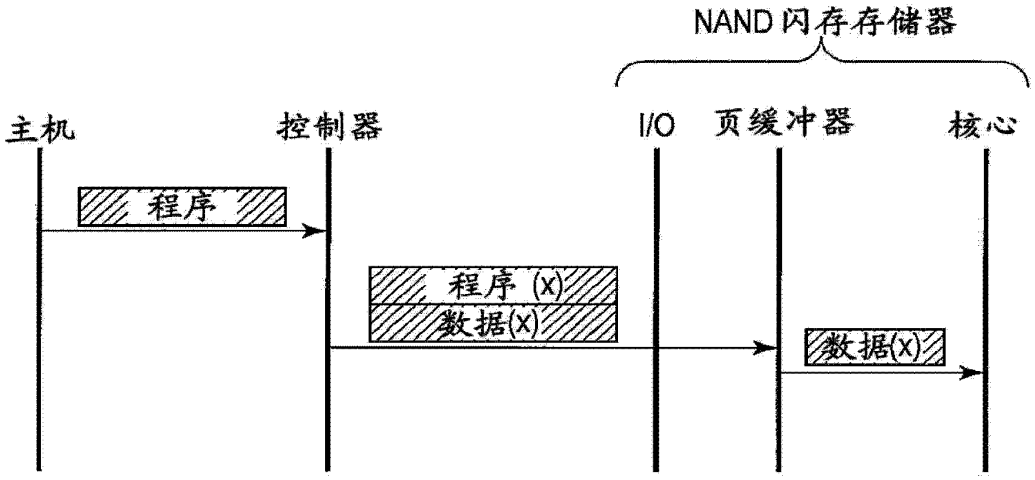


图 25

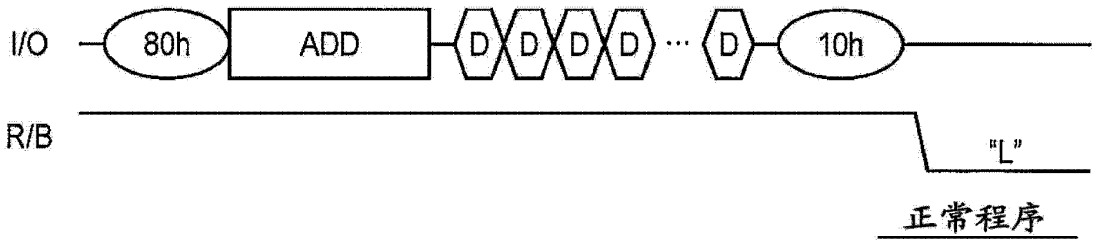


图 26

Micron Ex. 1002, p. 157
Micron v. YMTC
IPR2024-00794

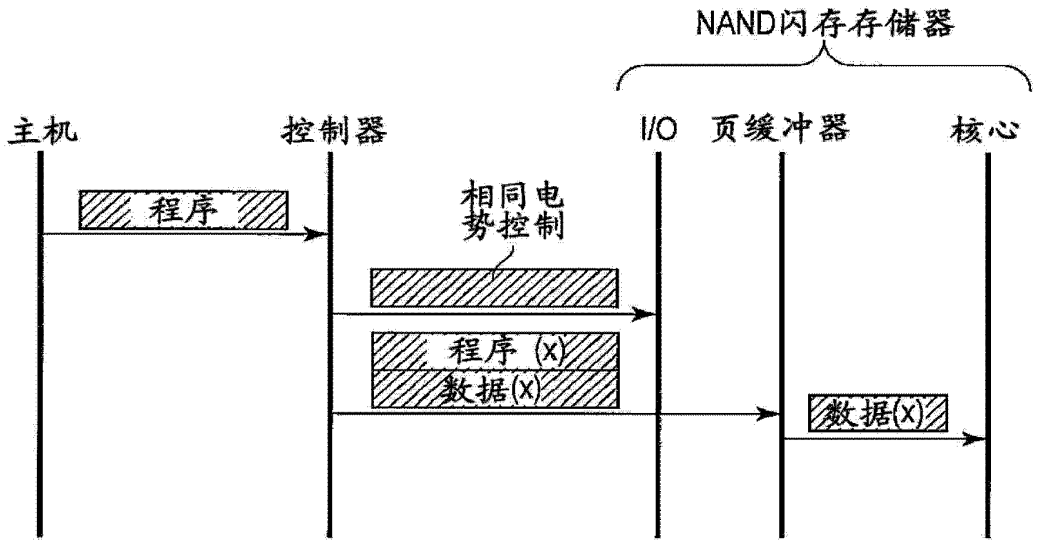


图 27

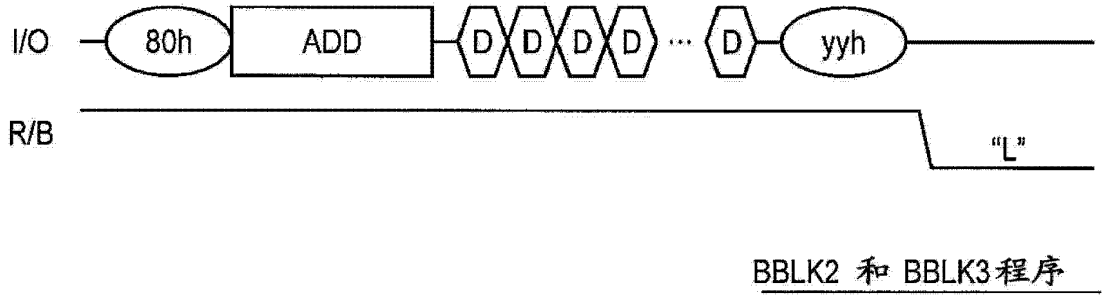


图 28

Micron Ex. 1002, p. 158
Micron v. YMTC
IPR2024-00794

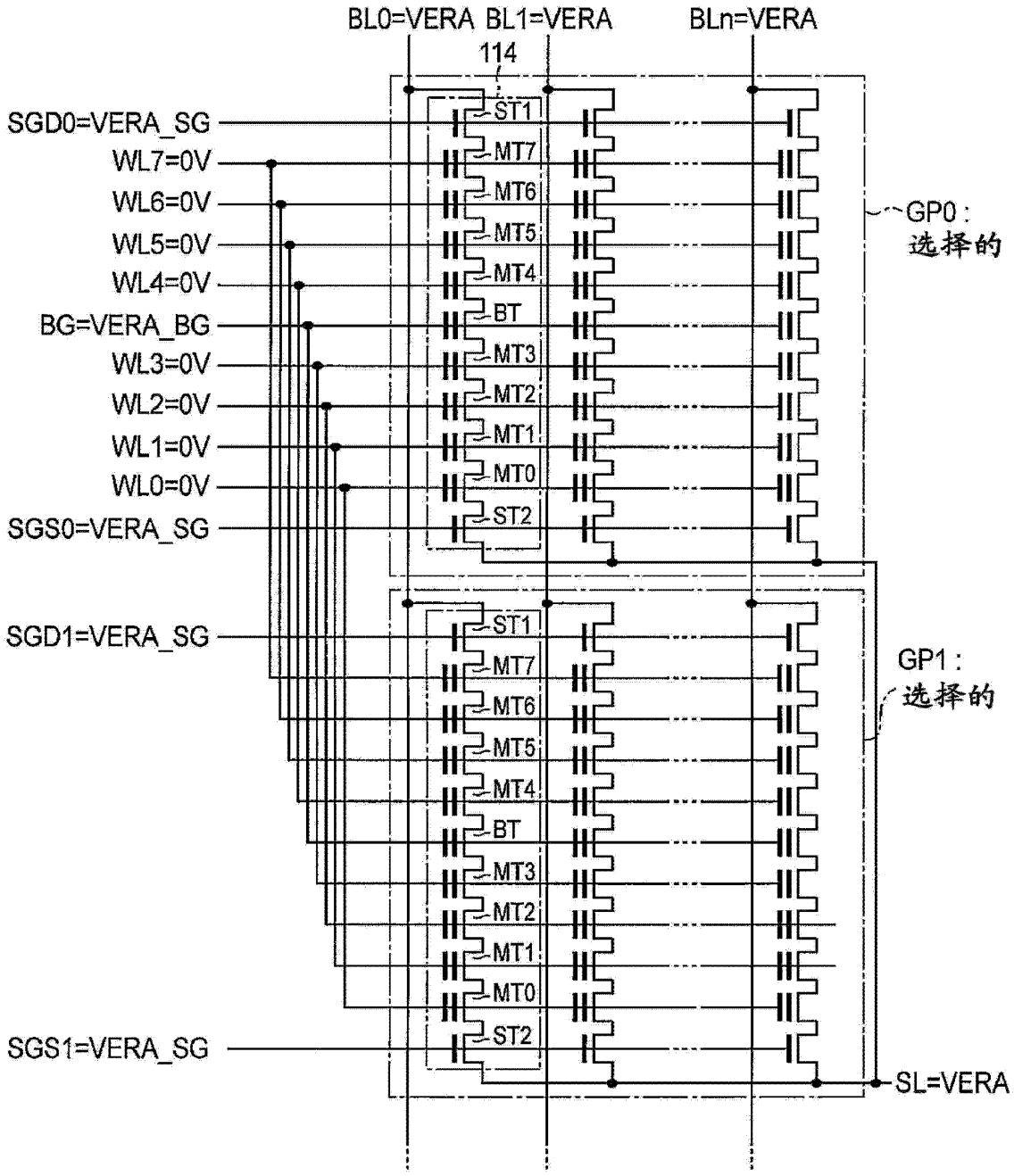


图 29

Micron Ex. 1002, p. 159
Micron v. YMTC
IPR2024-00794

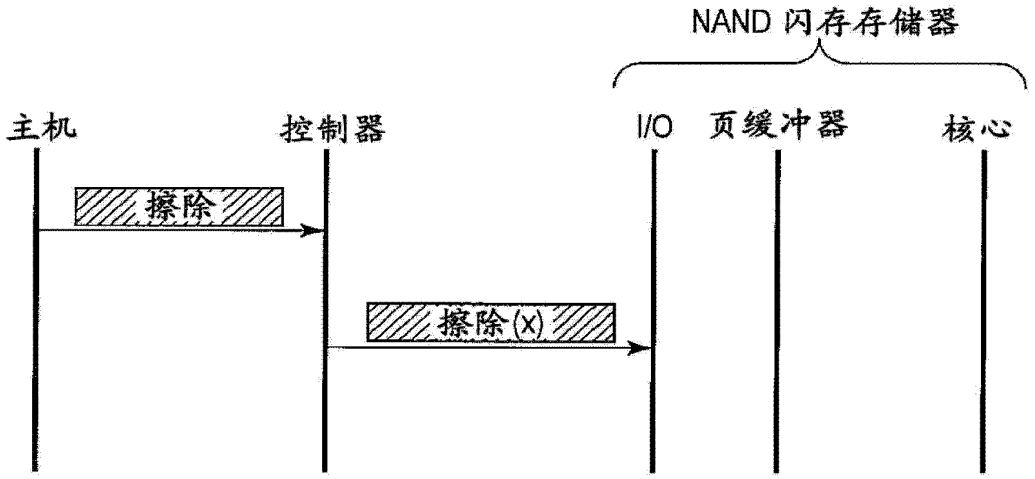


图 30

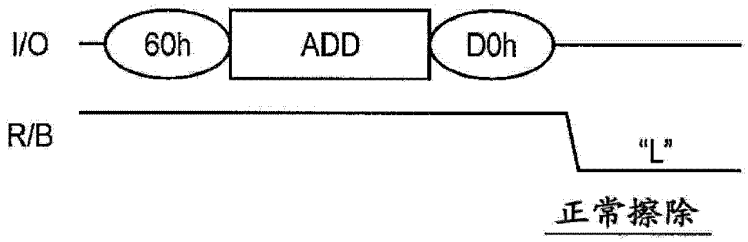


图 31

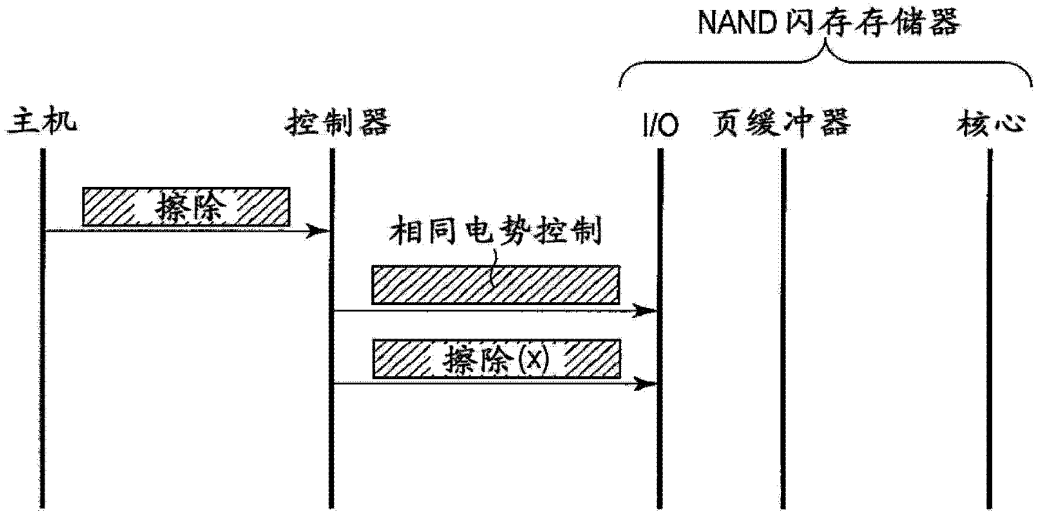


图 32

Micron Ex. 1002, p. 160
Micron v. YMTC
IPR2024-00794

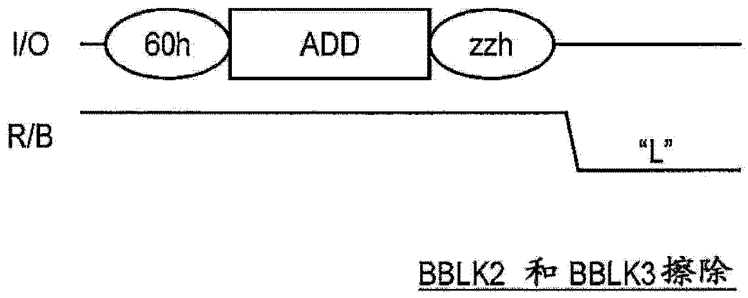


图 33

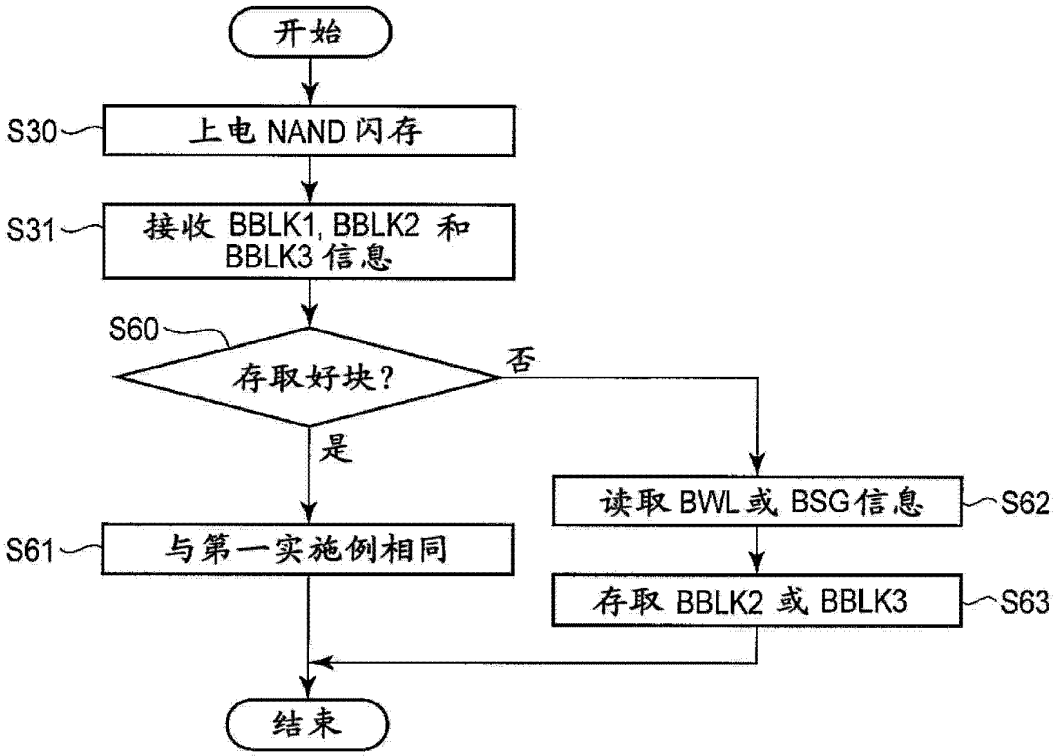


图 34

Micron Ex. 1002, p. 161
Micron v. YMTC
IPR2024-00794

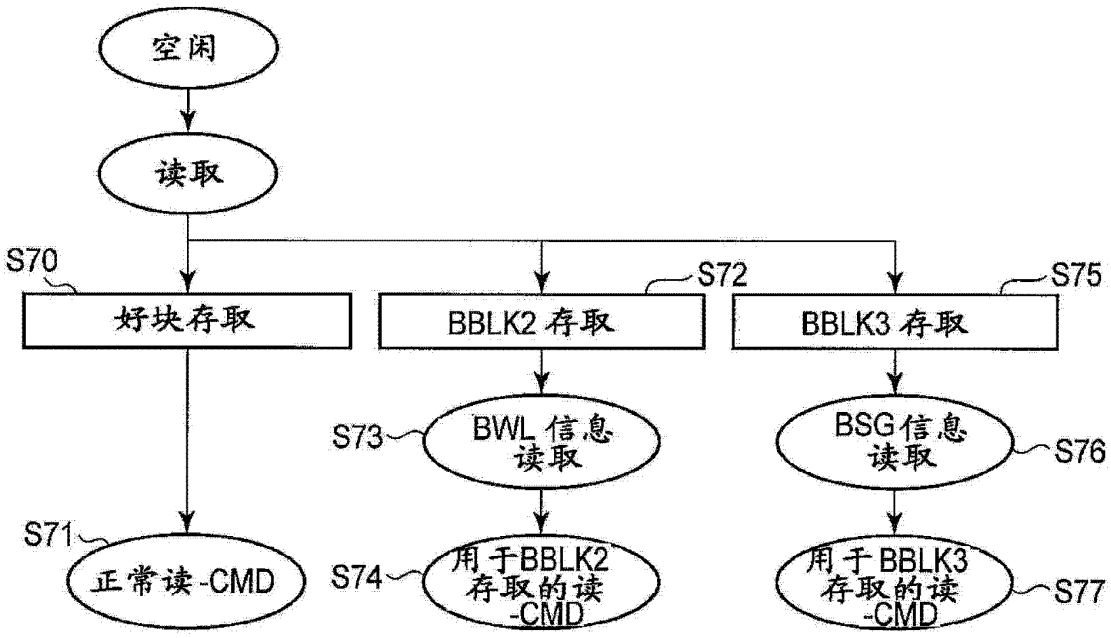


图 35

Micron Ex. 1002, p. 162
Micron v. YMTC
IPR2024-00794

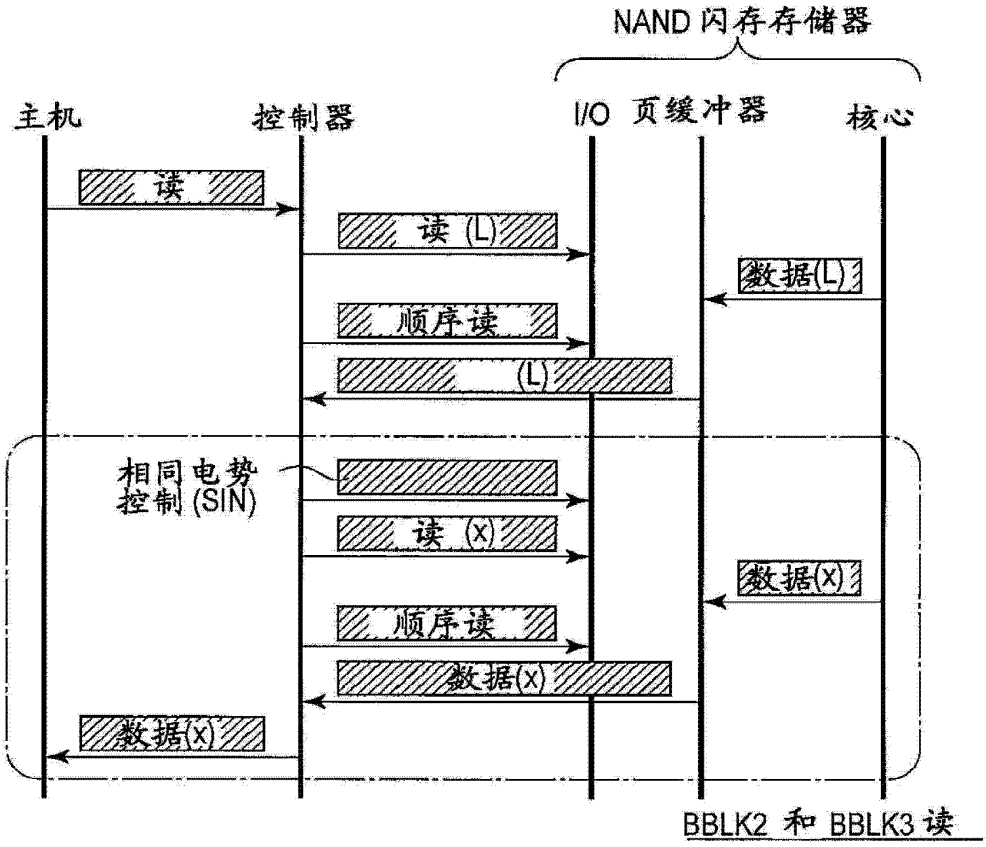


图 36

Micron Ex. 1002, p. 163
Micron v. YMTC
IPR2024-00794

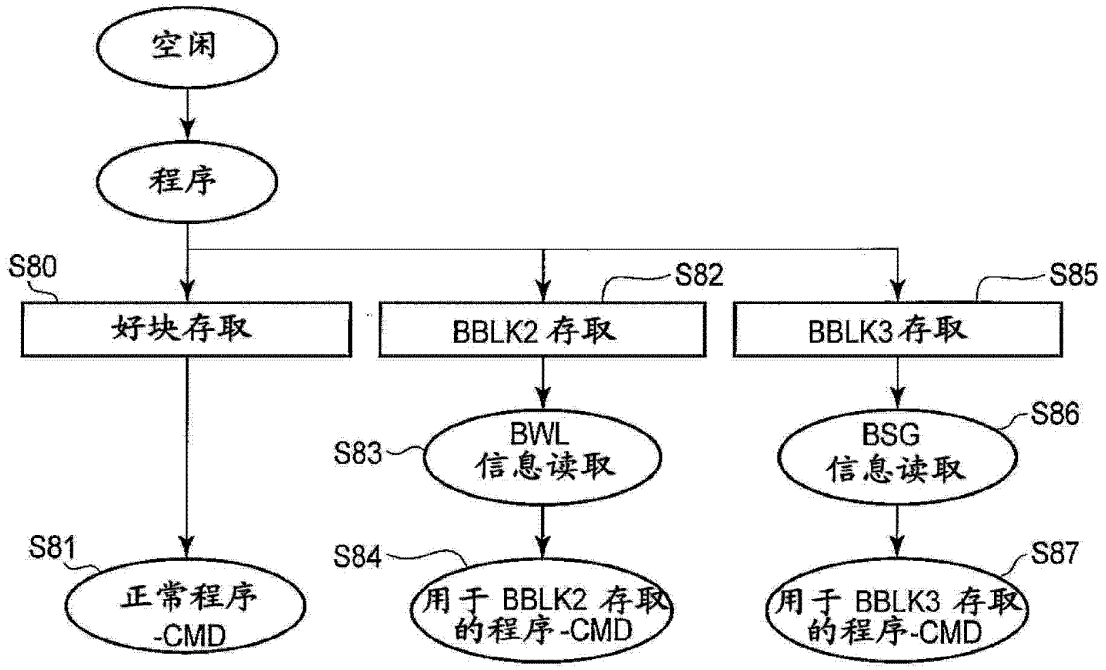


图 37

Micron Ex. 1002, p. 164
Micron v. YMTC
IPR2024-00794

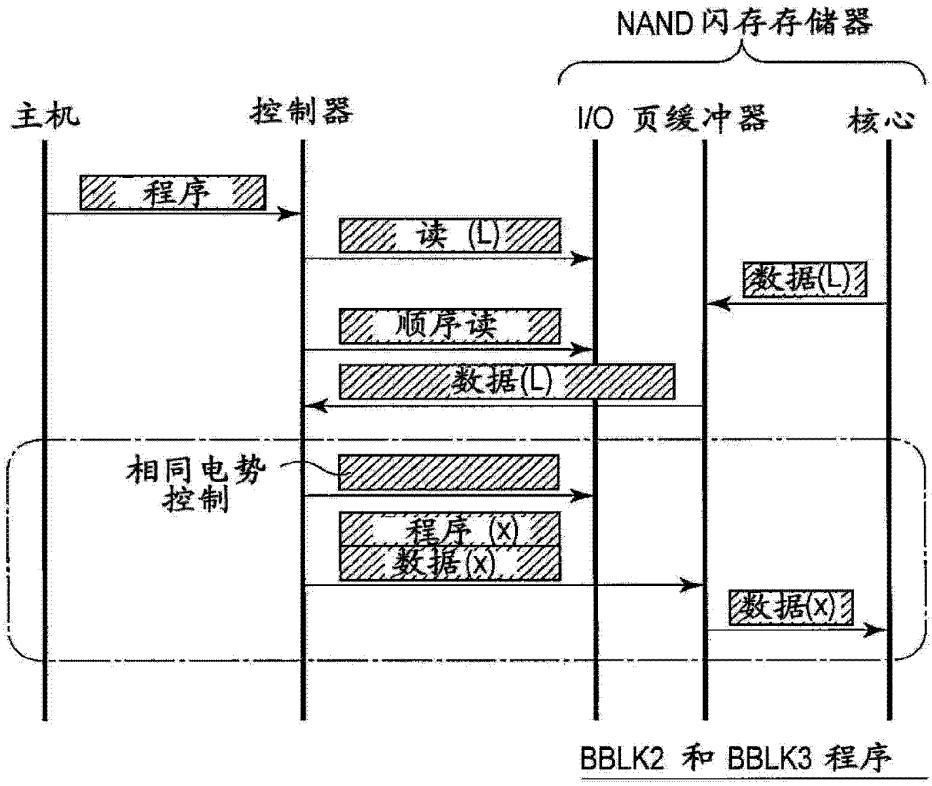


图 38

Micron Ex. 1002, p. 165
Micron v. YMTC
IPR2024-00794

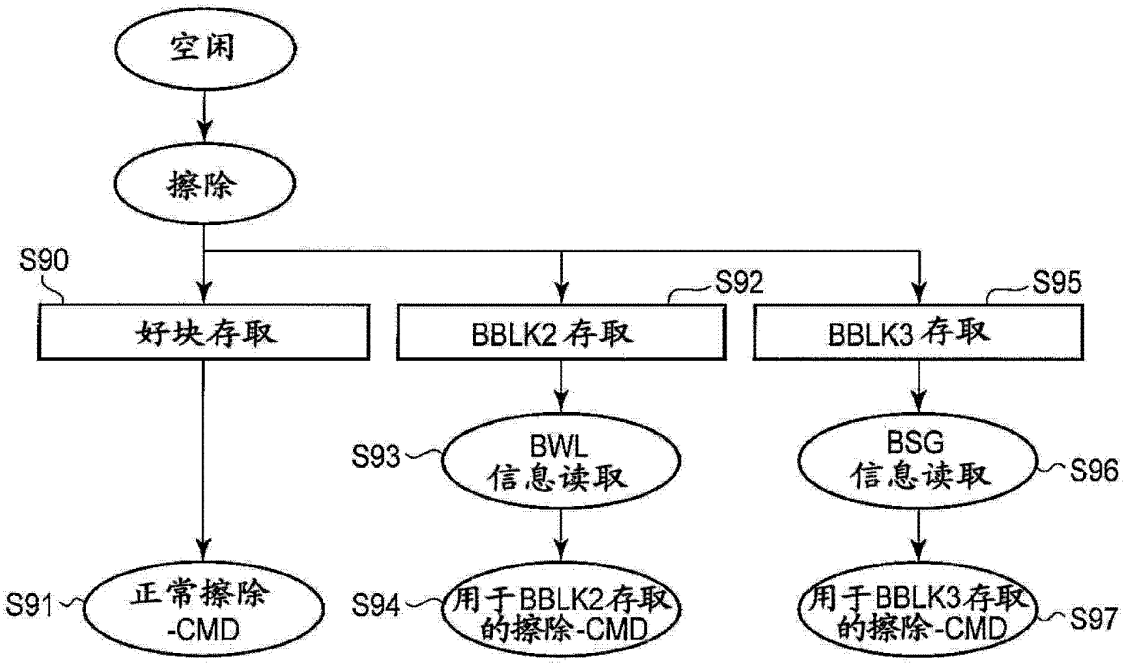


图 39

Micron Ex. 1002, p. 166
Micron v. YMTC
IPR2024-00794

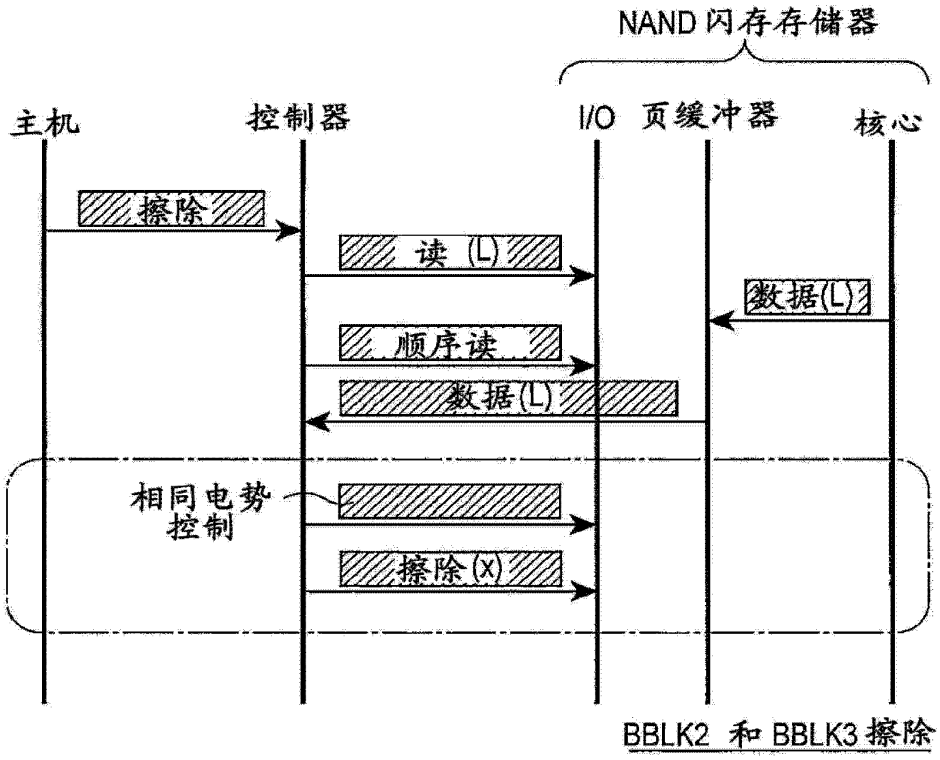


图 40

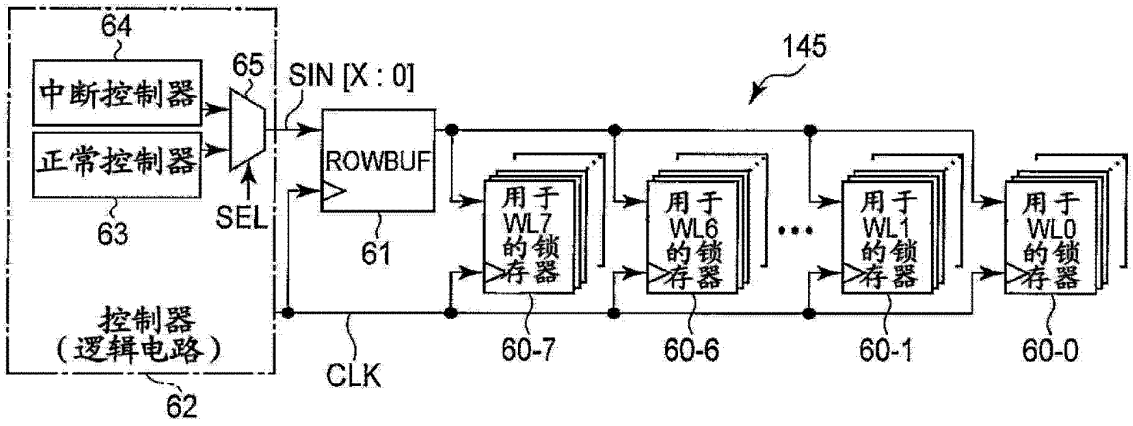


图 41

Micron Ex. 1002, p. 167
Micron v. YMTC
IPR2024-00794

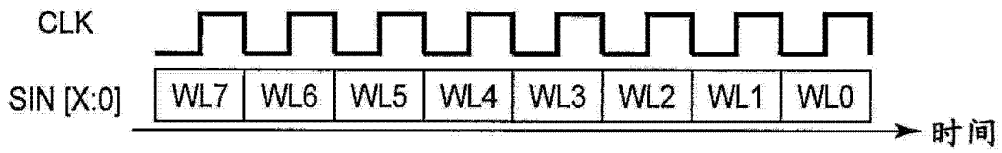


图 42

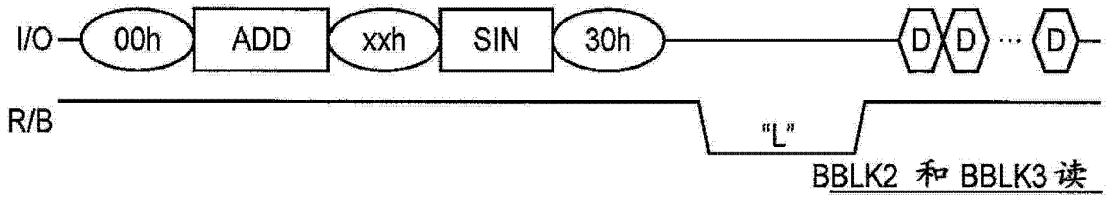


图 43

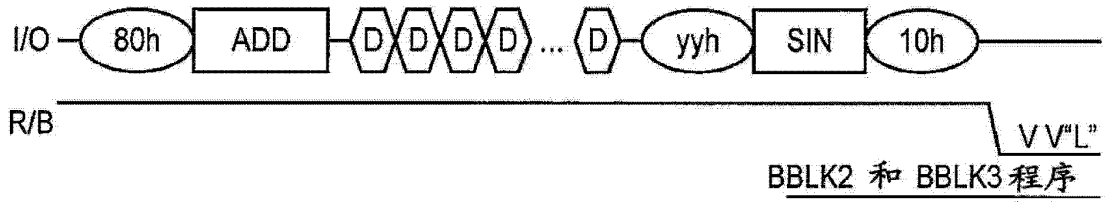


图 44

Micron Ex. 1002, p. 168
Micron v. YMTC
IPR2024-00794

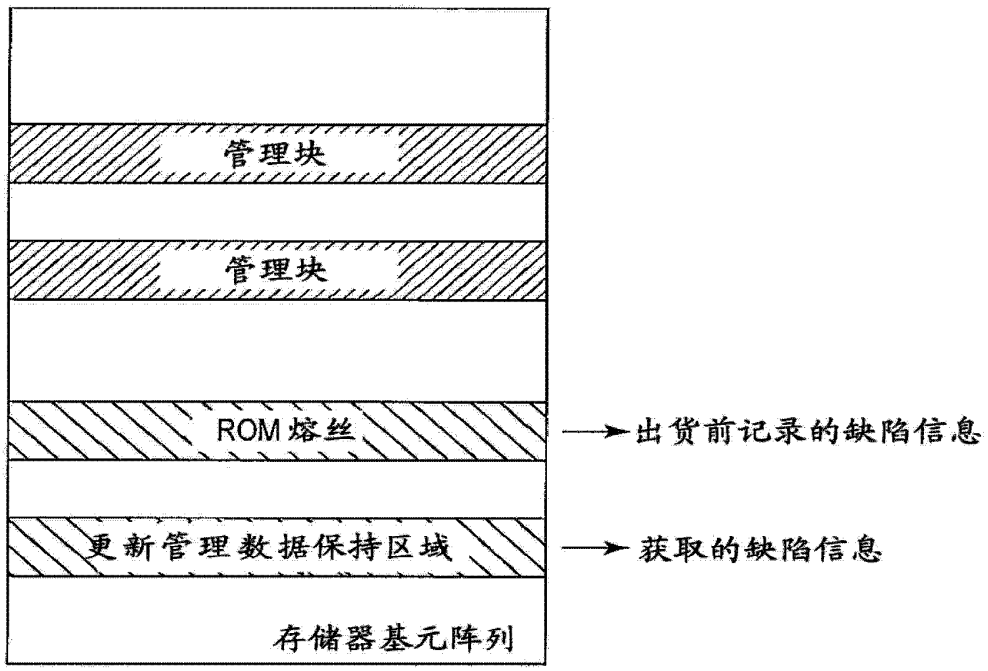


图 45

Micron Ex. 1002, p. 169
Micron v. YMTC
IPR2024-00794

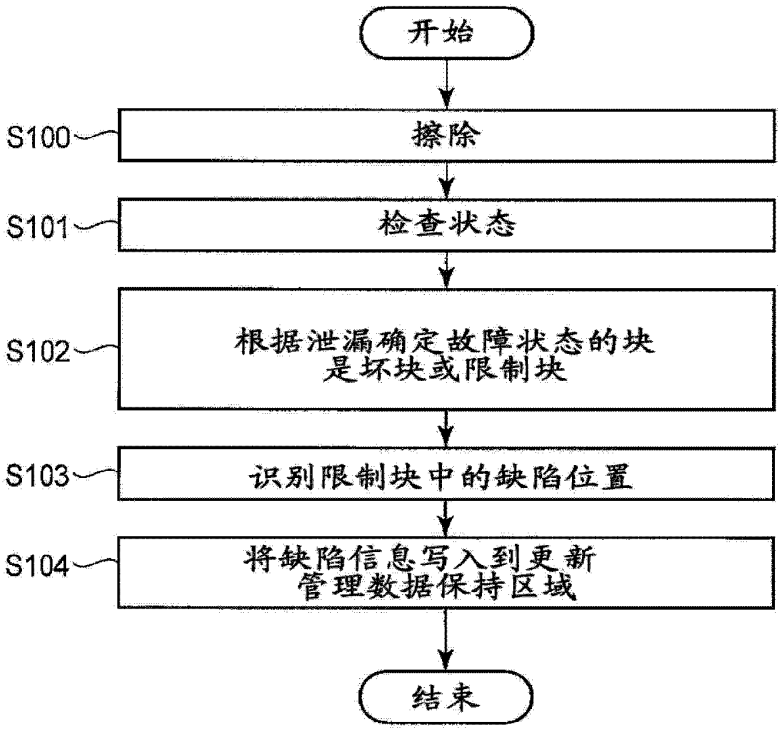


图 46

Micron Ex. 1002, p. 170
Micron v. YMTC
IPR2024-00794

情况号	物理缺陷	缺陷方向	表现	故障模式	替换单元	补救方法
I	MH-MH 短路	SG	BL-BL 短路	列	列 RD	列 RD, L1_ECC
II	MH-MH 短路	BL	列故障	列	列 RD	列 RD, L1_ECC
III	串内 SGD-SGS 短路	BL	块故障	1 串	坏块	将短路的 SGD 和 SGS 设定到相同电势
IV	串间 SGD-SGD 短路	BL	块故障	2 串	坏块	将短路的 SGD 和 SGD 设定到相同电势
V	串间 SGS-SGS 短路	BL	块故障	2 串	坏块	将短路的 SGS 和 SGS 设定到相同电势
VI	WL-WL 短路	BL	块故障	块	坏块	将（相同层中的）短路的 WL 设定到相同电势
VII	WL-WL 短路	h	块故障	块	坏块	将（垂直邻近的层中的）短路的 WL 设定到相同电势
VIII	SL(D0)-SGS 短路	h	块或基元阵列	块或基元阵列	块或基元阵列	将短路的 SGS 和 SL 设定到相同电势
IX	C1(D0)-SGD 短路	h	列故障	列	列 RD	列 RD or L1_ECC
X	SL(D0)-C1(D0) 短路	BL	列故障	列	列 RD	列 RD or L1_ECC

图 47

Micron Ex. 1002, p. 171
Micron v. YMTC
IPR2024-00794

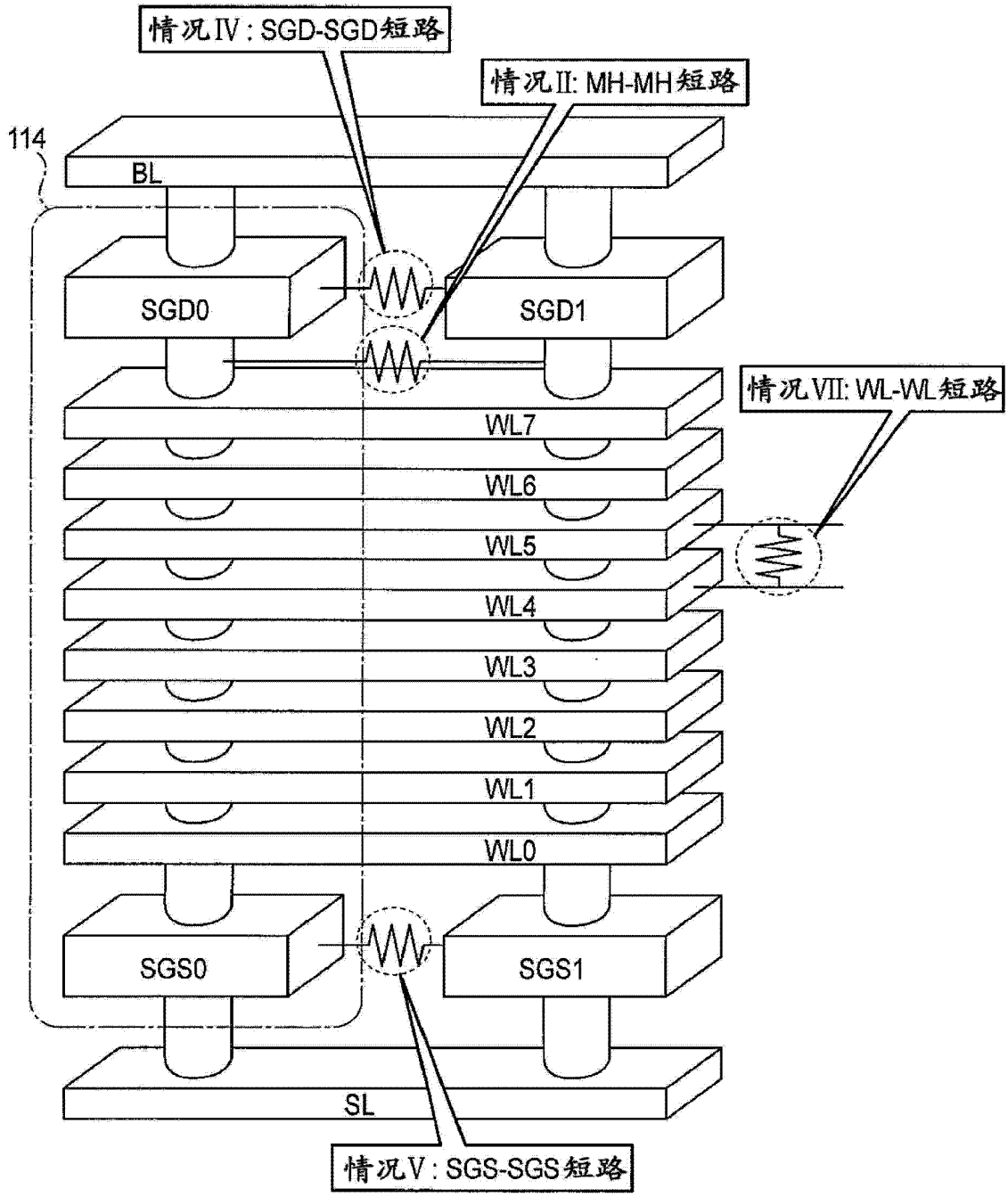


图 48

Micron Ex. 1002, p. 172
Micron v. YMTC
IPR2024-00794

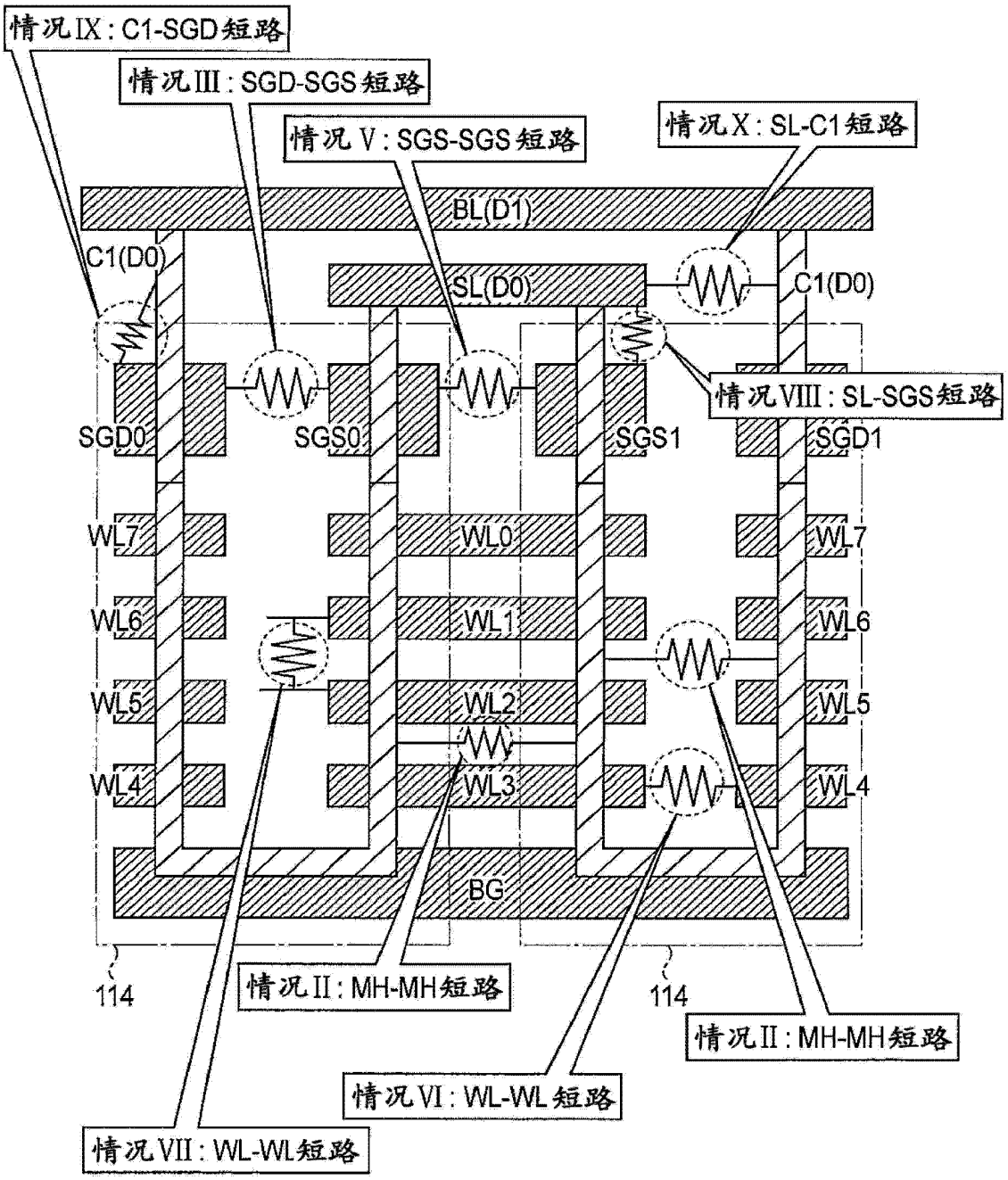


图 49

Micron Ex. 1002, p. 173
Micron v. YMTC
IPR2024-00794

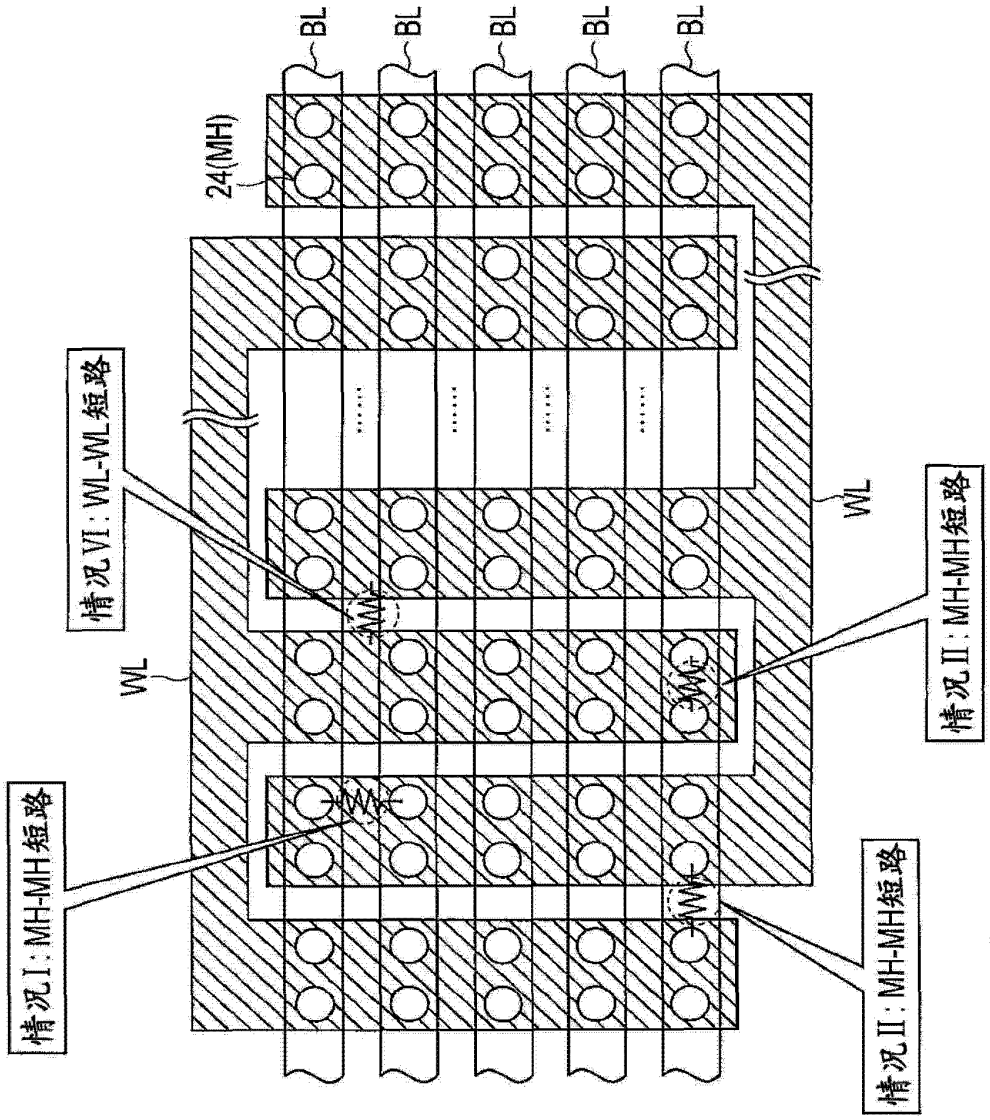


图 50

Micron Ex. 1002, p. 174
Micron v. YMTC
IPR2024-00794

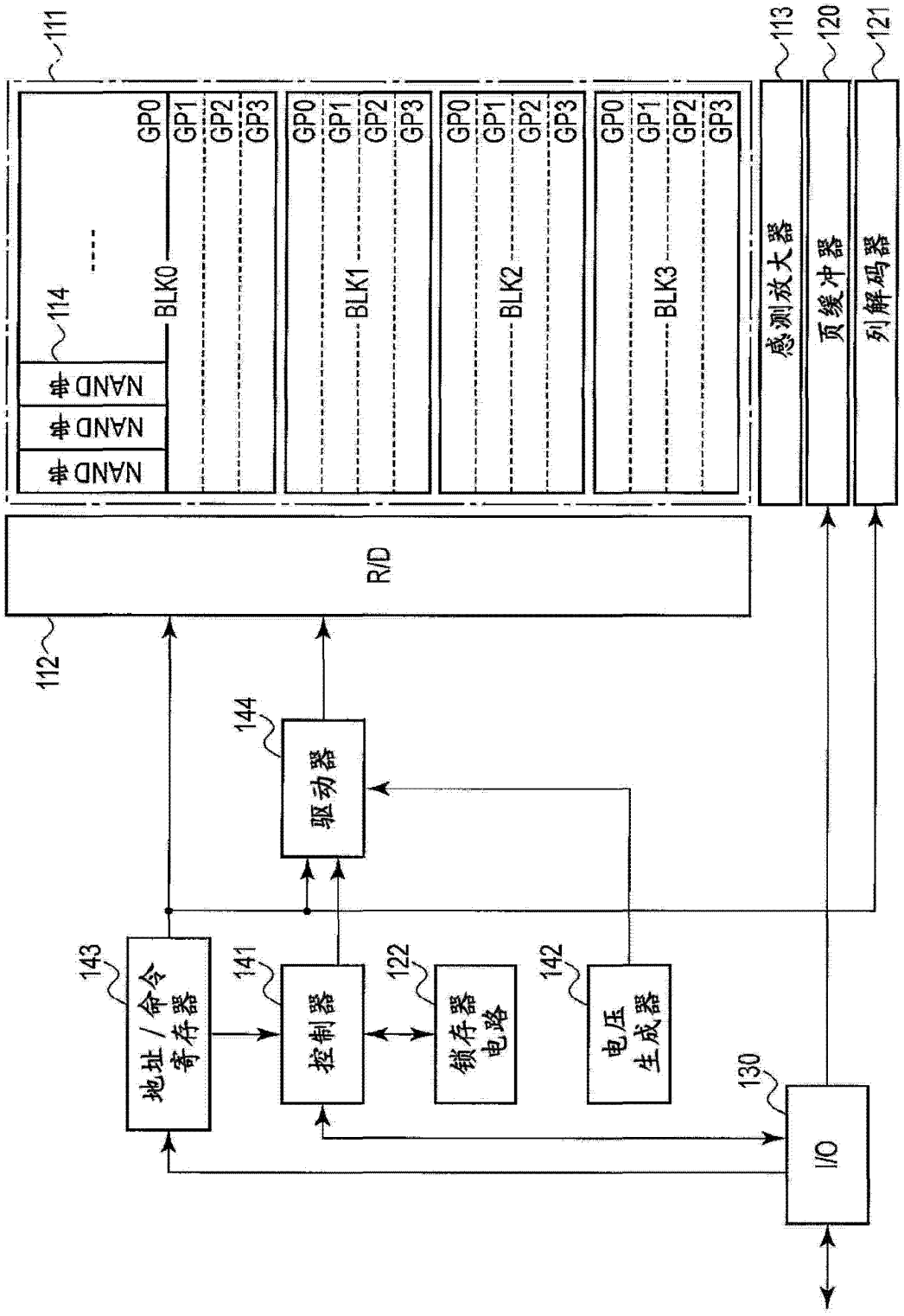


图 51

Micron Ex. 1002, p. 175
Micron v. YMTC
IPR2024-00794

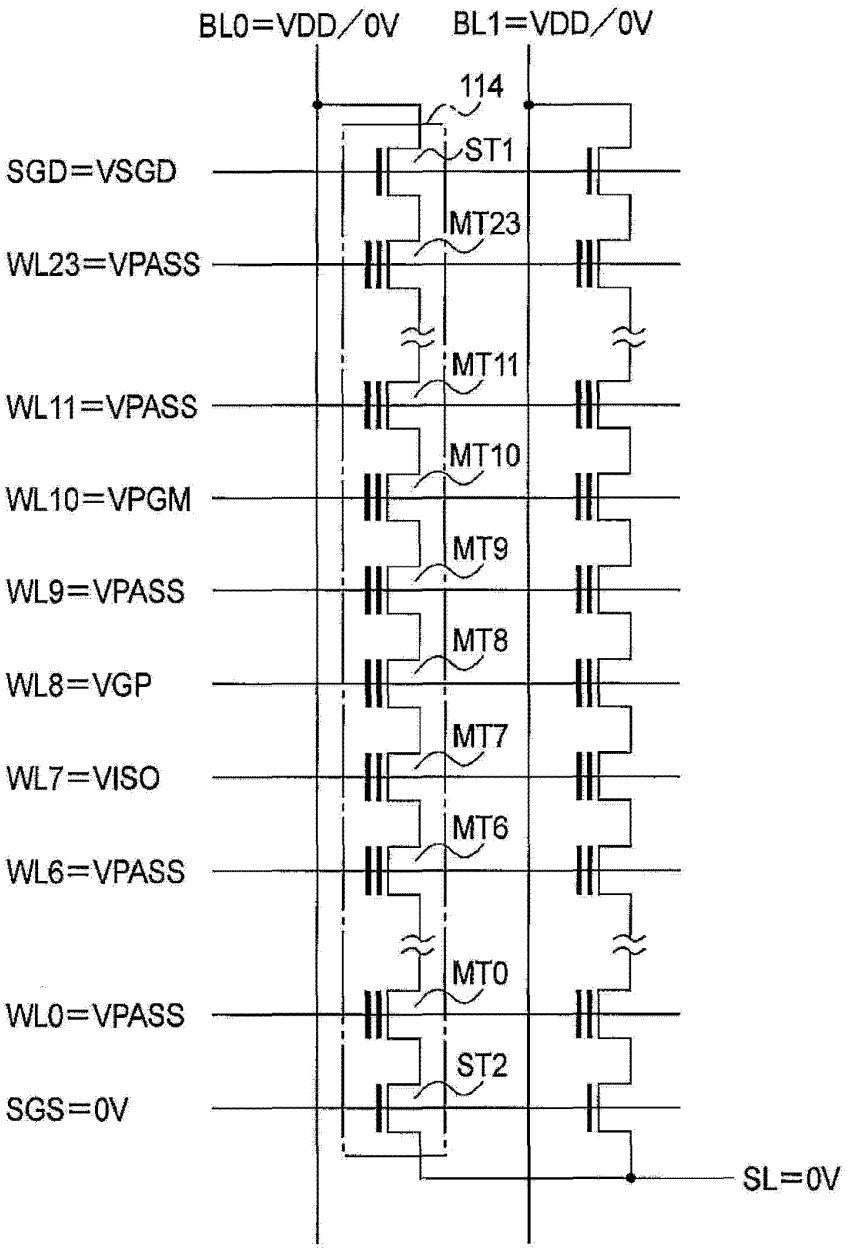


图 52

Micron Ex. 1002, p. 176
Micron v. YMTC
IPR2024-00794

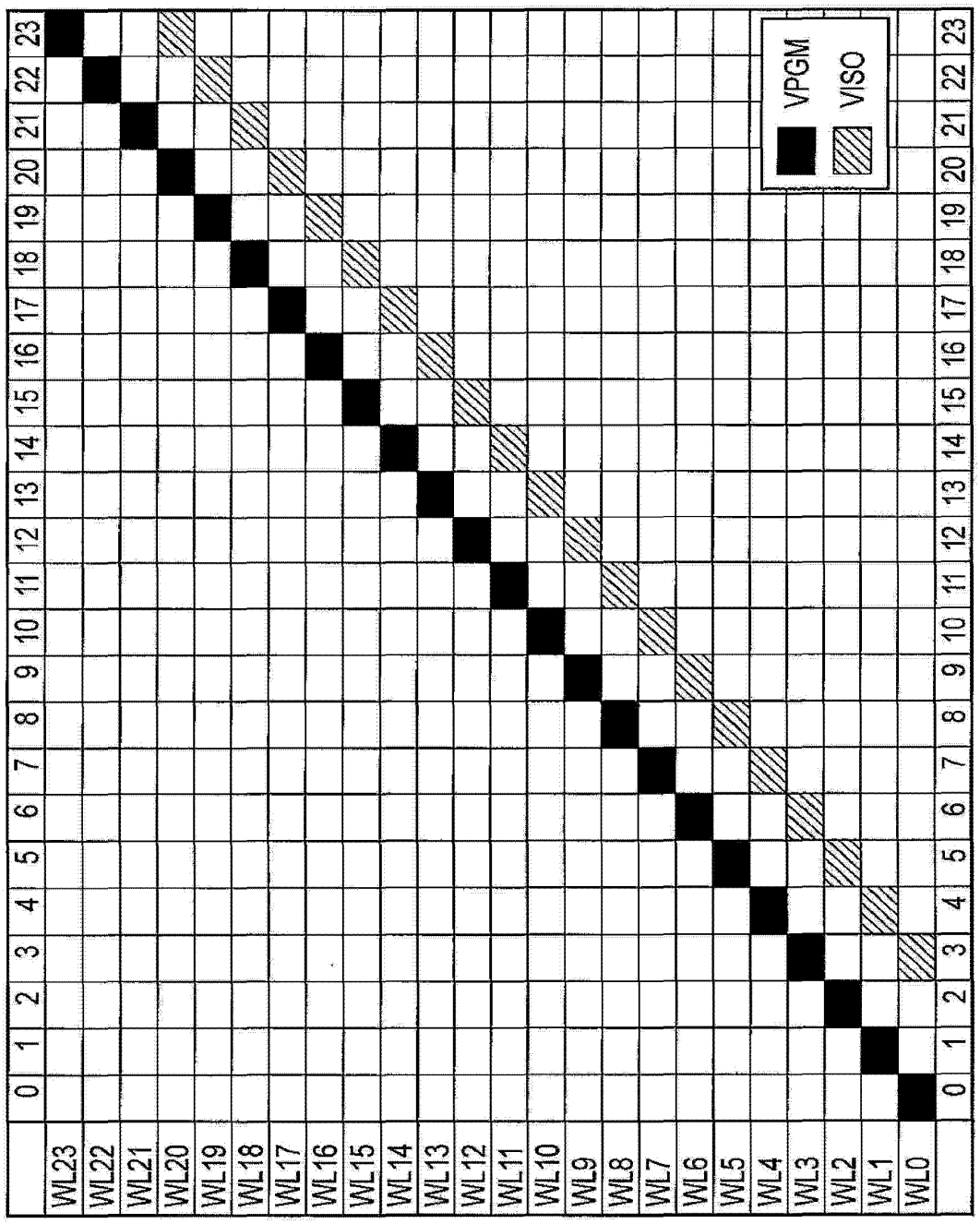


图 53

Micron Ex. 1002, p. 177
Micron v. YMTC
IPR2024-00794

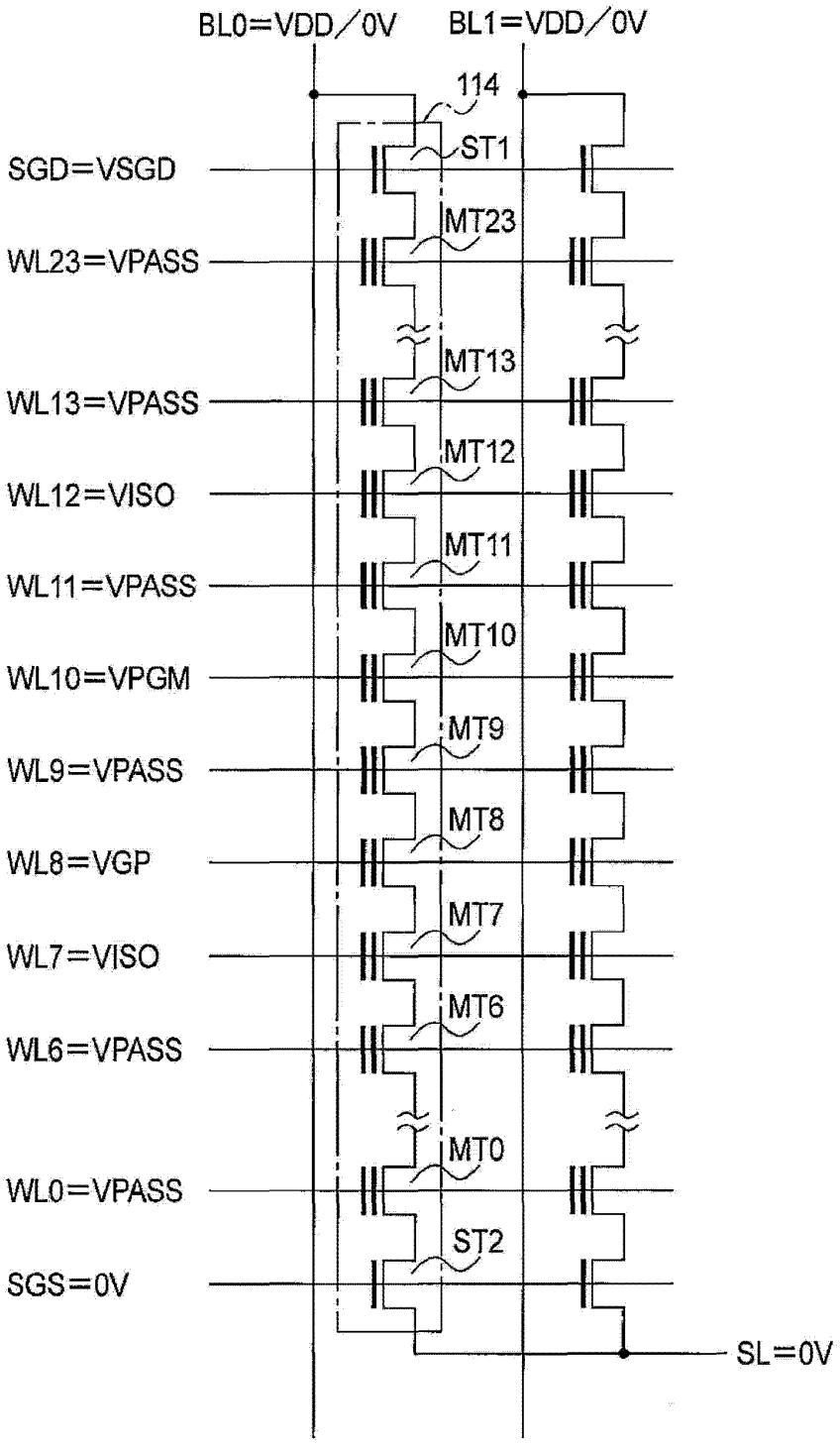


图 54

Micron Ex. 1002, p. 178
Micron v. YMTC
IPR2024-00794

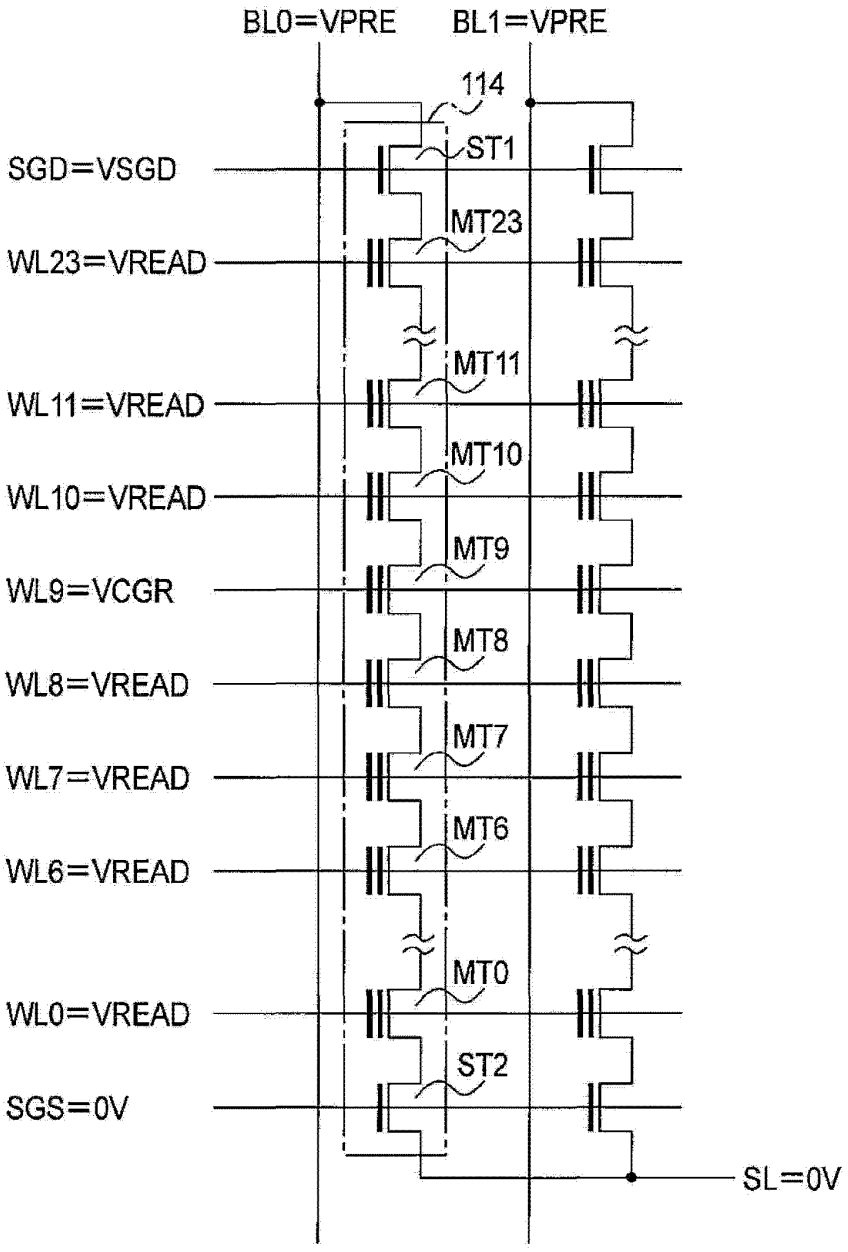


图 55

Micron Ex. 1002, p. 179
Micron v. YMTC
IPR2024-00794

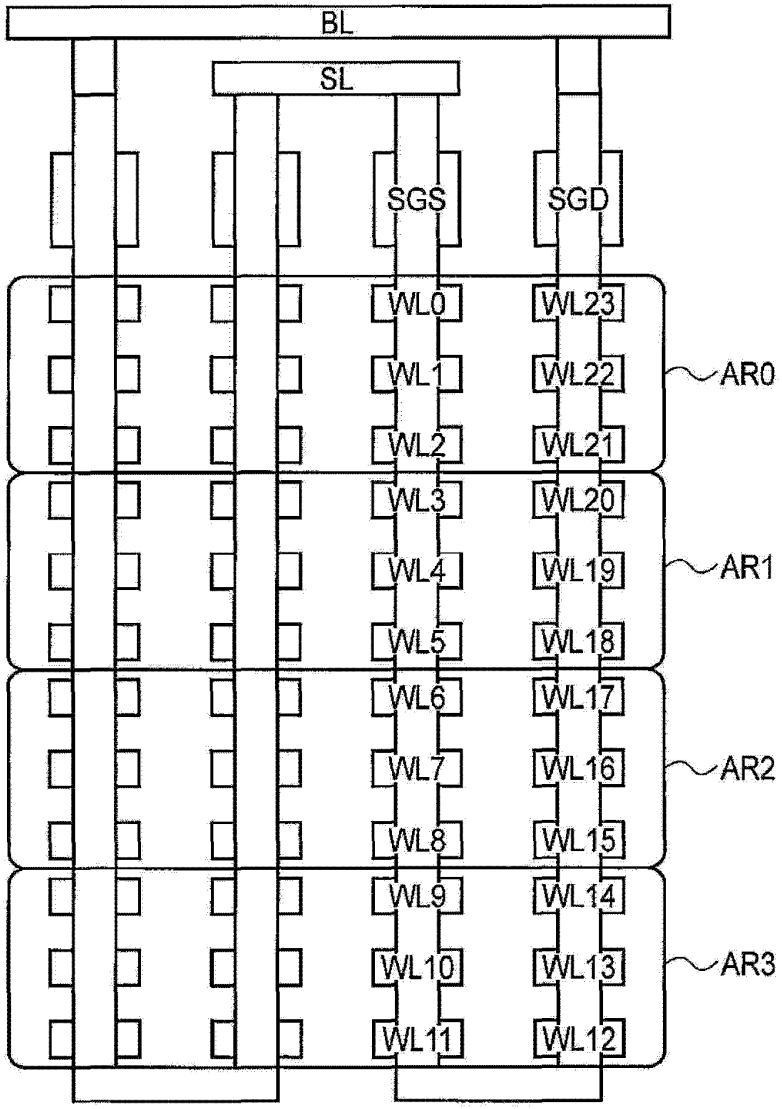


图 56

Micron Ex. 1002, p. 180
Micron v. YMTC
IPR2024-00794

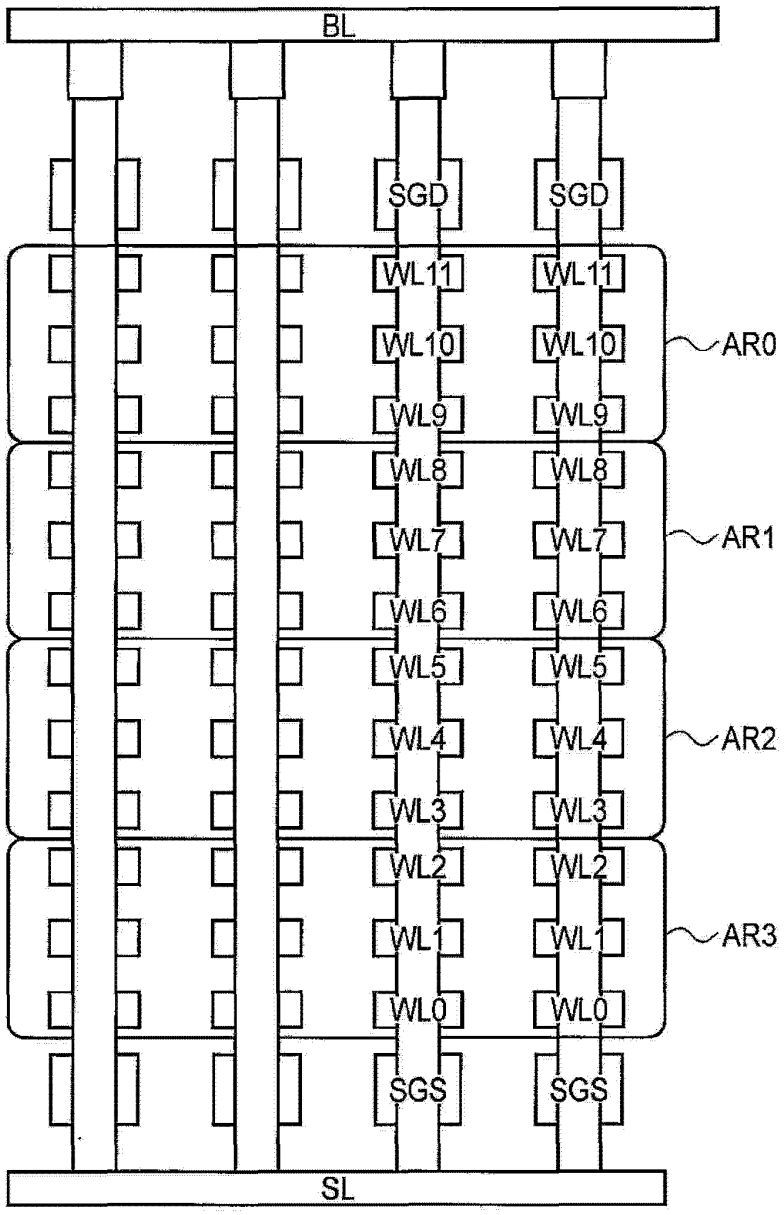


图 57

Micron Ex. 1002, p. 181
Micron v. YMTC
IPR2024-00794

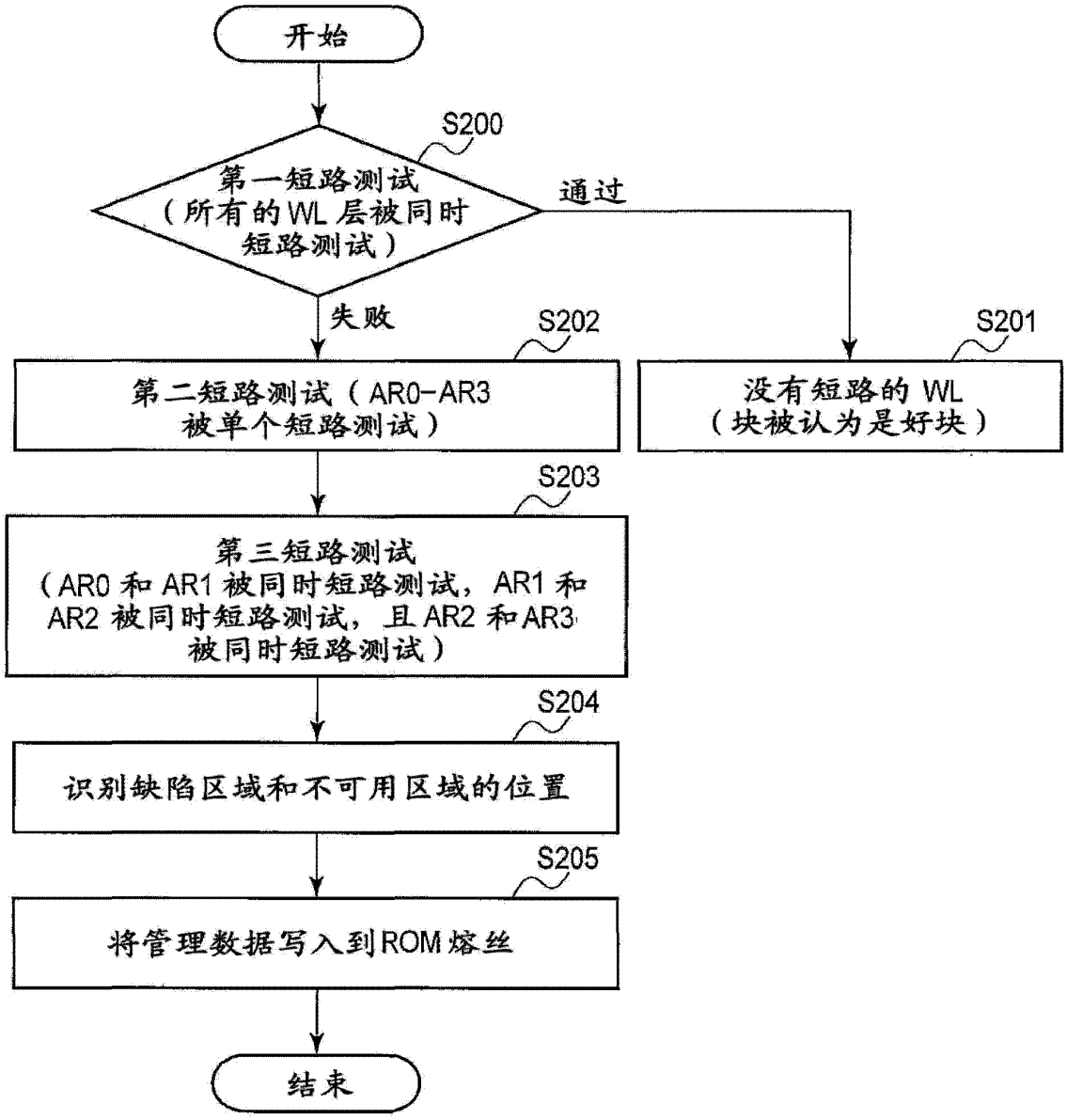


图 58

Micron Ex. 1002, p. 182
Micron v. YMTC
IPR2024-00794

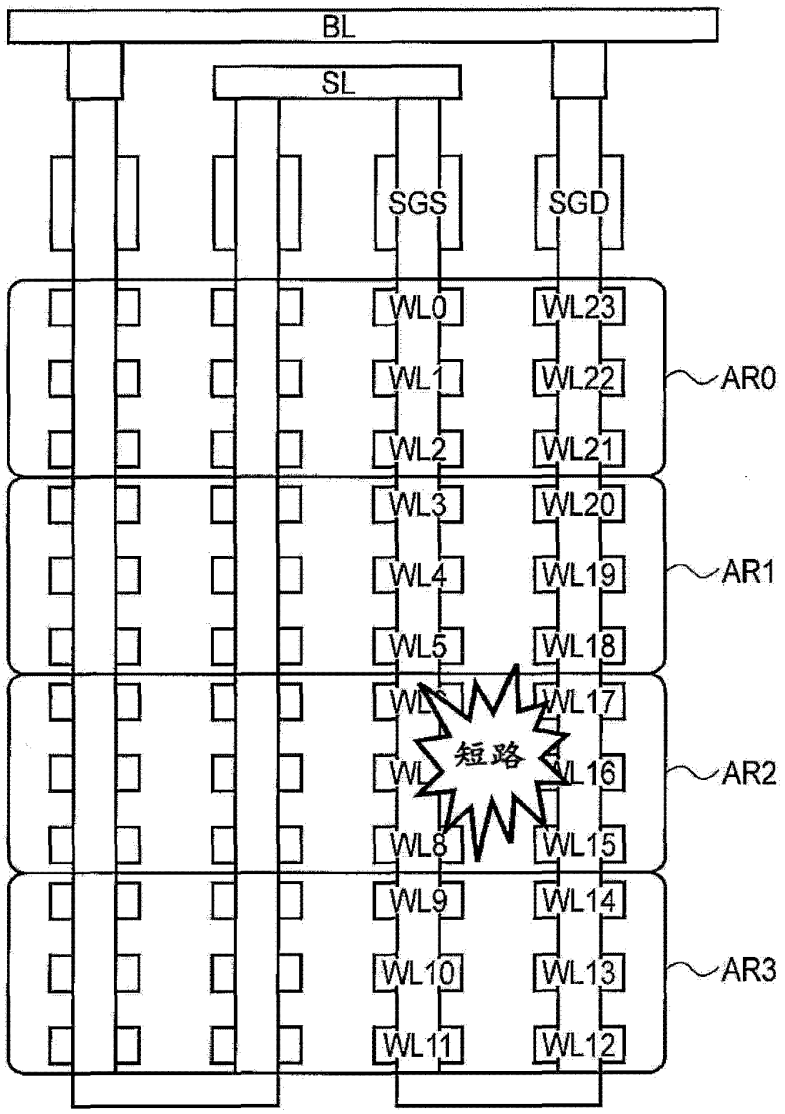


图 59

Micron Ex. 1002, p. 183
Micron v. YMTC
IPR2024-00794

AR0	○	○	×	○	○	○	×
AR1	○	○	○	○	×	○	×
AR2	○	○	○	×	○	×	○
AR3	○	×	○	○	○	×	○
可用区域	所有	AR0, AR1	AR2, AR3	AR0	AR3	AR0	AR3

○ 好区域
× 坏区域

图 60

Micron Ex. 1002, p. 184
Micron v. YMTC
IPR2024-00794

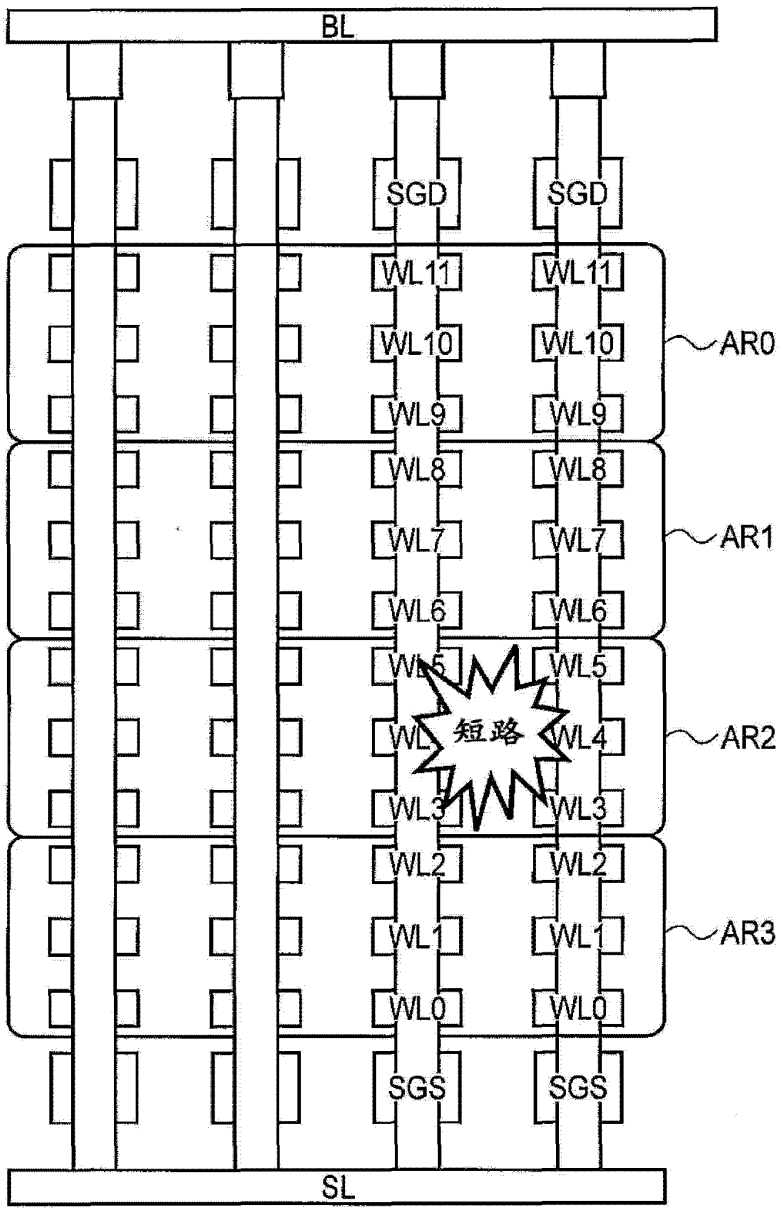


图 61

Micron Ex. 1002, p. 185
Micron v. YMTC
IPR2024-00794

AR0	○	○	×	○	○	○	×
AR1	○	○	○	○	×	○	×
AR2	○	○	○	×	○	×	○
AR3	○	×	○	○	○	×	○
可用区域	所有	AR0, AR1	AR1, AR2, AR3	AR0, AR3	AR2, AR3	AR0	AR2, AR3

○好区域
×坏区域

图 62

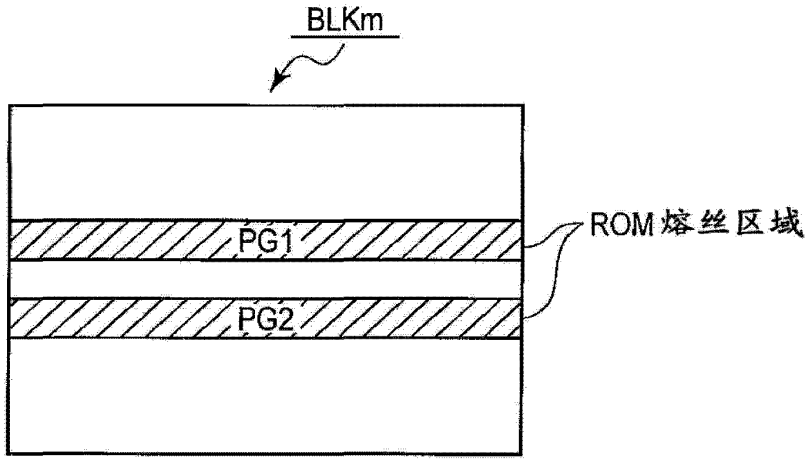


图 63

Micron Ex. 1002, p. 186
Micron v. YMTC
IPR2024-00794

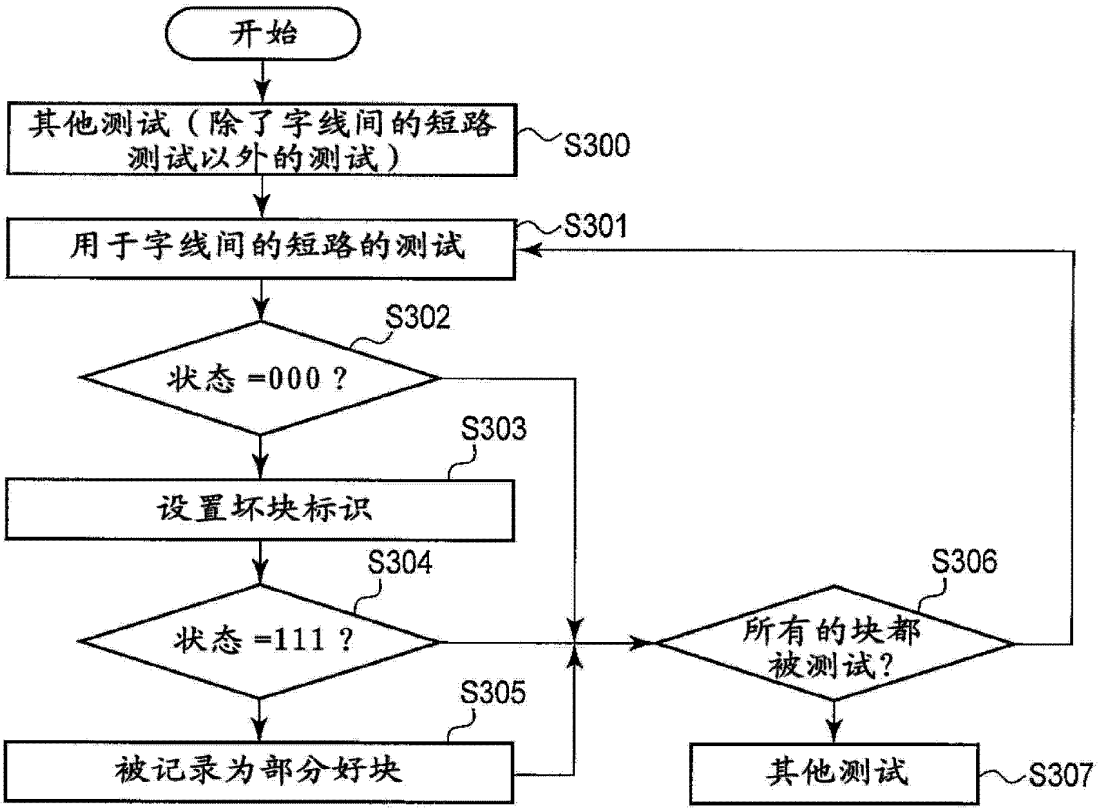


图 64

Micron Ex. 1002, p. 187
Micron v. YMTC
IPR2024-00794

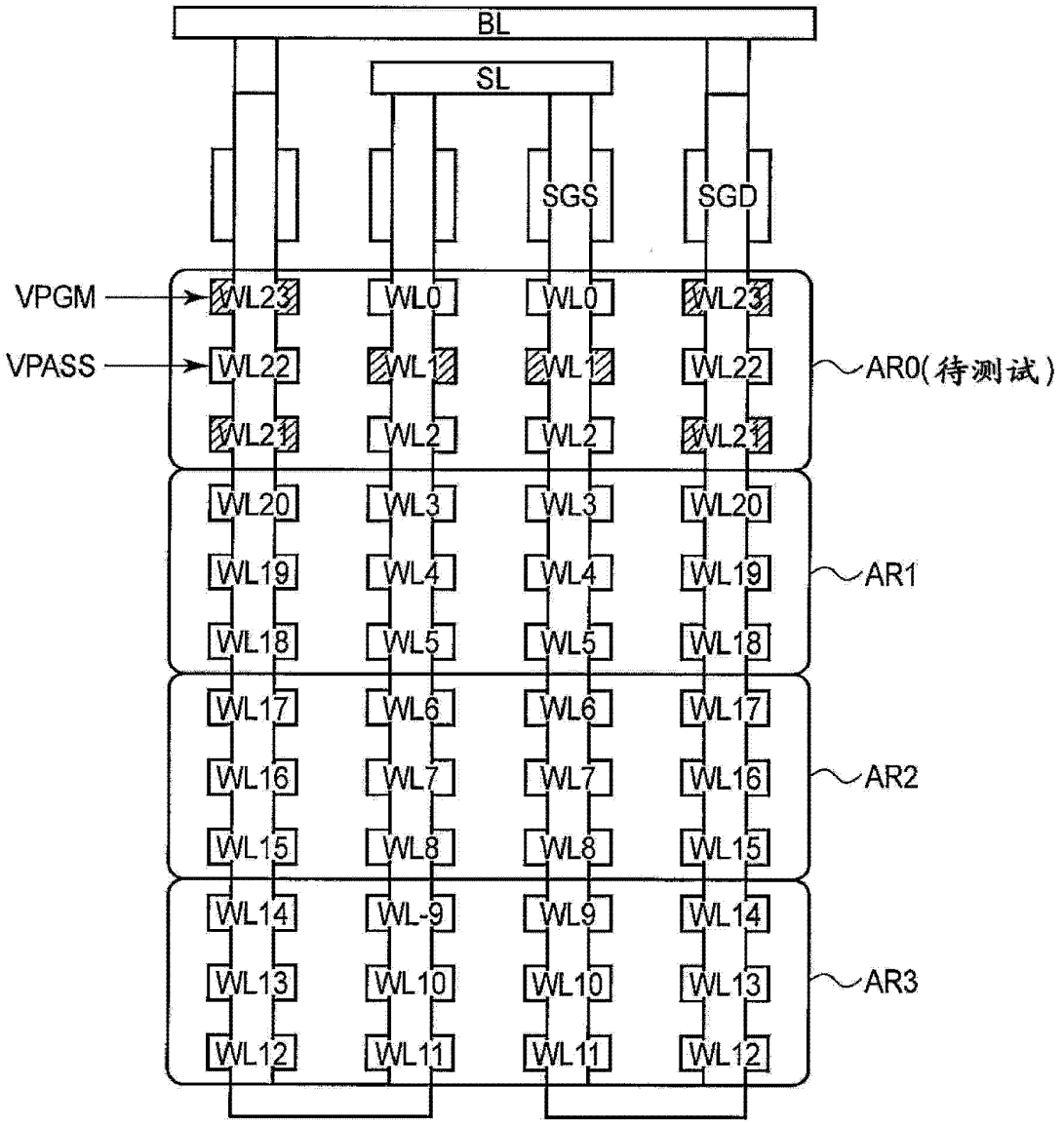


图 65

Micron Ex. 1002, p. 188
Micron v. YMTC
IPR2024-00794

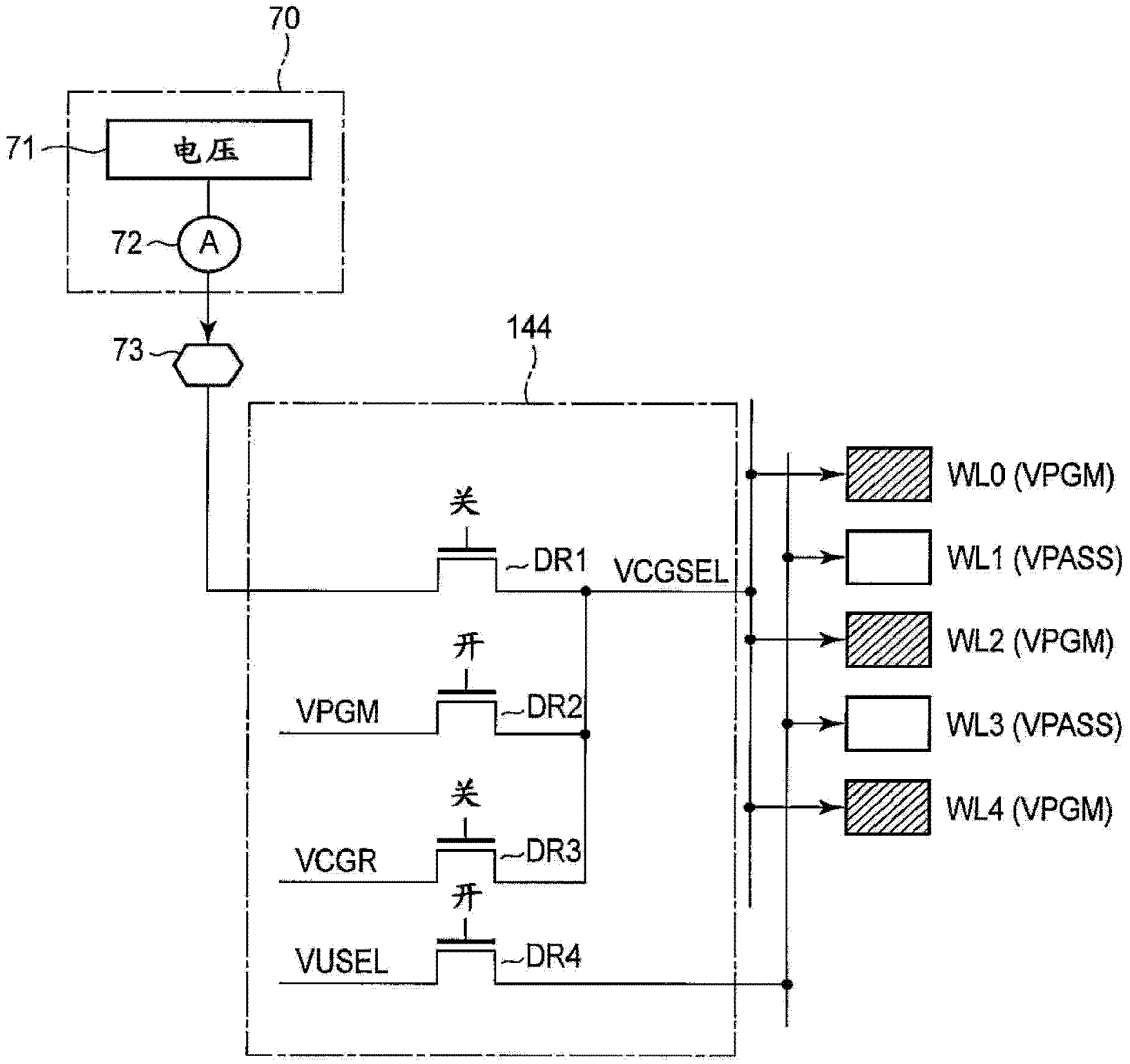


图 66

Micron Ex. 1002, p. 189
Micron v. YMTC
IPR2024-00794

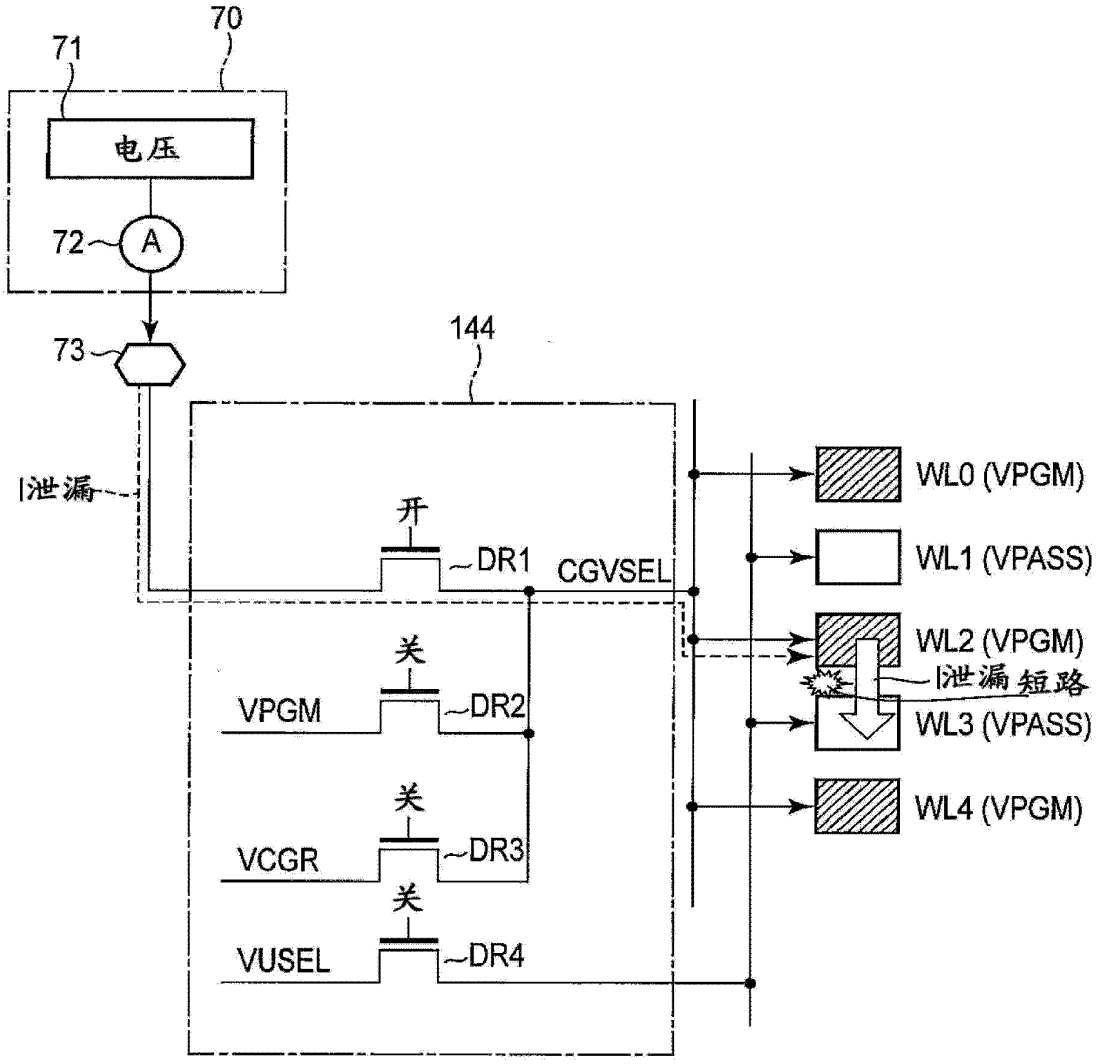


图 67

Micron Ex. 1002, p. 190
Micron v. YMTC
IPR2024-00794

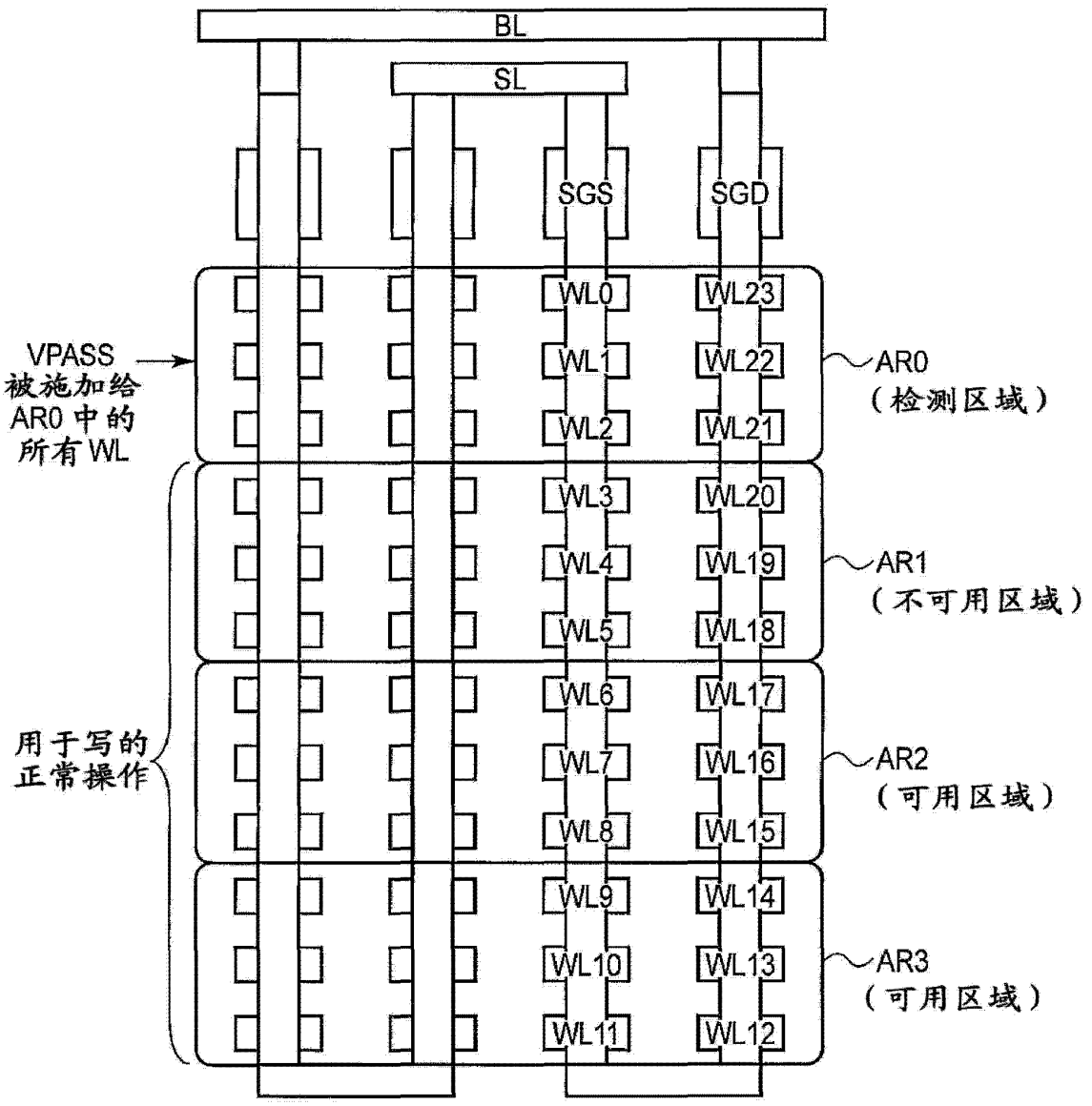


图 68

Micron Ex. 1002, p. 191
Micron v. YMTC
IPR2024-00794

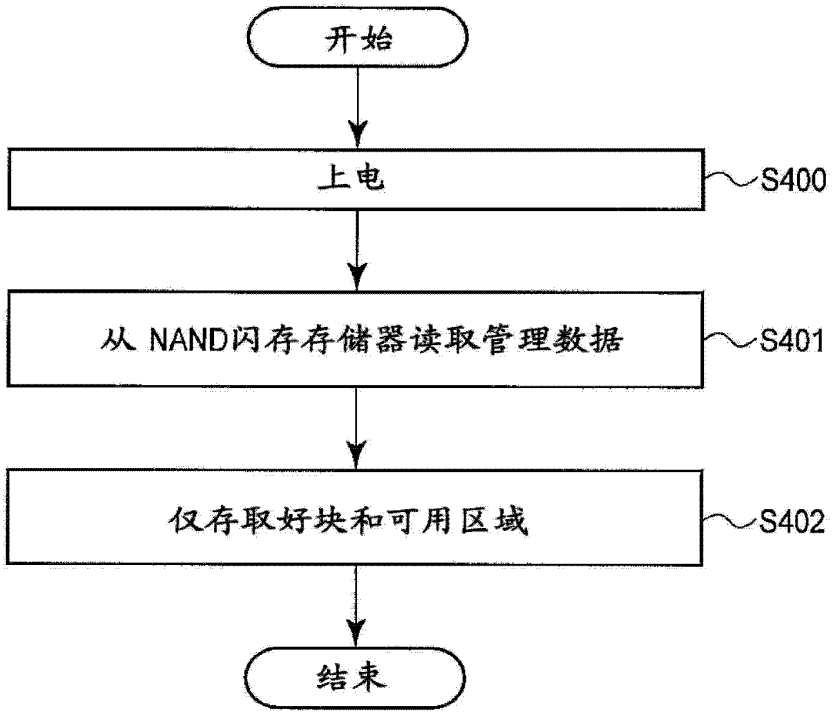


图 69

Micron Ex. 1002, p. 192
Micron v. YMTC
IPR2024-00794

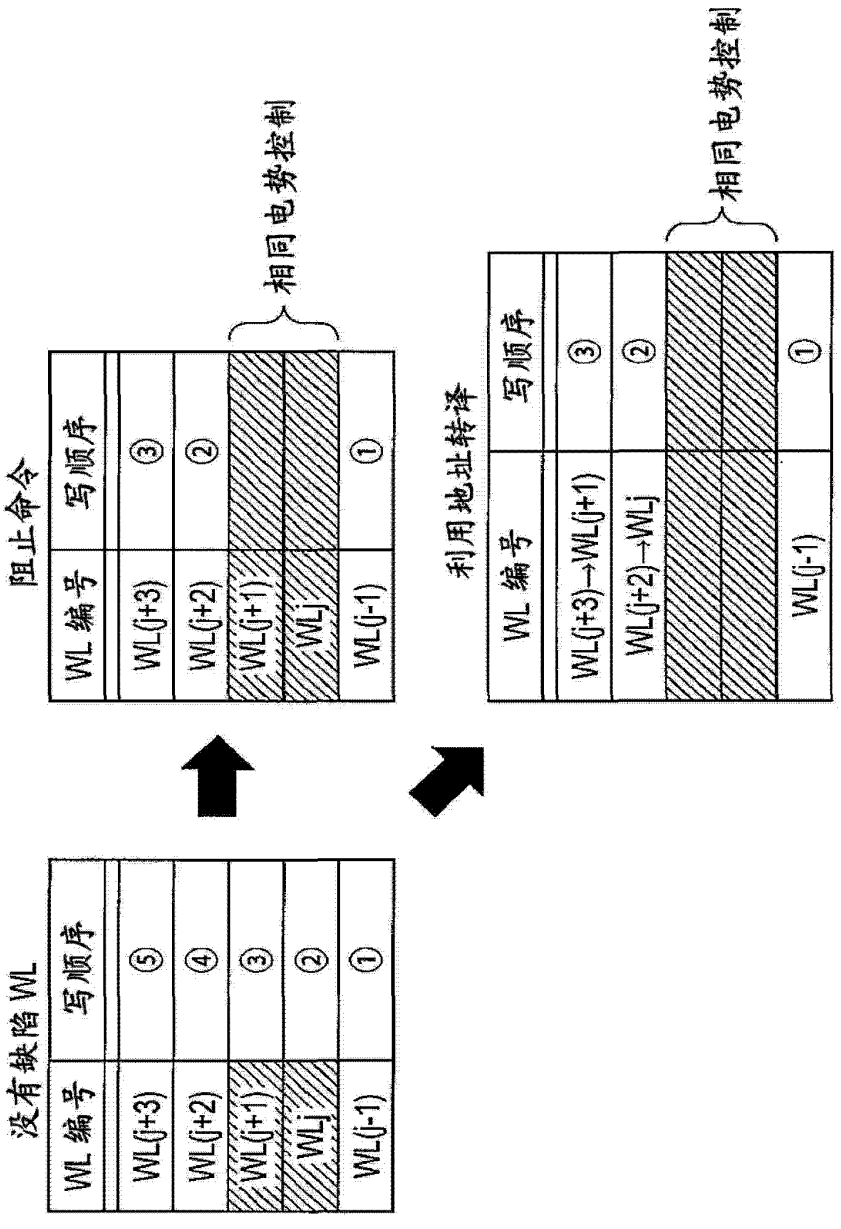


图 70

Micron Ex. 1002, p. 193
Micron v. YMTC
IPR2024-00794

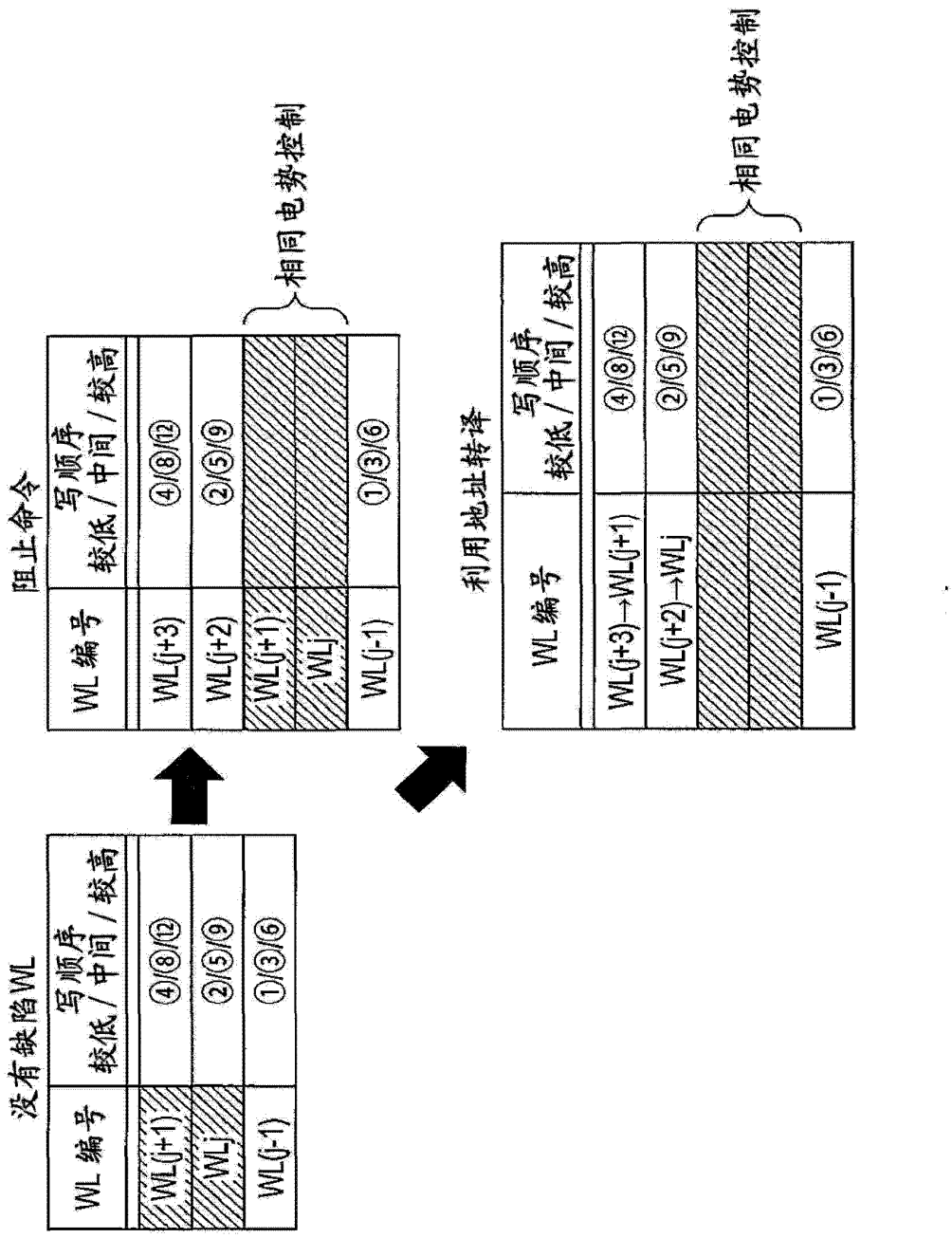


图 71

Micron Ex. 1002, p. 194
Micron v. YMTC
IPR2024-00794

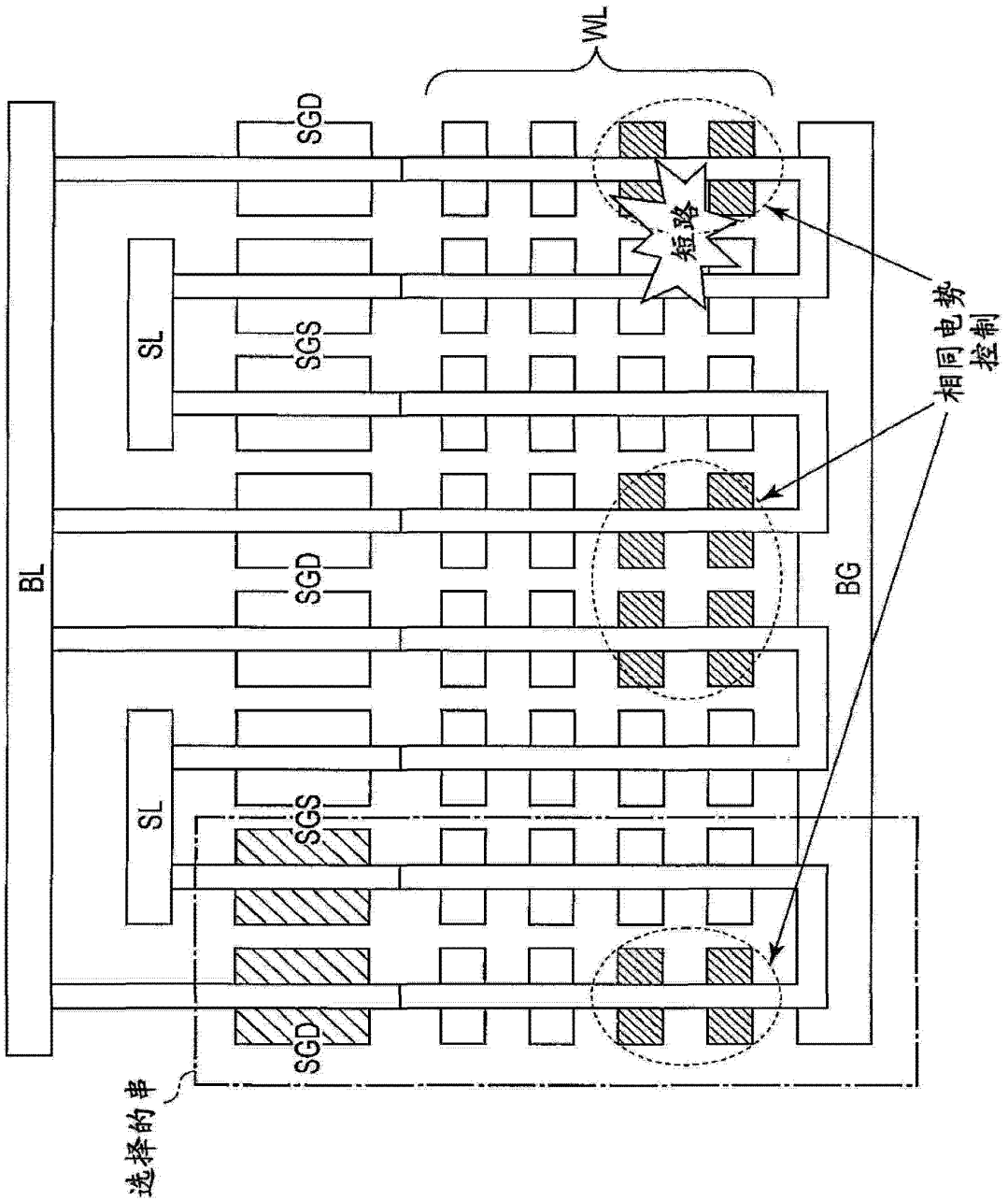


图 72

Micron Ex. 1002, p. 195
Micron v. YMTC
IPR2024-00794

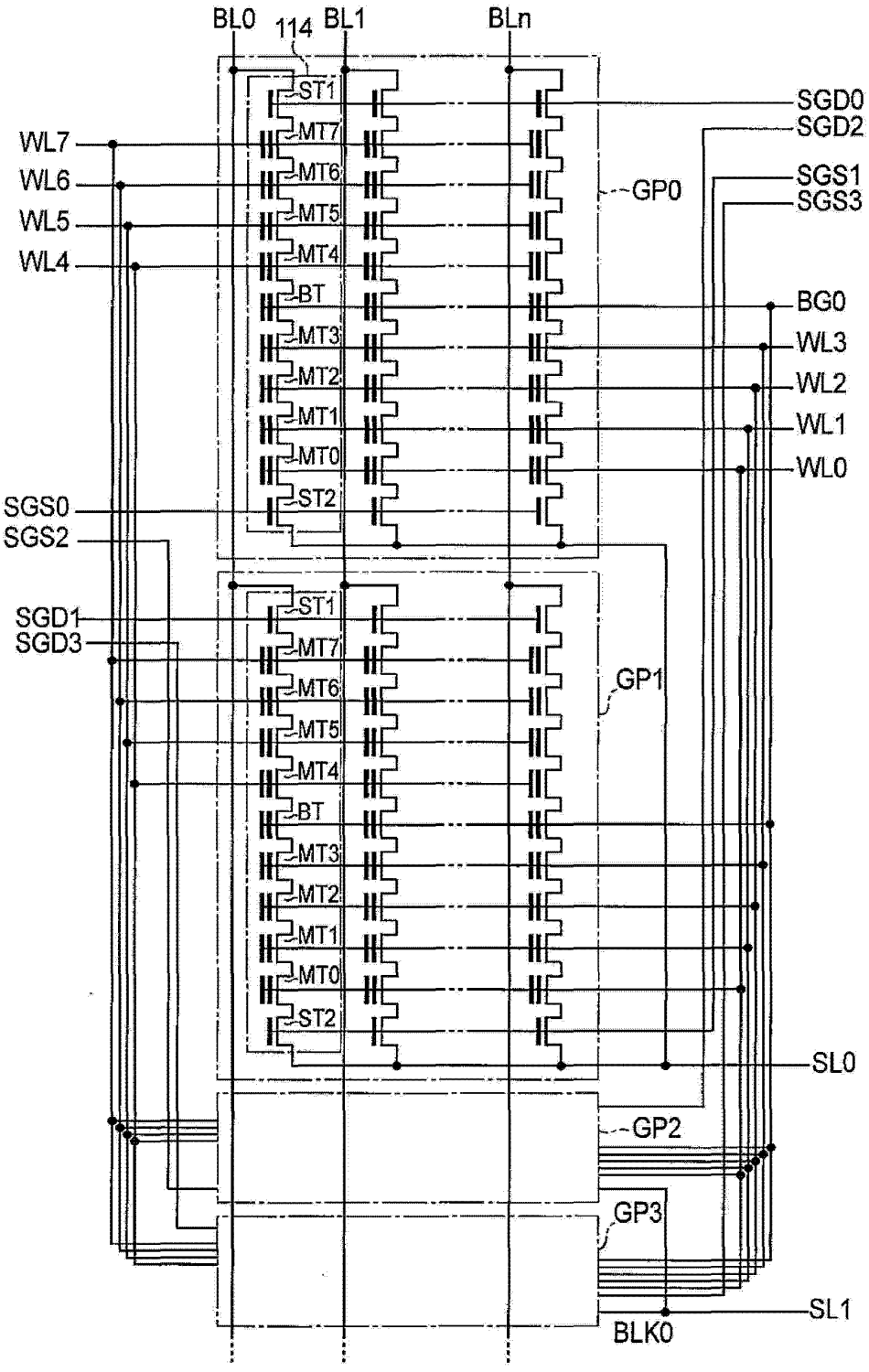


图 73

Micron Ex. 1002, p. 196
Micron v. YMTC
IPR2024-00794

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 103680611 A
(43)申请公布日 2014.03.26

(21)申请号 201210349821.7

(22)申请日 2012.09.18

(71)申请人 中芯国际集成电路制造(上海)有限公司
地址 201203 上海市浦东新区张江路 18 号

(72)发明人 何其旸

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 骆苏华

(51)Int.Cl.
G11C 16/06(2006.01)
H01L 27/115(2006.01)
H01L 21/8247(2006.01)

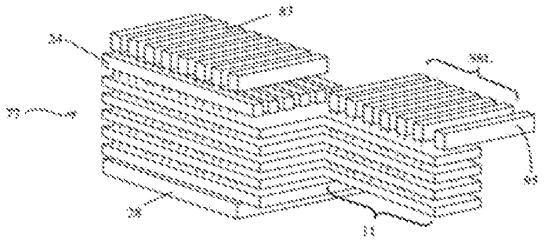
权利要求书2页 说明书14页 附图16页

(54)发明名称

3D NAND 存储器以及制作方法

(57)摘要

一种 3D NAND 存储器以及制作方法，所述 3D NAND 存储器，包括均呈多层排布的存储阵列与控制栅电路，各层的控制栅电路电性连接至同层的存储阵列，实现对各层存储阵列的选中；各层的所述控制栅电路由相同数目的晶体管串联而成，控制栅电路的所有晶体管的栅极电性连接至控制线，所述控制线的数目与每层控制栅电路所包含晶体管的数目相同，位于同层控制栅电路上的不同晶体管的栅极电性连接在不同的控制线上。本发明通过所述控制栅电路实现以较少数量的输入控制线 SSL 选择对层数较多的控制栅层，使得存储器在通过增加存储单元层来增大存储容量的时候不因为控制栅需要的层数增加而增加整个存储器的面积和体积。



CN 103680611 A

Micron Ex. 1002, p. 197
Micron v. YMTC
IPR2024-00794

1. 一种 3DNAND 存储器，其特征在于，包括均呈多层排布的存储阵列与控制栅电路，各层的控制栅电路电性连接至同层的存储阵列，实现对各层存储阵列的选中；

各层的所述控制栅电路由相同数目的晶体管串联而成，控制栅电路的所有晶体管的栅极电性连接至控制线，所述控制线的数目与每层控制栅电路所包含晶体管的数目相同，位于同层控制栅电路上的不同晶体管的栅极电性连接在不同的控制线上。

2. 如权利要求 1 所述的三维 NAND 存储器，其特征在于，所述控制栅电路由 MOS 晶体管组成。

3. 如权利要求 2 所述的三维 NAND 存储器，其特征在于，各层控制栅电路中的 MOS 晶体管均呈相同的阵列排布，并且下层控制栅电路中的 MOS 晶体管位于上层控制栅电路中对应 MOS 晶体管的正下方。

4. 如权利要求 3 所述的三维 NAND 存储器，其特征在于，位于不同层但处于阵列相同位置的 MOS 晶体管栅极相连至同一控制线。

5. 如权利要求 2 所述的三维 NAND 存储器，其特征在于，所述控制栅电路所包含的 MOS 晶体管包括正阈值电压晶体管和负阈值电压晶体管，且两种 MOS 晶体管在不同层中的组合方式各不相同。

6. 如权利要求 5 所述的三维 NAND 存储器，其特征在于，所述正阈值电压晶体管和负阈值电压晶体管的阈值电压数值相同，正负相反。

7. 如权利要求 2 所述的三维 NAND 存储器，其特征在于，在控制栅电路所在的区域，形成有贯穿各层控制栅电路的通孔；各层控制栅电路在位于所述通孔的两侧处均形成有源区和漏区，所述通孔内填充有栅介质层、栅材料层，并与各层的源区与漏区共同构成位于各层的所述晶体管。

8. 如权利要求 2 所述的三维 NAND 存储器，其特征在于，所述存储阵列的层数为 2^m，所述控制线的数目不超过 2m，其中 m 为正整数。

9. 如权利要求 1 所述的三维 NAND 存储器，其特征在于，另包括位于存储阵列上方的顶层选择栅、位于顶层选择栅上方的字线、位于存储阵列下方的底层选择栅，及位于底层选择栅下方的源线。

10. 一种三维 NAND 存储器的制作方法，其特征在于，包括：

提供半导体衬底，所述半导体衬底至少分为存储区域与控制栅区域；

在所述半导体衬底上形成多层叠层结构，每一叠层结构包括电介质层及位于电介质层上方的多晶硅层；在控制栅区域，每一多晶硅层内掺杂形成间隔分布的源区与漏区；

形成贯穿所述多层叠层结构的通孔，其中，形成在控制栅区域的所述通孔位于所述源区与漏区之间；

对于形成在控制栅区域的所述通孔，在其侧壁形成栅介质层，而后向该通孔内填充栅极材料，所述栅极材料、栅介质层与形成在各层的所述源区、漏区分别构成晶体管；对于形成在存储区域的所述通孔，对其进行填充，形成位于各层的存储单元。

11. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，形成所述多层叠层结构前，所提供的半导体衬底的所述存储区域内已形成有源线与底层选择栅；形成所述存储单元后，在存储区域形成顶层选择栅及位于顶层选择栅上方的字线。

12. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，在所述半导体衬

Micron Ex. 1002, p. 198
Micron v. YMTC
IPR2024-00794

底上形成的所述叠层结构不超过八层。

13. 如权利要求 12 所述的三维 NAND 存储器的制作方法，其特征在于，在对所述叠层结构内的通孔进行处理以形成所述存储单元与位于控制栅区域的所述晶体管后，再次顺次执行形成多层叠层结构、形成贯穿所述多层叠层结构的通孔以及形成所述存储单元与位于控制栅区域的所述晶体管的步骤。

14. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，在控制栅区域的所述通孔的侧壁形成栅介质层的方法为热氧化法。

15. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，所述通孔的直径范围为 20~100nm。

16. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，所述存储器为 SONOS 型闪存存储器。

17. 如权利要求 16 所述的三维 NAND 存储器的制作方法，其特征在于，存储区域的通孔的直径大于控制栅区域的通孔的直径。

18. 如权利要求 17 所述的三维 NAND 存储器的制作方法，其特征在于，所述形成贯穿所述多层叠层结构的通孔的步骤为：先后用不同的光刻胶为掩膜，分别对存储区域和控制栅区域进行刻蚀。

19. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，在存储区域的所述通孔内包括：紧贴所述通孔内壁的 ONO 层和位于 ONO 层内的多晶硅柱，所述多晶硅柱中具有分层掺杂区以构成存储器晶体管的源漏区。

20. 如权利要求 10 所述的三维 NAND 存储器的制作方法，其特征在于，所述控制栅区域内还形成有一个 Vcc 连接孔；在源区与漏区之间的所述通孔的侧壁形成栅介质层时，会同时在所述 Vcc 连接孔的侧壁形成栅介质层，在向所述通孔内填充栅极材料之前，还包括去除 Vcc 连接孔内的栅介质层的步骤。

Micron Ex. 1002, p. 199
Micron v. YMTC
IPR2024-00794

3D NAND 存储器以及制作方法

技术领域

[0001] 本发明涉及半导体领域，尤其涉及一种 3D NAND 存储器以及制作方法。

背景技术

[0002] 随着业界对集成密度高、存储容量大的存储器的需求，3D NAND（三维 NAND）存储器应运而生。一种 3D NAND 的结构如图 1 至图 6 所示。其中，图 1 为 3D NAND 的电路原理图，其包括字线 BL（Bit Line）、顶层选择栅 US（Upper SG）、控制栅 CG（Control Gate）、底层选择栅 LS（Lower SG）、源线 SL（Source Line）。由源线 SL（Source Line）维持电流从存储阵列单向输出。由字线 BL（Bit Line）的选择信号、顶层选择栅 US（Upper SG）和底层选择栅 LS（Lower SG）共同的选择信号，以及控制栅 CG（Control Gate）的选择信号分别从立体空间三个维度（3D）来实现具体某个存储器的选通。其中，控制栅 CG（Control Gate）的选择信号控制图中横向的每一层的存储单元的选择。

[0003] 图 2 为 3D NAND 的半导体器件的结构示意图，其中包括多层的存储阵列（Memory anay）36、位于存储阵列 36 下方的底层选择栅 LS、位于存储阵列 36 上方的顶层选择栅 US、位于顶层选择栅 US 上面的字线 BL、以及从存储阵列（Memory anay）36 每一层延伸出来的控制栅 CG。对于每一层的存储器来说，由这一层的控制栅 CG 延伸出来，通过错位排布的接触插塞连接到控制电压信号输入线 29。

[0004] 图 3 示出了存储阵列 36 中单独的一竖列的具体细节原理。其中，a 表示其电路结构，b 表示器件结构，c 表示 b 中虚线框所示处的具体细节。如图 3 中所示，顶层选择栅 US 为一个 MOS 场效应晶体管，存储阵列（Memory anay）36 为多个存储器晶体管，底层选择栅 LS 为一个 MOS 场效应晶体管，底层选择栅 LS 下面为源线 SL 的单向导通的二极管。

[0005] 存储器阵列中的存储器晶体管的源漏区由柱状多晶硅内分层的掺杂区构成，存储栅为环绕柱状多晶硅的 ONO 层。其中，具体一个存储器晶体管的结构包括：多晶硅晶体管体（poly-Si Body）部分 263、电荷存储层（Charge Trap Layers）262、多晶硅栅（poly-Si Gate）261。

[0006] 每一层的存储器的控制栅 26 延伸出存储阵列，由金属插塞 267 连接至电压信号输入线 29（参照图 2），所述电压信号输入线 29 作为位线。控制栅 CG 层按照台阶状依次往上叠，金属插塞 267 沿着台阶依次向上错开排列，以连接到不同的位线（电压信号输入线 29）上，其俯视图如图 4 所示，台阶处金属插塞 267 排列的侧面图如图 5、图 6 所示。

[0007] 在这样的结构中，控制栅的层数和存储容量呈正比，即台阶的级数和存储容量呈正比。随着人们对于存储容量的追求，需要制作更大容量的存储器，也就需要制作更多层的控制栅，即非存储阵列所占用的面积也要成倍增长。若层数增长到比如 128 层或者更多倍数的层，这样的结构中，非存储阵列所占用的面积所占比例是非常大的。并且，对于较底层的存储单元来说，信号传输的路径会比较远，容易导致信号传输不稳定。并且，对于较多层数的存储单元来说，同一步工艺中制作深浅不同的通孔的难度很大。

[0008] 故需要一种更节省空间，也能满足存储容量成倍增长需求的，并且其选择信号传

Micron Ex. 1002, p. 200
Micron v. YMTC
IPR2024-00794

输不容易被干扰，工艺实现简单的 3D NAND 存储器的结构。

发明内容

[0009] 为实现上述目的，本发明提供了一种三维 NAND 存储器，包括均呈多层排布的存储阵列与控制栅电路，各层的控制栅电路电性连接至同层的存储阵列，实现对各层存储阵列的选中；

[0010] 各层的所述控制栅电路由相同数目的晶体管串联而成，控制栅电路的所有晶体管的栅极电性连接至控制线，所述控制线的数目与每层控制栅电路所包含晶体管的数目相同，位于同层控制栅电路上的不同晶体管的栅极电性连接在不同的控制线上。

[0011] 可选的，所述控制栅电路由 MOS 晶体管组成。

[0012] 可选的，各层控制栅电路中的 MOS 晶体管均呈相同的阵列排布，并且下层控制栅电路中的 MOS 晶体管位于上层控制栅电路中对应 MOS 晶体管的正下方。

[0013] 可选的，位于不同层但处于阵列相同位置的 MOS 晶体管栅极相连至同一控制线。

[0014] 可选的，所述控制栅电路所包含的 MOS 晶体管包括正阈值电压晶体管和负阈值电压 MOS 晶体管，且两种 MOS 晶体管在不同层中的组合方式各不相同。

[0015] 可选的，所述正阈值电压晶体管和负阈值电压晶体管的阈值电压数值相同，正负相反。

[0016] 可选的，在控制栅电路所在的区域，形成有贯穿各层控制栅电路的通孔；各层控制栅电路在位于所述通孔的两侧处均形成有源区和漏区，所述通孔内填充有栅介质层、栅材料层，并与各层的源区与漏区共同构成位于各层的所述晶体管。

[0017] 可选的，所述存储阵列的层数为 2^m，所述控制线的数目不超过 2m，其中 m 为正整数。

[0018] 可选的，另包括位于存储阵列上方的顶层选择栅、位于顶层选择栅上方的字线、位于存储阵列下方的底层选择栅，及位于底层选择栅下方的源线。

[0019] 一种三维 NAND 存储器的制作方法，包括：

[0020] 提供半导体衬底，所述半导体衬底至少分为存储区域与控制栅区域；

[0021] 在所述半导体衬底上形成多层叠层结构，每一叠层结构包括电介质层及位于电介质层上方的多晶硅层；在控制栅区域，每一多晶硅层内掺杂形成间隔分布的源区与漏区；

[0022] 形成贯穿所述多层叠层结构的通孔，其中，形成在控制栅区域的所述通孔位于所述源区与漏区之间；

[0023] 对于形成在控制栅区域的所述通孔，在其侧壁形成栅介质层，而后向该通孔内填充栅极材料，所述栅极材料、栅介质层与形成在各层的所述源区、漏区分别构成晶体管；对于形成在存储区域的所述通孔，对其进行填充，形成位于各层的存储单元。

[0024] 可选的，形成所述多层叠层结构前，所提供的半导体衬底的所述存储区域内已形成有源线与底层选择栅；形成所述存储单元后，在存储区域形成顶层选择栅及位于顶层选择栅上方的字线。

[0025] 可选的，在所述半导体衬底上形成的所述叠层结构不超过八层。

[0026] 可选的，在对所述叠层结构内的通孔进行处理以形成所述存储单元与位于控制栅区域的所述晶体管后，再次顺次执行形成多层叠层结构、形成贯穿所述多层叠层结构的通

Micron Ex. 1002, p. 201
Micron v. YMTC
IPR2024-00794

孔以及形成所述存储单元与位于控制栅区域的所述晶体管的步骤。

[0027] 可选的，在控制栅区域的所述通孔的侧壁形成栅介质层的方法为热氧化法。

[0028] 可选的，所述通孔的直径范围为 20~100nm。

[0029] 可选的，所述存储器为 SONOS 型闪存存储器。

[0030] 可选的，存储区域的通孔的直径大于控制栅区域的通孔的直径。

[0031] 可选的，所述形成贯穿所述多层叠层结构的通孔的步骤为：先后用不同的光刻胶为掩膜，分别对存储区域和控制栅区域进行刻蚀。

[0032] 可选的，在存储区域的所述通孔内包括：紧贴所述通孔内壁的 ONO 层和位于 ONO 层内的多晶硅柱，所述多晶硅柱中具有分层掺杂区以构成存储器晶体管的源漏区。

[0033] 可选的，所述控制栅区域内还形成有一个 Vcc 连接孔；在源区与漏区之间的所述通孔的侧壁形成栅介质层时，会同时在所述 Vcc 连接孔的侧壁形成栅介质层，在向所述通孔内填充栅极材料之前，还包括去除 Vcc 连接孔内的栅介质层的步骤。

[0034] 与现有技术相比，本发明具有以下优点：

[0035] 本发明的 3D NAND 存储器保留原本 3D NAND 存储器具有的存储阵列(Memory anay)，以及 3D NAND 存储器的字线 BL、顶层选择栅 US、底层选择栅 LS、源线 SL。而在连接控制电压信号输入和存储阵列之间，加入一个具有类似译码器功能的组合 MOS 逻辑电路阵列(即控制栅电路)来选通存储器阵列中的某一层存储器晶体管的控制栅，并传导控制电压输入端 Vcc 输入的控制电压。所述组合 MOS 逻辑电路阵列可以实现通过较少数量的输入控制线实现对较多层数的存储阵列的选择，使得存储器在通过增加存储单元的层数来增大存储容量的时候不因为控制栅需要的层数增加而增加控制栅区域的面积，从而有利于保持整个存储器的面积小型化。

[0036] 可选实施方式中提供的所述组合 MOS 逻辑电路阵列包括一个控制电压输入端 Vcc、若干组控制线 SSL 和若干层输出端 CG Layer，其中，对应需要控制 2^m 层的存储阵列只需要 m 组控制线 SSL，可使得 3D NAND 成倍增加存储容量而不得不成倍增加存储器控制栅的层数时，却只需要增加较小的面积和体积，就可以实现对成倍增加的控制栅层数的控制。

[0037] 可选实施方式中提供的组合 MOS 逻辑电路阵列由阈值电压正负相反的两种 MOS 晶体管构成，这样的电路比较稳定，不容易被干扰，并且对信号的响应速度较快，可以加快存储器的读写速度。

[0038] 可选实施方式中提供的具有若干层的组合 MOS 逻辑电路阵列，各层控制栅电路中的晶体管均呈相同的阵列排布，且每层的每个 MOS 晶体管和上下层的 MOS 晶体管一一对应，MOS 晶体管阵列的每一层均于所述存储阵列的每一层一一对应，所述控制电压输入端 Vcc 的连接线贯穿每一层以连通各层 MOS 晶体管。这样设置方便统一加工，使得形成的晶体管阵列构造简单，节省空间，并且便于工艺的实现。

[0039] 可选实施方式中提供的 MOS 晶体管采用双栅结构，故每个 MOS 晶体管需要两个多晶硅柱，所述双栅结构的 MOS 晶体管与一般晶体管相比，其栅极对 MOS 晶体管的控制能力加强，并且减小器件间寄生参量，提高了截止频率，从而能够使得控制栅电路对于存储器的选择信号的传输不容易被干扰。

附图说明

Micron Ex. 1002, p. 202
Micron v. YMTC
IPR2024-00794

[0040] 图 1 至图 6 是现有技术中的一种 3D NAND 的结构的示意图；

[0041] 图 7 至图 11 是本发明实施例中提供的 3D NAND 存储器的电路原理的示意图；

[0042] 图 12 至图 15 是本发明实施例中提供的 3D NAND 存储器半导体结构的示意图；

[0043] 图 16 至图 21 是本发明实施例中提供的控制栅电路制作工艺的形成过程中的结构示意图；

[0044] 图 22 至图 26 是本发明实施例中提供的 3D NAND 存储器制作工艺的形成过程中的结构示意图。

具体实施方式

[0045] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0046] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施的限制。

[0047] 3D NAND 存储器的电路结构

[0048] 如图 7 所示，为本发明的 3D NAND 存储器的一种实施方式的电路原理图。本发明的 3D NAND 存储器保留原本 3D NAND 存储器具有的存储阵列(Memory anay)，以及 3D NAND 存储器的字线 BL、顶层选择栅 US、底层选择栅 LS、源线 SL。而在连接控制电压信号输入端和存储阵列的控制栅 CG 之间，加入一个具有类似译码器功能的组合 MOS 逻辑电路阵列来传导对某层控制栅的选择信号和控制电压信号。所述组合 MOS 逻辑电路阵列为控制栅电路。图 7 中所述组合 MOS 逻辑电路阵列包括一个控制电压信号输入线 Vcc、若干组控制线 SSL（比如图中的 SSL1、SSL2）和若干层输出端 CG Layer，其中，对应需要控制 2^n 层的存储阵列，需要有 2^n 层输出端 CG Layer 和 m 组控制线 SSL（图 7 中，只显示了 m 为 2 的情况，即输出端 CG Layer 为 4 层和控制线 SSL 为 2 组的情况），其具体线路连接情况如下：

[0049] 每一层输出端 CG Layer 都由 m 组 MOS 晶体管源漏串联构成，每组 MOS 晶体管包括一个正阈值电压 MOS 晶体管和负阈值电压 MOS 晶体管（该正阈值电压 MOS 晶体管与负阈值电压 MOS 晶体管亦为串联）；输出端 CG Layer 的第 k 层输出信号 CG layer k（比如图中的 CG layer 1、CG layer 4 等）连接到存储阵列的第 k 层控制栅 CG，其中，k 小于等于 2^n。

[0050] 每组控制线 SSL 包括两列输入信号相反的输入端，第 n 组控制线 SSL 的两个相反的输入端分别记为 SSLn 和 $\overline{SSLn}$，其中 n 小于等于 m，每个输入端 SSL（包括 SSLn 或 $\overline{SSLn}$）均连接每一列 MOS 晶体管的栅极。

[0051] 将所有输出端 CG Layey 在外围连成一体，连接控制电压输入端 Vcc，由控制电压输入端 Vcc 提供对控制栅 CG 的控制电压。

[0052] 其中，图 8 中所示为控制栅电路所包括 A、B 两种 MOS 晶体管的示例，该两种 MOS 晶体管的阈值电压数值相同，正负相反。在本实施例中，以 A 的阈值电压为负，B 的阈值电压为正来说明本发明的构思。则当源栅电压大于 B 的阈值电压时，A、B 都导通，当源栅电压小于 B 的阈值电压时，只有 A 能够导通。即当控制电压输入端 Vcc 提供控制电压时，可由栅极电压 SSL 的值控制其导通与否，提供栅极电压 SSL 的可以为位线信号。由阈值电压正负相反的两种 MOS 晶体管构成本发明的实施例提供的控制栅电路，能使得电路运行比较稳定，

Micron Ex. 1002, p. 203
Micron v. YMTC
IPR2024-00794

不容易被干扰，并且对信号的响应速度较快，可以加快存储器的读写速度。

[0053] 当 m 为 1 的时候，所述各层控制栅电路为图 9 所示，按照 MOS 晶体管的导通情况，得到其真值表如下表表 1 所示。其表示，在 SSL1 不导通，$\overline{SSL1}$ 导通时，选择 CG Layer1 导通，当 SSL1 导通，$\overline{SSL1}$ 不导通时，选择 CG Layer2 导通。

[0054]

SSL1	$\overline{SSL1}$	*CG*
Off	on	Layer 1
On	off	Layer 2

[0055] 表 1 ：真值表 1

[0056] 同样的道理，当 m 为 2 的时候，所述各层控制栅电路为图 10 所示，按照 MOS 晶体管的导通情况，得到其真值表如下表表 2 所示。

[0057]

SSL1	$\overline{SSL1}$	*SSL2*	$\overline{SSL2}$	*CG*
off	On	off	on	Layer 1
on	Off	off	on	Layer 2
off	On	on	off	Layer 3
on	Off	on	off	Layer 4

[0058] 表 2 ：真值表 2

[0059] 当 m 为 3 的时候，所述各层控制栅电路为图 11 所示，按照 MOS 晶体管的导通情况，得到其真值表如下表表 3 所示。

[0060]

[0061]

SSL1	$\overline{SSL1}$	*SSL2*	$\overline{SSL2}$	*SSL3*	$\overline{SSL3}$	*CG*
off	on	off	on	off	on	Layer 1
on	off	off	on	off	on	Layer 2
off	on	on	off	off	on	Layer 3
on	off	on	off	off	on	Layer 4
off	on	off	on	on	off	Layer 5
on	off	off	on	on	off	Layer 6
off	on	on	off	on	off	Layer 7
on	off	on	off	on	off	Layer 8

[0062] 表 3 ：真值表 3

[0063] 由上述的电路情况可以发现，通过阈值电压为正负两种情况的晶体管的逻辑组合，能够实现通过较少数量（m 组）输入控制线 SSL（包括 SSLn 或 $\overline{SSLn}$，n 为正整数）实现对较多层数（2^m 层）的 CG 的选择。其中，SSL 数量为 $2\times\log_2 CG$。比如，控制栅层数总量 2^m 小于等于 128 层，而 SLn 的组数 m 为 $\log_2 128=7$，则需要 $2\times7=14$ 根控制线 SSL 就可以实现 128 层控制栅的选择。

[0064] 以“0”代替晶体管的“off”状态，“1”代替晶体管的“on”状态，真值表表 1~表 3 的状态如下表 4~表 6 所示。

[0065]

SSL1	$\overline{SSL1}$	*CG*
0	1	Layer 1
1	0	Layer 2

[0066] 表 4

Micron Ex. 1002, p. 204
Micron v. YMTC
IPR2024-00794

[0067]

$SSL1$	$\overline{SSL1}$	$SSL2$	$\overline{SSL2}$	CG
0	1	0	1	Layer 1
1	0	0	1	Layer 2
0	1	1	0	Layer 3
1	0	1	0	Layer 4

[0068] 表 5

[0069]

$SSL1$	$\overline{SSL1}$	$SSL2$	$\overline{SSL2}$	$SSL3$	$\overline{SSL3}$	CG
0	1	0	1	0	1	Layer 1
1	0	0	1	0	1	Layer 2
0	1	1	0	0	1	Layer 3
1	0	1	0	0	1	Layer 4
0	1	0	1	1	0	Layer 5
1	0	0	1	1	0	Layer 6
0	1	1	0	1	0	Layer 7
1	0	1	0	1	0	Layer 8

[0070] 表 6

[0071] 把上表 4~表 6 中的“$SSLn/\overline{SSLn}$”合并为“SLn”，把“$SSLn/\overline{SSLn}$”的状态“0/1”用“0”代表，把“$SSLn/\overline{SSLn}$”的状态“1/0”用“1”代表，可得到如下表 7~表 9。

[0072]

$SL1$	CG
0	Layer 1
1	Layer 2

[0073] 表 7

[0074]

$SL1$	$SL2$	CG
0	0	Layer 1
1	0	Layer 2
0	1	Layer 3
1	1	Layer 4

[0075] 表 8

[0076]

$SL1$	$SL2$	$SL3$	CG
0	0	0	Layer 1
1	0	0	Layer 2
0	1	0	Layer 3
1	1	0	Layer 4
0	0	1	Layer 5
1	0	1	Layer 6
0	1	1	Layer 7
1	1	1	Layer 8

[0077] 表 9

[0078] 从表 7 到表 9 可以看出，SLn（$n \leqslant m$）的排列正好为第 k 层中 k-1 值（$k \leqslant 2^n$）的二进制码。按照这样的规律，可以把控制栅层数推及到更多。晶体管这样的组合规律只是本实施例中提供的较优实施方式，在别的实施方式中，也可以按照别的规律来组合 MOS 晶体管，以实现同样的通过较少数量的输入控制线 SSL（包括$SSLn/\overline{SSLn}$、n 为正整数）实现对

Micron Ex. 1002, p. 205
Micron v. YMTC
IPR2024-00794

较多层数的 CG 的选择。这属于本领域技术人员熟知的译码器内部电路的相关内容，能够了解或者进行类似推导而得到别的电路组合方案，在此不一一列举。但本申请文件并不只限定为本实施例提供的这一种组合方式。

[0079] 3D NAND 存储器

[0080] 本发明一个实施例的 3D NAND 存储器的结构如图 12~ 图 14 所示，所述 3D NAND 存储器包括均呈多层排布的存储阵列(Memory anay)77 与控制栅电路 11。存储阵列 77 与已有的结构大致相同，由多层存储器晶体管组成存储阵列。并且，存储阵列 77 的上方依次形成有顶层选择栅 24、字线 83，下方依次形成有底层选择栅 28 及源线(未图示)等。在连接控制电压输入 Vcc 和存储阵列 77 之间，加入具有译码器功能的控制栅电路阵列 11 作为控制栅选择信号的传输阵列。所述控制栅电路阵列 11 连接至控制栅的选择信号 SSL 来实现某一层存储阵列中的控制栅被选中，然后将控制电压信号传导至这一层，使得控制电压信号最终施加在该层的存储区域。

[0081] 控制栅电路 11 包括由若干组 MOS 晶体管阵列和控制电压输入端 Vcc，其中所述 MOS 晶体管阵列也包括若干层，每层包括若干组 MOS 晶体管 56，各层控制栅电路中的晶体管均呈相同的阵列排布，且每层的每个 MOS 晶体管和上下层的 MOS 晶体管 对应，MOS 晶体管阵列的每一层均于所述存储阵列的每一层一一对应，且所述控制电压输入端 Vcc 的连接线 95 贯穿每一层以连通各层 MOS 晶体管。这样设置方便统一加工，也可减小整个电路所占用的面积。每层的控制栅电路 11 内的 MOS 晶体管的源漏串联，以共同组成了门电路，实现控制同层存储阵列的选通与断开。这样，控制电压输入端 Vcc 可以由每层的 MOS 晶体管组成的门电路来控制是否作用在存储阵列 77 的某一层上，从而实现对存储阵列 77 层的选中。

[0082] 整个控制栅电路所包含的晶体管根据阈值电压的不同至少分为两种。在本实施例中，阈值电压不同的晶体管分别为正阈值电压晶体管与负阈值电压晶体管。本发明的实施例提供的组合 MOS 逻辑电路阵列由这两种阈值电压正负相反的 MOS 晶体管构成，这样的电路比较稳定，不容易被干扰，并且对信号的响应速度较快，可以加快存储器的读写速度。

[0083] 具体的，该 3D NAND 存储器包括分别被绝缘层间隔开的 2^m 层电介层，每层电介层都包括存储单元区和控制栅电路区。其中：

[0084] 所述存储阵列 77 包括：

[0085] 若干贯穿所有绝缘层和电介层的多晶硅柱 97，每个多晶硅柱 97 与环绕它的电介质之间依次包括氧化硅层，氮化硅层，氧化硅层，所述多晶硅柱内包括分层的掺杂区(未图示)，所述分层的掺杂区构成存储器晶体管的源漏区。所述多晶硅柱 97 和氧化硅层，氮化硅层，氧化硅层，以及电介质组成的 SONOS（硅－氧化物－氮化物－氧化物－硅）层一同构成非易失性存储器晶体管(存储单元)。

[0086] 所述控制栅电路 11 包括：

[0087] 2m 组贯穿所有绝缘层和电介层的多晶硅柱，所有多晶硅柱每两个为一排，排成两列；

[0088] 每两个多晶硅柱与其两侧的电介层内为 MOS 晶体管的源漏掺杂，且与环绕它的电介质之间为氧化绝缘层；

[0089] 每组多晶硅柱包括四个多晶硅柱，每组内的每两个多晶硅柱两侧的源漏掺杂浓度不同。

Micron Ex. 1002, p. 206
Micron v. YMTC
IPR2024-00794

[0090] 所述 2m 组多晶硅柱远离所述存储区域的一端还有另一个多晶硅柱，其直接与环绕它的电介质相贴，所述多晶硅柱为 Vcc 连接孔（控制电压输入端 Vcc）。

[0091] 其中，本实施例中所述 MOS 晶体管采用双栅结构，故每个 MOS 晶体管需要两个多晶硅柱 91，所述双栅结构的 MOS 晶体管与一般晶体管相比，其栅极对 MOS 晶体管的控制能力加强，并且减小器件间寄生参量，提高了截止频率。对于本实施例中来说，能够使得控制栅电路对于存储器的选择信号的传输不容易被干扰。如图 15 所示，每两个多晶硅柱 91 与各自两侧以及两者之间的电介层内的源漏掺杂区 4，以及多晶硅柱和电介质层之间的栅介质层 3 构成一个 MOS 晶体管。所述 MOS 晶体管中通过控制多晶硅层中沟道和源漏掺杂的浓度、栅介质层厚度等不同工艺参数来控制形成的 MOS 晶体管的阈值电压不同。

[0092] 控制栅电路的制作工艺

[0093] 控制栅电路区制作的具体流程可以如下：

[0094] 执行步骤 S1：沉积电介质层；

[0095] 如图 16 所示，在衬底上沉积电介质层 100。所述衬底为半导体衬底，可以为体硅衬底、砷化镓衬底、SOI 衬底或金刚石衬底等。为了清楚的体现最终形成的器件结构，图中省去衬底的结构。

[0096] 沉积的所述电介质层 100 可以是 SiO_2 层或 Si_3N_4 层，沉积方式可以是化学气相沉积、物理气相沉积等形成方式。其厚度为100Å~1000Å。本实施例中，采用硅烷（SiH_4）和氧气（O_2）、一氧化氮（N_2O）或二氧化碳（CO_2）在等离子体的状态下反应生成的硅酸盐玻璃作为电介质层。反应温度为 350℃，反应中也可以掺入 B 或者 P 来形成 BSG 或 PSG、或者 BPSG。

[0097] 执行步骤 S2：沉积多晶硅层；

[0098] 在所述电介质层 100 上沉积多晶硅层 102，继续参考如图 16 所示。所述多晶硅层 102 可以是以化学气相沉积、物理气相沉积等方式形成，厚度为100Å~1000Å。

[0099] 本实施例中采用 LPCVD 方式在 575℃~650℃通过热分解硅烷（SiH_4）淀积形成多晶硅层 102，具体操作为在低压状态下用纯硅烷或者氮气和质量含量为 20%~30% 的硅烷的混合气体通入反应腔室，反应腔室内压强为 0.2~1.0Torr。优选的，可以通入乙硼烷作为提高反应速率的催化剂。

[0100] 执行步骤 S3：进行源漏离子注入；

[0101] 具体来说，如图 17 所示，这一步工艺包括形成光刻胶 103 暴露出源漏区，然后进行离子注入，以形成 MOS 晶体管的源漏区。

[0102] 如本技术领域人员所了解的，调整 MOS 晶体管阈值电压正负以及大小的主要措施是通过离子注入来改变其衬底杂质类型和浓度。因而，为使半导体结构同时具有正、负 MOS 晶体管，需要先后利用不同的光刻胶等掩膜结构分别对正 MOS 晶体管和负 MOS 晶体管进行离子注入，以能够进行不同的离子注入，从而能够形成阈值电压为正或负的 MOS 晶体管。在本实施例中，第一离子注入为对正 MOS 晶体管区域进行，第二次离子注入为对负 MOS 晶体管区域进行。

[0103] 上述步骤 S1 到步骤 S3 为一小循环，电介质层 100 和多晶硅层 102 的叠层结构。后续需要在所述叠栅结构中刻蚀通孔，且填充所述通孔。如果所述叠层结构太后，会使得所需要通孔的深宽比太大，难以实施所述刻蚀和填充。为了后续工艺能够较好的实施，所述小循环的次数不宜过多。优选的，所述小循环循环执行八次。即形成如图 18 所示八层电介质层

Micron Ex. 1002, p. 207
Micron v. YMTC
IPR2024-00794

100（包括电介质层 100a~电介质层 100h）和多晶硅层 102（包括多晶硅层 102a~多晶硅层 102h），再进行下面的步骤。

[0104] 执行步骤 S4：刻蚀形成通孔，所述通孔贯穿前述各层；

[0105] 利用光刻胶做掩模，在源漏区之间待形成栅极的区域，以及 Vcc 连接孔的位置刻蚀形成通孔 8，从表面直至最底层底部，露出半导体衬底的表面。每一层 MOS 晶体管的数量的两倍再加一个。这是由于控制栅区域的 MOS 晶体管为双栅结构，需要两个栅极。且控制栅区域还包括要形成 Vcc 连接线，需要预留出 Vcc 连接线所需的 Vcc 连接孔。

[0106] 通孔 8 的直径为 20~100nm，优选为 40~60nm，刻蚀方式可以采用等离子体干法刻蚀。形成结构示意图为图 19 所示。

[0107] 执行步骤 S5：在通孔的侧壁形成栅介质层；

[0108] 在通孔 8 内侧形成栅介质层，所述栅介质层可以为氧化硅层、氮化硅层或两者的组合，形成方式可以为热氧化法、化学气相沉积、原子层沉积中的一种。

[0109] 在本实施例中，前述步骤中在介质层中掺杂形成 MOS 晶体管的源漏区，所述介质层为多晶硅，本步骤中较优形成栅介质层的方式为热氧化法。具体实施方式为在纯氮的氛围下，按照 20℃ /min 的升温速率将炉温升高至 850℃，通入氧气束流，同时也可以通入少量 HCl，用来减少界面电荷。经过足够时间的反应，同时关闭氧气和 HCl，进行退火，降温。即可以在通孔内多晶硅层的边缘和通孔底部的半导体衬底表面形成氧化硅。另外，需要说明的是，本步骤的操作需要在热氧化炉中进行，为了防止光刻胶对反应环境的污染，不便于形成光刻胶作为掩模保护不需要形成栅介质层的 Vcc 连接孔所在的通孔 8，故本步骤结束后，除了会在需要形成栅极的通孔 8 内侧形成栅介质层，不可避免也会在形成在通孔 8 内侧形成栅介质层。

[0110] 执行步骤 S6：刻蚀去掉通孔底部的栅介质层以及 Vcc 连接孔内的栅介质层；

[0111] 采用刻蚀方向为垂直方向的等离子体干法刻蚀的方式，去除通孔底部的栅介质层。本步骤未图示。最终在侧壁上形成的栅介质层的厚度优选为5Å~150Å。

[0112] 之后，形成掩膜保护，只暴露出 Vcc 连接孔，采用湿法刻蚀的方式去除 Vcc 连接孔内所有的栅介质层，而后去除掩膜保护。优选的，所述掩膜保护由光刻胶形成。具体的方法可以为在所有通孔 8 中填充有机涂层，使得通孔填满，再在表面形成光刻胶图形，只暴露出 Vcc 连接孔，然后去除通孔中的有机涂层，湿法刻蚀去除其中的栅介质层。这样的方法为本领域技术人员所熟知技术，不详细阐述。

[0113] 执行步骤 S7：在通孔中填充满多晶硅，以形成栅极和连通 Vcc 连接孔；

[0114] 利用化学气相沉积在通孔内填充满多晶硅，本实施例中可以采用 LPCVD 方法淀积。且本步骤中形成的多晶硅是用于做栅极的，故采用掺杂的多晶硅，这是由于通过掺杂可以得到特定的电阻、其与二氧化硅具有优良的界面特性、在陡峭的结构上淀积具有良好的均匀性。

[0115] 具体实施为在 575~650℃下，热分解硅烷。采用纯硅烷或者含量为氢气和 20~30% 的硅烷的混合气体通入反应系统，压强为 0.2~1.0Torr，淀积速率大约为100~200Å/min。可以加入乙硼烷以提高反应速率，因为乙硼烷会形成激发的 BH_3，这会催化气相反应的进行。

[0116] 向反应混合气体中加入 AsH_3、PH_3、B_2H_6 等可以对多晶硅进行原位掺杂。也可以在

Micron Ex. 1002, p. 208
Micron v. YMTC
IPR2024-00794

淀积后用离子注入进行掺杂。

[0117] 由于需要形成栅极的通孔形成在源漏区之间，通孔侧壁上有栅介质层，在通孔内填充满多晶硅形成多晶硅柱，即，在每个多晶硅柱和每层有源漏区的介质层交界处构成了一个 MOS 晶体管。其阈值电压由源漏区离子注入掺杂的浓度，栅氧化层的厚度，栅极多晶硅的离子浓度等因素控制。

[0118] 沉积的多晶硅 109 填满所述通孔，实际中，会覆盖过所述通孔及顶层的多晶硅层 102h，形成结构如图 20 所示。

[0119] 执行步骤 S8：进行化学机械研磨以平坦化；

[0120] 利用化学机械研磨去除表层多余的多晶硅，实现表面全局平坦化，且露出栅介质层和电介质层。形成结构如图 21 所示。通孔内的多晶硅柱 91 构成所述晶体管的栅极和 Vcc 连接线。

[0121] 至此为一个控制栅形成工艺的大循环，将前述小循环中形成的八层电介质层 100（包括电介质层 100a~ 电介质层 100h）和多晶硅层 102（包括多晶硅层 102a~ 多晶硅层 102h）处理完，形成所述控制栅电路的八层。完成这一步骤之后，还需要进行以下步骤 S9~S10，以能够在整个工艺中继续再进行若干次大循环，直至达到需要的控制栅层数。

[0122] 执行步骤 S9：刻蚀去掉非控制栅区部分的电介质层和多晶硅层；

[0123] 由于之前的沉积等步骤，实际上为全局操作，在前述步骤 S 1 到步骤 S3 的小循环中沉积形成的介质层中形成好 MOS 晶体管之后，还需要刻蚀去除非控制区域的电介质层和多晶硅层。本实施例中，采用光刻胶作为掩模，进行等离子体干法刻蚀以完成该步骤。

[0124] 执行步骤 S10：形成层间介质层并平坦化。

[0125] 沉积氧化硅层，以在刻蚀去除介质层的其它区域形成层间介质层，以把控制栅区域的 MOS 晶体管阵列和其它器件隔离开。

[0126] 这一步可以采用采用硅烷（SiH_4）和氧气（O_2）、一氧化氮（N_2O）或二氧化碳（CO_2）在等离子体的状态下反应。温度为 350℃，反应中也可以掺入 B 或者 P 来形成 BSG 或 PSG、或者 BPSG。沉积好层间介质层之后，还包括进行化学机械研磨，使得表面平坦化的步骤，以方便后续别的半导体结构的工艺的进行或者开始新的控制栅形成工艺的大循环。

[0127] 3D NAND 存储器的制作方法

[0128] 本实施方式介绍由多层存储阵列组成的存储区与由多层控制栅电路组成的控制栅电路区组成的 3D NAND 存储器的制作方法。参考图 22 至图 26，本实施例中 3D NAND 存储器的制作方法包括：

[0129] 步骤 S20'：提供半导体衬底，所述半导体衬底包括存储区域与控制栅区域；

[0130] 所提供的半导体衬底可以为硅衬底 108。并且，在所述半导体衬底的存储区域可以已形成有源线（Source Line）和底层选择栅（Lower SG）。本步骤的工艺实施方式属于本领域技术人员熟知的技术，在本说明书中不详细描述。

[0131] 执行步骤 S21'：进行电介质层沉积，所述沉积同时在存储区域和控制栅区域进行；

[0132] 所述电介质层 100 可以是 SiO_2 层或 Si_3N_4 层，沉积方式可以是化学气相沉积，物理气相沉积等形成方式。其厚度为100Å~1000Å。

[0133] 本实施例中，采用硅烷（SiH_4）和氧气（O_2）、一氧化氮（N_2O）或二氧化碳（CO_2）在等

Micron Ex. 1002, p. 209
Micron v. YMTC
IPR2024-00794

离子体的状态下反应。温度为 350℃，反应中也可以掺入 B 或者 P 来形成 BSG 或 PSG、或者 BPSG。

[0134] 执行步骤 S22'：进行多晶硅层沉积，所述多晶硅层沉积同时在存储区域和控制栅区域进行；

[0135] 所述多晶硅层 102 形成方式可以是化学气相沉积，物理气相沉积等，其厚度为 100Å~1000Å。

[0136] 和前面类似的，本步骤的多晶硅层 102 沉积同时在存储区域和控制栅区域进行。形成结构如图 22 所示。

[0137] 本实施例中采用 LPCVD 方式在 575℃ ~650℃通过热分解硅烷（SiH_4）淀积形成多晶硅，具体操作为在低压状态下用纯硅烷或者体积含量为 20%~30% 的硅烷和氮气的混合气体通入反应腔室，反应腔室内压强为 0.2~1.0Torr。优选的，可以通入乙硼烷作为提高反应速率的催化剂。

[0138] 执行步骤 S23'：利用光刻胶保护存储区域，对控制栅区域进行源漏离子注入；

[0139] 如图 23 所示，具体来说，这一步工艺包括旋涂光刻胶 24，进行光刻以暴露出控制栅区域的源漏区。光刻胶覆盖的区域包括非控制区域和控制栅区域的非源漏区域。

[0140] 然后进行离子注入，以形成 MOS 晶体管的沟道区和源漏区。这里的方法和前面步骤 S3 所述的相似，在此不再累述。比如，可以分两步进行，其中第一离子注入为对正 MOS 晶体管区域进行，第二次离子注入为对负 MOS 晶体管区域进行。

[0141] 上述步骤 S21' 到步骤 S23' 为一小循环，同前述控制栅电路的形成方法类似的，所述小循环优选循环八次，形成如图 24 所示八层结构后进行下面的步骤。

[0142] 执行步骤 S24'：利用光刻胶做掩模，在存储区域和控制栅区域的源漏区之间刻蚀形成贯穿上述所有多晶硅层、电介质层的若干通孔；

[0143] 利用光刻胶做掩模，在存储区域和控制栅区域的源漏区之间刻蚀通孔，从表面直至最底层底部。在存储区域的通孔数量为每一层存储晶体管个数，在所述控制栅区域为每一层 MOS 晶体管的数量的两倍再加一个。这是由于控制栅区域的 MOS 晶体管为双栅结构，需要两个栅极。且控制栅区域还包括要形成 Vcc 连接线，需要预留出 Vcc 连接线所需的 Vcc 连接孔。形成结构如图 25 所示。通孔的直径范围为 20~100nm，优选为 40~60nm，刻蚀方式可以采用等离子体干法刻蚀。

[0144] 由于在后续步骤中，存储区域的通孔侧壁上还需要形成具有多层结构的 ONO 层，以最终能够形成存储器的栅极实现存储器存储电荷的功能。而控制栅区域的通孔内只需要形成薄层栅介质层和填充多晶硅。优选的，本步骤的刻蚀为两次以不同的光刻胶为掩膜，分别对存储区域和控制栅区域进行刻蚀，以使得存储区域的通孔的直径大于控制栅区域的通孔的直径。

[0145] 步骤 S25'：在通孔的侧壁形成 ONO（二氧化硅－氮化硅－二氧化硅）层；

[0146] 存储区的闪存存储器器件为 SONOS 型闪存存储器器件，如图 26 所示，其中包括 SONOS 层结构 3，所述 SONOS 为 Silicon-Oxide-Nitride-Oxide-Silicon(硅－二氧化硅－氮化硅－二氧化硅－硅）层。这样的存储器器件采用绝缘体氮化硅作为器件的电荷存储层（Charge Trap Layers），电荷分散的存储于氮化硅中，由于电荷存储层是绝缘体，因此不会因为隧穿介质层中的点缺陷导致存储失败，而且隧穿介质层的减薄不会明显的减少器件的

Micron Ex. 1002, p. 210
Micron v. YMTC
IPR2024-00794

保持时间。其从根本上解决了浮栅型存储器的按比例缩小后会导致存储能力不强的问题，再加上其具有抗辐射特性等优点，使得其成为目前主要的闪存器件类型之一。SONOS 闪存存储器中形成中间结构 ONO（二氧化硅－氮化硅－二氧化硅）层的工艺为现有成熟技术。在此不详细描述。

[0147] 步骤 S26'：刻蚀去掉通孔底部接触下层选择栅部分上的 ONO 层；

[0148] 干法刻蚀去除通孔底部的 ONO 层，避免其隔绝通孔和下层选择栅之间的接触。

[0149] 步骤 S27'：在通孔中分高度不同生长不同掺杂的多晶硅；

[0150] 由于通孔形成在源漏区之间，通孔侧壁上有 ONO 层，在通孔内填充分层次具有不同掺杂的多晶硅形成多晶硅柱，即在每段按照源、沟道和漏区分层掺杂的多晶硅柱、ONO 层以及每层的多晶硅层构成了一个存储器晶体管。

[0151] 优选的，本实施例采用先统一形成存储区域需要的分层次具有不同掺杂的多晶硅，然后再在后续步骤中利用光刻胶作为掩模保护，去除控制区域内的多晶硅，再形成控制区域需要的多晶硅。

[0152] 存储区域的多晶硅的形成方式为按不同掺杂类型和浓度一层一层的进行化学气相沉积。本实施例中可以采用 LPCVD 方法淀积，具体实施为在 575~650℃下，热分解硅烷。采用纯硅烷或者含量为 20~30% 的硅烷和氮气的混合气体通入反应系统，压强为 0.2~1.0Torr，淀积速率大约为100~200Å/min。加入乙硼烷可以提高反应速率，因为乙硼烷会形成激发的 BH_3，这会催化气相反应的进行。沉积过程中向反应混合气体中加入 AsH_3、PH_3、B_2H_6 等可以对多晶硅进行原位掺杂，也可以在淀积后用离子注入进行掺杂。

[0153] 步骤 S28'：进行化学机械研磨以平坦化；

[0154] 前一步骤中沉积的多晶硅填满所述通孔，实际中，会覆盖过所述通孔及其旁边的介质层，故需要进行化学机械研磨去除多余的多晶硅，以实现表面全局平坦化，且露出通孔侧壁的 ONO 层。

[0155] 步骤 S29'：利用光刻胶保护存储区，露出控制栅区，去除控制栅区内的分层掺杂的多晶硅和 ONO 层；

[0156] 具体为，形成光刻胶掩模，保护存储区的通孔，露出控制栅区，再利用干法刻蚀去除控制栅区内的分层掺杂的多晶硅和 ONO 层。之后可去除残留的光刻胶掩模。

[0157] 步骤 S30'：在控制栅区域的通孔内形成栅介质层；

[0158] 和前述步骤 S5 类似的，在控制栅区域的通孔内形成栅介质层，所述栅介质层为氧化硅层，氮化硅层或两者的组合，形成方式可以为热氧化法、化学气相沉积、原子层沉积中的一种。

[0159] 较优形成栅介质层的方式为热氧化法。具体实施方式为在纯氮的氛围下，按照 20℃／分的升温速率将炉温升高至 850℃，通入氧气束流，同时也可以通入少量 HCl，用来减少界面电荷。经过足够时间的反应，同时关闭氧气和 HCl，进行退火，降温。即可以在多晶硅层边缘形成氧化硅层。

[0160] 步骤 S31'：刻蚀去掉 Vcc 连接孔内的栅介质层；

[0161] 形成掩膜保护，只暴露出 Vcc 通孔，采用湿法刻蚀的方式去除 Vcc 通孔内所有的栅介质层，去除掩膜保护。优选的，所述掩膜保护由光刻胶形成。具体的方法可以为在通孔中填充有机涂层，使得通孔填满，再在表面形成光刻胶图形，只暴露出 Vcc 通孔，去除其中的

Micron Ex. 1002, p. 211
Micron v. YMTC
IPR2024-00794

有机涂层，湿法刻蚀去除其中的栅介质层。这样的方法为本领域技术人员所熟知技术，不详细阐述。

[0162] 步骤 S32'：去除光刻胶掩模，刻蚀去除控制栅区域底部的栅介质层，在其中填充入新的多晶硅；

[0163] 采用干法刻蚀去除控制栅区域的通孔底部的栅介质层，在通孔中填充满多晶硅，以形成控制栅区域 MOS 晶体管；

[0164] 其中，存储区域和控制栅区域的通孔内的多晶硅是不同的。控制栅区域的通孔内的多晶硅纵向为一体的多晶硅，作为控制栅区域中 MOS 晶体管的栅极以及 Vcc 通孔内接连所有层的导通路径。

[0165] 利用化学气相沉积在通孔内填充满多晶硅，控制栅区域的多晶硅采用掺杂的多晶硅，这是由于通过掺杂可以得到特定的电阻、其与二氧化硅具有优良的界面特性、在陡峭的结构上淀积具有良好的均匀性。具体实施为在 575~650℃下，热分解硅烷。采用纯硅烷或者含量为 20~30% 的硅烷和氮气的混合气体通入反应系统，压强为 0.2~1.0Torr，淀积速率大约为100~200Å/min。加入乙硼烷可以提高反应速率，因为乙硼烷会形成激发的 BH_3，这会催化气相反应的进行。向反应混合气体中加入 AsH_3、PH_3、B_2H_6 等可以对多晶硅进行原位掺杂。也可以在淀积后用离子注入进行掺杂。

[0166] 由于通孔形成在源漏区之间，通孔侧壁上有栅介质层，在通孔内填充满多晶硅形成多晶硅柱，即，在每个多晶硅柱和每层有源漏区的介质层交界处构成了一个 MOS 晶体管。其阈值电压由源漏区离子注入掺杂的浓度，栅氧化层的厚度，栅极多晶硅的离子浓度等因素控制。

[0167] 沉积的多晶硅填满所述通孔，实际中，会覆盖过所述通孔及其旁边的介质层。

[0168] Vcc 通孔内由多晶硅贯穿整个通孔，连接每一层 CG 的多晶硅。

[0169] 执行步骤 S33'：进行化学机械研磨以平坦化；

[0170] 利用化学机械研磨去除表层多余的多晶硅，实现表面全局平坦化，且露出栅介质层和绝缘介质层。

[0171] 执行步骤 S34'：刻蚀去掉非存储区域和非控制栅区的电介质层和多晶硅层；

[0172] 由于之前的沉积等步骤，实际上为全局的操作，在一个小循环中沉积形成的介质层中形成好 MOS 晶体管之后，还需要刻蚀去除非控制区域的介质层。本实施例中，采用光刻胶作为掩模，进行等离子体干法刻蚀。

[0173] 执行步骤 S35'：形成层间介质层并平坦化；

[0174] 沉积氧化硅层，在刻蚀去除介质层的其它区域形成层间介质层，以把控制栅区域的 MOS 晶体管阵列和其它器件隔离开。

[0175] 这一步可以采用采用硅烷（SiH_4）和氧气（O_2）、一氧化氮（N_2O）或二氧化碳（CO_2）在等离子体的状态下反应。温度为 350℃，反应中也可以掺入 B 或者 P 来形成 BSG 或 PSG、或者 BPSG。

[0176] 沉积好层间介质层之后，还包括进行化学机械研磨，使得表面平坦化的步骤，以方便后续工艺的进行。

[0177] 至此为一个工艺的大循环，进行若干次大循环，直至达到需要的存储器和控制栅的层数。

Micron Ex. 1002, p. 212
Micron v. YMTC
IPR2024-00794

[0178] 执行步骤S36'：形成顶层选择栅(Upper SG)与字线栅(Bit Line)，最终形成本发明的3D NAND存储器。

[0179] 本发明结合存储阵列的存储器晶体管的结构，使得形成的晶体管阵列构造简单，节省空间，并且便于工艺的实现。并且本发明采用双栅MOS场效应晶体管的结构，提高栅极对晶体管的控制能力加强，并且减小器件间寄生参量，提高了截止频率，且使得控制栅对于存储器的选择信号的传输不容易被干扰。

[0180] 以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制。

[0181] 虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

Micron Ex. 1002, p. 213
Micron v. YMTC
IPR2024-00794

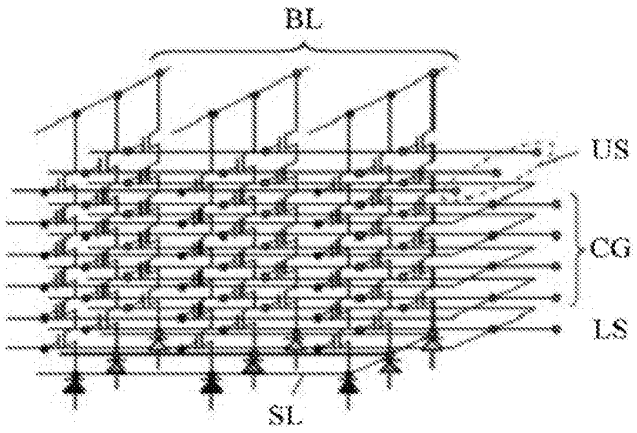


图 1

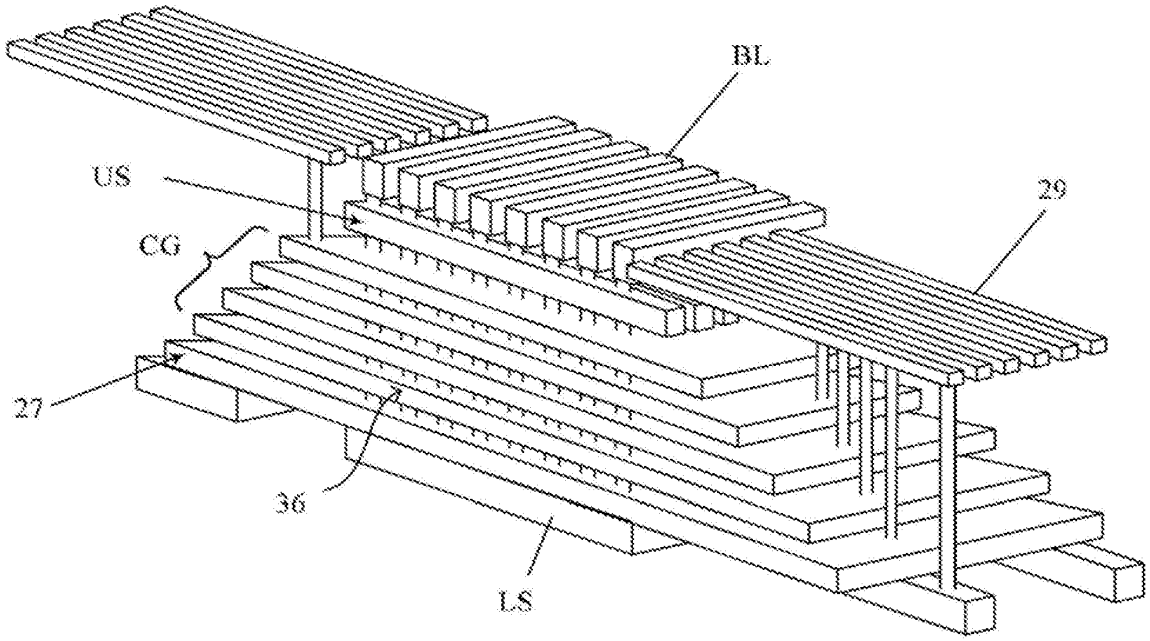


图 2

Micron Ex. 1002, p. 214
Micron v. YMTC
IPR2024-00794

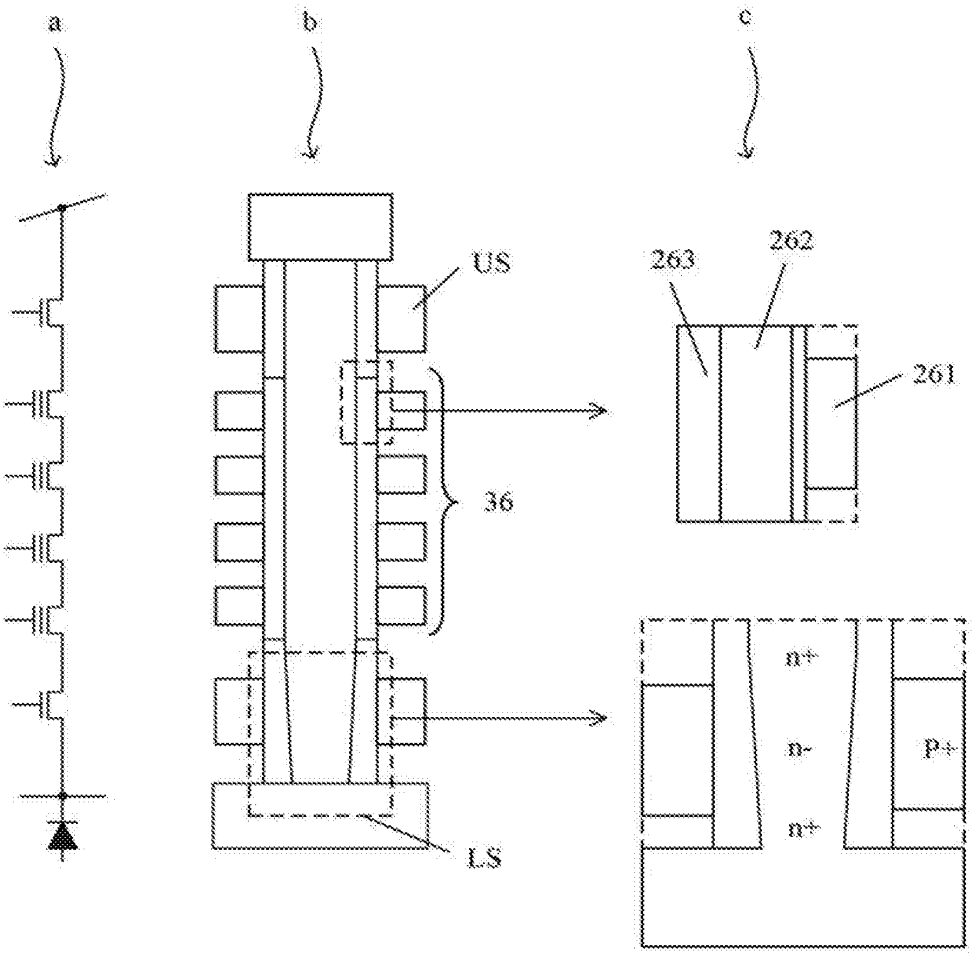


图 3

Micron Ex. 1002, p. 215
Micron v. YMTC
IPR2024-00794

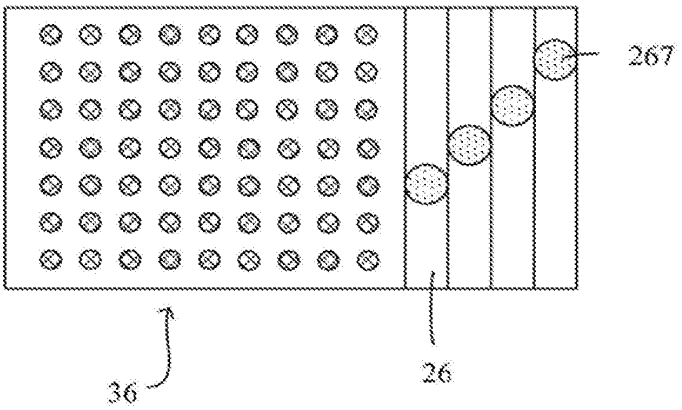


图 4

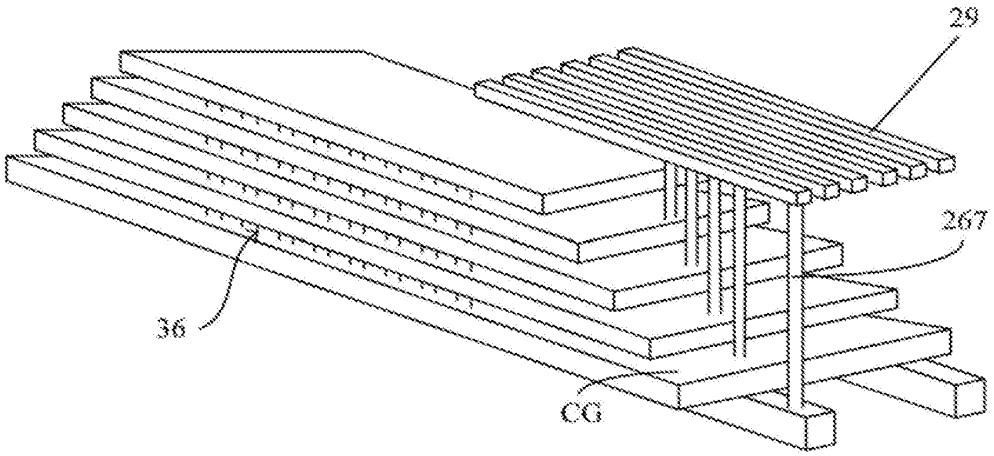


图 5

Micron Ex. 1002, p. 216
Micron v. YMTC
IPR2024-00794

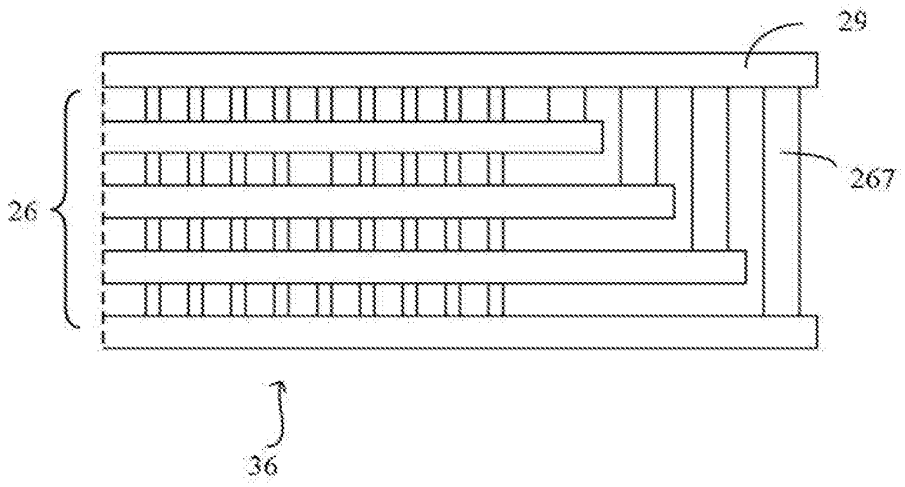


图 6

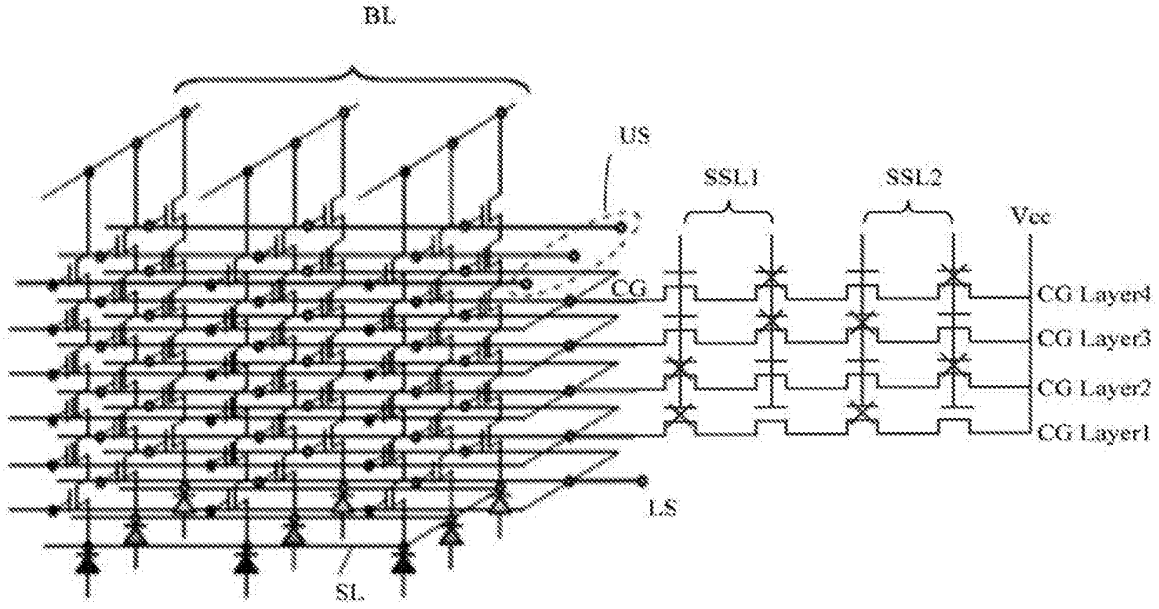


图 7

Micron Ex. 1002, p. 217
Micron v. YMTC
IPR2024-00794

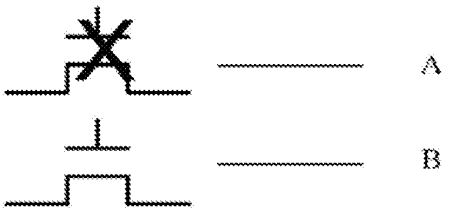


图 8

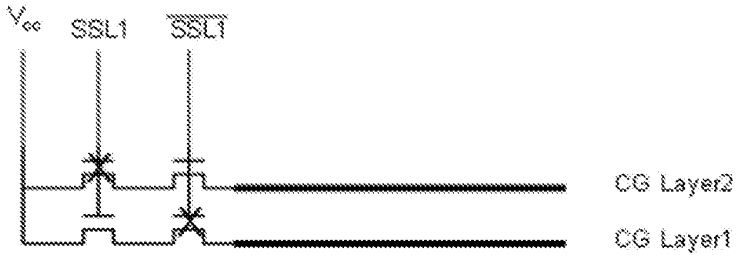


图 9

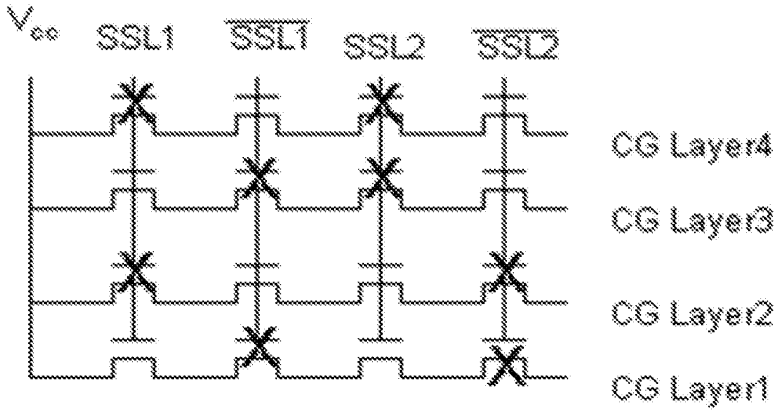


图 10

Micron Ex. 1002, p. 218
Micron v. YMTC
IPR2024-00794

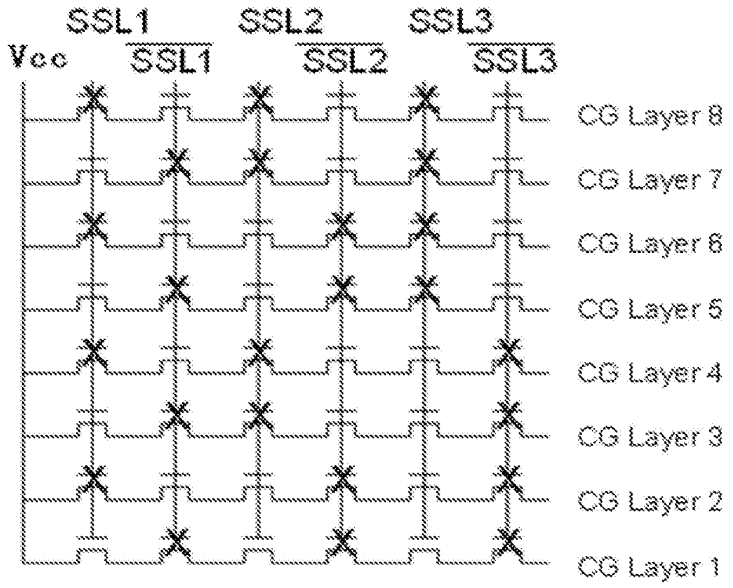


图 11

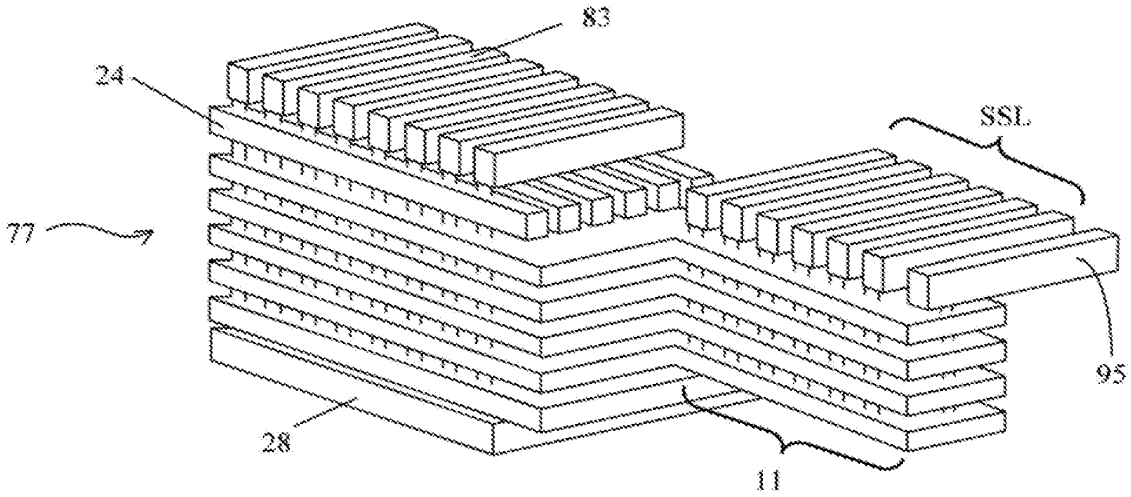


图 12

Micron Ex. 1002, p. 219
Micron v. YMTC
IPR2024-00794

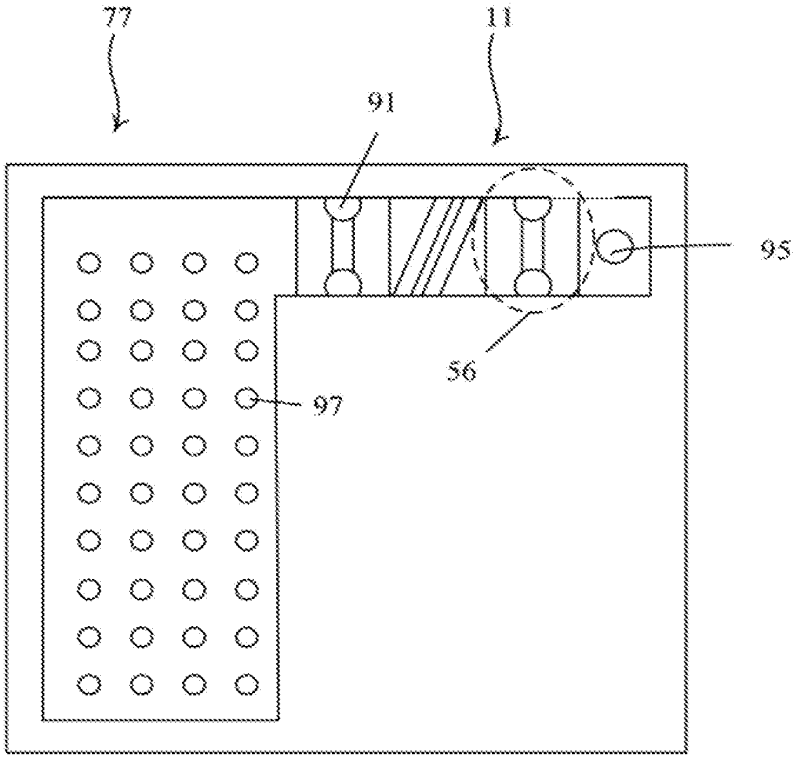


图 13

Micron Ex. 1002, p. 220
Micron v. YMTC
IPR2024-00794

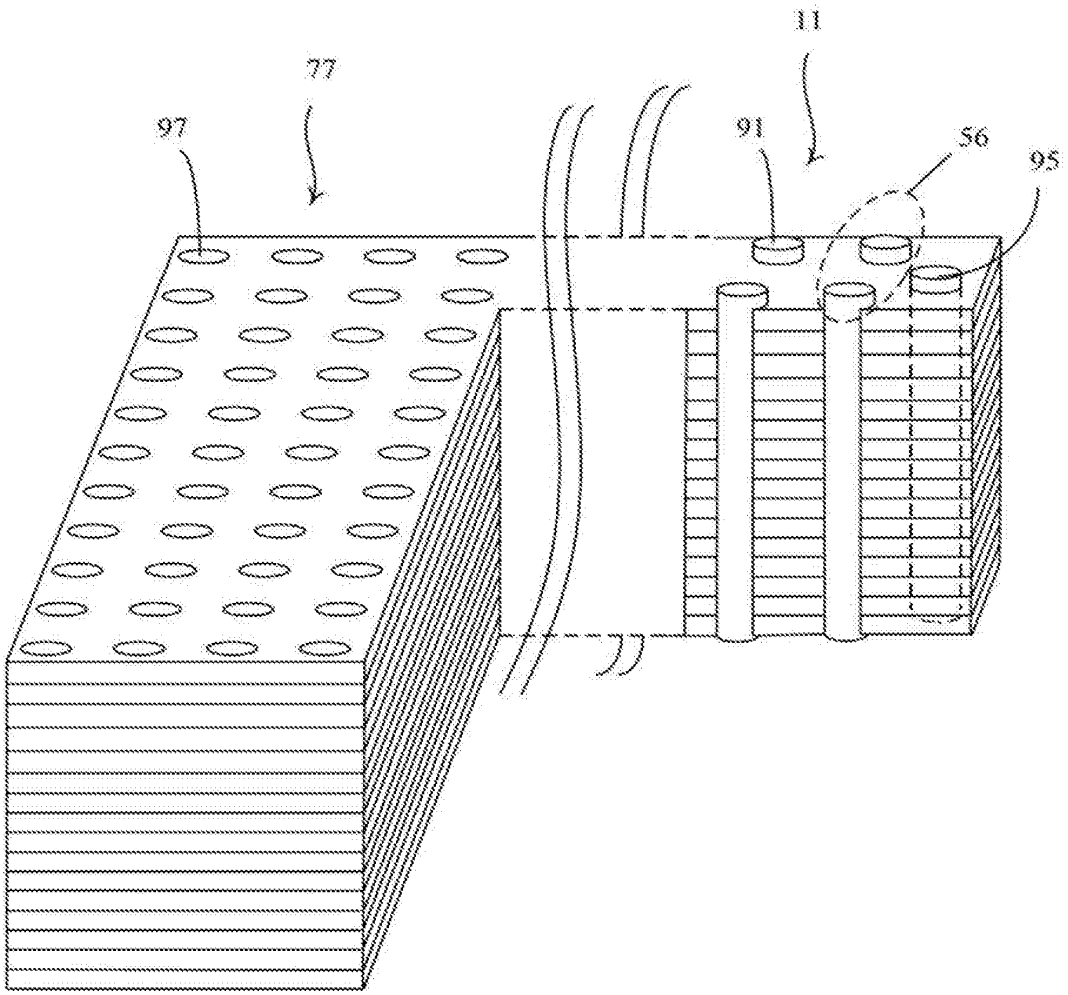


图 14

Micron Ex. 1002, p. 221
Micron v. YMTC
IPR2024-00794

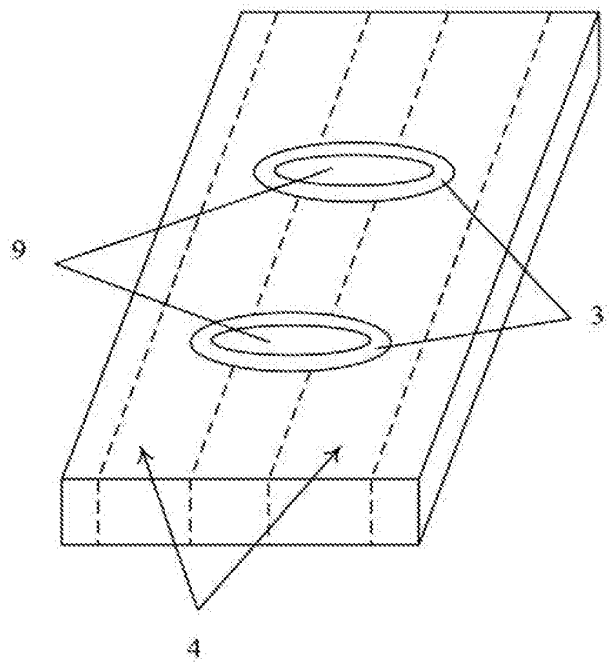


图 15

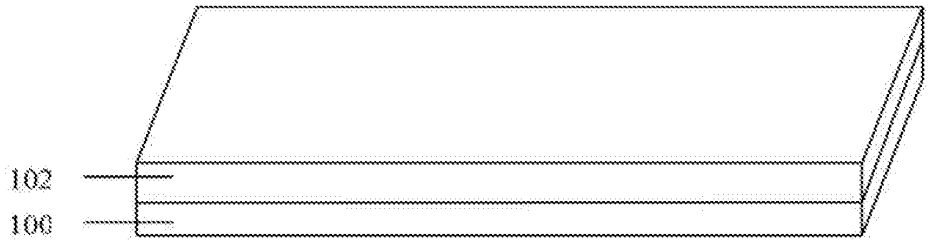


图 16

Micron Ex. 1002, p. 222
Micron v. YMTC
IPR2024-00794

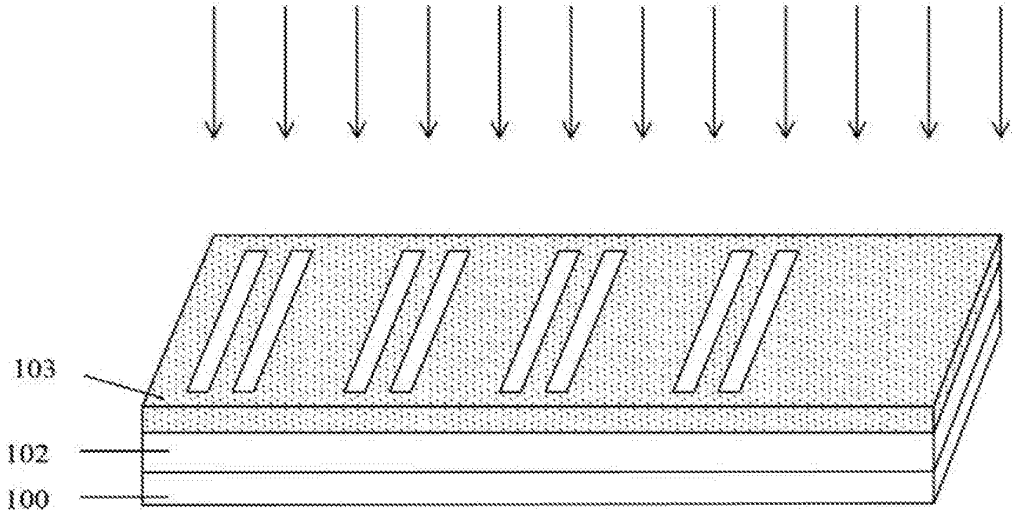


图 17

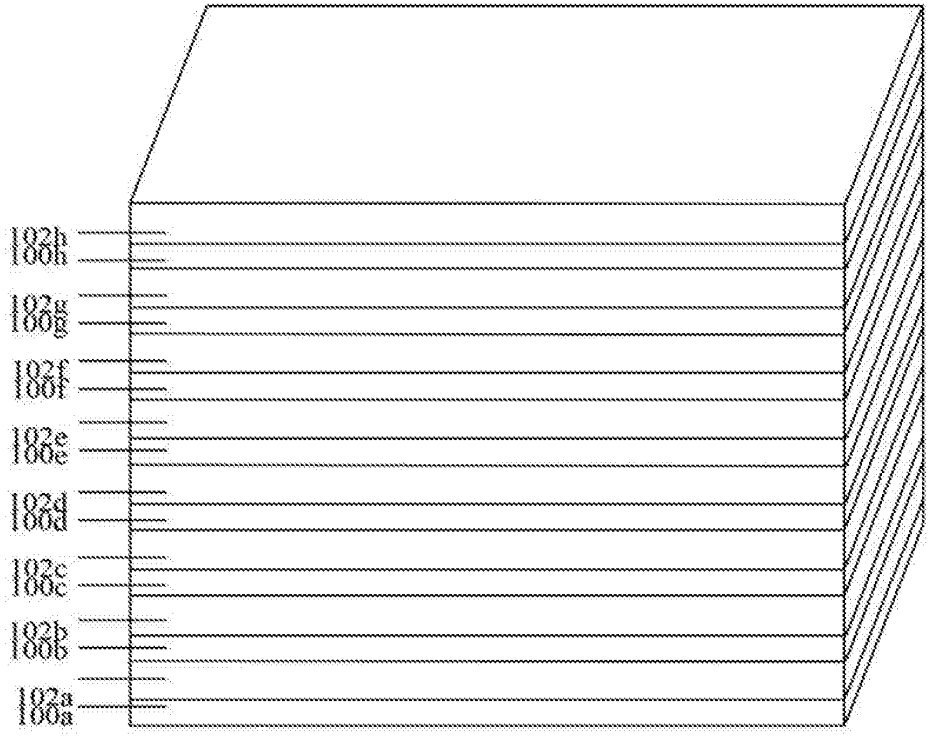


图 18

Micron Ex. 1002, p. 223
Micron v. YMTC
IPR2024-00794

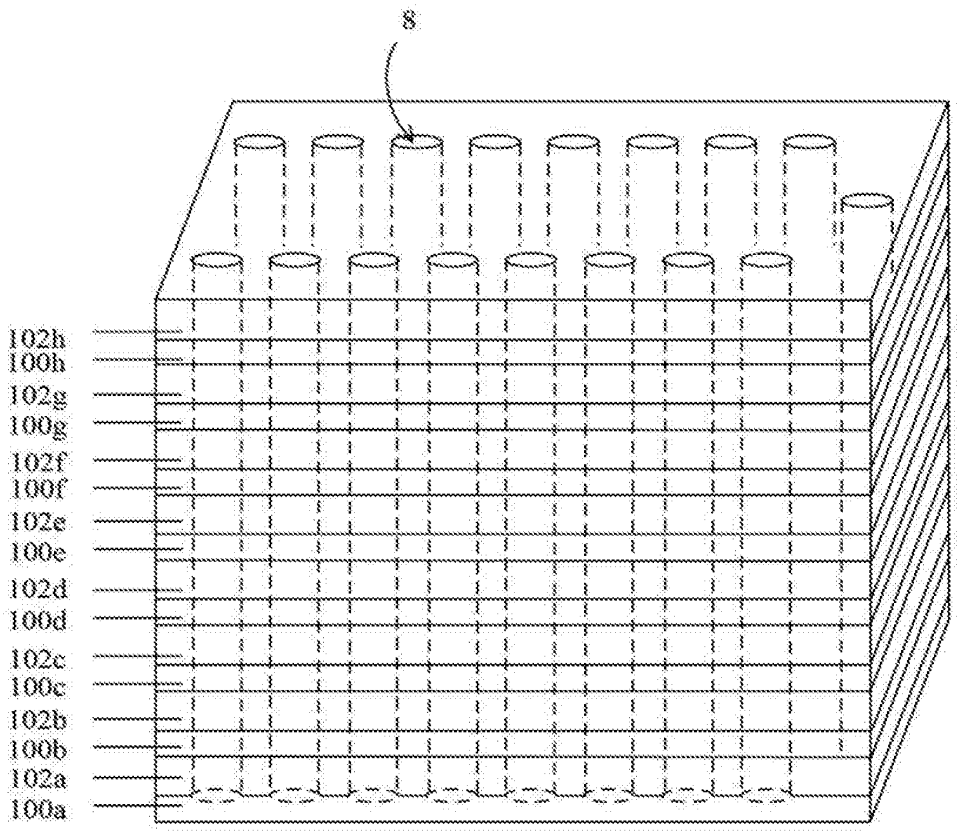


图 19

Micron Ex. 1002, p. 224
Micron v. YMTC
IPR2024-00794

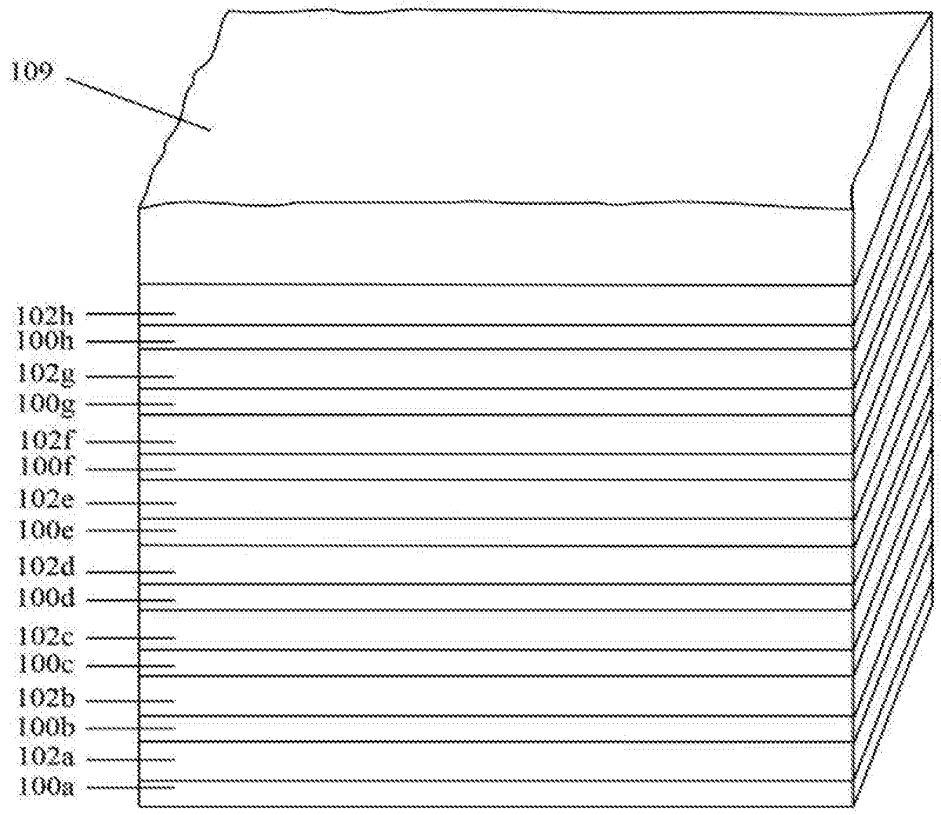


图 20

Micron Ex. 1002, p. 225
Micron v. YMTC
IPR2024-00794

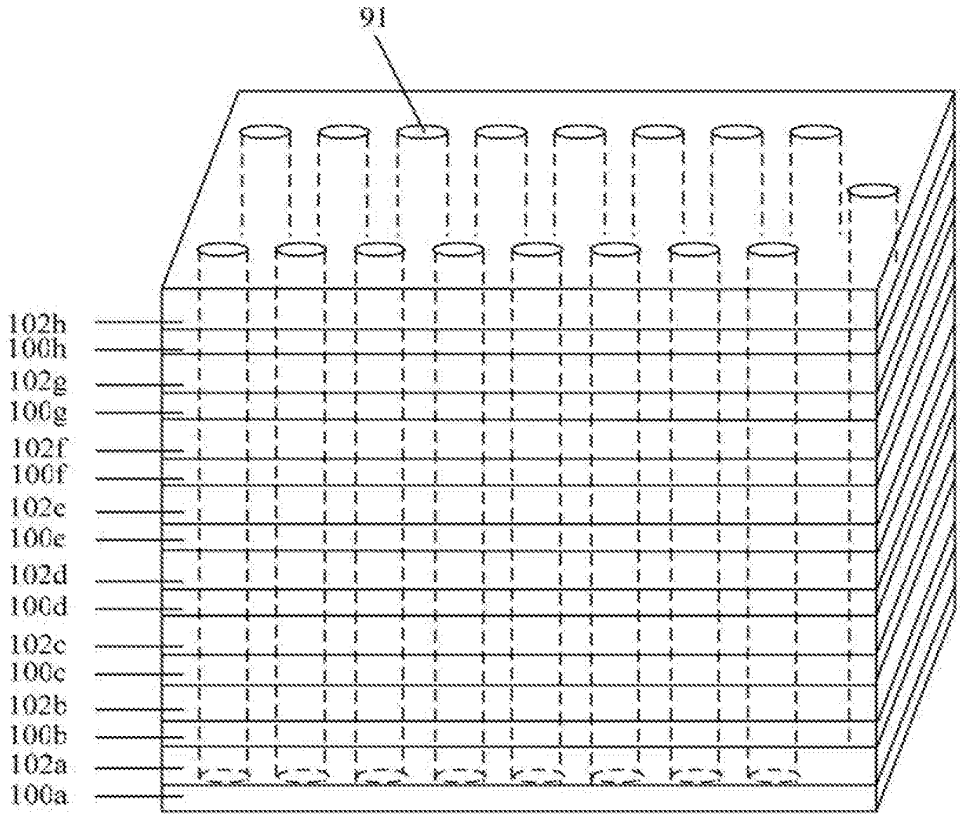


图 21

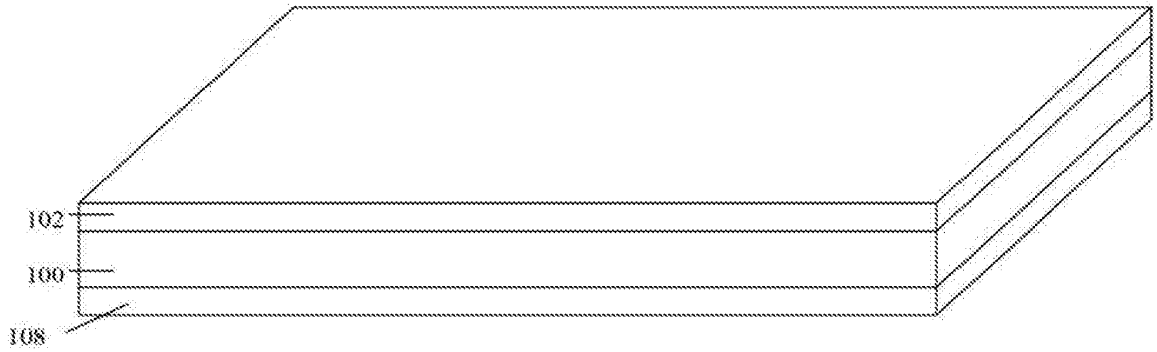


图 22

Micron Ex. 1002, p. 226
Micron v. YMTC
IPR2024-00794

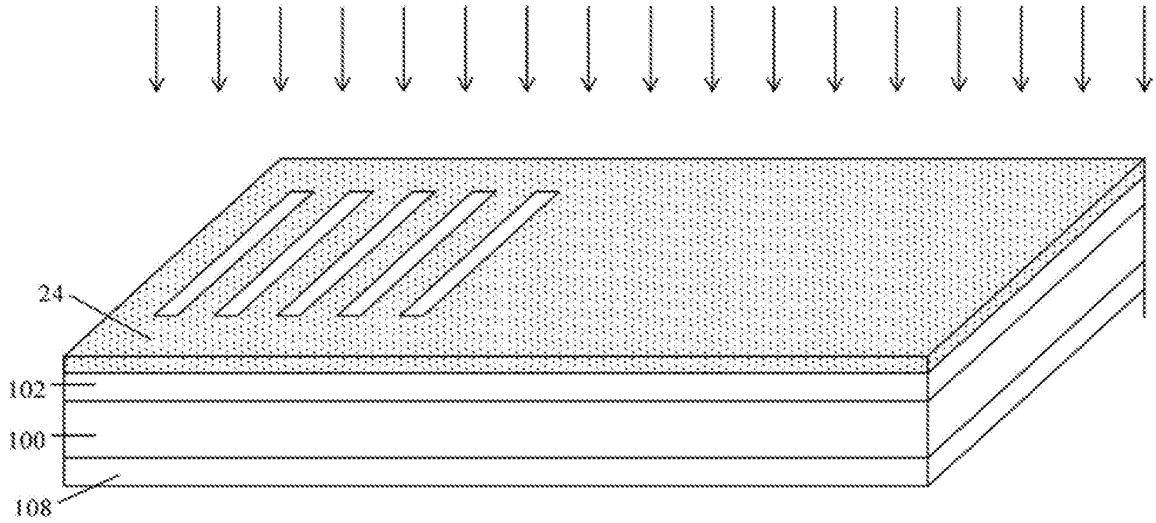


图 23

Micron Ex. 1002, p. 227
Micron v. YMTC
IPR2024-00794

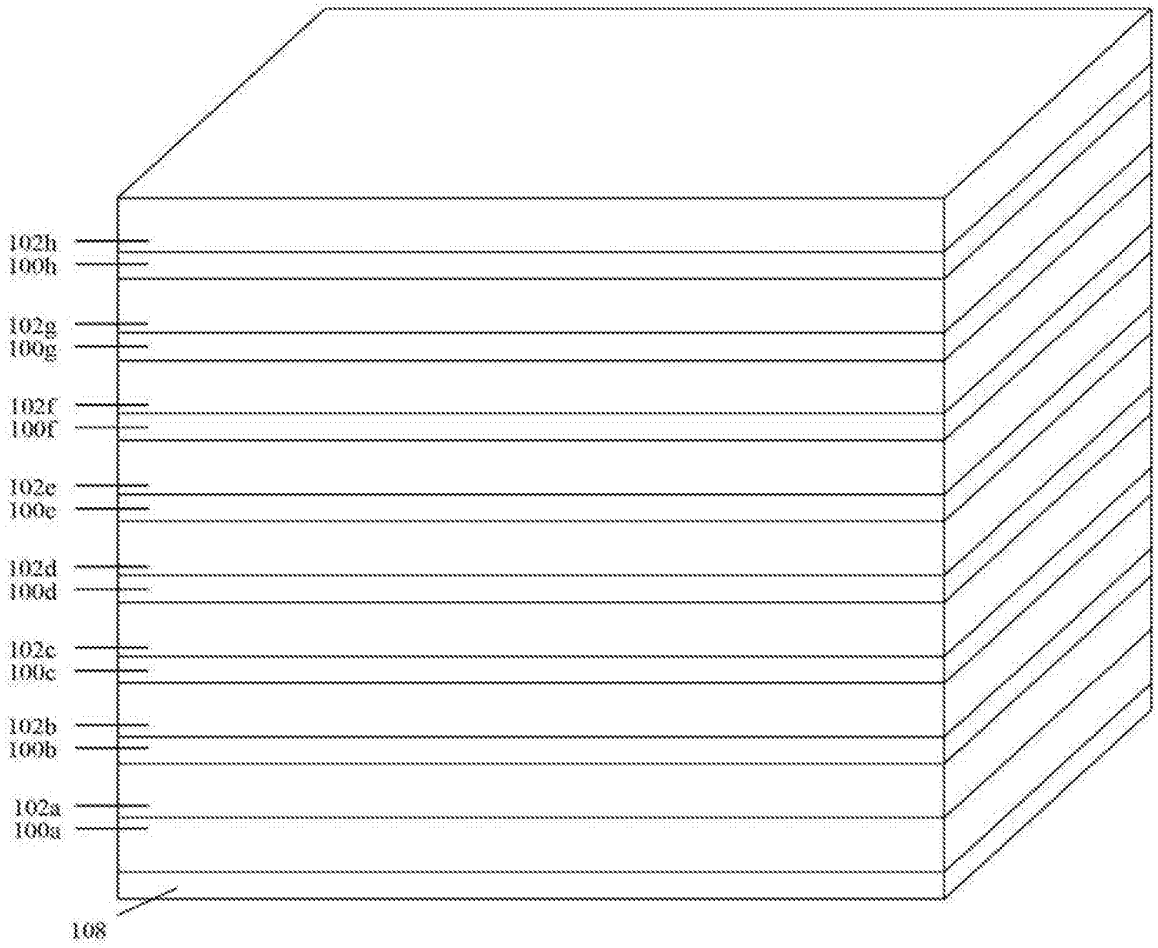


图 24

Micron Ex. 1002, p. 228
Micron v. YMTC
IPR2024-00794

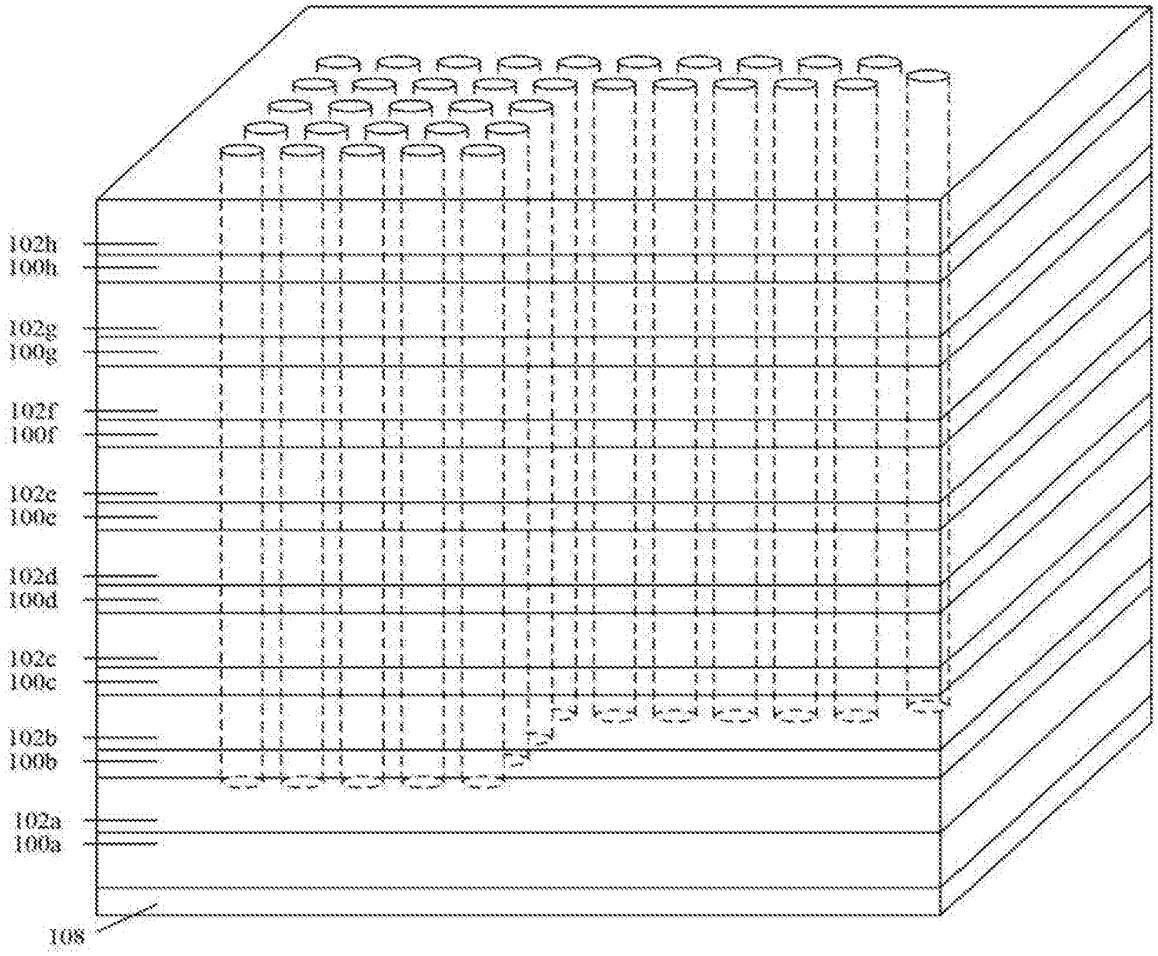


图 25

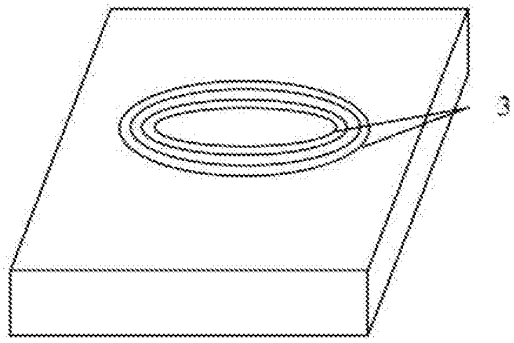


图 26

Micron Ex. 1002, p. 229
Micron v. YMTC
IPR2024-00794

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 103226973 A
(43)申请公布日 2013.07.31

(21)申请号 201210256041.8

(22)申请日 2012.07.23

(30)优先权数据
13/361,916 2012.01.30 US

(71)申请人 群联电子股份有限公司
地址 中国台湾苗栗县竹南镇群义路1号

(72)发明人 林纬 白田理一郎 毛妮娜
郭才豪

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205
代理人 臧建明

(51)Int.Cl.
G11C 16/06(2006.01)
H01L 27/115(2006.01)

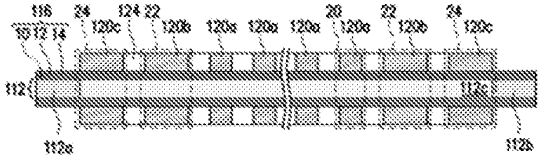
权利要求书3页 说明书7页 附图3页

(54)发明名称

NAND快闪存储器单元、NAND快闪存储器阵列及其操作方法

(57)摘要

本发明提供一种NAND快闪存储器单元、NAND快闪存储器阵列及其操作方法，其包括包括串联连接的多个存储单元的存储单元串，耦接至存储单元串的两端的源极/漏极区、耦接于存储单元串的一端与源极/漏极区之间的至少一个选择晶体管以及耦接于所述至少一个选择晶体管与源极/漏极区之间的至少一个擦除晶体管、存储单元、至少一个选择晶体管与至少一个擦除晶体管中的每一个都具有电荷捕捉层。



CN 103226973 A

Micron Ex. 1002, p. 230
Micron v. YMTC
IPR2024-00794

1. 一种 NAND 快闪存储器单元，其特征在于，包括：

包括串联连接的多个存储单元的存储单元串；

两源极 / 漏极区，耦接至该存储单元串的两端；

至少一选择晶体管，耦接于该存储单元串的一端与该些源极 / 漏极区中的一者之间，用以选择该存储单元串；以及

至少一擦除晶体管，耦接于该至少一选择晶体管与该些源极 / 漏极区中的一者之间，用以减少该至少一选择晶体管的起始电压偏移。

2. 根据权利要求 1 所述的 NAND 快闪存储器单元，其特征在于，该至少一选择晶体管包括分别耦接至该存储单元串的两端的一第一选择晶体管与一第二选择晶体管，且该至少一擦除晶体管包括分别耦接至该第一选择晶体管与该第二选择晶体管的一第一擦除晶体管与一第二擦除晶体管。

3. 根据权利要求 1 所述的 NAND 快闪存储器单元，其特征在于，该些存储单元、该至少一选择晶体管与该至少一擦除晶体管皆分别具有一电荷捕捉层。

4. 根据权利要求 3 所述的 NAND 快闪存储器单元，其特征在于，该电荷捕捉层包括氧化硅 - 氮化硅 - 氧化硅复合层。

5. 根据权利要求 1 所述的 NAND 快闪存储器单元，其特征在于，该些存储单元的栅极耦接至第一电压源，该至少一选择晶体管的栅极耦接至第二电压源，且该至少一擦除晶体管的栅极耦接至第三电压源，其中该第一电压源、该第二电压源与该第三电压源彼此不同。

6. 一种用于擦除权利要求 3 中所述的 NAND 快闪存储器单元的方法，其特征在于，包括：

将电压 V_{CG} 施加至该些存储单元的栅极，将大于该电压 V_{CG} 的电压 $V_{S/D}$ 施加至该些源极 / 漏极区，将满足不等式“$V_{SG} < V_{S/D}$”的电压 V_{SG} 施加至该至少一选择晶体管的栅极，以及将满足不等式“$V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至该至少一擦除晶体管的栅极。

7. 一种用于擦除权利要求 3 中所述 NAND 快闪存储器单元的方法，其特征在于，包括：

将该至少一选择晶体管的栅极浮置，以及将电压 V_{CG} 施加至该些存储单元的栅极，将大于该电压 V_{CG} 的电压 $V_{S/D}$ 施加至该些源极 / 漏极区，以及将满足不等式“$V_{EG} \leqslant V_{S/D}$”的电压 V_{EG} 施加至该至少一擦除晶体管的栅极。

8. 一种三维 NAND 快闪存储器阵列，其特征在于，包括：

平行排列的多个线形堆栈，每一线形堆栈包括交替堆栈的多个绝缘层与多个通道层，其中每一通道层具有两个源极 / 漏极区，该些源极 / 漏极区分别位于该通道层的两个末端部分中；

电荷捕捉层，覆盖每一线形堆栈；

多个导线，跨越该些线形堆栈且延伸进入该些线形堆栈之间，其中该些导线的位于该些通道层中的一者旁的部分、该通道层以及该电荷捕捉层位于该通道层旁的部分构成包括多个存储单元的存储单元串；

至少一选择栅极串，邻近该些导线，跨越该些线形堆栈且延伸进入该些线形堆栈之间，其中该至少一个选择栅极串的位于该些通道层中的一者旁的部分、该通道层以及该电荷捕捉层的位于该通道层旁的部分构成一选择晶体管，该选择晶体管用于选择该些存储单元的目标串；以及

Micron Ex. 1002, p. 231
Micron v. YMTC
IPR2024-00794

至少一擦除栅极串，邻近该至少一选择栅极串，跨越该些线形堆栈且延伸进入该些线形堆栈之间，其中该至少一选择栅极串位于该些导线与该至少一擦除栅极串之间，且该至少一擦除栅极串用以减少该选择晶体管的起始电压偏移。

9. 根据权利要求 8 所述的三维 NAND 快闪存储器阵列，其特征在于，该至少一选择栅极串包括一第一选择栅极串与一第二选择栅极串，该第一选择栅极串与该第二选择栅极串分别位于该些导线的两侧，且该至少一擦除栅极串包括一第一擦除栅极串与一第二擦除栅极串，该第一擦除栅极串与该第二擦除栅极串分别邻近该第一选择栅极串与该第二选择栅极串。

10. 根据权利要求 8 所述的三维 NAND 快闪存储器阵列，其特征在于，该电荷捕捉层包括氧化硅 - 氮化硅 - 氧化硅复合层。

11. 根据权利要求 8 所述的三维 NAND 快闪存储器阵列，其特征在于，该些导线、该至少一选择栅极串与该至少一擦除栅极串分别耦接至不同的电压源。

12. 一种用于擦除权利要求 8 中所述的三维 NAND 快闪存储器阵列的方法，其特征在于，包括：

将电压 V_{CG} 施加至该些导线，将大于该电压 V_{CG} 的电压 $V_{S/D}$ 施加至该些源极 / 漏极区，将满足不等式“$V_{SG} < V_{S/D}$”的电压 V_{SG} 施加至该至少一选择栅极串，以及将满足不等式“$V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至该至少一擦除栅极串。

13. 一种用于擦除权利要求 8 中所述的三维 NAND 快闪存储器阵列的方法，其特征在于，包括：

将该至少一选择栅极串浮置，以及将电压 V_{CG} 施加至该些导线，将大于该电压 V_{CG} 的电压 $V_{S/D}$ 施加至该些源极 / 漏极区，以及将满足不等式“$V_{EG} \leq V_{S/D}$”的电压 V_{EG} 施加至该至少一擦除栅极串。

14. 一种用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移的方法，其特征在于，该 NAND 快闪存储器单元包括包括串联连接的多个存储单元的存储单元串、分别耦接至该存储单元串的两端的两源极 / 漏极区以及耦接于该存储单元串的一端与该些源极 / 漏极区中的一者之间的至少一选择晶体管，其中该至少一选择晶体管具有一栅极，该用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移的方法包括：

提供电压 V_{SG}，用以施加至该至少一选择晶体管的该栅极；

提供电压 $V_{S/D}$，用以施加至该些源极 / 漏极区；

在擦除时将满足不等式“$V_{SG} \leq V_{S/D}$”的该电压 V_{SG} 施加至该至少一选择晶体管的该栅极。

15. 一种用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移的方法，其特征在于，该 NAND 快闪存储器单元包括包括串联连接的多个存储单元的存储单元串、分别耦接至该存储单元串的两端的多个源极 / 漏极区以及耦接于该存储单元串的一端与该些源极 / 漏极区中的一者之间的至少一选择晶体管，其中该些存储单元与该至少一选择晶体管中的每一个都具有电荷捕捉层，以及

其中在擦除操作中，将电压 V_{CG} 施加至该些存储单元的栅极与该至少一选择晶体管的栅极，且将正向高于电压 V_{CG} 的电压 $V_{S/D}$ 施加至该些源极 / 漏极区，

所述用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移

Micron Ex. 1002, p. 232
Micron v. YMTC
IPR2024-00794

的方法包括在擦除操作之后，

a) 判定该选择晶体管的起始电压是否在可容许范围中；以及

b) 若该选择晶体管的起始电压在该可容许范围之外，将该选择晶体管再编程以及回到步骤 a)，或者若该选择晶体管的起始电压在该可容许范围中则结束。

16. 根据权利要求 15 所述的用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移的方法，其特征在于，将该选择晶体管再编程包括将电子注入该选择晶体管的该电荷捕捉层中。

17. 根据权利要求 15 所述的用于减少经受擦除的 NAND 快闪存储器单元的至少一选择晶体管的起始电压偏移的方法，其中该可容许范围高于 α V，其中 $\alpha > 0$。

Micron Ex. 1002, p. 233
Micron v. YMTC
IPR2024-00794

NAND 快闪存储器单元、NAND 快闪存储器阵列及其操作方法

技术领域

[0001] 本发明是有关于一种非易失性存储器及其操作方法，且特别是有关于一种可以减少经受擦除的 NAND 快闪存储器的选择晶体管的起始电压偏移 (Vt-shift) 的 NAND 快闪存储器单元或 3D 阵列的新结构、用于 NAND 快闪存储器单元或 3D 阵列的擦除方法以及用于一般的 (referenced)NAND 快闪存储器的用以减少起始电压偏移的方法。

背景技术

[0002] NAND 结构被广泛用于非易失性存储器装置的设计中，以增加存储密度。NAND 快闪存储器单元通常包括包括串联连接的存储单元的存储单元串以及耦接于存储单元串的一端与源极 / 漏极区之间的选择晶体管。当存储单元为捕获型 (trapping-type) 存储单元时 (即每一个存储单元具有电荷捕捉层)，选择晶体管亦具有电荷捕捉层。

[0003] NAND 快闪存储器可通过施加 0V 至存储单元栅极与选择晶体管的栅极以及施加高的正电压至源极 / 漏极区来进行擦除。对于在擦除时建立在选择晶体管的栅极与通道区之间的高电压差，空穴被注入或电子被拉出选择晶体管的栅极下方的捕捉层，因此选择晶体管的起始电压 (Vt) 产生偏移会对 NAND 快闪存储器的后续操作产生不利影响。

发明内容

[0004] 本发明的目的在于减少经受擦除的 NAND 非易失性存储器的选择晶体管的起始电压偏移。

[0005] 在本发明的一些实施例中，提供 NAND 快闪存储器单元或三维 (3D) 阵列的新结构以及擦除方法，以减少选择晶体管的起始电压偏移。

[0006] 在本发明的其他实施例中，当一般的 NAND 快闪存储器结构未改变时，提供操作方法，以减少选择晶体管的起始电压偏移。

[0007] 本发明的 NAND 快闪存储器单元包括包括串联连接的存储单元的存储单元串、耦接至存储单元串的两端的源极 / 漏极区、耦接于存储单元串的一端与源极 / 漏极区之间的至少一个选择晶体管以及耦接于所述至少一个选择晶体管与源极 / 漏极区之间的至少一个擦除晶体管 (erase transistor)。选择晶体管用以选择存储单元串。擦除晶体管用以减少选择晶体管的起始电压偏移。

[0008] 在一些实施例中，存储单元、至少一个选择晶体管与至少一个擦除晶体管皆分别具有电荷捕捉层。在用于擦除本发明的上述 NAND 快闪存储器单元的方法的实施例中，将电压 V_{CG} 施加至存储单元的栅极，将大于 (positively higher) 电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，将满足不等式“$V_{SG} < V_{S/D}$”的电压 V_{SG} 施加至所述至少一个选择晶体管的栅极，以及将满足不等式“$V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。在本发明的另一个实施例中，将满足不等式“$0V \leq V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。在另一个实施例中，所述至少一个选择晶体管的栅极为浮置 (floated)，且将电压 V_{CG} 施加至存储单元的栅极，将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，以及将

Micron Ex. 1002, p. 234
Micron v. YMTC
IPR2024-00794

满足不等式“$V_{EG} \leqslant V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。在本发明的另一个实施例中，将满足不等式“$0V \leqslant V_{EG} \leqslant V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。

[0009] 本发明的 3D NAND 快闪存储器阵列包括多个线形堆栈 (linear stack)、电荷捕捉层、多个导线、至少一个选择栅极串以及至少一个擦除栅极串。这些线形堆栈彼此平行配置，每一者包括交替堆栈的绝缘层与通道层，其中每一通道层具有位于其两个末端部分的两个源极 / 漏极区。电荷捕捉层覆盖每一线形堆栈。导线跨越线形堆栈且延伸进入线形堆栈之间，其中导线位于通道层旁的部分、通道层以及电荷捕捉层位于通道层旁的部分构成存储单元串。所述至少一个选择栅极串配置于邻近所述多个导线，跨越线形堆栈且延伸进入线形堆栈之间，其中所述至少一个选择栅极串位于通道层旁的部分、通道层以及电荷捕捉层位于通道层旁的部分构成选择晶体管，其用于选择存储单元的目标串 (target string)。所述至少一个擦除栅极串配置于邻近所述至少一个选择栅极串，跨越线形堆栈且延伸进入线形堆栈之间，其中所述至少一个选择栅极串位于所述多个导线与所述至少一个擦除栅极串之间，且所述至少一个擦除栅极串用以减少选择晶体管的起始电压偏移。

[0010] 在用于擦除本发明的上述 3D NAND 快闪存储器阵列的方法的实施例中，将电压 V_{CG} 施加至导线，将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，将满足不等式“$V_{SG} < V_{S/D}$”的电压 V_{SG} 施加至所述至少一个选择栅极串，以及将满足不等式“$V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除栅极串。在另一实施例中，将满足不等式“$0V \leqslant V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除栅极串。在另一实施例中，所述至少一个选择栅极串为浮置，且将电压 V_{CG} 施加至导线，将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，以及将满足不等式“$V_{EG} \leqslant V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除栅极串。在另一示例性实施例中，将满足不等式“$0V \leqslant V_{EG} \leqslant V_{S/D}$”的电压 V_{EG} 施加所述至少一个擦除栅极串。

[0011] 本发明的施加至一般的 NAND 快闪存储器单元结构的操作方法还包括在擦除时将电压 V_{CG} 施加至存储单元的闸极以及将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区。

[0012] 本发明的操作方法的实施例还包括在擦除时将满足不等式“$V_{SG} \leqslant V_{S/D}$”的电压 V_{SG} 施加至所述至少一个选择晶体管的栅极，以减少起始电压偏移。在另一实施例中，在擦除时将满足不等式“$0V < V_{SG} \leqslant V_{S/D}$”的电压 V_{SG} 施加至所述至少一个选择晶体管的栅极，以减少起始电压偏移。

[0013] 本发明的操作方法的另一实施例包括在其中至少一个选择晶体管的栅极亦被施加电压 V_{CG}（施加至存储单元的栅极的电压）的抹除操作之后，进行以下步骤：a) 判定选择晶体管的 Vt 是否在可容许范围 (tolerable range) 中；以及 b) 若选择晶体管的 Vt 在可容许范围之外，将选择晶体管再编程 (reprogram) 以及回到步骤 a)，或者若选择晶体管的 Vt 在可容许范围中则结束。上述步骤可消除任何由擦除所引起的起始电压偏移。

[0014] 为让本发明之上述特征和优点能更明显易懂，下文特举实施例，并配合附图作详细说明如下。

附图说明

[0015] 图 1A 是本发明的第一实施例所示出的三维 (3D) NAND 快闪存储器阵列的示意图。

[0016] 图 1B 是 3D NAND 快闪存储器阵列中沿着图 1A 中的 I-I’剖面所示出的 NAND 快闪

Micron Ex. 1002, p. 235
Micron v. YMTC
IPR2024-00794

存储器单元的剖面示意图。

[0017] 图 2 是本发明的第二实施例所示出的图 1B 中的 NAND 快闪存储器单元的等效电路图以及用以擦除存储器单元或 3D NAND 快闪存储器阵列的一个方法的示意图。

[0018] 图 3 是本发明的第三实施例所示出的图 1B 中的 NAND 快闪存储器单元的等效电路图以及用以擦除存储器单元或 3D NAND 快闪存储器阵列的另一个方法的示意图。

[0019] 图 4 是本发明第四实施例所示出的用以解决经受擦除的 NAND 快闪存储器单元的至少一个选择晶体管的起始电压偏移问题的方法的示意图。

[0020] 图 5 是本发明第五实施例所示出的用以解决经受擦除的 NAND 快闪存储器单元的至少一个选择晶体管的起始电压偏移问题的另一方法的示意图。

[0021] 图 6A 是应用本发明的第四实施例或第五实施例的方法的一般 3DNAND 快闪存储器阵列的剖面示意图。

[0022] 图 6B 是沿图 6A 中的 VI-VI' 剖面的一般的 3D NAND 快闪存储器阵列中的 NAND 快闪存储器单元的剖面示意图。

[0023] 附图标记说明：

[0024] 10、14：氧化硅层；

[0025] 12：氮化硅层；

[0026] 20、40、60：存储单元；

[0027] 22、42、62：选择晶体管；

[0028] 24：擦除晶体管；

[0029] 100、600：基底；

[0030] 104、604：线形堆栈；

[0031] 108、608：绝缘层；

[0032] 112、612：通道层；

[0033] 112a、112b、612a、612b：源极 / 漏极区；

[0034] 112c、612c：存储单元通道区；

[0035] 116、616：电荷捕捉层；

[0036] 120a、620a：导线；

[0037] 120b、620b：选择栅极串；

[0038] 120c：擦除栅极串；

[0039] 124、624：介电层；

[0040] 510、520、530：步骤；

[0041] V_{CG}、V_{EG}、$V_{S/D}$、V_{SG}：电压。

具体实施方式

[0042] 图 1A 是本发明的第一实施例所示出的三维 (3D)NAND 快闪存储器阵列的示意图。图 1B 是 3D NAND 快闪存储器阵列中沿着 1-1' 剖面所示出的 NAND 快闪存储器单元的剖面示意图。在图中，仅示出 4 层通道层。然而，通道层的数量可以为更多层。

[0043] 请同时参照图 1A 与图 1B，在基底 100 上形成 3D NAND 快闪存储器阵列。基底 100 可以是绝缘基底、半导体基底或金属基底。绝缘基底可以包括石英或玻璃。在另一实施例

Micron Ex. 1002, p. 236
Micron v. YMTC
IPR2024-00794

中，基底 100 可以配置于下层半导体或其他结构（未示出）上。在本发明的一实施例中，3D NAND 快闪存储器阵列包括平行排列的多个线形堆栈 104，且每一个线形堆栈 104 包括交互堆栈的绝缘层 108 与通道层 112、电荷捕捉层 116、连续排列的多个导线 120a、两个选择栅极串 120b、两个擦除栅极串 120c 以及介电层 124。介电层 124 用以使电路中的构件或结构彼此隔离，且填入导线 120a、选择栅极串 120b 与擦除栅极串 120c 之间。值得注意的是，图 1A 中未示出介电层 124，以使导线 120a、选择栅极串 120b、擦除栅极串 120c 与线形堆栈 104 之间的关系更清楚，且在实施例中，基底 100 不具有编程或擦除快闪存储器阵列所需的电性特性。

[0044] 在此实施例中，通道层 112 可作为位元线；导线 120a 可作为字元线；擦除栅极串 120c 与线形堆栈 104 垂直排列，且位于线形堆栈 104 上；导线 120a 具有与线形堆栈 104 共形的表面，且填入由线形堆栈 104 所定义出的沟渠中。

[0045] 每一通道层 112 具有位于其两个末端部分的两个源极 / 漏极 (S/D) 区 112a 与 112b 以及位于源极 / 漏极区 112a 与 112b 之间的存储单元通道区 112c，如图 1B 所示。绝缘层 108 的材料可以包括二氧化硅。通道层 112 可以包括经掺杂的多晶硅或未经掺杂的多晶硅。在此实施例中，通道层 112 可具有 p 型半导体材料。导线 120a 可为具有相同导电型或不同导电型的半导体材料（例如 p^+ 型）。举例来说，通道层 112 可使用 p 型多晶硅或 p 型磊晶单晶硅制成，而导线 120a 可使用相对重掺杂的 p+ 型多晶硅制成。

[0046] 或者，通道层 112 可为 n 型半导体材料。导线 120a 可为具有相同导电型或不同导电型的半导体材料（例如 p^+ 型）。n 型条状排列产生埋入式通道 (buried-channel)、空乏 (depletion) 模式电荷捕捉存储单元。举例来说，通道层 112 可使用 n 型多晶硅或 n 型磊晶单晶硅制成，而导线 120a 可使用相对重掺杂的 p^+ 型多晶硅制成。

[0047] 在另一实施例中，每一通道层 112 在导线 120a、选择栅极串 120b 与擦除栅极串 120c 之间的部分中可进一步具有掺杂区。在此实施例中，电荷捕捉层 116 覆盖这些线形堆栈 104，且在另一实施例中，至少位于线形堆栈 104 的侧壁上。电荷捕捉层 116 可为包括两层氧化硅层 10、14 以及位于二者之间的氮化硅 (SiN) 层 12 的 ONO 复合层。因此，形成了 NAND 快闪存储器阵列中的 SONOS 型存储单元的 3D 阵列。源极区、漏极区与通道区形成于硅 (S) 通道层 112 中，且栅极包括导线 120a 的多晶硅 (S)。在另一实施例中，电荷捕捉层 116 可为 ON- 高介电常数 (high-K) 或氧化物 - 氮化物 - 氧化物 - 氮化物 - 氧化物 (ONONO) 复合层。在本发明的另一实施例中，NAND 快闪存储器可以为金属 - 氧化物 - 氮化物 - 氧化物 - 硅 (MONOS) 型或钽 - 氧化铝 - 氮化物 - 氧化物 - 硅 (TANOS) 型快闪存储器。

[0048] 导线 120a、选择栅极串 120b 与擦除栅极串 120c 皆由相同的导体层所定义，此导体层可以包括经掺杂的多晶硅或金属。导线 120a、选择栅极串 120b 与擦除栅极串 120c 中的每一者跨越线形堆栈 104，且延伸进入线形堆栈 104 之间，并通过电荷捕捉层 116 与线形堆栈 104 隔离开。导线 120 彼此邻近配置。两条选择栅极串 120b 包括配置在这些导线 120a 一侧的第一选择栅极串以及配置在这些导线 120a 另一侧的第二选择栅极串。两条擦除栅极串 120c 包括邻近两条选择栅极串 120b 中的一条而配置的第一擦除栅极串以及邻近两条选择栅极串 120b 中的另一条而配置的第二擦除栅极串。每一条选择栅极串 120b 位于这些导线 120a 与一条擦除栅极串 120c 之间。

[0049] 介电层 124 可以包括二氧化硅。此外，选择栅极串 120b 与邻近的擦除栅极串 120c

Micron Ex. 1002, p. 237
Micron v. YMTC
IPR2024-00794

之间的距离足够大，以使得由二者之间的电压差所引起的电场低于二者之间的介电层 124 的崩溃电场 (breakdown electric field)。在本实施例中，导线 120a、选择栅极串 120b 与擦除栅极串 120c 各自耦接至不同的电压源（未示出）。

[0050] 请再次参照图 1B，作为两个线形堆栈 104 之间的存储单元栅极的部分导线 120a、电荷捕捉层 116 的对应部分以及通道层 112 的对应部分构成存储单元 20。具体来说，在本实施例中，存储单元 20 可形成在导线 120a 与通道层 112 的交会处。作为两个线形堆栈 104 之间的选择栅极的部分选择栅极串 120b、电荷捕捉层 116 的对应部分以及通道层 112 的对应部分构成选择晶体管 22，其用以选择对应的存储单元的字符串，或选择阵列中沿着脊状 (ridge-shaped) 堆栈的行 (column)。作为两个线形堆栈 104 之间的擦除栅极的部分擦除栅极串 120c、电荷捕捉层 116 的对应部分以及通道层 112 的对应部分构成构成擦除晶体管 24，以产生电子 - 空穴对，以减少选择晶体管 22 处的起始电压偏移。

[0051] 图 2 是本发明的第二实施例所示出的图 1B 中的 NAND 快闪存储器单元的等效电路图以及用以擦除存储器单元或 3D NAND 快闪存储器阵列的一个方法的示意图，图 3 是本发明的第三实施例所示出的图 1B 中的 NAND 快闪存储器单元的等效电路图以及用以擦除存储器单元或 3DNAND 快闪存储器阵列的另一个方法的示意图，参照图 2 和图 3，在实施例中，存储单元 20 的栅极耦接至第一电压源（未示出），选择晶体管 22 的栅极耦接至第二电压源（未示出），且擦除晶体管 24 的栅极耦接至第三电压源（未示出），其中第一电压源、第二电压源与第三电压源可彼此不同。

[0052] 请参照图 2，第一擦除晶体管 24、第一选择晶体管 22、存储单元 20、第二选择晶体管 22 与第二擦除晶体管 24 依序串联连接。在本发明的第二实施例的擦除方法中，将电压 V_{CG} 施加至每一个存储单元栅极（部分导线 120a），将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，将满足不等式“$V_{SG} < V_{S/D}$”的电压 V_{SG} 施加至每一个选择栅极（部分选择栅极串 120b），以及将满足不等式“$V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至每一个擦除栅极（部分擦除栅极串 120c）。在本发明另一实施例中，将满足不等式“$0V \leq V_{EG} < V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。

[0053] 因此，在对应图 1A 与图 1B 所示的整个 3D NAND 快闪存储器阵列的擦除中，将电压 V_{CG} 施加至每一条导线 120a，将电压 $V_{S/D}$ 施加至源极 / 漏极区 112a 与 112b，将电压 V_{SG} 施加至每一条选择栅极串 120b，以及将电压 V_{EG} 施加至每一条擦除栅极串 120c。

[0054] 在第二实施例的一个例子中，$V_{CG} = 0V$，$V_{S/D}$ 为约 20V，V_{SG} 介于 10V 至 20V 之间，且 V_{EG} 介于 0V 至 16V 之间。

[0055] 在本实施例中，由于擦除晶体管位于源极 / 漏极区与选择栅极之间，因此电子 - 空穴对产生于擦除晶体管的通道区的边缘处。所产生的空穴将累积在通道层 112 中，使得通道层 112 的电平变高。因此，选择晶体管的起始电压偏移减小，且不会对 NAND 快闪存储器的后续操作产生不利的影响。

[0056] 请参照图 3，在本发明的第三实施例的擦除方法中，每一个选择栅极（部分选择栅极串 120b）为浮置，且将电压 V_{CG} 施加至每一个存储单元栅极（部分导线 120a），将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，以及将满足不等式“$V_{EG} \leq V_{S/D}$”的电压 V_{EG} 施加至每一个擦除栅极（部分擦除栅极串 120c）。在本发明的另一实施例中，将满足不等式“$0V \leq V_{EG} \leq V_{S/D}$”的电压 V_{EG} 施加至所述至少一个擦除晶体管的栅极。

Micron Ex. 1002, p. 238
Micron v. YMTC
IPR2024-00794

[0057] 因此，在对应图 1A 与图 1B 所示的整个 3D NAND 快闪存储器阵列的擦除中，每一条选择栅极串 120b 为浮置，且将电压 V_{CG} 施加至每一条导线 120a，将电压 $V_{S/D}$ 施加至源极 / 漏极区 112a 与 112b，以及将电压 V_{EG} 施加至每一条擦除栅极串 120c。

[0058] 在第二实施例的一个例子中，$V_{CG} = 0V$，$V_{S/D}$ 为约 20V，且 V_{EG} 介于 0V 至 16V 之间。

[0059] 在本实施例中，由于擦除晶体管位于源极 / 漏极区与选择栅极之间，因此电子 - 空穴对产生于擦除晶体管的通道区的边缘处。所产生的空穴将累积在通道层 112 中，使得通道层 112 的电平变高。因此，选择晶体管的起始电压偏移减小，且不会对 NAND 快闪存储器的后续操作产生不利的影响。

[0060] 此外，在上述应用于本发明的 NAND 快闪存储器单元（具有擦除栅极）的第二实施例或第三实施例的擦除操作中，未经选择的区块中的全部的栅极（包括擦除栅极）可为浮置。

[0061] 另一方面，在 NAND 快闪存储器单元的编程或读取中，未经选择的区块中的全部的擦除栅极可为浮置，且将正电压施加至经选择的区块中的全部的擦除栅极，且施加至未经选择的区块与经选择的区块中的存储单元栅极与选择栅极的电压与现有技术中所施加的电压相同。

[0062] 图 4 是本发明第四实施例所示出的用以解决经受擦除的 NAND 快闪存储器单元的至少一个选择晶体管的起始电压偏移问题的方法的示意图。此方法应用至一般的 NAND 快闪存储器单元结构（不具有擦除晶体管）。

[0063] 请参照图 4，一般的 NAND 快闪存储器单元结构与图 2 或图 3 所示的结构不同，其不具有擦除晶体管。在此擦除操作的实施例中，将电压 V_{CG} 施加至存储单元 40 的栅极，将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区，以及将满足不等式“$0V < V_{SG} \leqslant V_{S/D}$”的电压 V_{SG} 施加至每一个选择晶体管 42 的栅极。

[0064] 在此实施例中，由于每一个选择晶体管 42 的栅极被施加满足不等式“$0V < V_{SG} \leqslant V_{S/D}$”的电压 V_{SG}，因此电子 - 空穴对产生于选择晶体管 42 的通道区的边缘处。所产生的空穴将累积在通道层 112 中，使得通道层 112 的电平变高。由于选择栅极电压高于 0V，因此选择栅极的起始电压偏移可减小。因此，NAND 快闪存储器的后续操作不会受到不利的影响。

[0065] 图 5 是本发明第五实施例所示出的用以解决经受擦除的一般的 NAND 快闪存储器单元结构（请参照图 4）的至少一个选择晶体管的起始电压偏移问题的另一方法的示意图。此方法应用于一般的擦除操作之后，其中将电压 V_{CG} 施加至存储单元的栅极与所述至少一个选择晶体管的栅极，且将大于电压 V_{CG} 的电压 $V_{S/D}$ 施加至源极 / 漏极区。

[0066] 请参照图 5，在擦除操作（步骤 510）之后，判定选择晶体管的 Vt 是否在可容许范围中（步骤 520）。若选择晶体管的 Vt 经判定为在可容许范围之外，将选择晶体管再编程（步骤 530），且此操作回到步骤 520。若 Vt 经判定为在可容许范围中，则此操作结束。

[0067] 在一实施例中，可容许范围高于 αV（$\alpha > 0$），且再编程可包括将电子注入所述至少一个选择晶体管的电荷捕捉层中。

[0068] 利用本发明的第五实施例的方法，可排除由擦除所导致的选择晶体管的起始电压偏移，使得 NAND 快闪存储器的后续操作不会受到不利的影响。

[0069] 图 6A 是应用本发明的第四实施例或第五实施例的方法的一般 3DNAND 快闪存储器

Micron Ex. 1002, p. 239
Micron v. YMTC
IPR2024-00794

阵列的剖面示意图。

[0070] 本发明的第四实施例与第五实施例的方法可以应用于各种一般的NAND快闪存储器结构，例如一般的3D NAND快闪存储器阵列（其剖面示意图如图6A所示）。图6B是沿图6A中的V I-V I'剖面的一般的3D NAND快闪存储器阵列中的NAND快闪存储器单元的剖面示意图。

[0071] 请参照图6A与图6B，一般的3D NAND快闪存储器阵列不同于本发明的第一实施例的结构，其不具有擦除栅极串与擦除晶体管，而基底600、线形堆栈604、线形堆栈604中的绝缘层608与通道层612（包括位于源极/漏极区612a与612b之间的存储单元通道区612c）、电荷捕捉层616、导线620a、选择栅极串620b、介电层624、存储单元60以及选择晶体管62相似于第一实施例中的类似物（标号100、104、108、112、116、120a、120b、124、20以及22）。

[0072] 当本发明的第四实施例的方法应用于3D NAND快闪存储器阵列时，将电压V_{CG}施加至导线620a或存储单元60的栅极，将大于电压V_{CG}的电压$V_{S/D}$施加至源极/漏极区612a与612b，以及将满足不等式“$0V < V_{SG} \leq V_{S/D}$”的电压V_{SG}施加至选择栅极串620b或选择晶体管62的栅极。

[0073] 通过应用本发明的任一实施例，经受擦除的快闪存储器单元或阵列的选择晶体管的起始电压偏移可被减小。因此，NAND快闪存储器的后续操作不会受到不利的影响。

[0074] 本发明第二实施例和第五实施例的方法亦可应用于在绝缘层上半导体(semiconductor-on-insulator，SOI)基板上的介电电荷捕捉结构中具有使用SiN或另一构件的电荷存储层以存储电子的NAND快闪存储器、垂直通道(vertical-channel)3D NAND快闪存储器（例如BiCS）以及没有基底接点(substrate contact)的其他类型的NAND快闪存储器。

[0075] 最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

Micron Ex. 1002, p. 240
Micron v. YMTC
IPR2024-00794

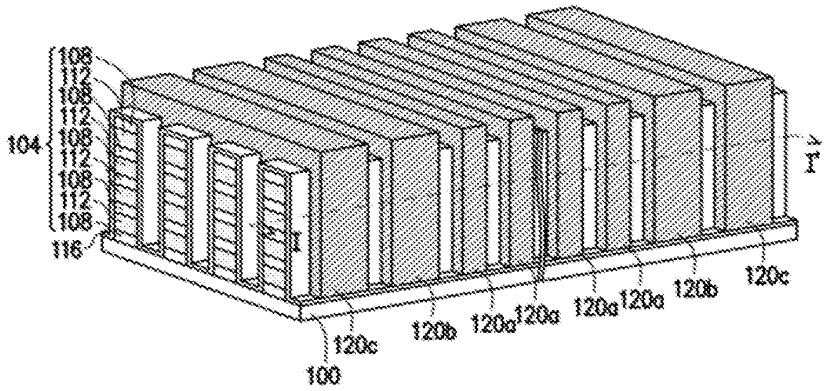


图 1A

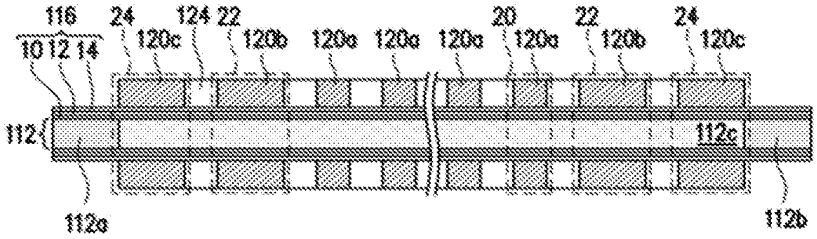


图 1B

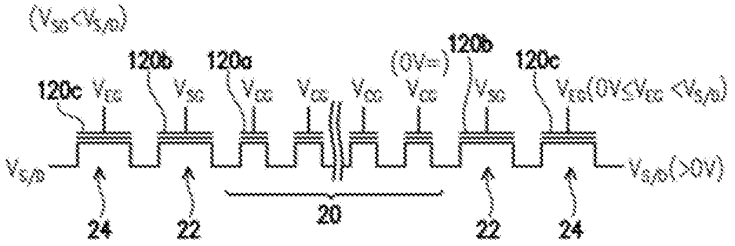


图 2

Micron Ex. 1002, p. 241
Micron v. YMTC
IPR2024-00794

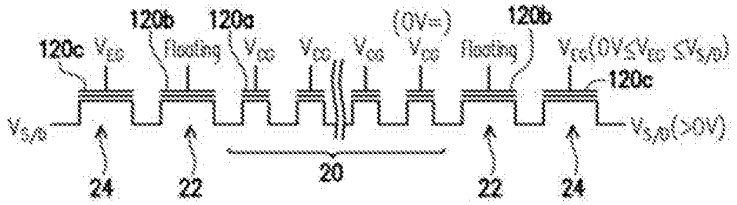


图 3

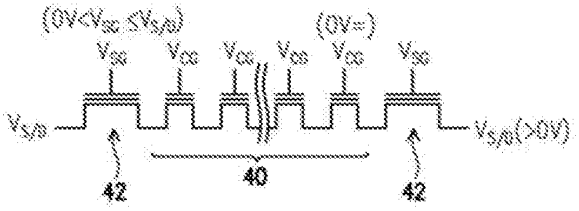


图 4

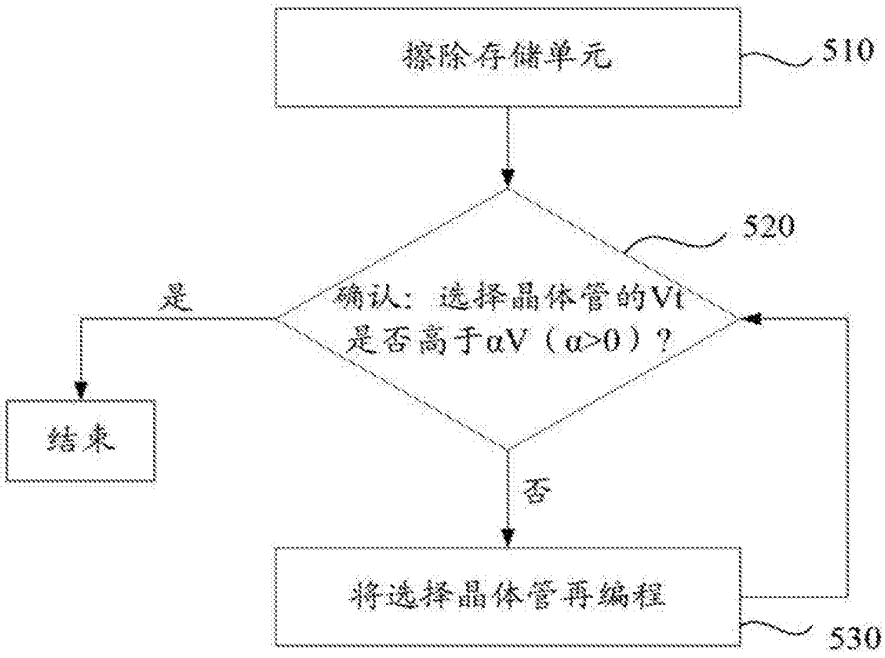


图 5

Micron Ex. 1002, p. 242
Micron v. YMTC
IPR2024-00794

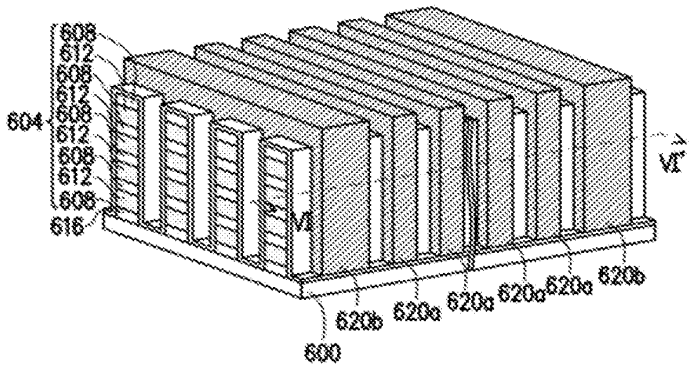


图 6A

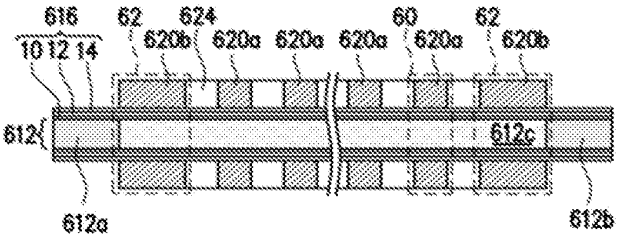


图 6B

Micron Ex. 1002, p. 243
Micron v. YMTC
IPR2024-00794

Form PTO 1449 (Modified)	U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE	ATTY DOCKET NO. 521129US	SERIAL NO. 16/365,725
LIST OF REFERENCES CITED BY APPLICANT		INVENTOR(S) Yali SONG, et al.	
		FILING DATE March 27, 2019	GROUP 2827

U.S. PATENT DOCUMENTS

EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	2018/0337195 A1	11/22/2018	JAYANTI, S., et al.			
	AB	10,134,747 B2	11/20/2018	LEE, N.J.			
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES	TRANSLATION NO
	AO	201834218 A	09/16/2018	Taiwan (with English abstract)		x
	AP	201842601 A	12/01/2018	Taiwan (with English abstract)		x
	AQ	201834217 A	09/16/2018	Taiwan (with English abstract)		x
	AR	108831886 A	11/16/2018	China (with English abstract)		x
	AS	108933139 A	12/04/2018	China (with English abstract)		x
	AT	108933141 A	12/04/2018	China (with English abstract)		x
	AU	2018-163970 A	10/18/2018	Japan (with English abstract)		x
	AV					

OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)

	AW	
	AX	
	AY	
	AZ	☐ Additional References sheet(s) attached

Examiner		Date considered	

*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Espacenet

Bibliographic data: TW201834218 (A) — 2018-09-16

Semiconductor device and manufacturing method thereof capable of reducing the distance from the sidewall portion contacting the source layer within the semiconductor body to the gate layer disposed on the source layer

Inventor(s): ARAI SHINYA [JP] ± (ARAI, SHINYA)

Applicant(s): TOSHIBA MEMORY CORP [JP] ± (TOSHIBA MEMORY CORPORATION)

Classification: **- international:** ***H01L27/11551***
- cooperative:

Application number: TW20170124066 20170719

Priority number(s): JP20170036973 20170228

Also published as: CN108511511 (A) JP2018142654 (A)

Abstract of TW201834218 (A)

The embodiment of the invention is to provide a semiconductor device and its manufacturing method capable of reducing the distance from the sidewall portion contacting the source layer within the semiconductor body to the gate layer disposed on the source layer. The gate layer 80 of the semiconductor device according to the embodiment is disposed between the source layer SL and the laminated body 100 and thicker than the thickness of one layer of the electrode layer 70. The semiconductor body 20 is extended inside the laminated body 100, the gate layer 80, and the semiconductor layer 13 along the lamination direction of the laminated body 100, and has a sidewall portion 20a connected to the semiconductor layer 13. The semiconductor body 20 is not in contact with the electrode layer 70 and the gate layer 80.

Micron Ex. 1002, p. 245
Micron v. YMTC
IPR2024-00794

201834218

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201834218 A

(43)公開日： 中華民國 107 (2018) 年 09 月 16 日

(21)申請案號：106124066 (22)申請日： 中華民國 106 (2017) 年 07 月 19 日

(51)Int. Cl.： *H01L27/11551 (2017.01)*

(30)優先權：2017/02/28 日本 特願 2017-036973

(71)申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72)發明人：荒井伸也 ARAI, SHINYA (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：18 共 41 頁

(54)名稱

半導體裝置及其製造方法

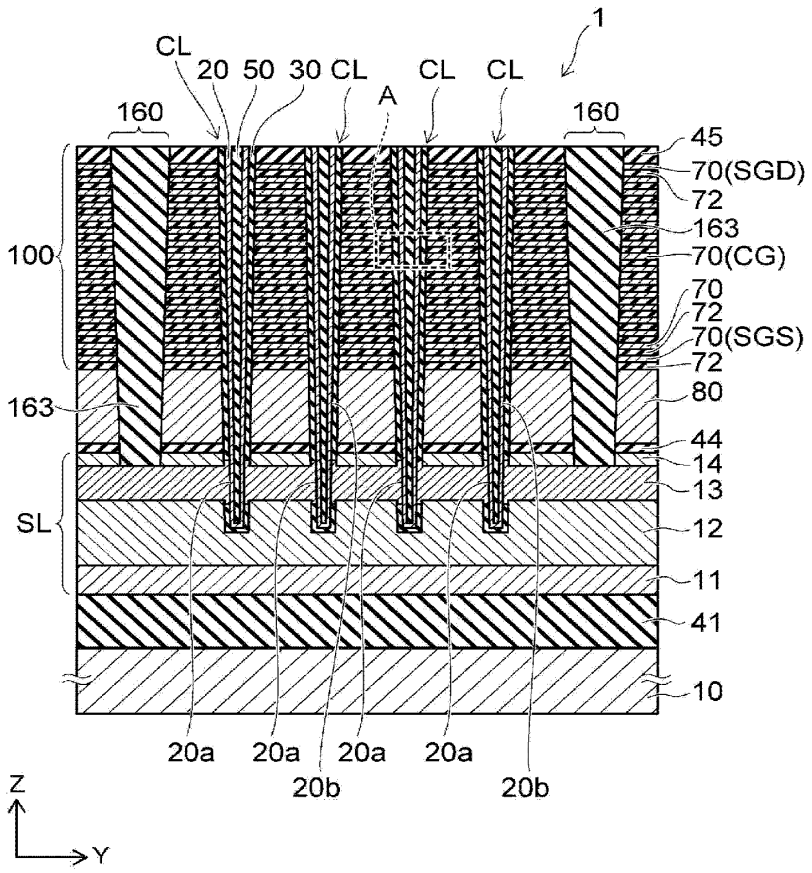
(57)摘要

本發明之實施形態提供一種能夠縮短自半導體主體中之與源極層接觸之側壁部至源極層之上之閘極層之距離的半導體裝置及其製造方法。實施形態之半導體裝置之閘極層 80 設置於源極層 SL 與積層體 100 之間，且較電極層 70 之 1 層之厚度厚。半導體主體 20 於積層體 100 內、閘極層 80 內、及半導體層 13 內沿積層體 100 之積層方向延伸，且具有與半導體層 13 相接之側壁部 20a。半導體主體 20 不與電極層 70 及閘極層 80 相接。

指定代表圖：

Micron Ex. 1002, p. 246
Micron v. YMTC
IPR2024-00794

TW 201834218 A



【圖2】

符號簡單說明：

1・・・記憶胞陣列

10・・・基板

11・・・包含金屬之層

12・・・半導體層

13・・・半導體層

14・・・半導體層

20・・・半導體主體

20a・・・側壁部

20b・・・部分

30・・・記憶膜

41・・・絕緣層

44・・・絕緣層

45・・・絕緣層

50・・・核心膜

70・・・電極層

72・・・絕緣層

80・・・閘極層

100・・・積層體

160・・・分離部

163・・・絕緣膜

CG・・・胞閘極

CL・・・柱狀部

SGD・・・汲極側選擇閘極

SGS・・・源極側選擇閘極

SL・・・源極層

Y・・・方向

Z・・・方向

Micron Ex. 1002, p. 247
Micron v. YMTC
IPR2024-00794

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【技術領域】

實施形態係關於一種半導體裝置及其製造方法。

【先前技術】

業界提出有使貫通包含複數個電極層之積層體之通道主體之側壁與設置於積層體之下之源極層接觸之構造的三維記憶體。

【發明內容】

實施形態提供一種能夠縮短自半導體主體中之與源極層接觸之側壁部至源極層之上之閘極層之距離的半導體裝置及其製造方法。

實施形態之半導體裝置具備源極層、積層體、閘極層、半導體主體、及電荷蓄積部。上述源極層具有包含雜質之半導體層。上述積層體設置於上述源極層上，且具有介隔絕緣體而積層之複數個電極層。上述閘極層設置於上述源極層與上述積層體之間，且較上述電極層之1層之厚度厚。上述半導體主體於上述積層體內、上述閘極層內、及上述半導體層內沿上述積層體之積層方向延伸，且具有與上述半導體層相接之側壁部。上述半導體主體不與上述電極層及上述閘極層相接。上述電荷蓄積部設置於上述半導體主體與上述電極層之間。

【圖式簡單說明】

圖1係實施形態之半導體裝置之模式立體圖。

圖2係實施形態之半導體裝置之模式剖視圖。

圖3係圖2中之A部之放大剖視圖。

Micron Ex. 1002, p. 248
Micron v. YMTC
IPR2024-00794

圖4～17係表示實施形態之半導體裝置之製造方法之模式剖視圖。

圖18係實施形態之半導體裝置之模式剖視圖。

【實施方式】

以下，參照圖式，對實施形態進行說明。再者，各圖式中，對相同要素標註相同符號。

於實施形態中，作為半導體裝置，例如對具有三維構造之記憶胞陣列之半導體記憶裝置進行說明。

圖1係實施形態之記憶胞陣列1之模式立體圖。

圖2係記憶胞陣列1之模式剖視圖。

於圖1中，將相對於基板10之主面平行之方向且相互正交之2個方向設為X方向及Y方向，將相對於該等X方向及Y方向之兩者正交之方向設為Z方向(積層方向)。圖2之Y方向及Z方向分別與圖1之Y方向及Z方向對應。

記憶胞陣列1具有源極層SL、設置於源極層SL上之積層體100、設置於源極層SL與積層體100之間之閘極層80、複數個柱狀部CL、複數個分離部160、及設置於積層體100之上方之複數個位元線BL。源極層SL介隔絕緣層41而設置於基板10上。基板10例如為矽基板。

柱狀部CL形成為於積層體100內沿其積層方向(Z方向)延伸之大致圓柱狀。柱狀部CL進而貫通積層體100之下之閘極層80，並到達源極層SL。複數個柱狀部CL例如錯位排列。或者，複數個柱狀部CL亦可沿著X方向及Y方向呈正方格子排列。

分離部160將積層體100及閘極層80於Y方向上分離為複數個塊(或爪部)。分離部160具有下述圖17所示之於狹縫ST內嵌埋有絕緣膜163之構

Micron Ex. 1002, p. 249
Micron v. YMTC
IPR2024-00794

造。

複數個位元線BL係沿Y方向延伸之例如金屬膜。複數個位元線BL於X方向上相互分離。

柱狀部CL之下述半導體主體20之上端部係經由圖1所示之接點Cb及接點V1而與位元線BL連接。

如圖2所示，源極層SL具有包含金屬之層11、及半導體層12～14。

包含金屬之層11設置於絕緣層41上。包含金屬之層11例如為鎢層或鎢矽合金層。

於包含金屬之層11上設置有半導體層12，於半導體層12上設置有半導體層13，於半導體層13上設置有半導體層14。

半導體層12～14係包含雜質且具有導電性之多晶矽層。半導體層12～14例如為摻雜有磷之n型多晶矽層。半導體層14亦可為不刻意摻雜雜質之未摻雜多晶矽層。

半導體層14之厚度較半導體層12之厚度及半導體層13之厚度薄。

於半導體層14上設置有絕緣層44，於絕緣層44上設置有閘極層80。閘極層80係包含雜質且具有導電性之多晶矽層。閘極層80例如為摻雜有磷之n型多晶矽層。閘極層80之厚度較半導體層14之厚度厚。

於閘極層80上設置有積層體100。積層體100具有在相對於基板10之主面垂直之方向(Z方向)上積層之複數個電極層70。於上下相鄰之電極層70之間設置有絕緣層(絕緣體)72。於最下層之電極層70與閘極層80之間設置有絕緣層72。於最上層之電極層70上設置有絕緣層45。

電極層70為金屬層。電極層70例如為包含鎢作為主成分之鎢層、或包含鉬作為主成分之鉬層。絕緣層72為包含氧化矽作為主成分之氧化矽

Micron Ex. 1002, p. 250
Micron v. YMTC
IPR2024-00794

層。

複數個電極層70中之至少最上層之電極層70為汲極側選擇電晶體STD(圖1)之汲極側選擇閘極SGD，至少最下層之電極層70為源極側選擇電晶體STS(圖1)之源極側選擇閘極SGS。例如，包括最下層之電極層70之下層側之複數層(例如3層)電極層70為源極側選擇閘極SGS。汲極側選擇閘極SGD亦可設置有複數層。

於汲極側選擇閘極SGD與源極側選擇閘極SGS之間設置有複數層電極層70作為胞閘極CG。

閘極層80較電極層70之1層之厚度、及絕緣層72之1層之厚度厚。因此，閘極層80較汲極側選擇閘極SGD之1層之厚度、源極側選擇閘極SGS之1層之厚度、及胞閘極CG之1層之厚度厚。

複數個柱狀部CL於積層體100內沿其積層方向延伸，進而貫通閘極層80、絕緣層44、半導體層14及半導體層13並到達半導體層12。

圖3係圖2中之A部之放大剖視圖。

柱狀部CL具有記憶膜30、半導體主體20、及絕緣性之核心膜50。記憶膜30係具有隧道絕緣膜31、電荷蓄積膜(電荷蓄積部)32、及阻擋絕緣膜33之絕緣膜之積層膜。

如圖2所示，半導體主體20形成為於積層體100內及閘極層80內沿Z方向連續延伸並到達源極層SL之管狀。核心膜50設置於管狀之半導體主體20之內側。

半導體主體20之上端部係經由圖1所示之接點Cb及接點V1而與位元線BL連接。半導體主體20之下端側之側壁部20a與源極層SL之半導體層13相接。

Micron Ex. 1002, p. 251
Micron v. YMTC
IPR2024-00794

記憶膜30設置於積層體100與半導體主體20之間、及閘極層80與半導體主體20之間，且自外周側包圍半導體主體20。

記憶膜30於積層體100內及閘極層80內沿Z方向連續延伸。於半導體主體20中之與半導體層13相接之側壁部(源極接觸部)20a未設置有記憶膜30。側壁部20a未由記憶膜30覆蓋。再者，亦可於半導體主體20與半導體層13之間，在半導體主體20之外周之一部分配置記憶膜30。

半導體主體20之下端部與側壁部20a連續，位於較側壁部20a更下方，且位於半導體層12內。於該半導體主體20之下端部與半導體層12之間設置有記憶膜30。因此，一方面，記憶膜30係於半導體主體20之側壁部20a之位置於Z方向上分斷，一方面，在其更下方，配置於包圍半導體主體20之下端部外周之位置及半導體主體20之底面下。

如圖3所示，隧道絕緣膜31設置於半導體主體20與電荷蓄積膜32之間，與半導體主體20相接。電荷蓄積膜32設置於隧道絕緣膜31與阻擋絕緣膜33之間。阻擋絕緣膜33設置於電荷蓄積膜32與電極層70之間。

半導體主體20、記憶膜30、及電極層70(胞閘極CG)構成記憶胞MC。記憶胞MC具有電極層70(胞閘極CG)介隔記憶膜30而包圍半導體主體20之周圍之縱型電晶體構造。

於該縱型電晶體構造之記憶胞MC中，半導體主體20例如為矽之通道主體，電極層70(胞閘極CG)作為控制閘極而發揮功能。電荷蓄積膜32作為蓄積自半導體主體20注入之電荷之資料記憶層而發揮功能。

實施形態之半導體記憶裝置係能夠電性地自由進行資料之抹除、寫入且即便斷開電源亦能夠保存記憶內容之非揮發性半導體記憶裝置。

記憶胞MC例如為電荷捕獲型記憶胞。電荷蓄積膜32係於絕緣性之膜

Micron Ex. 1002, p. 252
Micron v. YMTC
IPR2024-00794

中具有多個捕獲電荷之捕獲部位者，例如包括氮化矽膜。或者，電荷蓄積膜32亦可為由絕緣體包圍周圍之具有導電性之浮動閘極。

隧道絕緣膜31於自半導體主體20向電荷蓄積膜32注入電荷時，或將蓄積於電荷蓄積膜32之電荷釋放至半導體主體20時，成為電位障壁。隧道絕緣膜31例如包括氧化矽膜。

阻擋絕緣膜33防止蓄積於電荷蓄積膜32之電荷向電極層70釋放。又，阻擋絕緣膜33防止電荷自電極層70向柱狀部CL之反向穿隧(back tunneling)。

阻擋絕緣膜33例如包括氧化矽膜。或者，阻擋絕緣膜33亦可為氧化矽膜與金屬氧化膜之積層構造。於該情形時，可為氧化矽膜設置於電荷蓄積膜32與金屬氧化膜之間，金屬氧化膜設置於氧化矽膜與電極層70之間。金屬氧化膜例如為氧化鋁膜。

如圖1所示，於積層體100之上層部設置有汲極側選擇電晶體STD。於積層體100之下層部設置有源極側選擇電晶體STS。

汲極側選擇電晶體STD係具有上述汲極側選擇閘極SGD(圖2)作為控制閘極之縱型電晶體，源極側選擇電晶體STS係具有上述源極側選擇閘極SGS(圖2)作為控制閘極之縱型電晶體。

半導體主體20之與汲極側選擇閘極SGD對向之部分係作為通道而發揮功能，該通道與汲極側選擇閘極SGD之間之記憶膜30係作為汲極側選擇電晶體STD之閘極絕緣膜而發揮功能。

半導體主體20之與源極側選擇閘極SGS對向之部分係作為通道而發揮功能，且該通道與源極側選擇閘極SGS之間之記憶膜30係作為源極側選擇電晶體STS之閘極絕緣膜而發揮功能。

Micron Ex. 1002, p. 253
Micron v. YMTC
IPR2024-00794

可設置通過半導體主體20而串聯連接之複數個汲極側選擇電晶體STD，亦可設置通過半導體主體20而串聯連接之複數個源極側選擇電晶體STS。對複數個汲極側選擇電晶體STD之複數個汲極側選擇閘極SGD賦予相同之閘極電位，對複數個源極側選擇電晶體STS之複數個源極側選擇閘極SGS賦予相同之閘極電位。

於汲極側選擇電晶體STD與源極側選擇電晶體STS之間設置有複數個記憶胞MC。複數個記憶胞MC、汲極側選擇電晶體STD、及源極側選擇電晶體STS係通過柱狀部CL之半導體主體20而串聯連接，構成1個記憶串。將該記憶串在相對於XY面平行之面方向上例如錯位配置，且將複數個記憶胞MC於X方向、Y方向及Z方向上三維地設置。

半導體主體20之側壁部20a與摻雜有雜質(例如磷)之半導體層13相接，側壁部20a亦包含雜質(例如磷)。該側壁部20a之雜質濃度高於半導體主體20中之與積層體100對向之部分的雜質濃度。側壁部20a之雜質濃度高於記憶胞MC之通道之雜質濃度、源極側選擇電晶體STS之通道之雜質濃度、及汲極側選擇閘極STD之雜質濃度。

又，藉由下述熱處理，雜質(例如磷)自側壁部20a擴散至半導體主體20中之與閘極層80對向之部分20b。於半導體主體20中之側壁部20a與部分20b之間之部分(與絕緣層44對應之部分)亦包含雜質(例如磷)。

雜質未於半導體主體20之部分20b之整個區域擴散，部分20b中之積層體100側之區域之雜質濃度低於部分20b中之側壁部20a側之區域的雜質濃度。部分20b具有雜質濃度自側壁部20a側朝向積層體100側下降之梯度。部分20b之側壁部20a側之區域之雜質濃度高於半導體主體20中之與積層體100對向之部分的雜質濃度。

Micron Ex. 1002, p. 254
Micron v. YMTC
IPR2024-00794

讀出動作時，電子自源極層SL通過半導體主體20之側壁部20a供給至記憶胞MC之通道。此時，藉由對閘極層80施加適當之電位，能夠於半導體主體20之部分20b之整個區域誘發通道(n型通道)。半導體主體20之部分20b與閘極層80之間之記憶膜30作為閘極絕緣膜而發揮功能。

由於半導體主體20之部分20b如上所述包含雜質，故而可能存在難以藉由閘極層80之電位控制將部分20b之導通截止之情況，但該截止之功能由源極側選擇電晶體STS承擔。上述雜質未擴散至源極側選擇電晶體STS之通道。

半導體主體20之側壁部20a與部分20b之間之距離小於閘極層80的厚度。半導體主體20之側壁部20a與部分20b之間之距離實質上對應於半導體層14之厚度與絕緣層44之厚度的合計厚度。

作為如下所述形成狹縫ST時之蝕刻終止層，使用較厚之閘極層80。因此，半導體層14可變薄。閘極層80之厚度例如為200 nm左右，半導體層14之厚度例如為30 nm左右。因此，能夠縮短使雜質自側壁部20a擴散至半導體主體20中之與絕緣層44對向之部分之距離，從而容易控制使雜質擴散至難以利用閘極層80誘發通道之區域。

又，由於半導體主體20中之與閘極層80對向之部分20b包含雜質，故而能夠使閘極層80作為抹除動作時之GIDL(gate induced drain leakage，閘致汲極洩漏)發生器而發揮功能。

對閘極層80施加抹除電位(例如數伏特)，將藉由對半導體主體20之部分20b賦予高電場而產生之電洞供給至記憶胞MC之通道，使通道電位上升。然後，藉由使胞閘極CG之電位為例如接地電位(0 V)，而利用半導體主體20與胞閘極CG之電位差將電洞注入至電荷蓄積膜32，進行資料之

Micron Ex. 1002, p. 255
Micron v. YMTC
IPR2024-00794

抹除動作。

其次，參照圖4～圖17，對實施形態之半導體裝置之製造方法進行說明。圖4～圖17之剖面與圖2之剖面對應。

如圖4所示，於基板10上形成絕緣層41。於絕緣層41上形成包含金屬之層11。包含金屬之層11例如為鎢層或鎢矽合金層。

於包含金屬之層11上形成半導體層(第1半導體層)12。半導體層12例如為摻雜有磷之多晶矽層。半導體層12之厚度例如為200 nm左右。

於半導體層12上形成保護膜42。保護膜42例如為氧化矽膜。

於保護膜42上形成犧牲層91。犧牲層91例如為未摻雜之多晶矽層。犧牲層91之厚度例如為30 nm左右。

於犧牲層91上形成保護膜43。保護膜43例如為氧化矽膜。

於保護膜43上形成半導體層(第2半導體層)14。半導體層14例如為未摻雜或摻雜有磷之多晶矽層。半導體層14之厚度例如為30 nm左右。

於半導體層14上形成絕緣層44。絕緣層44例如為氧化矽層。

於絕緣層44上形成閘極層80。閘極層80例如為摻雜有磷之多晶矽層。閘極層80之厚度較半導體層14之厚度及絕緣層44之厚度厚，例如為200 nm左右。

如圖5所示，於閘極層80上形成積層體100。絕緣層(第2層)72與犧牲層(第1層)71交替積層於閘極層80上。重複將絕緣層72與犧牲層71交替積層之步驟，於閘極層80上形成複數個犧牲層71與複數個絕緣層72。於最上層之犧牲層71上形成絕緣層45。例如，犧牲層71為氮化矽層，絕緣層72為氧化矽層。

閘極層80之厚度較犧牲層71之1層之厚度、及絕緣層72之1層之厚度

Micron Ex. 1002, p. 256
Micron v. YMTC
IPR2024-00794

厚。

如圖6所示，於較半導體層12更上方之層形成複數個記憶孔MH。記憶孔MH係藉由使用未圖示之遮罩層之反應性離子蝕刻(RIE，reactive ion etching)法而形成。記憶孔MH貫通積層體100、閘極層80、絕緣層44、半導體層14、保護膜43、犧牲層91、及保護膜42，並到達半導體層12。記憶孔MH之底部位於半導體層12中。

針對複數個犧牲層(氮化矽層)71及複數個絕緣層(氧化矽層)72不切換氣體種類而使用相同之氣體(例如CF系氣體)而連續進行蝕刻。此時，閘極層(多晶矽層)80係作為蝕刻終止層而發揮功能，於閘極層80之位置暫時停止蝕刻。藉由較厚之閘極層80吸收複數個記憶孔MH間之蝕刻速率不均，減少複數個記憶孔MH間之底部位置之不均。

其後，切換氣體種類對各層進行階段性蝕刻。即，使用絕緣層44作為終止層對閘極層80之剩餘之部分進行蝕刻，使用半導體層14作為終止層對絕緣層44進行蝕刻，使用保護膜43作為終止層對半導體層14進行蝕刻，使用犧牲層91作為終止層對保護膜43進行蝕刻，使用保護膜42作為終止層對犧牲層91進行蝕刻，使用半導體層12作為終止層對保護膜42進行蝕刻。並且，於較厚之半導體層12之中途使蝕刻停止。

藉由較厚之閘極層80，對縱橫比較高之積層體100之孔加工之蝕刻停止位置的控制變得容易。

如圖7所示，於記憶孔MH內形成柱狀部CL。沿著記憶孔MH之側面及底部共形地形成記憶膜30，於該記憶膜30之內側沿著記憶膜30共形地形成半導體主體20，於該半導體主體20之內側形成核心膜50。

其後，如圖8所示，於積層體100形成複數個狹縫ST。狹縫ST係藉由

Micron Ex. 1002, p. 257
Micron v. YMTC
IPR2024-00794

使用未圖示之遮罩層之RIE法而形成。狹縫ST貫通積層體100並到達閘極層80。

與記憶孔MH之形成同樣地，針對複數個犧牲層71及複數個絕緣層72係不切換氣體種類而使用相同氣體(例如CF系氣體)而連續進行蝕刻。此時，閘極層80作為蝕刻終止層而發揮功能，於閘極層80之位置暫時停止狹縫加工之蝕刻。藉由較厚之閘極層80吸收複數個狹縫ST間之蝕刻速率不均，減少複數個狹縫ST間之底部位置之不均。

其後，切換氣體種類對各層進行階段性蝕刻。即，使用絕緣層44作為終止層對閘極層80之剩餘之部分進行蝕刻。如圖9所示，絕緣層44於狹縫ST之底部露出。

之後，使用半導體層14作為終止層對絕緣層44進行蝕刻，使用保護膜43作為終止層對半導體層14進行蝕刻。如圖10所示，犧牲層91於狹縫ST之底部露出。

藉由較厚之閘極層80，容易控制對縱橫比較高之積層體100之狹縫加工之蝕刻停止位置。進而，於其後之階段性蝕刻中，能夠高精度且容易地進行狹縫ST之底部位置控制。狹縫ST不穿通犧牲層91，狹縫ST之底部止於犧牲層91內。

如圖11所示，於狹縫ST之側面及底部，沿著狹縫ST之側面及底部共形地形成襯膜161。襯膜161例如為氮化矽膜。

形成於狹縫ST之底部之襯膜161例如係藉由RIE法而去除。如圖12所示，犧牲層91於狹縫ST之底部露出。

然後，藉由通過狹縫ST之蝕刻去除犧牲層91。例如，通過狹縫ST供給熱TMY(三甲基-2羥乙基氫氧化銨)，去除作為多晶矽層之犧牲層91。

Micron Ex. 1002, p. 258
Micron v. YMTC
IPR2024-00794

將犧牲層91去除，如圖13所示，於半導體層12與半導體層14之間形成空腔90。例如作為氧化矽膜之保護膜42、43保護半導體12、14免受熱TMY之蝕刻。又，形成於狹縫ST之側面之襯膜(例如氮化矽膜)161防止閘極層80及半導體層14之自狹縫ST側之側蝕。

於空腔90，柱狀部CL之側壁之一部分露出。即，記憶膜30之一部分露出。

藉由通過狹縫ST之蝕刻將於該空腔90露出之記憶膜30之一部分去除。例如，藉由CDE(chemical dry etching，化學乾式蝕刻)法對記憶膜30進行蝕刻。

此時，與記憶膜30中所包含之膜相同種類之保護膜42、43亦被去除。形成於狹縫ST之側面之襯膜161係與記憶膜30中所包含之電荷蓄積膜32相同種類之氮化矽膜，但襯膜161之膜厚較電荷蓄積膜32之膜厚更厚，襯膜161殘留於狹縫ST之側面。

該襯膜161係將於空腔90露出之上述記憶膜30之一部分去除時防止犧牲層71、絕緣層72、及絕緣層44之自狹縫ST側之側蝕。又，絕緣層44之下表面係由半導體層14所覆蓋，因此，亦防止絕緣層44之自下表面側之蝕刻。

藉由去除該記憶膜30之一部分，記憶膜30如圖14所示般於側壁部20a之部分上下分斷。藉由控制蝕刻時間，閘極層80與半導體主體20之間之記憶膜(閘極絕緣膜)30不被蝕刻。

又，藉由控制蝕刻時間，即便於側壁部20a之下方，亦於半導體層12與半導體主體20之間殘留記憶膜30。半導體主體20中之側壁部20a之下方之下端部介隔記憶膜30而支持於半導體層12的狀態得以保持。

Micron Ex. 1002, p. 259
Micron v. YMTC
IPR2024-00794

將上述記憶膜30之一部分去除，如圖14所示，半導體主體20之一部分(側壁部20a)於空腔90露出。

如圖15所示，於該空腔90內形成半導體層(第3半導體層)13。半導體層13例如為摻雜有磷之多晶矽層。

將包含矽之氣體通過狹縫ST供給至空腔90，半導體層13自半導體層12之上表面、半導體層14之下表面、及於空腔90露出之半導體主體20之側壁部20a磊晶生長，空腔90內由半導體層13填埋。

於空腔90之上表面亦形成有作為多晶矽層之半導體層14，因此，能夠使半導體層13亦自空腔90之上表面側磊晶生長，謀求縮短半導體層13之形成所需之時間。

半導體主體20之側壁部20a與半導體層13相接。於形成有柱狀部CL之階段，半導體主體20自上端至下端實質上不包含雜質。半導體層13於高溫熱處理下磊晶生長，此時，於半導體主體20之側壁部20a亦摻雜雜質(例如磷)。

進而，藉由半導體層13之磊晶生長時之熱處理，或之後的步驟中之熱處理，雜質(磷)自側壁部20a向半導體主體20之延伸方向熱擴散。雜質擴散至半導體主體20中之至少與絕緣層44對向之部分。即，使雜質擴散至難以利用閘極層80誘發通道之區域。

作為形成記憶孔MH或狹縫ST時之蝕刻速率差之吸收層之作用如上所述係由閘極層80承擔。因此，半導體層14無需變厚。因此，能夠縮短使雜質自半導體主體20之側壁部20a擴散至與絕緣層44對向之部分之距離。例如，該擴散距離為50 nm左右，能夠容易且確實地使雜質擴散至半導體主體20中之與絕緣層44對向之部分。

Micron Ex. 1002, p. 260
Micron v. YMTC
IPR2024-00794

再者，若使雜質擴散至半導體主體20中之與閘極層80對向之部分20b，則如上所述，於部分20b產生GIDL之電洞，能夠進行利用該電洞之抹除動作。

其次，於去除襯膜161後、或與襯膜161之去除相同之步驟中，藉由通過狹縫ST而供給之蝕刻液或蝕刻氣體將犧牲層71去除。例如，使用包含磷酸之蝕刻液將作為氮化矽層之犧牲層71去除。

將犧牲層71去除，如圖16所示，於上下相鄰之絕緣層72之間形成空隙75。空隙75亦形成於最上層之絕緣層72與絕緣層45之間。

複數個絕緣層72係以包圍複數個柱狀部CL之側面之方式與柱狀部CL之側面相接。複數個絕緣層72係藉由此種與複數個柱狀部CL之物理性結合而被支持，而可保持絕緣層72間之空隙75。

如圖17所示，於空隙75形成電極層70。例如藉由CVD(chemical vapor deposition，化學氣相沈積)法形成電極層70。通過狹縫ST將源氣體供給至空隙75。形成於狹縫ST之側面之電極層70被去除。

其後，如圖2所示，於狹縫ST內嵌埋絕緣膜163。

犧牲層91不限於多晶矽層，例如亦可為氮化矽層。於作為多晶矽層之半導體層12、14與作為氮化矽層之犧牲層91之組合之情形時，亦可不設置保護膜42、43。

圖18係表示實施形態之記憶胞陣列之另一例之模式剖視圖。

半導體層13係沿著半導體層12之上表面、半導體層14之下表面、及半導體主體20之側壁部20a而設置，設置於半導體層12之上表面之半導體層13與設置於半導體層14之下表面之半導體層13之間留有空腔90。

若將半導體層13以不充分之狀態嵌埋於空腔90內，於半導體層13中

Micron Ex. 1002, p. 261
Micron v. YMTC
IPR2024-00794

產生孔隙，則可能會在之後的高溫熱處理步驟中孔隙移動而使半導體主體20之側壁部20a斷路。

若如圖18般，將半導體層13形成為沿著半導體層12之上表面、半導體層14之下表面、及半導體主體20之側壁部20a之薄膜，於該半導體層13之內側留有空腔90，則不存在如移動之孔隙。

於上述實施形態中，作為第1層71例示了氮化矽層，但亦可使用金屬層、或摻雜有雜質之矽層作為第1層71。於該情形時，第1層71直接成為電極層70，因此，無需將第1層71替換為電極層之製程。

又，亦可藉由通過狹縫ST之蝕刻將第2層72去除，使上下相鄰之電極層70之間成為空隙。

雖然對本發明之若干實施形態進行了說明，但該等實施形態係作為例而提出者，並未意欲限定發明之範圍，該等新穎之實施形態能夠以其他各種形態實施，且能夠於不脫離發明之主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨中，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

[相關申請]

本申請享有以日本專利申請2017-36973號(申請日：2017年2月28日)為基礎申請之優先權。本申請藉由參照該基礎申請而包含基礎申請之全部內容。

【符號說明】

1	記憶胞陣列
10	基板
11	包含金屬之層

Micron Ex. 1002, p. 262
Micron v. YMTC
IPR2024-00794

12	矽層
13	矽層
14	矽層
20	半導體主體
20a	側壁部
20b	部分
30	記憶膜
31	隧道絕緣膜
32	電荷蓄積膜(電荷蓄積部)
33	阻擋絕緣膜
41	絕緣層
42	保護膜
43	保護膜
44	絕緣層
45	絕緣層
50	核心膜
70	電極層
71	犧牲層
72	絕緣層
75	空隙
80	閘極層
90	空腔
91	犧牲層

Micron Ex. 1002, p. 263
Micron v. YMTC
IPR2024-00794

100	積層體
160	分離部
161	襯膜
163	絕緣膜
BL	位元線
Cb	接點
CG	胞閘極
CL	柱狀部
MC	記憶胞
MH	記憶孔
SGD	汲極側選擇閘極
SGS	源極側選擇閘極
SL	源極層
ST	狹縫
STD	汲極側選擇電晶體
STS	源極側選擇電晶體
V1	接點
X	方向
Y	方向
Z	方向

Micron Ex. 1002, p. 264
Micron v. YMTC
IPR2024-00794

201834218
專利案號：106124066
申請日：106/07/19
IPC分類：

【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【中文】

本發明之實施形態提供一種能夠縮短自半導體主體中之與源極層接觸之側壁部至源極層之上之閘極層之距離的半導體裝置及其製造方法。

實施形態之半導體裝置之閘極層80設置於源極層SL與積層體100之間，且較電極層70之1層之厚度厚。半導體主體20於積層體100內、閘極層80內、及半導體層13內沿積層體100之積層方向延伸，且具有與半導體層13相接之側壁部20a。半導體主體20不與電極層70及閘極層80相接。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

1　記憶胞陣列

10　基板

11　包含金屬之層

12　半導體層

13　半導體層

14　半導體層

20　半導體主體

20a　側壁部

20b　部分

30　記憶膜

Micron Ex. 1002, p. 265
Micron v. YMTC
IPR2024-00794

41	絕緣層
44	絕緣層
45	絕緣層
50	核心膜
70	電極層
72	絕緣層
80	閘極層
100	積層體
160	分離部
163	絕緣膜
CG	胞閘極
CL	柱狀部
SGD	汲極側選擇閘極
SGS	源極側選擇閘極
SL	源極層
Y	方向
Z	方向

Micron Ex. 1002, p. 266
Micron v. YMTC
IPR2024-00794

【發明申請專利範圍】

【第1項】

一種半導體裝置，其具備：

源極層，其具有包含雜質之半導體層；

積層體，其設置於上述源極層上，且具有介隔絕緣體而積層之複數個電極層；

閘極層，其設置於上述源極層與上述積層體之間，且較上述電極層之1層之厚度厚；

半導體主體，其於上述積層體內、上述閘極層內、及上述半導體層內沿上述積層體之積層方向延伸，具有與上述半導體層相接之側壁部，且不與上述電極層及上述閘極層相接；及

電荷蓄積部，其設置於上述半導體主體與上述電極層之間。

【第2項】

如請求項1之半導體裝置，其中上述半導體主體中之與上述閘極層對向之部分和上述側壁部之間的距離小於上述閘極層之厚度。

【第3項】

如請求項1之半導體裝置，其中上述半導體主體之上述側壁部之雜質濃度高於上述半導體主體中之與上述積層體對向之部分的雜質濃度。

【第4項】

如請求項1之半導體裝置，其中上述半導體主體中之與上述閘極層對向之部分的雜質濃度高於上述半導體主體中之與上述積層體對向之部分的雜質濃度。

【第5項】

Micron Ex. 1002, p. 267
Micron v. YMTC
IPR2024-00794

如請求項1之半導體裝置，其中

上述電極層具有：

至少1層汲極側選擇閘極，其較上述閘極層薄；

至少1層源極側選擇閘極，其設置於上述汲極側選擇閘極與上述閘極層之間，且較上述閘極層薄；及

複數個胞閘極，其設置於上述汲極側選擇閘極與上述源極側選擇閘極之間且與上述電荷蓄積部對向，且分別較上述閘極層薄。

【第6項】

如請求項1之半導體裝置，其中上述閘極層係包含磷之矽層。

【第7項】

如請求項1之半導體裝置，其中上述半導體層係包含磷之矽層。

【第8項】

如請求項1之半導體裝置，其中

上述源極層進而具有包含金屬之層，且

上述半導體層設置於上述包含金屬之層與上述閘極層之間。

【第9項】

如請求項1之半導體裝置，其中上述電荷蓄積部於上述積層體與上述半導體主體之間在上述積層方向上連續。

【第10項】

如請求項9之半導體裝置，其中於上述閘極層與上述半導體主體之間設置有包含與上述電荷蓄積部相同種類之膜之絕緣膜。

【第11項】

如請求項9之半導體裝置，其中於上述半導體主體之底面下設置有包

Micron Ex. 1002, p. 268
Micron v. YMTC
IPR2024-00794

含與上述電荷蓄積部相同種類之膜之絕緣膜。

【第12項】

如請求項1之半導體裝置，其中於抹除動作時，上述半導體主體中之與上述閘極層對向之部分產生GIDL(gate induced drain leakage)之電位施加至上述閘極層。

【第13項】

如請求項1之半導體裝置，其中

上述半導體層具有：

第1半導體層；

第2半導體層，其設置於上述第1半導體層與上述閘極層之間；及

第3半導體層，其係沿著上述第1半導體層之上表面、上述第2半導體層之下表面、及上述半導體主體之上述側壁部而設置；且

在設置於上述第1半導體層之上述上表面之上述第3半導體層與設置於上述第2半導體層之上述下表面之上述第3半導體層之間形成有空腔。

【第14項】

一種半導體裝置之製造方法，其具備以下步驟：

於第1半導體層上形成犧牲層；

於上述犧牲層上形成第2半導體層；

於上述第2半導體層上形成絕緣層；

於上述絕緣層上形成較上述第2半導體層厚之閘極層；

於上述閘極層上形成具有包含被交替積層之第1層及第2層之複數個第1層及複數個第2層的積層體；

於貫通上述積層體、上述閘極層、上述絕緣層、上述第2半導體層、

Micron Ex. 1002, p. 269
Micron v. YMTC
IPR2024-00794

及上述犧牲層之孔內形成半導體主體；

於形成上述半導體主體之後，形成貫通上述積層體、上述閘極層、上述絕緣層、及上述第2半導體層並到達上述犧牲層之狹縫；

通過上述狹縫將上述犧牲層去除，於上述第1半導體層與上述第2半導體層之間形成空腔；

使上述半導體主體之一部分於上述空腔露出；及

於上述空腔內形成包含雜質且與上述半導體主體之上述一部分相接之第3半導體層。

【第15項】

如請求項14之半導體裝置之製造方法，其中

上述第1半導體層、上述第2半導體層、上述犧牲層、及上述閘極層為矽層，且

於上述第1半導體層與上述犧牲層之間、及上述犧牲層與上述第2半導體層之間，形成材料與上述矽層不同之保護膜，

於由材料與上述矽層不同之襯膜覆蓋上述狹縫之側面之狀態下去除上述犧牲層。

【第16項】

如請求項14之半導體裝置之製造方法，其中

上述第1半導體層、上述第2半導體層、及上述閘極層為矽層，且

上述犧牲層為氮化矽層。

【第17項】

如請求項14之半導體裝置之製造方法，其中

於形成上述半導體主體之前，於上述孔之側面形成絕緣膜，且

Micron Ex. 1002, p. 270
Micron v. YMTC
IPR2024-00794

於去除上述犧牲層之後，將於上述空腔露出之上述絕緣膜之一部分去除，使上述半導體主體之上述一部分於上述空腔露出。

【第18項】

如請求項14之半導體裝置之製造方法，其中形成上述第3半導體層時，或形成上述第3半導體層之後，使上述雜質向上述半導體主體之上述一部分、及上述半導體主體中之與上述絕緣層對向之部分熱擴散。

【第19項】

如請求項18之半導體裝置之製造方法，其中上述雜質亦向上述半導體主體中之與上述閘極層對向之部分擴散。

【第20項】

如請求項14之半導體裝置之製造方法，其進而具備通過上述狹縫將上述第1層替換為電極層之步驟。

Micron Ex. 1002, p. 271
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: TW201842601 (A) — 2018-12-01

Structure and method for testing three-dimensional memory device

Inventor(s): KIM JONG-JUN [KR]; PAN FENG [US]; LEE JONG SEUK [US]; LU ZHENYU [US]; LI YONGNA [US]; SONG LIDONG [US]; KIM YOUN-CHEUL [KR]; YANG STEVE WIYI [US]; YANG SIMON SHI-NING [US] ± (KIM, JONG-JUN, ; PAN, FENG, ; LEE, JONG SEUK, ; LU, ZHENYU, ; LI, YONGNA, ; SONG, LIDONG, ; KIM, YOUN-CHEUL, ; YANG, STEVE WIYI, ; YANG, SIMON SHI-NING, ; KIM, JONG JUN, ; KIM, YOUN CHEUL)

Applicant(s): YANGTZE MEMORY TECHNOLOGIES CO LTD [CN] ± (YANGTZE MEMORY TECHNOLOGIES CO., LTD)

Classification: - international: ***H01L21/66; H01L27/11548; H01L27/11551; H01L27/11575; H01L27/11578***

- cooperative: **G11C29/025**; **G11C29/48**; **G11C29/50**; **H01L21/76895**; **H01L21/76898**; **H01L23/481**; **H01L23/528**; **H01L27/11526**; **H01L27/11548**; **H01L27/11556**; **H01L27/11573**; **H01L27/11575**; **H01L27/11582**; G11C2029/0401; G11C2029/1202; G11C2029/1204; G11C2029/1206; G11C2029/5002; G11C2029/5602; H01L27/11551; H01L27/11578

Application number: TW20180107641 20180307

Priority number(s): CN201710134368 20170308 ; WO2018CN77754 20180301

Also published as: CN106920797 (A) CN106920797 (B) TWI644379 (B) US2019057756 (A1) WO2018161841 (A1)

Abstract of TW201842601 (A)

Embodiments of structures and methods for testing three-dimensional (3D) memory devices are disclosed. In one example, a 3D memory device includes a memory array structure, a peripheral device structure, and an interconnect layer in contact with a front side of the memory array structure and a front side of the peripheral device structure, and a conductive pad at a back side of the memory array structure and that overlaps the memory array structure. The memory array structure includes a memory array

Micron Ex. 1002, p. 289
Micron v. YMTC
IPR2024-00794

stack, a through array contact (TAC) extending vertically through at least part of the memory array stack, and a memory array contact. The peripheral device structure includes a test circuit. The interconnect layer includes an interconnect structure. The conductive pad, the TAC, the interconnect structure, and at least one of the test circuit and the memory array contact are electrically connected.

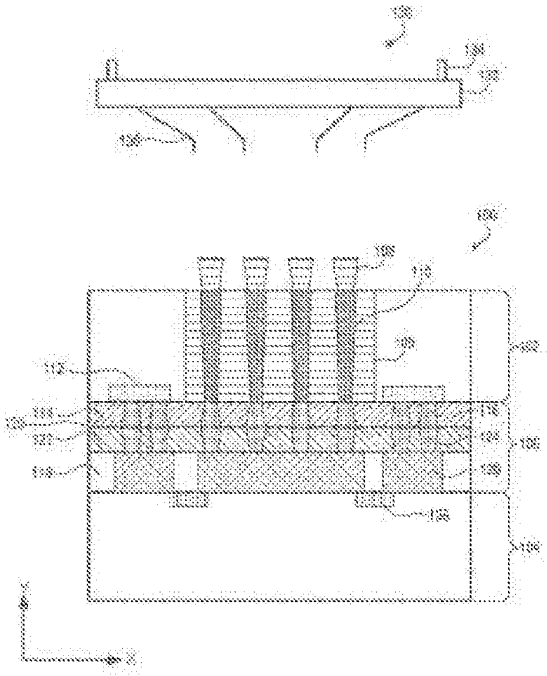


FIG. 1

Micron Ex. 1002, p. 290
Micron v. YMTC
IPR2024-00794

201842601

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201842601 A

(43)公開日： 中華民國 107 (2018) 年 12 月 01 日

(21)申請案號：107107641 (22)申請日： 中華民國 107 (2018) 年 03 月 07 日

(51)Int. Cl.： *H01L21/66* *(2006.01)* *H01L27/11548* *(2017.01)*
H01L27/11551 *(2017.01)* *H01L27/11575* *(2017.01)*
H01L27/11578 *(2017.01)*

(30)優先權：2017/03/08 中國大陸 201710134368.0
2018/03/01 世界智慧財產權組織 PCT/CN2018/077754

(71)申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)
中國大陸

(72)發明人：金鐘俊 KIM, JONG JUN (KR)；潘 鋒 PAN, FENG (US)；李 鐘碩 LEE, JONG SEUK (US)；呂 震宇 LU, ZHENYU (US)；李 勇娜 LI, YONGNA (US)；宋 立東 SONG, LIDONG (US)；金允哲 KIM, YOUN CHEUL (KR)；楊 偉毅 YANG, STEVE WIYI (US)；楊 士寧 YANG, SIMON SHI-NING (US)

(74)代理人：吳豐任；李俊陞；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 46 頁

(54)名稱

三維記憶體元件的結構及其測試方法

STRUCTURE AND METHOD FOR TESTING THREE-DIMENSIONAL MEMORY DEVICE

(57)摘要

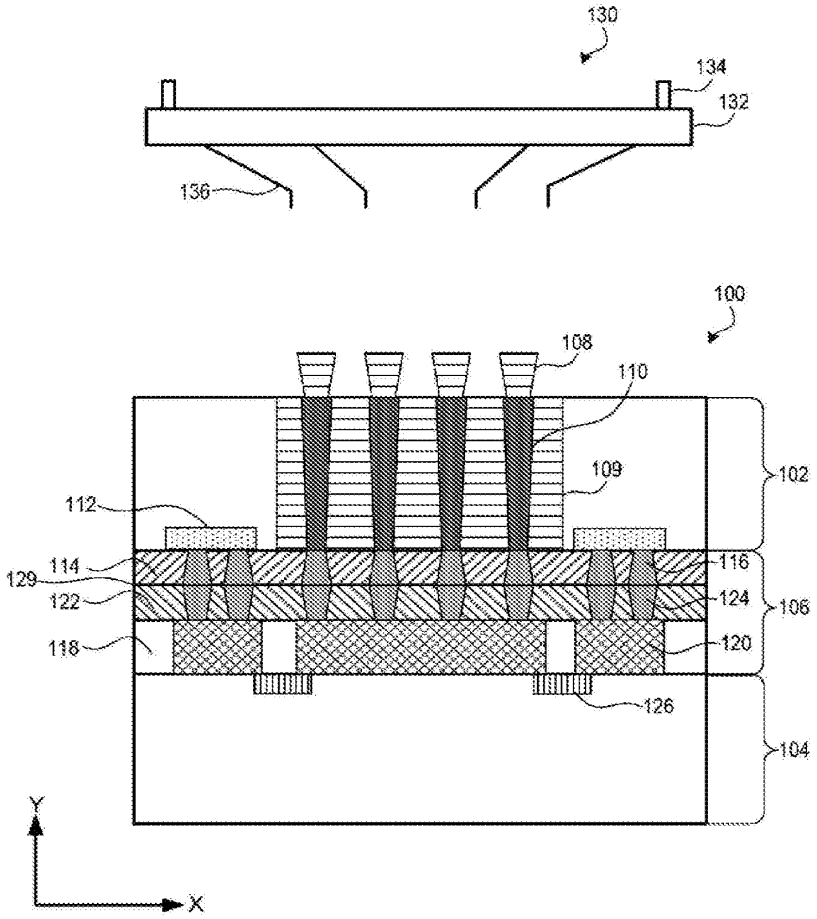
本案實施例公開了三維（3D）記憶體元件的結構及測試方法。在例示中，3D 記憶體元件包括記憶體陣列結構、周邊元件結構、與記憶體陣列結構的正面及周邊元件結構的正面接觸的互連層，以及位於記憶體陣列結構的背面，並且與記憶體陣列結構重疊的導電接墊。記憶體陣列結構包括記憶體陣列堆疊、垂直延伸通過至少部分記憶體陣列堆疊的直通陣列接觸（TAC），及記憶體陣列接觸。周邊元件結構包括測試電路。互連層包括互連結構。導電接墊、TAC、互連結構，及測試電路與記憶體陣列接觸的至少其中之一係電連接在一起。

Embodiments of structures and methods for testing three-dimensional (3D) memory devices are disclosed. In one example, a 3D memory device includes a memory array structure, a peripheral device structure, and an interconnect layer in contact with a front side of the memory array structure and a front side of the peripheral device structure, and a conductive pad at a back side of the memory array structure and that overlaps the memory array structure. The memory array structure includes a memory array stack, a through array contact (TAC) extending vertically through at least part of the memory array stack, and a memory array contact. The peripheral device structure includes a test circuit. The interconnect layer includes an interconnect structure. The conductive pad, the TAC, the interconnect structure, and at least one of the test circuit and the memory array contact are electrically connected.

指定代表圖：

Micron Ex. 1002, p. 291
Micron v. YMTC
IPR2024-00794

TW 201842601 A



第1圖

符號簡單說明：

100・・・3D 記憶體元件

102・・・記憶體陣列結構

104・・・周邊元件結構

106・・・互連層

108・・・導電接墊

109・・・記憶體陣列堆疊

110・・・直通陣列接觸(TAC)

112・・・記憶體陣列接觸

114・・・第一介電層

116・・・第一接觸件

118・・・金屬層

120・・・金屬圖案

122・・・第二介電層

124・・・第二接觸件

126・・・測試電路

129・・・接合界面

130・・・探針卡

132・・・印刷電路板(PCB)

134・・・終端引腳

136・・・探針

Micron Ex. 1002, p. 292
Micron v. YMTC
IPR2024-00794

201842601

【發明摘要】

【中文發明名稱】　三維記憶體元件的結構及其測試方法

【英文發明名稱】　STRUCTURE AND METHOD FOR TESTING THREE-DIMENSIONAL MEMORY DEVICE

【中文】

本案實施例公開了三維（3D）記憶體元件的結構及測試方法。在例示中，3D記憶體元件包括記憶體陣列結構、周邊元件結構、與記憶體陣列結構的正面及周邊元件結構的正面接觸的互連層，以及位於記憶體陣列結構的背面，並且與記憶體陣列結構重疊的導電接墊。記憶體陣列結構包括記憶體陣列堆疊、垂直延伸通過至少部分記憶體陣列堆疊的直通陣列接觸（TAC），及記憶體陣列接觸。周邊元件結構包括測試電路。互連層包括互連結構。導電接墊、TAC、互連結構，及測試電路與記憶體陣列接觸的至少其中之一係電連接在一起。

【英文】

Embodiments of structures and methods for testing three-dimensional (3D) memory devices are disclosed. In one example, a 3D memory device includes a memory array structure, a peripheral device structure, and an interconnect layer in contact with a front side of the memory array structure and a front side of the peripheral device structure, and a conductive pad at a back side of the memory array structure and that overlaps the memory array structure. The memory array structure includes a memory array stack, a through array contact (TAC) extending vertically through at least part of the memory array stack, and a memory array contact. The peripheral device structure includes a test circuit. The interconnect layer includes an interconnect structure. The conductive pad, the TAC, the

Micron Ex. 1002, p. 293
Micron v. YMTC
IPR2024-00794

interconnect structure, and at least one of the test circuit and the memory array contact are electrically connected.

Micron Ex. 1002, p. 294
Micron v. YMTC
IPR2024-00794

【指定代表圖】第（1）圖。

【代表圖之符號簡單說明】

100 3D記憶體元件

102 記憶體陣列結構

104 周邊元件結構

106 互連層

108 導電接墊

109 記憶體陣列堆疊

110 直通陣列接觸（TAC）

112 記憶體陣列接觸

114 第一介電層

116 第一接觸件

118 金屬層

120 金屬圖案

122 第二介電層

124 第二接觸件

126 測試電路

129 接合界面

130 探針卡

132 印刷電路板（PCB）

134 終端引腳

136 探針

【特徵化學式】

Micron Ex. 1002, p. 295
Micron v. YMTC
IPR2024-00794

(無)

Micron Ex. 1002, p. 296
Micron v. YMTC
IPR2024-00794

【發明說明書】

【中文發明名稱】三維記憶體元件的結構及其測試方法

【英文發明名稱】STRUCTURE AND METHOD FOR TESTING THREE-DIMENSIONAL MEMORY DEVICE

【技術領域】

【0001】 本發明實施例涉及三維（3D）記憶體元件及其測試方法。

【先前技術】

【0002】 透過工藝技術、電路設計、編程算法及製造方法的改進，平面記憶體單元能被微縮到更小的尺寸。然而，隨著記憶體單元的特徵尺寸接近下限，平面工藝及製造技術變得具有挑戰性並且成本高昂。結果，平面記憶體單元的記憶體密度接近上限。

【0003】 3D記憶體架構可以解決平面記憶體單元的密度限制。3D記憶體架構包括記憶體陣列及周邊元件，其中周邊元件係用於控制往來記憶體陣列的信號。

【發明內容】

【0004】 本案實施例公開了三維（3D）記憶體元件的結構及用於測試3D記憶體元件的方法。

【0005】 根據本案披露的一些實施例，記憶體元件包括記憶體陣列結構、記憶體陣列結構的正面的第一介電層、第一介電層中的複數個第一接觸、記憶體陣列結構的背面的複數個導電接墊、互補金屬氧化物半導體（CMOS）結構、在所述CMOS結構的正面包括複數個金屬圖案的金屬層、所述金屬層上的第二介電層，以及第二介電層中的複數個第二接觸。所述記憶體陣列結構包括記憶體陣列堆疊、垂直延伸通過至少部分的所述記憶體陣列堆疊的直通陣列接觸（TAC），以及一個或多個記憶體陣列接觸。所述第一介電層及所述第二介電層面對面地連接，使得所述記憶體陣列結構在CMOS結構之上，並且形成由至少所述複數個

Micron Ex. 1002, p. 297
Micron v. YMTC
IPR2024-00794

導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案，以及所述一個或多個記憶體陣列接觸中的至少一個所構成的一個或多個電連接。

【0006】　在一些實施例中，複數個第一接觸中的至少一個及複數個第二接觸中的至少一個形成接觸信號路徑。所述一個或多個記憶體陣列接觸可以包括字元線接觸及位元線接觸中的至少一個。所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案以及所述字元線可以電連接，以形成所述一個或多個電連接中的第一電連接，用以測試複數個接觸信號路徑。所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案，以及所述位元線接觸可以電連接，以形成所述一個或多個電連接中的第二電連接，以測試多個接觸信號路徑。在一些實施例中，所述多個接觸信號路徑串聯連接。在一些實施例中，所述多個接觸信號路徑中的至少一部份並聯連接。例如，多個接觸信號路徑中的一半可以並聯連接。

【0007】　在一些實施例中，所述CMOS結構包括電連接到所述金屬層的測試電路。所述測試電路可以包括記憶體陣列結構測試電路及接觸信號路徑測試電路中的至少一個。所述記憶體陣列結構測試電路可以包括記憶體面測試電路、記憶體塊測試電路、位元線測試電路及字元線測試電路中的至少一個。

【0008】　在一些實施例中，所述記憶體陣列結構還包括第三接觸（例如，直通矽通孔（TSV））。所述複數個導電接墊中的至少一個可以通過所述第三接觸電連接到所述TAC。

【0009】　根據本案披露的一些實施例，公開了一種形成記憶體元件的方法。首先形成包括記憶體陣列堆疊及一個或多個記憶體陣列接觸的記憶體陣列結構。再形成垂直延伸通過至少部分的所述記憶體陣列結構的所述記憶體陣列堆

Micron Ex. 1002, p. 298
Micron v. YMTC
IPR2024-00794

疊的直通陣列接觸（TAC）。在所述記憶體陣列結構的正面形成第一介電層。在所述第一介電層中形成複數個第一接觸件。在所述記憶體陣列結構的背面形成複數個導電接墊。形成互補金屬氧化物半導體（CMOS）結構。在所述CMOS結構的正面形成包括複數個金屬圖案的金屬層。在所述金屬層上形成第二介電層。在所述第二介電層中形成複數個第二接觸件。面對面地連接所述第一介電層及所述第二介電層，使得所述記憶體陣列結構在所述CMOS結構之上，並且形成由至少所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案，以及所述一個或多個記憶體陣列接觸中的至少一個所構成的一個或多個電連接。

【0010】　在一些實施例中，在所述CMOS結構的正面形成所述金屬層之前，形成測試電路。所述金屬層可以電連接到所述測試電路。

【0011】　在一些實施例中，在所述記憶體陣列結構的背面形成所述複數個導電接墊之前，於所述記憶體陣列結構的背面形成第三接觸（例如，TSV）。所述複數個導電接墊中的至少一個可以通過所述第三接觸電連接到所述TAC。所述複數個導電接墊中的所述至少一個可以形成在第三接觸上方。

【0012】　根據本案披露的一些實施例，公開了一種用於測試記憶體元件的方法。所述記憶體元件包括記憶體陣列結構、在所述記憶體陣列結構的正面的第一介電層、在所述第一介電層中的複數個第一接觸、在所述記憶體陣列結構的背面的複數個導電接墊、互補金屬氧化物半導體（CMOS）結構、在所述CMOS結構的正面包括複數個金屬圖案的金屬層、在所述金屬層上的第二介電層，以及在所述第二介電層中的複數個第二接觸。所述記憶體陣列結構包括記憶體陣列堆疊、垂直延伸穿過至少部分所述記憶體陣列堆疊的直通陣列接觸（TAC），以及一個或多個記憶體陣列接觸。接收用於測試記憶體元件中的測試結構的輸入信號。所述輸入信號通過第一探針及第一電連接傳輸到所述測試結構，所述

Micron Ex. 1002, p. 299
Micron v. YMTC
IPR2024-00794

第一電連接包括所述複數個導電接墊中的一個、所述複數個TAC中的一個、所述複數個第一接觸中的一個、所述複數個第二接觸中的一個、所述金屬層中的複數個金屬圖案中的一個，以及所述一個或多個記憶體陣列接觸中的至少一個。通過第二探針及第二電連接從所述測試結構接收輸出信號，所述第二電連接包括所述複數個導電接墊中的一個、所述複數個TAC中的一個、所述複數個第一接觸中的一個、所述複數個第二接觸中的一個、所述金屬層中的複數個金屬圖案中的一個，以及所述一個或多個記憶體陣列接觸中的至少一個。基於所述輸入信號、所述輸出信號及所述測試結構來決定所述記憶體元件中的所述測試結構的特性。

【0013】　在一些實施例中，所述測試結構包括接觸信號路徑及所述記憶體陣列結構的結構中的至少一個，所述接觸信號路徑包括所述複數個第一接觸中的至少一個及所述複數個第二接觸中的至少一個。

【圖式簡單說明】

【0014】

所附圖式併入本文並構成說明書的一部分，其例示出了本揭露所揭示的實施例，並且與詳細說明一起進一步用於解釋本揭露所揭示的原理，以使相關領域技術人員能夠製作及使用本揭露所揭示的內容。

第1圖係依據本案揭露的一些實施例所繪示的例示性3D記憶體元件的橫截面示意圖。

第2圖係依據本案揭露的一些實施例所繪示的例示性3D記憶體元件的俯視圖。

第3圖係依據本案揭露的一些實施例所繪示的一組接觸信號路徑的例示性測試結構示意圖。

Micron Ex. 1002, p. 300
Micron v. YMTC
IPR2024-00794

第4圖係依據本案揭露的一些實施例所繪示的一組接觸信號路徑的另一測試結構示意圖。

第5圖係依據本案揭露的一些實施例所繪示的用於形成3D記憶體元件的例示性方法的流程圖。

第6圖係依據本案揭露的一些實施例所繪示的用於測試3D記憶體元件的例示性方法的流程圖。

第7A - 7J圖係依據本案揭露的一些實施例所繪示的用於形成3D記憶體元件的例示性製造方法。

以下將參照附圖描述本案所揭露的各實施例。

【實施方式】

【0015】 儘管本文討論了具體的結構及配置，但應該理解，這僅僅是為了說明及示例的目的而完成的。相關領域的技術人員應可理解，在不脫離本揭露的精神及範圍的情況下，可以使用其他結構及佈置。對於相關領域的技術人員顯而易見的是，本揭露還可以用於各種其他應用中。

【0016】 值得注意的是，在說明書中對提及「一個實施例」、「一實施例」、「示範性實施例」、「一些實施例」等的引用表示所描述的實施例可以包括特定的特徵、結構或特性，但並非每個實施例都一定需要包括此特定的特徵、結構或特性，而且這些用語不一定指相同的實施例。此外，當特定特徵、結構或特性結合實施例描述時，無論是否於文中明確教示，結合其他實施例來實現這些特徵、結構或特性皆屬於相關領域的技術人員的知識範圍所及。

【0017】 一般而言，術語可以至少部分地根據上、下文中的用法來理解。例如，如本文所使用的術語「一個或多個」可用於以單數意義描述任何特徵、結構或特性，或可用於描述特徵、結構或特徵的複數組合，至少可部分取決於上、

Micron Ex. 1002, p. 301
Micron v. YMTC
IPR2024-00794

下文。類似地，術語諸如「一」、「一個」或「該」也可以被理解為表達單數用法或傳達複數用法，至少可部分取決於上、下文。此外，術語“基於”可以被理解為不一定旨在傳達排他性的一組因素，並且可以相反地允許存在未必明確描述的附加因素，並且至少部分取決於上、下文。

【0018】 應該容易理解的是，本文中的「在...上面」、「在...之上」及「在...上方」的含義應該以最寬泛的方式來解釋，使得「在...上面」不僅意味著「直接在某物上」，而且還包括在某物上且兩者之間具有中間特徵或中間層，並且「在...之上」或「在...上方」不僅意味著在某物之上或在某物上方的含義，而且還可以包括兩者之間沒有中間特徵或中間層（即，直接在某物上）的含義。

【0019】 此外，為了便於描述，可以在說明書使用諸如「在...下面」、「在...之下」、「較低」、「在...之上」、「較高」等空間相對術語來描述一個元件或特徵與另一個或多個元件或特徵的關係，如圖式中所表示者。除了圖式中描繪的方向之外，這些空間相對術語旨在涵蓋使用或操作中的裝置的不同方位或方向。該裝置可以其他方式定向（例如以旋轉90度或以其它方向來定向），並且同樣能相應地以說明書中所使用的空間相關描述來解釋。

【0020】 如本文所用，術語「基底」是指在其上添加後續材料層的材料。 基底本身可以被圖案化。添加在基底頂部的材料可以被圖案化或可以保持未圖案化。此外，基底可以包括多種半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由非導電材料製成，例如玻璃、塑料或藍寶石晶圓。

【0021】 如本文所使用的，術語「層」是指一材料部分，其一區域具有一厚度。一層的範圍可以在整個下層或上層結構上延伸，或者其範圍可以小於下層或上層結構的範圍。此外，一層可以為均勻或不均勻連續結構的一區域，其厚度可小於該連續結構的厚度。例如，一層可以位於該連續結構的頂表面及底表面之間或在該連續結構的頂表面及底表面之間的任何一對水平平面之間。一層

Micron Ex. 1002, p. 302
Micron v. YMTC
IPR2024-00794

可以水平地、垂直地及/或沿著漸縮表面延伸。一基底可以為一層，其可以包括一層或多層，及/或可以在其上面及/或下面具有一層或多層。一層可以包含多層。例如，互連層可以包括一個或多個導體及接觸層（其中形成有接點、互連線及/或通孔）以及一個或多個介電層。

【0022】　本文所使用的術語「名義上(nominal)」是指在產品或製程的設計階段期間設定的組件或製程操作的特性或參數的期望值或目標值，以及高於及/或低於期望值的數值範圍。數值範圍可能由於製造工藝或公差而有輕微變化。如本文所使用的術語「約/大約」表示可能會隨著與對象半導體元件相關聯的特定技術點而改變的給定量數值。基於特定的技術點，術語「約/大約」可以指示出給定量數值，例如在該數值的10-30%內變化（例如，該數值的±10%、±20%或±30%）。

【0023】　如本文所使用的術語“3D記憶體元件”是指在橫向取向的基底上具有垂直取向的記憶體單元電晶體串（在本文中稱為“記憶體串”，諸如NAND串）的半導體元件，使得記憶體串相對於基板在垂直方向上延伸。如本文所用，術語“垂直”意指名義上垂直於基底的橫向表面。

【0024】　在一些3D記憶體元件中，周邊元件及記憶體陣列元件可以彼此堆疊。然而，到目前為止，在封裝3D記憶體元件之前，仍無有效的方法利用探針卡來測試3D記憶體元件的內部結構的性能。

【0025】　本案所披露的各實施例提供了3D記憶體元件，具有用於測試3D記憶體元件的結構。本文揭露的3D記憶體元件可以包括具有互連結構的互連層，該互連結構位於堆疊的周邊元件結構（例如，CMOS晶片）及記憶體陣列結構（例如，記憶體陣列晶片）的正面之間，並且接觸記憶體陣列結構的直通陣列接觸（TAC）。本文揭露的3D記憶體元件可進一步包括位於記憶體陣列結構的背面用於探針卡的導電接墊，使得3D記憶體元件的不同結構的各種特性以及形成3D

Micron Ex. 1002, p. 303
Micron v. YMTC
IPR2024-00794

記憶體的混合鍵合混合鍵合過程的品質，可以透過具有真實元件密度的探針卡進行測試。因此，本文揭露的3D記憶體元件可以實現通過周邊元件結構及記憶體陣列結構的混合鍵合形成的3D記憶體元件的特性的可測試性及一致性，由此減少整個製程開發時間並提升製造良率。

【0026】 第1圖係依據本案揭露的一些實施例所繪示的例示性3D記憶體元件100的橫截面示意圖。如第1圖所示，3D記憶體元件100可以包括記憶體陣列結構102及周邊元件結構104（例如，CMOS結構），它們面對面地放置，正面朝向彼此。本文中所使用的術語，結構（例如，記憶體陣列結構102或周邊元件結構104）的“正面”，指的是形成元件的結構的一側面（例如，記憶體陣列結構102中的記憶體單元或周邊元件結構104中的周邊電晶體）。相反的，本文中所使用的術語“背面”指的是相對於正面的結構（例如，記憶體陣列結構102或周邊元件結構104）的一側。

【0027】 如第1圖所示，3D記憶體元件100可以在垂直方向上（例如，如第1圖所示的y方向或厚度方向）包括記憶體陣列結構102及周邊元件結構104之間的互連層106。互連層106可以與記憶體陣列結構102的正面及周邊元件結構104的正面接觸。3D記憶體元件100還可以包括位於記憶體陣列結構102背面且電連接到記憶體陣列結構102、互連層106及周邊元件結構104的多個導電接墊108（例如，焊接墊或著陸墊）。在一些實施例中，導電接墊108被設置在3D記憶體元件100的頂面上，即，位於記憶體陣列結構102及周邊元件結構104之上。

【0028】 在一些實施例中，記憶體陣列結構102包括記憶體陣列區域中的記憶體陣列堆疊109。記憶體陣列堆疊109可以形成在基底（未示出）的正面上，並且可以包括交替導體/介電質堆疊及延伸穿過交替導體/介電質堆疊的NAND串陣列。上述交替導體/介電質堆疊可以包括交替的導體層（例如，金屬層或多晶矽層）及介電層（例如，氧化矽層或氮化矽層）。各NAND串可以包括多個垂直堆

Micron Ex. 1002, p. 304
Micron v. YMTC
IPR2024-00794

疊的記憶體單元，其中各記憶體單元均由圍繞NAND串的交替導體/介電質堆疊的相應導體層（充當控制閘極）控制。交替導體/介電質堆疊中的導體層可以在記憶體陣列區域外部的橫向方向（例如，如第1圖所示的x方向或寬度方向）上延伸，從而形成記憶體陣列結構102的字元線。各NAND串還可以在一端包括汲極（例如，在記憶體陣列結構102的正面）。各NAND串的汲極可以電連接到記憶體陣列結構102的多個位元線中的相應一個。在一些實施例中，各NAND串還包括多個選擇閘極（例如，源極選擇閘極及汲極選擇閘極）。該段落中描述的一些結構係為本領域技術人員所能理解，故未在第1圖中示出。

【0029】　記憶體陣列結構102可以包括一個或多個TAC 110，每個TAC 110均垂直地延伸穿過記憶體陣列結構102（例如，記憶體陣列堆疊109）的至少一部分。在一些實施例中，TAC 110可以垂直延伸穿過記憶體陣列結構102的整個厚度，即在記憶體陣列結構102的正面及背面的兩個名義上地平行的表面之間。例如，TAC 110可以穿過交替導體/介電質堆疊的整個厚度以及記憶體陣列結構102的基底的整個厚度。在一些實施例中，TAC 110可以垂直延伸至交替導體/介電質堆疊的部分厚度以及記憶體陣列結構102的基底的部分厚度。在一個例示中，TAC 110可以穿過交替導體/介電質堆疊的整個厚度以及記憶體陣列結構102的基底的部分厚度。在另一個例示中，TAC 110可以穿過交替導體/介電質堆疊的部分厚度而不會到達基底。各TAC 110可以包括填充有導體材料的垂直開口，所述導體材料包括但不限於鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、摻雜矽、矽化物或其任何組合。

【0030】　記憶體陣列結構102可以進一步包括一個或多個記憶體陣列接觸112。記憶體陣列接觸112可以位於記憶體陣列區域內及/或位於記憶體陣列區域外，例如記憶體陣列結構102的階梯區域內。記憶體陣列接觸112可以包括字元線接觸、位元線接觸及閘極選擇接觸。字元線接觸件可以在階梯區域中並且電連

Micron Ex. 1002, p. 305
Micron v. YMTC
IPR2024-00794

接到字元線，使得各字元線接觸可以單獨尋址相應的字元線。位元線接觸可以通過位元線電連接到NAND串，使得每個位元線接觸可以單獨尋址相應的NAND串。閘極選擇接觸可以電連接到選擇閘極。記憶體陣列接觸112可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。該段落中描述的一些結構係為本領域技術人員所能理解，故未在第1圖中示出。

【0031】 如第1圖所示，互連層106可以包括在記憶體陣列結構102的正面的第一介電層114、在周邊元件結構104的正面的金屬層118，以及在金屬層118上的第二介電層122。如下面進一步描述的，互連層106可以包括第一介電層114中的多個第一接觸件116、第二介電層122中的多個第二接觸件124，以及金屬層118中的多個金屬圖案120。在一些實施例中，互連層106還包括第一介電層114及第二介電層122之間的接合界面129。例如，第一介電層114及第二介電層122可通過混合鍵合面對面地連接。混合鍵合（也被稱為“金屬/介電質混合鍵合”）可以是直接接合技術（例如，在不使用中間層，諸如焊料或黏合劑的情況下在表面之間形成接合），其同時得到金屬-金屬接合及介電質-介電質接合效果。通過混合鍵合，可以在第一介電層114的介電材料及第二介電層122的介電材料之間形成化學鍵，並且在第一接觸116的導體材料（例如，Cu）與第二接觸124的導體材料（例如，Cu）之間可以發生物理相互擴散。

【0032】 第一介電層114及第二介電層122的介電材料可以包括但不限於氧化矽、氮化矽、氮氧化矽、低k介電質或其任何組合。第一接觸116及第二接觸124可各自包括填充有導體材料的垂直開口（例如，通孔或溝槽），導體材料包括但不限於W、Co、Cu、Al、矽化物或其任何組合。本文所使用的術語“接觸”，可以廣泛地包括任何適當類型的互連，諸如中段製程（MEOL）互連及後段製程（BEOL）互連，包括垂直互連通道（例如，通孔）及橫向線路（例如互連線路）。

【0033】 在一些實施例中，金屬層118中的金屬圖案120係基於TAC 110及/或第

Micron Ex. 1002, p. 306
Micron v. YMTC
IPR2024-00794

一接觸116及第二接觸124的佈局來圖案化，使得互連層106中可以形成合適的互連結構，以提供用於測試3D記憶體元件100中的結構的電連接。金屬圖案120可以包括但不限於W、Co、Cu、Al、金屬矽化物或其任何組合。在金屬層118中可以形成介電材料，例如氧化矽、氮化矽、氮氧化矽、低k介電質或其任何組合，以電性隔離金屬圖案120。可以理解的是，互連層106中的金屬層的數量不限於第1圖中所示範例，而可以是任何合適的數量，以便在記憶體陣列結構102及周邊元件結構104之間形成合適的電連接。

【0034】 在一些實施例中，互連層106中的互連結構包括在接合界面129的兩側上的第一接觸116及第二接觸124。換句話說，互連結構可以穿過接合界面129，其包括電連接的一個或多個第一接觸116、第二接觸件124及金屬層118中的金屬圖案120。

【0035】 在一些實施例中，導電接墊108位於記憶體陣列結構102的背面的一個或多個BEOL互連層（未示出）之中或之上。導電接墊108可通過BEOL互連層中的互連電連接到TAC 110。在一些實施例中，為了減少導電接墊108引起的應力，導電接墊108與記憶體陣列堆疊109之間在垂直方向上的距離至少約為3 μm，諸如至少3 μm。舉例來說，記憶體陣列結構102的基底與導電接墊108下方的BEOL互連層的組合厚度可為至少3 μm。在一些實施例中，導電接墊108與記憶體陣列堆疊109之間的垂直距離在3 μm與10 μm之間（例如，3 μm、4 μm、5 μm、6 μm、7 μm、8 μm、9 μm、10 μm，在由任何上述值定義的下限的任何範圍內或任何兩個上述值所定義的任何範圍內）。導電接墊108可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。

【0036】 在3D記憶體元件100中可以形成多個電連接以用於測試3D記憶體元件100中的結構（以下稱為“測試結構”）。在一些實施例中，至少一導電接墊108、至少一TAC 110、至少一第一接觸116、至少一第二接觸124、金屬層118中

Micron Ex. 1002, p. 307
Micron v. YMTC
IPR2024-00794

的至少一金屬圖案120，以及至少一記憶體陣列接觸112（例如，位元線接觸及/或字元線接觸）係電性連接在一起，以形成用於測試測試結構的電連接（以下也稱為“信號路徑”）。

【0037】 應能理解的是，可能不需要測試記憶體陣列結構102中的所有重複結構（例如，NAND串的陣列，各NAND串具有多個記憶體單元、多個記憶體指、塊及面，或者多個位元線及字元線）。在一些實施例中，可以測試重複結構的一個或多個樣本結構以大體反映重複結構的特性。因此，在一些實施例中，僅使用部分的導電接墊108、TAC 110、記憶體陣列接觸112以及互連層106中的互連結構，來形成用於測試樣本測試結構的電連接。

【0038】 在一些實施例中，周邊元件結構104包括基底上的周邊元件（未示出）。周邊元件可以包括用於促進3D記憶體元件100的操作的任何合適的數位、類比及/或混合信號周邊電路。例如，周邊元件可以包括一個或多個頁面緩衝器、解碼器（例如，行解碼器及列解碼器）、驅動器、電荷泵，電流或電壓參考，或電路中的任何主動或被動元件（例如，電晶體、二極體、電阻或電容）。在一些實施例中，周邊元件係以CMOS技術形成，並且周邊元件結構104可以被稱為“CMOS結構”或“CMOS晶片”。

【0039】 如第1圖所示，周邊元件結構104可以包括在周邊元件結構104的正面的一個或多個測試電路126，其電連接到金屬層118的金屬圖案120。在一些實施例中，測試電路126電性連接到導電接墊108、TAC 110、記憶體陣列接觸112以及互連層106中的互連結構。也就是說，測試電路126可以是用於測試3D記憶體元件100的測試結構的電連接的一部分。測試電路126可以包括一個或多個周邊元件及/或用於測試的專用測試元件。在一些實施例中，測試電路126包括用於測試記憶體陣列結構102中的測試結構的記憶體陣列結構測試電路以及用於測試互連層106中的互連結構的接觸信號路徑測試電路。記憶體陣列結構測試電路可以包括

Micron Ex. 1002, p. 308
Micron v. YMTC
IPR2024-00794

記憶體面測試電路、記憶體塊測試電路、位元線測試電路及字元線測試電路。在一些實施例中，測試電路126包括用於測試周邊元件結構104中的結構的周邊元件結構測試電路，諸如頁面緩衝器、解碼器等。

【0040】 第1圖另繪示出了用於測試3D記憶體元件100的例示性探針卡130。探針卡130可以是電子測試系統（未示出，例如控制器）及“被測元件”（DUT）（例如3D記憶體元件100）之間的介面。探針卡130可以包括具有開口（未示出）的印刷電路板（PCB）132，測試時，3D記憶體元件100可以插入開口並對接。探針卡130還可以包括多個終端引腳134，配置於提供電子測試系統及PCB 132之間的電連接。探針卡130還可以包括多個探針136，當3D記憶體元件100在測試期間對接於探針卡130中時，探針136係與導電接墊108接觸。在一些實施例中，探針136的數量與導電接墊108的數量相同。在一些實施例中，導電接墊108的佈局與探針卡130的探針136的佈置相匹配，在測試時使得每個導電接墊108可以與相應的探針136接觸。在一些實施例中，探針卡130還包括移動結構（未示出），該移動結構被配置成能夠沿垂直方向及/或橫向方向移動探針卡130，以將探針136與導電接墊108對準。

【0041】 在一些實施例中，當3D記憶體元件100對接於探針卡130時，由電子測試系統提供輸入測試信號（例如，電壓信號或電流信號）至探測卡130以測試3D記憶體元件100的測試結構。輸入信號可通過第一探針136由3D記憶體元件100在第一導電接墊108處接收。然後，輸入信號可通過第一電連接被傳輸到測試結構，如上詳細描述。輸出信號（例如，另一電壓信號或另一電流信號）可以通過第二電連接從測試結構在第二導電接墊108處接收，如上詳細描述。然後，探針卡130可以通過與第二導電接墊108接觸的第二探針136將輸出信號傳輸到電子測試系統。基於輸入信號、輸出信號及測試結構，電子測試系統可以決定測試結構的一個或多個特性（例如，電阻或電容）及/或混合鍵合的品質。

Micron Ex. 1002, p. 309
Micron v. YMTC
IPR2024-00794

【0042】　第2圖係依據本案揭露的一些實施例所繪示的例示性3D記憶體元件200的俯視圖。在一些實施例中，3D記憶體元件200與第1圖中描繪的3D記憶體元件100相同。3D記憶體元件200可以包括面對面混合鍵合的周邊元件結構202（例如，CMOS晶片）及記憶體陣列結構204（例如，包括第2圖所示的四個記憶體面）。

【0043】　如第2圖所示，3D記憶體元件200可以包括3D記憶體元件200的頂面上的多個導電接墊206，例如在記憶體陣列結構204的背面。各導電接墊206可以與記憶體陣列結構204重疊。在第2圖的例子中，各導電接墊206可以完全重疊記憶體陣列結構204，即在俯視圖中位於記憶體陣列結構204的邊界內。應理解的是，在一些實施例中，一個或多個導電接墊206部分地與記憶體陣列結構204重疊，即部分地在記憶體陣列結構204的邊界之外。儘管如此，通過重疊導電接墊206及記憶體陣列結構204，可以減小3D記憶體元件200的晶粒尺寸。在一些實施例中，各導電接墊206在頂視圖中名義上相同，例如在頂視圖中具有名義上相同的尺寸及名義上相同的形狀。在一些實施例中，相鄰導電接墊206的間距在名義上也相同。俯視圖中的導電接墊206的佈局可以被設計為與用於測試3D記憶體元件200的探針卡的探針的配置匹配。

【0044】　在一些實施例中，3D記憶體元件200還包括各種記憶體陣列接觸，包括字元線接觸208及位元線接觸210。在一些實施例中，為了確保均一的接合並且減少接合界面處的凹陷，可將虛設接觸212加到記憶體陣列結構204。記憶體陣列結構204及周邊元件結構202中的虛設接觸都可以物理接合，但不能形成電連接。可以理解的是，由於記憶體陣列結構204的倒裝接合，無法在頂視圖中看到記憶體陣列接觸及虛設接觸，因此在第2圖中以虛線表示。

【0045】　第3圖及第4圖為依據本案揭露的一些實施例所繪示的一組接觸信號路徑的例示性測試結構示意圖。除了記憶體陣列結構及周邊元件結構中的結構之外，測試結構還可以包括記憶體陣列結構及周邊元件結構之間的互連層中的

Micron Ex. 1002, p. 310
Micron v. YMTC
IPR2024-00794

互連結構。互連結構的特性（例如，電阻及/或電容）可以反映出為了形成3D記憶體元件（例如3D記憶體元件100及200）所進行的混合鍵合的品質。在一些實施例中，互連層中的互連結構可以包括用於記憶體陣列結構的第一接觸（例如，第1圖中的第一接觸116）及用於周邊元件結構的第二接觸（例如第1圖中的第二接觸124），第一接觸與第二接觸通過接合界面彼此接觸。以下，將由至少一第一接觸及至少一第二接觸形成的電連接稱為“接觸信號路徑”。接觸信號路徑的特性（例如，電阻及/或電容）可以反映出混合鍵合的品質，例如接觸對準的準確性及接合表面處的間隙的存在。

【0046】 當測試接觸信號路徑的不同特性（例如，電阻或電容）時，互連結構的配置可以不同。而且，由於有時一個接觸信號路徑的電容或電阻可能相對較小，因此僅測量一個接觸信號路徑的電容或電阻會導致較大的偏差，從而導致不準確的測試結果。

【0047】 因此，在一些實施例中，本案揭露內容提供了一種用於改善測試接觸信號路徑的準確度的方法。該方法包括提供一互連結構以測試多個接觸信號路徑、獲得該多個接觸信號路徑的測試值，以及平均該多個接觸信號路徑的測試值。平均值可以被認為是一接觸信號路徑的測試結果。例如，當一組接觸信號路徑包括n個接觸信號路徑並且整組接觸信號路徑的電阻是R時，一接觸信號路徑的電阻因此是R/n，其中n是正整數。

【0048】 當測試接觸信號路徑的電阻或電容時，互連結構的配置可能不同。在一些實施例中，為了測試接觸信號路徑的電阻，形成接觸信號路徑的第一接觸及第二接觸串聯連接。換句話說，接觸信號路徑的互連結構可以具有蛇形結構，例如，如第3圖所示。第3圖例示出串聯連接的四個接觸信號路徑302、304、306及308。接觸信號路徑之間的連接可以由接觸之上及/或之下的金屬層中的金屬圖案（在第3圖中標為粗實線）形成，如第1圖中的金屬層118中的金屬圖案120。

Micron Ex. 1002, p. 311
Micron v. YMTC
IPR2024-00794

應該理解，儘管在第3圖中未示出，如第1圖所示，該組接觸信號路徑302、304、306及308可串聯電連接至導電接墊、TAC、金屬圖案及記憶體陣列接觸以形成用於測試的完整電連接。在一些實施例中，當測量一組接觸信號路徑302、304、306及308的電阻時，探針卡的兩個探針可以分別接觸對應於接觸信號路徑302及接觸信號路徑308的兩個導電接墊（在第3圖中標記為箭頭）。

【0049】 在一些實施例中，提供了一種用於測試接觸信號路徑的電容的方法。接觸信號路徑的互連結構可以具有梳狀結構（例如，如第4圖所示），使得各半的接觸信號路徑並聯連接。例如，奇數編號的接觸信號路徑可以並聯連接，而偶數編號的接觸信號路徑並聯連接。根據互連結構中每個接觸信號路徑的位置，接觸信號路徑從互連結構的一端順序地編號到互連結構的另一端。具體地，假設互連結構包括n個接觸信號路徑，則將n個接觸信號路徑順序編號為第一接觸信號路徑、第二接觸信號路徑，直到第n個接觸信號路徑。

【0050】 第4圖繪示了梳狀配置中的四個接觸信號路徑402、404、406及408。第一接觸信號路徑402及第三接觸信號路徑406可以並聯連接，且第二接觸信號路徑404及第四接觸信號路徑408可以並聯連接。接觸信號路徑402及406之間的連接以及接觸信號路徑404及408之間的連接可以由接觸上方及/或下方的金屬層中的金屬圖案（在第4圖中標為粗實線）構成，如第1圖中的金屬層118中的金屬圖案120。當測量一組接觸信號路徑402、404、406及408的電容時，探針卡的兩個探針可以分別接觸對應於接觸信號路徑402及接觸信號路徑408的兩個導電接墊（標記為第4圖中的箭頭）。

【0051】 第5圖係依據本案揭露的一些實施例所繪示的用於形成3D記憶體元件的例示性方法500的流程圖。第7A - 7J圖係依據本案揭露的一些實施例所繪示的用於形成3D記憶體元件的例示性製造方法。第5圖及第7A - 7J圖的3D記憶體元件的一例子是第1圖及第2圖中描繪的3D記憶體元件100及200。應當理解，方法500

Micron Ex. 1002, p. 312
Micron v. YMTC
IPR2024-00794

中所示的步驟並非全面詳盡，在任何所示步驟前、後或之間，也可以執行其他步驟。

【0052】 如第5圖所示，方法500從步驟502開始，其中形成記憶體陣列結構。如第7A圖所示，記憶體陣列堆疊109可以形成在基底702的正面上。在記憶體陣列結構102的正面可以形成記憶體陣列接觸112（例如，字元線接觸、位元線接觸及選擇閘極接觸）。為了便於說明，記憶體陣列結構102在第7A-7J圖中被顛倒示出，使得記憶體陣列結構102的背面在正面之上。然而，應該理解的是，在製造過程中，記憶體陣列結構102可以翻轉使得基底702的背面在製造過程變成記憶體陣列結構102的底面。在一些實施例中，記憶體陣列堆疊109由多道製造工藝形成，包括但不限於介電層的薄膜沉積、通道孔及狹縫的蝕刻、記憶體膜在通道孔中的薄膜沉積，以及閘極及字元線置換。關於記憶體陣列接觸112，可以利用乾/濕蝕刻製程對通過介電層的垂直開口進行圖案化及蝕刻，然後沉積導體材料及對多出的導體材料進行化學機械研磨（CMP）。

【0053】 方法500繼續到步驟504，如第5圖所示，其中形成一個或多個TAC，各TAC垂直延伸通過記憶體陣列堆疊。如第7B圖所示，TAC 110形成在記憶體陣列結構102中，其中各TAC 110垂直延伸穿過記憶體陣列堆疊109的整個厚度。在一些實施例中，形成TAC 110的製造方法包括利用乾/濕蝕刻法形成穿過記憶體陣列堆疊109的垂直開口，接著用導體材料及用於隔離目的的其他材料（例如介電材料）填充開口。TAC 110可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。TAC 110的開口可以使用原子層沉積（ALD）、化學氣相沉積（CVD）、物理氣相沉積（PVD）、電鍍、任何其他合適的方法或其任何組合來填充。

【0054】 方法500繼續進行到步驟506，如第5圖所示，其中在記憶體陣列結構的正面形成第一介電層。如第7C圖所示，第一介電層114形成在記憶體陣列結構

Micron Ex. 1002, p. 313
Micron v. YMTC
IPR2024-00794

102的正面。第一介電層114可以利用一個或多個薄膜沉積方法形成，例如ALD、CVD、PVD或其任何組合。第一介電層114可以包括介電材料，包括但不限於氧化矽、氮化矽、低k介電質或其任何組合。

【0055】 方法500繼續進行到步驟508，如第5圖所示，其中在第一介電層中形成多個第一接觸。如第7D圖所示，第一接觸116形成在第一介電層114中。至少一些第一接觸116可以與TAC 110接觸以形成與TAC 110的電連接。至少一些第一接觸116可以與記憶體陣列接觸112接觸，形成與記憶體陣列接觸112的電連接。在一些實施例中，形成第一接觸116的製造方法包括利用乾/濕蝕刻法形成穿過第一介電層114的垂直開口，隨後用導體材料填充開口。第一接觸116可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。第一接觸116的開口可以使用ALD、CVD、PVD、電鍍、任何其它合適的方法或其任何組合來填充。

【0056】 方法500繼續進行到步驟510，如第5圖所示，其中從記憶體陣列結構的背面形成直通矽接觸（例如，直通矽通孔（TSV））。如第7E圖所示，可以從記憶體陣列結構102的背面（例如，基底702的背面）穿過基底702形成直通矽通孔（TSV）704。各TSV 704可以與相應的TAC 110接觸以形成TSV 704及TAC 110之間的電連接。在一些實施例中，在形成TSV 704之前，使用例如研磨、濕刻蝕、乾蝕刻、CMP或其任何組合，先將基底702從其背面薄化。TSV 704可以通過具有全厚度的基底或薄化的基底來形成。在一些實施例中，形成TSV的製造方法包括利用乾/濕蝕刻法形成穿過基底702的垂直開口（不管基底702是否已被薄化），隨後用導體材料填充開口。TSV 704可以包括導體材料及用於隔離目的的其他材料（例如，介電材料）。導體材料可以包括但不限於W、Co、Cu、Al、矽化物或其任何組合。TSV 704的開口可以使用ALD、CVD、PVD、電鍍、任何其它合適的方法或其任何組合來填充。

【0057】 在一些實施例中，TAC 110垂直延伸穿過記憶體陣列堆疊109的整個

Micron Ex. 1002, p. 314
Micron v. YMTC
IPR2024-00794

厚度的一部分。也就是說，TAC 110不能到達基底702，並且TSV 704可以進一步垂直延伸到記憶體陣列堆疊109中以接觸記憶體陣列堆疊109中的TAC 110。在一些實施例中，TAC 110不僅垂直延伸穿過記憶體陣列堆疊109的整個厚度，而且還延伸到基底702中。因此，TSV 704可以接觸基底702中的TAC 110。在一些實施例中，TAC 110垂直延伸穿過記憶體陣列堆疊109的整個厚度以及基底702的整個厚度。因此，可以省略TSV 704。

【0058】 方法500繼續進行到步驟512，如第5圖所示，其中在記憶體陣列結構的背面形成多個導電接墊。如第7F圖所示，可以在記憶體陣列結構102的背面以及TSV 704上方形成導電接墊128。導電接墊128可以電連接到TSV 704、TAC 110、第一接觸116及記憶體陣列接觸112。在一些實施例中，一個或多個BEOL互連層形成在基底702的背面上，且導電接墊128形成在BEOL互連層上。在一些實施例中，導電接墊128是BOEL互連層的一部分。在一些實施例中，形成導電接墊128的製造方法包括形成一個或多個介電層以及利用乾/濕蝕刻法形成穿過介電層的垂直開口，隨後用導體材料填充開口。導電接墊128可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。導電接墊128的開口可以使用ALD、CVD、PVD、電鍍、任何其他合適的方法或其任何組合來填充。

【0059】 方法500繼續進行到步驟514，如第5圖所示，其中形成周邊元件結構（例如，CMOS結構）。應該理解的是，執行步驟502-512及執行步驟514-520的順序不受限制。在一些實施例中，步驟502-512及步驟514-520可以並行。如第7A圖所示，測試電路126形成在周邊元件結構104的正面。測試電路126可以包括電晶體及由標準CMOS製程形成的電晶體的局部互連。一個或多個周邊元件（未示出）也可以通過標準CMOS製程在周邊元件結構104中形成。

【0060】 方法500繼續進行到步驟516，如第5圖所示，其中在周邊元件結構的正面形成金屬層。如第7G圖所示，包括金屬圖案120的金屬層118形成在周邊元

Micron Ex. 1002, p. 315
Micron v. YMTC
IPR2024-00794

件結構104的正面。在一些實施例中，金屬圖案120可與測試電路126及/或周邊元件結構104中的周邊元件接觸。在一些實施例中，形成金屬層118的製造方法包括形成介電層並且利用光學微影對介電層中的金屬圖案120的開口（例如，通孔及溝槽）進行圖案化。使用ALD、CVD、PVD、電鍍、任何其他合適的方法或其任何組合，開口可以用包括但不限於W、Co、Cu、Al、矽化物或其任何組合的導體材料填充。

【0061】 方法500繼續進行到步驟518，如第5圖所示，其中在金屬層上形成第二介電層。如第7I圖所示，第二介電層122形成在金屬層118上。第二介電層122可以利用一種或多種薄膜沉積法形成，例如ALD、CVD、PVD或其任何組合。第二介電層122可以包括介電材料，包括但不限於，氧化矽、氮化矽、低k介電質或其任何組合。

【0062】 方法500繼續進行到步驟520，如第5圖所示，其中在第二介電層中形成多個第二接觸。如第7I圖所示，第二接觸124形成在第二介電層122中。至少一些第二接觸124可以與金屬圖案120接觸以形成與金屬圖案120及測試電路126的電連接。在一些實施例中，形成第二接觸製造方法包括利用乾/濕蝕刻法形成穿過第二介電層122的垂直開口，接著用導體材料填充開口。第二接觸124可以包括導體材料，包括但不限於W、Co、Cu、Al、矽化物或其任何組合。第二接觸124的開口可以使用ALD、CVD、PVD、電鍍、任何其他合適的方法或其任何組合來填充。

【0063】 方法500繼續進行到步驟522，如第5圖所示，其中第一介電層及第二介電層面對面地連接，使得記憶體陣列結構在周邊元件結構之上。第一及第二介電層的結合可以通過混合鍵合進行。第一接觸可以在接合界面與第二接觸接觸。如第7J圖所示，記憶體陣列結構102可被翻轉，使得第一介電層114及第二介電層122面對面放置。在混合鍵合之後，記憶體陣列結構102在周邊元件結構104

Micron Ex. 1002, p. 316
Micron v. YMTC
IPR2024-00794

上方。如此，第一接觸116及第二接觸124可以在接合界面129處彼此接觸。至少部分的導電接墊128、TSV 704、TAC 110、記憶體陣列接觸112、第一接觸116、第二接觸124、金屬圖案120及測試電路126可以形成用於測試3D記憶體元件的測試結構的電連接。

【0064】 第6圖係依據本案揭露的一些實施例所繪示的用於測試3D記憶體元件的例示性方法600的流程圖。第6圖的3D記憶體元件的一例子是第1圖及第2圖中描繪的3D記憶體元件100及200。應當理解，方法600中所示的步驟並非全面詳盡，在任何所示步驟前、後或之間，也可以執行其他步驟。

【0065】 如第6圖所示，方法600從步驟602開始，其中接收用於測試3D記憶體元件中的測試結構的輸入測試信號。在一些實施例中，測試結構包括記憶體陣列結構中電連接到至少一記憶體陣列接觸（例如，字元線接觸、位元線接觸或選擇閘極接觸）的任何結構。例如，測試結構可以包括一個或多個NAND串、一個或多個記憶體指、一個或多個記憶體塊、一個或多個記憶體面、一個或多個位元線、一個或多個字元線以及一個或多個閘極選擇線。在一些實施例中，測試結構包括其中形成接合界面的互連層中的任何互連結構。測試結構可以包括一個或多個接觸信號路徑，各接觸信號路徑包括用於記憶體陣列結構的第一接觸及用於周邊元件結構的第二接觸。在一些實施例中，測試結構包括周邊元件結構中的任何周邊元件，其與周邊元件結構中的部分測試電路電連接。

【0066】 輸入測試信號可以由連接到探針卡的電子測試系統根據測試結構及/或要測試的特性產生。輸入測試信號可以是直流電壓信號、交流電壓信號或電流信號。輸入測試信號可以通過與第一導電接墊接觸的相應探針施加到3D記憶體元件的第一導電接墊。第一導電接墊可以根據測試結構來決定。至少部分的第一導電接墊可以位於3D記憶體元件的頂面上。

【0067】 方法600繼續進行到步驟604，如第6圖所示，其中輸入測試信號通過

Micron Ex. 1002, p. 317
Micron v. YMTC
IPR2024-00794

第一導電接墊及第一電連接傳輸到測試結構。第一電連接可以包括第一TAC（及在一些實施例中的第一TSV）以及第一互連結構（例如，包括用於記憶體陣列結構的一個或多個第一接觸、用於周邊元件結構的一個或多個第二接觸，及一個或多個金屬圖案）。在一些實施例中，第一電連接還可以包括記憶體陣列接觸（例如，位元線接觸或字元線接觸）及/或測試電路。

【0068】　方法600繼續進行到步驟606，如第6圖所示，其中來自測試結構的輸出測試信號被探針卡的另一個探針通過第二導電接墊及第二電連接接收。第二電連接可以包括第二TAC（及在一些實施例中的第二TSV）以及第二互連結構（例如，包括用於記憶體陣列結構的一個或多個第一接觸、用於周邊元件結構的一個或多個第二接觸，及一個或多個金屬圖案）。在一些實施例中，第二電連接還可以包括記憶體陣列接觸（例如，位元線接觸或字元線接觸）及/或測試電路。

【0069】　輸出測試信號可以是直流電壓信號、交流電壓信號或電流信號。輸出測試信號可以被傳輸到3D記憶體元件的第二導電接墊並且由接觸第二導電接墊的相應探針獲取。第二導電接墊可以根據測試結構來確定。至少部分的第二導電接墊可以在3D記憶體元件的頂面上。

【0070】　方法600繼續進行到步驟608，如第6圖所示，其中根據輸入測試信號、輸出測試信號及測試結構來決定測試結構的特性。該特性可以包括測試結構的電阻或電容，並且其值可以由電子測試系統計算。

【0071】　在一些實施例中，可以同時測試相同測試結構的各種特性及/或各種測試結構的相同特性，以提高測試效率。一旦3D記憶體元件對接到探針卡中，多個探針可以接觸3D記憶體元件的多個導電接墊以同時執行並行測試。

【0072】　此外，由於記憶體陣列結構可以包括重複結構（例如，NAND串陣列，各NAND串具有多個記憶體單元、多個記憶體指、塊及面，或多個位元線及字元線）。通過設計金屬層中的金屬圖案佈局，重複結構的一個或多個樣本結構可以

Micron Ex. 1002, p. 318
Micron v. YMTC
IPR2024-00794

被探針卡並行地測試。例如，探針卡可以用於測試不同記憶體塊、同一記憶體塊中的不同位元線及/或字元線，以及不同位置中與字元線對應的位元線。

【0073】 根據本案所揭露的各種實施例提供了具有用於測試3D記憶體元件的結構的3D記憶體元件。本文公開的3D記憶體元件可以包括具有互連結構的互連層，該互連結構在堆疊的周邊元件結構（例如，CMOS晶片）及記憶體陣列結構（例如，記憶體陣列晶片）的正面之間並且接觸記憶體陣列結構的TAC。本文所揭示的3D記憶體元件可進一步包括位於用於探針卡的記憶體陣列結構的背面的導電接墊，使得3D記憶體元件的不同結構的各種特性以及形成3D記憶體的混合鍵合過程的品質，可以利用具有真實元件密度的探針卡進行測試。因此，本文公開的3D記憶體元件可以實現通過周邊元件結構及記憶體陣列結構的混合鍵合形成的3D記憶體元件的特性的可測試性及一致性，由此減少整個製程開發時間並提升製造良率。

【0074】 在一些實施例中，記憶體元件包括記憶體陣列結構、在記憶體陣列結構的正面的第一介電層、在第一介電層中的多個第一接觸、在記憶體陣列的背面的多個導電接墊結構、CMOS結構、在CMOS結構的正面包括多個金屬圖案的金屬層、在金屬層上的第二介電層以及在第二介電層中的多個第二接觸。記憶體陣列結構包括記憶體陣列堆疊、垂直延伸穿過至少部分記憶體陣列堆疊的TAC以及一個或多個記憶體陣列接觸。第一介電層及第二介電層面對面地連接，使得記憶體陣列結構在CMOS結構之上，並且由至少多個導電接墊、TAC、多個第一接觸、多個第二接觸、金屬層中的多個金屬圖案以及一個或多個記憶體陣列接觸形成一個或多個電連接。

【0075】 在一些實施例中，3D記憶體元件包括記憶體陣列結構、周邊元件結構以及與記憶體陣列結構的正面及周邊元件結構的正面接觸的互連層，以及位於記憶體陣列結構的背面並與記憶體陣列結構重疊的導電接墊。記憶體陣列結

Micron Ex. 1002, p. 319
Micron v. YMTC
IPR2024-00794

構包括記憶體陣列堆疊、垂直延伸穿過至少部分記憶體陣列堆疊的TAC以及記憶體陣列接觸。周邊元件結構包括測試電路。互連層包括互連結構。導電接墊、TAC、互連結構，以及測試電路及記憶體陣列接觸中的至少一個係電連接在一起。

【0076】 在一些實施例中，公開了一種形成記憶體元件的方法。先形成包括記憶體陣列堆疊及一個或多個記憶體陣列接觸的記憶體陣列結構。再形成垂直延伸通過至少部分記憶體陣列結構的記憶體陣列堆疊的TAC。在記憶體陣列結構的正面形成第一介電層。在第一介電層中形成多個第一接觸件。在記憶體陣列結構的背面形成多個導電接墊。形成CMOS結構。在CMOS結構的正面形成包括多個金屬圖案的金屬層。在金屬層上形成第二介電層。在第二介電層中形成多個第二接觸。第一介電層及第二介電層面對面地連接，使得記憶體陣列結構在CMOS結構之上，並且由至少多個導電接墊、TAC、多個第一接觸、多個第二接觸、金屬層中的多個金屬圖案以及一個或多個記憶體陣列接觸形成一個或多個電連接。

【0077】 在一些實施例中，公開了一種用於測試記憶體元件的方法。該記憶體元件包括記憶體陣列結構、在記憶體陣列結構的正面的第一介電層、在第一介電層中的多個第一接觸、在記憶體陣列結構的背面的多個導電接墊、CMOS結構、在CMOS結構的正面包括多個金屬圖案的金屬層、在金屬層上的第二介電層以及在第二介電層中的多個第二接觸。記憶體陣列結構包括記憶體陣列堆疊、垂直延伸穿過至少部分記憶體陣列堆疊的TAC，以及一個或多個記憶體陣列接觸。接收用於測試記憶體元件中的測試結構的輸入信號。輸入信號通過第一探針及包括至少一導電接墊、至少一TAC、至少一第一接觸、至少一第二接觸、金屬層中的至少一金屬圖案以及至少一記憶體陣列接觸的第一電連接傳輸到測試結構。通過第二探針及第二電連接從測試結構接收輸出信號，該第二電連接包括至少一導電接墊、至少一TAC、至少一第一接觸、至少一第二接觸、金屬層中

Micron Ex. 1002, p. 320
Micron v. YMTC
IPR2024-00794

的至少一金屬圖案以及至少一記憶體陣列接觸。基於輸入信號、輸出信號及測試結構來決定記憶體元件中的測試結構的特性。

【0078】 在一些實施例中，公開了一種用於測試3D記憶體元件的方法。通過探針卡的第一探針將輸入信號施加到記憶體元件的第一導電接墊。第一導電接墊的至少一部分位於記憶體元件的頂面上。通過至少第一導電接墊、記憶體元件的第一TAC、穿過記憶體元件的接合界面的第一互連結構，以及記憶體元件的記憶體陣列接觸及測試電路中的至少一個，輸入信號被傳輸到記憶體元件的測試結構。通過穿過接合界面的至少一第二互連結構、記憶體元件的第二TAC，以及記憶體陣列接觸及測試電路中的至少一個，從測試結構接收輸出信號。通過探針卡的第二探針從記憶體元件的第二導電接墊接收輸出信號。第二導電接墊的至少一部分位於記憶體元件的頂面上。根據輸入信號及輸出信號決定測試結構的特性。

【0079】 以上對具體實施例的描述將充分揭示本揭露內容的一般性質，其他人可以通過應用相關領域技術範圍內的知識，輕易地將特定實施例調整及/或修改於各種應用，而無需過度實驗與背離本揭露內容的一般概念。因此，基於這裡給出的教導及指導，這樣的修改及調整仍應屬於本揭露的實施例的均等意涵及範圍內。應該理解的是，本文中的措辭或術語是為了描述的目的而非限制的目的，使得本說明書的術語或措辭將由相關領域技術人員根據教導及指導來解釋。

【0080】 以上本揭露的實施例已借助於功能構建塊來描述，該功能構建塊示出了特定功能及其關係的實現。為了描述的方便，這些功能構建塊的邊界/範圍在本文中係被任意的定義，在適當地實現所指定的功能及關係時，可以定義出替代邊界/範圍。

【0081】 發明內容及摘要部分可以闡述出發明人所設想的本揭露的一個或多

Micron Ex. 1002, p. 321
Micron v. YMTC
IPR2024-00794

個的示範性實施例，但並非全部的示範性實施例，並且因此不旨在以任何方式限制本揭露內容及所附權利要求範圍。

【0082】　本揭露的廣度及範圍不應受上述任何示範性實施例所限制，而應僅根據以下權利要求及其均等物來限定。

【符號說明】

【0083】

100 3D記憶體元件

102 記憶體陣列結構

104 周邊元件結構

106 互連層

108 導電接墊

109 記憶體陣列堆疊

110 直通陣列接觸（TAC）

112 記憶體陣列接觸

114 第一介電層

116 第一接觸件

118 金屬層

120 金屬圖案

122 第二介電層

124 第二接觸件

126 測試電路

128 導電接墊

129 接合界面

Micron Ex. 1002, p. 322
Micron v. YMTC
IPR2024-00794

130 探針卡

132 印刷電路板（PCB）

134 終端引腳

136 探針

200 3D記憶體元件

202 周邊元件結構

204 記憶體陣列結構

206 導電接墊

208 字元線接觸

210 位元線接觸

212 虛設接觸

302、304、306、308 接觸信號路徑

402、404、406、408 接觸信號路徑

500 方法

502~512、514~522 步驟

600 方法

602~608 步驟

702 基底

704 直通矽通孔（TSV）

Micron Ex. 1002, p. 323
Micron v. YMTC
IPR2024-00794

【發明申請專利範圍】

【第1項】　一種記憶體元件，包含：

一記憶體陣列結構，包含：

一記憶體陣列堆疊；

一直通陣列接觸（TAC），垂直延伸通過至少部分的所述記憶體陣列堆疊；以及

一個或多個記憶體陣列接觸；

一第一介電層，位於所述記憶體陣列結構的正面；

複數個第一接觸，位於所述第一介電層中；

複數個導電接墊，位於所述記憶體陣列結構的背面；

一互補金屬氧化物半導體（CMOS）結構；

一金屬層，位於所述CMOS結構的正面，所述金屬層包含複數個金屬圖案；

一第二介電層，位於所述金屬層上；以及

複數個第二接觸，位於所述第二介電層中；

其中所述第一介電層及所述第二介電層面對面地連接，使得所述記憶體陣列結構在所述CMOS結構之上，並且形成由至少所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案，以及所述一個或多個記憶體陣列接觸中的至少一個所構成的一個或多個電連接。

【第2項】　如請求項1所述的記憶體元件，其中所述複數個第一接觸中的至少一個及所述複數個第二接觸中的至少一個形成一接觸信號路徑。

【第3項】　如請求項2所述的記憶體元件，其中所述一個或多個記憶體

Micron Ex. 1002, p. 324
Micron v. YMTC
IPR2024-00794

陣列接觸包含字元線接觸及位元線接觸中的至少一個。

【第4項】　如請求項3所述的記憶體元件，其中所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案與所述字元線電連接，以形成所述一個或多個電連接中的第一電連接，用以測試複數個接觸信號路徑。

【第5項】　如請求項3所述的記憶體元件，其中所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案與所述位元線接觸電連接，以形成所述一個或多個電連接中的第二電連接，以測試多個接觸信號路徑。

【第6項】　如請求項4所述的記憶體元件，其中所述多個接觸信號路徑串聯連接。

【第7項】　如請求項4所述的記憶體元件，其中所述多個接觸信號路徑中的至少一部份並聯連接。

【第8項】　如請求項7所述的記憶體元件，其中所述多個接觸信號路徑中的一半並聯連接。

【第9項】　如請求項1所述的記憶體元件，其中所述CMOS結構包括電連接到所述金屬層的測試電路。

Micron Ex. 1002, p. 325
Micron v. YMTC
IPR2024-00794

【第10項】　如請求項9所述的記憶體元件，其中所述測試電路包括記憶體陣列結構測試電路及接觸信號路徑測試電路中的至少一個。

【第11項】　如請求項10所述的記憶體元件，其中所述記憶體陣列結構測試電路包括記憶體面測試電路、記憶體塊測試電路、位元線測試電路及字元線測試電路中的至少一個。

【第12項】　如請求項1所述的記憶體元件，其中所述記憶體陣列結構還包括第三接觸，其中所述複數個導電接墊中的至少一個通過所述第三接觸電連接到所述TAC。

【第13項】　一種形成記憶體元件的方法，包含：

形成包括一記憶體陣列堆疊及一個或多個記憶體陣列接觸的一記憶體陣列結構；

形成垂直延伸通過至少部分的所述記憶體陣列結構的所述記憶體陣列堆疊的一直通陣列接觸（TAC）

形成第一介電層，在所述記憶體陣列結構的正面；

形成複數個第一接觸件，在所述第一介電層中；

形成複數個導電接墊，在所述記憶體陣列結構的背面；

形成一互補金屬氧化物半導體（CMOS）結構；

形成一金屬層，在所述CMOS結構的正面，所述金屬層包括複數個金屬圖案；

形成一第二介電層，在所述金屬層上；

形成複數個第二接觸件，在所述第二介電層中；以及

Micron Ex. 1002, p. 326
Micron v. YMTC
IPR2024-00794

面對面地連接所述第一介電層及所述第二介電層，並且形成由至少所述複數個導電接墊、所述TAC、所述複數個第一接觸、所述複數個第二接觸、所述金屬層中的複數個金屬圖案，以及所述一個或多個記憶體陣列接觸中的至少一個所構成的一個或多個電連接。

【第14項】　如請求項13所述的方法，其中在所述CMOS結構的正面形成所述金屬層之前，形成一測試電路，其中所述金屬層電連接到所述測試電路。

【第15項】　如請求項13所述的方法，其中另包含在所述記憶體陣列結構的背面形成所述複數個導電接墊之前，於所述記憶體陣列結構的背面形成一第三接觸，其中：

所述複數個導電接墊中的至少一個可以通過所述第三接觸電連接到所述TAC；以及

所述複數個導電接墊中的所述至少一個係形成在所述第三接觸上方。

【第16項】　一種用於測試三維（3D）記憶體元件的方法，包含：

通過一探針卡的一第一探針將一輸入信號施加到記憶體元件的一第一導電接墊，其中所述第一導電接墊的至少一部分位於所述記憶體元件的一頂面上；

通過至少所述第一導電接墊、所述記憶體元件的一第一直通陣列接觸（TAC）、穿過所述記憶體元件的一接合界面的一第一互連結構，以及所述記憶體元件的一記憶體陣列接觸及一測試電路中的至少一個，將輸入信號傳輸到所述記憶體元件的一測試結構；

通過穿過所述接合界面的至少一第二互連結構、所述記憶體元件的一第二TAC，以及所述記憶體陣列接觸及所述測試電路中的至少一個，從所述測試結構

Micron Ex. 1002, p. 327
Micron v. YMTC
IPR2024-00794

接收一輸出信號；

通過所述探針卡的一第二探針從所述記憶體元件的一第二導電接墊量測所述輸出信號；以及

基於所述輸入信號、所述輸出信號及所述測試結構來決定所述記憶體元件中的所述測試結構的特性。

【第17項】　如請求項16所述的方法，其中所述測試結構的特性包含一互連結構的一電阻。

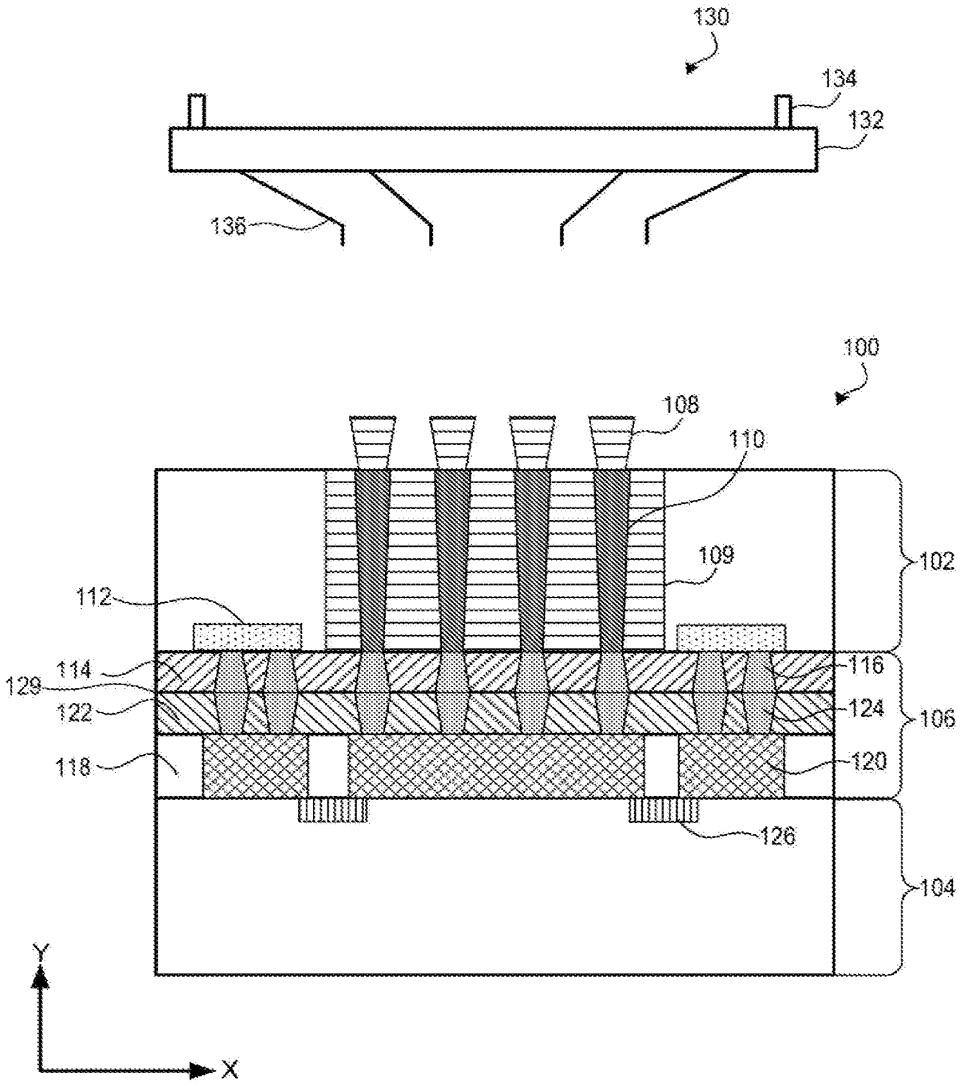
【第18項】　如請求項16所述的方法，其中所述測試結構的特性包含一互連結構的一電容。

【第19項】　如請求項16所述的方法，其中所述測試結構的特性包含電性連接至所述測試結構的一周邊元件的一特性。

【第20項】　如請求項16所述的方法，其中所述測試結構的特性包含電性連接至所述記憶體陣列接觸的一記憶體結構的一特性。

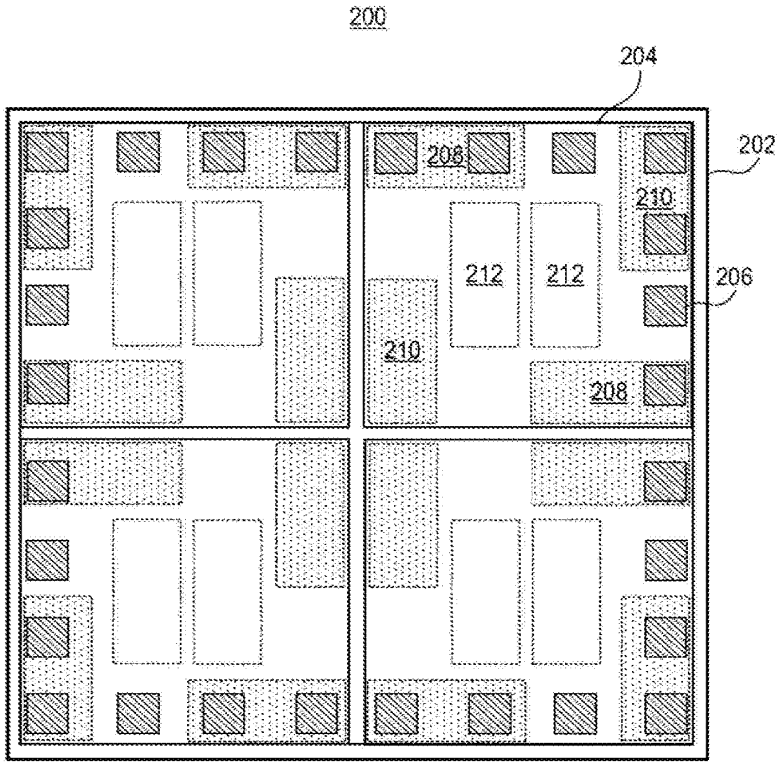
Micron Ex. 1002, p. 328
Micron v. YMTC
IPR2024-00794

【發明圖式】



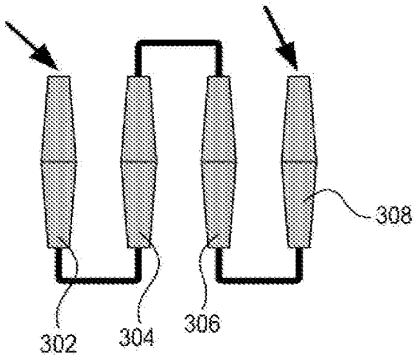
第1圖

Micron Ex. 1002, p. 329
Micron v. YMTC
IPR2024-00794

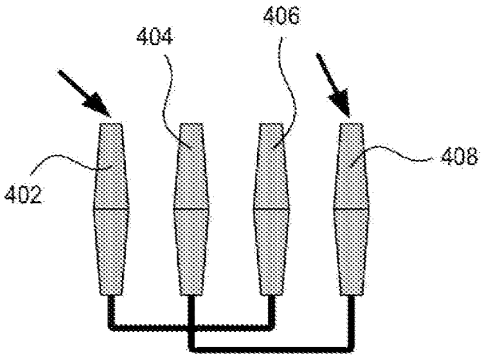


第2圖

Micron Ex. 1002, p. 330
Micron v. YMTC
IPR2024-00794

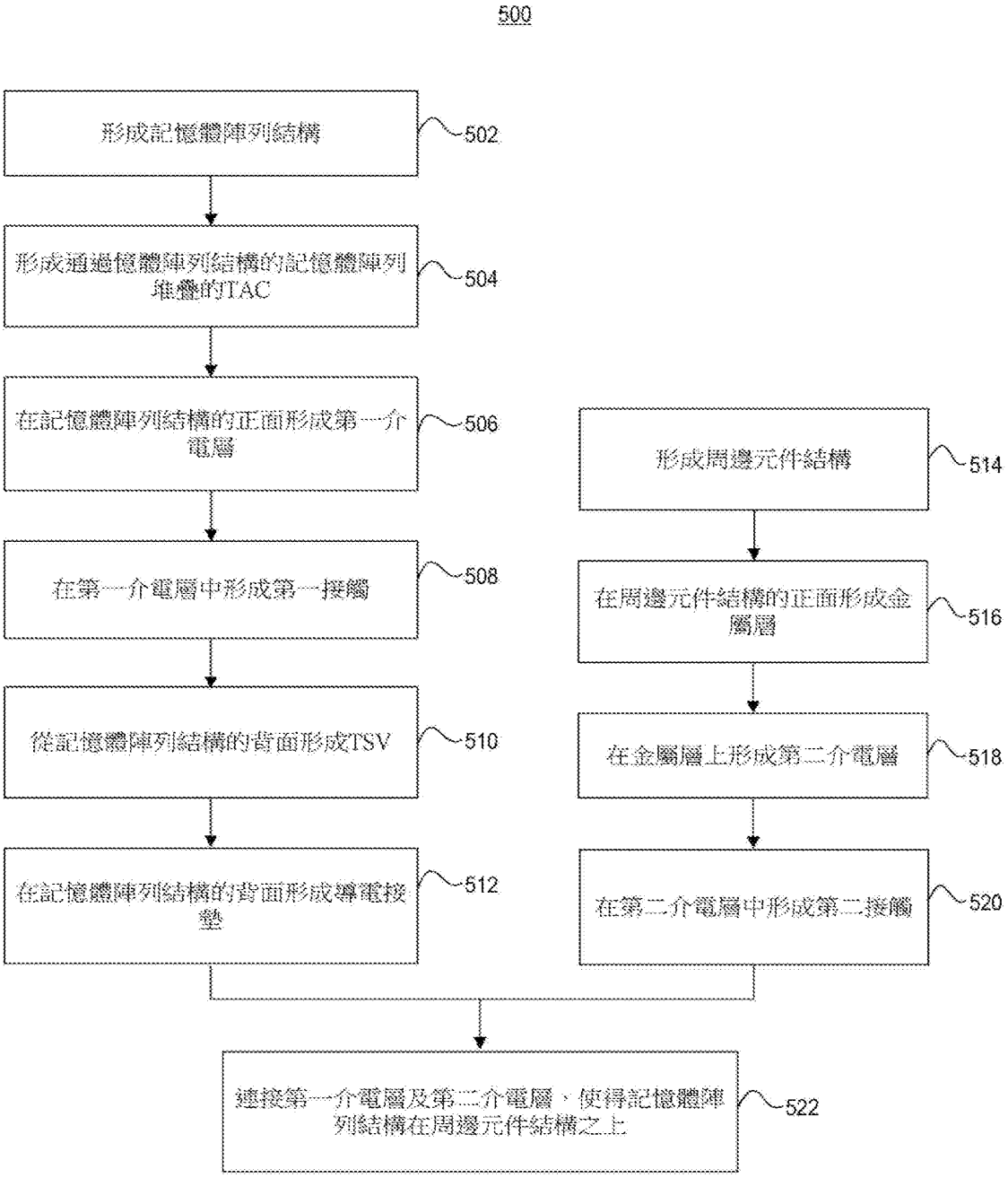


第3圖



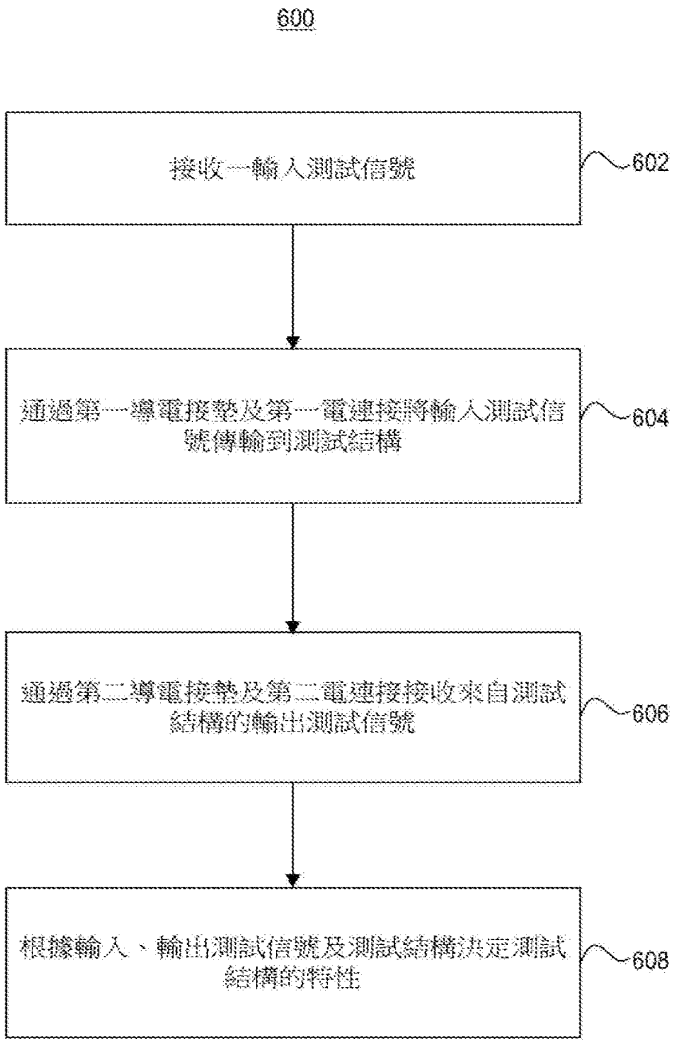
第4圖

Micron Ex. 1002, p. 331
Micron v. YMTC
IPR2024-00794



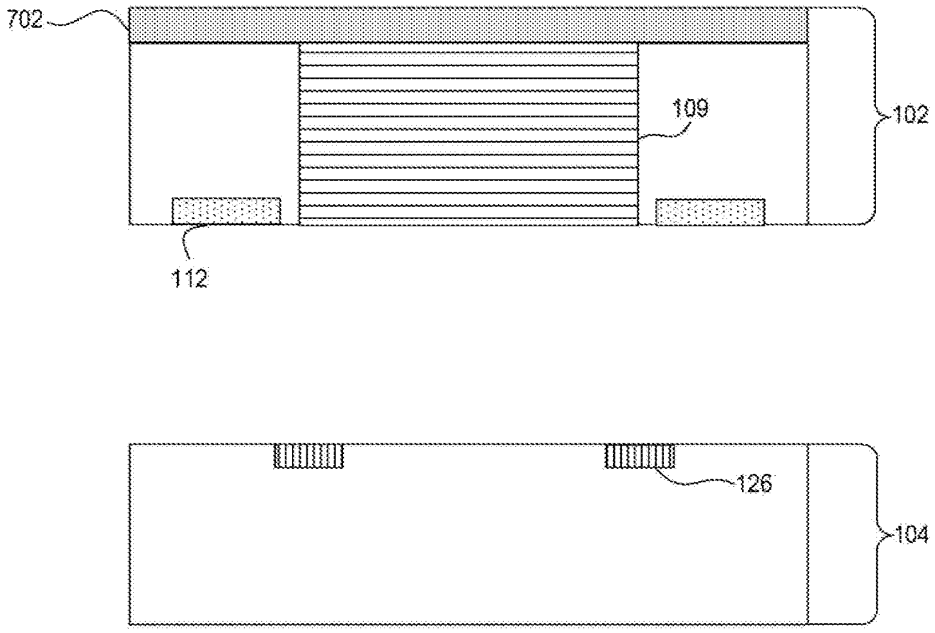
第5圖

Micron Ex. 1002, p. 332
Micron v. YMTC
IPR2024-00794



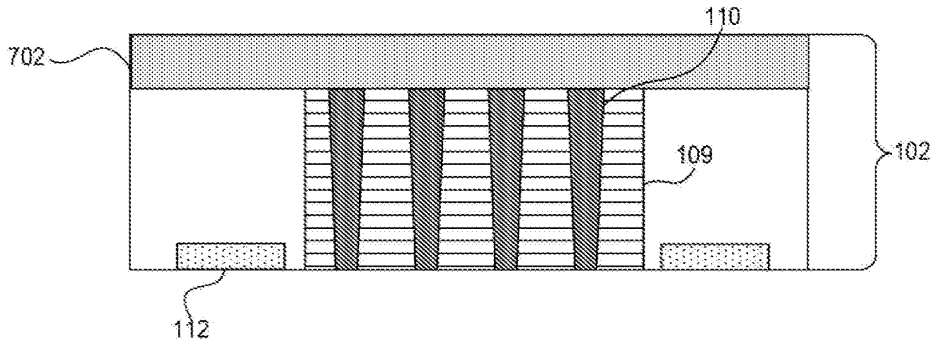
第6圖

Micron Ex. 1002, p. 333
Micron v. YMTC
IPR2024-00794

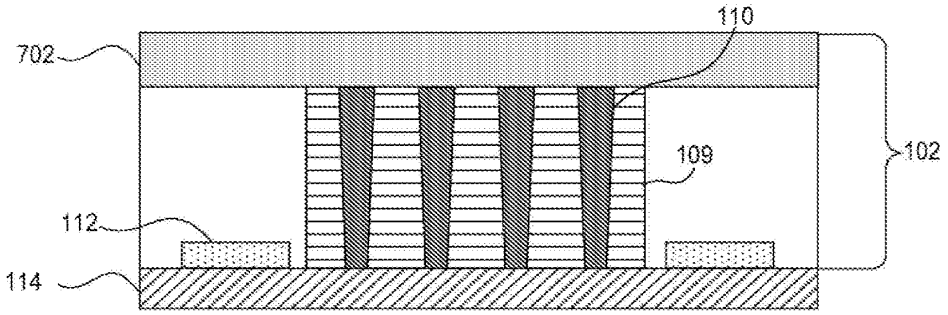


第7A圖

Micron Ex. 1002, p. 334
Micron v. YMTC
IPR2024-00794

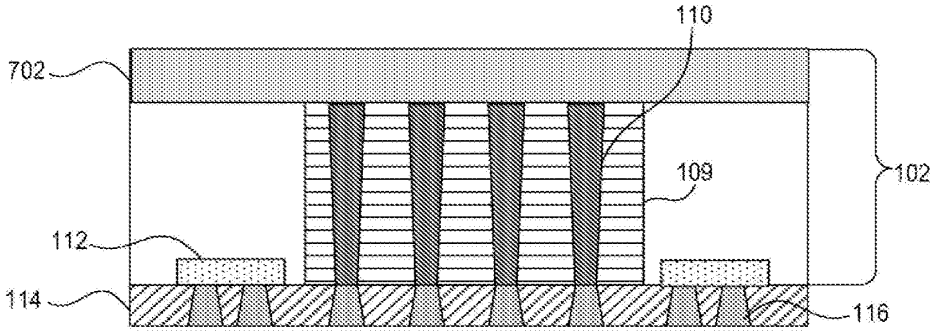


第7B圖

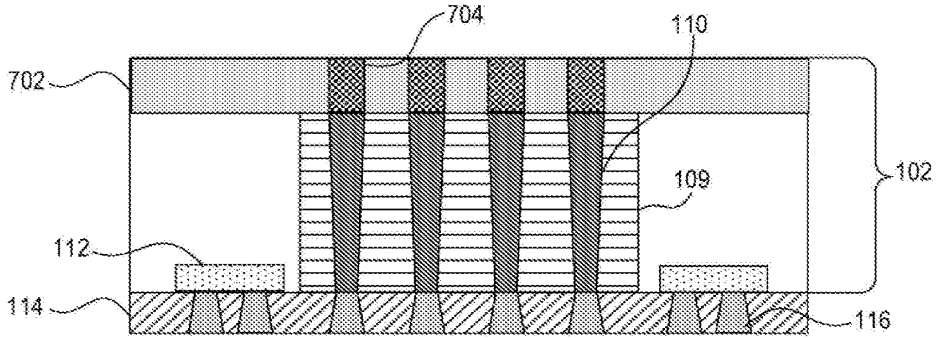


第7C圖

Micron Ex. 1002, p. 335
Micron v. YMTC
IPR2024-00794

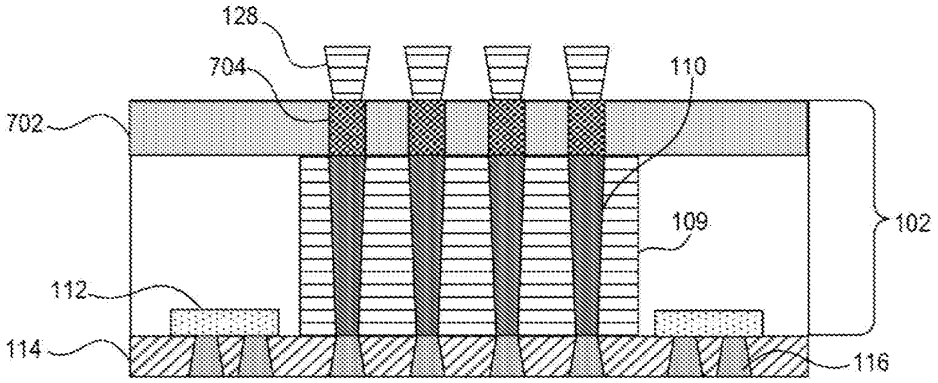


第7D圖

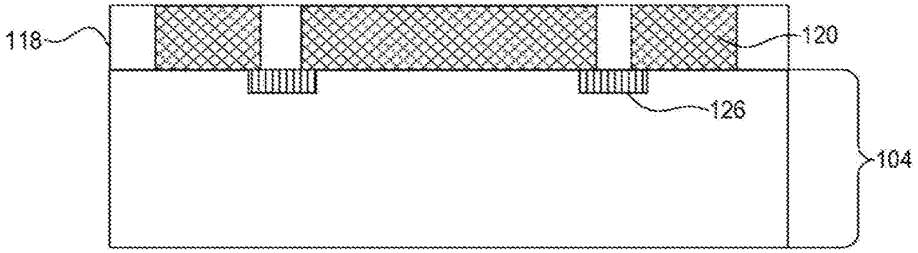


第7E圖

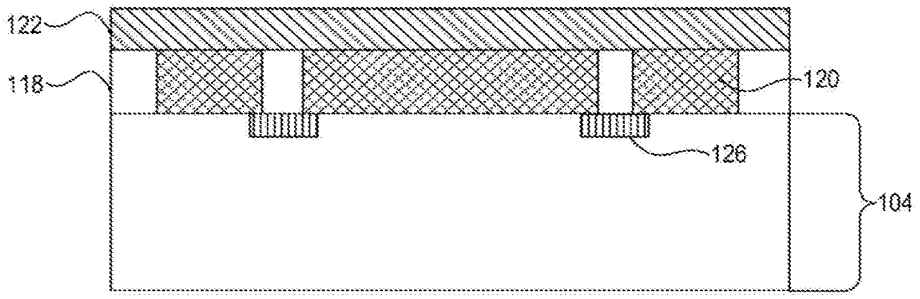
Micron Ex. 1002, p. 336
Micron v. YMTC
IPR2024-00794



第7F圖

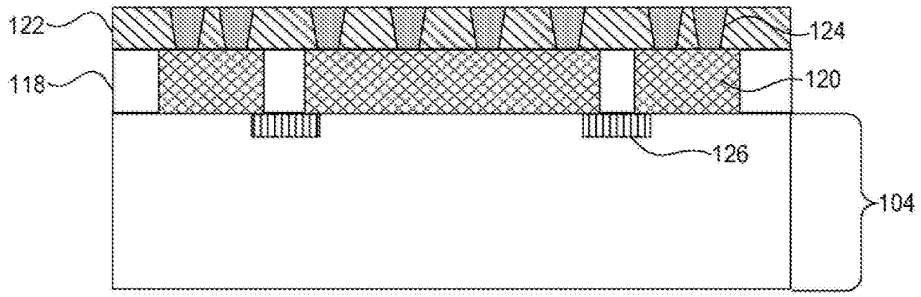


第7G圖

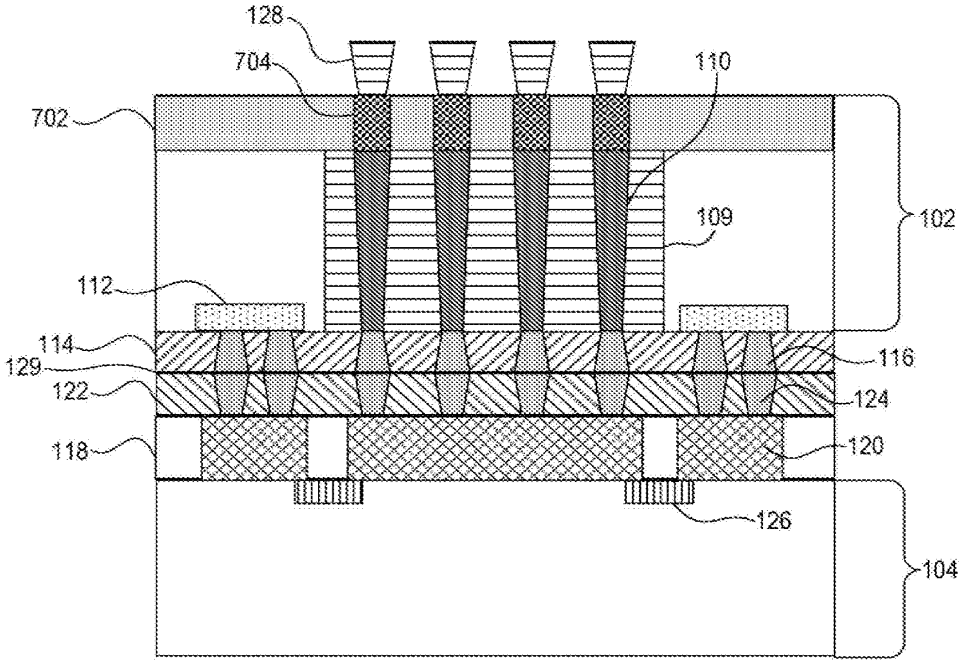


第7H圖

Micron Ex. 1002, p. 337
Micron v. YMTC
IPR2024-00794



第7I圖



第7J圖

Micron Ex. 1002, p. 338
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: TW201834217 (A) — 2018-09-16

Three-dimensional semiconductor device and method of manufacturing the same

Inventor(s): JIANG YU-WEI [TW]; CHIOU JIA-RONG [TW] ± (JIANG, YU-WEI, ; CHIOU, JIA-RONG)

Applicant(s): MACRONIX INT CO LTD [TW] ± (MACRONIX INTERNATIONAL CO., LTD)

Classification: **- international:** ***H01L27/11551***
- cooperative:

Application number: TW20170108272 20170314

Priority number (s): TW20170108272 20170314

Also published as: TWI630709 (B)

Abstract of TW201834217 (A)

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

Micron Ex. 1002, p. 339
Micron v. YMTC
IPR2024-00794

201834217

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201834217 A

(43)公開日： 中華民國 107 (2018) 年 09 月 16 日

(21)申請案號：106108272 (22)申請日： 中華民國 106 (2017) 年 03 月 14 日

(51)Int. Cl.： *H01L27/11551 (2017.01)*

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD. (TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：江昱維 JIANG, YU-WEI (TW) ；邱家榮 CHIOU, JIA-RONG (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 28 頁

(54)名稱

三維半導體元件及其製造方法

THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

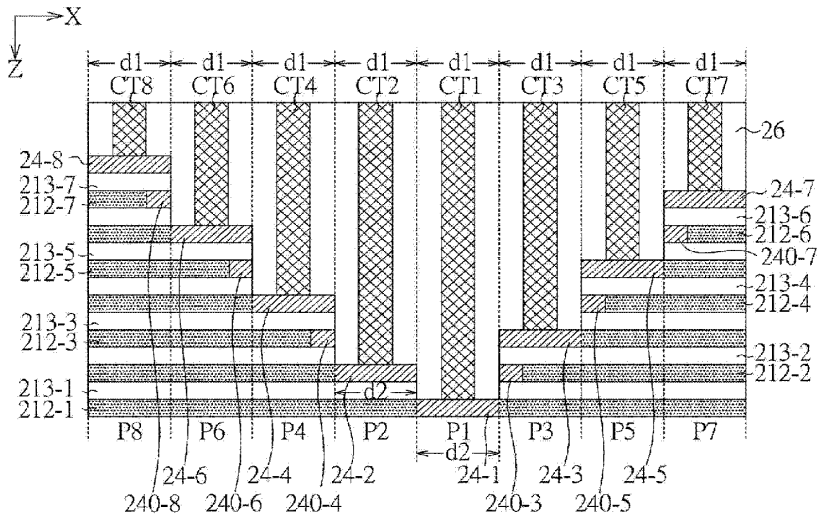
(57)摘要

一種三維半導體元件，包括：一基板，包括一陣列區域和鄰近陣列區域之一階梯區域，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；一堆疊，具有多層結構疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和多層結構連接器，分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

指定代表圖：

TW 201834217 A



第 2 圖

符號簡單說明：

P1、P2、P3、P4、P5、P6、P7、P8・・・接觸區域

212-1、212-2、212-3、212-4、212-5、212-6、212-7・・・主動層

213-1、213-2、213-3、213-4、213-5、213-6、213-7・・・絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8・・・多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8・・・金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8・・・金屬矽化物部份

26・・・介電層

d1・・・第一寬度

d2・・・第二寬度

Micron Ex. 1002, p. 341
Micron v. YMTC
IPR2024-00794

【發明說明書】

【中文發明名稱】三維半導體元件及其製造方法

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本發明是有關於一種三維半導體元件及其製造方法，且特別是有關於一種具金屬矽化物(silicide)之三維半導體元件及其製造方法。

【先前技術】

【0002】 非揮發性記憶體元件在設計上有一個很大的特性是，當記憶體元件失去或移除電源後仍能保存資料狀態的完整性。目前業界已有許多不同型態的非揮發性記憶體元件被提出。不過相關業者仍不斷研發新的設計或是結合現有技術，進行含記憶胞之記憶體平面的堆疊以達到具有更高儲存容量的記憶體結構。例如已有一些多層薄膜電晶體堆疊之反及閘(NAND)型快閃記憶體結構被提出。相關業者已經提出各種不同結構的三維記憶體元件，例如具單閘極(Single-Gate)之記憶胞、雙閘極(double gate)之記憶胞，和環繞式閘極(surrounding gate)之記憶胞等三維半導體元件。

【0003】 相關設計者無不期望可以建構出一三維半導體結構，不僅具有許多層堆疊平面(記憶體層)而達到更高的儲存容量，更具有優異的電子特性(例如具有良好的資料保存可靠性和操作速度)，使記憶體可以被穩定和快速的如進行抹除和編程等操作。一般而言，傳統三維半導體元件會在階梯區域(staircase area)

Micron Ex. 1002, p. 342
Micron v. YMTC
IPR2024-00794

沈積一蝕刻停止層(例如氮化矽層)覆蓋接觸區域之次堆疊的多層結構(multi-layers)，使對應各接觸區域的所有接觸孔都能一致地停在蝕刻停止層上。之後，所有的接觸孔同步穿過蝕刻停止層而到達其對應的主動層(例如多晶矽層)上。然而，由於蝕刻停止層的形成會影響接觸降落窗口(contact landing windows)。若在發展一三維半導體元件時需要形成更多對的氧化層-多晶矽層(即習稱之 OP 層)堆疊，則需要形成更厚的蝕刻停止層，則此更厚的蝕刻停止層之形成會對接觸降落窗口造成更大的不良影響。再者，在縮小三維半導體元件尺寸時，蝕刻停止層的存在會留下更少的空間給接觸降落窗口，這對於製程和結構都會造成問題。

【發明內容】

【0004】 本發明係有關於一種三維半導體元件及其製造方法。根據實施例之三維半導體元件，藉由形成金屬矽化物(silicide)可大幅增加接觸降落窗口(contact landing windows)。

【0005】 根據實施例，係提出一種三維半導體元件，包括：一基板，包括一陣列區域(array area)和鄰近陣列區域之一階梯區域(staircase area)，其中階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；一堆疊，具有多層結構(multi-layers)疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於接觸區域中各次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和多層結構連接器(multilayered connectors)，分別位於對

Micron Ex. 1002, p. 343
Micron v. YMTC
IPR2024-00794

應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

【0006】 根據實施例，係提出一種三維半導體元件之製造方法，包括：提供具有一陣列區域和鄰近陣列區域之一階梯區域之一基板，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；形成具有多層結構之一堆疊於該基板上，且多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和形成多層結構連接器分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各次堆疊之金屬矽化物層。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0008】

第 1 圖係簡繪一三維半導體元件之立體圖。

第 2 圖為本揭露一實施例之一三維半導體元件的階梯區域之剖面示意圖。

第 3A 圖至第 3L 圖繪示根據一實施例於階梯區域中形成金屬矽化物的三維半導體元件之一種製造方法。

第 4 圖為本揭露另一實施例之一三維半導體元件的階梯區域之剖面示意圖。

Micron Ex. 1002, p. 344
Micron v. YMTC
IPR2024-00794

【實施方式】

【0009】 本揭露之實施例係提出一種三維半導體元件及其製造方法。根據實施例，藉由在三維半導體元件中形成金屬矽化物(silicide)的方式以大幅增加接觸降落窗口(contact landing windows)，無論三維半導體元件之 OP 層堆疊的層數有多少或是三維半導體元件尺寸是否縮小，都適合應用實施例。因此，根據實施例提出之具金屬矽化物之設計，可以提供應用之三維半導體元件有足夠寬的接觸降落窗口，進而增進應用元件的電子特性和性能表現。

【0010】 本揭露可應用於許多具不同記憶胞陣列型態的三維半導體元件，例如垂直通道式(vertical-channel，VC)三維半導體元件和垂直閘極式(vertical-gate，VG)三維半導體元件，本揭露對於實施例之應用型態並沒有特別限制。第 1 圖係簡繪一三維半導體元件之立體圖。圖中係繪示一垂直通道式三維半導體元件為例作說明。一三維半導體元件包括一堆疊(stack)具有多層結構(multi-layers)疊置於一基板 10 上，基板 10 包括一陣列區域(array area)R_A和鄰近陣列區域 R_A之一階梯區域(staircase area)R_S，其中階梯區域 R_S 包括 N 個梯級(N steps)，N 為大於或等於 1 的整數。多層結構包括多層主動層 112(i.e.記憶體層，例如是 VC 元件中包括了控制閘極)與絕緣層 113 交錯設置於基板 10 上方。三維半導體元件更包括複數條上方選擇線(upper selection lines)12U(上方選擇線可為共同源極線(Common Source Line)相互平行地位於主動層 112(i.e.記憶體層)上方，複數條串列(strings)垂直於主動層

Micron Ex. 1002, p. 345
Micron v. YMTC
IPR2024-00794

112 和上方選擇線 12U，其中該些串列係電性連接至對應之上方選擇線 12U。再者，三維半導體元件更包括複數條導線 18(例如位元線 BLs)位於上方選擇線 12U 上方，且該些導線 18 係相互平行並垂直於上方選擇線 12U。複數個記憶胞係分別由串列、上方選擇線 12 U 和導線 18 定義，且記憶胞可排列為複數列(rows)及複數行(columns)以形成記憶體陣列。再者，複數個串列接觸(string contacts)17 係垂直於主動層 112 和上方選擇線 12U，且每串列接觸 17 之設置係對應於記憶胞之每串列，其中串列接觸 17 係電性連接至對應的上方選擇線 12U 和對應的導線 18。三維半導體元件還包括其它元件，記憶體層下方更有下方選擇線(lower select lines)12L 形成(下方選擇線可為反轉閘極(inversion gate, IG))。

【0011】 再者，實施例之堆疊包括複數個次堆疊(sub-stacks)形成於基板 10 上，且該些次堆疊與階梯區域 R_S 之 N 個梯級對應設置以分別形成接觸區域(contact regions)R_C。實施例之三維半導體元件更包括複數個多層結構連接器(multilayered connectors)(未繪示於第 1 圖。但可參照第 2 圖之多層結構連接器 CT1-CT8)，分別位於對應的接觸區域 R_C。根據實施例，接觸區域 R_C 中各個次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)以覆蓋降落區域(ex: 一接觸墊，例如字元線接觸(word line pad))，且多層結構連接器係向下延伸以電性連接(例如直接接觸)各次堆疊之金屬矽化物層。於一實施例中，階梯區域 R_S 中對應接觸區域 R_C 之次堆疊的主動層係來自於陣列區域 R_A 主動層(例如是做為字元線的多晶矽層)的延伸。以下係以在階梯區域 R_S 中形成金屬矽化物之三維半導體元件之其中之一種

Micron Ex. 1002, p. 346
Micron v. YMTC
IPR2024-00794

態樣為例作實施例之三維半導體元件的說明，但本揭露並不僅限於此。

【0012】 以下係參照所附圖式敘述本揭露提出之其中多個實施態樣，以描述相關構型與製造方法。相關的結構細節例如相關層別和空間配置等內容如下面實施例內容所述。然而，但本揭露並非僅限於所述態樣，本揭露並非顯示出所有可能的實施例。實施例中相同或類似的標號係用以標示相同或類似之部分。再者，未於本揭露提出的其他實施態樣也可能可以應用。相關領域者可在不脫離本揭露之精神和範圍內對實施例之結構加以變化與修飾，以符合實際應用所需。而圖式係已簡化以利清楚說明實施例之內容，圖式上的尺寸比例並非按照實際產品等比例繪製。因此，說明書和圖示內容僅作敘述實施例之用，而非作為限縮本揭露保護範圍之用。

【0013】 再者，說明書與請求項中所使用的序數例如”第一”、”第二”、”第三”等之用詞，以修飾請求項之元件，其本身並不意含及代表該請求元件有任何之前的序數，也不代表某一請求元件與另一請求元件的順序、或是製造方法上的順序，該些序數的使用僅用來使具有某命名的一請求元件得以和另一具有相同命名的請求元件能作出清楚區分。

【0014】 第 2 圖為本揭露一實施例之一三維半導體元件的階梯區域之剖面示意圖。第 3A 圖至第 3L 圖繪示根據一實施例於階梯區域中形成金屬矽化物的三維半導體元件之一種製造方法。在第 2 圖和第 3A 圖至第 3L 圖中，係以 8 對主動層和絕緣層以及 8 個接觸區域(P1-P8; N=8)為例做一實施例之說明。當然，接觸區

Micron Ex. 1002, p. 347
Micron v. YMTC
IPR2024-00794

域的數目以及主動層與絕緣層成對的數目可以依照實際應用之條件所需而改變。再者，為了達到能清楚呈現與說明實施例構型之目的，於第 2 圖和第 3A 圖至第 3L 圖中係省略了位於 8 對主動層和絕緣層下方一些已知層(例如：氧化層、選擇線層和基板)之繪製。

【0015】 如第 2 圖所示，實施例之堆疊包括形成於基板上方的數個次堆疊，且該些次堆疊設置於階梯區域(如第 1 圖所示之 R_S)中對應之接觸區域 P1、P2、P3、P4、P5、P6、P7 和 P8(i.e. 8 個梯級；N＝8)。其主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7)與絕緣層(如 213-1、213-2、213-3、213-4、213-5、213-6、213-7)交錯設置於實施例三維半導體元件的階梯區域中。階梯區域中，實施例之三維半導體元件還包括多層結構連接器例如 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 分別位於對應的接觸區域 P1- P8。再者，根據實施例，接觸區域中各次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；例如第 2 圖所示，金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 分別形成於接觸區域 P1、P2、P3、P4、P5、P6、P7 和 P8。一實施例中，對於接觸區域的各個次堆疊，位於金屬矽化物層下方的主動層可皆為多晶矽層。多層結構連接器例如 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 係向下延伸以分別電性連接(例如直接接觸)各次堆疊之金屬矽化物層如 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8。

【0016】 值得注意的是，第 2 圖僅繪示其中一種實施態樣，

Micron Ex. 1002, p. 348
Micron v. YMTC
IPR2024-00794

亦即各個次堆疊之最上層主動層為 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8，其皆為金屬矽化物層，其中可利用在製程中將各個次堆疊之一最上層多晶矽層完全轉換而得到金屬矽化物層。然而，本揭露並不以此為限。於一些實施例中，各個次堆疊之最上層主動層亦可包括一多晶矽層和一金屬矽化物層形成於多晶矽層上方(例如藉由將各個次堆疊之一最上層多晶矽層部分轉換而得，其結構細節係於第 4 圖和相關段落中敘述)。

【0017】 再者，三維半導體元件更包括一介電層 26(如層間介電層(ILD))形成於該些接觸區域(ex: P1-P8)的次堆疊上。多層結構連接器(ex: CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8)係在介電層 26 中向下延伸，其中介電層 26 直接接觸各個次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8。如第 2 圖所示，於接觸區域(P1-P8)之各個次堆疊的金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 係做為各個次堆疊的降落區域，且所有降落區域(i.e.金屬矽化物層的上表面)除了被多層結構連接器 CT1-CT8 接觸的部分以外都被介電層 26 直接覆蓋。

【0018】 再者，根據一實施例之三維半導體元件，於接觸區域(ex: P1-P8)中該些次堆疊的主動層 212 之側端(lateral ends of the active layers)包括金屬矽化物部份(silicide portions)。例如第 2 圖所示之分別對應接觸區域 P3-P8 中的金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。且介電層 26 直接接觸主動層的金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。根據實施例，金屬矽化物層 24-1、24-2、24-3、24-4、24-5、

Micron Ex. 1002, p. 349
Micron v. YMTC
IPR2024-00794

24-6、24-7 和 24-8 與金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8 包括相同材料。

【0019】 第 3A 圖至第 3L 圖繪示一種如第 2 圖所示於階梯區域中形成金屬矽化物的三維半導體元件之製造方法。第 3A 圖至第 3F 圖係例示如何形成 N 個梯級的其中一種應用程序(圖中 N=8)。值得注意的是，於第 3A 圖至第 3F 圖所顯示之步驟僅是提供做示例之用，其他的蝕刻方法亦可應用以製得階梯區域的 N 個梯級之相應次堆疊。

【0020】 如第 3A 圖所示，一多層結構包括主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7 和 212-8)與絕緣層(如 213-1、213-2、213-3、213-4、213-5、213-6、213-7 和 213-8)交錯設置於基板(未顯示)上方(例如是包括 8 對的多晶矽層和氧化層；及習稱之 OP 對)，且設置一第一圖案化光阻層(first patterned photo-resist layer)PR1 於多層結構上並對應接觸區域 P8、P6、P4 和 P2。接著，以第一圖案化光阻層 PR1 對主動層 212-8 和絕緣層 213-8 進行圖案化，以移除對應接觸區域 P1、P3、P5 和 P7 的主動層 212-8 和絕緣層 213-8，如第 3B 圖所示。之後，移除第一圖案化光阻層 PR1。

【0021】 如第 3C 圖所示，設置一第二圖案化光阻層 PR2 於多層結構上並對應接觸區域 P8、P4、P3 和 P7。接著，以第二圖案化光阻層 PR2 對第 3C 圖之多層結構進行圖案化，以移除對應接觸區域 P6、P2、P1 和 P5 的兩對主動層和絕緣層，如第 3D 圖所示。之後，移除第二圖案化光阻層 PR2。

【0022】 如第 3E 圖所示，設置一第三圖案化光阻層 PR3 於

Micron Ex. 1002, p. 350
Micron v. YMTC
IPR2024-00794

多層結構上並對應接觸區域 P8、P6、P5 和 P7。接著，以第三圖案化光阻層 PR3 對第 3E 圖之多層結構進行圖案化，以移除對應接觸區域 P4、P2、P1 和 P3 的四對主動層和絕緣層，如第 3F 圖所示。之後，移除第三圖案化光阻層 PR3。至此，已製得階梯區域中 N 個梯級(N=8)之次堆疊於相應之接觸區域中 P1-P8。

【0023】 如第 3G 圖所示，完全移除接觸區域中 P1-P8 各個次堆疊的最上層絕緣層(例如氧化層)，例如是藉由蝕刻氧化物。亦即，分別位於接觸區域 P8、P6、P4、P2、P1、P3、P5 和 P7 (第 3F 圖)中的最上層絕緣層 213-8、213-6、213-4、213-2、213-1、213-3、213-5、213-7 皆被完全移除，以暴露出最上層主動層。

【0024】 如第 3H 圖所示，沈積一金屬層 25 於接觸區域 P1-P8 中各次堆疊的一最上層主動層上(例如多晶矽層)，且金屬層 25 亦沈積於次堆疊的裸露側壁(exposed sidewalls)上。因此，金屬層 25 是地毯式地覆蓋在第 3H 圖之接觸區域 P1-P8 的次堆疊上。一實施例中，金屬層 25 可包括鈷(Co)、鎳(Ni)、鈦(Ti)或其他適合之金屬材料。

【0025】 之後，如第 3I 圖所示，對結構進行熱退火處理(thermally annealing)以於接觸區域 P1-P8 之各次堆疊形成金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8；一應用例中，例如是(但不限制是)在高溫 600°C -1000°C 範圍之間進行熱退火處理。由於金屬層 25 也是沈積於次堆疊的裸露側壁上，在進行熱退火處理後係於次堆疊對應該些裸露側壁之主動層(例如 212-2、212-3、212-4、212-5、212-6 和 212-7)的各個側端形成金屬矽化物部份(例如 240-3、240-4、240-5、240-6、240-7 和

Micron Ex. 1002, p. 351
Micron v. YMTC
IPR2024-00794

240-8)。

【0026】 於一實施例中，金屬矽化物層包括含鈷之矽化物、含鎳之矽化物、含鈦之矽化物、含鉬之矽化物和含鎢之矽化物至少其中之一。例如，金屬矽化物層可能包括矽化鈷(CoSi)、二矽化鈷($CoSi_2$)、或包括兩者之混合物。於其他實施例，金屬矽化物層可能包括矽化鈦(TiSi)、二矽化鈦($TiSi_2$)、或包括兩者之混合物。於其他實施例，金屬矽化物層可能包括矽化鎳(NiSi)、鎳矽化物($NiSi_X$，$x \neq 1$)、或包括兩者之混合物。例如，其他可應用之金屬矽化物層的材料還可包括二矽化鉬(Molybdenum disilicide，$MoSi_2$)、矽化鎢(tungsten silicide，WSi_2)。金屬矽化物層的材料係視實際應用時熱退火處理條件而改變，本揭露對此並不多做限制。實施例形成之金屬矽化物對於氧化物而言有高的蝕刻選擇比。

【0027】 如第 3J 圖所示，移除未反應之金屬層 25(例如非矽化鈷的部分)以露出次堆疊之金屬矽化物層例如 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8，以及金屬矽化物部份例如 240-3、240-4、240-5、240-6、240-7 和 240-8。

【0028】 接著，沈積一絕緣層例如一層間介電層(ILD)於次堆疊上，並進行化學機械研磨(CMP)以形成介電層 26，如第 3K 圖所示。介電層 26 直接接觸各次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 以及直接接觸金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。

【0029】 如第 3L 圖所示，形成多個多層結構連接器 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 在介電層 26 中向下延

Micron Ex. 1002, p. 352
Micron v. YMTC
IPR2024-00794

伸，以與各接觸區域 P1-P8 之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 直接接觸。如第 3L 圖/第 2 圖所示，於一實施例中，各個次堆疊的一降落區域(landing area) 在沿一第一方向(ex：X 方向),上具有一第一寬度(first width) d1，於接觸區域 P1-P8 中各次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 在沿第一方向上具有一第二寬度(second width)d2，其中第一寬度 d1 基本上等於第二寬度 d2。根據實施例提出之三維半導體元件，由於在各接觸區域中的次堆疊之金屬矽化物層即做為降落區域之用，相較於傳統三維半導體元件，實施例之三維半導體元件會具有更大的接觸降落窗口(contact landing windows)，特別是對於在最底端只有一層主動層的接觸區域 P1 其接觸降落窗口增加的更多。

【0030】 第 4 圖為本揭露另一實施例之一三維半導體元件的階梯區域之剖面示意圖。前述第 2 圖和第 3A-3L 圖是繪示其中一種實施態樣，亦即各個次堆疊之最上層主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7 和 212-8)係皆為金屬矽化物層，其中可利用在熱退火處理步驟(如第 3I 圖所示之步驟)中將各個次堆疊之最上層多晶矽層完全轉換而得到。但本揭露並不以此為限。第 4 圖即顯示各個次堆疊之最上層主動層包括了一多晶矽層(例如 212-8/212-7/212-6/212-5/212-4/212-3/212-2/212-1)和一金屬矽化物層(例如 24-1’/24-2’/24-3’/24-4’/24-5’/24-6’/24-7’/24-8’)形成於多晶矽層上方。如第 4 圖所示，金屬矽化物層 24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’和 24-8’可藉由部分轉換各個次堆疊之最上層多晶矽層而得，而未被反應的多晶

Micron Ex. 1002, p. 353
Micron v. YMTC
IPR2024-00794

矽則位於金屬矽化物層下方。再者，各個次堆疊也形成有金屬矽化物部份 240-3’、240-4’、240-5’、240-6’、240-7’和 240-8’(請參照上述實施例之內容與第 2 圖和第 3A-3L 圖)。於一示例中(但非限制揭露範圍)，在熱退火處理步驟進行之前，最上層多晶矽層 係具有一厚度約 300Å，進行熱退火處理之後，係產生厚度約 200Å 的金屬矽化物層 24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’和 24-8’，以及厚度約 100Å 的多晶矽層於金屬矽化物層下方。根據本揭露，可透過調整熱退火處理的參數而控制各個次堆疊之最上層多晶矽層是否被全部轉換、或是部分轉換為金屬矽化物，視實際應用時之需求而定。

【0031】 根據上述實施例所揭露之內容，藉由在三維半導體元件中形成金屬矽化物(silicide)的方式可大幅增加接觸降落窗口。根據實施例，各接觸區域 P1-P8 的最上層主動層係包括金屬矽化物。例如在製程中，可對暴露出的主動層如多晶矽層進行熱退火處理以形成金屬矽化物層。根據實施例，於各接觸區域之各個次堆疊的金屬矽化物層係做為各個次堆疊的降落區域，且這些降落區域具有相同寬度(d1)以使多層結構連接器降落，相較於傳統三維半導體元件(i.e.採用氮化矽層做為一蝕刻停止層，以使對應各接觸區域的所有接觸孔能一致地停在蝕刻停止層上)，實施例之三維半導體元件具有更大的接觸降落窗口。再者，若傳統三維半導體元件需要的 OP 層堆疊層數越多，則所需的蝕刻停止層(ex: SiN)之厚度越厚，這會使接觸區域的接觸降落窗口變得更小，特別是對於在最底端只有一層主動層的接觸區域 P1 其接觸降落窗口會縮小的更多。但根據實施例提出的三維半導體元件，不需要

Micron Ex. 1002, p. 354
Micron v. YMTC
IPR2024-00794

形成蝕刻停止層來使所有接觸孔一致地停在上面，因此無論發展的三維半導體元件需要的 OP 層堆疊層數有多少、或是三維半導體元件尺寸是否縮小，各接觸區域的降落區域都具有足夠的寬度(例如第 2/3L/4 圖所示之寬度 d1 或 d2)來使多層結構連接器降落。

【0032】 其他實施例，例如元件的已知構件有不同的設置與排列等，亦可能可以應用，係視應用時之實際需求與條件而可作適當的調整或變化。因此，說明書與圖式中所示之結構僅作說明之用，並非用以限制本揭露欲保護之範圍。另外，相關技藝者當知，實施例中構成部件的形狀和位置亦並不限於圖示所繪之態樣，亦是根據實際應用時之需求和/或製造步驟在不悖離本揭露之精神的情況下而可作相應調整。

【0033】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0034】

10：基板

R_A：陣列區域

R_S：階梯區域

R_C、P1、P2、P3、P4、P5、P6、P7、P8：接觸區域

12U：上方選擇線

12L：下方選擇線

Micron Ex. 1002, p. 355
Micron v. YMTC
IPR2024-00794

17：串列接觸

18：導線

112、212-1、212-2、212-3、212-4、212-5、212-6、212-7、212-8：主動層

113、213-1、213-2、213-3、213-4、213-5、213-6、213-7、213-8：絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8：多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8、24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’、24-8’：金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8、240-3’、240-4’、240-5’、240-6’、240-7’、240-8’：金屬矽化物部份

25：金屬層

26：介電層

PR1：第一圖案化光阻層

PR2：第二圖案化光阻層

PR3：第三圖案化光阻層

d1：第一寬度

d2：第二寬度

Micron Ex. 1002, p. 356
Micron v. YMTC
IPR2024-00794

201834217
專利案號：106108272
201834217
申請日：106/03/14
IPC分類：

【發明摘要】

【中文發明名稱】三維半導體元件及其製造方法

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

【中文】

一種三維半導體元件，包括：一基板，包括一陣列區域和鄰近陣列區域之一階梯區域，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；一堆疊，具有多層結構疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和多層結構連接器，分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

【英文】

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form

Micron Ex. 1002, p. 357
Micron v. YMTC
IPR2024-00794

respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

【指定代表圖】：第（2）圖。

【代表圖之符號簡單說明】：

P1、P2、P3、P4、P5、P6、P7、P8：接觸區域

212-1、212-2、212-3、212-4、212-5、212-6、212-7：主動層

213-1、213-2、213-3、213-4、213-5、213-6、213-7：絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8：多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8：金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8：金屬矽化物部份

26：介電層

d1：第一寬度

d2：第二寬度

【特徵化學式】：無

Micron Ex. 1002, p. 358
Micron v. YMTC
IPR2024-00794

【發明申請專利範圍】

【第 1 項】一種三維半導體元件，包括：

一基板，包括一陣列區域(array area)和鄰近該陣列區域之一階梯區域(staircase area)，其中該階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；

一堆疊，具有多層結構(multi-layers)疊置於該基板上，且該多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於該基板上，該些次堆疊與該階梯區域之該 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於該些接觸區域中各該些次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和

多層結構連接器(multilayered connectors)，分別位於對應的該些接觸區域，且該些多層結構連接器係向下延伸以電性連接各個該些次堆疊之該金屬矽化物層。

【第 2 項】如申請專利範圍第 1 項所述之三維半導體元件，更包括一介電層(a dielectric layer)形成於該些接觸區域的該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸，其中該介電層直接接觸各個該些次堆疊之該金屬矽化物層。

【第 3 項】如申請專利範圍第 2 項所述之三維半導體元件，其中於該些接觸區域中該些次堆疊的該些金屬矽化物層係做為該些次堆疊的降落區域(landing areas)，且所有的該些降落區域除了被該些多層結構連接器接觸的部分以外都被該介電層直接覆蓋。

Micron Ex. 1002, p. 359
Micron v. YMTC
IPR2024-00794

【第 4 項】如申請專利範圍第 1 項所述之三維半導體元件，其中於該些接觸區域中該些次堆疊的該些主動層之側端(lateral ends of the active layers)係包括金屬矽化物部份(silicide portions)。

【第 5 項】一種三維半導體元件之製造方法，包括：

提供具有一陣列區域和鄰近該陣列區域之一階梯區域之一基板，其中該階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；

形成具有多層結構(multi-layers)之一堆疊於該基板上，且該多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於該基板上，該些次堆疊與該階梯區域之該 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於該些接觸區域中各該些次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和

形成多層結構連接器(multilayered connectors)分別位於對應的該些接觸區域，且該些多層結構連接器係向下延伸以電性連接各個該些次堆疊之該金屬矽化物層。

【第 6 項】如申請專利範圍第 5 項所述之方法，更包括一介電層(a dielectric layer)形成於該些接觸區域的該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸，其中該介電層直接接觸各個該些次堆疊之該金屬矽化物層。

【第 7 項】如申請專利範圍第 5 項所述之方法，其中於該些接觸區域中該些次堆疊的該些主動層之側端(lateral ends of the

Micron Ex. 1002, p. 360
Micron v. YMTC
IPR2024-00794

active layers)係包括金屬矽化物部份(silicide portions)。

【第 8 項】如申請專利範圍第 7 項所述之方法，其中該些主動層之該些金屬矽化物部份係與一介電層直接接觸，該介電層形成於該些接觸區域之該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸。

【第 9 項】如申請專利範圍第 8 項所述之方法，其中形成各該些次堆疊之該金屬矽化物層係包括：

形成該些次堆疊於該些接觸區域中，該些次堆疊包括多晶矽層以做為該些主動層且與該些絕緣層交錯設置於該基板上方；

移除該些接觸區域中各該些次堆疊的一最上層絕緣層；

沈積一金屬層於該些接觸區域中各該些次堆疊的一最上層多晶矽層上；以及

對該些次堆疊和該金屬層進行熱退火處理(thermally annealing)以於該些接觸區域之各該些次堆疊形成該金屬矽化物層。

【第 10 項】如申請專利範圍第 9 項所述之方法，其中該金屬層亦沈積於該些次堆疊的裸露側壁(exposed sidewalls)上，在進行前述熱退火處理後係於該些次堆疊對應該些裸露側壁之該些主動層的各個側端(each of lateral ends of the active layers)形成一金屬矽化物部份(silicide portion)。

Micron Ex. 1002, p. 361
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: CN108831886 (A) — 2018-11-16

Three-dimensional memory

Inventor(s): XIAO LIHONG; HU BIN ± (肖莉红, ; 胡斌)

Applicant(s): YANGTZE MEMORY TECH CO LTD ± (长江存储科技有限责任公司)

Classification: - international: ***H01L27/11529; H01L27/11551; H01L27/11573; H01L27/11578***
- cooperative: **H01L27/11529**; **H01L27/11551**; **H01L27/11573**; **H01L27/11578** more

Application number: CN201811108506 20180921 Global Dossier

Priority number (s): CN201811108506 20180921

Abstract of CN108831886 (A)

The present invention provides a three-dimensional memory. The three-dimensional memory comprises a stepped structure; the stepped structure has a plurality of steps; each step comprises at least onegate layer and at least one dielectric layer which are alternately stacked from top to bottom; the edge of one of the gate layers constitutes the top surface of the step; a conductive layer is formedon the top surface of the step; and a contact portion is connected onto the conductive layer. According to the three-dimensional memory, the gate layer is covered with the conductive layer, the thickness of the gate layer is thicker, and therefore, the gate layer has little possibility of being etched, and therefore, the risk of the punch-through phenomenon of the three-dimensional memory is greatly reduced.

Micron Ex. 1002, p. 370
Micron v. YMTC
IPR2024-00794

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108831886 A
(43)申请公布日 2018.11.16

(21)申请号 201811108506.9

(22)申请日 2018.09.21

(71)申请人 长江存储科技有限责任公司
地址 430205 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 肖莉红 胡斌

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 骆希聪

(51)Int.Cl.
H01L 27/11529(2017.01)
H01L 27/11551(2017.01)
H01L 27/11573(2017.01)
H01L 27/11578(2017.01)

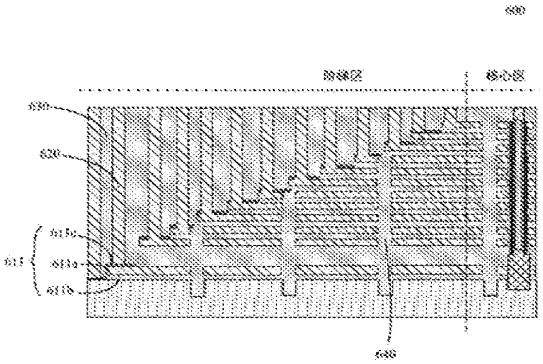
权利要求书1页 说明书7页 附图11页

(54)发明名称

三维存储器

(57)摘要

本发明提供一种三维存储器，包括阶梯结构，所述阶梯结构具有多个台阶，每个台阶包括从上到下交替堆叠的至少一栅极层和至少一介质层，至少其中之一所述栅极层的边缘构成所述台阶的顶表面，所述台阶的顶表面上形成有导电层，所述导电层上连接有接触部。与现有技术相比，由于栅极层上覆盖有导电层，导致栅极层的厚度更厚，不容易被蚀穿，因此发生刻蚀穿通的风险大为降低。



CN 108831886 A

Micron Ex. 1002, p. 371
Micron v. YMTC
IPR2024-00794

1.一种三维存储器，包括阶梯结构，所述阶梯结构具有多个台阶，每个台阶包括从上到下交替堆叠的至少一栅极层和至少一介质层，至少其中之一所述栅极层的边缘构成所述台阶的顶表面，所述台阶的顶表面上形成有导电层，所述导电层上连接有接触部。

2.根据权利要求1所述的三维存储器，其特征在于，其特征在于，相邻台阶的所述导电层在所述堆叠结构的底面上的投影首尾相连。

3.根据权利要求1所述的三维存储器，其特征在于，所述导电层与栅极层的材质相同。

4.根据权利要求3所述的三维存储器，其特征在于，所述导电层与栅极层的材质都是钨或钴。

5.根据权利要求1-4任一项所述的三维存储器，其特征在于，所述导电层的厚度为10-100nm。

6.根据权利要求1所述的三维存储器，其特征在于，在所述台阶的顶表面上形成导电层的方法为物理气相沉积、金属溅射或金属蒸镀。

7.根据权利要求1所述的三维存储器，其特征在于，所述阶梯结构还包括贯穿所述阶梯结构的虚拟沟道孔。

8.根据权利要求1所述的三维存储器，其特征在于，在导电层上连接接触部的方法包括：在阶梯结构上覆盖绝缘层，对所述阶梯结构上覆盖的所述绝缘层进行刻蚀，以在所述阶梯结构的各个台阶的顶表面形成露出所述栅极层的若干接触孔。

9.根据权利要求8所述的三维存储器，其特征在于，在阶梯结构上覆盖绝缘层还包括平坦化所述绝缘层。

10.根据权利要求1所述的三维存储器，其特征在于，所述阶梯结构的下方还包括外围电路器件。

Micron Ex. 1002, p. 372
Micron v. YMTC
IPR2024-00794

三维存储器

技术领域

[0001] 本发明主要涉及半导体制造领域，尤其涉及一种三维存储器。

背景技术

[0002] 为了克服二维存储器件的限制，业界已经研发了具有三维(3D)结构的存储器件，通过将存储器单元三维地布置在衬底之上来提高集成密度。

[0003] 在例如3D NAND闪存的三维存储器件中，存储阵列可包括核心(core)区和阶梯区。阶梯区用来供存储阵列各层中的栅极层引出接触部。这些栅极层作为存储阵列的字线，执行编程、擦写、读取等操作。

[0004] 在3D NAND闪存的制作过程中，在阶梯区的各级阶梯结构上刻蚀形成接触孔，然后填充接触孔，从而引出栅极层的电信号。在实际生产过程中，由于3D-NAND闪存阶梯层数多，在接触孔刻蚀步骤中，为了保证下层阶梯能够被顺利引出，上层阶梯容易被过刻蚀(Over Etch)，出现刻蚀穿通(Punch Through)，导致栅极金属层之间相互短接，降低产品良率。

[0005] 为了解决上述问题，往往需要进行多次光照和刻蚀，从而降低每次刻蚀时的深度差。

发明内容

[0006] 本发明要解决的技术问题是一种三维存储器，可以克服字线连接区的刻蚀缺陷等问题，且不必进行多次光照和刻蚀。

[0007] 为解决上述技术问题，本发明提供了一种三维存储器，包括阶梯结构，所述阶梯结构具有多个台阶，每个台阶包括从上到下交替堆叠的至少一栅极层和至少一介质层，至少其中之一所述栅极层的边缘构成所述台阶的顶表面，所述台阶的顶表面上形成有导电层，所述导电层上连接有接触部。

[0008] 在本发明的一实施例中，相邻台阶的所述导电层在所述堆叠结构的底面上的投影首尾相连。

[0009] 在本发明的一实施例中，所述导电层与栅极层的材质相同。

[0010] 在本发明的一实施例中，所述导电层与栅极层的材质都是钨或钴。

[0011] 在本发明的一实施例中，所述导电层的厚度为10-100nm。

[0012] 在本发明的一实施例中，在所述台阶的顶表面上形成导电层的方法为物理气相沉积、金属溅射或金属蒸镀。

[0013] 在本发明的一实施例中，所述阶梯结构还包括贯穿所述阶梯结构的虚拟沟道孔。

[0014] 在本发明的一实施例中，在导电层上连接接触部的方法包括：在阶梯结构上覆盖绝缘层，对所述阶梯结构上覆盖的所述绝缘层进行刻蚀，以在所述阶梯结构的各个台阶的顶表面形成露出所述栅极层的若干接触孔。

[0015] 在本发明的一实施例中，在阶梯结构上覆盖绝缘层还包括平坦化所述绝缘层。

[0016] 在本发明的一实施例中，所述阶梯结构的下方还包括外围电路器件。

Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2024-00794

[0017] 与现有技术相比，本发明具有以下优点：本发明提供了一种三维存储器，三维存储器的半导体器件中包括核心区和阶梯区，阶梯区具有阶梯结构，阶梯结构具有多个台阶，每个台阶包括从上到下交替堆叠的至少一栅极层和至少一介质层，至少其中之一栅极层的边缘构成台阶的顶表面，台阶的顶表面上形成有导电层，导电层上连接有接触部。可以看到，由于栅极层上覆盖有导电层，导致栅极层的厚度更厚，不容易被蚀穿，因此发生刻蚀穿通的风险大为降低。

附图说明

[0018] 为让本发明的上述目的、特征和优点能更明显易懂，以下结合附图对本发明的具体实施方式作详细说明，其中：

[0019] 图1A-1F是一种三维存储器的制作方法的流程图。

[0020] 图2A-2B是一种三维存储器的结构示意图。

[0021] 图3是本发明一实施例的一种三维存储器的制作方法的流程图。

[0022] 图4A-4E是本发明一实施例的一种三维存储器的制作方法的示例性过程的剖面示意图。

[0023] 图5A-5D是本发明一实施例的一种平坦化绝缘层的示例性过程。

[0024] 图6是本发明一实施例的一种三维存储器的结构示意图。

具体实施方式

[0025] 为让本发明的上述目的、特征和优点能更明显易懂，以下结合附图对本发明的具体实施方式作详细说明。

[0026] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其它不同于在此描述的其它方式来实施，因此本发明不受下面公开的具体实施例的限制。

[0027] 如本申请和权利要求书中所示，除非上下文明确提示例外情形，“一”、“一个”、“一种”和/或“该”等词并非特指单数，也可包括复数。一般说来，术语“包括”与“包含”仅提示包括已明确标识的步骤和元素，而这些步骤和元素不构成一个排它性的罗列，方法或者设备也可能包含其他的步骤或元素。

[0028] 在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0029] 为了方便描述，此处可能使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上”等等的空间关系词语来描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解到，这些空间关系词语意图包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向。例如，如果翻转附图中的器件，则被描述为在其他元件或特征“下方”或“之下”或“下面”的元件的方向将改为在所述其他元件或特征的“上方”。因而，示例性的词语“下方”和“下面”能够包含上和下两个方向。器件也可能具有其他朝向（旋转90度或处于其他方向），因此应相应地解释此处使用的空间关系描述词。此外，还将理解，当一层被称为在两层“之间”时，它可以是所述两层之间仅有的层，或者也可以存在一个或多个介于其间的层。

Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2024-00794

[0030] 如背景技术所介绍，在例如3D NAND闪存的三维存储器件中，存储阵列可包括核心(core)区和阶梯区。阶梯区用来供存储阵列各层中的栅极层引出接触部。这些栅极层作为存储阵列的字线，执行编程、擦写、读取等操作。

[0031] 在3D NAND闪存的制作过程中，在阶梯区的各级阶梯结构上刻蚀形成接触孔，然后填充接触孔，从而引出栅极层的电信号。在实际生产过程中，由于3D-NAND闪存阶梯层数多，在接触孔刻蚀步骤中，为了保证下层阶梯能够被顺利引出，上层阶梯容易被过刻蚀(Over Etch)，出现刻蚀穿通(Punch Through)，导致栅极金属层之间相互短接，降低产品良率。

[0032] 图1A-1F是一种三维存储器的制作方法的流程图。该制作方法主要是在各级阶梯上刻蚀形成接触孔。形成接触孔的过程包括如图1A所示的形成具有交替堆叠的伪栅极层101和介质层102的堆叠结构110，如图1B所示的在堆叠结构110的边缘形成阶梯结构，如图1C所示的在堆叠结构110上覆盖绝缘层103，以及如图1D所示的将伪栅极层101替换为栅极层104，最后分别如图1E和1F所示，通过刻蚀掩模105形成接触孔106，填充接触孔106形成接触部107。

[0033] 如图1D所示，该方法中阶梯区栅极层104较薄，容易被过刻蚀。如图2A所示，接触孔106刻蚀时由于深度差较大，在最深处接触孔刚好刻蚀到位时，最浅处接触孔会发生刻蚀穿通引发短路。为了避免最浅处接触孔被过刻蚀，通常分段刻蚀不同区域金属栅层对应的垂直通孔，如图2B所示，这种方法需进行多道光刻、刻蚀步骤，成本与时间成本较高，严重影响了量产速率，且存储单元堆叠的层数越多，需进行的光刻、刻蚀工艺越多。

[0034] 图3是本发明一实施例的一种三维存储器的制作方法的流程图。图4A-4E是本发明一实施例的一种三维存储器的制作方法的示例性过程的剖面示意图。下面参考图3-4E所示描述本实施例的一种三维存储器的制作方法。

[0035] 在步骤302，提供半导体结构。

[0036] 此半导体结构是将被用于后续制程以最终形成三维存储器件的结构的至少一部分。半导体结构可包括阵列区(array)，阵列区可包括核心区(core)和阶梯区(stair step，SS)。核心区是包括存储单元的区域，阶梯区是包括字线连接电路的区域。阶梯区可位于核心区的至少一侧。从垂直方向看，阵列区可具有衬底和堆叠结构，在核心区的堆叠结构上形成有沟道孔阵列，在阶梯区的堆叠结构上可形成有虚拟沟道孔阵列，堆叠结构包括交替堆叠的第一材料层和第二材料层，并在边缘形成有阶梯结构，阶梯结构具有若干层台阶，至少部分第一材料层的边缘构成台阶的顶表面。第一材料层可以是伪栅极层或栅极层。第二材料层可以是介质层。为了简化说明，下文以第一材料层是伪栅极层，第二材料层是介质层为例进行说明。

[0037] 在图4A所示例的半导体结构400a的剖面图中，半导体结构400a可包括堆叠结构410，堆叠结构410可包括交替堆叠的伪栅极层410a和介质层410b。堆叠结构410在边缘形成有阶梯结构。阶梯结构可包括若干层台阶，这取决于所制作的三维存储器件的层数(如32层或64层)。图4A中示例性示出3个台阶411、412和413。每个台阶都包括从上到下交替堆叠的一个或多个介质层和一个或多个伪栅极层，即伪栅极层和介质层交替堆叠，至少其中之一伪栅极层的边缘构成台阶的顶表面。以台阶412为例，其包括从上到下交替堆叠的伪栅极层412a、介质层412b，并且伪栅极层412a的边缘构成台阶的顶表面。可以理解，台阶412并不限于此处示例的2层，而是可以有其他数量，例如4层，6层或更多层。

Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2024-00794

[0038] 在本发明的实施例中，半导体结构400a还可以包括虚拟沟道孔420。虚拟沟道孔420可以形成在阶梯区和/或核心区。虚拟沟道孔420垂直贯穿半导体结构400a的堆叠结构，其内部填充例如绝缘材料用以为堆叠结构提供支撑。作为一个形成虚拟沟道孔420的示例性的过程，可以在堆叠结构上依次覆盖硬掩模、抗反射涂层和光刻胶；随后进行光刻和刻蚀形成虚拟沟道孔；对虚拟沟道孔进行湿法清洗；用绝缘材料，例如氧化硅填充虚拟沟道孔。在堆叠结构上形成虚拟沟道孔420的步骤可以在堆叠结构的边缘形成阶梯结构之前进行。可以理解，虚拟沟道孔420并没有将伪栅极层完全隔断。虚拟沟道孔420仅仅是贯穿伪栅极层部分横截面积的孔状结构，在将伪栅极层替换为栅极层之后，控制信号依然可以通过栅极层传递到核心区。

[0039] 在本发明的实施例中，伪栅极层412b的材料可以是氮化硅。介质层412a的材料例如是氧化硅。

[0040] 尽管在此描述了初始的半导体结构的示例性构成，但可以理解，一个或多个特征可以从这一半导体结构中被省略、替代或者增加到这一半导体结构中。此外，所举例的各层的材料仅仅是示例性的，例如伪栅极层412b和介质层412a还可以选用电荷存储型(CTF)三维NAND存储器中可用的其他材料。例如伪栅极层412b和介质层412a还可以是氧化硅与(未掺杂)多晶硅或非晶硅的组合、氧化硅或氮化硅与非晶碳的组合等。例如在堆叠结构上形成虚拟沟道孔420的步骤可以被省略。

[0041] 在步骤304，回刻去除至少其中一介质层的至少一部分。

[0042] 在此步骤中，为了避免导电层间发生短路连接，去除至少其中一介质层的至少一部分，使至少一介质层的侧面相对于其上的伪栅极层内凹。回刻去除至少其中一介质层的至少一部分的方法可以包括湿法刻蚀，例如使用磷酸作为刻蚀剂对至少其中一介质层的至少一部分进行刻蚀。刻蚀的介质层的厚度可以是堆叠结构中介质层的厚度。刻蚀的深度可以是虚拟沟道孔宽度的一半或更小。在本发明的一些实施例中，可以省略去除至少其中一介质层的至少一部分的步骤，直接在台阶的顶表面上覆盖导电层。

[0043] 在图4B所示例的半导体结构400b的剖面图中，介质层412b的一部分被去除，使得介质层412b的侧面相对于其上的伪栅极层412a内凹。刻蚀的介质层412b的厚度(图中垂直方向)是堆叠结构中介质层的厚度。刻蚀的深度(图中水平方向)是虚拟沟道孔420宽度的一半。可以理解，刻蚀的深度可以是其它数值，例如大于或小于虚拟沟道孔420宽度的一半。

[0044] 在步骤306，形成覆盖台阶的顶表面的导电层和覆盖导电层的绝缘层。

[0045] 在此步骤中，形成覆盖台阶的顶表面的导电层和覆盖导电层的绝缘层。导电层覆盖台阶的顶表面，与阶梯区中阶梯结构的伪栅极层相接触。导电层的材质可以是各种导电材料。在本发明的一些实施例中，导电层的材料是金属材料。优选地，导电层的材料可以与栅极层的材料相同，例如导电层的材料与栅极层的材料都是钨或钴。形成覆盖台阶的顶表面的导电层的方法可以是物理气相沉积(Physical Vapor Deposition，PVD)、金属溅射(Metal Sputtering)和金属蒸镀(Metal Evaporation)等。导电层的厚度及形貌需要保证其上和其下的两层介质层不发生粘连。相邻台阶的导电层在堆叠结构的底面上的投影首尾相连，即只在水平面上形成导电层，侧面不会形成导电层，相邻的导电层之间仍然绝缘。导电层的厚度可以是10-100nm。导电层的形貌可以是平坦的。导电层的宽度可以大致等于每层台阶的宽度。在本发明的一些实施例中，形成覆盖台阶的顶表面的导电层之后，还可以包

Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2024-00794

括湿法清洗、晶圆背面及介质层侧面清理等，以清除可能被沾染的少量金属，便于进行后续工艺。形成覆盖台阶的顶表面的导电层之后，在导电层上形成覆盖导电层的绝缘层。覆盖导电层的绝缘层包括平坦化绝缘层。

[0046] 在图4C所示的半导体结构400c的剖面中，导电层430覆盖台阶的顶表面，与阶梯区中阶梯结构的伪栅极层相接触。导电层430的材质可以是各种导电材料。在本发明的一些实施例中，导电层430的材料是金属材料。优选地，导电层430的材料可以与栅极层的材料相同，例如导电层430的材料与栅极层的材料都是钨或钴。形成覆盖台阶的顶表面的导电层的方法可以是物理气相沉积(Physical Vapor Deposition，PVD)、金属溅射(Metal Sputtering)和金属蒸镀(Metal Evaporation)等。相邻台阶的导电层430在堆叠结构410的底面上的投影首尾相连，即只在水平面上形成导电层430，侧面不会形成导电层430，相邻的导电层430之间仍然绝缘。导电层430的厚度及形貌需要保证其上和其下的两层介质层不发生粘连。导电层430的厚度可以是50-200nm。导电层的形貌可以是平坦的。导电层430的宽度大致等于每层台阶的宽度。形成覆盖台阶的顶表面的导电层430之后，还可以包括湿法清洗、晶圆背面及介质层侧面清理等，以清除可能被沾染的少量金属，便于进行后续工艺。

[0047] 在图4D所示的半导体结构400d的剖面中，形成覆盖台阶的顶表面的导电层430之后，在导电层430上形成覆盖导电层430的绝缘层440。覆盖导电层430的绝缘层440包括平坦化绝缘层440。

[0048] 在步骤308，形成穿过绝缘层并连接至导电层的接触结构。

[0049] 在此步骤中，形成穿过绝缘层并连接至导电层的接触结构。形成穿过绝缘层并连接至导电层的接触结构的步骤包括对阶梯结构上的绝缘层进行刻蚀，以一次性在阶梯结构的各个台阶的顶表面形成露出栅极层的若干接触孔，填充该接触孔以形成接触结构。可以先在阶梯结构上覆盖绝缘材料，然后按照常规方式通过一次刻蚀形成垂直贯穿阶梯区的接触孔。接触孔会从上表面垂直穿过绝缘材料，到达各阶梯结构顶部的第一材料层。

[0050] 形成接触孔的方式例如是刻蚀或者其他已知的方式，在此不做限定。

[0051] 第一材料层可以是伪栅极层或栅极层，第二材料层可以是介质层。若第一材料层是栅极层，可以直接形成接触结构；若第一材料层是伪栅极层，则需要将伪栅极层替换栅极层。将伪栅极层替换栅极层的方法包括去除伪栅极层而在介质层之间形成间隙，在间隙中形成栅极层。去除伪栅极层的方法包括湿法刻蚀。湿法刻蚀的刻蚀液可以是磷酸。伪栅极去除之后，介质层之间形成了间隙。向间隙填充栅极层材料从而在间隙中形成栅极层。栅极层的材料包括但不限于钨和钴。在去除伪栅极层而在介质层之间形成间隙，在间隙中形成栅极层的步骤之前，还可以包括在核心区形成沟道孔(Channel Hole，CH)。在核心区形成沟道孔的方法是本领域熟知的，此次不再赘述。

[0052] 在图4E所示例的半导体结构400e的剖面图中，各阶梯结构上覆盖绝缘材料440，并分别形成穿过绝缘材料440而到达各阶梯结构的栅极层的接触孔。之后，可通过向接触孔填充金属材料形成接触结构470，为各阶梯结构的栅极层提供导电路径。接触结构470的材料可以是钨或钴。可以看到，由于栅极层上覆盖有导电层，导致栅极层的厚度更厚，不容易被蚀穿，因此发生刻蚀穿通的风险大为降低。

[0053] 在此使用了流程图用来说明根据本申请的实施例的方法所执行的操作。应当理解的是，前面的操作不一定按照顺序来精确地执行。相反，可以按照倒序或同时处理各种步

Micron Ex. 1002, p. 377
Micron v. YMTC
IPR2024-00794

骤。同时，或将其他操作添加到这些过程中，或从这些过程移除某一步或数步操作。例如，步骤304可以省略，提供半导体结构之后，可以直接形成覆盖台阶的顶表面的导电层和覆盖导电层的绝缘层。

[0054] 上述实施例所形成的半导体结构，再经过后续的常规步骤，即可得到三维存储器件。在此参考本实施例所形成的半导体结构描述根据本发明一实施例的三维存储器。

[0055] 图5A-5D示出了本发明一实施例的一种平坦化绝缘层的示例性过程。

[0056] 在图5A所示的半导体结构500a的剖面中，向台阶区填充绝缘层材料540，核心区也会被填充绝缘层材料540，导致核心区整体偏高，形成一个中间突出的高台。

[0057] 在图5B所示的半导体结构500b的剖面中，进行化学机械磨平(Chemical Mechanical Polishing，CMP)之前，可以在绝缘层540的表面覆盖保护层550。保护层550的材料可以是氮化硅。可以理解，如果化学机械磨平工艺控制得足够好的话，也可以不需要保护层550。核心区的台阶表面也覆盖有导电层530，可以作为核心区的阻挡层。

[0058] 在图5C所示的半导体结构500c的剖面中，对核心区的绝缘层540进行干法刻蚀。作为一个示例，干法刻蚀可以是在绝缘层上依次覆盖硬掩模层、抗反射涂层和光刻胶，随后曝光打开硬掩模层，去除核心区绝大多数的绝缘层，停留在核心区中作为阻挡层的导电层530。在本发明的一些实施例中，抗反射涂层材料可以是氮氧化硅。在本发明的一些实施例中，对核心区的绝缘层540进行干法刻蚀之后还可以包括湿法清洗，以便于进行后续工艺。

[0059] 在图5D所示的半导体结构500d的剖面中，进行机械化学磨平，核心区停留在导电层430上，阶梯区停留在保护层450上。随后进行湿法刻蚀，去除阶梯区表面的保护层450和核心区表面的导电层430。

[0060] 至此，形成了平坦化的绝缘层的表面，并且平坦化的表面在核心区停留在伪栅极层之上。

[0061] 图6示出了根据本发明一实施例的一种三维存储器600的局部结构。如图6所示，三维存储器600包括核心区和阶梯区。阶梯区具有阶梯结构，阶梯结构具有多个台阶，每个台阶(如611)包括从上到下交替堆叠的至少一栅极层(如611a)和至少一介质层(如611b)，至少其中之一栅极层的边缘构成台阶的顶表面，台阶的顶表面上形成有导电层(如611c)，导电层上连接有接触部(如620)。

[0062] 在本发明的一实施例中，相邻台阶的导电层(如611c)在堆叠结构的底面上的投影首尾相连。在本发明的一实施例中，导电层(如611c)与栅极层(如611a)的材质相同。在本发明的一实施例中，导电层(如611c)与栅极层(如611a)的材质都是钨或钴。在本发明的一实施例中，导电层(如611c)的厚度为10-100nm。在本发明的一实施例中，在台阶的顶表面上形成导电层(如611c)的方法为物理气相沉积、金属溅射或金属蒸镀。在本发明的一实施例中，阶梯结构还包括贯穿阶梯结构的虚拟沟道孔640。在本发明的一实施例中，在导电层(如611c)上连接接触部(如620)的方法包括：在阶梯结构上覆盖绝缘层630，对阶梯结构上覆盖的绝缘层630进行刻蚀，以在阶梯结构的各个台阶的顶表面形成露出栅极层(如611a)的若干接触孔(图中未示出)。在本发明的一实施例中，在阶梯结构上覆盖绝缘层630还包括平坦化绝缘层630。在本发明的一实施例中，阶梯结构的下方还包括外围电路器件(图中未示出)。

[0063] 本实施例的其他细节可参考前文的制作方法，在此不再展开。

Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2024-00794

[0064] 本发明的该实施例提供了一种半导体结构，包括核心区和阶梯区，阶梯区具有阶梯结构，阶梯结构具有多个台阶，每个台阶包括从上到下交替堆叠的至少一栅极层和至少一介质层，至少其中之一栅极层的边缘构成台阶的顶表面，台阶的顶表面上形成有导电层，导电层上连接有接触部。可以看到，由于栅极层上覆盖有导电层，导致栅极层的厚度更厚，不容易被蚀穿，因此发生刻蚀穿通的风险大为降低。

[0065] 虽然本发明已参照当前的具体实施例来描述，但是本技术领域中的普通技术人员应当认识到，以上的实施例仅是用来说明本发明，在没有脱离本发明精神的情况下还可作出各种等效的变化或替换，因此，只要在本发明的实质精神范围内对上述实施例的变化、变型都将落在本申请的权利要求书的范围内。

Micron Ex. 1002, p. 379
Micron v. YMTC
IPR2024-00794

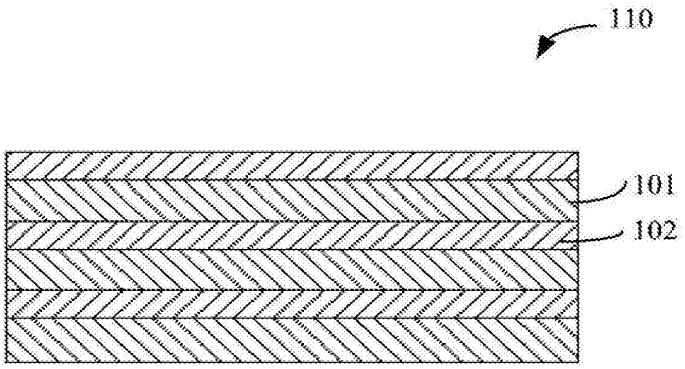


图1A

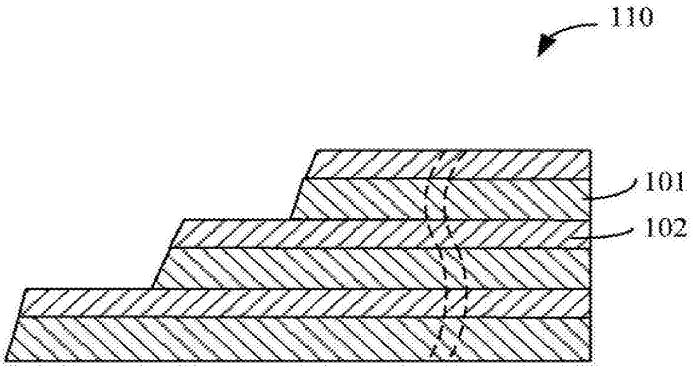


图1B

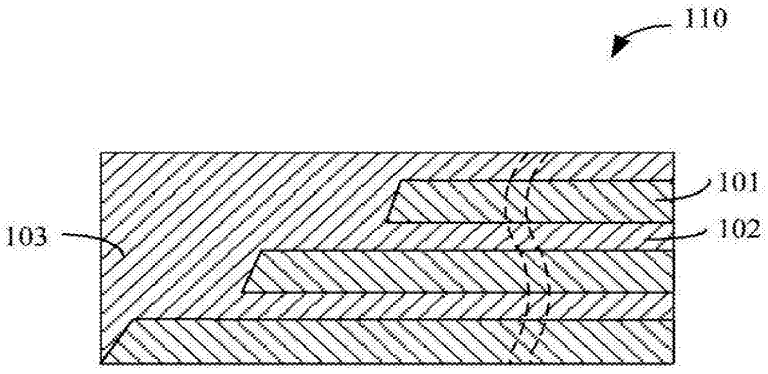


图1C

Micron Ex. 1002, p. 380
Micron v. YMTC
IPR2024-00794

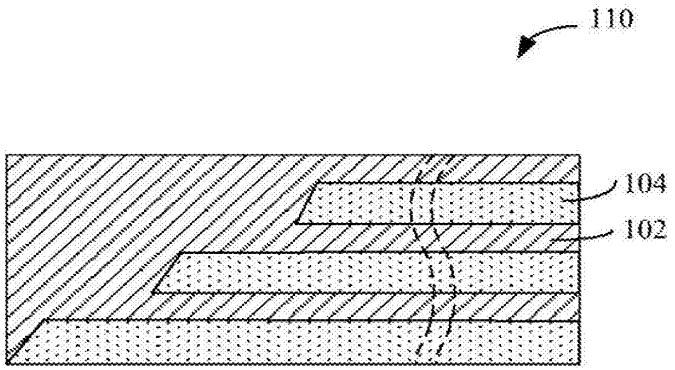


图1D

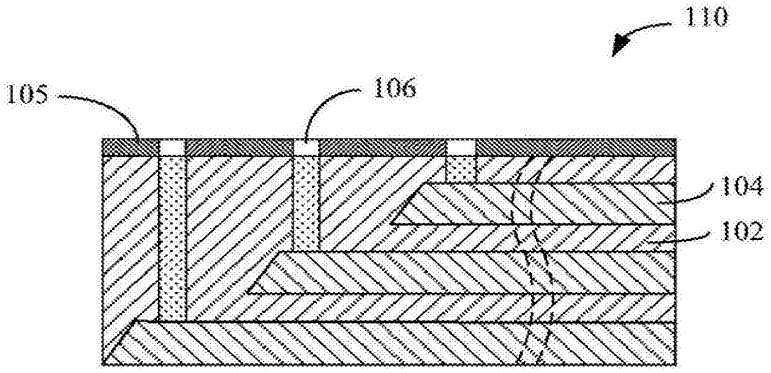


图1E

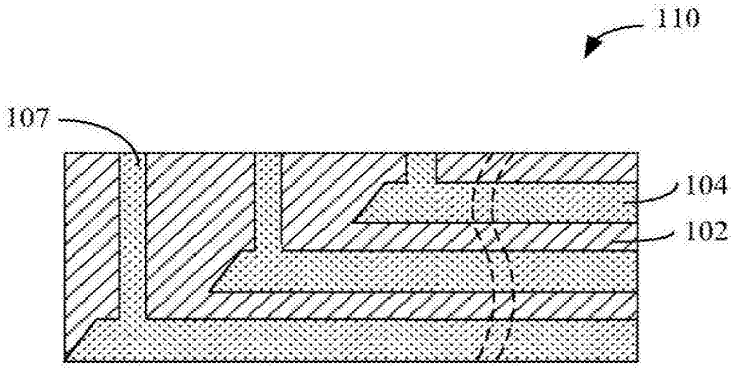


图1F

Micron Ex. 1002, p. 381
Micron v. YMTC
IPR2024-00794

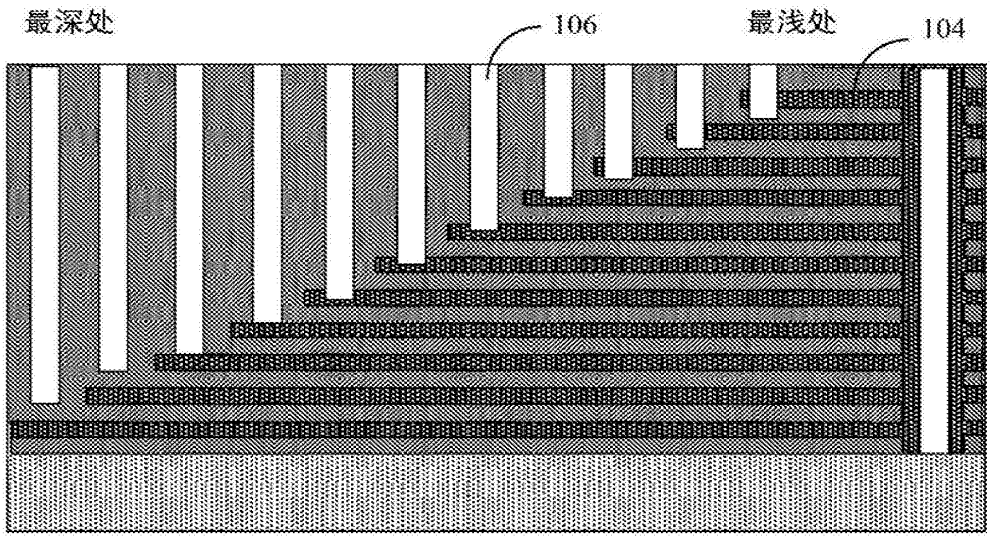


图2A

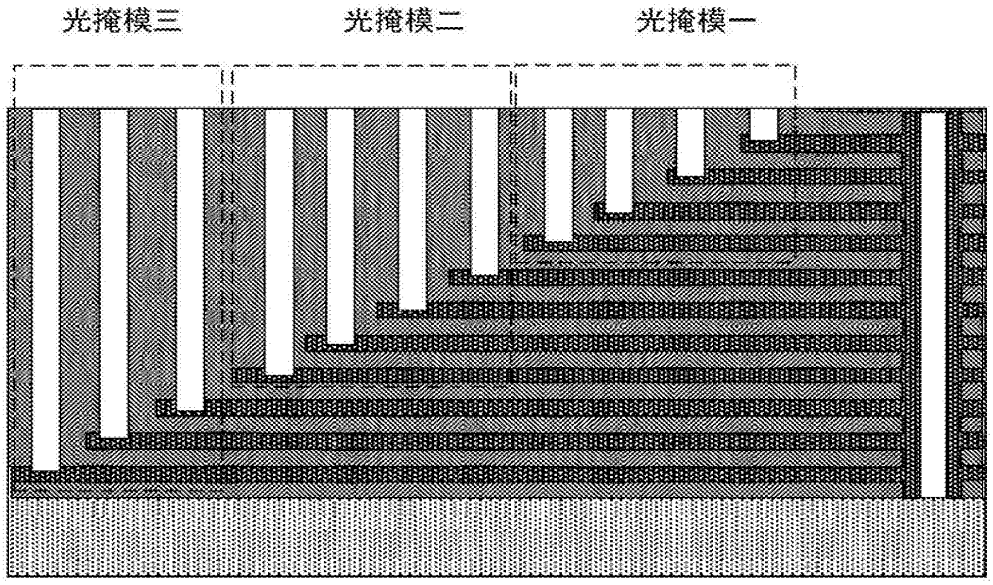


图2B

Micron Ex. 1002, p. 382
Micron v. YMTC
IPR2024-00794

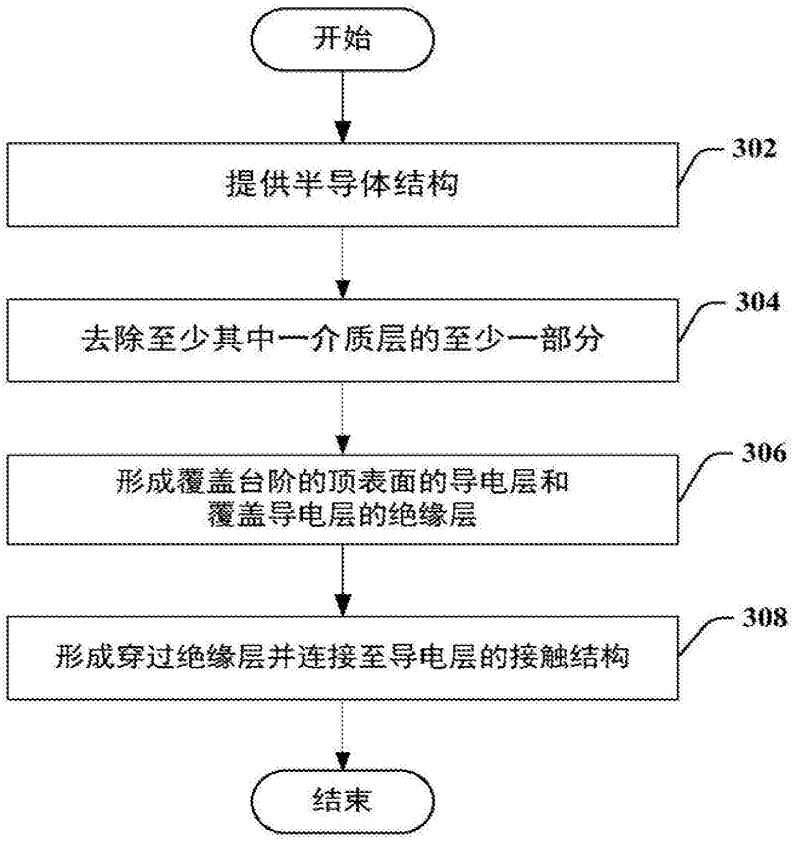


图3

Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2024-00794

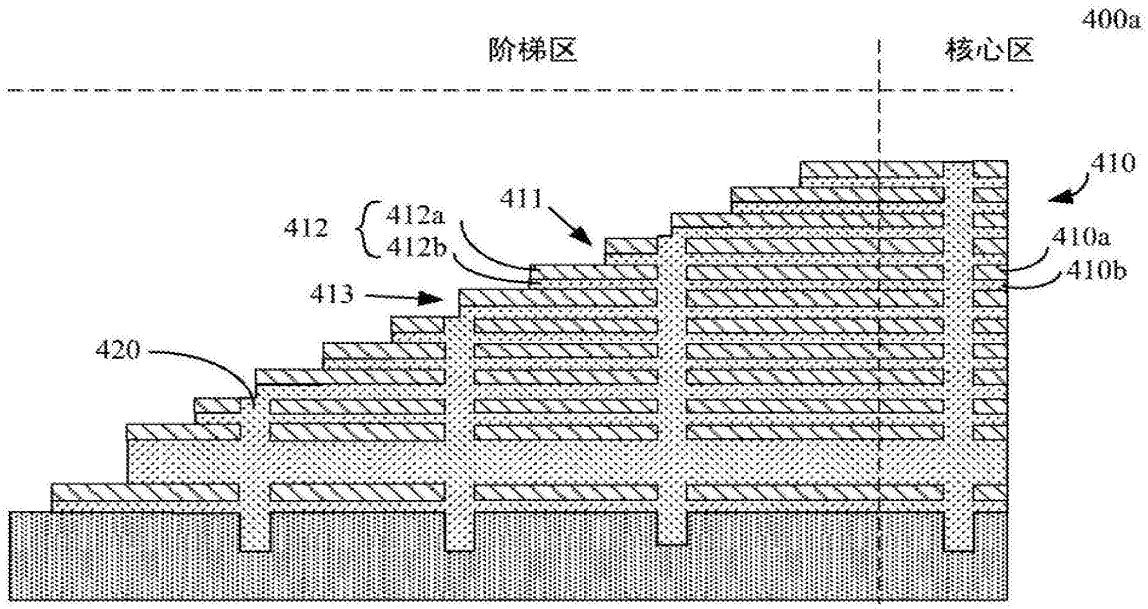


图4A

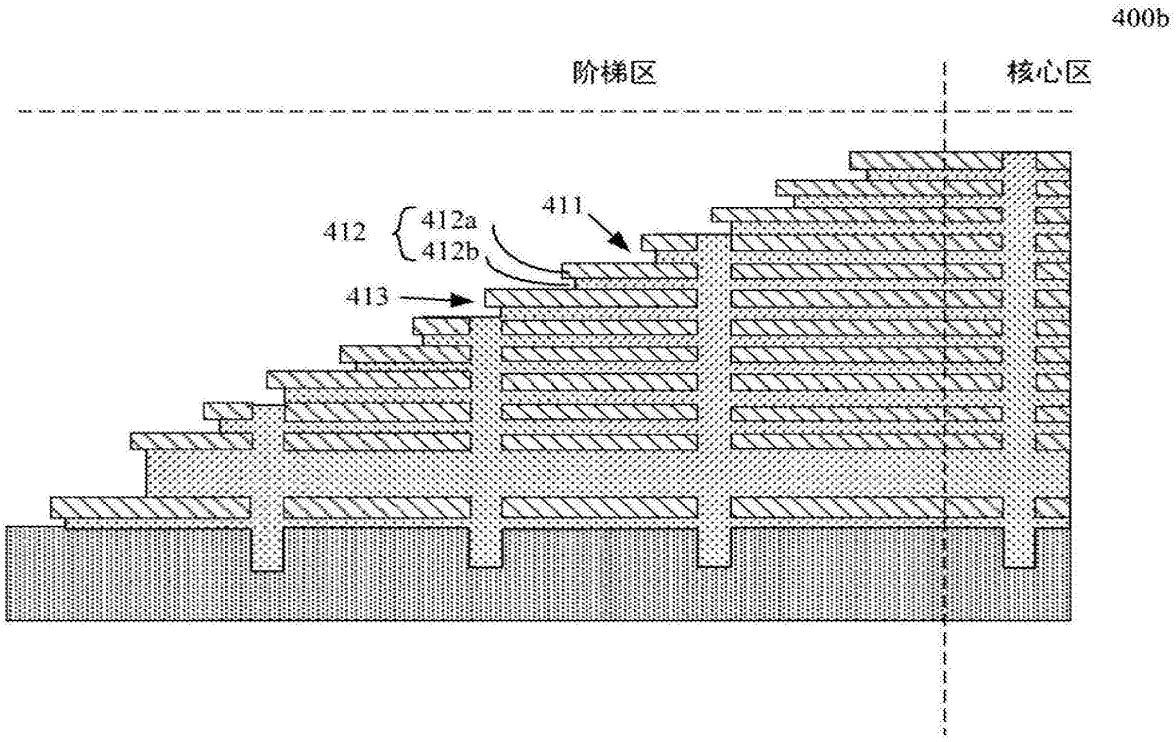


图4B

Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2024-00794

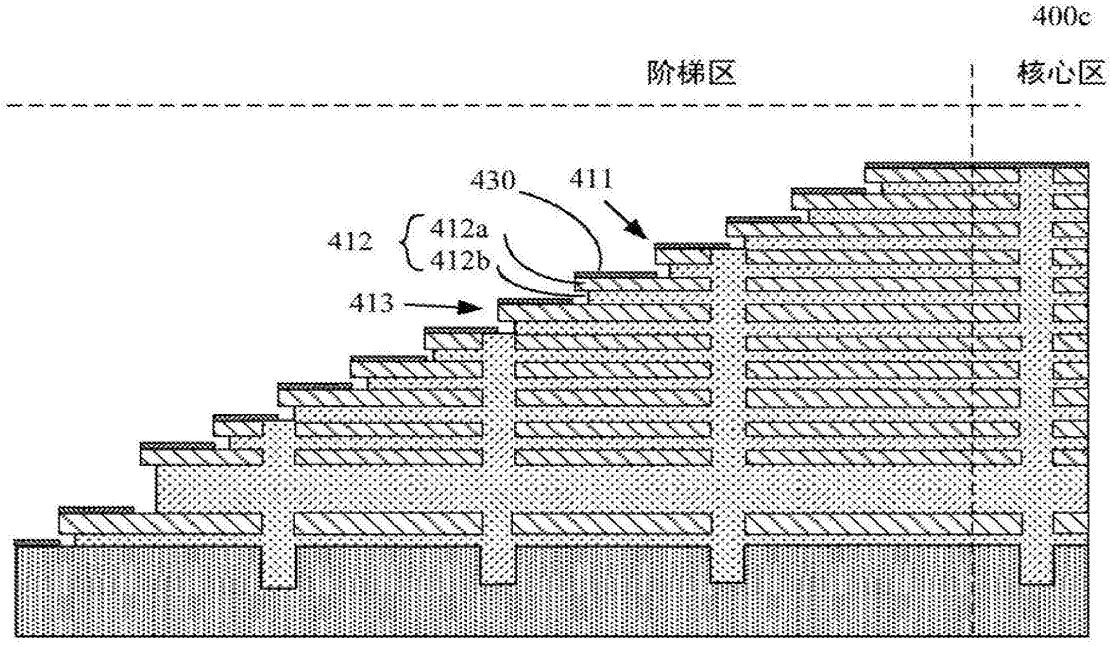


图4C

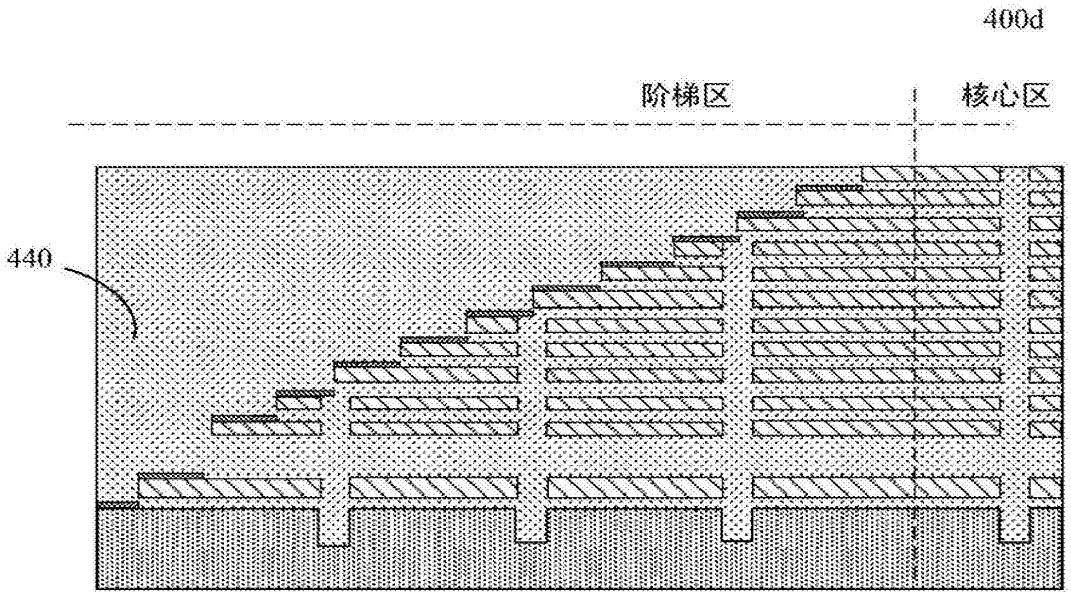


图4D

Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2024-00794

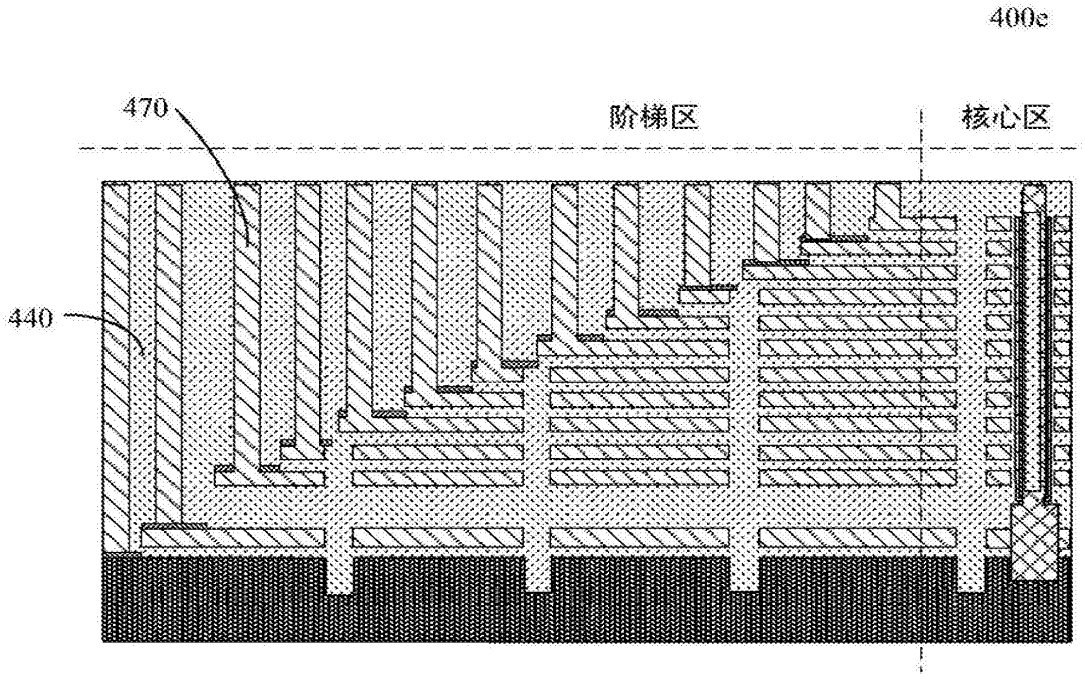


图4E

Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2024-00794

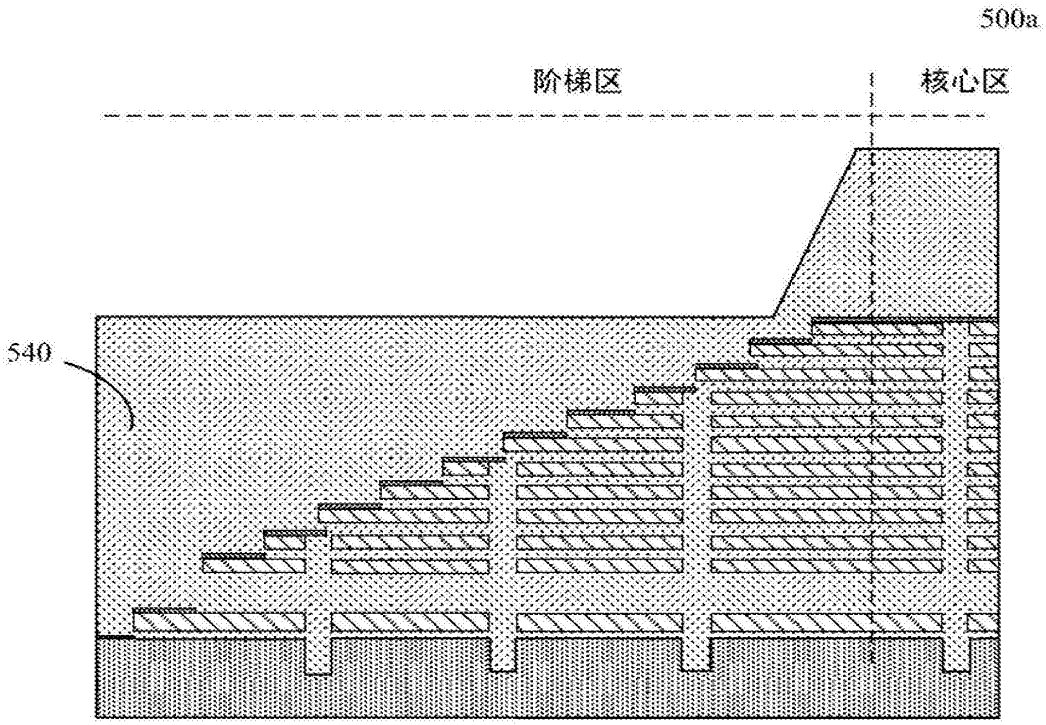


图5A

Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2024-00794

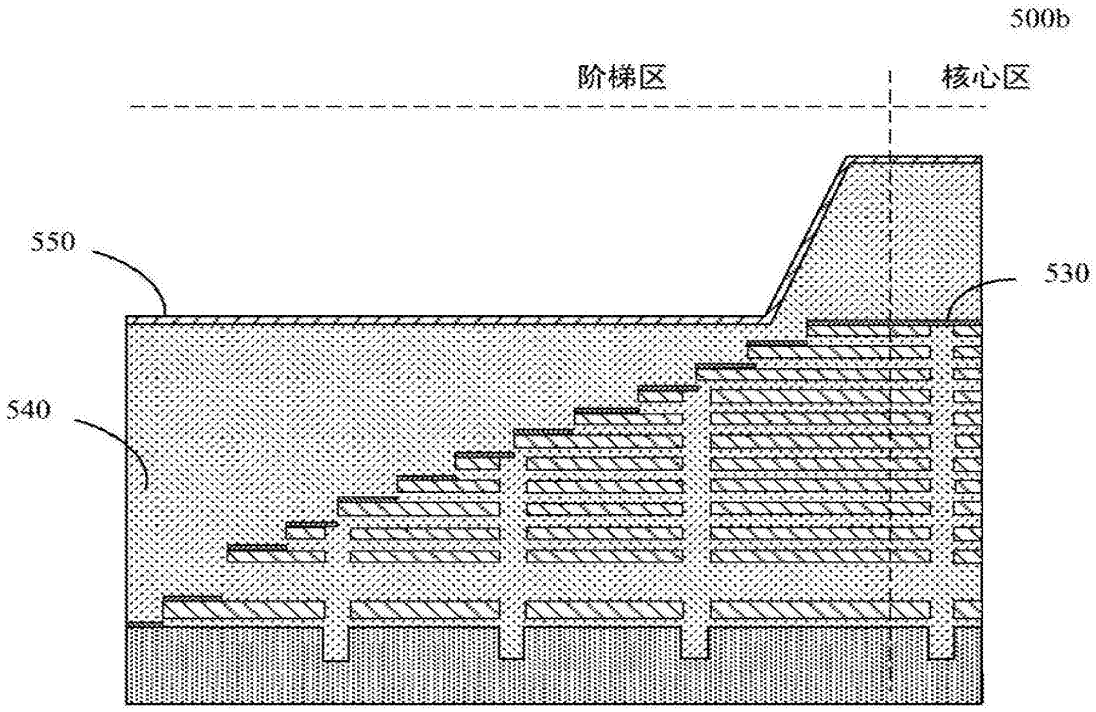


图5B

Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2024-00794

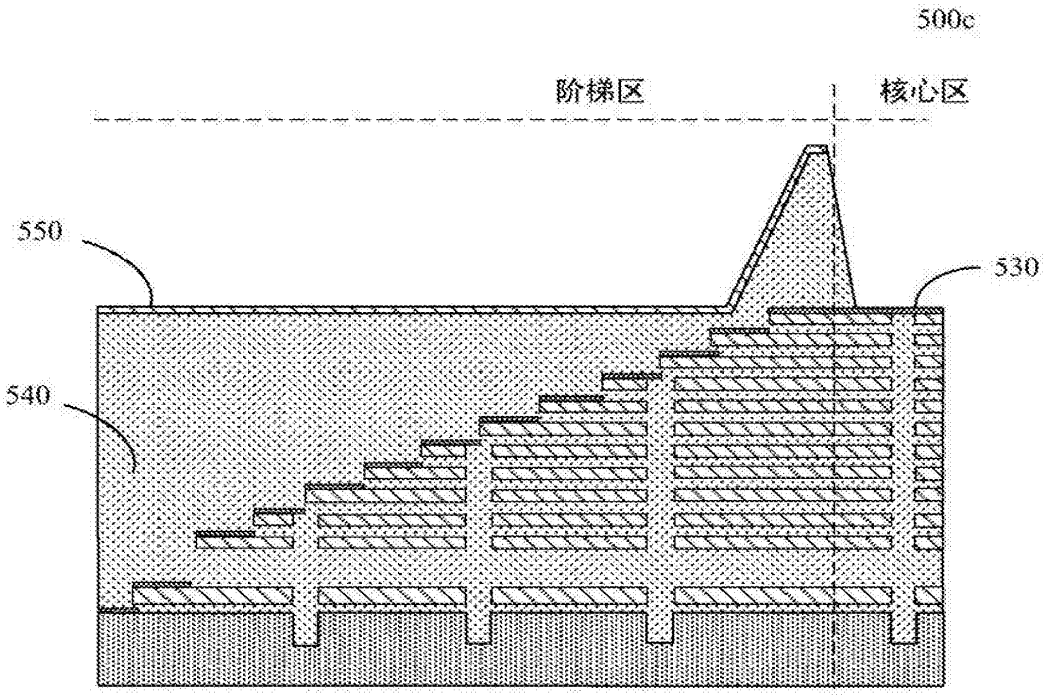


图5C

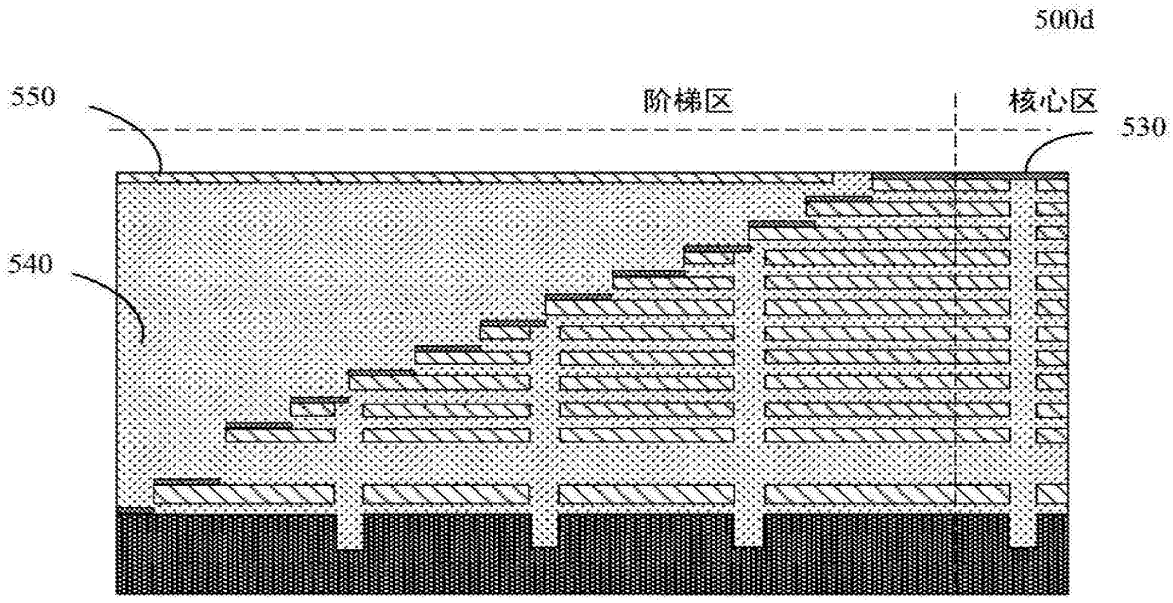


图5D

Micron Ex. 1002, p. 389
Micron v. YMTC
IPR2024-00794

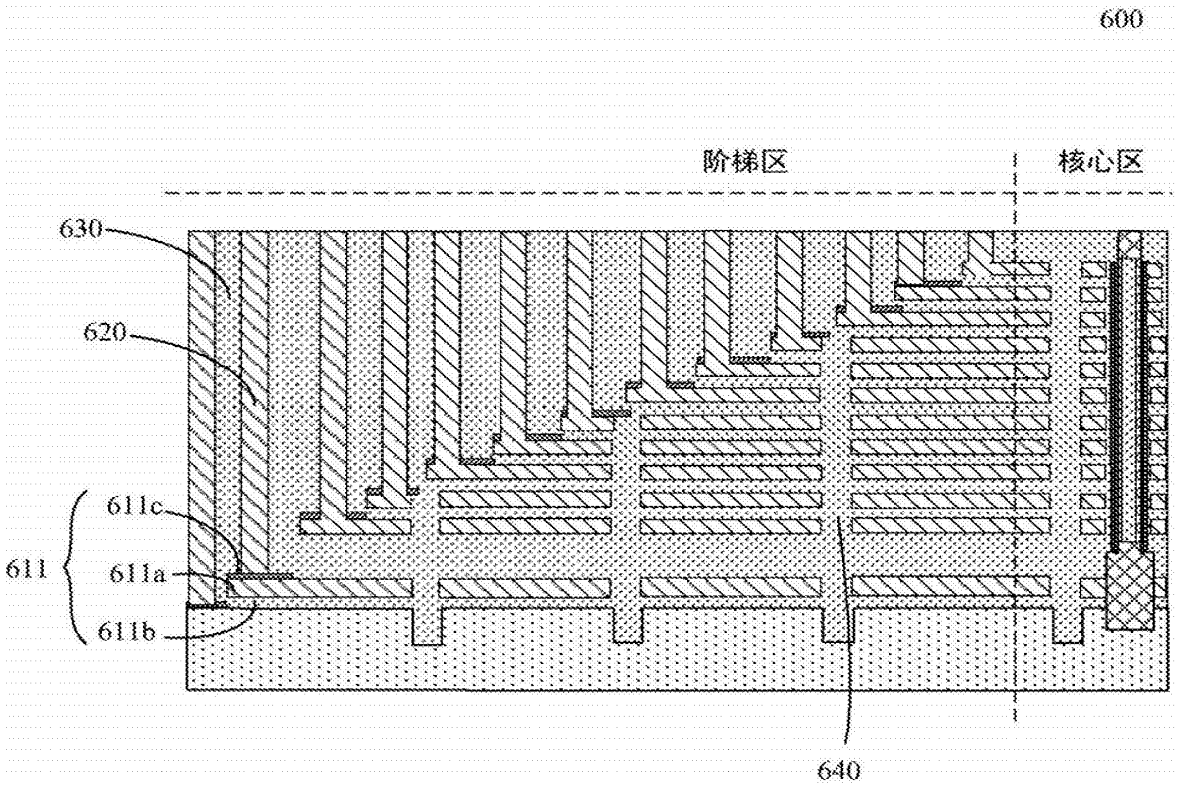


图6

Micron Ex. 1002, p. 390
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: CN108933139 (A) — 2018-12-04

Vertical nonvolatile memory device

Inventor(s): JONGYOON CHOI ± (崔钟允)

Applicant(s): SAMSUNG ELECTRONICS CO LTD ± (三星电子株式会社)

Classification: **- international:*H01L27/115; H01L27/11551; H01L27/11578***
- cooperative: **H01L27/115**; **H01L27/11551**; **H01L27/11578**
more

Application number: CN201710378747 20170525 Global Dossier

Priority number(s): CN201710378747 20170525

Abstract of CN108933139 (A)

Disclosed is a vertical nonvolatile memory device. The vertical nonvolatile memory device comprises a substrate, a first stacked structure, a second stacked structure, first array lines and a second array line; the substrate comprises a cell array area and a contact area; the first stacked structure and the second stacked structure are spaced apart from each other on the substrate in the first direction, and each of the first and second stacked structures includes a first conductive line, a second conductive line, and a third conductive line which are sequentially stacked on the substrate; thefirst array lines locate on the contact area of the substrate, and enable the first and second conductive lines of the first stacked structure to be electrically connected and the first and second conductive lines of the second stacked structure to be electrically connected; and the second array line locates on the contact area of the substrate, and enables the third conductive line of the firststacked structure to be electrically connected to the third conductive line of the second stacked structure. The first array lines and the second array line locate at the same height from the top surface of the substrate.

Micron Ex. 1002, p. 391
Micron v. YMTC
IPR2024-00794

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108933139 A
(43)申请公布日 2018.12.04

(21)申请号 201710378747.4

(22)申请日 2017.05.25

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 崔钟允

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 刘灿强 田野

(51)Int.Cl.
H01L 27/115(2017.01)
H01L 27/11551(2017.01)
H01L 27/11578(2017.01)

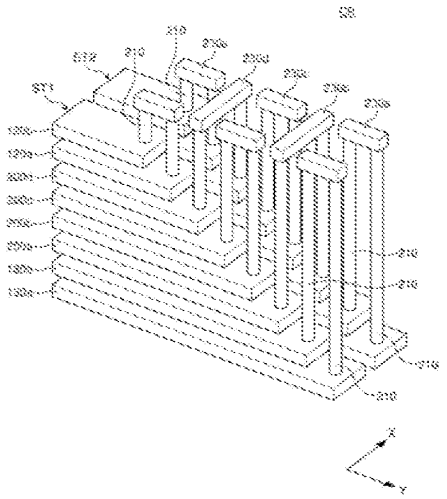
权利要求书3页 说明书13页 附图24页

(54)发明名称

垂直非易失性存储器装置

(57)摘要

公开了一种垂直非易失性存储器装置，所述垂直非易失性存储器装置包括：基底，包括单元阵列区和接触区；第一堆叠结构和第二堆叠结构，在基底上沿第一方向彼此间隔开，第一堆叠结构和第二堆叠结构中的每个包括顺序地堆叠在基底上的第一导电线、第二导电线和第三导电线；第一阵列线，位于基底的接触区上，并将第一堆叠结构和第二堆叠结构中的每个的第一导电线和第二导电线电连接；以及第二阵列线，位于基底的接触区上，并将第一堆叠结构的第三导电线电连接到第二堆叠结构的第三导电线。第一阵列线和第二阵列线位于距基底的顶表面同一高度处。



CN 108933139 A

Micron Ex. 1002, p. 392
Micron v. YMTC
IPR2024-00794

1.一种垂直非易失性存储器装置,所述垂直非易失性存储器装置包括:

基底,包括单元阵列区和接触区;

第一堆叠结构和第二堆叠结构,在基底上沿第一方向彼此间隔开,第一堆叠结构和第二堆叠结构中的每个堆叠结构包括顺序地堆叠在基底上的第一导电线、第二导电线和第三导电线;

第一阵列线,位于基底的接触区上,并将第一堆叠结构和第二堆叠结构中的每个堆叠结构的第一导电线和第二导电线电连接;以及

第二阵列线,位于基底的接触区上,并将第一堆叠结构的第三导电线电连接到第二堆叠结构的第三导电线,

其中,第一阵列线和第二阵列线位于距基底的顶表面同一高度处。

2.根据权利要求1所述的垂直非易失性存储器装置,其中,

第一阵列线在与第一方向交叉的第二方向上延伸,

第二阵列线在第一方向上延伸。

3.根据权利要求1所述的垂直非易失性存储器装置,其中,第一导电线至第三导电线是字线。

4.根据权利要求1所述的垂直非易失性存储器装置,其中,第一堆叠结构和第二堆叠结构中的每个堆叠结构还包括顺序地堆叠在第三导电线上的第四导电线和第五导电线,

其中,所述垂直非易失性存储器装置还包括将第一堆叠结构和第二堆叠结构中的每个堆叠结构的第四导电线和第五导电线电连接的第三阵列线。

5.根据权利要求4所述的垂直非易失性存储器装置,其中,第三阵列线位于与第一阵列线和第二阵列线的高度相同的高度处,所述高度从基底的顶表面测量。

6.根据权利要求4所述的垂直非易失性存储器装置,其中,

第一导电线和第二导电线是地选择线,

第三导电线是字线,

第四导电线和第五导电线是虚设字线。

7.根据权利要求4所述的垂直非易失性存储器装置,其中,

第一导电线和第二导电线是地选择线,

第三导电线是字线,

第四导电线和第五导电线是串选择线。

8.根据权利要求1所述的垂直非易失性存储器装置,所述垂直非易失性存储器装置还包括:

第一垂直沟道结构,位于基底的单元阵列区上并在第一堆叠结构和第二堆叠结构中的每个堆叠结构中;

第二垂直沟道结构,位于第一垂直沟道结构上;以及

垫,位于第一垂直沟道结构与第二垂直沟道结构之间。

9.根据权利要求1所述的垂直非易失性存储器装置,所述垂直非易失性存储器装置还包括位于基底的单元阵列区上并穿透第一堆叠结构和第二堆叠结构中的每个堆叠结构的垂直沟道结构,

其中,垂直沟道结构包括第一段和位于第一段上的第二段,第一段具有宽度比第二段

Micron Ex. 1002, p. 393
Micron v. YMTC
IPR2024-00794

的下部的宽度大的上部。

10.根据权利要求1所述的垂直非易失性存储器装置，所述垂直非易失性存储器装置还包括位于基底中并在第一堆叠结构与第二堆叠结构之间的共源极区，

其中，第二阵列线跨越共源极区。

11.根据权利要求1所述的垂直非易失性存储器装置，所述垂直非易失性存储器装置还包括：

垂直沟道结构，位于基底的单元阵列区上并在第一堆叠结构和第二堆叠结构中的每个堆叠结构中；以及

半导体柱，位于基底与垂直沟道结构之间。

12.一种垂直非易失性存储器装置，所述垂直非易失性存储器装置包括：

第一堆叠结构，位于基底上，并包括顺序地堆叠在基底上的第一导电线、第二导电线、第三导电线和第四导电线；

第一阵列线，将第一导电线与第二导电线彼此电连接；以及

第二阵列线，将第三导电线与第四导电线彼此电连接，

其中，第一阵列线和第二阵列线位于距基底的顶表面同一高度处。

13.根据权利要求12所述的垂直非易失性存储器装置，其中，第一阵列线和第二阵列线在相同方向上延伸。

14.根据权利要求12所述的垂直非易失性存储器装置，其中，

第一导电线和第二导电线是地选择线，

第三导电线和第四导电线是虚设字线。

15.根据权利要求12所述的垂直非易失性存储器装置，其中，

第一导电线和第二导电线是地选择线，

第三导电线和第四导电线是串选择线。

16.根据权利要求12所述的垂直非易失性存储器装置，其中，第一堆叠结构还包括位于第二导电线与第三导电线之间的第五导电线，

其中，所述垂直非易失性存储器装置还包括：

第二堆叠结构，位于基底上，并与第一堆叠结构间隔开，第二堆叠结构包括与第一堆叠结构的第五导电线位于同一水平处的第六导电线；以及

第三阵列线，将第五导电线与第六导电线彼此电连接，

其中，第三阵列线位于与第一阵列线和第二阵列线的高度相同的高度处，所述高度从基底的顶表面测量。

17.根据权利要求16所述的垂直非易失性存储器装置，其中，

第一阵列线和第二阵列线在第一方向上延伸，

第三阵列线在与第一方向交叉的第二方向上延伸。

18.根据权利要求12所述的垂直非易失性存储器装置，其中，第一导电线至第四导电线设置在不同水平处。

19.根据权利要求12所述的垂直非易失性存储器装置，其中，基底包括单元阵列区和接触区，第一阵列线和第二阵列线设置在基底的接触区上，

其中，所述垂直非易失性存储器装置还包括位于基底的单元阵列区上的垂直沟道结

Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2024-00794

构，所述垂直沟道结构穿透第一堆叠结构。

20.根据权利要求19所述的垂直非易失性存储器装置，其中，所述垂直沟道结构包括第一段和位于第一段上的第二段，其中，

第一段穿透第一导电线至第三导电线，

第二段穿透第四导电线，

第一段具有宽度比第二段的下部的宽度大的上部。

Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2024-00794

垂直非易失性存储器装置

技术领域

[0001] 发明构思涉及非易失性存储器装置及其制造方法。更具体地，发明构思涉及包括晶体管的垂直串和多层金属布线的垂直非易失性存储器装置及其制造方法。

背景技术

[0002] 半导体工业采用旨在使传统平面非易失性存储器装置的集成最大化的各种技术。这些技术包括设计单元晶体管的结构，使得两块或更多块数据可以存储在装置的单个单元中。尽管采用这些技术，但是由于所有布线层位于单个平面(层)中的事实，传统平面闪存装置的集成可以增加的程度受到限制。

[0003] 因此，正在开发垂直存储器装置以提供更高的集成度。在垂直存储器装置中，芯片的多个单元晶体管在垂直(或竖直)方向上排列。

发明内容

[0004] 根据本发明构思的示例性实施例，垂直非易失性存储器装置可以包括：基底，包括单元阵列区和接触区；第一堆叠结构和第二堆叠结构，在基底上沿第一方向彼此间隔开，第一堆叠结构和第二堆叠结构中的每个包括顺序地堆叠在基底上的第一导电线、第二导电线和第三导电线；第一阵列线，位于基底的接触区上，并将第一堆叠结构和第二堆叠结构中的每个的第一导电线和第二导电线电连接；以及第二阵列线，位于基底的接触区上，并将第一堆叠结构的第三导电线电连接到第二堆叠结构的第三导电线。第一阵列线和第二阵列线可以位于距基底的顶表面同一高度处。

[0005] 根据本发明构思的示例性实施例，垂直非易失性存储器装置可以包括：第一堆叠结构，位于基底上，并包括顺序地堆叠在基底上的第一导电线、第二导电线、第三导电线和第四导电线；第一阵列线，将第一导电线与第二导电线彼此电连接；以及第二阵列线，将第三导电线与第四导电线彼此电连接。第一阵列线和第二阵列线可以位于距基底的顶表面同一高度处。

附图说明

[0006] 通过下面结合附图的对发明构思的优选实施例的详细描述，发明构思将被更清楚地理解，在附图中：

[0007] 图1是根据发明构思的垂直非易失性存储器装置的实施例的示意性布线图；

[0008] 图2是图1中示出的垂直非易失性存储器装置的实施例的示意性透视图；

[0009] 图3是图1中示出的垂直非易失性存储器装置的实施例的示意性平面图；

[0010] 图4是根据发明构思的垂直非易失性存储器装置的另一实施例的示意性布线图；

[0011] 图5是图4中示出的垂直非易失性存储器装置的实施例的示意性透视图；

[0012] 图6是图4中示出的垂直非易失性存储器装置的实施例的一个层的示意性平面图；

[0013] 图7是图4中示出的垂直非易失性存储器装置的实施例的示意性平面图；

Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2024-00794

[0014] 图8是根据发明构思的垂直非易失性存储器装置的另一实施例的示意性透视图；

[0015] 图9是图8中示出的垂直非易失性存储器装置的实施例的一个层的示意性平面图；

[0016] 图10是图8中示出的垂直非易失性存储器装置的实施例的示意性平面图；

[0017] 图11和图12是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图；

[0018] 图13是根据发明构思的另一实施例的垂直非易失性存储器装置的示意性平面图；

[0019] 图14和图15是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图；

[0020] 图16是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图；

[0021] 图17是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的线I-I'截取的示意性剖视图；

[0022] 图18是根据发明构思的其它实施例的基底的接触区上的垂直非易失性存储器装置的简化示意性透视图；

[0023] 图19是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的线I-I'截取的示意性剖视图；

[0024] 图20是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的线I-I'截取的剖视图；

[0025] 图21是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图；

[0026] 图22A至图22G是中间存储器装置结构的剖视图，并一起示出了根据发明构思的制造垂直非易失性存储器装置的方法的实施例；

[0027] 图23A至图23D是中间存储器装置结构的剖视图，并一起示出了根据发明构思的制造垂直非易失性存储器装置的方法的另一实施例。

具体实施方式

[0028] 现在将参照图1至图3描述根据发明构思的垂直非易失性存储器装置的第一实施例。

[0029] 首先参照图1，垂直非易失性存储器装置10包括基底100、多个存储单元串140、多条集成(或“一体化”)字线150、多条位线180、多个第一连接接触件250和多条字选择线300。

[0030] 存储单元串140以n行乘以m列(例如，2行×4列)的水平矩阵来排列，每个存储单元串140在基底100上沿Z方向(在下文中，被称为“Z轴”方向)垂直地延伸。注意的是，在这里使用空间相对术语“垂直(的)”或“垂直地”来表示与基底100的平面大体垂直的方向，而使用术语“水平(的)”或“水平地”来表示与基底100的平面大体平行的方向。

[0031] 存储单元串140可以分别包括k(例如，k＝4)个存储晶体管110、漏极选择晶体管120和源极选择晶体管130。例如，存储单元串140可以包括具有垂直NAND结构的存储晶体管110。沿着各行(在下文中，被称为“X轴”方向)设置的存储单元串140通过各位线180彼此连接。另外，每行中的存储单元串140可以被分成组，例如，第一存储单元串组GS1和第二存储单元串组GS2。因此，第一存储单元串组GS1和第二存储单元串组GS2在X轴方向上排列。

[0032] 集成字线150分别设置在设置有存储单元串140中的存储晶体管110的数量k(例如，k＝4)个层上。对于集成字线150，i(例如，i＝2)条集成字线150在每层中沿X轴方向布

Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2024-00794

置，k(例如，k＝4)条集成字线150沿Z轴方向布置。更具体地，各个集成字线150结合到设置在同一层中并构成存储单元串组GS1或GS2中相应一个存储单元串组的存储晶体管110的集合155。即，每条集成字线150结合到特定层中的作为第一存储单元串组GS1或第二存储单元串组GS2的一部分的存储晶体管的全部(集合)155。另外，每个集合155的存储晶体管110以n行乘以a列(例如，2行×2列)的矩阵来布置。因此，在该具体示例中，每条集成字线150结合到四个相应的存储晶体管110。此外，集成字线150包括字线200和阵列线(array line，或称为“排列线”、“布置线”)230，字线200中的每条在存储晶体管110之间沿Y轴方向(与X轴方向成例如直角的角度的水平方向)延伸，阵列线230中的每条在存储晶体管110之间沿X轴方向延伸。

[0033] 每条字选择线300连接到结合到存储晶体管110的各集合155的集成字线150。具体地，字选择线300和集成字线150中的各集合字线150分别通过第一连接接触件250彼此连接。第一连接接触件250可以是通路塞(via plug)或再分布线(RDL)等。此外，对于字选择线300，k(例如，k＝4)条字选择线300在X轴方向上布置，i(例如，i＝2)条字选择线300在Z轴方向上布置。

[0034] 图2和图3示出了集成字线150在基底100上沿X轴方向和Z轴方向以2×4矩阵布置的这个示例。虽然未示出，但是绝缘部设置在集成字线150之间，以防止集成字线150彼此导电地连接，即，将集成字线150彼此电隔离。具体地，层间绝缘层可以设置在基底上并分别在层之间。

[0035] 如上面所述，集成字线150通过第一连接接触件250连接到字选择线300。在这方面，集成字线150可以具有一组阶梯(在Z轴方向上)的形式以便于它们与字选择线300的电连接。在这种情况下，第一连接接触件250可以是通路塞。

[0036] 因此，图2和图3示出根据发明构思的方面的字选择线300与集成字线150之间的一对一连接以及字选择线300在Z轴方向上的堆叠。因此，在该示例中，每条字选择线300连接到被施加编程电压的2条字线200(图1)，因此，编程的数量(NOP)也是2。因此，编程的数量(NOP)小于如果具有相同节距的字选择线300设置在单个层上的情况下的编程数量。在那种情况下，仅四条字选择线300可以在X轴方向上布置，各条字选择线300将连接到四条字线200，因此NOP将为4。因此，根据发明构思的字选择线300的布置允许NOP最小化，从而获得高度可靠的垂直非易失性存储器装置。

[0037] 图4示出了根据发明构思的垂直非易失性存储器装置的另一实施例的布局。参照图4，垂直非易失性存储器装置20包括基底100、存储单元串140、各字线200a和200b、第二连接接触件210a和210b、阵列线230、第一连接接触件250和字选择线300。存储单元串140包括位于每层中的存储晶体管156的阵列。例如，存储晶体管的4×2阵列在X轴方向和Y轴方向上设置。第二连接接触件210a、210b和第一连接接触件250可以是通路塞或RDL等。

[0038] 对于字线200a和200b，m(例如，m＝4)条字线200a和200b在X轴方向上布置，k(例如，k＝4)条字线200a和200b在Z轴方向上布置。另外，字线200a和200b分别结合到在Y轴方向上布置的n(例如，n＝2)个存储晶体管156。更具体地，字线200a和200b中的每条结合到层内的设置在同一行中的各存储晶体管156。字线200a和200b在X轴方向上也划分为i(例如，i＝2)组。因此，在该示例中，字线200a和200b在X轴方向上划分为第一字线组GW1和第二字线组GW2。

Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2024-00794

[0039] 对于阵列线230，i(例如，i＝2)条阵列线230在X轴方向上布置，k(例如，k＝4)条阵列线230在Y轴上方向布置。阵列线230分别连接到同一层内在X轴方向上布置的数量a(例如，a＝2)的各条字线200a和200b。阵列线230和各字线200a和200b经由第二连接接触件210a和210b彼此连接。另外，在该示例中，每条阵列线230分别连接到位于同一相应的字线组GW1或GW2中的各条字线200a和200b。

[0040] 对于字选择线300，k(例如，k＝4)条字选择线300在X轴方向上布置，i(例如，i＝2)条字选择线300在Z轴方向上布置。字选择线300分别连接到阵列线230。字选择线300和阵列线230可以经由第一连接接触件250彼此连接。

[0041] 现在将参照图5至图7的示意性透视图和平面图。

[0042] 图5至图7示出垂直非易失性存储器装置20的各条字线200a和200b如何在基底100上沿X轴和Z轴方向以4×4的矩阵布置。尽管未示出，但是绝缘部设置在各条字线200a和200b之间，以防止各条字线200a和200b彼此导电地结合。

[0043] 每条阵列线230分别连接到各条字线200a和200b中的一些。另外，各条字线200a和200b以阶梯的形式堆叠，以便于阵列线230与字线200a和200b之间的电连接。在这种情况下，第二连接接触件210a和210b可以是通路塞。

[0044] 将参照图8至图10描述根据发明构思的垂直非易失性存储器装置的另一实施例。

[0045] 垂直非易失性存储器装置30包括基底100、基底100上的多个存储单元串(未示出)、各字线200a、200b、200c和200d、第二连接接触件210a、210b、210c和210d、阵列线230、第一连接接触件250以及字选择线300。

[0046] 存储单元串以n行×m列(例如，m＝8)的矩阵来布置，并且每个存储单元串在Z轴方向上延伸(即，具有在Z轴方向上布置的多个存储晶体管)。存储单元串可以分别包括k(例如，k＝8)个存储晶体管(未示出)、漏极选择晶体管(未示出)和源极选择晶体管(未示出)。在X轴方向上布置的每组存储单元串中的存储单元串通过相应的位线(未示出)彼此连接。

[0047] 对于字线200a、200b、200c和200d，m(例如，m＝8)条各字线200a、200b、200c和200d在X轴方向上布置，k(例如，k＝8)条各字线200a、200b、200c、200d在Z轴方向上布置。字线200a、200b、200c和200d设置在k(例如，k＝8)层中的每层中的i(例如，i＝2)组中。另外，字线200a、200b、200c和200d中的每条连接到在Y轴方向上布置的n个存储晶体管(未示出)。

[0048] 对于阵列线230，i(例如，i＝2)条阵列线230在X轴方向上布置，k(例如，k＝8)条阵列线230在Y轴方向上布置。阵列线230分别结合到各字线200a、200b、200c和200d的组，并且每条阵列线230分别连接到在X轴方向上成组布置的那些字线200a、200b、200c和200d。因此，每条阵列线230连接到数量a(例如，a＝4)条的字线。阵列线230以及各字线200a、200b、200c和200d通过第二连接接触件210a、210b、210c和210d彼此连接。第二连接接触件210a、210b、210c和210d可以是通路塞或RDL等。

[0049] 对于字选择线300，k(例如，k＝8)条字选择线300在X轴方向上布置，i(例如，i＝2)条字选择线300在Z轴方向上布置。字选择线300分别结合到阵列线230。在这方面，字选择线300和阵列线230通过第一连接接触件250彼此连接。第一连接接触件250可以是通路塞或RDL等。

[0050] 图11和图12示出了根据发明构思的垂直非易失性存储器装置40的另一实施例。

[0051] 垂直非易失性存储器装置40包括具有第一区410、第二区420和第三区430的基底

Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2024-00794

100、存储单元串140、字线200a、200b、200c和200d、第二连接接触件210a、210b、210c和210d、多条第一阵列线230a、多条第二阵列线230b、多条第一字选择线300a以及多条第二字选择线300b。

[0052] 存储单元串140以n行乘以m列(例如,m=8)的矩阵布置在基底100的第一区410上,并且存储单元串140中的每个在基底100上沿Z轴方向延伸。存储单元串140可以分别包括k(例如,k=8)个存储晶体管(未示出)、漏极选择晶体管(未示出)和源极选择晶体管(未示出)。分布在X轴方向上的每组存储单元串140中的存储单元串140通过相应的位线(未示出)彼此连接。

[0053] 对于各字线200a、200b、200c和200d,m(例如,m=8)条各字线200a、200b、200c和200d在X轴方向上布置,k(例如,k=8)条各字线200a、200b、200c、200d在Z轴方向上布置。字线200a、200b、200c和200d中的每条在基底100的第一区410至第三区430之上沿Y轴方向延伸。另外,字线200a、200b、200c和200d中的每条结合到在k(例如,k=8)层中的各层内沿Y轴方向分布的n个存储晶体管(未示出)。

[0054] 对于设置在第二区420中的第一阵列线230a,j(例如,j=2)条第一阵列线230a在X轴方向上布置,k(例如,k=8)条第一阵列线230a在Y轴方向上布置。第一阵列线230a分别结合到在X轴方向上彼此相邻的数量a(例如,a=2)的相应的字线,即,字线200a和200b。

[0055] 对于设置在第三区430中的第二阵列线230b,j(例如,j=2)条第二阵列线230b在X轴方向上布置,k(例如,k=8)条第二阵列线230b在Y轴方向上布置。第二阵列线230b分别结合到在X轴方向上彼此相邻但是相对于基底100的第二区420上被第一阵列线230a连接的字线200a和200b在X轴方向上偏移的数量a(例如,a=2)的各字线,即,字线200c和200d。

[0056] 第一阵列线230a和第二阵列线230b以及各字线200a、200b、200c和200d通过第二连接接触件210a、210b、210c和210d彼此连接。第二连接接触件210a、210b、210c和210d可以是通路塞或RDL等。在这方面,k(例如,k=8)条字线200a、200b、200c或200d可以具有阶梯的形式(具有从第一区410朝向第二区420和第三区430中的每个延伸的台阶)以便于它们与阵列线230a和230b的电连接。

[0057] 对于第一字选择线300a,k(例如,k=8)条第一字选择线300a在X轴方向上布置,j(例如,j=2)条第一字选择线300a在Z轴方向上布置。第一字选择线300a分别结合到第一阵列线230a。

[0058] 对于第二字选择线300b,k(例如,k=8)条第二字选择线300b在X轴方向上布置,并且j(例如,j=2)条第二字选择线300b在Z轴方向上布置。第二字选择线300b分别结合到第二阵列线230b。

[0059] 第一字选择线300a和第二字选择线300b与第一阵列线230a和第二阵列线230b通过第一连接接触件250a和250b彼此连接。第一连接接触件250a和250b可以是通路塞或RDL等。

[0060] 图13示出了根据发明构思的垂直非易失性存储器装置50的另一实施例。除了多条集成字线150代替字线200a、200b、200c和200d、第二连接接触件210a、210b、210c和210d以及第一阵列线230a和第二阵列线230b之外,该实施例与图11和12中所示的垂直非易失性存储器装置40的实施例类似。因此,这里将不重复与垂直非易失性存储器装置40的特征/方面类似的垂直非易失性存储器装置50的特征/方面的描述。

Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2024-00794

[0061] 对于集成字线150，2*j(例如，2*j＝4)条集成字线150在X轴方向上布置，k(例如，k＝8)条集成字线150在Z轴方向上布置。集成字线150均在基底100的第一区410至第三区430上沿Y轴方向延伸。另外，集成字线150分别设置在设置有存储单元串140的存储单元(未示出)的数量k(例如，k＝8)个层上。集成字线150中的每条分别结合到基底100上的同一层中以n行乘以a(例如，a＝2)列的矩阵布置的一组存储晶体管(未示出)。尽管未示出，但是层间绝缘部设置在集成字线150之间，以防止集成字线150彼此导电连接。

[0062] 对于设置在第二区420中的第一字选择线300a，k(例如，k＝8)条第一字选择线300a在X轴方向上布置，j(例如，j＝2)条第一字选择线300a在Z轴方向上布置。第一字选择线300a结合到位于基底100的第二区420之上的相应的集成字线150。

[0063] 对于设置在第三区430中的第二字选择线300b，k(例如，k＝8)条第二字选择线300b在X轴方向上布置，j(例如，j＝2)条第二字选择线300b在Z轴方向上布置。第二字选择线300b结合到位于基底100的第三区430之上的相应的集成字线150。

[0064] 第一字选择线300a和第二字选择线300b通过第一连接接触件250a和250b连接到相应的集成字线150。在这方面，在Z轴方向上分布的每组集成字线150的k(例如，k＝8)条集成字线150可以被构造为阶梯(具有从第一区410朝向第二区420和第三区430中的每个延伸的台阶)，以便于它们与第一字选择线300a和第二字选择线300b电连接。在这种情况下，第一连接接触件250a和250b可以是通路塞。

[0065] 图14和图15示出了根据发明构思的垂直非易失性存储器装置的另一实施例。除了关于阵列线与字线之间以及字选择线与阵列线之间的连接的形式之外，垂直非易失性存储器装置60与参照图11和图12描述的垂直非易失性存储器装置40的实施例类似。因此，这里将不再重复与垂直非易失性存储器装置40的特征/方面相同的垂直非易失性存储器装置60的其它特征/方面的描述。

[0066] 参照图14和图15，设置在第二区420上的第一阵列线230a中的每条连接到在X轴方向上不相邻的相应的一对字线，即，字线200a和200c。类似地，设置在第三区430上的第二阵列线230b中的每条连接到在X轴方向上不相邻的相应的一对字线，即，字线200b和200d。

[0067] 第一阵列线230a和第二阵列线230b以及相应的字线200a和200c或200b和200d经由第二连接接触件210a和210c或210b和210d彼此连接。第二连接接触件210a和210c或210b和210d可以是通路塞或RDL等。

[0068] 图16是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图。图17是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的线I-I'截取的示意性剖视图。图18是根据发明构思的其它实施例的基底的接触区上的垂直非易失性存储器装置的简化示意性透视图。为了描述的简洁，将省略对重复组件的说明。

[0069] 参照图16和图17，垂直非易失性存储器装置70可以包括基底100、第一堆叠结构ST1、第二堆叠结构ST2、连接接触件210以及第一至第五阵列线230a、230b、230c、230d和230e。

[0070] 基底100可以包括单元阵列区CAR和接触区CR。接触区CR可以设置在单元阵列区CAR的一侧上。基底100可以是硅基底、硅锗基底、锗基底或在单晶硅基底上生长的单晶外延层。

[0071] 第一堆叠结构ST1和第二堆叠结构ST2可以设置在基底100的单元阵列区CAR和接

Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2024-00794

触区CR上。第一堆叠结构ST1和第二堆叠结构ST2可以在基底100的顶表面上沿第一方向X彼此间隔开设置。第一堆叠结构ST1和第二堆叠结构ST2中的每个可以包括在基底100的顶表面上交替地且重复地堆叠的栅极绝缘线170以及栅极导电线130a、130b、200a、200b、200c、200d、120a和120b。

[0072] 栅极绝缘线170可以顺序地堆叠在基底100的单元阵列区CAR和接触区CR上。栅极绝缘线170可以包括例如氧化硅层。

[0073] 栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以设置在栅极绝缘线170之间。栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以设置在不同的水平处。栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以包括第一地选择线130a和第二地选择线130b、第一至第四字线200a、200b、200c和200d以及第一串选择线120a和第二串选择线120b。第一地选择线130a和第二地选择线130b可以顺序地堆叠在基底100上，第一至第四字线200a至200d可以顺序地堆叠在第二地选择线130b上。第一串选择线120a和第二串选择线120b可以顺序地堆叠在第四字线200d上。

[0074] 栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以具有在与第一方向X交叉的第二方向Y上的它们的长度，并且该长度可以随着远离基底100而减小。例如，在栅极导电线之中，第一地选择线130a可以具有在第二方向Y上的最大的长度，在栅极导电线之中，第二串选择线120b可以具有在第二方向Y上的最小的长度。在这种构造中，栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以在基底100的接触区CR上具有暴露的端部。

[0075] 在一些实施例中，第一地选择线130a和第二地选择线130b中的一条或两条可以与图1中讨论的源极选择晶体管130的栅电极对应，并且第一串选择线120a和第二串选择线120b中的一条或两条可以与图1中讨论的漏极选择晶体管120的栅电极对应。第一至第四字线200a至200d可以与图1中讨论的单元存储晶体管110的栅电极对应。

[0076] 在基底100的单元阵列区CAR上，垂直沟道结构VC可以设置在形成于第一堆叠结构ST1和第二堆叠结构ST2的每个中的沟道孔CH内。多个垂直沟道结构VC可以沿着第二方向Y以Z字形或以直线布置。垂直沟道结构VC可以包括空心管、圆柱体或杯的形状。垂直沟道结构VC可以电连接到基底100。垂直沟道结构VC可以包括单个层或多个层。垂直沟道结构VC可以包括例如单晶硅层、有机半导体层和碳纳米结构中的一种或更多种。

[0077] 沟道孔CH可以包括第一孔H1和第二孔H2。第二孔H2可以设置在第一孔H1上。第一孔H1和第二孔H2可以互相连接以形成单个孔。第一孔H1可以具有比其上部宽度小的下部宽度，并且第二孔H2可以具有比其上部宽度小的下部宽度。第一孔H1的上部宽度可以大于第二孔H2的下部宽度。垂直沟道结构VC可以包括第一段PA1和第二段PA2。第一段PA1可以设置在沟道孔CH的第一孔H1内，第二段PA2可以设置在沟道孔CH的第二孔H2内。在一些实施例中，关于垂直沟道结构VC，第一段PA1可以具有其宽度W1大于第二段PA2的下部的宽度W2(W1>W2)的上部。因此，垂直沟道结构VC可以具有局部歪斜(crooked)的侧壁。

[0078] 在一些实施例中，垂直沟道结构VC的第一段PA1可以穿透第一字线200a和第二字线200b，垂直沟道结构VC的第二段PA2可以穿透第三字线200c和第四字线200d以及第一串选择线120a和第二串选择线120b。

[0079] 半导体柱SP可以设置在沟道孔CH内。例如，半导体柱SP可以设置在基底100与垂直

Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2024-00794

沟道结构VC之间，并可以穿透第一地选择线130a和第二地选择线130b。半导体柱SP可以电连接到垂直沟道结构VC。可以执行选择性外延生长，以通过沟道孔CH暴露的部分用作种子从基底100生长半导体柱SP。半导体柱SP可以包括具有与基底100的方向性(directionality)相同的方向性的材料，并可以是例如本征或p导电型半导体。

[0080] 沟道孔CH可以在其中设置有围绕垂直沟道结构VC的外侧壁的电荷存储结构VIL。例如，电荷存储结构VIL可以设置在垂直沟道结构VC与第一至第四字线200a至200d中的每条之间以及垂直沟道结构VC与第一串选择线120a和第二串选择线120b中的每条之间。电荷存储结构VIL可以在与基底100的顶表面垂直的方向上延伸。电荷存储结构VIL可以包括隧穿绝缘层(未示出)、阻挡绝缘层(未示出)和电荷存储层(未示出)。隧穿绝缘层可以靠近垂直沟道结构VC设置，阻挡绝缘层可以靠近第一至第四字线200a至200d以及第一串选择线120a和第二串选择线120b设置，电荷存储层可以设置在隧穿绝缘层与阻挡绝缘层之间。隧穿绝缘层可以包括例如氧化硅层或高k介电层(例如，氧化铝(Al_2O_3)或氧化铪(HfO_2))。电荷存储层可以包括例如氮化硅层。阻挡绝缘层可以包括例如氧化硅层或高k介电层(例如，氧化铝(Al_2O_3)或氧化铪(HfO_2))。

[0081] 填隙层490可以设置在被垂直沟道结构VC围绕的内腔中。例如，填隙层490可以包括诸如氧化硅层、氮化硅层或氮氧化硅层的绝缘材料。垫(pad)P可以设置在垂直沟道结构VC的上部上或垂直沟道结构VC的上部处。垫P可以电连接到垂直沟道结构VC。垫P可以包括导电材料或掺杂有与垂直沟道结构VC的导电性不同的导电性的杂质的半导体材料。

[0082] 水平绝缘层PIL可以设置在半导体柱SP与第一地选择线130a和第二地选择线130b中的每条之间、垂直沟道结构VC与第一至第四字线200a至200d中的每条之间以及垂直沟道结构VC与第一串选择线120a和第二串选择线120b中的每条之间。水平绝缘层PIL可以延伸到第一地选择线130a和第二地选择线130b中的每条的顶表面和底表面、第一至第四字线200a至200d中的每条的顶表面和底表面以及第一串选择线120a和第二串选择线120b中的每条的顶表面和底表面上。水平绝缘层PIL可以包括例如氧化硅层或高k介电层(例如，氧化铝(Al_2O_3)或氧化铪(HfO_2))。

[0083] 第一层间绝缘层500可以设置在第一堆叠结构ST1和第二堆叠结构ST2中的每个上。第一层间绝缘层500可以覆盖垫P和最上栅极绝缘线170的顶表面。第一层间绝缘层500可以包括例如氧化硅层。

[0084] 共源极区CSR可以设置在基底100中并在第一堆叠结构ST1与第二堆叠结构ST2之间。共源极区CSR可以在第二方向Y上延伸。共源极区CSR可以具有与基底100的导电性不同的导电性。接触结构510可以设置在基底100的顶表面上并在第一堆叠结构ST1与第二堆叠结构ST2之间。接触结构510可以沿着共源极区CSR在第二方向Y上延伸。接触结构510可以具有线形或矩形形状。接触结构510可以电连接到共源极区CSR。接触结构510可以包括共源极接触件511和间隔件513。共源极接触件511可以电连接到共源极区CSR。共源极接触件511可以包括例如金属材料(例如，钨、铜或铝)或过渡金属材料(例如，钛或钽)。间隔件513可以围绕共源极接触件511的外侧壁。间隔件513可以包括例如绝缘材料(例如，氧化硅层或氮化硅层)。

[0085] 第二层间绝缘层520可以设置在第一层间绝缘层500和接触结构510上。第二层间绝缘层520可以覆盖第一层间绝缘层500和接触结构510的顶表面。第二层间绝缘层520可以

Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2024-00794

包括例如绝缘材料(例如,氧化硅层)。

[0086] 位线接触塞530可以设置在垫P上。位线接触塞530可以穿透第一层间绝缘层500和第二层间绝缘层520,然后可以与垫P接触。位线接触塞530可以通过垫P电连接到垂直沟道结构VC。位线180可以设置在位线接触塞530上。位线180可以在第一方向X上延伸并跨越第一堆叠结构ST1和第二堆叠结构ST2。位线180可以电连接到位线接触塞530。

[0087] 参照图16至图18,连接接触件210可以设置在基底100的接触区CR上。如上所述,第一堆叠结构ST1和第二堆叠结构ST2中的每个中的栅极导电线130a、130b、200a、200b、200c、200d、120a和120b可以具有暴露在基底100的接触区CR上的端部,连接接触件210可以设置在暴露的端部上。连接接触件210可以电连接到栅极导电线130a、130b、200a、200b、200c、200d、120a和120b。连接接触件210可以使其顶表面处于同一水平处。

[0088] 第一至第五阵列线230a至230e可以设置在基底100的接触区CR上。第一至第五阵列线230a至230e可以设置在连接接触件210的顶表面上。第一至第五阵列线230a至230e中的每条可以电连接到一对连接接触件210。

[0089] 第一阵列线230a可以电连接到设置在第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一地选择线130a和第二地选择线130b的端部上的一对连接接触件210。因此,第一阵列线230a可以电连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一地选择线130a和第二地选择线130b。换句话说,第一阵列线230a可以共同连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一地选择线130a和第二地选择线130b。在一些实施例中,两条第一地选择线130a和第二地选择线130b可以用作一个地选择晶体管的栅电极。第一阵列线230a可以在第二方向Y上延伸。第一阵列线230a可以位于距离基底100的顶表面第一高度处。

[0090] 第二阵列线230b可以电连接到一对连接接触件210,一对连接接触件210中的一个设置在包括在第一堆叠结构ST1中的第一字线200a的端部上,一对连接接触件210中的另一个设置在包括在第二堆叠结构ST2中的第一字线200a的端部上。因此,第二阵列线230b可以电连接到包括在第一堆叠结构ST1中的第一字线200a和包括在第二堆叠结构ST2中的第一字线200a。换句话说,第二阵列线230b可以共同连接到第一堆叠结构ST1的第一字线200a和第二堆叠结构ST2的第一字线200a。第二阵列线230b可以在与第一阵列线230a的延伸方向交叉的方向上延伸。例如,第二阵列线230b可以在第一方向X上延伸。第二阵列线230b可以跨越共源极区CSR。第二阵列线230b可以位于距离基底100的顶表面第一高度处。即,第二阵列线230b可以位于与第一阵列线230a的高度相同的高度处。

[0091] 第三阵列线230c可以电连接到设置在第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第二字线200b和第三字线200c的端部上的一对连接接触件210。因此,第三阵列线230c可以电连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第二字线200b和第三字线200c。换句话说,第三阵列线230c可以共同连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第二字线200b和第三字线200c。第三阵列线230c可以在第二方向Y上延伸。例如,第三阵列线230c可以在与第一阵列线230a的延伸方向相同的方向并在与第二阵列线230b的延伸方向交叉的方向上延伸。第三阵列线230c可以位于距离基底100的顶表面第一高度处。即,第三阵列线230c可以位于与第一阵列线230a和第二阵列线230b的高度相同的高度处。

Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2024-00794

[0092] 在一些实施例中，第二字线200b和第三字线200c可以是虚设字线。即，第二字线200b和第三字线200c可以不被用作单元存储晶体管的栅电极。作为一个示例，由于第一孔H1的上部宽度与第二孔H2的下部宽度之间的宽度差，因此沟道孔CH可以在第一孔H1与第二孔H2之间的侧壁处具有不均匀性。当电荷存储结构VIL有缺陷地形成在沟道孔CH的不均匀的侧壁上时，设置在有缺陷地形成的电荷存储结构VIL的侧壁上的至少一条字线(例如，第二字线200b)可以不被用作单元存储晶体管的栅电极。

[0093] 作为另一示例，由于第一孔H1的上部宽度与第二孔H2的下部宽度之间在宽度上的差异，因此任何其它字线与垂直沟道结构VC的设置在第一孔H1中的第一段PA1的上侧壁上的第二字线200b之间可以在面积上存在差异。同样地，任何其它字线与垂直沟道结构VC的设置在第二孔H2中的第二段PA2的下侧壁上的第三字线200c之间也可以在面积上存在差异。例如，第三字线200c可以具有比任何其它字线的面积大的面积，第二字线200b可以具有比任何其它字线的面积小的面积。在这种情况下，第二字线200b和第三字线200c的阈值电压可以大于或小于任何其它字线的阈值电压。因此，第二字线200b和第三字线200c可以不被用作单元存储晶体管的栅电极。

[0094] 第四阵列线230d可以电连接到一对连接接触件210，一对连接接触件210中的一个设置在第一堆叠结构ST1中包括的第四字线200d的端部上，一对连接接触件210中的另一个设置在第二堆叠结构ST2中包括的第四字线200d的端部。因此，第四阵列线230d可以电连接到第一堆叠结构ST1的第四字线200d和第二堆叠结构ST2的第四字线200d。换句话说，第四阵列线230d可以共同连接到第一堆叠结构ST1的第四字线200d和第二堆叠结构ST2的第四字线200d。第四阵列线230d可以在与第二阵列线230b的延伸方向相同的方向上延伸。例如，第四阵列线230d可以在第一方向X上延伸。第四阵列线230d可以位于距离基底100的顶表面第一高度处。即，第四阵列线230d可以位于与第一阵列线230a至第三阵列线230c的高度相同的高度处。

[0095] 第五阵列线230e可以电连接到设置在第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一串选择线120a和第二串选择线120b的端部上的一对连接接触件210。因此，第五阵列线230e可以电连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一串选择线120a和第二串选择线120b。换句话说，第五阵列线230e可以共同连接到第一堆叠结构ST1和第二堆叠结构ST2中的每个中包括的第一串选择线120a和第二串选择线120b。在一些实施例中，两条第一串选择线120a和第二串选择线120b可以用作一个串选择晶体管的栅电极。第五阵列线230e可以在与第一阵列线230a和第三阵列线230c的延伸方向相同的方向上延伸。例如，第五阵列线230e可以在第二方向Y上延伸。第五阵列线230e可以位于距离基底100的顶表面第一高度处。即，第五阵列线230e可以位于与第一阵列线230a至第四阵列线230d的高度相同的高度处。

[0096] 根据本发明构思的实施例，基底100可以在其上设置有在第一方向X上延伸的第二阵列线230b和第四阵列线230d以及在与第一方向X交叉的第二二方向Y上延伸的第一阵列线230a、第三阵列线230c和第五阵列线230e，并且第一阵列线230a至第五阵列线230e中的全部可以位于距离基底100的顶表面相同的高度处。第一阵列线230a至第五阵列线230e可以通过一个蚀刻工艺和一个沉积工艺同时形成在同一高度处，因此，可以简化制造工艺。

[0097] 图19是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的

Micron Ex. 1002, p. 405
Micron v. YMTC
IPR2024-00794

线I-I'截取的示意性剖视图。为了描述的简洁，将省略对重复组件的说明。

[0098] 参照图19，垂直沟道结构VC和电荷存储结构VIL可以穿透第一地选择栅极线130a和第二地选择栅极线130b，从而与基底100接触。即，图19的垂直非易失性存储器装置可以不具有图17中所示的半导体柱SP。

[0099] 图20是示出根据发明构思的其它实施例的垂直非易失性存储器装置的沿图16的线I-I'截取的剖视图。为了描述的简洁，将省略对重复组件的说明。

[0100] 参照图20，在基底100的单元阵列区CAR上，第一垂直沟道结构VC1和第二垂直沟道结构VC2可以分别设置在第一堆叠结构ST1和第二堆叠结构ST2内。第二垂直沟道结构VC2可以设置在第一垂直沟道结构VC1上。在一些实施例中，第一垂直沟道结构VC1可以穿透第一地选择线130a和第二地选择线130b以及第一字线200a和第二字线200b。第一垂直沟道结构VC1可以与基底100接触。第二垂直沟道结构VC2可以穿透第三字线200c和第四字线200d以及第一串选择线120a和第二串选择线120b。在一些实施例中，第一垂直沟道结构VC1可以具有宽度小于它的上部的宽度的下部。第二垂直沟道结构VC2同样可以具有宽度小于它的上部的宽度的下部。第一垂直沟道结构VC1的上部可以具有比第二垂直沟道结构VC2的下部的宽度大的宽度。

[0101] 第一电荷存储结构VIL1可以围绕第一垂直沟道结构VC1的外侧壁，第二电荷存储结构VIL2可以围绕第二垂直沟道结构VC2的外侧壁。填隙层490可以设置在被第一电荷存储结构VIL1和第二电荷存储结构VIL2中的每个围绕的内腔中。

[0102] 第一垫P1可以设置在第一垂直沟道结构VC1的上部处或设置在第一垂直沟道结构VC1的上部上，第二垫P2可以设置在第二垂直沟道结构VC2的上部处或设置在第二垂直沟道结构VC2的上部上。在一些实施例中，第一垫P1可以具有与栅极绝缘线170中的至少一条的顶表面位于同一水平处的顶表面。例如，第一垫P1的顶表面可以与置于第二字线200b与第三字线200c之间的栅极绝缘线170的顶表面的水平位于同一水平处。第二垫P2可以具有与最上栅极绝缘线170的顶表面的水平位于同一水平处的顶表面。

[0103] 第一垫P1可以在其中容纳第二垂直沟道结构VC2和第二电荷存储结构VIL2的下部。第二垂直沟道结构VC2可以与第一垫P1接触。第二垂直沟道结构VC2可以通过第一垫P1和第一垂直沟道结构VC1电连接到基底100。

[0104] 图21是根据发明构思的其它实施例的垂直非易失性存储器装置的示意性平面图。为了描述的简洁，将省略对重复组件的说明。

[0105] 参照图21，栅极导电线200和栅极绝缘线170可以交替地且重复地堆叠在基底100的顶表面上。分离绝缘层515可以水平地分离栅极导电线200。最上栅极导电线200可以包括通过分离绝缘层515彼此水平地分离的串选择线SSL和地选择线GSL。多个垂直沟道孔CH可以穿透栅极导电线200。基底100可以在其中设置有水平沟道孔RSR，水平沟道孔RSR连接在水平方向上彼此间隔开的一对垂直沟道孔CH。即，一个垂直沟道孔CH可以穿透串选择线SSL，该垂直沟道孔CH通过水平沟道孔RSR连接到穿透地选择线GSL的与其相邻的另一垂直沟道孔CH。电荷存储结构VIL和垂直沟道结构VC可以顺序地设置在垂直沟道孔CH的侧壁和水平沟道孔RSR的侧壁上。

[0106] 垂直沟道结构VC可以具有一端部，该端部穿透串选择线SSL，并在其上顺序地设置有用于将垂直沟道结构VC连接到位线180的第一接触件540、辅助线(subsidiary line)550

Micron Ex. 1002, p. 406
Micron v. YMTC
IPR2024-00794

和第二接触件560。垂直沟道结构VC可以具有相反的端部，该端部穿透地选择线GSL并通过其它第一接触件540连接到共源极线CSL。

[0107] 图22A至图22G示出了根据发明构思的制造垂直非易失性存储器装置的方法。

[0108] 参照图22A，在基底(未示出)上沿Z轴方向一个在另一个顶上交替地形成各条字线200和层间绝缘层205。各条字线200可以越来越短，以整体上具有阶梯的形式，将层间绝缘层205一体化以形成(电气的)层间绝缘的块。

[0109] 参照图22B，使层间绝缘部图案化以在其中形成分别与字线200连通的开口209。填充开口209以形成分别连接到各字线200的第二连接接触件210。通过本领域本身公知的“图案化”工艺执行在层中形成开口和使用导电材料填充开口的步骤。例如，这种图案化工艺涉及蚀刻(蚀刻层以形成开口)、沉积(沉积材料以填充开口)和平坦化(使所得到的结构平坦化)工艺。

[0110] 参照图22C，通过图案化工艺分别在第二连接接触件210的上部上形成下层阵列线231和第一临时连接接触件229。因此，字线200的下层2通过一组第二连接接触件210连接到下层阵列线231。字线200的上层1通过另一组第二连接接触件210连接到第一临时连接接触件229。

[0111] 参照图22D，通过图案化工艺在下层阵列线231的上部上形成下层第一连接接触件251，并在第一临时连接接触件229的上部上形成上层阵列线232。

[0112] 参照图22E，在已有结构上形成额外的层间绝缘层205，通过图案化工艺在下层第一连接接触件251的上部上形成下层字选择线301。注意的是，稍微放大该图的右上部分以示出透视图，从而示出了基本上在同一层间绝缘层205中形成的下层字选择线301。

[0113] 参照图22F，在已有的结构上形成额外的层间绝缘层205，通过图案化工艺在上层阵列线232的上部上形成上层第一连接接触件252。

[0114] 参照图22G，在已有的结构上形成额外的层间绝缘层205，通过图案化工艺在上层第一连接接触件252的上部上形成上层字选择线302。

[0115] 图23A至图23D示出了根据发明构思的制造垂直非易失性存储器装置的方法的另一实施例。该方法与参照图22A至图22G描述的方法类似，因此，将仅描述方法之间的主要差异。

[0116] 参照图23A，该方法与图22A至图22C所示并参照其描述的方法类似地开始。然后，在已有的结构上形成额外的层间绝缘层205。接下来，通过图案化工艺在下层阵列线231的上部上形成下层第一连接接触件251并在第一临时连接接触件229的上部上形成第二临时连接接触件228。

[0117] 参照图23B，在已有的结构上形成额外的层间绝缘层205。然后，通过图案化工艺在下层第一连接接触件251的上部上形成下层字选择线301并在第二临时连接接触件228的上部上形成上层阵列线232。

[0118] 参照图23C，在已有的结构上形成额外的层间绝缘层205，然后通过图案化工艺在上层阵列线232的上部上形成上层第一连接接触件252。

[0119] 参照图23D，在已有的结构上形成额外的层间绝缘层205，然后通过图案化工艺在上层第一连接接触件252的上部上形成上层字选择线302。

[0120] 在该实施例中，上层阵列线232形成在第一临时连接接触件229和第二临时连接接

Micron Ex. 1002, p. 407
Micron v. YMTC
IPR2024-00794

触件228上。第一临时连接接触件229和第二临时连接接触件228提供字线200的上层1与上层阵列线232之间的更多的空间。因此，当形成上层阵列线232时(即，当执行用于形成上层阵列线的蚀刻工艺时)，防止字线200的上层1被过蚀刻。

[0121] 如上所述，根据发明构思的方面，提供了一种将NOP保持在最小的高集成度的垂直存储器装置。因此，可以实现高可靠性的垂直非易失性存储器装置。

[0122] 最后，已经在这里详细描述了发明构思的实施例。然而，发明构思可以以许多不同的形式实施，并且不应被解释为局限于上述实施例。相反，描述这些实施例，使得本公开是彻底和完整的，并且这些实施例将发明构思充分传达给本领域技术人员。因此，发明构思的真实精神和范围不受上述实施例的限制，而受权利要求的限制。

Micron Ex. 1002, p. 408
Micron v. YMTC
IPR2024-00794

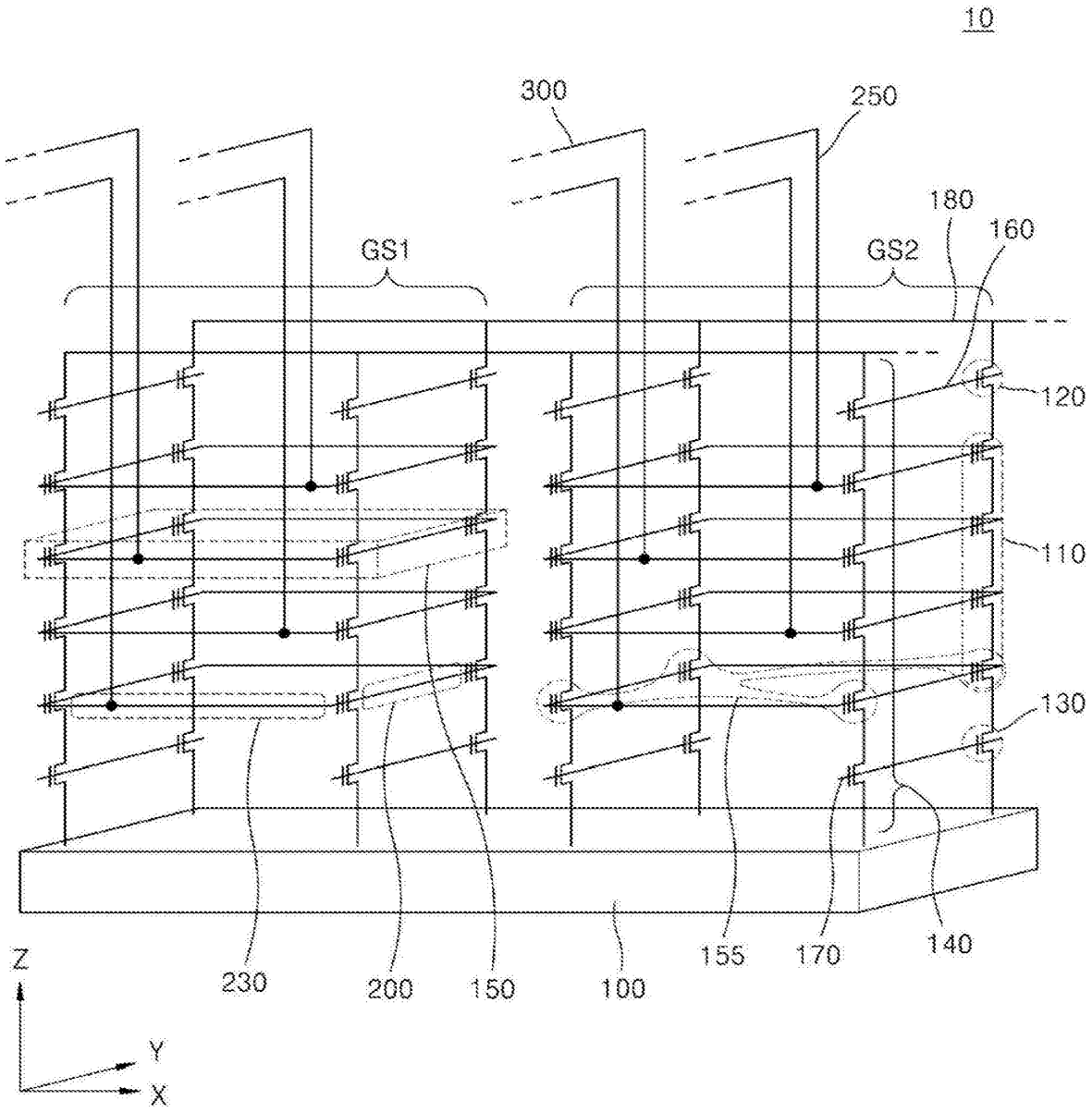


图1

Micron Ex. 1002, p. 409
Micron v. YMTC
IPR2024-00794

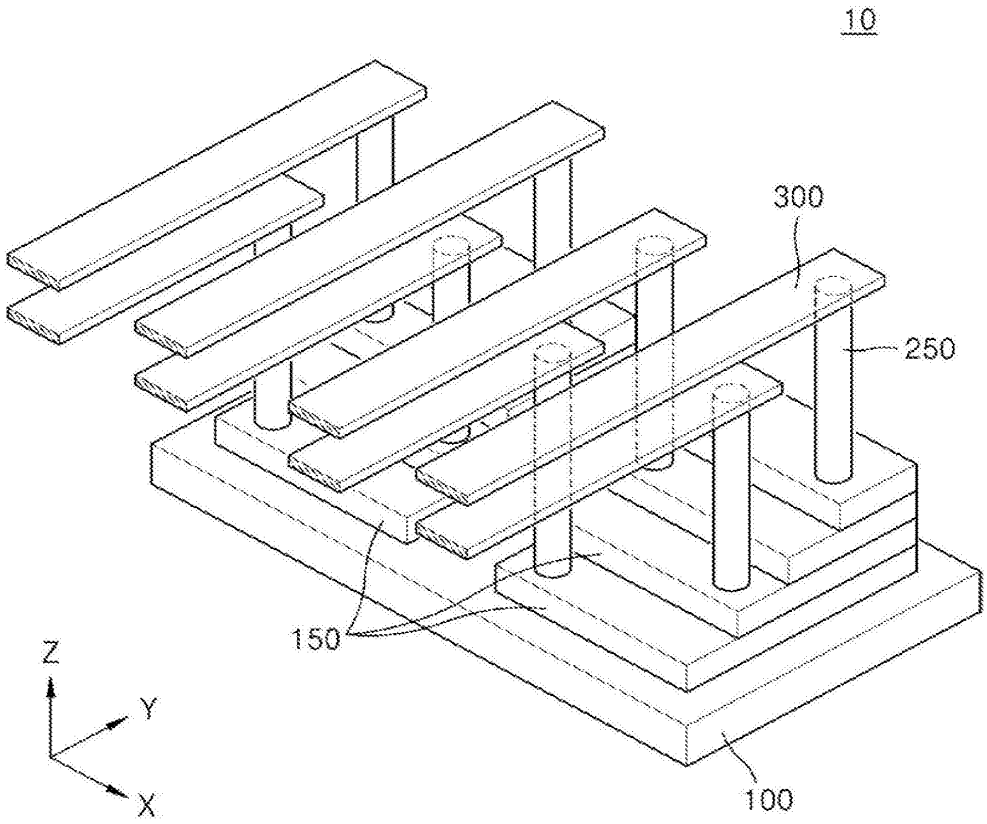


图2

Micron Ex. 1002, p. 410
Micron v. YMTC
IPR2024-00794

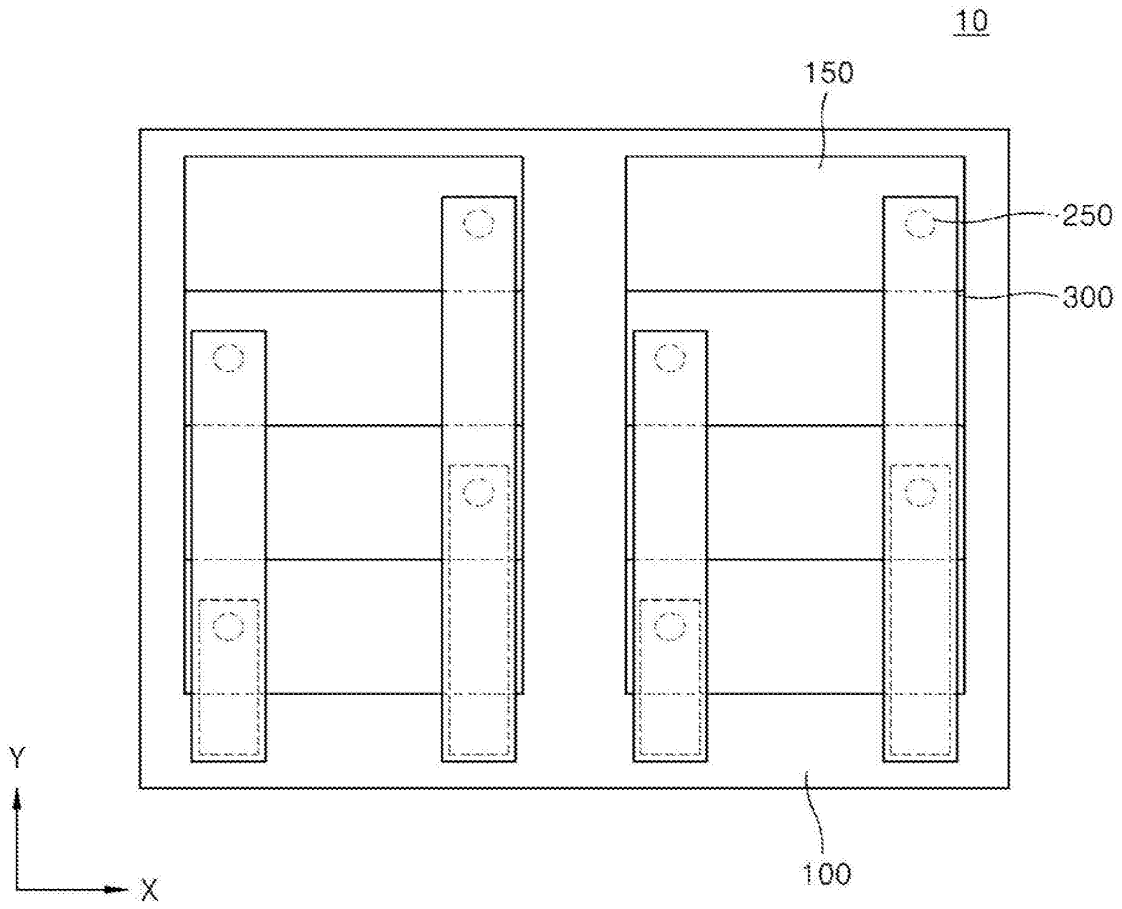


图3

Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2024-00794

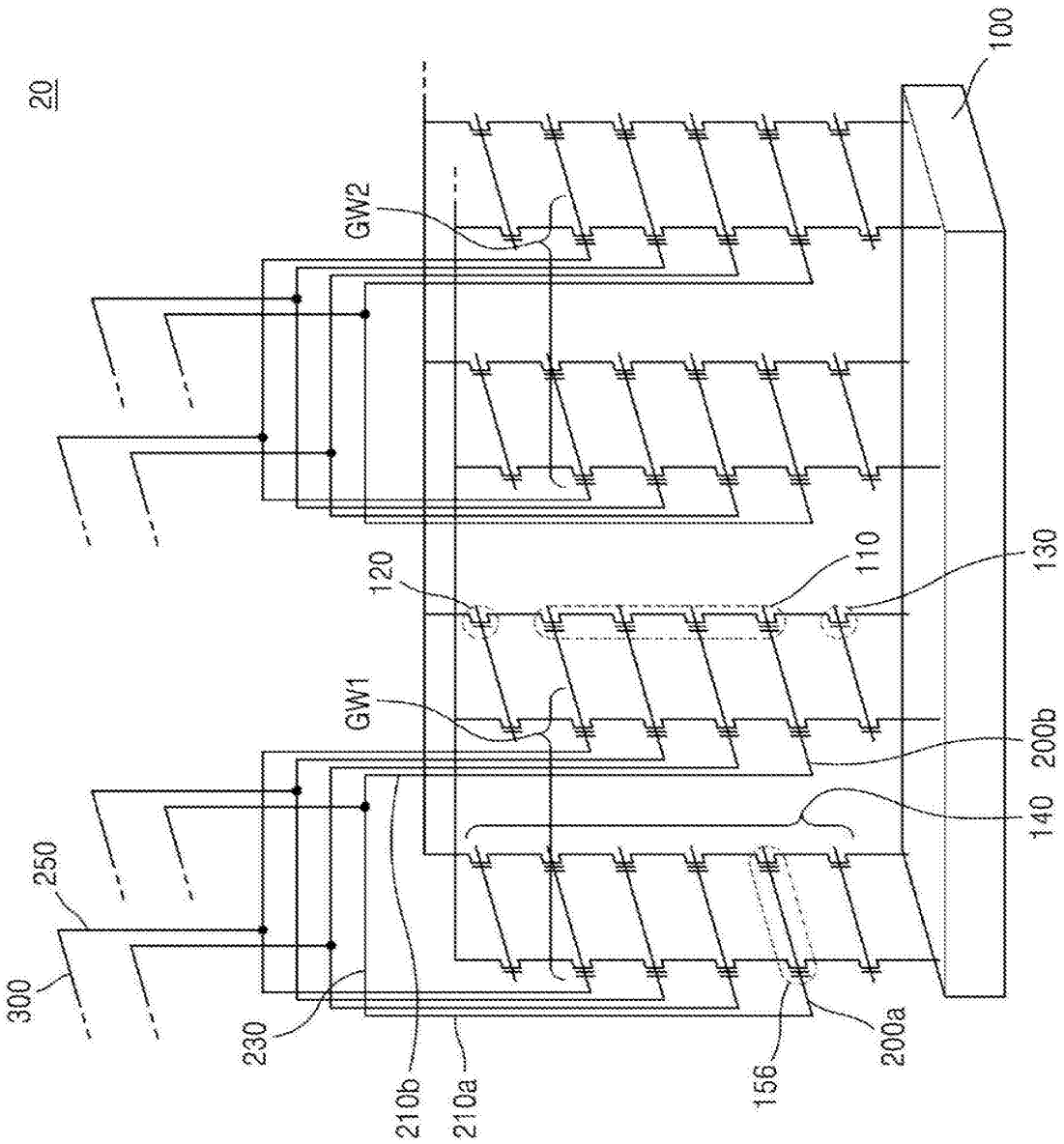


图4

Micron Ex. 1002, p. 412
Micron v. YMTC
IPR2024-00794

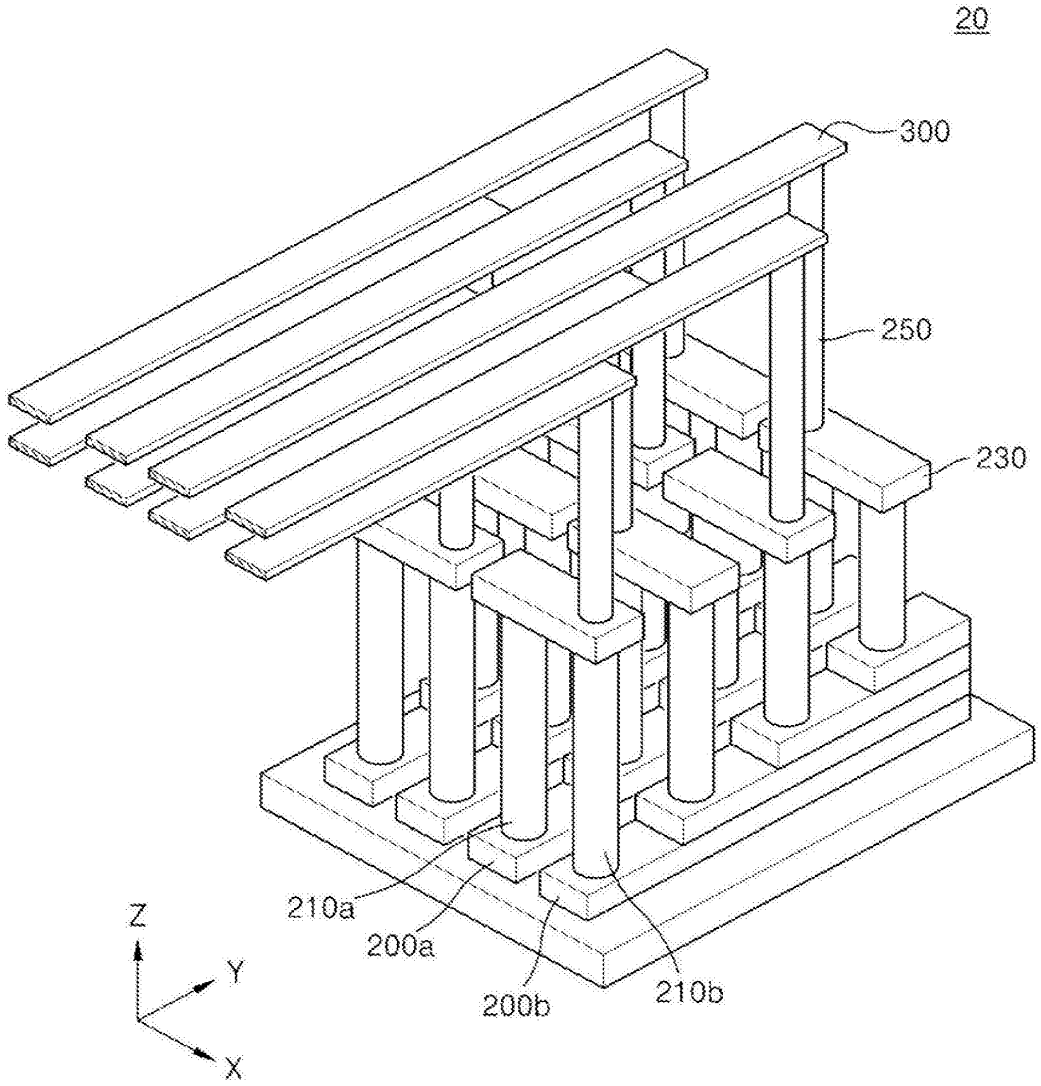


图5

Micron Ex. 1002, p. 413
Micron v. YMTC
IPR2024-00794

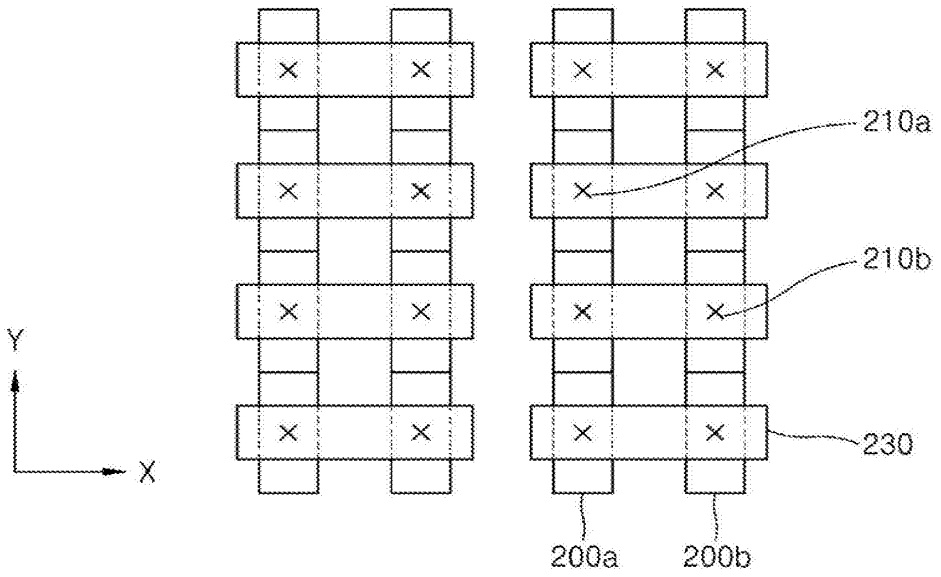


图6

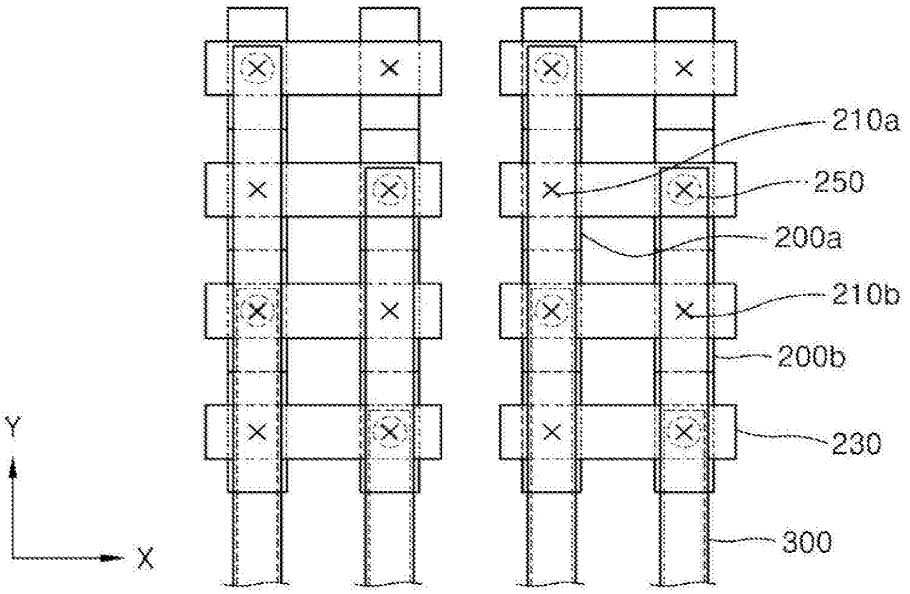


图7

Micron Ex. 1002, p. 414
Micron v. YMTC
IPR2024-00794

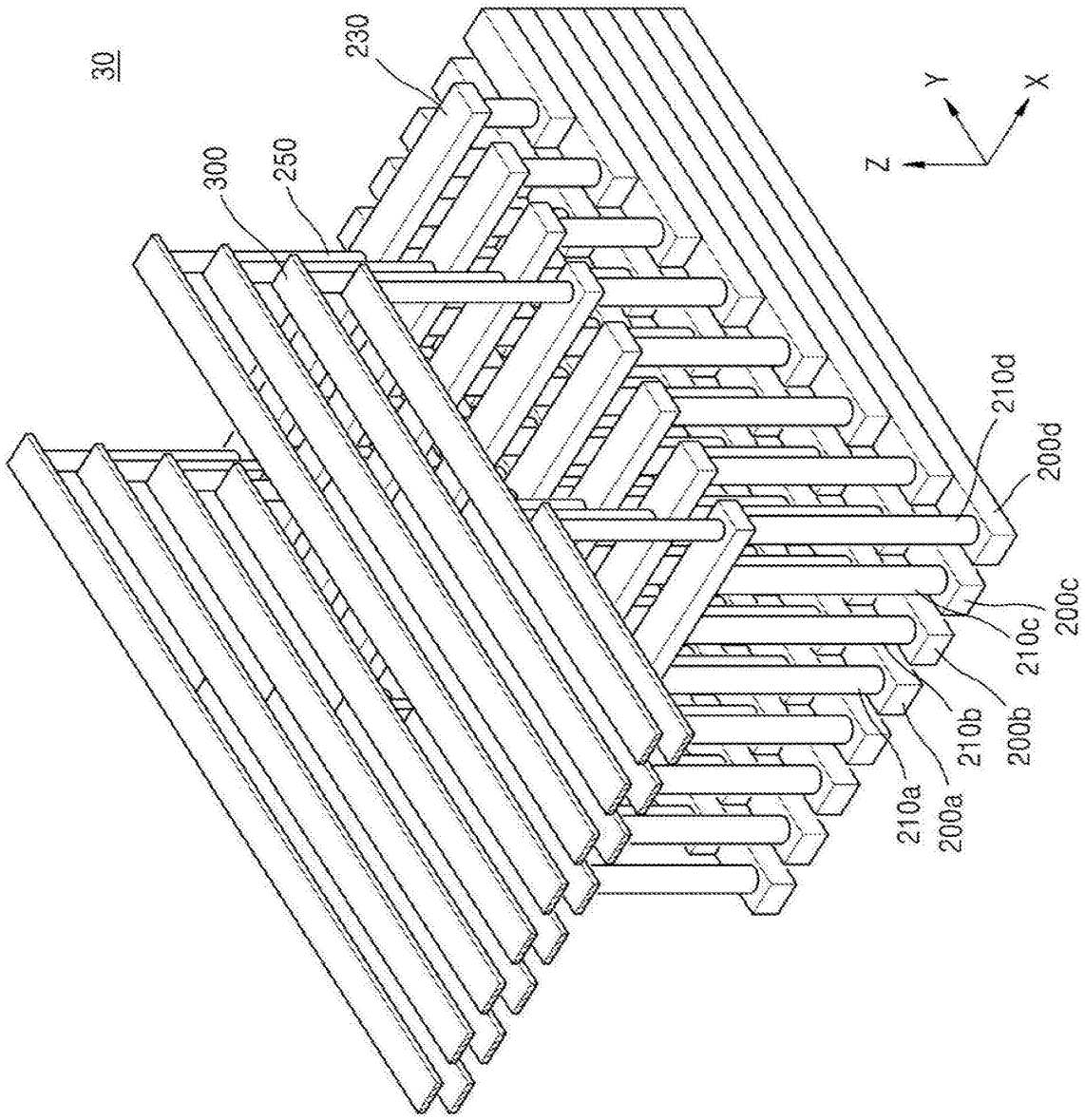


图8

Micron Ex. 1002, p. 415
Micron v. YMTC
IPR2024-00794

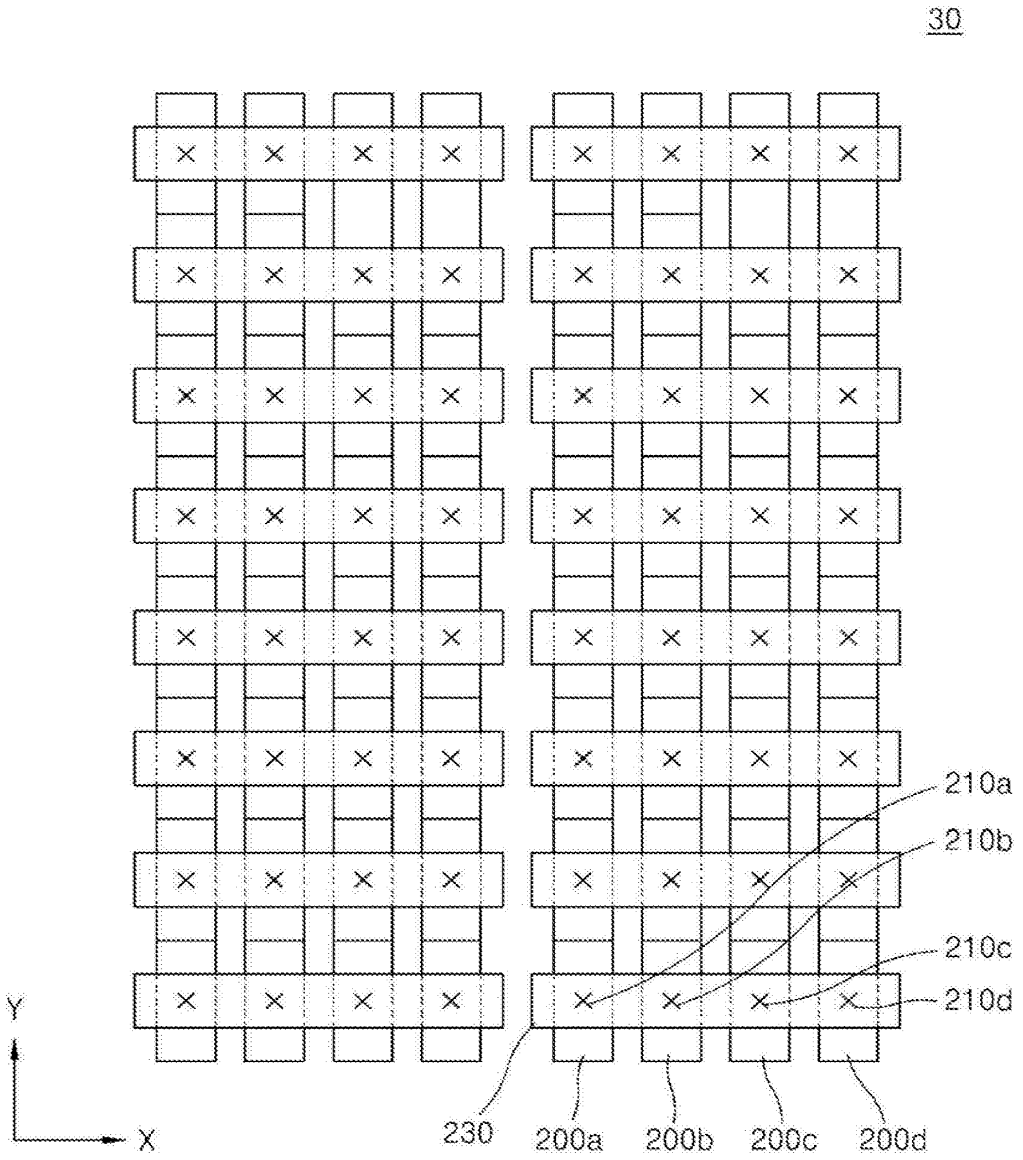


图9

Micron Ex. 1002, p. 416
Micron v. YMTC
IPR2024-00794

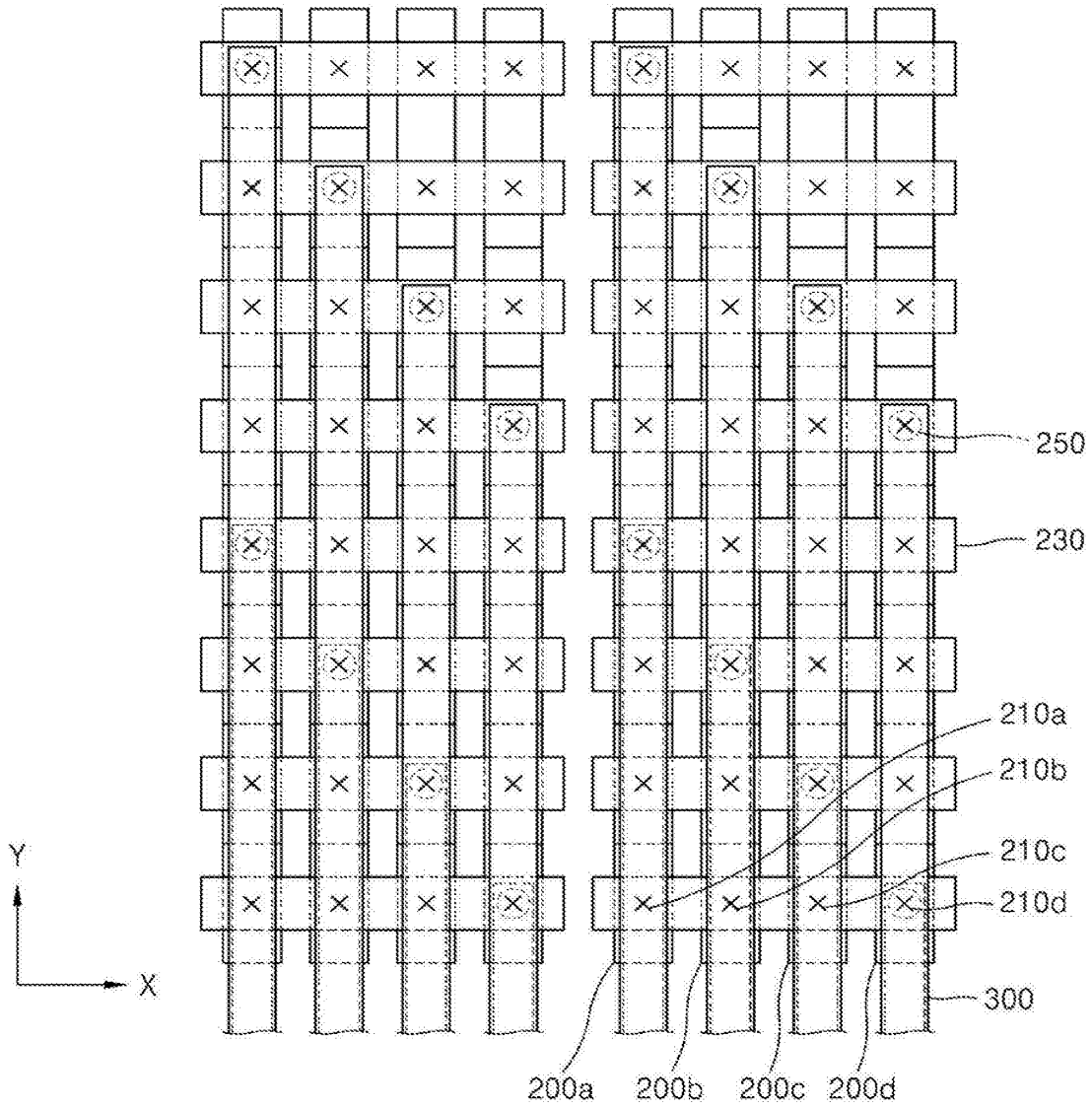


图10

Micron Ex. 1002, p. 417
Micron v. YMTC
IPR2024-00794

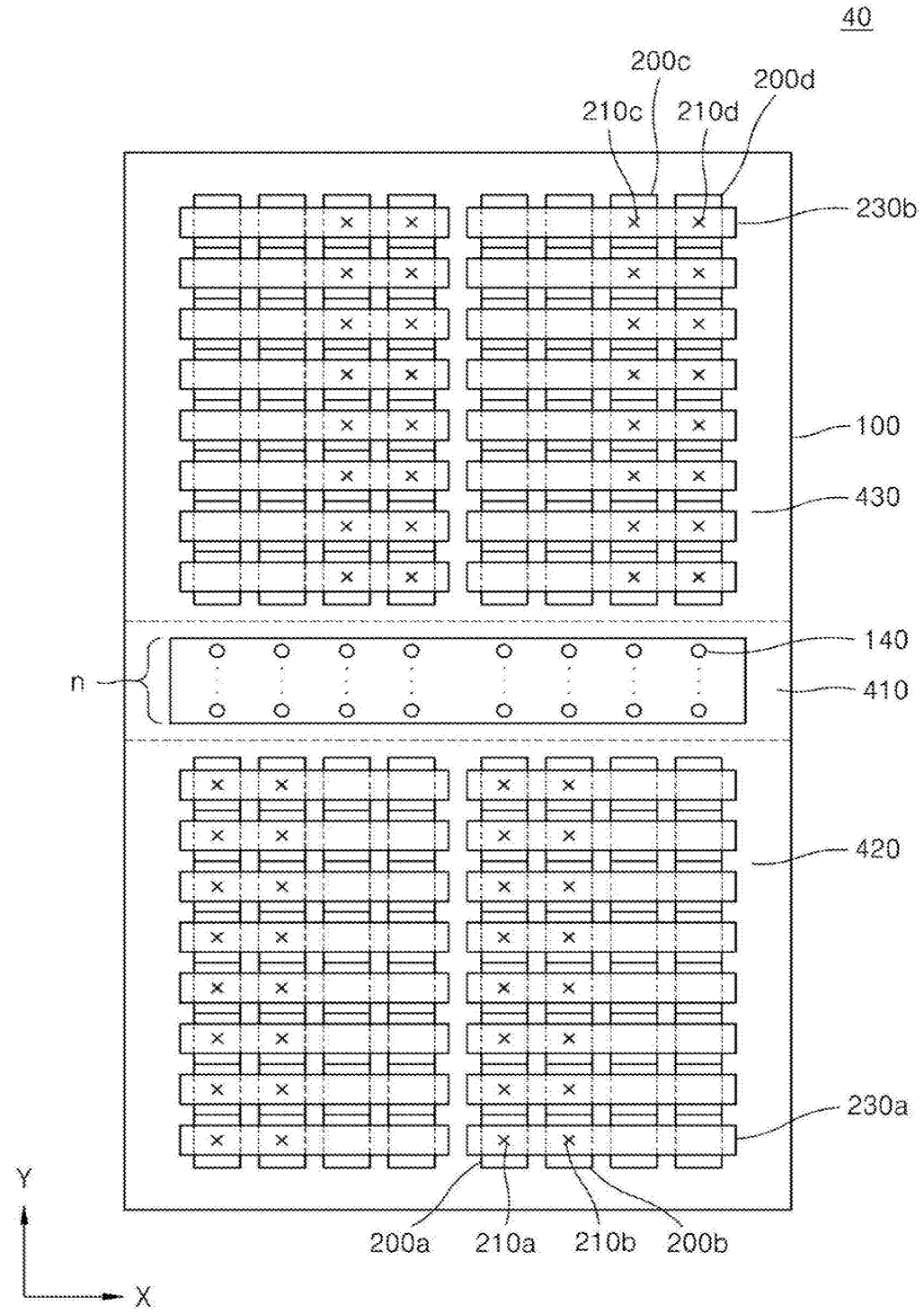


图11

Micron Ex. 1002, p. 418
Micron v. YMTC
IPR2024-00794

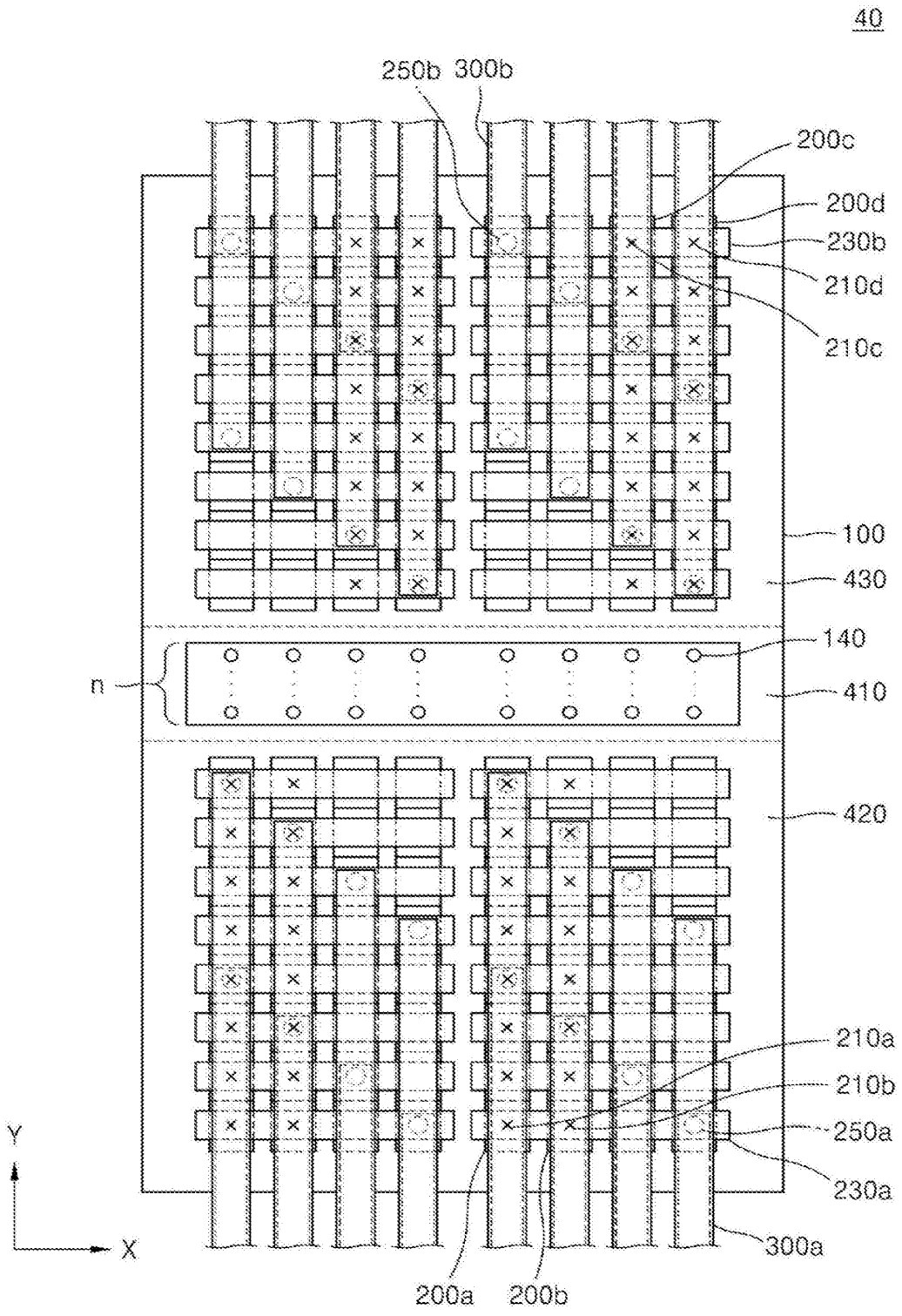


图12

Micron Ex. 1002, p. 419
Micron v. YMTC
IPR2024-00794

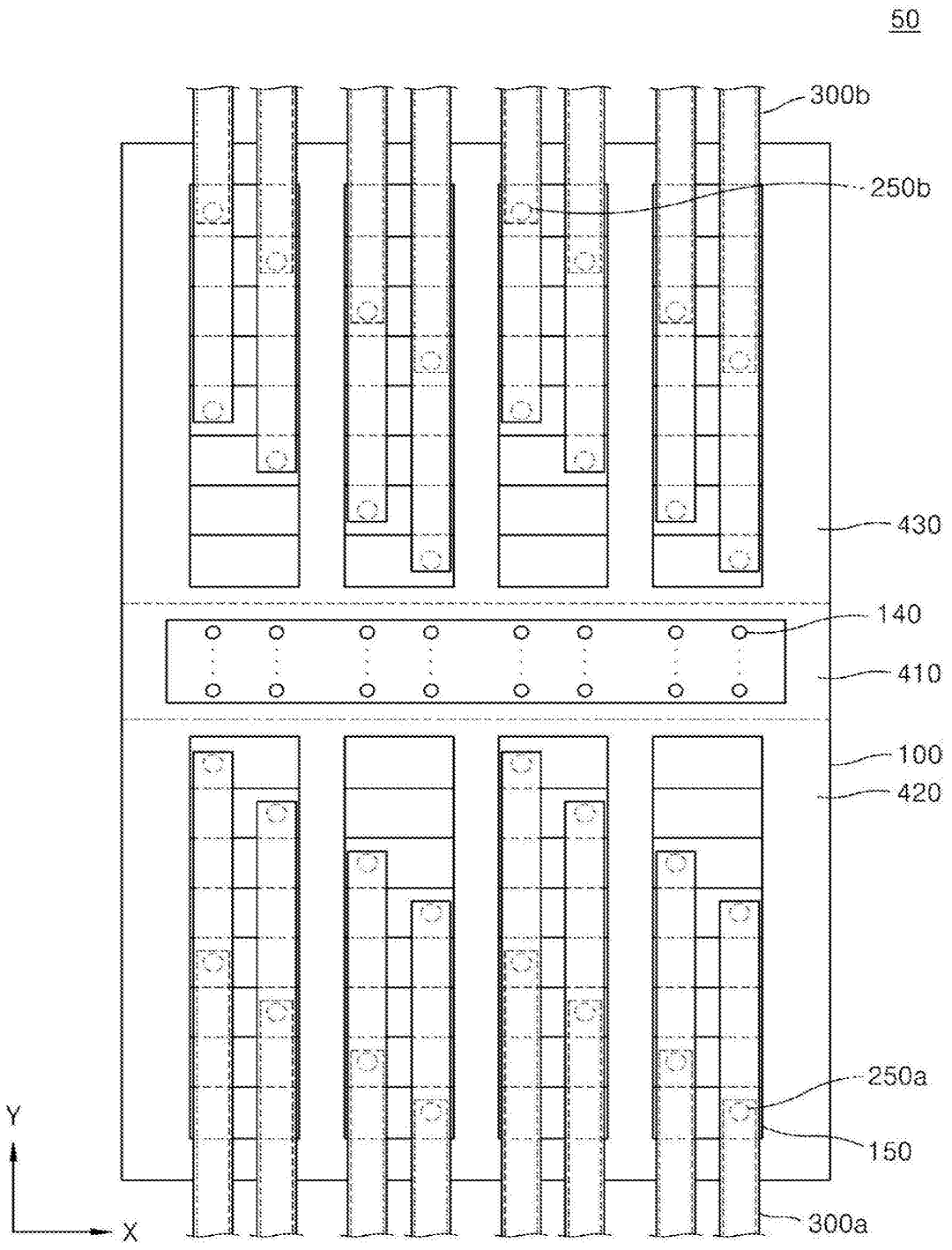


图13

Micron Ex. 1002, p. 420
Micron v. YMTC
IPR2024-00794

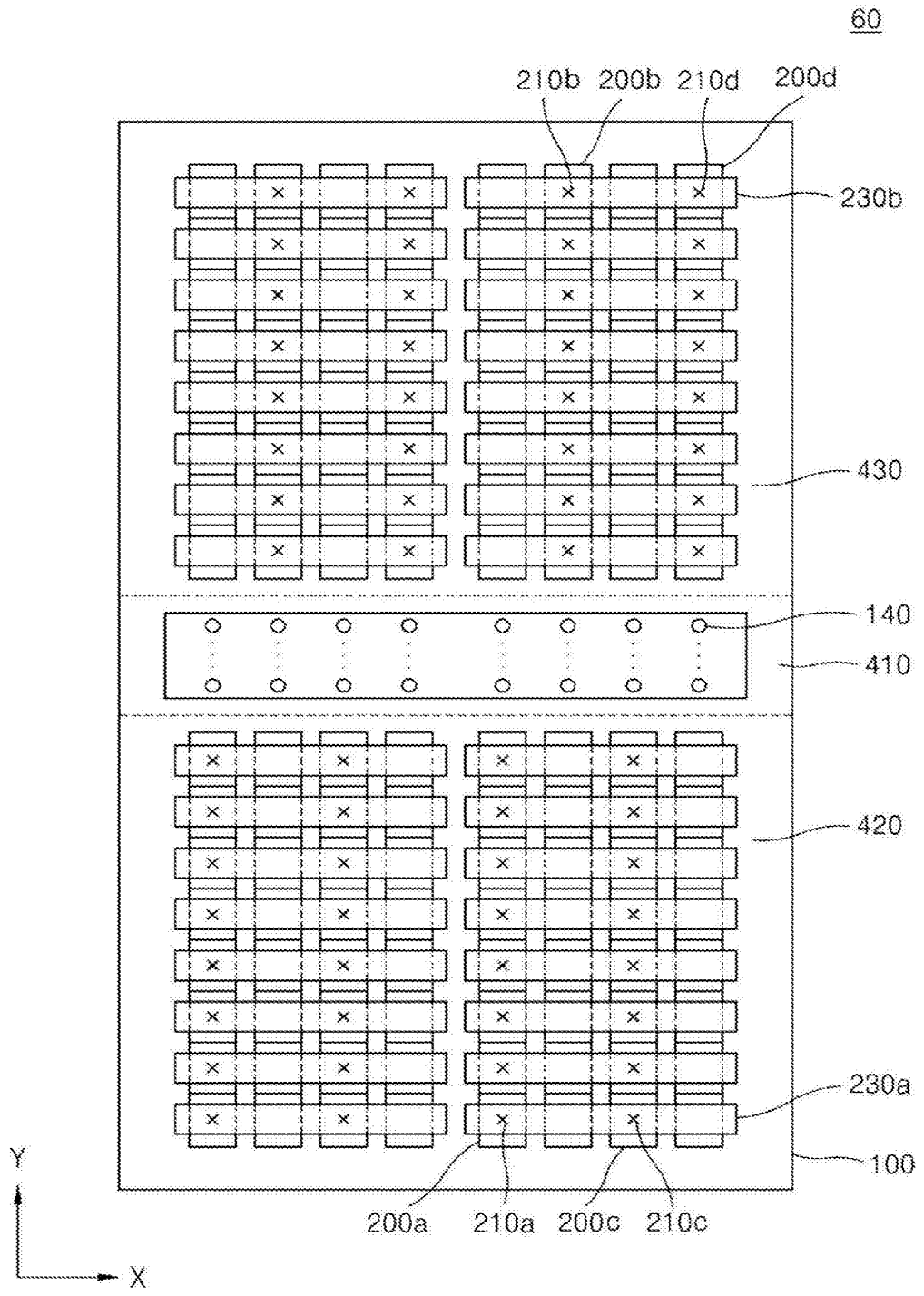


图14

Micron Ex. 1002, p. 421
Micron v. YMTC
IPR2024-00794

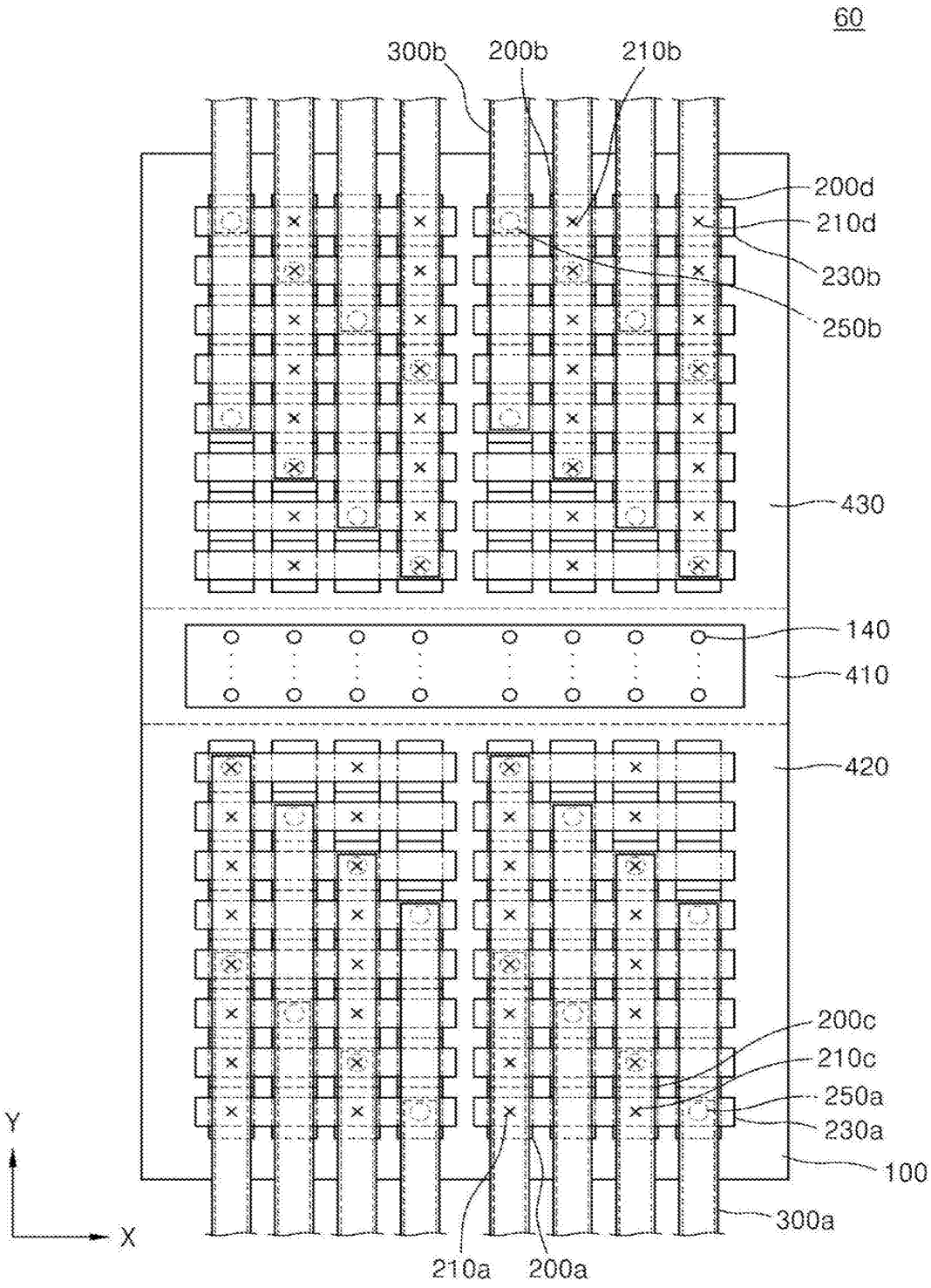


图15

Micron Ex. 1002, p. 422
Micron v. YMTC
IPR2024-00794

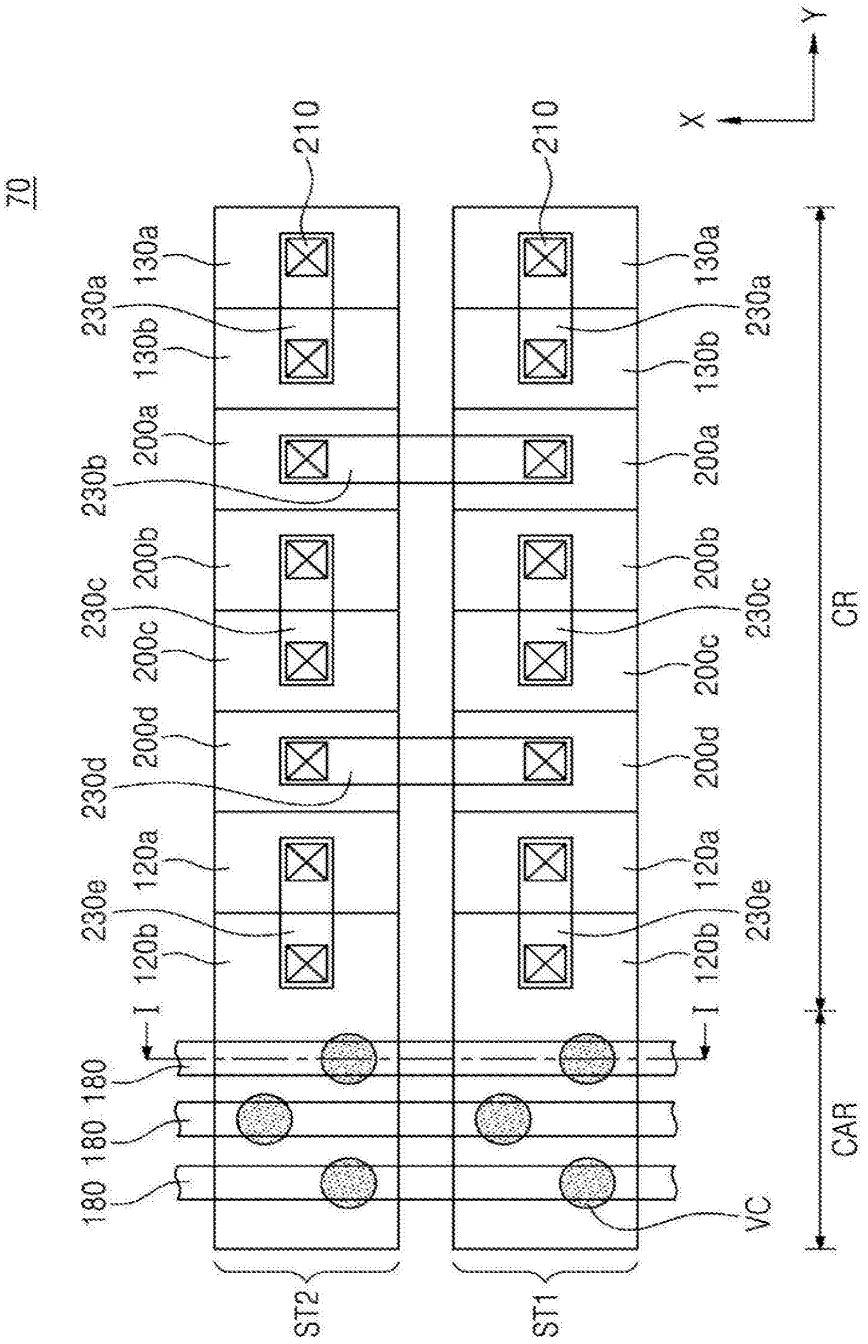


图16

Micron Ex. 1002, p. 423
Micron v. YMTC
IPR2024-00794

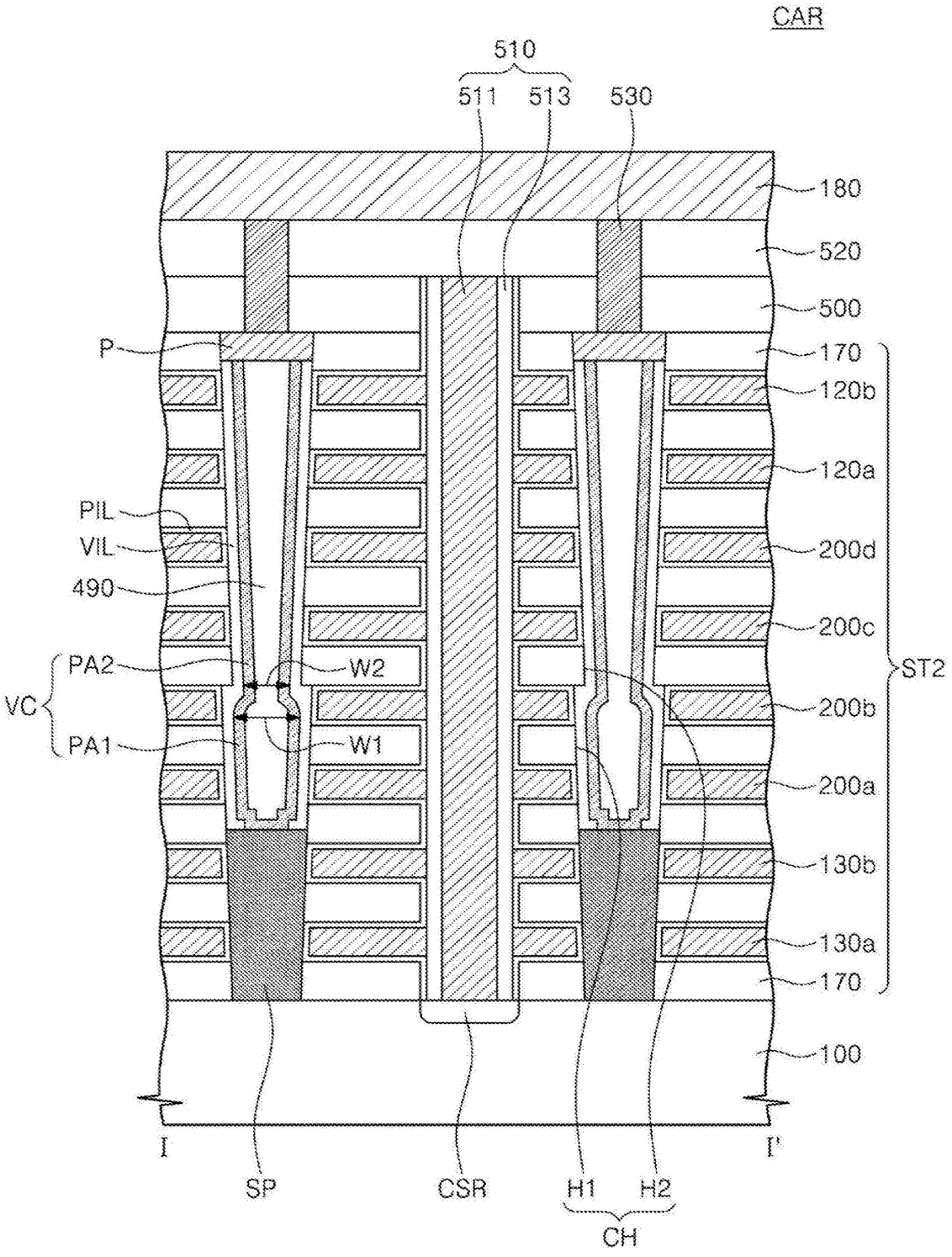


图17

Micron Ex. 1002, p. 424
Micron v. YMTC
IPR2024-00794

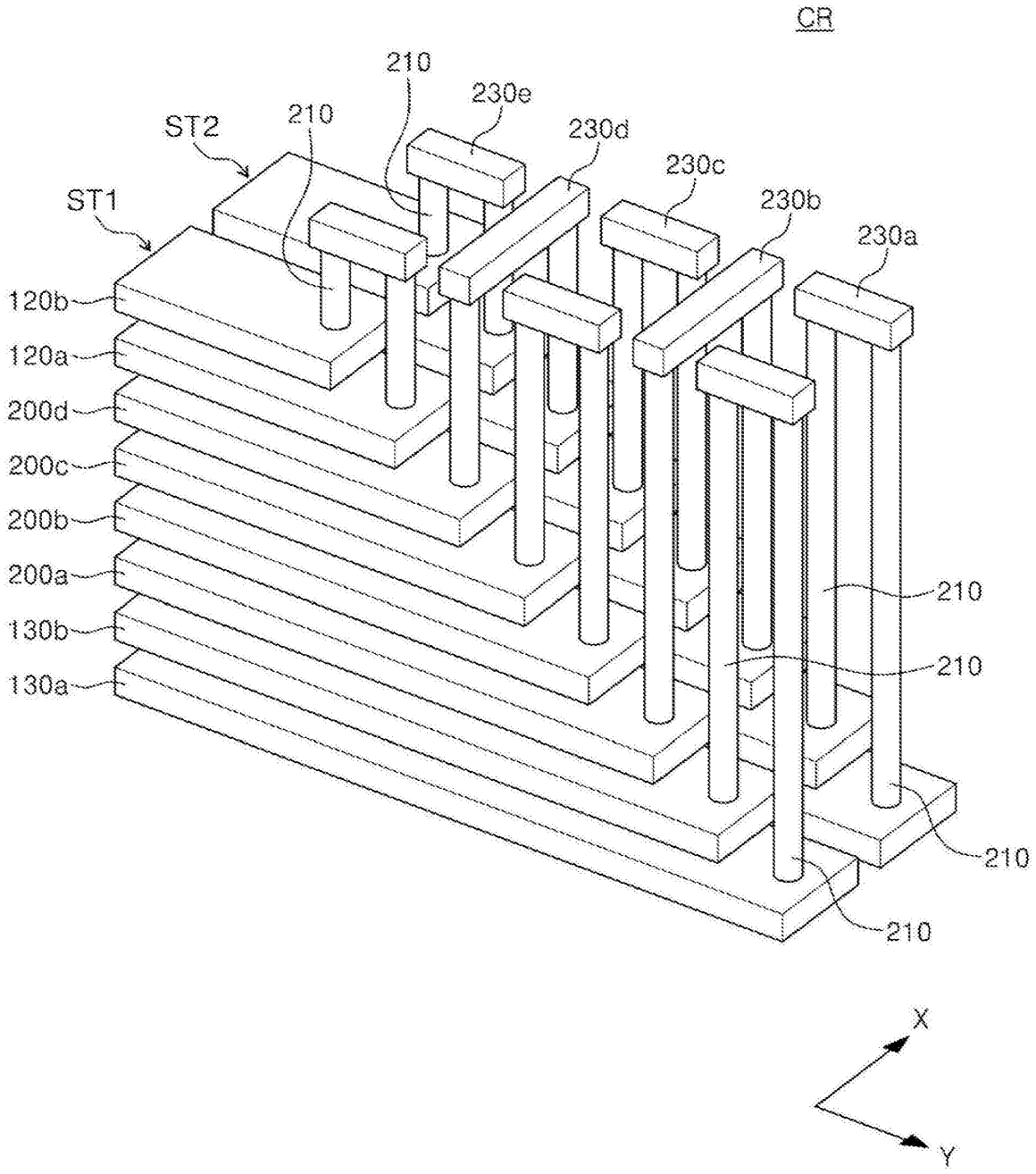


图18

Micron Ex. 1002, p. 425
Micron v. YMTC
IPR2024-00794

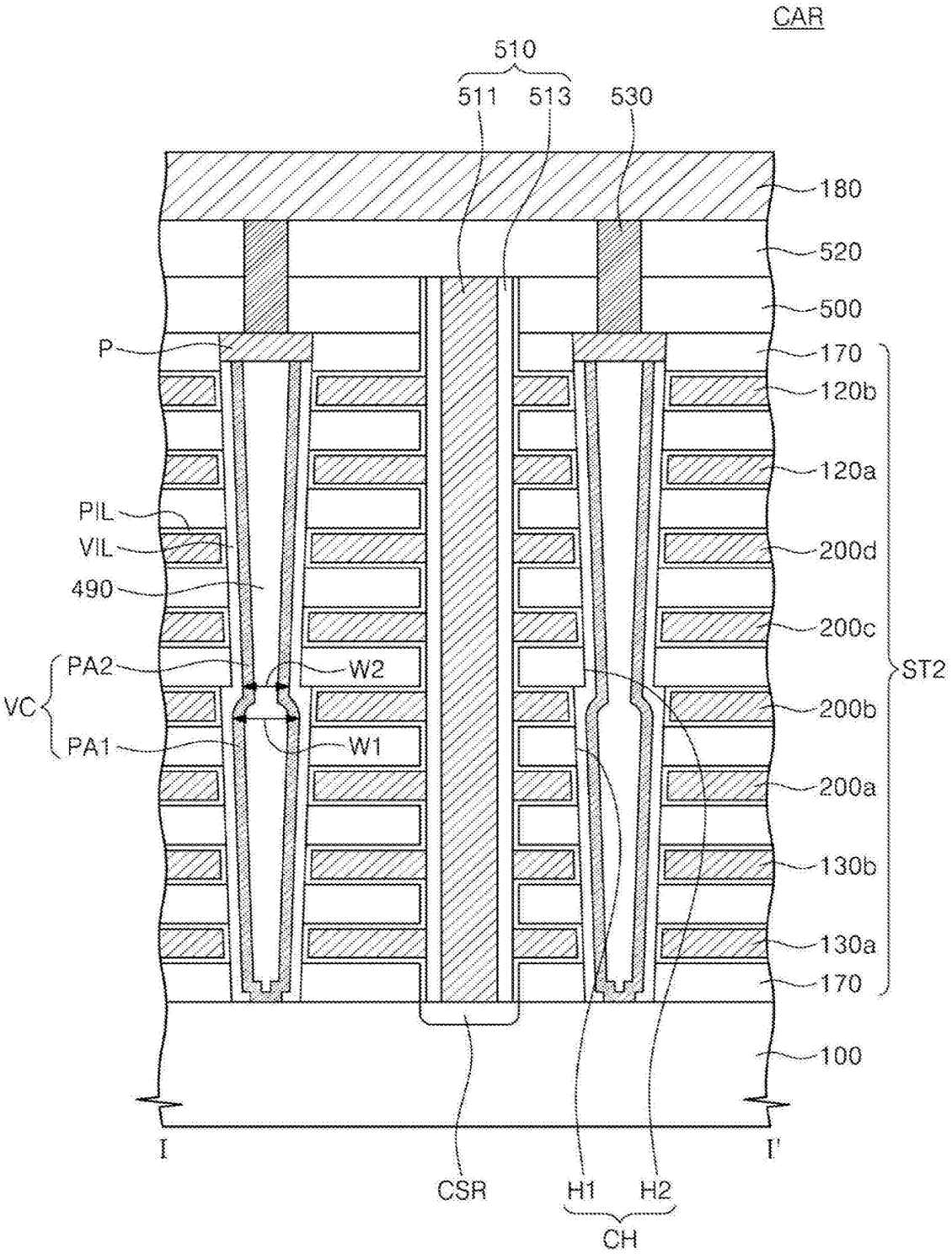


图19

Micron Ex. 1002, p. 426
Micron v. YMTC
IPR2024-00794

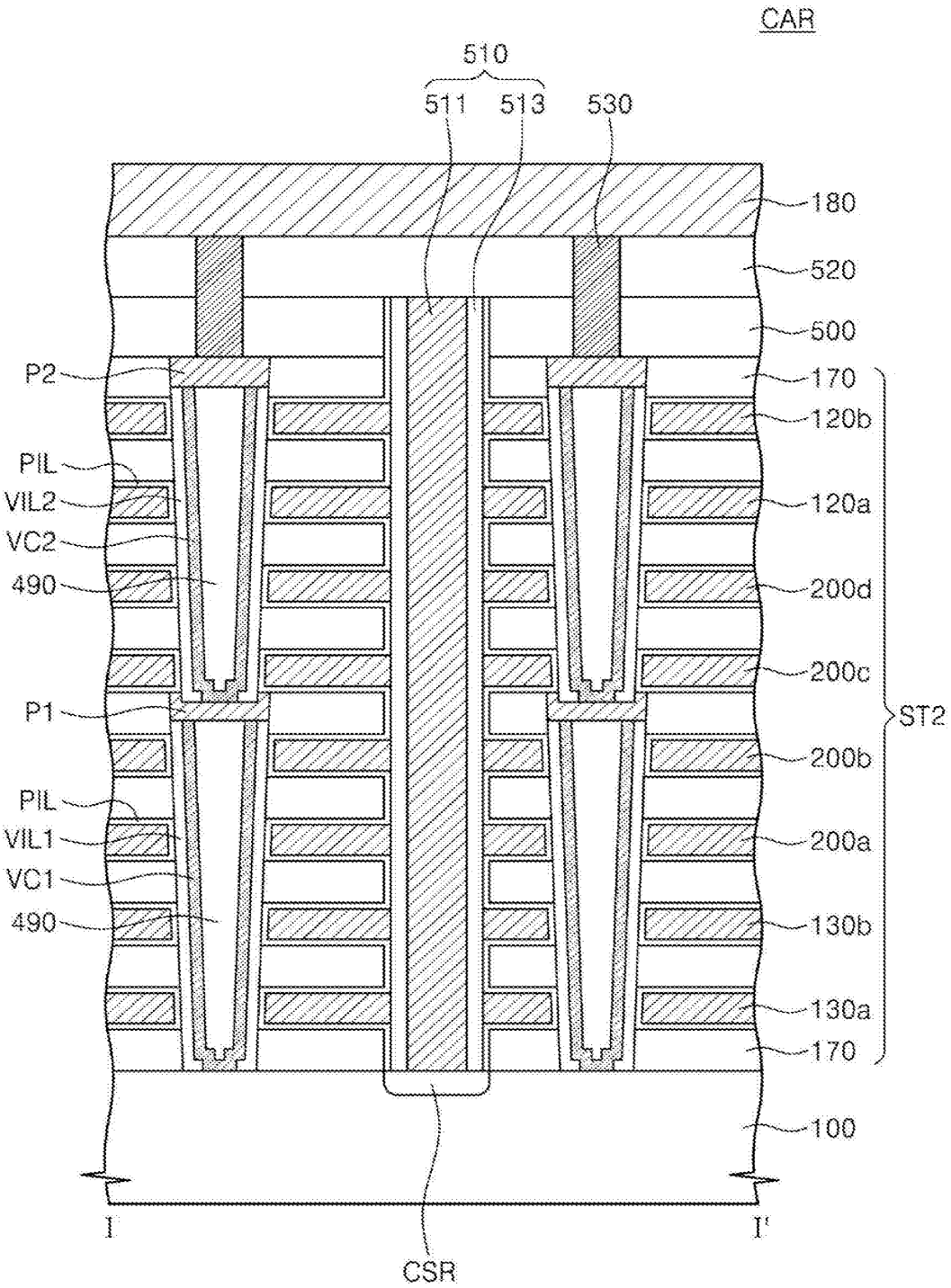


图20

Micron Ex. 1002, p. 427
Micron v. YMTC
IPR2024-00794

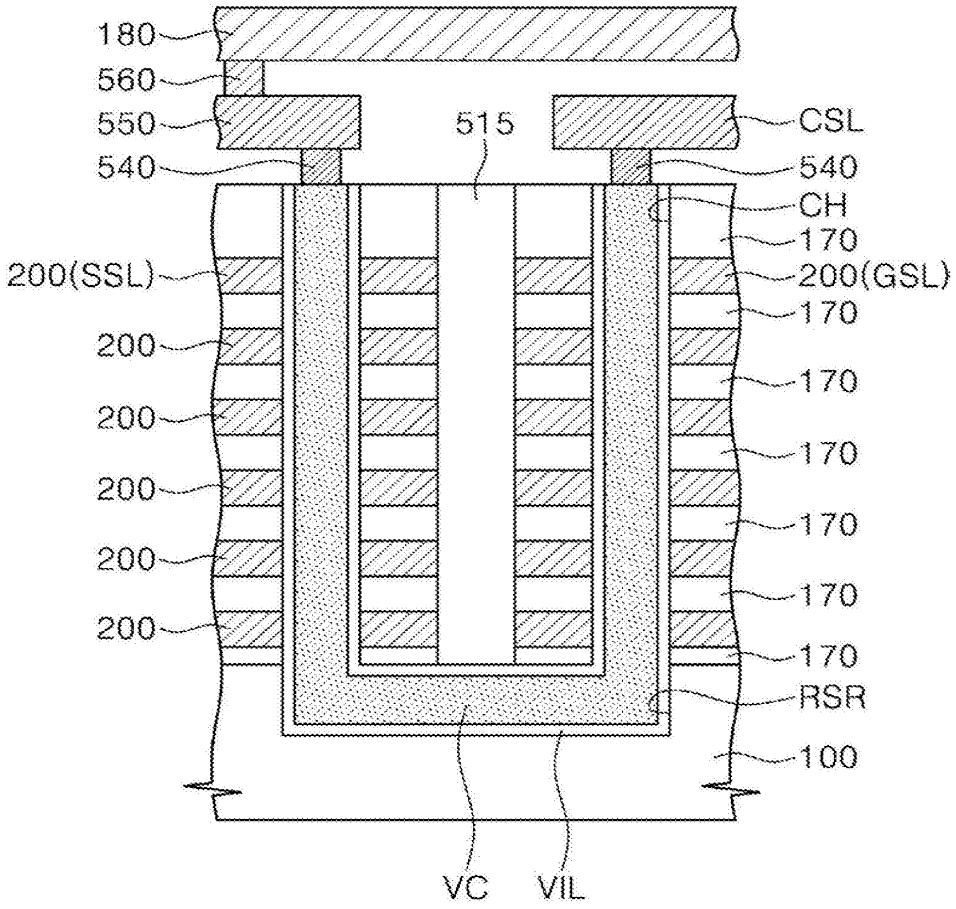


图21

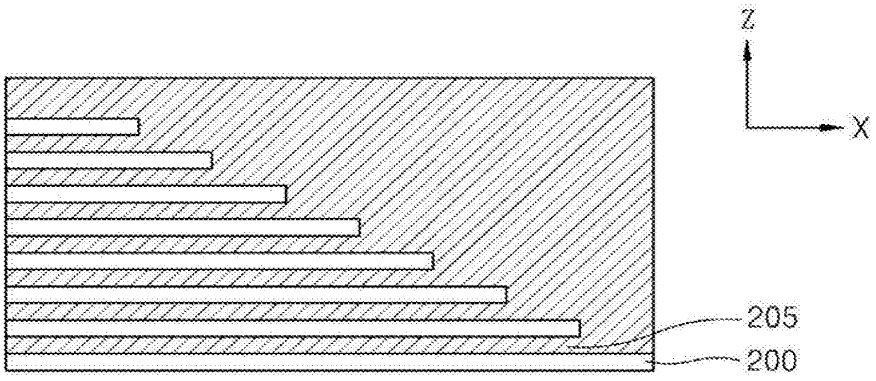


图22A

Micron Ex. 1002, p. 428
Micron v. YMTC
IPR2024-00794

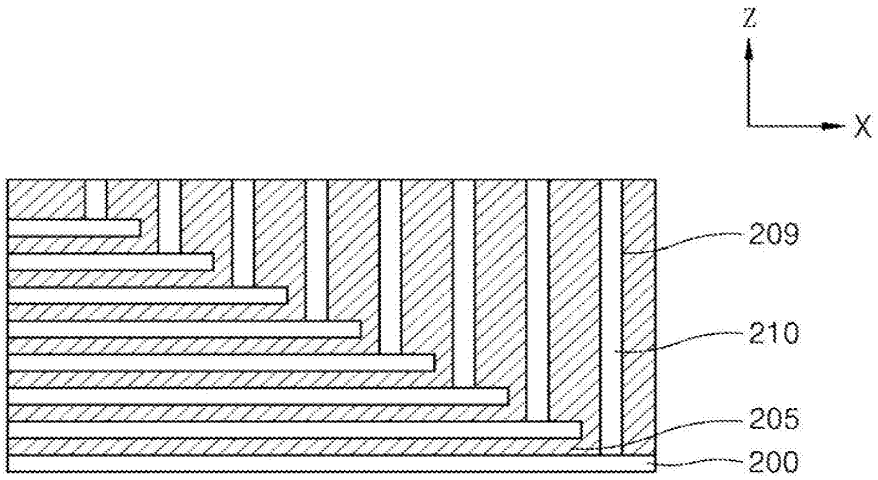


图22B

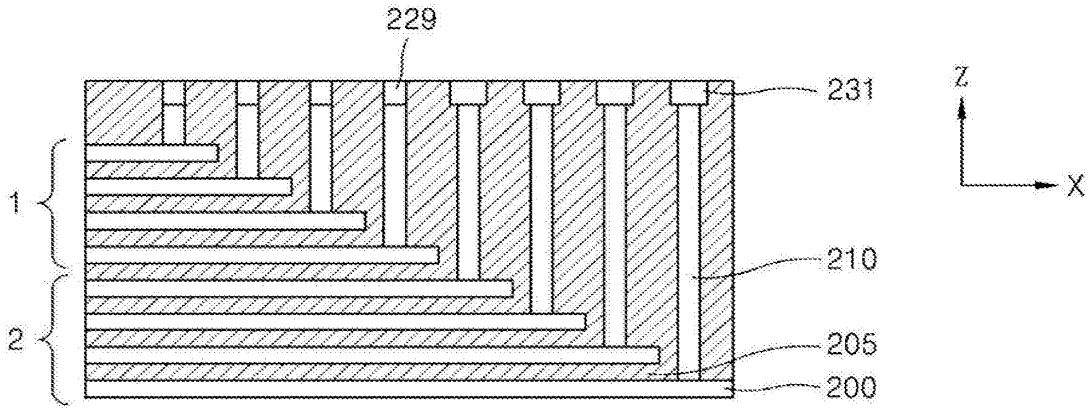


图22C

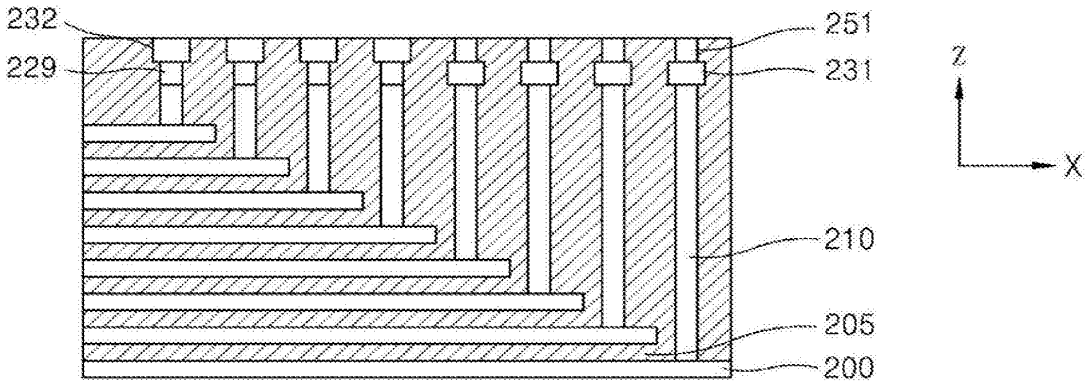


图22D

Micron Ex. 1002, p. 429
Micron v. YMTC
IPR2024-00794

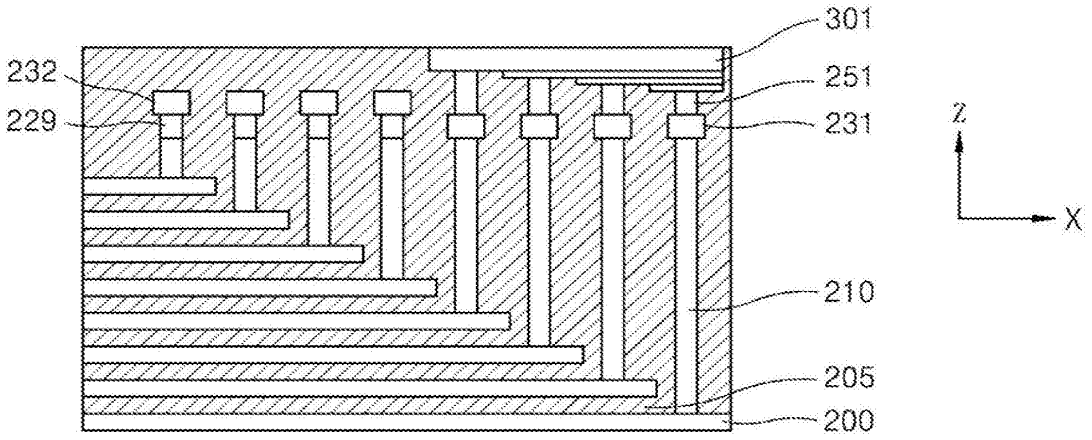


图22E

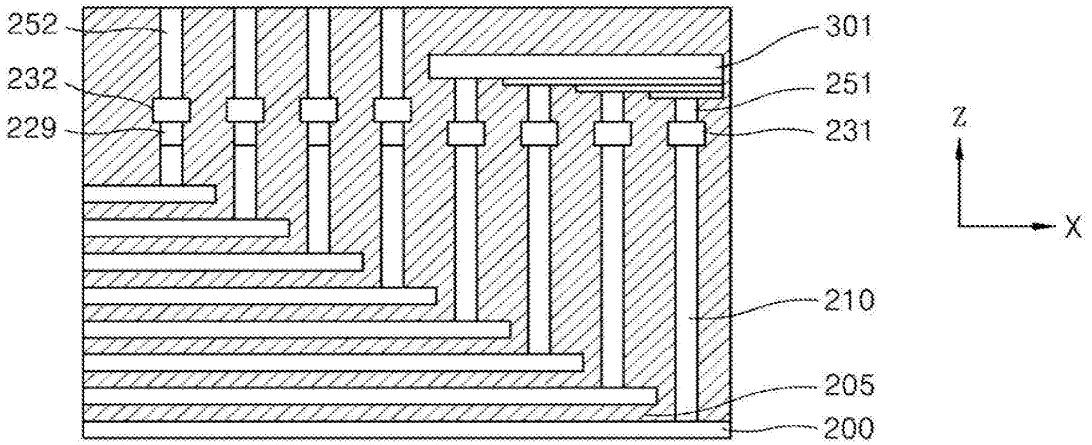


图22F

Micron Ex. 1002, p. 430
Micron v. YMTC
IPR2024-00794

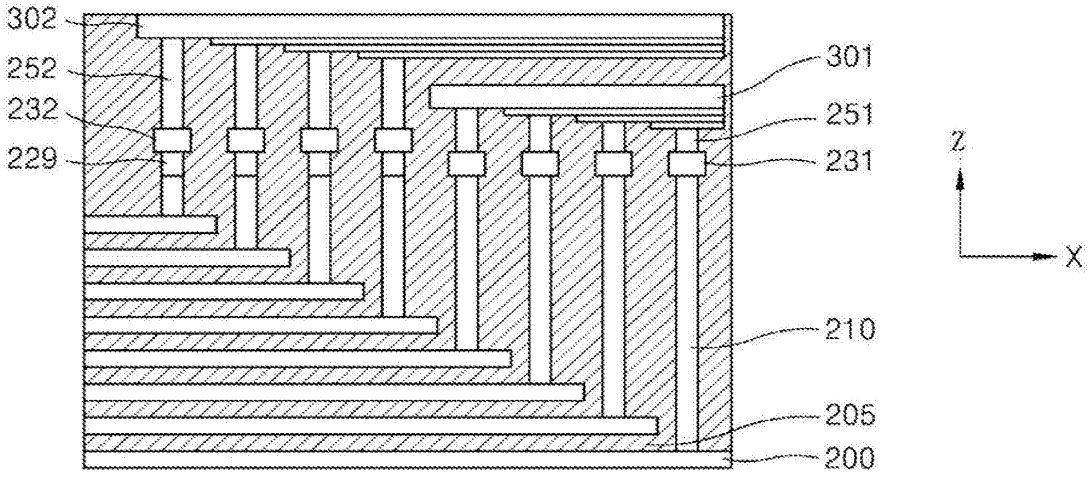


图22G

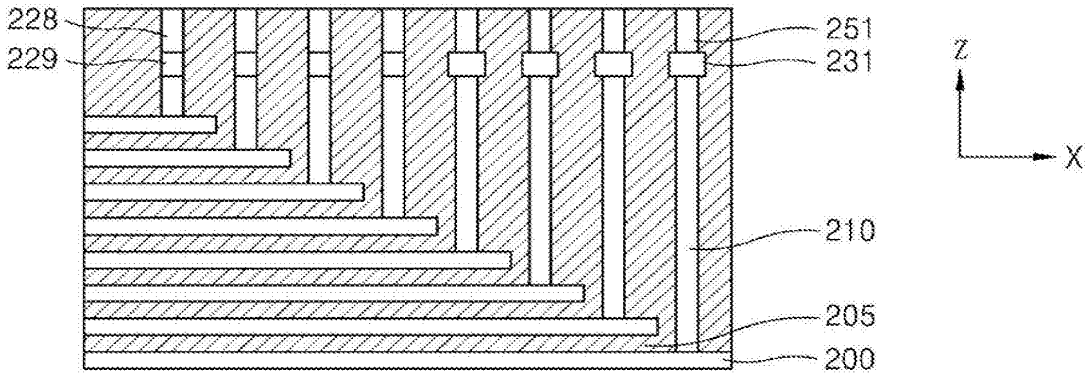


图23A

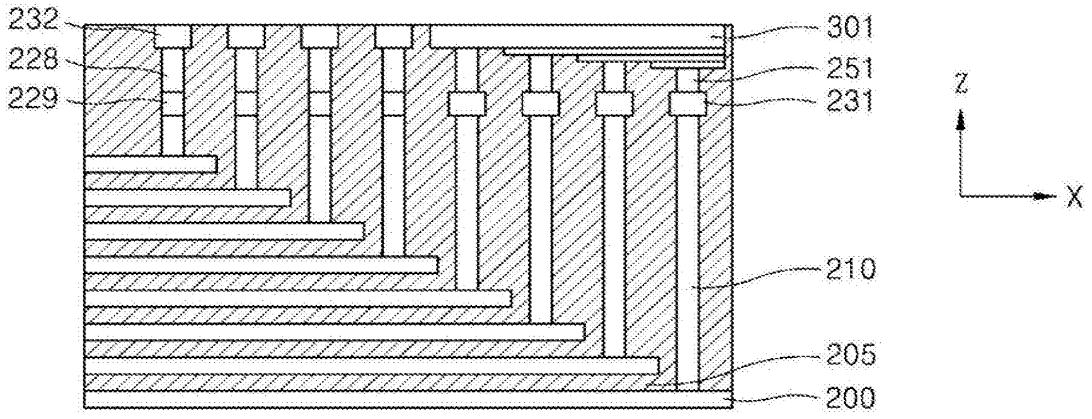


图23B

Micron Ex. 1002, p. 431
Micron v. YMTC
IPR2024-00794

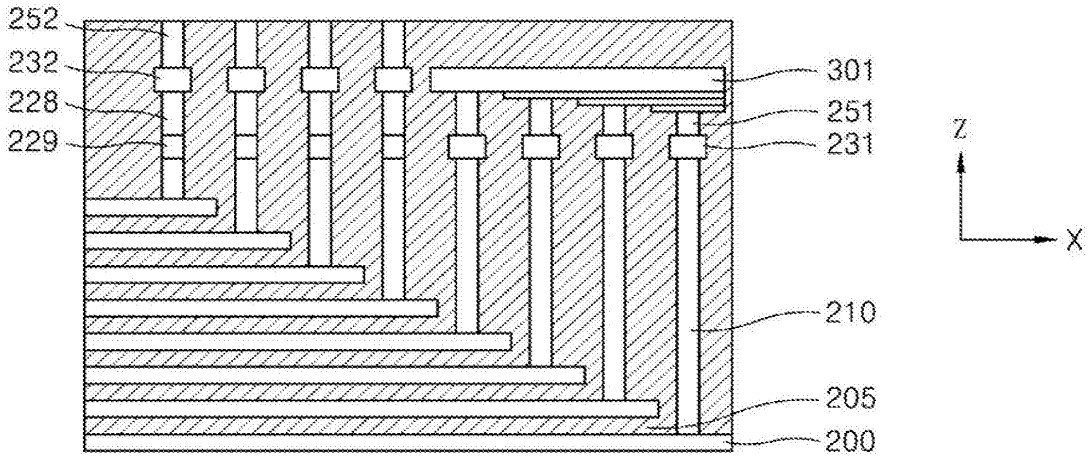


图23C

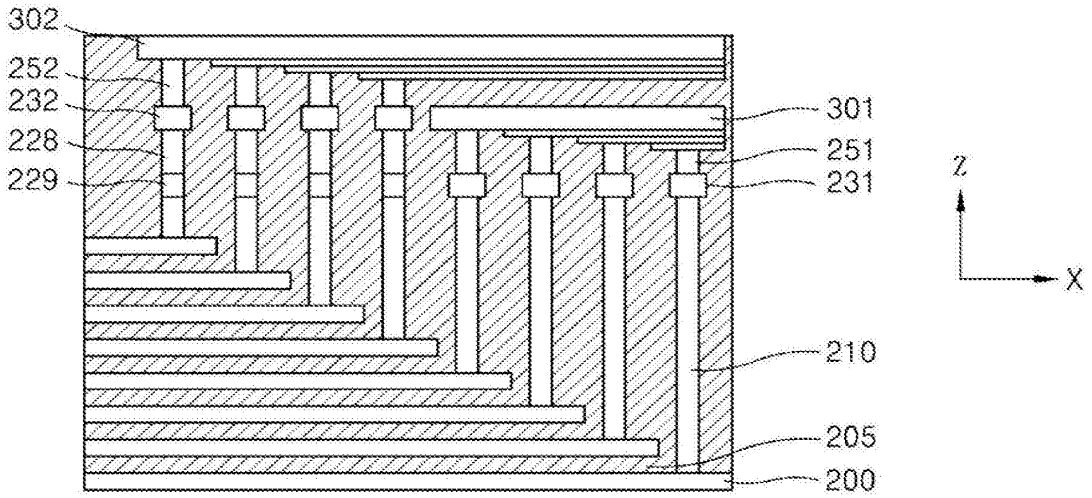


图23D

Micron Ex. 1002, p. 432
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: CN108933141 (A) — 2018-12-04

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): NAM JAE LEE ± (李南宰)

Applicant(s): SK HYNIX INC ± (爱思开海力士有限公司)

Classification: - international:*H01L27/11551; H01L27/11578*
- cooperative: H01L27/11519; H01L27/11526; H01L27/11551; H01L27/11556; H01L27/11565; H01L27/11573; H01L27/11578; H01L27/11582 more

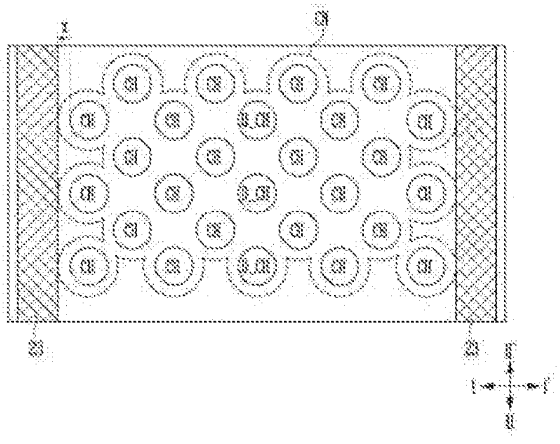
Application number: CN20181026053 20180111 Global Dossier

Priority number(s): KR20170065521 20170526

Also published as: KR20180129457 (A) US10283514 (B2) US2018342528 (A1) US2019206887 (A1)

Abstract of CN108933141 (A)

The invention discloses a semiconductor device and a manufacturing method thereof. The semiconductor device includes a stack, a plurality of channel structures passing through the stack, a coupling structure which is disposed below the stack for coupling the channel structures with each other and has an uneven lower surface, and a source pick-up line electrically coupled with the coupling structure.



Micron Ex. 1002, p. 433
Micron v. YMTC
IPR2024-00794

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108933141 A
(43)申请公布日 2018.12.04

(21)申请号 201810026053.9

(22)申请日 2018.01.11

(30)优先权数据
10-2017-0065521 2017.05.26 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 李南宰

(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 李辉 刘久亮

(51)Int.Cl.
H01L 27/11551(2017.01)
H01L 27/11578(2017.01)

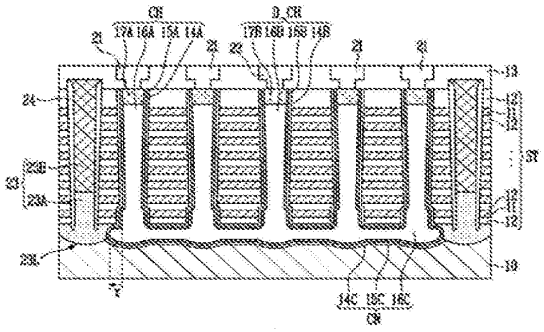
权利要求书3页 说明书12页 附图11页

(54)发明名称

半导体器件及其制造方法

(57)摘要

半导体器件及其制造方法。一种半导体器件包括堆叠部、穿过堆叠部的多个沟道结构、设置在堆叠部下面以用于将沟道结构彼此联接并且具有不平坦的下表面的联接结构以及与联接结构电联接的源极拾取线。



CN 108933141 A

Micron Ex. 1002, p. 434
Micron v. YMTC
IPR2024-00794

1.一种半导体器件,该半导体器件包括:

堆叠部;

穿过所述堆叠部的多个沟道结构;

联接结构,所述联接结构被设置在所述堆叠部下方以用于将所述沟道结构彼此联接,所述联接结构具有不平坦的下表面;以及

源极拾取线,所述源极拾取线与所述联接结构电联接。

2.根据权利要求1所述的半导体器件,其中,所述联接结构的所述不平坦的下表面具有网形状。

3.根据权利要求1所述的半导体器件,该半导体器件还包括:

源极层,所述源极层被设置在所述联接结构下方,所述源极层通过所述源极拾取线电联接到所述联接结构。

4.根据权利要求3所述的半导体器件,其中,所述源极层包括支撑部,所述支撑部突出到所述联接结构中以支撑所述堆叠部。

5.根据权利要求1所述的半导体器件,该半导体器件还包括:

穿过所述堆叠部的多个虚拟沟道结构,其中,所述多个虚拟沟道结构通过所述联接结构与所述沟道结构联接。

6.根据权利要求5所述的半导体器件,该半导体器件还包括:

第一焊盘,所述第一焊盘与各个沟道结构联接,所述第一焊盘中的每一个包括N型杂质;以及

第二焊盘,所述第一焊盘与各个虚拟沟道结构联接,所述第二焊盘中的每一个包括P型杂质。

7.根据权利要求5所述的半导体器件,该半导体器件还包括:

阱拾取线,所述阱拾取线与所述虚拟沟道结构电联接。

8.根据权利要求1所述的半导体器件,其中,所述源极拾取线包括:

N型多晶硅层,所述N型多晶硅层接触所述联接结构;以及

金属层,所述金属层被设置在所述多晶硅层上。

9.根据权利要求8所述的半导体器件,其中,所述源极拾取线的所述多晶硅层具有半球形下表面。

10.一种半导体器件,该半导体器件包括:

堆叠部;

穿过所述堆叠部的多个沟道结构;

源极层,所述源极层被设置在所述堆叠部下方并且包括具有不平坦的下表面的开口;以及

联接结构,所述联接结构形成在所述源极层的所述开口中并且将所述多个沟道结构彼此联接。

11.根据权利要求10所述的半导体器件,其中,所述开口包括设置在各个沟道结构下方的半球形凹陷区域,所述凹陷区域彼此联接。

12.根据权利要求11所述的半导体器件,

其中,各个所述凹陷区域的宽度大于各个所述沟道结构的宽度,并且

Micron Ex. 1002, p. 435
Micron v. YMTC
IPR2024-00794

其中，在第一方向上彼此相邻地设置的所述凹陷区域彼此间隔开，并且在与所述第一方向交叉的第二方向上彼此相邻地设置的所述凹陷区域彼此交叠。

13.根据权利要求11所述的半导体器件，其中，所述源极层包括在各个凹陷区域之间突出的支撑部。

14.根据权利要求10所述的半导体器件，该半导体器件还包括：

源极拾取线，所述源极拾取线穿过所述堆叠部并联接到所述源极层和所述联接结构。

15.根据权利要求14所述的半导体器件，其中，所述源极拾取线具有半球形下表面。

16.根据权利要求14所述的半导体器件，其中，所述源极拾取线包括：

N型多晶硅层，所述N型多晶硅层接触所述联接结构；以及

金属层，所述金属层被设置在所述多晶硅层上。

17.根据权利要求10所述的半导体器件，该半导体器件还包括：

虚拟沟道结构，所述虚拟沟道结构穿过所述堆叠部并通过所述联接结构与所述沟道结构联接。

18.根据权利要求17所述的半导体器件，该半导体器件还包括：

第一焊盘，所述第一焊盘与各个沟道结构联接，各个所述第一焊盘包括N型杂质；以及

第二焊盘，所述第一焊盘与各个虚拟沟道结构联接，各个所述第二焊盘包括P型杂质。

19.根据权利要求17所述的半导体器件，该半导体器件还包括：

阱拾取线，所述阱拾取线与所述虚拟沟道结构电联接。

20.一种制造半导体器件的方法，该方法包括以下步骤：

在源极层上形成第一堆叠部；

形成穿过所述第一堆叠部的第一开口；

在所述源极层中形成第二开口，所述第二开口将所述第一开口彼此联接；

在各个第一开口中形成沟道结构；

在所述第二开口中形成联接结构，该联接结构将所述沟道结构彼此联接；以及

形成穿过所述第一堆叠部并联接到所述联接结构的源极拾取线。

21.根据权利要求20所述的方法，其中，形成所述第二开口的步骤包括通过经由所述第一开口各向同性地蚀刻所述源极层来在各个第一开口下方形成半球形凹陷区域。

22.根据权利要求21所述的方法，

其中，各个所述凹陷区域的宽度大于各个所述第一开口的宽度，并且

其中，在第一方向上彼此相邻地设置的所述凹陷区域彼此间隔开，并且在与所述第一方向交叉的第二方向上彼此相邻地设置的所述凹陷区域彼此交叠。

23.根据权利要求20所述的方法，该方法还包括以下步骤：

在所述第一开口和所述第二开口中形成牺牲层；

在所述第一堆叠部上形成第二堆叠部；

形成穿过所述第二堆叠部并与各个第一开口联接的第三开口；以及

通过所述第三开口去除所述牺牲层。

24.根据权利要求20所述的方法，其中，形成所述联接结构的步骤包括：

在所述第二开口中形成虚拟存储器图案；以及

在所述虚拟存储器图案中形成虚拟沟道图案。

Micron Ex. 1002, p. 436
Micron v. YMTC
IPR2024-00794

25.根据权利要求24所述的方法，其中，形成所述源极拾取线的步骤包括：

形成穿过所述第一堆叠部并暴露所述联接结构的狭缝；以及

去除所述虚拟存储器图案的通过所述狭缝暴露的部分。

26.根据权利要求20所述的方法，其中，形成所述源极拾取线的步骤包括：

形成穿过所述第一堆叠部的狭缝；

扩大所述狭缝的下侧区域，使得所述联接结构被暴露；以及

在扩大的狭缝中形成所述源极拾取线，所述源极拾取线接触所述联接结构。

27.根据权利要求26所述的方法，其中，通过各向同性地蚀刻所述源极层来扩大所述狭缝的所述下侧区域。

28.根据权利要求26所述的方法，其中，形成所述源极拾取线的步骤包括：

在所述狭缝的扩大的下侧区域中形成N型多晶硅层，该多晶硅层接触所述联接结构；以及

在所述多晶硅层上形成金属层。

29.根据权利要求26所述的方法，

其中，所述第一堆叠部包括交替地层叠的一个或更多个第一材料层和一个或更多个第二材料层，并且

其中，通过所述狭缝用第三材料层取代所述第一材料层。

Micron Ex. 1002, p. 437
Micron v. YMTC
IPR2024-00794

半导体器件及其制造方法

技术领域

[0001] 本公开的各种实施方式总体上涉及电子装置，更具体地，涉及一种半导体器件及其制造方法。

背景技术

[0002] 非易失性存储器装置保持所存储的数据而不管电源开/关条件如何。近来，由于在基板上形成单层存储器单元的二维非易失性存储器装置在增强其集成度方面已达到极限，所以已提出了在基板上垂直地层叠存储器单元的三维非易失性存储器装置。

[0003] 三维非易失性存储器装置可包括彼此交替地层叠的层间绝缘层和栅极以及穿过其的沟道层，存储器单元沿着沟道层层叠。为了改进这种具有三维结构的非易失性存储器装置的操作可靠性，已开发了各种结构和制造方法。

发明内容

[0004] 本公开的各种实施方式涉及一种半导体器件及其制造方法，该半导体器件被配置为有利于其制造工艺并且具有稳定的结构和改进的特性。

[0005] 本公开的实施方式可提供一种半导体器件，该半导体器件包括：堆叠部；多个沟道结构，其穿过堆叠部；联接结构，其被设置在堆叠部下方以用于将沟道结构彼此联接，该联接结构具有不平坦的下表面；以及源极拾取线，其与联接结构电联接。

[0006] 本公开的实施方式可提供一种半导体器件，该半导体器件包括：堆叠部；多个沟道结构，其穿过堆叠部；源极层，其被设置在堆叠部下方并且包括具有不平坦的下表面的开口；以及联接结构，其形成在源极层的开口中并将所述多个沟道结构彼此联接。

[0007] 本公开的实施方式可提供一种制造半导体器件的方法，该方法包括以下步骤：在源极层上形成第一堆叠部；形成穿过第一堆叠部的第一开口；在源极层中形成第二开口，该第二开口将第一开口彼此联接；在各个第一开口中形成沟道结构；在第二开口中形成联接结构，该联接结构将沟道结构彼此联接；以及形成穿过第一堆叠部并联接到联接结构的源极拾取线。

附图说明

[0008] 图1A和图1B是示出根据本公开的实施方式的半导体器件的结构的示图。

[0009] 图2A、图2B和图2C是示出根据本公开的实施方式的半导体器件的联接结构和半导体器件的源极层的结构的示图。

[0010] 图3A、图3B、图4A、图4B和图5至图14是示出根据本公开的实施方式的半导体器件的制造方法的示图。

[0011] 图15和图16是示出根据本公开的实施方式的存储器系统的配置的框图。

[0012] 图17和图18是示出根据本公开的实施方式的计算系统的配置的框图。

Micron Ex. 1002, p. 438
Micron v. YMTC
IPR2024-00794

具体实施方式

[0013] 现在将参照附图在下文中更充分地描述示例实施方式；然而，其可按照不同的形式具体实现，不应被解释为限于本文所阐述的实施方式。相反，这些实施方式被提供以使得本公开将彻底和完整，并且将向本领域技术人员充分传达示例实施方式的范围。

[0014] 在附图中，为了例示清晰，尺寸可能被夸大。将理解，当元件被称为在两个元件“之间”时，其可以是这两个元件之间的仅有元件，或者也可存在一个或更多个中间元件。

[0015] 以下，将参照附图描述实施方式。本文中参照作为实施方式(以及中间结构)的示意图的横截面图来描述实施方式。因此，由于例如制造技术和/或公差而相对于例示形状的变化是预期的。因此，实施方式不应被解释为限于本文所示的区域的特定形状，而是可包括例如由制造导致的形状偏差。在附图中，为了清晰起见，层和区域的长度和尺寸可能被夸大。附图中的相同标记表示相同元件。

[0016] 诸如“第一”和“第二”的术语可用于描述各种组件，但是其不应限制各种组件。这些术语仅用于将组件与其它组件相区分。例如，在不脱离本公开的精神和范围的情况下，第一组件可被称为第二组件，并且第二组件可被称为第一组件等。另外，“和/或”可包括所提及的组件中的任一个或组合。

[0017] 另外，只要在句子中没有具体地提及，单数形式可包括复数形式。另外，本说明书中所使用的“包括/包含”表示存在或可添加一个或更多个组件、步骤、操作和元件。

[0018] 另外，除非另外定义，否则本说明书中所使用的所有术语(包括技术和科学术语)具有与相关领域的技术人员通常理解的含义相同的含义。常用字典中定义的术语应被解释为具有与在相关领域的上下文中解释的含义相同的含义，并且除非在本说明书中清楚地另外定义，否则不应被解释为具有理想化或过度形式上的含义。

[0019] 还应注意，在本说明书中，“连接/联接”是指一个组件不仅直接联接另一部件，而且还间接地通过中间组件联接另一组件。另一方面，“直接连接/直接联接”是指一个组件在没有中间组件的情况下直接联接另一组件。

[0020] 图1A和图1B是示出根据本公开的实施方式的半导体器件的结构的示图。图1A是布局图。图1B是截面图。

[0021] 参照图1A和图1B，根据本公开的实施方式的半导体器件可包括堆叠部ST、穿过堆叠部ST的沟道(channel)结构CH、设置在堆叠部ST下方的联接结构CN以及穿过堆叠部ST的源极拾取线23。半导体器件还可包括穿过堆叠部ST的虚拟沟道结构D_CH、源极层10、位线21和至少一条阱拾取线22。

[0022] 堆叠部ST可包括交替地层叠的导电层11和绝缘层12。各个导电层11可以是存储器单元、选择晶体管等的栅极，并且由多晶硅、含多晶硅的材料、合适的金属或含金属的材料制成。例如，各个导电层11可由诸如钨的金属制成或者包含诸如钨的金属。绝缘层12可使层叠的导电层11彼此绝缘，并且可由诸如例如氧化物的合适的绝缘材料制成或者包含诸如例如氧化物的合适的绝缘材料。例如，至少一个最上面的导电层11可以是漏极选择晶体管(drain select transistor)的栅极，至少一个最下面的导电层11可以是源极选择晶体管(source select transistor)的栅极，其它导电层11可以是存储器单元的栅极。在这种情况下，至少一个源极选择晶体管、多个存储器单元和至少一个漏极选择晶体管可串联联接

Micron Ex. 1002, p. 439
Micron v. YMTC
IPR2024-00794

以构成存储器串。存储器串可具有垂直取向。

[0023] 堆叠部ST可被设置在源极层10上。源极层10可由任何合适的导电材料或者任何合适的半导体材料(包括例如多晶硅)制成。外围电路(未示出)可被设置在源极层10下面,如本领域中熟知的。层间绝缘层13可被设置在堆叠部ST上。位线21和阱拾取线22可被设置在层间绝缘层13中。

[0024] 各个沟道结构CH可包括穿过堆叠部ST的沟道图案15A。各个沟道图案15A可以是由包括例如硅(Si)和锗(Ge)的半导体材料制成的半导体图案。各个沟道图案15A可具有实心结构或者其中心区域开放的管状结构。在各个沟道图案15A具有管状结构的情况下,如图1I和图1B的示例中一样,沟道图案15A可填充有由任何合适的绝缘材料制成的间隙填充绝缘图案16A。各个沟道图案15A可具有诸如圆形、圆柱形、椭圆形、矩形或多边形的横截面。

[0025] 各个沟道结构CH还可包括包围对应沟道图案15A的侧壁的存储器图案14A。存储器图案14A可包括依次包围沟道图案15A的侧壁的隧道绝缘层、数据存储层和电荷阻挡层。数据存储层可包括浮栅、电荷捕获层、氮化物、相变材料、可变电阻材料、纳米点等。

[0026] 各个沟道结构CH还可包括被设置在对应间隙填充绝缘图案16A上的第一焊盘17A。第一焊盘17A可与对应沟道图案15A接触。沟道图案15A和对应位线21可通过第一焊盘17A彼此联接。第一焊盘17A可包括N型杂质。

[0027] 沟道结构CH可在第一方向I-I'上成行布置,在与第一方向I-I'交叉的第二方向II-II'上成列布置。沟道结构CH可交替地布置,使得相邻沟道结构的中心相对于彼此偏移。例如,在II-II'方向上形成列的沟道结构每隔与布置在I-I'方向上的沟道结构所形成的行的一个交点设置。同样,在I-I'方向上形成行的沟道结构每隔与布置在II-II'方向上的沟道结构所形成的列的一个交点设置。因此,如图1A所示,在第一方向I-I'和第二方向II-II'上彼此相邻设置的五个沟道结构CH形成矩形,其中四个沟道结构在矩形的拐角处,一个沟道结构CH在由这四个沟道结构CH形成的矩形的中心处。构成单个存储器块的列和行中的沟道结构的数量可根据设计选择而变化。在实施方式中,可在单个存储器块中布置八个或九个沟道列。

[0028] 虚拟沟道结构D_CH可与沟道结构CH相似,并且可由与用于沟道结构CH的材料相似的材料制成。各个虚拟沟道结构D_CH可包括虚拟沟道图案15B、虚拟存储器图案14B、虚拟间隙填充绝缘图案16B和第二焊盘17B。第二焊盘17B可与虚拟沟道图案15B接触。虚拟沟道图案15B和对应阱拾取线22可通过第二焊盘17B彼此联接。第二焊盘17B可包括与包括在第一焊盘17A中的杂质类型不同的杂质。例如,第二焊盘17B可包括P型杂质。

[0029] 虚拟沟道图案15B对应于沟道图案15A,虚拟存储器图案14B对应于存储器图案14A,虚拟间隙填充绝缘图案16B对应于间隙填充绝缘图案16A;因此,这些结构的详细描述被省略,以避免以重复、冗余的说明模糊说明书。

[0030] 虚拟沟道结构D_CH可设置在沟道结构CH之间。例如,虚拟沟道结构D_CH可沿着第二方向II-II'成列布置,使得虚拟沟道结构D_CH的中心与在第一方向I-I'上与其相邻的对应沟道结构CH的中心错开。通常,在各个存储器块中将设置比沟道结构CH少的虚拟沟道结构D_CH。例如,在单个存储器块包括依次布置的第一至第九沟道列(沟道结构列和虚拟沟道结构列)的情况下,单个虚拟沟道列可作为第五沟道列设置在第四沟道列和第六沟道列之间。

Micron Ex. 1002, p. 440
Micron v. YMTC
IPR2024-00794

[0031] 联接结构CN被设置为将沟道结构CH彼此联接，并且被设置在源极层10和堆叠部ST之间。在半导体器件包括虚拟沟道结构D_CH的情况下，联接结构CN可将虚拟沟道结构D_CH彼此联接，将沟道结构CH彼此联接，并且将沟道结构CH和虚拟沟道结构D_CH彼此联接。

[0032] 联接结构CN与源极拾取线23联接，并且在源极拾取线23和沟道结构CH之间提供电流路径。因此，联接结构CN具有较大的宽度并朝着源极拾取线23突出，以使得联接结构CN可容易地与源极拾取线23联接。换言之，相对于沟道图案15A的侧壁，联接图案15C的侧壁朝着源极拾取线23突出了距离X。联接结构CN可具有不平坦的下表面。例如，联接结构CN可具有这样的下表面，该下表面包括与基本上平坦的下表面部分交替的多个半球形表面部分。联接部分的下表面的半球形部分可基本上与沟道结构CH和D_CH对齐。

[0033] 联接结构CN可包括联接图案15C和虚拟存储器图案14C。联接图案15C可由包括例如硅(Si)、锗(Ge)等的半导体材料制成。联接图案15C可具有实心结构、或者其中心区域开放的管状结构。在联接图案15C具有管状结构的情况下，联接图案15C可填充有虚拟间隙填充绝缘图案16C。

[0034] 虚拟存储器图案14C可以是包围联接图案15C的外表面的多层，并且包括隧道绝缘层、数据存储层或电荷阻挡层中的至少一层。虚拟存储器图案14C可包括开口，通过该开口暴露联接图案15C的一部分。例如，该开口可暴露联接图案15C的侧壁。

[0035] 沟道结构CH、虚拟沟道结构D_CH和联接结构CN可通过相同的工艺来形成。例如，沟道图案15A、虚拟沟道图案15B和联接图案15C可形成单个集成的半导体层，并且根据半导体层的区域而具有不同的功能。存储器图案14A、虚拟存储器图案14B和虚拟存储器图案14C也可形成单个集成的层。间隙填充绝缘图案16A、虚拟间隙填充绝缘图案16B和虚拟间隙填充绝缘图案16C也可形成单个集成的层。

[0036] 源极拾取线23可穿过堆叠部ST并与源极层10和联接结构CN联接。源极拾取线23可在第二方向II-II'上延伸。源极拾取线23可具有不平坦的下表面23L，其具有例如半球形下表面。源极拾取线23的半球形下表面23L可在水平方向上比穿透堆叠部ST的源极拾取线23的下部的宽度宽。如图1B所示，源极拾取线23的穿透堆叠部ST的部分可具有略呈锥形的形状，其顶部的宽度大于底部的宽度。

[0037] 源极拾取线23可直接与联接结构CN接触。例如，源极拾取线23可直接与通过虚拟存储器图案14C的开口暴露的联接图案15C的侧壁接触。在这种情况下，源极拾取线23可为多层，其包括直接与联接结构CN接触的第一层23A以及电阻低于第一层23A的第二层23B。第一层23A可以是例如N型多晶硅层。第二层23B可以是例如金属或含金属的层，包括例如钨或含钨的层。

[0038] 源极拾取线23的侧壁可被绝缘间隔体24包围。绝缘间隔体24可由任何合适的绝缘材料制成，包括例如氧化物层或氮化物层，并且可用于将源极拾取线23与导电层11绝缘。

[0039] 源极层10可直接与源极拾取线23接触。例如，源极层10可直接与源极拾取线23的第一层23A接触。虚拟存储器图案14C可被夹在源极层10和联接图案15C之间。因此，源极层10可通过源极拾取线23与联接图案15C联接，而非直接与联接图案15C联接。换言之，源极层10可通过源极拾取线23与联接结构CN电联接。

[0040] 根据上述结构，沟道结构CH和源极拾取线23可利用具有不平坦的下表面的联接结构CN容易地彼此联接。结果，在读操作期间，可在位线21、沟道结构CH、联接结构CN、源极拾

Micron Ex. 1002, p. 441
Micron v. YMTC
IPR2024-00794

取线23和源极层10之间提供电流路径。另外，在擦除操作期间，由于可在阱拾取线22、虚拟沟道结构D_CH、联接结构CN和沟道结构CH之间提供空穴移动路径，所以可向存储器单元供应足够量的空穴。

[0041] 图2A至图2C是示出根据本公开的实施方式的半导体器件的联接结构CN和源极层10的结构的示图。图2A是布局图。图2B是沿图2A的线A-A'截取的截面图。图2C是沿图2A的线B-B'截取的截面图。

[0042] 参照图2A至图2C，源极层10包括具有不平坦的下表面的开口OP，并且联接结构CN形成在源极层10的开口OP中。开口OP可包括多个凹陷区域R，各个凹陷区域R具有半球形形状。凹陷区域R被布置在第一方向I以及与第一方向I交叉的第二方向II上。与沟道和虚拟沟道结构的图案匹配，凹陷区域R可被交替地布置，使得其中心彼此偏移。例如，五个相邻的凹陷区域R在第一方向I和第二方向II上彼此相邻设置，以使得它们中的四个被设置在矩形的顶点处，它们中的第五个被设置在由这四个凹陷区域R形成的矩形的中心处。

[0043] 凹陷区域R可被设置在与各个沟道结构CH和各个虚拟沟道结构D_CH对应的位置处。例如，凹陷区域R可被设置在各个沟道结构CH和各个虚拟沟道结构D_CH下方。各个凹陷区域R的中心可与沟道结构CH和虚拟沟道结构D_CH中的对应一个的中心对齐。然而，各个凹陷区域R的直径可大于各个沟道结构CH或各个虚拟沟道结构D_CH(D1<D2)。

[0044] 在第一方向I上彼此相邻设置的凹陷区域R彼此间隔开，并且在第二方向II上彼此相邻设置的凹陷区域R彼此间隔开。另一方面，在与第一方向I和第二方向II交叉的第三方向III上彼此相邻设置的凹陷区域R可彼此交叠(参照参考符号"Y")。例如，在第一方向I上彼此相邻设置的凹陷区域R的中心之间的距离被指定为D3，在第二方向II上彼此相邻设置的凹陷区域R的中心之间的距离被指定为D4，在第三方向III上彼此相邻设置的凹陷区域R的中心之间的距离被指定为D5。在这种情况下，D3可大于D5(D3>D5)，并且D4可大于D5(D4>D5)。

[0045] 在凹陷区域R彼此部分地交叠的情况下，开口OP可具有网状横截面。源极层10可包括支撑部SP，其被设置在彼此相邻设置的凹陷区域R之间并且在各个凹陷区域R之间突出以支撑堆叠部ST。同样，由于联接结构CN形成在开口OP中，所以联接结构CN也可具有网状下表面。在这种情况下，源极层10的支撑部SP在联接结构CN中突出，并且联接结构CN的虚拟存储器图案14C和联接图案15C包围源极层10的支撑部SP的侧壁。

[0046] 凹陷区域R之间的距离以及各个凹陷区域R的直径可根据设计条件而改变为各种值。例如，在第一方向I和第二方向II上彼此相邻设置的凹陷区域R可彼此交叠。在这种情况下，源极层10可不包括支撑部SP。

[0047] 图3A、图3B、图4A、图4B和图5至图14是示出根据本公开的实施方式的半导体器件的制造方法的示图。图3A和图4A是布局图。图3B、图4B和图5至图14是截面图。下文中，重复的说明如果被认为冗余的话将被省略.

[0048] 参照图3A和3B，在源极层30上形成第一堆叠部ST1。第一堆叠部ST1可包括交替地层叠的一个或更多个第一材料层31A和一个或更多个第二材料层32A。

[0049] 第一材料层31可被设置为形成存储器单元、选择晶体管等的栅极。第二材料层32可被设置为将层叠的栅极彼此绝缘。第一材料层31A可由对第二材料层32A具有高蚀刻选择性的材料制成。例如，第一材料层31A可以是包括氮化物等的牺牲层，第二材料层32A可以是

Micron Ex. 1002, p. 442
Micron v. YMTC
IPR2024-00794

包括氧化物等的绝缘层。另选地，第一材料层31A可以是包括多晶硅、钨等的导电层，第二材料层32A可以是包括氧化物等的绝缘层。作为另外的选择，第一材料层31A可以是包括掺杂多晶硅等的导电层，第二材料层32A可以是包括未掺杂多晶硅等的牺牲层。

[0050] 此后，形成第一开口OP1以穿过第一堆叠部ST1，使得通过第一开口OP1暴露源极层30。例如，在第一堆叠部ST1上形成掩模图案33。此后，使用掩模图案33作为蚀刻阻挡物来蚀刻第一堆叠部ST1，以形成开口OP1。各个开口OP1穿透第一堆叠部ST1并暴露源极层30。在形成第一开口OP1时源极层30也可被蚀刻预定深度。

[0051] 第一开口OP1在第一方向I以及与第一方向I交叉的第二方向II上按照之前针对沟道结构和虚拟沟道结构所描述的图案布置。因此，第一开口OP1可交替地布置，使得其中心彼此偏移，以使得每五个相邻的开口OP1中，四个被设置在矩形的顶点处，第五个被设置在矩形的中心处。

[0052] 各个第一开口OP1之间的距离可考虑要通过后续工艺形成的凹陷区域的宽度来确定。例如，当期望使凹陷区域交叠时，第一开口OP1可按照相对小的间隔设置。当期望使凹陷区域彼此分离时，第一开口OP1可按照相对大的间隔设置。另外，第一开口OP1可根据方向按照不同的间隔设置。例如，在第一方向I上彼此相邻设置的第一开口OP1的中心之间的距离被指定为W1，在第二方向II上彼此相邻设置的第一开口OP1的中心之间的距离被指定为W2，在第三方向III上彼此相邻设置的第一开口OP1的中心之间的距离被指定为W3。在这种情况下，W1可大于W3(W1>W3)，并且W2可大于W3(W2>W3)。作为参考，图3B的虚线表示设置在图3B所示的横截面后面的各个第一开口OP1。

[0053] 参照图4A和图4B，去除掩模图案33。此后，在源极层30中形成第二开口OP2，第一开口OP1通过所述第二开口OP2彼此联接。例如，通过选择性地蚀刻通过第一开口OP1暴露的源极层30来在各个第一开口OP1下面形成凹陷区域R。由于通过各向同性蚀刻工艺(参照箭头)来蚀刻源极层30，所以各个凹陷区域R可形成为半球形形状。

[0054] 初始凹陷区域R彼此分离。然而，随着蚀刻工艺执行，各个凹陷区域R的宽度增加，由此彼此相邻设置的凹陷区域R彼此联接。这样，可形成使第一开口OP1彼此联接的第二开口OP2。作为参考，图4B的虚线表示设置在图4B所示的横截面后面的各个凹陷区域R。

[0055] 各个第二开口OP2的形状可根据第一开口OP1的布置方法、各个凹陷区域R的宽度、源极层30的蚀刻条件、源极层30的蚀刻速率等而改变。在彼此相邻设置的第一开口OP1之间的距离相对小或者源极层30的蚀刻速率相对高的情况下，相邻凹陷区域R彼此交叠和联接。在相邻第一开口OP1之间的距离相对大或者源极层30的蚀刻速率相对低的情况下，相邻凹陷区域R可彼此间隔开和分离。

[0056] 例如，由于在第三方向III上彼此相邻设置的凹陷区域R按照相对小的间隔设置，所以相邻凹陷区域R彼此交叠和联接。另一方面，由于在第一方向I上或在第二方向II上彼此相邻设置的凹陷区域R按照相对大的间隔设置，所以相邻凹陷区域R彼此分离。因此，源极层30的部分保留在第一方向I上或第二方向II上彼此相邻设置的凹陷区域R之间。源极层30的各个剩余部分用作支撑部SP。第二开口OP2具有网状横截面。

[0057] 作为参考，在源极层30的蚀刻速率增加，即，各个凹陷区域R的宽度增加的情况下，凹陷区域R可在没有支撑部SP的情况下彼此联接。在这种情况下，不仅在第一方向I上彼此相邻设置的凹陷区域R可彼此交叠和联接，而且在第二方向II上彼此相邻设置的凹陷区域R

Micron Ex. 1002, p. 443
Micron v. YMTC
IPR2024-00794

也可彼此交叠和联接。

[0058] 参照图5，在第一开口OP1和第二开口OP2中形成牺牲层34。例如，在第一堆叠部ST1上形成牺牲层34，使得第一开口OP1和第二开口OP2被牺牲层34填充。此后，对牺牲层34进行平坦化，直到第一堆叠部ST1的表面暴露。这里，包括在第一堆叠部ST1中的最上面的第二材料层32A可被蚀刻预定厚度。

[0059] 牺牲层34可由对源极层30、第一材料层31A和第二材料层32A具有高蚀刻选择性的材料制成。在源极层30为多晶硅层的情况下，第一材料层31A为氮化物层，并且第二材料层32A为氧化物层，牺牲层34可包括氮化钛。

[0060] 此后，在第一堆叠部ST1上形成第二堆叠部ST2。第二堆叠部ST2可包括交替地层叠的第一材料层31B和第二材料层32B。第一材料层31B可被设置为形成存储器单元、选择晶体管等的栅极。第二材料层32B可被设置为将层叠的栅极彼此绝缘。这里，第一材料层31B由对第二材料层32B具有高蚀刻选择性的材料制成。例如，第一材料层31B可以是牺牲层，第二材料层32B可以是绝缘层。替代地，第一材料层31B可以是导电层，第二材料层32B可以是绝缘层。作为另外的选择，第一材料层31B可以是导电层，第二材料层32B可以是包括未掺杂多晶硅等的牺牲层。

[0061] 作为参考，第一堆叠部ST1可被设置为形成至少一个下选择晶体管，第二堆叠部ST2可被设置为形成存储器单元和至少一个上晶体管。第一材料层31A和第一材料层31B可由基本上相同的材料制成。第二材料层32A和第二材料层32B可由基本上相同的材料制成。

[0062] 随后，第三开口OP3被形成以穿过第二堆叠部ST2并且与各个第一开口OP1联接。第三开口OP3可按照与各个第一开口OP1的图案对应的图案设置。各个第三开口OP3的宽度可从其上端到下端减小。

[0063] 参照图6，通过第三开口OP3去除牺牲层34。因此，第一开口OP1和第二开口OP2再次打开，并且第一开口OP1至第三开口OP3彼此一体地联接。第二开口OP2上方的第一堆叠部ST1和第二堆叠部ST2由源极层30的支撑部SP支撑。

[0064] 此后，形成沟道结构CH、虚拟沟道结构D_CH和联接结构CN。各个沟道结构CH可包括设置在对应第一开口OP1和第三开口OP3中的存储器图案35A、半导体图案36A和间隙填充绝缘图案37A。各个虚拟沟道结构D_CH可包括设置在对应第一开口OP1和第三开口OP3中的虚拟存储器图案35B、虚拟半导体图案36B和虚拟间隙填充绝缘图案37B。联接结构CN可包括设置在第二开口OP2中的虚拟存储器图案35C、虚拟半导体图案36C和虚拟间隙填充绝缘图案37C。

[0065] 例如，存储器层35A至35C、半导体层36A至36C和间隙填充绝缘层37A至37C可依次形成在第一开口OP1至第三开口OP3中，由此可形成沟道结构CH、虚拟沟道结构D_CH和联接结构CN。存储器层35A至35C可包括电荷阻挡层、数据存储层或隧道绝缘层中的至少一个。数据存储层可包括浮栅、电荷捕获层、氮化物、相变材料、可变电阻材料、纳米点等。

[0066] 参照图7，将各个间隙填充绝缘层37A、37B蚀刻预定深度，由此第三开口OP3的上侧区域再次打开。此后，在第二堆叠部ST2上形成第一导电层38以使得再次打开的区域被第一导电层38填充。第一导电层38可包括N型杂质并且是多晶硅层。

[0067] 参照图8，选择性地去除第一导电层38的与虚拟沟道结构D_CH对应的区域。例如，在第一导电层38上形成包括暴露与虚拟沟道结构D_CH对应的区域的开口的掩模图案39。此

Micron Ex. 1002, p. 444
Micron v. YMTC
IPR2024-00794

后使用掩模图案39作为蚀刻阻挡物来蚀刻第一导电层38。在蚀刻第一导电层38的工艺期间，虚拟沟道图案36B可随第一导电层38一起被蚀刻。这样，第三开口OP3的设置有虚拟沟道结构D_CH的上侧区域再次打开。

[0068] 参照图9，去除掩模图案39，然后形成第二导电层40。第二导电层40可包括类型与第一导电层38不同的杂质。例如，第二导电层40可以是包括P型杂质的多晶硅层。

[0069] 参照图10，对第一导电层38和第二导电层40进行平坦化直到第二堆叠部ST2的表面暴露，由此形成第一焊盘38A和第二焊盘40A。各个第一焊盘38A可被设置在对应间隙填充绝缘图案37A上并被设置在对应沟道图案36A中。各个第二焊盘40A可被设置在对应虚拟间隙填充绝缘图案37B上并被设置在对应虚拟沟道图案36B的上部。另外，当如上所述，虚拟沟道图案36B随第一导电层38一起被蚀刻时，各个第二焊盘40A可具有比各个第一焊盘38A大的宽度(W4>W5)。

[0070] 这样，各个沟道结构CH可包括存储器图案35A、半导体图案36A、间隙填充绝缘图案37A和第一导电图案38A。各个虚拟沟道结构D_CH可包括虚拟存储器图案35B、虚拟半导体图案36B、虚拟间隙填充绝缘图案37B和第二焊盘40A。

[0071] 在实施方式中，第一焊盘38A和第二焊盘40A可仅使用第一导电层38来形成。例如，第一焊盘38A和第二焊盘40A可通过对图7的第一导电层38进行平坦化来形成。此后，可向第二焊盘40A中选择性地掺杂杂质。

[0072] 参照图11，在第二堆叠部ST2上形成第一层间绝缘层41，然后形成狭缝SL以穿过第一堆叠部ST1和第二堆叠部ST2。狭缝SL可形成至使得源极层30暴露的预定深度，并且在源极层30的上部内延伸。

[0073] 此后，通过狭缝SL用第三材料层42取代第一材料层31A和31B或第二材料层32A和32B。例如，在第一材料层31A和31B为牺牲层并且第二材料层32A和32B为绝缘层的情况下，导电层可取代第一材料层31A和31B。另选地，在第一材料层31A和31B为导电层并且第二材料层32A和32B为绝缘层的情况下，第一材料层31A和31B被硅化。作为另外的选择，在第一材料层31A和31B为导电层并且第二材料层32A和32B为牺牲层的情况下，绝缘层可取代第二材料层32A和32B。

[0074] 参照图12，在狭缝SL的内壁上形成绝缘间隔体43。绝缘间隔体43不仅用于在后续工艺期间保护第一堆叠部ST1和第二堆叠部ST2，而且用于将源极拾取线与导电层(例如，第三材料层42)绝缘。因此，绝缘间隔体43考虑其在后续工艺期间的损耗形成至足够的厚度。

[0075] 此后，将通过狭缝SL暴露的源极层30部分地蚀刻，由此暴露联接结构CN。例如，狭缝SL的下侧区域通过经由各向同性蚀刻工艺蚀刻源极层30而扩大。当蚀刻源极层30时可使用浸出(dip-out)工艺，并且源极层30可被蚀刻成半球形形状。

[0076] 如上所述，由于联接结构CN包括各自具有半球形形状的多个凹陷区域R，所以联接结构CN被设置在比各个沟道结构CH更靠近狭缝SL的位置处。因此，可容易地通过扩大狭缝SL的下侧区域来暴露联接结构CN。

[0077] 参照图13，去除通过狭缝SL的下侧区域暴露的虚拟存储器图案35C。结果，虚拟存储器图案35C具有开口，并且通过该开口暴露虚拟沟道图案36C。在去除虚拟存储器图案35C的工艺期间，绝缘间隔体43可被去除预定厚度。

[0078] 参照图14，在扩大的狭缝SL中形成源极拾取线44。源极拾取线44可与源极层30和

Micron Ex. 1002, p. 445
Micron v. YMTC
IPR2024-00794

联接结构CN联接，并且直接与源极层30和联接结构CN的虚拟沟道图案36C接触。源极拾取线44可包括填充扩大的狭缝SL的下侧区域的第一层44A以及填充扩大的狭缝SL的上侧区域的第二层44B。

[0079] 例如，形成第一层44A，使得扩大的狭缝SL的下侧区域被第一层44A填充。此后，形成第二层44B。第一层44A可以是多晶硅层。第二层44B可以是电阻低于第一层44A的金属层。

[0080] 可通过经由沉积工艺沉积多晶硅层，然后执行回蚀工艺来形成第一层44A。另选地，可通过经由选择性生长工艺从源极层30和虚拟沟道图案36C生长多晶硅层来形成第一层44A。可通过沉积包括钨等的金属层，然后执行平坦化工艺，使得第一层间绝缘层41的表面暴露来形成第二层44B。

[0081] 此后，形成包括位线45和阱拾取线46的第二层间绝缘层47。位线45可与各个沟道结构CH联接，并且阱拾取线46可与虚拟沟道结构D_CH联接。位线45和阱拾取线46可被设置在相同的水平上或不同的水平上。当形成源极拾取线44的第二层44B时，位线45和阱拾取线46的接触插塞(contact plug)可随第二层44B一起形成。

[0082] 根据所述制造方法，由于联接结构CN形成在包括半球形凹陷区域R的第二开口OP中，所以源极拾取线44和联接结构CN可容易地彼此联接。另外，由于源极层30包括支撑部SP，所以可防止在制造工艺期间发生诸如堆叠部的塌陷、倾斜等的缺陷。

[0083] 图15是示出根据本公开的实施方式的存储器系统的配置的框图。

[0084] 参照图15，根据本公开的实施方式的存储器系统1000包括存储器装置1200和控制器1100。

[0085] 存储器装置1200用于存储具有诸如文本、图形和软件代码的各种数据形式的数据信息。存储器装置1200可以是非易失性存储器。另外，存储器装置1200可具有上面参照图1A至图14所描述的结构，并且可通过上面参照图1A至图14所描述的制造方法来制造。在实施方式中，存储器装置1200可包括：堆叠部；沟道结构，其穿过堆叠部；联接结构，其被设置在堆叠部下面并将沟道结构彼此联接，并且具有不平坦的下表面；以及源极拾取线，其穿过堆叠部并联接到联接结构。存储器装置1200的结构及其制造方法与上面所述相同；因此，其详细说明将被省略。

[0086] 控制器1100可联接到主机Host和存储器装置1200。控制器1100可响应于来自主机Host的请求访问存储器装置1200。例如，控制器1100可控制存储器装置1200的读、写、擦除和后台操作。

[0087] 控制器1100可包括随机存取存储器(RAM)1110、中央处理单元(CPU)1120、主机接口1130、纠错码(ECC)电路1140和存储器接口1150。

[0088] RAM 1110可用作CPU 1120的操作存储器、存储器装置1200与主机Host之间的高速缓存存储器、存储器装置1200与主机Host之间的缓冲存储器等。作为参考，RAM 1110可由静态随机存取存储器(SRAM)、只读存储器(ROM)等代替。

[0089] CPU 1120可控制控制器1100的总体操作。例如，CPU 1120可被配置为操作存储在RAM 1110中的诸如闪存转换层(FTL)的固件。

[0090] 主机接口1130可被配置为与主机Host联系。例如，控制器1100被配置为通过诸如通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、PCI-express(PCI-e)协议、高级技术附件(ATA)协议、串行-ATA协议、并行-ATA协议、小型计算机小型接

Micron Ex. 1002, p. 446
Micron v. YMTC
IPR2024-00794

口(SCSI)协议、增强小型磁盘接口(ESDI)协议和集成驱动电子器件(IDE)协议、私有协议等的各种接口协议中的至少一个来与主机Host通信。

[0091] ECC电路1140可使用纠错码(ECC)来检测并纠正从存储器装置1200读取的数据中的错误。

[0092] 存储器接口1150可被配置为与存储器装置1200联系。例如,存储器接口1150可包括NAND接口或NOR接口。

[0093] 作为参考,控制器1100还可包括用于暂时地存储数据的缓冲存储器(未示出)。缓冲存储器可用于暂时地存储要从主机接口1130传送到外部装置的数据或者要从存储器接口1150传送到存储器装置1200的数据。另外,控制器1100还可包括存储用于与主机Host联系的代码数据的ROM。

[0094] 由于根据实施方式的存储器系统1000包括具有改进的集成度和特性的存储器装置1200,所以存储器系统1000的集成度和特性也可改进。

[0095] 图16是示出根据本公开的实施方式的存储器系统的配置的框图。下文中,重复的说明如果被认为冗余的话将被省略。

[0096] 参照图16,根据实施方式的存储器系统1000'可包括存储器装置1200'和控制器1100。控制器1100包括RAM 1110、CPU 1120、主机接口1130、ECC电路1140、存储器接口1150等。

[0097] 存储器装置1200'可以是非易失性存储器。另外,存储器装置1200'可具有上面参照图1A至图14所描述的结构,并且可通过上面参照图1A至图14所描述的制造方法来制造。在实施方式中,存储器装置1200'可包括:堆叠部;沟道结构,其穿过堆叠部;联接结构,其被设置在堆叠部下面并将沟道结构彼此联接,并且具有不平坦的下表面;以及源极拾取线,其穿过堆叠部并联接到联接结构。存储器装置1200'的结构及其制造方法与上面所述相同;因此,其详细说明将被省略。

[0098] 另外,存储器装置1200'可以是包括多个存储器芯片的多芯片封装。多个存储器芯片可被分成多个组。多个组可被配置为通过第一至第k通道(channel)CH1至CHk来与控制器1100通信。各个组的存储器芯片可通过公共通道来与控制器1100通信。作为参考,存储器系统1000'可被修改,使得各个单个存储器芯片联接到对应单个通道。

[0099] 如上所述,由于根据实施方式的存储器系统1000'包括具有改进的集成度和特性的存储器装置1200',所以存储器系统1000'的集成度和特性也可改进。具体地,存储器装置1200'由多芯片封装形成,由此数据存储容量及其操作速度可增强。

[0100] 图17是示出根据本公开的实施方式的计算系统的配置的框图。下文中,重复的描述如果被认为冗余的话将被省略。

[0101] 参照图17,根据本公开的实施方式的计算系统2000可包括存储器装置2100、CPU 2200、RAM 2300、用户接口2400、电源2500以及在操作上将各种组件联接在一起的系统总线2600。

[0102] 存储器装置2100可存储经由用户接口2400提供的数据和/或由CPU 2200处理的数据。存储器装置2100经由系统总线2600电联接至CPU 2200、RAM 2300、用户接口2400、电源2500。例如,存储器装置2100可经由控制器(未示出)联接至系统总线2600,或者另选地,直接联接至系统总线2600。在存储器装置2100直接联接至系统总线2600的情况下,控制器的

Micron Ex. 1002, p. 447
Micron v. YMTC
IPR2024-00794

功能可由CPU 2200或RAM 2300执行。

[0103] 存储器装置2100可以是非易失性存储器。另外，存储器装置2100可具有上面参照图1A至图14所描述的结构，并且可通过上面参照图1A至图14所描述的制造方法来制造。在实施方式中，存储器装置2100可包括：堆叠部；沟道结构，其穿过堆叠部；联接结构，其被设置在堆叠部下面并将沟道结构彼此联接，并且具有不平坦的下表面；以及源极拾取线，其穿过堆叠部并联接到联接结构。存储器装置2100的结构及其制造方法与上面所述相同；因此，其详细说明将被省略。

[0104] 如上面参照图16所描述的，存储器装置2100可以是利用多个存储器芯片配置的多芯片封装。

[0105] 具有上述配置的计算系统2000可作为诸如计算机、超级移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络本、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、游戏机、导航装置、黑匣子、数字相机、三维电视、数字音频记录仪、数字音频播放器、数字照片记录仪、数字照片播放器、数字视频记录仪、数字视频播放器、能够在无线环境中发送/接收信息的装置、用于形成家庭网络的各种装置之一、用于形成计算机网络的各种电子装置之一、用于形成信息通信网络的各种电子装置之一、RFID装置等的电子装置的各种元件之一来提供。

[0106] 如上所述，由于根据实施方式的计算系统2000包括具有改进的集成度和特性的存储器装置2100，所以计算系统2000的特性也可改进。

[0107] 图18是示出根据本公开的实施方式的计算系统的框图。

[0108] 参照图18，根据本公开的实施方式的计算系统3000可包括具有操作系统3200、应用3100、文件系统3300、转换层3400等的软件层。另外，计算系统3000包括诸如存储器装置3500的硬件层。

[0109] 操作系统3200管理计算系统3000的软件资源和硬件资源等，并且可通过CPU来控制程序执行。应用3100可以是在计算系统3000中执行的各种应用程序，并且可以是由操作系统3200执行的实用程序。

[0110] 文件系统3300可指用于控制存在于计算系统3000中的数据、文件等的逻辑结构，并且可根据给定规则来组织要存储在存储器装置3500等中的文件或数据。文件系统3300可根据计算系统3000中所使用的操作系统3200来确定。例如，如果操作系统3200是Microsoft的Windows系统，则文件系统3300可以是文件分配表(FAT)、NT文件系统(NTFS)等。如果操作系统3200是Unix/Linux系统，则文件系统3300可以是扩展文件系统(EXT)、Unix文件系统(UFS)、日志文件系统(JFS)等。

[0111] 尽管在图中操作系统3200、应用3100和文件系统3300由单独的块表示，应用3100和文件系统3300可被包括在操作系统3200中。

[0112] 响应于来自文件系统3300的请求，转换层3400可将地址转换成适合于存储器装置3500的形式。例如，转换层3400可将由文件系统3300生成的逻辑地址转换成存储器装置3500的物理地址。逻辑地址与物理地址的映射信息可被存储在地址转换表中。例如，转换层3400可以是闪存转换层(FTL)、通用闪存存储链接层(ULL)等。

[0113] 存储器装置3500可以是非易失性存储器。另外，存储器装置3500可具有上面参照图1A至图14所描述的结构，并且可通过上面参照图1A至图14所描述的制造方法来制造。在

Micron Ex. 1002, p. 448
Micron v. YMTC
IPR2024-00794

实施方式中，存储器装置3500可包括：堆叠部；沟道结构，其穿过堆叠部；联接结构，其被设置在堆叠部下面并将沟道结构彼此联接，并且具有不平坦的下表面；以及源极拾取线，其穿过堆叠部并联接到联接结构。存储器装置3500的结构及其制造方法与上面所述相同；因此，其详细说明将被省略。

[0114] 具有上述配置的计算系统3000可被分为在较高级别区域中实现的操作系统层以及在较低级别区域中实现的控制器层。应用3100、操作系统3200和文件系统3300可被包括在操作系统层中，并且可由计算系统3000的操作存储器驱动。转换层3400可被包括在操作系统层或控制器层中。

[0115] 如上所述，由于根据实施方式的计算系统3000包括具有改进的集成度和特性的存储器装置3500，所以计算系统3000的特性也可改进。

[0116] 本公开可提供一种具有稳定的结构和改进的可靠性的半导体器件。在制造该半导体器件时，可方便制造工艺，并且可简化其过程，并且可降低制造成本。

[0117] 本文已公开了实施方式的示例，尽管采用了特定术语，但是这些术语被使用并且将仅在一般和描述性意义上解释，而不是为了限制的目的。在一些情况下，对于本领域普通技术人员而言将显而易见的是，自本申请提交起，除非另外具体地指示，结合特定实施方式描述的特征、特性和/或元件可单独地使用或者与结合其它实施方式描述的特征、特性和/或元件组合使用。因此，本领域技术人员将理解，在不脱离所附权利要求书中所阐述的本公开的精神和范围的情况下，可进行形式和细节上的各种改变。

[0118] 相关申请的交叉引用

[0119] 本申请要求2017年5月26日提交的韩国专利申请号10-2017-0065521的优先权，其完整公开通过引用并入本文。

Micron Ex. 1002, p. 449
Micron v. YMTC
IPR2024-00794

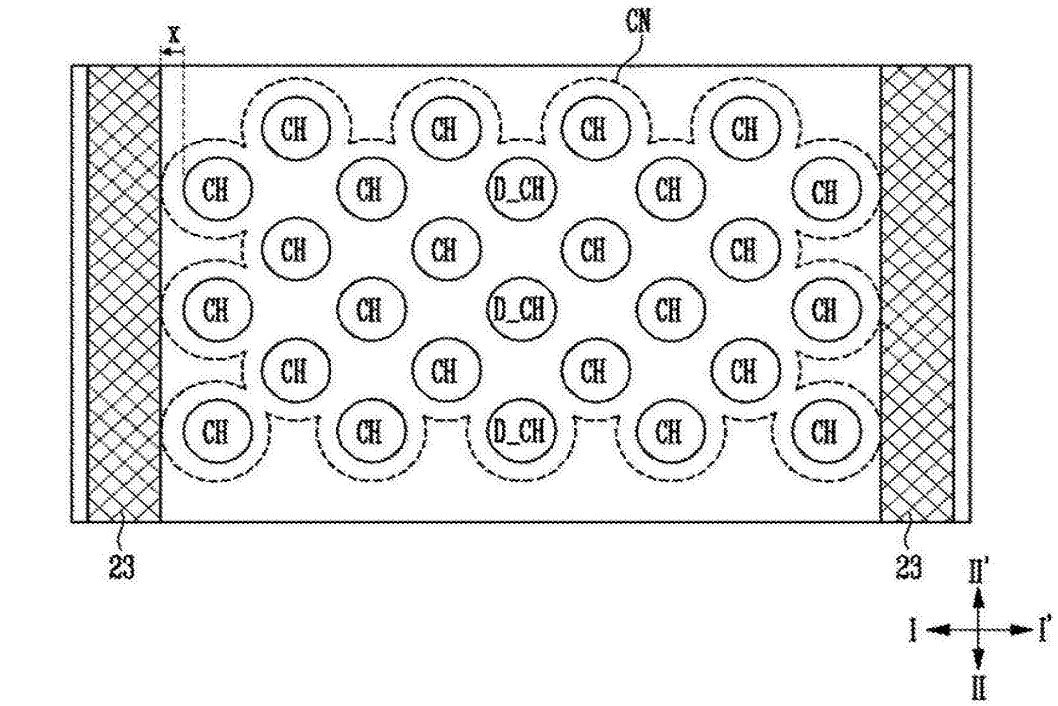


图1A

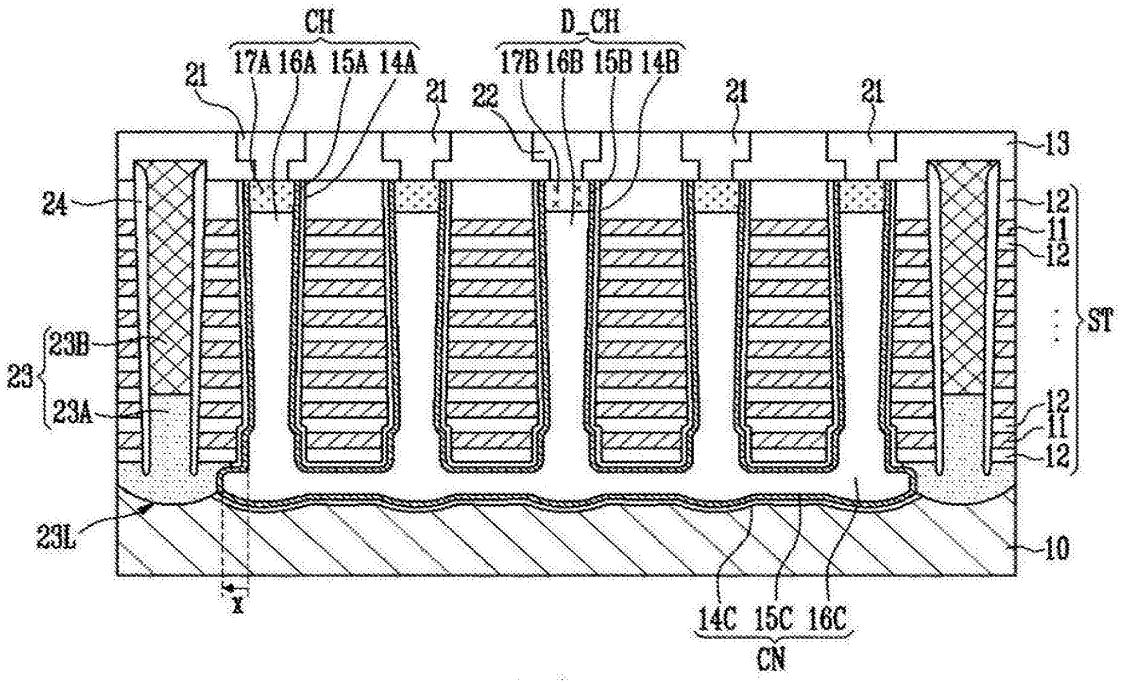


图1B

Micron Ex. 1002, p. 450
Micron v. YMTC
IPR2024-00794

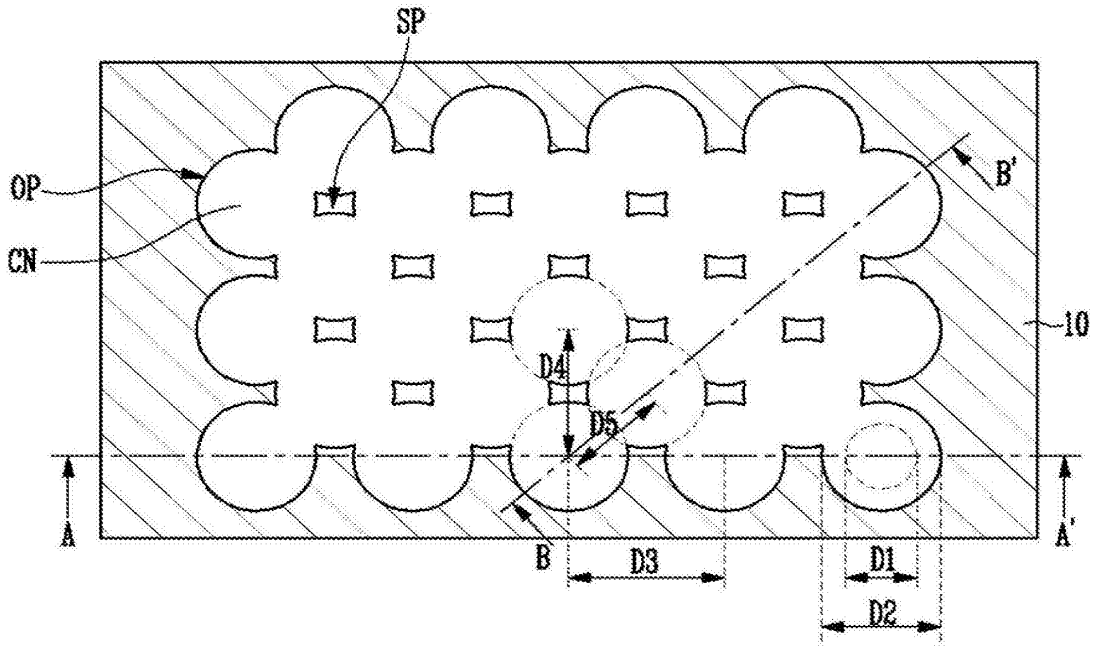


图2A

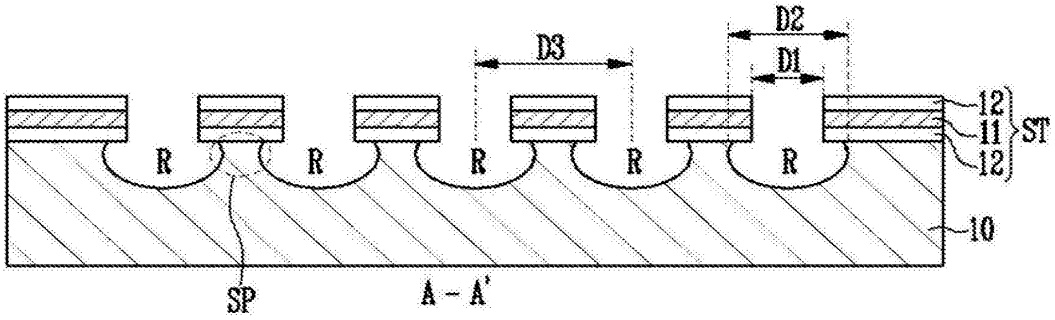


图2B

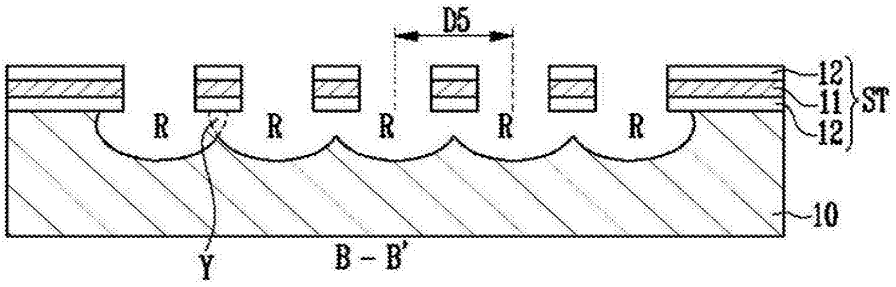


图2C

Micron Ex. 1002, p. 451
Micron v. YMTC
IPR2024-00794

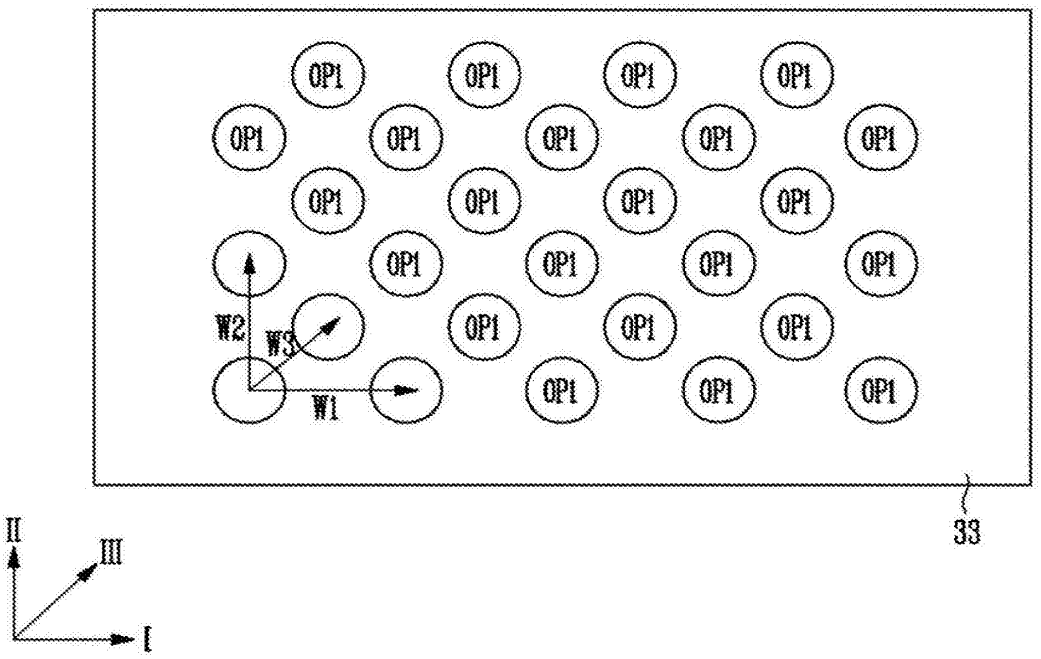


图3A

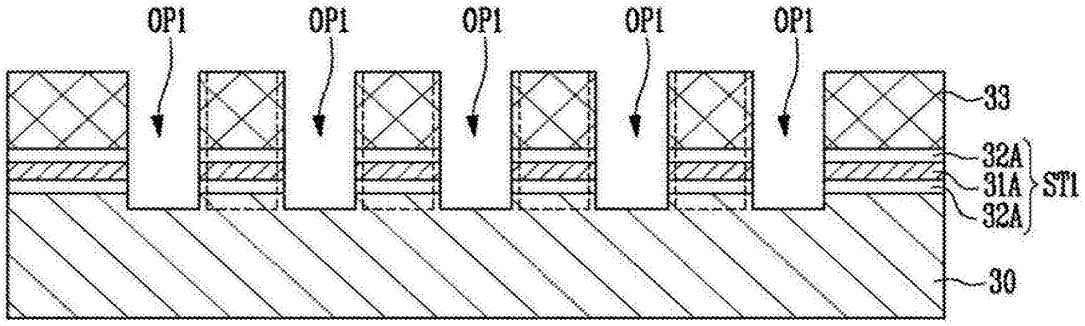


图3B

Micron Ex. 1002, p. 452
Micron v. YMTC
IPR2024-00794

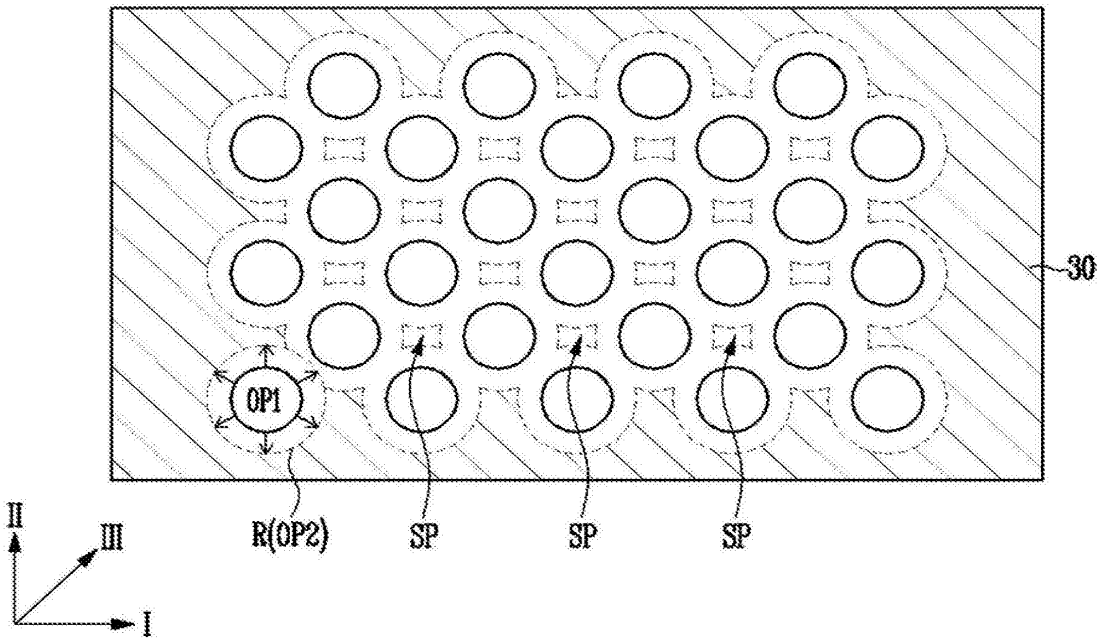


图4A

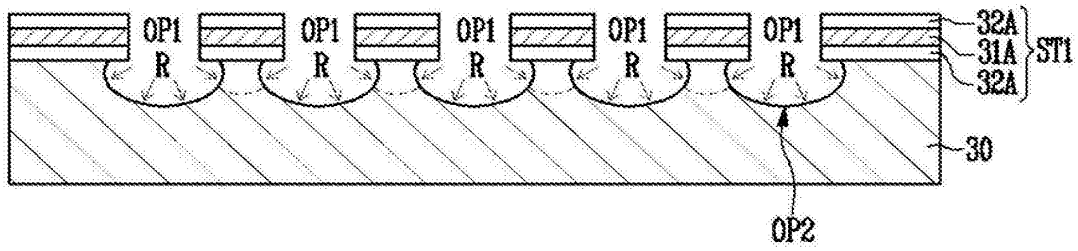


图4B

Micron Ex. 1002, p. 453
Micron v. YMTC
IPR2024-00794

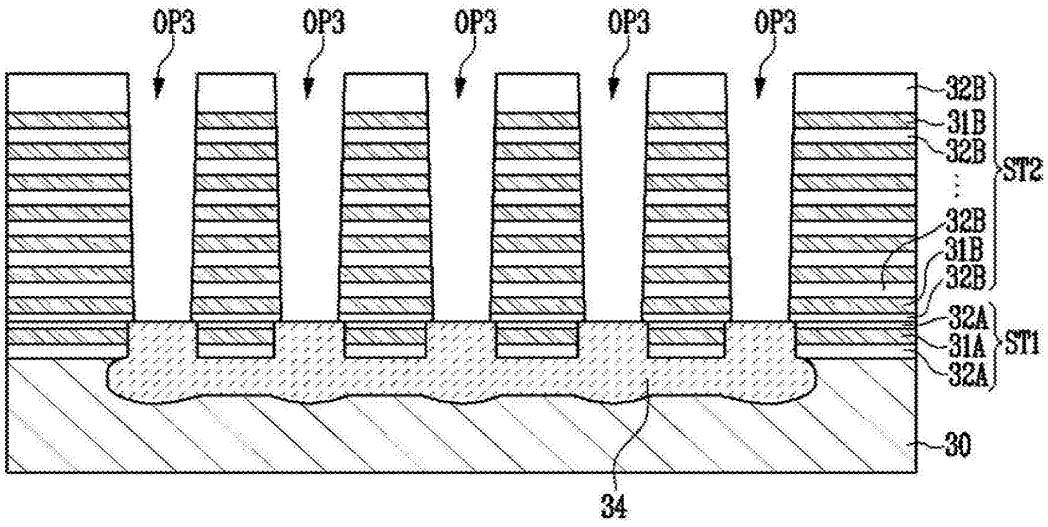


图5

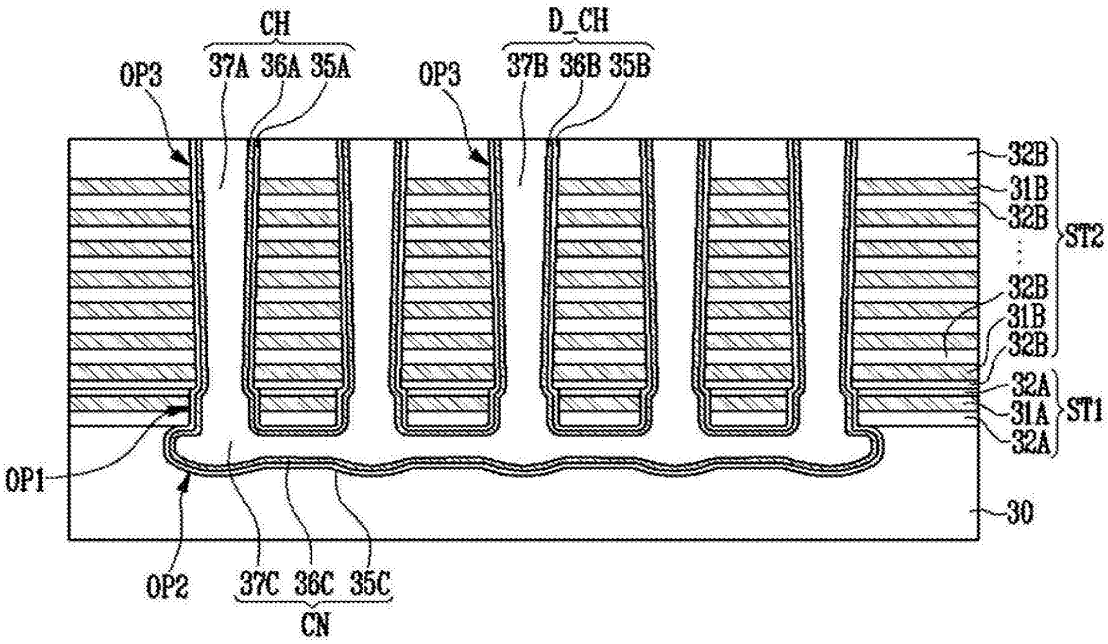


图6

Micron Ex. 1002, p. 454
Micron v. YMTC
IPR2024-00794

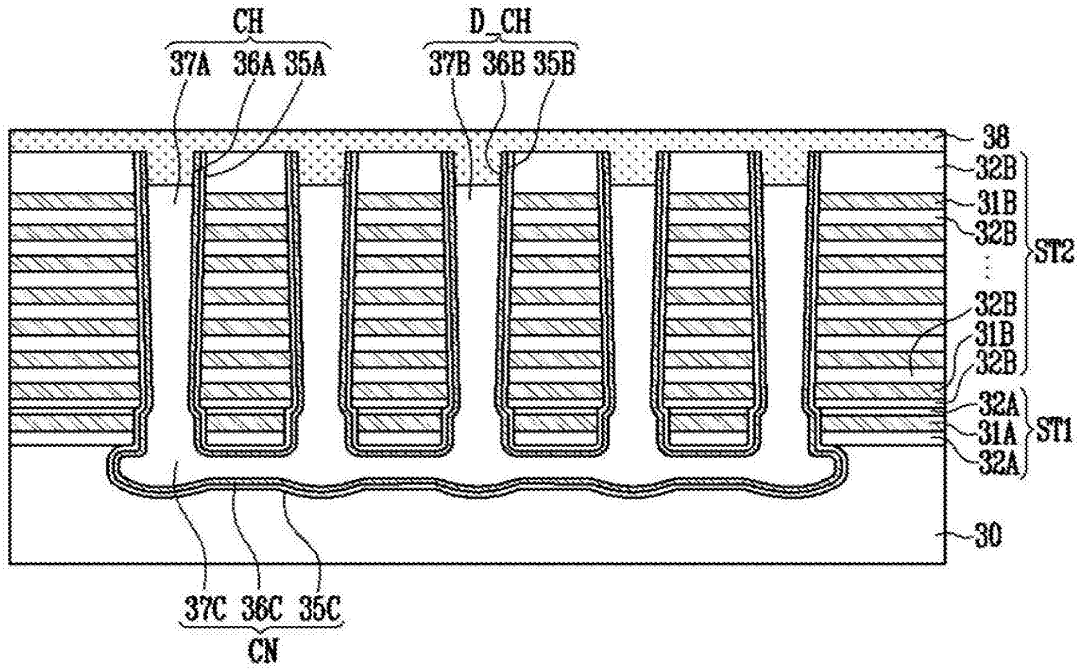


图7

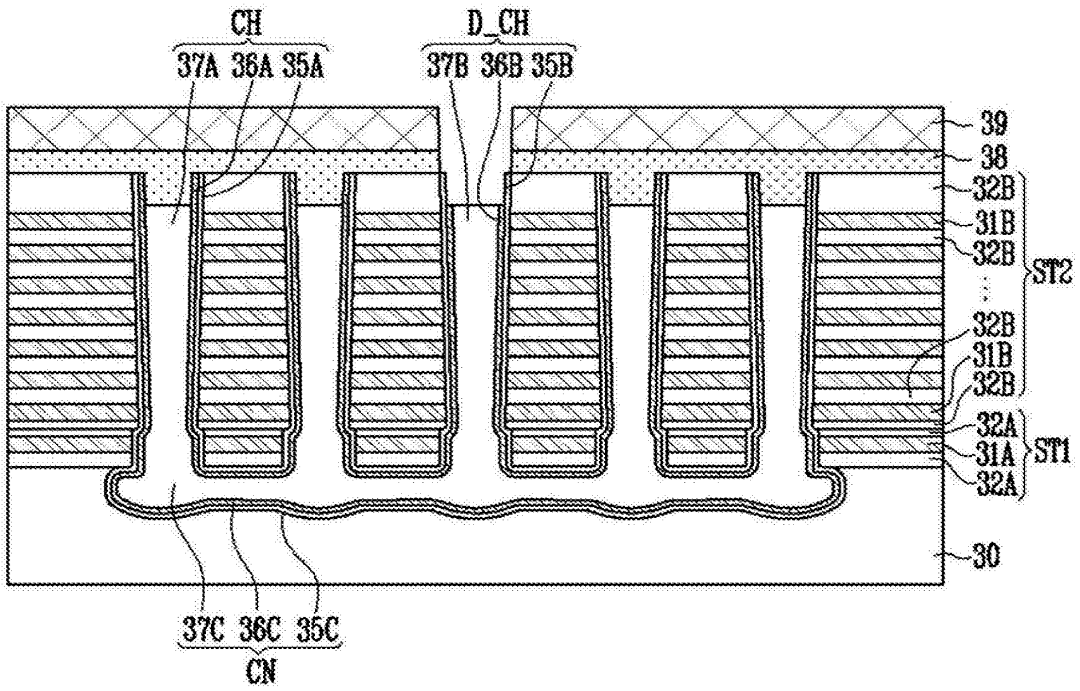


图8

Micron Ex. 1002, p. 455
Micron v. YMTC
IPR2024-00794

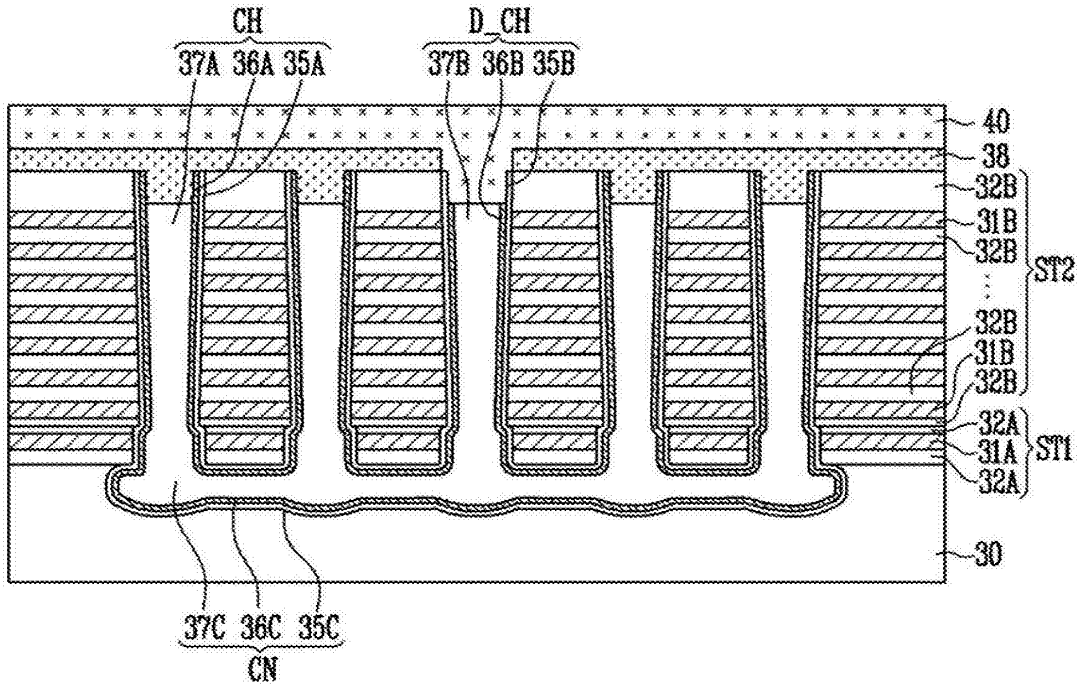


图9

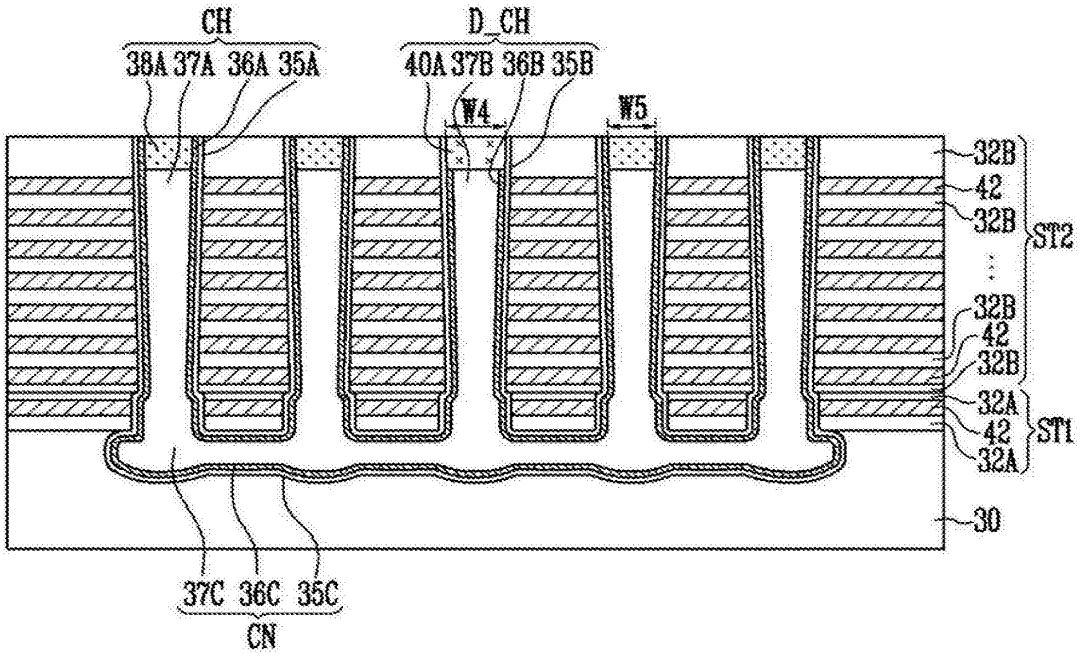


图10

Micron Ex. 1002, p. 456
Micron v. YMTC
IPR2024-00794

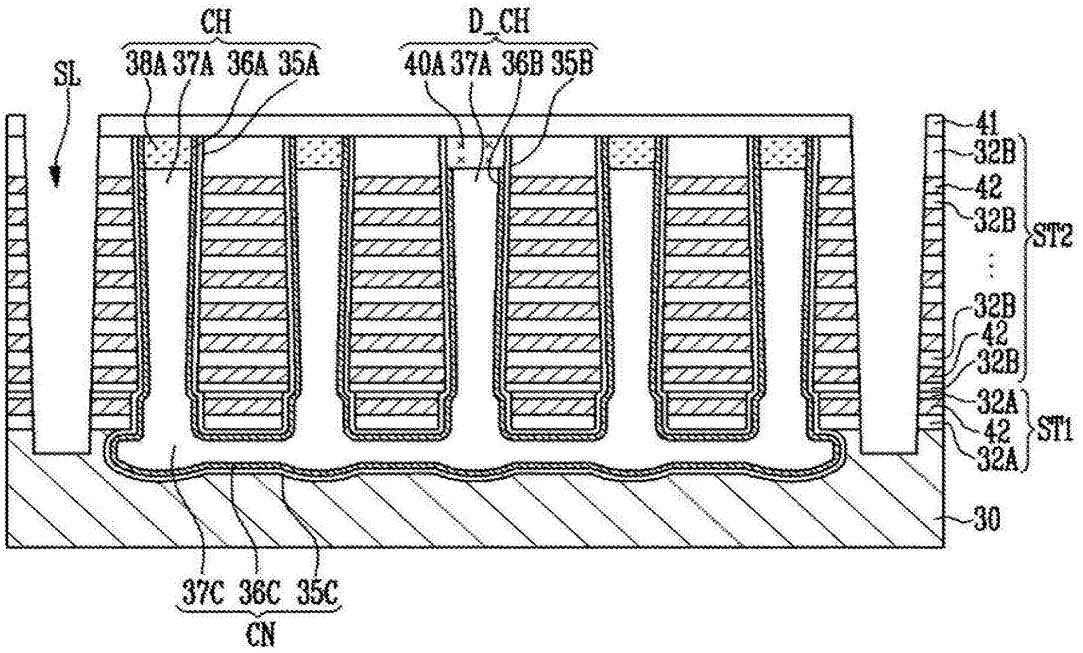


图11

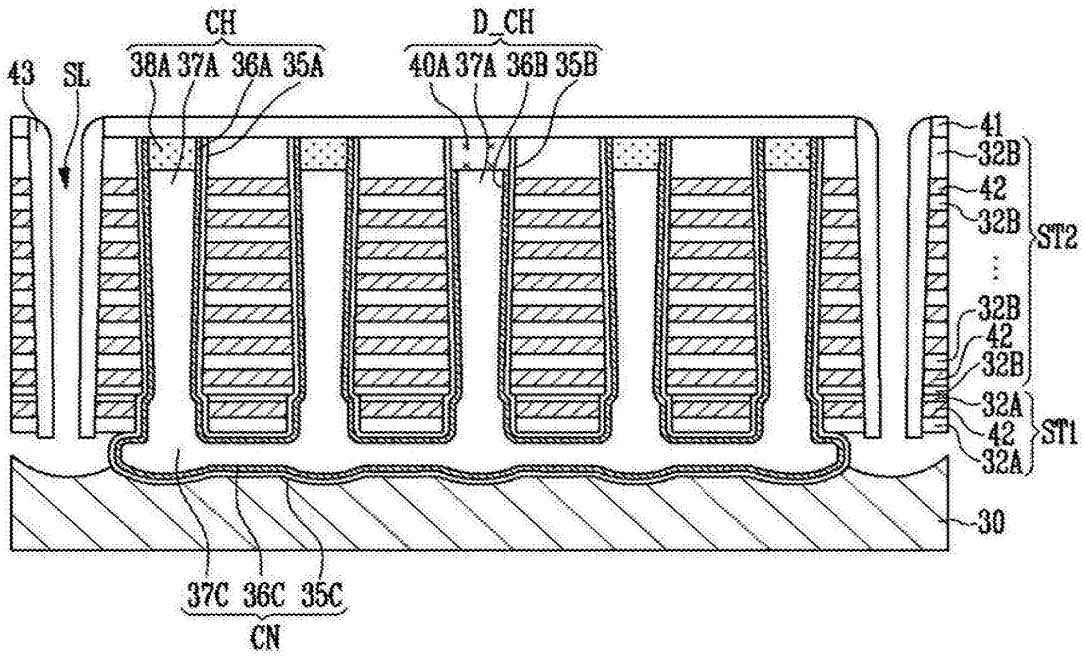


图12

Micron Ex. 1002, p. 457
Micron v. YMTC
IPR2024-00794

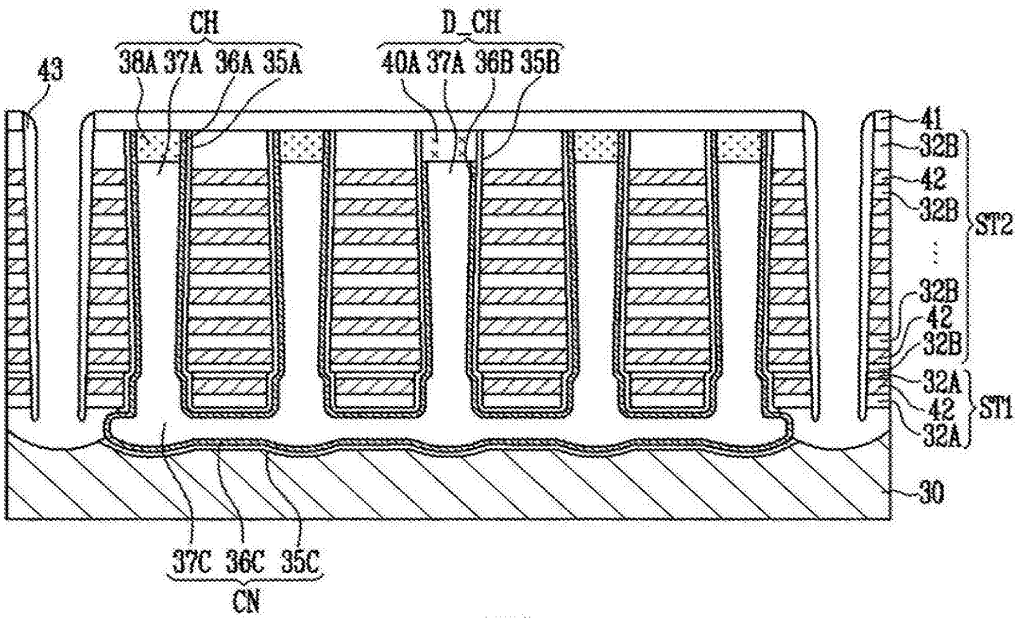


图13

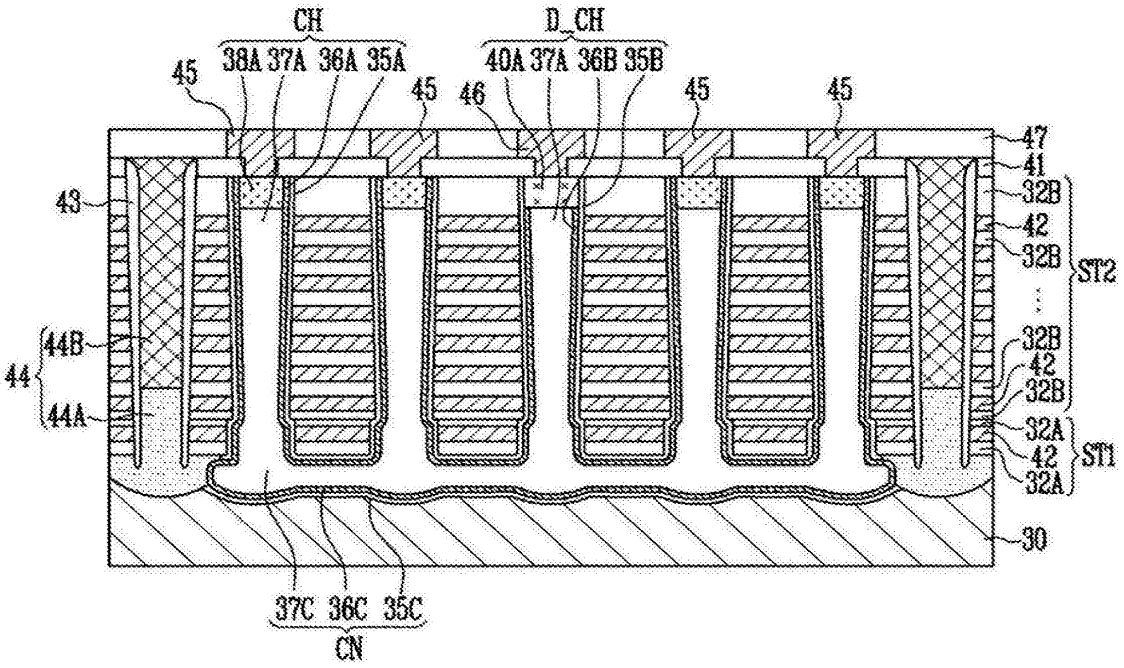


图14

Micron Ex. 1002, p. 458
Micron v. YMTC
IPR2024-00794

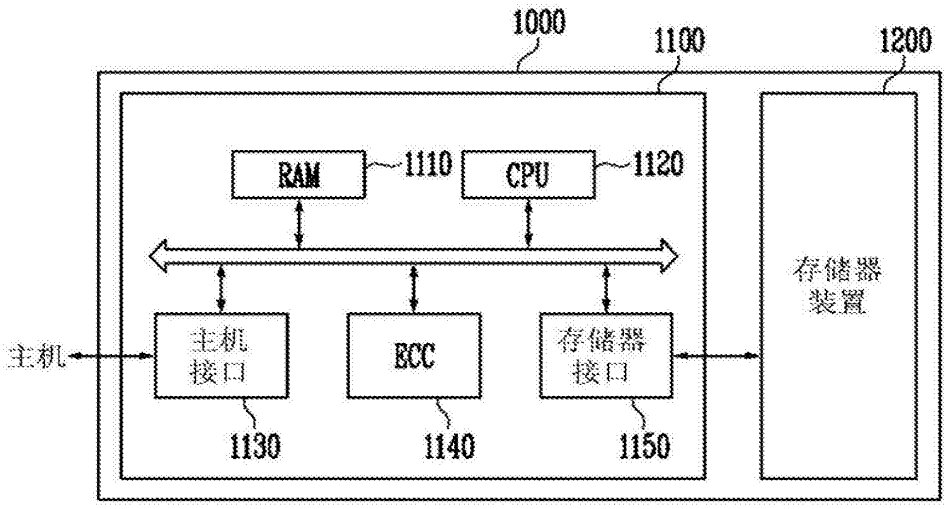


图15

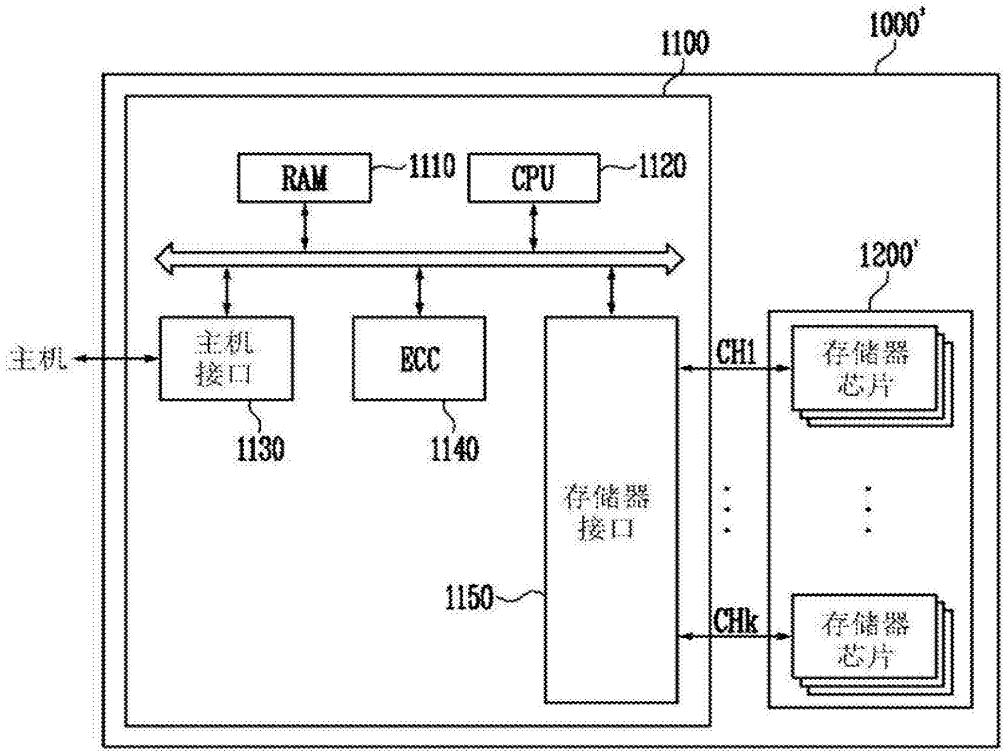


图16

Micron Ex. 1002, p. 459
Micron v. YMTC
IPR2024-00794

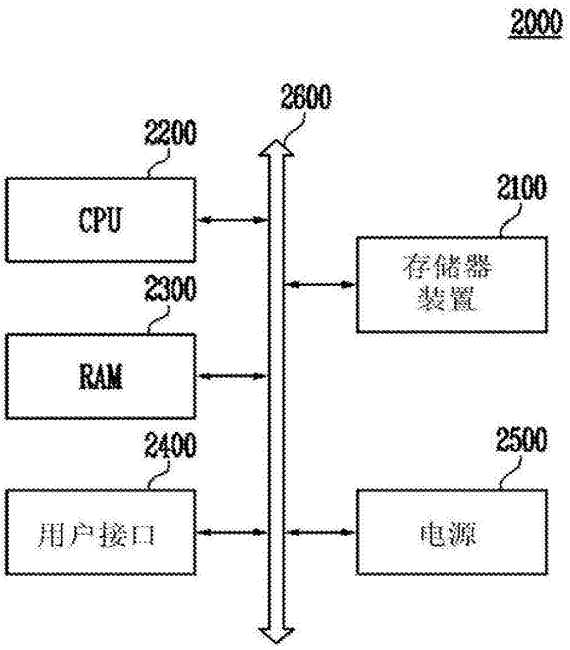


图17

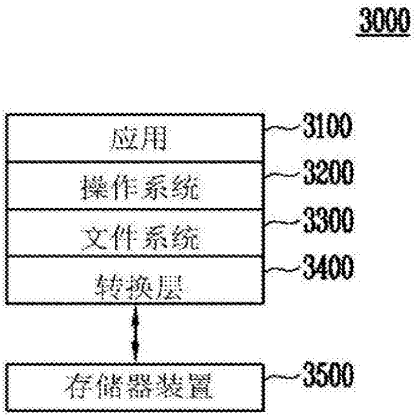


图18

Micron Ex. 1002, p. 460
Micron v. YMTC
IPR2024-00794

Espacenet

Bibliographic data: JP2018163970 (A) — 2018-10-18

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Inventor(s): MATSUO KOJI ± (松尾 浩司)

Applicant(s): TOSHIBA MEMORY CORP ± (東芝メモリ株式会社)

Classification: **- international:** ***H01L21/02; H01L21/3205; H01L21/336; H01L21/768; H01L23/522; H01L25/065; H01L25/07; H01L25/18; H01L27/00; H01L27/11548; H01L27/11551; H01L27/11575; H01L27/11578; H01L29/788; H01L29/792***

- cooperative: **H01L21/76802**; **H01L21/76877**; **H01L21/8221**; **H01L23/53295**; **H01L23/585**; **H01L25/0657**; **H01L25/18**; **H01L25/50**; **H01L27/0688**; H01L2224/80; H01L27/11582

Application number: JP20170060009 20170324 Global Dossier

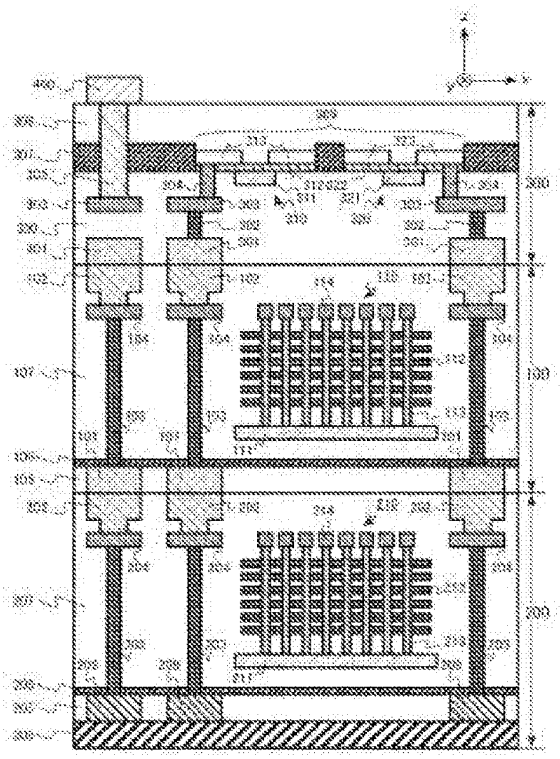
Priority number(s): JP20170060009 20170324

Also published as: US10211166 (B2) US2018277497 (A1)

Abstract of JP2018163970 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device having an electrode structure suitable for being miniaturized.SOLUTION: The semiconductor device of the embodiment comprises: a first semiconductor circuit layer having a first conductive layer; a second semiconductor circuit layer having a second conductive layer; and a third semiconductor circuit layer that is provided between the first semiconductor circuit layer and the second semiconductor circuit layer and has a third conductive layer in contact with the first conductive layer, a fourth conductive layer in contact with the second conductive layer, and a fifth conductive layer for electrically connecting the third conductive layer and the fourth conductive layer together and being in contact with the third conductive layer. A width of the fifth conductive layer is narrower than that of the third conductive layer.SELECTED DRAWING: Figure 1

Micron Ex. 1002, p. 461
Micron v. YMTC
IPR2024-00794



Micron Ex. 1002, p. 462
Micron v. YMTC
IPR2024-00794

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2018-163970
(P2018-163970A)
(43)公開日　平成30年10月18日(2018.10.18)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/11575	(2017.01)	H01L	27/11575		5F033
H01L 27/11548	(2017.01)	H01L	27/11548		5F083
H01L 27/11578	(2017.01)	H01L	27/11578		5F101
H01L 21/336	(2006.01)	H01L	29/78	371	
H01L 29/788	(2006.01)	H01L	21/02	B	

審査請求 未請求　請求項の数 20　OL　（全 18 頁）　最終頁に続く

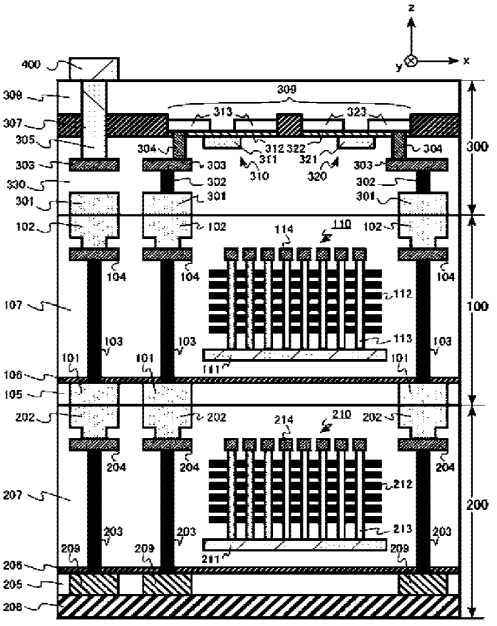
(21)出願番号　特願2017-60009(P2017-60009)
(22)出願日　平成29年3月24日(2017.3.24)

(71)出願人　317006041
東芝メモリ株式会社
東京都港区芝浦一丁目1番1号
(74)代理人　100119035
弁理士　池上　徹真
(74)代理人　100141036
弁理士　須藤　章
(74)代理人　100088487
弁理士　松山　允之
(72)発明者　松尾　浩司
東京都港区芝浦一丁目1番1号　株式会社東芝内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】微細化に適した電極構造を有する半導体装置を提供する。
【解決手段】実施形態の半導体装置は、第1の導電層を有する第1の半導体回路層と、第2の導電層を有する第2の半導体回路層と、第1の半導体回路層と第2の半導体回路層との間に設けられ、第1の導電層と接する第3の導電層と、第2の導電層と接する第4の導電層と、第3の導電層と第4の導電層とを電気的に接続し第3の導電層に接する第5の導電層とを有する第3の半導体回路層とを備え、第5の導電層の幅が、第3の導電層の幅よりも狭い。
【選択図】図1



Micron Ex. 1002, p. 463
Micron v. YMTC
IPR2024-00794

【特許請求の範囲】
【請求項１】
第１の導電層を有する第１の半導体回路層と、
第２の導電層を有する第２の半導体回路層と、
前記第１の半導体回路層と前記第２の半導体回路層との間に設けられ、前記第１の導電層と接する第３の導電層と、前記第２の導電層と接する第４の導電層と、前記第３の導電層と前記第４の導電層とを電気的に接続し前記第３の導電層に接する第５の導電層とを有する第３の半導体回路層とを備え、
前記第５の導電層の幅が、前記第３の導電層の幅よりも狭い半導体装置。
【請求項２】
前記第３の導電層の材質と前記第５の導電層の材質が異なる請求項１記載の半導体装置。
【請求項３】
前記第１の導電層、前記第２の導電層、前記第３の導電層、前記第４の導電層は銅（Ｃｕ）を含む請求項１記載の半導体装置。
【請求項４】
前記第５の導電層がタングステンを含む請求項１記載の半導体装置。
【請求項５】
前記第５の導電層が、前記第３の導電層に接する金属窒化膜を含む請求項１記載の半導体装置。
【請求項６】
前記第３の半導体回路層が複数のメモリセルが積層された３次元構造のメモリセルアレイを有する請求項１記載の半導体装置。
【請求項７】
前記第２の半導体回路層がＭＩＳＦＥＴを有する請求項１記載の半導体装置。
【請求項８】
前記第２の半導体回路層が前記メモリセルアレイの周辺回路を有する請求項６記載の半導体装置。
【請求項９】
前記第３の導電層と前記メモリセルアレイとの間に窒素を含む絶縁層を有する請求項６記載の半導体装置。
【請求項１０】
前記第１の半導体回路層が、シリコンを含む多結晶半導体層と、前記第１の導電層と前記多結晶半導体層との間に設けられ前記第１の導電層に電気的に接続され前記多結晶半導体層に接する第６の導電層を更に備え、前記第６の導電層の幅が、前記多結晶半導体層の幅よりも狭い請求項１記載の半導体装置。
【請求項１１】
半導体基板と、前記半導体基板の上の絶縁層と、前記絶縁層の上の犠牲層と、前記半導体基板と反対側の表面に設けられた第１の導電層と、前記犠牲層に接し前記第１の導電層に電気的に接続される第２の導電層とを有する第１の半導体回路基板と、表面に第３の導電層を有する第２の半導体回路基板を、前記第１の導電層が前記第３の導電層と接するように貼り合わせ、
前記犠牲層が露出するように、前記半導体基板と前記絶縁層とを除去し、
前記犠牲層を除去して開口部を形成し、
前記開口部に第４の導電層を埋め込み、
前記第１の半導体回路基板と、表面に第５の導電層を有する第３の半導体回路基板を、前記第４の導電層が前記第５の導電層と接するように貼り合わせる半導体装置の製造方法。
【請求項１２】
前記犠牲層は、シリコンを含む多結晶半導体である請求項１１記載の半導体装置の製造

Micron Ex. 1002, p. 464
Micron v. YMTC
IPR2024-00794

方法。
【請求項１３】
前記第１の導電層、前記第３の導電層、前記第４の導電層、前記第５の導電層は、銅（Ｃｕ）を含む請求項１１記載の半導体装置の製造方法。
【請求項１４】
前記第１の半導体回路基板と前記第２の半導体回路基板とを貼り合わせる際に、前記第１の半導体回路基板の表面及び前記第２の半導体回路基板の表面の少なくともいずれか一方にプラズマ処理を行い、
前記第１の半導体回路基板と前記第３の半導体回路基板とを貼り合わせる際に、前記第１の半導体回路基板の表面及び前記第３の半導体回路基板の表面の少なくともいずれか一方にプラズマ処理を行う請求項１１記載の半導体装置の製造方法。
【請求項１５】
前記犠牲層の除去はウェットエッチングによる請求項１１記載の半導体装置の製造方法。
【請求項１６】
前記第４の導電層の埋め込みはめっき法による請求項１１記載の半導体装置の製造方法。
【請求項１７】
前記第２の導電層がタングステンを含む請求項１１記載の半導体装置の製造方法。
【請求項１８】
前記第１の半導体回路基板が複数のメモリセルが積層された３次元構造のメモリセルアレイを有する請求項１１記載の半導体装置の製造方法。
【請求項１９】
前記第２の半導体回路基板がＭＩＳＦＥＴを有する請求項１１記載の半導体装置の製造方法。
【請求項２０】
前記第２の半導体回路基板が前記メモリセルアレイの周辺回路を有する請求項１８記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、半導体装置及びその製造方法に関する。
【背景技術】
【０００２】
半導体装置の大容量化や高性能化のために、同種又は異種の半導体回路が形成された複数のデバイスを貼り合わせる技術がある。デバイスの貼り合わせにより、例えば、半導体装置の記憶容量が大きくなる。また、例えば、半導体回路間の配線遅延や抵抗損失が低減され、半導体装置が高性能化する。
【０００３】
デバイスの上面及び下面のそれぞれに別のデバイスを貼り合わせる場合、デバイスの表面及び裏面にデバイス間を電気的に接続するための電極を形成する必要がある。デバイス間を電気的に接続するための電極構造が半導体装置のチップサイズの縮小を妨げないことが望まれる。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００６－１９６６６８号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】

Micron Ex. 1002, p. 465
Micron v. YMTC
IPR2024-00794

本発明が解決しようとする課題は、チップサイズの縮小に適した電極構造を有する半導体装置を提供することにある。

【課題を解決するための手段】

【０００６】

実施形態の半導体装置は、第１の導電層を有する第１の半導体回路層と、第２の導電層を有する第２の半導体回路層と、前記第１の半導体回路層と前記第２の半導体回路層との間に設けられ、前記第１の導電層と接する第３の導電層と、前記第２の導電層と接する第４の導電層と、前記第３の導電層と前記第４の導電層とを電気的に接続し前記第３の導電層に接する第５の導電層とを有する第３の半導体回路層とを備え、前記第５の導電層の幅が、前記第３の導電層の幅よりも狭い。

【図面の簡単な説明】

【０００７】

【図１】実施形態の半導体装置の模式断面図。

【図２】実施形態の半導体装置の一部の拡大模式断面図。

【図３】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図４】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図５】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図６】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図７】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図８】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図９】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１０】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１１】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１２】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１３】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１４】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１５】実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図。

【図１６】実施形態の半導体装置の作用及び効果の説明図。

【図１７】実施形態の半導体装置の作用及び効果の説明図。

【図１８】変形例の半導体装置の模式断面図。

【発明を実施するための形態】

【０００８】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【０００９】

本明細書中、「半導体回路層」とは、少なくとも一部に半導体を材料とする、配線、ト

Micron Ex. 1002, p. 466
Micron v. YMTC
IPR2024-00794

ランジスタ、ダイオードなどが設けられている層を意味する。また、本明細書中、「半導体回路基板」とは、少なくとも一部に半導体を材料とする、配線、トランジスタ、ダイオードなどが設けられている基板を意味する。

【００１０】

以下、実施形態の半導体装置及びその製造方法を、図面を参照して説明する。

【００１１】

実施形態の半導体装置は、第１の導電層を有する第１の半導体回路層と、第２の導電層を有する第２の半導体回路層と、第１の半導体回路層と第２の半導体回路層との間に設けられ、第１の導電層と接する第３の導電層と、第２の導電層と接する第４の導電層と、第３の導電層と第４の導電層とを電気的に接続し第３の導電層に接する第５の導電層とを有する第３の半導体回路層とを備え、第５の導電層の幅が、第３の導電層の幅よりも狭い。

【００１２】

図１は、実施形態の半導体装置の模式断面図である。図１は、半導体装置のｘｚ断面である。

【００１３】

実施形態の半導体メモリは、第１のメモリ層１００（第３の半導体回路層）、第２のメモリ層２００（第１の半導体回路層）、周辺回路層３００（第２の半導体回路層）、電極パッド４００を備える。実施形態の半導体装置は、３次元構造のメモリセルアレイを有する第１のメモリ層１００、第２のメモリ層２００と、上記メモリセルアレイを制御する制御回路を備える周辺回路層３００が積層された半導体メモリである。第１のメモリ層１００、第２のメモリ層２００、及び、周辺回路層３００は、図１中、ｚ方向に積層される。

【００１４】

第１のメモリ層１００は、第１の電極１０１（第３の導電層）、第２の電極１０２（第４の導電層）、コンタクトプラグ１０３（第５の導電層）、配線層１０４、電極間絶縁層１０５、拡散防止層１０６（窒素含む絶縁層）、層間絶縁層１０７、メモリセルアレイ１１０を備える。メモリセルアレイ１１０は、ソース線１１１、ワード線１１２、チャネル層１１３、ビット線１１４を備える。

【００１５】

第２のメモリ層２００は、電極２０２（第１の導電層）、コンタクトプラグ２０３（第６の導電層）、配線層２０４、電極間絶縁層２０５、拡散防止層２０６、層間絶縁層２０７、ストッパ層２０８、犠牲層２０９（多結晶半導体層）、メモリセルアレイ２１０を備える。メモリセルアレイ２１０は、ソース線２１１、ワード線２１２、チャネル層２１３、ビット線２１４を備える。

【００１６】

周辺回路層３００は、電極３０１（第２の導電層）、コンタクトプラグ３０２、配線層３０３、コンタクトプラグ３０４、ＴＳＶ３０５（Ｔｈｒｏｕｇｈ Ｓｉｌｉｃｏｎ Ｖｉａ）、素子分離領域３０７、シリコン基板３０８、周辺回路３０９、層間絶縁層３３０を備える。周辺回路３０９は、第１のトランジスタ３１０（ＭＩＳＦＥＴ：Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）、第２のトランジスタ３２０を備える。第１のトランジスタ３１０は、ソース・ドレイン領域３１３、ゲート電極３１１、ゲート絶縁膜３１２を備える。第２のトランジスタ３２０は、ソース・ドレイン領域３２３、ゲート電極３２１、ゲート絶縁膜３２２を備える。

【００１７】

第１のメモリ層１００は、第２のメモリ層２００と周辺回路層３００との間に設けられる。第１のメモリ層１００の一方の面には第２のメモリ層２００が直接貼り合わせられている。第１のメモリ層１００の他方の面には周辺回路層３００が直接貼り合わせられている。

【００１８】

第１のメモリ層１００の第１の電極１０１（第３の導電層）は、第２のメモリ層２００

Micron Ex. 1002, p. 467
Micron v. YMTC
IPR2024-00794

の電極２０２（第１の導電層）に直接接する。第１の電極１０１と電極２０２は電気的に接続される。第１のメモリ層１００の第２の電極１０２（第４の導電層）は、周辺回路層３００の電極３０１（第２の導電層）に直接接する。第２の電極１０２と電極３０１は電気的に接続される。

【００１９】

第１の電極１０１は、例えば、銅（Ｃｕ）を含む金属である。第１の電極１０１のコンタクトプラグ１０３と接する領域、第１の電極１０１のストッパ層１０８と接する領域、第１の電極１０１の電極間絶縁層１０５と接する領域には、例えば、バリアメタル膜が設けられる。バリアメタル膜は、例えば、金属窒化膜である。金属窒化膜は、例えば、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）である。

【００２０】

第２の電極１０２は、例えば、銅（Ｃｕ）を含む金属である。第２の電極１０２の配線層１０４と接する領域、第２の電極１０２の層間絶縁層１０７と接する領域には、例えば、バリアメタル膜が設けられる。バリアメタル膜は、例えば、金属窒化膜である。金属窒化膜は、例えば、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）である。

【００２１】

第１の電極１０１と第２の電極１０２との間には、コンタクトプラグ１０３、配線層１０４が設けられる。コンタクトプラグ１０３、及び、配線層１０４により、第１の電極１０１と第２の電極１０２とが電気的に接続される。

【００２２】

配線層１０４は、例えば、タングステン（Ｗ）含む金属である。

【００２３】

図２は、実施形態の半導体装置の一部の拡大模式断面図である。図２は、第１の電極１０１とコンタクトプラグ１０３とが接触する領域の模式断面図である。図２は、一例として半導体装置のｘｚ断面を示しているが、ｙｚ断面においても同様である。

【００２４】

第１の電極１０１とコンタクトプラグ１０３とが接触する領域のコンタクトプラグ１０３の第１の幅（図２中のＷ１）は、上記領域の第１の電極１０１の第２の幅（図２中のＷ２）よりも狭い。言い換えれば、第１の電極１０１とコンタクトプラグ１０３との接触面近傍のコンタクトプラグ１０３の第１の幅（図２中のＷ１）は、上記接触面近傍の第１の電極１０１の第２の幅（図２中のＷ２）よりも狭い。また、言い換えれば、第１の電極１０１とコンタクトプラグ１０３との接触面の第１の幅（図２中のＷ１）は、第１の電極１０１の上記接触面を含む面の第２の幅（図２中のＷ２）よりも狭い。第２の幅と第１の幅との差は、例えば、０．１μｍ以上であり、０．５μｍ以上であることが好ましい。上記範囲を下回ると製造時のリソグラフィーの合わせずれで、コンタクトプラグ１０３が第１の電極１０１を外れるおそれがある。

【００２５】

第１の電極１０１の表面形状は、例えば、正方形であり、１辺の長さは、例えば、０．３μｍ以上５μｍ以下である。１辺の長さは、例えば、１μｍである。第１の電極１０１の側面は、例えば、テーパ状であっても、階段状であっても構わない。

【００２６】

コンタクトプラグ１０３の材質は、例えば、第１の電極１０１の材質と異なる。コンタクトプラグ１０３は、例えば、タングステン（Ｗ）含む金属である。

【００２７】

コンタクトプラグ１０３は第１の電極１０１に接するバリアメタル膜１０３ａ（金属窒化膜）を備える。バリアメタル膜１０３ａは、例えば、金属窒化膜である。金属窒化膜は、例えば、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）である。バリアメタル膜１０３ａは、電極間絶縁層１０５、及び、層間絶縁層１０７にも接する。

Micron Ex. 1002, p. 468
Micron v. YMTC
IPR2024-00794

【００２８】
電極間絶縁層１０５は、例えば、酸化シリコン、酸窒化シリコン、又は、窒化シリコンである。第１の電極１０１の電極からの銅の拡散を抑制する観点から、電極間絶縁層１０５は、層中に窒素（Ｎ）を含むことが好ましい。
【００２９】
拡散防止層１０６は、絶縁層である。拡散防止層１０６は、第１の電極１０１の電極から層間絶縁層１０７への銅の拡散を抑制する機能を備える。拡散防止層１０６は、層中に窒素（Ｎ）を含むことが好ましい。拡散防止層１０６は、例えば、窒化シリコン、又は、窒素添加炭化シリコンである。
【００３０】
層間絶縁層１０７は、例えば、酸化シリコンである。
【００３１】
メモリセルアレイ１１０には、例えば、不揮発性メモリのメモリセルが３次元に配置される。メモリセルアレイ１１０は、２つのコンタクトプラグ１０３の間に設けられる。
【００３２】
複数のワード線１１２は、層間絶縁層１０７内に、ｚ方向に向かって積層される。複数のワード線１１２は、第１のメモリ層１００の上面、及び、下面に対し平行にｘ方向に延伸する。ワード線１１２の積層数は、例えば、２０層以上１００層以下である。ワード線１１２は、例えば、金属である。
【００３３】
複数のチャネル層１１３は、ワード線１１２と交差するように設けられる。チャネル層１１３は、第１のメモリ層１００の上面、及び、下面に対し垂直方向に延伸する。チャネル層１１３の一端は、ソース線１１１に電気的に接続される。チャネル層１１３は、例えば、多結晶シリコンである。ソース線１１１は、例えば、多結晶シリコンである。
【００３４】
複数のビット線１１４は第１のメモリ層１００の上面、及び、下面に対し平行方向に延伸する。チャネル層１１３のソース線１１１と反対側の端部が、ビット線１１４に電気的に接続される。
【００３５】
ワード線１１２のそれぞれと、チャネル層１１３のそれぞれとの交差する領域に、例えば、図示しない電荷蓄積層が設けられる。ワード線１１２のそれぞれと、チャネル層１１３のそれぞれとの交差する領域が、１個の不揮発性のメモリセルとして機能する。
【００３６】
第２のメモリ層２００は、ストッパ層２０８、犠牲層２０９を備える点で、第１のメモリ層１００と異なる。電極２０２、コンタクトプラグ２０３、配線層２０４、電極間絶縁層２０５、拡散防止層２０６、層間絶縁層２０７は、それぞれ、第２の電極１０２、コンタクトプラグ１０３、配線層１０４、電極間絶縁層１０５、拡散防止層１０６、層間絶縁層１０７と同様の構成を有する。また、メモリセルアレイ２１０は、メモリセルアレイ１１０と同様の構成を有する。メモリセルアレイ２１０は、２つのコンタクトプラグ２０３の間に設けられる。
【００３７】
犠牲層２０９は、電極間絶縁層２０５に挟まれて設けられる。犠牲層２０９は、電極間絶縁層２０５に対し、選択的にエッチングできる材料であることが好ましい。また、犠牲層２０９は、ウェットエッチングでエッチング可能な材料であることが好ましい。犠牲層２０９は、例えば、多結晶半導体である。多結晶半導体は、例えば、多結晶シリコン、又は、多結晶シリコンジャーマナイドである。
【００３８】
ストッパ層２０８は、電極間絶縁層２０５の下面に設けられる。ストッパ層２０８は、例えば、酸化シリコンである。
【００３９】

Micron Ex. 1002, p. 469
Micron v. YMTC
IPR2024-00794

コンタクトプラグ２０３と犠牲層２０９とが接する領域のコンタクトプラグ２０３の幅は、上記領域の犠牲層２０９の幅よりも狭い。言い換えれば、コンタクトプラグ２０３と犠牲層２０９との接触面近傍のコンタクトプラグ２０３の幅は、上記接触面近傍の犠牲層２０９の幅よりも狭い。

［００４０］

周辺回路層３００は、第１のメモリ層１００の上に設けられる。電極３０１は、例えば、銅（Ｃｕ）を含む金属である。電極３０１のコンタクトプラグ３０２と接する領域、電極３０１の層間絶縁層３３０と接する領域には、例えば、バリアメタル膜が設けられる。バリアメタル膜は、例えば、金属窒化膜である。金属窒化膜は、例えば、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）である。

［００４１］

コンタクトプラグ３０２、配線層３０３、コンタクトプラグ３０４は、例えば、タングステン（Ｗ）含む金属である。

［００４２］

周辺回路３０９は、例えば、メモリセルアレイ１１０、及び、メモリセルアレイ２１０の周辺回路である。周辺回路３０９は、例えば、センスアンプ回路、ワード線ドライバ回路、ローデコーダ回路、カラムデコーダ回路、昇圧回路などである。

［００４３］

素子分離領域３０７はシリコン基板３０８内に設けられる。シリコン基板３０８は、単結晶のシリコンである。素子分離領域３０７は、例えば、酸化シリコンである。

［００４４］

ＴＳＶ３０５は、シリコン基板３０８、及び、素子分離領域３０７を貫通して、配線層３０３に接する。ＴＳＶ３０５は、例えば、銅を含む金属である。

［００４５］

電極パッド４００は、半導体メモリと外部との電気的導通を得るために設けられる。電極パッド４００には、例えば、ボンディングワイヤが接続される。

［００４６］

次に、実施形態の半導体装置の製造方法について説明する。図３～図１５は、実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図である。

［００４７］

実施形態の半導体装置の製造方法は、半導体基板と、半導体基板の上の絶縁層と、絶縁層の上の犠牲層と、半導体基板と反対側の表面に設けられた第１の導電層と、犠牲層に接し第１の導電層に電気的に接続される第２の導電層とを有する第１の半導体回路基板と、表面に第３の導電層を有する第２の半導体回路基板を、第１の導電層が第３の導電層と接するように貼り合わせ、犠牲層が露出するように、半導体基板と絶縁層とを除去し、犠牲層を除去して開口部を形成し、開口部に第４の導電層を埋め込み、第１の半導体回路基板と、表面に第５の導電層を有する第３の半導体回路基板を、第４の導電層が第５の導電層と接するように貼り合わせる。

［００４８］

最初に、第１の半導体ウェハ１５０（第１の半導体回路基板）を製造する。シリコン基板１２０（半導体基板）の上にストッパ層１０８（絶縁層）を形成する。ストッパ層１０８は、後の工程でシリコン基板１２０を除去する際のエッチングストッパとして機能する。ストッパ層１０８は、例えば、酸化シリコンである。ストッパ層１０８の上に、犠牲層１０９を形成する（図３）。犠牲層１０９は、例えば、多結晶シリコンである。

［００４９］

次に、犠牲層１０９の間に、電極間絶縁層１０５を形成する。電極間絶縁層１０５は、例えば、酸化シリコンである。電極間絶縁層１０５の上に、拡散防止層１０６を形成する（図４）。拡散防止層１０６は、例えば、例えば、窒化シリコンである。

［００５０］

次に、拡散防止層１０６の上に、層間絶縁層１０７を形成する。層間絶縁層１０７は、

Micron Ex. 1002, p. 470
Micron v. YMTC
IPR2024-00794

例えば、酸化シリコンである。層間絶縁層１０７の中には、ソース線１１１、ワード線１１２、及び、チャネル層１１３を形成する。層間絶縁層１０７の上面から、犠牲層１０９に達するコンタクトホール１２１を形成する（図５）。

【００５１】

次に、コンタクトホール１２１の中にコンタクトプラグ１０３（第２の導電層）を形成する（図６）。コンタクトプラグ１０３は、例えば、タングステンを含む金属である。

【００５２】

次に、層間絶縁層１０７の上面に、コンタクトプラグ１０３に接する配線層１０４、及び、チャネル層１１３に接するビット線１１４を形成する（図７）。配線層１０４、及び、ビット線１１４は、例えば、タングステンを含む金属である。

【００５３】

次に、層間絶縁層１０７と一体化して、層間絶縁層１０７の一部となる絶縁層を形成する。次に、配線層１０４に接する第２の電極１０２（第１の導電層）を形成する（図８）。第２の電極１０２は、コンタクトプラグ１０３に電気的に接続される。第２の電極１０２は、例えば、銅を含む金属である。

【００５４】

以上の工程により、第１の半導体ウェハ１５０が製造される。

【００５５】

次に、あらかじめ製造されている第２の半導体ウェハ３５０（第２の半導体回路基板）を、第１の半導体ウェハ１５０と貼り合わせる（図９）。第２の半導体ウェハ３５０には、電極３０１（第３の導電層）、コンタクトプラグ３０２、配線層３０３、コンタクトプラグ３０４、素子分離領域３０７、シリコン基板３０８、周辺回路３０９、層間絶縁層３３０が形成されている。周辺回路３０９は、第１のトランジスタ３１０、第２のトランジスタ３２０を備える。第１のトランジスタ３１０は、ソース・ドレイン領域３１１、ゲート電極３１２、ゲート絶縁膜３１３を備える。第２のトランジスタ３２０は、ソース・ドレイン領域３２１、ゲート電極３２２、ゲート絶縁膜３２３を備える。

【００５６】

第１の半導体ウェハ１５０と第２の半導体ウェハ３５０は、第１の半導体ウェハ１５０の第２の電極１０２と、第２の半導体ウェハ３５０の電極３０１とが直接接するように貼り合わされる。

【００５７】

第１の半導体ウェハ１５０と第２の半導体ウェハ３５０を貼り合わせる際に、例えば、第１の半導体ウェハ１５０の表面及び第２の半導体ウェハ３５０の表面の少なくともいずれか一方にプラズマ処理を行う。

【００５８】

次に、シリコン基板１２０を除去する（図１０）。シリコン基板１２０は、例えば、裏面研削により薄膜化した後、アルカリ系のウェットエッチングを用いて完全に除去する。

【００５９】

次に、ストッパ層１０８を、犠牲層１０９が露出するように、除去する（図１１）。酸化シリコンのストッパ層１０８は、例えば、弗酸系のウェットエッチングにより除去する。

【００６０】

次に、犠牲層１０９を選択的に除去し、開口部１２２を形成する（図１２）。多結晶シリコンの犠牲層１０９は、アルカリ系のウェットエッチングを用いて選択的に除去される。

【００６１】

次に、開口部１２２に第１の電極１０１（第４の導電層）を埋め込む（図１３）。第１の電極１０１は、例えば、無電解めっき法による銅めっきを埋め込むことにより形成する。

【００６２】

Micron Ex. 1002, p. 471
Micron v. YMTC
IPR2024-00794

次に、あらかじめ製造されている第３の半導体ウェハ２５０（第３の半導体回路基板）を、第１の半導体ウェハ１５０と貼り合わせる（図１４）。第３の半導体ウェハ２５０には、シリコン基板２２０に電極２０２（第５の導電層）、コンタクトプラグ２０３、配線層２０４、電極間絶縁層２０５、拡散防止層２０６、層間絶縁層２０７、ストッパ層２０８、犠牲層２０９、メモリセルアレイ２１０が形成されている。メモリセルアレイ２１０は、ソース線２１１、ワード線２１２、チャネル層２１３、ビット線２１４を備える。第３の半導体ウェハ２５０は、図８に示す第１の半導体ウェハと同一の構造を備える。

【００６３】

第１の半導体ウェハ１５０と第３の半導体ウェハ２５０は、第１の半導体ウェハ１５０の第１の電極１０１と、第３の半導体ウェハ２５０の電極２０２とが直接接するように貼り合わされる。

【００６４】

第１の半導体ウェハ１５０と第３の半導体ウェハ２５０を貼り合わせる際に、例えば、第１の半導体ウェハ１５０の表面及び第３の半導体ウェハ２５０の表面の少なくともいずれか一方にプラズマ処理を行う。

【００６５】

次に、シリコン基板２２０を除去する（図１５）。シリコン基板２２０は、例えば、裏面研削により薄膜化した後、アルカリ系のウェットエッチングを用いて完全に除去する。

【００６６】

次に、ＴＳＶ３０５と電極パッド４００を形成する。

【００６７】

次に、例えば、ダイシング装置を用いて、第１の半導体ウェハ１５０、第２の半導体ウェハ３５０、第３の半導体ウェハ２５０を貼り合わせた積層ウェハに形成された複数の半導体メモリを個片化する。以上の製造方法により図１に示す半導体メモリが形成される。

【００６８】

次に、実施形態の半導体装置の作用及び効果について説明する。

【００６９】

実施形態の半導体メモリは、第１のメモリ層１００と第２のメモリ層２００を積層することにより記憶容量の大きな半導体メモリを実現する。また、第１のメモリ層１００と第２のメモリ層２００と、第１のメモリ層１００と周辺回路層３００とを直接貼り合わせすることにより、例えば、半導体メモリのチップサイズが小さくなる。また、例えば、半導体回路間の配線遅延や抵抗損失が低減され、半導体メモリが高性能化する。

【００７０】

デバイスの上面及び下面のそれぞれに別のデバイスを貼り合わせる場合、デバイスの表面及び裏面にデバイス間を電気的に接続するための電極を形成する必要がある。デバイスには、入出力信号の伝達用、制御信号の伝達用、電源供給用など多数の電極を設ける要請がある。このため、例えば、加工精度から決まる電極の配置ピッチが大きくなると、半導体装置のチップサイズの縮小の妨げとなる。特に、デバイスを製造する際の終盤で形成されるデバイスの裏面側の電極のピッチは、表面側の電極のピッチと比べて小さくすることが困難である。これは、例えば、裏面側のリソグラフィーの際には、表面との合わせを行う必要があり合わせ精度が悪く、さらに、表面側と比較して下地の平坦性が悪く、高精度なパターニングが困難なことに起因する。

【００７１】

図１６は、第１の比較形態の半導体装置の一部の拡大模式断面図である。図１６は、第１の比較形態の半導体装置の図２に対応する部分の模式断面図である。

【００７２】

図１６に示す第１の比較形態の半導体装置は、電極９０１、コンタクトプラグ９０３、電極間絶縁層９０５、拡散防止層９０６、層間絶縁層９０７を備える。それぞれ、実施形態の第１の電極１０１、コンタクトプラグ１０３、電極間絶縁層１０５、拡散防止層１０６、層間絶縁層１０７に対応する。

Micron Ex. 1002, p. 472
Micron v. YMTC
IPR2024-00794

【００７３】
電極９０１は、例えば、銅（Ｃｕ）を含む金属である。
【００７４】
コンタクトプラグ９０３の材質は、例えば、電極９０１の材質と異なる。コンタクトプラグ１０３は、例えば、タングステン（Ｗ）含む金属である。
【００７５】
コンタクトプラグ９０３は電極９０１に接するバリアメタル膜９０３ａを備える。バリアメタル膜９０３ａは、例えば、金属窒化膜である。金属窒化膜は、例えば、窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化ニオブ（ＮｂＮ）である。バリアメタル膜９０３ａは、層間絶縁層９０７、及び、拡散防止層９０６にも接する。
【００７６】
コンタクトプラグ９０３と電極９０１とが接触する領域のコンタクトプラグ９０３の幅（図１６中のＷ３）は、上記領域の電極９０１の幅（図１６中のＷ２）よりも広い。
【００７７】
電極９０１の幅は、例えば、加工に起因する制約、或いは、電気特性に起因する制約から所定の幅が必要である。所定の幅が、図２及び図１６のＷ２であるとする。第１の比較形態の場合、コンタクトプラグ９０３の幅（図１６中のＷ３）が、所定の幅Ｗ２よりも広い。コンタクトプラグ９０３が広い分だけ、隣接する２つの電極９０１の間の距離を、実施形態の場合と比較して大きくとる必要がある。したがって、電極９０１の配置ピッチが大きくなり、チップサイズの縮小の妨げになる。
【００７８】
実施形態の半導体装置の場合、図２に示すように、コンタクトプラグ１０３の第１の幅（図２中のＷ１）は、第１の電極１０１の第２の幅（図２中のＷ２）よりも狭い。したがって、第１の電極１０１の配置ピッチは、例えば、リソグラフィーの限界まで小さくすることができ、半導体装置のチップサイズの縮小の妨げとならない。言い換えれば、実施形態の半導体装置の電極構造は、半導体装置のチップサイズの縮小に適している。
【００７９】
図１７は、第２の比較形態の半導体装置の一部の拡大模式断面図である。図１７は、第２の比較形態の半導体装置の図２に対応する部分の模式断面図である。
【００８０】
図１７に示す第２の比較形態の半導体装置は、図１６同様、電極９０１、コンタクトプラグ９０３、電極間絶縁層９０５、拡散防止層９０６、層間絶縁層９０７、それぞれ、実施形態の第１の電極１０１、コンタクトプラグ１０３、電極間絶縁層１０５、拡散防止層１０６、層間絶縁層１０７に対応する。
【００８１】
さらに、中間層９０８を備える。中間層９０８は、導電層である。中間層９０８は、例えば、タングステン（Ｗ）含む金属である。電極９０１とコンタクトプラグ９０３は、中間層９０８を介して電気的に接続される。
【００８２】
中間層９０８の幅（図１７中のＷ４）は、電極９０１の幅（図１７中のＷ２）よりも広い。
【００８３】
電極９０１の幅は、例えば、加工に起因する制約、或いは、電気特性に起因する制約から所定の幅が必要である。所定の幅が、図２及び図１７のＷ２であるとする。第２の比較形態の場合、中間層９０８の幅（図１７中のＷ４）が、所定の幅Ｗ２よりも広い。中間層９０８が広い分だけ、隣接する２つの電極９０１の間の距離を、実施形態の場合と比較して大きくとる必要がある。したがって、電極９０１の配置ピッチが大きくなり、半導体装置のチップサイズの縮小の妨げになる。
【００８４】
実施形態の半導体装置の場合、図２に示すように、コンタクトプラグ１０３の第１の幅

Micron Ex. 1002, p. 473
Micron v. YMTC
IPR2024-00794

（図２中のＷ１）は、第１の電極１０１の第２の幅（図２中のＷ２）よりも狭い。したがって、第１の電極１０１の配置ピッチは、例えば、リソグラフィーの限界まで小さくすることができ、半導体装置のチップサイズの縮小の妨げとならない。言い換えれば、実施形態の半導体装置の電極構造は、半導体装置のチップサイズの縮小に適している。

［００８５］

実施形態の半導体装置は、実施形態の半導体装置の製造方法を用いることにより、容易に低コストで製造することが可能となる。

［００８６］

次に、実施形態の製造方法の作用及び効果について説明する。

［００８７］

デバイスの上面及び下面のそれぞれに別のデバイスを貼り合わせる場合、デバイスの表面及び裏面にデバイス間を電気的に接続するための電極を形成する必要がある。デバイスの裏面側に電極を形成する場合、プロセスコストの高いリソグラフィーやドライエッチングを用いると、デバイスを貼り合わせて製造される半導体装置の製造コストが増大する。また、一般的に、下地の平坦性の影響などにより、裏面側のリソグラフィーの加工精度は、表面側のリソグラフィーの加工精度と比較して精度が低いため、電極の配置ピッチが大きくなるおそれがある。このため、半導体装置のチップサイズの縮小が困難となるおそれがある。

［００８８］

実施形態では、例えば、第１の半導体ウェハ１５０において、図８に示す犠牲層１０９を、後に裏面側の第１の電極１０１となる領域に形成する。そして、第１の半導体ウェハ１５０と第３の半導体ウェハ２５０とを貼り合わせる前に、犠牲層１０９を除去する（図１２）。犠牲層１０９の材料を、ウェットエッチングで選択的に除去可能な材料とする。これにより、プロセスコストの高いリソグラフィーやドライエッチングを用いることなく、第１の半導体ウェハ１５０の裏面側の第１の電極１０１を形成することが可能となる。したがって、半導体装置の製造コストが低減できる。

［００８９］

また、裏面側の第１の電極１０１をリソグラフィー、及び、ドライエッチングを用いずに加工できる。このため、例えば、図１７に示すような中間層９０８をエッチングのストッパとして設けることも不要となる。したがって、電極の配置ピッチを小さくすることが可能となる。よって、裏面側の第１の電極１０１が半導体装置のチップサイズの縮小の妨げとならない。

［００９０］

また、裏面側の第１の電極１０１の配置ピッチは、犠牲層１０９の配置ピッチとなる。犠牲層１０９は、加工精度の高い表面側のリソグラフィーにより形成されるため、配置ピッチを小さくすることができる。したがって、裏面側の第１の電極１０１の配置ピッチを小さくでき、半導体装置のチップサイズの縮小が可能となる。

［００９１］

図１８は変形例の半導体装置の模式断面図である。コンタクトプラグ１０３が２つのメモリセル１１０の間に設けられ、コンタクトプラグ２０３が２つのメモリセル２１０の間に設けられる点で実施形態と異なっている。

［００９２］

実施形態では、メモリセルアレイを有するメモリ層を２層積層する場合を例に説明したが、３層以上積層することによって、更に半導体メモリの記憶容量を増大させることも可能である。

［００９３］

実施形態では、半導体装置が半導体メモリである場合を例に説明した。しかし、本発明を半導体メモリ以外の半導体装置、例えば、ロジックデバイス、ＣＭＯＳセンサなどに適用することも可能である。

［００９４］

Micron Ex. 1002, p. 474
Micron v. YMTC
IPR2024-00794

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

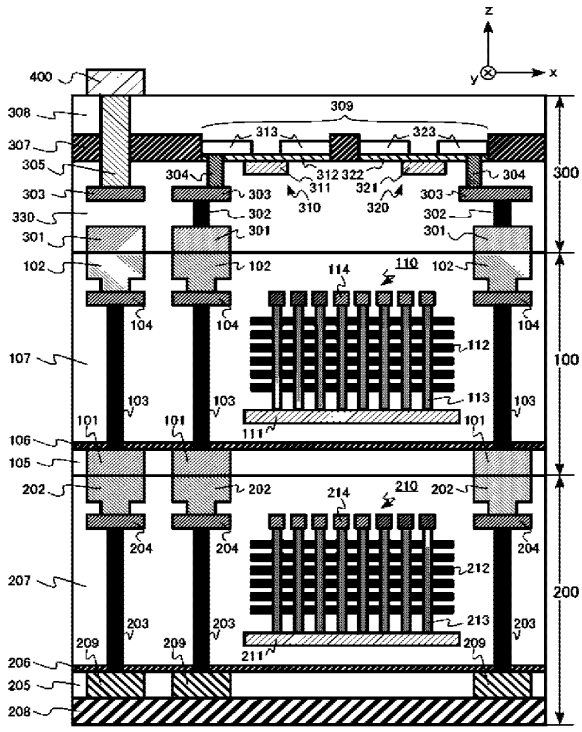
【符号の説明】

【００９５】

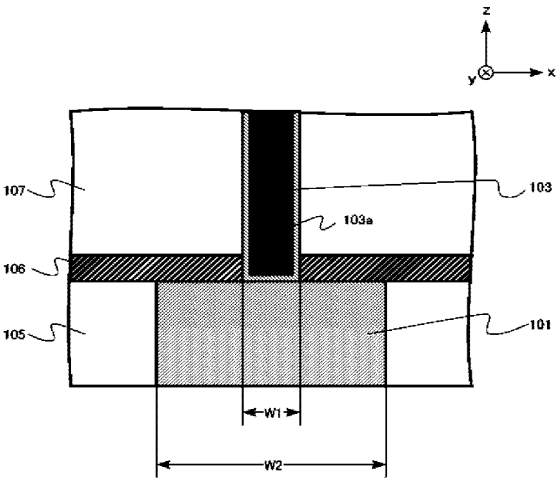
１００　第１のメモリ層（第３の半導体回路層）
１０１　第１の電極（第３の導電層）
１０２　第２の電極（第４の導電層）
１０３　コンタクトプラグ（第５の導電層）
１０３ａ　金属窒化膜
１０６　拡散防止層（窒素を含む絶縁層）
１１０　メモリセルアレイ
１５０　第１のウェハ（第１の半導体回路基板）
２００　第２のメモリ層（第１の半導体回路層）
２０２　電極（第１の導電層）
２０３　コンタクトプラグ（第６の導電層）
２０９　犠牲層（多結晶半導体層）
２５０　第３の半導体ウェハ（第３の半導体回路基板）
３００　周辺回路層（第２の半導体回路層）
３０１　電極（第２の導電層）
３０９　周辺回路
３１０　第１のトランジスタ（ＭＩＳＦＥＴ）
３５０　第２の半導体ウェハ（第２の半導体回路基板）

Micron Ex. 1002, p. 475
Micron v. YMTC
IPR2024-00794

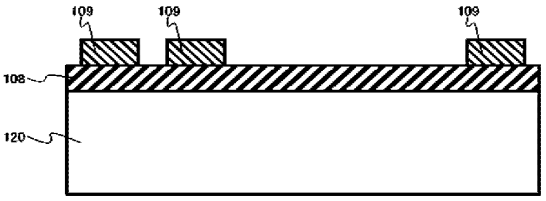
【 図１ 】



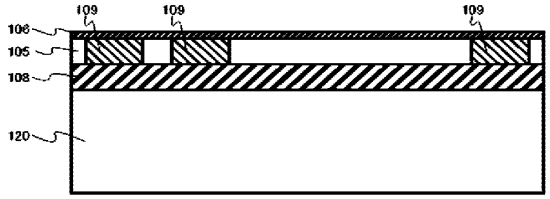
【 図２ 】



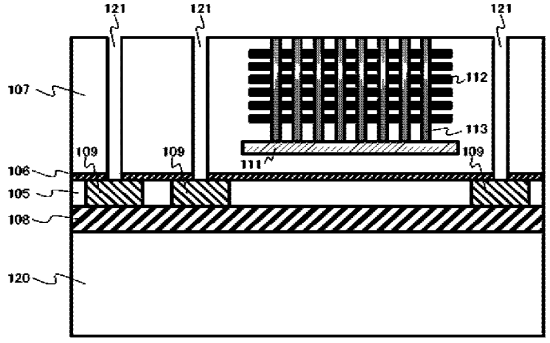
【 図３ 】



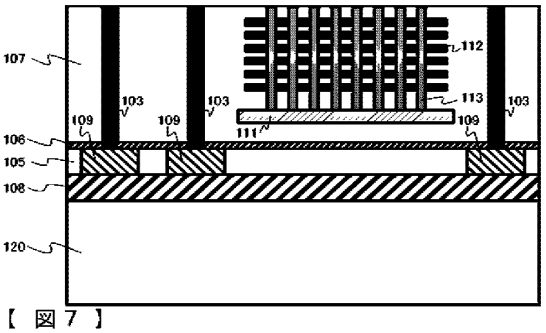
【 図４ 】



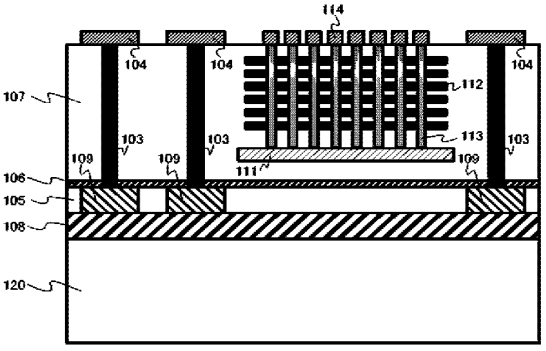
【 図５ 】



【 図６ 】

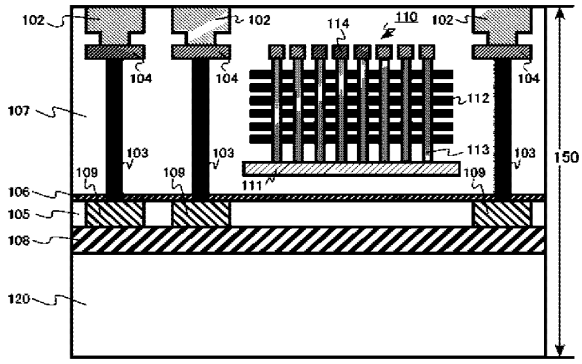


【 図７ 】

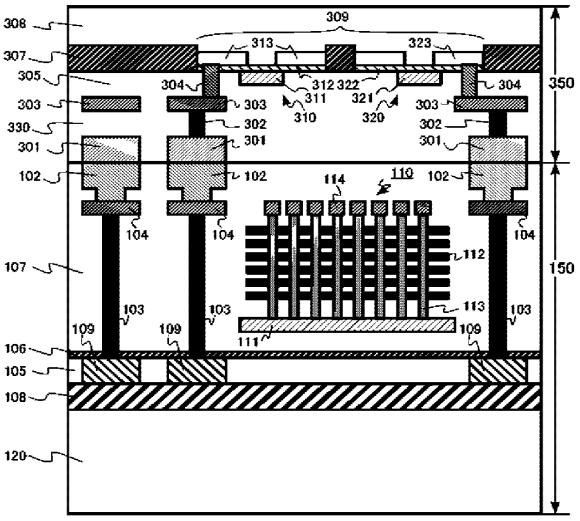


Micron Ex. 1002, p. 476
Micron v. YMTC
IPR2024-00794

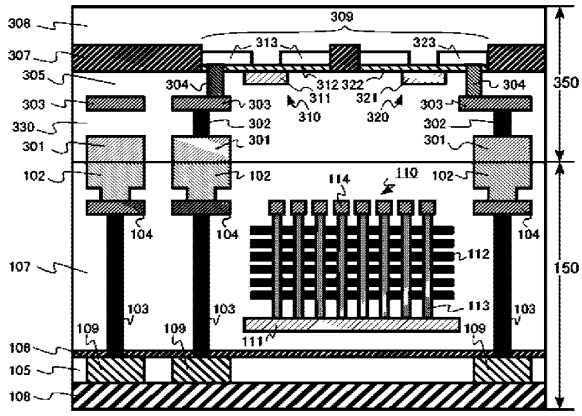
【 図８ 】



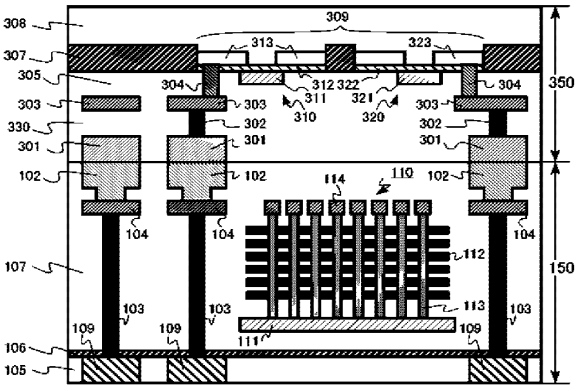
【 図９ 】



【 図１０ 】

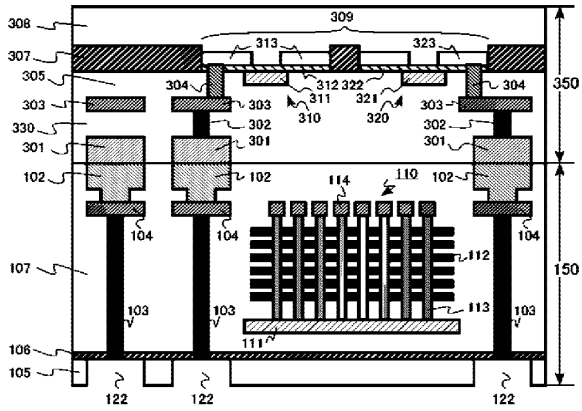


【 図１１ 】

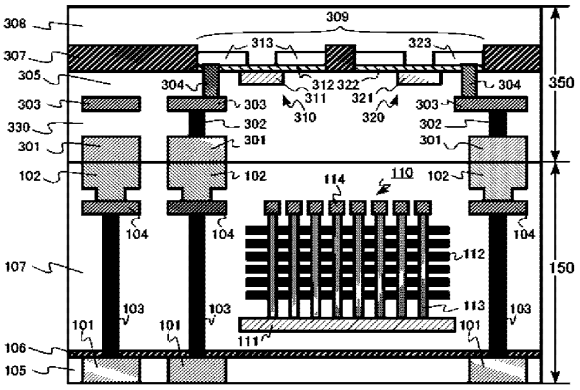


Micron Ex. 1002, p. 477
Micron v. YMTC
IPR2024-00794

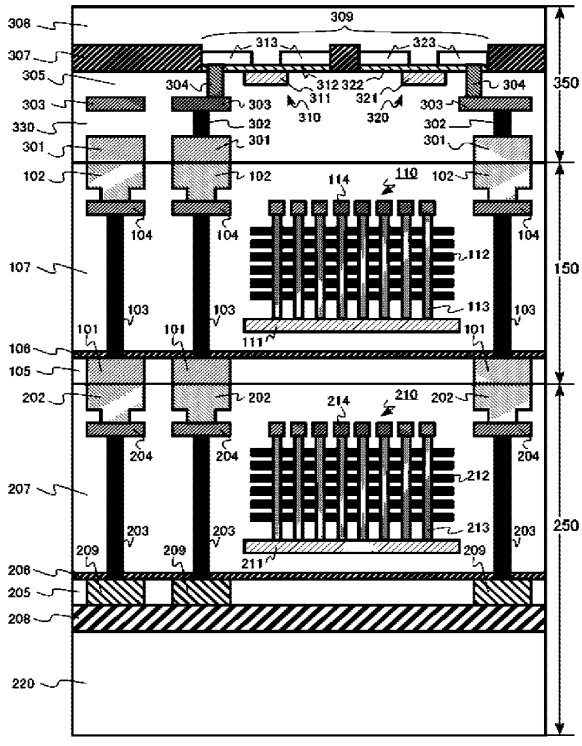
【 図１２ 】



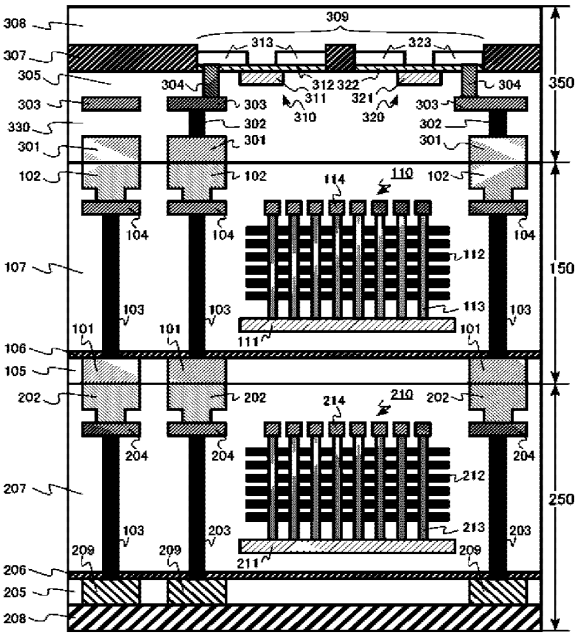
【 図１３ 】



【 図１４ 】

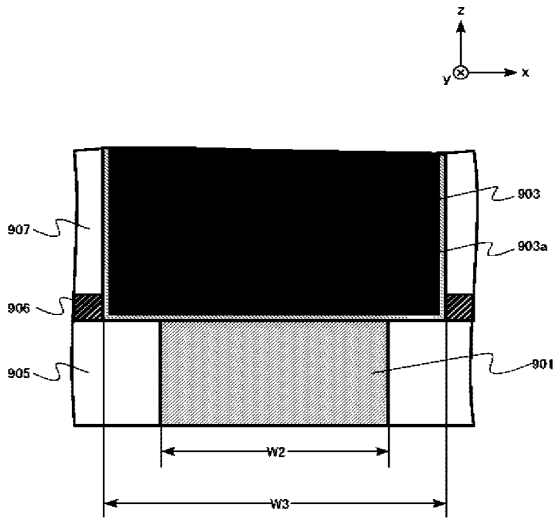


【 図１５ 】

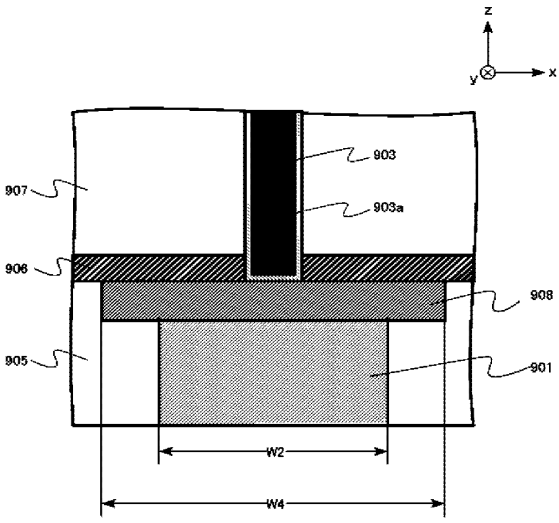


Micron Ex. 1002, p. 478
Micron v. YMTC
IPR2024-00794

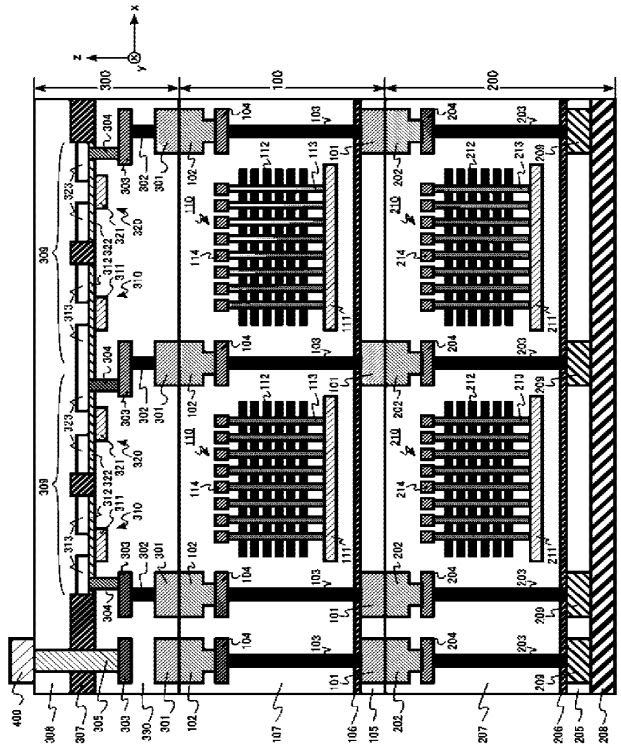
【 図１６ 】



【 図１７ 】



【 図１８ 】



Micron Ex. 1002, p. 479
Micron v. YMTC
IPR2024-00794

フロントページの続き

(51)Int.Cl.			FI			テーマコード(参考)
H01L	*29/792*	*(2006.01)*	H01L	27/11551		
H01L	*21/02*	*(2006.01)*	H01L	27/00	301B	
H01L	*27/11551*	*(2017.01)*	H01L	21/88	J	
H01L	*27/00*	*(2006.01)*	H01L	25/08	C	
H01L	*21/3205*	*(2006.01)*				
H01L	*21/768*	*(2006.01)*				
H01L	*23/522*	*(2006.01)*				
H01L	*25/065*	*(2006.01)*				
H01L	*25/07*	*(2006.01)*				
H01L	*25/18*	*(2006.01)*				

Fターム(参考)											
	5F033	HH11	HH19	HH32	HH33	JJ01	JJ11	JJ19	JJ32	JJ33	KK11
		KK32	KK33	MM12	MM13	MM30	NN06	NN07	NN38	PP28	QQ07
		QQ09	QQ25	QQ37	RR04	RR06	RR08	WW07	WW16		
	5F083	EP18	EP22	EP47	EP48	ER03	ER09	ER14	ER19	GA10	GA25
		JA32	JA37	JA39	JA40	KA01	KA05	KA11	LA10	LA12	LA16
		LA20	MA05	MA06	MA16	PR03	PR05	ZA04			
	5F101	BA45	BB02	BC02	BD02	BD16	BD30	BD34	BH14	BH15	

Micron Ex. 1002, p. 480
Micron v. YMTC
IPR2024-00794

Electronic Acknowledgement Receipt

EFS ID:	36745965
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Philippe Jean-Claude Signore/Yolanda Myles
Filer Authorized By:	Philippe Jean-Claude Signore
Attorney Docket Number:	521129US
Receipt Date:	31-JUL-2019
Filing Date:	27-MAR-2019
Time Stamp:	16:24:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129US.pdf	8187105 ddc16197e22caeec32d96c6cc3ce9687c7726bbc	yes	96

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Transmittal Letter	1	1
	Information Disclosure Statement (IDS) Form (SB08)	2	2
	Foreign Reference	3	46
	Foreign Reference	47	96
Warnings:			
Information:			

2		521129US1.pdf	6681322 9a2dbf221593d1c110909707bdaf8caf53c34bb6	yes	94

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Foreign Reference	1	31
	Foreign Reference	32	52
	Foreign Reference	53	94
Warnings:			
Information:			

3		521129US2.pdf	3518077 00f810703854335fa5b1d6f69184897503d88744	yes	48

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Foreign Reference	1	28
	Foreign Reference	29	48
Warnings:			
Information:			
	Total Files Size (in bytes):	18386504	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Docket No. 521129US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF:	Yali SONG, et al.		
SERIAL NO:	16/365,725	GAU:	2827
FILED:	March 27, 2019	EXAMINER:	
FOR:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:
Applicant(s) wish to disclose the following information.

REFERENCES

■ The applicant(s) wish to make of record the reference(s) listed on the attached form PTO-1449 and/or accompanying documents from a corresponding foreign application. Copies of the listed reference(s) are attached, where required, as are either statements of relevancy, English translations of the categories of cited documents for foreign search reports or English translations of foreign Office Actions which provide the statement of relevancy for the foreign language references cited therein, or any readily available partial or full English translations of pertinent portions of any non-English language reference(s).

☐ Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount required under 37 CFR §1.17(p).

CERTIFICATION

☐ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.

☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

■ Please charge any additional fees for the papers being filed herewith and for which no payment is enclosed herewith, or credit any overpayment to deposit account number **15-0030**.

Respectfully submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Matthew H. Everhart/

Johnny Ma
Registration No. 59,976

Matthew H. Everhart
Registration No. 78,158

Customer Number
22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 02/12)