

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2825	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	10,141,372 B2	11-27-2018	PARK, J. et al. (corresponds to US 2019/0081105 A1)			
	AB	2016/0233270 A1	08-11-2016	TAKAKI, S. et al.			
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	101118907 A	02-06-2008	China			X
	AP	101315936 A	12-03-2008	China			X
	AQ	106601751 A	04-26-2017	China			X
	AR						
	AS						
	AT						
	AU						
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW	International Search Report and Written Opinion of the International Search Authority issued on Sep. 18, 2019, in PCT/CN2018/119908, citing documents AA-AB and AO-AQ therein, 9 pages					
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner					Date considered		
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL SEARCHING AUTHORITY

To:

100013
10th Floor, Tower C, Beijing Global Trade
Center, 36 North Third Ring Road East, Dongcheng
District, Beijing, China
NTD UNIVATION INTELLECTUAL PROPERTY AGENCY
LTD.

NOTIFICATION OF TRANSMITTAL OF THE INTERNATIONAL SEARCH REPORT AND THE WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY, OR THE DECLARATION

(PCT Rule 44.1)

Date of mailing (day/month/year)
18. Sep. 2019 (18. 09. 2019)

Applicant's or agent's file reference
P2018TC648

FOR FURTHER ACTION
See paragraphs 1 and 4 below

International application No.
PCT/CN2018/119908

International filing date (day/month/year)
07. Dec. 2018 (07. 12. 2018)

Applicant

Yangtze Memory Technologies Co., Ltd.

1. ☒ The applicant is hereby notified that the international search report and the written opinion of the International Searching Authority have been established and are transmitted herewith.

Filing of amendments and statement under Article 19:

The applicant is entitled, if he so wishes, to amend the claims of the international application (see Rule 46):

When? The time limit for filing such amendments is normally two months from the date of transmittal of the international search report.

How? Directly to the International Bureau of WIPO preferably through ePCT or on paper to, 34 chemin des Colombettes 1211 Geneva 20, Switzerland, Facsimile No.: +41 22 338 82 70

For more detailed instructions, see *PCT Applicant's Guide*, International Phase, paragraphs 9.004 – 9.011.

2. ☐ The applicant is hereby notified that no international search report will be established and that the declaration under Article 17(2)(a) to that effect and the written opinion of the International Searching Authority are transmitted herewith.
3. ☐ **With regard to any protest** against payment of (an) additional fee(s) under Rule 40.2, the applicant is notified that:
- ☐ the protest together with the decision thereon has been transmitted to the International Bureau together with any request to forward the texts of both the protest and the decision thereon to the designated Offices.
- ☐ no decision has been made yet on the protest; the applicant will be notified as soon as a decision is made.

4. Reminders

The applicant may submit comments on an informal basis on the written opinion of the International Searching Authority to the International Bureau. These comments will be made available to the public after international publication. The International Bureau will send a copy of such comments to all designated Offices unless an international preliminary examination report has been or is to be established.

Shortly after the expiration of **18 months from the priority date**, the international application will be published by the International Bureau. If the applicant wishes to avoid or postpone publication, a notice of withdrawal of the international application, or of the priority claim, must reach the International Bureau before the completion of the technical preparations for international publication (Rules 90bis.1 and 90bis.3).

Within **19 months** from the priority date, but only in respect of some designated Offices, a demand for international preliminary examination must be filed if the applicant wishes to postpone the entry into the national phase **until 30 months** from the priority date (in some Offices even later); otherwise, the applicant must, **within 20 months** from the priority date, perform the prescribed acts for **entry into the national phase** before those designated Offices. In respect of other designated Offices, the time limit of **30 months** (or later) will apply even if no demand is filed within 19 months. For details about the applicable time limits, Office by Office, see www.wipo.int/pct/en/texts/time_limits.html and the PCT Applicant's Guide, National Chapters.

Within **22 months from the priority date**, the applicant may request that a **supplementary international search** be carried out by a different International Searching Authority that offers this service (Rule 45bis.1). The procedure for requesting supplementary international search is described in the PCT Applicant's Guide, International Phase, paragraphs 8.006-8.032.

National Intellectual Property Administration, PRC(ISA/CN)
6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088
Facsimile No. (86—10) 62019451

Authorized officer
BIAN, Zhen
Telephone No.: 86-(10)-53961419

PATENT COOPERATION TREATY PCT

INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference P2018TC648	FOR FURTHER ACTION see Form PCT/ISA/220 as well as, where applicable, item 5 below.	
International application No. PCT/CN2018/119908	International filing date (day/month/year) 07 Dec. 2018(07. 12. 2018)	(Earliest)Priority date (day/month/year)
Applicant Yangtze Memory Technologies Co., Ltd.		
This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau. This international search report consists of a total of <u>4</u> sheets. ☐ It is also accompanied by a copy of each prior art document cited in this report.		
1. Basis of the report a. With regard to the language, the international search was carried out on the basis of: ☒ the international application in the language in which it was filed ☐ a translation of the international application into _____, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)) b. ☐ This international search report has been established taking into account the rectification of an obvious mistake authorized by or notified to this Authority under Rule 91 (Rule 43.6bis(a)). c. ☐ With regard to any nucleotide and /or amino acid sequence disclosed in the international application, see Box No. I. 2. ☐ Certain claims were found unsearchable (see Box No. II) 3. ☐ Unity of invention is lacking (see Box No. III) 4. With regard to the title, ☒ the text is approved as submitted by the applicant. ☐ the text has been established by this Authority to read as follows: 5. With regard to the abstract, ☒ the text is approved as submitted by the applicant. ☐ the text has been established, according to Rule 38.2(b), by this Authority as it appears in Box IV. The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority. 6. With regard to the drawings, a. The figure of the drawings to be published with the abstract is Figure No. 1A ☒ as suggested by the applicant ☐ as selected by this Authority, because the applicant failed to suggest a figure ☐ as selected by this Authority, because this figure better characterizes the invention b. ☐ none of the figures is to be published with the abstract		

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/119908

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/24 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC: H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, EPODOC, CNKI, CNPAT, IEEE: NAND, substrate, BSG, word lines, common source regions, trenches, memory, 3D, staircase		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 10141372B2 (SAMSUNG ELECTRONICS CO., LTD.) 27 Nov.2018(27.11.2018) description, column 1 line 29-column 5 line 10, column 16 line 51-column 17 line 46 and figures 4-24	1-20
A	US 2016233270A1 (SANDISK TECHNOLOGIES, INC.) 11 Aug.2016(11.08.2016) the whole document	1-20
A	CN 101315936A (PROMOS TECHNOLOGIES) 03 Dec.2008(03.12.2008) the whole document	1-20
A	CN 101118907A (POWERCHIP SEMICONDUCTOR CO., LTD.) 06 Feb.2008(06.02.2008) the whole document	1-20
A	CN 106601751A (MACRONIX INTERNATIONAL CO., LTD.) 26 Apr.2017(26.04.2017) the whole document	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/119908

* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed		“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family
Date of the actual completion of the international search 21 Aug. 2019 (21. 08. 2019)	Date of mailing of the international search report 18 Sep. 2019 (18. 09. 2019)	
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer BIAN, Zhen Telephone No.: 86- (10) -53961419	

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/119908

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US10141372B2	27.11.2018	KR20160117854A	11.10.2016
		CN106024786A	12.10.2016
		US2019081105A1	14.03.2019
US2016233270A1	11.08.2016	WO2016126307A1	11.08.2016
		EP3254312A1	13.12.2017
CN101315936A	03.12.2008	None	
CN101118907A	06.02.2008	None	
CN106601751A	26.04.2017	None	

PATENT COOPERATION TREATY

From the INTERNATIONAL SEARCHING AUTHORITY

To: 100013 10th Floor, Tower C, Beijing Global Trade Center, 36 North Third Ring Road East, Dongcheng District, Beijing, China NTD UNIVATION INTELLECTUAL PROPERTY AGENCY LTD.

PCT

WRITTEN OPINION OF THE INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43 *bis*.1)

Applicant's or agent's file reference P2018TC648		Date of mailing(<i>day/month/year</i>) 18. Sep. 2019 (18. 09. 2019)	
International application No. PCT/CN2018/119908		International filing date(<i>day/month/year</i>) 07. Dec. 2018 (07. 12. 2018)	
International Patent Classification (IPC) or both national classification and IPC H01L 27/24 (2006. 01) i		Priority date (<i>day/month/year</i>) See paragraph 2 below	
Applicant Yangtze Memory Technologies Co., Ltd.			
1. This opinion contains indications relating to the following items: ☒ Box No. I Basis of the opinion ☐ Box No. II Priority ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability ☐ Box No. IV Lack of unity of invention ☒ Box No. V Reasoned statement under Rule 43<i>bis</i>.1(a)(i) with regard to novelty, inventive step or industrial applicability, citations and explanations supporting such statement ☐ Box No. VI Certain documents cited ☐ Box No. VII Certain defects in the international application ☐ Box No. VIII Certain observations on the international application 2. FURTHER ACTION If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1<i>bis</i>(b) that written opinions of this International Searching Authority will not be so considered. If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later. For further options, see Form PCT/ISA/220. 3. For further details, see notes to Form PCT/ISA/220.			
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No. (86—10) 62019451		Date of completion of this opinion 04. Sep. 2019 (04. 09. 2019)	
Authorized officer BIAN, Zhen		Telephone No.: 86-(10)-53961419	

Form PCT/ISA/237 (cover sheet) (January 2015)

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.
PCT/CN2018/119908

Box No. I Basis of the opinion

1. With regard to the **language**, this opinion has been established on the basis of:
- ☒ the international application in the language in which it was filed.
 - ☐ a translation of the international application into _____ which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).
2. ☐ This opinion has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91(Rule 43bis.1(b))
3. ☐ With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, this opinion has been established on the basis of a sequence listing:
- a. ☐ forming part of the international application as filed:
 - ☐ in the form of an Annex C/ST.25 text file.
 - ☐ on paper or in the form of an image file.
 - b. ☐ furnished together with the international application under PCT Rule 13ter.1(a) for the purposes of international search only in the form of an Annex C/ST.25 text file.
 - c. ☐ furnished subsequent to the international filing date for the purposes of international search only:
 - ☐ in the form of an Annex C/ST.25 text file (Rule 13ter.1(a)).
 - ☐ on paper or in the form of an image file (Rule 13ter.1(b) and Administrative Instructions, Section 713).
4. ☐ In addition, in the case that more than one version or copy of a sequence listing has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that forming part of the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

5. Additional comments:

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.
PCT/CN2018/119908

Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement:

Novelty (N)	Claims <u>1-20</u>	YES
	Claims <u>None</u>	NO
Inventive step (IS)	Claims <u>None</u>	YES
	Claims <u>1-20</u>	NO
Industrial applicability (IA)	Claims <u>1-20</u>	YES
	Claims <u>None</u>	NO

2. Citations and explanations

D1: US10141372B2 (27.11.2018)

I. Novelty and Inventive Step

1) D1 is considered to be the prior art document closest to the subject matter of claims 1, 12 and 17, and discloses a three-dimensional semiconductor device and a method for manufacturing the device (description, column 1 line 29-column 5 line 10, column 16 line 51-column 17 line 46 and figures 4-24):

The device comprising a substrate, a bottom select gate disposed over the substrate; a plurality of word lines positioned over the BSG with a staircase configuration; a plurality of vertical structures VS disposed between the substrate, the BSG, and the plurality of word lines; one or more first dielectric trenches formed in the BSG and extending in a length direction of the substrate to separate the BSG into a plurality of sub-BSGs; and one or more common source regions formed over the substrate and extending in the length direction of the substrate; each of the memory blocks is configured to independently perform an erase operation.

Claims 1 and 12 differ from D1 in that: wherein the one or more common source regions extend through the BSG, the plurality of word lines, and the plurality of insulating layers.

Claim 17 differs from D1 in that: setting the substrate to a first voltage; setting the first BSG to a second voltage, the second voltage being lower than the first voltage; and setting the one or more word lines to a third voltage that is equal to zero.

Therefore, claims 1, 12 and 17, dependent claims 2-11, 13-16, 18-20 are novel in the sense of PCT Article 33(2).

However, the differences belong to common practices in the art. Therefore, claims 1, 12 and 17 do not involve an inventive step in the sense of PCT Article 33(3).

2) The additional features of claims 2-11, 13-16, 18-20 all belong to common

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.
PCT/CN2018/119908

practices in the art. Therefore, claims 2-11, 13-16, 18-20 do not involve an inventive step in the sense of PCT Article 33(3).

II. Industrial Applicability

Claims 1-20 are industrially applicable in the sense of PCT Article 33(4).

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610108412.2

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 23/522 (2006.01)

H01L 21/8247 (2006.01)

H01L 21/768 (2006.01)

G11C 16/02 (2006.01)

[43] 公开日 2008 年 2 月 6 日

[11] 公开号 CN 101118907A

[22] 申请日 2006.8.2

[21] 申请号 200610108412.2

[71] 申请人 力晶半导体股份有限公司

地址 中国台湾新竹市

[72] 发明人 郭兆玮 赵志明 黄汉屏 魏鸿基
毕嘉慧

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

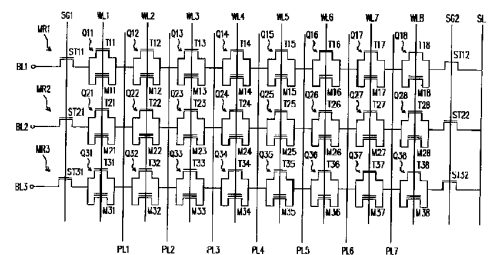
权利要求书 5 页 说明书 22 页 附图 15 页

[54] 发明名称

与非门型非挥发性存储器及其制造方法与操作方法

[57] 摘要

一种与非门型非挥发性存储器，其具有多个存储单元行。各存储单元行包括源极区与漏极区、多个存储单元、多个传输栅极、第一选择晶体管与第二选择晶体管。源极区与漏极区设置在基板中。多个存储单元设置在源极区与漏极区之间的基板上，各个存储单元包括一个存储单元与一个晶体管，且存储单元与晶体管并联连接在一起。多个传输栅极分别设置在相邻两存储单元之间的基板上，而使存储单元串联连接在一起。第一选择晶体管与第二选择晶体管分别与最外侧的两个存储单元连接，且分别与源极区与漏极区相邻。



1.一种与非门型非挥发性存储器，包括多个存储单元行，各该存储单元行包括：

源极区与漏极区，设置在基板中；

多个存储单元，设置在该源极区与该漏极区之间的该基板上，各该存储单元包括存储单元与晶体管，该存储单元与该晶体管并联连接在一起；

多个传输栅极，分别设置在相邻两该存储单元之间的该基板上，而使该存储单元串联连接在一起；和

第一选择晶体管与第二选择晶体管，分别与最外侧的该两存储单元连接，且分别与该源极区与该漏极区相邻。

2.如权利要求1所述的与非门型非挥发性存储器，其中该传输栅极填满相邻两该存储单元之间的间隙。

3.如权利要求1所述的与非门型非挥发性存储器，其中各该存储单元由该基板起至少包括穿隧介电层、电荷储存层、栅间介电层与控制栅极。

4.如权利要求3所述的与非门型非挥发性存储器，其中该栅间介电层的材料包括氧化硅/氮化硅/氧化硅。

5.如权利要求3所述的与非门型非挥发性存储器，其中该电荷储存层的材料为掺杂多晶硅。

6.如权利要求3所述的与非门型非挥发性存储器，其中该穿隧介电层的材料包括氧化硅。

7.如权利要求3所述的与非门型非挥发性存储器，还包括多条元件隔离结构，平行设置在该基板中，各该存储单元行设置在相邻两元件结构之间。

8.如权利要求7所述的与非门型非挥发性存储器，其中该元件隔离结构的表面低于该电荷储存层与该基板间的接口而形成凹陷部，该控制栅极填满该凹陷部。

9.如权利要求8所述的与非门型非挥发性存储器，还包括门介电层，设置在该控制栅极与该基板之间，各该晶体管由该控制栅极、该门介电层和该基板构成。

10.如权利要求3所述的与非门型非挥发性存储器，其中该存储单元行，呈二维配置，而成存储单元阵列，该与非门型非挥发性存储器还包括：

多条字线，在列方向平行排列，且连接同一列的该些存储单元的该控制栅极和该些晶体管的栅极；

多条位线，在行方向平行排列，分别连接同一行的该存储单元行的该漏极区；

多条源极线，在列方向平行排列，分别连接同一列的该存储单元行的该源极区；

多条选择栅极线，在列方向平行排列，分别连接同一列的该存储单元行的该第一选择晶体管的栅极与该第二选择晶体管的栅极；和

多条传输栅极线，在列方向平行排列，分别连接同一列的该存储单元行的该传输栅极。

11.如权利要求 10 所述的与非门型非挥发性存储器，还包括多条元件隔离结构，设置在该基板中，且在行方向平行排列，各该存储单元行设置在相邻两元件结构之间。

12.如权利要求 11 所述的与非门型非挥发性存储器，其中该元件隔离结构的表面低于该电荷储存层与该基板间的接口而形成凹陷部，该控制栅极填满该凹陷部。

13.如权利要求 12 所述的与非门型非挥发性存储器，还包括门介电层，设置在该控制栅极与该基板之间，各该晶体管是由部分该控制栅极与该门介电层所构成。

14.一种与非门型非挥发性存储器的制造方法，包括：

提供基板，该基板上已依次形成有第一介电层、第一导体层与第二介电层；

图案该第一导体层，以形成平行排列的多个第一条状导体层，该第一条状导体层往第一方向延伸；

在该第一条状导体层之间的该基板中形成往该第一方向延伸的多条沟槽；

在该基板中的该些沟槽内形成多个隔离结构，该隔离结构的表面低于该第一条状导体层与该基板间的接口而形成凹陷部，并暴露出部分该基板；

在暴露出的部分该基板表面形成第三介电层；

在该基板上形成第二导体层，其中该第二导体层填满该凹陷部；

图案该第二导体层、该第二介电层及该第一条状导体层，以形成多个堆

叠栅极结构，其中该第二导体层经图案之后，形成往第二方向延伸且平行排列的多个第二条状导体层；并且

在相邻该堆叠栅极结构之间和最外侧的该两堆叠栅极结构的侧壁形成多个第三条状导体层。

15.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第一条状导体层经图案后形成多个浮置栅极。

16.如权利要求 15 所述的与非门型非挥发性存储器的制造方法，其中该浮置栅极的材料包括掺杂多晶硅。

17.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第一介电层的材料包括氧化硅。

18.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第二导体层的材料包括掺杂多晶硅或多晶硅化金属其中之一。

19.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第二介电层包括氧化硅/氮化硅/氧化硅。

20.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中在该基板中的该沟槽内形成该隔离结构的方法包括：

在该基板上形成绝缘层；并且

移除部分该绝缘层，使该绝缘层的表面低于该基板表面。

21.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第三介电层的形成方法包括进行热氧化工艺。

22.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，还包括在该堆叠栅极结构与该第三条状导体层之间形成绝缘间隙壁。

23.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第三介电层与部分该第二条状导体层构成晶体管。

24.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中形成在相邻该堆叠栅极结构之间的该第三条状导体层作为传输栅极；形成在最外侧的该两堆叠栅极结构的侧壁的该第三条状导体层作为选择栅极。

25.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，其中该第三条状导体层的材料包括掺杂多晶硅。

26.如权利要求 14 所述的与非门型非挥发性存储器的制造方法，还包括在该基板中形成源极区和漏极区。

27.一种与非门型非挥发性存储器的操作方法,适用于包括多个存储单元行的存储器组,各该存储单元行设置在基板上,具有:多个存储单元,设置在源极区与漏极区之间,各该存储单元包括并联连接在一起的存储单元与晶体管;多个传输栅极,设置在该存储单元之间的该基板上,而使该存储单元串联连接在一起;第一选择晶体管与第二选择晶体管,分别与最外侧的该两存储单元连接,且该第一选择晶体管与该漏极区相邻,该第二选择晶体管与该源极区相邻;多数字线在列方向平行排列,且分别连接同一列的该存储单元的控制栅极和该晶体管的栅极;多条源极线分别连接同一列的该源极区;多条位线在行方向平行排列,且分别连接同一行的该漏极区;多条第一选择栅极线,在列方向平行排列,分别连接同一列的该存储单元行的该第一选择晶体管的栅极;多条第二选择栅极线,在列方向平行排列,分别连接同一列的该存储单元行的该第二选择晶体管的栅极;多条传输栅极线,在列方向平行排列,分别连接同一列的该存储单元行的该传输栅极,该方法包括:

对选定存储单元的存储单元进行程序化操作时,在选定的该存储单元所耦接的该位线施加第一电压,在非选定的该位线施加第二电压,在该第一选择栅极线施加第三电压,在选定的该存储单元所耦接的该字线上施加第四电压,非选定该字线上施加第五电压,在所有的传输栅极线施加第六电压,以利用沟道 F-N 穿隧效应程序化选定的该存储单元,其中该第四电压与该第一电压的电压差可引发 F-N 穿隧效应,该第三电压大于或等于该第一选择晶体管的启始电压,该第二电压可抑制非选定存储单元行的该第一选择晶体管开启,该第五电压大于或等于该晶体管的启始电压,且该第六电压可使传输栅极下方的沟道导通。

28.如权利要求 27 所述的与非门型非挥发性存储器的操作方法,其中该第一电压为 0 伏特左右;该第二电压为 5 伏特左右;该第三电压为 5 伏特左右;该第四电压为 20 伏特左右;该第五电压为 10 伏特左右;该第六电压为 5 伏特左右。

29.如权利要求 27 所述的与非门型非挥发性存储器的操作方法,还包括:

对选定存储单元的存储单元进行读取操作时,在选定的该存储单元所耦接的该位线施加第七电压,在该第一选择栅极线施加第八电压,在该第二选择栅极线施加第九电压,在选定的该存储单元所耦接的该字线上施加第十电压,非选定该字线上施加第十一电压,在所有的传输栅极线施加第十二电压,

以读取选定的该存储单元，其中该第八电压大于或等于该第一选择晶体管的启始电压，该第九电压大于或等于该第二选择晶体管的启始电压，该第十一电压大于或等于该晶体管的启始电压，且该第十二电压可使传输栅极下方的沟道导通。

30.如权利要求 29 所述的与非门型非挥发性存储器的操作方法，其中该第七电压为 1.5 伏特左右；该第八电压为 5 伏特左右；该第九电压为 5 伏特左右；该第十电压为 0 伏特左右；该第十一电压为 5 伏特左右；该第十二电压为 5 伏特左右。

31.如权利要求 27 所述的与非门型非挥发性存储器的操作方法，还包括：
对存储单元的存储单元进行抹除操作时，在所有的传输栅极线施加第十三电压，使该基板浮置，以利用 F-N 穿隧效应抹除该存储单元，其中该第十三电压与基板的电压差可引发 F-N 穿隧效应。

32.如权利要求 31 所述的与非门型非挥发性存储器的操作方法，其中该第十三电压为 15 伏特左右。

与非门型非挥发性存储器及其制造方法与操作方法

技术领域

本发明涉及一种半导体元件，特别是涉及一种与非门(NAND)型非挥发性存储器及其制造方法与操作方法。

背景技术

非挥发性存储器元件由于具有可进行多次数据存入、读取、抹除等动作，且存入的数据在断电后也不会消失的优点，因此已成为个人计算机和电子设备所广泛采用的一种存储器元件。

典型的非挥发性存储器件，一般被设计成具有堆叠式栅极((Stacked-Gate)结构，其中包括以掺杂多晶硅制作的浮置栅极(Floating Gate)与控制栅极(Control Gate)。浮置栅极位于控制栅极和基板之间，且处于浮置状态，没有和任何电路相连接，而控制栅极则与字线(Word Line)相接，此外还包括穿隧氧化层(Tunneling Oxide)和栅间介电层(Inter-Gate Dielectric Layer)分别位于基板和浮置栅极之间以及浮置栅极和控制栅极之间。

另一方面，目前本领域较常使用的闪存阵列包括或非门(NOR)型阵列结构与与非门(NAND)型阵列结构。由于与非门(NAND)型阵列的非挥发性存储器结构是使各存储单元串接在一起，其集成度与面积利用率较非门(NOR)型阵列的非挥发性存储器为佳，已经广泛地应用在多种电子产品中。

图1所展示为现有的与非门型非挥发性存储器的结构的截面图。

如图1所示，在基板100上设置有多多个存储单元M1~M8与两个选择晶体管ST1、ST2。存储单元M1~M8设置在两个选择晶体管ST1、ST2之间。在存储单元M1~M8之间的基板100中、存储单元M1与选择晶体管ST1之间的基板100中以及存储单元M8与选择晶体管ST2之间的基板100中形成有掺杂区102。这些存储单元M1~M8及选择晶体管ST1、ST2经由掺杂区102串接在一起而构成存储单元行。在存储单元行两侧设置有源极区104与漏极区106。源极线SL与源极区104电连接。位线BL通过插塞108与漏

极区 106 电连接。

在上述的 NAND 型非挥发性存储器中，由于各存储单元 M1 ~ M8 之间通过掺杂区 102 连接在一起。在元件尺寸持续缩小的情况下，存储单元宽度越来越小，相邻的掺杂区 102 之间会有短沟道效应、漏极引发的能带降低 (Drain Induced. Barrier Lowering, DIBL) 效应等问题，而影响存储器的可靠度。

此外，对于上述的 NAND 型非挥发性存储器而言，在程序化选定存储单元时，在同一存储单元列中的其它非选定存储单元都是作为传输栅极。因此，在进行程序化时，需使非选定存储单元处于完全开启的状态。使非选定存储单元处于完全开启状态的偏压将会限制存储单元起始电压范围的设定。举例来说，当此存储单元为单阶存储单元时，通过基准读取电压 V_{ref} ，来判别两种不同起始电压 (V_{th1} 、 V_{th2})， $V_{th1} < V_{ref1} < V_{th2}$ 。 V_{th1} 为小于 0 伏特； V_{ref1} 为 0 伏特左右； V_{th2} 为大于 0 伏特左右。当非选定存储单元处于完全开启状态的偏压为 5 伏特时，则 V_{th2} 只能设定在 0 伏特与 5 伏特之间，而使得 V_{th2} 的范围较小。当此存储单元为多阶存储单元时，通过基准读取电压 V_{ref1} 、 V_{ref2} 、 V_{ref3} ，来判别四种不同起始电压 (V_{th1} 、 V_{th2} 、 V_{th3} 、 V_{th4})， $V_{th1} < V_{ref1} < V_{th2} < V_{ref2} < V_{th3} < V_{ref3} < V_{th4}$ 。同样，当非选定存储单元处于完全开启状态的偏压为 5 伏特时， V_{th1} 为小于 0 伏特； V_{ref1} 为 0 伏特左右； V_{th2} 、 V_{ref2} 、 V_{th3} 、 V_{ref3} 、 V_{th4} 需设定在 0 伏特与 5 伏特之间，例如 V_{th2} 为 0.2 ~ 1 伏特、 V_{ref2} 为 1.2 伏特、 V_{th3} 为 1.4 ~ 2.2 伏特、 V_{ref3} 为 2.4 伏特、 V_{th4} 为 2.8 ~ 3.6 伏特；而使得 V_{th2} 、 V_{th3} 、 V_{th4} 的范围较小。如此，在现有的 NAND 型非挥发性存储器的程序化操作中，就需要进行多次程序化步骤及程序化确认步骤，以使程序化存储单元准确处于设定的起始电压中，如此将花费较长的时间。而且，在对选定存储单元进行读取操作时，在同一存储单元列中的其它非选定存储单元也容易对于选定存储单元造成读取干扰。

发明内容

本发明的目的就是提供一种 NAND 型非挥发性存储器及其制造方法与操作方法，而可以提高元件的可靠度。

本发明的再一目的是提供一种 NAND 型非挥发性存储器及其制造方法与操作方法，可容易的与一般工艺整合在一起，而可以增加工艺余量。

本发明的又一目的是提供一种 NAND 型非挥发性存储器及其制造方法

与操作方法，可以加宽存储单元的设定起始电压范围，缩短存储单元的程序化时间。

本发明提出一种与非门型非挥发性存储器，此与非门型非挥发性存储器包括多个存储单元行。各存储单元行包括源极区与漏极区、多个存储单元、多个传输栅极、第一选择晶体管与第二选择晶体管。源极区与漏极区设置在基板中。多个存储单元设置在源极区与漏极区之间的基板上，各个存储单元包括存储单元与晶体管，且存储单元与晶体管并联连接在一起。多个传输栅极分别设置在相邻两存储单元之间的基板上，而使存储单元串联连接在一起。第一选择晶体管与第二选择晶体管分别与最外侧的两个存储单元连接，且分别与源极区与漏极区相邻。

依照本发明的优选实施例所述的与非门型非挥发性存储器，上述传输栅极填满相邻两存储单元之间的间隙。

依照本发明的优选实施例所述的与非门型非挥发性存储器，上述各该些存储单元由该基板起至少包括穿隧介电层、电荷储存层、栅间介电层与控制栅极。

依照本发明的优选实施例所述的与非门型非挥发性存储器，上述栅间介电层的材料包括氧化硅/氮化硅/氧化硅。上述电荷储存层的材料为掺杂多晶硅。上述穿隧介电层的材料包括氧化硅。

依照本发明的优选实施例所述的与非门型非挥发性存储器，还包括多条元件隔离结构。多条元件隔离结构平行设置在基板中，各存储单元行设置在相邻两元件结构之间。上述元件隔离结构的表面低于电荷储存层与基板间的接口而形成凹陷部，且控制栅极填满上述凹陷部。

依照本发明的优选实施例所述的与非门型非挥发性存储器，还包括门介电层。此门介电层设置在控制栅极与基板之间，各晶体管由控制栅极、门介电层和该基板构成。

依照本发明的优选实施例所述的与非门型非挥发性存储器，上述的存储单元行，呈二维配置，而成存储单元阵列。与非门型非挥发性存储器还包括多条字线、多条位线、多条源极线、多条选择栅极线与多条传输栅极线。多条字线在列方向平行排列，且连接同一列的存储单元的控制栅极和晶体管的栅极。多条位线在行方向平行排列，分别连接同一行的存储单元行的漏极区。多条源极线在列方向平行排列，分别连接同一列的存储单元行的源极区。多

条选择栅极线在列方向平行排列，分别连接同一列的存储单元行的第一选择晶体管的栅极与第二选择晶体管的栅极。多条传输栅极线在列方向平行排列，分别连接同一列的存储单元行的传输栅极。

依照本发明的优选实施例所述的与非门型非挥发性存储器，还包括多条元件隔离结构。元件隔离结构设置在基板中，且在行方向上平行排列，各存储单元行设置在相邻两元件结构之间。上述元件隔离结构的表面低于电荷储存层与基板间的接口而形成凹陷部，且控制栅极填满凹陷部。

依照本发明的优选实施例所述的与非门型非挥发性存储器，还包括门介电层。此门介电层设置在控制栅极与基板之间，各晶体管是由控制栅极、门介电层与基板所构成。

在上述的与非门型非挥发性存储器中，由于元件隔离结构的表面低于电荷储存层与基板间的接口，而形成凹陷部，并在此凹陷部设置与存储单元并联连接的晶体管。此晶体管的设置将有助于存储单元的操作，可以缩短程序化操作时间，并避免读取干扰。

而且，在上述的与非门型非挥发性存储器中，由于在存储单元之间设置传输栅极，而无须设置掺杂区，因此可避免短沟道效应、漏极引发的能带降低效应等所造成的存储单元漏电流等。此外，在存储单元之间设置的传输栅极为导体，可以遮蔽相邻两存储单元的电荷储存层，而能够降低存储单元对存储单元之间的耦合干扰。

另外，在上述的与非门型非挥发性存储器中，在存储单元之间设置的传输栅极。在对本发明的非挥发性存储器进行抹除操作时，可使电子从电荷储存层穿过栅间介电层注入传输栅极中，而将电子移除。由于，此种抹除方式可减少电子穿越穿隧介电层的次数，因此可以提高穿隧介电层的寿命，并增加元件的可靠度。

本发明提出一种与非门型非挥发性存储器的制造方法，包括下列步骤。首先，提供基板，此基板上已依次形成有第一介电层、第一导体层与第二介电层。图案第一导体层，以形成平行排列的多个第一条状导体层，这些第一条状导体层往第一方向延伸。在这些第一条状导体层之间的基板中形成往第一方向延伸的多条沟槽。接着，在基板中的沟槽内形成多个隔离结构。这些隔离结构的表面低于第一条状导体层与基板间的接口而形成凹陷部，并暴露出部分基板。在暴露出的部分基板表面形成第三介电层后，在基板上形成填

满凹陷部的第二导体层。图案第二导体层、第二介电层和第一条状导体层，以形成多个堆叠栅极结构，其中第二导体层经图案之后，形成往第二方向延伸且平行排列的多个第二条状导体层。之后，在相邻的堆叠栅极结构之间和最外侧的两个堆叠栅极结构的侧壁形成多个第三条状导体层。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，上述第一条状导体层经图案后形成多个浮置栅极。上述浮置栅极的材料包括掺杂多晶硅。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，上述第一介电层的材料包括氧化硅。上述第二导体层的材料包括掺杂多晶硅或多晶硅化金属其中之一。上述第二介电层包括氧化硅/氮化硅/氧化硅。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，在基板中的沟槽内形成隔离结构的步骤如下。首先，在基板上形成一层绝缘层，然后移除部分绝缘层，使绝缘层的表面低于基板表面。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，上述第三介电层的形成方法包括进行热氧化工艺。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，还包括在堆叠栅极结构与第三条状导体层之间形成绝缘间隙壁。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，上述第三介电层与部分第二条状导体层构成晶体管。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，形成在相邻两堆叠栅极结构之间的第三条状导体层作为传输栅极；形成在最外侧的两堆叠栅极结构的侧壁的第三条状导体层作为选择栅极。第三条状导体层的材料包括掺杂多晶硅。

依照本发明的优选实施例所述的与非门型非挥发性存储器的制造方法，还包括在基板中形成源极区及漏极区。

在上述的非挥发性存储器的制造方法中，由于元件隔离结构的表面低于基板表面，而形成凹陷部，并在此凹陷部形成由第三介电层与部分第二条状导体层构成的晶体管，此晶体管与存储单元并联连接在一起。此晶体管的形成将有助于存储器的操作，可以缩短程序化操作时间，并避免读取干扰。

而且，在上述的非挥发性存储器的制造方法中，由于在堆叠栅极结构之间形成第三条状导体层(传输栅极)，因此可避免短沟道效应、漏极引发的能

带降低效应等所造成的存储单元漏电流等。

此外，在堆叠栅极结构之间形成第三条状导体层(传输栅极)，此导体层第三条状导体层(传输栅极)可以遮蔽相邻两存储单元的浮置栅极，而能够降低存储单元对存储单元之间的耦合干扰。

而且，在上述的与非门型非挥发性存储器的制造方法中，在堆叠栅极结构之间形成第三条状导体层(传输栅极)。在抹除本发明的非挥发性存储器时，可使电子从浮置栅极穿过栅间介电层注入第三条状导体层(传输栅极)中，而将电子移除。由于，此种抹除方式可减少电子穿越穿隧介电层的次数，因此可以提高穿隧介电层的寿命，并增加元件的可靠度。上述的与非门型非挥发性存储器的制造方法可容易与一般工艺整合在一起，而可以增加工艺余量。

本发明提出一种与非门型非挥发性存储器的操作方法，适用于包括多个存储单元行的存储器组。各存储单元行设置在基板上，具有：多个存储单元，设置在源极区与漏极区之间，各存储单元包括并联连接在一起的存储单元与晶体管；多个传输栅极，设置在存储单元之间的基板上，而使存储单元串联连接在一起；第一选择晶体管与第二选择晶体管，分别与最外侧的两存储单元连接，且第一选择晶体管与漏极区相邻，第二选择晶体管与源极区相邻；多条字线在列方向平行排列，且分别连接同一列的存储单元的控制栅极和晶体管的栅极；多条源极线分别连接同一列的源极区；多条位线在行方向平行排列，且分别连接同一行的漏极区；多条第一选择栅极线，在列方向平行排列，分别连接同一列的存储单元行的第一选择晶体管的栅极；多条第二选择栅极线，在列方向平行排列，分别连接同一列的存储单元行的第二选择晶体管的栅极；多条传输栅极线，在列方向平行排列，分别连接同一列的存储单元行的传输栅极。与非门型非挥发性存储器的操作方法包括：对选定存储单元的存储单元进行程序化操作时，在选定的存储单元所耦接的位线施加第一电压，在非选定的位线施加第二电压，在第一选择栅极线施加第三电压，在选定的存储单元所耦接的字线上施加第四电压，非选定字线上施加第五电压，在所有的传输栅极线施加第六电压，以利用沟道 Fowler-Nordheim (F-N) 穿隧效应程序化选定的存储单元，其中第四电压与第一电压的电压差可引发 F-N 穿隧效应，第三电压大于或等于第一选择晶体管的启始电压，第二电压可抑制非选定存储单元行的第一选择晶体管开启，第五电压大于或等于该晶体管的启始电压，且第六电压可使传输栅极下方的沟道导通。

依照本发明的优选实施例所述的与非门型非挥发性存储器的操作方法，第一电压为 0 伏特左右；第二电压为 5 伏特左右；第三电压为 5 伏特左右；第四电压为 20 伏特左右；第五电压为 10 伏特左右；第六电压为 5 伏特左右。

依照本发明的优选实施例所述的与非门型非挥发性存储器的操作方法，对选定存储单元的存储单元进行读取操作时，在选定的存储单元所耦接的位线施加第七电压，在第一选择栅极线施加第八电压，在第二选择栅极线施加第九电压，在选定的存储单元所耦接的字线上施加第十电压，非选定字线上施加第十一电压，在所有的传输栅极线施加第十二电压，以读取选定的存储单元，其中第八电压大于或等于第一选择晶体管的启始电压，第九电压大于或等于第二选择晶体管的启始电压，第十一电压大于或等于晶体管的启始电压，且第十二电压可使传输栅极下方的沟道导通。

依照本发明的优选实施例所述的与非门型非挥发性存储器的操作方法，第七电压为 1.5 伏特左右；第八电压为 5 伏特左右；第九电压为 5 伏特左右；第十电压为 0 伏特左右；第十一电压为 5 伏特左右；第十二电压为 5 伏特左右。

依照本发明的优选实施例所述的与非门型非挥发性存储器的操作方法，对存储单元的存储单元进行抹除操作时，在所有的传输栅极线施加第十三电压，使基板浮置，以利用 F-N 穿隧效应抹除该些存储单元，其中第十三电压与基板的电压差可引发 F-N 穿隧效应。

依照本发明的优选实施例所述的与非门型非挥发性存储器的操作方法，第十三电压为 15 伏特左右。

在上述的与非门型非挥发性存储器的制造方法中，由于各个存储单元分别是由并联设置的一个晶体管与一个存储单元所构成，因此即使未选定字线上施加的电压无法打开存储单元的沟道，但是只要此电压可打开晶体管的沟道，即可使电流通过，并到达选定存储单元。于是，在进行程序化操作时，由于可通过晶体管导通电流，因此存储单元启始电压范围的设定不会受到使非选定存储单元处在完全开启状态的偏压的限制，使得存储单元的启始电压范围较广，因此可以减少程序化的确认次数与步骤，而可以缩短程序化操作的时间。

而且，在读取选定存储单元时，并不会受到共享同一条位线的存储单元的干扰。在存储单元之间设置传输栅极，可避免短沟道效应、漏极引发的能

带降低效应等所造成的存储单元漏电流等。

此外,上述的与非门型非挥发性存储器的制造方法中,利用沟道 F-N 穿隧效应(F-N Tunneling)使电子经由沟道穿过穿隧介电层注入电荷储存层中,以进行存储单元的程序化操作;并利用 F-N 穿隧效应使电子从电荷储存层穿过栅间介电层注入传输栅极中,以进行存储单元的抹除操作。由于,此种操作方式减少了电子穿越穿隧介电层的次数,因此可以提高穿隧介电层的寿命,并增加元件的可靠度。

为让本发明的上述和其它目的、特征和优点能更明显易懂,下文特举优选实施例,并结合附图,作详细说明如下。

附图说明

图 1 所展示为现有的与非门型非挥发性存储器的结构截面图。

图 2 为展示本发明的优选实施例的与非门型非挥发性存储器的电路简图。

图 3A 所展示为对一般存储单元进行程序化操作的实例的示意图。

图 3B 所展示为对源极侧存储单元进行读取操作的实例的示意图。

图 3C 所展示为对漏极侧存储单元进行抹除操作的实例的示意图。

图 4A 为展示本发明的优选实施例的与非门型非挥发性存储器的上视图。

图 4B 为展示图 4A 中沿 A-A'线的结构截面图。

图 4C 为展示图 4A 中沿 B-B'线的结构截面图。

图 5A 至图 5H 是依照本发明优选实施例一种非挥发性存储器的制造流程截面图。

图 6A 至图 6H 是依照本发明优选实施例一种非挥发性存储器的制造流程截面图。

简单符号说明

100、200、300: 基板

102: 掺杂区

104、206、336a: 源极区

106、208、336b: 漏极区

108: 插塞

201a: 深 N 型井区
201b: P 型井区
202: 元件隔离结构
204: 凹陷部 204
210: 传输栅极
212a、212b: 选择栅极
214: 间隙
216: 穿隧介电层
218: 电荷储存层
220: 栅间介电层
222: 控制栅极
224: 顶盖层
226、328: 绝缘间隙壁
228、230: 门介电层
230: 插塞
302、320、322、330、332: 介电层
304、304a、324、334a、334b、342、346、348: 导体层
304b: 导体块
306: 栅间介电层
308: 图案掩模层
310: 开口
312: 沟槽
314、314a: 衬层
316、316a: 绝缘材料层
326、326a、326b: 顶盖层
338: 覆盖层
340、344: 层间绝缘层
BL、BL1 ~ BL4: 位线
M1 ~ M8、M11 ~ M38: 存储单元
MR1 ~ MR4: 存储单元行
PL1 ~ PL7: 传输栅极线

Q、Q11 ~ Q38: 存储单元

SG1、SG2: 选择栅极线

SL: 源极线

ST1、ST2、ST11 ~ ST31、ST12 ~ ST32: 选择晶体管

T、T11 ~ T38: 晶体管

WL1 ~ WL8: 字线

具体实施方式

图2为展示一种本发明的NAND(与非门)型非挥发性存储器阵列的电路简图。在本实施例中以8个存储单元为一行、且共三行的NAND存储单元行为例作说明。

请参照图2, NAND(与非门)型非挥发性存储器阵列包括多个选择晶体管ST11 ~ ST31与ST12 ~ ST32、多个存储单元Q11 ~ Q38、多条字线WL1 ~ WL8、选择栅极线SG1与SG2、位线BL1 ~ BL3与传输栅极线(pass gate line)PL1 ~ PL7。

存储单元Q11 ~ Q18串联连接在选择晶体管ST11与选择晶体管ST12之间,而在行的方向形成存储单元行MR1。存储单元Q21 ~ Q28串联连接在选择晶体管ST21与选择晶体管ST22之间,而在行的方向形成存储单元行MR2。存储单元Q31 ~ Q38串联连接在选择晶体管ST31与选择晶体管ST32之间,而在行之方向形成存储单元行MR3。

存储单元Q11 ~ Q38分别由存储单元M11 ~ M38与晶体管T11 ~ T38所构成,存储单元M11 ~ M38与晶体管T11 ~ T38并联连接在一起。举例来说,存储单元Q11由存储单元M11与晶体管T11所构成,且存储单元M11与晶体管T11并联连接在一起;存储单元Q12由存储单元M12与晶体管T12所构成,且存储单元M12与晶体管T12并联连接在一起;...;依此类推,存储单元Q38是由存储单元M38与晶体管T38所构成,且存储单元M38与晶体管T38并联连接在一起。

多数字线WL1 ~ WL8在列方向平行排列,且连接同一列的存储单元的控制栅极与晶体管的栅极。举例来说,存储单元M11 ~ M31的控制栅极与晶体管T11 ~ T31的栅极则耦接至所对应的字线WL1;存储单元M12 ~ M32的控制栅极与晶体管T12 ~ T32的栅极则耦接至所对应的字线WL2;...;依

此类推, 存储单元 M18 ~ M38 的控制栅极与晶体管 T18 ~ T38 的栅极则耦接至所对应的字线 WL8。

选择晶体管 ST11 ~ ST31 的栅极则耦接至选择栅极线 SG1。选择晶体管 ST11 ~ ST31 的漏极分别耦接至位线 BL1 ~ BL3。选择晶体管 ST12 ~ ST32 的栅极则耦接至选择栅极线 SG2。选择晶体管 ST12 ~ ST32 的源极则耦接至源极线 SL。在同一行的相邻两存储单元之间设置有传输栅极, 即在存储单元 Q11 ~ Q18 彼此之间分别形成有传输栅极; 存储单元 Q21 ~ Q28 彼此之间分别形成有传输栅极; 存储单元 Q31 ~ Q38 彼此之间分别形成有传输栅极。多数传输栅极线 PL1~PL7 在列方向平行排列, 且连接同一列的传输栅极。即, 存储单元 Q11 ~ Q31 与存储单元 Q12 ~ Q32 之间的传输栅极耦接至所对应的传输栅极线 PL1; 存储单元 Q12 ~ Q32 与存储单元 Q13 ~ Q33 之间的传输栅极耦接至所对应的传输栅极线 PL2; 依此类推, 存储单元 Q17 ~ Q37 与存储单元 Q18 ~ Q38 之间的传输栅极耦接至所对应的传输栅极线 PL7。

在上述实施例中, 是以使八个存储单元串接在一起为实例作说明。当然, 在本发明中串接的存储单元的数目, 可以视实际需要串接适当的数目, 举例来说, 同一条位线可以串接 32 至 64 个存储单元。

图 3A 所展示为对存储单元进行程序化操作的实例的示意图。图 3B 所展示为存储单元进行读取操作的实例的示意图。图 3C 所展示为对所有存储单元进行抹除操作的实例的示意图。

接着, 说明本发明的 NAND(与非门)型非挥发性存储器阵列的操作模式, 其包括程序化、抹除与数据读取等操作模式。就本发明的非挥发性存储器的操作方法而言, 以下仅提供优选实施例作为说明。但本发明的非挥发性存储器的操作方法, 并不限于这些方法。在下述说明中是以图 2 所示的存储单元 Q22 为实例作说明。

请同时参照图 2 和图 3A, 当对选定存储单元行 MR2 中的存储单元 Q22 进行程序化操作时, 在选定的位线 BL2 上施加电压 V_{p1} 。在非选定的位线 BL1、BL3 上施加电压 V_{p2} 。在选择栅极线 SG1 上施加电压 V_{p3} 。在选择栅极线 SG2 上施加电压 V_{p4} 。在选定的存储单元 Q22 所耦接的字线 WL2 上施加电压 V_{p5} 。非选定字线 WL1、WL3 ~ WL8 上施加电压 V_{p6} 。在所有的传输栅极线 PL1 ~ PL7 上施加电压 V_{p7} , 以利用沟道 F-N 穿隧效应程序化选定存储单元 Q22 的存储单元 M22。

由于电压 Vp5 与电压 Vp1 的电压差需足以引发 F-N 穿隧效应, 因此电压 Vp5 与电压 Vp1 的电压差需为 12~20 伏特左右。在本实例中, 电压 Vp5 例如是 20 伏特左右, 电压 Vp1 例如是 0 伏特左右。

由于选择晶体管 ST21 需处于开启状态, 因此电压 Vp3 需大于或等于选择晶体管 ST21 的启始电压。在本实例中, 电压 Vp3 例如是 5 伏特左右。由于, 选择晶体管 ST22 需处于关闭状态, 因此电压 Vp4 需小于选择晶体管 ST22 的启始电压。在本实例中, 电压 Vp4 例如是 0 伏特左右。

而且, 为了避免共享字线 WL2 的其它非选定存储单元 Q12~Q32 受到程序化干扰, 也可以在其它非选定位线施加电压 Vp2。电压 Vp2 需抑制非选定存储单元行 MR1、MR3 的选择晶体管 ST11、ST31 开启, 因此电压 Vp2 需大于或等于选择晶体管 ST11、ST31 的启始电压。在本实例中, 电压 Vp2 例如是 5 伏特左右。当然, 也可以使电压 Vp5 与电压 Vp2 的电压差不足以引发 F-N 穿隧效应, 此时电压 Vp2 例如是 10 伏特左右。

由于需要使存储单元行 MR2 中的其它非选定的存储单元 Q21、Q23~Q28(包括存储单元 M21、M23~M28 或晶体管 T21、T23~T28)的沟道都为开启状态(非选定的存储单元 Q21、Q23~Q28 都作为通过门)。因此, 电压 Vp6 至少需大于或等于晶体管 T11~T38 的启始电压, 甚至大于或等于存储单元 M21、M23~M28 的启始电压。在本实例中, 电压 Vp6 例如是 10 伏特左右。电压 Vp7 可使传输栅极下方的沟道导通。在本实例中, 电压 Vp7 例如是 5 伏特左右。

在上述偏压情况下, 即可在选定存储单元 M22 的浮置栅极与基板之间建立一个大的电场, 而得以利用沟道 F-N 穿隧效应(Channel F-N Tunneling)使电子由沟道注入电荷储存层中。

在进行上述程序化操作时, 共享同一条字线 WL2 的存储单元 Q12、Q32 并不会程序化。这是因为未选定位线 BL1、BL3 上施加 5 伏特的电压, 故选择晶体管 ST11、ST31 处于关闭状态, 使得浮置栅极与沟道之间的电场不足以引发沟道 F-N 穿隧现象, 当然就不会程序化存储单元 Q12、Q32。

而且, 由于未选定字线 WL1、WL3~WL8 上施加 10 伏特的电压, 此电压只是用于打开存储单元的沟道, 而不足以引发沟道 F-N 穿隧现象, 因此非选定字线 WL1、WL3~WL8 所连接的存储单元 Q11~Q31、Q13~Q33、Q14~Q38 不会被程序化。

此外, 由于本发明的各个存储单元 Q11 ~ Q38 分别是由并联设置的一个晶体管 T11 ~ T38 与一个存储单元 M11 ~ M38 所构成, 而晶体管 T11 ~ T38 的启始电压低于存储单元 M11 ~ M38 的启始电压, 因此即使未选定字线 WL1、WL3 ~ WL8 上施加的电压无法打开存储单元的沟道, 但是只要此电压可打开晶体管的沟道, 即可使电流通过, 并到达选定存储单元。于是, 在程序化操作时, 由于可通过晶体管 T11 ~ T38 导通电流, 因此, 存储单元启始电压范围的设定不会受到使非选定存储单元处于完全开启状态的偏压的限制, 使得存储单元 M11 ~ M38 的启始电压范围较广, 因此可以减少程序化的确认次数与步骤, 而可以缩短程序化操作的时间。

举例来说, 当此存储单元为单阶存储单元时, 通过基准读取电压 Vref, 来判别两种不同启始电压(Threshold Voltage)(Vth1、Vth2), $V_{th1} < V_{ref1} < V_{th2}$ 。Vth1 为小于 0 伏特; Vref1 为 0 伏特左右; Vth2 为大于 0 伏特左右。当非选定存储单元处于完全开启状态的偏压为 5 伏特时, Vth2 也可以设定为大于 5 伏特, 而使得 Vth2 的范围较广。当此存储单元为多阶存储单元时, 通过基准读取电压 Vref1、Vref2、Vref3, 来判别四种不同启始电压(Threshold Voltage)(Vth1、Vth2、Vth3、Vth4), $V_{th1} < V_{ref1} < V_{th2} < V_{ref2} < V_{th3} < V_{ref3} < V_{th4}$ 。同样, 当非选定存储单元处于完全开启状态的偏压为 5 伏特时, Vth1 为小于 0 伏特; Vref1 为 0 伏特左右; Vth2 为 0.2 ~ 2 伏特、Vref2 为 2.2 伏特、Vth3 为 2.4 ~ 4.2 伏特、Vref3 为 4.4 伏特、Vth4 为 4.6 ~ 6.4 伏特; 而使得 Vth2、Vth3、Vth4 的范围较大。

而且在上述说明中, 虽以存储元件阵列中单一存储单元为单位进行程序化, 然而本发明的 NAND(与非门)型非挥发性存储器阵列的程序化也可通过各字线、选择栅极线、位线的控制, 而以字节、节区, 或是区块为单位进行程序化。

请同时参照图 2 和图 3B, 当对选定存储单元行 MR2 中的存储单元 Q22 进行读取操作时, 在选定的位线 BL2 上施加电压 Vr1。在非选定的位线 BL1、BL3 上施加电压 Vr2。在选择栅极线 SG1 上施加电压 Vr3。在选择栅极线 SG2 上施加电压 Vr4。在选定的存储单元 Q22 所耦接的字线 WL2 上施加电压 Vr5。非选定字线 WL1、WL3 ~ WL8 上施加电压 Vr6。在所有的传输栅极线 PL1 ~ PL7 上施加电压 Vr7, 以读取选定存储单元 Q22 的存储单元 M22。

电压 Vr1 为施加于选定位线 BL2 的读取偏压。在本实例中, 电压 Vr1

例如是 1.5 伏特左右。电压 Vr2 则例如是 0 伏特左右。

由于选择晶体管 ST21 和选择晶体管 ST22 需处于开启状态，因此电压 Vr3 和电压 Vr4 需大于或等于选择晶体管 ST21 和选择晶体管 ST22 的启始电压。在本实例中，电压 Vr3 和电压 Vr4 例如是 5 伏特左右。

由于需要使存储单元行 MR2 中的其它非选定的存储单元 Q21、Q23 ~ Q28(包括存储单元 M21、M23 ~ M28 或晶体管 T21、T23 ~ T28)的沟道都为开启状态(非选定的存储单元 Q21、Q23 ~ Q28 都作为通过门)。因此，电压 Vr6 需大于或等于晶体管 T11 ~ T38 的启始电压。在本实例中，电压 Vr6 例如是 5 伏特左右。电压 Vr7 可使传输栅极下方的沟道导通。在本实例中，电压 Vr7 例如是 5 伏特左右。

在上述偏压情况下，可通过检测存储单元的沟道电流大小来判断储存在此存储单元中的数字信息。

而且，由于本发明的各个存储单元 Q11 ~ Q38 分别是由并联设置的一个晶体管 T11 ~ T38 与一个存储单元 M11 ~ M38 所构成，而晶体管 T11 ~ T38 的启始电压低于存储单元 M11 ~ M38 的启始电压，因此即使未选定字线 WL1、WL3 ~ WL8 上施加的电压无法打开存储单元的沟道，但是只要此电压可打开晶体管的沟道，即可使电流通过。因此，在读取选定存储单元 Q22 时，并不会受到共享同一条位线 BL2 的存储单元 Q21、Q23 ~ Q28 的干扰。

此外，在本发明的存储单元之间，以传输栅极取代现有的掺杂区，因此可避免短沟道效应、漏极引发的能带降低(Drain Induced Barrier Lowering, DIBL)效应等所造成的存储单元漏电流等。

而且在上述说明中，虽系以存储元件阵列中单一存储元件为单位进行读取操作，然而本发明的 NAND(与非门)型快闪存储单元阵列的读取操作也可通过各字线、选择栅极线、位线的控制，而读取以字节、节区，或是区块为单位的数据。

接着说明本发明 NAND(与非门)型非挥发性存储器组的抹除方法。本发明的抹除方法为对整个 NAND(与非门)型非挥发性存储器组作抹除为例作说明。

请同时参照图 2 和图 3C，当对存储单元阵列进行抹除时，在所有传输栅极线 PL1 至 PL7 上施加偏压 Ve1。源极线 SL、字线 WL1 ~ WL8、位线 BL1 ~ BL3 和选择栅极线 SG1 ~ SG2 及基板为浮置。于是施加在传输栅极与

基板之间的电压足以在传输栅极与基板之间建立一个大的电场，而得以利用 F-N 穿隧效应(F-N Tunneling)使电子由电荷储存层穿过栅间介电层(传输栅极与电荷储存层之间的介电层)注入传输栅极而移除。

上述本发明的抹除方法是以对整个 NAND(与非门)型非挥发性存储器组作抹除为例作说明。当然本发明的 NAND(与非门)型非挥发性存储器组的抹除操作也可通过传输栅极线的控制，而以节区或是区块为单位进行抹除。举例来说，若只选择在传输栅极线 PL1 上施加偏压 V_{e1} ，则只有存储单元 M11 ~ M31、存储单元 M12 ~ M32 中的数据会被抹除。即，共享传输栅极线的两列存储单元中的数据会被抹除。

此外，本发明在进行 NAND(与非门)型非挥发性存储器组的操作时，利用沟道 FF-N 穿隧效应(F-N Tunneling)使电子经由沟道穿过穿隧介电层注入电荷储存层中，以进行存储单元的程序化操作；并利用 F-N 穿隧效应(F-N Tunneling)使电子从电荷储存层穿过栅间介电层注入传输栅极中，以进行存储单元的抹除操作。由于，本发明的操作方式减少了电子穿越穿隧介电层的次数，因此可以提高穿隧介电层的寿命，并增加元件的可靠度。而且，由于在进行程序化操作时，利用电子注入效率较高的沟道 F-N 穿隧效应，故可以降低存储单元电流，并且能够提高操作速度。另外由于程序化和抹除的动作均利用 F-N 穿隧效应，电流消耗小，可有效降低整个存储器元件的功率损耗。

图 4A 为展示本发明的优选实施例的与非门型非挥发性存储器的上视图。图 4B 为展示图 4A 中沿 A-A'线的结构截面图。图 4C 为展示图 4A 中沿 B-B'线的结构截面图。

请参照图 4A 至图 4C，本发明的与非门型非挥发性存储器包括多个存储单元行 MR1 ~ MR4(Memory Row)、多条字线 WL1~WL8、多条位线 BL1 ~ BL4、多条源极线 SL1、多条传输栅极线 PL1 ~ PL7、多条选择栅极线 SG1、SG2。

多个存储单元行 MR1 ~ MR4 例如是排列成行/列阵列 A。在本实施例中，只展示由四个存储单元行 MR1 ~ MR4 构成的存储单元阵列。但是，本发明的与非门型非挥发性存储器例如是由多个阵列 A 所构成，在行方向(X 方向)上，相邻的两阵列 A 例如是以镜向对称的方式配置。相邻的两阵列 A 共享源极线 SL 与位线 BL1 ~ BL4。

多个存储单元行 MR1 ~ MR4 例如是设置在基板 200 上。在基板 200 例

如是N型硅基板或P型硅基板。在基板200中例如是设置有深N型井区201a与位于深N型井区201a上的P型井区201b。在基板200中例如是设置有多于一个元件隔离结构202,以定义出有源区。这些元件隔离结构202例如是位于P型井区201b中,而且这些元件隔离结构202的表面低于基板200表面,而在基板200中形成凹陷部204。元件隔离结构202在行方向(X方向)平行排列。

接着,说明存储单元行的结构。由于各存储单元行的结构均相同,因此在下述说明中只以存储单元行MR2为例作说明。存储单元行MR2包括源极区206、漏极区208、多个存储单元Q、传输栅极210、选择栅极212a与选择栅极212b。

源极区206与漏极区208例如是设置在基板200中,且源极区206与漏极区208例如是相距一段距离。

多个存储单元Q例如是设置在源极区206与漏极区208之间的基板200上。在相邻的两个存储单元Q彼此之间具有间隙214。

接着,说明存储单元Q的结构。各存储单元Q包括存储单元M和晶体管T。存储单元M和晶体管T并联设置在一起。

存储单元M由基板200起依次为穿隧介电层216、电荷储存层218、栅间介电层220、控制栅极222。

控制栅极222例如是设置在基板200上,且填满凹陷部204。控制栅极222的材料例如是掺杂多晶硅、金属或金属硅化物等导体材料。

电荷储存层218例如是设置在控制栅极222与基板200之间,电荷储存层218的材料包括导体材料(如掺杂多晶硅等)或电荷陷入材料(如氮化硅等)。

穿隧介电层216例如是设置在基板200与电荷储存层218之间,其材料例如是氧化硅。栅间介电层222例如是设置在控制栅极222与电荷储存层218之间。栅间介电层212的材料例如是氧化硅、氮化硅、氮氧化硅或复合介电材料如氧化硅/氮化硅、氧化硅/氮化硅/氧化硅等。

而且,在控制栅极222上也可选择性的设置顶盖层224。顶盖层224的材料包括绝缘材料,例如是氧化硅、氮化硅。此外,在由穿隧介电层216、电荷储存层218、栅间介电层220、控制栅极222所构成的堆叠栅极结构的侧壁也可以设置有绝缘间隙壁226。绝缘间隙壁226的材料包括绝缘材料,例如是氧化硅、氮化硅等。

晶体管 T 包括门介电层 228 与门极。晶体管 T 的栅极为控制栅极 222 的一部分。门介电层 228 设置在凹陷部 204 所暴露的基板 200 表面, 且位于控制栅极 222 与基板 200 之间。晶体管 T 例如是由存储单元 M 的作为控制栅极 222 的导体层延伸至电荷储存层(浮置栅极)旁的元件隔离结构 202 的凹陷部 204 处, 而和电荷储存层(浮置栅极)下方的基板 200 所形成的寄生晶体管所构成。由于以部分控制栅极 222 作为晶体管 T 的栅极, 因此可使得存储单元 M 和晶体管 T 并联设置在一起。

多个传输栅极 210 例如是分别设置在存储单元 Q 之间的基板 200 上, 且填满相邻两存储单元 Q 之间的间隙 214。通过传输栅极 210 而使存储单元 Q 串联连接在一起。在传输栅极 210 与基板 200 之间例如是设置有门介电层 230。门介电层 230 的材料例如是氧化硅。传输栅极 210 也会填满元件隔离结构的凹陷部 204, 如此当利用晶体管 T(寄生晶体管)通过电流时, 传输栅极 210 则可打开其旁边的沟道。

选择栅极 212a 与选择栅极 212b 分别设置存储单元 Q 中最外侧的两个存储单元 Q 的侧壁, 且分别与源极区与漏极区相邻。举例来说, 选择栅极 212a 与源极区 204 相邻, 且选择栅极 212b 与漏极区 206 相邻。

多条字线 WL1~WL8, 在列方向(Y 方向)平行排列, 且分别连接同一列的存储单元的控制栅极 222。

多条位线 BL1~BL4, 在行方向(X 方向)平行排列, 分别连接同一行的存储单元行的漏极区 208。各位线 BL1~BL4 例如是通过插塞 232 而与漏极区 208 电连接。

多条源极线 SL1, 在列方向(Y 方向)平行排列, 分别连接同一列的存储单元行的源极区 206。

在本发明的非挥发性存储器中, 由于元件隔离结构 202 的表面低于电荷储存层 218 与基板 200 间的接口, 而形成凹陷部 204, 并在此凹陷部 204 设置与存储单元 M 并联连接的晶体管 T。此晶体管 T 的设置将有助于存储单元的操作, 可以缩短程序化操作时间, 并避免读取干扰。

而且, 在本发明的非挥发性存储器中, 由于在存储单元之间, 以传输栅极 210 取代现有的掺杂区, 因此可避免短沟道效应、漏极引发的能带降低(Drain Induced. Barrier Lowering, DIBL)效应等所造成的存储单元漏电流等。

此外, 在存储单元之间设置传输栅极 210, 此传输栅极 210 的材料为导

体，而可以遮蔽相邻两存储单元的电荷储存层，而降低存储单元对存储单元之间的耦合干扰。

另外，在操作本发明的非挥发性存储器时，利用沟道 F-N 穿隧效应(F-N Tunneling)使电子经由沟道穿过穿隧介电层注入电荷储存层中，以进行存储单元的程序化操作；并利用 F-N 穿隧效应(F-N Tunneling)使电子从电荷储存层穿过栅间介电层注入传输栅极中，以进行存储单元的抹除操作。由于，本发明的操作方式减少了电子穿越穿隧介电层的次数，因此可以提高穿隧介电层的寿命，并增加元件的可靠度。

接着，说明本发明的非挥发性存储器的制造方法。

图 5A 至图 5H、图 6A 至图 6H 为分别展示本发明优选实施例的一种非挥发性存储器的制造流程截面图。图 5A 图至第 5H 为对应于图 4A 中 A-A' 线的截面示意图。图 6A 至图 6H 为对应于图 4A 中 B-B' 线的截面示意图。

请参照图 5A 与图 6A，首先提供基板 300。此基板 300 例如是硅基板。接着，在基板 300 上形成一层介电层 302。介电层 302 的材料例如是氧化硅。介电层 302 的形成方法例如是热氧化法。

然后，在基板 300 上形成一层导体层 304。导体层 304 的材料例如是掺杂多晶硅，此导体层 304 的形成方法例如是利用化学气相沉积法形成一层未掺杂多晶硅层后（未展示），进行离子注入步骤以形成之；或者是采用现场注入掺杂的方式以化学气相沉积法形成之。

之后，在基板 300 上形成栅间介电层 306，此栅间介电层 306 的材料例如是氧化硅/氮化硅/氮化硅，此栅间介电层 306 的形成方法例如是先以热氧化法形成一层底氧化硅层，接着，再利用化学气相沉积法形成一层氮化硅层，其后再于氮化硅层上形成顶氧化硅层。当然，栅间介电层 306 的材料也可以是氧化硅、氧化硅/氮化硅或其它的介电材料。

请参照图 5B 与图 6B，在基板 300 上形成一层图案掩模层 308。此图案掩模层 308 具有开口 310 暴露出部分栅间介电层 306。图案掩模层 308 例如是硬掩模层，其材料例如是氮化硅。硬掩模层形成方法例如是先是在基板上形成一层材料层后，进行光刻、蚀刻工艺而形成之。当然，图案掩模层 308 的材料也可以是光致抗蚀剂材料，其形成方法例如是先是在基板上形成一层光致抗蚀剂层后，对该光致抗蚀剂层进行曝光、显影而形成之。

接着，以图案掩模层 308 为掩模，移除部分栅间介电层 306、导体层 304、

介电层 302 与基板 300，而在基板 300 中形成多条沟槽 312。移除部分栅间介电层 306、导体层 304、介电层 302 与基板 300 的方法包括干式蚀刻法，例如是反应性离子蚀刻法。沟槽 312 在对应图 4A 中的 X 方向上平行排列。在此步骤中，导体层 304 经图案后，形成呈条状布局(对应图 4A 的 X 方向)的导体层 304a。

请参照图 5C 与图 6C，在基板 300 上形成衬层 314。衬层 314 的材料例如是氧化硅。衬层 314 的形成方法例如是热氧化法。

然后，在基板 300 上形成一层绝缘材料层 316。绝缘材料层 316 的材料例如是氧化硅。绝缘材料层 316 的形成方法例如是化学气相沉积法。接着，移除部分绝缘材料层 316 直到暴露出掩模层 308 表面。移除部分绝缘材料层 316 的方法例如是化学机械研磨法或回蚀刻法。在此步骤中，掩模层 308 例如是作为研磨(或蚀刻)终止层。

请参照图 5D 与图 6D，移除部分绝缘材料层 316 与垫层 314，以形成绝缘材料层 316a 与垫层 314a。绝缘材料层 316a 与垫层 314a 的表面低于导体层 304 与基板 300 间的接口，而形成凹陷部 318，绝缘材料层 316a 与垫层 314a 即作为元件隔离结构。移除部分绝缘材料层 316 与垫层 314 的方法例如是干蚀刻法。接着，移除图案掩模层 308，移除图案掩模层 308 的方法例如是湿式蚀刻法。

接着，在基板 300 上形成介电层 320，在导体层 304a 侧壁形成介电层 322。介电层 320 与介电层 322 的材料例如是氧化硅。介电层 320 与介电层 322 的形成方法例如是热氧化法。在此步骤中，也会在介电层 306 表面上形成一层介电层(未展示)。

请参照图 5E 与图 6E，在基板 300 上形成另一层导体层 324，导体层 324 填满凹陷部 318。导体层 324 的材料例如是多晶硅化金属，由一层掺杂多晶硅层与一层金属硅化物层所构成，其中掺杂多晶硅层填满凹陷部 318，金属硅化物层形成在掺杂多晶硅层上。导体层 324 的形成方法例如是利用化学气相沉积法依次形成掺杂多晶硅层与金属硅化物层。当然，导体层 324 的材料也可以是掺杂多晶硅或其它金属材料。

接着，在基板 300 上形成一层顶盖层 326。顶盖层 326 例如是由顶盖层 326a 与顶盖层 326b 所构成。顶盖层 326a 的材料例如是氧化硅。顶盖层 326b 的材料例如是氮化硅。顶盖层 326a 与顶盖层 326b 的形成方法例如是化学气

相沉积法。

然后，图案顶盖层 326、导体层 324，使导体层 324 形成平行排列的多个条状导体层(对应图 4A 中，在 Y 方向平行排列的字线 WL1 ~ WL8)。图案顶盖层 326、导体层 324 的方法例如是光刻蚀刻技术。

请参照图 5F 与图 6F，在顶盖层 326、导体层 324 的侧壁形成绝缘间隙壁 328。绝缘间隙壁 328 的材料例如是氮化硅。绝缘间隙壁 328 的形成方法例如是先以化学气相沉积法形成一层绝缘材料层后，进行各向异性蚀刻工艺而形成之。

接着，以具有绝缘间隙壁 328 的顶盖层 326、导体层 324 为掩模，移除部分导体层 304a，直到暴露出介电层 302。

移除部分导体层 304a 之后，形成彼此隔离的多个导电块 304b。导电块 304b 是作为存储单元的浮置栅极。介电层 306 是作为存储单元的栅间介电层。导体层 324 是作为存储单元的控制栅极。介电层 302 是作为存储单元的穿隧介电层。导体层 324、介电层 306、导电块 304b、介电层 302 构成堆叠栅极结构(存储单元)。而且，导体层 324 填入凹陷部 318 的部分和介电层 320 构成晶体管。通过导体层 324 使得存储单元与晶体管并联设置在一起。

然后，在基板 300 上形成介电层 330，在导体层 304b 侧壁形成介电层 332。介电层 330 与介电层 332 的材料例如是氧化硅。介电层 330 与介电层 332 的形成方法例如是热氧化法。

请参照图 5G 与图 6G，在基板 300 上形成另一层导体层(未展示)，此导体层填满堆叠栅极结构之间的间隙，然后进行各向异性蚀刻工艺，以移除部分导体层，以在相邻两堆叠栅极结构之间形成导体层 334a 并在最外侧的两堆叠栅极结构的侧壁形成导体层 334b。导体层 334a 例如是作为传输栅极。导体层 334b 例如是作为选择栅极。传输栅极也会填满元件隔离结构的凹陷部 318。在导体层 334a 与基板 300 之间的介电层 330 和介电层 302 例如是作为传输栅极的门介电层。在导体层 334b 与基板 300 之间的介电层 330 和介电层 302 例如是作为选择栅极的门介电层。在导体层 334a 与导电块 304b 之间及在导体层 334b 与导电块 304b 之间的介电层 332 也作为栅间介电层。

接着，在基板 300 中形成源极区 336a 与漏极区 336b。源极区 336a 与漏极区 336b 的形成方法例如是离子注入法。之后，在基板 300 上形成覆盖层 338。覆盖层 338 的材料例如是氮化硅。覆盖层 338 的形成方法例如是化学

气相沉积法。

请参照图 5H 与图 6H，在基板 300 上形成层间绝缘层 340。层间绝缘层 340 的材料例如是磷硅玻璃、硼磷硅玻璃等。层间绝缘层 340 的形成方法例如是化学气相沉积法。

接着，在层间绝缘层 340 中形成与源极区 336a 电连接的导体层 342。导体层 342 即作为源极线。导体层 342 的形成方法例如是先图案层间绝缘层 340 以形成暴露源极区 336a 的开口，然后在开口中填入导体材料而形成之。

然后，在基板 300 上形成层间绝缘层 344。层间绝缘层 344 的材料例如是磷硅玻璃、硼磷硅玻璃等。层间绝缘层 344 的形成方法例如是化学气相沉积法。

接着，在层间绝缘层 344、层间绝缘层 340 中形成与漏极区 336b 电连接的导体层 346(导体插塞)。导体层 346 的形成方法例如是先图案层间绝缘层 344、层间绝缘层 340 以形成暴露漏极区 336b 的开口，然后在开口中填入导体材料而形成之。

然后，在基板 300 上形成导体层 348。此导体层 348 是作为位线(对应图 4A 中的 BL1~BL4)。导体层 348 的形成方法例如是在基板 300 上形成一层导体材料层后，进行光刻、蚀刻工艺而形成之。后续完成非挥发性存储器的工艺为本领域的技术人员所周知，在此不再赘述。

在本发明的非挥发性存储器的制造方法中，由于元件隔离结构的表面低于导体层 304 与基板 300 间的接口，而形成凹陷部 318，并在此凹陷部 318 形成与存储单元并联连接的晶体管。此晶体管的形成将有助于存储器的操作，可以缩短程序化操作时间，并避免读取干扰。而且，传输栅极也会填满元件隔离结构的凹陷部 318，如此当利用晶体管(寄生晶体管)通过电流时，传输栅极则可打开其旁边的沟道。

而且，在本发明的非挥发性存储器的制造方法中，由于在存储单元之间形成导体层 334a(传输栅极)，因此可避免短沟道效应、漏极引发的能带降低(Drain Induced Barrier Lowering, DIBL)效应等所造成的存储单元漏电流等。

此外，在存储单元之间形成导体层 334a(传输栅极)，此导体层 334a(传输栅极)可以遮蔽相邻两存储单元的导体层 304b(浮置栅极)，而降低存储单元对存储单元之间的耦合干扰。

而且，存储单元在进行抹除操作时，可以通过 F-N 穿隧效应，将电子从

浮置栅极拉出至导体层 334a(传输栅极)而移除之。由于,此种抹除方式可减少了电子穿越穿隧介电层的次数,因此可以提高穿隧介电层的寿命,并增加元件的可靠度。

而且,在本发明的非挥发性存储器的制造方法可容易与一般工艺整合在一起,而可以增加工艺余量。

虽然本发明已以优选实施例揭示如上,然而其并非用以限定本发明,任何本领域的技术人员,在不脱离本发明的精神和范围内,可对其进行些许更动与修改,因此本发明的保护范围以所附权利要求所界定的为准。

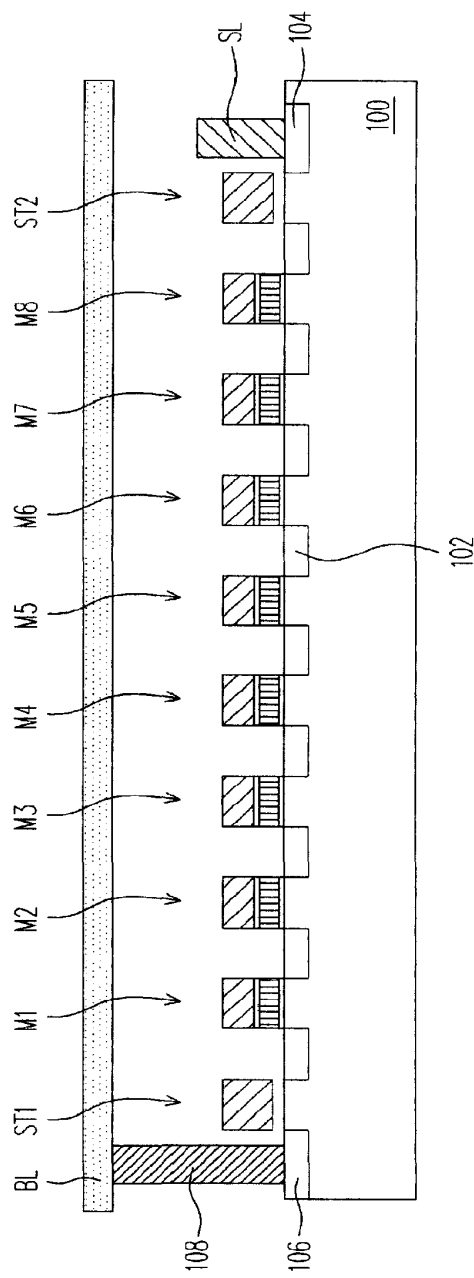


图 1

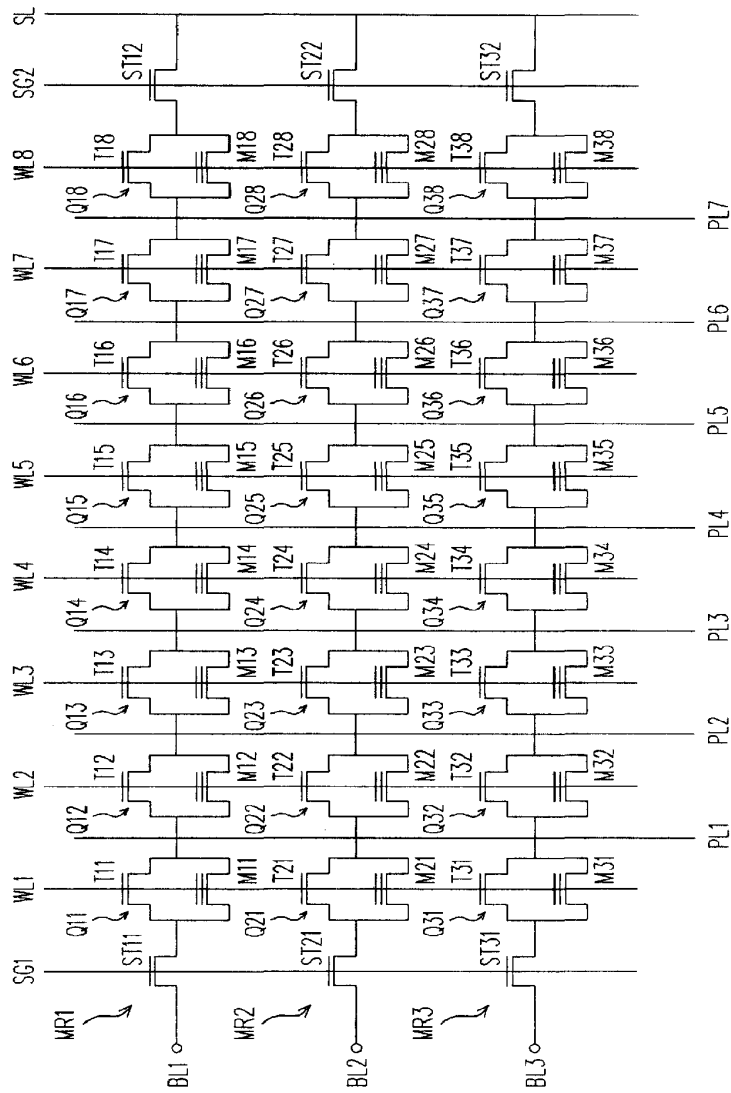


图 2

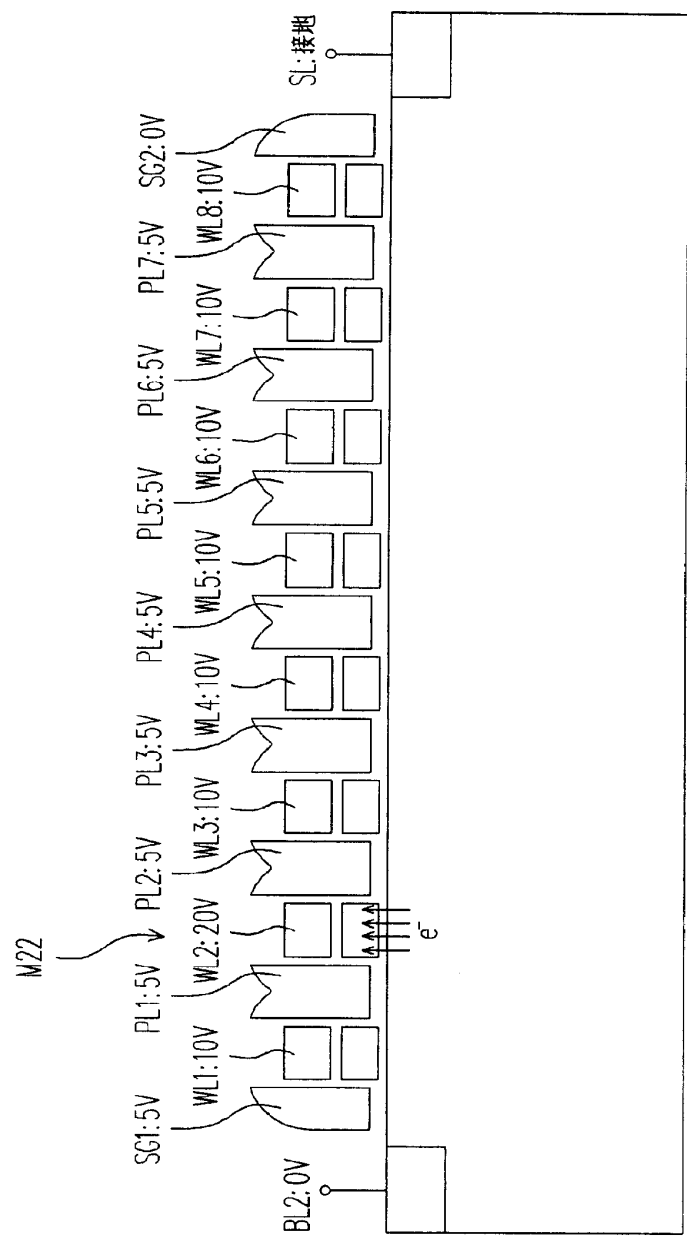


图 3A

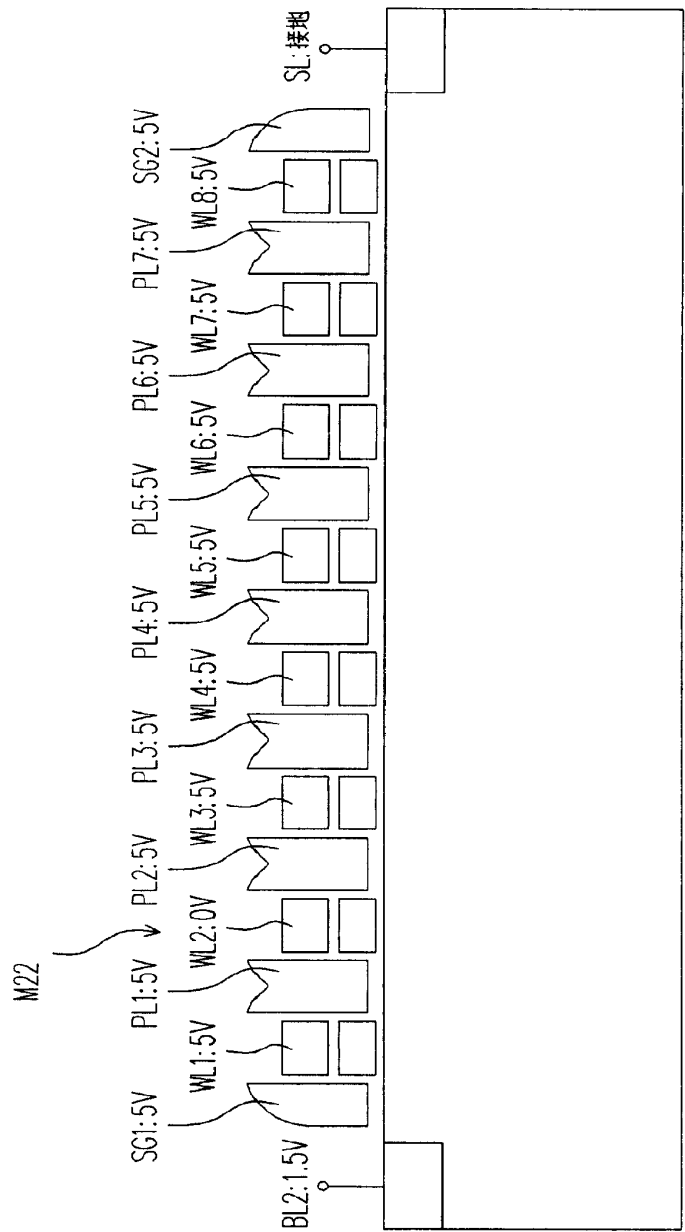
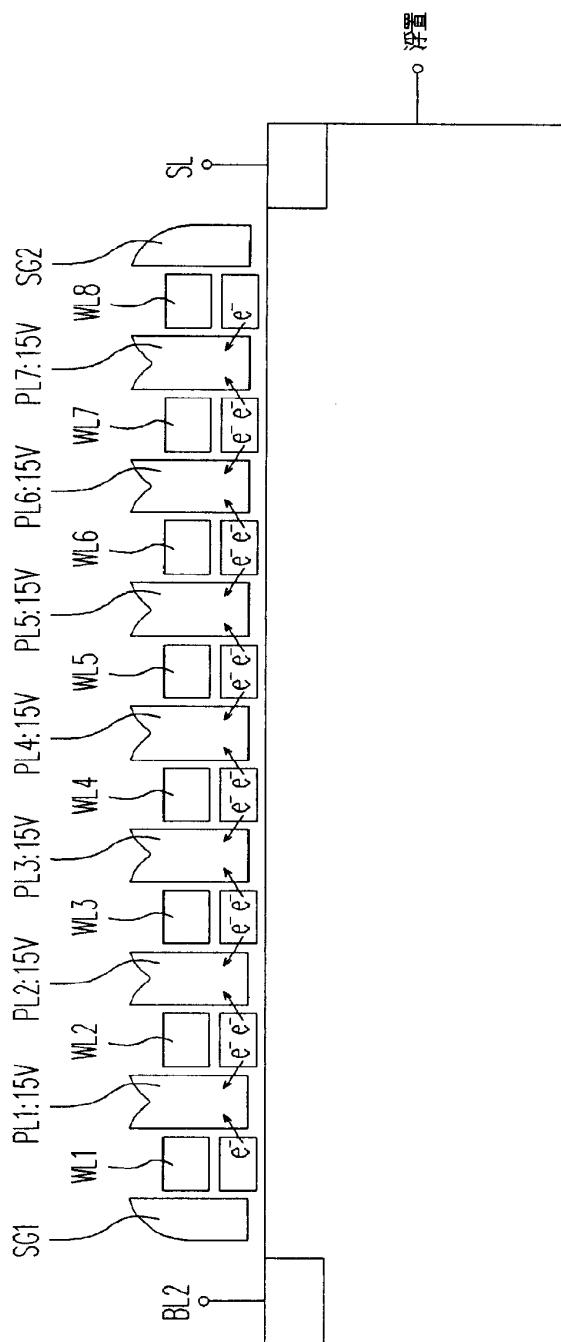


图 3B

30

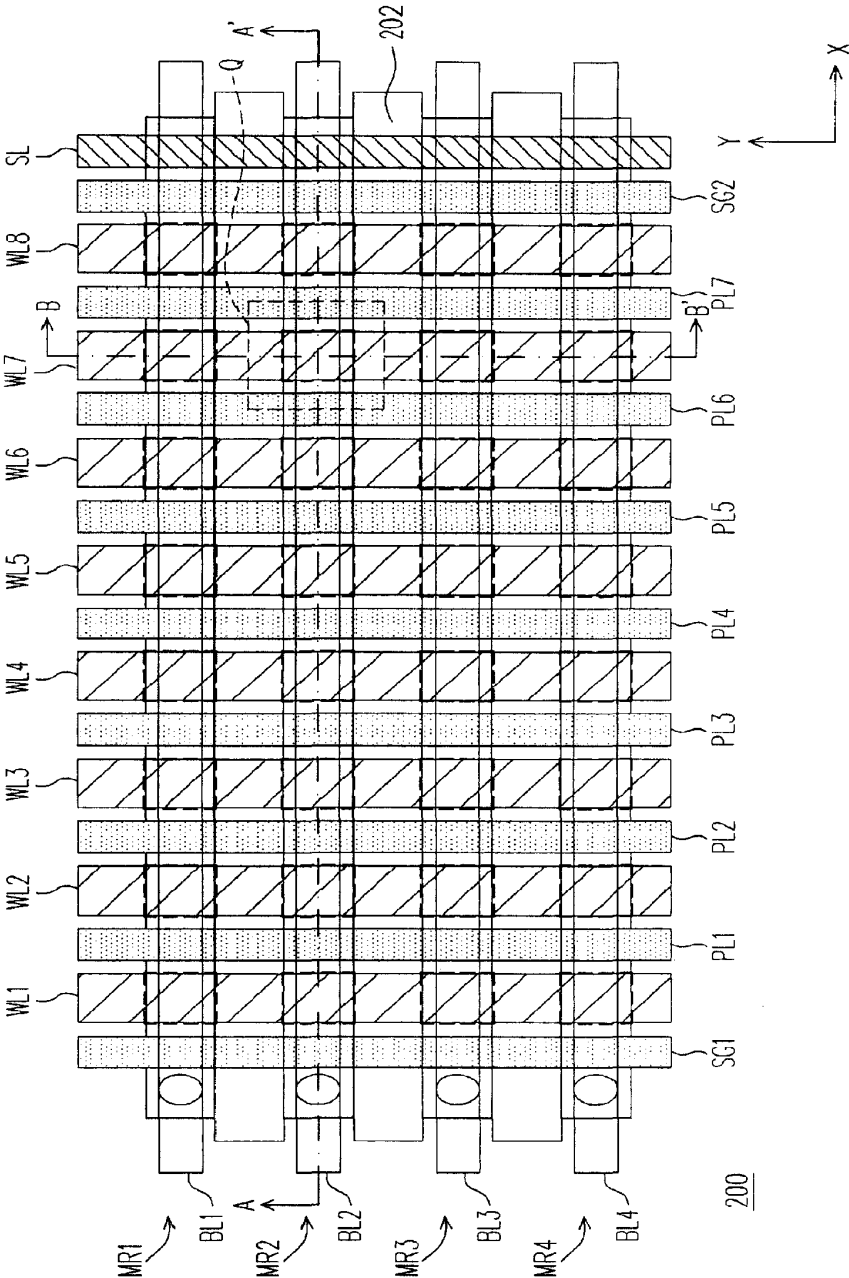



图 4A

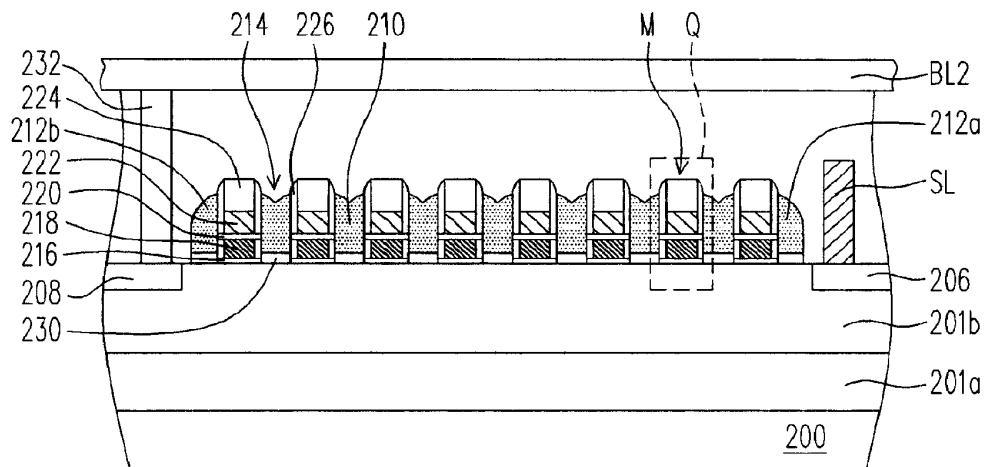


图 4B

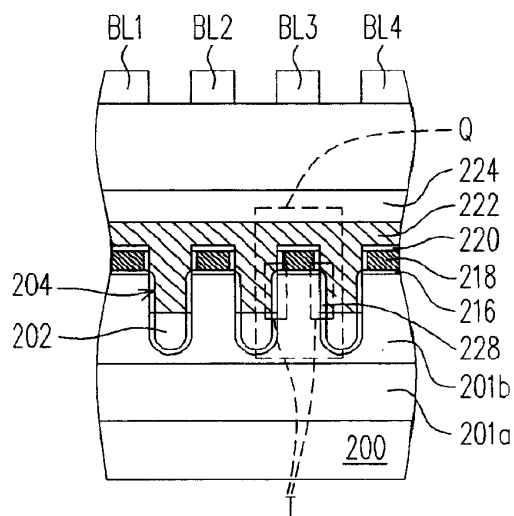


图 4C

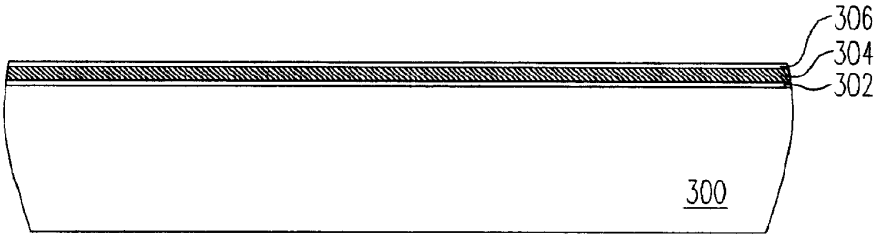


图 5A

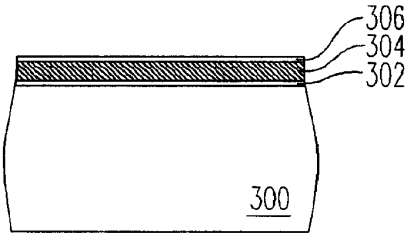


图 6A

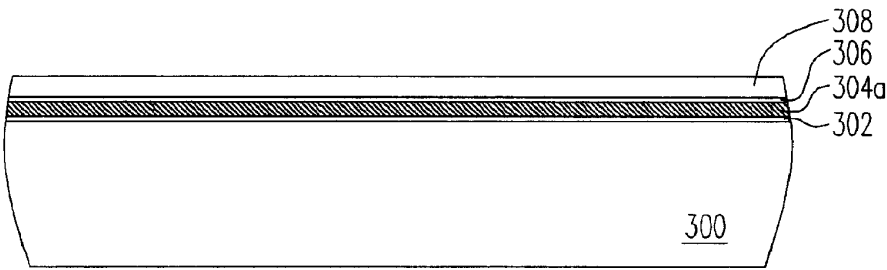


图 5B

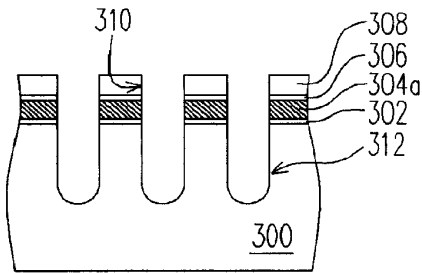


图 6B

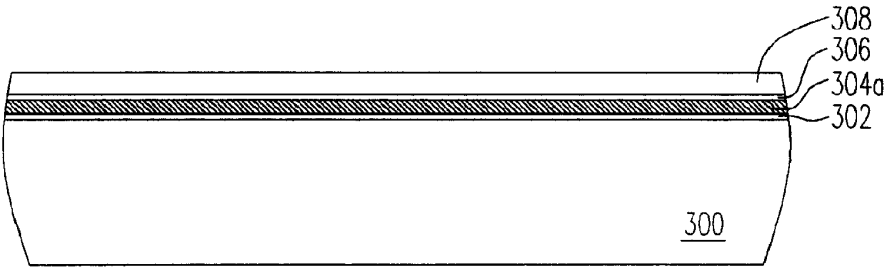


图 5C

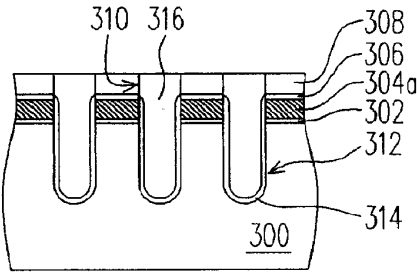


图 6C

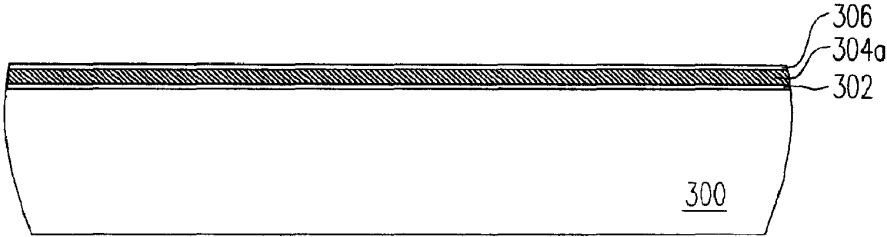


图 5D

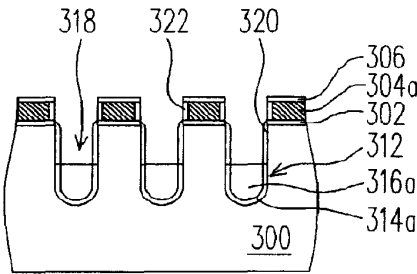


图 6D

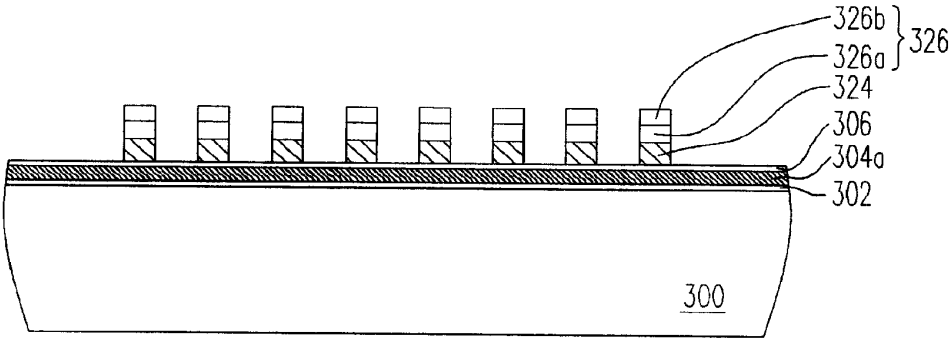


图 5E

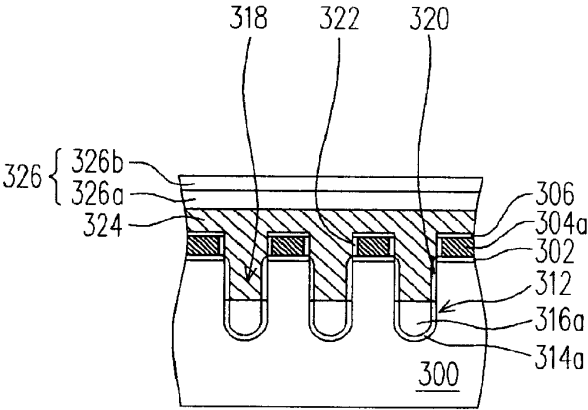


图 6E

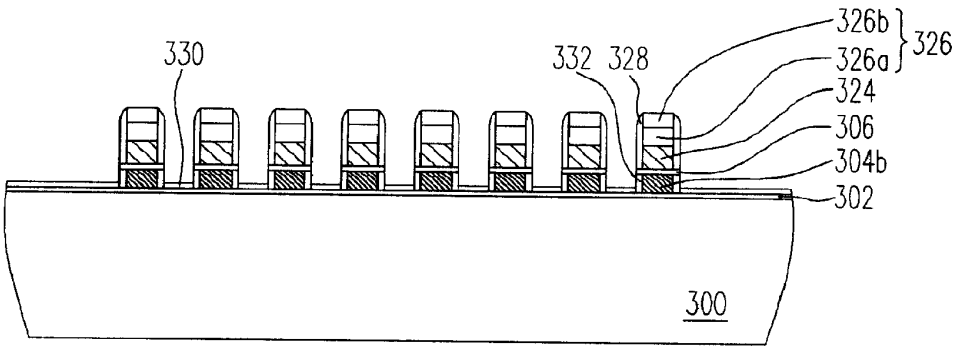


图 5F

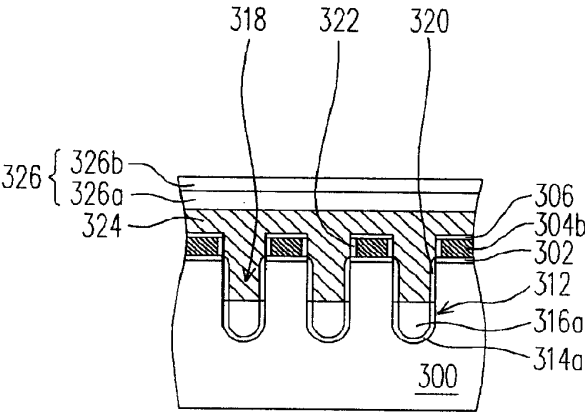


图 6F

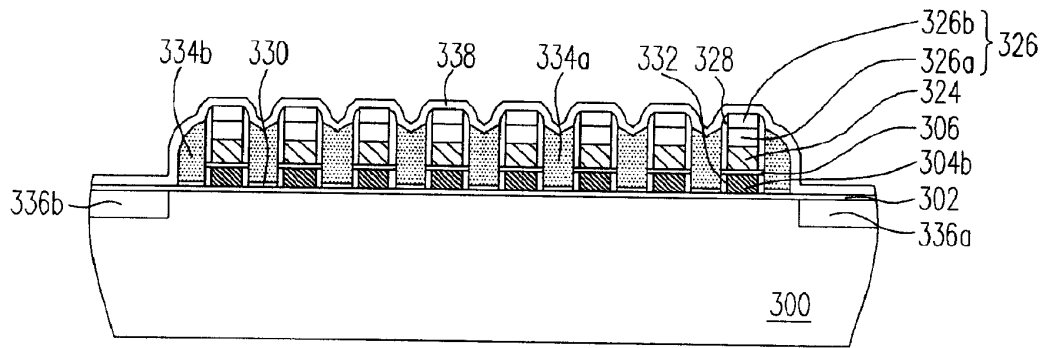


图 5G

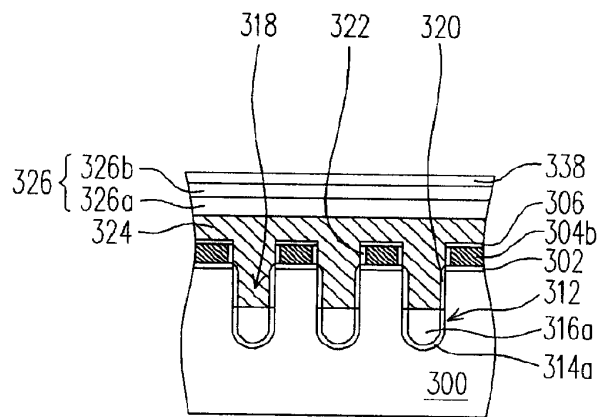


图 6G

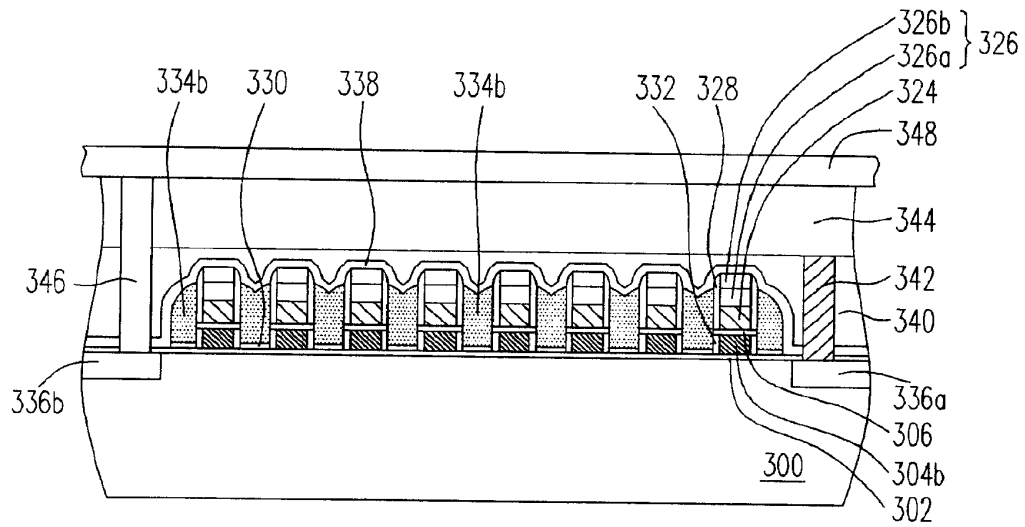


图 5H

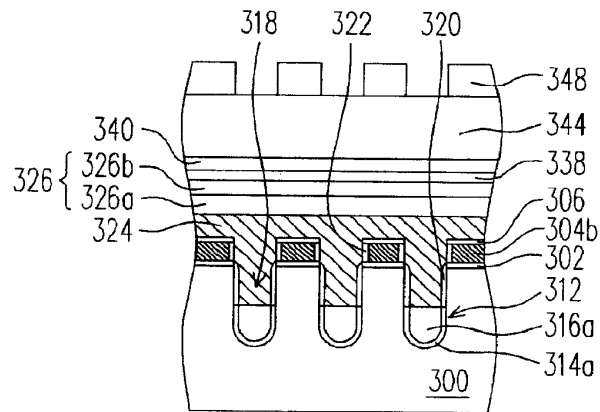


图 6H

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710110702.5

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 23/522 (2006.01)

H01L 21/8247 (2006.01)

H01L 21/768 (2006.01)

[43] 公开日 2008 年 12 月 3 日

[11] 公开号 CN 101315936A

[22] 申请日 2007.6.1

[21] 申请号 200710110702.5

[71] 申请人 茂德科技股份有限公司

地址 中国台湾新竹市

[72] 发明人 潘建尉 张守宇 曾增文 傅景鸿
锤志平

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

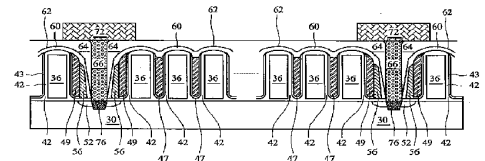
权利要求书 2 页 说明书 10 页 附图 11 页

[54] 发明名称

反及闸型快闪记忆体晶胞阵列及其制造方法

[57] 摘要

本发明是有关于一种反及闸型快闪记忆体晶胞阵列及其制造方法。该反及闸型快闪记忆体晶胞阵列，其包括：一基板，其包括一主动区；复数个排成一列的晶胞，位于上述主动区上；一第一阻挡层，覆盖上述复数个晶胞和围绕上述列的各末端的上述主动区；一第一氧化物，沉积于上述复数个晶胞之间的一间隙中，且填充上述间隙；一氧化物间隙壁，形成于位于上述列的各末端的上述晶胞的侧壁上；一多晶硅间隙壁，形成于上述氧化物间隙壁上，上述多晶硅间隙壁是做为驱动上述列晶胞的选择栅极。



- 1、一种反及闸型快闪记忆体晶胞阵列,其特征在于其包括:
一基板,其包括一主动区;
复数个排成一系列的晶胞,位于该主动区上;
一第一阻挡层,覆盖该复数个晶胞和围绕该列的各末端的该主动区;
一第一氧化物,沉积于该复数个晶胞之间的一间隙中,且填充该间隙;
一氧化物间隙壁,形成于沿着该列的各末端的该晶胞的侧壁上;以及
一多晶硅间隙壁,形成于该氧化物间隙壁上,该多晶硅间隙壁是做为驱动该列晶胞的一选择栅极。
- 2、根据权利要求1所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一注入区,其系利用注入预定离子方式形成于围绕该列的各末端的该主动区中。
- 3、根据权利要求1所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一氧化层,沉积于该多晶硅间隙壁、该氧化物间隙壁、部分该第一阻挡层和该第一氧化物上。
- 4、根据权利要求3所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一第二阻挡层,沉积于该氧化层上。
- 5、根据权利要求4所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一层间介电层,沉积于该第二阻挡层上及围绕该列的各末端的该主动区上。
- 6、根据权利要求4所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一接触孔插塞,其利用沉积一插塞材料于位于该列各末端的一开口中,再利用一化学机械研磨制作工艺平坦化该插塞材料的方式形成。
- 7、根据权利要求6所述的反及闸型快闪记忆体晶胞阵列,其特征在于其更包括一金属线,形成于该接触孔插塞上。
- 8、根据权利要求1所述的反及闸型快闪记忆体晶胞阵列,其特征在于其中所述的复数个晶胞之间的该间隙的深宽比介于1.8至3.2之间。
- 9、根据权利要求1所述的反及闸型快闪记忆体晶胞阵列,其特征在于其中所述的第一阻挡层是为氮化层或薄氮氧化物层制成。
- 10、根据权利要求4所述的反及闸型快闪记忆体晶胞阵列,其特征在于其中所述的第一阻挡层和该第二阻挡层是为氮化层或薄氮氧化物层制成。
- 11、一种反及闸型快闪记忆体晶胞阵列的制造方法,其特征在于其包括下列步骤:
在一基板的一主动区上形成复数个排成一系列的晶胞;
沉积一第一阻挡层,其覆盖该复数个晶胞和围绕该列的各末端的该主

动区；

在该复数个晶胞之间的一间隙中沉积一第一氧化物，以填充该间隙；
沿着位于该列的各末端的该晶胞的侧壁上形成一氧化物间隙壁；以及
在该氧化物间隙壁上形成一多晶硅间隙壁。

12、根据权利要求 11 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的沿着位于该列的各末端的该晶胞的侧壁上形成该氧化物间隙壁的步骤后，更包括一去除部分该第一阻挡层，以及在围绕该列的各末端的该主动区中注入预定离子的步骤。

13、根据权利要求 11 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的在该氧化物间隙壁上形成该多晶硅间隙壁的步骤后，更包括一在该基板上方沉积一氧化层的步骤。

14、根据权利要求 13 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的在该基板上方沉积该氧化层的步骤后，更包括一在该氧化层上形成一第二阻挡层的步骤。

15、根据权利要求 14 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的在该氧化层上形成该第二阻挡层的步骤之后，更包括一在该基板上方形成一层间介电层的步骤。

16、根据权利要求 15 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的在该基板上方形成该层间介电层的步骤后，更包括一在该列的各末端形成一接触孔插塞的步骤。

17、根据权利要求 16 所述的反及闸型快闪记忆体晶胞阵列的制造方法，其特征在于其中所述的在该列的各末端形成该接触孔插塞的步骤后，更包括一在该接触孔插塞上形成一金属线的步骤。

反及闸型快闪记忆体晶胞阵列及其制造方法

技术领域

本发明涉及一种反及闸型快闪记忆体(NAND flash memory)晶胞阵列及其制造方法,特别是涉及一种具有自对准制作工艺(self-aligned process)的反及闸型快闪记忆体晶胞阵列及其制造方法(NAND FLASH MEMORY CELL ARRAY AND METHOD OF FABRICATING THE SAME)。

背景技术

快闪记忆体(flash memory,即快闪内存,以下均称为快闪记忆体)具有面积小、省电、高速、耐受性佳和低操作电压等优点。因此,快闪记忆体是成为例如数码相机、移动电话、打印机(印表机)、个人数位助理(PDA)等产品的重要元件。反及闸型快闪记忆体(NAND flash memory)是快闪记忆体的一种类型。反及闸型快闪记忆体的晶胞是彼此连接且排成一阵列,其中仅上述阵列的其中一列的第一个晶胞和最后一个晶胞(本文中的胞,即记忆体的每一个储存单元称做记忆元或记忆胞(Cell),胞即为单元,以下均称为胞)是分别连接一字线(word line,本文中的字线,即为字元线,以下均称为字线)和一位线(bit-line,本文中的位线,即为位元线,以下均称为位线)。由于上述的结构,反及闸型快闪记忆体可以存取较反或闸型快闪记忆体(NOR flash memory)多的资料(data,即数据)。表示反及闸型快闪记忆体具有较大的记忆容量和较快的再写入速度(rewriting speed)。反及闸型快闪记忆体是广泛地用于储存大量资料,且可做为数码相机或音乐数字档案播放器(MP3 player)的记忆卡。

美国专利号 US 6,936,885 揭露了一种反及闸型快闪记忆体元件及其制造方法。请参阅图 1a、图 1b 所示,图 1a 是一显示现有习知的反及闸型快闪记忆体元件的部分晶胞阵列区的上视图。图 1b 是沿图 1a 中 I-I 剖线,显示现有习知的反或闸型快闪记忆体结构的剖面图,显示一快闪记忆体元件。如图 1a 和图 1b 所示,字串选择线(string selection line)图案 1s 和接地选择线(ground selection line)图案 1g,本质上是定义字串选择晶体管(string selection transistor)13 和接地选择晶体管(ground selection transistor)19。复数个晶胞晶体管 15 和 17,是形成设置于主动区 2 和字线 WP1 ~ WPn 的交叉处上。字串选择晶体管(string selection transistor)13 和接地选择晶体管(ground selection transistor)19 是用

来驱动上述列的晶胞 15 和 17。由于这种特殊结构及两个选择晶体管 13 和 19,而增加了制作工艺的复杂度。此外,现有习知的反或闸型快闪记忆体元件的选择晶体管 13 和 19 存在有高精度需求的问题。这种必要的高精确度必然会增加制作工艺成本。

美国专利号 US 6,885,586 揭露了一种自对准(self-aligned)的分离闸(split-gate)反及闸型快闪记忆体及其制造方法。首先,沉积一层包括掺杂多晶硅或多晶硅化物的导电层。然后,非等向性蚀刻上述导电层,以形成用来驱动一列反或闸型快闪记忆体晶胞的选择栅极))。上述现有习知的反及闸型快闪记忆体的结构存在有晶胞之间的间隙宽度太大的问题,会使反及闸型快闪记忆体的尺寸难以降低。

由此可见,上述现有的反及闸型快闪记忆体及其制造方法其在于产品结构、制造方法与使用上,显然仍存在有不便与缺陷,而亟待加以进一步改进。为解决上述存在的问题,相关厂商莫不费尽心思来谋求解决之道,但长久以来一直未见适用的设计被发展完成,而一般产品及方法又没有适切的结构及方法能够解决上述问题,此显然是相关业者急欲解决的问题。因此如何能创设一种新的反及闸型快闪记忆体晶胞阵列及其制造方法,以解决现有技术的高制作工艺成本或制作工艺复杂等缺点,实属当前重要研发课题之一,亦成为当前业界极需改进的目标。

有鉴于上述现有的反及闸型快闪记忆体及其制造方法存在的缺陷,本发明人基于从事此类产品设计制造多年丰富的实务经验及专业知识,并配合学理的运用,积极加以研究创新,以期创设一种新的反及闸型快闪记忆体晶胞阵列及其制造方法,能够改进一般现有的反及闸型快闪记忆体及其制造方法,使其更具有实用性。经过不断的研究、设计,并经反复试作样品及改进后,终于创设出确具实用价值的本发明。

发明内容

本发明的目的在于,克服现有的反或闸型快闪记忆体及其制造方法存在的缺陷,而提供一种新的反及闸型快闪记忆体晶胞阵列及其制造方法,所要解决的技术问题是使其可以减少定义反及闸型快闪记忆体晶胞阵列中选择晶体管的光罩数目和降低其机台等级,以控制制作工艺成本,非常适于实用。

本发明的另一目的在于,提供一种新的反及闸型快闪记忆体晶胞阵列及其制造方法,所要解决的技术问题是使其可以减少反及闸型快闪记忆体晶胞之间的间隙宽度,而可有效的缩小晶片尺寸,并且可以增加晶片的元件密度,从而更加适于实用。

本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据

本发明提出的一种反及闸型快闪记忆体晶胞阵列,其包括:一基板,其包括一主动区;复数个排成一系列的晶胞,位于该主动区上;一第一阻挡层,覆盖该复数个晶胞和围绕该列的各末端的该主动区;一第一氧化物,沉积于该复数个晶胞之间的一间隙中,且填充该间隙;一氧化物间隙壁,形成于位于该列的各末端的该晶胞的侧壁上;以及一多晶硅间隙壁,形成于该氧化物间隙壁上,该多晶硅间隙壁是做为驱动该列晶胞的一选择栅极。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的反及闸型快闪记忆体晶胞阵列,其更包括利用注入预定离子方式形成的一注入区,该注入区是形成于围绕该列的各末端的该主动区中。

前述的反及闸型快闪记忆体晶胞阵列,其更包括一氧化层,沉积于该多晶硅间隙壁、该氧化物间隙壁、部分该第一阻挡层和该第一氧化物上。

前述的反及闸型快闪记忆体晶胞阵列,其更包括一第二阻挡层,沉积于该氧化层上。

前述的反及闸型快闪记忆体晶胞阵列,其更包括一层间介电层,沉积于该第二阻挡层围绕该列的各末端的该主动区上。

前述的反及闸型快闪记忆体晶胞阵列,其更包括一接触孔插塞,其利用沉积一插塞材料于位于该列各末端的一开口中,再利用一化学机械研磨制作工艺平坦化该插塞材料的方式形成。

前述的反及闸型快闪记忆体晶胞阵列,其更包括一金属线,形成于该接触孔插塞上。

前述的反及闸型快闪记忆体晶胞阵列,其中所述的复数个晶胞之间的该间隙的深宽比介于1.8至3.2之间。

前述的反及闸型快闪记忆体晶胞阵列,其中所述的第一阻挡层是为氮化层或薄氮氧化物层制成。

前述的反及闸型快闪记忆体晶胞阵列,其中所述的第一阻挡层和该第二阻挡层是为氮化层或薄氮氧化物层制成。

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种反及闸型快闪记忆体晶胞阵列的制造方法,其包括下列步骤:在一基板的一主动区上形成复数个排成一系列的晶胞;沉积一第一阻挡层,其覆盖该复数个晶胞和围绕该列的各末端的该主动区;在该复数个晶胞之间的一间隙中沉积一第一氧化物,以填充该间隙;沿着位于该列的各末端的该晶胞的侧壁上形成一氧化物间隙壁;以及在该氧化物间隙壁上形成一多晶硅间隙壁。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的反及闸型快闪记忆体晶胞阵列的制造方法,其中所述的沿着位于该列的各末端的该晶胞的侧壁上形成该氧化物间隙壁的步骤后,更包括

一去除部分该第一阻挡层，以及在围绕该列的各末端的该主动区中注入预定离子的步骤。

前述的反及闸型快闪记忆体晶胞阵列的制造方法，其中所述的在该氧化物间隙壁上形成该多晶硅间隙壁的步骤后，更包括一在该基板上方沉积一第二氧化物的步骤。

前述的反及闸型快闪记忆体晶胞阵列的制造方法，其中所述的在该基板上方沉积该第二氧化物的步骤后，更包括一在该第二氧化物上形成一第二阻挡层的步骤。

前述的反及闸型快闪记忆体晶胞阵列的制造方法，其中所述的在该第二氧化物上形成该第二阻挡层的步骤之后，更包括一在该基板的上方形成一层间介电层的步骤。

前述的反及闸型快闪记忆体晶胞阵列的制造方法，其中所述的在该基板上方形成该层间介电层的步骤后，更包括一在该列的各末端形成一接触孔插塞的步骤。

前述的反及闸型快闪记忆体晶胞阵列的制造方法，其中所述的在该列的各末端形成该接触孔插塞，更包括一在该接触孔插塞上形成一金属线的步骤。

本发明与现有技术相比具有明显的优点和有益效果。由以上技术方案可知，本发明的主要技术内容如下：

为了达到上述目的，本发明提供一种反及闸型快闪记忆体晶胞阵列，其包括：一基板，其包括一主动区；复数个排成一系列的晶胞，位于上述主动区上；一第一阻挡层，覆盖上述复数个晶胞和围绕上述列的各末端的上述主动区；一第一氧化物，沉积于上述复数个晶胞之间的一间隙中，且填充上述间隙；一氧化物间隙壁，形成于位于上述列的各末端的上述晶胞的侧壁上；一多晶硅间隙壁，形成于上述氧化物间隙壁上，上述多晶硅间隙壁是做为驱动上述列晶胞的一选择栅极。

上述间隙的深宽比(aspect ratio)较佳的是介于1.8至3.2之间。

上述第一氧化物是具有优异的阶梯覆盖能力，可在填充上述晶胞之间的上述间隙时不会有孔洞的形成。在另一实施例中，只密封上述晶胞之间的上述间隙，也可使用较低阶梯覆盖能力的材料。

本发明较佳实施例的反及闸型快闪记忆体晶胞阵列，更包括利用注入预定离子方式形成的一注入区，上述注入区是形成于围绕上述列的各末端的上述主动区中；一氧化层，沉积于上述多晶硅间隙壁、上述氧化物间隙壁、部分上述第一阻挡层和上述第一氧化物上；一第二阻挡层，沉积于上述氧化层上；一层间介电层，沉积于上述第二阻挡层上及围绕上述列的各末端的上述主动区上；一接触孔插塞，其利用沉积一插塞材料于位于上述列

各末端的一开口中,再利用一化学机械研磨制作工艺平坦化上述插塞材料的方式形成;一金属线,形成于上述接触孔插塞上;一金属层间介电层,形成于不同的上述金属线之间。此外,上述第一阻挡层和上述第二阻挡层是为氮化层或薄氮氧化物层制成。

上述金属线较佳为铝-铜合金或其他类似的材料制成。

在另一实施例中,在形成上述金属线之后,沉积一金属层间介电层以防止晶胞阵列中的导电物彼此电性连接。

另外,为了达到上述目的,本发明另提供一种反及闸型快闪记忆体晶胞阵列的制造方法,其包括:在一基板的一主动区上形成复数个排成一列的晶胞;沉积一第一阻挡层,其覆盖上述复数个晶胞和围绕上述列的各末端的上述主动区;在上述复数个晶胞之间的一间隙中沉积一第一氧化物,以填充上述间隙;沿着位于上述列的各末端的上述晶胞的侧壁上形成一氧化物间隙壁;在上述氧化物间隙壁上形成一多晶硅间隙壁。

在本发明另一实施例中,沿着位于上述列的各末端的上述晶胞的侧壁上形成上述氧化物间隙壁之后,更包括进行一预清洁(pre-clean)制作工艺,然后进行一隧穿氧化层氧化制作工艺。

在本发明另一实施例中,更包括去除部分上述第一阻挡层,以及在围绕上述列的各末端的上述主动区中注入预定离子;在上述基板上方沉积一第二氧化物;在上述第二氧化物上形成一第二阻挡层,接着在上述基板上方形成一层间介电层;在上述列的各末端形成一接触孔插塞;在上述接触孔插塞上形成一金属线。

在本发明另一实施例中,上述金属线是各别连接至一导电接垫(conductive pad)。然而,上述反及闸型快闪记忆体晶胞阵列的上述金属线可连接至一导电沟槽。

借由上述技术方案,本发明反及闸型快闪记忆体晶胞阵列及其制造方法至少具有下列优点及有益效果:

1、本发明的反及闸型快闪记忆体晶胞阵列,其具有较简单的结构以及较高的深宽比,并结合自对准制作工艺,使其具有许多优于现有习知的反及闸型快闪记忆体晶胞阵列的优点。

2、本发明反及闸型快闪记忆体晶胞阵列及其制造方法,可以减少定义反及闸型快闪记忆体晶胞阵列中选择晶体管的光罩数目和降低其机台等级,而能够控制制作工艺成本,非常适于产业应用。

3、本发明反及闸型快闪记忆体晶胞阵列及其制造方法,还可以减少反及闸型快闪记忆体晶胞之间的间隙宽度,而能够有效的缩小晶片尺寸,并且可以增加晶片的元件密度,更加适于实用。

综上所述,本发明具有上述诸多的优点及实用价值,其不论在产品结

构、制造方法或功能上皆有较大改进,在技术上有显著的进步,并产生了好用及实用的效果,且较现有的反及闸型快闪记忆体及其制造方法具有增进的突出功效,从而更加适于实用,并具有产业广泛利用价值,诚为一新颖、进步、实用的新设计。

上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

图 1a 是一显示现有习知的反及闸型快闪记忆体元件的部分晶胞阵列区的上视图。

图 1b 是沿图 1a 中 I-I 剖线,显示现有习知的反及闸型快闪记忆体结构的剖面图。

图 2a 是显示本发明一较佳实施例的利用自对准浅沟槽隔离制作工艺形成的布局的示意图。

图 2b 是显示本发明另一实施例的利用自对准浅沟槽隔离制作工艺形成的布局的示意图。

图 3a 是显示本发明较佳实施例的自对准多晶硅制作工艺形成的布局的示意图。

图 3b 是显示本发明另一实施例的自对准多晶硅制作工艺形成的布局的示意图。

图 4a 至图 4h 分别是沿图 2a、图 2b、图 3a 和图 3b 中 A-A' 剖线,显示本发明实施例的反及闸型快闪记忆体晶胞阵列的制作工艺及结构的剖面图。

1g: 图案

2: 主动区

15: 晶胞晶体管

19: 接地选择晶体管

W1 ~ Wn: 字线(字元线)

CB: 接触孔

FP: 漂浮多晶硅层

30: 基板

36: 存取多晶硅闸极

43: 第一阻挡层

49: 氧化间隙壁

1s: 图案

13: 字串选择晶体管

17: 晶胞晶体管

WP1 ~ WPn: 字线(字元线)

AA: 主动区

CS: 源极线接触孔

32: 晶胞

42: 氧化层

47: 第一氧化物

52: 离子注入区	54: 多晶硅层
56: 多晶硅间隙壁	
60: 氧化层	62: 氮化层
64: 层间介电层	66: 接触孔插塞
72: 金属线	76: 欧姆接触

具体实施方式

为进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的反及闸型快闪记忆体晶胞阵列及其制造方法其具体实施方式、结构、制造方法、步骤、特征及其功效,详细说明如后。

有关本发明的前述及其他技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚的呈现。以下利用制作工艺剖面图,以更详细地说明本发明较佳实施例的影像感测器及其形成方法,在本发明各实施例中,相同的符号表示相同或类似的元件。

请参阅图 2a 所示,是显示本发明较佳实施例的利用自对准浅沟槽隔离制作工艺(Self-Aligned-Shallow Trench Isolation Technology, SA-STI Technology)形成的布局(layout)示意图。在各布局中,标号 W1~Wn 是用以定义基板上的字线。布局的标号 AA 是用以定义基板上的主动区(active region),而布局的标号 FP 是用以定义复数个漂浮多晶硅层(floating poly layer)。另外,布局的标号 CB 是用以定义位线(bit-line)的接触孔,而布局的符号 CS 是用以定义基板上的源极线接触孔(source line contact)。复数个反及闸型快闪记忆体晶胞是形成于布局 AA 和任一布局 W1~Wn 的交叉处上;且上述晶胞是以阵列(array)形式排列。反及闸型快闪记忆体晶胞的操作是被位线接触孔、共用(common)的源极线接触孔、阵列栅极层和选择栅极(selection gate)(图未显示)的外加电压所控制。必须注意的是,每个源极线接触孔是连接一金属线。

请参阅图 2b 所示,是显示本发明另一实施例的利用自对准浅沟槽隔离制作工艺形成的布局的示意图,显示了本发明另一实施例中,源极线接触孔是连接一导电沟槽(conductive trench)。上述结构可导致较低的电阻,并可使制作工艺简化。

请参阅图 3a 至图 3b 所示,图 3a 是显示本发明较佳实施例的自对准多晶硅制作工艺形成的布局示意图,图 3b 是显示本发明另一实施例的自对准多晶硅制作工艺形成的布局示意图。图中显示了两类型的反及闸型快闪记忆体晶胞的布局。上述两种类型的反及闸型快闪记忆体晶胞阵列,是利用自对准多晶硅制作工艺(Self-Aligned Poly Technology, SAP Technology)

形成。图 3a 中的每个源极线接触孔为一金属线，而图 3b 中的每个源极线接触孔为一沟槽。将图 3a 与图 2a 相比，不同之处为图 3a 缺少布局 FP。在利用自对准浅沟槽隔离制作工艺的图 2a 中，布局 FP 定义的漂浮多晶硅层是做为反及闸型快闪记忆体阵列晶胞列之间的隔绝物。当反及闸型快闪记忆体阵列晶胞采用 $0.1\mu\text{m}$ (或小于 $0.1\mu\text{m}$) 的制作工艺制造时，布局 FP 是从设计规则 (design rule) 中移除以简化制作工艺，并且避免微影制作工艺期间的对准误差 (misalignment)。在利用自对准多晶硅制作工艺的图 3a 中，首先沉积漂浮多晶硅层，再利用化学机械研磨制作工艺移除上述漂浮多晶硅层。因此可以减少定义反及闸型快闪记忆体阵列晶胞所需的光罩数目。

另外，上述的反及闸型快闪记忆体结构是位于单一区块 (single block) 上。利用上述组成方式重复形成于晶片上，布局 CB 和布局 CS 是位于两区块之间。

请参阅图 4a 至图 4h 所示，分别是沿图 2a、图 2b、图 3a 和图 3b 中 A-A' 剖面线，显示本发明实施例的反及闸型快闪记忆体晶胞阵列的制作工艺及结构的剖面图。

首先请参阅图 4a 所示，在基板 30 上形成复数个排成一列的晶胞 32。首先，利用自对准浅沟槽隔离或自对准多晶硅制作工艺形成主动区 (active area) 结构。进行漂浮多晶硅栅极 (图未显示) 的蚀刻制作工艺后，在基板 30 上形成一栅极叠层。接着，利用微影和干蚀刻制作工艺，在基板 30 上形成复数个存取多晶硅栅极 (access polysilicon gate) 36。

之后，进行一离子注入制作工艺，以调整晶胞 32 和选择晶体管 (select transistor) 的源极/漏极特性。另外，依序在基板 30 和存取多晶硅栅极 (access polysilicon gate) 36 上设置一氧化层 42 和一第一阻障层 43。该氧化层 42 通常是为一薄氧化层。该第一阻障层 43 通常是利用遥控等离子体 (等离子体即电浆，以下均称为等离子体) 化学气相沉积 (remote plasma chemical vapor deposition, RPCVD) 或等离子体增强型化学气相沉积 (plasma enhancement chemical vapor deposition, PECVD) 方式在氧化层 42 上形成的薄氮化层或薄氮氧化物层，且其厚度是介于 $50\text{\AA}$ 至 $150\text{\AA}$ 之间。第一阻障层 43 对氧化层 42 的蚀刻选择比须够高，以使后续的回蚀刻制作工艺可以进行。

请参阅图 4b 所示，利用高密度等离子体化学气相沉积 (high density plasma chemical vapor deposition, HDP-CVD) 或类似的方式，在晶胞 32 之间的间隙填入一氧化层 47，且设置于围绕上述列的各末端的主动区上，氧化层 47 的厚度介于 $1500\text{\AA}$ 至 $5000\text{\AA}$ 之间。

请参阅图 4c 图所示，进行一回蚀刻制作工艺，以在上述列的各末端的晶胞

侧壁上形成氧化间隙壁 49。第一氧化物 47 仍填充晶胞 32 之间的间隙。在回蚀刻制作工艺期间,第一阻挡层 43 可以视为一蚀刻停止层。本发明较佳实施例的第一氧化物 47 是具有优异的阶梯覆盖能力,可在填充晶胞 32 之间的间隙时不会有孔洞的形成。如果只密封晶胞之间的间隙,可使用较低阶梯覆盖能力的材料而不必使用能完全填充间隙的第一氧化物 47。

在本发明较佳实施例中,晶胞 32 之间的间隙的深宽比(aspect ratio)是介于 1.8 至 3.2 之间。控制上述深宽比是特别有助于增加晶片的元件密度。

请参阅图 4d 所示,可进行湿蚀刻或干蚀刻制作工艺以去除露出的第一阻挡层 43。接着,进行一离子注入制作工艺,以调整后续形成的选择晶体管(selection transistor)的起始电压(threshold voltage)。在上述列的各末端形成一离子注入区 52。

接着,进行一预清洁(pre-clean)制作工艺。然后,进行一隧穿氧化层(tunnel oxide)氧化制作工艺,形成一多晶硅间隙壁以做为选择晶体管的栅极(即栅极)。如图 4e 至图 4f 图所示,首先,沉积一厚度介于 1200Å 至 3200Å 之间的多晶硅层 54(如图 4e 所示),然后,进行一回蚀刻制作工艺,非等向性地蚀刻多晶硅层 54,以在上述列的各末端的晶胞 32 的侧壁上形成多晶硅间隙壁 56。接着,请结合参阅图 4g 所示,在基板 30 的上方沉积一层氧化层 60,通常为薄氧化层。

然后,请参阅图 4g 所示,在薄氧化层 60 上沉积一氮化层 62,该氮化层 62 可视为一阻挡层,即为第二阻挡层。

利用低压化学气相沉积(LPCVD)、等离子体增强型化学气相沉积(PECVD)或其他类似的制作工艺,沉积一层间介电层 64。之后,进行一化学机械研磨(chemical mechanical polishing, CMP)制作工艺以平坦化层间介电层 64。然后,进行微影和非等向性蚀刻制作工艺,以形成位线(bit-line)接触孔和源极/漏极接触孔。

请参阅图 4h,进行一离子注入制作工艺,以形成欧姆接触(ohmic contact)76。在位线(bit-line)接触孔和源极/漏极接触孔填入接触孔插塞 66(如图 4h 所示)。首先,利用沉积例如多晶硅或钨的插塞材料。然后,利用化学机械研磨(chemical mechanical polishing, CMP)制作工艺平坦化上述插塞材料,以形成接触孔插塞 66。

接着,利用物理气相沉积或其他类似的制作工艺,在接触孔插塞 66 和层间介电层 64 上沉积一导电层,该导电层是铝铜合金或其类似的材料。之后,利用微影和蚀刻制作工艺,在接触孔插塞 66 上形成一金属线 72。

在一实施例中,在形成金属线 72 之后,沉积一金属层间介电层(图中未

显示)以防止晶胞阵列中的导电物彼此电性连接。

根据上述制作工艺,金属线 72 是位于两个反及闸型快闪记忆体晶胞阵列区块之间。

如图 1a 和图 1b 所示的现有习知反或闸型快闪记忆体晶胞阵列,例如两条选择线图案 1s 和 1g 的布局,是分别定义为两个选择晶体管 13 和 19。由于本发明较佳实施例的自对准制作工艺(self-aligned process)形成的多晶硅间隙壁是用来代替选择晶体管。表示至少两条选择线图案可在上述制作工艺中移除。此外,由于多晶硅间隙壁是利用自对准制作工艺形成,可以降低例如步进机台(stepper)等需要精确度的制作工艺机台的等级,因此,本发明实施例的制作工艺的制造成本是大幅低于现有技术的制造成本。

另外,对于具有反及闸型快闪记忆体晶胞阵列的晶片而言,本发明提供晶胞间的间隙较高的深宽比(aspect ratio),其特别有助于增加晶片的元件密度。

由于反及闸型快闪记忆体晶胞阵列和自对准制作工艺,微影制作工艺中的关键尺寸(critical dimension, CD)和叠对损失较少,因此增加了制作工艺的稳定性。

以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

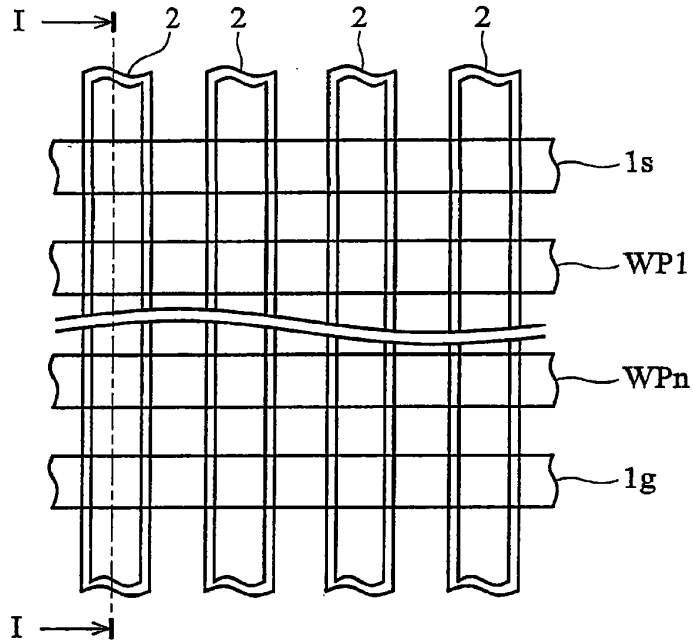


图 1a

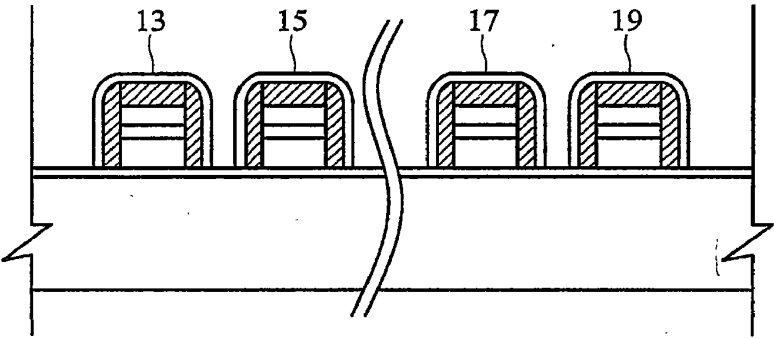


图 1b

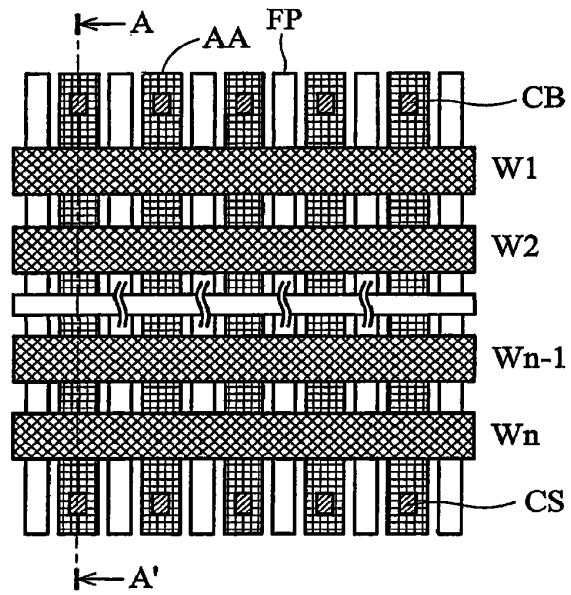


图 2a

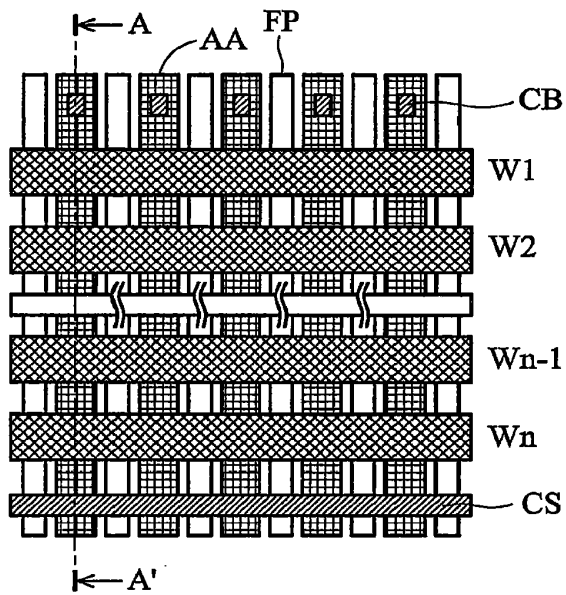


图 2b

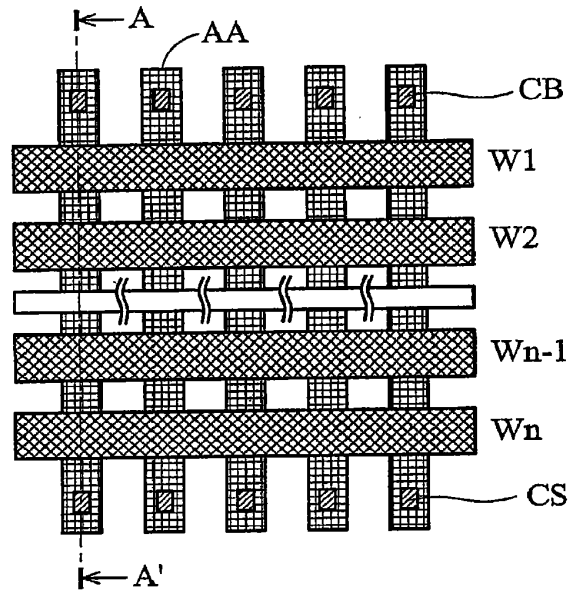


图 3a

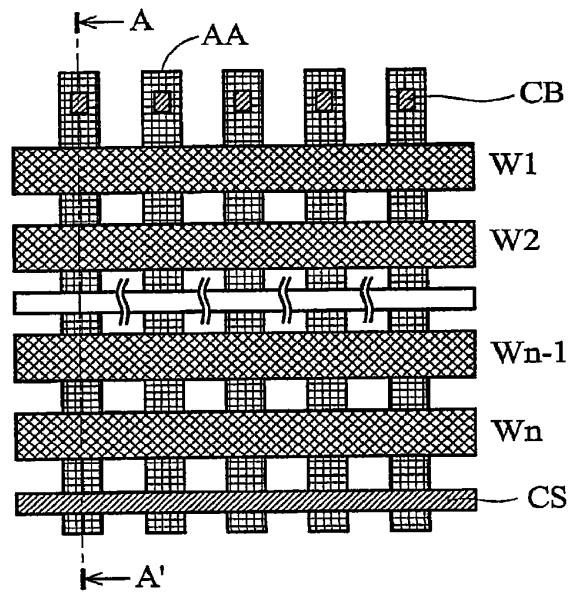


图 3b

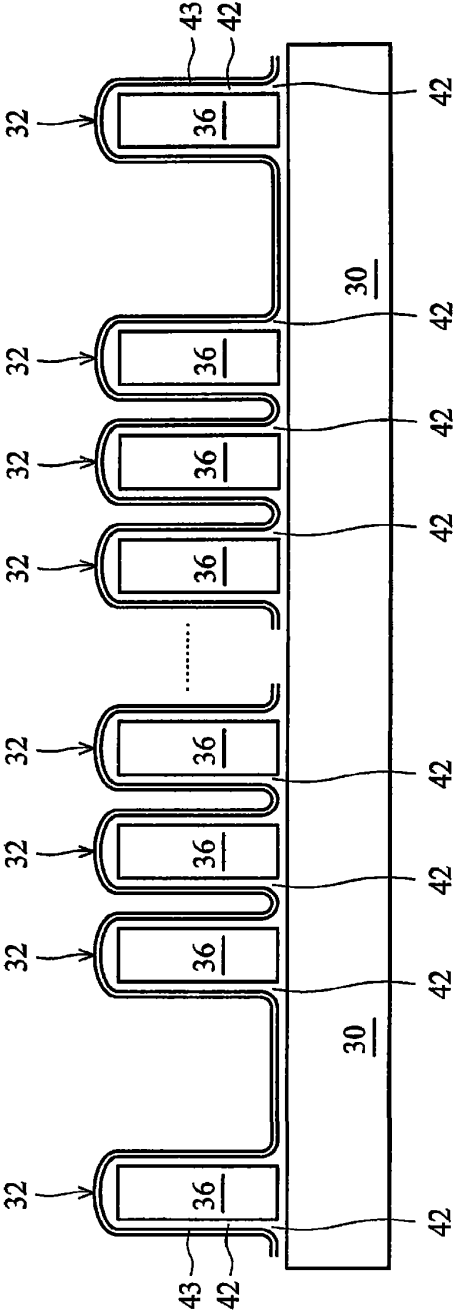


图 4a

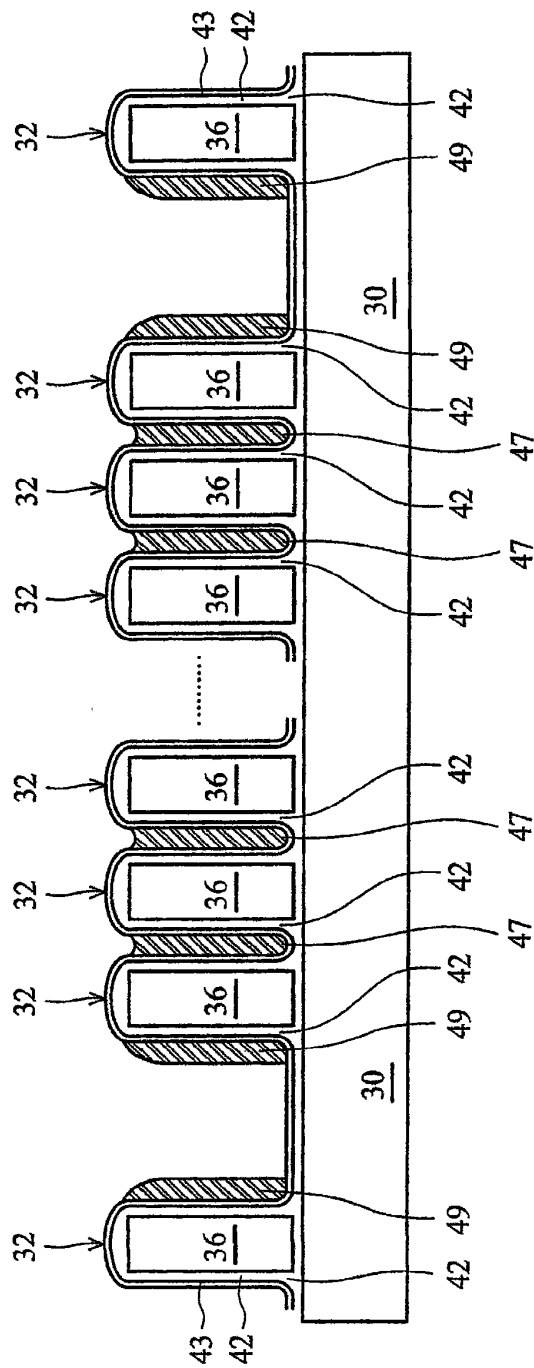


图 4C

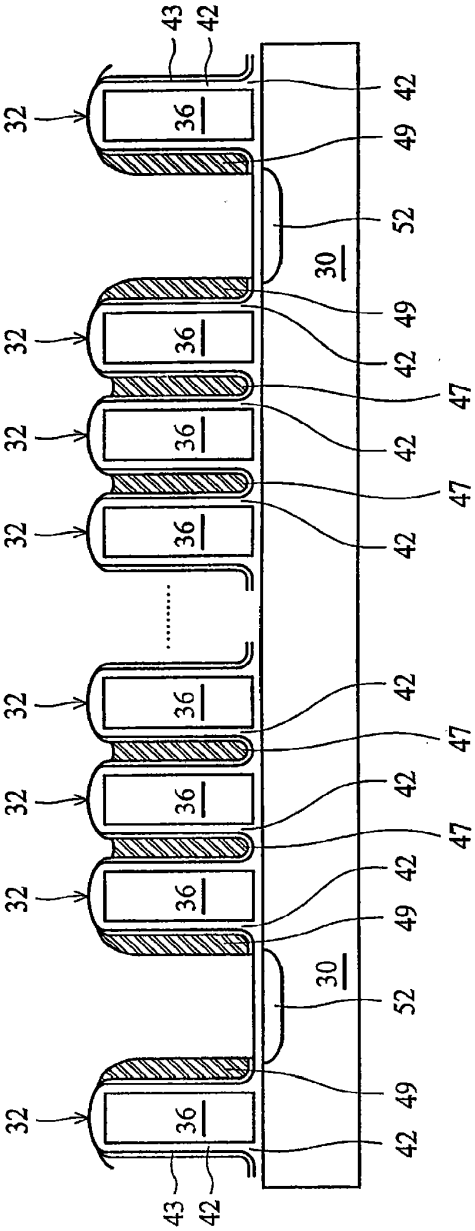


图 4d

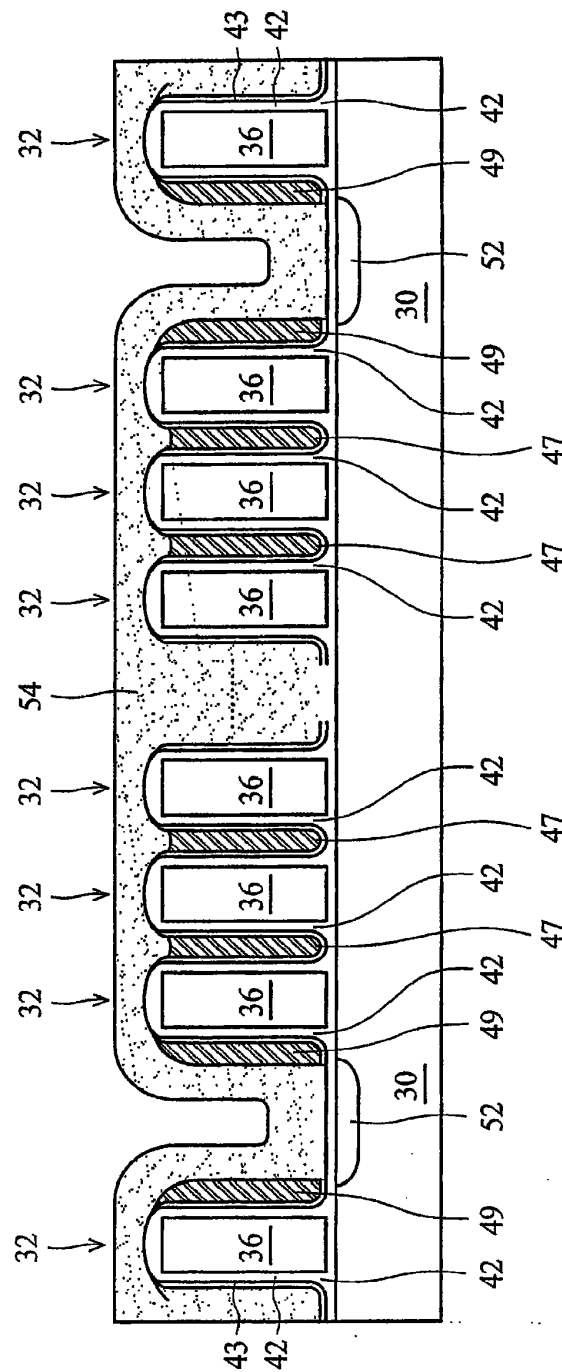


图 4e

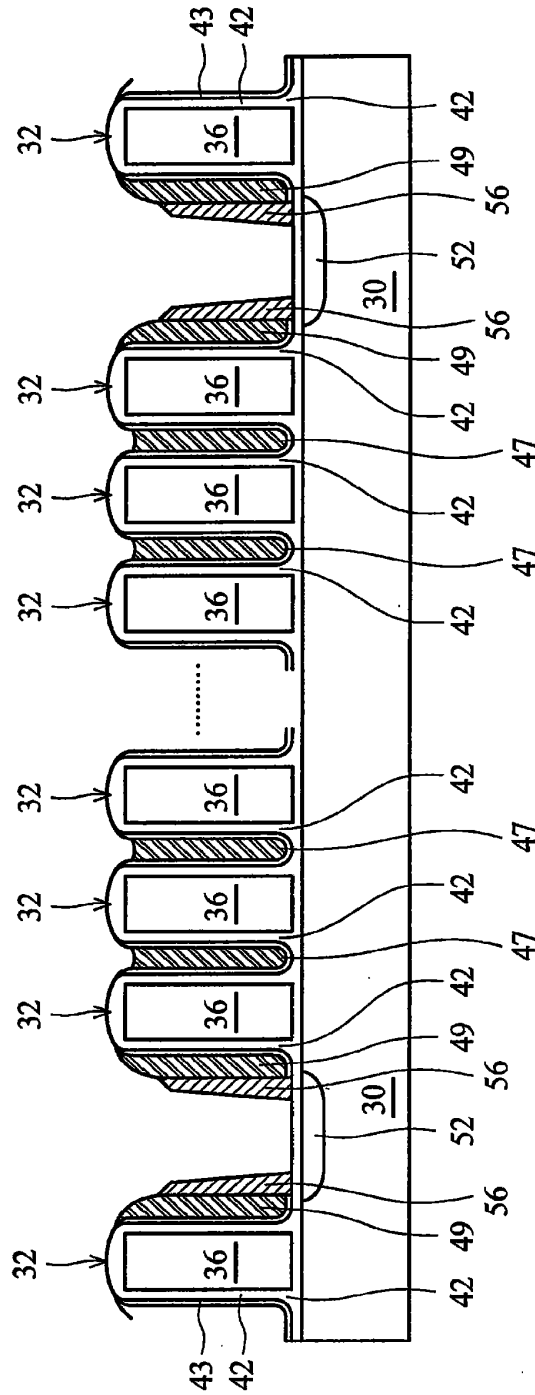


图 4f

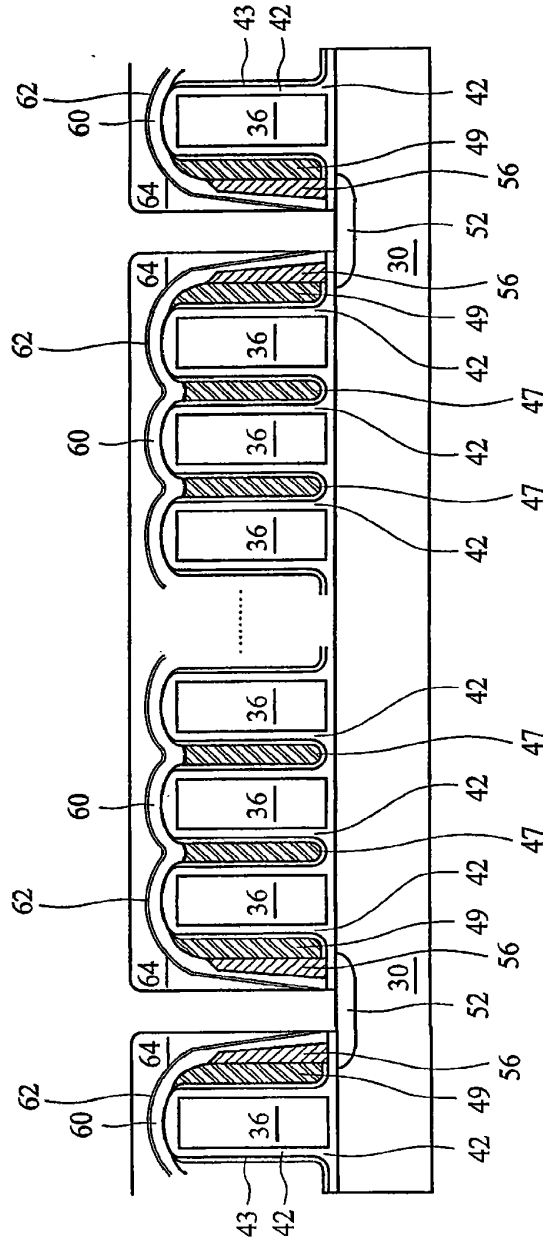


图 48

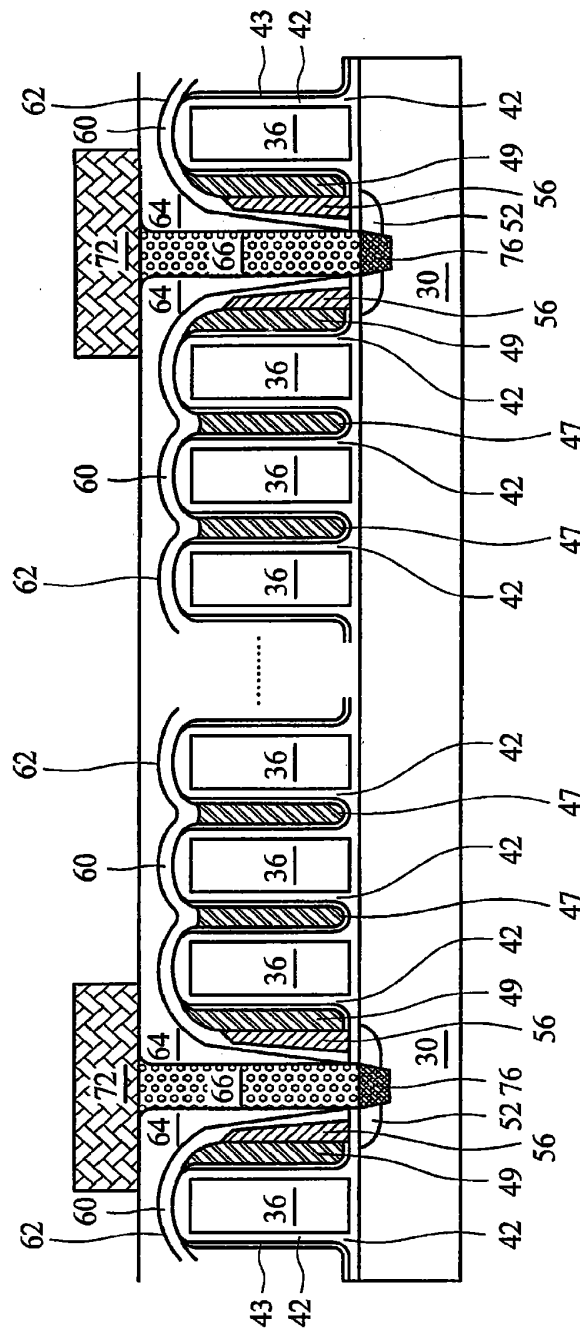


图 4h



(21)申请号 201510669475.4

(22)申请日 2015.10.13

(71)申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路16号

(72)发明人 杨金成 林焰跃 江昱维

(74)专利代理机构 中科专利商标代理有限责任公司 11021

代理人 任岩

(51)Int.Cl.

H01L 27/11556(2017.01)

H01L 27/11582(2017.01)

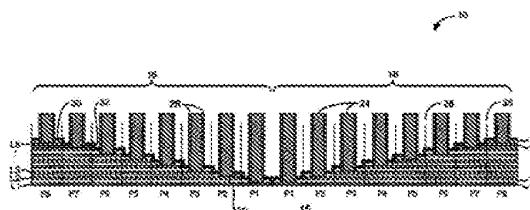
权利要求书2页 说明书10页 附图11页

(54)发明名称

具有镜像落着区的多层三维结构及集成电路

(57)摘要

本发明公开了一种具有镜像落着区的多层三维结构及一种集成电路,集成电路包括区块以及位于区块之上的全局线。区块包括多个阶层,阶层包括存储单元的二维阵列,二维阵列包括与耦接于对应的多个存储单元的垂直线交错的水平线,阶层包括与给定区块中的水平线电性连接的接触垫。全局线包括连接器。连接器耦接于给定的全局线,而使其耦接至区块的对应接触垫的落着区。区块包括第一区块与第二区块,配置为有关第一区块的第一组这些接触垫相邻于有关第二区块的第二组这些接触垫,第一区块及第二区块两者的接触垫的落着区是彼此为镜像表面。水平线可为位线,而垂直线可为字线。



1. 一种集成电路,包括:

多个区块 (blocks),这些区块中的多个该区块包括多个阶层 (levels),这些阶层中的多个该阶层包括相对应的多个存储单元的多个二维阵列,相对应的这些二维阵列包括多个水平线,这些水平线是与多个垂直线交错,这些垂直线是耦接于这些二维阵列中对应的这些存储单元,其中这些区块中的一给定区块中的这些阶层中的该多个该阶层包括对应的多个接触垫,这些接触垫与该给定区块中这些水平线电性连接;

多个全局线 (global lines),位于这些区块之上,这些全局线中的多个该全局线包括多个连接器 (connectors),这些连接器中的多个该连接器是耦接于给定的这些全局线,而使给定的这些全局线耦接至这些区块的对应的接触垫的多个落着区 (landing regions);以及

其中这些区块包括一第一区块与一第二区块,是配置为有关该第一区块的一第一组这些接触垫相邻于有关该第二区块的一第二组这些接触垫,该第一区块的该第一组这些接触垫的这些落着区与该第二区块的该第二组这些接触垫的这些落着区是彼此为多个镜像表面 (mirror image surfaces)。

2. 根据权利要求 1 所述的集成电路,其中:

各这些区块之中系有 N 个这些阶层,这些阶层的一阶层指数分别为 1 至 N;

这些连接器配置为对应这些全局线中的该多个该全局线,使得有关该第一区块的该第一组这些接触垫的这些阶层中的该阶层指数自一第一阶层至一第二阶层是朝着该第二组这些接触垫的相对应的这些阶层以阶梯状方式改变;以及

有关该第二区块的该第二组这些接触垫的这些阶层中的该阶层指数自该第一阶层至该第二阶层是朝着该第一组这些接触垫的相对应的这些阶层以阶梯状方式改变。

3. 根据权利要求 2 所述的集成电路,其中该第一区块中接触位于该第一阶层的这些接触垫的这些连接器是与该第二区块中接触位于该第一阶层的这些接触垫的这些连接器相邻,且其间没有其他的连接器。

4. 根据权利要求 1 所述的集成电路,其中该第一组这些接触垫及该第二组这些接触垫为 V 字形排列。

5. 一种三维结构,包括:

一基板;

多个绝缘层及多个有源层 (active layers) 于该基板之上交替叠层所形成的多个阶层 (levels) 的一第一单元 (first unit) 及一第二单元 (second unit);

该第一单元包括一第一有源层至一第 n 有源层,其中该第一单元的该第一有源层位于一选定阶层;

该第二单元包括该第一有源层至该第 n 有源层,其中该第二单元的该第一有源层位于该选定阶层;

该第一单元及该第二单元各包括于这些有源层之上的多个落着区 (landing regions) 的一阶梯状排列 (stair step arrangement);

该第一单元及该第二单元的这些落着区是彼此为多个镜像表面 (mirror image surfaces);

一绝缘材料,位于该落着区之上;以及

多个层间导体 (interlayer conductors), 穿过该绝缘材料至该第一单元及该第二单元的这些落着区的这些阶梯状排列, 以电性接触各该第一单元及该第二单元之中的这些落着区。

6. 根据权利要求 5 所述的三维结构, 更包括:

多个区块, 这些区块中的该多个该区块包括对应至该第一有源层至该第 n 有源层的多个阶层, 这些阶层中的该多个该阶层包括相对应的多个存储单元的多个二维阵列, 相对应的这些二维阵列包括多个水平线, 这些水平线是选自于多个位线或多个字线中的其中一种, 这些水平线是与多个垂直线交错, 这些垂直线是选自于这些位线或这些字线中未选为这些水平线者, 其中这些阶层中的该多个该阶层被连接至对应的这些有源层中的这些落着区, 使得这些落着区被电性连接至一给定区块中的这些水平线。

7. 根据权利要求 5 所述的三维结构, 其中这些镜像表面是形成 V 字形排列。

8. 一种三维结构, 包括:

一基板;

多个绝缘层及多个有源层 (active layers) 于该基板之上交替叠层所形成的多个阶层 (levels) 的一第一单元 (first units) 及一第二单元 (second units);

该第一单元包括一第一有源层至一第 n 有源层, 其中该第一单元的该第一有源层位于一选定阶层, 其中 n 为大于 3 的正整数;

该第二单元包括该第一有源层至一第 m 有源层, 其中该第二单元的该第一有源层位于该选定阶层, 其中 m 为小于等于该 n 的正整数;

该第一单元及该第二单元各包括于这些有源层之上的多个落着区 (landing regions) 的一阶梯状排列 (stair step arrangement), 以及自这些落着区延伸的多个侧表面;

该第一单元及该第二单元的这些落着区于该第一有源层至第该 m 有源层中是彼此为多个镜像表面 (mirror image surfaces);

一刻蚀停止层 (etch stop layer), 位于该第一单元及该第二单元的这些落着区及这些侧表面之上, 而沿着这些侧表面形成多个刻蚀停止侧壁 (etch stop sidewalls);

一绝缘层, 位于该刻蚀停止层之上;

多个区块, 这些区块中的多个该区块包括对应至该第一有源层至该第 n 有源层的多个阶层, 这些阶层中的多个该阶层包括相对应的多个存储单元的多个二维阵列, 相对应的这些二维阵列包括多个水平线, 这些水平线是选自于多个位线或多个字线中的其中一种, 这些水平线是与多个垂直线交错, 这些垂直线是选自于这些位线或这些字线中未选为这些水平线的一种, 其中这些阶层中的该多个该阶层被连接至对应的这些有源层中的这些落着区, 使得这些落着区被电性连接至一给定区块中的这些水平线;

多个层间导体, 穿过该绝缘层及该刻蚀停止层至该第一单元及该第二单元的这些落着区的这些阶梯状排列, 以电性接触各该第一单元及该第二单元之中的这些落着区。

9. 根据权利要求 8 所述的三维结构, 其中 m 等于 n。

10. 根据权利要求 8 所述的三维结构, 其中接触该第一单元中的这些落着区的这些层间导体是与接触该第二单元中的这些落着区的这些层间导体相对设置, 且其间没有其他的层间导体。

具有镜像落着区的多层三维结构及集成电路

技术领域

[0001] 本发明是有关于一种三维集成电路 (3-D integrated circuit) 的装置, 且特别是有关于一种改良接触有源层 (active layers) 的落着区 (landing regions) 的层间导体 (interlayer conductors) 其工艺裕度 (process window) 的装置。

背景技术

[0002] 三维集成电路包括多个有源层, 其中设置有导体元件或半导体元件。三维存储器集成电路包括二维存储单元阵列的叠层。叠层中的有源层可例如包括位线 (bit lines) 或字线 (word lines), 这些位线或字线必须被连接到外围电路, 例如译码器 (decoder)、感测放大器 (sense amplifier) 和类似者。在一些配置中, 此连接是使用从各有源层延伸至一路由层 (routing layer) 的层间导体来达成, 路由层例如是位于二维阵列叠层上方的一图案化金属层。图案化金属层可用以在阵列和适当的外围电路之间传递讯号和偏压。类似的讯号路由结构可用于三维集成电路的其他类型。

[0003] 三维集成电路也可包括其他种类的结构, 包括三维垂直栅极结构 (vertical gate structure) 以及三维垂直通道结构 (vertical channel structure)。这两种都具有交错的有源层与绝缘层的叠层, 并具有延伸至位于不同的有源层之上的落着区的层间导体, 这些落着区又称为落着垫 (landing pads)。

[0004] 层间导体具有依形成接触的有源层而变化的长度。随着有源层的数目增加, 包括于层间导体的形成中的一些工艺可能变得更加困难。其中一个变得更加困难的理由是在于, 随着层间导体的长度变长, 此层间导体逐渐变细而得到较小的径向尺寸 (diametrical dimension), 如此一来减低了在层间导体与有源层上的落着区之间的工艺裕度。

发明内容

[0005] 本发明是叙述一种集成电路, 包括区块以及位于区块之上的全局线 (global lines)。区块包括多个阶层 (levels), 阶层包括相对应的存储单元二维阵列, 相对应的二维阵列包括与耦接于阵列中对应的多个存储单元的垂直线 (vertical lines) 交错的水平线 (horizontal lines)。给定区块中的阶层包括与给定区块中的水平线电性连接的对应的接触垫 (contact pads)。全局线包括连接器 (connectors)。连接器耦接于给定的全局线, 而使其耦接至区块的对应接触垫的落着区。区块包括第一区块与第二区块, 配置为有关第一区块的第一组这些接触垫相邻于有关第二区块的第二组这些接触垫。第一区块及第二区块两者的接触垫的落着区是彼此为多个镜像表面 (mirror image surfaces)。

[0006] 本发明所叙述的集成电路的实施例可包括下列内容中的一种或是多种。水平线可为位线, 而垂直线可为字线。每一个区块可具有N个阶层 (此处N个阶层的阶层指数 (level index) 分别为 1 至 N); 连接器可配置为对应全局线, 使得有关第一区块的第一组这些接触垫的阶层中的阶层指数自第一阶层至第二阶层可朝着第二组这些接触垫的相对应的阶层以阶梯状方式改变; 有关第二区块的第二组这些接触垫的阶层中的阶层指数自第一阶层

至第二阶层可朝着第一组这些接触垫的相对应的阶层以阶梯状方式 (stepped fashion) 改变;并且,第一区块与第二区块中接触位于第一阶层的接触垫的连接器可彼此相邻,且其间没有其他的连接器。第一组这些接触垫及第二组这些接触垫可大致上为 V 字形排列 (V-shaped arrangement)。存储单元的阵列可包括与非门阵列 (NAND arrays),且水平线可包括区域字线 (local bit lines)。

[0007] 本发明是叙述一种三维结构,包括基板,以及绝缘层及有源层于基板之上交替叠层所形成的多个阶层的第一单元 (first unit) 及第二单元 (second unit)。第一单元包括第一至第 n 有源层,其中第一单元的第一有源层位于一选定阶层。第二单元包括第一至第 n 有源层,其中第二单元的第一有源层位于此选定阶层。第一单元及第二单元各包括于有源层之上的落着区的阶梯状排列 (stair step arrangements)。第一单元及第二单元的落着区是彼此为镜像表面。绝缘层位于落着区之上。层间导体穿过绝缘层至第一单元及第二单元的落着区的阶梯状排列,以电性接触各第一单元及第二单元中的落着区。

[0008] 本发明所叙述的三维结构的实施例可包括下列内容。多个区块,其中的多个区块包括对应至第一至第 n 有源层的多个阶层,阶层包括相对应的存储单元二维阵列。相对应的二维阵列包括水平线,水平线选自于位线或字线中的其中一种,水平线与垂直线交错,垂直线选自于位线或字线中未选为水平线者。阶层连接至对应的有源层中的落着区,使得落着区电性连接至给定区块中的水平线。

[0009] 本发明所叙述的三维结构的实施例可包括下列内容中的一种或是多种。绝缘套筒 (insulating sleeve) 可将绝缘层与层间导体分开。层间导体可电性接触各第一单元及第二单元的落着区。镜像表面可形成大致上为 V 字形排列。接触第一单元及第二单元中的落着区的层间导体可彼此相对设置,且其间没有其他的层间导体。镜像表面可形成大致上为倒 V 字形排列。

[0010] 这里叙述的技术的其他方面和优点,可参考接下来的图式、实施方式和权利要求范围而得见。

附图说明

[0011] 图 1 绘示一具有交替叠层的有源层与绝缘层及第一、第二阶梯状单元的三维结构的简化剖面图。

[0012] 图 1A 绘示图 1 所示的结构的部分放大图。

[0013] 图 1B 绘示一三维结构的部分的简化剖面图,说明当相邻的阶梯状单元不具有镜像对称时所造成的问题。

[0014] 图 1C 绘示 V 字形阶梯状单元及倒 V 字形阶梯状单元的简单表示。

[0015] 图 2 至图 11 绘示形成图 1 所示的三维结构的例示工艺步骤。

[0016] 图 2 绘示有源层与绝缘层交替叠层形成的第一叠层及第二叠层,其间以第一光刻胶层及第二光刻胶层电性分离,并绘示经过第一刻蚀后的结构。

[0017] 图 3 绘示图 2 的结构经过第二刻蚀后的结构。

[0018] 图 4 绘示图 3 的结构经过进一步沉积光刻胶材料,形成再沉积第一光刻胶层及再沉积第二光刻胶层后的结构。

[0019] 图 5 绘示图 4 的结构经过第三刻蚀后的结构。

[0020] 图 6 绘示图 5 的结构经过进一步沉积光刻胶材料,形成第二再沉积第一光刻胶层及第二再沉积第二光刻胶层后的结构。

[0021] 图 7 绘示图 6 的结构经过第四刻蚀后的结构。

[0022] 图 8 绘示移除图 7 的结构中的第二再沉积第一光刻胶层及第二再沉积第二光刻胶层后的结构。

[0023] 图 9 绘示对图 8 的结构设置刻蚀停止层 (etch stop layers) 后的结构。

[0024] 图 10 绘示在具有刻蚀停止层的图 9 的结构之上覆盖绝缘材料后的结构。

[0025] 图 11 绘示图 10 的结构形成穿过绝缘材料、刻蚀停止层及最上层的绝缘层,并具有层间导体延伸至并接触每一阶梯状单元的有源层的接触垫落着区的孔洞后的结构。

[0026] 图 12 绘示一三维存储器结构的示意性俯视图,包括与图 1 的三维结构类似的第一阶梯状单元及第二阶梯状单元。

[0027] 图 12A 绘示图 12 的三维存储器结构重复两次的示例性简化布局图,说明全局位线 (global bit lines) 可如何连接相邻的三维存储器结构,以对不同的三维存储器结构中阶梯状单元的每一侧上的晶体管 / 存储器元件的区块提供存取。

[0028] 图 13 绘示一三维与非门存储器阵列结构的透视图。为了说明目的,绝缘材料是从图中移除,以暴露出其他更多结构。

[0029] 图 14 绘示根据目前技术的一实施例,使用存储单元及偏压电路的集成电路存储器的简化方块流程图。

[0030] **【符号说明】**

[0031] 1-1 :剖面线

[0032] 10 :三维结构

[0033] 12 :有源层

[0034] 14 :绝缘层

[0035] 15 :基板

[0036] 16 :第一阶梯状单元

[0037] 18 :第二阶梯状单元

[0038] 18A、18B :阶梯状单元

[0039] 20、20A :落着区

[0040] 22、22.1、22.2 :侧表面

[0041] 24、24A :层间导体

[0042] 26 :绝缘套筒

[0043] 28 :绝缘材料

[0044] 30 :刻蚀停止层

[0045] 32、32A :刻蚀停止侧壁

[0046] 34 :第一叠层

[0047] 36 :第二叠层

[0048] 38 :第一光刻胶层

[0049] 40 :第二光刻胶层

[0050] 42 :第一开口区

- [0051] 44 :第二光刻胶层单元
- [0052] 46 :延伸第一开口区
- [0053] 48 :再沉积第一光刻胶层
- [0054] 50 :再沉积第二光刻胶层
- [0055] 52 :第二开口区
- [0056] 54 :延伸第二开口区
- [0057] 56 :第二再沉积第一光刻胶层
- [0058] 58 :第二再沉积第二光刻胶层
- [0059] 60 :第三开口区
- [0060] 62 :延伸第三开口区
- [0061] 64、P1 ~ P8 :位置
- [0062] 68 :三维存储器结构
- [0063] 70、125-1 ~ 125-N :字线
- [0064] 72、73 :垂直栅极晶体管 / 存储单元
- [0065] 74 :串行选择线栅极
- [0066] 76 :第一方向
- [0067] 78 :第一区块
- [0068] 79 :第二区块
- [0069] 80 :第三区块
- [0070] 81 :第四区块
- [0071] 102、103、104、105、112、113、114、115 :半导体条带
- [0072] 102B、103B、104B、105B、112A、113A、114A、115A :位线接触垫结构
- [0073] 109、119 :串行选择线栅极结构
- [0074] 126、127 :接地选择线
- [0075] 128 :源极线
- [0076] 1058 :平面译码器
- [0077] 1059 :位线
- [0078] 1060 :阵列
- [0079] 1061 :列译码器
- [0080] 1062 :字线
- [0081] 1063 :行译码器
- [0082] 1064 :串行选择线
- [0083] 1065 :总线
- [0084] 1066、1068 :方块
- [0085] 1067 :数据总线
- [0086] 1069 :状态机
- [0087] 1071 :数据输入线
- [0088] 1072 :数据输出线
- [0089] 1074 :其他电路

- [0090] 1075 :集成电路
[0091] BL0 ~ BL15 :全局位线
[0092] L1 ~ L8 :阶层
[0093] ML1 ~ ML3 :金属层

具体实施方式

[0094] 以下的叙述将典型地参照特定的实施例和方法。能够了解到的是,这并非是要将本发明限制于这些特定揭露的实施例和方法,相对地,本发明可使用其他元件、方法和实施例加以实施。本发明是以叙述较佳的实施例来描述,但并未就此限制其范围,本发明的范围是由权利要求范围所定义。本发明所属技术领域具有通常知识者将基于以下叙述而了解到各种等效的变化。各种不同的实施例中相似的元件通常对应相似的元件符号。并且,除非有另外特别的叙述,绝缘体与导体意指体积电阻率 (bulk electrical resistivity) 至少 10^6 欧姆-厘米的电性绝缘体,更可为至少 10^8 欧姆-厘米的电性绝缘体,更可为至少 10^{12} 欧姆-厘米的电性绝缘体,以及体积电阻率介于 10^{-6} 至 1 欧姆-厘米之间的电性导体。

[0095] 图 1 绘示具有多个阶层的三维结构 10 的简化剖面图,此些阶层于图中标示为 L1 至 L8,是于基板 15 之上具有交替叠层的有源层 12 及绝缘层 14。有源层 12 及绝缘层 14 形成的交替叠层,形成了第一阶梯状单元 16 及第二阶梯状单元 18,彼此互为镜像。第一阶梯状单元 16 及第二阶梯状单元 18 为有源层 12 的接触垫上的落着区 20,以及图 1A 所示,自位置 P1 至 P7 的落着区所延伸的侧表面 22.1 及 22.2 的阶梯状排列。侧表面 22.1 及 22.2,合称为侧表面 22,形成于相邻于落着区 20 的有源层 12 及绝缘层 14 的边缘上。落着区 20 位于每一个第一阶梯状单元 16 及第二阶梯状单元 18 的每个位置 P1 至 P8。于一些实施例中,有源层 12 及绝缘层 14 的位置可以交换,使得在此些实施例中,只会形成相对应于侧表面 22.1 的侧表面。有源层 12 为由半导体材料、导体材料,或其组合所形成的导电层,并与绝缘层的区隔在于有源层承载用于元件的任务功能 (mission function) 的电压与电流,而绝缘层则将有源层彼此之间分开。于此实施例中,有源层 12 是由图案化多晶硅层所组成,并具有适于实施存储器结构的掺杂图案。绝缘层 14 为电性绝缘层,于此实施例中是由二氧化硅 (silicon dioxide, SiO_2) 所组成。其他电性绝缘的材料,例如硅氮化物、硅氮氧化物,以及其他可操作为层间介电层的材料,也可用来作为绝缘层 14。

[0096] 层间导体 24,由绝缘套筒 26 所围绕,穿过绝缘层 28 以接触位于每一个第一阶梯状单元 16 及第二阶梯状单元 18 的每个位置 P1 至 P8 的落着区 20 的有源层 12。刻蚀停止层 30 覆盖于落着区 20 及侧表面 22 之上,除了落着区 20 中由层间导体 24 及绝缘套筒 26 所占据的部分。层间导体 24 为导电材料。

[0097] 于此实施例中,层间导体 24 为掺杂多晶硅 (使用例如砷、磷、硼的掺杂物)。然而,其他导电材料,例如其他掺杂半导体、金属、例如金属硅化物的导电性金属化合物,以及这些材料的组合,也都可以使用。

[0098] 绝缘套筒 26 是由电性绝缘材料所制,于此实施例中例如硅氮化物 (SiN),且可与用于绝缘层 14 的材料为同一种或者是不同种的材料。

[0099] 刻蚀停止层 30 为电性绝缘材料,选自于刻蚀特性与用于绝缘材料 28 的材料不同的材料。于一实施例中,刻蚀停止层 30 可为硅氮化物,而例如搭配与硅氧化物为材料的绝

缘材料 28。其他材料例如硅氮氧化物 (SiON) 也可用于刻蚀停止层 30。

[0100] 图 1B 说明当相邻的阶梯状单元,例如阶梯状单元 18A 及阶梯状单元 18B,不具有镜像对称时所造成的问题。于图 1B 所示的例子中,位于大部分的位置 P2 至 P8 间的刻蚀停止侧壁 (etch stop sidewall) 32 相对较短,而不会明显影响到层间导体 24 形成在接触区 20 上的工艺裕度。然而,位于阶梯状单元 18A 的位置 P8 及阶梯状单元 18B 的位置 P1 之间,因而相邻于阶梯状单元 18B 的层间导体 24A 的刻蚀停止侧壁 32A,由于其高度而拥有锥状外形 (tapered profile)。随着刻蚀停止侧壁 32A 逐渐靠近位于位置 P1 的落着区 20A,其厚度也随之而增加。刻蚀停止侧壁 32A 的锥状外形因而降低了位于阶梯状单元 18B 的位置 P1 的层间导体 24A 的接触工艺裕度。

[0101] 互为镜像的第一阶梯状单元 16 及第二阶梯状单元 18,其落着区 20 大致上为 V 字形。也就是说,穿过第一阶梯状单元 16 及第二阶梯状单元 18 的每个落着区的中心的线 (未绘示),于此实施例中会形成宽而低仰角 (low angle) 的 V 字形。虽然在此处揭露的实施例中,穿过每一个第一阶梯状单元 16 及第二阶梯状单元 18 的每个落着区的中心的线是单一直线,然而每个阶梯状单元可定义为一组直线、单一曲线、一组曲线,或直线与曲线的组合。因此,大致上为 V 字形的镜像阶梯状单元包括具有其他镜像形状的阶梯状单元,其他镜像形状包括例如较窄、较高仰角的 V 字形,以及于通过每个落着区 20 的线较靠近基板 15 而为曲线的时候,可被描述为大致上为 U 字形者。

[0102] 图 1C 说明了 V 字形阶梯状单元以及倒 V 字形阶梯状单元。V 字形阶梯状单元以及倒 V 字形阶梯状单元两者均提供了优点在于,避免在如图 1B 的刻蚀停止侧壁 32A 一般,高而锥状的刻蚀停止侧壁旁边,形成由绝缘套筒 26 围绕的层状导体 24 的通道的开口。也就是说,相邻的阶梯状单元中相邻的层间导体 24 的工艺裕度大小,不再小如阶梯状单元 18B 的层间导体 24A 中位于位置 P1 者的工艺裕度。图 1C 也说明了当相邻的阶梯状单元不具有相同数量落着区时的状况。

[0103] 图 2 至图 11 绘示形成图 1 所示的三维结构的例示工艺步骤。

[0104] 图 2 绘示有源层 12 与绝缘层 14 交替叠层形成的第一叠层 34 及第二叠层 36 的剖面图。第一光刻胶层 38 覆盖第一叠层 34 及第二叠层 36。第二光刻胶层 40 是覆盖第一光刻胶层 38 形成。于此实施例中,刻蚀第二光刻胶层 40 以于第二光刻胶层单元 44 之间形成第一开口区 42。第一叠层 34 与第二叠层 36 的第一开口区 42、第二光刻胶层单元 44,是彼此为镜像。第一开口区 42 位于第一叠层 34 及第二叠层 36 两者的位置 P1、P3、P5 以及 P7。

[0105] 图 3 绘示图 2 的结构经过第二刻蚀,透过第一开口区 42 刻蚀第一光刻胶层 38 形成延伸第一开口区 46。此第一次叠层刻蚀步骤移除了 $2n-1$ 层的绝缘层 14 及有源层 12,其中 $n=1$,因为此为第一次叠层刻蚀步骤。因此,第一叠层刻蚀步骤移除了 $20=1$ 层的绝缘层 14 及有源层 12,也就是第一叠层 34 及第二叠层 36 中最上面一层的有源层 12 及绝缘层 14。

[0106] 图 4 绘示图 3 的结构经过进一步沉积光刻胶材料,形成再沉积第一光刻胶层 48,接着再沉积光刻胶材料,形成再沉积第二光刻胶层 50。所示的再沉积第二光刻胶层 50 是接着于其上进行第二镜像刻蚀,形成向下延伸至再沉积第一光刻胶层 48 的第二开口区 52。第二开口区 52 位于每一个第一叠层 34 及第二叠层 36 的位置 P1、P2、P5 以及 P6。

[0107] 图 5 绘示图 4 的结构经过第三刻蚀,形成延伸第二开口区 54,并于第一叠层 34 及

第二叠层 36 中位置 P1、P5 额外刻蚀了 $2n-1 = 21 = 2$ 层的绝缘层 14 及有源层 12。此一刻蚀步骤也刻蚀了每一个第一叠层 34 及第二叠层 36 的位置 P2、P6 的最上面二层的绝缘层 14 及有源层 12。

[0108] 图 6 绘示图 5 的结构经过进一步沉积光刻胶材料,形成第二再沉积第一光刻胶层 56,接着再沉积光刻胶材料,形成第二再沉积第二光刻胶层 58。所示的第二再沉积第二光刻胶层 58 是接着于其上进行第三镜像刻蚀,形成向下延伸至第二再沉积第一光刻胶层 56 的第三开口区 60。第三开口区 60 位于每一个第一叠层 34 及第二叠层 36 的位置 P1、P2、P3 以及 P4。

[0109] 图 7 绘示图 6 的结构经过第四刻蚀,形成延伸第三开口区 62,并于第一叠层 34 及第二叠层 36 中位置 P4 刻蚀了最上方 $2n-1 = 23-1 = 22 = 4$ 层的绝缘层 14 及有源层 12,并于位置 P1、P2、P3 额外刻蚀了四层绝缘层 14 及有源层 12。

[0110] 图 8 绘示移除图 7 的结构中的第二再沉积第二光刻胶层 58 及第二再沉积第一光刻胶层 56。这样做暴露了位于每一个第一叠层 34 及第二叠层 36 的每个位置 P1 至 P8 的有源层 12 上的落着区 20。此外也暴露了自落着区 20 延伸的侧表面 22.1。图 9 绘示图 8 的结构,更具有覆盖落着区 20 及侧表面 22.1 以及位于第一叠层 34 及第二叠层 36 中相对的位置 P1 的有源层 12 及绝缘层 14 之间的位置 64 的刻蚀停止层 30。图 10 绘示在具有刻蚀停止层 30 的图 9 的结构之上覆盖绝缘材料 28。

[0111] 图 11 绘示图 10 的结构,于每一个第一叠层 34 及第二叠层 36 的每个位置 P1 至 P8 形成穿过绝缘材料 28、刻蚀停止层 30 及最上层的绝缘层 14 的孔洞后的结构。绝缘套筒 26 于每一个孔洞中围绕层间导体 24。层间导体 24 延伸至并接触位于每一个第一阶梯状单元 16 及第二阶梯状单元 18 中的每个位置 P1 至 P8 的有源层 12 的落着区 20。形成于层间导体 24 的顶端者为全局位线 BL0 至 BL15。

[0112] 图 12 绘示三维存储器结构 68 的示意性俯视图,包括与图 1、图 11 的三维结构类似的第一阶梯状单元 16 及第二阶梯状单元 18,加上一些相关的电路。图 12A 绘示图 12 的三维存储器结构 68 重复两次的示例性简化布局图。图 12 的布局绘示了三维垂直栅极结构,然而此处所讨论的技术也可以用其他的结构,例如三维垂直通道结构。图 12 绘示第一阶梯状单元 16 及第二阶梯状单元 18 沿着第一方向 76 于位置 P1 至 P8 具有落着区 20。全局位线 BL0 至 BL15 位于落着区 20 之上,并电性连接自每一个落着区 20 延伸的层间导体 24。全局位线 BL0 至 BL15,又被指称为全局线,是有关于位于图 13 中金属层 ML3 的全局线。

[0113] 有关于图 13 中串行选择线 (string select line, SSL) 栅极结构 109 的串行选择线栅极 74,亦绘示于图 12 中。串行选择线栅极结构 109 耦接于位于接地选择线 (ground select line, GSL) 127 的垂直栅极晶体管 / 存储单元 72 的叠层,以及位于字线 125-1 至 125-N 的垂直栅极晶体管 / 存储单元 73 的叠层;于此实施例中字线 125-1 至 125-N 可称为垂直线。此连结于图 13 中所绘示,是通过例如半导体条带 (semiconductor strips) 112 至 115 以及半导体条带 102 至 105 等导体。半导体条带 112 至 115 以及半导体条带 102 至 105 是作为水平线,于此实施例中为水平局部位线 (local bit lines)。每一个字线 125-1 至 125-N 的垂直栅极晶体管 / 存储单元 73 是作为存储单元的二维阵列。

[0114] 串选择栅 74 的第一区块 78 及第二区块 79 以及相关的晶体管 / 存储单元的区块,请参照图 12A,位于第一阶梯状单元 16 及第二阶梯状单元 18 的一侧并彼此相邻;串选择栅

74 的第三区块 80 及第四区块 81 以及相关的晶体管 / 存储单元的区块, 位于第一阶梯状单元 16 及第二阶梯状单元 18 的另一侧并彼此相邻。

[0115] 图 12 的字线 70 为水平线, 是垂直于全局位线 BL0 至 BL15 延伸, 并与图 13 的垂直栅极晶体管 / 存储单元 73 电性连接。字线 70 是对应于图 13 所示的垂直延伸的字线 125-1 至 125-N 的水平延伸排列之上的导电结构。

[0116] 图 12A 说明全局位线 BL0 至 BL15 可如何连接相邻的三维存储器结构 68, 以对相邻的三维存储器结构 68 中第一阶梯状单元 16 以及第二阶梯状单元 18 的每一侧上的晶体管 / 存储器元件的第一区块 78、第二区块 79、第三区块 80 以及第四区块 81 提供存取。在实际操作上, 通常形成了数以万计的三维存储器结构 68。图 12A 中的剖面线 (cutting plane line) 1-1 是大致上对应于图 11 所示的剖面图。在其他实施例中, 位线可为垂直线而字线可为水平线。

[0117] 于所示的实施例中, 第一区块 78、第二区块 79、第三区块 80 以及第四区块 81 共享了第一阶梯状单元 16 以及第二阶梯状单元 18 的落着区 20, 使得同一个落着区可被视为多于一个区块的一部分。于其他的实施例中, 阶梯状单元的落着区也可以不共享, 使得在这样的情况下, 落着区可视为单一区块的一部分。除了相邻的区块在同一个方向上共享落着区之外, 落着区可在一个方向上仅属于一个区块。于图 12 及图 12A 中, 已绘示了第一区块 78、第二区块 79、第三区块 80 以及第四区块 81, 为了要绘示清楚的缘故, 在标示时使其不包括落着区 20。然而, 落着区可将其中一侧或是两侧视为区块的一部分。

[0118] 图 13 绘示一三维与非门存储器阵列结构的透视图。为了说明目的, 是将图中的绝缘材料移除, 以暴露出其他更多结构。举例来说, 是将叠层中的半导体条带 (例如半导体条带 112 至 115) 之间的绝缘层移除, 并将半导体条带叠层之间的绝缘层移除。

[0119] 多层的阵列是形成在一绝缘层上, 并包括与多个叠层共形的多条字线 125-1 至 125-N。此多个叠层包括半导体条带 112、113、114、115。在相同平面中, 半导体条带被电性耦接至对应的位线接触垫结构 (例如位线接触垫结构 102B 至 105B, 以及位线接触垫结构 112A 至 115A)。

[0120] 所示的字线 125-1 至 125-N 编号从整体结构的后面往前面自 1 增加到 N, 是用于偶数的存储器页 (memory pages)。对于奇数的存储器页, 字线 125-1 至 125-N 编号从整体结构的后面往前面自 N 减少到 1。

[0121] 位线接触垫结构 112A、113A、114A、115A 在结构的各层有源层终止半导体条带, 例如半导体条带 112、113、114、115。如图所示, 这些位线接触垫结构 112A、113A、114A、115A 被电性连接至位于上方的图案化导体层 (金属层 ML3) 中的不同全局位线, 以连接至译码电路, 以选择阵列中的平面。这些位线接触垫结构 112A、113A、114A、115A 可在定义出多个叠层的同时被图案化。

[0122] 位线接触垫结构 102B、103B、104B、105B 终止半导体条带, 例如半导体条带 102、103、104、105。如图所示, 这些位线接触垫结构 102B、103B、104B、105B 被电性连接至位于上方的图案化导体层 (金属层 ML3) 中的不同全局位线, 以连接至译码电路以选择阵列中的平面, 和连接至感测放大器和其他电路。这些位线接触垫结构 102B、103B、104B、105B 可在定义出多个叠层的同时被图案化。

[0123] 任何给定的半导体条带叠层是耦接至位线接触垫结构 112A、113A、114A、115A, 或

耦接至位线接触垫结构 102B、103B、104B、105B，但不同时耦接至二者。半导体条带叠层具有位线端往源极线 (source line) 端的方向和源极线端往位线端的方向此二个相反方向的一者。举例而言，半导体条带 112、113、114、115 的叠层具有位线端往源极线端的方向；而半导体条带 102、103、104、105 的叠层具有源极线端往位线端的方向。在替代性的一实施例中，在区块的一有源层中的所有的半导体条带可终止于相同的位线接触垫结构。

[0124] 半导体条带 112、113、114、115 的叠层是由位线接触垫结构 112A、113A、114A、115A 终止于一端，穿过串行选择线栅极结构 119、接地选择线 126、字线 125-1 至 125-N、接地选择线 127，并由源极线 128 终止于另一端。半导体条带 112、113、114、115 的叠层未抵达位线接触垫结构 102B、103B、104B、105B。

[0125] 半导体条带 102、103、104、105 的叠层是由位线接触垫结构 102B、103B、104B、105B 终止于一端，穿过串行选择线栅极结构 109、接地选择线 127、字线 125-1 至 125-N、接地选择线 126，并由一源极线（被图 13 中其他部分挡住）终止于另一端。半导体条带 102、103、104、105 的叠层未抵达位线接触垫结构 112A、113A、114A、115A。

[0126] 存储器材料层将字线 125-1 到 125-N 从半导体条带 112-115 和 102-105 分隔开来。类似于字线 125-1 到 125-N，接地选择线 126 及接地选择线 127 是与多个叠层共形 (conformal)。

[0127] 全局位线和串行选择线是形成于图案化导体层，例如金属层 M1.1、M1.2 及 M1.3 中。

[0128] 垂直栅极晶体管/存储单元 72 是形成于半导体条带（例如半导体条带 112 至 115）和字线 125-1 至 125-N 之间的交点。在晶体管中，半导体条带（例如半导体条带 113）作为装置的通道区 (channel region)。半导体条带（例如半导体条带 112 至 115）可作为晶体管的栅极介电质 (gate dielectric)。

[0129] 串行选择结构（例如串行选择线栅极结构 119、109）可在定义字线 125-1 至 125-N 的同一步骤中图案化。晶体管是形成于半导体条带（例如半导体条带 112 至 115）和串行选择结构（例如串行选择线栅极结构 119、109）之间的交点。这些晶体管作为耦接至译码电路的串行选择开关，以选择阵列中的特定叠层。

[0130] 在替代性的一例中，有源层是与字线一起图案化，且通道可垂直地位于叠层之间。举例来说，请参照于 2011 年 1 月 19 日申请，发明名称为“Memory Device, Manufacturing Method and Operating Method of the Same”，发明人为吕函庭和陈士弘所共有的美国专利申请公开案第 2012/0182808 号，其作为引证文献视为将其内容完全纳入于此。

[0131] 图 13 所示的三维存储器结构使用指状垂直栅极 (finger vertical gates) 结构，类似于在 2011 年 4 月 1 日申请，发明名称为“Memory Architecture of 3D Array with Alternating Memory String Orientation and String Select Structures”，发明人为吕函庭和陈士弘所共有的美国专利申请公开案第 2012/0182806 号所述者。于一些实施例中，可以使用三维垂直通道存储器元件来取代三维垂直栅极存储器元件，例如在 2014 年 5 月 21 日申请，发明名称为“3D Independent Double Gate Flash Memory”，发明人为吕函庭所共有的美国专利申请案第 14/284,306 号所述者，其系作为引证文献纳入于此。

[0132] 将层间导体连接至位线接触垫结构上的落着区的各种技术，在工艺中使用相对厚的硬掩模。厚的硬掩模的一种类型是使用有机介电层 (organic dielectric layer, ODL) 作为硬掩模层。然而，为了承受多个层的工艺，有机介电层硬掩模层的厚度可能需要是 2,000 纳

米或更高。然而,难以使用典型的旋涂工艺制造出这种厚度高于约 400 纳米的材料,而 400 纳米的厚度可能只是所需厚度的的一部分。因此,可能需要多次应用工艺以达成想要的厚度。

[0133] 硬掩模的另一种类型可由硅氮化物制成。然而与硅氮化物厚度相关的应力考虑会限制其达到此目的的有效厚度。

[0134] 图 14 是包括三维与非门存储器阵列的三维集成电路的示意图。集成电路 1075 包括三维与非门闪存阵列于半导体基板上,例如图 1 中所示的基板 15。列译码器 1061 被耦接至多条字线 1062,并沿着存储器阵列 1060 中的列配置。行译码器 1063 被耦接至多条 SSL 线 1064,包括串行选择结构,行译码器 1063 沿着对应至存储器阵列 1060 中叠层的行配置,以从阵列 1060 中的存储单元读取和写入数据。平面译码器 (plane decoder) 1058 是经由位线 1059 耦接至存储器阵列 1060 中的多个平面。地址是提供于总线 1065 而提供至行译码器 1063、列译码器 1061 和平面译码器 1058。方块 1066 中的感测放大器和数据输入结构在此例中经由数据总线 1067 耦接至行译码器 1063。数据是经由数据输入线 1071,从集成电路 1075 上的输入 / 输出端或其他集成电路 1075 内部或外部的数据源,提供至方块 1066 中的数据输入结构。在绘示的实施例中,其他电路 1074 包括于集成电路中,其他电路 1074 例如是一般用途处理器或特殊目的应用电路,或者是由与非门快闪存储单元阵列支持的具有系统芯片功能的模块组合。数据是经由数据输出线 1072,从方块 1066 中的感测放大器,提供至集成电路上的输入 / 输出端或其他集成电路 1075 内部或外部的数据目标端 (data destination)。

[0135] 实施于此例中使用偏压配置 (bias arrangement) 状态机 (state machine) 1069 的一控制器,控制方块 1068 中的电压供应器所产生或提供的偏压配置供应电压 (supply voltage) 的应用,偏压配置供应电压例如是读取、擦除、写入、擦除验证和写入验证电压。

[0136] 控制器可使用本发明所属技术领域所知的特殊目的逻辑电路来实施。在替代性的一实施例中,控制器包括一般用途处理器,可实施于相同的集成电路中,执行计算机程序以控制装置的作业。在其他另外的实施例中,可使用特殊目的逻辑电路与一般用途处理器的组合来实施控制器。

[0137] 以上叙述中可能使用例如高于、低于、顶部、底部、上方、下方等词。这些词可能用于说明书和权利要求范围中以协助理解本发明,但并非用于作为限制性用途。当其中的元件被描述为例如同样尺寸、具有同样长度,或被描述为具有相似的态样、尺寸、长度等,是可在对于标称长度、尺寸等具有正常的制造公差的情况下视为相等。以上提及的任何和所有专利申请案和公开文件,是作为引证文献纳入于此。

[0138] 虽然本发明已以较佳实施例揭露如上,但可以理解这些例子是用来说明,而非限定本发明。可以预期本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和申请专利的范围内,可进行各种调整和组合。

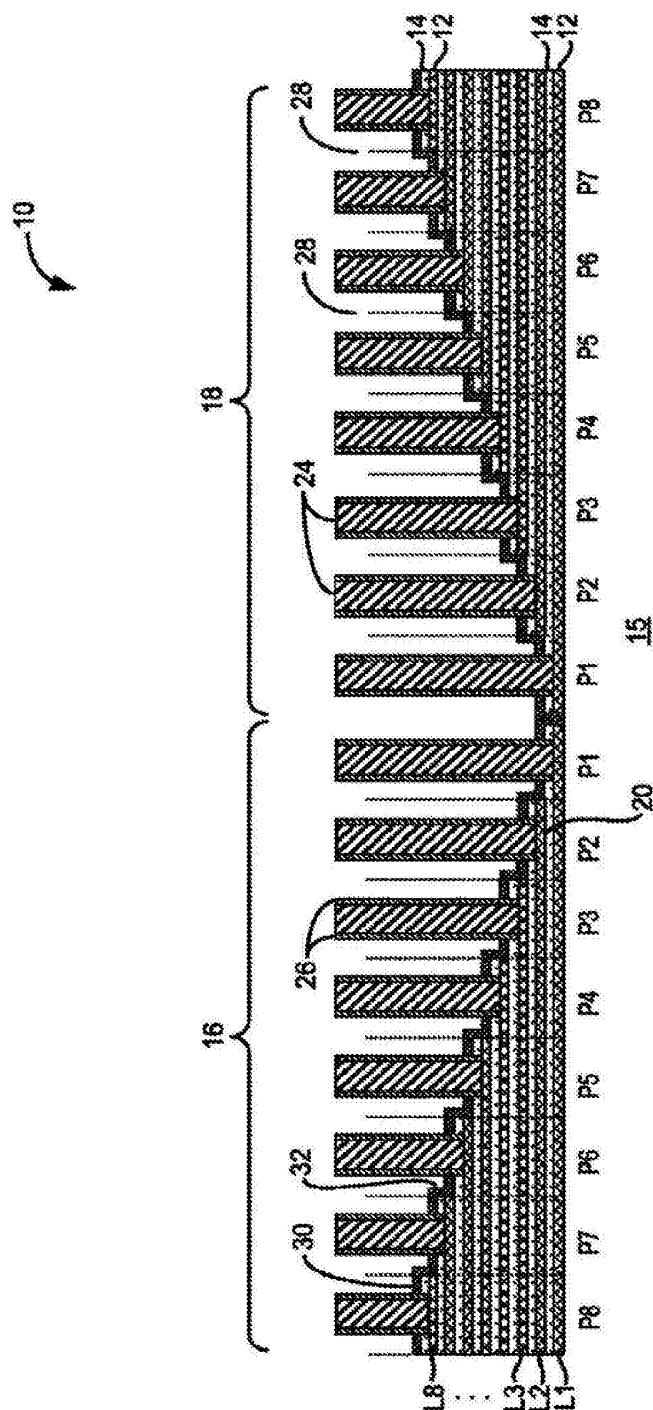


图 1

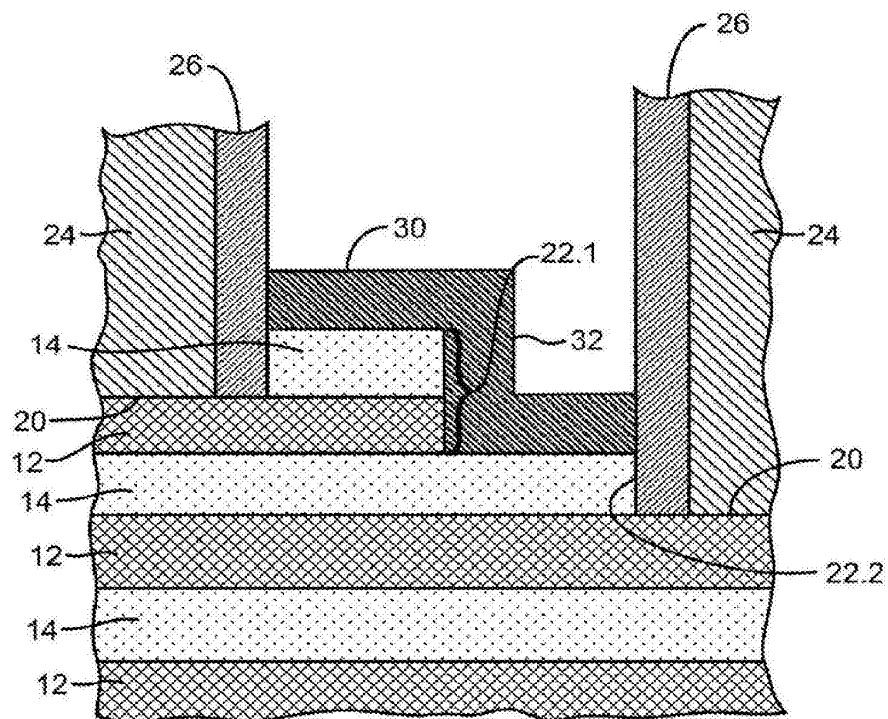


图 1A

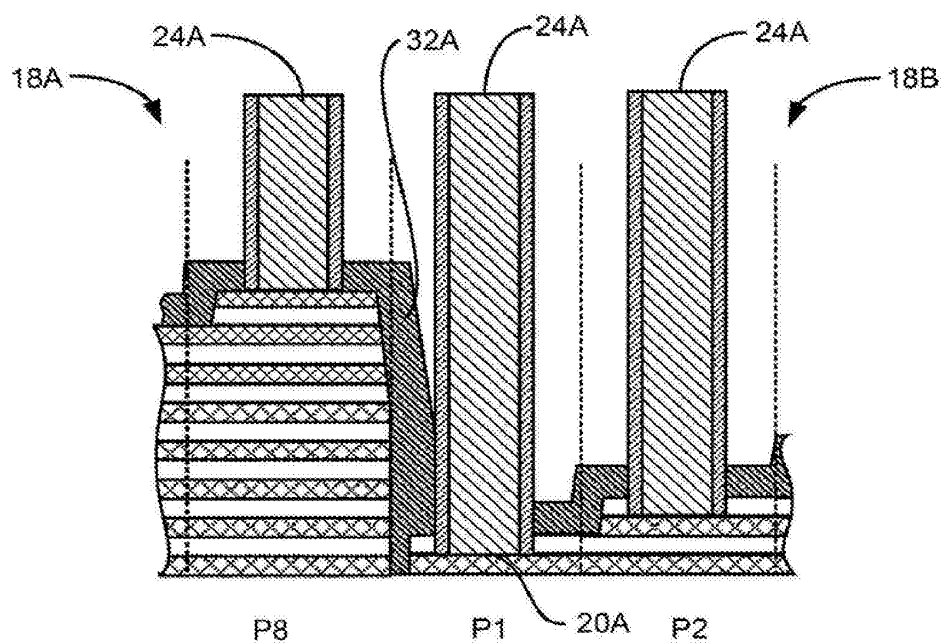


图 1B

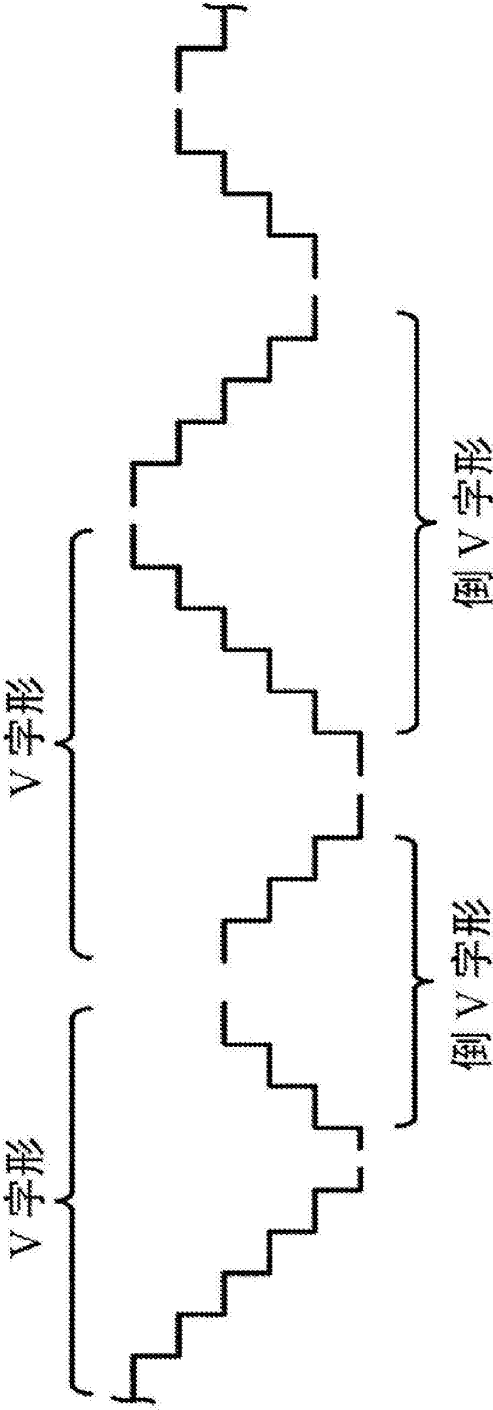


图 1C

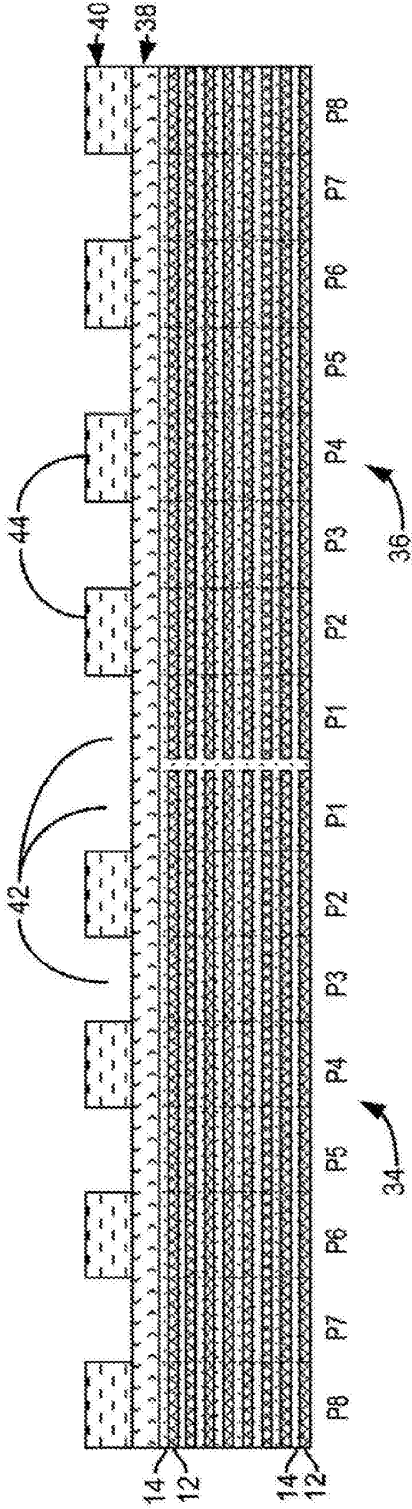


图 2

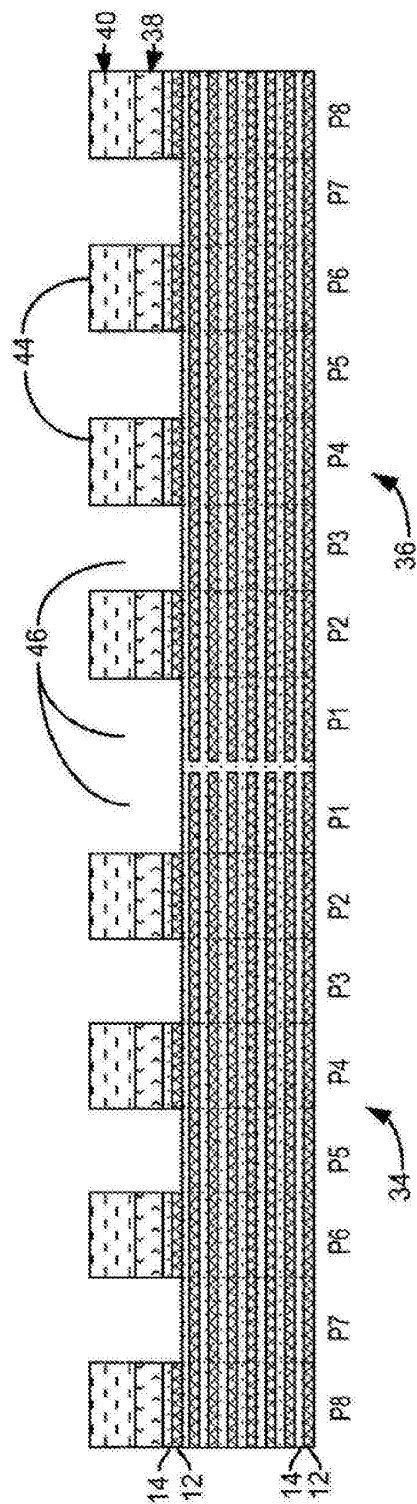


图 3

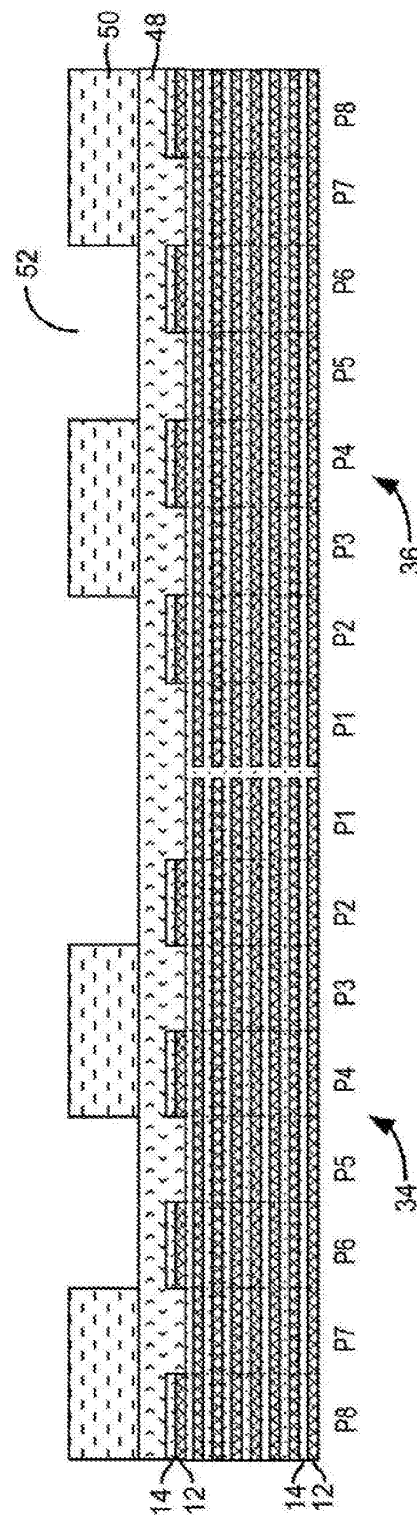


图 4

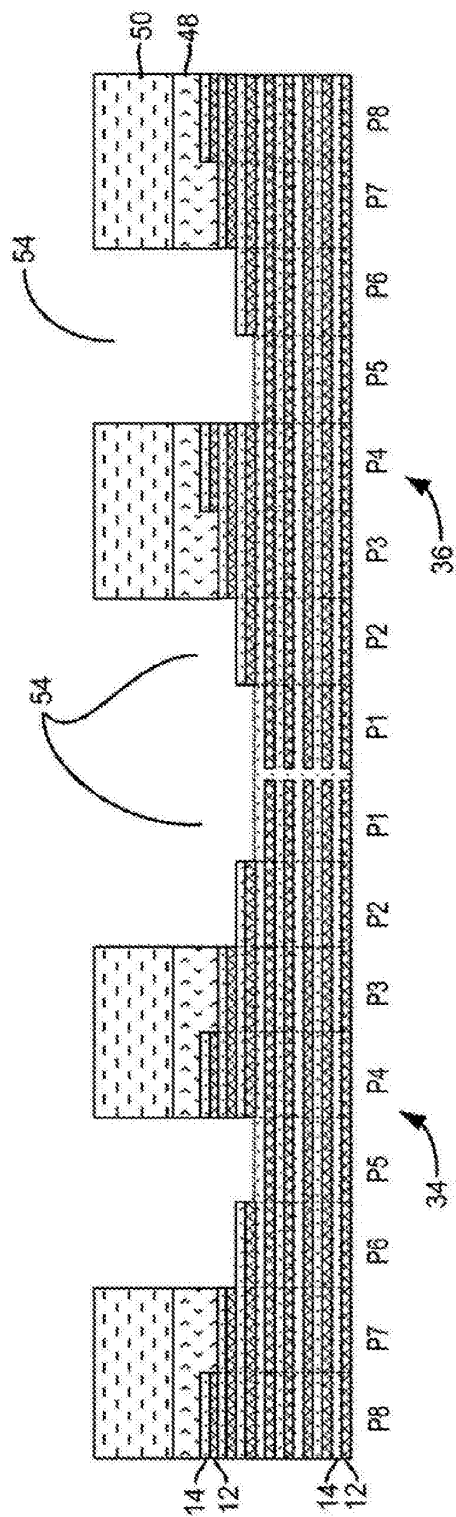


图 5

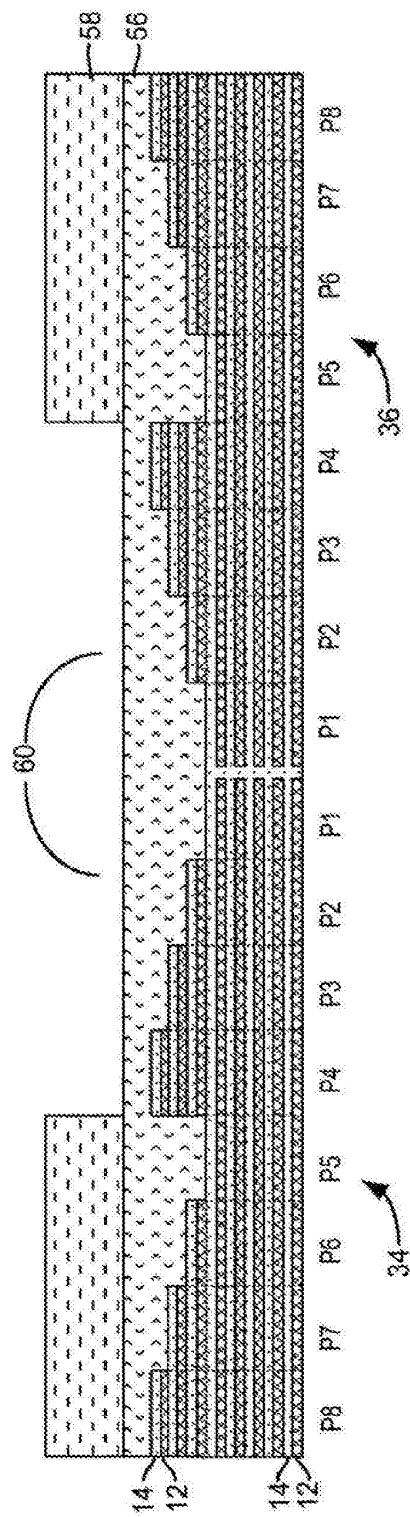


图 6

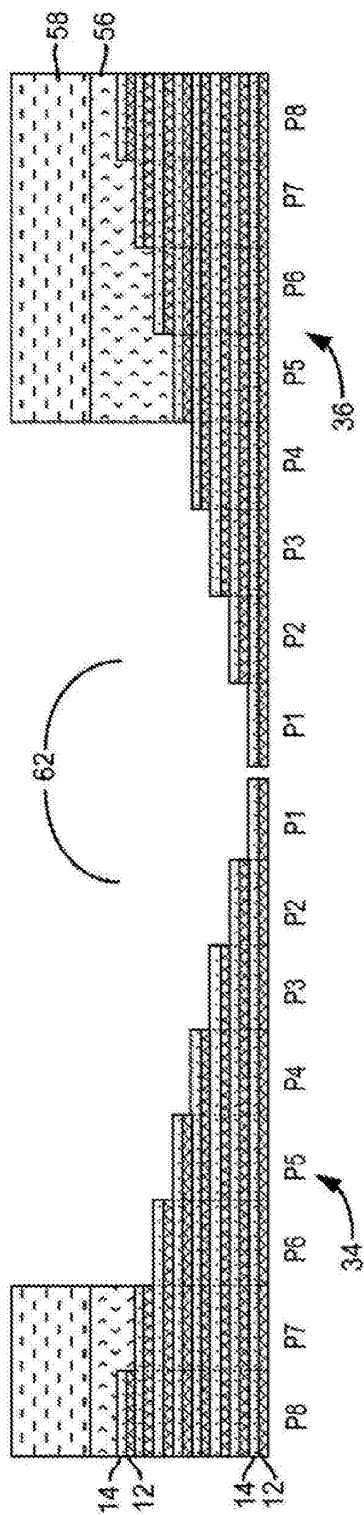


图 7

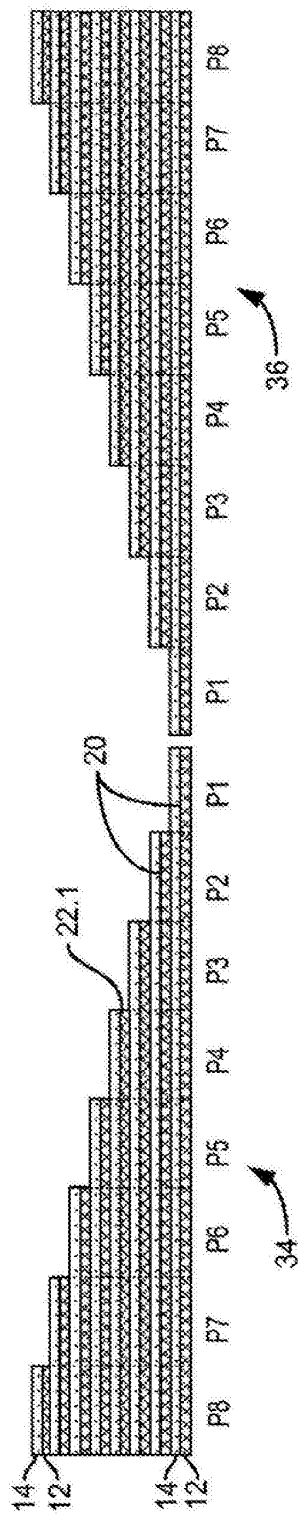


图 8

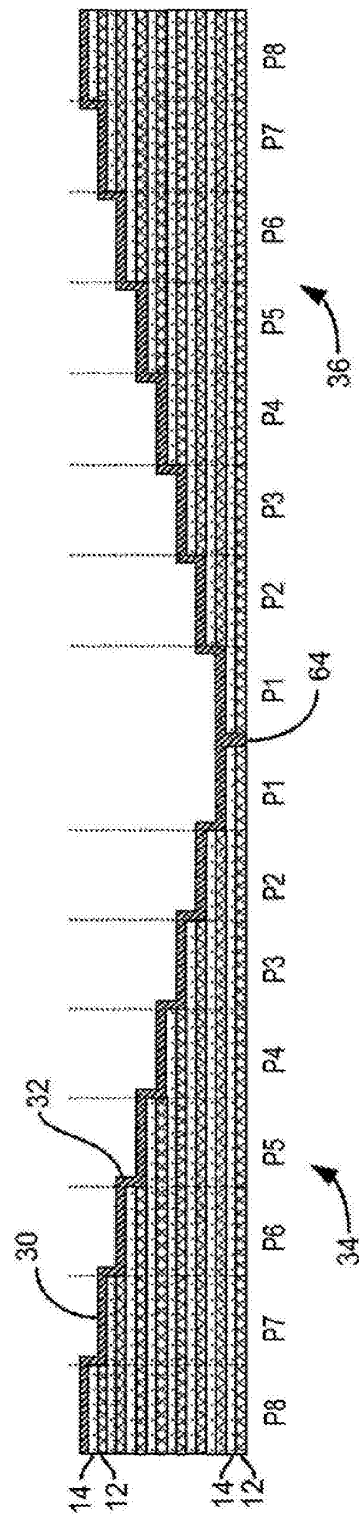


图 9

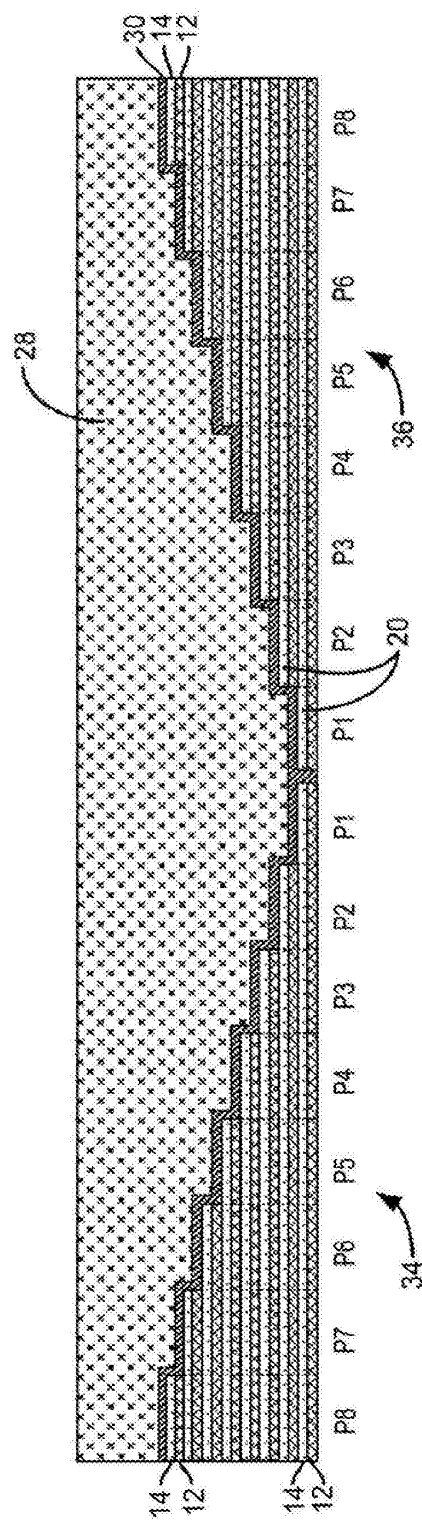


图 10

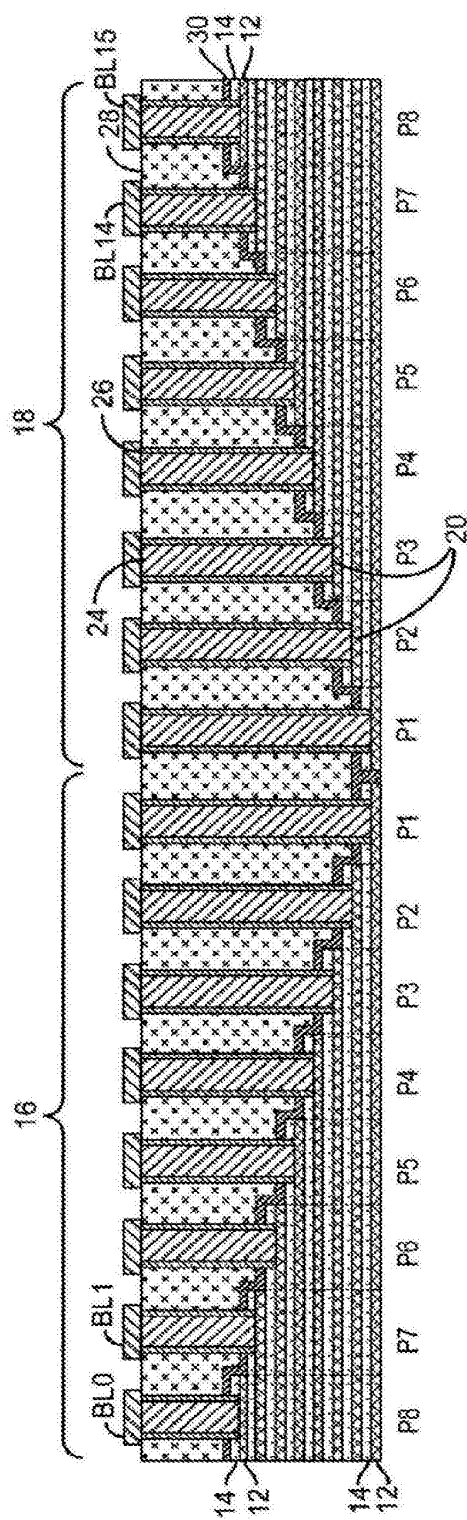


图 11

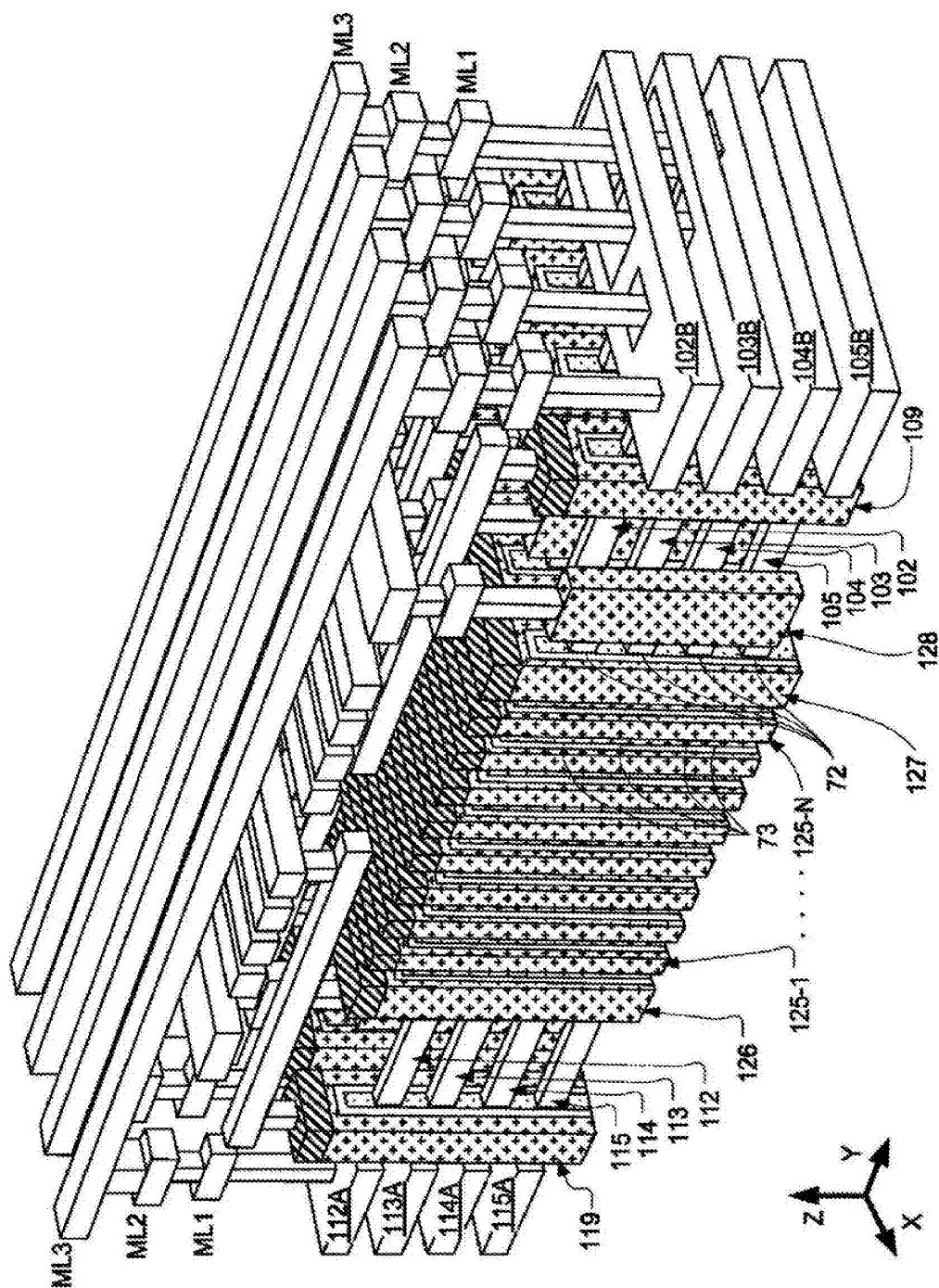


图 13

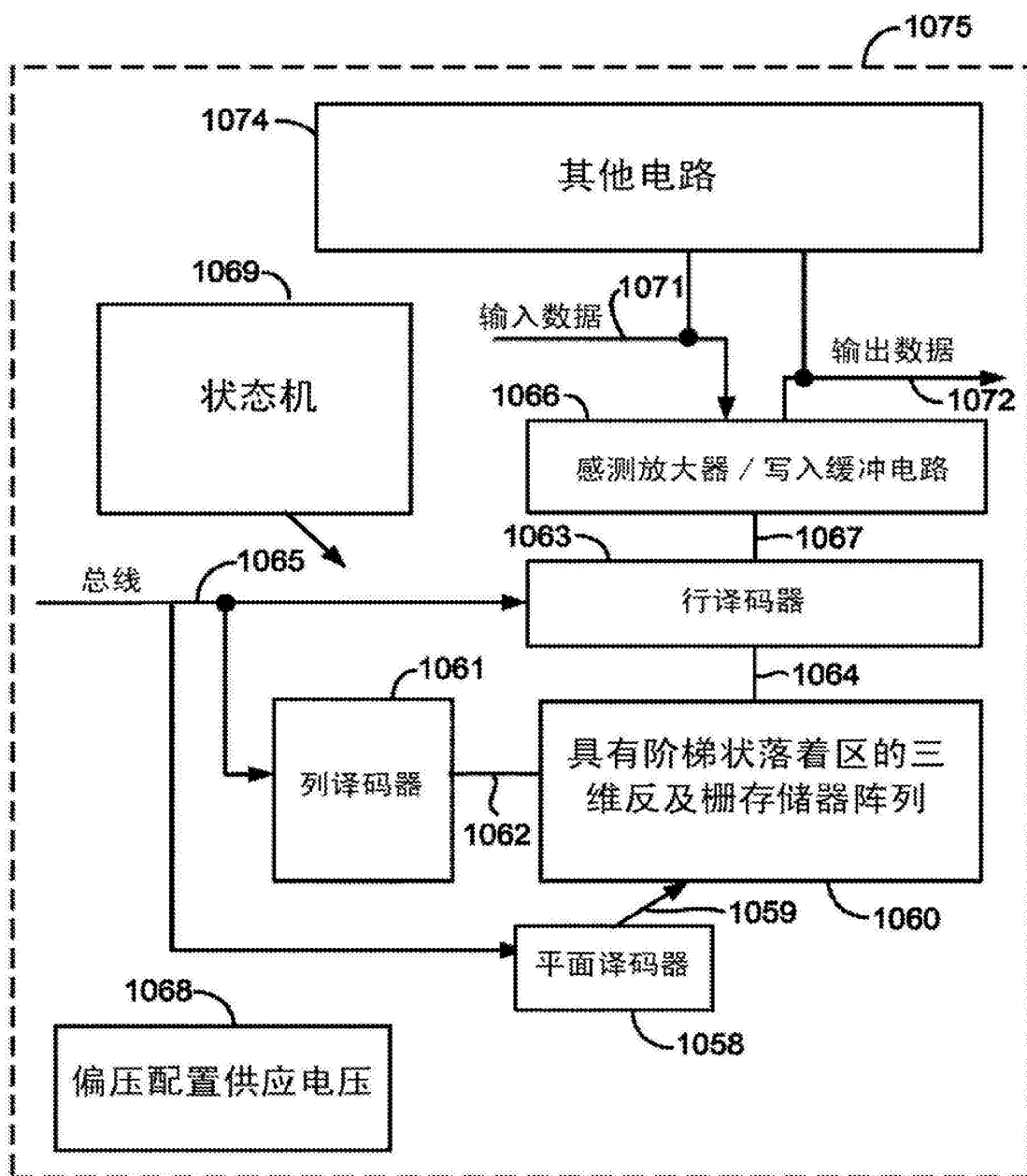


图 14

Electronic Acknowledgement Receipt	
EFS ID:	37320014
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Daniel J. Pereira/Jeeda Oulabi
Filer Authorized By:	Daniel J. Pereira
Attorney Docket Number:	521129US
Receipt Date:	30-SEP-2019
Filing Date:	27-MAR-2019
Time Stamp:	15:48:56
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment		no			
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129US.pdf	6307324	yes	102
			e4ce649948ae3570edd54ff74b7bcd602171380		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Transmittal Letter	1	1
	Information Disclosure Statement (IDS) Form (SB08)	2	2
	Non Patent Literature	3	11
	Foreign Reference	12	54
	Foreign Reference	55	78
	Foreign Reference	79	102
Warnings:			
Information:			
Total Files Size (in bytes):		6307324	
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.			

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yali SONG, et al.

SERIAL NO: 16/365,725

GAU: 2825

FILED: March 27, 2019

EXAMINER: SOFOCLEOUS, ALEXANDER

FOR: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:

Applicant(s) wish to disclose the following information.

REFERENCES

☒ The applicant(s) wish to make of record the reference(s) listed on the attached form PTO-1449 and/or accompanying documents from a corresponding foreign application. Copies of the listed reference(s) are attached, where required, as are either statements of relevancy, English translations of the categories of cited documents for foreign search reports or English translations of foreign Office Actions which provide the statement of relevancy for the foreign language references cited therein, or any readily available partial or full English translations of pertinent portions of any non-English language reference(s).

☐ Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount required under 37 CFR §1.17(p).

CERTIFICATION

☐ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.

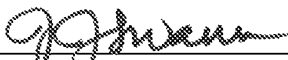
☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

☒ Please charge any additional fees for the papers being filed herewith and for which no payment is enclosed herewith, or credit any overpayment to deposit account number 15-0030.

Respectfully submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.


Johnny Ma

Registration No. 59,976

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 02/12)

Judy J. Swann
Registration No.: 76,815



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814
22850	7590	04/02/2020		
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P. 1940 DUKE STREET ALEXANDRIA, VA 22314			EXAMINER AUDUONG, GENE NGHIA	
			ART UNIT	PAPER NUMBER
			2825	
			NOTIFICATION DATE	DELIVERY MODE
			04/02/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OBLONPAT@OBLON.COM
iahmadi@oblon.com
patentdocket@oblon.com

DETAILED ACTION

Election/Restrictions

1. Restriction to one of the following inventions is required under 35 U.S.C. 121:
 - I. Claims 1-11, drawn to a device, classified in H01L27/105+.
 - II. Claims 12-16, drawn to a method, classified in H01L21/768+.
 - III. Claims 17-20, drawn to method of erase a 3D-NAND memory, classified in G11C16/14.
2. Inventions II and I are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case, process as claimed can be used to make another and materially different product, as the process claims require a deposition steps of polysilicon whereas the product claims do not require any polysilicon; and Inventions I and III are related as product and process of use. The inventions can be shown to be distinct if either or both of the following can be shown: (1) the process for using the product as claimed can be practiced with another materially different product or (2) the product as claimed can be used in a materially different process of using that product. See MPEP § 806.05(h). In the instant case, the method of erasing the 3D-NAND memory as claimed having multiple bottom select gates compare the product as claimed in the Invention I is claiming only one bottom select gate.
3. Restriction for examination purposes as indicated is proper because all the inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of

the following reasons apply: the inventions require a different field search (e.g., searching different class/subclass or electronic resources, or employing different search strategies or search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a invention to be examined even though the requirement may be traversed (37 CFR 1.143) and (ii) identification of the claims encompassing the elected invention.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to GENE N AUDUONG whose telephone number is (571)272-1773. The examiner can normally be reached on M-F 8:30 a.m. - 4:30 p.m. EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at <http://www.uspto.gov/interviewpractice>.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander George Sofocleous can be reached on (571) 272-0635. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <https://ppair-my.uspto.gov/pair/PrivatePair>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/GENE N AUDUONG/
Primary Examiner, Art Unit 2825

<i>Index of Claims</i> 	Application/Control No. 16/365,725	Applicant(s)/Patent Under Reexamination SONG et al.
	Examiner GENE N AUDUONG	Art Unit 2825

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

CLAIMS										
☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47										
CLAIM		DATE								
Final	Original	03/17/2020								
	1	÷								
	2	÷								
	3	÷								
	4	÷								
	5	÷								
	6	÷								
	7	÷								
	8	÷								
	9	÷								
	10	÷								
	11	÷								
	12	÷								
	13	÷								
	14	÷								
	15	÷								
	16	÷								
	17	÷								
	18	÷								
	19	÷								
	20	÷								



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/365,725	03/27/2019	Yali SONG	521129US

CONFIRMATION NO. 4814

22850

OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET
ALEXANDRIA, VA 22314

PUBLICATION NOTICE



OC000000117672062

Title:NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

Publication No.US-2020-0185408-A1

Publication Date:06/11/2020

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <https://portal.uspto.gov/pair/PublicPair>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

DOCKET NO: 521129US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF :
YALI SONG, ET AL. : EXAMINER: AUDUONG, GENE NGHIA
SERIAL NO: 16/365,725 :
FILED: MARCH 27, 2019 : GROUP ART UNIT: 2825
FOR: NOVEL 3D NAND MEMORY :
DEVICE AND METHOD OF FORMING
THE SAME

RESTRICTION RESPONSE

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:

In response to the Restriction Requirement dated April 2, 2020, Applicant elects, without traverse, Invention I, Claims 1-11, drawn to a device classified in H01L27/105+. Applicant makes this election based on the understanding that Applicant is not prejudiced against filing one or more divisional applications that cover the non-elected claims.

Accordingly, it is respectfully requested that Claims 1-11 be examined on the merits,
and an early and favorable action be provided.

Respectfully Submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Johnny Ma/

Johnny Ma
Attorney of Record
Registration No. 59,976

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 07/09)

Docket No. 521129US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yali SONG, et al.

SERIAL NO: 16/365,725

GAU: 2825

FILED: March 27, 2019

EXAMINER: AUDUONG, GENE
NGHIA

FOR: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE
SAME

**REQUEST FOR EXTENSION OF TIME
UNDER 37 C.F.R. 1.136**

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:

It is hereby requested that a **four** month extension of time be granted to October 2, 2020 for

- ☒ filing a response to the Official Action dated: April 2, 2020.
- ☐ responding to the requirements in the Notice of Allowability dated:
- ☐ responding to the Notice to File Missing Parts of Application dated:
- ☐ filing a Notice of Appeal. A timely response to the final rejection, due has been filed.
- ☐ filing an Appeal Brief. A Notice of Appeal was filed on:
- ☐ Applicant claims small entity status. See 37 CFR 1.27.

The required fee of \$2,200.00 is being made by credit card payment online (if electronically filed), or is attached hereto (if paper filed), and any further charges may be made against the Attorney of Record's Deposit Account No. 15-0030.

Respectfully Submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Johnny Ma/

Johnny Ma

Registration No. 59,976

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 07/09)

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

RE: Application Serial No.: 16/365,725
Applicants: Yali SONG, et al.
Filing Date: March 27, 2019
For: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF
FORMING THE SAME
Group Art Unit: 2825
Examiner: AUDUONG, GENE NGHIA

Commissioner:

Attached hereto for filing are the following papers:

RESTRICTION RESPONSE

Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount of **\$2,200.00** to cover any required fees. In the event any variance exists between the submitted amount and the U.S. Patent and Trademark Office fees for filing the above-noted documents, including any fees required under 37 C.F.R. 1.136 for any necessary Extension of Time to make the filing of the attached documents timely, please charge or credit the difference to our Deposit Account No. **15-0030**. Further, if these papers are not considered timely filed, then a petition is hereby made under 37 C.F.R. 1.136 for the necessary extension of time.

Respectfully submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Johnny Ma/

Johnny Ma

Registration No. 59,976

Customer Number

22850

(703) 413-3000 (phone)
(703) 413-2220 (fax)
(OMMN 02/12)

OBLON, McCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET ■ ALEXANDRIA, VIRGINIA 22314 ■ U.S.A.
TELEPHONE: 703-413-3000 ■ FACSIMILE: 703-413-2220 ■ WWW.OBLON.COM

Electronic Acknowledgement Receipt	
EFS ID:	40506951
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Philippe Jean-Claude Signore/Nozomi Berger
Filer Authorized By:	Philippe Jean-Claude Signore
Attorney Docket Number:	521129US
Receipt Date:	09-SEP-2020
Filing Date:	27-MAR-2019
Time Stamp:	14:50:41
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment		no			
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129US-Response.pdf	162694	yes	4
			df718499594ff963ba8d637393381d77e316b3c2		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Response to Election / Restriction Filed	3	4
	Extension of Time	2	2
	Miscellaneous Incoming Letter	1	1
Warnings:			
Information:			
Total Files Size (in bytes):		162694	
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.			

Electronic Patent Application Fee Transmittal				
Application Number:		16365725		
Filing Date:		27-Mar-2019		
Title of Invention:		NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		
First Named Inventor/Applicant Name:		Yali SONG		
Filer:		Philippe Jean-Claude Signore/Nozomi Berger		
Attorney Docket Number:		521129US		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description		Fee Code	Quantity	Amount
Sub-Total in USD(\$)				
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension - 4 months with \$0 paid	1254	1	2200	2200
Miscellaneous:				
Total in USD (\$)				2200

Electronic Acknowledgement Receipt

EFS ID:	40507017
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Philippe Jean-Claude Signore/Nozomi Berger
Filer Authorized By:	Philippe Jean-Claude Signore
Attorney Docket Number:	521129US
Receipt Date:	09-SEP-2020
Filing Date:	27-MAR-2019
Time Stamp:	14:52:20
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$ 2200
RAM confirmation Number	E202099E52423652
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Fee Worksheet (SB06)	fee-info.pdf	30861	no	2
			6087f835134d11cf080902cf2addb8d7858f001d		
Warnings:					
Information:					
Total Files Size (in bytes):			30861		
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.					

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 16/365,725		Filing Date 03/27/2019		☐ To be Mailed			
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO											
APPLICATION AS FILED - PART I											
		(Column 1)		(Column 2)							
FOR		NUMBER FILED		NUMBER EXTRA		RATE (\$)		FEE (\$)			
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A		N/A		N/A					
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))		N/A		N/A		N/A					
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A		N/A		N/A					
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 = *				x \$100 =					
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 = *				x \$460 =					
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))											
* If the difference in column 1 is less than zero, enter "0" in column 2.						TOTAL					
APPLICATION AS AMENDED - PART II											
		(Column 1)		(Column 2)		(Column 3)					
AMENDMENT	09/09/2020	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 20	Minus	** 20	= 0			x \$100 =		0	
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0			x \$460 =		0	
	☐ Application Size Fee (37 CFR 1.16(s))										
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
								TOTAL ADD'L FEE		0	
		(Column 1)		(Column 2)		(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=			x \$0 =			
	Independent (37 CFR 1.16(h))	*	Minus	***	=			x \$0 =			
	☐ Application Size Fee (37 CFR 1.16(s))										
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
								TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.								LIE			
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".								/TRACEY T BELL/			
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".											
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.											

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

22850 7590 11/16/2020
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET
ALEXANDRIA, VA 22314

EXAMINER

AUDUONG, GENE NGHIA

ART UNIT PAPER NUMBER

2825

DATE MAILED: 11/16/2020

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814

TITLE OF INVENTION: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	02/16/2021

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

22850 7590 11/16/2020
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET
ALEXANDRIA, VA 22314

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814

TITLE OF INVENTION: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	02/16/2021

EXAMINER	ART UNIT	CLASS-SUBCLASS
AUDUONG, GENE NGHIA	2825	365-185170

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

1 _____

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☐ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814
22850	7590	11/16/2020	EXAMINER	
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P. 1940 DUKE STREET ALEXANDRIA, VA 22314			AUDUONG, GENE NGHIA	
			ART UNIT	PAPER NUMBER
			2825	
DATE MAILED: 11/16/2020				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b) (2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 16/365,725	Applicant(s) SONG et al.	
	Examiner GENE N AUDUONG	Art Unit 2825	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to Election/Restriction filed 9/9/2020.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on ____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-11. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:
a) ☐ All b) ☐ Some *c) ☐ None of the:
1. ☐ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date ____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)	5. ☐ Examiner's Amendment/Comment
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.	6. ☒ Examiner's Statement of Reasons for Allowance
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.	7. ☐ Other _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____.	

/GENE N AUDUONG/ Primary Examiner, Art Unit 2825	
---	--

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Information Disclosure Statement

2. The information disclosure statement (IDS) submitted on 7/19/2019, 7/31/2019 and 9/30/2019 is being considered by the examiner.

Drawings

3. The drawings were received on 3/27/2019. These drawings are acceptable.

Election/Restrictions

4. Applicant's election without traverse of claims 1-11 in the reply filed on 9/9/2020 is acknowledged.
5. This application is in condition for allowance except for the presence of claims 12-20 directed to inventions non-elected without traverse. Accordingly, claims 12-20 been cancelled.

Allowable Subject Matter

6. Claims 1-11 are allowed.
7. The following is an examiner's statement of reasons for allowance:

The prior art made of record and considered pertinent to the applicant's disclosure, especially when these limitations are considered within the specific combination claimed, does not teach or fairly disclose a memory device, comprising:

- a substrate;
- a bottom select gate (BSG) disposed over the substrate;
- a plurality of word lines positioned over the BSG with a staircase configuration;

a plurality of insulating layers disposed between the substrate, the BSG, and the plurality of word lines;

one or more first dielectric trenches formed in the BSG and extending in a length direction of the substrate to separate the BSG into a plurality of sub-BSGs; and

one or more common source regions formed over the substrate and extending in the length direction of the substrate, wherein the one or more common source regions extend through the BSG, the plurality of word lines, and the plurality of insulating layers.

Dependent claims depend from allowable independent claims and inherently include limitation therein and therefore are allowed as well.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled “Comments on Statement of Reasons for Allowance.”

Conclusion

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to GENE N AUDUONG whose telephone number is (571)272-1773. The examiner can normally be reached on M-F 8:30 a.m. - 4:30 p.m. EST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at <http://www.uspto.gov/interviewpractice>.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander George Sofocleous can be reached on (571) 272-0635. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <https://ppair-my.uspto.gov/pair/PrivatePair>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/GENE N AUDUONG/
Primary Examiner, Art Unit 2825

<i>Notice of References Cited</i>	Application/Control No. 16/365,725		Applicant(s)/Patent Under Reexamination SONG et al.	
	Examiner GENE N AUDUONG		Art Unit 2825	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20200335514-A1	10-2020	XU; Qiang	H01L21/762	1/1
*	B	US-20200227555-A1	07-2020	Sun; Jian Hua	H01L23/562	1/1
*	C	US-20200185411-A1	06-2020	Hemer; Scott Brad	H01L27/11575	1/1
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Issue Classification 	Application/Control No. 16/365,725	Applicant(s)/Patent Under Reexamination SONG et al.	
	Examiner GENE N AUDUONG	Art Unit 2825	

CPC						
Symbol					Type	Version
H01L	/	27	/	11582	F	2013-01-01
G11C	/	16	/	0483	I	2013-01-01
G11C	/	16	/	14	I	2013-01-01
H01L	/	21	/	31116	I	2013-01-01
H01L	/	23	/	528	I	2013-01-01
H01L	/	27	/	11565	I	2013-01-01
H01L	/	27	/	1157	I	2013-01-01
H01L	/	29	/	0847	I	2013-01-01
H01L	/	29	/	1037	I	2013-01-01
H01L	/	21	/	0276	A	2013-01-01
H01L	/	21	/	31144	A	2013-01-01

CPC Combination Sets					
Symbol				Type	Set
	/		/		

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	11	
/GENE N AUDUONG/ Primary Examiner, Art Unit 2825	07 November 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

U.S. Patent and Trademark Office

Part of Paper No.: 20201107

Issue Classification 	Application/Control No. 16/365,725	Applicant(s)/Patent Under Reexamination SONG et al.
	Examiner GENE N AUDUONG	Art Unit 2825

INTERNATIONAL CLASSIFICATION			
CLAIMED			
H01L	/	27	/ 11582
H01L	/	21	/ 311
G11C	/	16	/ 04
G11C	/	16	/ 14
NON-CLAIMED			
/		/	

US ORIGINAL CLASSIFICATION	
CLASS	SUBCLASS

CROSS REFERENCES(S)						
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	11	
/GENE N AUDUONG/ Primary Examiner, Art Unit 2825	07 November 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

U.S. Patent and Trademark Office

Part of Paper No.: 20201107

Issue Classification 	Application/Control No. 16/365,725	Applicant(s)/Patent Under Reexamination SONG et al.
	Examiner GENE N AUDUONG	Art Unit 2825

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
CLAIMS															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	10	10	-	19										
2	2	11	11	-	20										
3	3	-	12												
4	4	-	13												
5	5	-	14												
6	6	-	15												
7	7	-	16												
8	8	-	17												
9	9	-	18												

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	11	
/GENE N AUDUONG/ Primary Examiner, Art Unit 2825	07 November 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

<i>Search Notes</i> 	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/365,725	SONG et al.
	Examiner	Art Unit
	GENE N AUDUONG	2825

CPC - Searched*		
Symbol	Date	Examiner
H01L27/11582 or G11C16/0483 or G11C16/14 or H01L21/31116 or H01L23/528 or H01L27/11565 or H01L27/1157 or H01L29/0847 or H01L29/1037 or H01L21/0276 or H01L21/31144 or H01L27/11551 or H01L27/1158	11/07/2020	GA

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
East search, Prior art search, Inventor name search	11/07/2020	GA

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
Interference search		11/07/2020	GA

--	--

EAST Search History**EAST Search History (Prior Art)**

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	17	("20100320528" "20180337195" "10134747" "10141372" "20160266270").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 07:40
L2	94554	(H01L27/11582 or H01L23/528 or G11C16/0483 or H01L27/11565 or H01L21/31116 or H01L29/1037 or G11C16/14 or H01L29/0847 or H01L27/1157 or H01L21/31144 or H01L21/0276).cpc.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 07:42
L3	81	memory same3 vertical same3 substrate same3 bottom same3 select\$3 same3 gate same3 word same3 line same3 staircase same3 insulat\$3 same3 dielectric same3 trench same3 common same3 region same3 source same3 top	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:05
L5	25	3 and length and extend\$3 and spac\$3 and second	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:08
L6	75	2 and 3	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:09
L7	23	2 and 5	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:09
L9	23	6 and @pd <="20181207"	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:14
L10	5	7 and @pd <="20181207"	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/16 08:14

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L11	0	(memory and vertical and substrate and bottom and select\$3 and gate and word and line and staircase and insulat\$3 and dielectric and	US-PGPUB; USPAT	OR	ON	2020/03/16 08:16

	trench and common and region and source and top and length and extend\$3 and spac\$3 and second).clm.			
--	---	--	--	--

3/16/2020 8:17:00 AM
C:\Users\gauduong\Documents\EAST\Workspaces\til 2-29-2020.wsp

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	104,715	(H01L27/11582 or G11C16/0483 or G11C16/14 or H01L21/31116 or H01L23/528 or H01L27/11565 or H01L27/1157 or H01L29/0847 or H01L29/1037 or H01L21/0276 or H01L21/31144 or H01L27/11551 or H01L27/1158).cpc.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/11/07 22:49
L4	8	memory same3 ((bottom adj3 select adj3 gate) "BSG") same3 staircase same3 substrate same3 dielectric same3 trench	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/11/07 22:55
L5	8	1 and 4	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/11/07 22:56
L6	1	4 and (((top adj3 select adj3 gate) "TSG") same3 word same3 insulat\$3 same3 layer same3 second same3 extend\$3 same3 length)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/11/07 22:58
L9	15	("20100320528" "20180337195" "10134747" "10141372" "20160233270""20190081105").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/11/07 23:09

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L7	1	(memory and ((bottom adj3 select adj3 gate) "BSG") and staircase and substrate and dielectric and trench and ((top adj3 select adj3 gate) "TSG") and word and insulat\$3 and layer and second and extend\$3 and length).clm.	US-PGPUB; USPAT	OR	ON	2020/11/07 23:01
L8	4	("20100320528" "20180337195" "10134747" "10141372" "20160233270""20190081105").pn.	US-PGPUB; USPAT	OR	ON	2020/11/07 23:09

11/7/2020 11:37:25 PM

C:\Users\gauduong\Documents\EAST\Workspaces\10-29-2020.wsp

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2827	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	2018/0337195 A1	11/22/2018	JAYANTI, S., et al.			
	AB	10,134,747 B2	11/20/2018	LEE, N.J.			
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	201834218 A	09/16/2018	Taiwan (with English abstract)			x
	AP	201842601 A	12/01/2018	Taiwan (with English abstract)			x
	AQ	201834217 A	09/16/2018	Taiwan (with English abstract)			x
	AR	108831886 A	11/16/2018	China (with English abstract)			x
	AS	108933139 A	12/04/2018	China (with English abstract)			x
	AT	108933141 A	12/04/2018	China (with English abstract)			x
	AU	2018-163970 A	10/18/2018	Japan (with English abstract)			x
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW						
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner	/GENE N AUDUONG/				Date considered	02/18/2020	
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /G.N.A./



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 4814

SERIAL NUMBER 16/365,725	FILING or 371(c) DATE 03/27/2019 RULE	CLASS 365	GROUP ART UNIT 2825	ATTORNEY DOCKET NO. 521129US		
APPLICANTS YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA; INVENTORS Yali SONG, Wuhan, CHINA; Li Hong XIAO, Wuhan, CHINA; Ming WANG, Wuhan, CHINA; ** CONTINUING DATA ***** This application is a CON of PCT/CN2018/119908 12/07/2018 ** FOREIGN APPLICATIONS ***** ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 04/09/2019						
Foreign Priority claimed ☐ Yes ☒ No 35 USC 119(a-d) conditions met ☐ Yes ☒ No Verified and Acknowledged <u>/GENE N. AUDUONG/</u> Examiner's Signature		☐ Met after Allowance Initials	STATE OR COUNTRY CHINA	SHEETS DRAWINGS 21	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3
ADDRESS OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P. 1940 DUKE STREET ALEXANDRIA, VA 22314 UNITED STATES						
TITLE NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME						
FILING FEE RECEIVED 1720	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit		

SHEET 1 OF 1

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2825	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	10,141,372 B2	11-27-2018	PARK, J. et al. (corresponds to US 2019/0081105 A1)			
	AB	2016/0233270 A1	08-11-2016	TAKAKI, S. et al.			
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	101118907 A	02-06-2008	China			X
	AP	101315936 A	12-03-2008	China			X
	AQ	106601751 A	04-26-2017	China			X
	AR						
	AS						
	AT						
	AU						
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW	International Search Report and Written Opinion of the International Search Authority issued on Sep. 18, 2019, in PCT/CN2018/119908, citing documents AA-AB and AO-AQ therein, 9 pages					
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner	/GENE N AUDUONG/				Date considered	02/18/2020	
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /G.N.A/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L4	17	("20100320528" "20180337195" "10134747" "20160233270" "10141372").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:07
L5	95113	(H01L27/11582 or G11C16/0483 or H01L23/528 or H01L27/11565 or H01L21/31116 or H01L29/1037 or G11C16/14 or H01L29/0847 or H01L27/1157 or H01L21/31144 or H01L21/0276).cpc.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:15
L6	0	memory same3 ((bottom adj select adj gate) "BSG") same3 word same3 line same3 staircase same3 insulat\$3 same3 substrate same3 trench same3 length same3 source same3 region	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:18
L7	0	memory same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line same3 staircase same3 insulat\$3 same3 substrate same3 trench same3 length same3 source same3 region	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:20
L8	1	(memory same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line same3 staircase same3 insulat\$3 same3 substrate) and (trench and length and source and region)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:22
L9	16	("9837433" "8933502" "20170309634" "20110266604" "8394716" "20170352678" "20150162345").pn.	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:27
L10	0	(3D-NAND same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line same3 staircase same3 insulat\$3 same3 substrate) and (trench and length and source and region)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:32
L11	0	(3D-NAND same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line) and (staircase and insulat\$3 and substrate and trench and length and source and region)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:34
L12	5	((("3D" (three adj dimensional)) same3 NAND same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line) and (staircase and insulat\$3 and substrate and trench and length and source and region)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:35
L13	5	((("3D" (three adj dimension\$2)) same3 NAND same3 ((bottom adj3 select adj3 gate) "BSG") same3 word same3 line) and (staircase and insulat\$3 and substrate and trench and length and source and region)	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:36

L14	5	5 and 13	US-PGPUB; USPAT; EPO; JPO; DERWENT	OR	ON	2020/03/30 01:38
-----	---	----------	---	----	----	---------------------

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L15	0	((("3D" (three adj dimension\$2)) and NAND and ((bottom adj3 select adj3 gate) "BSG") and word and line and staircase and insulat\$3 and substrate and trench and length and source and region).clm.	US-PGPUB; USPAT	OR	ON	2020/03/30 01:39

3/30/2020 1:40:10 AM**C:\Users\gauduong\Documents\EAST\Workspaces\til 2-29-2020.wsp**

SHEET 1 OF 1

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2827	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	2010/0320528 A1	12-23-2010	JEONG, J. et al.			
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	103226973 A	07-31-2013	China			X
	AP	103680611 A	03-26-2014	China			X
	AQ	103680618 A	03-26-2014	China			X
	AR						
	AS						
	AT						
	AU						
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW	Combined Chinese Office Action and Search Report issued on Jul. 17, 2019, in Patent Application No. 201880002892.5, citing documents AA and AO-AQ therein, 7 pages (with English Translation of Category of Cited Documents)					
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner	/GENE N AUDUONG/				Date considered	11/07/2020	
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /G.N.A./

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2825	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	108431961 A	08-21-2018	China (with English abstract)			X
	AP						
	AQ						
	AR						
	AS						
	AT						
	AU						
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW	Combined Chinese Office Action and Search Report issued on October 10, 2020 in Patent Application No. 202010103862.2 (with English translation of Categories of Cited Documents), citing documents AO therein, 7 pages					
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner					Date considered		
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

用于与多级存储器器件集成的具有多级栅极电极的场效应晶体管

[0001] 相关申请的交叉引用

[0002] 本申请要求于2015年10月28日提交的美国专利申请第14/925,224号的优先权,其内容通过引用整体合并于本文。

技术领域

[0003] 本公开一般涉及半导体器件领域,具体涉及与诸如垂直NAND串和其他三维器件的三维存储器结构兼容的场效应晶体管及其制造方法。

背景技术

[0004] 三维半导体器件在相同的半导体基板上采用多个器件级。在T.Endoh等人的题为“Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell”,IEDM Proc. (2001) 33-36的文章中公开了:示例性三维半导体器件是每单元具有一位的三维垂直NAND串。在许多情况下,需要包括场效应晶体管的外围器件来操作三维半导体器件。期望一种提供这样的外围器件的方法,其使用小器件区域并利用最少的附加工艺步骤。

发明内容

[0005] 根据本公开的方面,提供了一种包括场效应晶体管的器件。场效应晶体管包括:第一垂直晶体管沟道部分,其延伸穿过位于基板上方的电导电层和绝缘层的交替堆叠的第一部分,其中电导电层中的至少一些被彼此电短路以提供栅极电极;第一栅极电介质,其横向围绕第一垂直晶体管沟道部分;栅极电极接触结构,其延伸穿过交替堆叠的第一部分,并接触到电导电层中的至少一些以使电导电层中的至少一些电短路;底部有源区域,其位于基板之中或之上,并与第一垂直晶体管沟道部分横向地间隔开;以及第一顶部有源区域,其上覆第一垂直晶体管沟道部分。顶部有源区域和底部有源区域中的一个在场效应晶体管的源极区域,并且顶部有源区域和底部有源区域中的另一个是场效应晶体管的漏极区域。

[0006] 在一个实施例中,该器件还包括三维存储器器件。该三维存储器器件包括:彼此电隔离并且与交替堆叠的第一部分的电导电层电隔离的绝缘层和电导电层的交替堆叠的第二部分;以及至少一个存储器堆叠结构,其垂直地延伸穿过交替堆叠的第二部分,其中,至少一个存储器堆叠结构中的每一个从内到外包括存储器器件沟道和存储器薄膜。存储器薄膜包括横向围绕存储器器件沟道的隧穿电介质和横向围绕隧穿电介质的电荷存储区域。三维存储器器件包括三维NAND器件。场效应晶体管包括用于三维NAND器件的字线开关晶体管。堆叠的第二部分中的电导电层包括三维NAND器件的字线。三维NAND器件的至少一个字线通过互连被电连接到字线开关晶体管的源极或漏极区域。

[0007] 根据本公开的一方面,提供了一种制造器件的方法。在基板上方形形成绝缘层和牺牲材料层的交替堆叠。穿过交替堆叠形成器件开口。在器件开口的外围周围形成场效应晶

体管的栅极电介质。在栅极电介质内部的腔内形成场效应晶体管的垂直晶体管沟道。用电导电层替换牺牲材料层。穿过交替堆叠形成栅极电极接触结构。电导电层的至少一些被栅极电极接触结构电短路,并共同构成场效应晶体管的栅极电极。

[0008] 根据本公开的一方面,提供了一种在同一组工艺步骤期间制作开关晶体管和存储器器件的方法。该方法包括在基板上方形形成绝缘层和牺牲材料层的交替堆叠;在相同的蚀刻步骤期间,在交替堆叠中,在存储器区域中形成存储器开口并且在晶体管区域中形成器件开口;在相同的沉积步骤期间,在存储器开口中形成用于存储器器件的存储器堆叠结构并且在器件开口中形成用于开关晶体管的至少一个栅极电介质-沟道结构;用电导电层替换牺牲材料层;将存储器区域中的电导电层的部分与晶体管区域中的电导电层的部分隔离,以向存储器区域中的存储器器件提供独立控制的控制栅极电极;以及使晶体管区域中的电导电层的部分电短路,以向晶体管区域中的开关晶体管提供单个栅极电极。

附图说明

[0009] 图1是根据本公开的实施例的在绝缘层和牺牲材料层的交替堆叠、以及穿过交替堆叠延伸的存储器开口和器件开口的形成之后的示例性结构的垂直截面图。

[0010] 图2A至图2H是根据本公开的实施例的在用于形成开口填充结构的各种工艺步骤期间,示例性结构内的存储器开口或器件开口的顺序垂直横截面图。

[0011] 图3A是根据本公开的实施例的在形成开口填充结构之后的示例性结构的垂直横截面图。

[0012] 图3B是图3A的示例性结构的俯视图。

[0013] 图4是根据本公开的实施例的形成阶梯式表面和后向阶梯式 (retro-stepped) 电介质材料部分之后的示例性结构的垂直横截面图。

[0014] 图5是根据本公开的实施例的在形成电介质支撑柱结构之后的示例性结构的垂直横截面图。

[0015] 图6A是根据本公开的实施例的在形成各种穿过堆叠沟槽之后的示例性结构的沿着图6B中的线A-A' 和A''-A''' 的垂直横截面图。

[0016] 图6B是图6A的示例性结构的透视俯视图,其中示出了开口填充结构的位置。

[0017] 图6C是在图6A和6B的工艺步骤处的示例性结构的替代实施例的透视俯视图。

[0018] 图7是根据本公开的实施例的在形成背侧凹陷之后的示例性结构的垂直横截面图。

[0019] 图8是根据本公开的实施例的在形成电导电线之后的示例性结构的垂直横截面图。

[0020] 图9是根据本公开的实施例的在从穿过堆叠沟槽的子集内移除导电材料之后的示例性结构的垂直横截面视图。

[0021] 图10是根据本公开的实施例的在穿过堆叠沟槽中形成电介质材料部分之后的示例性结构的垂直横截面图。

[0022] 图11是根据本公开的实施例的在穿过堆叠沟槽中形成电介质材料部分之后的示例性结构的垂直横截面图。

[0023] 图12是根据本公开的实施例的在形成金属线结构之后的示例性结构的垂直横截

面图。

[0024] 图13是示出NAND器件的控制栅极接触通孔结构与垂直场效应晶体管的源极电极之间的电连接的示意图。

[0025] 图14是根据本公开的实施例的在形成金属线结构之后的示例性结构的替代实施例的垂直横截面图。

具体实施方式

[0026] 如上所讨论的,本公开涉及诸如垂直NAND串和其他三维器件的三维存储器结构及其制造方法,在下文中描述其各种方面。可以采用本公开的实施例来形成包括多级存储器结构的各种结构,其非限制性示例包括半导体器件,诸如包括多个NAND存储器串的三维单片存储器阵列器件。附图没有按比例绘制。除非明确描述或另外清楚地指出了没有元素的重复,否则可以在示出元素的单个实例的情况下复制多个元素的实例。诸如“第一”、“第二”和“第三”的序数词仅用于标识相似的元素,并且跨本公开的本说明书和权利要求书中可以采用不同的序数词。如本文所使用的,位于第二元素“上”的第一元素可以位于第二元素的表面的外侧上,或者位于第二元素的内侧上。如本文所使用的,如果第一元素的表面与第二元素的表面之间存在物理接触,则第一元素“直接地”位于第二元素“上”。

[0027] 如本文所使用的,“层”是指包括可以具有大体上均匀的厚度的区域的材料部分。层可以在下面的或上覆的结构的整体上方延伸,或者可以具有小于下面的或上覆的结构的范围的范围。此外,层可以是均匀或不均匀的连续结构的区域,其具有小于连续结构的厚度的厚度。例如,层可以位于连续结构的顶表面和底表面处的或者其之间的水平平面的任何对之间。层可以水平地、垂直地和/或沿着锥形的表面延伸。基板可以是层,可以在其中包括一个或多个层,和/或可以在其上、在其上方和/或在其下方具有一个或多个层。

[0028] 如本文所使用的,“场效应晶体管”是指具有半导体沟道的任何半导体器件,电流以由外部电场调节的电流密度流过该半导体沟道。如本文所使用的,“有源区域”是指场效应晶体管的源极区域或场效应晶体管的漏极区域。“顶部有源区域”是指位于场效应晶体管的另一有源区域的上方的场效应晶体管的有源区域。“底部有源区域”是指位于场效应晶体管的另一有源区域的下方的场效应晶体管的有源区域。单片三维存储器阵列是这样的阵列,其中多个存储器级形成在单个基板(诸如半导体晶圆)上方,而没有中间基板。术语“单片”意味着阵列的每个级的层被直接沉积在阵列的每个下面的级的层上。相比之下,二维阵列可以被分离地形成,然后被封装在一起以形成非单片存储器器件。例如,如标题为“Three Dimensional Structure Memory”的美国专利No.5,915,167中所述,已经通过在分离的基板上形成存储器级并垂直地堆叠存储器级来构造非单片堆叠的存储器。基板可以在键合之前被减薄或从存储器级移除,但是由于存储器级最初在分离的基板上方形成,这样的存储器不是真正的单片三维存储器阵列。本公开的各种三维存储器器件包括单片三维NAND串存储器器件,并且可以采用本文所述的各种实施例来制造。

[0029] 参考图1,示出了根据本公开的实施例的示例性结构,其可以用于例如制造包含垂直NAND存储器器件的器件结构。示例性结构包括基板,其可以是半导体基板(诸如,单晶硅晶圆)。基板可以包括基板半导体层9。基板半导体层9是半导体材料层,并且可以包括至少一种元素半导体材料(例如,诸如单晶硅的硅)、至少一种III-V族化合物半导体材料、至少

一种II-VI族化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。

[0030] 如本文所使用的,“半导体材料”是指具有从 $1.0 \times 10^{-6} \text{S/cm}$ 至 $1.0 \times 10^5 \text{S/cm}$ 的范围中的电导率的材料,且当利用电掺杂剂进行适当的掺杂时,能够产生具有从 1.0S/cm 至 $1.0 \times 10^5 \text{S/cm}$ 的范围中的电导率的掺杂的材料。如本文所使用的,“电掺杂剂”是指向带结构内的价带添加空穴的p型掺杂剂,或向带结构内的导带添加电子的n型掺杂剂。如本文所使用的,“导电材料”是指具有电导率大于 $1.0 \times 10^5 \text{S/cm}$ 的材料。如本文所使用的,“绝缘材料”或“电介质材料”是指具有电导率小于 $1.0 \times 10^{-6} \text{S/cm}$ 的材料。对电导率的所有测量都是在标准条件下进行的。基板半导体层9可以包括至少一个掺杂阱(未明确示出),该掺杂阱在其中具有大体上均匀的掺杂剂浓度。

[0031] 示例性结构可以有多个区域,以构建不同类型的器件。这样的区域可以包括例如存储器区域100、接触区域300和晶体管区域400。晶体管区域400可以是外围区域,诸如包含字线开关晶体管的行解码器区域,该开关晶体管接通和断开NAND存储器器件的字线。在一个实施例中,基板半导体层9可以在存储器区域100中包括至少一个掺杂阱。如本文所使用的,“掺杂阱”是指通体具有相同导电类型(其可以是p型或n型)的掺杂以及大体上相同水平的掺杂剂浓度的半导体材料的部分。掺杂阱可以与基板半导体层9相同或者可以是基板半导体层9的部分。掺杂阱的导电类型在本文中称为第一导电类型,其可以是p型或者n型。掺杂阱的掺杂剂浓度水平在本文中称为第一掺杂剂浓度水平。在一个实施例中,第一掺杂剂浓度水平可以在 $1.0 \times 10^{15} / \text{cm}^3$ 至 $1.0 \times 10^{18} / \text{cm}^3$ 的范围中,尽管也可以采用更小和更大的掺杂剂浓度水平。如本文所使用的,掺杂剂浓度水平是指给定区域的平均掺杂剂浓度。

[0032] 用于附加外围电路的至少一个半导体器件可以形成在基板半导体层9的一部分上或上方。附加外围电路可以包括感测放大器和位线外围器件,比如位线开关晶体管。该至少一个半导体器件可以包括,例如,用于接通和断开位线的场效应晶体管。用于外围电路的至少一个半导体器件可以包含用于随后形成的存储器器件的驱动电路,其可以包括至少一个NAND器件。

[0033] 可以通过单晶半导体材料的沉积,例如通过选择性外延,在基板半导体层9的顶表面上形成可选的半导体阱层10。沉积的半导体材料可以与基板半导体层9的半导体材料相同,或者可以与基板半导体层9的半导体材料不同。沉积的半导体材料可以是用于如上所述的半导体基板层9的任何材料。半导体阱层10的单晶半导体材料可以与基板半导体层9的单晶结构外延的对准。

[0034] 半导体阱层10位于存储器区域100中的至少部分是掺杂阱。如本文所使用的,“掺杂阱”是指通体具有相同导电类型(其可以是p型或n型)的掺杂以及大体上相同水平的掺杂剂浓度的半导体材料的部分。掺杂阱可以与半导体阱层10相同或者可以是半导体阱层10的部分,或者,在省略半导体阱层10的情况下,可以是基板半导体层9的部分。掺杂阱的导电类型在本文中称为第一导电类型,其可以是p型或者n型。掺杂阱的掺杂剂浓度水平在本文中称为第一掺杂剂浓度水平。在一个实施例中,第一掺杂剂浓度水平可以在 $1.0 \times 10^{15} / \text{cm}^3$ 至 $1.0 \times 10^{18} / \text{cm}^3$ 的范围中,尽管也可以采用更小和更大的掺杂剂浓度水平。如本文所使用的,掺杂剂浓度水平是指给定区域的平均掺杂剂浓度。

[0035] 至少一个浅沟槽隔离结构120可以形成在基板(9,10)的上部中。例如,可以例如通

过形成浅沟槽并用诸如氧化硅和/或氮化硅的电介质材料填充浅沟槽在半导体材料层中形成至少一个浅沟槽隔离结构120。在一个实施例中,可以在晶体管区域400的外围形成至少一个浅沟槽隔离结构120,以将晶体管区域400之内的基板(9,10)的部分与基板(9,10)中的邻接区域电隔离。在一个实施例中,可以以沟槽配置形成浅沟槽隔离结构120,以提供由浅沟槽隔离结构120横向围绕的半导体阱层10的部分。

[0036] 可选地,可以在基板半导体层9上方(例如,在阱层10的上方)形成水平栅极电介质层12。水平栅极电介质层12可以用作源极选择栅极电极的栅极电介质。水平栅极电介质层12可以包括,例如,氧化硅和/或电介质金属氧化物(诸如, HfO_2 、 ZrO_2 、 LaO_2 等)。水平栅极电介质层12的厚度可以在3nm至30nm的范围中,尽管也可以使用更小和更大的厚度。

[0037] 在基板的顶表面上方形成第一材料层(其可以是绝缘层32)和第二材料层(其是指间隔体材料层)的交替堆叠,其可以,例如,在栅极电介质层12的顶表面上。如本文所使用的,“材料层”是指其整体通体包括材料的层。如本文所使用的,“间隔体材料层”是指位于两个其他材料层之间(即上覆材料层和下面材料层之间)的材料层。间隔体材料层可以形成导电层,或者可以在随后的工艺步骤中被导电层代替。

[0038] 如本文所使用的,第一元素和第二元素的交替堆叠是指其中第一元素的实例和第二元素的实例交替的结构。不是交替的多个元素的端部元素的第一元素的每个实例由在两侧的第二元素的两个实例邻接,并且不是交替的多个元素的端部元素的第二元素的每个实例由在两端的第一元素的两个实例邻接。第一元素可以在其之中具有相同的厚度,或者可以具有不同的厚度。第二元素可以在其之中具有相同的厚度,或者可以具有不同的厚度。交替的多个第一材料层和第二材料层可以以第一材料层的实例或以第二材料层的实例开始,并且可以以第一材料层的实例或以第二材料层的实例结束。在一个实施例中,第一元素的实例和第二元素的实例可以在交替的多个元素内形成以周期性重复的单位。

[0039] 每个第一材料层包括第一材料,并且每个第二材料层包括不同于第一材料的第二材料。在一个实施例中,每个第一材料层可以是绝缘层32,并且每个第二材料层可以是牺牲材料层42。在这种情况下,堆叠可以包括交替的多个绝缘层32和牺牲材料层42,并且构成包括绝缘层32和牺牲材料层42的交替的层的原型堆叠。如本文所使用的,“原型”结构或“过程中”结构指随后在其中至少一个组件的形状上或成分上修改的瞬态结构。

[0040] 交替的多个层的堆叠在本文中称为交替堆叠(32,42)。在一个实施例中,交替堆叠(32,42)可以包括由第一材料构成的绝缘层32、以及由不同于绝缘层32的材料第二材料构成的牺牲材料层42。绝缘层32的第一材料可以是至少一种绝缘材料。因此,每个绝缘层32可以是绝缘材料层。可以用于绝缘层32的绝缘材料包括但不限于,氧化硅(包含掺杂的或未掺杂的硅酸盐玻璃)、氮化硅、氮氧化硅、有机硅酸盐玻璃(Organosilicate Glass,OSG)、旋涂(spin-on)电介质材料、通常称为高介电常数(High Dielectric Constant,high-k)电介质氧化物的电介质金属氧化物(例如,氧化铝、氧化铪等)及其硅酸盐、电介质金属氮氧化物及其硅酸盐、以及有机绝缘材料。在一个实施例中,绝缘层32的第一材料可以是氧化硅。

[0041] 牺牲材料层42的第二材料是可以是对绝缘层32的第一材料有选择性的被移除的牺牲材料。如本文所使用的,如果移除工艺以第二材料的移除的速率的至少两倍的速率来移除第一材料,则第一材料的移除“对”第二材料是“有选择性”的。第一材料的移除的速率与第二材料的移除的速率的比率在本文中称为,针对第二材料的用于第一材料的移除工艺

的“选择度”。

[0042] 牺牲材料层42可以包括绝缘材料、半导体材料或导电材料。牺牲材料层42的第二材料随后可以用电导电电极来代替,该电导电电极例如可以用作垂直NAND器件的一组独立偏置的控制栅极电极,或用作一组电导电层,该电导电层被电短路到彼此以用于垂直场效应晶体管的单个栅极电极。第二材料的非限制性示例包括氮化硅、非晶半导体材料(诸如非晶硅)和多晶半导体材料(例如多晶硅)。在一个实施例中,牺牲材料层42可以是包括氮化硅或半导体材料(其包括硅和锗中的至少一个)的间隔体材料层。

[0043] 在一个实施例中,绝缘层32可以包括氧化硅,并且牺牲材料层可以包括氮化硅牺牲材料层。可以例如通过化学气相沉积(chemical vapor deposition,CVD)沉积绝缘层32的第一材料。例如,如果氧化硅被用于绝缘层32,则原硅酸四乙酯(Tetraethyl orthosilicate,TEOS)可以用作CVD工艺的前驱(preursor)材料。牺牲材料层42的第二材料可以例如由CVD或原子层沉积(Atomic Layer Deposition,ALD)来形成。

[0044] 牺牲材料层42可以被适当地图案化,使得随后通过替换牺牲材料层42形成的导电材料部分可以用作电导电电极(诸如,随后要形成的单片三维NAND串存储器器件的控制栅极电极)。牺牲材料层42可以包括具有大体上平行于基板的顶表面延伸的条形的部分。

[0045] 绝缘层32和牺牲材料层42的厚度可以在20nm至50nm的范围中,尽管可以为每个绝缘层32和每个牺牲材料层42采用更小或更大的厚度。绝缘层32和牺牲材料层(例如,控制栅极电极或牺牲材料层)42对的重复次数可以在从2至1024的范围中,并且典型地为从8至256的范围,尽管也可以采用更多的重复次数。堆叠中的顶部栅极电极和底部栅极电极可以用作选择栅极电极。在一个实施例中,交替堆叠(32,42)中的每个牺牲材料层42可以在每个相应的牺牲材料层42内具有大体上不变的均匀的厚度。

[0046] 可选地,绝缘帽层70可以形成在交替堆叠(32,42)上方。绝缘帽层70包括与牺牲材料层42的材料不同的电介质材料。在一个实施例中,绝缘帽层70可以包括如上所述的可以用于绝缘层32的电介质材料。绝缘帽层70可以具有比绝缘层32中的每一个更大的厚度。可以例如通过化学气相沉积来沉积绝缘帽层70。在一个实施例中,绝缘帽层70可以是氧化硅层。

[0047] 至少包括光致抗蚀剂层的平版印刷材料堆叠(未示出)可以形成在绝缘帽层70和交替堆叠(32,42)上方,并且可以被平版印刷地图案化以在其中形成开口。通过采用图案化的平版印刷材料堆叠作为蚀刻掩模的至少一个各向异性蚀刻,平版印刷材料堆叠中的图案可以通过绝缘帽层70和通过交替堆叠(32,42)的整体被转印。蚀刻图案化的平版印刷材料堆叠中的开口下面的交替堆叠(32,42)的部分以在存储器区域100中形成存储器开口49并且在晶体管区域400中形成器件开口149。换句话说,穿过交替堆叠(32,42)在图案化平版印刷材料堆叠中的图案的转印同时形成延伸穿过交替堆叠(32,42)的存储器开口49和器件开口149。用于穿过交替堆叠(32,42)的材料蚀刻的各向异性蚀刻工艺的化学反应可以交替,以优化交替堆叠(32,42)中的第一材料和第二材料的蚀刻。各向异性蚀刻可以例如是一系列的反应离子蚀刻。可选地,水平栅极电介质层12可以用作交替堆叠(32,42)与基板之间的蚀刻停止层。第一存储器开口的侧壁可以是大体上垂直的,或者可以是锥形的。图案化的平版印刷材料堆叠随后可以例如通过灰化被移除。存储器开口49的横向尺寸(例如直径)可以与器件开口149的相应横向尺寸相同或可以不同。

[0048] 开口填充结构可以形成在存储器开口49和器件开口149中的每一个中。存储器开口填充结构可以形成在存储器开口49中的每一个中,并且器件开口填充结构可以形成在器件开口149中的每一个中。如本文所使用的,“存储器开口填充结构”是指填充存储器开口的结构。如本文所使用的,“器件开口填充结构”是指填充器件开口的结构。

[0049] 图2A至2H示出了在其中形成开口填充结构期间,穿过交替堆叠(32,43)的开口(49或149)的顺序垂直横截面视图,其可以是存储器开口49或器件开口149。由于由每个开口的横向尺寸的差异引起的尺寸的可能的变化,在相同的工艺步骤期间,可以在所有存储器开口49和器件开口149中形成相同的开口填充结构。在一个实施例中,形成在存储器开口49中的每个开口填充结构可以构成存储器堆叠结构,并且形成在器件开口149中的每个器件开口填充结构可以构成栅极电介质-沟道结构。如本文所使用的,“存储器堆叠结构”是指包括存储器单元堆叠的结构。如本文所使用的,“栅极电介质-沟道结构”是指包括栅极电介质结构的至少一个组件和晶体管的沟道的至少一个组件的结构。存储器堆叠结构和栅极电介质-沟道结构可以具有相同的组件和相同的配置,尽管存储器堆叠结构的横向尺寸(例如,直径)与向对应的栅极电介质-沟道结构的横向尺寸可以相同或可以不同。示例性的开口填充结构可以填充图1中示出的示例性结构中的存储器开口49中的每一个和每个器件开口149中的每一个。

[0050] 参考图2A,示出了开口(49/149),其可以是存储器开口49或器件开口149。开口(49/149)穿过绝缘帽层70、交替堆叠(32,42)、和栅极电介质层12延伸,并可选的延伸到基板的上部(例如,进入半导体阱层10)。每个开口(49/149)的底表面相对于基板的顶表面(例如,半导体阱层10的顶表面)的凹陷深度可以在从0nm到30nm的范围内,尽管也可以采用更大的凹陷深度。可选地,可以例如通过各向同性蚀刻,部分地横向地凹陷牺牲材料层42以形成横向凹陷(未示出)。

[0051] 参考图2B,可以通过半导体材料的选择性外延以在每个开口(49/149)的底部处可选地形成外延沟道部分11。在选择性外延工艺期间,反应气体和蚀刻剂气体可以同时地或交替地流入工艺室中。示例性结构的半导体表面和电介质表面为半导体材料提供不同的成核速率。通过将半导体材料的蚀刻速率(由蚀刻剂气体的流量确定)设定为大于半导体材料在电介质表面上的成核速率,并且小于半导体材料在半导体表面上的成核速率,半导体材料可以从物理暴露的半导体表面(即,从每个开口(49/149)的底部处的半导体阱层10的物理暴露的表面)生长。沉积的半导体材料的每个部分构成外延沟道部分11,其包括与基板半导体层9的单晶半导体材料(例如,单晶硅)外延对准的单晶半导体材料(例如,单晶硅)。每个外延沟道部分11用作场效应晶体管的沟道的部分。外延沟道部分11的顶表面可以在一对牺牲材料层42之间。换言之,每个外延沟道部分11的外围可以与绝缘层32的侧壁物理接触。腔49'存在于每个开口(49/149)中的外延沟道部分11之上。

[0052] 参考图2C,在开口(49,149)中和在绝缘帽层70上形成连续层堆叠(即,连续层的堆叠)。连续层堆叠可以包括至少一个可选的外部电介质层(501L,503L)、连续中间材料层504L、和内部电介质层506L。该连续层堆叠可以包括能够用作器件开口149中的栅极电介质材料和存储器开口49中的存储器薄膜的电介质材料。

[0053] 至少一个外部电介质层(501L,503L)可以包括,例如,第一外部电介质层501L和第二外部电介质层503L。在说明性示例中,第一外部电介质层501L可以通过共形沉积方法沉

积在每个开口 (49/149) 的侧壁上。至少一个外部电介质层 (501L, 503L) 中的每一个可以包括可以用作阻挡电介质材料的电介质材料, 该阻挡电介质材料是用于包括电荷存储区域的存储器器件的控制栅极的栅极电介质材料。第一外部电介质层 501L 包括电介质材料, 其可以是电介质金属氧化物。如本文所使用的, 电介质金属氧化物是指包含至少一种金属元素和至少氧的电介质材料。电介质金属氧化物可以基本上由至少一种金属元素和氧组成, 或者可以基本上由至少一种金属元素、氧和至少一种非金属元素 (诸如氮) 组成。在一个实施例中, 第一外部电介质层 501L 可以包括介电常数大于 7.9 (即, 介电常数大于氮化硅的介电常数) 的电介质金属氧化物。

[0054] 电介质金属氧化物的非限制性示例包括氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氧化镧 (LaO_2)、氧化钇 (Y_2O_3)、氧化钽 (Ta_2O_5)、其硅酸盐、其氮掺杂的化合物、其合金、以及其堆叠。可以例如通过化学气相沉积 (CVD)、原子层沉积 (ALD)、脉冲激光沉积 (Pulsed Laser Deposition, PLD)、液体源雾化化学沉积、或其组合来沉积第一外部电介质层 501L。第一外部电介质层 501L 的厚度可以在 1nm 至 20nm 的范围中, 尽管也可以采用更小和更大的厚度。第一外部电介质层 501L 随后可以用作阻挡存储的电荷泄漏到控制栅极电极的电介质材料部分。在一个实施例中, 第一外部电介质层 501L 包括氧化铝。

[0055] 第二外部电介质层 503L 可以形成在第一外部电介质层 501L 上。第二外部电介质层 503L 可以包括与第一外部电介质层 501L 的电介质材料不同的电介质材料。在一个实施例中, 第二外部电介质层 503L 可以包括氧化硅、具有与第一外部电介质层 501L 不同的成分的电介质金属氧化物、氮氧化硅、氮化硅、或其组合。在一个实施例中, 第二外部电介质层 503L 可以包括氧化硅。第二外部电介质层 503L 可以通过共形沉积方法 (诸如, 低压化学气相沉积、原子层沉积、或其组合) 来形成。第二外部电介质层 503L 的厚度可以在 1nm 至 20nm 的范围中, 尽管也可以采用更小和更大的厚度。可替代地, 可以省略第一外部电介质层 501L 和/或第二外部电介质层 503L, 并且可以在随后要形成的存储器薄膜的表面上形成背侧凹陷之后, 形成外部电介质层。

[0056] 可以顺序地形成连续中间材料层 504L、内部电介质层 506L、和可选的第一半导体沟道层 601L。连续中间材料层 504L 可以包括存储器材料, 即, 可以是存储器材料层。如本文所使用的, “存储材料” 是指可以 (例如, 通过在其中捕获电荷来) 存储信息的材料。在一个实施例中, 连续中间材料层 504L 可以是包括电介质电荷捕获材料 (其可以例如是氮化硅) 的电荷捕获材料。可替代地, 连续中间材料层 504L 可以包括例如通过在横向凹陷内形成到牺牲材料层 42 中被图案化成多个电隔离的部分 (例如, 浮置栅极) 的导电材料 (诸如, 掺杂的多晶硅) 或金属材料。在一个实施例中, 连续中间材料层 504L 包括氮化硅层。

[0057] 连续中间材料层 504L 可以形成成为具有均匀成分的单个存储器材料层, 或者可以包括多个存储器材料层的堆叠。多个存储器材料层 (如果采用的话) 可以包括多个间隔开的浮置栅极材料层, 浮置栅极材料层包含导电材料 (例如, 诸如钨、钼、钽、钛、铂、钌、及其合金的金属, 或者, 诸如硅化钨、硅化钼、硅化钽、硅化钛、硅化镍、硅化钴、或其组合的金属硅化物) 和/或半导体材料 (例如, 包含至少一种元素半导体元素或至少一种化合物半导体材料的多晶或非晶半导体材料)。可替代地或附加地, 连续中间材料层 504L 可以包括绝缘的电荷捕获材料 (诸如一个或多个氮化硅区段)。连续中间材料层 504L 可以例如通过化学气相沉积 (CVD)、原子层沉积 (ALD)、物理气相沉积 (physical vapor deposition, PVD)、或任何适当

的沉积技术来形成,以用于在其中存储电荷。连续中间材料层504L的厚度可以在从2nm至20nm的范围中,尽管也可以采用更小和更大的厚度。

[0058] 内部电介质层506L包括电介质材料,可以在适当的电偏置条件下通过其执行电荷隧穿。内部电介质层506L可以是电荷可以通过其隧穿的隧穿电介质层。根据要形成的单片三维NAND串存储器器件的操作的模式,可以通过热载流子注入或者通过Fowler-Nordheim隧穿感应的电荷转移来执行电荷隧穿。内部电介质层506L可以包括氧化硅、氮化硅、氮氧化硅、电介质金属氧化物(例如氧化铝和氧化铅)、电介质金属氮氧化物、电介质金属硅酸盐、其合金、和/或其组合。在一个实施例中,内部电介质层506L可以包括第一氧化硅层、氮氧化硅层和二氧化硅层的堆叠,其通常称为ONO堆叠。在一个实施例中,内部电介质层506L可以包括大体上没有碳的氧化硅层、或大体上没有碳的氮氧化硅层。内部电介质层506L的厚度可以在2nm至20nm的范围中,尽管也可以采用更小和更大的厚度。因此,在开口149中形成多层栅极电介质薄膜的同时,在开口49中形成组合阻挡电介质-电荷存储层-隧穿电介质。

[0059] 可选的第一半导体沟道层601L可以被顺序地沉积在开口(49,149)中、直接在内部电介质层506L上。可选的第一半导体沟道层601L包括半导体材料,诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。在一个实施例中,第一半导体沟道层601L包括非晶硅或多晶硅。第一半导体沟道层601L可以通过共形沉积(诸如低压化学气相沉积(Low Pressure Chemical Vapor Deposition,LPCVD))方法来形成。第一半导体沟道层601L的厚度可以在2nm到10nm的范围中,尽管也可以采用更小和更大的厚度。腔49'形成在每个开口(49,149)的未填充有沉积的材料层(501L、503L、504L、506L、601L)的体积中。

[0060] 参考图2D,在穿过交替堆叠(32,46)的每个开口(49,149)内,采用至少一种各向异性蚀刻工艺顺序地各向异性蚀刻可选的第一半导体沟道层601L、内部电介质层506L、连续中间材料层504L、至少一个外部电介质层(501L,503L)。可以通过至少一个各向异性蚀刻工艺移除位于绝缘帽层70的顶表面的上方的第一半导体沟道层601L、内部电介质层506L、连续中间材料层504L和至少一个外部电介质层(501L,503L)的部分。此外,可以移除位于每个腔49'的底部的第一半导体沟道层601L、内部电介质层506L、连续中间材料层504L和至少一个外部电介质层(501L,503L)的水平部分,以在其剩余部分中形成开口。可以通过各向异性蚀刻工艺来蚀刻第一半导体沟道层601L、内部电介质层506L、连续中间材料层504L和至少一个外部电介质层(501L,503L)中的每一个。

[0061] 第一半导体沟道层601L的每个剩余部分构成第一半导体沟道部分601。内部电介质层506L的每个剩余部分组成内部电介质506。存储器区域100中的每个内部电介质506可以是随后要完成的存储器器件的隧穿电介质。晶体管区域400中的每个内部电介质506可以是随后要完成的场效应晶体管的栅极电介质的内层。连续中间材料层504L的每个剩余部分在本文中被称作中间材料层504。中间材料层504可以包括电荷捕获材料或浮置栅极材料。在一个实施例中,存储器区域100中的每个中间材料层504可以是随后要完成的存储器器件的存储器材料层,并且晶体管区域400中的每个中间材料层504可以是随后要完成的场效应晶体管的栅极电介质的中间层。在一个实施例中,存储器区域100中的每个中间材料层504可以包括在编程时存储电荷的电荷存储区域的垂直堆叠。在一个实施例中,存储器区域100中的每个中间材料层504可以是电荷存储层,其中与牺牲材料层42相邻的每个部分构成电

荷存储区域。第二外部电介质层503L的每个剩余部分在本文中称为第二外部电介质503。第一外部电介质层501L的每个剩余部分在本文中称为第一外部电介质503。在一个实施例中，存储器区域100中的至少一个外部电介质(501, 503)中的每一个可以是随后要完成的存储器器件的至少一个阻挡电介质层，并且晶体管区域400中的至少一个外部电介质(501, 503)中的每一个可以是随后要完成的场效应晶体管的栅极电介质的外层。

[0062] 可以在穿过第一半导体沟道部分601、内部电介质506、中间材料层504和至少一个外部电介质(501, 503)的开口的下面物理暴露外延沟道部分11的表面(或者在不采用外延沟道部分11的情况下，物理暴露半导体阱层10的表面)。可选地，每个腔49'的底部处的物理暴露的半导体表面可以垂直地凹陷，使得在腔49'的下面的凹陷的半导体表面从外延沟道部分11(或者在不采用外延沟道部分11的情况下的半导体阱层10)的最顶表面垂直地偏移凹陷距离。内部电介质506位于中间材料层504之上。在开口(49, 149)中的至少一个外部电介质(501, 503)、中间材料层504、和内部电介质506的组构成层堆叠50。存储器区域100中的层堆叠50是存储器薄膜，其中的每一个包括多个电荷存储区域(如具体实施为中间材料层504)、至少一个外部电介质(501, 503)、和内部电介质506、并且可以以每个电荷存储区域中存在或不存在电荷的形式存储信息。晶体管区域400中的每个层堆叠50是栅极电介质，其包括至少一个外部电介质(501, 503)、中间材料层504、和内部电介质层506。晶体管区域400中的层堆叠50中的至少一个外部电介质(501, 503)是外部栅极电介质。晶体管区域400中的层堆叠50中的中间材料层504是中间栅极电介质。在晶体管区域400中的层堆叠50中的内部电介质层506是内部栅极电介质。

[0063] 在图3A所示的实施例中，相同的层堆叠50充当区域400中的晶体管的栅极电介质和充当存储器区域100中的存储器薄膜这两者。在替代实施例中，区域400中的晶体管栅极电介质可以包括与存储器薄膜的堆叠50的一个层或多个层不同的一个层或多个层。在该替代实施例中，区域100中的存储器开口49用牺牲材料(诸如氧化硅和/或多晶硅)填充，同时区域400中的器件开口149保持未填充和暴露。然后，在区域400中的暴露的开口149中顺序地形成一个或多个栅极电介质层(例如，厚氧化硅层和/或用于高电压开关晶体管的金属氧化物层)和垂直沟道。然后从区域100中的开口49移除牺牲材料，并且在区域100中的开口49中形成存储器堆叠结构55。

[0064] 在一个实施例中，同一存储器开口(49, 149)内的第一半导体沟道部分601、内部电介质506、中间材料层504、第二外部电介质503、和第一外部电介质501可具有垂直重合的侧壁。如本文所使用的，如果存在包括第一表面和第二表面两者的垂直平面，则第一表面与第二表面“垂直地重合”。这样的垂直平面可以具有或不具有水平曲率，但是沿着垂直方向不包括任何曲率，即，直线地上下延伸。

[0065] 参考图2E，在穿过交替堆叠(32, 42)的每个开口(49, 149)内，可以将第二半导体沟道层602L直接沉积在外延沟道部分11的半导体表面上(或如果省略了部分11，则沉积在半导体阱层10的半导体表面上)，并且直接沉积在第一半导体沟道部分601上。第二半导体沟道层602L包括半导体材料，诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料、或本领域已知的其他半导体材料。在一个实施例中，第二半导体沟道层602L包括非晶硅或多晶硅。可以通过共形沉积方法(诸如低压化学气相沉积(LPCVD))形成第二半导体沟道层602L。第二半导体沟

道层602L的厚度可以在从2nm至10nm的范围中,尽管也可以采用更小和更大的厚度。第二半导体沟道层602L可以部分填充每个开口(49,149)中的腔49',或者可以完全填充每个开口(49,149)中的腔。

[0066] 第一半导体沟道部分601和第二半导体沟道层602L的材料共同被称为半导体沟道材料。换言之,半导体沟道材料是第一半导体沟道部分601和第二半导体沟道层602L中的全部半导体材料的组。

[0067] 参考图2F,在第二半导体沟道层602L没有完全填充每个存储器开口中的腔49'的情况下,电介质芯层62L可以沉积在腔49'中,以填充每个存储器开口内的腔49'的任何剩余部分。电介质芯层62L包括电介质材料(诸如,氧化硅或有机硅酸盐玻璃)。可以通过共形沉积方法(诸如低压化学气相沉积(LPCVD))、或者可以通过自平坦化沉积工艺(诸如旋涂)来沉积电介质芯层62L。

[0068] 参考图2G,可以例如通过从绝缘帽层70的顶表面的上方的凹陷蚀刻来移除电介质芯层62L的水平部分。电介质芯层62L的每个剩余部分构成电介质芯62。此外,可以通过平坦化工艺来移除位于绝缘帽层70的顶表面的上方的第二半导体沟道层602L的水平部分,该平坦化工艺可以采用凹陷蚀刻或化学机械平坦化(Chemical Mechanical Planarization, CMP)。存储器开口内的第二半导体沟道层602L的每个剩余部分构成第二半导体沟道部分602。第一半导体沟道部分601和第二半导体沟道部分602的每个邻接的对可以共同形成半导体沟道60。在一个实施例中,存储器区域100中的每个半导体沟道60是存储器器件的沟道(例如,NAND串的沟道),并且在本文中被称为存储器器件沟道。在一个实施例中,晶体管区域400中的每个半导体沟道60是垂直晶体管的沟道,并且在本文中被称为垂直晶体管沟道。当区域400是外围行解码器区域(即,字线开关区域)时,垂直晶体管可以是字线开关晶体管。

[0069] 在存储器区域100中形成至少一个存储器器件。例如,一个或多个垂直NAND器件可以在存储器区域100中形成。当导通包括半导体沟道60的垂直NAND器件时,电流可以流过每个半导体沟道60(其是存储器器件沟道)。内部电介质506(其可以是隧穿电介质)可以被中间材料层504(其可以是存储器材料层)环绕,并且横向围绕半导体沟道60的部分。每个相邻的第一外部电介质501(其可以是第一阻挡电介质)、第二外部电介质503(其可以是第二阻挡电介质)、中间材料层504(其可以是存储器材料层)、和内部电介质506(其可以是隧穿电介质层)的组共同组成了层堆叠(其在本文中称为存储器薄膜,即,包括其至少一部分存储器材料的薄膜),其可以以宏观保持时间来存储电荷。在一些实施例中,在该步骤中,第一外部电介质501和/或第二外部电介质503可以不存在于存层堆叠50中,并且可以在形成背侧凹陷之后随后形成外部电介质。如本文所使用的,宏观保持时间是指适合于将存储器器件作为永久存储器器件操作的保持时间,例如超过24小时的保持时间。

[0070] 参考图2H,例如通过凹陷蚀刻,每个电介质芯62的顶表面可以在每个存储器开口内进一步凹陷到位于绝缘帽层70的顶表面与绝缘帽层70的底表面之间的深度。可以通过在电介质芯62的上方的每个凹陷的区域内沉积掺杂的半导体材料来形成顶部有源区域63。顶部有源区域63可以是相应的场效应晶体管的源极区域或漏极区域。掺杂的半导体材料可以是,例如,掺杂的多晶硅。可以通过例如化学机械平坦化(CMP)或凹陷蚀刻从绝缘帽层70的顶表面的上方移除沉积的半导体材料的超过部分,以形成顶部有源区域63。

[0071] 示例性的开口填充结构55的多个示例可以嵌入到图1所示的示例性结构中,即,嵌入到存储器开口49和器件开口149的每个示例中。图3A和图3B示出了合并了图2II的示例性开口填充结构的多个实例的示例性结构中。每个示例性开口填充结构55包括半导体沟道(601,602);横向围绕半导体沟道(601,602)的内部电介质层506;以及横向围绕内部电介质层506的电荷存储区域的垂直堆叠(如具体实施为中间材料层504)。示例性结构包括半导体器件,其包括堆叠(32,42)和穿过堆叠(32,42)延伸的存储器开口,该堆叠(32,42)包括位于半导体基板(例如,基板半导体层9)上方的交替的多个材料层(例如,牺牲材料层42)和绝缘层32。半导体器件还包括第一外部电介质501,其从堆叠的最底层(例如,最底部的牺牲材料层42)垂直地延伸到堆叠的最顶层(例如,最顶部的牺牲材料层42),并且接触存储器开口的侧壁和半导体基板的水平表面。尽管采用开口填充结构的所示配置来描述本公开,但是本公开的方法可以应用于包括垂直晶体管沟道的替代开口填充结构。

[0072] 每个层堆叠50是连续层堆叠(501L,503L,504L,506L)的剩余部分,并且可以通过各向异性蚀刻连续层堆叠(501L,503L,504L,506L)而形成。在一个实施例中,可以在晶体管区域400中形成多个器件开口149,并且可以在晶体管区域400中的每个器件开口149内形成栅极电介质(如由层堆叠50的实例具体实施的)。垂直晶体管沟道和存储器器件沟道具有相同的成分,并且可以同时形成。(多个)场效应晶体管的垂直晶体管沟道和(多个)存储器器件的每个存储器器件沟道可以通过沉积和图案化相同的(多个)半导体材料来形成。每个垂直晶体管沟道和每个存储器器件沟道是可选的第一半导体沟道层601L和第二半导体沟道层602L的剩余部分,其在形成开口填充结构55之后留在器件开口149或存储器开口49中。

[0073] 在器件开口149之内的外延沟道部分11上之间形成每个栅极电介质(如具体实施为晶体管区域400中的层堆叠50的实例)和每个垂直晶体管沟道(如具体实施为晶体管区域400中的半导体沟道60)。在存储器开口49之内的外延沟道部分11上直接形成每个存储器薄膜(如具体实施为存储器区域100中的层堆叠50的实例)和每个存储器器件沟道(如具体实施为存储器区域100中的半导体沟道60)。每个场效应晶体管的栅极电介质可以是在相应的器件开口149的外围周围的层堆叠50。可以在相应的栅极电介质内部的腔之内形成每个场效应晶体管的垂直晶体管沟道。

[0074] 在存储器区域100之内形成至少一个存储器堆叠结构(如具体实施为开口填充结构55)。至少一个存储器堆叠结构中的每一个垂直延伸穿过交替堆叠(32,42)。至少一个存储器堆叠结构中的每一个,从内到外包括:存储器器件沟道(如具体实施为半导体沟道60的实例)、和存储器薄膜(实施为层堆叠50的实例)。每个存储器薄膜可以包括横向围绕存储器器件沟道的隧穿电介质(如具体实施为内部电介质506的实例)和横向围绕隧穿电介质的电荷存储区域的垂直堆叠(如具体实施为位于牺牲材料层的每个级上的中间材料层(即,存储器材料层)离散部分)。

[0075] 参考图4,可以在半导体层9之上形成可选的第一接触级电介质层71。作为可选的结构,可以形成或不形成第一接触级电介质层71。在形成第一接触级电介质层71的情况下,第一接触级电介质层71包括电介质材料(诸如,氧化硅、氮化硅、氮氧化硅、多孔或无孔有机硅酸盐玻璃(OSG)、或其组合)。如果采用有机硅酸盐玻璃,有机硅酸盐玻璃可以或不掺杂有氮。第一接触级电介质层71可以形成在包括绝缘帽层70的顶表面和顶部有源63的顶表面的水平平面之上。可以通过化学气相沉积、原子层沉积(ALD)、旋涂、或其组合来沉

积第一接触级电介质层71。第一接触级电介质层71的厚度可以在从10nm到300nm的范围中,尽管也可以采用更小和更大的厚度。

[0076] 在一个实施例中,第一接触级电介质层71可以形成通体具有均匀厚度的电介质材料层。第一接触级电介质层71可以形成单个电介质材料层,或者可以形成多个电介质层的堆叠。可替代地,第一接触级电介质层71的形成可以与至少一个线级电介质层(未示出)的形成合并。虽然采用其中第一接触级电介质层71是与随后要沉积的可选的第二接触级电介质层或至少一个线级电介质层分离的结构的实施例来描述本公开,但是本文明确地设想了,其中第一接触级电介质层71和至少一个线级电介质层在相同的工艺步骤中形成,和/或形成成为相同的材料层的实施例。

[0077] 在一个实施例中,例如,可以通过掩模蚀刻工艺从接触区域300的部分以及可选地从晶体管区域400的外围部分移除,第一接触级电介质层71、绝缘帽层70、和交替堆叠(32, 42)。可以通过在通过移除第一接触级电介质层71、绝缘帽层70、和交替堆叠(32, 42)的部分而形成的腔中沉积电介质材料(例如氧化硅)来形成电介质材料部分64。

[0078] 另外,可以通过图案化交替堆叠(32, 42)的部分来在接触区域300内形成阶梯式腔。如本文所使用的,“阶梯式腔”是指具有阶梯式表面的腔。如本文所使用的,“阶梯式表面”是指一组表面,其包括至少两个水平表面和至少两个垂直表面,使得每个水平表面邻接从水平表面的第一边缘向上延伸的第一垂直表面,并邻接从水平表面的第二边缘向下延伸的第二垂直表面。“阶梯”是指在邻接的表面的组的高度上的垂直偏移。

[0079] 阶梯式腔可以具有各种阶梯式表面,使得阶梯式腔的水平截面形状随着离基板半导体层9的顶表面的垂直距离而变化。在一个实施例中,通过重复地执行一组工艺步骤来形成阶梯式腔。该组工艺步骤可以包括,例如,垂直地增加一个或多个级的腔的深度的第一类型的蚀刻工艺,和横向地扩展在随后的第一类型的蚀刻工艺中要被垂直蚀刻的区的第二类型的蚀刻工艺。如本文所使用的,包括交替堆叠的结构的“级”被定义为结构内的一对第一材料层和第二材料层的相对位置。在形成所有的阶梯式表面之后,可以例如通过灰化移除用于形成阶梯式表面的掩模材料层。可以采用多个光致抗蚀剂层和/或多个蚀刻工艺来形成阶梯式表面。

[0080] 在阶梯式腔中沉积电介质材料(诸如氧化硅)。例如通过化学机械平坦化(CMP),可以从第一接触层电介质层71的顶表面上方移除沉积的电介质材料的超过部分。填充接触区域300中的阶梯式腔并且上覆基板半导体层9的沉积的电介质材料的剩余部分构成后向阶梯式电介质材料部分65。如本文所使用的,“后向阶梯式”元素是指具有阶梯式表面和水平截面区域的元素,该水平截面区域随着离元素所存在的基板的顶表面的垂直距离的函数单调增加。如果采用氧化硅作为电介质材料,则后向阶梯式电介质材料部分65的氧化硅可以或可以不掺杂有诸如B、P和/或F的掺杂剂。后向阶梯式电介质材料部分65的顶表面可以与第一接触级电介质层71的顶表面共面。

[0081] 阶梯式腔上方的区域可以用相同的电介质材料同时填充,或者可以用相同的电介质材料或用不同的电介质材料以不同的工艺来填充。

[0082] 参考图5,可以穿过后向阶梯式电介质材料部分65和/或穿过第一接触级电介质层71和/或通过交替堆叠(32, 42)可选地形成电介质支撑柱7P。在一个实施例中,在位于与存储器区域100相邻的接触区域300中可以形成电介质支撑柱7P。可以例如通过以下步骤来形

成电介质支撑柱7P:形成穿过后向阶梯式电介质材料部分65和/或穿过交替堆叠(32,42)延伸且至少延伸到基板半导体层9的顶表面的开口,并且使用对移除牺牲材料层42的蚀刻化学物质有抗性的电介质材料来填充开口。

[0083] 在一个实施例中,电介质支撑柱7P可以包括氧化硅和/或电介质金属氧化物(诸如,氧化铝)。在一个实施例中,与沉积电介质支撑柱7P并发地沉积在第一接触级电介质层71上方的电介质材料的部分可以作为第二接触级电介质层73存在于第一接触级电介质层71之上。电介质支撑柱7P和第二接触级电介质层73中的每一个都是可选的结构。因此,第二接触级电介质层73可以或可以不存在于绝缘帽层70和后向阶梯式电介质材料部分65之上。第一接触级电介质层71和第二接触级电介质层73在本文中共同称为至少一个接触级电介质层(71,73)。在一个实施例中,至少一个接触级电介质层(71,73)可以包括第一接触级电介质层和第二接触级电介质层(71,73)这两者,并且可选地包括可以随后形成的任何附加的通孔级电介质层。在另一实施例中,至少一个接触级电介质层(71,73)可以仅包括第一接触级电介质层71或第二接触级电介质层73,并且可选地包括任何可以随后形成的任何附加的通孔级电介质层。可替换地,可以省略第一和第二接触级电介质层(71,73)的形成,并且随后可以形成至少一个通孔级电介质层。

[0084] 第二接触级电介质层73和电介质支撑柱7P可以形成整体构造的单个连续结构,即它们之间没有任何材料界面。在另一实施例中,可以例如通过化学机械平坦化或凹陷蚀刻来移除电介质材料的与沉积电介质支撑柱7P并发地沉积在第一接触级电介质层71上方的部分。在这种情况下,不存在第二接触级电介质层73,并且可以物理暴露第一接触级电介质层71的顶表面。

[0085] 参考图6A和图6B,光致抗蚀剂层(未示出)可以在至少一个接触级电介质层(71,73)上方被施加,并且可以被平版印刷图案化以形成其中的各种开口。光致抗蚀剂层中的开口的图案可以采用各向异性蚀刻穿过交替堆叠(32,42)被转印以形成延伸穿过交替堆叠(32,42)的整体的开口,其在本文中被称作背侧开口(79,179,279,479)。

[0086] 在一个实施例中,背侧开口(79,179,279,479)可以包括存储器区域100中的存储器块之内和/或存储器块之间的开口,其在本文中被称作存储器有源区域接触开口79,即延伸到存储器区域100内的有源区域(即,底部有源区域)的接触开口。例如,图6A中示出了单个存储器块。存储器块在图6A中具有两个子块102A和102B。存储器块可以具有多于两个的子块,例如四到六个子块。在每个子块中的字线可以通过沟槽(即开口)79分离。如果期望,则可以使用如以下关于图13所述的接触区域300中的互连,将在相同存储器块的不同子块中的相同垂直器件级中的字线与彼此电连接。在一个实施例中,存储器区域100中的存储器堆叠结构(如实施为开口填充结构55的示例)可以被群集以形成存储器块。在一个实施例中,每个存储器块可以沿着水平方向(例如,位线方向)彼此横向间隔开。在这种情况下,存储器有源区域接触开口79可以形成为存储器堆叠结构的子块之间的沟槽。

[0087] 背侧开口(79,179,279,479)可以包括随后要在其中形成晶体管区域400中的场效应晶体管的底部有源区域61的开口479,其在本文中被称作晶体管有源区域接触开口479,即,延伸到晶体管区域400中的有源区域(即,底部有源区域,诸如源极区域61)的接触开口。

[0088] 可选地,可以在注入电掺杂剂之前执行选择性半导体沉积工艺。例如,通过将电掺杂剂注入位于有源区域接触开口(79,479)下方的半导体材料的表面部分中,可以在每个有

源区域接触开口(79,479)下面形成底部有源区域61。具体而言,通过在形成存储器有源区域接触开口79之后注入第二导电类型(其与第一导电类型相反)的掺杂剂,可以在存储器有源区域接触开口79下方的半导体阱层10的部分之中或至上形成有源区域61。例如,如果第一导电类型是p型,则第二导电类型是n型,反之亦然。半导体材料的每个注入掺杂的区域构成底部有源区域61。

[0089] 在晶体管区域400中,每个底部有源区域61可以与垂直晶体管沟道(如具体实施为半导体沟道60的实例)横向间隔开,并且可以形成在基板(9,10)之中或之上。在图2H的工艺步骤中,顶部有源区域(例如,漏极区域)63可以形成在垂直晶体管沟道之上或上方。对于同一场效应晶体管的任何给定的至少一个顶部有源区域63和底部有源区域61的对,从至少一个顶部有源区域61和底部有源区域63中选择的区域可以是场效应晶体管的源极区域,并且另一区域可以是场效应晶体管的漏极区域。

[0090] 在存储器区域100中,每个底部有源区域61可以与存储器器件沟道(如具体实施为半导体沟道60的实例)横向间隔开,并且可以形成在基板(9,10)之中或之上。在图2H的工艺步骤中,顶部有源区域(例如,漏极区域)63可以形成在存储器器件沟道之上或上方。对于由存储器器件沟道连接的任何给定的顶部有源区域63和底部有源区域61的对,顶部有源区域和底部有源区域(61,63)中的一个可以是存储器器件的源极区域,并且顶部有源区域和底部有源区域(61,63)中的另一个可以是存储器器件的漏极区域。

[0091] 可选地,背侧开口(79,179,279,479)可以包括围绕晶体管区域400内的隔离区域的区域的开口,其在本文中被称为壕沟槽(moat trench)179。在一个实施例中,壕沟槽179可以形成在至少一个浅沟槽隔离结构120的区域上方。每个壕沟槽179可以横向地关闭场效应晶体管要形成其中的区域。

[0092] 进一步地,背侧开口(79,179,279,479)可以包括在其内随后要形成栅极电极接触结构的开口,其在本文中被称为栅极电极接触开口279。每个栅极电极接触开口279可以形成在至少一个浅沟槽隔离结构120的区域上方。每个栅极电极接触开口279可以形成在至少一个开口填充结构55的组的附近,开口填充结构55可以由随后要在栅极电极接触开口279之内形成的栅极电极接触结构控制。栅极电极接触开口279可以在晶体管区域400中形成。在图6B所示的实施例中,开口279是细长沟槽。

[0093] 在图6A和图6B中所示的一个实施例中,每个场效应晶体管可以位于有源区域401中。如图6B中所示,有源区域401可以由包括电介质材料填充沟槽的上部浅沟槽隔离区域403与彼此分离开。浅沟槽隔离403可以延伸到堆叠(32,42)中的顶部牺牲层42。或者,浅沟槽隔离403可以延伸穿过堆叠中的一个或多个上面的牺牲层42,但不穿过堆叠中的底部和中间的牺牲层42。在这种情况下,要在堆叠中形成的上面的电导电层的有源区域401的部分将作为场效应晶体管的伪栅极,因为它们不会连接到要在开口279中形成的栅极电极接触结构。同样的,在可替换实施例中,开口279可以延伸穿过堆叠中的一个或多个上面和中间的牺牲层42,但是不穿过堆叠中的一个或多个下面的牺牲层42。在这种情况下,要在堆叠中形成的电导电层的有源区域401中的部分将作为场效应晶体管的伪栅极,因为它们不会连接到要在开口279中形成的栅极电极接触结构。这可能将中间电导电层的部分留在有源区域401,其可以电连接到栅极电极接触结构以作为晶体管的栅极电极。

[0094] 图6C示出了替换实施例布局,其中每个垂直场效应晶体管采用单个开口填充结构

55、单个栅极电极接触开口279、和单个晶体管有源区域接触开口479。可选地，每个单个开口填充结构55、单个栅极电极接触开口279、和单个晶体管有源区域接触开口479的组可以位于由壕沟槽179横向围绕的相应的有源区域401中，使得每个要形成的垂直场效应晶体管与彼此电隔离。与图6B的浅沟槽隔离403相比，壕沟槽179延伸穿过堆叠(32,42)的所有牺牲层42。在这种情况下，不是所有晶体管栅极电极具有将要在一个沟槽279中形成的一个公共栅极电极接触结构，每个晶体管可以在开口279中具有其自己的栅极电极接触结构。开口279和479可以具有任何水平横截面形状，诸如，矩形、圆形、椭圆形等。

[0095] 尽管使用用于适配各种器件和各种背侧开口(79,179,279,479)的示例性布局来描述本公开，但是可以修改布局以适应要形成的器件的需要。各种背侧开口(79,179,379,479)的形状和宽度可根据需要进行修改。本文明确涵盖通过优化各种背侧开口(79,179,379,479)的尺寸和构造来提供合适的器件的修改。

[0096] 参考图7，可以将相对于绝缘层32的第一材料选择性地蚀刻牺牲材料层42的第二材料的蚀刻剂引入到背侧开口(79,179,279,479)中，例如采用蚀刻工艺。在从其中移除牺牲材料层42的体积中形成了背侧凹陷43。牺牲材料层42的第二材料的移除可以是对绝缘层32的第一材料、电介质支撑柱7P的材料、后向阶梯式电介质材料部分65的材料、低浅沟槽隔离结构120、半导体阱层10的半导体材料、以及第一层堆叠50的最外层的材料有选择性的。在一个实施例中，牺牲材料层42可以包括氮化硅，并且绝缘层32、电介质支撑柱7P、低浅沟槽隔离结构120、和后向阶梯式电介质材料部分65的材料可选自氧化硅和电介质金属氧化物。在另一实施例中，牺牲材料层42可以包括半导体材料(例如多晶硅)，并且绝缘层32、电介质支撑柱7P和后向阶梯式电介质材料部分65的材料可以选自氧化硅、氮化硅和电介质金属氧化物。在这种情况下，背侧开口(79,179,279,479)的深度可以被修改，使得背侧开口(79,179,279,479)的最底端的表面位于栅极电介质层12内，即，以避免基板(9,10)的顶表面的物理暴露。

[0097] 对第一材料和第一层堆叠50的最外层选择性地移除第二材料的蚀刻工艺可以是采用湿法蚀刻溶液的湿法刻蚀工艺，或者可以是其中蚀刻剂以气相被引入到背侧开口(79,179,279,479)中的气相(干法)刻蚀工艺。例如，如果牺牲材料层42包括氮化硅，则蚀刻工艺可以是湿法蚀刻工艺，其中示例性结构被浸入包括磷酸的湿法蚀刻槽内，其中该磷酸蚀刻对氧化硅、硅、以及本领域中采用的各种其他材料有选择性的氮化硅。电介质支撑柱7P、后向阶梯式电介质材料部65和开口填充结构55在背侧凹陷43存在于先前被牺牲材料层42占据的体积内的同时提供结构支撑。

[0098] 每个背侧凹陷43可以是横向延伸的腔，背侧凹陷43具有的横向尺寸大于腔的垂直范围。换言之，每个背侧凹陷43的横向尺寸可以大于背侧凹陷43的高度。多个背侧凹陷43可以形成在其中移除牺牲材料层42的第二材料的体积中。在其中形成开口填充结构55的第一存储器开口在本文中称为与背侧凹陷43相对的前侧凹陷或前侧腔。在一个实施例中，存储器区域100包括单片三维NAND串的阵列，其具有布置在基板上(例如，在基板半导体层10的上)的多个器件级。在这种情况下，每个背侧凹陷43可以定义用于接收单片三维NAND串的阵列的相应的字线的空间。

[0099] 多个背侧凹陷43中的每一个可以大体上平行于基板半导体层9的顶表面延伸。背侧凹陷43可以由下面的绝缘层32的顶表面、以及上覆的绝缘层32的底表面垂直地界定。在

一个实施例中,每个背侧凹陷43可以通体具有均匀的高度。可选地,背侧外部电介质层可以形成在背侧凹陷中。

[0100] 随后,可以通过将半导体材料热转换和/或等离子体转换为电介质材料而将外延沟道部分11和源极区域61的物理暴露的表面部分转化为电介质材料部分。例如,可以采用热转换和/或等离子体转换来将每个外延沟道部分11的表面部分转化为电介质间隔体116,并且将每个源极区域61的表面部分转化为牺牲电介质部分616。在一个实施例中,每个电介质间隔体116可以拓扑地同胚于环面(torus),即大致环形。如本文所使用的,如果可以在不损坏孔或者不将新的孔形成到环面的形状中的情况下连续地拉伸元素的形状,则元素拓扑地同胚于环面。电介质间隔体116包括电介质材料,其包括与外延沟道部分11相同的半导体元素,并且附加地包括至少一种非金属元素(诸如氧和/或氮),使得电介质间隔体116的材料是电介质材料。在一个实施例中,电介质间隔体116可以包括外延沟道部分11的半导体材料的电介质氧化物、电介质氮化物或电介质氮氧化物。类似地,每个牺牲电介质部分616包括电介质材料,其包括与源极区域61相同的半导体元素,并且附加地包括至少一种非金属元素(诸如氧和/或氮),使得牺牲电介质部分616的材料是电介质材料。在一个实施例中,牺牲电介质部分616可以包括源极区域61的半导体材料的电介质氧化物、电介质氮化物或电介质氮氧化物。

[0101] 参考图8,可以可选地形成背侧阻挡电介质层(未示出)。背侧阻挡电介质层(如果存在)包含电介质材料,其用作随后要形成在背侧凹陷43中的控制栅极的控制栅极电介质。在每个开口填充结构55内存在至少一个阻挡电介质的情况下,背侧阻挡电介质层是可选的。在开口填充结构55中不存在阻挡电介质的情况下,存在背侧阻挡电介质层。

[0102] 可以在多个背侧凹陷43中、在背侧开口(79,179,279,479)的侧壁上、和第二接触级电介质层73的顶表面上方沉积至少一种金属材料。如本文所使用的,金属材料是指包括至少一种金属元素的电导电材料。

[0103] 金属材料可以通过共形沉积方法来沉积,该方法可以是,例如,化学气相沉积(CVD)、原子层沉积(ALD)、无电镀、电镀或其组合。金属材料可以是元素金属、至少两种元素金属的金属间合金、至少一种元素金属的导电氮化物、导电金属氧化物、导电掺杂的半导体材料、导电金属-半导体合金(诸如金属硅化物、其合金)、以及它们的组合或其堆叠。可以在多个背侧凹陷43中沉积的非限制性示例性金属材料包括钨、氮化钨、钛、氮化钛、钽、氮化钽、钴、和钌。在一个实施例中,金属材料可以包括诸如钨和/或金属氮化物的金属。在一个实施例中,用于填充多个背侧凹陷43的金属材料可以是氮化钛层和钨填充材料的组合。

[0104] 在一个实施例中,可以通过化学气相沉积或原子层沉积来沉积金属材料。在一个实施例中,金属材料可以在沉积工艺期间采用至少一种含氟前驱气体作为前驱气体。在一个实施例中,至少一种含氟前驱气体的分子可以包含至少一个钨原子和至少一个氟原子的化合物。例如,如果金属材料包括钨,则在沉积工艺中可以使用 WF_6 和 H_2 。可替换的,可以采用无氟沉积化学过程。

[0105] 多个电导电层46可以形成在多个背侧凹陷43中,并且可以在每个背侧开口(79,179,279,479)的侧壁上以及至少一个接触级电介质层(71,73)上方形成连续金属材料层46L。晶体管区域400内的电导电层46的一组电短路部分可以构成场效应晶体管的栅极电极。

[0106] 在每个栅极电极接触开口279之内的连续金属材料层46L的部分可以保留直到工艺序列结束以提供栅极电极接触结构。栅极电极接触结构使与连续金属材料层46L的剩余部分保持物理接触的电导电层46中的至少一些电短路。通过从存储器区域100中移除连续金属材料层46L的所有部分,每个电导电层46随后变得在存储器区域100和接触区域300中彼此电隔离。因此,电导电层46和栅极电极接触结构可以通过相同的一组至少一个导电材料的沉积被同时形成。

[0107] 因此,每个牺牲材料层42可以被电导电层46替代。背侧腔(79', 179', 279', 479')存在于没有填充背侧阻挡电介质层(如果使用的话)和连续金属材料层46L的每个背侧开口(79, 179, 279, 479)的部分中。

[0108] 参考图9,光致抗蚀剂层477可以被施加在示例性结构的上方,并且可以被平版印刷地图案化以覆盖栅极电极接触开口279的每个区域。从每个背侧开口(79, 179, 479)的侧壁以及从没有被图案化的光致抗蚀剂层477覆盖的区域之内的第二接触级电介质层73的上方回蚀刻连续金属材料层46L的沉积金属材料。

[0109] 在替代实施例中,如果期望对湿法蚀刻化学过程更高的耐受性,则可以将硬掩模层(诸如氧化硅层)与光致抗蚀剂层477的组合施加在示例性结构上方。光致抗蚀剂层477可以被平版印刷图案化以覆盖栅极电极接触开口279的每个区域中的硬掩模层,随后蚀刻未被光致抗蚀剂层477覆盖的硬掩模层。然后可以移除光致抗蚀剂层477层以留下图案化硬掩模层的剩余部分以覆盖栅极电极接触开口279中的连续金属材料层46L的部分。

[0110] 例如,除了在栅极电极接触开口279中之外,通过各向同性蚀刻和/或各向异性蚀刻,可以执行没有被光致抗蚀剂层或硬掩模层覆盖的连续金属材料层46L的物理暴露部分的移除。背侧凹陷43中的沉积的金属材料的每个剩余部分组成了电导电层46。每个电导电层46可以是导电线结构。因此,牺牲材料层42被电导电层46替代。由光致抗蚀剂或硬掩模层覆盖的层46L的部分保留在栅极电极接触开口279中。

[0111] 在存储器区域100内,每个电导电层46变得与位于不同级的其他电导电层46电隔离。存储器区域100中的电导电层46可以用作多个位于相同级的控制栅极电极和电互连(即电短路)多个位于相同级的控制栅极电极的字线的组合。

[0112] 每个电导电层46之内的多个控制栅极电极可以是包括存储器堆叠结构的垂直存储器器件的控制栅极电极,其是存储器区域100中的开口填充结构55的实例。换言之,存储器区域100中的每个电导电层46可以是用作为多个垂直存储器器件的公共控制栅极电极的字线。因而,存储器区域100中的电导电层46彼此电隔离,并且利用不同的偏置电压来被独立地控制。可选地,可以在各向异性蚀刻的最后工艺步骤期间从源极区域61上方移除牺牲电介质部分616。每个背侧开口(79, 179, 279, 479)延伸穿过绝缘层32和电导电层46的交替堆叠(32, 46)并延伸到基板(9, 10)的顶表面。例如,通过灰化,可以随后移除图案化的光致抗蚀剂层477。

[0113] 参考图10,例如,通过共形沉积工艺,可以将电介质材料沉积在背侧开口(79, 179, 279, 479)的未填充体积中。电介质材料可以包括,例如,掺杂或未掺杂的硅酸盐玻璃、有机硅酸盐玻璃、电介质金属氮化物、和/或氮化硅。在一个实施例中,可以选择有源区域接触开口(79, 479)和壕沟槽179的横向尺寸,使得相对的一对有源区域接触开口(79, 479)的侧壁之间的最小横向尺寸大于包括沉积的电介质材料的共形电介质材料层的厚度(其可以在接

触级电介质层(71,73)上方测量)的两倍,并且相对的一对壕沟槽179的侧壁之间的最小横向尺寸小于共形电介质材料层的厚度的两倍。电介质材料沉积在每个有源区域接触开口(79,479)的外围。在一个实施例中,可以用电介质材料填充由栅极电极接触开口279中的连续金属材料层46L的剩余垂直部分围绕的每个腔279'。在每个有源区域接触开口(79,479)内可存在垂直延伸的腔(79',479'),同时每个壕沟槽179被沉积的电介质材料完全填充。

[0114] 可以执行各向异性蚀刻以从接触级电介质层(71,73)上方以及从底部有源区域61的中心部分上方移除沉积的电介质材料的水平部分。壕沟槽179中的电介质材料的剩余垂直部分形成至少一个连续电介质材料结构。壕沟槽179中的每个连续电介质材料结构在本文中被称为电介质分离器结构174,其提供由电介质分离器结构174分离的器件之间的横向电隔离和物理分离。电介质分离器结构174将交替堆叠(32,46)横向分离成位于存储器区域100中的第一交替堆叠和位于晶体管区域400中的第二交替堆叠。可以在存储器区域100中形成三维存储器器件,并且可以在晶体管区域400中形成场效应晶体管(例如,NAND字线开关晶体管)。

[0115] 每个有源区域接触开口(79,479)中沉积的电介质材料的剩余垂直部分形成绝缘间隔体(74,474),其包括形成在存储器有源区域接触开口79中的存储器区域绝缘间隔体74、和形成在晶体管有源区域接触开口479中的晶体管区域绝缘间隔体474。(如其底部处所测量的)每个绝缘间隔体(74,474)的厚度可以在1.5nm至60nm的范围中,尽管也可以采用更小和更大的厚度。在一个实施例中,绝缘间隔体(74,474)的厚度可以在3nm至10nm的范围中。每个绝缘间隔体(74,474)横向围绕上覆在底部有源区域61上的背侧腔(79',479')。底部有源区域61(例如,掺杂的源极区域)的顶表面可以物理地暴露在绝缘间隔体(74,174)之内的每个腔的底部处。可以在由连续金属材料层46L的剩余垂直部分围绕的每个腔之内形成包括电介质材料的剩余部分的电介质填充材料部分276。

[0116] 参考图11,至少一种金属材料可以沉积到每个背侧腔(79',479')中。至少一种金属材料可以包括,例如,包括导电金属氮化物和/或导电金属碳化物的金属扩散阻碍层。此外,至少一种金属材料可以包括诸如元素金属(诸如W、Co或Al)的金属填充材料或至少两种元素金属的金属间合金。

[0117] 至少一种金属材料的超过部分可以从包括接触级电介质层(71,73)的顶表面的水平面上方移除。有源区域接触开口(79,479)中的至少一种金属材料的每个剩余部分构成有源区域接触结构(76,476)。有源区域接触结构(76,476)可以是分别与区域100和400中的源极区域61接触的源极电极(例如,源极侧局部互连)。有源区域接触结构(76,476)可以包括存储器有源区域接触结构76和晶体管有源区域接触结构476。在每个栅极电极接触开口279之内的连续金属层46L剩余部分组成栅极电极接触结构146。每个栅极电极接触结构146使在相同器件区域之内的至少一些电导层46电短路,并且可以横向围绕电介质填充材料部分276。

[0118] 在一个实施例中,每个栅极电极接触结构146使相同器件区域内(例如,在有源区域401内或在晶体管区域400的全部或部分内)的所有电导层46电短路。如果开口279延伸穿过堆叠中的所有牺牲层42,则可以实现该配置。在另一实施例中,每个栅极电极接触结构146使相同器件区域内电导层46的一些但不是电导层46的全部电短路。如上所述,如果开口279没有延伸穿过堆叠中的所有牺牲层42和/或如果上部浅沟槽隔离403延伸穿过堆叠

中的一些牺牲层42,则可以实现该配置。在这种情况下,位于有源区域401中的上电导电层46和/或下电导电层46的部分用作场效应晶体管的伪栅极,因为它们不连接到栅极电极接触结构146。这使有源区域401中的中间电导电层46的部分作为晶体管的栅极电极。

[0119] 一对栅极电极接触结构146和嵌入其中的电介质填充材料部分构成栅极侧结构278。如图6B所示,当开口279呈细长沟槽形状时,栅极侧结构278包括细长栅极侧轨道结构。可替代的,如图6C所示,当开口279呈矩形、圆形或椭圆形时,栅极侧结构278包括栅极侧支撑柱结构。

[0120] 参考图12,可以在示例性结构(其可以是,例如,第二接触层电介质层73)的最顶层上方施加光致抗蚀剂层(未示出),并且将其平版印刷图案化以在晶体管区域400和接触区域300中形成各种开口。选择各种开口的位置和形状以与要由接触通孔结构电接触的各种器件的电节点相对应。在一个实施例中,可以采用单个光致抗蚀剂层来图案化与要形成的接触通孔腔相对应的所有开口,并且可以通过至少一个各向异性蚀刻工艺同时形成所有的接触通孔腔,该各向异性蚀刻工艺采用图案化的光致抗蚀剂层作为蚀刻掩模。在另一实施例中,可以与多个各向异性蚀刻工艺结合采用多个光致抗蚀剂层,以在光致抗蚀剂层中形成具有不同的开口的图案的接触通孔腔的不同的组。(多个)光致抗蚀剂层可以在相应的各向异性蚀刻工艺之后被移除,该各向异性蚀刻工艺将相应的光致抗蚀剂层中的开口的图案通过下面的电介质材料层转印,并且转印到相应的电导电结构的顶表面。

[0121] 在说明性示例中,可以在晶体管区域400中的每个开口填充结构55上方形成顶部接触通孔腔,使得顶部有源区域63的顶部表面物理暴露在每个顶部接触通孔腔的底部。字线接触通孔腔可以形成到交替堆叠(32,46)的阶梯式表面,使得电导电层46的顶表面物理暴露在接触区域300中的每个字线接触通孔腔的底部处。器件接触通孔腔可以形成到将要由外围器件区域中的接触通孔结构接触的外围器件的每个电节点。

[0122] 各种通孔腔可以用至少一种导电材料填充,其可以是电导电金属衬垫材料(诸如TiN、TaN或WN)和金属填充材料(诸如W、Cu或Al)的组合。可以通过平坦化工艺从至少一个接触级电介质层(71,73)的上方移除至少一种导电材料的超过部分,该平坦化工艺可以包括,例如,化学机械平坦化(CMP)和/或凹陷蚀刻。可以在区域100和400中的相应的顶部有源区域63中形成顶部接触通孔结构88。可以在接触区域300中从区域300延伸到存储器区域100的相应的电导电层46(即,字线)上形成字线接触通孔结构66。为了清楚起见,从图12中省略支持支撑柱7P。区域300和100中的层46的部分与位于区域400的相同的相应层46的部分电隔离。因此,在器件区域100和晶体管区域400中的相同电导电层46的没有物理连接和电连接的部分分别用作NAND串字线/控制栅极和用作开关晶体管栅极电极。可以在位线外围器件区域(未示出)中的外围器件的相应节点上形成外围器件(例如,位线开关器件或感测放大器件)接触通孔结构(未示出)。

[0123] 可以在示例性结构上方形成附加的电导电互连结构(诸如金属线92A、92B、92C、92D和92D)和层间电介质材料层(诸如线级电介质层90)以在各种接触通孔结构中提供电布线。具体地,金属线92A可以包括晶体管区域400中的漏极局部互连。每条线92A可以与相同晶体管的相同有源区域401中的接触通孔结构88互连。换句话说,每条线92A可以使每个有源区域401中的每个多沟道晶体管的漏极区域63电短路。

[0124] 金属线92B可以包括字线局部互连,其将区域400中的晶体管的源极电极476电连

接到区域300中的相应的字线接触通孔结构66。因此,金属线将晶体管区域400中的晶体管源极区域61电连接到接触区域300中的NAND器件的字线46。这通过从源极区域向字线提供电流或电压来允许晶体管将字线46接通和断开。

[0125] 金属线92C可以包括与源极电极(即源极侧局部互连)76电接触的NAND串源极线。金属线92D可以包括通过接触通孔结构88电接触每个NAND串的漏极区域63的NAND串位线。金属线92E可以包括与区域400中的栅极接触结构146电接触的晶体管栅极线。

[0126] 本公开的示例性结构可以包括器件,该器件包含场效应晶体管。场效应晶体管可以包括延伸穿过位于基板(9,10)之上的电导电层46和绝缘层32的交替堆叠的垂直晶体管沟道(如具体实施为晶体管区域400中的半导体沟道60(包括层601,602))。晶体管区域400中的电导电层46可以被彼此电短路以提供栅极电极。场效应晶体管还可以包括:栅极电介质(如具体实施为晶体管区域400中的每个器件开口内的层堆叠50),包括横向围绕垂直晶体管沟道的层堆叠;栅极电极接触结构146,延伸穿过交替堆叠(32,46)并接触电导电层46中的每一个以使晶体管区域400中的电导电层46电短路;底部有源区域61,位于基板(9,10)之中或之上,并与垂直晶体管沟道横向间隔开;以及顶部有源区域63,上覆垂直晶体管沟道。顶部有源区域和底部的有源区域(61,63)中的一个的是场效应晶体管的源极区域,并且顶部有源区域和底部的有源区域(61,63)中的另一个是场效应晶体管的漏极区域。

[0127] 在一个实施例中,场效应晶体管的沟道包括垂直晶体管沟道以及,包括掺杂的半导体材料并接触底部有源区域61的位于基板(9,10)内的水平沟道部分。例如,位于底部有源区域61和外延沟道部分11之间的半导体阱层10的部分构成场效应晶体管的水平沟道部分。在一个实施例中,场效应晶体管的沟道还包括外延沟道部分11,该外延沟道部分11包括与水平沟道部分的单晶半导体结构对准的掺杂的单晶半导体材料。

[0128] 在一个实施例中,可以形成浅沟槽隔离结构120,其包括嵌入在基板(9,10)的上部部分中的电介质材料。栅极电极接触结构146的底表面可以接触浅沟槽隔离结构120的顶表面。电介质填充材料部分276可以垂直延伸穿过交替堆叠,并且可以被栅极电极接触结构146横向围绕。在一个实施例中,底部有源区域接触结构(例如,源极电极)476可以延伸穿过交替堆叠,并且可以接触晶体管区域400中底部有源区域(例如,源极区域)61的顶表面。绝缘间隔体474可以横向围绕底部有源区域接触结构476,并且可以接触底部有源区域61,并且可以包括具有与电介质填充材料部分276相同成分的电介质材料。

[0129] 场效应晶体管可以包括:至少一个附加的垂直晶体管沟道(如具体实施为晶体管区域400中的半导体沟道60的附加实例),延伸穿过交替堆叠;至少一个附加的栅极电介质(如具体实施为晶体管区域400中的层堆叠50的实施的附加实例),其包括横向围绕相应的垂直晶体管沟道且由晶体管区域400中的电导电层46围绕的相应层堆叠;以及至少一个附加的顶部有源区域63,其上覆相应的垂直晶体管沟道并且通过线92A被电短路到顶部有源区域。在这种情况下,晶体管区域400中的底部有源区域61可以是垂直晶体管沟道和至少一个附加垂直晶体管沟道中的每一个的公共源极区域或公共漏极区域。

[0130] 示例性结构还可以包括位于存储器区域100中的三维存储器器件。三维存储器器件可以包括第二交替堆叠,该第二交替堆叠通过电介质分离器结构174与在晶体管区域400中的交替堆叠横向地间隔开。第二交替堆叠包括附加的绝缘层32(通过电介质分离器结构174与晶体管区域400的绝缘层32分离)和附加的电导电层46(通过电介质分离器结构174与

晶体管区域400的电导电层46分离)。存储器区域100中的电导电层46与彼此电隔离并与场效应晶体管的交替堆叠的电导电层电隔离。

[0131] 三维存储器器件可以包括垂直延伸穿过第二交替堆叠的至少一个存储器堆叠结构(如具体实施为开口填充结构55的实例)。至少一个存储器堆叠结构中的每一个从内到外包括:存储器器件沟道(如具体实施为在存储器区域100中的半导体沟道(601,602)的实例)和存储器薄膜(如具体实施为在存储器区域100中的层堆叠50的实例)。存储器薄膜可以包括:横向围绕存储器器件沟道的隧穿电介质(如具体实施为内部电介质506的实例);以及横向围绕隧穿电介质的电荷存储区域的垂直堆叠(如具体实施为存储器材料层504的部分)。

[0132] 在一个实施例中,存储器区域100中的每个存储器薄膜50可以具有与晶体管区域400中的场效应晶体管的栅极电介质的层堆叠50相同的材料层的序列。在存储器薄膜的序列中的每个材料层可以具有与栅极电介质的层堆叠50中的相对应的材料层相同的厚度。在一个实施例中,至少一个存储器结构的每个存储器器件沟道和场效应晶体管的垂直晶体管沟道包括公共的第一半导体材料(即,半导体沟道60的半导体材料)。存储器顶部有源区域(如具体实施为存储器区域100中的漏极区域63的实例)可以位于每个存储器堆叠结构的上方。场效应晶体管的每一个存储器漏极区域和顶部有源区域中可以包括公共的第二掺杂的半导体材料,其是顶部有源区域63的半导体材料。

[0133] 在一个实施例中,位于半导体基板上的器件可以包括位于存储器区域100中的垂直NAND器件,并且堆叠(32,46)中的电导电层46中的至少一个可以包括、或者可以被电连接到,NAND器件的字线。存储器区域100可以包括多个半导体沟道(601,602)。多个半导体沟道(601,602)中的每一个的至少一个端部部分大体上正交于半导体基板的顶表面延伸。存储器区域100还包括位于每个存储器层50之内多个电荷存储区域。每个电荷存储区域位于与多个半导体沟道(601,602)中相应的一个半导体沟道相邻。存储器区域100还包括多个控制栅极电极,其具有大体上平行于基板(例如,基板半导体层9)的顶表面延伸的条形。多个控制栅极电极包括至少位于第一器件级中的第一控制栅极电极、以及位于第二器件级中的第二控制栅极电极。堆叠(32,46)中的多个电导电层46可以与多个控制栅极电极电接触,或者可以包括多个控制栅极电极,并且从存储器区域100延伸到包括多个电导电接触通孔结构的接触区域300。

[0134] 在示例性结构包括三维NAND器件的情况下,交替的多个字线46和绝缘层32的堆叠(32,46)可以位于半导体基板上方。字线46和绝缘层32中的每一个位于不同的级处,该不同的级与半导体基板的顶表面以不同的距离垂直地间隔开。开口填充结构55的阵列嵌入堆叠(32,46)内。每个开口填充结构55包括半导体沟道(601,602)和位于与半导体沟道(601,602)相邻的至少一个电荷存储区域。半导体沟道(601,602)的至少一个端部部分穿过堆叠(32,46)大体上正交于半导体基板的顶表面延伸。

[0135] 在本公开的垂直晶体管的示例性应用中,本公开的实施例的垂直晶体管可以用作外围器件(诸如字线开关晶体管),以控制施加到NAND存储器器件的控制栅极电极的电压。图13示出了用于在晶体管区域400中适配本公开的实施例的垂直晶体管405的示例配置。NAND串的存储器堆叠结构55可以被提供为在器件区域100中的每个指形(finger-shaped)子块区域102A、102B、102C、102D中。接触区域300可以具有阶梯式表面,在该阶梯式表面处用作NAND串的控制栅极电极的电导电层46以不同的横向范围延伸,以提供用于控制栅极接

触通孔结构66的接合焊盘 (landing pad) 区域,其可以例如穿过后向阶梯式电介质材料部分65和可选的第二接触级电介质层73形成到每个相应的控制栅极电极(如具体实施为围绕存储器堆叠结构的电导电层的部分)的顶表面上。控制栅极电极可以作为导电带沿着每个指状物的方向延伸。电导电互连(例如,金属线)92B可以提供本公开的实施例的每个控制栅极接触通孔结构66与相应的垂直晶体管的源极电极476的对之间的电接触。由于字线开关晶体管区域400的面积显著减小(例如,超过90%),垂直沟道开关晶体管405优于现有技术的水平沟道开关晶体管。此外,可以在与NAND串相同的工艺步骤期间形成垂直晶体管405,由此减少了工艺步骤的数量。除了或代替用于NAND器件的控制栅极电极/字线的开关器件之外,本公开的垂直场效应晶体管可以用于任何其他用途。

[0136] 参考图14,示出了示例性结构的替代实施例,其可以通过省略用于形成可选外延沟道部分11的工艺步骤来形成增强模式晶体管(通常开启,除非施加电压到栅极电极)或耗尽模式晶体管(通常关闭,除非施加电压到栅极电极)而从示例性结构中衍生出。基板半导体层9和半导体阱层10的导电类型可以适当地修改。在一个实施例中,基板半导体层9可以具有p型掺杂,并且半导体阱层10可以具有n型掺杂(例如,轻掺杂阱,诸如N⁻阱)。在一个实施例中,半导体沟道60的导电类型是本征的或者是与半导体阱层10的导电类型(例如,n型)相同的。源极区域61和漏极区域63可以具有与半导体阱层10的导电类型相同的导电类型(例如,n型),并且如果沟道是掺杂而不是本征的,则可选地与半导体沟道60的导电类型相同。这形成晶体管,该晶体管具有第一导电类型(例如,n型,N⁻)的重掺杂源极区域61、第一导电类型(例如,n型,N⁻)的阱层10中的轻掺杂水平沟道部分、第一导电类型(例如,n型,N⁻)的本征的或轻掺杂的垂直沟道部分60、以及第一导电类型(例如,n型,N⁻)的重掺杂漏极区域63。在替换实施例中,导电类型可以颠倒,使得基板半导体层9可以具有n型掺杂,并且半导体阱层10、源极区域61、漏极区域63以及可选地沟道60可以具有p型掺杂。因此,在两个实施例中,阱层10中的源极区域61、漏极区域63和水平沟道部分具有相同的第一导电类型的掺杂,并且第一垂直晶体管沟道部分60是本征的或具有第一种导电类型的掺杂。

[0137] 尽管上述内容涉及特定的优选实施例,但应当理解,本公开不限于此。本领域的普通技术人员将会想到,可以对所公开的实施例进行各种修改,并且这样的修改意图在本公开的范围内。在本公开中示出了采用特定结构和/或配置的实施例的情况下,应该理解,本公开可以用功能上等同的任何其他兼容结构和/或配置来实践,只要这些替换没有明确禁止或者另外对于本领域的普通技术人员已知是不可能的。本文记述的所有出版物、专利申请和专利均通过引用整体并入本文。

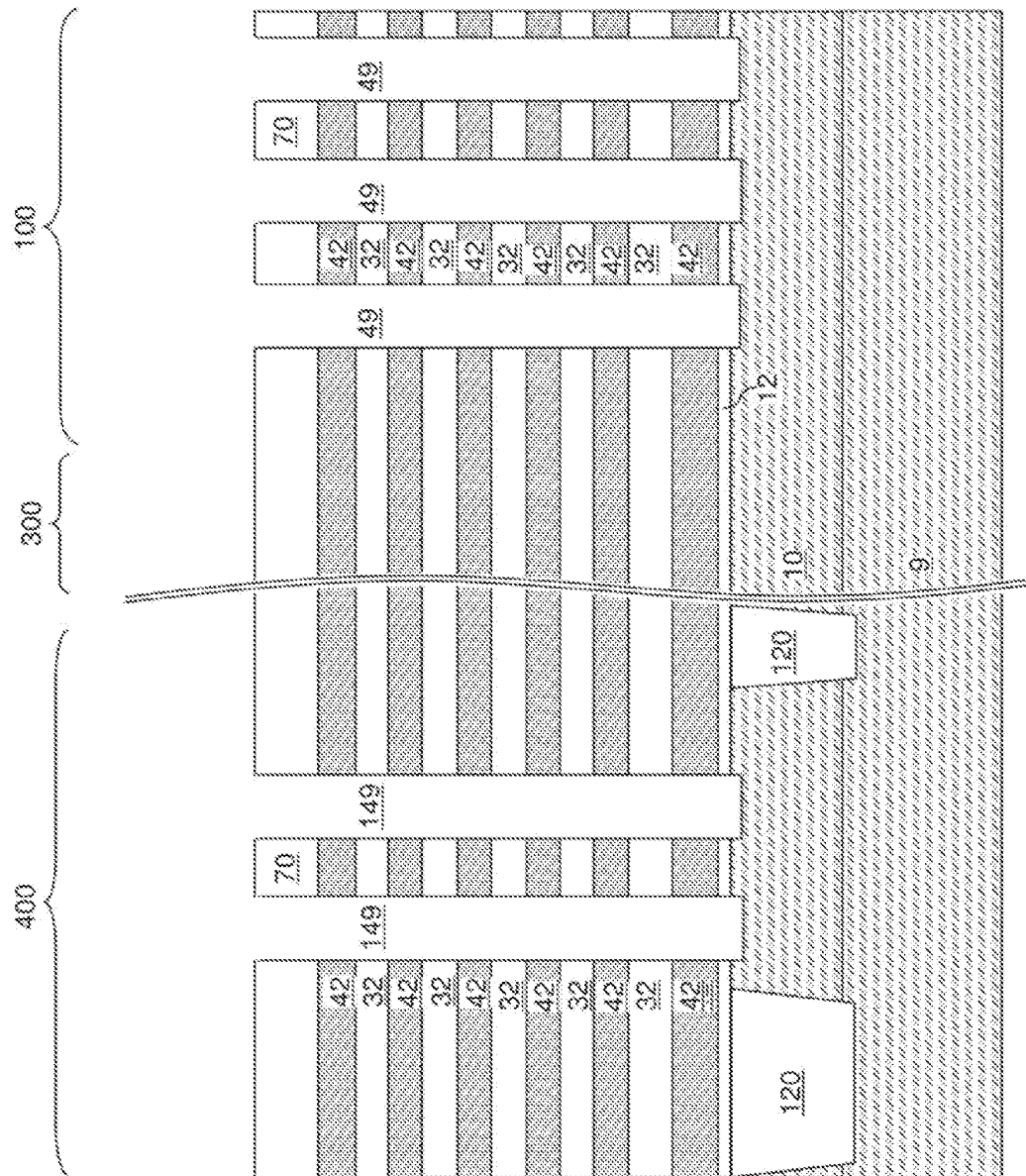


图1

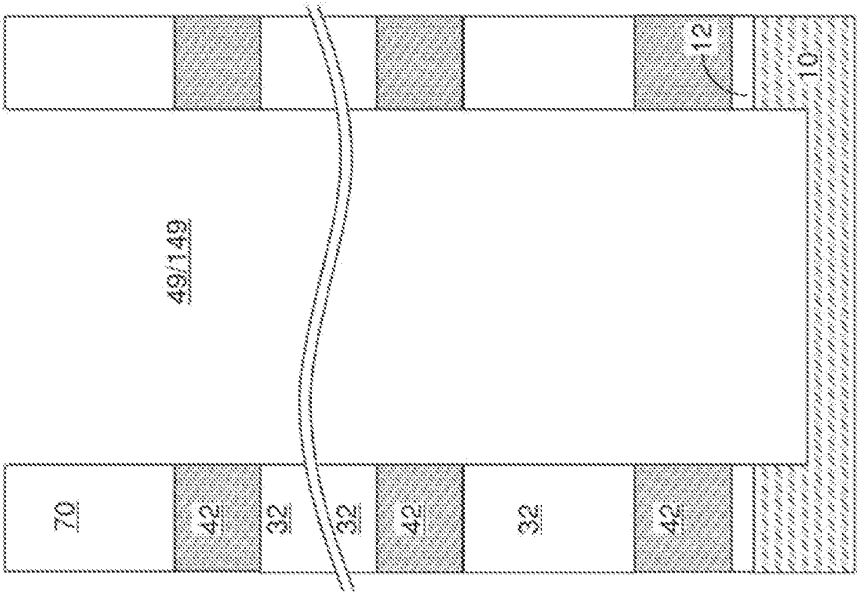


图2A

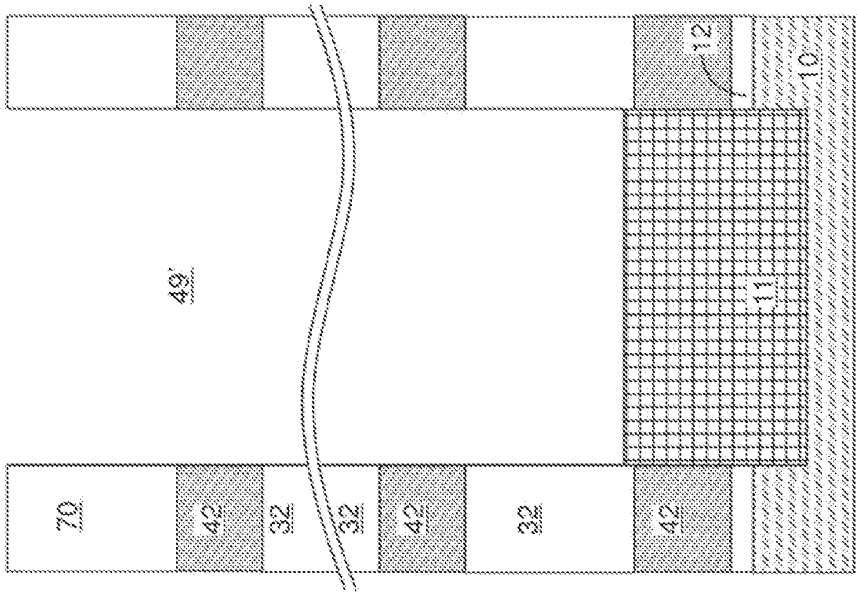


图2B

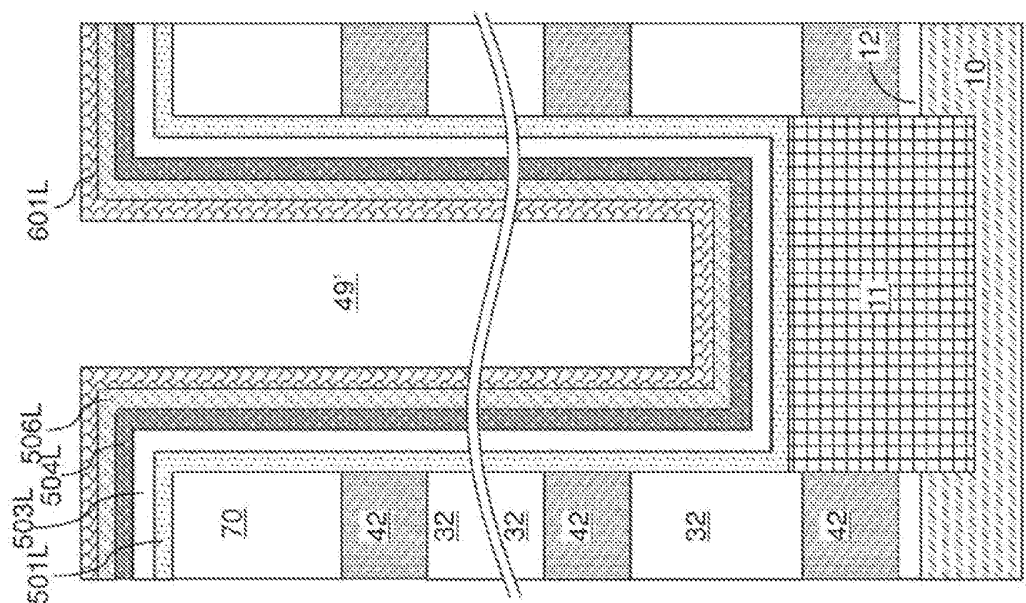


图2C

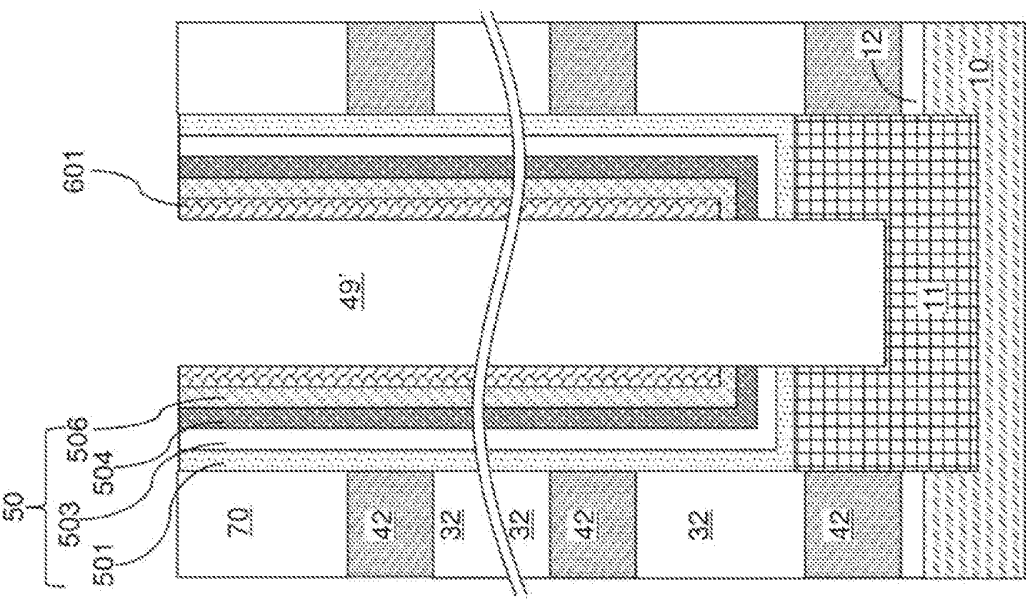


图2D

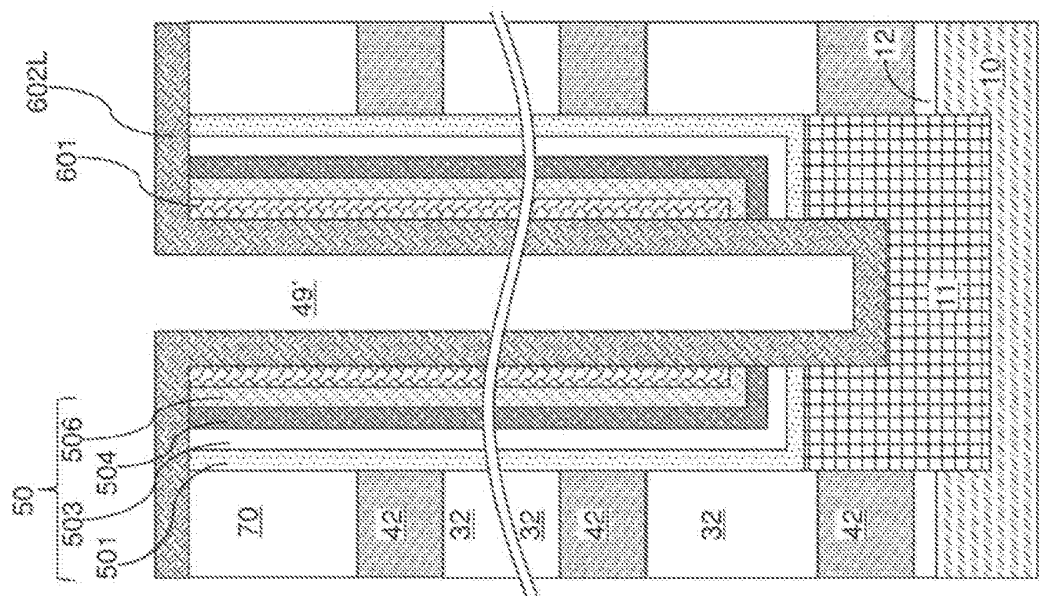


图2E

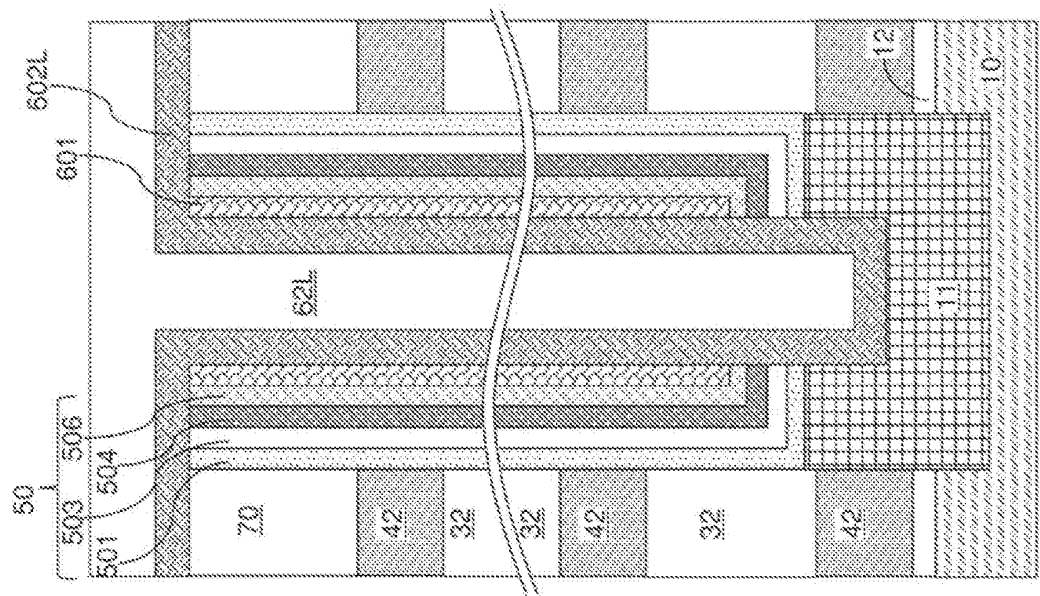


图2F

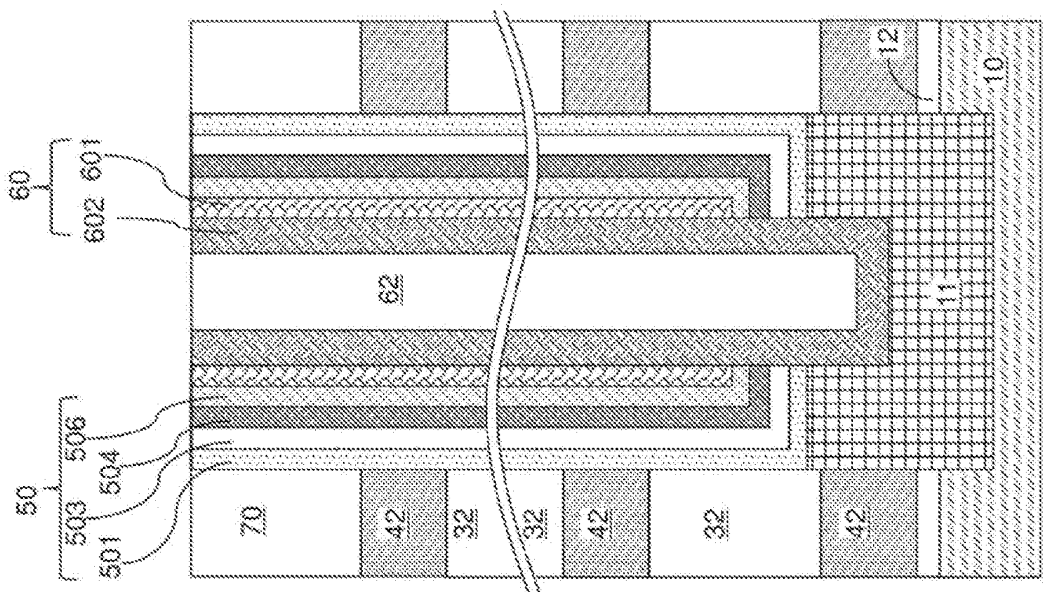


图2G

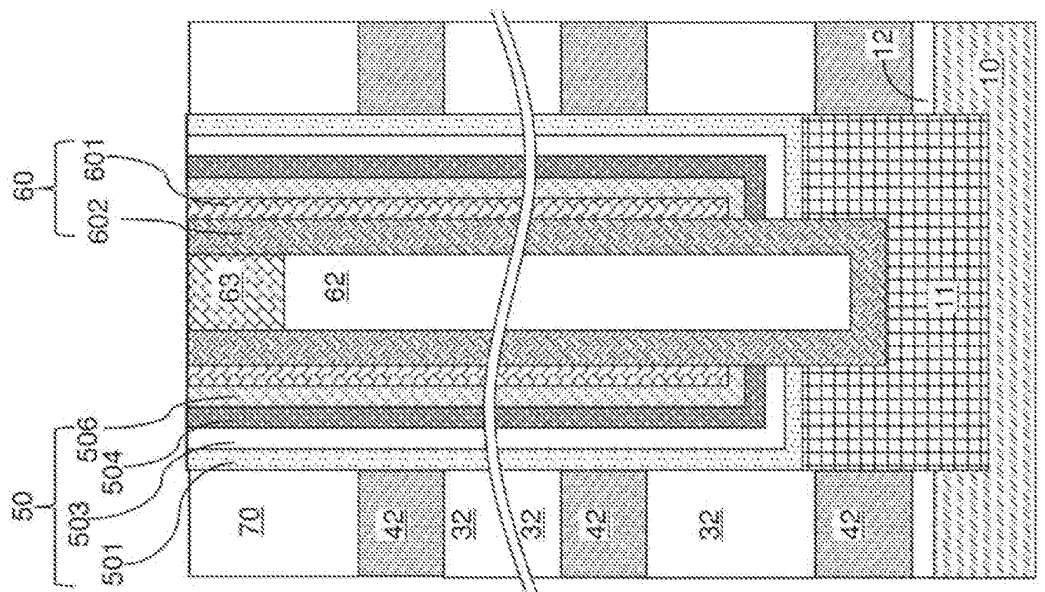


图2H

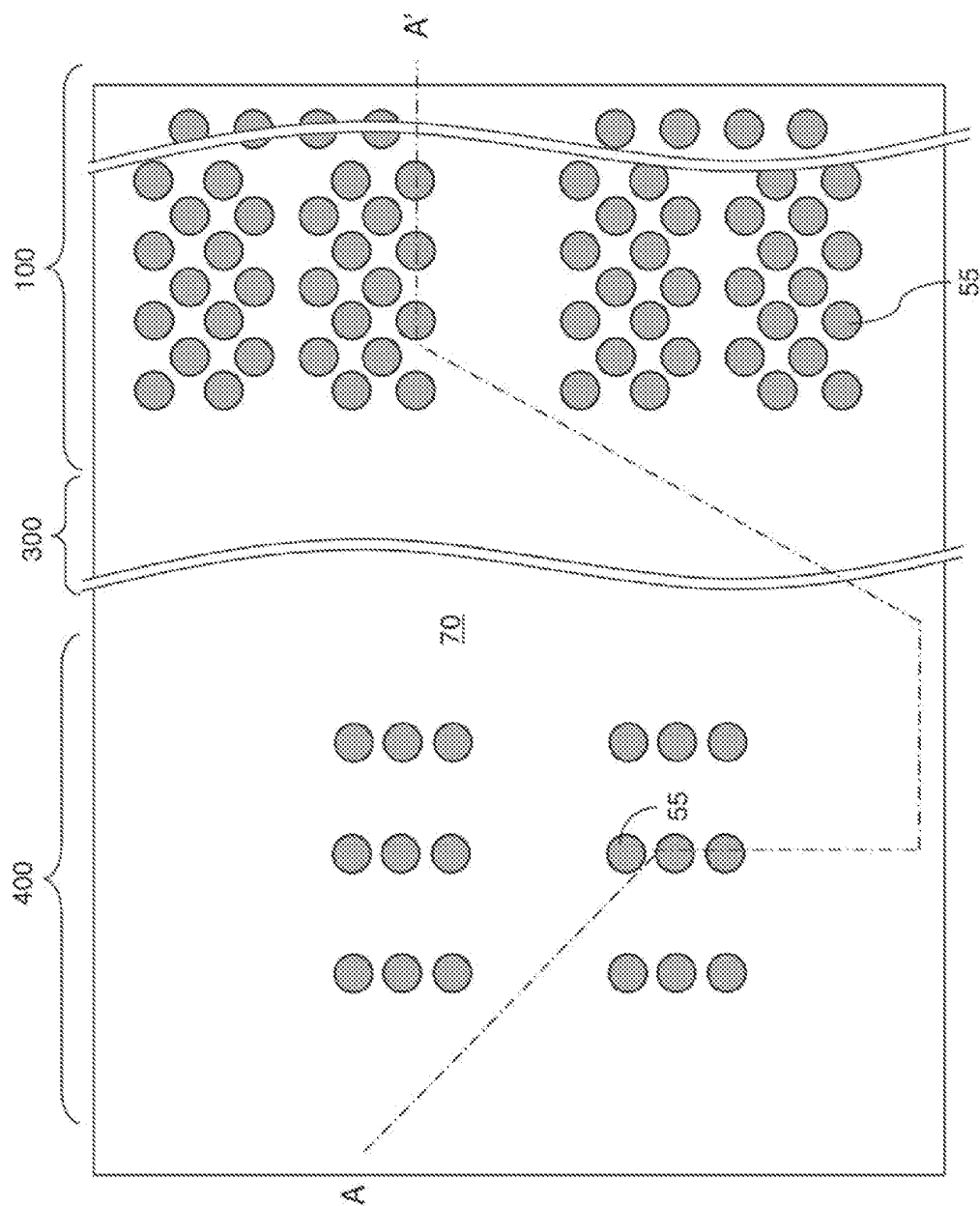


图3B

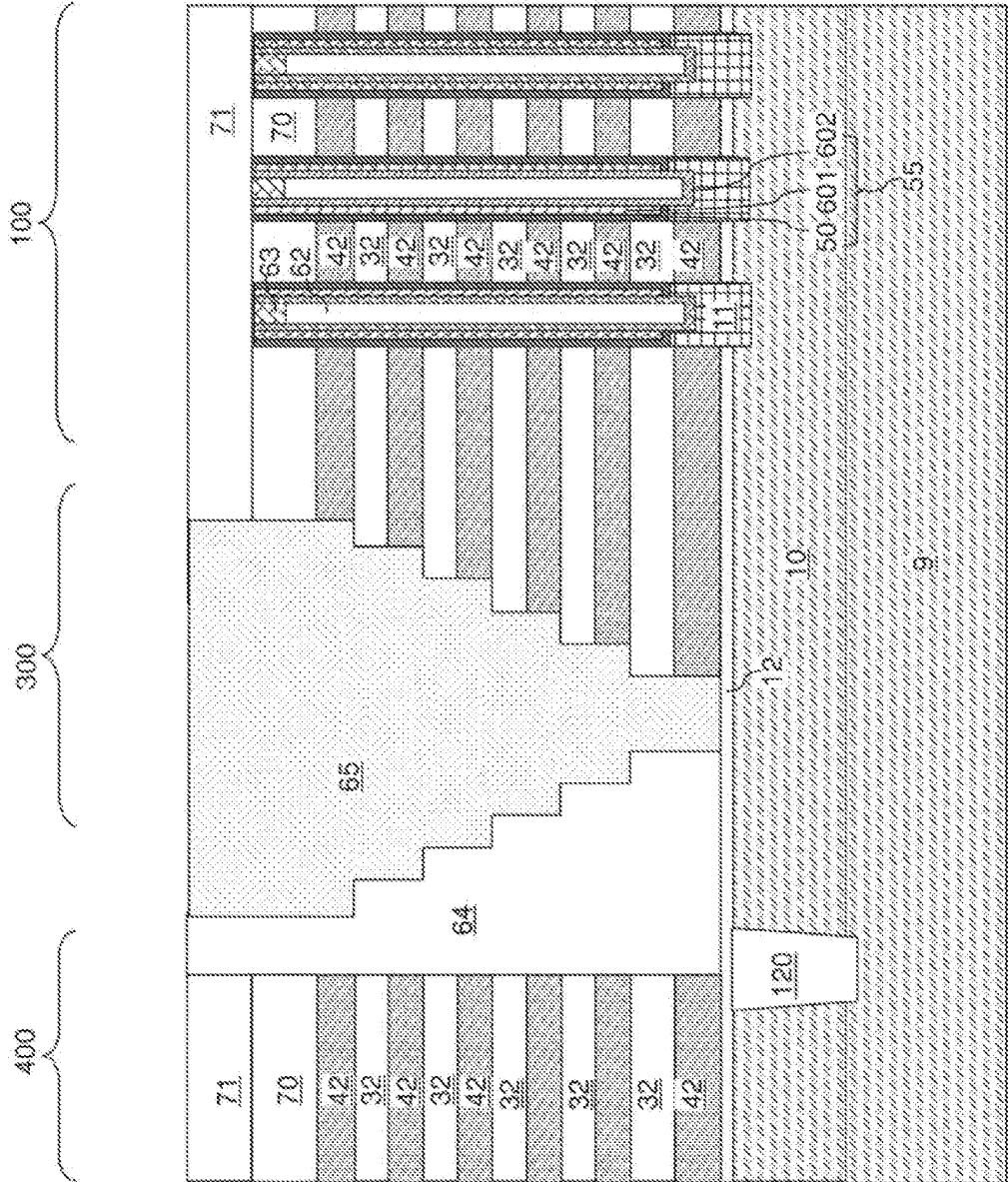


图4

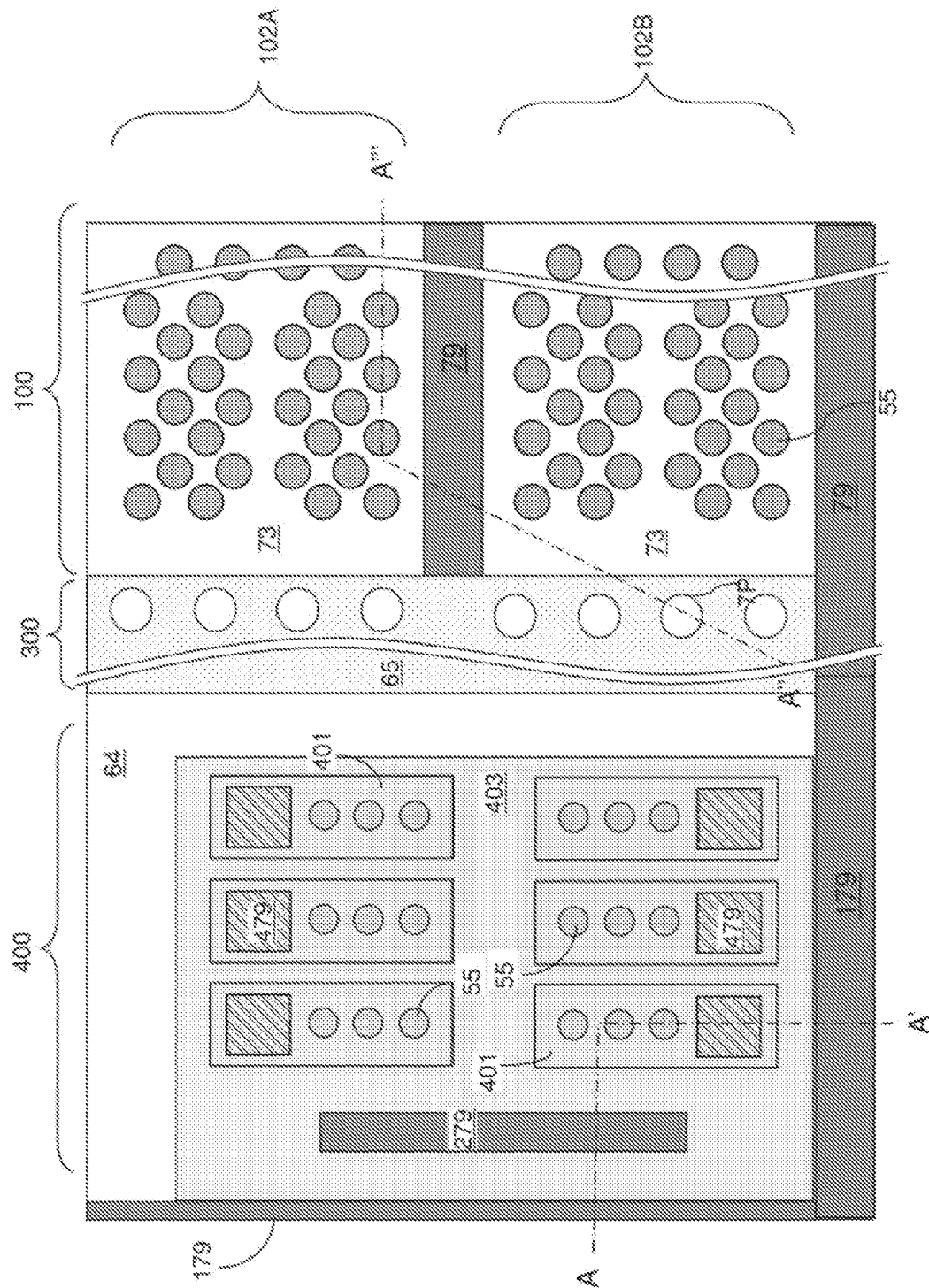


图6B

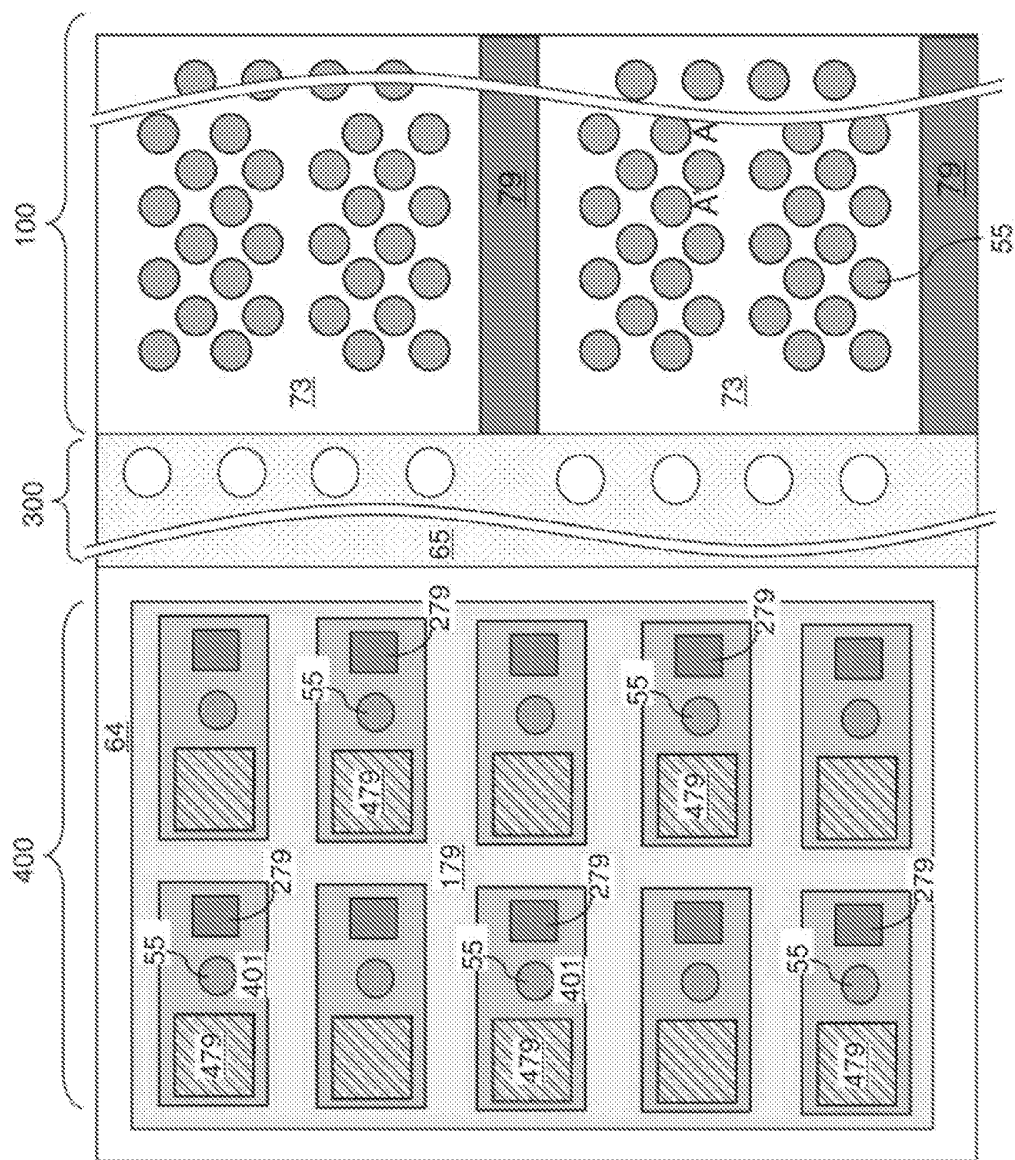


图6C

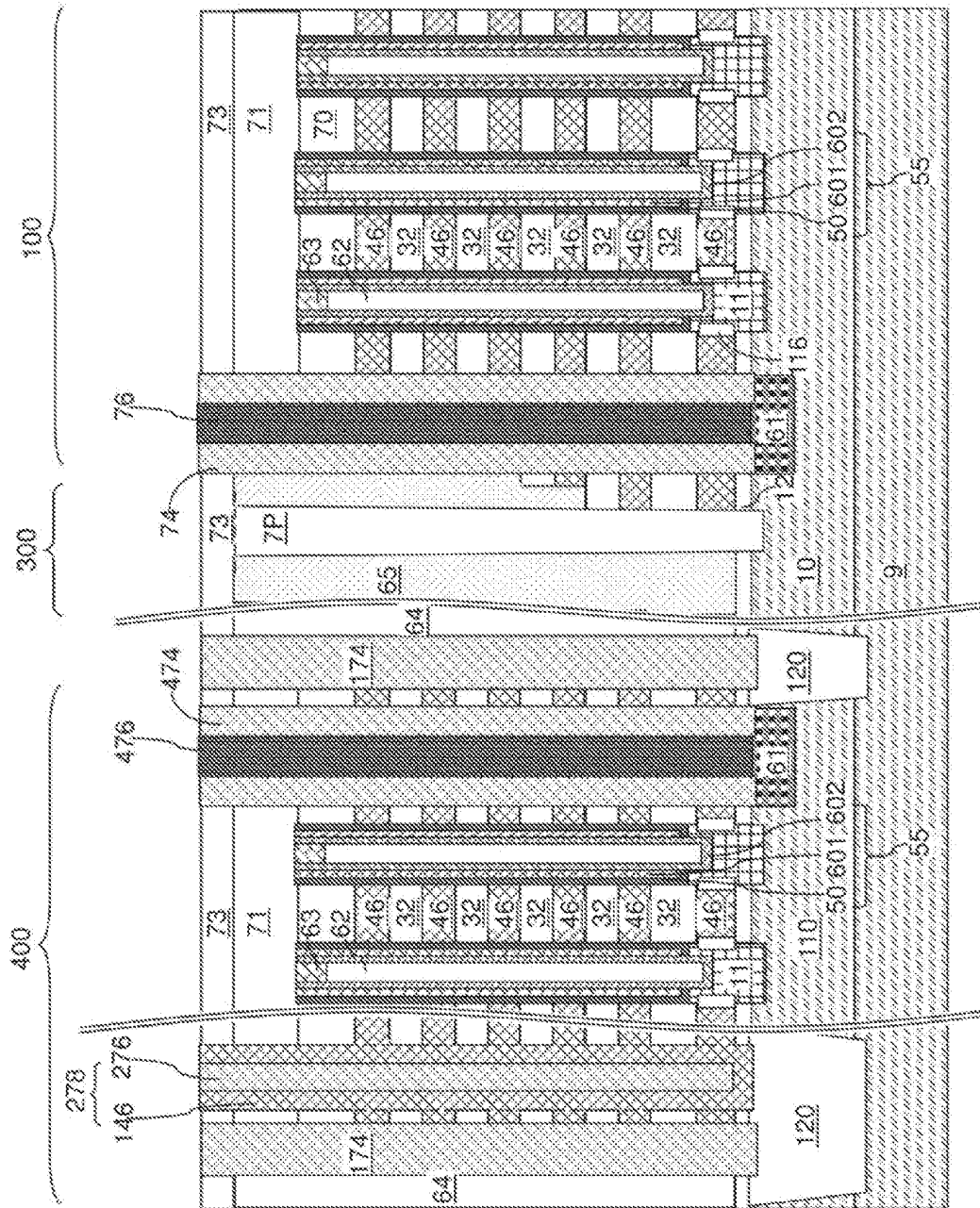


图11

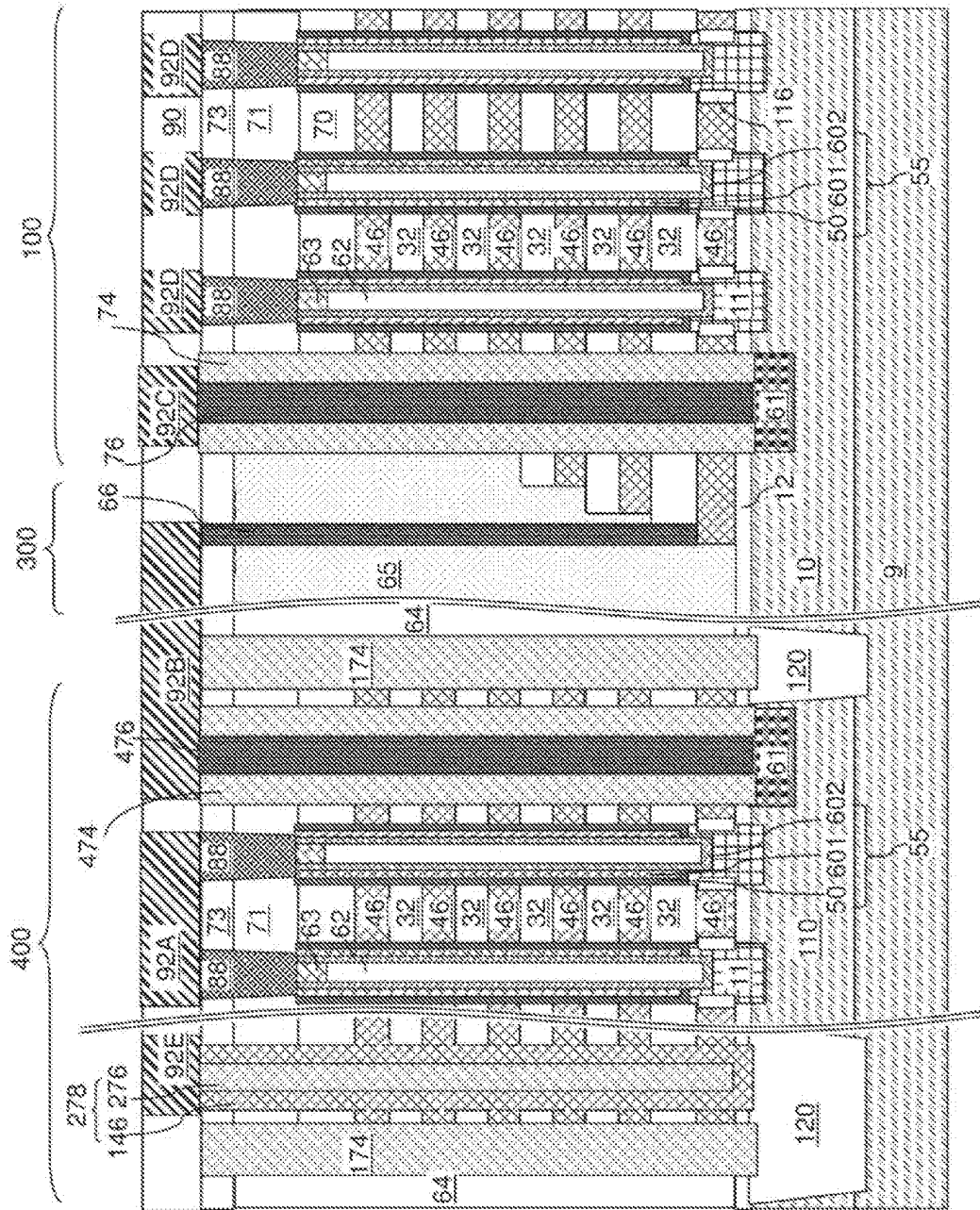


图12

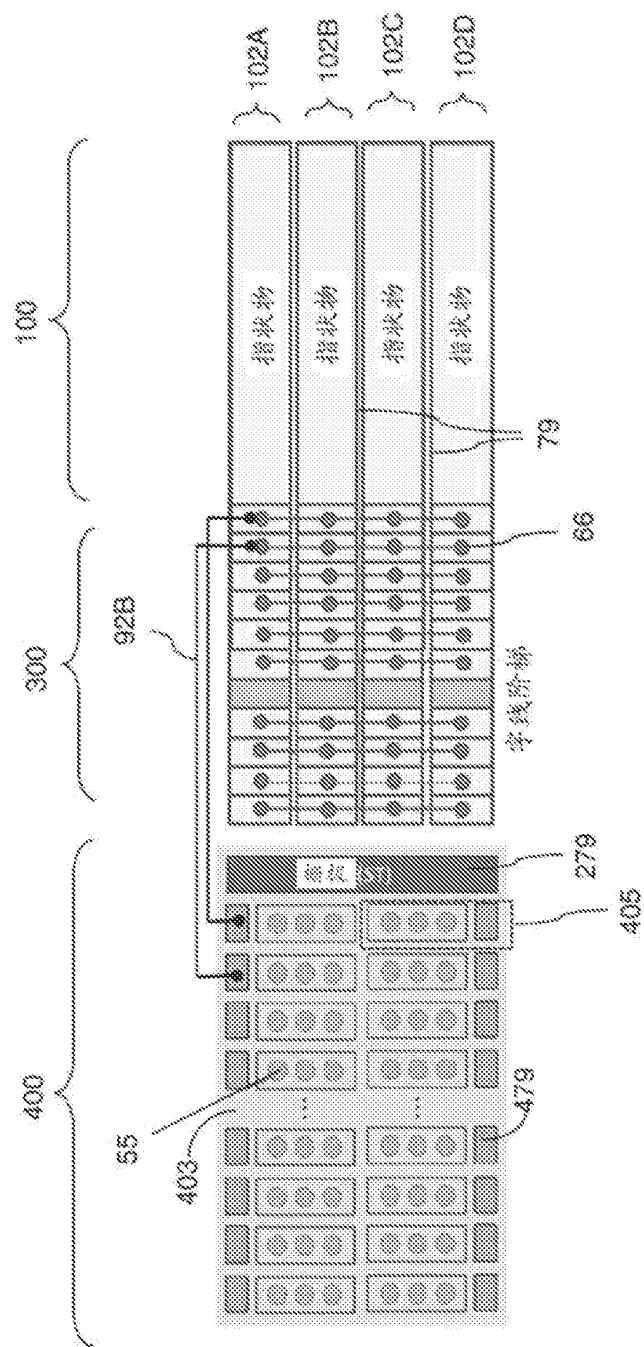


图13



国家知识产权局

100140

北京市西城区金融大街 27 号 10 层 B1008 北京永新同创知识产权代理有限公司
张殿慧(63611666) 刘健(63611666)

发文日:

2020 年 10 月 10 日



申请号或专利号: 202010103862.2

发文序号: 2020092902473140

申请人或专利权人: 长江存储科技有限责任公司

发明创造名称: 新型 3D NAND 存储器件及其形成方法

第一次审查意见通知书

1. ☒ 应申请人提出的实质审查请求, 根据专利法第 35 条第 1 款的规定, 国家知识产权局对上述发明专利申请进行实质审查。

☐ 根据专利法第 35 条第 2 款的规定, 国家知识产权局决定自行对上述发明专利申请进行审查。

2. ☐ 申请人要求以在:

☐ 申请人已经提交了经原受理机构证明的第一次提出的在先申请文件的副本。

☐ 申请人尚未提交经原受理机构证明的第一次提出的在先申请文件的副本, 根据专利法第 30 条的规定视为未要求优先权要求。

3. ☐ 经审查, 申请人于____提交的修改文件, 不符合专利法实施细则第 51 条第 1 款的规定, 不予接受。

4. 审查针对的申请文件:

☐ 原始申请文件。 ☒ 分案申请递交日提交的文件。 ☐ 下列申请文件:

5. ☐ 本通知书是在未进行检索的情况下作出的。

☒ 本通知书是在进行了检索的情况下作出的。

☒ 本通知书引用下列对比文件(其编号在今后的审查过程中继续沿用):

编号	文件号或名称	公开日期 (或抵触申请的申请日)
1	CN 108431961A	20180821

6. 审查的结论性意见:

关于说明书:

☐ 申请的内容属于专利法第 5 条规定的不授予专利权的范围。

☐ 说明书不符合专利法第 26 条第 3 款的规定。

☐ 说明书不符合专利法第 33 条的规定。

☐ 说明书的撰写不符合专利法实施细则第 17 条的规定。

☐ _____

210401
2018. 10

纸件申请, 回函请寄: 100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
电子申请, 应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外, 以纸件等其他形式提交的文件视为未提交。

Micron Ex. 1002, p. 673
Micron v. YMTC
IPR2024-00794



国家知识产权局

关于权利要求书：

- ☐ 权利要求_____不符合专利法第 2 条第 2 款的规定。
- ☐ 权利要求_____不符合专利法第 9 条第 1 款的规定。
- ☒ 权利要求 1-5, 8 不具备专利法第 22 条第 2 款规定的新颖性。
- ☒ 权利要求 6, 10-11 不具备专利法第 22 条第 3 款规定的创造性。
- ☐ 权利要求_____不具备专利法第 22 条第 4 款规定的实用性。
- ☐ 权利要求_____属于专利法第 25 条规定的不授予专利权的范围。
- ☐ 权利要求_____不符合专利法第 26 条第 4 款的规定。
- ☐ 权利要求_____不符合专利法第 31 条第 1 款的规定。
- ☐ 权利要求_____不符合专利法第 33 条的规定。
- ☐ 权利要求_____不符合专利法实施细则第 19 条的规定。
- ☐ 权利要求_____不符合专利法实施细则第 20 条的规定。
- ☐ 权利要求_____不符合专利法实施细则第 21 条的规定。
- ☐ 权利要求_____不符合专利法实施细则第 22 条的规定。

☐ _____

☐ 申请不符合专利法第 26 条第 5 款或者实施细则第 26 条的规定。

☐ 申请不符合专利法第 20 条第 1 款的规定。

☐ 分案申请不符合专利法实施细则第 43 条第 1 款的规定。

上述结论性意见的具体分析见本通知书的正文部分。

7. 基于上述结论性意见，审查员认为：

☐ 申请人应当按照通知书正文部分提出的要求，对申请文件进行修改。

☒ 申请人应当在意见陈述书中论述其专利申请可以被授予专利权的理由，并对通知书正文部分中指出的不符合规定之处进行修改，否则将不能授予专利权。

☐ 专利申请中没有可以被授予专利权的实质性内容，如果申请人没有陈述理由或者陈述理由不充分，其中申请将被驳回。

☐ _____

8. 申请人应注意下列事项：

(1) 根据《专利优先审查管理办法》第 11 条、第 12 条的规定：申请人答复发明专利审查意见通知书的期限为通知书发文日起 2 个月，如果申请人逾期不答复，国家知识产权局可以停止优先审查程序，按普通程序处理，即根据专利法第 37 条的规定，申请人应当在收到本通知书之日起的 4 个月内陈述意见，如果申请人无正当理由逾期不答复，其申请将被视为撤回。

(2) 申请人对其中请的修改应当符合专利法第 33 条的规定，不得超出原说明书和权利要求书记载的范围，同时申请人对专利申请文件进行的修改应当符合专利法实施细则第 51 条第 3 款的规定，按照本通知书的要求进行修改。

(3) 申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处，凡未邮寄或递交给受理处的文件不具备法律效力。

(4) 未经预约，申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

(5) 对进入实质审查阶段的发明专利申请，在第一次审查意见通知书答复期限届满前（已提交答复意见的除外），主动申请撤回的，可以请求退还 50% 的专利申请实质审查费。

9. 本通知书正文部分共有 2 页，并附有下列附件：

☐ 引用的对比文件的复印件共_____份_____页。

☐ _____

审查员：张海洋

联系电话：0512-88995793

审查部门：专利审查协作江苏中心电学发明审查部

210401
2018. 10

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。



国家知识产权局

第一次审查意见通知书

申请号:2020101038622

本申请涉及一种新型 3D NAND 存储器件及其形成方法,经审查,提出如下审查意见:

1. 权利要求 1-5,8 不符合专利法第 22 条第 2 款的规定,权利要求 6,10-11 不符合专利法第 22 条第 3 款的规定。

权利要求 1 请求保护一种存储器件,对比文件 1 (CN108431961A) 公开了一种存储器件,并公开了如下技术特征 (参见说明书第 0029-0135 段、附图 12):

基板 9;

底部选择栅极 (参见第 0044 段,堆叠中的顶部栅极电极和底部栅极电极可以用作选择栅极电极),所述底部选择栅极设置于所述基板 9 上方;

多个导电层 46 (相当于多条字线),位于底部选择栅极上方;

多个栅极电介质层 12、绝缘层 32,设置于所述基板 9、底部选择栅极和所述多条字线之间;

电介质分离器结构 174 (相当于电介质沟槽),形成于所述底部选择栅极中并且沿所述衬底的长度方向延伸,以将底部选择栅极分隔成多个子底部选择栅极;

源极区域 61 和源极电极 76 (相当于公共源极区),形成于基板 9 上方并沿着衬底的长度方向延伸,所述源极区域 61 和源极电极 76 延伸穿过所述底部选择栅极、所述字线以及多个绝缘层。

可见,权利要求 1 与对比文件 1 相比,仅仅存在文字描述方式的不同,权利要求 1 的技术方案实质上已被对比文件 1 公开,并且两者属于相同的技术领域,解决了相同的技术问题并达到相同的技术效果。权利要求 1 不具备专利法第 22 条第 2 款规定的新颖性。

权利要求 2 引用了权利要求 1。参见对比文件 1 附图 12 可知,电介质分离器结构 174 (相当于电介质沟槽)也将顶部的选择栅极隔离。因此,当其引用的权利要求不具备新颖性时,该从属权利要求也不具备新颖性。

权利要求 3 引用了权利要求 2。参见对比文件 1 附图 12 可知,电介质分离器结构 174 既相当于第一电介质沟槽又相当于第二电介质沟槽,也即是说,第一电介质沟槽和所述第二电介质沟槽彼此对准。因此,当其引用的权利要求不具备新颖性时,该从属权利要求也不具备新颖性。

权利要求 4 引用了权利要求 2。参见对比文件 1 附图 12 可知,公共源极区与电介质分离器结构 174 彼此平行的延伸。因此,当其引用的权利要求不具备新颖性时,该从属权利要求也不具备新颖性。

权利要求 5 引用了权利要求 2。参见对比文件 1 附图 12 可知,多个沟道中的每一个穿过所述底部选择栅极、所述多条字线、所述顶部选择栅极和所述多个绝缘层。因此,当其引用的权利要求不具备新颖性时,该从属权利要求也不具备新颖性。

权利要求 6 引用了权利要求 1。在 3D NAND 存储器中,设置伪沟道结构也只是一种常规技术手段。因

210401
2018.10

纸件申请,回函请寄:100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
电子申请,应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外,以纸件等其他形式提交的文件视为未提交。



国家知识产权局

此，在对比文件 1 的基础上结合公知常识，得到权利要求 6 请求保护的技术方案是显而易见的。权利要求 6 不具备创造性。

权利要求 8 引用了权利要求 5。参见对比文件 1 附图 12 可知，电介质沟槽与公共源极区交替设置。因此，当其引用的权利要求不具备新颖性时，该从属权利要求也不具备新颖性。

权利要求 10-11 直接或间接引用了权利要求 1。在本领域中，在底部选择栅与字线层之间设置伪底部选择栅极，在顶部选择栅极与字线层之间设置伪顶部选择栅极都只是本领域的常规技术手段。因此，权利要求 10-11 不具备创造性。

基于上述理由，本申请按照目前的文本还不能被授予专利权，申请人应当在本通知书指定的答复期限内进行意见陈述和/或对申请文件进行修改以克服本通知书中指出的所有缺陷，否则本申请将难以获得批准。请申请人注意，对申请文件的修改应当符合专利法第 33 条和专利法实施细则第 51 条第 3 款的规定。如果申请人修改了申请文件，请提交权利要求书和/或说明书的全文替换页以及修改标记页。

审查员姓名:张海洋
审查员代码:451335

210401
2018. 10

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

Translation of Category of Cited Documents in the attached foreign language Search Report:

- A: It is not a reference with a special relation but shows a general technical level.
- E: It is a prior art, however it was disclosed after the international application date.
- L: It is a reference for raising arguments in priorities claimed or a reference for establishing the publication date of other references or other special reasons (with reasons).
- O: It is a reference mentioned in oral presentation, usage, display, etc.
- P: It is a reference disclosed before the international publication date and after the application date on the basis of which priority is claimed.
- T: It is a reference disclosed after the international publication date or priority date, is not contradictory to the application, and is cited to understand the principle or theory of the invention.
- X: It is a reference with a special relation and it is considered that there is no new creation or progress of the invention by only said reference.
- Y: It is a reference with a special relation and is considered that there is no progress by a combination of said reference and one or more other references, which is evident for the parties concerned.

&: It is the same patent family reference.



国家知识产权局

检索报告

申请号：2020101038622	申请日：20181207	首次检索			
申请人：长江存储科技有限责任公司	最早的优先权日：				
权利要求项数：14	说明书段数：127+34				
审查员确定的 IPC 分类号：H01L27/11551,H01L27/1158					
检索记录信息：CN108431961A: 720 VEN, H01L27/115+/ic and (isolat+ s gate?) and pd (20181207 and (stack+ or "3d")					
CN106024786A: 追踪本申请母案 WO 同族					
CN103680611A: 追踪本申请母案					
相 关 专 利 文 献					
类型	国别以及代码[11] 给出的文献号	代码[43]或[45] 给出的日期	IPC 分类号	相关的段落 和 / 或图号	涉及的权 利要求
X	CN108431961A	20180821	H01L29/423	说明书第 0029-0135 段、附图 12	1-6,8,10-11
A	CN106024786A	20161012	H01L27/105	全文	1-14
A	CN103680611A	20140326	G11C16/06	全文	1-14



国家知识产权局

相 关 非 专 利 文 献					
类型	书名(包括版本号和卷号)	出版日期	作者姓名和出版者名称	相关页数	涉及的权利要求
类型	期刊或文摘名称 (包括卷号和期号)	发行日期	作者姓名和文章标题	相关页数	涉及的权利要求

表格填写说明事项:

1. 审查员实际检索领域的 IPC 分类号应当填写到大组和 / 或小组所在的分类位置。
2. 期刊或其它定期出版物的名称可以使用符合一般公认的国际惯例的缩写名称。
3. 相关文件的类型说明:

X: 一篇文件影响新颖性或创造性;

Y: 与本报告中的另外的 Y 类文件组合而影响创造性;

A: 背景技术文件;

R: 任何单位或个人在申请日向专利局提交的、属于同样的发明创造的专利或专利申请文件。

P: 中间文件, 其公开日在申请的申请日与所要求的优先权日之间的文件;

E: 抵触申请。

审 查 员: 张海洋

审查部门: 专利审查协作江苏中心电学发明审查部

2020 年 09 月 24 日

Electronic Patent Application Fee Transmittal				
Application Number:		16365725		
Filing Date:		27-Mar-2019		
Title of Invention:		NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		
First Named Inventor/Applicant Name:		Yali SONG		
Filer:		Michael R. Casey/Matilda Dang		
Attorney Docket Number:		521129US		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
SUBMISSION- INFORMATION DISCLOSURE STMT	1806	1	260	260
Total in USD (\$)				260

Electronic Acknowledgement Receipt

EFS ID:	41365568
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Michael R. Casey/Matilda Dang
Filer Authorized By:	Michael R. Casey
Attorney Docket Number:	521129US
Receipt Date:	11-DEC-2020
Filing Date:	27-MAR-2019
Time Stamp:	16:50:43
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$ 260
RAM confirmation Number	E2020BAG51077810
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		521129US_IDS.pdf	20722164	yes	59
			7cbaa1a54069e1c43c7f59052213a1efc00680da		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Transmittal Letter		1	1	
	Information Disclosure Statement (IDS) Form (SB08)		2	2	
	Non Patent Literature		3	9	
	Foreign Reference		10	59	
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30242	no	2
			8461d28aba7ec52ee7810a9ab09e5d78ceb d3e85		
Warnings:					
Information:					
Total Files Size (in bytes):			20752406		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yali SONG, et al.

SERIAL NO: 16/365,725

GAU: 2825

FILED: March 27, 2019

EXAMINER: AUDUONG, GENE NGHIA

FOR: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

Commissioner:

Applicant(s) wish to disclose the following information.

REFERENCES

- ☒ The applicant(s) wish to make of record the reference(s) listed on the attached form PTO-1449 and/or accompanying documents from a corresponding foreign application. Copies of the listed reference(s) are attached, where required, as are either statements of relevancy, English translations of the categories of cited documents for foreign search reports or English translations of foreign Office Actions which provide the statement of relevancy for the foreign language references cited therein, or any readily available partial or full English translations of pertinent portions of any non-English language reference(s).
- ☒ Credit card payment is being made online (if electronically filed), or is attached hereto (if paper filed), in the amount required under 37 CFR §1.17(p).

CERTIFICATION

- ☒ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.
- ☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

- ☒ Please charge any additional fees for the papers being filed herewith and for which no payment is enclosed herewith, or credit any overpayment to deposit account number 15-0030.

Respectfully submitted,

OBLON, McCLELLAND,
MAIER & NEUSTADT, L.L.P.

/Johnny Ma/

Johnny Ma

Registration No. 59,976

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OMMN 02/12)



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814
22850	7590	12/28/2020		
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P. 1940 DUKE STREET ALEXANDRIA, VA 22314			EXAMINER AUDUONG, GENE NGHIA	
			ART UNIT	PAPER NUMBER
			2825	
			NOTIFICATION DATE	DELIVERY MODE
			12/28/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

OBLONPAT@OBLON.COM
iahmadi@oblon.com
patentdocket@oblon.com

**UNITED STATES DEPARTMENT OF COMMERCE****U.S. Patent and Trademark Office**

Address: COMMISSIONER FOR PATENTS

P.O. Box 1450

Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR/ PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
16/365,725	03/27/2019	SONG et al.	521129US

OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P. 1940 DUKE STREET ALEXANDRIA, VA 22314		EXAMINER	
		GENE N AUDUONG	
		ART UNIT	PAPER
		2825	20201221

DATE MAILED: _____

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

Information Disclosure Statement

The information disclosure statement (IDS) submitted on 12/11/2020 is being considered by the examiner.

/GENE N AUDUONG/
Primary Examiner, Art Unit 2825

SHEET 1 OF 1

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 521129US		SERIAL NO. 16/365,725	
LIST OF REFERENCES CITED BY APPLICANT				INVENTOR(S) Yali SONG, et al.			
				FILING DATE March 27, 2019		GROUP 2825	
U.S. PATENT DOCUMENTS							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
FOREIGN PATENT DOCUMENTS							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO	108431961 A	08-21-2018	China (with English abstract)			X
	AP						
	AQ						
	AR						
	AS						
	AT						
	AU						
	AV						
OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)							
	AW	Combined Chinese Office Action and Search Report issued on October 10, 2020 in Patent Application No. 202010103862.2 (with English translation of Categories of Cited Documents), citing documents AO therein, 7 pages					
	AX						
	AY						
	AZ					☐ Additional References sheet(s) attached	
Examiner	/GENE N AUDUONG/				Date considered	12/17/2020	
*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.							

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /G.N.A/

Micron Ex. 1002, p. 688
Micron v. YMTC
IPR2024-00794

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

CUSTOMER NUMBER
22850

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/27/2019	Yali SONG	521129US	4814

TITLE OF INVENTION: NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	02/16/2021

EXAMINER	ART UNIT	CLASS-SUBCLASS
AUDUONG, GENE NGHIA	2825	365-185170

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Oblon, McClelland,
2 Maier & Neustadt, L.L.P.
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

YANGTZE MEMORY TECHNOLOGIES CO., LTD.

Wuhan, CHINA

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 15-0030

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Bogdan A. Zinchenko/

Date February 12, 2021

Typed or printed name Bogdan A. Zinchenko

Registration No. 57,473

Electronic Patent Application Fee Transmittal				
Application Number:		16365725		
Filing Date:		27-Mar-2019		
Title of Invention:		NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME		
First Named Inventor/Applicant Name:		Yali SONG		
Filer:		Daniel J. Pereira/Dakota Brown		
Attorney Docket Number:		521129US		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1200	1200

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1200

Electronic Acknowledgement Receipt	
EFS ID:	41912258
Application Number:	16365725
International Application Number:	
Confirmation Number:	4814
Title of Invention:	NOVEL 3D NAND MEMORY DEVICE AND METHOD OF FORMING THE SAME
First Named Inventor/Applicant Name:	Yali SONG
Customer Number:	22850
Filer:	Daniel J. Pereira/Dakota Brown
Filer Authorized By:	Daniel J. Pereira
Attorney Docket Number:	521129US
Receipt Date:	12-FEB-2021
Filing Date:	27-MAR-2019
Time Stamp:	13:20:37
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$ 1200
RAM confirmation Number	E20212BD20514114
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	521129US.pdf	1329093	no	1
			5ef4ab4ca13d85d6d6998457cbbef947d5e197e83		
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30222	no	2
			d76986385576dce4c9c58d0e5ff6349cc9d6ffa1		
Warnings:					
Information:					
Total Files Size (in bytes):			1359315		
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/365,725	03/16/2021	10950623	521129US	4814

22850 7590 02/24/2021
OBLON, MCCLELLAND, MAIER & NEUSTADT, L.L.P.
1940 DUKE STREET
ALEXANDRIA, VA 22314

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Yali SONG, Wuhan, CHINA;
YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA;
Li Hong XIAO, Wuhan, CHINA;
Ming WANG, Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

IR103 (Rev. 10/09)

Micron Ex. 1002, p. 694
Micron v. YMTC
IPR2024-00794