



(12)发明专利申请

(10)申请公布号 CN 108766971 A

(43)申请公布日 2018. 11. 06

(21)申请号 201810573892.2

(22)申请日 2018.06.06

(71)申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市洪山区东湖开
发区关东科技工业园华光大道18号
7018室

(72)发明人 刘峻

(74)专利代理机构 上海盈盛知识产权代理事务
所(普通合伙) 31294

代理人 董琳 陈丽丽

(51)Int.Cl.

H01L 27/11582(2017.01)

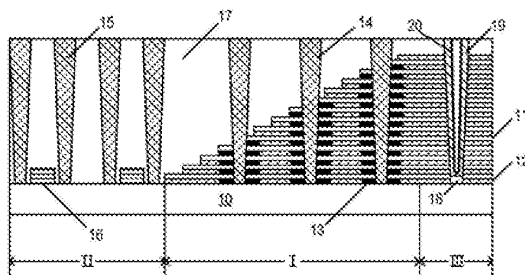
权利要求书3页 说明书7页 附图5页

(54)发明名称

三维存储器及其制造方法

(57)摘要

本发明涉及半导体制造技术领域,尤其涉及一种三维存储器及其制造方法。所述三维存储器,包括:衬底;堆叠结构,形成于所述衬底上,包括沿垂直于所述衬底的方向依次排列的若干栅极层,所述堆叠结构的端部具有台阶区域;导电支撑柱,沿垂直于所述衬底的方向贯穿所述台阶区域的堆叠结构;隔离层,位于所述导电支撑柱与所述栅极层之间,用于电性隔离所述导电支撑柱与所述栅极层。本发明避免了SEG方法形成的台阶区域支撑柱形貌不均匀的问题,确保了三维存储器的产率,并提高了三维存储器的性能。



1. 一种三维存储器, 其特征在于, 包括:
衬底;
堆叠结构, 形成于所述衬底上, 包括沿垂直于所述衬底的方向依次排列的若干栅极层, 所述堆叠结构的端部具有台阶区域;
导电支撑柱, 沿垂直于所述衬底的方向贯穿所述台阶区域的堆叠结构;
隔离层, 位于所述导电支撑柱与所述栅极层之间, 用于电性隔离所述导电支撑柱与所述栅极层。
2. 根据权利要求1所述的三维存储器, 其特征在于, 所述三维存储器包括若干层所述隔离层, 且一层所述隔离层与所述栅极层同层设置。
3. 根据权利要求2所述的三维存储器, 其特征在于, 所述堆叠结构还包括填充于相邻两层所述栅极层之间的层间绝缘层; 若干层所述隔离层沿垂直于所述衬底的方向与所述层间绝缘层交替堆叠排列。
4. 根据权利要求1至3任一项所述的三维存储器, 其特征在于, 所述隔离层覆盖所述导电支撑柱的侧壁。
5. 根据权利要求1所述的三维存储器, 其特征在于, 还包括:
外围区域, 围绕所述堆叠结构的外围设置, 所述外围区域中形成有外围电路;
介质层, 覆盖所述外围区域与所述堆叠结构;
导电插塞, 沿垂直于所述衬底的方向贯穿所述外围区域上方的所述介质层, 并连接至所述外围电路。
6. 根据权利要求5所述的三维存储器, 其特征在于, 所述导电插塞与导电支撑柱材质相同、高度相同。
7. 根据权利要求1所述的三维存储器, 其特征在于, 还包括:
外围区域, 沿垂直于所述衬底的方向层叠设置于所述堆叠结构下方, 所述外围区域中形成有外围电路;
介质层, 覆盖所述外围区域与所述堆叠结构;
导电插塞, 沿垂直于所述衬底的方向贯穿所述外围区域上方的所述介质层, 并连接至所述外围电路。
8. 根据权利要求1所述的三维存储器, 其特征在于, 所述堆叠结构还包括核心区域, 所述台阶区域位于所述核心区域的外围;
所述三维存储器还包括:
穿过所述核心区域的堆叠结构的存储串, 所述存储串包括:
外延半导体层;
位于所述外延半导体层上的沟道层和存储器层, 所述存储器层位于沟道层的外围。
9. 根据权利要求1所述的三维存储器, 其特征在于, 所述三维存储器为3D NAND存储器。
10. 一种三维存储器的制造方法, 其特征在于, 包括如下步骤:
提供一衬底, 所述衬底上具有堆叠层, 所述堆叠层包括沿垂直于所述衬底的方向依次排列的若干栅层, 所述堆叠层的端部具有阶梯区域;
形成通孔, 所述通孔沿垂直于所述衬底的方向贯穿所述阶梯区域的堆叠层;
在所述通孔的外围形成隔离层;

向所述通孔内填充金属以形成导电支撑柱,所述隔离层位于所述导电支撑柱与所述栅层之间,以用于电性隔离所述导电支撑柱与所述栅层。

11. 根据权利要求10所述的三维存储器的制造方法,其特征在于,所述堆叠层还包括填充于相邻两层所述栅层之间的层间绝缘层;形成导电支撑柱之后还包括如下步骤:

去除所述堆叠层中的所述栅层,在相邻两层层间绝缘层之间形成空隙区域;

填充导电材料于所述空隙区域,形成栅极层。

12. 根据权利要求11所述的三维存储器的制造方法,其特征在于,在所述通孔的外围形成隔离层的具体步骤包括:

沿所述通孔回刻蚀部分栅层,在相邻层间绝缘层之间形成一开口;

形成绝缘的隔离层,所述隔离层至少填充于所述开口内。

13. 根据权利要求10所述的三维存储器的制造方法,其特征在于,在所述通孔的外围形成隔离层的具体步骤包括:

沉积绝缘材料于所述通孔侧壁,形成所述隔离层。

14. 根据权利要求10所述的三维存储器的制造方法,其特征在于,所述衬底还包括:外围区域,所述外围区域设置于所述堆叠层外围,所述外围区域中形成有外围电路;形成通孔的具体步骤包括:

沉积介质层,所述介质层覆盖所述堆叠层与所述外围区域;

同时刻蚀所述阶梯区域与所述外围区域,于所述阶梯区域形成贯穿所述介质层和所述堆叠层的通孔、并同时于所述外围区域形成贯穿所述介质层的接触孔。

15. 根据权利要求10所述的三维存储器的制造方法,其特征在于,所述衬底还包括:外围区域,所述外围区域沿垂直于所述衬底的方向层叠设置于所述堆叠层下方,所述外围区域中形成有外围电路;

形成通孔的具体步骤包括:

沉积介质层,所述介质层覆盖所述堆叠层与所述外围区域;

同时刻蚀所述阶梯区域与所述外围区域,于所述阶梯区域形成贯穿所述介质层和所述堆叠层的通孔、并同时于所述外围区域形成贯穿所述介质层的接触孔。

16. 根据权利要求14或15所述的三维存储器的制造方法,其特征在于,向所述通孔内填充金属以形成导电支撑柱的具体步骤包括:

同时沉积金属于所述通孔和所述接触孔内,于所述阶梯区域形成所述导电支撑柱、并同时于所述外围区域形成导电插塞;所述导电插塞与所述外围电路连接。

17. 根据权利要求10所述的三维存储器的制造方法,其特征在于,所述堆叠层还包括核心存储区域,所述阶梯区域位于所述核心存储区域的外围;

所述三维存储器的制造方法还包括如下步骤:

在形成所述通孔的同时形成沟道孔,所述沟道孔沿垂直于所述衬底的方向贯穿所述核心存储区域的堆叠层;

形成外延半导体层,所述外延半导体层覆盖所述沟道孔的底部;

形成存储器层,所述存储器层覆盖所述沟道孔的侧壁;

形成沟道层,所述沟道层覆盖于所述存储器层表面。

18. 根据权利要求10所述的三维存储器的制造方法,其特征在于,所述三维存储器为3D

NAND存储器。

三维存储器及其制造方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种三维存储器及其制造方法。

背景技术

[0002] 随着技术的发展,半导体工业不断寻求新的方式生产,以使得存储器装置中的每一存储器裸片具有更多数目的存储器单元。在非易失性存储器中,例如NAND存储器,增加存储器密度的一种方式是通过使用垂直存储器阵列,即3D NAND(三维NAND)存储器;随着集成度的越来越高,3D NAND存储器已经从32层发展到64层,甚至更高的层数。CTF(Charge Trap Flash,电荷捕获闪存)型3D NAND存储器是目前较为前沿、且极具发展潜力的存储器技术。

[0003] 在CTF型3D NAND存储器中,具有由层间绝缘层和栅极交替堆叠形成的堆叠结构,所述堆叠结构包括核心区域以及围绕所述核心区域设置的台阶区域。所述核心区域,用于信息的存储;所述台阶区域,位于所述堆叠结构的端部,用于向所述核心区域传输控制信息,以实现信息在所述核心区域的读写。其中,所述台阶区域具有贯穿所述堆叠结构的支撑柱,用于对所述堆叠结构进行支撑,避免所述堆叠结构出现坍塌。

[0004] 但是,现有支撑柱的结构形貌较差,严重影响了存储器的性能。因此,如何改善支撑柱的结构形貌,提高存储器的性能,是目前亟待解决的技术问题。

发明内容

[0005] 本发明提供一种三维存储器及其制造方法,用以解决现有的三维存储器中台阶区域的支撑柱结构形貌较差的问题,提高存储器的性能。

[0006] 为了解决上述问题,本发明提供了一种三维存储器,包括:

[0007] 衬底;

[0008] 堆叠结构,形成于所述衬底上,包括沿垂直于所述衬底的方向依次排列的若干栅极层,所述堆叠结构的端部具有台阶区域;

[0009] 导电支撑柱,沿垂直于所述衬底的方向贯穿所述台阶区域的堆叠结构;

[0010] 隔离层,位于所述导电支撑柱与所述栅极层之间,用于电性隔离所述导电支撑柱与所述栅极层。

[0011] 优选的,所述三维存储器包括若干层所述隔离层,且一层所述隔离层与所述栅极层同层设置。

[0012] 优选的,所述堆叠结构还包括填充于相邻两层所述栅极层之间的层间绝缘层,若干层所述隔离层沿垂直于所述衬底的方向与所述层间绝缘层交替堆叠排列。

[0013] 优选的,所述隔离层覆盖所述导电支撑柱的侧壁。

[0014] 优选的,还包括:

[0015] 外围区域,围绕所述堆叠结构的外围设置,所述外围区域中形成有外围电路;

[0016] 介质层,覆盖所述外围区域与所述堆叠结构;

[0017] 导电插塞,沿垂直于所述衬底的方向贯穿所述外围区域上方的所述介质层,并连

接至所述外围电路。

[0018] 优选的,所述导电插塞与导电支撑柱材质相同、高度相同。

[0019] 优选的,还包括:

[0020] 外围区域,沿垂直于所述衬底的方向层叠设置于所述堆叠结构下方,所述外围区域中形成有外围电路;

[0021] 介质层,覆盖所述外围区域与所述堆叠结构;

[0022] 导电插塞,沿垂直于所述衬底的方向贯穿所述外围区域上方的所述介质层,并连接至所述外围电路。

[0023] 优选的,所述堆叠结构还包括核心区域,所述台阶区域位于所述核心区域的外围;

[0024] 所述三维存储器还包括:

[0025] 穿过所述核心区域的堆叠结构的存储串,所述存储串包括:

[0026] 外延半导体层;

[0027] 位于所述外延半导体层上的沟道层和存储器层,所述存储器层位于沟道层的外围。

[0028] 优选的,所述三维存储器为3D NAND存储器。

[0029] 为了解决上述问题,本发明还提供了一种三维存储器的制造方法,包括如下步骤:

[0030] 提供一衬底,所述衬底上具有堆叠层,所述堆叠层包括沿垂直于所述衬底的方向依次排列的若干栅层,所述堆叠层的端部具有阶梯区域;

[0031] 形成通孔,所述通孔沿垂直于所述衬底的方向贯穿所述阶梯区域的堆叠层;

[0032] 在所述通孔的外围形成隔离层;

[0033] 向所述通孔内填充金属以形成导电支撑柱,所述隔离层位于所述导电支撑柱与所述栅层之间,用以电性隔离所述导电支撑柱与所述栅层。

[0034] 优选的,所述堆叠层还包括填充于相邻两层所述栅层之间的层间绝缘层;形成导电支撑柱之后还包括如下步骤:

[0035] 去除所述堆叠层中的所述栅层,在相邻两层层间绝缘层之间形成空隙区域;

[0036] 填充导电材料于所述空隙区域,形成栅极层。

[0037] 优选的,在所述通孔的外围形成隔离层的具体步骤包括:

[0038] 沿所述通孔回刻蚀部分栅层,在相邻层间绝缘层之间形成一开口;

[0039] 形成绝缘的隔离层,所述隔离层至少填充于所述开口内。

[0040] 优选的,在所述通孔的外围形成隔离层的具体步骤包括:

[0041] 沉积绝缘材料于所述通孔侧壁,形成所述隔离层。

[0042] 优选的,所述衬底还包括:外围区域,所述外围区域设置于所述堆叠层外围,所述外围区域中形成有外围电路;形成通孔的具体步骤包括:

[0043] 沉积介质层,所述介质层覆盖所述堆叠层与外围区域;

[0044] 同时刻蚀所述阶梯区域与所述外围区域,于所述阶梯区域形成贯穿所述介质层和所述堆叠层的通孔、并同时于所述外围区域形成贯穿所述介质层的接触孔。

[0045] 优选的,所述衬底还包括:外围区域,所述外围区域沿垂直于所述衬底的方向层叠设置于所述堆叠层下方,所述外围区域中形成有外围电路;形成通孔的具体步骤包括:

[0046] 沉积介质层,所述介质层覆盖所述堆叠层与外围区域;

- [0047] 同时刻蚀所述阶梯区域与所述外围区域,于所述阶梯区域形成贯穿所述介质层和所述堆叠层的通孔、并同时于所述外围区域形成贯穿所述介质层的接触孔。
- [0048] 优选的,向所述通孔内填充金属以形成导电支撑柱的具体步骤包括:
- [0049] 同时沉积金属于所述通孔和所述接触孔内,于阶梯区域形成所述导电支撑柱、并同时于所述外围区域形成导电插塞;所述导电插塞与所述外围电路连接。
- [0050] 优选的,所述堆叠层还包括核心存储区域,所述阶梯区域位于所述核心存储区域的外围;
- [0051] 所述三维存储器的制造方法还包括如下步骤:
- [0052] 在形成所述通孔的同时形成沟道孔,所述沟道孔沿垂直于所述衬底的方向贯穿所述核心存储区域的堆叠层;
- [0053] 形成外延半导体层,所述外延半导体层覆盖所述沟道孔的底部;
- [0054] 形成存储器层,所述存储器层覆盖所述沟道孔的侧壁;
- [0055] 形成沟道层,所述沟道层覆盖于所述存储器层表面。
- [0056] 优选的,所述三维存储器为3D NAND存储器。
- [0057] 本发明提供的三维存储器及其制造方法,在堆叠结构的台阶区域采用导电支撑柱来对堆叠结构进行支撑,相较于传统的于台阶区域刻蚀形成沟道孔、并采用选择性外延生长(Selective Epitaxy Growth, SEG)技术于沟道孔内生长硅来形成支撑柱的方式相比,本发明形成的导电支撑柱能够避免选择性外延生长技术导致的支撑柱形貌不均匀的问题,确保了三维存储器的产率,并提高了三维存储器的性能。

附图说明

- [0058] 附图1是本发明具体实施方式中三维存储器的结构示意图;
- [0059] 附图2是本发明具体实施方式中三维存储器的制造方法流程图;
- [0060] 附图3A-3G是本发明具体实施方式中三维存储器制造过程中的主要工艺截面示意图。

具体实施方式

- [0061] 下面结合附图对本发明提供的三维存储器及其制造方法的具体实施方式做详细说明。
- [0062] 在三维存储器的制造工艺中,首先形成的是由沿垂直衬底的方向交替堆叠的层间绝缘层和栅层构成的堆叠结构,然后通过金属化步骤形成由沿垂直衬底的方向交替堆叠的层间绝缘层和栅极层构成的堆叠结构。其中,金属化步骤是指:去除堆叠结构中的栅层,以在相邻层间绝缘层之间形成空隙区域;然后在所述空隙区域填充导电材料,形成栅极层。在这一过程中,为了避免在形成空隙区域后所述堆叠结构出现坍塌,通常需要在金属化步骤之前,在所述堆叠结构中形成贯穿所述堆叠结构的支撑柱。
- [0063] 所述堆叠结构包括核心区域以及围绕所述核心区域设置的台阶区域。所述核心区域,用于信息的存储;所述台阶区域,位于所述堆叠结构的端部,用于向所述核心区域传输控制信息,以实现信息在所述核心区域的读写。所述支撑柱分布于所述核心区域和所述台阶区域。一般来说,所述核心区域和所述台阶区域的支撑柱是采用同种工艺形成的:即首先

于所述堆叠结构中形成沟道孔,然后采用选择性外延生长(Selective Epitaxy Growth, SEG)技术于所述沟道孔底部生长一层硅。但是,由于台阶区域的图形密度较大,采用选择性外延生长技术在台阶区域的沟道孔内生长的硅层结构不均匀、形貌较差,严重影响了三维存储器的性能,甚至可能导致三维存储器的报废,影响三维存储器的产率。

[0064] 为了解决这一问题,本具体实施方式提供了一种三维存储器,附图1是本发明具体实施方式中三维存储器的结构示意图。本具体实施方式提供的三维存储器,优选为3D NAND存储器,更优选为CTF 3D NAND存储器。

[0065] 如图1所示,本具体实施方式提供的三维存储器,包括衬底10、堆叠结构、导电支撑柱14和隔离层13。所述堆叠结构,形成于所述衬底10上,包括沿垂直于所述衬底10的方向依次排列的若干栅极层12,所述堆叠结构的端部具有台阶区域I;所述导电支撑柱14,沿垂直于所述衬底10的方向贯穿所述台阶区域I的堆叠结构;所述隔离层13,位于所述导电支撑柱14与所述栅极层12之间,用于电性隔离所述导电支撑柱14与所述栅极层12。优选的,所述导电支撑柱14的材料为钛、氮化钛或钨。

[0066] 本具体实施方式通过在所述台阶区域I形成导电支撑柱14,避免了采用选择性外延生长技术生长硅层于台阶区域形成支撑柱所导致的缺陷,改善了支撑柱的形貌,提高了三维存储器的性能。

[0067] 所述隔离层13用于隔离所述导电支撑柱14与所述栅极层12,避免对所述栅极层12中传输的电信号造成影响。为了提高电性隔离效果,以确保三维存储器的性能稳定,优选的,所述三维存储器包括若干层所述隔离层13,且一层所述隔离层13与所述栅极层12同层设置。更优选的,所述堆叠结构还包括填充于相邻两层所述栅极层12之间的层间绝缘层11;若干层所述隔离层13沿垂直于所述衬底10的方向与所述层间绝缘层11交替堆叠排列。

[0068] 具体来说,由于所述堆叠结构的堆叠层数增加,用于形成所述导电支撑柱14的通孔具有较高的深宽比,为了进一步确保所述导电支撑柱14的整体形貌,且实现所述导电支撑柱14与所述栅极层12的电性绝缘,本具体实施方式将所述隔离层13与所述栅极层12同层设置,且所述隔离层13位于所述栅极层12与所述导电支撑柱14之间。

[0069] 为了简化制造工艺,优选的,所述隔离层13覆盖所述导电支撑柱14的侧壁。此种结构尤其适合于所述堆叠结构的堆叠层数较少或者所述导电支撑柱14的宽度较大时。

[0070] 具体来说,所述堆叠结构包括核心区域III以及围绕所述核心区域III设置的台阶区域I。所述台阶区域I位于所述堆叠结构的端部,所述台阶区域I包括若干层台阶。在所述堆叠结构中,相邻的一层层间绝缘层11与一层栅极层12组成一个绝缘/栅极层对。所述台阶区域I包括沿垂直于所述衬底10的方向排列的若干层台阶,每层台阶包括一个绝缘/栅极层对或者多个绝缘/栅极层对,且下层台阶中的绝缘/栅极层对沿水平方向突出于上层台阶中的绝缘/栅极层对。所述堆叠结构中除所述台阶区域之外的区域为核心区域III,所述核心区域III用于数据的存储。

[0071] 本具体实施方式中,所述堆叠结构的堆叠层数可以是32层、64层或者其他层数,本领域技术人员可以根据实际需要进行设置。一般来说,所述堆叠结构的堆叠层数越多,相应的三维存储器的集成度越高。所述栅极层12的材料优选为钨。所述隔离层13的具体材料,本领域技术人员可以根据实际需要进行选择,优选为与所述层间绝缘层11相同的材料,例如氧化物。

[0072] 为了简化制造工艺,优选的,所述三维存储器还包括:外围区域II,围绕所述堆叠结构的外围设置,所述外围区域II中形成有外围电路;介质层17,覆盖所述外围区域II与所述堆叠结构;导电插塞15,沿垂直于所述衬底10的方向贯穿所述外围区域II上方的所述介质层17,并连接至所述外围电路。

[0073] 优选的,所述导电插塞15与所述导电支撑柱14材质相同、高度相同。具体来说,如图1所示,所述导电插塞15的一端连接所述外围电路中的CMOS晶体管16的源极或漏极,另一端与互连结构连接(未示出)。其中,所述导电插塞15用于向所述CMOS晶体管16传输电信号。由于所述导电插塞15与所述导电支撑柱14材质相同、高度相同,因此可以同步形成,从而进一步简化了三维存储器的制造工艺。

[0074] 或者,优选的,所述三维存储器还包括:外围区域,沿垂直于所述衬底的方向层叠设置于所述堆叠结构下方,所述外围区域中形成有外围电路;介质层,覆盖所述外围区域与所述堆叠结构;导电插塞,沿垂直于所述衬底的方向贯穿所述外围区域上方的所述介质层,并连接至所述外围电路。具体来说,所述导电插塞的一端连接所述外围电路中的CMOS晶体管的源极或漏极,另一端与互连结构连接。此时,三维存储器为PUC (Periphery Under Cell,单元下层外围电路)。

[0075] 更优选的,所述三维存储器还包括:覆盖所述导电插塞15侧壁的绝缘材料层。所述绝缘材料层可与所述隔离层13同步形成,从而进一步简化三维存储器的制造工艺,提高三维存储器的生产效率。

[0076] 优选的,所述堆叠结构还包括核心区域III,所述台阶区域I位于所述核心区域III的外围;所述三维存储器还包括:穿过所述核心区域III的堆叠结构的存储串;所述存储串包括:外延半导体层18、位于所述外延半导体层18上的沟道层20和存储器层19,所述存储器层19位于所述沟道层20的外围。其中,所述存储器层19包括电荷隧道层、电荷捕获层、电荷阻挡层中的一层或多层。

[0077] 不仅如此,本具体实施方式还提供了一种三维存储器的制造方法,附图2是本发明具体实施方式中三维存储器的制造方法流程图,附图3A-3G是本发明具体实施方式中三维存储器制造过程中的主要工艺截面示意图。本具体实施方式形成的三维存储器的具体结构参见图1。其中,本具体实施方式形成的三维存储器,优选为3D NAND存储器,更优选为CTF 3D NAND存储器。

[0078] 如图1、2、3A-3G所示,本具体实施方式提供的三维存储器的制造方法,包括如下步骤:

[0079] 步骤S21,如图3A所示,提供一衬底10,所述衬底10上具有堆叠层,所述堆叠层包括沿垂直于所述衬底10的方向依次排列的若干栅层30,所述堆叠层的端部具有阶梯区域IV。所述衬底10可以是Si衬底、Ge衬底、SiGe衬底、SOI (Silicon On Insulator,绝缘体上硅)或GOI (Germanium On Insulator,绝缘体上锗)等。在本具体实施方式中,所述衬底20优选为硅衬底,用于支撑在其上的器件结构。其中,所述栅层30既可以是最终三维存储器产品中的栅极(例如多晶硅栅);也可以是伪栅(例如氮化物)。

[0080] 步骤S22,如图3C所示,形成通孔31,所述通孔31沿垂直于所述衬底10的方向贯穿所述阶梯区域IV的堆叠层。其中,形成所述通孔31的具体方法,可以是干法刻蚀、也可以是湿法刻蚀。

[0081] 步骤S23,如图3E所示,在所述通孔31的外围形成隔离层13。其中,形成所述隔离层13的具体方法,可以是在所述通孔31内进行化学沉积、物理沉积或者原子层沉积。

[0082] 步骤S24,如图3F所示,向所述通孔31内填充金属以形成导电支撑柱14,所述隔离层13位于所述导电支撑柱14与所述栅层30之间,以电性隔离所述导电支撑柱14与所述栅层30。其中,沉积金属于所述通孔31内的具体方法,也可以是化学沉积、物理沉积或者原子层沉积。

[0083] 当所述栅层为由氮化物等材料构成的伪栅时,为了形成最终的栅极结构,优选的,所述堆叠层还包括填充于相邻两层所述栅层30之间的层间绝缘层11;形成导电支撑柱14之后还包括如下步骤:

[0084] 去除所述堆叠层中的所述栅层30,在相邻两层层间绝缘层11之间形成空隙区域;

[0085] 填充导电材料于所述空隙区域,形成栅极层12,如图3G所示。此时,所述栅层30作为牺牲层。其中,所述导电材料优选为钨。

[0086] 具体来说,在所述堆叠层的端部具有阶梯区域IV。相邻的一层层间绝缘层11与一层栅30组成绝缘/栅层对。所述阶梯区域包括沿垂直于所述衬底10的方向堆叠的若干层阶梯,每层阶梯具有一个绝缘/栅层对或者多个绝缘/栅层对,且下层阶梯中的绝缘/栅层对沿水平方向突出于上层阶梯中的绝缘/栅层对。其中,所述层间绝缘层11的材料可以是但不限于氧化物。

[0087] 为了进一步改善所述导电支撑柱的整体形貌,优选的,在所述通孔31的外围形成隔离层13的具体步骤包括:

[0088] (I)如图3D所示,沿所述通孔31回刻蚀部分所述栅层30,在相邻层间绝缘11之间形成一开口33。其中,沿所述通孔31回刻蚀部分所述栅层30的具体方法,可以采用湿法刻蚀工艺,利用各向异性刻蚀,控制刻蚀液对所述栅层30的刻蚀速率大于对所述层间绝缘层11的刻蚀速率,来实现去除所述栅层30端部的同时,对所述层间绝缘层11不造成影响或者影响较小。所述刻蚀液优选为温度处于预设范围内的磷酸。

[0089] (II)如图3E所示,形成绝缘的隔离层13,所述隔离层13至少填充于所述开口33内。其中,沉积绝缘材料以形成绝缘的隔离层13的方法,优选采用原子层沉积。所述隔离层13可以仅填充于所述开口32内,也可同时覆盖于所述通孔31的侧壁。

[0090] 为了简化制造工艺,优选的,在所述通孔31的外围形成隔离层13的具体步骤包括:

[0091] 沉积绝缘材料于所述通孔31侧壁,形成所述隔离层13。其中,沉积绝缘材料于所述通孔31侧壁的方法,可以是化学沉积、物理沉积或者原子层沉积。

[0092] 优选的,所述衬底10还包括:外围区域II,所述外围区域II设置于所述堆叠层外围,所述外围区域II中形成有外围电路;形成通孔的具体步骤包括:

[0093] 如图3B所示,沉积介质层17,所述介质层17覆盖所述堆叠层与外围区域II;

[0094] 如图3C所示,同时刻蚀所述阶梯区域IV与所述外围区域II,于所述阶梯区域IV形成贯穿所述介质层17和所述堆叠层的通孔31、并同时于所述外围区域II形成贯穿所述介质层17的接触孔32。

[0095] 或者,在制造PUC型三维存储器时,优选的,所述衬底还包括:外围区域,所述外围区域沿垂直于所述衬底的方向层叠设置于所述堆叠层下方,所述外围区域中形成有外围电路;形成通孔的具体步骤包括:

- [0096] 沉积介质层,所述介质层覆盖所述堆叠层与外围区域;
- [0097] 同时刻蚀所述阶梯区域与所述外围区域,于所述阶梯区域形成贯穿所述介质层和所述堆叠层的通孔、并同时于所述外围区域形成贯穿所述介质层的接触孔。
- [0098] 更优选的,向所述通孔31内填充金属以形成导电支撑柱14的具体步骤包括:
- [0099] 如图3F所示,同时沉积金属于所述通孔31和所述接触孔32内,于阶梯区域IV形成所述导电支撑柱14、并同时于所述外围区域II形成导电插塞15;所述导电插塞15与所述外围电路连接。具体来说,所述导电插塞15的一端连接所述外围电路,另一端用于与互连结构(未示出)连接。
- [0100] 本具体实施方式在所述阶梯区域形成所述导电支撑柱14的同时,于所述外围区域II形成导电插塞15,从而既能确保所述阶梯区域导电支撑柱14的形貌,提高三维存储器的性能,也实现了将形成导电插塞15的步骤与形成导电支撑柱14的步骤合二为一,简化了三维存储器的制造工艺。
- [0101] 优选的,所述堆叠层还包括核心存储区域V,所述阶梯区域IV位于所述核心存储区域V的外围;所述三维存储器的制造方法还包括如下步骤:
- [0102] 如图3C所示,在形成所述通孔31的同时形成沟道孔34,所述沟道孔34沿垂直于所述衬底10的方向贯穿所述核心存储区域V的堆叠层;
- [0103] 如图3D所示,形成外延半导体层18,所述外延半导体层18覆盖所述沟道孔34的底部;
- [0104] 形成存储器层19,所述存储器层19覆盖所述沟道孔34的侧壁;
- [0105] 形成沟道层20,所述沟道层20覆盖于所述存储器层19表面。
- [0106] 其中,所述外延半导体层18可以是采用SEG工艺生长形成的。所述存储器层19包括电荷隧道层、电荷捕获层、电荷阻挡层中的一层或多层。
- [0107] 本具体实施方式提供的三维存储器及其制造方法,在堆叠结构的台阶区域采用导电支撑柱来对堆叠结构进行支撑,相较于传统的于台阶区域刻蚀形成沟道孔、并采用选择性外延生长(Selective Epitaxy Growth, SEG)技术于沟道孔内生长硅来形成支撑柱的方式相比,本发明形成的导电支撑柱能够避免选择性外延生长技术导致的支撑柱形貌不均匀的问题,确保了三维存储器的产率,并提高了三维存储器的性能。
- [0108] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

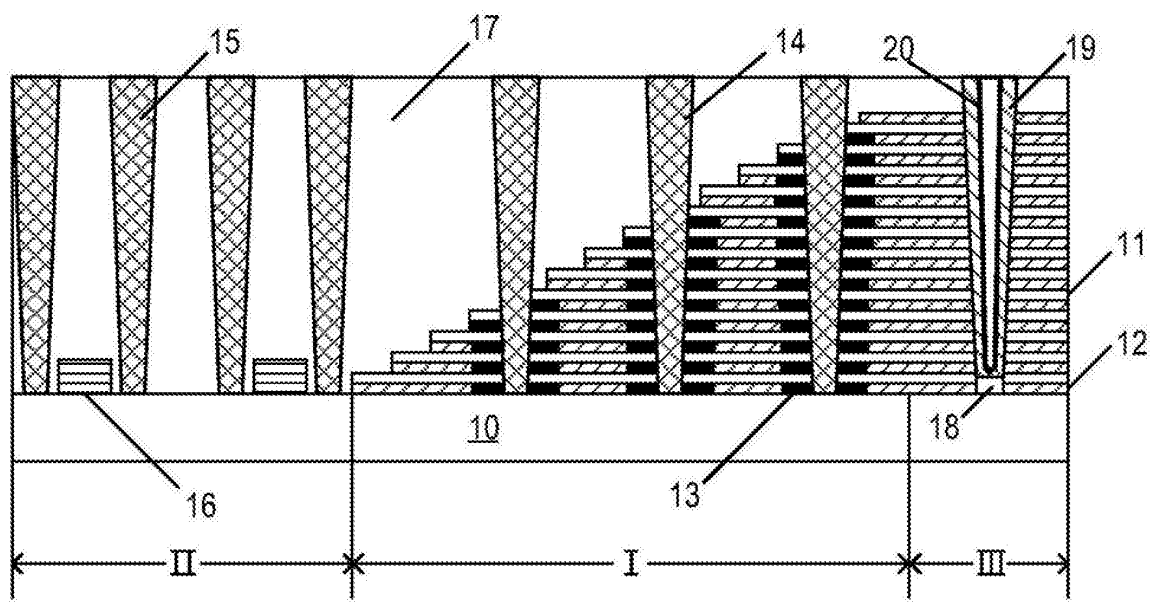


图1

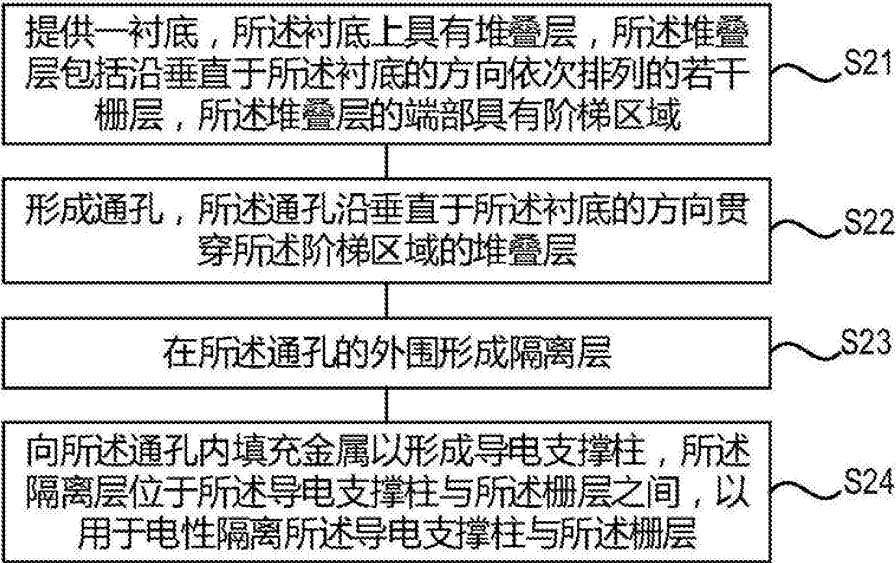


图2

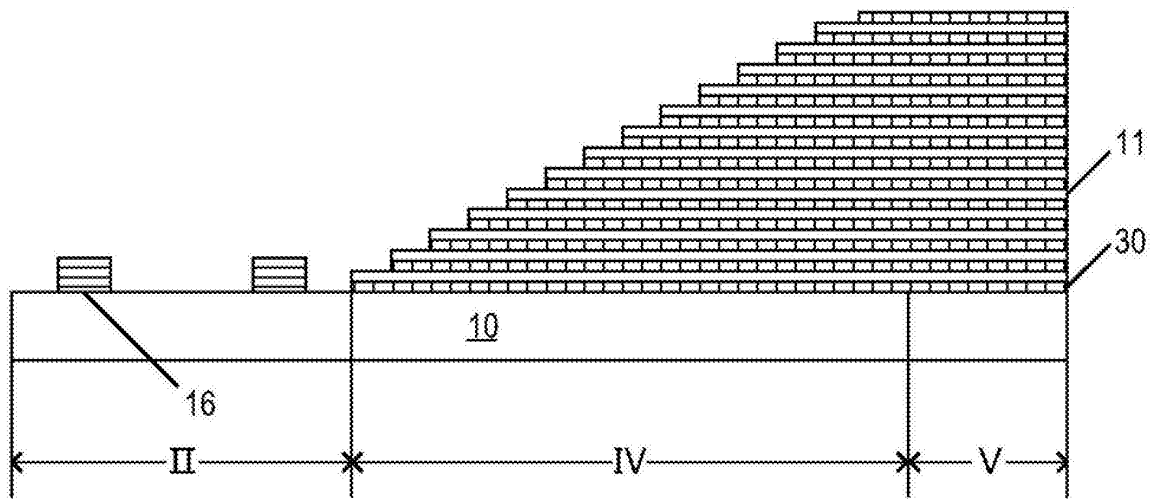


图3A

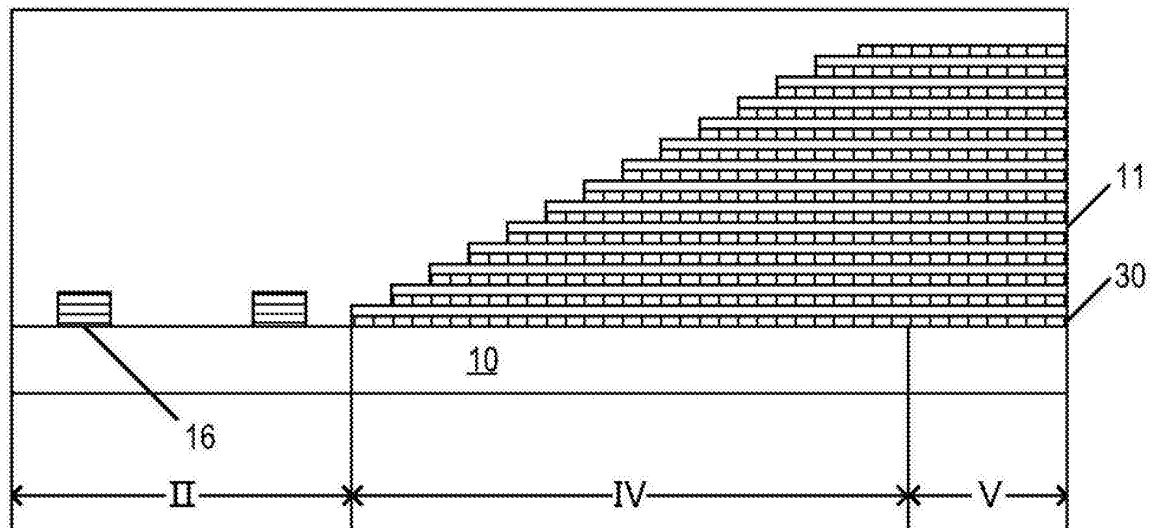


图3B

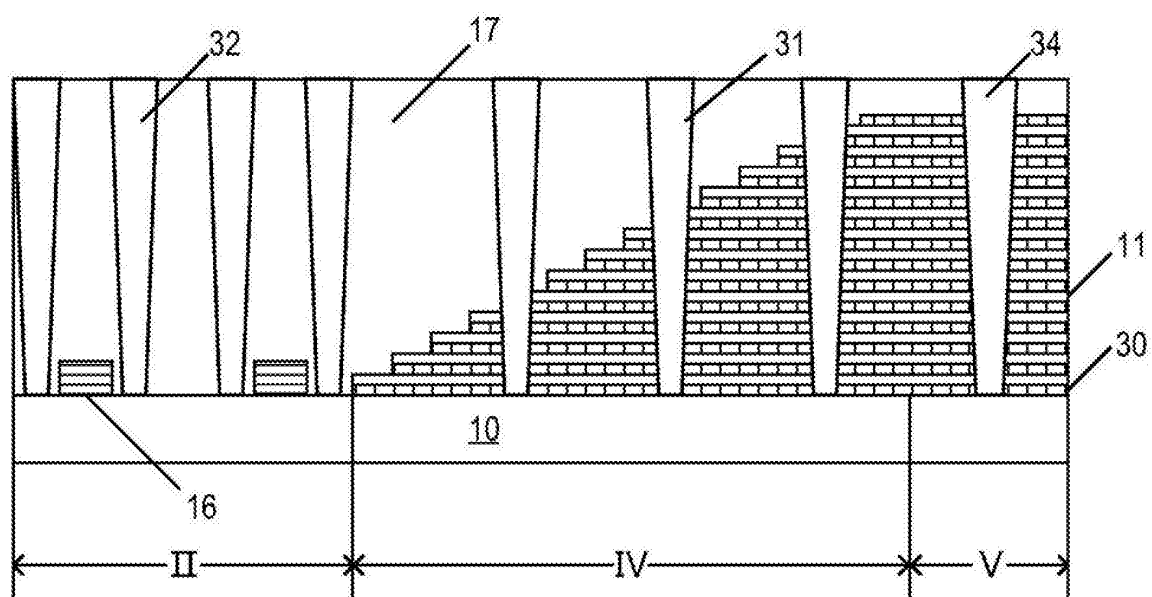


图3C

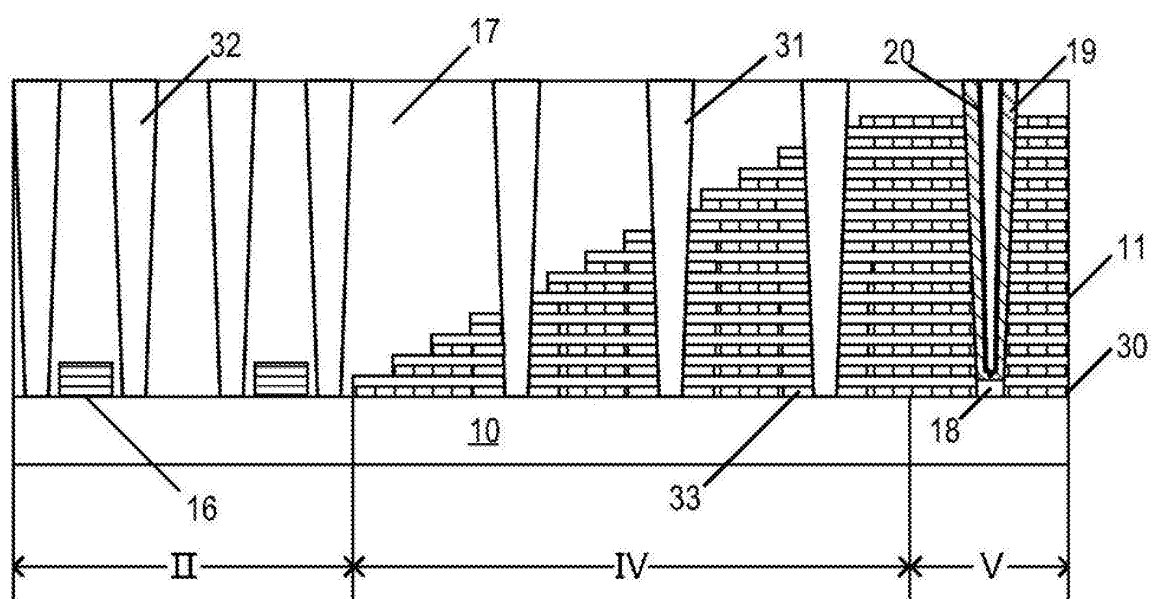


图3D

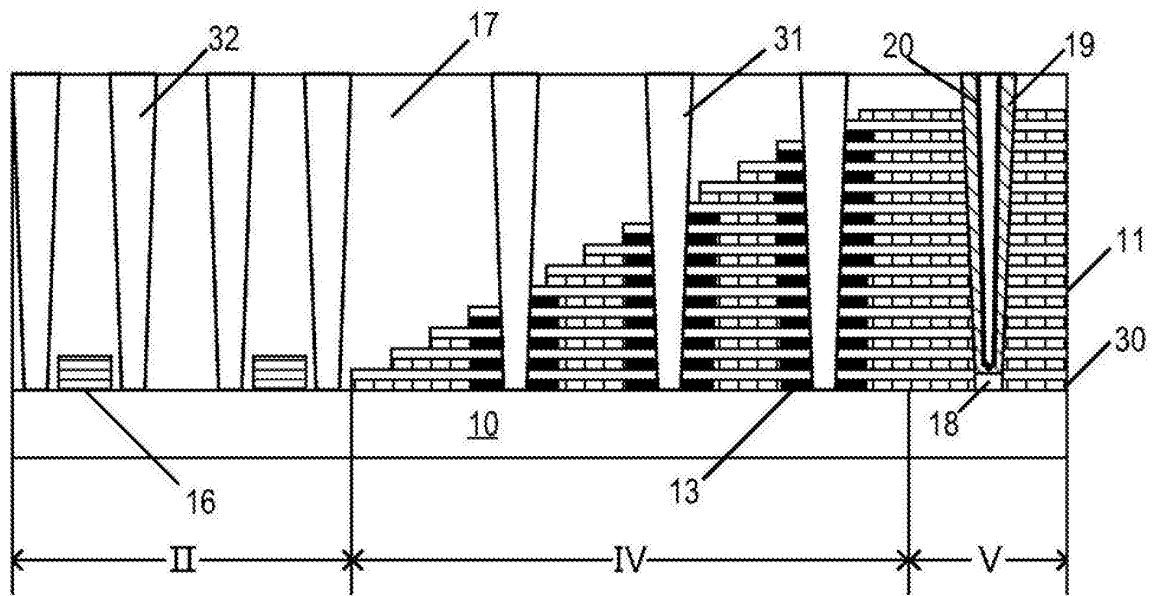


图3E

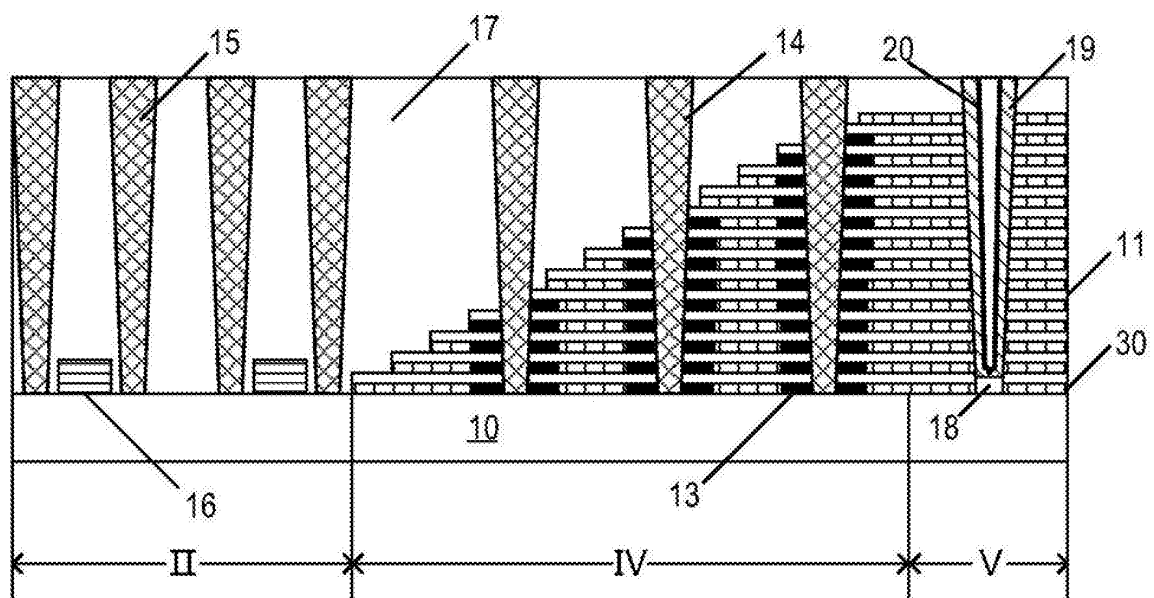


图3F

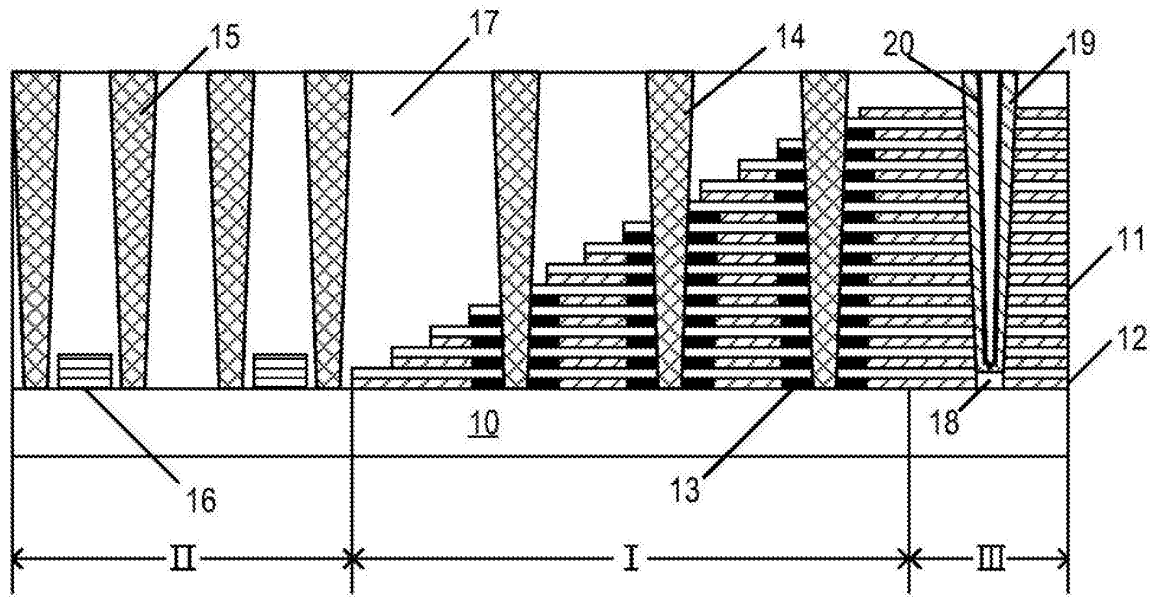


图3G