国 家 知 识 产 权 局

100140

****
****

发文日：

申请号或专利号：201880000655.5 **发文序号：**

案件编号： 1F353287

发明创造名称： 用于三维存储器件的贯穿阵列触点(TAC)

复审请求人： 长江存储科技有限责任公司

复 审 决 定 书

（ 第 283889 号 ）

☐根据前置审查意见书的意见，撤销国家知识产权局于_____年_____月_____日作出的驳回决定，由原审查部门继续进行审批程序。

☒维持国家知识产权局于 2020 年 07 月 21 日作出的驳回决定。

☐经审查，撤销国家知识产权局于_____年_____月_____日作出的驳回决定。

根据专利法第四十一条第二款的规定，复审请求人对本决定不服的，可以在收到本通知之日起 3 个月内向北京知识产权法院起诉。

☒附：决定正文 15 页(正文自第 2 页起算)。

合议组组长：凌宇飞 主审员：黄丽娜 参审员：李元

专利局复审和无效审理部

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

Micron Ex. 1011, p. 1
Micron v. YMTC
IPR2024-00911

国家知识产权局

复审请求审查决定(第 283889 号)

案件编号	第 1F353287 号
决定日	2021 年 11 月 25 日
发明创造名称	用于三维存储器件的贯穿阵列触点(TAC)
国际分类号	H01L27/11565，H01L27/11573，H01L27/11578，H01L23/48
复审请求人	长江存储科技有限责任公司
申请号	201880000655.5
申请日	2018 年 05 月 03 日
公开日	2018 年 12 月 21 日
复审请求日	2020 年 09 月 27 日
法律依据	专利法第 22 条第 3 款
决定要点：如果一项权利要求的技术方案相对于作为最接近现有技术的对比文件存在区别技术特征，该区别技术特征属于本领域的公知常识，本领域技术人员根据该对比文件和本领域公知常识得到该项权利要求的技术方案是显而易见的，则该项权利要求不具备创造性。	

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

一、案由

本复审请求涉及申请号为 201880000655.5，名称为“用于三维存储器件的贯穿阵列触点(TAC)”的 PCT 发明专利申请（下称本申请）。本申请的申请人为长江存储科技有限责任公司，申请日为 2018 年 05 月 03 日，进入国家阶段日为 2018 年 06 月 14 日，公开日为 2018 年 12 月 21 日。

经实质审查，国家知识产权局实质审查部门于 2020 年 07 月 21 日发出驳回决定，以权利要求 1-32 不具备专利法第 22 条第 3 款规定的创造性为由驳回了本申请。驳回决定所依据的文本为：2020 年 07 月 06 日提交的权利要求第 1-32 项；按照 PCT 条约第 28 或 41 条修改的说明书第 1-27 页；2018 年 06 月 14 日进入中国国家阶段时提交的原始申请文件的中文译文的说明书附图第 1-15 页、说明书摘要、摘要附图。

驳回决定所针对的权利要求书的内容如下：

“1. 一种三维(3D)存储器件，包括：

半导体衬底；

交替堆叠层，其设置于所述半导体衬底上；

电介质结构，其在所述半导体衬底的隔离区域上并且垂直延伸通过所述交替堆叠层，其中，所述电介质结构邻接所交替堆叠层的垂直的侧壁表面，并且所述电介质结构由电介质材料形成；

至少两个贯穿阵列触点，所述至少两个贯穿阵列触点均垂直延伸通过所述电介质结构和多个隔离区域中的一个隔离区域；以及

一个或多个沟道结构，其垂直延伸通过所述交替堆叠层。

2. 根据权利要求 1 所述的三维(3D)存储器件，还包括：

外延层，其形成在所述一个或多个沟道结构中的每一个与所述半导体衬底之间；

刻蚀停止插塞，其设置于所述一个或多个沟道结构中的每一个上；

阶梯结构，其设置于所述交替堆叠层中；以及

一个或多个接触层，其设置于所述至少两个贯穿阵列触点、所述一个或多个沟道结构以及一个或多个缝隙结构上。

3. 根据权利要求 1 所述的三维(3D)存储器件，其中，所述电介质结构邻接所述至少两个贯穿阵列触点的侧壁表面。

4. 根据权利要求 1 或 2 所述的三维(3D)存储器件，其中，所述 3D 存储器件是 NAND 3D 存储器件。

5. 根据权利要求 1 所述的三维(3D)存储器件，其中，所述交替堆叠层包括电介质层和导体层的交替对。

6. 根据权利要求 5 所述的三维(3D)存储器件，其中，所述电介质层 包括氧化硅，并且导体层包括金属。

7. 根据权利要求 5 所述的三维(3D)存储器件，其中，所述导体层包括字线。

8. 根据权利要求 1 或 3 所述的三维(3D)存储器件，其中，所述电介质材料是氧化硅。

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

9. 根据权利要求 1 或 3 所述的三维(3D)存储器件，其中，所述电介质结构包括氧化物。

10. 根据权利要求 1 所述的三维(3D)存储器件，其中，所述电介质结构在所述 3D 存储器件内界定了贯穿阵列接触区域。

11. 根据权利要求 1 所述的三维(3D)存储器件，其中，所述电介质结构具有等于或小于所述隔离区域的覆盖区。

12. 一种用于形成 3D 存储器件的方法，所述方法包括：

在衬底上成形隔离结构；

在所述衬底上设置交替电介质堆叠层，所述交替电介质堆叠层包括第一电介质层和第二电介质层对，所述第二电介质层与所述第一电介质层不同；

形成在所述交替电介质堆叠层中垂直延伸的沟道结构；

在所述交替电介质堆叠层中形成开口，其中，所述开口暴露所述隔离结构；

利用电介质层填充所述开口，以形成电介质结构作为所述 3D 存储器件的贯穿阵列接触区域；

去除所述电介质结构和所述隔离结构的部分，直到暴露所述衬底，以形成垂直延伸通过所述电介质结构和所述隔离结构的贯穿阵列接触开口；以及

利用导体填充所述贯穿阵列接触开口，以在所述贯穿阵列接触区域中形成贯穿阵列接触结构，其中，所述贯穿阵列接触结构接触所述衬底；

所述方法还包括：基于交替电介质堆叠层来形成交替的导体/电介质堆叠层；

其中，所述电介质结构邻接所交替堆叠层的垂直的侧壁表面。

13. 根据权利要求 12 所述的方法，其中，在形成所述贯穿阵列接触开口之前，所述方法还包括：

形成在所述交替电介质堆叠层中垂直延伸的缝隙开口，其中，所述缝隙开口暴露所述衬底的掺杂区域；

利用导体层通过一个或多个缝隙开口替换所述第二电介质层，以将所述交替电介质堆叠层转换成交替的电介质/导体层堆叠层；以及

利用导体填充所述一个或多个缝隙开口，以形成在所述交替的电介质/导体层堆叠层中垂直延伸的一个或多个缝隙结构。

14. 根据权利要求 12 所述的方法，其中，在形成所述沟道结构之前，执行修剪刻蚀工艺以在所述交替电介质堆叠层中形成阶梯结构。

15. 根据权利要求 12 所述的方法，其中，去除所述交替电介质堆叠层的部分包括执行干法刻蚀工艺。

16. 根据权利要求 12 所述的方法，其中，利用所述电介质层填充所述开口包括利用化学气相沉积、等离子体增强化学气相沉积或物理气相沉积工艺来沉积所述电介质层。

17. 根据权利要求 12 所述的方法，其中，利用所述电介质层填充所述开口包括形成氧化物。

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

18. 根据权利要求 12 所述的方法，其中，利用所述电介质层填充所述开口包括形成氧化硅。

19. 根据权利要求 12 所述的方法，其中，所述第一电介质层包括氧化物，并且所述第二电介质层包括氮化物。

20. 根据权利要求 12 所述的方法，其中，所述第一电介质层包括氧化硅，并且所述第二电介质层包括氮化硅。

21. 一种用于形成 3D 存储器件的方法，所述方法包括：

在衬底上设置交替电介质堆叠层，其中所述交替电介质堆叠层包括第一电介质层和第二电介质层对，所述第二电介质层与所述第一电介质层不同；

形成垂直延伸通过所述交替电介质层的沟道结构；

刻蚀所述交替电介质堆叠层以形成开口，所述开口暴露所述衬底中的隔离区域；

利用电介质层填充所述开口，以形成电介质结构作为贯穿阵列接触区域，其中，所述贯穿阵列接触区域等于或小于所述隔离区域；

刻蚀通过所述电介质结构和所述隔离区域以形成暴露所述衬底的贯穿阵列接触开口；以及

利用导体填充所述贯穿阵列接触开口，以在所述贯穿阵列接触区域中形成贯穿阵列接触结构；

所述方法还包括：基于交替电介质堆叠层来形成交替的导体/电介质堆叠层；

所述电介质结构邻接所交替堆叠层的垂直的侧壁表面。

22. 根据权利要求 21 所述的方法，还包括：

形成垂直延伸通过所述交替电介质层的缝隙开口，其中，所述缝隙开口暴露所述衬底的掺杂区域；

利用导体层通过所述缝隙开口替换所述第二电介质层，以将所述交替电介质堆叠层转换成交替的电介质/导体层堆叠层；

利用导体填充所述缝隙开口以形成缝隙结构；

在所述交替电介质堆叠层中形成阶梯结构，其中，所述阶梯结构包括层级；

在所述阶梯结构的所述层级中的每个层级上形成字线触点；

在所述沟道结构和所述缝隙结构之上形成本地触点；以及

在所述本地触点、每条字线以及每个贯穿阵列接触结构之上形成一个或多个接触层。

23. 根据权利要求 21 所述的方法，其中，所述第一电介质层包括氧化硅，并且所述第二电介质层包括氮化硅。

24. 根据权利要求 21 所述的方法，其中，在所述交替电介质堆叠层中形成所述开口包括执行干法刻蚀工艺。

25. 根据权利要求 21 所述的方法，其中，所述电介质结构包括氧化硅。

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

26. 根据权利要求22所述的方法，所述交替的电介质/导体层堆叠层邻接所述电介质结构的侧壁。

27. 根据权利要求21所述的方法，其中，所述电介质结构邻接每个贯穿阵列接触结构的侧壁表面。

28. 一种三维(3D)存储器件，包括：

具有隔离结构的衬底；

设置于所述衬底上的交替的导体/电介质堆叠层；

电介质结构，其在所述隔离结构上并且垂直延伸通过所述交替的导体/电介质堆叠层，其中，所述电介质结构邻接所述交替的导体/电介质堆叠层的垂直的侧壁表面，并且所述电介质结构由电介质材料形成；

沟道结构，其垂直延伸通过所述交替的导体/电介质堆叠层；以及

至少两个贯穿阵列触点，所述至少两个贯穿阵列触点均垂直延伸通过所述电介质结构和多个隔离区域中的一个隔离结构。

29. 根据权利要求28所述的三维(3D)存储器件，还包括：

阶梯结构，其设置于所述交替的导体/电介质堆叠层中，其中，所述阶梯结构包括层级，在每个层级上具有导体层；

字线触点，其设置于所述阶梯结构的每个导体层上；以及

本地触点，其设置于每个沟道结构和缝隙结构上。

30. 根据权利要求28所述的三维(3D)存储器件，其中，所述电介质结构邻接每个贯穿阵列触点的侧壁。

31. 根据权利要求28所述的三维(3D)存储器件，其中，所述电介质结构包括所述3D存储器件的贯穿阵列接触区域。

32. 根据权利要求28所述的三维(3D)存储器件，还包括：

刻蚀停止插塞，其插入在每个本地触点和每个沟道结构之间；以及

外延层，其设置在每个沟道结构和所述衬底之间。”

驳回决定引用了如下对比文件：

对比文件2：US2017179026A1，公开日为2017年06月22日。

驳回决定中指出：1）权利要求1请求保护的技术方案与对比文件2公开的内容相比，区别技术特征为：电介质结构，其在所述半导体衬底的隔离区域上，至少两个贯穿阵列触点垂直延伸通过多个隔离区域中的一个隔离区域，其中所述隔离区域埋设在所述半导体衬底中，并且其中，所述贯穿阵列触点的下端形成在所述隔离区域中并与所述半导体衬底接触。上述区别技术特征属于本领域的公知常识。因此，权利要求1不具备专利法第22条第3款规定的创造性。2）权利要求2-11的附加特征或被对比文件2公开，或属于本领域的公知常识。因此，权利要求2-11不具备专利法第22条第3款规定的创造性。3）权利要求12请求保护的技术方案与对比文件2公开的内容相比，区别技术特征为：所述开口暴露所述隔离结构，去除所述隔离结构的部

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路6号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

分，直到暴露所述衬底，以形成垂直延伸通过所述电介质结构和所述隔离结构的贯穿阵列接触开口，所述贯穿阵列接触结构接触所述衬底；其中，所述隔离区域埋设在所述半导体衬底中，并且其中，所述贯穿阵列触点的下端形成在所述隔离区域中并与所述半导体衬底接触。上述区别技术特征属于本领域的公知常识。因此，权利要求 12 不具备专利法第 22 条第 3 款规定的创造性。4）权利要求 13-20 的附加特征或被对比文件 2 公开，或属于本领域的公知常识。因此，权利要求 13-20 不具备专利法第 22 条第 3 款规定的创造性。5）权利要求 21 请求保护的技术方案与对比文件 2 公开的内容相比，区别技术特征为：所述开口暴露所述隔离结构，所述贯穿阵列接触区域等于或小于所述隔离区域，刻蚀通过所述隔离区域以形成暴露所述衬底的贯穿阵列接触开口；其中，所述隔离区域埋设在所述半导体衬底中，并且其中，所述贯穿阵列触点的下端形成在所述隔离区域中并与所述半导体衬底接触。上述区别技术特征属于本领域的公知常识。因此，权利要求 21 不具备专利法第 22 条第 3 款规定的创造性。6）权利要求 22-27 的附加特征被对比文件 2 公开。因此，权利要求 22-27 不具备专利法第 22 条第 3 款规定的创造性。7）权利要求 28 请求保护的技术方案与对比文件 2 公开的内容相比，区别技术特征为：电介质结构，其在所述半导体衬底的隔离区域上，至少两个贯穿阵列触点垂直延伸通过多个隔离区域中的一个隔离区域；其中，所述隔离区域埋设在所述半导体衬底中，并且其中，所述贯穿阵列触点的下端形成在所述隔离区域中并与所述半导体衬底接触。上述区别技术特征属于本领域的公知常识。因此，权利要求 28 不具备专利法第 22 条第 3 款规定的创造性。8）权利要求 29-32 的附加特征或被对比文件 2 公开，或属于本领域的公知常识。因此，权利要求 29-32 不具备专利法第 22 条第 3 款规定的创造性。

申请人（下称复审请求人）对上述驳回决定不服，于 2020 年 09 月 27 日向国家知识产权局提出了复审请求，未对申请文件进行修改。复审请求人认为：对比文件 2 未公开特征“所述电介质结构邻接所述交替堆叠层的垂直的侧壁表面”，对比文件 2 中的电介质结构 430 邻接交替堆叠层的阶梯结构，而不是邻接交替堆叠层的垂直的侧壁表面。因此，本申请权利要求 1-32 具备创造性。

经形式审查合格，国家知识产权局于 2020 年 10 月 12 日依法受理了该复审请求，并将其转送至实质审查部门进行前置审查。

实质审查部门在前置审查意见书中坚持驳回决定。

随后，国家知识产权局成立合议组对本案进行审理。

合议组于 2021 年 04 月 22 日向复审请求人发出复审通知书，指出：（1）权利要求 1-32 相对于对比文件 2 和本领域公知常识的结合不具备专利法第 22 条第 3 款规定的创造性；（2）关于复审请求人的复审请求意见，合议组认为：对比文件 2 的附图 17E 已明确公开了贯穿存储器层级通孔区域 400 可紧邻存储器阵列区域 100 设置。交替堆叠层 132/146、232/246 位于存储器阵列区域 100 中，电介质结构 430 位于贯穿存储器层级通孔区域 400 中。由于贯穿存储器层级通孔结构 488 垂直延伸通过电介质结构 430，与下层的外围器件电连接，从而能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件 2 公开的上述技

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，这仅仅属于本领域常规技术手段，无需付出创造性劳动。

复审请求人于 2021 年 06 月 04 日提交了意见陈述书，未对申请文件进行修改。复审请求人认为：（1）对比文件 2 将电介质结构设置在台阶区域，挤占了字线触点的位置，而调整字线触点的位置非常困难，导致浪费存储单元以及设计更复杂的读写电路。而本申请将电介质结构移动到一定的位置，虽然仍然挤占了 NAND 串触点、缝隙结构触点的位置，但是，这些触点的位置调整自由度较大。对比文件 2 存在的技术问题及解决该技术问题的技术手段均为复审请求人首先发现的，不属于本领域公知常识。（2）对比文件 2 并未公开特征“电介质结构，在所述半导体衬底的隔离区域上并且垂直延伸通过所述交替堆叠层”，对比文件 2 中与 TAC 接触的部分是互连金属层中的触点，TAC 结构未与衬底发生任何关系。而本申请省略了该互连金属层，降低了结构复杂度、简化了工艺步骤、降低了器件成本、提高了器件良率。

合议组于 2021 年 07 月 30 日向复审请求人发出合议组成员变更通知书，复审请求人逾期未答复，视为无回避请求。

在上述程序的基础上，合议组认为本案事实已经清楚，可以依法作出审查决定。

二、决定的理由

1、 审查文本的认定

复审请求人在提出复审请求和答复复审通知书时均未对申请文件进行修改。本复审请求审查决定所依据的审查文本与驳回决定和复审通知书所针对的文本相同，即：2020 年 07 月 06 日提交的权利要求第 1-32 项；按照 PCT 条约第 28 或 41 条修改的说明书第 1-27 页；2018 年 06 月 14 日进入中国国家阶段时提交的原始申请文件的中文译文的说明书附图第 1-15 页、说明书摘要、摘要附图。

2、 关于专利法第 22 条第 3 款

专利法第 22 条第 3 款规定：创造性，是指与现有技术相比，该发明具有突出的实质性特点和显著的进步，该实用新型具有实质性特点和进步。

如果一项权利要求的技术方案相对于作为最接近现有技术的对比文件存在区别技术特征，该区别技术特征属于本领域的公知常识，本领域技术人员根据该对比文件和本领域公知常识得到该项权利要求的技术方案是显而易见的，则该项权利要求不具备创造性。

本复审请求审查决定引用的对比文件与驳回决定和复审通知书引用的对比文件相同，即：

对比文件 2：US2017179026A1，公开日为 2017 年 06 月 22 日。

2.1、权利要求 1 请求保护一种三维（3D）存储器件。对比文件 2 公开了一种三维存储器件，包括以下技术特征（参见说明书第[0162]-[0389]段、附图 1A-76）：具体参见说明书第[0162]-[0260]段、附图 1A-17F，

Micron Ex. 1011, p. 8
Micron v. YMTC
IPR2024-00911

所述三维存储器件包括：衬底半导体层 10（相当于半导体衬底）；交替堆叠层 132/146、232/246，其设置于所述衬底半导体层 10 上；电介质结构 430，其在所述衬底半导体层 10 的隔离区域（衬底半导体层 10 被去除的部分中填充有电介质材料，该部分相当于衬底的隔离区域）上并且垂直延伸通过所述交替堆叠层，所述电介质结构 430 由电介质材料形成；参见附图 17E，贯穿存储器层级通孔区域 400 紧邻存储器阵列区域 100 设置，电介质结构 430 位于每个贯穿存储器层级通孔区域 400 中，交替堆叠层 132/146、232/246 位于每个存储器阵列区域 100 中；至少两个贯穿存储器层级通孔结构 488（相当于贯穿阵列触点），所述至少两个贯穿存储器层级通孔结构 488 均垂直延伸通过所述电介质结构 430 和多个隔离区域（参见附图 11A-12B 及说明书相关段落，在每个贯穿存储器层级通孔区域 400 均刻蚀形成开口 769 并填充电介质材料，故对应形成多个隔离区域）中的一个隔离区域；一个或多个存储器堆叠结构 55（相当于沟道结构），其垂直延伸通过所述交替堆叠层。

权利要求 1 请求保护的技术方案与对比文件 2 公开的内容相比，区别技术特征为：电介质结构邻接交替堆叠层的垂直的侧壁表面。基于上述区别技术特征，权利要求 1 实际解决的技术问题是：如何在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。然而，对比文件 2 的附图 17E 已明确公开了贯穿存储器层级通孔区域 400 可紧邻存储器阵列区域 100 设置，电介质结构 430 位于贯穿存储器层级通孔区域 400 中，而交替堆叠层 132/146、232/246 位于存储器阵列区域 100 中，由此能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件 2 公开的上述技术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，属于本领域常规技术手段。

因此，在对比文件 2 的基础上结合本领域常规手段得到权利要求 1 请求保护的技术方案，对本领域技术人员来说是显而易见的，权利要求 1 不具有突出的实质性特点，不具备专利法第 22 条第 3 款规定的创造性。

2.2、权利要求 2-11 直接或间接对权利要求 1 作了进一步限定。对比文件 2 还具体公开了以下技术特征（参见说明书第[0162]-[0260]段、附图 1A-17F）：

1）对于权利要求 2，对比文件 2 公开了基座沟道部分 11（相当于外延层），其形成在所述一个或多个存储器堆叠结构 55 中的每一个与所述衬底半导体层 10 之间；多晶硅漏极区域 63（相当于刻蚀停止插塞），其设置于所述一个或多个存储器堆叠结构 55 中的每一个上；阶梯结构，其设置于所述交替堆叠层中；以及一个或多个接触层 108、103、101，其设置于所述至少两个贯穿存储器层级通孔结构 488、所述一个或多个存储器堆叠结构 55 以及一个或多个接触通孔结构 76（相当于缝隙结构）上；

2）对于权利要求 3，对比文件 2 公开了所述电介质结构 430 邻接所述至少两个贯穿存储器层级通孔结构 488 的侧壁表面；

3）对于权利要求 4，对比文件 2 公开了所述三维存储器件是三维 NAND 存储器件；

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

4）对于权利要求 5-7，对比文件 2 公开了所述交替堆叠层包括电介质层 132、232 和导体层 146、246 的交替对；电介质层包括氧化硅，导体层包括金属；导体层包括字线。

5）对于权利要求 8-9，对比文件 2 公开了电介质材料是氧化硅，电介质结构 430 包括氧化物；

6）对于权利要求 10，对比文件 2 公开了所述电介质结构 430 在所述三维存储器件内界定了贯穿阵列接触区域；

7）对于权利要求 11，对比文件 2 公开了电介质结构 430 等于隔离区域的覆盖区。此外，将电介质结构形成为小于隔离区域的覆盖区，这属于本领域常规技术手段。

因此，在其引用的权利要求不具备创造性的情况下，权利要求 2-11 也不具备专利法第 22 条第 3 款规定的创造性。

2.3、权利要求 12 请求保护一种用于形成 3D 存储器件的方法。对比文件 2 公开了一种用于形成三维存储器件的方法，包括以下技术特征（参见说明书第[0162]-[0389]段、附图 1A-76）：具体参见说明书第[0162]-[0260]段、附图 1A-17F，所述方法包括：在衬底半导体层 10（相当于衬底）上设置交替电介质堆叠层，所述交替电介质堆叠层包括第一电介质层和第二电介质层对 132/142、232/242，所述第二电介质层 142、242 与所述第一电介质层 132、232 不同；形成在所述交替电介质堆叠层中垂直延伸的存储器堆叠结构 55（相当于沟道结构）；在所述交替电介质堆叠层中形成开口 769，所述开口 769 贯穿所述衬底半导体层 10；利用电介质层填充所述开口 769，以形成电介质结构 430 作为所述三维存储器件的贯穿阵列接触区域；去除所述电介质结构 430 的部分，直到贯穿所述衬底半导体层 10，以形成垂直延伸通过所述电介质结构 430 的贯穿阵列接触开口；利用导体填充所述贯穿阵列接触开口，以在所述贯穿阵列接触区域中形成贯穿存储器层级通孔结构 488（相当于贯穿阵列接触结构），所述贯穿存储器层级通孔结构 488 贯穿所述衬底半导体层 10 并接触下层的外围器件；所述方法还包括：基于交替电介质堆叠层来形成交替的导体/电介质堆叠层 146/132、246/232；参见附图 17E，贯穿存储器层级通孔区域 400 紧邻存储器阵列区域 100 设置，电介质结构 430 位于每个贯穿存储器层级通孔区域 400 中，交替堆叠层位于每个存储器阵列区域 100 中。

权利要求 12 请求保护的技术方案与对比文件 2 公开的内容相比，区别技术特征为：（1）在衬底上成形隔离结构，开口暴露隔离结构；去除隔离结构的部分暴露衬底，贯穿阵列接触开口延伸通过隔离结构，贯穿阵列接触结构接触衬底；（2）电介质结构邻接交替堆叠层的垂直的侧壁表面。基于上述区别技术特征（1）和（2），权利要求 12 实际解决的技术问题是：如何对衬底进行器件隔离，如何在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。然而，对于区别技术特征（1），对比文件 2 是直接在外围器件晶圆上形成存储阵列的单片式三维存储器件，所以，贯穿阵列接触结构贯穿衬底半导体层 10 与下层的外围器件接触，从而实现存储阵列器件和外围器件的垂直互连。而对于非单片式三维存储器件（在不同衬底上分别独立制造存储阵列器件和外围器件，然后将两者键合）这另一常规的存储器件结构而言，为了实现存储阵列器件衬底上的器件

Micron Ex. 1011, p. 10
Micron v. YMTC
IPR2024-00911

隔离，而先在衬底上形成隔离结构，再在隔离结构上方的开口形成贯穿阵列接触结构，贯穿阵列接触结构延伸通过隔离结构并接触衬底，这属于本领域常规技术手段，无需付出创造性劳动。对于区别技术特征（2），对比文件 2 的附图 17E 已明确公开了贯穿存储器层级通孔区域 400 可紧邻存储器阵列区域 100 设置，电介质结构 430 位于贯穿存储器层级通孔区域 400 中，而交替堆叠层 132/146、232/246 位于存储器阵列区域 100 中，由此能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件 2 公开的上述技术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，同样属于本领域常规技术手段。

因此，在对比文件 2 的基础上结合本领域常规手段得到权利要求 12 请求保护的技术方案，对本领域技术人员来说是显而易见的，权利要求 12 不具有突出的实质性特点，不具备专利法第 22 条第 3 款规定的创造性。

2.4、权利要求 13-20 分别对权利要求 12 作了进一步限定。对比文件 2 还具体公开了以下技术特征（参见说明书第[0162]-[0260]段、附图 1A-17F）：

1）对于权利要求 13，对比文件 2 公开了在形成所述贯穿阵列接触开口之前，所述方法还包括：形成在所述交替电介质堆叠层 132/142、232/242 中垂直延伸的后侧接触沟槽 79（相当于缝隙开口），后侧接触沟槽 79 暴露所述衬底半导体层 10 的掺杂区域 61；利用导体层通过所述一个或多个后侧接触沟槽 79 替换所述第二电介质层 142、242，以将所述交替电介质堆叠层 132/142、232/242 转换成交替的电介质/导体层堆叠层 132/146、232/246；利用导体填充所述一个或多个后侧接触沟槽 79，以形成在所述交替的电介质/导体层堆叠层 132/146、232/246 中垂直延伸的一个或多个接触通孔结构 76（相当于缝隙结构）；

2）对于权利要求 14，对比文件 2 公开了在形成所述存储器堆叠结构 55 之前，执行修剪刻蚀工艺以在所述交替电介质堆叠层 132/142、232/242 中形成阶梯结构（参见附图 3 及说明书相关段落）；

3）对于权利要求 15，对比文件 2 公开了通过各向异性刻蚀去除交替电介质堆叠层 132/142、232/242 的部分。此外，干法刻蚀工艺属于本领域常规技术手段；

4）对于权利要求 16，对比文件 2 公开了利用电介质层填充所述开口 769 包括利用保形沉积、非保形沉积与回流材料的组合或旋涂等方式来沉积所述电介质层。此外，化学气相沉积、等离子体增强化学气相沉积或物理气相沉积工艺均属于本领域常规技术手段；

5）对于权利要求 17-18，对比文件 2 公开了利用电介质层填充所述开口 769 包括形成氧化硅；

6）对于权利要求 19-20，对比文件 2 公开了第一电介质层 132、232 包括氧化硅，第二电介质层 142、242 包括氮化硅。

因此，在其引用的权利要求不具备创造性的情况下，权利要求 13-20 也不具备专利法第 22 条第 3 款规定的创造性。

2.5、权利要求 21 请求保护一种用于形成 3D 存储器件的方法。对比文件 2 公开了一种用于形成三维存储

Micron Ex. 1011, p. 11
Micron v. YMTC
IPR2024-00911

器件的方法，包括以下技术特征（参见说明书第[0162]-[0389]段、附图 1A-76）：具体参见说明书第[0162]-[0260]段、附图 1A-17F，所述方法包括：在衬底半导体层 10（相当于衬底）上设置交替电介质堆叠层，所述交替电介质堆叠层包括第一电介质层和第二电介质层对 132/142、232/242，所述第二电介质层 142、242 与所述第一电介质层 132、232 不同；形成垂直延伸通过所述交替电介质堆叠层的存储器堆叠结构 55（相当于沟道结构）；刻蚀所述交替电介质堆叠层中形成开口 769，所述开口 769 贯穿所述衬底半导体层 10；利用电介质层填充所述开口 769，以形成电介质结构 430 作为所述三维存储器件的贯穿阵列接触区域；刻蚀通过所述电介质结构 430 的部分，以形成贯穿所述衬底半导体层 10 的贯穿阵列接触开口；利用导体填充所述贯穿阵列接触开口，以在所述贯穿阵列接触区域中形成贯穿存储器层级通孔结构 488（相当于贯穿阵列接触结构）；所述方法还包括：基于交替电介质堆叠层来形成交替的导体/电介质堆叠层 146/132、246/232；参见附图 17E，贯穿存储器层级通孔区域 400 紧邻存储器阵列区域 100 设置，电介质结构 430 位于每个贯穿存储器层级通孔区域 400 中，交替堆叠层位于每个存储器阵列区域 100 中。

权利要求 21 请求保护的技术方案与对比文件 2 公开的内容相比，区别技术特征为：（1）开口暴露衬底中的隔离区域，贯穿阵列接触开口通过隔离区域并暴露衬底；贯穿阵列接触区域等于或小于隔离区域；（2）电介质结构邻接交替堆叠层的垂直的侧壁表面。基于上述区别技术特征（1）和（2），权利要求 21 实际解决的技术问题是：如何对衬底进行器件隔离，如何在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。然而，对于区别技术特征（1），对比文件 2 是直接在外围器件晶圆上形成存储阵列的单片式三维存储器件，所以，贯穿阵列接触结构贯穿衬底半导体层 10 与下层的外围器件接触，从而实现存储阵列器件和外围器件的垂直互连。而对于非单片式三维存储器件（在不同衬底上分别独立制造存储阵列器件和外围器件，然后将两者键合）这另一常规的存储器件结构而言，为了实现存储阵列器件衬底上的器件隔离，而在衬底上形成隔离区域，再在隔离区域上方的开口形成贯穿阵列接触结构，贯穿阵列接触结构延伸通过隔离区域并接触衬底，这属于本领域常规技术手段，无需付出创造性劳动；至于将贯穿阵列接触区域形成为等于或小于隔离区域，这属于本领域常规技术手段。对于区别技术特征（2），对比文件 2 的附图 17E 已明确公开了贯穿存储器层级通孔区域 400 可紧邻存储器阵列区域 100 设置，电介质结构 430 位于贯穿存储器层级通孔区域 400 中，而交替堆叠层 132/146、232/246 位于存储器阵列区域 100 中，由此能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件 2 公开的上述技术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，同样属于本领域常规技术手段。

因此，在对比文件 2 的基础上结合本领域常规手段得到权利要求 21 请求保护的技术方案，对本领域技术人员来说是显而易见的，权利要求 21 不具有突出的实质性特点，不具备专利法第 22 条第 3 款规定的创造性。

2.6、权利要求 22-27 直接或间接对权利要求 21 作了进一步限定。对比文件 2 还具体公开了以下技术特

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

征（参见说明书第[0162]-[0260]段、附图 1A-17F）：

1）对于权利要求 22，对比文件 2 公开了形成垂直延伸通过所述交替电介质堆叠层 132/142、232/242 的后侧接触沟槽 79（相当于缝隙开口），后侧接触沟槽 79 暴露所述衬底半导体层 10 的掺杂区域 61；利用导体层通过所述后侧接触沟槽 79 替换所述第二电介质层 142、242，以将所述交替电介质堆叠层 132/142、232/242 转换成交替的电介质/导体层堆叠层 132/146、232/246；利用导体填充所述后侧接触沟槽 79 以形成接触通孔结构 76（相当于缝隙结构）；在所述交替电介质堆叠层 132/142、232/242 中形成阶梯结构，所述阶梯结构包括层级；在所述阶梯结构的层级中的每个层级上形成字线接触通孔结构 86（相当于字线触点）；在所述存储器堆叠结构 55 和所述接触通孔结构 76 之上形成漏极接触通孔结构 88、源极连接通孔结构 91（相当于本地触点）；在漏极接触通孔结构 88、源极连接通孔结构 91、每个字线接触通孔结构 86（即每条字线）以及每个贯穿存储器层级通孔结构 488 之上形成一个或多个接触层 108、103、101；

2）对于权利要求 23，对比文件 2 公开了第一电介质层 132、232 包括氧化硅，第二电介质层 142、242 包括氮化硅；

3）对于权利要求 24，对比文件 2 公开了通过各向异性刻蚀在交替电介质堆叠层 132/142、232/242 中形成开口 769。此外，干法刻蚀工艺属于本领域常规技术手段；

4）对于权利要求 25，对比文件 2 公开了电介质结构 430 包括氧化硅；

5）对于权利要求 26，对比文件 2 公开了贯穿存储器层级通孔区域 400 可紧邻存储器阵列区域 100 设置（附图 17E），电介质结构 430 位于贯穿存储器层级通孔区域 400 中，而交替堆叠层 132/146、232/246 位于存储器阵列区域 100 中，由此能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件 2 公开的上述技术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得交替堆叠层邻接电介质结构的侧壁，这对于本领域技术人员来说是容易想到并能够做到的，属于本领域常规技术手段；

6）对于权利要求 27，对比文件 2 公开了所述电介质结构 430 邻接每个贯穿存储器层级通孔结构 488 的侧壁表面。

因此，在其引用的权利要求不具备创造性的情况下，权利要求 22-27 也不具备专利法第 22 条第 3 款规定的创造性。

2.7、权利要求 28 请求保护一种三维（3D）存储器件。对比文件 2 公开了一种三维存储器件，包括以下技术特征（参见说明书第[0162]-[0389]段、附图 1A-76）：具体参见说明书第[0162]-[0260]段、附图 1A-17F，所述三维存储器件包括：衬底半导体层 10（相当于半导体衬底），具有隔离结构（衬底半导体层 10 被去除的部分中填充有电介质材料，该部分相当于衬底的隔离结构）；设置于衬底半导体层 10 上的交替的导体/电介质堆叠层 146/132、246/232；电介质结构 430，其在所述衬底半导体层 10 的隔离结构上并且垂直延伸通过所述交替的导体/电介质堆叠层 146/132、246/232，所述电介质结构 430 由电介质材料形成；参见附图 17E，贯穿

Micron Ex. 1011, p. 13
Micron v. YMTC
IPR2024-00911

存储器层级通孔区域400紧邻存储器阵列区域100设置，电介质结构430位于每个贯穿存储器层级通孔区域400中，交替的导体/电介质堆叠层146/132、246/232位于每个存储器阵列区域100中；存储器堆叠结构55（相当于沟道结构），其垂直延伸通过所述交替的导体/电介质堆叠层146/132、246/232；至少两个贯穿存储器层级通孔结构488（相当于贯穿阵列触点），所述至少两个贯穿存储器层级通孔结构488均垂直延伸通过所述电介质结构430和多个隔离区域（参见附图11A-12B及说明书相关段落，在每个贯穿存储器层级通孔区域400均刻蚀形成开口769并填充电介质材料，故对应形成多个隔离区域）中的一个隔离结构。

权利要求28请求保护的技术方案与对比文件2公开的内容相比，区别技术特征为：电介质结构邻接交替堆叠层的垂直的侧壁表面。基于上述区别技术特征，权利要求28实际解决的技术问题是：如何在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。然而，对比文件2的附图17E已明确公开了贯穿存储器层级通孔区域400可紧邻存储器阵列区域100设置，电介质结构430位于贯穿存储器层级通孔区域400中，而交替堆叠层132/146、232/246位于存储器阵列区域100中，由此能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。在对比文件2公开的上述技术内容的基础上，在邻接交替堆叠层的位置刻蚀形成开口，从而使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，属于本领域常规技术手段。

因此，在对比文件2的基础上结合本领域常规手段得到权利要求28请求保护的技术方案，对本领域技术人员来说是显而易见的，权利要求28不具有突出的实质性特点，不具备专利法第22条第3款规定的创造性。

2.8、权利要求29-32分别对权利要求28作了进一步限定。对比文件2还具体公开了以下技术特征（参见说明书第[0162]-[0260]段、附图1A-17F）：

1）对于权利要求29，对比文件2公开了阶梯结构，其设置于所述交替的导体/电介质堆叠层146/132、246/232中，所述阶梯结构包括层级，在每个层级上形成导体层146、246；字线接触通孔结构86（相当于字线触点），其设置于所述阶梯结构的每个导体层上；漏极接触通孔结构88、源极连接通孔结构91（相当于本地触点），其设置于每个存储器堆叠结构55（相当于沟道结构）和接触通孔结构76（相当于缝隙结构）上；

2）对于权利要求30，对比文件2公开了所述电介质结构430邻接每个贯穿存储器层级通孔结构488的侧壁；

3）对于权利要求31，对比文件2公开了所述电介质结构430包括所述三维存储器件的贯穿阵列接触区域；

4）对于权利要求32，对比文件2公开了多晶硅漏极区域63（相当于刻蚀停止插塞），其插入在每个漏极接触通孔结构88和每个存储器堆叠结构55之间；基座沟道部分11（相当于外延层），其设置在每个存储器堆叠结构55和所述衬底半导体层10之间。

因此，在其引用的权利要求不具备创造性的情况下，权利要求29-32也不具备专利法第22条第3款规定

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路6号 国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

的创造性。

3、对复审请求人相关意见的评述

对于复审请求人在答复复审通知书时所陈述的意见，合议组认为：针对（1），首先，本申请权利要求中限定“电介质结构邻接交替堆叠层的垂直的侧壁表面”，这一限定无法体现出电介质结构与阶梯结构的位置关系，也无法体现出电介质结构与存储器阵列区域的位置关系。其次，对比文件2的附图17E和17F显示，贯穿存储器层级通孔区域400紧邻存储器阵列区域100设置，电介质结构430位于每个贯穿存储器层级通孔区域400中，交替堆叠层132/146、232/246位于每个存储器阵列区域100中。贯穿存储器层级通孔结构488垂直延伸通过电介质结构430，与下层的外围器件电连接，从而能够实现在存储串邻接区域形成用于存储阵列器件和外围器件的垂直互连。基于对比文件2公开的上述技术内容，当在邻接交替堆叠层的区域400刻蚀出开口以形成电介质结构430时，使得电介质结构邻接交替堆叠层的垂直的侧壁表面，这对于本领域技术人员来说是容易想到并能够做到的，这仅仅属于本领域常规技术手段，无需付出创造性劳动。针对（2），参见附图1A-17F，对比文件2中交替堆叠层132/146、232/246生长于半导体层10上，可以将半导体层10视为生长基底或者生长衬底层，相当于本申请中的半导体衬底。半导体层10对应于贯穿存储器层级通孔区域400的部分被去除并填充有电介质材料，该部分相当于衬底的隔离区域。电介质结构430在半导体层10的隔离区域上并且垂直延伸通过交替堆叠层。因此，对比文件2已公开本申请产品权利要求1-11、28-32中的“半导体衬底的隔离区域”和“隔离结构”，也公开了特征“电介质结构，其在所述半导体衬底的隔离区域上并且垂直延伸通过所述交替堆叠层”。对于“对比文件2中与TAC接触的部分是互连金属层中的触点，TAC结构未与衬底发生任何关系”，本申请涉及在不同衬底上分别独立制造存储阵列器件和外围器件、然后将两者键合的非单片式三维存储器件，其目的在于提供存储阵列器件和外围器件之间的垂直互连。对比文件2是直接在外围器件晶圆上形成存储阵列的单片式三维存储器件，TAC贯穿半导体层10与下层的外围器件的触点接触，同样可以实现存储阵列器件和外围器件的垂直互连。

综上所述，复审请求人的意见陈述不具有说服力，合议组不予接受。

根据以上事实和理由，本案合议组依法作出以下审查决定。

三、决定

维持国家知识产权局于 2020 年 07 月 21 日对本申请作出的驳回决定。

如对本复审请求审查决定不服，根据专利法第 41 条第 2 款的规定，复审请求人可以自收到本复审请求审查决定之日起三个月内向北京知识产权法院起诉。

合议组组长：凌宇飞

主　审　员：黄丽娜

纸件申请，回函请寄：100088 北京市海淀区蓟门桥西土城路 6 号　国家知识产权局专利局复审和无效审理部收
电子申请，应当通过电子专利申请系统以电子文件形式提交相关文件。除另有规定外，以纸件等其他形式提交的文件视为未提交。

参　审　员：李元

专利局复审和无效审理部

Micron Ex. 1011, p. 16
Micron v. YMTC
IPR2024-00911