



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월15일  
(11) 등록번호 10-1384714  
(24) 등록일자 2014년04월07일

(51) 국제특허분류(Int. Cl.)

G01R 31/26 (2014.01)

(21) 출원번호 10-2014-0004576

(22) 출원일자 2014년01월14일

심사청구일자 2014년01월14일

(56) 선행기술조사문헌

KR101252449 B1

KR100855302 B1

KR100853624 B1

전체 청구항 수 : 총 5 항

(73) 특허권자

윌테크놀러지(주)

경기도 수원시 장안구 장안로448번길 10 (이목동)

(72) 발명자

김일

경기도 성남시 분당구 수내로 174, 402동 901호(수내동, 푸른마을벽산신성아파트)

(74) 대리인

특허법인태동

심사관 : 손병철

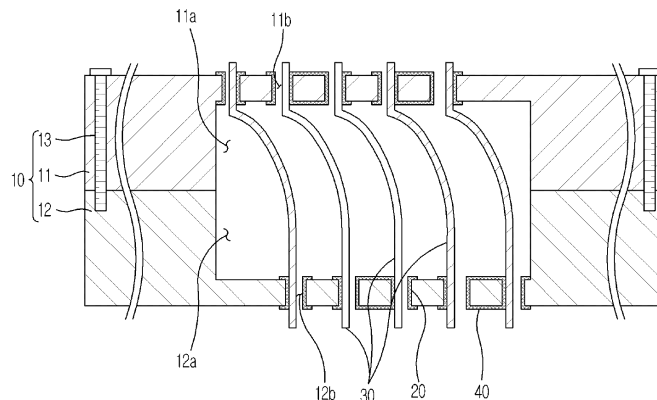
(54) 발명의 명칭 반도체 검사장치

(57) 요약

본 발명은 반도체 검사장치에 관한 것으로서, 일측에 적어도 하나이상의 가이드홀이 형성되는 가이드 플레이트와, 상기 가이드홀의 내면 일측에 형성되는 도전층과, 상기 가이드홀에 삽입설치되고, 외면 일측이 상기 도전층의 일측에 접촉되며, 하단부가 검사대상반도체에 전기적으로 접촉되는 적어도 하나의 검사핀 및 상기 가이드 플레이트의 표면 일측에 형성되되, 일측이 상기 도전층의 일측에 전기적으로 연결되는 적어도 하나 이상의 도전성 트레이스를 포함하는 것을 특징으로 하는 반도체 검사장치를 제공한다.

상기와 같은 본 발명에 따르면, 검사핀이 가이드홀에 형성된 도전층을 통해 다른 검사핀 또는 외부 기관에 전기적으로 연결될 수 있도록 함으로써, 검사핀의 전기 접촉 불량, 공간 효율성, 노이즈, 고주파 특성 등의 다양한 특성들을 개선할 수 있고 그에 따라 검사 결과의 신뢰도를 향상시킬 수 있는 효과가 있다.

대표도



## 특허청구의 범위

### 청구항 1

일측에 적어도 하나이상의 가이드홀이 형성되는 가이드 플레이트와;

상기 가이드홀의 내면 일측에 형성되는 도전층과;

상기 가이드홀에 삽입설치되고, 외면 일측이 상기 도전층의 일측에 접촉되며, 하단부가 검사대상반도체에 전기적으로 접촉되는 적어도 하나의 검사핀; 및

상기 가이드 플레이트의 표면 일측에 형성되되, 일측이 상기 도전층의 일측에 전기적으로 연결되는 적어도 하나 이상의 도전성 트레이스를 포함하는 것을 특징으로 하는 반도체 검사장치.

### 청구항 2

제1항에 있어서,

상기 가이드 플레이트는

일측에 적어도 하나의 제1 가이드홀이 형성되는 상부플레이트; 및

상기 상부플레이트의 하부에 결합되고, 일측에 적어도 하나의 제2 가이드홀이 형성되는 하부 플레이트를 포함하며,

상기 도전성 트레이스는 상기 상부플레이트의 상,하표면 또는 상기 하부플레이트의 상,하표면 중 적어도 어느 하나에 형성되는 것을 특징으로 하는 반도체 검사장치.

### 청구항 3

제1항에 있어서,

상기 도전성 트레이스는 상호 동일한 신호를 전달하는 검사핀과 접촉하는 도전층간을 전기적으로 연결하도록 형성되는 것을 특징으로 하는 반도체 검사장치.

### 청구항 4

제1항에 있어서,

상기 도전성 트레이스는 접지용 검사핀과 접촉하는 도전층간을 전기적으로 연결하도록 형성되는 것을 특징으로 하는 반도체 검사장치.

### 청구항 5

제1항에 있어서,

상기 도전성 트레이스는 상기 도전층의 일측으로부터 상기 가이드 플레이트의 일측 중 상기 검사핀이 밀집설치되는 검사영역을 제외한 영역으로 연장형성되는 것을 특징으로 하는 반도체 검사장치.

## 명세서

## 기술분야

[0001] 본 발명은 반도체 검사장치에 관한 것으로서, 보다 상세하게는 검사핀이 가이드홀에 형성된 도전층을 통해 다른 검사핀 또는 외부 기관에 전기적으로 연결될 수 있도록 함으로써, 검사핀의 전기 접촉 불량, 공간 효율성, 노이즈, 고주파 특성 등의 다양한 특성들을 개선할 수 있고 그에 따라 검사 결과의 신뢰도를 향상시킬 수 있는 기술에 관한 것이다.

## 배경 기술

[0002] 반도체 검사 공정은 크게 웨이퍼 레벨에서 제작된 칩의 전기적 특성을 검사하는 이디에스(Electrical Die Sorting:EDS)공정인 전공정 검사와 패키지 레벨로 제작된 반도체 IC를 검사하는 후공정 검사로 나눌 수 있다.

[0003] 전공정 검사는 웨이퍼를 구성하고 있는 칩들 중에서 불량칩을 판별하기 위해 수행하는 것으로 웨이퍼를 구성하는 칩들에 전기적 신호를 인가시켜 인가된 전기적 신호로부터 체크되는 신호에 의해서 불량을 판단하는 프로브 카드라는 반도체 검사장치가 사용되는데, 프로브 카드는 웨이퍼의 단자와 대응되는 위치에 다수 개의 검사핀(프로브 니들)이 형성된 구조를 갖는다.

[0004] 후공정 검사는 IC 형태로 패키징된 반도체에 전기적 신호를 인가하여 IC의 정상 동작 여부를 검사하는 것으로서 테스트 소켓이라는 반도체 검사장치가 사용되는데, 테스트 소켓은 IC 단자에 대응되는 위치에 복수 개의 포고핀 또는 도전성 러버 시트가 설치되는 구조를 갖는다.

[0005] 이 밖에도 반도체 검사장치는 일측면에 반도체의 단자와 동일하게 단자가 형성되고, 이러한 단자가 서로 연결되거나 상기 반도체 패키지의 일측으로 연장되어 연결되는 반도체 패키지를 검사(test)하는데도 사용될 수 있다.

[0006] 도1은 종래의 반도체 검사장치의 일례로서 전공정 검사장비인 프로브 카드의 단면도를 나타낸 도면이다.

[0007] 도1에서 보는 바와 같이 종래의 프로브 카드(100)는 저면에 검사대상 칩에 전기적으로 접촉되는 다수의 검사핀(111)이 설치되는 가이드플레이트(110)와, 가이드플레이트(110)의 상방에 가이드플레이트(110)와 이격되게 설치되는 메인기관(120)과, 가이드플레이트(110)와 메인기관(120)간에 설치되어 협피치를 갖는 가이드플레이트(110)의 전극 패턴과 광피치를 갖는 메인기관(120)간을 공간적으로 정합시키는 공간변환기(130)를 포함하여 구성된다.

[0008] 이러한 종래의 프로브 카드(100)는 검사대상반도체에 검사핀(111)을 접촉시키면 검사대상반도체로부터 검사핀(111)으로 전기적 신호가 전달되고, 검사핀(111)로 전달된 전기적 신호는 메인기관(120)을 통해 도시되어 있지 않은 프로브 인터페이스 보드로 전달된다.

[0009] 여기서, 종래의 프로브 카드(100)는 검사핀(111)의 하단이 DUT(device under test), 즉 검사대상반도체에 전기적으로 접촉될 때, 검사핀(111)의 상단은 공간변환기(130)에 전기적으로 접촉하게 되는데, 많게는 수 만개에 이르는 검사핀(111) 중 어느 하나의 검사핀(111)과 공간변환기(130)간 전기적 접촉이 불안정하면 DUT TEST의 결과가 부정확하게 되는 문제점이 발생되는데, 이로 인해 테스트 결과의 신뢰도가 현저하게 저하되는 문제점이 있었다.

[0010] 반도체 검사장치는 검사핀을 통해 전기신호를 검사 대상 반도체에 인가하여 전기적 특성을 검사하는 장비이므로 이러한 검사핀의 전기접촉 불량의 문제는 프로브 카드 뿐만 아니라 테스트 소켓 등의 모든 반도체 검사장비에서 동일하게 발생하고 있다.

[0011] 또한 반도체 검사장치는 좁은 공간에 다수의 검사핀이 설치되어야 하는 공간적인 제약으로 인해 고주파 특성이 좋지 않은 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

[0012] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 검사핀이 가이드홀에 형성된 도전층을 통해 다른 검사핀 또는 외부 기관에 전기적으로 연결될 수 있도록 함으로써, 검사핀의 전기 접촉

불량, 공간 효율성, 노이즈, 고주파 특성 등의 다양한 특성들을 개선할 수 있고 그에 따라 검사 결과의 신뢰도를 향상시킬 수 있는 반도체 검사장치를 제공함에 있다.

[0013] 본 발명의 다른 목적은 검사핀을 통한 신호전달루트를 최소화하여 임피던스가 감소되도록 함으로써 고주파 성능을 크게 향상시킬 수 있는 반도체 검사장치를 제공함에 있다.

### 과제의 해결 수단

[0014] 상기와 같은 목적을 달성하기 위한 본 발명의 일측면에 따르면, 일측에 적어도 하나이상의 가이드홀이 형성되는 가이드 플레이트와, 상기 가이드홀의 내면 일측에 형성되는 도전층과, 상기 가이드홀에 삽입설치되고, 외면 일측이 상기 도전층의 일측에 접촉되며, 하단부가 검사대상반도체에 전기적으로 접촉되는 적어도 하나의 검사핀 및 상기 가이드 플레이트의 표면 일측에 형성되되, 일측이 상기 도전층의 일측에 전기적으로 연결되는 적어도 하나 이상의 도전성 트레이스를 포함하는 것을 특징으로 하는 반도체 검사장치를 제공한다.

[0015] 그리고, 상기 가이드 플레이트는 일측에 적어도 하나의 제1 가이드홀이 형성되는 상부플레이트 및 상기 상부플레이트의 하부에 결합되고, 일측에 적어도 하나의 제2 가이드홀이 형성되는 하부 플레이트를 포함하며, 상기 도전성 트레이스는 상기 상부플레이트의 상,하표면 또는 상기 하부플레이트의 상,하표면 중 적어도 어느 하나에 형성되는 것이 바람직하다.

[0016] 또한, 상기 도전성 트레이스는 상호 동일한 신호를 전달하는 검사핀과 접촉하는 도전층간을 전기적으로 연결하도록 형성될 수 있다.

[0017] 아울러, 상기 도전성 트레이스는 접지용 검사핀과 접촉하는 도전층간을 전기적으로 연결하도록 형성되는 것이 바람직하다.

[0018] 그리고, 상기 도전성 트레이스는 상기 도전층의 일측으로부터 상기 가이드 플레이트의 일측 중 상기 검사핀이 밀집설치되는 검사영역을 제외한 영역으로 연장형성될 수 있다.

### 발명의 효과

[0019] 상기와 같은 본 발명에 따르면, 검사핀이 가이드홀에 형성된 도전층을 통해 다른 검사핀 또는 외부 기관에 전기적으로 연결될 수 있도록 함으로써, 검사핀의 전기 접촉 불량, 공간 효율성, 노이즈, 고주파 특성 등의 다양한 특성들을 개선할 수 있고 그에 따라 검사 결과의 신뢰도를 향상시킬 수 있는 효과가 있다.

[0020] 그리고, 본 발명은 가이드 플레이트의 하단플레이트 저면을 통해 동일한 신호를 전달하는 검사핀을 전기적으로 연결한 후 가이드 플레이트의 일측 중 검사영역을 제외한 외부영역을 통해 도전성 트레이스를 메인기관과 전기적으로 연결함으로써 검사핀을 통한 신호전달루트를 최소화하여 임피던스가 감소되도록 함으로써 고주파 성능을 크게 향상시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

[0021] 도1은 종래의 반도체 검사장치의 일례로서 전공정 검사장비인 프로브 카드의 단면도를 나타낸 도면,  
 도2는 본 발명의 일실시예에 따른 반도체 검사장치를 개략적으로 도시한 단면도,  
 도3은 본 발명의 일실시예에 따른 도전성 트레이스가 동일한 신호를 전달하는 검사핀이 접촉하는 도전층간을 연결한 상태를 도시한 개념도,  
 도4는 본 발명의 일실시예에 따른 도전성 트레이스가 연장된 상태를 도시한 도면,  
 도5a는 본 발명의 일실시예에 상부플레이트의 상면을 도시한 도면,  
 도5b는 본 발명의 일실시예에 따른 상부플레이트의 저면을 도시한 도면,  
 도6은 본 발명의 일실시예에 따른 도전성 트레이스가 와이어를 통해 메인기관과 연결된 상태를 도시한 도면,

도7은 본 발명의 일실시예에 따른 도전성 물질이 카운터 썸크 또는 카운터보어로 제거된 상태를 도시한 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하에서 첨부된 도면을 참조하여 본 발명의 바람직한 일실시예를 상세하게 설명하도록 한다. 이하의 설명에서는 설명을 간단하게 하기 위하여 프로브 카드를 반도체 검사장치라는 용어를 사용하여 설명될 것이나 본 발명은 프로브 카드에 국한되지 않고 복수 개의 검사핀을 갖는 모든 반도체 검사장치에 적용가능하며 이 또한 본 발명의 기술적 사상에 포함되는 것이 당연함을 밝혀둔다.
- [0023] 도2는 본 발명의 일실시예에 따른 반도체 검사장치를 개략적으로 도시한 단면도이고, 도3은 본 발명의 일실시예에 따른 도전성 트레이스가 동일한 신호를 전달하는 검사핀이 접촉하는 도전층간을 연결한 상태를 도시한 개념도이며, 도4는 본 발명의 일실시예에 따른 도전성 트레이스가 연장된 상태를 도시한 도면이고, 도5a는 본 발명의 일실시예에 상부플레이트의 상면을 도시한 도면이며, 도5b는 본 발명의 일실시예에 따른 상부플레이트의 저면을 도시한 도면이고, 도6은 본 발명의 일실시예에 따른 도전성 트레이스가 와이어를 통해 메인기판과 연결된 상태를 도시한 도면이다.
- [0024] 도2 내지 도6에서 보는 바와 같이 본 발명의 일실시예에 따른 반도체 검사장치(1)는 가이드 플레이트(10)와, 도전층(20)과, 검사핀(30) 및 도전성 트레이스(40)를 포함하여 구성된다.
- [0025] 가이드 플레이트(10)는 일측에 복수개의 제1 가이드홀(11b)이 형성된 상부플레이트(11)와, 상부플레이트(11)의 하부에 결합되고 일측에 복수개의 제2 가이드홀(12b)이 형성된 하부플레이트(12) 및 상부플레이트(11)와 하부플레이트(12)에 결합되는 체결부재(13)를 포함하며, 후술하는 검사핀(30)을 지지함과 아울러 도전성 트레이스(40)의 형성영역을 제공하는 역할을 한다.
- [0026] 상부플레이트(11)는 대략 원판 또는 사각판 형상으로 형성되고, 저면 일측에 제1 수용홈(11a)이 형성되며, 일측에 복수개의 제1 가이드홀(11b)이 형성된다.
- [0027] 그리고, 하부플레이트(12)는 상부플레이트(11)와 대응되는 원판 또는 사각판 형상으로 형성되고, 제1 수용홈(11a)과 대응되는 일측에 제2 수용홈(12a)이 형성되며, 일측에 복수개의 제2 가이드홀(12b)이 형성된다.
- [0028] 이와 같은 상부플레이트(11) 및 하부플레이트(12)는 외표면과, 제1 수용홈(11a) 및 제2 수용홈(12a)에 의해 형성된 내표면을 통해 후술하는 도전성 트레이스(40)의 형성영역을 제공함과 아울러 가이드홀을 통해 검사핀(30)을 지지하는 역할을 한다.
- [0029] 도전층(20)은 제1 가이드홀(11b)이 형성된 상부플레이트(11)의 일측 또는 제2 가이드홀(12b)이 형성된 하부플레이트(12)의 일측에 도전성 물질이 코팅되어 형성되는 것으로서, 후술하는 검사핀(30)과 도전성 트레이스(40)가 상호 전기적으로 연결될 수 있도록 하는 역할을 한다.
- [0030] 검사핀(30)은 대략 막대형상으로 형성되고, 제1 가이드홀(11b) 및 제2 가이드홀(12b)에 삽입되어 배치되고, 일측이 도전층(20)의 일측에 전기적으로 접촉되어 도전층(20)을 통해 후술하는 도전성 트레이스(40)와 전기적으로 연결된다.
- [0031] 한편, 본 실시예에서는 검사핀(30)으로 코브라 프로브가 도시되어 있으나, 본 발명의 검사핀(30)은 반드시 코브라 프로브로 한정되는 것은 아니며, 포고핀, 와이어 프로브등과 같은 다양한 프로브가 사용될 수 있음은 물론이다.
- [0032] 그리고, 본 실시예에서 가이드 플레이트가 상부플레이트(11)와 하부플레이트(12)로 구성되는 것으로 도시되어 있으나, 가이드 플레이트가 테스트 소켓의 소켓 하우징과 같이 하나의 몸체로 형성될 수도 있다.
- [0033] 도전성 트레이스(40)는 도전성 물질을 이용하여 가이드 플레이트(10)의 표면, 즉 상부플레이트(11)의 내표면 및 외표면, 하부플레이트(12)의 내표면 및 외표면 중 적어도 하나의 일측에 형성되고, 일측이 도전층(20)의 일측에 연결되는데, 이와 같은 도전성 트레이스(40)는 아래와 같이 타측이 어디에 연결되느냐에 따라 다양한 기능을 수행할 수 있다.

### [0034] 1. 동일한 신호를 전달하는 검사핀이 접촉하는 도전층간의 연결

[0035] 도전성 트레이스(40)는 앞서 설명한 바와 같이 가이드 플레이트(10)의 표면 일측에 형성되고, 일측이 도전층(20)의 일측에 연결되며, 타측이 다른 도전층(20)의 일측에 연결될 수 있다.

[0036] 이때, 연결되는 도전층(20)은 상호 동일한 신호를 전달하는 검사핀(30)이 접촉하는 도전층(20)간을 연결하는데, 일례로 도3에서 보는 바와 같이 접지용 검사핀이 접촉된 복수개의 도전층(20)을 상호 연결할 수 있으며, 연결패턴에 따라 2개 또는 수십, 수천개의 접지용 검사핀(30)들이 상호 연결될 수 있다.

[0037] 이와 같이 본 발명의 일실시예에 따른 도전성 트레이스(40)는 동일한 신호를 전달하는 검사핀(30)이 접촉하는 복수개의 도전층(20)을 상호 연결함으로써 도3에서 보는 바와 같이 동일 신호를 전달하는 복수개의 검사핀(30) 중 어느 하나의 검사핀(30)과 공간변환기(130)의 대응 단자 간에 접촉 불량(E)하더라도 정확한 테스트가 실행될 수 있도록 하는 역할을 한다.

## [0038] 2. 도전층과 메인기관(또는 공간변환기)과의 연결

[0039] 도전성 트레이스(40)는 도4에서 보는 바와 같이 일측이 복수개의 도전층(20) 중 적어도 어느 하나의 도전층(20)의 일측으로부터 가이드 플레이트(10)의 표면 중 검사핀(30)이 밀집설치되는 검사영역(T)을 제외한 외부영역(W)으로 연장형성될 수 있다.

[0040] 즉, 도전성 트레이스(40)는 검사영역 내에 밀집설치된 검사핀(30)과 공간변환기와의 접촉위치를 검사영역 외부로 연장함으로써 공간변환기와의 연결작업이 매우 용이하고 보다 안정적인 접촉을 유지할 수 있도록 하는 역할을 한다.

[0041] 또한, 본 발명의 일실시예에 따른 도전성 트레이스(40)는 검사영역(T)을 벗어난 외부영역(W) 상에서 별도의 공간변환기 없이 메인기관에 직접 연결되도록 하여 작업성을 현저하게 향상시킬 수 있을 뿐 아니라 신호전달길이 가 짧아져 임피던스가 낮아지면서 고주파성능을 크게 향상시킬 수 있는 특징이 있다.

[0042] 아울러, 본 발명의 일실시예에 따르면, 도전성 트레이스(40)를 검사영역(T)으로부터 외부영역(W)으로 연장형성하여 도전성 트레이스(40)를 형성하기 위한 공간적 제약이 상당히 해소되는 바 도전성 트레이스(40)가 넓은 면적을 갖도록 형성하고, 직경이 굵은 와이어를 이용하여 도전성 트레이스(40)와 메인기관을 연결함으로써 고주파 효율을 보다 향상시킬 수 있다.

[0043] 한편, 본 발명의 일실시예에서는 동일한 신호를 전달하는 검사핀(30)에 접촉하는 복수개의 도전층(30)과 이를 연결하는 트레이스를 하나의 그룹으로 설정한 후 각 그룹을 각각 상부플레이트(11)의 상면과, 저면에 형성함으로써 협소한 검사영역 내에서 동일한 신호를 전달하는 검사핀(30)을 용이하게 연결할 수 있다.

[0044] 일례로, 도5a에서 보는 바와 같이 접지용 검사핀(30a)에 접촉하는 복수개의 도전층(20)과 이를 연결하는 트레이스(40)를 상부플레이트(11)의 상면에 형성하고, 도5b에서 보는 바와 같이 전원용 검사핀(30b)에 접촉하는 복수개의 도전층(30)과 이를 연결하는 트레이스(40)를 상부플레이트(12)의 저면에 형성하여 동일한 신호를 전달하는 복수개의 검사핀(30)을 다른 신호를 전달하는 검사핀(30)에 간섭되지 않고, 용이하게 연결할 수 있다.

[0045] 또한, 일 예에서는 상부플레이트(11)의 상면과 저면에만 각 그룹이 구분되어 형성되는 것으로 설명하고 있으나, 본 발명은 각 그룹이 상부플레이트(11)의 상면과 저면에만 형성되는 것이 아니고, 그룹의 갯수에 따라 상부플레이트(11)의 상면과 저면, 하부플레이트(12)의 상면과 저면을 모두 이용할 수 있을 뿐 아니라 동일한 하나의 면에서도 하나 이상의 전기적 연결 그룹을 형성할 수 있다.

## [0046] 3. 가이드 플레이트의 저면에서 도전층과 연결

[0047] 한편, 본 발명의 일실시예에 따른 도전성 트레이스(40)를 도6에서 보는 바와 같이 가이드 플레이트(10)의 저면, 즉 하부플레이트(12)의 저면에서 일측이 도전층(20)에 연결된 상태에서 검사영역(T)으로부터 외부영역(W)으로 연장형성하고, 와이어를 이용하여 연장된 도전성 트레이스(40)와 메인기관을 직접 연결할 수 있다.

[0048] 여기서 도전성 트레이스(40)는 임피던스가 높은 검사핀(30)을 통한 신호전달루트를 최소화하고, 검사핀(30)으로 전달된 신호를 직경이 굵은 와이어(J)를 통해 메인기관(120)으로 직접 전달하여 노이즈를 최소화함으로써 고주파성능을 크게 향상시킬 수 있도록 하는 역할을 한다.

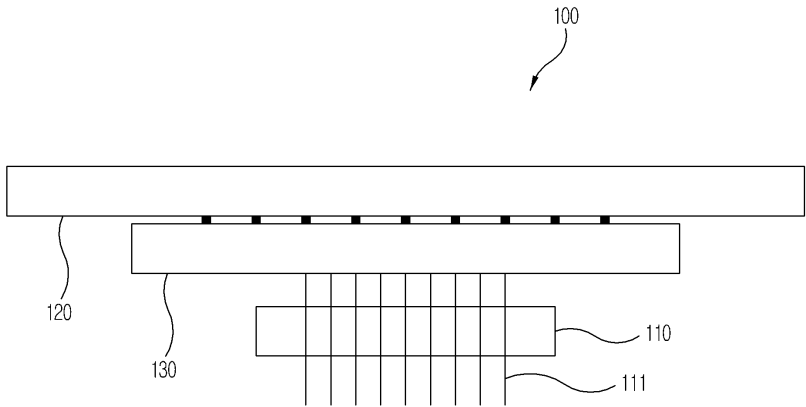
- [0049] 도7은 본 발명의 일실시예에 따른 도전성 물질이 카운터 썸크 또는 카운터보어로 제거된 상태를 도시한 도면이다.
- [0050] 한편, 본 발명의 일실시예에 따른 도전층(20)과 도전성 트레이스(40)는 아래와 같은 다양한 방법으로 제작될 수 있다.
- [0051] 첫번째 방법으로는 가이드 플레이트(10)의 표면 전체에 도전성 물질을 도금하거나 증착한 후 가이드 플레이트(10)에 도금 또는 증착된 도전물질 중 도전층(20) 및 도전성 트레이스(40)를 형성하고자 하는 영역에 포토레지스터 필름을 형성하고, 식각액을 통해 가이드 플레이트(10)의 전체에 형성된 도전물질 중 불필요한 영역을 제거함으로써 원하는 형상으로 도전층(20) 및 도전성 트레이스(40)를 형성할 수 있다.
- [0052] 두번째 방법으로는 가이드 플레이트(10)의 표면 중 도전층(20) 및 도전성 트레이스(40)의 형성이 불필요한 영역에 포토레지스터를 부분적으로 형성한 후 전체적으로 도전성 물질을 도금 또는 증착하고, lift-off방법으로 포토레지스터 상에 형성된 도전성 물질을 제거함으로써 원하는 형상으로 도전층(20) 및 도전성 트레이스(40)를 형성할 수 있다.
- [0053] 세번째 방법은 가이드 플레이트(10)의 표면 중 도전층(20) 및 도전성 트레이스(40)의 형성이 불필요한 영역에 스크린을 배치한 후 도전성 물질을 증착함으로써 원하는 형상으로 도전층(20) 및 도전성 트레이스(40)를 형성할 수 있다.
- [0054] 여기서, 스크린이 배치되지 않은 영역에 시드 레이어를 형성하고, 전해도금등의 방법으로 도전층(20) 및 도전성 트레이스(40)를 형성할 수 있다.
- [0055] 마지막으로 가이드 플레이트(10)의 표면 전체에 도전성 물질을 증착하고, 기계가공을 통해 가이드 플레이트(10)의 표면에서 선택적으로 도전성 물질을 제거함으로써 원하는 형상으로 도전층(20) 및 도전성 트레이스(40)를 형성할 수 있다.
- [0056] 일례로, 도전층(20) 및 도전성 트레이스(40)를 통해 접지용 검사핀(30)을 상호 연결하고자 하는 경우 복수개의 검사핀(30) 중 접지용 검사핀(30)을 제외한 검사핀(30)이 삽입설치된 가이드홀과 대응되는 가이드 플레이트(10)의 모서리, 즉 가이드홀(11a)의 입구부분에 형성된 도전성 물질을 도7에서 보는 바와 같이 카운터썸크 또는 카운터보어(C)를 통해 제거함으로써 접지용 검사핀(30) 외의 신호용 검사핀(30) 또는 전원용 검사핀(30)이 접지용 검사핀(30)과 절연되도록 하여 동일한 신호를 전달하는 복수개의 검사핀(30)을 연결할 수 있다.
- [0057] 비록 본 발명이 상기 언급된 바람직한 실시예와 관련하여 설명되어졌지만, 발명의 요지와 범위로부터 벗어남이 없이 다양한 수정이나 변형을 하는 것이 가능하다. 따라서 첨부된 특허청구의 범위는 본 발명의 요지에서 속하는 이러한 수정이나 변형을 포함할 것이다.

### 부호의 설명

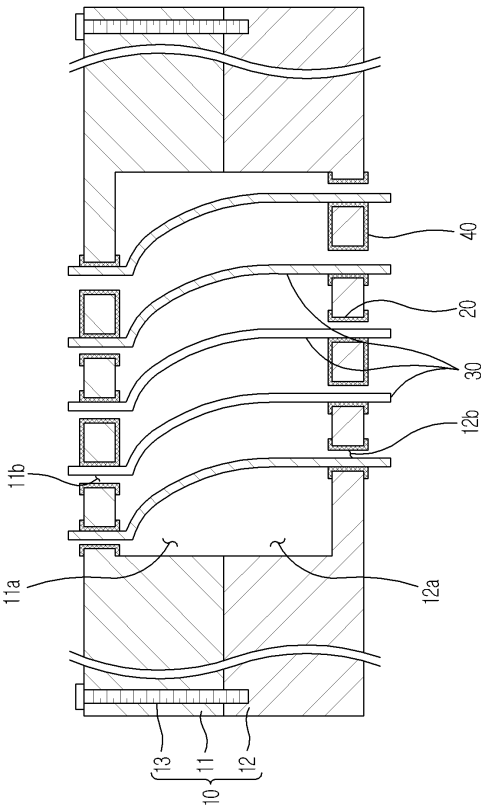
- [0058]
- |               |               |
|---------------|---------------|
| 1 : 반도체 검사장치  | 10 : 가이드 플레이트 |
| 11 : 상부플레이트   | 11a : 제1 수용홈  |
| 11b : 제1 가이드홀 | 12 : 하부플레이트   |
| 12a : 제2 수용홈  | 12b : 제2 가이드홀 |
| 13 : 체결부재     | 20 : 도전층      |
| 30 : 검사핀      | 40 : 도전성 트레이스 |

도면

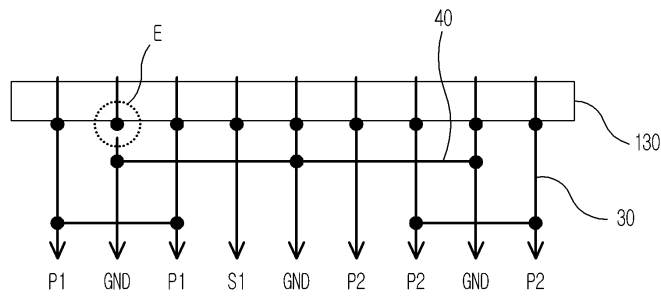
도면1



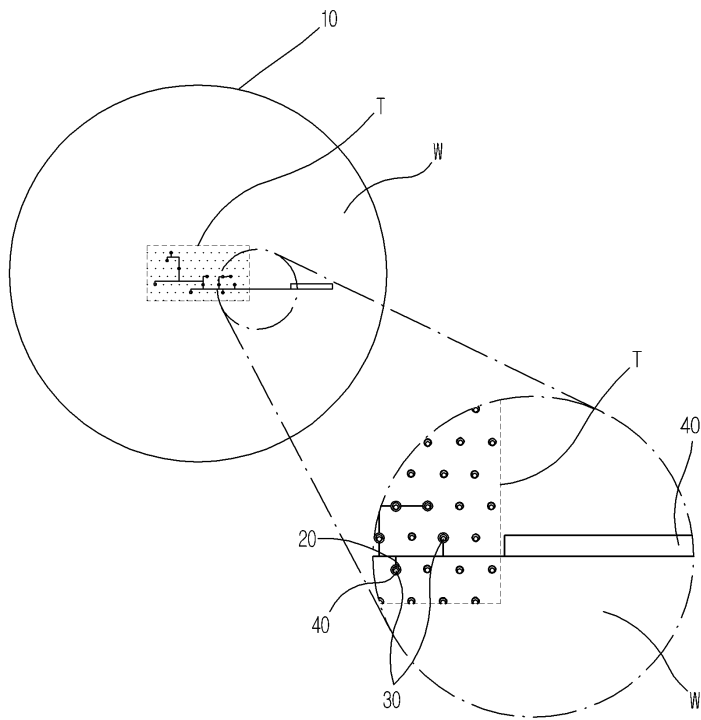
도면2



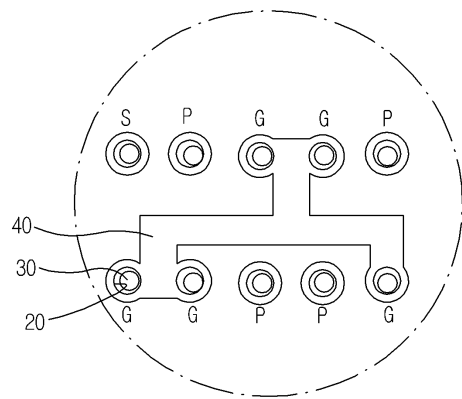
도면3



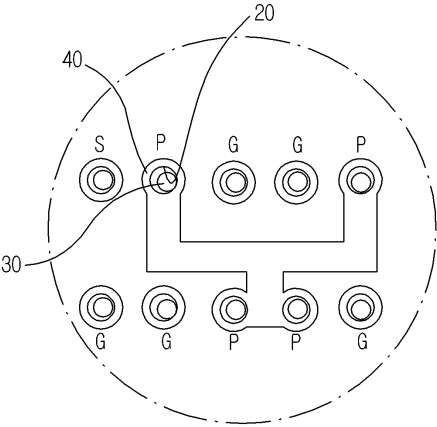
도면4



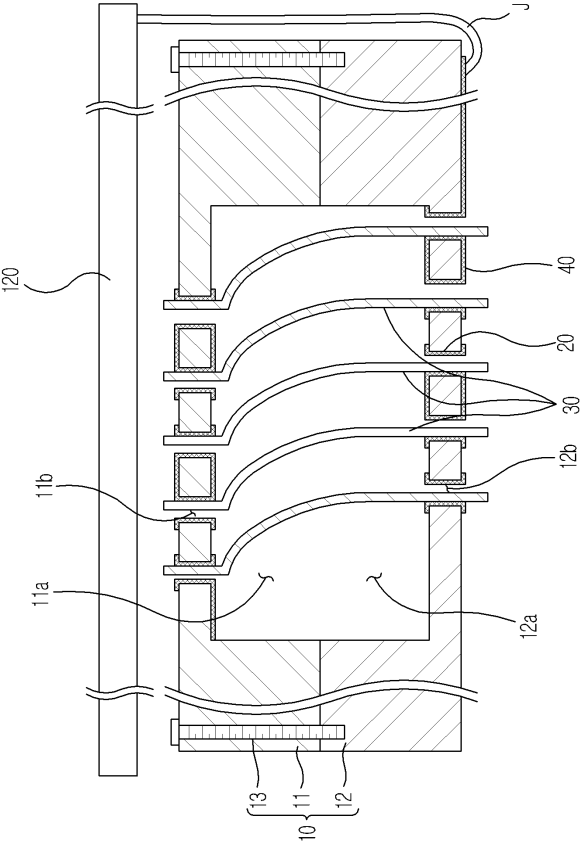
도면5a



도면5b



도면6



도면7

