

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-352182

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl. ⁶	識別記号	F I	
G 0 1 R 31/26		G 0 1 R 31/26	H
			J
H 0 1 L 21/66		H 0 1 L 21/66	H

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号	特願平10-162496	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成10年(1998)6月10日	(72) 発明者	手塚 英伸 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74) 代理人	弁理士 伊東 忠彦

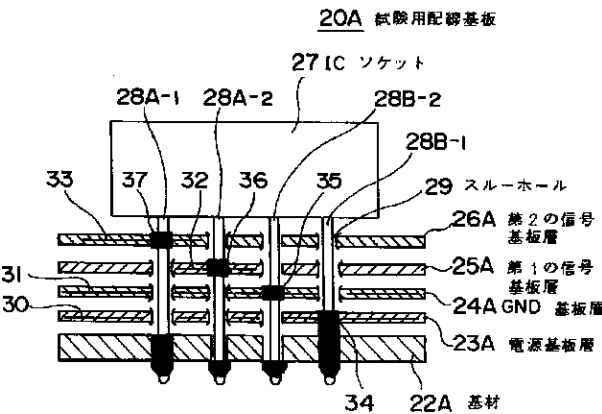
(54) 【発明の名称】 試験用配線基板

(57) 【要約】

【課題】 本発明は絶縁基板上に I C ソケットのリードが接続される配線パターンが形成された配線基板層を複数積層形成した構造を有する試験用配線基板に関し、コスト低減を図れると共に製造効率の向上を図ることを課題とする。

【解決手段】 配線基板層 2 3 A ~ 2 6 A を複数積層形成した構造を有すると共に、リード 2 8 を有した I C ソケット 7 が装着される試験用配線基板において、I C ソケット 7 の種類が異なっても共通して用いられる電源基板層 2 3 A 及び G N D 基板層 2 4 A はそのまま利用し、第 1 及び第 2 の信号基板層 2 5 A , 2 5 B については、I C ソケット 7 の種類に対応して選択可能な構成とする。

本発明の第 1 実施例である試験用配線基板に I C ソケットを装着する方法及び装着状態を説明するための図



【特許請求の範囲】

【請求項 1】 絶縁基板上に配線パターンが形成された配線基板層を複数積層形成した構造を有すると共に、半導体装置が装着される半導体装置用ソケットに設けられたリードが挿入されるスルーホールが形成されてなる試験用配線基板であって、

前記配線基板層は、異なる種類の前記半導体装置用ソケットに共通する共通リードと接続される共通配線パターンが形成された共通配線基板層と、非共通リードと接続される非共通配線パターンが形成された非共通配線基板層とを具備し、

かつ、前記非共通配線基板層が前記半導体装置用 IC ソケットの種類に対応して選択可能な構成であることを特徴とする試験用配線基板。

【請求項 2】 請求項 1 記載の試験用配線基板において、

積層される複数の前記配線基板層間を着脱可能に固定する固定機構を設けたことを特徴とする試験用配線基板。

【請求項 3】 請求項 2 記載の試験用配線基板において、

前記固定機構は、前記配線基板層に配設された磁石であることを特徴とする試験用配線基板。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の試験用配線基板において、

積層される複数の前記配線基板層の位置決めを行う位置決め機構を設けたことを特徴とする試験用配線基板。

【請求項 5】 請求項 4 記載の試験用配線基板において、

前記位置決め機構を、

位置決め支柱が立設された構成の位置決めベースと、前記配線基板に前記位置決め支柱の形成位置に対応するよう形成された位置決め孔とにより構成したことを特徴とする試験用配線基板。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の試験用配線基板において、

前記配線基板層に、前記リードと接続された配線パターンを前記 IC ソケットの配置領域の外まで引き出す引き出しパターンを形成したことを特徴とする試験用配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は試験用配線基板に係り、特に絶縁基板上に IC ソケットのリードが接続される配線パターンが形成された配線基板層を複数積層形成した構造を有する試験用配線基板に関する。近年、半導体装置の信頼性向上のため、半導体装置に対し各種試験が実施されている。この試験は、半導体装置を試験用配線基板に装着し実施される。この試験用配線基板は、通常多層基板に半導体装置を装着する半導体装置用ソケットが配設された構成とされている。

【0002】 ところが、半導体装置は多種多様の構成のものが提供されており、例えば同一形状及び同一端子数の半導体装置でも、各端子毎に特性の異なるものがある。よって、このように多種多様の構成を有する半導体装置の試験を効率よく、かつ低コストで行うことが望まれている。

【0003】

【従来の技術】 従来、バーンイン試験等の半導体装置（以下、IC という）の信頼性試験には、試験用配線基板を用いて行われていた。図 1 乃至図 3 は、従来の試験用配線基板 1 を示している。図 1 に示されるように、従来用いられている試験用配線基板 1 としては、多層構造のプリント配線基板が一般的であった。

【0004】 図 1 に示す試験用配線基板 1 の例では、基材 2 の上面側に GND（接地）配線層 3 及び第 1 の信号配線層 4 を積層する共に、下面側に電源配線層 5 及び第 2 の信号配線層 6 を順次積層した構造とされている。即ち、試験用配線基板 1 は、基材 2 を挟んで全体として 4 層構造とされている。また、この試験用配線基板 1 には、図 2 に示すように、複数の IC ソケット 7 が配設され、IC はこの IC ソケット 7 に装着された状態で所定の試験が実施される。また、試験用配線基板 1 の一端部には端子部 8 が設けられており、この端子部 8 をテスター（IC の試験装置）に接続して IC に対して試験を行う。

【0005】 図 3 は、IC ソケット 7 を試験用配線基板 1 に装着する方法を示している。同図に示すように、IC ソケット 7 の下面にはリード 9 が設けられており、また試験用配線基板 1 のソケット装着位置には、リード 9 に対応してスルーホール 10 が形成されている。そして、リード 9 をこのスルーホール 10 に挿入すると共に、このリード 9 を選択的に所定の配線層 3～6 に接続（半田付け）することにより、IC ソケット 7 は試験用配線基板 1 に搭載される。

【0006】 また、IC に対し試験を実施する際、試験用配線基板 1 自体に不良があると、正確な試験を実施することはできない。このため、図 4 に示すような自動検査装置 11 を用い、試験用配線基板 1 に対し試験を行うことが行われている。この自動検査装置 11 は、基板ストッカー 12 と装置本体 13 とにより構成されている。基板ストッカー 12 に収納された試験用配線基板 1 は、基板ストッカー 12 から試験用ヘッドが配設された装置本体 13 に自動搬送される。そして、試験用ヘッドが試験用配線基板 1 に接続され、不良検査が行われ構成とされていた。

【0007】

【発明が解決しようとする課題】 ところで、近年の IC の高集積化に伴い、端子数の増加及び狭ピッチ化が急激に進んでいる。このため、IC を装着する IC ソケット 7、及び IC ソケット 7 を装着する試験用配線基板 1 の

構造も複雑になってきている。また、ICの種類も多品種化しており、これも試験用配線基板1の構造を複雑化させる要因となっている。

【0008】従来の試験用配線基板1は多層構造のプリント配線基板が用いられていたため、これを構成する各層を独立して形成することができず、よってICの品種別に個々対応するよう試験用配線基板1の開発、設計、製作が行われていた。このため、これらの開発、設計、及び製作に要する費用が膨大になり、また製造に至るまでの時間を長く要するという問題点があった。

【0009】本発明は上記の点に鑑みてなされたものであり、コスト低減を図れると共に製造効率の向上を図りうる試験用配線基板を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。請求項1記載の発明では、絶縁基板上に配線パターンが形成された配線基板層を複数積層形成した構造を有すると共に、半導体装置が装着される半導体装置用ソケットに設けられたリードが挿入されるスルーホールが形成されてなる試験用配線基板であって、前記配線基板層は、異なる種類の前記半導体装置用ソケットに共通する共通リードと接続される共通配線パターンが形成された共通配線基板層と、非共通リードと接続される非共通配線パターンが形成された非共通配線基板層とを具備し、かつ、前記非共通配線基板層が前記半導体装置用ICソケットの種類に対応して選択可能な構成であることを特徴とするものである。

【0011】また、請求項2記載の発明では、前記請求項1記載の試験用配線基板において、積層される複数の前記配線基板層間を着脱可能に固定する固定機構を設けたことを特徴とするものである。また、請求項3記載の発明では、前記請求項2記載の試験用配線基板において、前記固定機構は、前記配線基板層に配設された磁石であることを特徴とするものである。

【0012】また、請求項4記載の発明では、前記請求項1乃至3のいずれか1項に記載の試験用配線基板において、積層される複数の前記配線基板層の位置決めを行う位置決め機構を設けたことを特徴とするものである。また、請求項5記載の発明では、前記請求項4記載の試験用配線基板において、前記位置決め機構を、位置決め支柱が立設された構成の位置決めベースと、前記配線基板に前記位置決め支柱の形成位置に対応するよう形成された位置決め孔とにより構成したことを特徴とするものである。

【0013】更に、請求項6記載の発明では、前記請求項1乃至5のいずれか1項に記載の試験用配線基板において、前記配線基板層に、前記リードと接続された配線パターンを前記ICソケットの配置領域の外まで引き出す引き出しパターンを形成したことを特徴とするもので

ある。

【0014】上記した各手段は、次のように作用する。請求項1記載の発明によれば、配線基板層を構成する共通配線基板層は、異なる種類の半導体装置用ソケットに共通する共通リードと接続される共通配線パターンが形成されているため、各種半導体装置に対して共通して用いることができる。

【0015】また、配線基板層を構成する非共通配線基板層は、非共通リードと接続される非共通配線パターンが形成されたものであるため、当該非共通リードに対応した構造を有する半導体装置にのみ適用することができる。また、非共通配線基板層は半導体装置用ICソケットの種類に対応して選択可能な構成であるため、試験用配線基板を設計、開発する場合、この非共通配線基板層についてのみ設計、開発を行えばよく、共通配線基板層については設計、開発が不要となる。このため、新たな半導体装置に対応した試験用配線基板の設計、開発費用の低減を図ることができると共に、製造効率の効率化を図ることができる。

【0016】また、請求項2及び請求項3記載の発明によれば、積層される複数の配線基板層間を着脱可能に固定する固定機構（例えば磁石）を設けたことにより、各配線基板層の固定を容易に行うことができると共に、特定の配線基板層のみを交換することも可能となる。また、請求項4及び請求項5記載の発明によれば、積層される複数の配線基板層の位置決めを行う位置決め機構を設けたことにより、各配線基板層を積層する処理、特にスルーホールを位置決めする処理を容易に行うことができる。

【0017】更に、請求項6記載の発明によれば、配線基板層に、リードと接続された配線パターンをICソケットの配置領域の外まで引き出す引き出しパターンを形成したことにより、この引き出しパターンに半導体装置の試験装置を接続することにより、各ICソケットに装着された半導体装置に対し個々に試験を行うことが可能となる。従って、不良半導体装置の特定を容易かつ確実に行うことができる。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図5乃至図8は、本発明の第1実施例である試験用配線基板20Aを説明するための図である。この試験用配線基板20Aは、例えばバーンイン試験等の半導体装置（以下、ICという）の信頼性試験に用いられるものである。

【0019】図5に示されるように、本実施例に係る試験用配線基板20Aは4層構造（基材22Aを含めると5層）を有しており、下部から基材22A、電源配線基板層23A（以下、電源基板層という）、GND配線基板層24A（以下、GND基板層という）、第1の信号配線基板層25A（以下、第1の信号基板層とい

う)、及び第2の信号配線基板層26A(以下、第2の信号基板層という)を順次積層した構造を有している。

【0020】図6は、試験用配線基板20AにICソケット27を装着する方法及び装着状態を説明するための図である。同図に示されるように、試験用配線基板20Aは、基材22A及び各基板層23A~26Aを上下に貫通するスルーホール29を有している。このスルーホール29の形成位置は、ICソケット27に設けられたリード28A、28Bの形成位置に対応するよう設定されている。

【0021】また、後述するように各基板層23A~26Aには配線30~33が形成されており、この各配線30~33の内、既定の配線はスルーホール29に露出しリード28A、28Bと接続される構成となっている。尚、この配線30~33とリード28A、28Bとの接続する部分を、以下接続部34~37という。ICソケット27を試験用配線基板20Aに装着するには、ICソケット27のリード28A、28Bとスルーホール29とを位置決めした上で、リード28A、28Bをスルーホール29内に挿入する。その上で、例えば半田ディップ処理等を実施することによりスルーホール29内に半田が進入し、スルーホール29内に露出している所定の配線30~33とリード28A、28Bとの間で半田付けが行われ、これにより接続部34~37が形成される。

【0022】図7は、試験用配線基板20Aを構成する基材22A及び各配線基板層23A~26Aを個々に示している。同図に示すように、基材22A及び各配線基板層23A~26Aの所定位置にはスルーホール部29aが形成されており、この各スルーホール部29aは、基材22A及び各配線基板層23A~26Aが積層された状態において連通してスルーホール29を構成する(図6参照)。

【0023】また、基材22A及び各配線基板層23A~26Aの外周位置にはマグネット部40が夫々形成されている。このマグネット部40は薄板状の磁石であり、基材22A及び各配線基板層23A~26Aが積層された状態において、各基板層23A~26Aを磁力により着脱可能に固定する。これにより、基材22A及び各配線基板層23A~26Aの固定を容易に行うことができると共に、特定の配線基板層のみを交換することも可能となる。

【0024】続いて、基材22A及び各配線基板層23A~26Aの各々の構成について説明する。図7(A)に示すように、最上部に位置する第2の信号基板層26Aは、例えばポリイミド等の絶縁性樹脂フィルム38A(以下、ベース材という)上に、所定形状(パターン)の第2の配線パターン33が形成されている。この第2の配線パターン33は、例えばエッチング技術を用いることにより銅箔を所定パターンに成形することにより得

ることができる。

【0025】この第2の配線パターン33は、複数形成されているスルーホール部29aの内、既定のスルーホール部29aと接続されている。また、このスルーホール部29aは、ICソケット27に設けられた非共通リード28A-1に半田付けされることにより接続部37を形成する。また、図7(B)に示すように、上部から2層目に位置する第1の信号基板層25Aは、ベース材38A上に所定形状の第1の配線パターン32が形成されている。この第1の配線パターン32も、例えばエッチング技術を用いることにより銅箔を所定パターンに成形することにより得ることができる。この第1の配線パターン32は、複数形成されているスルーホール部29aの内、既定のスルーホール部29aと接続されている。また、このスルーホール部29aは、ICソケット27に設けられた非共通リード28A-2に半田付けされることにより接続部36を形成する。

【0026】ところで、上記した第1及び第2の信号基板層25A、26Aは、例えばICの設計変更に伴いICの端子特性が変更になった場合、各配線パターン32、33を接続するスルーホール部29aの位置も変更となる。具体的には、図7(A)の第2の信号基板層26Aを例に挙げると、変更前では図中矢印Aで示す位置のスルーホール部29aに接続部37を設けていたものを、変更後では図中矢印Bで示す位置のスルーホール部29aに接続部37を設ける必要が生じる場合がある。この時には、第2の配線パターン33を新たに形成し直す必要が生じる。即ち、第2の信号基板層26Aを新たに設計、開発する必要が生じる。これは、第1の信号基板層25Aにおいても同様である。

【0027】このような、ICの設計変更等に伴い新たに設計、開発が必要となる基板層(本実施例では、第1及び第2の信号基板層25A、26A)を、以下の説明において特に非共通基板層というものとし、またこの非共通基板層と接続されるICソケット27のリードを、特に非共通リード(本実施例では、リード28A-1、28A-2)というものとする。

【0028】一方、図7(C)に示すように、上部から3層目に位置するGND基板層24Aは、ベース材38A上の約全面にGNDベタ配線31が形成されている。このGNDベタ配線31は、接続部35を形成したいスルーホール部29aを除き、スルーホール部29aの外周にエッチング等により非接続部39が形成されている。GNDベタ配線31と接続されたスルーホール部29aにはICソケット27に設けられた共通リード28B-2が挿通され、半田付けされることにより接続部35を形成する。

【0029】また、図7(D)に示すように、上部から4層目に位置する電源基板層23Aは、ベース材38A上の約全面に電源ベタ配線30が形成されている。この

電源ベタ配線30は、接続部34を形成したいスルーホール部29aを除き、スルーホール部29aの外周にエッチング等により非接続部39が形成されている。電源ベタ配線30と接続されたスルーホール部29aにはICソケット27に設けられた共通リード28B-1が挿通され、半田付けされることにより接続部34を形成する。

【0030】ところで、上記した電源基板層23A及びGND基板層24Aは、例えばICの設計変更に伴いICの端子特性が変更になった場合でも、通常ICの電源端子位置及びGND端子位置は変更にならないため、よって接続部34、35が形成されるスルーホール部29aの位置は変更されることはない。即ち、ICの設計変更があっても、電源基板層23A及びGND基板層24Aについては新たに設計、開発する必要は生じない。

【0031】このような、ICの設計変更等があっても、新たに設計、開発が必要とならない基板層（本実施例では、電源基板層23A及びGND基板層24A）を、以下の説明において特に共通基板層というものとし、またこの共通基板層と接続されるICソケット27のリードを、特に共通リード（本実施例では、リード28B-1、28B-2）というものとする。

【0032】上記したように、本実施例に係る試験用配線基板20Aでは、従来用いられていた積層構造のプリント配線基板1（図1～図3参照）と異なり、基材22A及び各基板層23A～26Aが夫々独立したものであり、よって各基板層23A～26Aを任意に選択して使用することが可能となる。具体的には、共通基板層である電源基板層23A及びGND基板層24Aについては、異なる種類のICソケット27（即ち、異なる種類のIC）に対し共通して利用することができるため、ICの変更等があっても共通して用いることができる。

【0033】これに対し、非共通配線基板層である第1及び第2の基板層25A、26Aについては、ICの設計変更等があった場合には新たに設計、開発が必要となる。しかるに、従来の積層構造のプリント配線基板1では、図1に示すように各層3～6が一体的に積層された構成であるため、GND配線層3及び電源配線層5を含め、全ての層3～6に対して設計変更を行う必要があったのに対し、本実施例では第1及び第2の基板層25A、26Aのみの設計、開発で済む。

【0034】このように、本実施例に係る試験用配線基板20Aは、第1及び第2の基板層25A、26Aが選択可能な構成であるため、新たに試験用配線基板20Aを設計、開発する場合、この非共通配線基板層である第1及び第2の基板層25A、26Aについてのみ設計、開発を行えばよく、共通配線基板層である電源基板層23A及びGND基板層24Aについては設計、開発が不要となる。このため、新たなICに対応した試験用配線基板20Aの設計、開発費用の低減を図ることができ、

また製造効率の向上を図ることができる。

【0035】次に、本発明の第2実施例である試験用配線基板について説明する。図8（A）は、本発明の第2実施例である試験用配線基板20Bを示している。本実施例に係る試験用配線基板20Bは、積層される複数の基板層23B～26B（配線基板層）の位置決めを行う位置決め機構を設けたことを特徴とするものである。

【0036】位置決め機構は、位置決めベース41と、各基板層23B～26Bに形成された位置決め孔43とにより構成されている。位置決めベース41は、図8（C）に示すように、各基板層23B～26Bと略同一の外形形状を有した枠体44と、この枠体44に立設された複数の位置決め支柱42とにより構成されている。また、位置決め孔43は、各基板層23B～26Bにそれぞれ形成されており、その形成位置は位置決めベース41に立設された位置決め支柱42の形成位置に対応するよう構成されている。また、位置決め孔43（即ち、位置決め支柱42）の形成位置は、図8（B）に示すように各配線30～33のパターン形成に邪魔にならないよう、ベース材38Bの外周位置に選定されている。

【0037】上記構成とされた位置決め機構を用いて各基板層23B～26Bの位置決めを行うには、位置決めベース41の位置決め支柱42に各基板層23B～26Bに形成されている位置決め孔43を挿通する。位置決め支柱42の形成位置と位置決め孔43の形成位置は、所定位置に高精度に設けられている。よって、上記のように単に位置決め支柱42に位置決め孔43を挿通するのみの処理で、積層される各基板層23B～26Bの位置決めを行うことができる。これにより、各基板層23B～26Bに形成されているスルーホール部29bを精度よく位置決めすることができ、貫通したスルーホール29を容易に実現することができる。

【0038】次に、本発明の第3実施例である試験用配線基板について説明する。図9（A）は、第3実施例である試験用配線基板に設けられる第2の信号基板層26Cを示している。尚、同図に示す第2の信号基板層26C以外は、前記した第1実施例に係る試験用配線基板20Aと同一構成であるため、本実施例の説明では第2の信号基板層26Cのみを図示して説明するものとする。

【0039】本実施例では、積層された状態において最上層に位置する第2の信号基板層26Cに、引き出し配線46及び試験用パッド47を設けたことを特徴とするものである。この引き出し配線46は、前記した第2の配線パターン33（図示せず）と一括的に形成されるものであり、ICソケット27を装着した状態において、ICソケット27の外側まで引き出されるよう構成されている。

【0040】即ち、図9（A）においてICソケット27のソケット外形位置を破線で示すと（図中、符号45で示す）、引き出し配線46はソケット外形位置45の

外側まで引き出されており、その端部に試験用パッド47が形成されている。このように、引き出し配線46をソケット外形位置45の外側まで引き出すことにより、ICソケット27に装着される個々のICについての不良を検出することが可能となる。以下、これについて説明する。

【0041】通常、試験用配線基板20A、20Bには複数のICソケット27が装着され、各ICソケット27に装着されたICに対し一括的に所定の試験が実施される。この際、各ICソケット27の同一特性を有するリード28A、28Bは、配線パターンの簡略化のために複数のICソケット27で接続されている。また、図9(B)に示すように、第1及び第2実施例に係る試験用配線基板20A、20Bでは、第2の信号基板層26A、26B(図では、第2の信号基板層26Aを示している)に形成された第2の配線パターン33はソケット外形位置45のの内側にのみ形成されており、外側まで引き出される構成とはされていない。

【0042】このため、試験用配線基板20A、20Bに装着された複数のICの内、一つに異常が発生していた場合、第1及び第2の試験用配線基板20A、20Bでは、装着された複数のICのいずれかに異常が発生していることは検出できるものの、異常が発生しているICを特定することができなかった。これに対し、本実施例に係る試験用配線基板では、スルーホール部29a

(スルーホール29)に接続された引き出し配線46がソケット外形位置45の外側まで引き出され、かつその端部に試験用パッド47が形成されているため、この試験用パッド47にICテスターの端子を接続することにより、個々のICに対し試験を個別に行うことが可能となる。従って、異常が発生している不良ICの特定を容易かつ確実に行うことが可能となる。

【0043】

【発明の効果】上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項1記載の発明によれば、非共通配線基板層は半導体装置用ICソケットの種類に対応して選択可能な構成であるため、試験用配線基板を設計、開発する場合、この非共通配線基板層についてのみ設計、開発を行えば良く、共通配線基板層については設計、開発が不要となる。このため、新たな半導体装置に対応した試験用配線基板の設計、開発費用の低減を図ることができると共に、製造効率の効率化を図ることができる。

【0044】また、請求項2及び請求項3記載の発明によれば、各配線基板層の固定を容易に行うことができると共に特定の配線基板層のみを交換することも可能となる。また、請求項4及び請求項5記載の発明によれば、各配線基板層を積層する処理、特にスルーホールを位置

決めする処理を容易に行うことができる。更に、請求項6記載の発明によれば、各ICソケットに装着された半導体装置に対し個々に試験を行うことが可能となり、よって不良半導体装置の特定を容易かつ確実に行うことができる。

【図面の簡単な説明】

【図1】従来の試験用配線基板の一例を説明するための分解図である。

10 【図2】従来の試験用配線基板にICソケットを装着した状態を示す図である。

【図3】従来の試験用配線基板にICソケットを装着する方法を説明するための図である。

【図4】自動検査装置を示す斜視図である。

【図5】本発明の第1実施例である試験用配線基板を示す分解図である。

【図6】本発明の第1実施例である試験用配線基板にICソケットを装着する方法及び装着状態を説明するための図である。

20 【図7】本発明の第1実施例である試験用配線基板を構成する各基板層を説明するための図である。

【図8】本発明の第2実施例である試験用配線基板を説明するための図である。

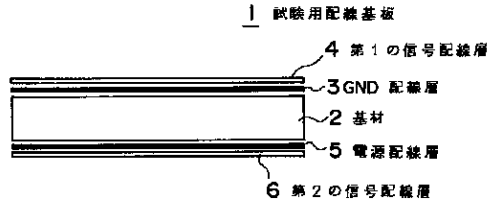
【図9】本発明の第2実施例である試験用配線基板の第2信号基板層を拡大して示す図である。

【符号の説明】

20A、20B 試験用配線基板
22A 基材
23A、23B 電源基板層
24A、24B GND基板層
30 25A、25B 第1の信号基板層
26A～26C 第2の信号基板層
27 ICソケット
28 リード
29 スルーホール
30 電源ベタ配線
31 GNDベタ配線層
32 第1の配線パターン
33 第2の配線パターン
34～37 接続部
40 38A～38C ベース材
39 非接続部
40 マグネット部
41 位置決めベース
42 位置決め支柱
43 位置決め孔
45 ソケット外形位置
46 引き出し配線
47 試験用パッド

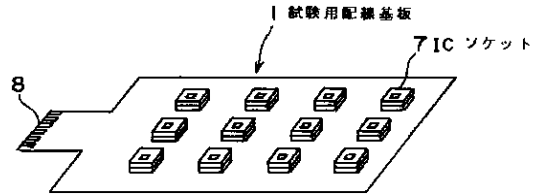
【図1】

従来の試験用配線基板の一例を説明するための分解図



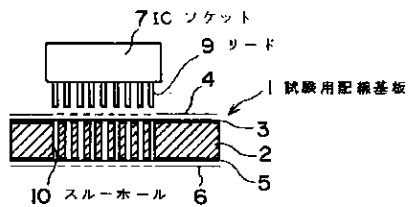
【図2】

従来の試験用配線基板にICソケットを装着した状態を示す図



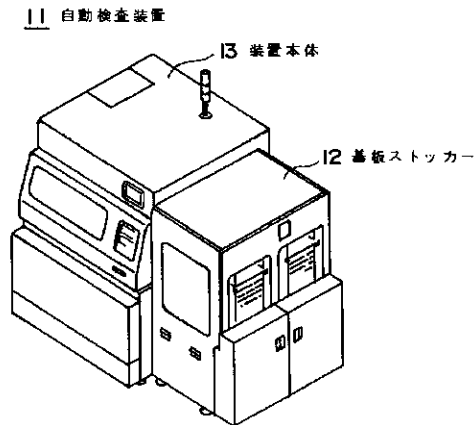
【図3】

従来の試験用配線基板にICソケットを装着する方法を説明するための図



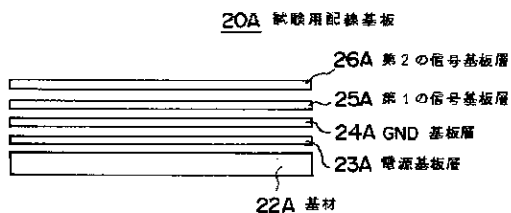
【図4】

自動検査装置を示す斜視図



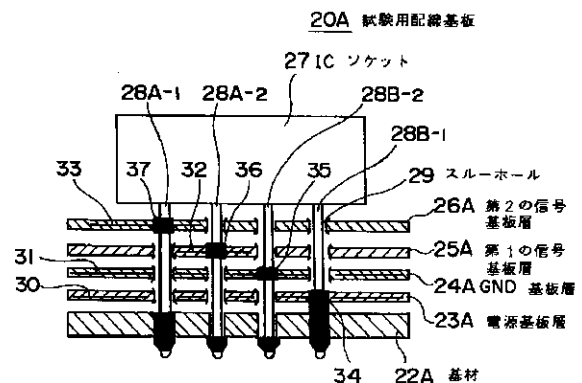
【図5】

本発明の第1実施例である試験用配線基板を示す分解図



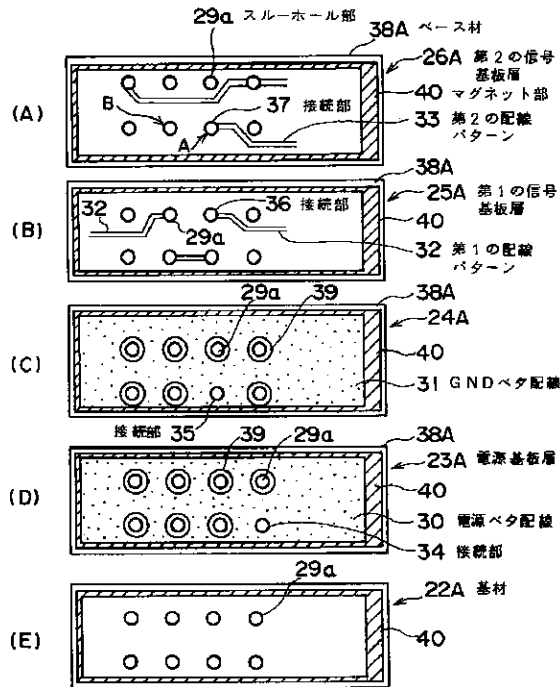
【図6】

本発明の第1実施例である試験用配線基板にICソケットを装着する方法及び装着状態を説明するための図



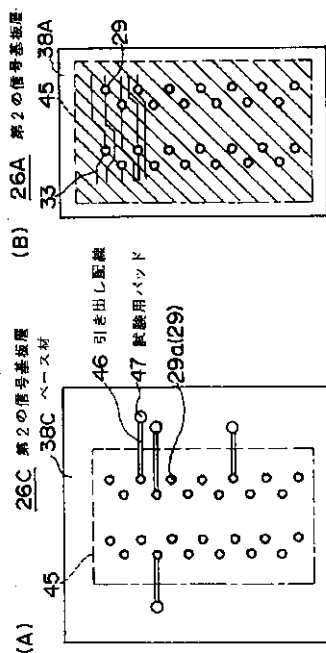
【図7】

本発明の第1実施例である試験用配線基板を構成する各基板層を説明するための図



【図9】

本発明の第2実施例である試験用配線基板の第2信号基板層を拡大して示す図



【図8】

本発明の第2実施例である試験用配線基板を説明するための図

