

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-309874

(P2005-309874A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int. Cl.⁷

G06F 17/50

F I

G06F 17/50

658K

G06F 17/50

658V

テーマコード (参考)

5B046

審査請求 未請求 請求項の数 3 O L (全 24 頁)

(21) 出願番号 特願2004-127259 (P2004-127259)
(22) 出願日 平成16年4月22日 (2004. 4. 22)(71) 出願人 000004547
日本特殊陶業株式会社
愛知県名古屋市瑞穂区高辻町14番18号
(74) 代理人 100095751
弁理士 菅原 正倫
(72) 発明者 尾野 友重
愛知県名古屋市瑞穂区高辻町14番18号
日本特殊陶業株式会社内
(72) 発明者 大野 広志
愛知県名古屋市瑞穂区高辻町14番18号
日本特殊陶業株式会社内
Fターム (参考) 5B046 AA08 BA06

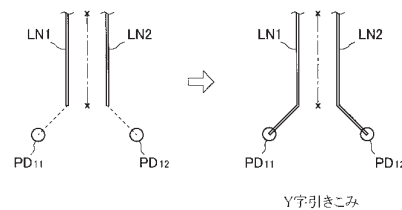
(54) 【発明の名称】 電子回路基板用CADシステムとそれに使用するコンピュータプログラム、および電子回路基板の製造方法

(57) 【要約】

【課題】 ディファレンシャル配線を含む電子回路基板の設計に適したCADシステム、該CADシステムの機能をコンピュータ上にて実現するためのコンピュータプログラム、さらに、電子回路基板用CADシステムで設計したCADデータに基づいて電子回路基板の製造する方法を提供する。

【解決手段】 ディファレンシャル配線を構成する配線LN1、LN2は、互いに異なる配線ネットを持つ。それら配線ネットは、ネットグループに予め登録される。1つのネットグループには、1組の配線ネットしか属さない。配線LN1、LN2は、両者の幅方向中点を作図レイヤ上に入力していくことにより、同時発生する。また、それら配線LN1、LN2は、予め設定された距離までパッドに接近した場合、パッドへの引き込み処理または作図支援処理が実行される。

【選択図】 図22



【特許請求の範囲】

【請求項 1】

製造すべき電子回路基板の設計データを作成するための電子回路基板用 C A D システムであって、

前記電子回路基板に形成すべき導体層および絶縁層に対応する複数の作図レイヤを設定する作図レイヤ設定手段と、

前記電子回路基板を構成する基板要素のうち、作図対象として予め定められたものを作図対象要素として、それら作図対象要素の設計上の寸法、形状および配置位置を特定するための C A D データを、前記作図レイヤ上に入力する C A D データ入力手段と、

互いに平行な部分を有する 1 対の配線によって構成されるディファレンシャル配線が前記 C A D データ上で持つべき 1 組の互いに異なる配線ネットを、当該ディファレンシャル配線が前記作図対象要素として前記作図レイヤ上に入力される以前に、データベースに属性登録する処理を行なう配線ネット登録手段と、

前記配線ネット登録手段によって登録された前記ディファレンシャル配線の配線ネット同士をグループ化し、これをネットグループとしてデータベースに属性登録する処理を行なうネットグループ登録手段と、

前記ディファレンシャル配線を構成する前記作図対象要素として前記作図レイヤ上に入力された 1 対の平行な配線に関し、前記ネットグループを参照することに基づいて算出される配線長の差が予め設定された範囲内に収まるように、ビアパッドまたは端子パッド（単にパッドともいう）を表す前記作図対象要素に個別に接続するための引き込み処理を行なう引き込み処理実行手段と、

を備えたことを特徴とする電子回路基板用 C A D システム。

【請求項 2】

コンピュータにインストールすることにより、請求項 1 記載の電子回路基板用 C A D システムを構成する各手段として当該コンピュータを機能させることを特徴とするコンピュータプログラム。

【請求項 3】

請求項 1 記載の電子回路基板用 C A D システムを用い、得るべき電子回路基板に必要な作図対象要素を作図レイヤ上に C A D データとして入力することにより、前記電子回路基板の設計情報を前記 C A D データの集合として作成する電子回路基板設計工程と、

前記 C A D データに基づいて C A M データを作成し、その C A M データに基づいて電気回路製造用機器を制御し、前記電子回路基板を製造する電子回路基板製造工程とを含むことを特徴とする電子回路基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路基板用 C A D システムとそれに使用するコンピュータプログラム、および電子回路基板の製造方法に関する。

【背景技術】

【0002】

I C やマイクロプロセッサ等の半導体チップは、近年高集積化が急速に進んでいることから、チップの入出力部の端子数も大幅に増大しつつある。これを受けて、そのようなチップを接続するための電子回路基板も配線の数が増加しており、高分子材料やセラミック等の絶縁層を介して多層の配線を作り込んだ積層型のパッケージ基板が増えてきている。最近では、このような電子回路基板の設計を効率よく行なうために、コンピュータ作図処理を用いた設計システム、いわゆる C A D (Computer Aided Design) システムが使用されている（特許文献 1）。これは、表示装置上に作図画面を開き、配線、接地用あるいは電源用の面導体パターン、異なる配線層同士を接続するビア、あるいは配線端子部をなすパッドやランドなどの基板要素を、C A D データとして、マウス等の入力装置を用いて作図レイヤ上に描くことにより基板設計図を得るものである。

【0003】

ところで、電子回路における信号伝送方式に、シングルエンドとディファレンシャル（差動）があることはよく知られている。一般に広く使用されているTTLインターフェースやCMOSインターフェースは、グランドを除けば1本の線で信号を送る1線式（シングルエンド）である。シングルエンド方式は、グランドレベルと配線の電位差によって信号がHレベルなのかLレベルなのかを伝える方式である。一方、ディファレンシャル方式は、1つの信号伝送のために、必ず2本の配線を使用する。各配線に同振幅かつ逆位相の信号を送らせることにより、伝送線路からの不要輻射ノイズを低減することができる。

【特許文献1】特開2000-276505号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

ディファレンシャル方式であっても、配線自体は別々であるから、電子回路基板の設計データであるCADデータ上では、各配線は互いに異なる配線ネット（単に、ネットともいう）を持つことになる。したがって、従来の電子回路基板用CADシステムにおいてディファレンシャル配線を発生させるには、まず1つのネットを指定して一方の配線の作図を行ない、続いてネットの切り換え入力を行ない、その後、他方の配線を作図することとなる。つまり、シングルエンドの配線と同じ手順で作図することが必要となっていた。

【0005】

20

さらに、配線とパッドとの接続をどのようにして行なうかという問題が浮上する。ディファレンシャル配線においては、信号の到達時間差が許容範囲内に収まるように2本の配線の長さの差をできる限り小さくすると同時に、輻射ノイズの低減のために、配線の平行な部分（平行配線部）の比率（平行配線率）をできる限り高くすることが重要である。つまり、配線とパッドとをどのようにして接続するかが1つの要となってくる。このような場合、マニュアルでの入力操作は非常に煩雑であり、電子回路基板の設計期間の短縮を妨げる原因の1つとなっていた。

【0006】

本発明の課題は、ディファレンシャル配線を含む電子回路基板の設計に適したCADシステム、該CADシステムの機能をコンピュータ上にて実現するためのコンピュータプログラム、さらに、電子回路基板用CADシステムで設計したCADデータに基づいて電子回路基板の製造する方法を提供することにある。

30

【課題を解決するための手段および発明の効果】

【0007】

上記課題を解決するために本発明は、製造すべき電子回路基板の設計データを作成するための電子回路基板用CADシステムであって、電子回路基板に形成すべき導体層および絶縁層に対応する複数の作図レイヤを設定する作図レイヤ設定手段と、電子回路基板を構成する基板要素のうち、作図対象として予め定められたものを作図対象要素として、それら作図対象要素の設計上の寸法、形状および配置位置を特定するためのCADデータを、作図レイヤ上に入力するCADデータ入力手段と、互いに平行な部分を有する1対の配線によって構成されるディファレンシャル配線がCADデータ上で持つべき1組の互いに異なる配線ネットを、当該ディファレンシャル配線が作図対象要素として作図レイヤ上に入力される以前に、データベースに属性登録する処理を行なう配線ネット登録手段と、配線ネット登録手段によって登録されたディファレンシャル配線の配線ネット同士をグループ化し、これをネットグループとしてデータベースに属性登録する処理を行なうネットグループ登録手段と、ディファレンシャル配線を構成する作図対象要素として作図レイヤ上に入力された1対の平行な配線に関し、ネットグループを参照することに基づいて算出される配線長の差が予め設定された範囲内に収まるように、ビアパッドまたは端子パッド（単にパッドともいう）を表す作図対象要素に個別に接続するための引き込み処理を行なう引き込み処理実行手段と、を備えたことを主要な特徴とする。

40

50

【0008】

上記本発明においては、ディファレンシャル配線についてネットグループという新しい属性が設けられている。つまり、ディファレンシャル配線を構成する1組の配線に共通のネットグループという属性を設けることで、2本の配線に相互関連性を付与するようにしている。一方、前述したようにディファレンシャル配線においては配線長をなるべく等しくする必要がある。本CADシステムにおいては、登録したネットグループを参照することに基づいて配線長の差（配線長ズレ量）を算出するようにしている。ディファレンシャル配線を作図するにあたっては、2本の配線を途中まで平行に作図し、各配線の両端をパッドに接続することとなる。その後、配線長ズレ量が設定範囲内に収まるように（望ましくは配線長が等しくなるように）、パッドへの引き込み処理を行なうようにする。この

10

【0009】

好適な態様において、引き込み処理実行手段は、作図レイヤ上に入力されたディファレンシャル配線の平行部分がパッドからの距離が予め定められた引き込み開始距離に達する位置まで延長された場合に、引き込み処理を開始するように構成することができる。つまり、平行配線がパッドに十分に近づいたら引き込み処理にかかる作図プログラムが起動されるようにする。このようにすれば、引き込み処理を実行するためのコマンド等をいちいち入力する必要がなくなる。

20

【0010】

また、ネットグループ登録手段によりネットグループが登録されているディファレンシャル配線について、作図レイヤ上に作図する旨の指示が与えられ、且つそのディファレンシャル配線の一方の配線ネットが指定されることと、1対の端点で作図レイヤ上に入力されることとを条件に、その端点に基づきディファレンシャル配線を構成する2本の配線を作図レイヤ上に同時発生させる処理と、それら配線のうち一方の配線に入力により指定された配線ネット、該配線ネットと同一ネットグループに属する他方の配線ネットを他方の配線に割り当てる処理とを行なうディファレンシャル配線発生手段をさらに設けることができる。たとえば、ディファレンシャル配線の作図コマンドを設けておき、このコマンド

30

。

【0011】

さらに、上記したディファレンシャル配線発生手段は、入力された1対の端点同士を結ぶ軌跡が幅方向中点の集合を表わす2本の平行な配線を、ディファレンシャル配線の一部として作図レイヤ上に発生するように構成することができる。すなわち、1対の端点を結ぶ軌跡を挟んで左右対称に、2本の配線が発生することとなる。たとえば、入力された端点を結ぶ線分を左右にオフセットする処理等により、2本の配線の端点（座標）を特定できる。このようにすれば、配線の座標を別々に入力する必要がなくなるため、非常に便利である。

40

【0012】

一方、上記した引き込み処理は、ディファレンシャル配線を構成する配線の向きをパッドに向かって斜めに転換しながら延長して接続する処理、あるいはディファレンシャル配

50

線を構成する配線の向きをパッドに向かって略直角に転換しながら延長して接続する処理としてもよい。これらの構成によれば、ディファレンシャル配線の作図の都度、配線の引き込み形態を考慮する必要性がなくなるので、引き込み処理の迅速化に寄与できる。

【0013】

また、引き込み処理は、ディファレンシャル配線を構成する2本の配線のうち、一方の配線をそれと同じ配線ネットのパッドに自動的に接続する自動作図処理と、当該ディファレンシャル配線における配線長ズレ量が予め設定された範囲内に収まるよう、他方の配線をそれと同じ配線ネットのパッドに接続するためのマニュアル入力による作図を支援する作図支援処理とを含むものとして行うことができる。すなわち、一方の配線は自動作図により引き込み処理を行なうようにし、他方の配線はマニュアル入力で作図する余地を残す。ただし、マニュアルでの作図は、配線長ズレ量の増大を必要以上に招来する可能性があるもので、配線長ズレ量が予め設定された範囲から逸れるような作図がなされた場合には警告が発せられる等、マニュアル作図時には支援処理を行なうようにするとよい。

10

【0014】

また、ディファレンシャル配線の線幅および平行部分の線間隔を当該ディファレンシャル配線の発生前に登録する線幅・線間隔登録手段をさらに設けることができる。この場合、ディファレンシャル配線発生手段は、線幅・線間隔登録手段により登録された線幅データおよび線間隔データを参照してディファレンシャル配線を同時発生するように構成することができる。線幅を予め決められるようにすれば、ディファレンシャル配線の同時発生時にいちいち決めなくてよくなるので好都合である。また、配線の線間隔を予め決定しておけば、該線間隔を参照することにより、端点同士を結ぶ線分（軌跡）を図形として捉え、これをオフセットする処理を容易に行なうことができるようになる。

20

【0015】

他の一つの好適な態様において、以下のような引き込み処理を行なうことができる。すなわち、ディファレンシャル配線を構成する各配線について、既に作図されている部分の配線長の差を算出し、各配線をパッドに接続するための基準位置として使用される引き込み基準位置を上記配線長の差がゼロとなる位置に見出して設定し、その設定した引き込み基準位置に入力カーソルを引き込む（自動的に移動させる）。これにより、グラフ等にて配線長を確認することなく、極めて容易に配線長を同一とすることが可能になる。

【0016】

30

また、CADデータ入力手段を用いて作図レイヤ上に入力された配線であって、ディファレンシャル配線を構成する配線の組をネットグループを参照することにより見出し、それら2本の配線の長さの差に関連する配線長ズレ情報を生成するディファレンシャル配線チェック手段と、ディファレンシャル配線チェック手段により生成された配線長ズレ情報を表示出力または印字出力する情報出力手段とをさらに設けてもよい。このようにすれば、同一のネットグループに属する配線についてそれらの配線長を個別に読み出し（算出し）、長さの差を比較したりすることを容易に実行できる。これにより、ディファレンシャル配線の配線長のチェック等を行なうに際して、個別に配線長を調べる必要が無くなるので、電子回路基板の設計期間の短縮に寄与できる。

【0017】

40

さらに、上記したディファレンシャル配線チェック手段は、ディファレンシャル配線を構成する2本の配線のうち、長い方の配線の長さ、短い方の配線の長さとの差によって定義される配線長ズレ量を、配線長ズレ情報として算出するとともに、算出した配線長ズレ量が予め設定された許容範囲内であるか否かを判断するように構成することができる。この構成によれば、信号スキュー（信号の到達時間差）の小さいディファレンシャル配線を容易に作図することができるようになり、設計期間の短縮、製品である配線基板の品質の向上を図ることが可能となる。

【0018】

さらに、上記したディファレンシャルペア配線チェック手段は、ディファレンシャル配線を構成する2本の配線に関し、互いに平行な部分の配線長を各々の全配線長で除した値

50

で定義される平行配線率を、各配線について算出するとともに、算出した平行配線率が予め設定された許容範囲内であるいか否かを判断するように構成されていてもよい。この構成によれば、ディファレンシャル配線の平行配線率を確実に向上させることができるようになる。

【0019】

また、課題を解決するための本発明のコンピュータプログラムは、コンピュータにインストールすることにより、上記した電子回路基板用CADシステムを構成する各手段として当該コンピュータを機能させることを主要な特徴とする。

【0020】

また、課題を解決するための本発明の電子回路基板の製造方法は、上記した電子回路基板用CADシステムを用い、得べき電子回路基板に必要な作図対象要素を作図レイヤ上にCADデータとして入力することにより、電子回路基板の設計情報をCADデータの集合として作成する電子回路基板設計工程と、CADデータに基づいてCAMデータを作成し、そのCAMデータに基づいて電気回路製造用機器を制御し、電子回路基板を製造する電子回路基板製造工程とを含むことを主要な特徴とする。

【発明を実施するための最良の形態】

【0021】

以下、添付の図面を参照しつつ本発明の実施形態について説明する。

図2は本発明の電子回路基板用CAD/CAMシステム100（以下、単にCAD/CAMシステム、CADシステムともいう）の一実施例の全体構成を示すブロック図である。CAD/CAMシステム100は、CPU103と、ROM104、RAM105、入出力インターフェース102等からなるコンピュータ本体112を備え、これに周辺機器として、キーボード106あるいはマウス107等の入力手段、CD-ROMドライブ108あるいはフレキシブルディスクドライブ109等の記録媒体読取手段、ハードディスクドライブ（以下、HDDと記す）110、モニタ制御部111を介して接続されるモニタ113、プリンタ114等が接続されたコンピュータシステムとして、全体が構築されている。電子回路基板用CAD/CAMシステム100は、単に電子回路基板用CADシステム100でもあることはもちろんである。

【0022】

なお、CPU103は、作図レイヤ設定手段、CADデータ入力手段、CAMデータ変換手段、配線ネット登録手段、ネットグループ登録手段、ディファレンシャル配線発生手段、線幅・線間隔登録手段、ディファレンシャル配線移動手段、引き込み処理実行手段、ディファレンシャル配線チェック手段およびCAMデータ出力手段等の主体をなすものである。また、キーボード106あるいはマウス107は、CPU103とともにCADデータ入力手段の主体をなすものである。さらに入出力インターフェース102は、作図が終了した電子回路基板の設計図面を印刷出力する図面出力手段の他、CAMデータ変換手段がCADデータに基づいて変換・作成したCAMデータを出力するCAMデータ出力手段として機能する。

【0023】

HDD110には、オペレーティングシステムプログラム（以下、OSという）61およびアプリケーションプログラム（以下、アプリケーションという）62が格納されている。アプリケーション62は、CAD/CAMシステム100の機能を実現するためのコンピュータプログラムであり、OS61上にてアプリケーションワークメモリ52を作業領域とする形で作動するものである。これは、たとえばCD-ROM120等にコンピュータ読み取り可能な状態で記憶され、HDD110上の所定の記憶領域にインストールされるものである。また、HDD110には、作成済の図面のデータファイル（CADデータファイル）63と、それに基づいて変換・生成されたCAMデータファイル64が記憶されている。一方、RAM105には、OS61のワークメモリ51、およびアプリケーションのワークメモリ52がそれぞれ形成される。

【0024】

図1は、上記CAD/CAMシステム100の適用対処となる電子回路基板の一例を断面構造にて示している（この電子回路基板1はオーガニック基板として構成されているが、本発明はこれに限定されるものではなく、セラミック基板への適用も可能である）。すなわち、電子回路基板1は、耐熱性樹脂板（たとえばビスマレイミドートリアジン樹脂板）や、繊維強化樹脂板（たとえばガラス繊維強化エポキシ樹脂）等で構成された板状のコア材2の両表面に、所定のパターンにコア導体層M1、M11がそれぞれ形成される。これらコア導体層M1、M11はコア材2の表面の大部分を被覆する面導体パターンとして形成され、電源層または接地層として用いられるものである。他方、コア材2には、ドリル等により穿設されたスルーホール12が形成され、その内壁面にはコア導体層M1、M11を互いに導通させるスルーホール導体30が形成されている。また、スルーホール12は、エポキシ樹脂等の樹脂製穴埋め材31により充填されている。

10

【0025】

また、コア導体層M1、M11の上層には、感光性樹脂組成物6にて構成された第一ビア層（絶縁層あるいはビルドアップ層）V1、V11がそれぞれ形成されている。さらに、その表面にはそれぞれ配線部7を有する第一配線導体層M2、M12がCuメッキにより形成されている。なお、コア導体層M1、M11と第一配線導体層M2、M12とは、それぞれビア34により層間接続がなされている。同様に、第一配線導体層M2、M12の上層には、感光性樹脂組成物6を用いた第二ビア層（絶縁層あるいはビルドアップ層）V2、V12がそれぞれ形成されている。その表面にはそれぞれ第二配線導体層M3、M13がCuメッキにより形成されている。これら第一配線導体層M2、M12と第二配線導体層M3、M13とも、それぞれビア34により層間接続がなされている。ビア34は、図7に示すように、ビアホール34hとその内周面に設けられたビア導体34sと、底面側にてビア導体34sと導通するように設けられたビアパッド34pと、ビアパッド34pと反対側にてビア導体34hの開口周縁から外向きに張り出すビアランド34lとを有している。

20

【0026】

次に、図1に戻り、コア材2の第一主表面側の第二ビア層V2上には表面配線導体層M3が形成され、ここに複数の半田ランド10や、その一部と導通する配線部7が設けられている。これら半田ランド10は、無電解Ni-PメッキおよびAuメッキにより基板のほぼ中央部分に正形状に配列し、各々その上に形成された半田バンプ11とともにチップ搭載部40（図4）を形成している。

30

【0027】

他方、コア材2の第二主表面側の第二ビア層V12上には、裏面配線導体層M13が形成されている。裏面配線導体層M13には、ボールグリッドアレー（BGA）やピングリッドアレー（PGA）などの周知の接続形態にて、基板1をマザーボードなどの主基板に接続するための複数のランド17が形成されている。そして、表面配線導体層M3および裏面配線導体層M13上に、それぞれ、感光性樹脂組成物よりなるソルダーレジスト層8、18（SR1、SR11）が形成されている。表面側のソルダーレジスト層8には、半田ランド10を露出させるために、これら半田ランド10に一対一に対応する形で開口部8aが形成されてなり、その内側に半田ランド10と導通する形で半田バンプ11が配置されている。

40

【0028】

ここで、ビア層V1、V12、V2、V12、およびソルダーレジスト層8、18は、以下のようにして製造できる。すなわち、感光性樹脂組成物ワニスフィルム化した感光性接着フィルムをラミネート（貼り合わせ）し、ビアホール34hに対応したパターンを有する透明マスク（たとえばガラスマスクである）を重ねて露光する。ビアホール34h以外のフィルム部分は、この露光により硬化する一方、ビアホール34h部分は未硬化のまま残留するので、これを溶剤に溶かして除去すれば、所期のパターンにてビアホール34hを簡単に形成することができる（いわゆるフォトリソプロセス）。

【0029】

50

以下、C A D / C A Mシステム100の作動について詳細に説明する。

図2のアプリケーションプログラム62を起動させると、モニタ113（図2）には、図4に示すように、作図画面40が表示される。本実施例のアプリケーションプログラム62は、公知のC A Dシステムと同様にドロー系グラフィックソフトウェアとして構築されており、作図画面40上にて、マウス107の操作により、電子回路基板1の基板要素（以下、エレメントともいう）の図形を、C A Dデータとして個別に入力しながら作図作業を進めるものである。本実施例では、新規図面の作図画面40を立ち上げると、別途H D D 110等に記憶された表示データに基づき、該作図画面40内には、設計・作図すべき基板の主面外形線に対応した四辺形状の基準領域51と、デフォルトエレメント図形として、基板表面に標準的に形成される基板要素（本実施形態では、パッド53，55）の図形が表示されるようになっている。この場合、デフォルトエレメントデータを品番と対応付けて記憶するデフォルトエレメントデータ記憶部をたとえばH D D 110に設けておき、品番をキーボード106（あるいはマウス107による画面上のソフトボタンのクリック）により入力することで、対応するデフォルトエレメントデータを読み出し、これを作図画面に表示するようにしておけば、標準的に形成される基板要素上に配線部54等の図形を直ちに作図・入力できるので便利である。

10

【0030】

ここで、設計の対象となる基板は、複数の配線層が絶縁層を介して積層されるパッケージ基板等である。そして、形成すべき配線層に対応する複数の作図レイヤが作図画面40に対して設定される。これら作図レイヤ（以下、単にレイヤともいう）は、図4においては重なっているため視覚的には判別できない。また、各レイヤに書き込まれた図形は作図画面40上では重ね表示されるが、特定のレイヤ上の図形のみを表示させたり、あるいは色彩、明るさ、濃淡、塗りつぶしパターンの変更等により、他のレイヤ上の図形とは表示状態を異ならせたりすることが可能である。

20

【0031】

図12は、作図処理の流れを示すフローチャートである。まずS1では、エレメントを書き込みたいレイヤを選択する。このレイヤ選択は、たとえばマウス107（図2）により、画面上に表示されたレイヤ選択のためのソフトボタン（図示せず）をクリックすることで行なうことができる。そして、図形として入力できるのは上記したエレメントと、異レイヤ間のエレメント同士を接続するためのビアの図形であり、S2およびS8では、そのどちらを選択するかがコマンド入力により決定される。このコマンド入力も、エレメント入力あるいはビア入力を選択するソフトボタン（図示せず）のマウスクリックにより行なうことができる。

30

【0032】

エレメント入力を選択されたらS2からS3に進み、エレメント描画を行なう。エレメントの描画に際しては、公知のC A Dシステムソフトウェアと同様に、配線描画、パッドやランドあるいは面導体パターンの描画など、描きたいエレメントの種別毎に描画ツールが用意されている。描画ツールも、画面上にソフトボタンとして形成された描画ツール選択ボタン（図示せず）のマウスクリックにより選択できる。そして、所望の描画ツールを選択したら、図4に示すように、作図位置を示すポインタPをマウス操作により移動させつつ、マウスクリックあるいはドラッグ（マウスボタンを押したままマウスを移動させること）等の操作を組み合せながらエレメントを描いてゆく。図4では、各パッド53と55とをつなぐ配線部の図形をエレメントとして描き終わった状態を示している。

40

【0033】

図6に示すように、エレメントは1つ描き終わる毎に、その図形データであるエレメント記述データが、エレメント特定データ（たとえばエレメントコード）およびレイヤ特定データ（たとえばレイヤ番号）と対応付けた形で、図2の図面データメモリ52gに記憶されてゆく。エレメント記述データは、たとえば図5に示すように、エレメントOB11，OB12，OB13，OB14等の形状、大きさおよび描画位置を、画面40（図4）上に設定される座標平面上で規定するためのベクトルデータ、関数式データあるいは特定の基準点

50

の座標および半径や長さ等の寸法規定データの組として表される。たとえば、エレメント O B 11 は、基準点 A 11 (x 0, y 0) を起点として所定の向き（たとえば右回り）に周回しながら、A 11 (x 1, y 1)、A 11 (x 2, y 2)、A 11 (x 3, y 3)、A 11 (x 0, y 0) の順でベクトルを連ねることによりエレメントの外形輪郭を描いた場合の、各ベクトルの終点位置の座標のデータ組として表わされている。エレメント O B 12 も同じである。また、パッドやランド等を表す円形のエレメント O B 13 は、その中心座標 C 13 と半径 r 13 とのデータ組として表わされている。さらに、たとえば幅 W が一定した配線部の図形であるエレメント O B 14 などは、その起点位置 B 14 (X0,Y0) および終点位置 B 14 (X1,Y1) の座標と線幅 W 14 のデータ組として表わすことができる。なお、図 5 では、4 つのエレメント O B 11、O B 12、O B 13、O B 14 が全て同じレイヤ (M 1) に描かれている。

10

【0034】

一方、図 1 2 においてビア入力を選択された場合には、S 9 に進んでビア入力処理となる。図 7 に示すように、ビア V は、異配線層同士を接続するものであるが、本実施例ではそのビア V の図形の inputs は、ビア層単位で行なわれ、複数のビア層にまたがるビアは、複数のビアが重ねられたスタックドビアの形で入力される。従って、ビアを入力すべきビア層を指定することにより、単位となるビアを一つ入力することができる。なお、3 つ以上のビア層が設けられ、3 つ以上のビア層にまたがるビアを入力する場合は、ビア開始層とビア終了層とを指定することにより、中間層のビアを自動発生させるようにしてもよい。そして、このビア図形（これも基板要素の一つである）のデータは、図 8 に示すように、ビア位置データと、ビア層に対応したレイヤの特定情報（ビア形成レイヤ V L Y # #）との組として、ビア特定データ（たとえばビアコード）と対応付けた形で図面データメモリ 5 2 g に記憶される。

20

【0035】

図 1 2 に戻り、エレメントの描画を行った場合は S 4 に進み、図 9 に示すように、同一レイヤ内にその入力したエレメント O B 12 に部分的に重なる（すなわち、接続されている）入力済のエレメント O B 11 が存在するか否かを判定する。N o であればさらに S 5 に進み、図 1 0 に示すように、ビア V A 11 を介した異レイヤ間接続により別のエレメント O B 31 に接続していないかどうかを判定する。これも N o であれば S 6 に進み、そのエレメント O B 12 を配線ネット図形として、たとえばエレメント特定情報のみを、図面データメモリ 5 2 g 内の配線ネットデータ登録メモリ 5 2 i (図 3) に、ネット特定情報（たとえばネット番号）を付与して新ネットデータとして書き込み、これを登録する。

30

【0036】

また、図 1 2 の S 4 あるいは S 5 において Y e s の場合はともに S 7 へ進み、そのエレメントを接続先となるエレメントが属する登録済の配線ネット図形に組み込む処理、すなわち新たに描いたエレメントのエレメント特定データを、配線ネットデータ登録メモリ 5 2 i 内の対応するネットデータに付加する処理を行なう (S 4 → S 7)。また、ビアによる接続の場合は、そのビア特定データもネット特定情報に付加する (S 5 → S 7)。こうして、図 3 に示すように、配線ネットデータ登録メモリ 5 2 i 内には、各ネット特定情報 n e t 1, n e t 2, ・ ・ と、その配線ネットに属するエレメントの特定データ O B 11, O B 12, ・ ・ あるいはビアの特定データ V A 11, V A 12, ・ ・ とが互に対応付けられたネットデータが記憶されてゆくこととなる。

40

【0037】

他方、図 1 1 に示すように、異レイヤ間で重なるエレメントが発生した場合は、それらエレメント特定データの重なり先のネットデータへの付加は行われない。しかしながら、図 1 2 の S 1 0 において、新たに入力されたビア図形により互いに接続される配線ネット図形が発生した場合は S 1 1 に進み、それらの配線ネット図形のネットデータ同士を統合（マージ）して、それを 1 つの配線ネット図形のネットデータとして再登録する処理が行われる。この場合、ネット特定情報は、統合前の配線ネット図形の一方に対応するものを残し、他方を削除してこれを欠番として扱うようにしてもよいし、両方のネット特定情報を消して新たなネット特定情報を付与するようにしてもよい。

50

【0038】

上記のようなエレメントやビアの入力の作図入力を繰り返した後、作図作業を終了する場合は、S12からS13へ進み、図面データメモリ52g内に蓄積されている図形のデータ、すなわち図面データを、配線ネットデータ登録メモリ52i内のネットデータとともにファイル名を付与して、HDD110（図2）の図面データファイル63に書き込み、保存する。

【0039】

上記のようにして作成された、各エレメント（作図対象要素）のCADデータは、CAMデータに変換される。CAMデータは、エレメントまたは該エレメントと関連付けた形で電子回路基板1に形成される付加要素（たとえばエレメントをなす半田ランド上に形成される半田パンプ）からなる製造対象要素の、製造途上での寸法、形状および配置位置、あるいは製造対象要素を製造するための治具（たとえば、ビアパターンや配線パターンを露光するためのマスクや、半田パンプ形成に使用する半田ペースト塗布用マスクなど）の、該製造対象要素に対応した部分の寸法、形状および配置位置を特定する図形データである。

10

【0040】

ところで、図4の例では、1本の配線で信号を伝送するシングルエンド配線を示しているが、2本の配線で信号を伝送するディファレンシャル配線が、同一の配線基板1内で混在することがしばしばある（搭載するICによる）。ディファレンシャル配線では、信号の到達時間差が大きくならないように配線長の差をなるべく小さくすること、不要輻射ノイズを低減するように配線の平行な部分（平行配線）の比率（平行配線率）をできる限り高くすることが重要である。ただし、ディファレンシャル配線を構成する2本の配線は、互いに異なる配線ネットを持つ。そのため、ディファレンシャルの場合もシングルエンドの場合と同様に別々に配線を作図する、というのが従来のCADシステムの構成であった。これに対し、本発明のCADシステム100においては、配線ネットをいちいち切り換えたりしないで、1度の入力でディファレンシャル配線を作図レイヤ上に同時発生させることが可能となっている。以下、詳しく説明する。

20

【0041】

まず、電子回路基板1の導体層を構成するエレメントが記述されたレイヤM1において、ディファレンシャル配線を構成する1組の配線LN1、LN2は、図13に示すように配置される。ディファレンシャル配線を構成する一方の配線LN1は、ICや中継基板との接続用あるいは層間接続用のパッドPD₁₀、PD₁₁に接続されている。同様に、他方の配線LN2はパッドPD₂₀、PD₁₂に接続されている。これらの配線LN1、LN2は、複数のエレメントによって構成されていてもよいし、1つのエレメントによって構成されていてもよい。また、各配線LN1、LN2は互いに平行な部分（平行配線）と、パッドへの引込部分（引込配線）とを有している。

30

【0042】

配線LN1を表すエレメントと、配線LN2を表すエレメントは、図6に説明したように、エレメント特定データ、レイヤ特定データ、エレメント記述データ等の属性データを持つ形で図面データメモリ52g（図面データベース）に記憶されている。また、ディファレンシャル配線を構成する配線LN1、LN2が持つべき配線ネットは、図3で説明したように、配線ネットデータ登録メモリ52i内にネット特定情報として登録されている。図3に示す各配線ネットデータ（net1、net2…）は、エレメントが記述される前に予め登録するようになっている。つまり、次々と記述されていくエレメントに割り当てる配線ネットは、予め登録しておくことができる（CPU103：配線ネット登録手段）。ディファレンシャル配線を記述するためには、互いに異なる1組の配線ネットを登録することとなる。

40

【0043】

ここで、本CADシステム100においては、図3に示すように配線ネットデータ登録メモリ52i内にネット特定情報として登録された配線ネットのうち、ディファレンシャル

50

ル配線が持つべき配線ネット同士をグループ化し、図14に示すように、ネットグループデータ登録メモリ52kにネットグループという属性データを登録するようにしている（CPU103：ネットグループ登録手段）。登録されたネットグループを参照することにより、ディファレンシャル配線が持つ1組の配線ネットを特定することが可能である。つまり、ディファレンシャル配線の一方の配線ネットを指定すれば、その配線ネットと同一ネットグループに属する他方の配線ネットを見出すことができる。1つのネットグループには1組の配線ネットしか属さず、ディファレンシャル配線を構成する配線対は、必ず固有のネットグループを持つからである。このようなネットグループ属性を予め登録しておくことにより、ディファレンシャル配線の作図処理を以下のようにして進めることができるようになる。

10

【0044】

たとえば、図13のようなディファレンシャルペアを構成する配線LN1と配線LN2とをレイヤM1上に作図する場合を考える。ディファレンシャル配線を構成する配線LN1と配線LN2は、互いに異なる配線ネットnet11と配線net12をそれぞれ持つものとする。ディファレンシャル配線の作図に先立ち、配線ネットnet11、net12は、図3に示す配線ネットデータ登録メモリ52iに登録され、さらに、図14に示すネットグループデータ登録メモリ52kには、それら配線ネットnet11、net12が属するネットグループNT₁が登録されているとする。また、ディファレンシャル配線の両端には、たとえばパッド（ビアパッド、端子パッド）が接続することとなる。したがって、ディファレンシャル配線に接続されるパッドの配置位置または配置予定位置を、作図レイヤ上に予め入力・設定するとともに、これらパッド等のエレメント属性を図面データメモリ52g（図6参照）、配線ネットデータ登録メモリ52i（図3参照）に登録すればよい。

20

【0045】

次に、ディファレンシャル配線を作図するには、まずコマンド入力等により、ディファレンシャル配線を作図レイヤ上に発生させるためのプログラム（ディファレンシャル配線作図処理）を起動する。図15に示すのは、そのプログラムによる作図処理を示すフローチャートである。作図プログラムが起動されたら、まず図16の上図に示すように、ディファレンシャル配線が接続するべき第1のパッド対PD₁₀、PD₁₁と第2のパッド対PD₂₀、PD₁₂、それらパッド対が未結線である旨を示す仮接続線が作図レイヤ上に表示される。この仮接続線によって結ばれる第1のパッド対PD₁₀、PD₁₁は、互いに同一配線ネットを持つエレメントである。同様に、第2のパッド対PD₂₀、PD₁₂は、同一配線ネットを持つエレメントである。

30

【0046】

次に、作図レイヤ上に表示された1対の仮接続線うち、一方をクリックする等の入力により、ディファレンシャル配線のうち一方の配線ネットが指定されることとなる。ここで指定された配線ネットは、RAM105等の記憶手段に一時的に記憶される（図15のST1）。次に、1対の端点（終端点）が作図レイヤ上に入力されたか否か判断される（ST2）。本発明のCADシステム100でのディファレンシャル配線の作図処理では、図16の中段図に示すように、入力された1対の端点同士を結ぶ線分（軌跡）の左右に対称に、ディファレンシャル配線を構成する2本の配線（エレメント）が同時に発生するようになっている（ST4）。具体的には、入力された端点同士を結ぶ軌跡が幅方向中点の集合を表わす2本の平行な配線を、ディファレンシャル配線の平行部分として作図レイヤ上に発生するようになっている。ただし、ST3において、作図された配線がパッドへの引き込み範囲内に到達すると判断された場合には、ST5の引き込み処理を実行しつつ互いに平行な2本の配線が同時作図されることとなる（図16の下図参照）。引き込み処理は、ディファレンシャル配線をパッドに接続するための処理である（詳細は後述する）。

40

【0047】

また、本実施形態においては図17に示すように、ディファレンシャル配線を構成する各配線LN1、LN2の配線幅を、当該ディファレンシャル配線の作図前に予め設定する

50

ようにしている。そして、ディファレンシャル配線の作図処理時においては、設定された配線幅にて各エレメントが作図されるとともに、その配線幅がエレメント記述データとして図面データメモリ52gに記憶されていくようにすることができる。また、各配線LN1, LN2の平行部分の線間隔(クリアランス)を、ディファレンシャル配線の作図前に予め設定しておくことができる(CPU103:線幅・線間隔登録手段)。そして、ディファレンシャル配線を同時発生させる際には、設定された線間隔データを参照して、入力された2端点を結ぶ軌跡の左右にエレメント(配線)を配置する。なお、設定された配線幅および線間隔については、図面データメモリ52g等のRAMに一時的に記憶されるようにしてもよいし、ディファレンシャル配線の作図プログラムと関連付けられた設定ファイル等へ書き換え可能に保存されるようにしてもよい。

10

【0048】

作図レイヤ上にディファレンシャル配線を同時発生したのち、ディファレンシャル配線を構成する配線のうち、一方の配線LN1には、予め指定された配線ネットが割り当てられる。また、該配線ネットと同一ネットグループに属する他方の配線ネットが他方の配線LN2に自動的に割り当てられる。つまり、オペレータによって予め入力・指定された一方の配線ネットと同一グループに属する配線ネットがデータベース(ネットグループ登録データメモリ52k:図13参照)を参照(検索)することにより見出され、作図レイヤに記述された1組の配線LN1, LN2のそれぞれに、これらの配線ネットが自動的に付与されることとなる(ST6, ST7)。具体的には、ディファレンシャル配線として新たに描いた配線のエレメント特定データを、配線ネットデータ登録メモリ52i内の対応するネットデータに付加する処理が行なわれる。

20

【0049】

上記のように、ディファレンシャル配線の入力は、ディファレンシャル配線を構成する2本の配線LN1, LN2のちょうど中間を通る軌跡を作図レイヤ上に入力することによって行なわれる。一方、図16に示すように、ディファレンシャル配線は、たとえば45°の角度にて向きを変更しながらパッド・パッド間を接続する。このような場合において、入力された端点(座標点)を幅方向中点とする配線LN1, LN2をディファレンシャル配線として発生するために、たとえば次のような手順を採用することができる。

【0050】

1つの方法としては、図18の概念図に示すように、基本的には入力された座標点同士を結ぶ軌跡の左右に平行配線(エレメント)を発生させる。このときの配線間隔(クリアランス)には、前述したとおり、予め設定された値が参照される。また、コーナを形成することが必要な位置に座標点(図18中では入力点3で表わしている)が入力された場合には、上記と同様の手順により、座標点を結ぶ軌跡の左右にエレメントを発生させるとともに、1つのコーナを形成する平行配線を過不足無く接続するための延長処理および短縮処理が実行される。これにより、ディファレンシャル配線を構成する配線LN1, LN2が生成する。

30

【0051】

他の1つの方法としては、図19の概念図に示すように、入力された座標点を結ぶ線分をディファレンシャル配線間の軌跡とし、この軌跡を図形として捉え、これを左右にオフセットするという方法である。各入力点を結ぶ軌跡がなす角度 θ に応じて、線長を調整しながら軌跡をオフセットすれば、配線LN1, LN2を特定するためのX-Y座標を求めることができる。このような手順にて、図20に示すように線幅 D_2 、クリアランス D_1 、座標点 $P_{11} \sim P_{15}$ 、 $P_{21} \sim P_{25}$ によって特定される平行配線が途切れることなく作図される。

40

【0052】

図15に戻り、ディファレンシャル配線を構成する配線とパッドとの接続処理(引き込み処理)が、ST5において完了しているか否かがST8において判断される。引き込み処理が完了していない場合には、ST2にジャンプして、パッドとを接続するのに必要な位置まで配線を延ばすための端点の入力がなされるまで待機状態となる。他方、引き込み

50

処理が完了している場合には、ディファレンシャル配線の入力完了していることを意味するので、図面データメモリ 52g に記憶された図面データを図面データファイル 63 に保存して終了する (ST9)。

【0053】

以上のようにして作図処理が行なわれ、ディファレンシャル配線を構成する 1 組の配線 LN1, LN2 が作図レイヤ上に入力され、図面データメモリ 52g (図 6 参照) に書き込まれていくこととなる。これによれば、配線ネットをいちいち切り換えながらエレメントを入力していく必要が無くなるので、ディファレンシャル配線の作図に関し、オペレータは迅速な作図を行なえるようになる。

【0054】

次に、いったん作図が完了したディファレンシャル配線を、作図レイヤ上で移動する処理について説明する。たとえば、デザインルールチェック等においてエラーが発生した場合、ディファレンシャル配線の一方がデザインルールチェックでエラー原因となる場合がある。しかしながら、ディファレンシャル配線の一方の配線のみを移動することは、設計上考えられない。特に、平行部分 (平行配線) については、必ず対で移動する必要がある。このような場合、一方の配線 LN1 の平行部分を移動することに応じて、他方の配線 LN2 が同時移動するように本 CAD システム 100 を構成すれば、一方のみ移動して他方の移動操作をし忘れたり、配線長を調整する操作をし忘れたりするミスが無くなるので好適である。

【0055】

前述したように、ディファレンシャル配線を構成する配線 LN1, LN2 は、互いに異なる配線ネットを有する。したがって、図面データ上において、何らかの形で一方の配線 LN1 と他方の配線 LN2 との関連性が与えられていなければならない。本 CAD システム 100 においては、個々のディファレンシャル配線にネットグループという固有の属性を持たせている。そのため、一方の配線 LN1 の移動指示が入力された場合には、ネットグループを参照することで、他方の配線 LN2 を見出し、これを移動指示された配線 LN1 と同時に移動する処理が実行されるようになっている。

【0056】

具体的に上記の移動処理は、以下に示すような手順にて行なうことができる。まず、ディファレンシャル配線の移動を行なうための命令が入力され、さらに移動する配線の一方が指定された場合、指定された配線が持つ配線ネットに基づいてネットグループを参照し、相手方の配線が特定される。この後、コマンドラインから、あるいはマウスを使ったドラッグ等の操作により、配線を移動する旨の入力がされることに応じ、図 21 に示すように、一方の配線 LN1 が他方の配線 LN2 を押し退ける形で図形 (配線) を移動する処理が実行される。本 CAD システム 100 において、ディファレンシャル配線を構成する 2 本の配線 LN1, LN2 の平行部分については、それと直交する方向に移動するようにプログラムされている。つまり、配線の一方を移動するとき、ネットグループを参照することにより他方の配線を見出してこれを同一方向かつ同一距離移動することとなる (CPU 103: ディファレンシャル配線移動手段)。

【0057】

また、配線 LN1, LN2 は、それぞれの移動の前後においてパッドーパッド間の接続状態が保持される。つまり図 21 に示すように、図形として途切れることがないように、図面データメモリ 52g におけるエレメントの X-Y 座標 (エレメント記述データ) の書き換え処理がなされる。また、このような移動の前後で、一方の配線 LN1 と他方の配線 LN2 との配線長の変化量は互いに等しくすることが要求される。すなわち図 21 に示すように、配線 LN1 の記述にかかる 2 点 P_{12} , P_{13} は 2 点 P'_{12} , P'_{13} に移動し、配線 LN2 の記述にかかる 2 点 P_{22} , P_{23} は 2 点 P'_{22} , P'_{23} に移動するが、それらの 2 点間 (エレメント特定データ) で特定される配線長の変化量が等しくなるように移動処理がなされている。このような移動処理に応じて、図面データメモリ 52g において、エレメントの座標データ (エレメント記述データ) が書き換えられる。なお、

10

20

30

40

50

同時移動するのは2本の配線LN1, LN2の平行部分に限定してもよい。

【0058】

以上の説明においては、配線ネットのグループ化をディファレンシャル配線の作図前に登録することを前提としていたが、異なる配線ネットを持つ別々の配線として作図レイヤ上に入力した1対の配線について、これらをディファレンシャル配線として指定するとともに、各配線が持つ配線ネットをグループ化したネットグループを登録できるようにしてもよい。これにより、配線の作図処理はシングルエンドの場合と同様に1本ずつ順次的に行なうようにする反面、移動にかかる処理については、グループ登録されたディファレンシャル配線として同時に行なうようにすることができる。

【0059】

次に、ディファレンシャル配線の引き込み処理について説明する。前述したように引き込み処理は、ディファレンシャル配線を構成するエレメントとして作図レイヤ上に入力された1対の平行な配線LN1, LN2の両端を、パッドを表すエレメントPD₁₁, PD₁₂に個別に接続する処理とされる(CPU105:引き込み処理実行手段)。図22に示すように、ディファレンシャル配線を構成する第一の配線LN1と第二の配線LN2は、平行を保った形でまずパッドPD₁₁, PD₁₂の近く(パッドから所定距離)まで作図される。この作図は、前述したように配線LN1と配線LN2との幅方向中点の入力に応じたものである。

【0060】

図15のフローチャートのST3で触れたように、作図された配線LN1, LN2がパッドPD₁₁, PD₁₂への引き込み範囲内に位置する旨の判断がなされた場合に、フローチャート中のST5の引き込み処理が実行される。本実施形態において引き込み処理は、配線LN1, LN2のそれぞれの平行部分が、パッドPD₁₁, PD₁₂からの距離が予め定められた引き込み開始領域に達する位置まで延長された場合に開始する。作図レイヤ上におけるパッドPD₁₁, PD₁₂の中心座標と配線LN1, LN2の端点とを一致させることで、配線LN1, LN2と、パッドPD₁₁, PD₁₂との接続がなされる。なお、第一の配線LN1と第二の配線LN2との少なくとも一方が、予め定めた引き込み開始領域TA(トリガエリア)に差し掛かったら引き込み処理を開始するようにしてもよい。これに関する詳細は後述する。

【0061】

上記の引き込み処理にかかる配線とパッドとの接続形態はいくつか例示できる。たとえば図22に示す例では、配線LN1, LN2の向きをそれぞれパッドPD₁₁, PD₁₂に向かって斜めに転換しながら延長して接続するY字引き込みの例を示している。このY字引き込みは、ディファレンシャル配線が接続すべきパッド対(パッドPD₁₁とパッドPD₁₂とで構成される)の中心同士を結ぶ線分に対し、各配線LN1, LN2の接近方向が垂直となっている状況に好適に採用できる。たとえば、パッド対の中心同士を結ぶ線分と平行なベクトルをAとする。配線LN1または配線LN2のうち、パッド対に近い側の端部の配線方向と平行なベクトルをBとする。内積(A・B)を算出することで、パッド対の中心同士を結ぶ線分に対し、配線LN1, LN2の接近方向が垂直となっているか否かを判断することができる。内積がゼロならば、両ベクトルは互いに垂直である垂直でない場合には、垂直となるようにディファレンシャル配線の向きを変化させる自動配線処理を行なったのちに、上記のY字引き込み処理を開始するとよい。

【0062】

また、図24に示す例では、2本の配線LN1, LN2の向きをパッドPD₁₁, PD₁₂のそれぞれに向けて直角に転換しながら延長し接続するT字引き込みの例を示している。この例もY字引き込みと同様、パッド対の中心同士を結ぶ線分に対し、各配線LN1, LN2の接近方向が垂直となっている状況に好適に採用できる。すなわち、配線LN1と配線LN2とは平行を保ったまま、パッド対の中心同士を結ぶ線分に交わるまで延長され、そこから各パッドに向けて方向を変える。ただし、コーナを構成する配線LN1, LN2の内側の角度がたとえば135度でなければならないといった設計ルールがある場合

(ディファレンシャル配線ではインピーダンス不整合の増大を防止するためにこの形態が推奨される)には、図24に示すように、いったんT字引き込みにかかる自動作図処理を行なったのちに、パッド対の中心同士を結ぶ線分に対してコーナをカット(短縮)する処理を行なうようにするとよい。カットする部分の配線長については、たとえば予め設定したパラメータに基づいて決定されるようにしてもよいし、配線LN1、LN2の持つ配線幅のn倍(n:自然数)という形で設定できるようにしてもよい。

【0063】

また、図25に示すように、ディファレンシャル配線と接続予定のパッドPD₁₁、PD₁₂の中心座標から半径Rの領域を引き込み開始領域TA(トリガエリア)として定めることができる。引き込み開始領域TAに差し掛かるまでは、前述したように幅方向中点の入力に基づいて配線LN1、LN2の平行部分が同時作図される一方、該作図により引き込み開始領域TAに配線LN1、LN2が差し掛かった場合に引き込み処理が起動するように構成することができる。具体的には図25に示すように、一方の配線LN1を対応するパッドPD₁₁に接続する作図処理を行なった後に、他方の配線LN2とパッドPD₁₂との接続にかかる作図を行なうようにするとよい。ここで、ディファレンシャル配線においては配線長ズレ量(配線長の差)がゼロ、すなわち等長配線であることが理想的である。したがって、一方の配線LN1とパッドPD₁₁との接続にかかる自動作図処理を実行したのち、他方の配線LN2とパッドPD₁₂との接続にかかる自動作図処理を、配線LN1の配線長と配線LN2の配線長とが等しくなるように行なうようにするとよい。ただし、スペースやデザインルールの問題があるので、配線長ズレ量が予め設定された範囲内に収まるように、自動作図が行なわれるようにしてもよい。

【0064】

また、等配線長を担保するための引き込み処理には、次のような方法も好適に採用できる。まず、図26の上段図に示すごとく、入力された幅方向中点(図中D₀等)に基づいて、ディファレンシャル配線の平行部分の作図が行なわれているとする。この点については既に説明してきた通りである。次に、各配線LN1、LN2について、既に作図されている部分の配線長をXY属性データ(図6でいうエレメント記述データ)に基づいて算出する。すると、既に算出されている部分までの配線長の差を求めることができる。

【0065】

次に、図26の中段図に示すごとく、各配線をパッドに引き込むための基準位置として使用される引き込み基準位置が、上記配線長の差がゼロとなる位置に見出されて設定される。本実施形態では、1対のパッドの中心座標同士を結ぶ線分に対し、ディファレンシャル配線の平行部分が垂直に近づく設計を示しており、T字引き込みを実行するものとしている。したがって、パッド同士を結ぶ線分上において、上記引き込み基準位置FP₀が見出されることとなる。そのようにして見出された引き込み基準位置に入力カーソルが引き込まれる。これにより、図26の下段図に示すごとく、配線LN1とパッドPD₁₁、配線LN2とパッドPD₁₂を接続する作図が行なわれ、引き込み処理が完了する。

【0066】

図26の上段図において、作図中のディファレンシャル配線をなす配線LN1、LN2の幅方向中点(たとえばD₀)を通る線分をまっすぐ延長したとき、該延長線とパッド同士を結ぶ線分との交点が、等配線長を実現する引き込み基準位置とならないと仮定する。この場合において、引き込み処理が行なわれるべき配線LN1、LN2の幅方向中点を通る線分をまっすぐ延長したとき、図26の中段図と下段図に示すごとく、該延長線上に引き込み基準位置FP₀がくるように、配線LN1、LN2がそれらの幅方向に平行移動される。こうした平行移動処理は、図27に示すごとく、新しく幅方向中点D₀'、D₁、D₂が生成されることにより、配線長の差の変化を伴うことなく行なわれる。

【0067】

また、図28に示すごとく、配線LN1、LN2の幅方向中点を通る線分をまっすぐ延長し、該延長線とパッド同士を結ぶ線分との交点を暫定的な引き込み基準位置FPとし、該引き込み基準位置FPに基づいてT字引き込みを行なった場合における、配線LN1の

配線長と、配線 L N 2 の配線長とを求めておき、配線長の差がゼロとするために、下記 (a) ~ (c) の処理を行なうことができる。

(a) 「配線 L N 1 の長さ」 > 「配線 L N 2 の長さ」 の場合には、引き込み基準位置 F P を配線 L N 1 に近づく側に移動する。

(b) 「配線 L N 1 の長さ」 < 「配線 L N 2 の長さ」 の場合には、引き込み基準位置 F P を配線 L N 2 に近づく側に移動する。

(c) 「配線 L N 1 の長さ」 = 「配線 L N 2 の長さ」 の場合には、その引き込み基準位置を維持する。

上記 (a) (b) の処理を行なう場合には、併せて図 27 に示した配線 L N 1, L N 2 の平行移動処理を行なうこととなる。なお、引き込み基準位置 F P の移動許容範囲は、パッド P D₁₁ とパッド P D₁₂ との幅よりも狭い区間 W L に制限されるようにする。

【0068】

上記のようにして、等配線長となる引き込み基準処理が行なわれるようにすれば、グラフ等で配線長を確認しながら作図するといった手間が省け、作図時間の大幅な削減を図ることが可能になる。また、等配線長が確実に担保された C A D データに基づいて配線基板を製造することになるから、配線基板自体の品質の向上にもつながる。

【0069】

ただし、上記したような自動作図が必須というわけではなく、ディファレンシャル配線の等配線長作図を容易化するための支援処理が行なわれるようにしてもよい。すなわち、ディファレンシャル配線をパッドに接続する作図自体はオペレータの入力に応じて行なわれるようにし、その際に、配線長ズレ量がどの程度であるのかをオペレータが識別可能に示す（モニタへの表示出力を行なう）といった、等長配線のための支援処理が実行されるように構成することもできる。たとえば図 29 に示すように、配線 L N 1, L N 2 のうち一方の配線 L N 1 については、パッド P D₁₁ との接続が自動作図によって行なわれ、他方の配線 L N 2 についてはマニュアル入力により作図されるようにする。この際、パッド P D₁₁ と接続された配線 L N 1 の長さに対し、パッド P D₁₂ に未接続の配線 L N 2 の長さの割合を等配線長インジケータによって表したり、百分率で表したりすることができる。また、モニタに表示する等配線長インジケータの模様または色彩若しくはこれらの結合により、配線長ズレ量が許容できる値から逸れていることをオペレータに報知するようにしてもよい。このようにすれば、オペレータが手動入力によって容易に作図できるようになる。

【0070】

以上のように、引き込み処理は、ディファレンシャル配線を構成する 2 本の配線のうち、一方の配線をそれと同じ配線ネットのパッドに自動的に接続する自動作図処理と、当該ディファレンシャル配線における配線長の差が予め設定された範囲内に収まるように、他方の配線をそれと同じ配線ネットのパッドに接続するためのマニュアル入力による作図を支援する作図支援処理とを含むものとして構成できる。なお、基本的には引き込み処理は上記の支援処理を含むマニュアル入力とし、図 22 や図 23 に示した Y 字引き込みや T 字引き込みについてのみ、コマンド入力により実行されるようにしてもよい。

【0071】

ところで、配線 L N 1, L N 2 をパッドに接続する際の注意点は、前述したように配線長ズレ量が大きくならないことである。許容できる配線長ズレ量は、信号の周波数等によるので、ディファレンシャル配線の作図前に予め設定できるようにするとよい。配線長ズレ量は、ディファレンシャル配線を構成する 2 本の配線のうち、長い方の配線の長さ、短い方の配線の長さとの差によって定義される。すなわち、ディファレンシャル配線を構成する 2 本の配線の長短を見極めるには、どの配線同士がディファレンシャルであるかを認識することが必要である。本 C A D システム 100 においては、前述したようにネットグループを参照することでディファレンシャル配線を構成する 2 本の配線 L N 1, L N 2 を特定でき、それらの配線 L N 1, L N 2 の長さをエレメント記述データ (X-Y 属性 S) より得られる。したがって、上記した配線長ズレ量を容易に求めることができる。

【0072】

また、各配線 L N 1, L N 2 の配線長を大小比較するとともに、小を大で除することにより配線長ズレ率を算出し、これをモニタ等に表示できるようにしてもよい。さらに、算出した配線長ズレ量や配線長ズレ率をネットグループと同様の形で、ディファレンシャル配線を構成する 2 本の配線が共通して持つ属性データとして、図面データベース（図面データメモリ）に記憶するようにしてもよい。また、算出した配線長ズレ量や配線長ズレ率が予め設定された許容範囲内であるか否かを判断し、たとえば図 30（a）に示すように、作図レイヤ上に警告を表示（エラー表示）するようにしてもよい。

【0073】

また、ディファレンシャル配線を構成する 2 本の配線 L N 1, L N 2 に関し、互いに平行な部分の配線長を長い方の配線の全配線長で除した値として定義される平行配線率を算出するとともに、算出した平行配線率が予め設定された許容範囲内であるか否かを判断するように構成してもよい。そして、配線長ズレ率の場合と同様に警告を表示させるとよい（図 30（b）参照）。配線長ズレ率と併せて警告が発せられるようにすれば、修正作図時の手間も省ける。また、配線長ズレ率や平行配線率が予め設定された許容範囲から逸れた場合には、マニュアルで修正作図がなされるようにしてもよいし、自動作図にて修正がなされるようにしてもよい。上記の「全配線長」は、（1）同一ネットに属する配線全体、（2）パッドーパッド間を接続する配線についての全体、の 2 通りの場合を考え得る。

【0074】

なお、ディファレンシャル配線の構成方法としては、いわゆるエッジ結合構造とブロードサイド結合構造とがある。配線を面内に平行に配置するエッジ結合構造は、配線の対称性の確保が比較的容易であるという大きな利点があり、主流となっている。本明細書中におけるディファレンシャル配線は、全てエッジ結合配線のことを示すものとする。

【図面の簡単な説明】

【0075】

【図 1】電子回路基板の一例を示す断面図。

【図 2】本発明の電子回路基板用 C A D システムの電氣的構成を示すブロック図。

【図 3】配線ネットデータ登録メモリの内容を示すマップ。

【図 4】本発明の電子回路基板用 C A D システムにおける作図画面上での操作過程の説明図。

【図 5】エレメントの概念図。

【図 6】エレメントの C A D データの概念図。

【図 7】ビアの概念図。

【図 8】ビア図形の C A D データの概念図。

【図 9】エレメントの重なり接続状態の第一説明図。

【図 10】エレメントの重なり接続状態の第二説明図。

【図 11】エレメントのビア接続状態の説明図。

【図 12】作図処理の流れを示すフローチャート。

【図 13】ディファレンシャル配線の概念図。

【図 14】ネットグループデータ登録メモリの概念図。

【図 15】ディファレンシャル配線の作図処理を示すフローチャート。

【図 16】ディファレンシャル配線の発生手順を示す概念図。

【図 17】ディファレンシャル配線の線幅・クリアランスの設定登録を行なうためのフォームの概念図。

【図 18】ディファレンシャル配線の詳細な発生手順を説明する概念図。

【図 19】図 18 に続く図。

【図 20】ディファレンシャル配線の部分拡大概念図。

【図 21】ディファレンシャル配線の移動手順を説明する概念図。

【図 22】Y 字引き込みの概念図。

【図 23】T 字引き込みの概念図。

【図 2 4】図 2 3 に続く図。

【図 2 5】引き込み開始領域の設定例を示す概念図。

【図 2 6】等配線長引き込み処理を説明する概念図。

【図 2 7】引き込み処理に伴う配線の平行移動を示す概念図。

【図 2 8】同じく、等配線長引き込み処理を説明する概念図。

【図 2 9】支援処理の例を示す図。

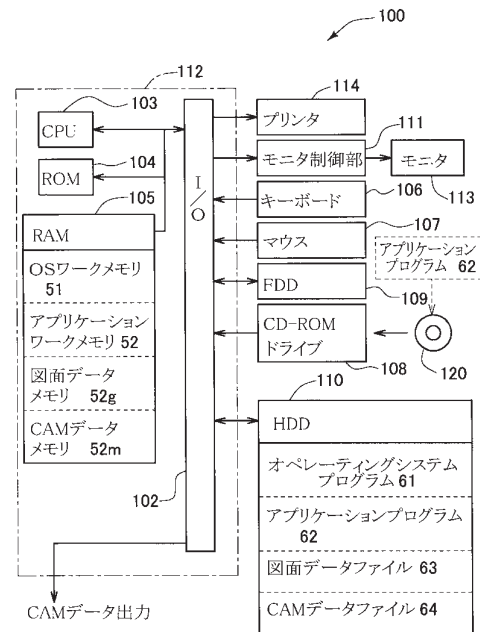
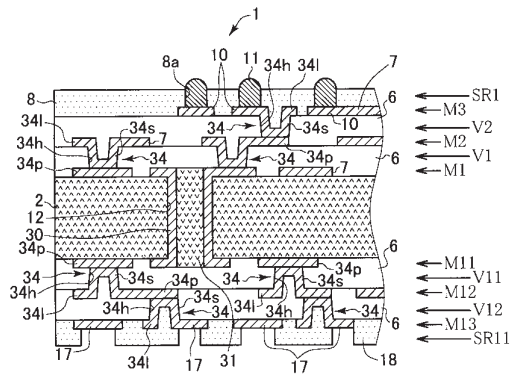
【図 3 0】ディファレンシャル配線のエラー表示を例示する図。

【符号の説明】

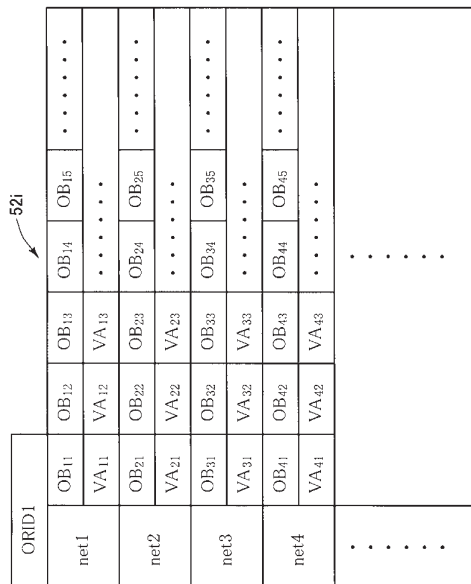
【 0 0 7 6 】

1	電子回路基板	10
2	コア材	
3 4	ビア	
1 0 0	電子回路基板用 C A D システム	
1 0 2	入出力インターフェース（情報出力手段）	
1 0 3	C P U（作図レイヤ設定手段、C A D データ入力手段、C A M データ変換手段、 配線ネット登録手段、ネットグループ登録手段、ディファレンシャル配線発生手段、線幅・ 線間隔登録手段、ディファレンシャル配線移動手段、引き込み処理実行手段、ディファ レンシャル配線チェック手段、C A M データ出力手段）	
1 0 5	R A M	
1 0 6	キーボード	20
1 0 7	マウス（C A D データ入力手段）	
1 0 8	C D - R O M ドライブ	
1 1 0	ハードディスクドライブ（記憶手段）	
1 1 2	コンピュータ本体	
1 2 0	C D - R O M	
M 1, M 1 1, M 3, M 1 3	導体層（電源層、接地層）	
V 1, V 1 1, V 2, V 1 2	絶縁層	

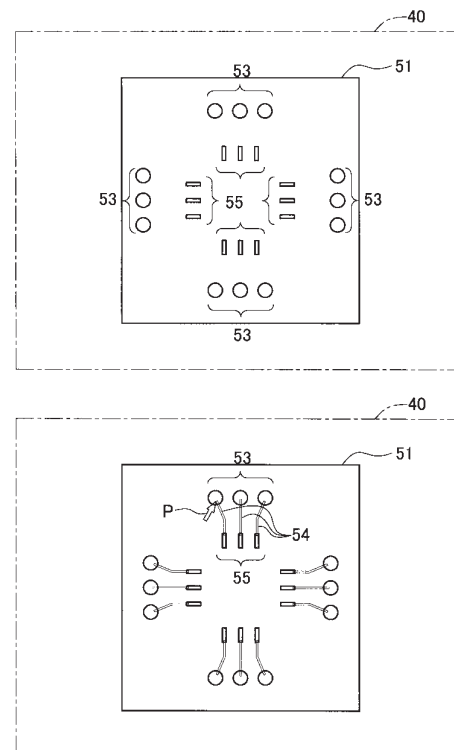
【图 2】



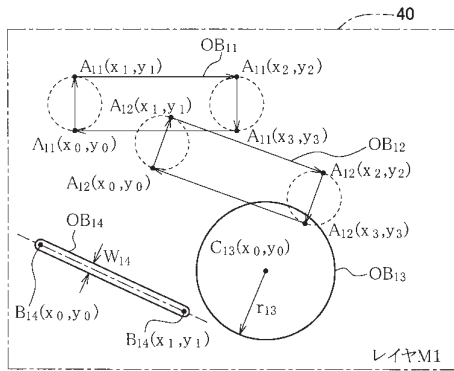
【 図 3 】



【图 4】



【図 5】

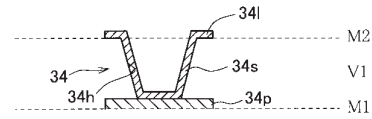


【図 6】

エレメント 特定データ	レイヤ 特定データ	エレメント記述データ	52g
OB ₁₁	LY ₁	A ₁₁ (x ₀ , y ₀), A ₁₁ (x ₁ , y ₁), A ₁₁ (x ₂ , y ₂), A ₁₁ (x ₃ , y ₃)	
OB ₁₂	LY ₂	A ₁₂ (x ₀ , y ₀), A ₁₂ (x ₁ , y ₁), A ₁₂ (x ₂ , y ₂), A ₁₂ (x ₃ , y ₃)	
OB ₁₃	LY ₃	C ₁₃ (x ₀ , y ₀), r ₁₃	
OB ₁₄	LY ₄	B ₁₄ (x ₀ , y ₀), B ₁₄ (x ₁ , y ₁), W ₁₄	
⋮	⋮	⋮	

LY1=LY2=LY3=LY4=レイヤM1

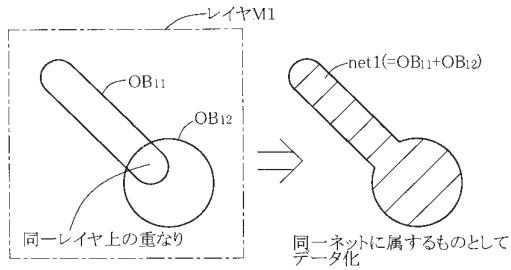
【图 7】



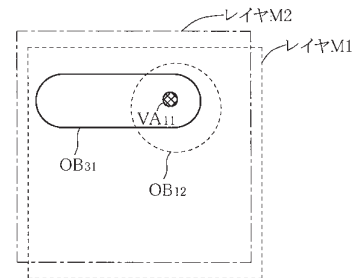
【图 8】

ビア特定データ	ビア位置データ	ビア形成レイヤ
VA ₁₁	V ₁₁ (x ₀ , y ₀)	VLY11
VA ₁₂	V ₁₂ (x ₀ , y ₀)	VLY12
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮

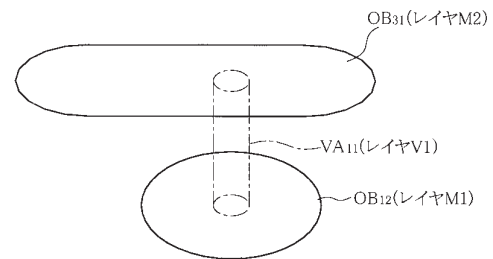
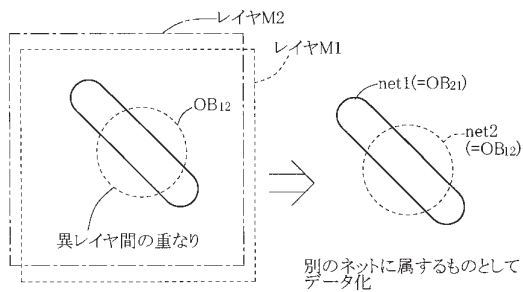
【图 9】



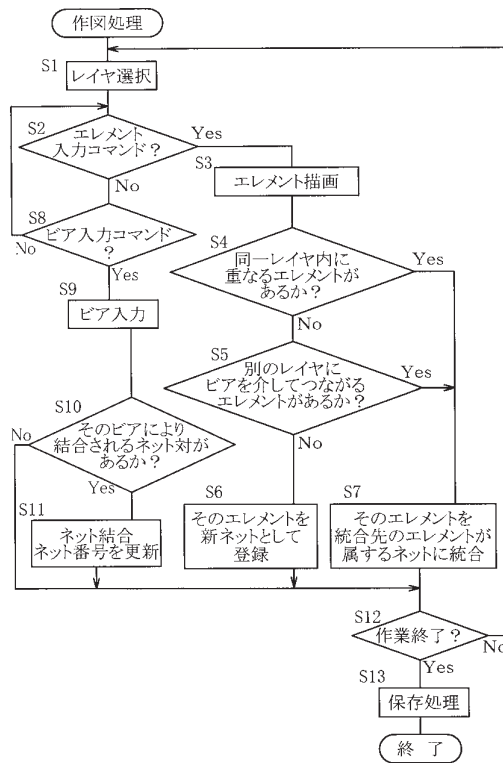
【 図 1 1 】



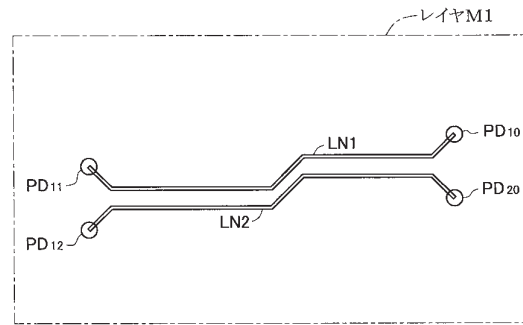
【 ☒ 1 0 】



【図 1 2】



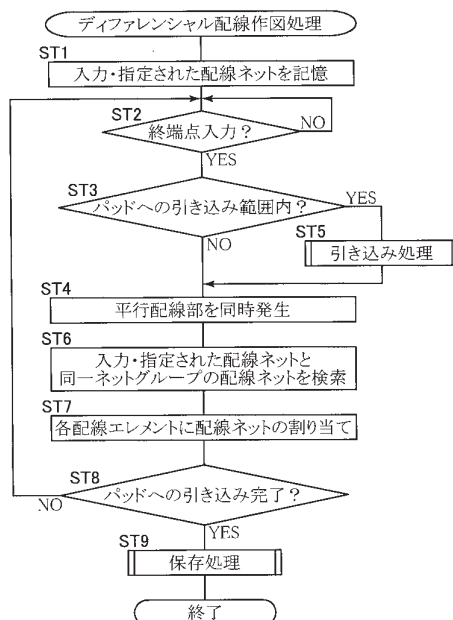
【図 1 3】



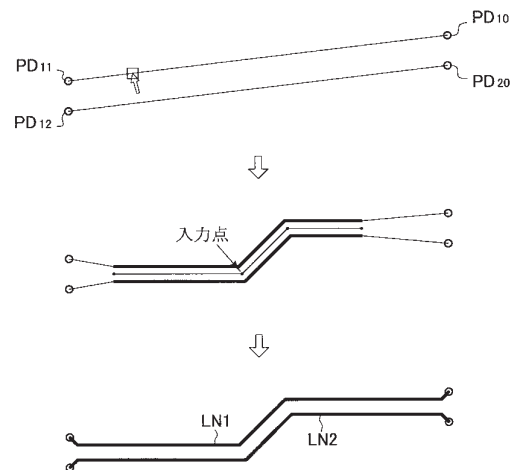
【図 1 4】

ネットグループデータ	配線ネットデータ
NT ₁	net11,net12
NT ₂	net13,net14
NT ₃	net15,net16
⋮	⋮

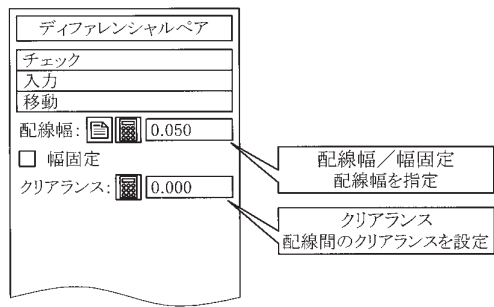
【図 1 5】



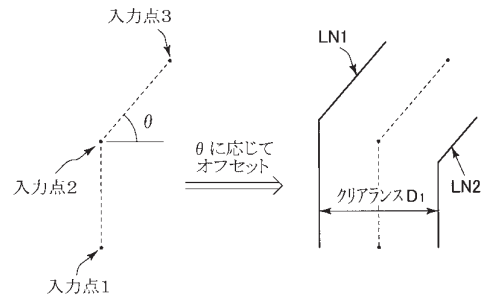
【図 1 6】



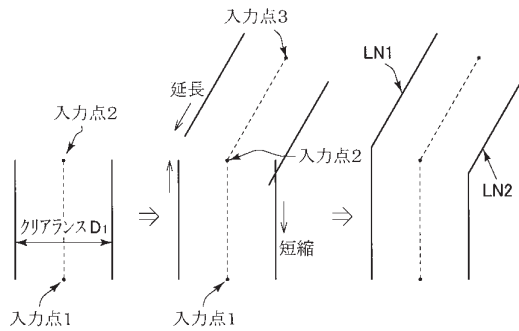
【図 17】



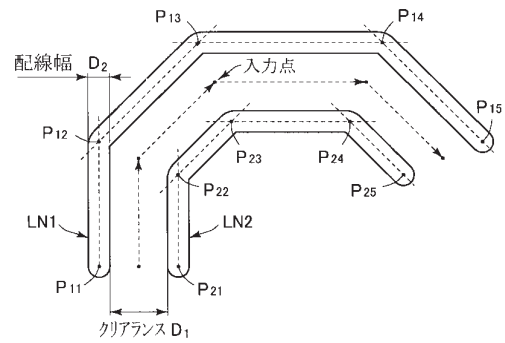
【図 19】



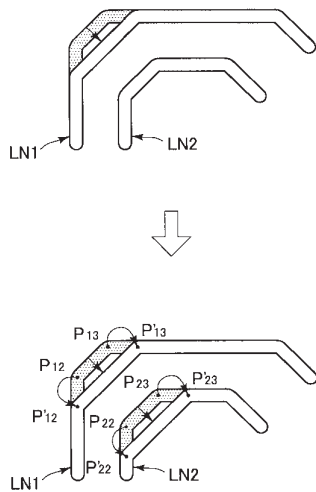
【図 18】



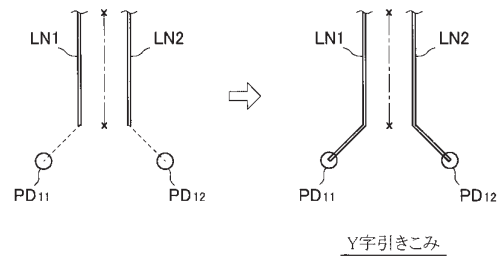
【図 20】



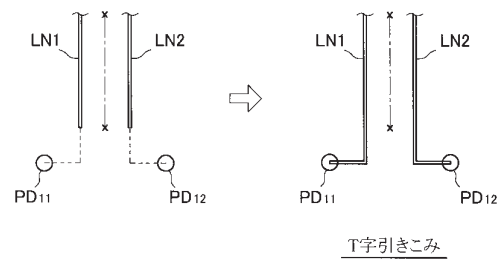
【図 21】



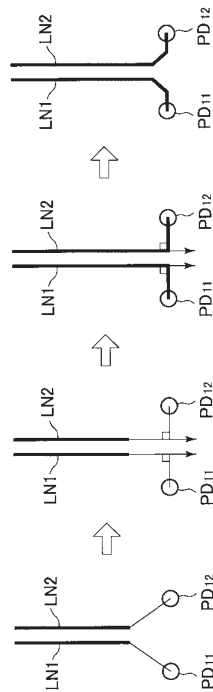
【図 22】



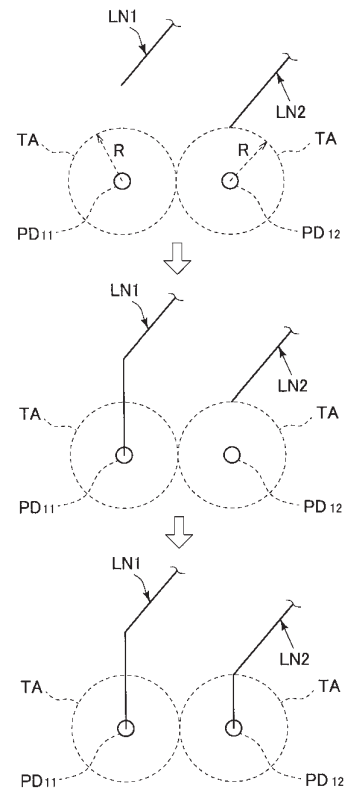
【図 23】



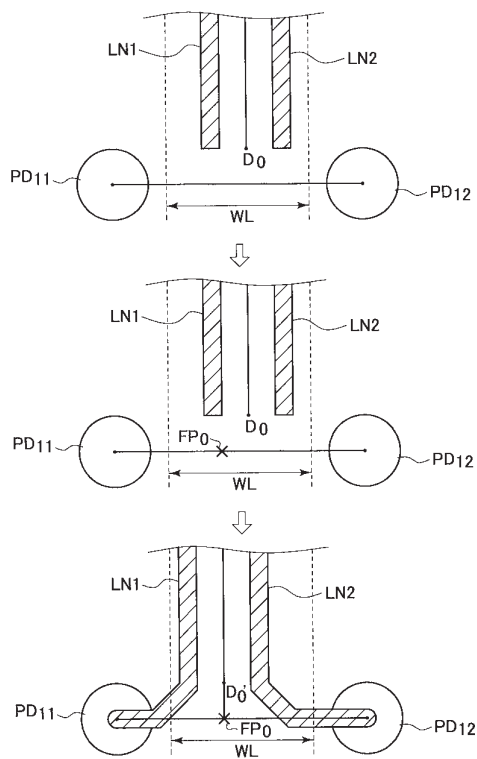
【図 2 4】



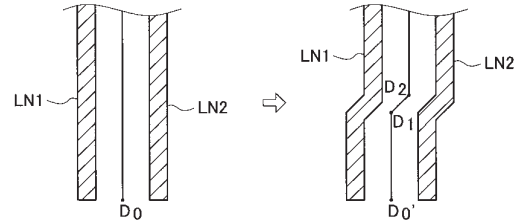
【図 2 5】



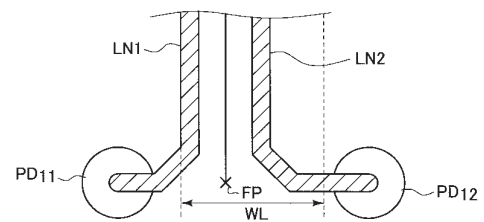
【図 2 6】



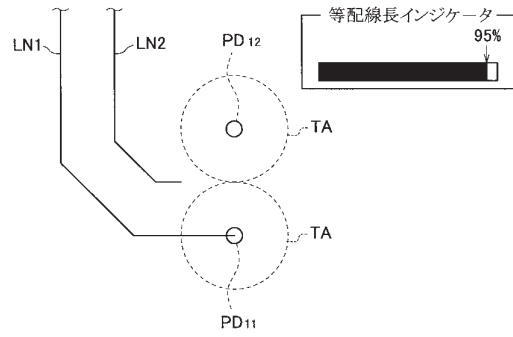
【図 2 7】



【図 2 8】



【図 29】



【図 30】

