

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-121875
(P2003-121875A)

(43) 公開日 平成15年4月23日 (2003.4.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 8 8
	1/13	1/13	1 0 1 2 H 0 9 2
	1/1345	1/1345	2 H 0 9 5
G 0 3 F 1/08		G 0 3 F 1/08	L 2 H 0 9 7
	7/20	7/20	5 C 0 9 4
審査請求 未請求 請求項の数14 O L (全 21 頁) 最終頁に続く			

(21) 出願番号 特願2001-311846(P2001-311846)

(22) 出願日 平成13年10月9日 (2001.10.9)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外2名)

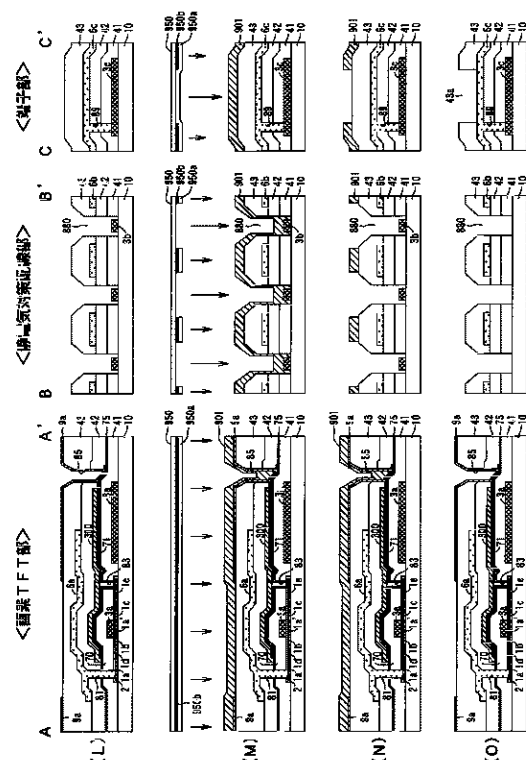
最終頁に続く

(54) 【発明の名称】 素子基板装置の製造方法及び電気光学装置の製造方法並びにレチクル

(57) 【要約】

【課題】 素子基板装置の製造において、短絡用配線を形成することによる静電気対策を効果的に実施することが可能であるとともに、その切断を確実に実施し得るようにする。

【解決手段】 本発明に係る短絡用配線の切断においては、短絡用配線(3b)上の層間絶縁膜(41乃至43)に対して形成された切断用孔(880)に対向する位置において一の光透過率を有し、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル(950)を用いる。



【特許請求の範囲】

【請求項1】 複数の画素電極と、該複数の画素電極に接続された複数の薄膜トランジスタと、該複数の画素電極を駆動するため前記複数の薄膜トランジスタに接続された配線とを備える素子基板装置を製造する素子基板装置の製造方法であって、

前記配線間を接続する短絡用配線を形成する工程と、
前記短絡用配線上に層間絶縁膜を形成する工程と、
前記短絡用配線上の前記層間絶縁膜に対して切断用孔を形成する工程と、
前記切断用孔を形成後に前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する工程と、
前記切断用孔に対向する位置において一の光透過率を有し、かつ、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するとともに、前記切断用孔に対向する位置を除く領域内に所定パターンの遮光膜が形成されてなるレチクルを用いて、前記レジストを露光する工程と、
前記レジストの除去後に前記切断用孔を利用して前記短絡用配線を切断する工程とを含むことを特徴とする素子基板装置の製造方法。

【請求項2】 前記配線は、走査線を含むことを特徴とする請求項1に記載の素子基板装置の製造方法。

【請求項3】 前記配線は、データ線を含むことを特徴とする請求項1又は2に記載の素子基板装置の製造方法。

【請求項4】 前記配線は、前記走査線に接続された走査線駆動回路又は前記データ線に接続されたデータ線駆動回路の少なくとも一方を駆動するための信号を供給する信号配線を含むことを特徴とする請求項2又は3に記載の素子基板装置の製造方法。

【請求項5】 当該素子基板装置は、マザー基板上に複数形成されるとともに該マザー基板を切断線に沿って分断することにより形成されるものであり、前記短絡用配線と電氣的に接続された基板装置間短絡用配線を前記マザー基板上の前記切断線に沿って形成する工程と、前記切断線に沿った分断を実施することにより前記基板装置間短絡用配線を当該素子基板装置間で分断する工程とを更に含むことを特徴とする請求項1乃至4のいずれか一項に記載の素子基板装置の製造方法。

【請求項6】 前記層間絶縁膜を形成する工程の後、前記切断用孔を形成する工程の前に、前記層間絶縁膜上に蓄積容量を形成する工程と、該蓄積容量上に他の層間絶縁膜を形成する工程とを更に含むことを特徴とする請求項1乃至5のいずれか一項に記載の素子基板装置の製造方法。

【請求項7】 前記レチクルにおいて前記他の光透過率を有する部位には、薄膜が形成されていることを特徴とする請求項1乃至6のいずれか一項に記載の素子基板装置の製造方法。

【請求項8】 前記薄膜は、前記レチクル上における前記遮光膜上に形成されていることを特徴とする請求項7に記載の素子基板装置の製造方法。

【請求項9】 前記薄膜の少なくとも一部は、前記レチクルと同一の屈折率を有することを特徴とする請求項7又は8に記載の素子基板装置の製造方法。

【請求項10】 前記薄膜の少なくとも一部は、相異なる複数の材料により構成された積層構造を有することを特徴とする請求項7乃至9のいずれか一項に記載の素子基板装置の製造方法。

【請求項11】 前記画素電極に代えてストライプ状電極を備え、前記配線は前記ストライプ状電極に直接接続されてなり、

前記配線に接続され、前記ストライプ状電極を駆動するための、他の薄膜トランジスタを含む駆動回路部が更に備えられてなることを特徴とする請求項1乃至10のいずれか一項に記載の素子基板装置の製造方法。

【請求項12】 請求項1乃至11のいずれか一項に記載の素子基板装置の製造方法により当該素子基板装置を製造する工程と、

該素子基板装置に対向するように対向基板を相接着する工程と、

前記素子基板装置及び前記対向基板間に電気光学物質を封入する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項13】 半導体プロセスにおいて使用されるレチクルであって その少なくとも一の部位において一の光透過率を有するとともに、他の部位において前記一の光透過率よりも大きい他の光透過率を有し、前記他の部位の少なくとも一部には、所定パターンの遮光膜が形成されており、前記一の部位の少なくとも一部には、前記遮光膜が形成されていないことを特徴とするレチクル。

【請求項14】 前記他の透過率を有する部位には、薄膜が形成されていることを特徴とする請求項13に記載のレチクル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、その上に複数の回路素子及び配線等が形成されるアクティブマトリクス基板装置等の素子基板装置の製造方法、及び該素子基板装置を用いた電気光学装置の製造方法の技術分野、並びに半導体プロセス一般に用いられるレチクルの技術分野に属する。

【0002】

【背景技術】マトリクス状に配列された画素電極及び該電極の各々に接続された薄膜トランジスタ（Thin Film Transistor；以下適宜、「TFT」という。）、該TFTの各々に接続され、行（又は列）方向に平行に設けられた走査線及び列（又は行）方向に平行に設けられたデ

ータ線等を備えるとともに、前記走査線に対しては走査線駆動回路による駆動が、前記データ線に対してはデータ線駆動回路による駆動が、それぞれ行われることによって、いわゆるアクティブマトリクス駆動が可能な電気光学装置が知られている。このような電気光学装置における上述のTFT等その他の回路素子、あるいは該回路素子間を接続する上述の走査線又はデータ線等の配線は、半導体プロセスを応用して形成されている。

【0003】ところで、このような電気光学装置、とりわけ例えば液晶装置等においては、上述のTFT等その他の回路素子等を搭載する基板に、ガラス等の絶縁性の材料が用いられることがある。一方、上記半導体プロセスとしては、例えば、スパッタリング工程やドライエッチング工程等を考えることができる。これらのことから、例えば、スパッタリング工程においては、「絶縁性」の基板上に「帯電」粒子が衝突・堆積されることになるから、該基板において静電気が蓄積することがある。このように静電気が蓄積されると、これを起因とした不具合、例えば、上述のTFT等その他の回路素子を静電破壊する可能性が高くなる。

【0004】そこで、従来では、前記走査線、あるいは前記データ線を形成する工程を兼用して各々の走査線、あるいはデータ線に電氣的に接続する短絡用配線を形成することが行われている。この短絡用配線を形成すると、絶縁性基板の表面に蓄積された電荷や静電気は該短絡用配線を介して基板外周側に拡散されることになるから、突発的に過剰な電流が、走査線、あるいはデータ線を介してTFT等その他の回路素子等に流れることがなくなり、該回路素子等の静電破壊を未然に防止することができる。

【0005】ただし、上述した短絡用配線は、電気光学装置の製造工程の完了前には、当該電気光学装置を正常動作させるために切断する必要があるため、本願出願人は、その途中の工程を兼用して短絡用配線の上に切断用孔を形成しておき、これらの切断用孔を介して短絡用配線の所定位置を切断し、短絡用配線と走査線、あるいはデータ線との分離を行う方法を提案している（特公平8-14667号公報参照）。

【0006】また、本願出願人は、短絡用配線を形成・切断することによって静電気に対処する手法を、上述したデータ線駆動回路や走査線駆動回路等に対しても、略同様に適用することを提案している（特公平11-95257号公報参照）。

【0007】

【発明が解決しようとする課題】しかしながら、上述の短絡用配線の形成・切断においては、次のような問題があった。すなわち、近年、電気光学装置の高精細化・微細化や高開口率の達成という一般的要請に沿うべく、該電気光学装置を構成する各種回路素子及び配線等は、各種層間絶縁膜等を介して、基板に対して鉛直方向に積層

化された構造をとる傾向にあり、その結果、これら各種回路素子及び配線等は、いわば「高層化」されるようになっている。つまり、従前に比べて、電気光学装置の「高さ」が大きくなっているのである。そして、このような高層化が進むと、上述した短絡用配線の形成・切断における、切断工程が首尾よく行えないという問題点が生ずるのである。

【0008】例えば、走査線形成工程との兼用による短絡用配線の形成は、電気光学装置の製造工程の比較的初段に行われ、短絡用配線の切断は、当該工程の比較的后段に行われることが想定されるから この切断は、「高層化」された各種層間絶縁膜等を前提として行わなければならないことになる。ここで更に、該切断を、フォトリソグラフィ法を利用して実施することを考えると、まず高層化された各種層間絶縁膜等に対して上記切断用孔を形成するとともに、該孔の底部及び最上層の層間絶縁膜等にレジストを塗布して露光・現像を実施した後エッチングを行うことになるが、上述のように、高層化された層間絶縁膜等に前記切断用孔を形成すると、その深さは大きくなってしまふことから、該孔の底部に存在するレジストに対する露光を効果的に実施することができなくなる。したがって、該孔の底部におけるレジストは残存することになり、その結果、短絡用配線の切断が十分に行えないといった不具合が生じる。

【0009】これに対処するため、例えば、レジストに対する露光量を大きくすることも考えられる。つまり、露光量を大きくすることによって、切断用孔の底部にまで十分に光が達するように、ないし該底部におけるレジストを十分に露光することができるようにするのである。しかしながら、このような手法では、層間絶縁膜等の上に存在するレジストにとっては、過ぎた露光量となってしまう、ハレーション等の問題が生じかねない。ここに、「ハレーション」とは、露光された光が例えばメタル層等の表面で想定外の方法に反射等することをいう。このようなハレーションが生じると、本来は、露光されるべきでない部分までが露光されることにより、例えば、溝の開口寸法等の制御等が正確に行えなくなるといった問題が新たに生ずる結果となる。

【0010】本発明は、上記問題点に鑑みてなされたものであり、短絡用配線を形成することによる静電気対策を効果的に実施することが可能であるとともに、その切断を確実に実施し得る素子基板装置の製造方法、電気光学装置の製造方法、並びにレチクルを提供することを課題とする。

【0011】

【課題を解決するための手段】本発明の素子基板装置の製造方法は、上記課題を解決するために、複数の画素電極と、該複数の画素電極の各々に接続された複数の薄膜トランジスタと、該複数の画素電極を駆動するため前記複数の薄膜トランジスタに接続された配線とを備える素

子基板装置を製造する素子基板装置の製造方法であって、前記配線間を接続する短絡用配線を形成する工程と、前記短絡用配線上に層間絶縁膜を形成する工程と、前記短絡用配線上の前記層間絶縁膜に対して切断用孔を形成する工程と、前記切断用孔を形成後に前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する工程と、前記切断用孔に対向する位置において一の光透過率を有し且つ該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するとともに、前記切断用孔に対向する位置を除く領域内に所定パターンの薄膜が形成されてなるレチクルを用いて、前記レジストを露光する工程と、前記レジストの除去後に前記切断用孔を利用して前記短絡用配線を切断する工程とを含む。

【0012】本発明の素子基板装置の製造方法によれば、まず、画素電極を駆動するため、これに接続された薄膜トランジスタに接続された配線間を接続する短絡用配線が形成される。ここに配線とは、具体的には例えば、走査線、あるいはデータ線等が該当する。この短絡用配線の存在により、以降の製造プロセスにおいて、たとえ静電気が発生するようなことがあっても、該静電気は、配線及び該短絡用配線を通じてこれを拡散させることが可能となり、あるいはまた、静電気の発生により仮に短絡用配線に電位変動しても薄膜トランジスタにおける相互に短絡されたゲート、ソース及びドレイン間には電位差を殆ど生じないため、例えば上述の薄膜トランジスタをはじめ、その他必要に応じて設けられる基板上の回路素子が静電破壊することを未然に防止することが可能となる。

【0013】次に、この短絡用配線上に層間絶縁膜が形成される。この層間絶縁膜により、例えば、薄膜トランジスタを構成する半導体層、同じく薄膜トランジスタを構成するゲート電極を含む走査線、該薄膜トランジスタに接続されるデータ線、あるいは該薄膜トランジスタに接続される蓄積容量を構成する電極等、いずれも基板上で積層されて形成される各種構成要素間で短絡を生じさせないことが可能となるとともに、上述した各種構成要素を基板面に対して鉛直方向に、いわば「高層化」することが可能となる。すなわち、本発明によれば、電気光学装置の微細化・高精細化に対応することが可能となるのである。

【0014】そして次に、前記短絡用配線上、かつ、いま述べた層間絶縁膜に対して、切断用孔を形成した後に、前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する。ここで、短絡用配線上に対するレジストの塗布は、前記切断用孔を利用して行われることは言うまでもない。したがって、本発明に係るレジストの塗布は、切断用孔の底部、すなわち短絡用配線上と、層間絶縁膜上というように、高さ方向に相違がある各面に対して行われることになる。とりわけ 本発明においては、

上述したように、高層化することが可能であるから、一般に切断用孔の深さは大きく、したがって、上記「高さ方向に相違がある各面」は、相当程度距離をおいた各面となることが想定される。

【0015】ここで特に、本発明においては、切断用孔に対向する位置において一の光透過率を有し、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクルを用いて、前記レジストを露光する。つまり、このようなレチクルを用いれば、同一強度となる一つの露光光源を用いたとしても切断用孔が存在する位置における露光量は大きく（なぜなら、露光光は一の光透過率を有する部位を透過するから）該孔が存在しない位置における露光量は小さくなる（なぜなら、露光光は一の光透過率よりも低い他の光透過率を有する部位を透過するから）。したがって、本発明によれば、切断用孔の底部、すなわち短絡用配線上のレジストに対しては、十分な露光が行われる可能性を高めるとともに、層間絶縁膜上に存在するレジストに対しては、過分な露光が行われず、ハレーション等の発生する可能性を低減することが可能となるのである。したがって、本発明によれば、切断用孔の底部におけるレジストの除去を確実に実施し得、その結果、短絡用配線の切断も確実に実施し得ることになる。

【0016】そしてまた、本発明に係るレチクルでは、前記切断用孔に対向する位置を除く領域内に所定パターンの遮光膜が形成されてなる。このことは、露光光の進行が該遮光膜の存在によってほぼ完全に遮られることを意味し、別の観点、すなわちこの遮光膜が存在する部位と存在しない部位という観点から言えば、本発明に係るレチクルにより、通常のパターニングが実施され得ることを意味するに他ならない。言い換えれば、所定パターンの遮光膜が存在する部位では、前記他の光透過率よりも更に低い光透過率を有する形態が一般的に想定されることになる。

【0017】要するに、本発明によれば、短絡用配線に対しては、強力な露光を行って、切断用孔の底部におけるレジストの残留を低減できると同時に、通常のパターニングにおける露光、すなわち遮光膜により遮られる露光光と、遮光膜が存在せず且つ他の光透過率を有する部位を透過する露光光とにおいて、後者の露光量が適度に抑えられることにより、ハレーション防止等を実現し得、その結果、高精度のパターニングを行えるのである。

【0018】なお、上述した一の光透過率及び他の光透過率の具体的な値は、上記層間絶縁膜の厚さがどの程度であるか、あるいは切断用孔の底部と当該層間絶縁膜上との高さの差がどの程度であるか、また、塗布するレジストの性質や、露光光源の性質等その他当該レチクルを利用して露光を行うステップの性能等の具体的事情によって、適宜変わり得る。

【0019】ただし、これらの光透過率間に多少なりとも差があれば、切断用孔の底部のレジストに対して露光量を相対的に増加させつつ層間絶縁膜上に存在するレジストに対して露光量を相対的に減少させることは可能となる。

【0020】本発明の素子基板装置の一態様では、前記配線は、走査線を含む。

【0021】この態様によれば、配線が走査線を含むことから 短絡用配線によって電氣的に接続されるのは、少なくとも該走査線を含むことになる。したがって、本態様によれば 走査線を通じた静電気によって、薄膜トランジスタが静電破壊することを未然に防止することが可能となる。

【0022】本発明の素子基板装置の他の態様では、前記配線は、データ線を含む。

【0023】この態様によれば、配線がデータ線を含むことから 短絡用配線によって電氣的に接続されるのは、少なくとも該データ線を含むことになる。したがって、本態様によれば データ線を通じた静電気によって、薄膜トランジスタが静電破壊することを未然に防止することが可能となる。

【0024】このような、前記配線が走査線、あるいはデータ線を含む態様にあっては特に、前記配線は、前記走査線に接続された走査線駆動回路又は前記データ線に接続されたデータ線駆動回路の少なくとも一方を駆動するための信号を供給する信号配線を含むようにするとよい。

【0025】このような構成によれば 例えば、一般にCMOS型等の薄膜トランジスタその他の回路素子を含む走査線駆動回路又はデータ線駆動回路を駆動するための信号を供給する信号配線が、短絡用配線によって電氣的に接続されることになる。したがって、本態様によれば 該走査線駆動回路及び該データ線駆動回路等においても、静電破壊等の不具合を発生させる可能性を低減することができ、より信頼性の高い素子基板装置を製造することができる。

【0026】本発明の素子基板装置の製造方法の他の態様では、当該素子基板装置は、マザー基板上に複数形成されるとともに該マザー基板を切断線に沿って分断することにより形成されるものであり、前記短絡用配線と電氣的に接続された基板装置間短絡用配線を前記マザー基板上の前記切断線に沿って形成する工程と、前記切断線に沿った分断を実施することにより前記基板装置間短絡用配線を当該素子基板装置間で分断する工程とを更に含む。

【0027】この態様によれば マザー基板上に当該素子基板装置が複数形成された状態で、前記短絡用配線と電氣的に接続された基板装置間短絡用配線が形成される。このため、各素子基板装置は、マザー基板上でそれぞれ短絡されることになるとともに、基板上に発生した

静電気は、走査線、データ線及び信号配線等の配線又は短絡用配線を通じて、基板装置間短絡用配線へと至り該静電気は、基板の外周へと拡散させられることになる。したがって、本態様によれば 上述にも増して、該装置を構成する各種回路素子において、静電破壊を生じさせる恐れが低減されることになる。

【0028】そして、本態様では、切断線に沿った分断の実施をもって前記基板装置間短絡用配線の当該素子基板装置間における分断が実現することにより、個々の素子基板装置が形成される。したがって、その後製造される各電気光学装置における動作が、基板装置間短絡用配線によって妨害されることがない。

【0029】本発明の素子基板装置の製造方法の他の態様では、前記層間絶縁膜を形成する工程の後、前記切断用孔を形成する工程の前に、前記層間絶縁膜上に蓄積容量を形成する工程と、該蓄積容量上に他の層間絶縁膜を形成する工程とを更に含む。

【0030】この態様によれば 短絡用配線上に、前記層間絶縁膜のほか 蓄積容量及び他の層間絶縁膜が別途形成されることから 切断用孔の深さは、より大きくなることになる。したがって、本態様によれば 短絡用配線上のレジストに対しては十分な露光を行うことが可能であるとともに、他の層間絶縁膜上に存在するレジストに対しては、過大な露光を行うことがないという本発明に係る効果を、より顕著に享受することが可能となる。

【0031】本発明の素子基板装置の製造方法の他の態様では、前記レチクルにおいて前記他の光透過率を有する部位には、薄膜が形成されている。

【0032】この態様によれば 例えば、光吸収性をもつ、あるいは光反射性をもつ薄膜が、レチクルにおける前記他の光透過率を有する部位（すなわち、切断用孔に対向しない位置）において形成されていることから、前記一の光透過率よりも低い他の光透過率を有する部位を、比較的容易に製造すること、ないし現出させることが可能となる。

【0033】なお、薄膜の材質としては、例えば、ITO (Indium Tin Oxide) やSiNx (窒化シリコン) 等をあてることが可能である。

【0034】この他の透過率を有する部位に薄膜を形成する態様では特に、前記薄膜は、前記レチクル上における前記遮光膜上に形成されるようにするとよい。

【0035】この構成によれば 薄膜の形成について特段の配慮（すなわち、例えば遮光膜形成位置を避けて薄膜を形成する等）を行う必要がなく、本発明に係るレチクルを容易に製造することが可能となる。

【0036】なお、レチクル上に薄膜を形成し、その上に遮光膜を形成する構成を採用することも可能である。

【0037】上述のレチクルに薄膜を形成する態様、あるいは遮光膜上に薄膜を形成する構成では特に、前記薄膜の少なくとも一部は、前記レチクルと同一の屈折率を

有するようにするとよい。

【0038】このような構成によれば、薄膜がレチクルと同一の屈折率を有することにより、一の光透過率を有する部位と他の光透過率を有する部位とのそれぞれを透過する光は、例えば異なる光路をとるようなことがなくなる。つまり、当該薄膜及びレチクル本体とでは同一の光路をとって光が進行することになる。したがって、所望外の箇所に露光が行われるようなことがなく、精度高く素子基板装置を製造することが可能となる。

【0039】なお、本構成の要件を満たすような材料としては、例えば SiO_2 等を挙げることができる。

【0040】また、本構成において、「薄膜の少なくとも一部」とは、前記他の光透過率を有する部位に形成される薄膜の全面において、その少なくとも一部ということの意味する。すなわち、より具体的には、例えば、他の光透過率を有する部位における一の領域においては、屈折率が同一の薄膜が形成され、他の領域においては、そうでない薄膜が形成される、等といった形態を想定することが可能である。いずれにせよ、そのような形態等であっても、本発明の範囲内にあることに変わりはない。

【0041】さらに、本発明にいう「同一の屈折率」とは、レチクルと薄膜との両屈折率が完全に同一である他、両屈折率の差に起因する光反射が当該製造方法におけるレジストを露光する工程の実用上の妨げとならない程度に、両屈折率が同一であることをいい、その程度は、製造装置の仕様や製造条件に依存して決定されるものである。そして、この同一の程度は、実験的、経験的、理論的或いはシミュレーションによって実際に使用される製造装置や製造条件に応じて個別具体的に定めればよい。

【0042】また、上述のレチクルに薄膜を形成する態様、遮光膜上に薄膜を形成する構成、あるいは該薄膜の少なくとも一部がレチクルと同一の屈折率を有するような構成では特に、前記薄膜の少なくとも一部は、相異なる複数の材料により構成された積層構造を有するようにするとよい。

【0043】このような構成によれば、薄膜が相異なる複数の材料により構成された積層構造を有することにより、レチクル上の光透過率をよりきめ細かに設定することが可能となり、正確な露光工程の実施に資する。例えば、該薄膜の一の部位においては上述の積層構造、他の部位においては積層構造でない単層構造をとる場合を仮定すると、本構成によれば、当該一の部位で最も弱い露光が行われ、当該他の部位で中間の露光が行われ、前記一の光透過率を有する部位、すなわち薄膜が形成されていない部位で最も強い露光が行われる、等とすることが可能となる。むろん、薄膜を三層以上の積層構造とする場合も、当然に本発明の範囲内に含まれる。

【0044】なお、本構成に係る「少なくとも一部」の

意義は、上述と同様である。

【0045】また、他の光透過率を有する部位は、一の光透過率を有する部位と同一又は異なる膜からなり且つ厚く形成されていてもよい。

【0046】本発明の基板装置の製造方法の他の態様では、前記画素電極に代えてストライプ状電極を備え、前記配線は前記ストライプ状電極に直接接続されてなり、前記配線に接続され、前記ストライプ状電極を駆動するための、他の薄膜トランジスタを含む駆動回路部が更に備えられてなる。

【0047】この態様によれば、例えば、いわゆるパッシブマトリクス駆動が可能な素子基板装置において、ストライプ状電極を駆動するための駆動回路部に含まれる、他の薄膜トランジスタにつき、その静電破壊を防止することが可能となる。

【0048】本発明の電気光学物質の製造方法は、上記課題を解決するため、上述した素子基板装置の製造方法（ただし、各種態様を含む。）により当該素子基板装置を製造する工程と、該素子基板装置に対向するように対向基板を相接着する工程と、前記素子基板装置及び前記対向基板間に電気光学物質を封入する工程とを含む。

【0049】本発明の電気光学物質の製造方法によれば、静電破壊した薄膜トランジスタ等を含むことのない、適正な電気光学装置を製造することができる。

【0050】本発明のレチクルは、上記課題を解決するため、半導体プロセスにおいて使用されるレチクルであって、その少なくとも一の部位において一の光透過率を有するとともに、他の部位において前記一の光透過率よりも大きい他の光透過率を有し、前記他の部位の少なくとも一部には、所定パターンの遮光膜が形成されており、前記一の部位の少なくとも一部には、前記遮光膜が形成されていない。

【0051】本発明のレチクルによれば、上述したことから明らかな通り、本発明の素子基板装置の製造方法、又は本発明の電気光学装置の製造方法において、好適に利用することが可能となる。

【0052】なお、本発明にいう「半導体プロセス」とは、例えばフォトリソグラフィ技術を念頭において考えることができる。

【0053】本発明のレチクルの一態様では、前記他の透過率を有する部位には、薄膜が形成されている。

【0054】本態様によれば、例えば、光吸収性をもつ、あるいは光反射性をもつ薄膜が、レチクルにおける前記他の光透過率を有する部位において形成されていることから、前記一の光透過率よりも低い他の光透過率を有する部位を、比較的容易に製造すること、ないし現出させることが可能となる。

【0055】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0056】

【発明の実施の形態】以下では、本発明の実施の形態について図を参照しつつ説明する。

【0057】(アクティブマトリクス基板の全体構成) まず、本発明の素子基板装置の実施の形態として、液晶装置用のアクティブマトリクス基板を例にあげ、図1から図4を参照しながら説明する。ここに図1は、液晶表示パネルに用いられる駆動回路内蔵型のアクティブマトリクス基板の構成を模式的に示すブロック図である。また、図2は、図1に示す端子800、801、802…に対応するように層間絶縁膜に対して形成される開口部分及び該端子800、801、802…と図1に示す短絡用配線との電気的な接続を図るため層間絶縁膜に対して形成されるコンタクトホールとを示す平面図であり、図3は、図1に示す静電保護回路150及び151の詳細な構成を示すブロック図であり、図4は、図1に示す信号配線72及び73と、後に詳述する第1短絡用配線91との配置態様の詳細を示す平面図である。

【0058】図1に示すように、本実施形態の液晶表示パネルに用いられる駆動回路内蔵型のアクティブマトリクス基板AMでは、例えば石英といったガラス等の絶縁性の材料により構成されたTFTアレイ基板10上に、互いに交差する複数の走査線3aと複数のデータ線6aとによって画素電極9aがマトリクス状に構成されている。ここに、走査線3a及びデータ線6aは、本発明にいう「配線」の一例に該当する。走査線3aはドーフトシリコン膜で構成され、データ線6aはアルミニウム膜等の金属膜あるいは合金膜で構成されている。また、画素電極9aがマトリクス状に形成されている領域全体をもって、画像表示領域10aが規定される。

【0059】TFTアレイ基板10上における画像表示領域10aの外側領域(周辺部分)には、複数のデータ線6aのそれぞれに、画像信号を供給するデータ線駆動回路101が構成されている。また、走査線3aの両端部のそれぞれには、各々の走査線3aに画素選択用の走査信号を供給する走査線駆動回路104が構成されている。

【0060】データ線駆動回路101には、X側シフトレジスタ回路、X側シフトレジスタ回路から出力された信号に基づいて動作するアナログスイッチとしてのTFTを備えるサンプルホールド回路S/H、例えば6相に展開された各画像信号VID1～VID6に対応する6本の画像信号線video等が構成されている。本実施形態において、データ線駆動回路101は、前記のX側シフトレジスタ回路が4相で構成されており、端子を介して外部から、スタート信号DX、クロック信号CLX1～CLX4、及びその反転クロック信号CLX1バー～CLX4バーがX側シフトレジスタ回路に供給され、これらの信号によってデータ線駆動回路101が駆動される。従って、サンプルホールド回路S/Hは、前記のX側シフトレジスタ回路から出力された信号に基づいて

各TFTが動作し、画像信号線videoを介して供給される画像信号VID1～VID6を所定のタイミングでデータ線6aに取り込み、各画素電極9aに供給することが可能である。

【0061】一方、走査線駆動回路104には、端子を介して外部からスタート信号DY、クロック信号CLY、及びその反転クロック信号CLYバーが供給され、これらの信号によって走査線駆動回路104が駆動される。

【0062】なお、図1においては、走査線駆動回路104が図中左方及び右方に二つ、データ線駆動回路101が図中下方に一つ設けられるような形態が示されているが、走査線3aに供給される走査信号遅延が問題とならないならば、走査線駆動回路104は図中左方又は右方の一方のみに設ける形態としてよいし、また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列するような形態としてもよいことは言うまでもない。

【0063】本実施形態のアクティブマトリクス基板AMにおいて、TFTアレイ基板10の辺部分のうち、データ線駆動回路101が構成されている側の辺部分には定電源VDDX、VSSX、VDDY、VSSY、変調画像信号(画像信号VID1～VID6)、各種駆動信号等が入力されるアルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の端子800、801、802…が構成されている。

【0064】これらの端子800、801、802…は、TFTアレイ基板10上に形成された後述の第2層間絶縁膜42の上に形成されているとともに、やはり後述の第3層間絶縁膜43に設けられた開口部分43aで外部に露出された形で形成されている。このような端子800、801、802…、すなわちパッドを利用することにより、本実施形態に係るアクティブマトリクス基板AMと外部端子との接続が可能になっている。そして、後述する第1～第3短絡用配線91～93は、第1層間絶縁膜41の下層として走査線3aと同時に形成されるため、第1～第3短絡用配線91～93の一部である端子下シート膜94と端子800、801、802…との電気的な接続は、図2に示すように、後述する第1及び第2層間絶縁膜41及び42に形成されたコンタクトホール89によって行われている。

【0065】また、図1に戻り、これらの端子800、801、802…からは、走査線駆動回路104及びデータ線駆動回路101を駆動するためのアルミニウム膜等の低抵抗な金属膜や金属シリサイド膜からなる複数の信号配線72及び73がそれぞれ引き回されている。ここに、信号配線72及び73は、上述の走査線3a及びデータ線6aに加えて、本発明にいう「配線」の一例に該当する。

【0066】この信号配線72、73の途中位置には、

静電保護回路150及び151が形成されている。ここに静電保護回路150及び151としては、各種回路を利用できるが、例えば図3に示すものでは、保護抵抗66と、プッシュプル配列されたPチャネル型TFT67及びNチャネル型TFT68とを利用しており、それぞれの正電源VDD及び負電源VSSとの間にダイオードを構成する。ここで特に本実施形態では、第1短絡用配線91を信号配線72（又は73）に接続するのは、端子800（又は801、802）と保護抵抗66との間であり、これにより、端子800（又は801、802）、あるいは第1の短絡用配線91から入った静電気は、保護抵抗66及び静電気保護回路150（又は151）を通過しないとデータ線駆動回路101及び走査線駆動回路104に達しない。このような構成とすることで、静電気は静電気保護回路150（又は151）に確実に吸収され、データ線駆動回路101及び走査線駆動回路104を確実に保護することができる。

【0067】なお、図1に戻り、アクティブマトリクス基板AMと、図1においては示されていない対向基板とは、外部から入力される対向電極電位LCCOMが上下導通材により対向基板に供給されている（対向基板及び導通材については、図12及び図13参照）。

【0068】ここで特に、本実施形態においては、図1に示すように、第1～第3短絡用配線91～93がそれぞれ所定の位置に形成されている。ここで、第1短絡用配線91は、すべての信号配線72及び73に電気的に接続され、第2短絡用配線92はすべての走査線3aに電気的に接続され、第3短絡用配線93はすべてのデータ線6aに電気的に接続されている。本実施形態においては、これら第1～第3短絡用配線91～93は、いずれについても、走査線3a及びTFT30のゲート電極を形成する工程と同時に、すなわち該工程を兼用して形成されている（後の製造方法で詳述する。）。また、その材料は例えばポリシリコン膜を含むもの等として構成されている。

【0069】ただし、上記のうち第1及び第3短絡用配線91及び93については、本実施形態において次に記すような構成となっている。すなわち、これら第1及び第3短絡用配線91及び93は、今しがた述べたように、走査線3a等と同時に形成されることにより、第1短絡用配線91が、TFTアレイ基板10上において信号配線72及び73と同一層に存在することにはならず、第3短絡用配線93は、同じくデータ線6aと同一層に存在することにならない（後に参照する図6、あるいは後述する製造方法に関する説明を参照）。したがって、本実施形態では、図4に示すように、第1短絡用配線91と信号配線72及び73との間には、当該層間に介在する後述の第1及び第2層間絶縁膜41及び42を貫通するコンタクトホール403が設けられている。また、図示はしないが、第3短絡用配線93とデータ線6

aとの間についても、同様にしてコンタクトホールが設けられる。このようにすることで、それぞれの組み合わせにおいて、各両者の電気的接続が図られるようになっている。

【0070】また、これら第1～第3短絡用配線91～93は、アクティブマトリクス基板AMの製造工程が終了した後（すなわち、どんなに遅くとも出荷時）には、その存在がかえって装置の通常動作にとって有害なものとなるので、該製造工程中における適当な段階において、図1に「×」印を付した位置で切断される。この切断は、後の製造方法でも述べるように、例えば上記第1～第3短絡用配線91～93上の第1、第2及び第3層間絶縁膜41、42及び43に対して切断用孔880を形成し、この切断用孔880を利用して第1～第3の短絡用配線91～93に対するエッチングを行う、等の手法によって実現することができる。そして、本実施形態では特に、この切断用孔880を利用したエッチングによる短絡用配線の切断時において、一の光透過率を有する部位及びこれよりも低い他の光透過率を有する部位をそれぞれ備えたレチクルを利用することに特色があるが、その詳細な説明は後述の製造方法に譲ることとする。

【0071】次に、図5及び図6を参照して、上記した画素電極9a周囲のより詳しい構成、並びに該画素電極9a、TFT等を含む、TFTアレイ基板10上に形成される積層構造について詳しく説明する。ここに、図5は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図6は、図5のA-A'断面図である。なお、図6においては、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめている。

【0072】図5において、電気光学装置のTFTアレイ基板上には、既に述べたように、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0073】このうちデータ線6aは、既に述べたように、例えばアルミニウム膜等の金属膜あるいは合金膜で構成されるが、本実施形態においては、該データ線6aの形成工程において、該データ線6aと同時に上述した信号配線72及び73が形成されることになる。

【0074】また、走査線3aは、半導体層1aのうち図5中右上がりの斜線領域で示したチャネル領域1a'に対向するように配置されており、走査線3aはゲート電極として機能する。すなわち、走査線3aとデータ線6aとの交差する箇所にはそれぞれ、チャネル領域1a'に走査線3aの本線部がゲート電極として対向配置された画素スイッチング用のTFT30が設けられてい

る。

【0075】TFT30は、図6に示すように、LDD (Lightly Doped Drain) 構造を有しており、その構成要素としては、上述したようにゲート電極として機能する走査線3a、例えばポリシリコン膜からなり走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aにおける低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。

【0076】ちなみに、上記したゲート電極を含む走査線3aの形成工程では、後の製造方法で詳しく説明するように、該走査線3aと同時に、上述した第1～第3短絡用配線91～93が形成されることになる。

【0077】なお、TFT30は、好ましくは図6に示したようにLDD構造をもつが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造をもってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型のTFTであってよい。また、本実施形態では、画素スイッチング用TFT30のゲート電極を、高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート、あるいはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0078】一方、図5及び図6に示すように、TFT30の高濃度ドレイン領域1e及び画素電極9aに接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより、蓄積容量70が形成されている。この蓄積容量70によれば、画素電極9aにおける電位保持特性を顕著に高めることが可能となる。

【0079】中継層71は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、中継層71は、後に詳述する容量線300と同様に、金属又は合金を含む単一層膜又は多層膜から構成してもよい。中継層71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する機能をもつ。

【0080】この中継層71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、TFT30における半導体層1aのうち高濃度ドレイン領域1eと画素電極9aとの接続を中継する機能

を果たす。

【0081】このように中継層71を利用すれば、層間距離が例えば2000nm程度と長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ、比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続することができ、画素開口率を高めることが可能となる。また、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0082】容量線300は、例えば金属又は合金を含む導電膜からなり固定電位側容量電極として機能する。この容量線300は、平面的に見ると、図5に示すように、走査線3aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線3aに沿って延びる本線部と、図中、データ線6aと交差する各個所からデータ線6aに沿って上方に夫々突出した突出部と、コンタクトホール85に対応する個所が僅かに括れた括れ部とを備えている。このうち突出部は、走査線3a上の領域及びデータ線6a下の領域を利用して、蓄積容量70の形成領域の増大に貢献する。

【0083】このような容量線300は、好ましくは高融点金属を含む導電性遮光膜からなり、蓄積容量70の固定電位側容量電極としての機能のほか、TFT30の上側において入射光からTFT30を遮光する遮光層としての機能をもつ。

【0084】また、容量線300は、好ましくは、画素電極9aが配置された画像表示領域10aからその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。このような定電位源としては、データ線駆動回路101に供給される正電源や負電源の定電位源でもよいし、対向基板の対向電極に供給される定電位でも構わない。

【0085】誘電体膜75は、図6に示すように、例えば膜厚5～200nm程度の比較的薄いHTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄いほどよい。

【0086】図5及び図6においては、上記のほか、TFT30の下側に、下側遮光膜11aが設けられている。下側遮光膜11aは、格子状にパターンニングされており、これにより各画素の開口領域を規定している。また、開口領域の規定は、図5中縦方向に延びるデータ線6aと図5中横方向に延びる容量線300とが相交差して形成されることによっても、なされている。

【0087】なお、下側遮光膜11aについても、前述の容量線300の場合と同様に、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0088】また、TFT30下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能のほか、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性変化を防止する機能を有する。

【0089】走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール81及び高濃度ドレイン領域1eへ通じるコンタクトホール83がそれぞれ開孔された第1層間絶縁膜41が形成されている。

【0090】第1層間絶縁膜41上には、中継層71、及び容量線300が形成されており、これらの上には高濃度ソース領域1dへ通じるコンタクトホール81及び中継層71へ通じるコンタクトホール85がそれぞれ開孔された第2層間絶縁膜42が形成されている。

【0091】ちなみに、本実施形態においては、上記第1及び第2層間絶縁膜41及び42に対し、いま述べたコンタクトホール81、83及び85に加えて、上述した第1短絡用配線91と信号配線72及び73との電気的接続を図るためのコンタクトホール403、あるいは第3短絡用配線93とデータ線6aとの電気的接続を図るためのコンタクトホールが形成されることになる（図6において不図示）。

【0092】なお、本実施形態では、第1層間絶縁膜41に対しては、約1000℃の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0093】第2層間絶縁膜42上には、データ線6aが形成されており、これらの上には中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。

【0094】第3層間絶縁膜43の表面は、CMP（Chemical Mechanical Polishing）処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層50の配向不良を低減する。ただし、このように第3層間絶縁膜43に平坦化処理を施すのに代えて、又は加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41及び第2層間絶縁膜42のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより、平坦化処理を行ってもよい。

【0095】ちなみに、本実施形態においては、上記第1、第2及び第3層間絶縁膜41、42及び43に対し、上述したコンタクトホール81、83及び85、並びに403に加えて、上述した第1～第3短絡用配線91～93を切断するための切断用孔880が形成される

ことになるが、この点については、後の製造方法において詳述することとする。

【0096】更に上記の他、図6に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは、例えばITO膜等の透明導電性膜からなる。また、配向膜16は、例えばポリイミド膜等の有機膜からなる。

【0097】本実施形態においては、以上述べたように、TFT30を構成する半導体層1a、絶縁膜2、該TFT30を構成するゲート電極を含む走査線3a、また、蓄積容量70を構成する中継層71、容量線300及び誘電体膜75、更には、各種層間絶縁膜41、42及び43等が、TFTアレイ基板10上に積層化されて、言い換えれば、いわば「高層化」されて形成されている。このことから、本実施形態に係る電気光学装置によれば、その微細化・高精細化に対応することが可能となる。しかしながら、この一方で、画素電極9aが設けられる第3層間絶縁膜43の図中上面と、走査線3aが位置する層までの図中上下方向の距離は、比較的大きくなることになる。

【0098】次に、図7及び図8を参照して、上述したようなアクティブマトリクス装置AMを複数備えるマザー基板の構成について説明する。ここに、図7は、図1に示すアクティブマトリクス基板をマザー基板上に配列形成した様子を示す平面図であり、図8は、図7に示すマザー基板における領域Aを拡大して示す平面図である。

【0099】図7及び図8において、マザー基板MM上には、各アクティブマトリクス基板AMの外周側に設けられた上記第1～第3の短絡用配線91～93との間で、電気的な接続がなされる基板装置間短絡用配線99が、該マザー基板MM上の切断線に沿って設けられている（図中点線で示されている。）。この基板装置間短絡用配線99の存在により、信号配線72及び73、走査線3a、あるいはデータ線6a等を通じた後、更に第1～第3短絡用配線91～93を通じて流れた静電気の電荷を、基板外周に拡散させることが可能となる。また、本実施形態では特に、第1～第3短絡用配線91～93と電気的に接続された基板装置間短絡用配線99は、隣接するアクティブマトリクス基板AMの間で最終工程まで互いに接続され、マザー基板MMの切断時にアクティブマトリクス基板AM間で切り離されるようになっている。このように構成しておくこと、基板装置間短絡用配線99を広範囲に分散した状態に配置した状態にしておくので、電荷の集中を防ぎ、基板上に形成されたTFT30等その他の回路素子を静電破壊の危険から遠ざけることができるという本発明に係る効果を、さらに確実に享受することが可能となる。

【0100】（アクティブマトリクス基板の製造方法）

以下では、上述したようなアクティブマトリクス基板AMの製造方法について、図9乃至図11を参照して説明する。ここに、図9乃至図11は、アクティブマトリクス基板の製造方法を示す工程断面図であり、いずれの図についても、その左方には図5のA-A'線における断面(TFT30を含む断面)、その中央部分には図4のB-B'線における断面(図1に「×」印で示した、短絡用配線の切断が行われる箇所を含む断面)、その右方には図2のC-C'線における断面(端子800、801、802、…が形成されている端子部の断面)を示すものである。なお、以下では、図9乃至図11における、これら左方、中央部分及び右方に係る部分を、それぞれ、画素TFT部、静電気対策配線部及び端子部と呼ぶことがある。

【0101】まず、図9(A)に示すように、ガラス基板、たとえば無アリカリガラスや石英等からなる透明なTFTアレイ基板10の表面に直接、あるいはTFTアレイ基板10の表面に形成した下地絶縁膜の表面全体に、減圧CVD法等により厚さが約20nm～約200nm、好ましくは約100nmのポリシリコン膜からなる半導体膜1を形成した後、図9(B)に示すように、それをフォトリソグラフィ技術を用いて、パターニングし、画素TFT部の側に島状の半導体層1a(能動層)を形成する。このとき、静電気対策配線部及び端子部の側では半導体膜1を完全に除去する。前記の半導体膜の形成は、アモルファスシリコン膜を堆積した後、500℃～700℃の温度で1時間～72時間、好ましくは4時間～6時間の熱処理を施してポリシリコン膜を形成したり、ポリシリコン膜を堆積した後、シリコンを打ち込み、非晶質化した後、熱処理により再結晶化してポリシリコン膜を形成する方法を用いてもよい。なお、図9乃至図11においては、図6で示した断面図とは異なり、説明を簡略化するため、下側遮光膜11及び下地絶縁膜12については、図示していない。

【0102】次に、図9(C)に示すように、熱酸化法等により半導体層1aの表面に厚さが約50nm～約150nmのシリコン酸化膜からなるゲート酸化膜2を形成する。あるいは、熱酸化膜を約5nm～約100nm、好ましくは30nm形成した後、全面にCVD法等によりシリコン酸化膜を約10nm～約100nm、好ましくは50nm堆積し、それらによりゲート絶縁膜2を形成してもよい。また、ゲート絶縁膜2をさらに高耐圧化するためにシリコン窒化膜を用いてもよい。

【0103】次に、図9(D)に示すように、ゲート電極等を形成するためのポリシリコン膜3をTFTアレイ基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜3を導電化する。または、リンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。次に、ポリシリコン膜3をフォトリソグラフィ技術を用いて、図9(E)に示すように、パターニング

し、画素TFT部の側にゲート電極を含む走査線3aを形成する。このパターニングに際し、静電気対策配線部及び端子部の側では、ポリシリコン膜を、短絡用配線3b(上述した第1～第3短絡用配線91～93に相当する。)及び端子下シート膜3c(上述した端子下シート膜94に相当する。)として残す。すなわち、本実施形態では、第1～第3短絡用配線91～93は、TFT30のゲート電極を含む走査線3aを形成する工程と同時に、すなわち該工程を兼用して形成されることになる。

【0104】次に、図9(F)に示すように、画素TFT部及び駆動回路のNチャネルTFT部の側には、ゲート電極3aをマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン979(リンイオン)の打ち込みを行い、画素TFT部の側には、ゲート電極3aに対して自己整合的に低濃度のソース領域1b、及び低濃度のドレイン領域1cを形成する。ここで、ゲート電極3aの真下に位置しているため、不純物イオン979が導入されなかった部分は半導体層1aのままのチャネル領域となる。このようにしてイオン打ち込みを行った際には、ゲート電極3a、短絡用配線3b及び端子下シート膜3cとして形成されていたポリシリコン膜にも不純物が導入されるので、それらはさらに導電化することになる。

【0105】次に、図10(G)に示すように、画素TFT部では、ゲート電極3aよりの幅の広いレジストマスク959を形成して高濃度の不純物イオン980(リンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1d及びドレイン領域1eを形成する。

【0106】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極3aより幅の広いレジストマスク959を形成した状態で高濃度の不純物(リンイオン)を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。また、ゲート電極3aの上に高濃度の不純物(リンイオン)を打ち込んで、セルフアライン構造のソース領域及びドレイン領域を形成してもよいことは勿論である。

【0107】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、前記画素部及びNチャネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量でボロンイオンを打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、NチャネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物(ボロンイオン)を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物(ボロンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$

のドーズ量で打ち込み、LDD構造（ライトリー・ドープト・ドレイン構造）のソース領域及びドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物（リンイオン）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0108】次に、図10（H）に示すように、ゲート電極3a、短絡用配線3b及び端子下シート膜3cの表面側に、例えば、TEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いた常圧又は減圧CVD法等により、NSG（ノンシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜からなる第1層間絶縁膜41を形成する。その厚さは、例えば約500nm～約1500nm程度とする。

【0109】次に、図10（I）に示すように、第1層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングによりTFT30の高濃度ドレイン領域1eに達するようなコンタクトホール83を開孔した後、該第1層間絶縁膜41上に、Pt等の金属膜を、スパッタリングにより、100～500nm程度の膜厚に形成する。そして、フォトリソグラフィ及びエッチングにより、所定パターンをもつ中継層71を形成する。続いて、プラズマCVD法等により、TaO_x膜等からなる誘電体膜75を、中継層71上に形成する。この誘電体膜75は、絶縁膜2の場合と同様に、単層膜又は多層膜のいずれから構成してもよく、一般にTFTゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下のごく薄い絶縁膜となるように形成すると有利である。続いて、誘電体膜75上に、Al等の金属膜を、スパッタリングにより、約100～500nm程度の膜厚に形成する。そして、フォトリソグラフィ及びエッチングにより、所定パターンをもつ容量線300を形成する。これにより、この容量線300と前述の中継層71及び誘電体膜75とによって、蓄積容量70が完成する。なお、このとき、静電気対策配線部及び端子部においては、上述の中継層71及び容量線300が、フォトリソグラフィ及びエッチングによって、所定のパターンを有するようにパターンニングされる際に、第1層間絶縁膜41上から取り除かれる。

【0110】次に、図10（J）に示すように、第1層

間絶縁膜41上及び上述の容量線300上に、例えば、TEOSガス等を用いた常圧又は減圧CVD法により、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。その膜厚は、例えば約500～1500nm程度とする。続いて、フォトリソグラフィ技術を用いて、画素TFT部の側では第1層間絶縁膜41のうち、ソース領域1dに対応する部分、端子部の側では第1及び第2層間絶縁膜41及び42のうち、端子下シート膜3cに対応する部分にコンタクトホール81及び89をそれぞれ形成する。続いて、第2層間絶縁膜42の表面側に、ソース電極を構成するため、例えばアルミニウム膜をスパッタ法等で形成する。アルミニウム等の金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。その後、フォトリソグラフィ技術を用いて、アルミニウム膜をパターンニングし、画素TFT部では、データ線6aの一部としてソース電極を形成する。併せて、静電気対策配線部には信号配線6b（上述した信号配線72及び73に相当する。）を形成し、端子部の側では端子6c（上述した端子800、801、802・・・に相当する。）を形成する。

【0111】これら図10（J）の工程を利用して、図4を参照して説明した第1及び第3の短絡用配線91、93と、信号配線72、73及びデータ線6aとの配線接続が行われる。

【0112】次に、図10（K）に示すように、ソース電極6a、信号配線6b及び端子6cの表面側に、例えば、TEOSガス等を用いた常圧又は減圧CVD法により、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。その膜厚は、例えば約500～1500nm程度とする。続いて、画素TFT部の側では、フォトリソグラフィ技術及びドライエッチング法等を用いて、第3層間絶縁膜43及び第2層間絶縁膜42のうち、前記中継層71に達するようなコンタクトホール85を形成する。併せて、静電気対策配線部の側では、短絡用配線3b（上述した第1～第3の短絡用配線91～93に相当する。）の上に切断用孔880を形成する。そして、本実施形態では特に、この切断用孔880は、図10（K）を見るとわかるように、中継層71、誘電体膜75及び容量線300の少なくとも3層からなる蓄積容量70や第3層間絶縁膜43等が形成された後に形成されていることからして、その開口部分から短絡用配線3bに至るまでの距離（すなわち、該切断用孔880の深さ）が大きくなることかわかる。

【0113】次に、図11（L）に示すように、第3層間絶縁膜43の表面側に、厚さが約40nm～約200nmのITO膜をスパッタ法等で形成した後、フォトリソグラフィ技術を用いてITO膜をパターンニングし、画素TFT部では画素電極9aを形成する。この画素電極

9aは、図に示す通り、コンタクトホール85、中継層71及びコンタクトホール83を介して、TFT30の高濃度ドレイン領域1eに接続されることになる。また、この画素電極9aの形成の際、静電気対策配線部及び端子部では、ITO膜は完全に除去される。ここで、画素電極9aとしては、ITO膜に限らず、 SnOx 膜や ZnOx 膜等の高融点の金属酸化物等からなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール内でのステップカバレッジも実用に耐えるものである。

【0114】次に、図11(M)に示すように、第3層間絶縁膜43の表面側にレジスト901を塗布する。このレジスト901は、例えば図11(M)の静電気対策配線部を示す図にあらわれているように、一般に、第3層間絶縁膜43上と、短絡用配線3b上すなわち切断用孔880の底部とにおいて厚く形成され、該切断用孔880の側壁において薄く形成される。

【0115】そして本実施形態では特に、図11(M)に併せて示すように、切断用孔880に対向する位置において一の光透過率を有し、該切断用孔880に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル950を用いて、前記レジスト901を露光する。すなわち、本実施形態において、この露光は、例えば同一強度となる一つの露光光源を用いつつ、切断用孔880が存在する位置における露光量は大きく、それが存在しない露光量は小さくなるようにして行われることになる。

【0116】本実施形態においては、上記したような異なる光透過率を有するレチクル950を実現するため、より具体的には例えば、図11(M)に示すように、該レチクル950の一部において薄膜950aを形成している。この薄膜950aは例えば上記画素電極9aの材料として用いられていたITOや、また SiNx (窒化シリコン)等、あるいはレチクル950と屈折率が略同一となる、例えば SiO_2 等からなるものとする。また、その厚さは、例えば100nm程度とするとよい。このような薄膜950aの存在により、該薄膜950aが形成された部位については、該薄膜950aが形成されていない部位に比べて光透過率が小さくなり、したがって露光量を小さくすることができる。特に、レチクル950の本体と屈折率が同一となる薄膜950aを利用することによれば一の光透過率を有する部位と他の光透過率を有する部位とのそれぞれを透過する光は、例えば異なる光路をとるようなことがなくなる。つまり、該薄膜950a及びレチクル950の本体とでは同一の光路をとって光が進行することになる。したがって、所望外の箇所に露光が行われるようなことがなく、精度高く、素子基板装置の製造を行うことが可能となる。

【0117】一方、本実施形態におけるレチクル950は、図11(M)に示すように、レチクル950におい

て一般に見られる遮光部を構成すべく、例えばCr等により構成された遮光膜950bが形成されている。すなわち、本実施形態においては、レチクル950上の所定の部位において、薄膜950aと遮光膜950bとが積層された構造をとっている。

【0118】このようなことから、例えば、レジスト901において窓開けが必要でない部位においては、上記の薄膜950a及び遮光膜950bの積層構造をとるとともに、図11(M)の右方に示すように、端子6cとして露出させるべき開口部分43a(図2参照)を形成するため、レジスト901に対する窓開けが必要となる部位においては、薄膜950aのみが形成され、遮光膜950bが形成されないような形態とする、等によって、好適な露光工程を実施することができる。要するに、このようにすれば、光透過率をよりきめ細かに設定することが可能となり、正確な露光工程の実施に資することになる。

【0119】また、このような構成に加えて、薄膜950a自体を相異なる複数の材料から構成された積層構造を有するようなものとしてもよい。この場合においては、よりきめ細かに光透過率の制御が行えることとなるのは言うまでもない。

【0120】なお、より具体的な露光条件としては、例えば、露光光源を発する光について、光波長365nmのi線等とし、本実施形態に係るレチクル950における、薄膜950aが形成されていない部分では光透過率を約100%、薄膜950aのみが形成されている部分では光透過率を概ね50%~85%程度とするとよい。この場合、更に具体的に、露光光源を発する光のエネルギーを約2200J/m²とすれば、薄膜950aが形成されていない部位直下ではエネルギーが約2200J/m²による露光が、薄膜950aのみが形成されている部位直下では約1600J/m²による露光が、それぞれ実施される等とするとよい。

【0121】このように、本実施形態では、上述した構成となるレチクル950を利用して、レジスト901の露光工程を実施することから切断用孔880の底部、すなわち短絡用配線3b上のレジスト901に対しても十分な露光を行うことが可能となるとともに、第3層間絶縁膜43上に存在するレジスト901に対しては、過分な露光が行われず、ハレーション等の発生する可能性を低減することが可能となる。その結果 図11(N)に示すように、切断用孔880の底部におけるレジスト901は、その現像及び除去がほぼ完全に行われるとともに、第3層間絶縁膜43上においてはレジスト901が残存する形態が好適に現出される。加えて、レチクル950において薄膜950aのみが存在する領域を作り出すことにより、端子6cを露出させるための開口部分43a形成に係るレチクル901の窓開け等も、これを確実に実施することができる。

【0122】なお、上記において、静電気対策配線部におけるレジスト901に対する露光、すなわち切断用孔880が存在する位置における窓開けを実施する場合においては、最終的には、当該窓開け部分が、切断用孔880の開口部よりも大きくなるようにすることが好ましい。また、これに関連して、切断用孔880においては、その上端開口の寸法が下端寸法よりも広くなるように、予め形成しておくことが望ましい（いずれについても、図11（N）参照）。後者の要求を満たすためには、ウェットエッチングによるのが最適な方法の一つである。

【0123】以上のような工程を経たら、レジスト901を介してエッチングを行い、図11（O）に示すように、端子部において端子6cを開口部分43aから露出させる。併せて、静電気対策配線部の側では短絡用配線3bを切断し、この切断部19によって各配線が分離される。

【0124】このように製造工程の最終工程で短絡用配線3bを切断するので、それ以前の多くの工程で発生する静電気が、基板上に形成された各種回路素子に悪影響を与えることを未然に防止することが可能となる。

【0125】このようにしてアクティブマトリクス基板AMの製造は概ね完了するが、該基板AMは、図7及び図8に示したように、マザー基板MM上に一斉に、ないし複数同時に形成することが可能である。このような場合においては、上述の第1～第3短絡用配線91～93と、基板装置間短絡用配線99とが電氣的に接続されるような状態を作り出す。具体的には、当該各短絡用配線91～93の形成の際（すなわち、走査線3aの形成の際）、これと同時に基板装置間短絡用配線99を形成することにより、あるいは場合によっては、両者間を繋ぐコンタクトホールを別途形成すること等により、電氣的接続を図るようにするとよい。

【0126】この基板装置間短絡用配線99の存在によれば、基板上に発生した電荷等は、該基板の外周へと導かれることになるから、基板上のTFTその他の回路素子が静電破壊するおそれは、より一層低減されることになる。

【0127】以上説明したように、本実施形態によれば、まず、走査線3a、データ線6a並びにデータ線駆動回路101及び走査線駆動回路104に接続される信号配線72及び73の各々に関して、第1～第3短絡用配線91～93が存在した状態で、アクティブマトリクス基板製造に係る殆どの工程が行われることになるから、静電気が発生したり、基板表面に電荷が蓄積されても、かかる電荷を該第1～第3短絡用配線91～93を介して拡散させることが可能となる。したがって、過剰な電流が走査線3a、データ線6a並びにデータ線駆動回路101及びデータ線駆動回路104に突発的に流れるようなことがなく、それ故、本実施形態に係るアクテ

ィブマトリクス基板AM上に形成されるTFT30等その他の各種回路素子が、静電破壊することなどを有効に防止することができる。

【0128】とりわけ本実施形態においては、上記第1～第3短絡用配線91～93を切断するため形成された切断用孔880に対向する位置において一の光透過率を有し、該切断用孔880に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル950を用いてレジスト901の露光を実施することで、比較的深さの大きい切断用孔880の底部に塗布されたレジスト901を効果的に現像・除去することが可能となるとともに、第3層間絶縁膜43上のレジストに対しては過分な露光が実施されない点が特筆できる。すなわち、このようなレチクル950の使用、ないし該レチクル950を用いた露光を実施することにより、第1～第3短絡用配線91～93の切断は、これを確実に実施することができ、後に無用な短絡事故を招くようなことが殆どなくなるのである。

【0129】また、本実施形態においては、TFT30の形成工程、各種配線の形成工程、あるいは各端子800、801、802…の形成工程等において、第1～第3短絡用配線91～93の形成、及び切断用孔880の形成、並びに該孔880を利用した各短絡用配線91～93の切断に係る工程を、同時に実施することから、その相応分、製造コストを削減することが可能である。

【0130】（電気光学装置及び電気光学装置の製造方法）以下では、上述のように製造されるアクティブマトリクス基板AMを、電気光学装置を構成する一対の基板の一方として用いる場合における、当該電気光学装置及びその製造方法について説明する。

【0131】まず、電気光学装置の構造について、図12及び図13を参照して説明する。なお、図12は、TFTアレイ基板をその上に形成された各構成要素とともに対向基板20の側からみた平面図であり、図13は図12のH-H'断面図である。

【0132】図12及び図13において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されているとともに、これらの基板10及び20間には液晶層50が封入され、かつ、両基板10及び20は画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。なお、シール材52は、両基板を貼り合わせるため、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、紫外線、加熱等により硬化させられたものである。

【0133】また、このシール材52中には、本実施形態における液晶装置がプロジェクタ用途のように小型で拡大表示を行う液晶装置であれば、両基板間の距離（基板間ギャップ）を所定値とするためのガラスファイバ、あるいはガラスビーズ等のギャップ材（スペーサ）が散布されている。あるいは、当該液晶装置が液晶ディスプレイ

レイや液晶テレビのように大型で等倍表示を行う液晶装置であれば、このようなギャップ材は、液晶層 50 中に含まれてよい。

【0134】さらに、TFTアレイ基板 10 の上には、前記シール材 52 の内側に並行して、画像表示領域 10a の周辺を規定する額縁としての遮光膜 53 が、対向基板 20 側に設けられている。ただし、このような額縁遮光膜 53 の一部又は全部は、TFTアレイ基板 10 側に内臓遮光膜として設けられていてもよい。

【0135】シール材 52 の外側の領域には、図 1 を参照した説明において既に言及した、データ線 6a に画像信号を所定のタイミングで供給することにより該データ線 6a を駆動するデータ線駆動回路 101 及び外部回路接続端子 102 が TFTアレイ基板 10 の一辺に沿って設けられており、走査線 3a に走査信号を所定のタイミングで供給することにより、走査線 3a を駆動する走査線駆動回路 104 が、この一辺に隣接する二辺に沿って設けられている。さらに、TFTアレイ基板 10 の残る一辺には、画像表示領域 10a の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナ部の少なくとも一箇所においては、TFTアレイ基板 10 と対向基板 20 との間で電氣的に導通をとるための導通材 106 が設けられている。

【0136】一方、図 13 において、TFTアレイ基板 10 上には、画素スイッチング用の TFT や走査線、データ線等の配線が形成された後の画素電極 9a 上に、配向膜が形成されている。他方、対向基板 20 上には、対向電極 21 のほか、最上層部分に配向膜が形成されている。また、液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【0137】なお、TFTアレイ基板 10 上には、これらのデータ線駆動回路 101、走査線駆動回路 104 等に加えて、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0138】このような電気光学装置は、例えば図 14 のフローチャートに示すような工程を経て製造することができる。なお、ここでは、上記アクティブマトリクス基板 AM が、上述したように、マザー基板 MM 上に複数形成される形態を基本として説明することとする。

【0139】まず、図 9 乃至図 11 を参照して説明した各工程を経て、マザー基板 MM 上における個々のアクティブマトリクス基板 AM の製造を完了させる（ステップ S11）。なお、上述の製造方法においては触れなかったが、画素電極 9a 上には、ポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角をもつよう

に、かつ所定方向でラビング処理を施すこと等により、配向膜 16 を形成しておく（図 6 等参照）。

【0140】他方、上記のアクティブマトリクス基板 AM の製造と並行して、別のマザー基板上に、対向基板を複数形成する。具体的には、まず、マザー基板としてガラス基板等が用意され（ステップ S51）、額縁としての遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される（ステップ S52）。なお、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Al 等の金属材料のほか、カーボンや Ti をフォトリソに分散した樹脂ブラック等の材料から形成してもよい。その後、対向基板の全面にスパッタ処理等により ITO 等の透明導電性膜を約 50～200 nm の厚さに堆積することにより、対向電極を形成する（ステップ S53）。さらに、対向電極の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角をもつように、かつ所定方向でラビング処理を施すこと等により、配向膜 22 が形成される（ステップ S54）。

【0141】このように、マザー基板 MM 上に複数のアクティブマトリクス基板 AM が、別のマザー基板上に複数の対向基板が、それぞれ形成されたら、次に、これらをシール材を介して貼り合わせる（ステップ S81）。続いて、これらアクティブマトリクス基板 AM 及び対向基板に挟まれた空間に、真空吸引等によって、例えば複数種のネマティック液晶を混合してなる液晶等の電気光学物質を封入する（ステップ S82）。最後に、両マザー基板が張り合わされた状態で、これらを切断線に沿って分離し（ステップ S83）、電気光学装置の完成をみる。

【0142】なお、この分離工程によって、上記基板装置間短絡用配線 99 も同時に分断されることになるから、上述のように製造される電気光学装置における動作が、該基板装置間短絡用配線 99 によって妨害されるおそれがない。

【0143】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う素子基板装置の製造方法及び電気光学装置の製造方法、並びにレチクルもまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係るアクティブマトリクス基板の全体構成を模式的に示すブロック図である。

【図 2】 図 1 に示す端子、該端子に対応するように層間絶縁膜に対して形成される開口部分及び該端子と図 1 に示す短絡用配線との電氣的な接続を図るため層間絶縁膜に対して形成されるコンタクトホールとを示す平面図である。

【図 3】 図 1 に示す静電保護回路の詳細な構成を示す

ブロック図である。

【図４】 図１に示す信号配線と第１短絡用配線との配置態様の詳細を示す平面図である。

【図５】 データ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の相隣接する複数の画素群の平面図である。

【図６】 図５のＡ－Ａ'断面図である。

【図７】 図１に示すアクティブマトリクス基板をマザー基板に配列形成した様子を示す平面図である。

【図８】 図１に示すマザー基板における領域Ａを拡大して示す平面図である。

【図９】 図１に示すアクティブマトリクス基板の製造方法を示す工程断面図（その１）である。

【図１０】 図１に示すアクティブマトリクス基板の製造方法を示す工程断面図（その２）である。

【図１１】 図１に示すアクティブマトリクス基板の製造方法を示す工程断面図（その３）である。

【図１２】 ＴＦＴアレイ基板をその上に形成された各構成要素とともに対向基板の側からみた平面図である。

【図１３】 図１２のＨ－Ｈ'断面図である。

【図１４】 電気光学装置の製造方法を、その工程順に沿って示すフローチャートである。

【符号の説明】

３ａ…走査線

６ａ…データ線

１０…ＴＦＴアレイ基板

２０…対向基板

３０…ＴＦＴ

４１、４２、４３…層間絶縁膜

５０…液晶層

７０…蓄積容量

７２、７３…信号配線

８１、８２、８３、８５、８９、４０３…コンタクトホール

９１、９２、９３、３ｂ…第１～第３短絡用配線

９９…基板装置間短絡用配線

１０１…データ線駆動回路

１０２…外部回路接続端子

１０４…走査線駆動回路

８００、８０１、８０２…端子

８８０…切断用孔

９０１…レジスト

９５０…レチクル

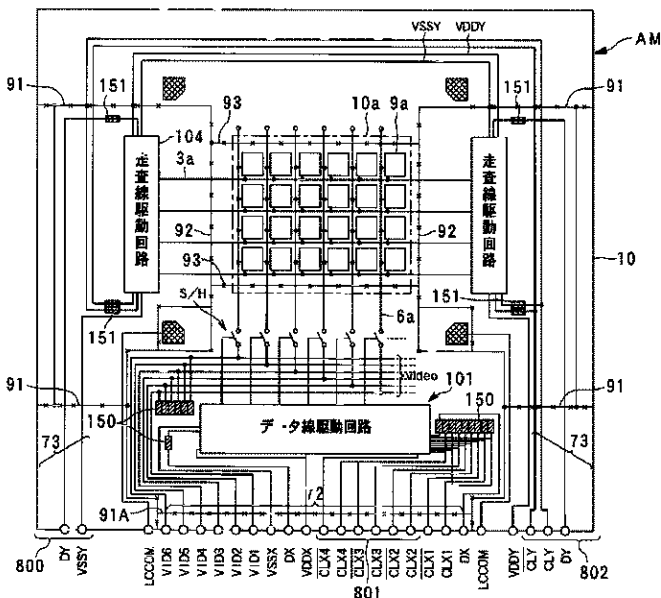
９５０ａ…薄膜

９５０ｂ…遮光膜

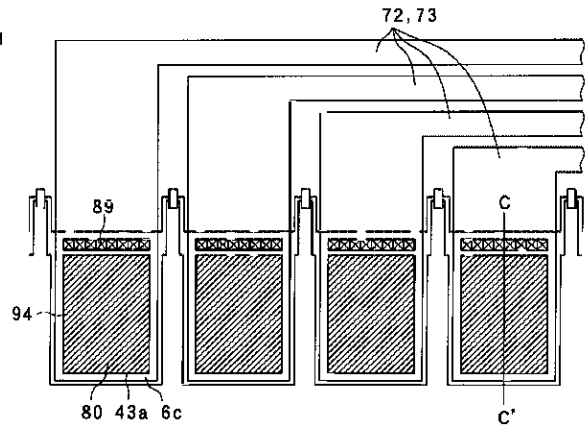
ＡＭ…アクティブマトリクス基板

ＭＭ…マザー基板

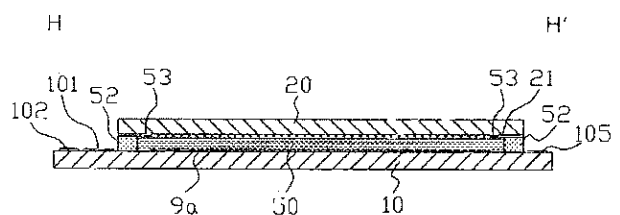
【図１】



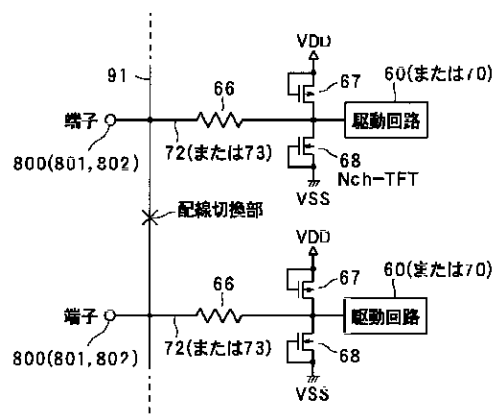
【図２】



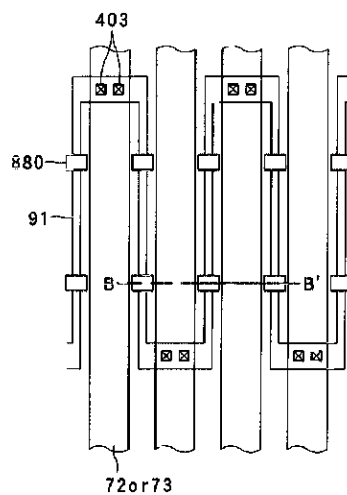
【図１３】



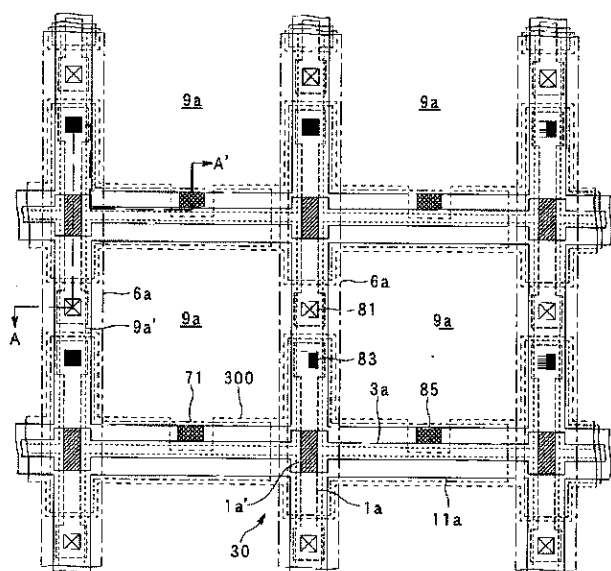
【图3】



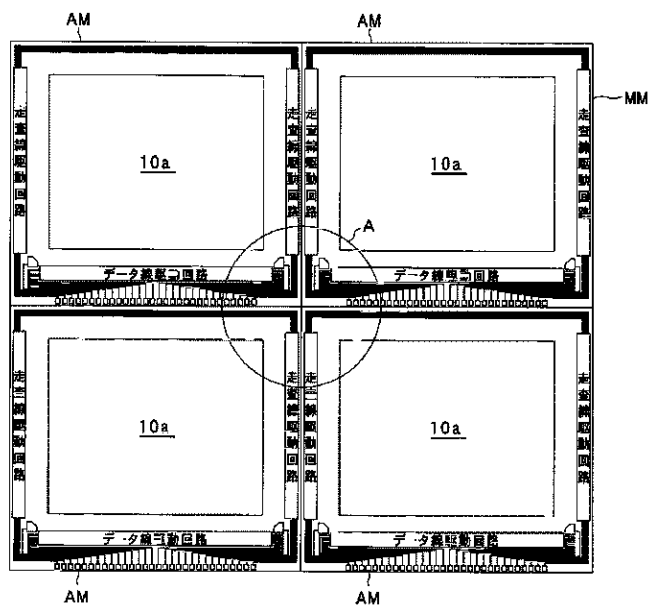
【図4】



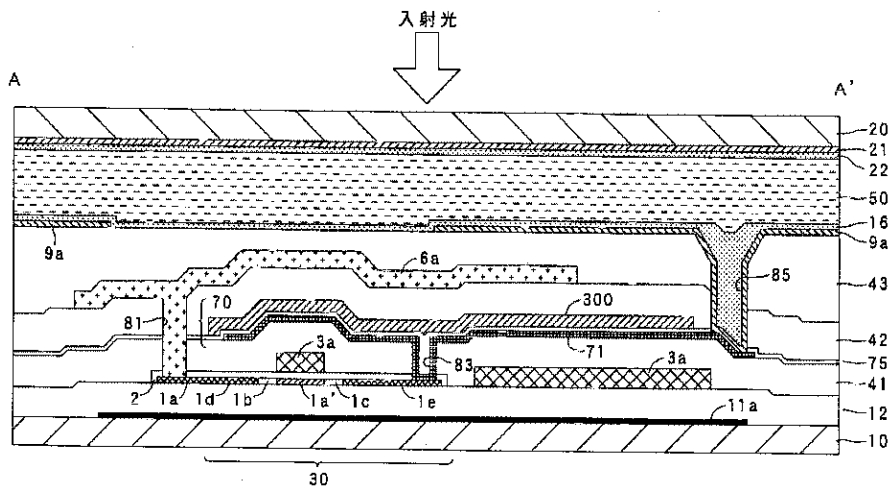
【図5】



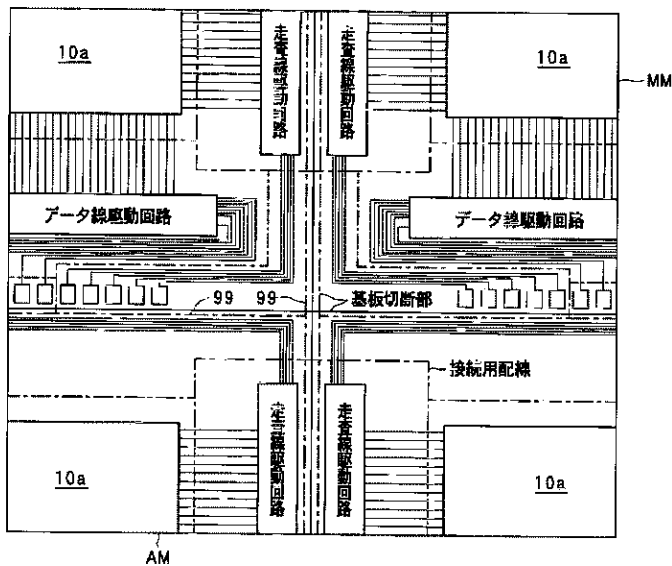
【图7】



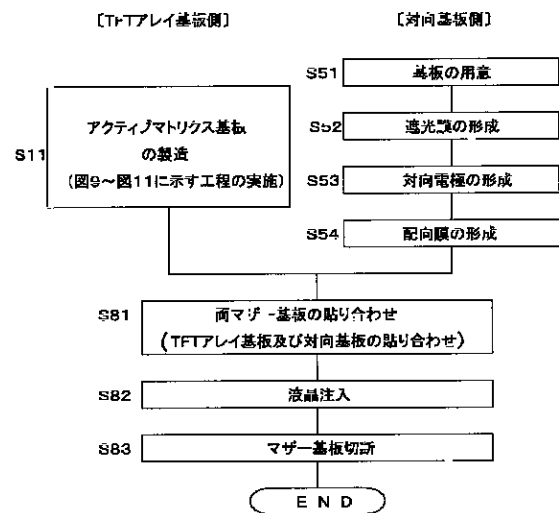
【図6】



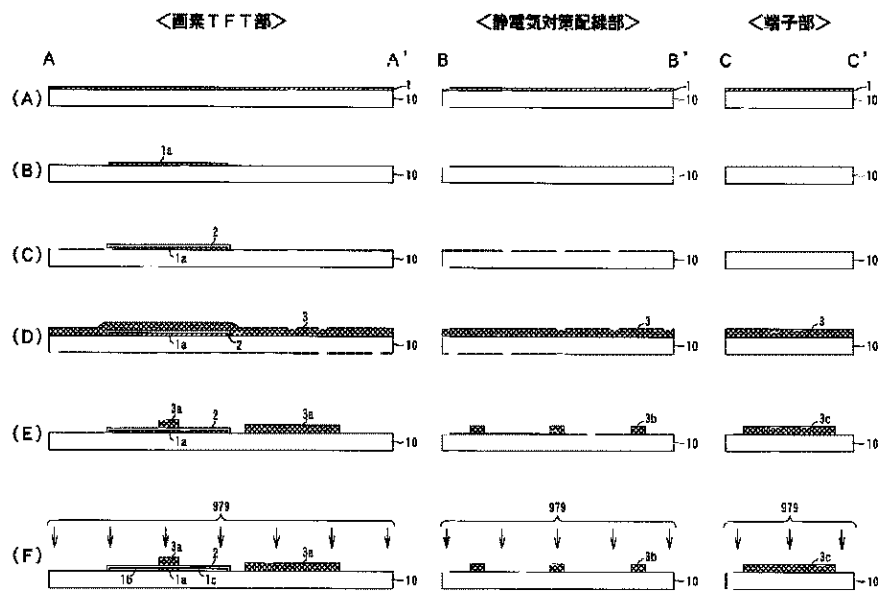
【図8】



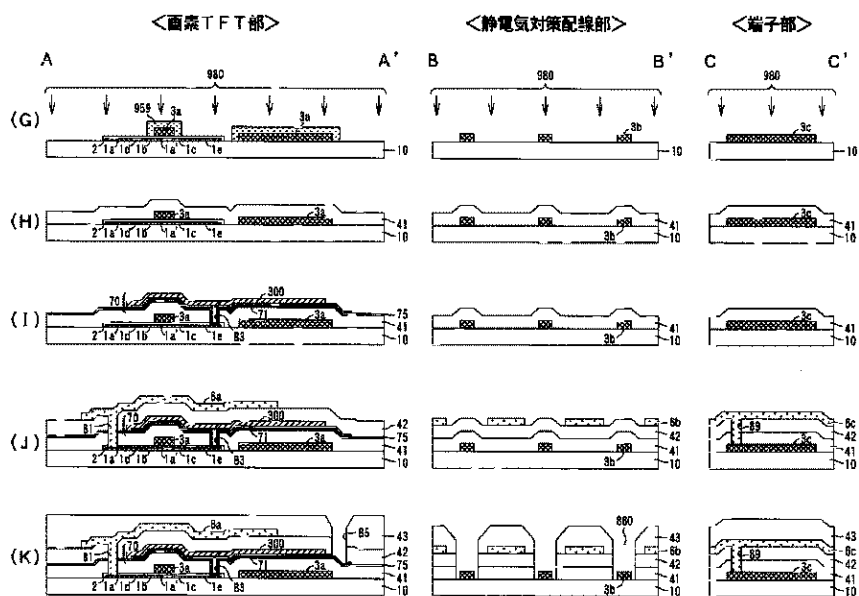
【図14】



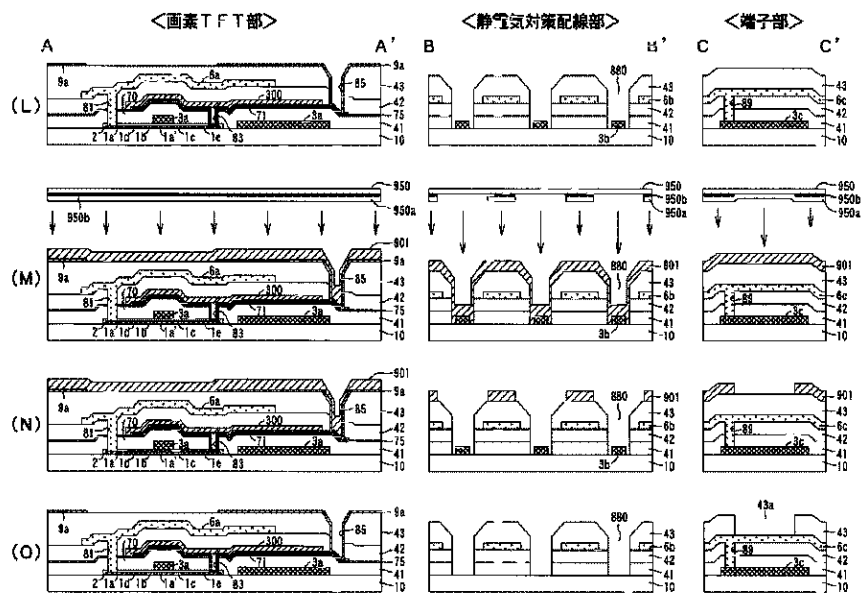
【図9】



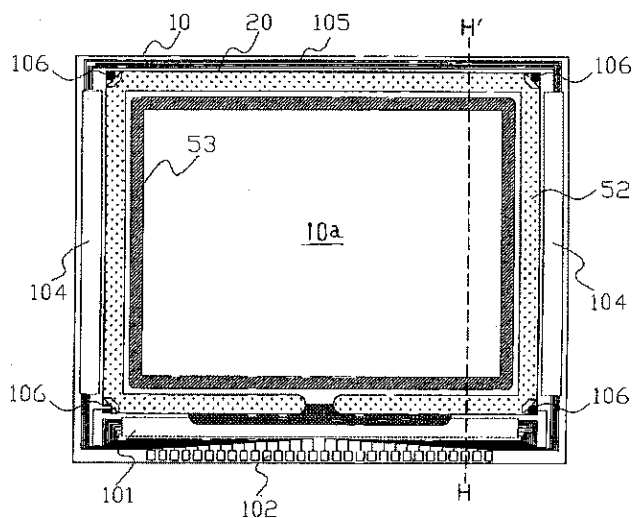
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I	(参考)
G 0 9 F	9/00	3 3 8	G 0 9 F 9/00	3 3 8 5 F 1 1 0
	9/30	3 3 8		3 3 8 5 G 4 3 5
H 0 1 L	21/027		H 0 1 L 29/78	6 1 2 C
	29/786			6 2 3 A
			21/30	5 0 2 R

F ターム(参考) 2H088 FA00 FA24 FA28 HA01 HA02
HA05 HA06 HA08 MA03 MA20
2H092 GA14 GA64 HA11 JA24 JB22
JB31 JB79 MA13 MA17 NA14
PA01 PA06
2H095 BA12 BB02 BC04 BC24
2H097 GB00 LA10
5C094 AA42 AA43 AA46 AA48 BA03
BA43 CA19 DA09 DA13 DA15
DB01 DB04 DB10 EA04 EA05
EB02 FA01 FA02 FB01 FB12
FB15 GB10
5F110 AA22 BB02 BB04 CC02 DD02
DD03 EE09 EE28 EE37 FF02
FF03 FF09 FF23 FF29 GG02
GG13 GG25 GG47 HJ01 HJ04
HJ13 HJ23 HL02 HL03 HL05
HL06 HL23 HM14 HM15 NN03
NN04 NN22 NN23 NN24 NN35
NN72 NN73 PP01 PP10 PP33
QQ11
5G435 AA17 BB12 CC09 EE37 HH12
HH14 KK05 KK10