

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-166334
(P2001-166334A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F 1/1365		G 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 B 5 F 1 1 0
			6 1 7 N
			6 2 3 A
審査請求 有 請求項の数 8 O L (全 16 頁)			

(21) 出願番号 特願平11-349059

(22) 出願日 平成11年12月8日 (1999.12.8)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 村井 一郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

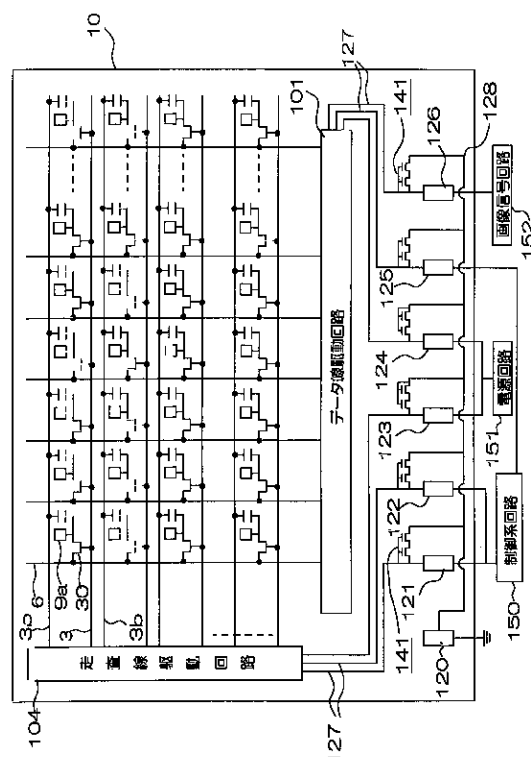
最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【要約】

【課題】 静電破壊防止回路を有する電気光学装置において、より静電破壊防止効果の高い静電破壊防止回路を得る。

【解決手段】 走査線駆動回路104、データ線駆動回路101に外部からの信号を入力するために用いられる外部回路接続端子部121~126には、静電気破壊防止回路として接地されたデュアルゲート型TFT141、142が電気的に接続される。これにより、静電気が生じても、デュアルゲート型TFTがオンすることにより電流がグランドに逃げるので、走査線駆動回路104及びデータ線駆動回路101に配置されるTFTなどの静電気による破壊を防止でき、表示特性の良い電気光学装置を得ることができる。



【特許請求の範囲】

【請求項1】 基板上にスイッチング素子が配置されたスイッチング素子領域を有する電気光学装置において、前記基板上に前記スイッチング素子領域に配置されたスイッチング素子と端子とを電気的に接続するための配線と、前記配線と電気的に接続されるとともに、接地されたデュアルゲート型薄膜トランジスタと、を具備することを特徴とする電気光学装置。

【請求項2】 前記スイッチング素子領域は、マトリクス状に形成された複数のデータ線と複数の走査線と、前記データ線と前記走査線との交差に対応して配置された画素電極と画素トランジスタとからなる画像表示領域と、前記データ線と前記走査線との少なくとも一方に信号を供給するための駆動回路からなる駆動回路領域とからなることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記スイッチング素子領域から延在されて、接地された半導体パターンを更に具備し、前記デュアルゲート型薄膜トランジスタは、前記半導体パターンと電気的に接続してなることを特徴とする請求項1または2に記載の電気光学装置。

【請求項4】 前記スイッチング素子は、第1半導体層と、該第1半導体層上にゲート絶縁膜を介して配置された第1ゲート電極とを有し、前記デュアルゲート型薄膜トランジスタは、前記第1半導体層と同層からなる第2半導体層と、該第2半導体層上に前記ゲート絶縁膜を介して配置された前記第1ゲート電極と同層からなる第2ゲート電極とを有することを特徴とする請求項1から請求項3のいずれか一項に記載の電気光学装置。

【請求項5】 制御系信号または表示信号が入力される前記端子部を有する配線に電気的に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域には、接地されたグランド配線が電気的に接続され、前記配線には、ゲート電極及び前記ソース領域が電気的に接続されてなることを特徴とする請求項1または請求項2に記載の電気光学装置。

【請求項6】 電源系信号が入力される前記端子部を有する配線に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、

該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域には、前記配線が電気的に接続され、前記ゲート電極及び前記ソース領域には、接地されたグランド配線が電気的に接続されてなることを特徴とする請求項1または請求項2に記載の電気光学装置。

【請求項7】 制御系信号または表示信号が入力される前記端子部を有する配線に電気的に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域と前記ドレイン側のゲート電極には、接地されたグランド配線が電気的に接続され、前記配線には、前記ソース側のゲート電極及び前記ソース領域が電気的に接続されてなることを特徴とする請求項1または請求項2に記載の電気光学装置。

【請求項8】 基板上に配置された複数の走査線及び複数のデータ線と、前記走査線とデータ線の交差に対応して配置された画素電極及び画素スイッチング素子とからなる画像表示領域と、前記走査線に信号を供給するための走査線駆動回路と前記データ線に信号を供給するためのデータ線駆動回路の少なくとも一方を含む周辺駆動回路とを有し、前記周辺駆動回路には端子部からの信号が配線を介して信号が供給されてなり、前記配線にはデュアルゲート型トランジスタが電気的に接続されていることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置の製造方法に属し、特に、画像表示領域と駆動回路とが同一基板に形成された駆動回路一体型の電気光学装置に用いられる静電破壊防止回路の技術分野に属する。

【0002】

【従来の技術】一般に、薄膜トランジスタ（以下、TFTという。）をスイッチング素子として有するアクティブマトリクス型の液晶装置の場合、TFTアレイ基板と対向基板との間に液晶層などの電気光学物質が挟持して構成される。

【0003】かかるTFTアレイ基板には、画像表示領域とこの画像表示領域の表示を制御するための駆動回路が配置されている。TFTアレイ基板上には、駆動回路に電気的に接続する外部回路接続端子部が配置されており、この外部回路接続端子部に、外部からクロック信号などの制御系信号、表示信号が入力される。そして、TFTアレイ基板上には、例えば液晶装置の組立時に生じる静電気による駆動回路の静電破壊を防止するために、外部回路接続端子部と駆動回路とを接続する配線途中に

静電破壊防止回路としてシングルゲート型薄膜トランジスタが配置される。

【0004】

【発明が解決しようとする課題】しかしながら、上述の静電破壊防止回路では耐圧性が不十分であり、例えば1000Vというような高電圧の静電気の発生により、静電破壊回路自身が破壊されてしまう場合があった。静電破壊回路が破壊されてしまうと、静電気により画像表示領域及び駆動回路に配置されるスイッチング素子が破壊されることがあり、電気光学装置の表示特性が著しく劣化してしまうという問題がある。

【0005】本発明は上述した問題点に鑑みなされたものであり、十分な静電破壊防止効果を有する電気光学装置の構造を提供することを課題とする。

【0006】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上にスイッチング素子が配置されたスイッチング素子領域を有する電気光学装置において、前記基板上に前記スイッチング素子領域に配置されたスイッチング素子と端子とを電気的に接続するための配線と、前記配線と電気的に接続されるとともに、接地されたデュアルゲート型薄膜トランジスタと、を具備することを特徴とする。

【0007】本発明のこのような構成によれば、静電気などの発生により端子部から高電流が入った場合、デュアルゲート型薄膜トランジスタがオンされ、高電流がデュアルゲート型薄膜トランジスタを介してグランドに逃がされるため、スイッチング素子の静電気破壊を防止するという効果を有する。そして、静電破壊防止回路としてデュアルゲート型薄膜トランジスタを用いることにより、シングルゲート型薄膜トランジスタを用いる場合と比較して、静電破壊防止回路の耐圧性を向上することができる。これにより、スイッチング素子の静電破壊の発生率を低くし、表示特性に優れた電気光学装置を得ることができる。また、静電破壊防止回路としてLDD構造の薄膜トランジスタを用いる場合と比較して、応答性が良いため、静電気が生じても、静電破壊防止回路としての薄膜トランジスタは速やかにオンされる。

【0008】また、前記スイッチング素子領域は、マトリクス状に形成された複数のデータ線と複数の走査線と、前記データ線と前記走査線との交差に対応して配置された画素電極と画素トランジスタとからなる画像表示領域と、前記データ線と前記走査線との少なくとも一方に信号を供給するための駆動回路からなる駆動回路領域とからなることを特徴とする。このような構成とすることにより、画像表示領域と駆動回路領域とが同一基板上に形成された駆動回路一体型の電気光学装置においても、静電気によるスイッチング素子破壊を防止することができ、表示特性に優れた電気光学装置を得ることができる。

【0009】また、前記スイッチング素子は、第1半導体層と、該第1半導体層上にゲート絶縁膜を介して配置された第1ゲート電極とを有し、前記デュアルゲート型薄膜トランジスタは、前記第1半導体層と同層からなる第2半導体層と、該第2半導体層上に前記ゲート絶縁膜を介して配置された前記第1ゲート電極と同層からなる第2ゲート電極とを有することを特徴とする。このような構成とすることにより、スイッチング素子領域のスイッチング素子とデュアルゲート型薄膜トランジスタを同一工程で形成することができるので、製造工程を増やすことなくデュアルゲート型薄膜トランジスタを製造できる。

【0010】また、前記スイッチング素子領域から延在されて、接地された半導体パターンを更に具備し、前記デュアルゲート型薄膜トランジスタは、前記半導体パターンと電気的に接続してなることを特徴とする。このような構成とすることにより、配線と別層に形成される半導体パターンは基板上に広範囲に配置できるため、接地面積を広くとることができる。これにより、高電流が発生しても効率良く電流を半導体パターンに流すことができ、より静電破壊効果の高い静電破壊防止回路を得ることができるという効果を有する。

【0011】また、制御系信号または表示信号が入力される前記端子部を有する配線に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域には接地されたグランド配線が電気的に接続され、前記配線にはゲート電極及び前記ソース領域が電気的に接続されてなることを特徴とする。このような構成のデュアルゲート型薄膜トランジスタは電気光学装置の通常の動作中では常にオン状態であり、クロック信号などの制御系信号や表示信号など定期的に信号が入力される場合において静電破壊防止回路として用いることができる。

【0012】また、制御系信号または表示信号が入力される前記端子部を有する配線に電気的に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域と前記ドレイン側のゲート電極には、接地されたグランド配線が電気的に接続され、前記配線には、前記ソース側のゲート電極及び前記ソース領域が電気的に接続されてなることを特徴とする。このような構成のデュアルゲート型薄膜トランジスタは電気光学装置の通常の動作中では常にオン状態であり、クロック信号などの制御系信号や表示信号など定期的に信号が入力される場合に

において静電破壊防止回路として用いることができる。

【0013】また、電源系信号が入力される前記端子部を有する配線に接続される前記デュアルゲート型薄膜トランジスタは、2つのチャネル領域と該2つのチャネル領域を挟んで配置されたソース領域及びドレイン領域を有する半導体層と、該半導体層上にゲート絶縁膜を介して前記チャネル領域に対応して配置された2つのゲート電極とを具備し、前記ドレイン領域には前記配線が電気的に接続され、前記ゲート電極及び前記ソース領域には、接地されたグランド配線が電気的に接続されてなることを特徴とする。このような構成とすることにより、デュアルゲート型薄膜トランジスタは、ゲート電極が接地され、電気光学装置の通常の動作中ではオフ状態であるため、電源系信号のように常に電位がかかる場合に静電破壊防止回路として用いることができる。

【0014】本発明は、基板上に配置された複数の走査線及び複数のデータ線と、前記走査線とデータ線の交差に対応して配置された画素電極及び画素スイッチング素子とからなる画像表示領域と、前記走査線に信号を供給するための走査線駆動回路と前記データ線に信号を供給するためのデータ線駆動回路の少なくとも一方を含む周辺駆動回路とを有し、前記周辺駆動回路には端子部からの信号が配線を介して信号が供給されてなり、前記配線にはデュアルゲート型トランジスタが電気的に接続されていることを特徴とする。

【0015】本発明のかかる構成によれば、静電気などの発生により端子部から高電流が入った場合、デュアルゲート型薄膜トランジスタがオンされ、高電流がデュアルゲート型薄膜トランジスタを介してグランドに逃がされるため、スイッチング素子の静電気破壊を防止するという効果を有する。そして、静電破壊防止回路としてデュアルゲート型薄膜トランジスタを用いることにより、シングルゲート型薄膜トランジスタを用いる場合と比較して、静電破壊防止回路の耐圧性を向上することができる。これにより、スイッチング素子の静電気破壊の発生率を低くし、表示特性に優れた電気光学装置を得ることができる。また、静電破壊防止回路としてLDD構造の薄膜トランジスタを用いる場合と比較して、応答性が良いため、静電気が生じても、静電破壊防止回路としての薄膜トランジスタは速やかにオンされる。

【0016】

【発明の実施の形態】（第1実施形態）以下、本発明の第1実施形態を、電気光学装置としての液晶装置に適用した場合を例にあげ、図面に基づいて説明する。

【0017】本発明による液晶装置の構成を図1から図4を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路及び静電破壊防止回路の等価回路を示す図である。図2は、データ線、走査線、画素電極などが形成されたTFTアレイ基板の画素

画像表示領域における複数の画素群の平面図である。図3は、静電破壊防止回路を説明するためのTFTアレイ基板の部分拡大図である。図4は、図3のA-A'、B-B'、C-C'それぞれの縦断面図である。尚、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。

【0018】液晶装置は、TFTアレイ基板と対向基板との間に液晶層を挟持した液晶セルと、TFTアレイ基板に配置された外部回路接続端子部に各種信号を入力するための駆動回路が配置された外付けの外部制御回路基板が接続されて構成される。対向基板上には、対向電極が配置され、TFTアレイ基板には画素電極が配置され、対向電極と画素電極との電位差により液晶の光学特性と変化させて液晶装置の表示が行われる。

【0019】図1に示すように、TFTアレイ基板10は、スイッチング素子が配置されたスイッチング素子領域と、このスイッチング素子領域を越えて外部回路接続端子部が配置された端子部領域とから構成される。

【0020】スイッチング素子領域は、画像表示領域とこの画像表示領域に隣接して配置される周辺駆動回路領域とからなる。画像表示領域には、平行に配置された容量線3b及び走査線3と、走査線3と交差して配置されたデータ線6と、これら走査線3とデータ線6との交差に対応してマトリクス状に配置された画素電極9aと、画素電極9aを制御するためのスイッチング素子としての薄膜トランジスタ（以下、TFTと称する）30とが配置される。画像信号が供給されるデータ線6にはTFT30のソースが電気的に接続され、走査信号が供給される走査線3にはTFT30のゲートが電気的に接続している。周辺駆動回路領域には、走査線駆動回路104及びデータ線駆動回路101が配置されており、走査線駆動回路104は走査線信号を走査線3へ供給し、データ線駆動回路101は画像信号をデータ線6へ供給している。

【0021】一方、端子部領域には、走査線駆動回路104及びデータ線駆動回路101にそれぞれ配線127により電気的に接続される外部回路接続端子部121～126、グランド端子120が配置されている。各外部回路接続端子部121～126には、外付けされる外部制御回路基板（図示せず）上に配置される制御系回路150、電源回路151、表示信号回路152から各種信号が入力される。各外部回路接続端子部121～126には、デュアルゲート型TFT、即ち2つのトランジスタが直列に接続されたTFT141、142が、静電破壊防止回路として電気的に接続されている。デュアルゲート型TFT141、142の半導体層のドレイン領域は、グランド端子120にグランド配線128を介して電気的に接続され、グランド端子は接地されている。デュアルゲート型TFT141、142は、電気的に接続

する外部回路接続端子部に入力される信号の種類によって、構造を異にしている。具体的な構造については後述するが、定期的に電位がかかる制御系信号や画像信号が入力される外部回路接続端子部121、122、125、126にそれぞれ接続するデュアルゲート型TFT141と、常に電位がかかる電源系信号が入力される外部回路接続端子部123、124にそれぞれ接続するデュアルゲート型TFT142とは、ゲート電極の接続構造を異にしている。

【0022】周辺駆動回路の走査線駆動回路104は、外部制御回路である電源回路から供給される電源、外部制御回路である制御系回路から供給される基準クロック及びその反転クロック等に基づいて、所定タイミングで走査線3に走査信号をパルス的に線順次で印加する。

【0023】また、周辺駆動回路のデータ線駆動回路101は、サンプリング回路、プリチャージ回路からなる。データ線駆動回路101では、電源回路から供給される電源、制御系回路から供給される基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号を印加するタイミングに合わせて、データ線6毎にサンプリング回路駆動信号を、サンプリング回路に所定のタイミングで供給する。プリチャージ回路は、各データ線6について画像信号の供給に先行するタイミングでプリチャージ信号を書き込むように、外部制御回路からプリチャージ回路駆動信号が供給される。サンプリング回路は、画像信号回路152から供給される画像信号が入力されると、これらをサンプリングする。即ち、サンプリング回路駆動信号が入力されると、画像信号をデータ線6に順次印加する。

【0024】次に、図2を用いてTFTアレイ基板の画像表示領域中の配線及び画素電極などの構造について説明する。

【0025】図2に示すように、液晶装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9aが設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6、走査線3（点線）及び容量線3b（点線）が設けられている。データ線6は縦方向に延伸した形状に形成され、データ線6はコンタクトホール5aを介してポリシリコン膜からなる半導体層1（斜線部）のうち後述のソース領域に電気的に接続されており、データ線6はソース領域との接続される領域付近で、その幅が広くなるように形成されている。データ線6と同層で形成された導電層6bはコンタクトホール5bを介して半導体層1のうち後述のドレイン領域に電気的に接続しており、更に、導電層6bはコンタクトホール8を介して画素電極9aと電気的接続されている。また、半導体層1のうちチャネル領域に対向するように走査線3が配置され、走査線3はゲート電極として機能し、本実施形態においては、半導体層1と走査線3とが重なり合う箇所は2カ所となっており、ダブルゲート構

造となっている。尚、図面上、走査線3と半導体層1とが平面的に重なり合う部分、即ちゲート電極に対応する位置の半導体層は走査線によって隠れ、図示されていない。容量線3bは、走査線3に沿ってほぼ直線状に伸び、データ線6と交差する箇所からデータ線6に沿って突出した突出部を有し、この突出部にほぼ対応して半導体層の一部が配置されている。容量線3bは、画素電極9aの一部と平面的に重なり合い、この領域で容量を形成し、更に、画素電極9aと容量を形成している。半導体層1は、データ線6及び走査線3の下に延設されて、同じくデータ線6及び走査線3に沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、容量を形成している。

【0026】また、図示されていないが、周辺駆動回路には、スイッチング素子としての相補型構造TFTが配置されており、この相補型構造TFTはpチャネル型TFTとnチャネル型TFTとから構成され、表示領域中のTFTと同一工程で形成される。

【0027】次に図3、図4を用いて、端子部領域の構造について説明する。図3は図1のグランド端子120及び外部回路接続端子部121～126が配置された端子部領域付近の部分拡大平面図、図4は図3の線A-A'、B-B'、C-C'で切断したときの縦断面図である。

【0028】図3に示すように、各外部回路接続端子部121～126は、走査線駆動回路またはデータ線駆動回路と配線127を介して電気的に接続されている。更に、各配線127は、デュアルゲート型TFT141、142と電気的に接続し、デュアルゲート型TFT141、142は、グランド配線128を介してグランド端子120と接続され、グランド端子120は接地されている。

【0029】各配線127は、分岐部127aを有し、更に外部回路接続端子部121、122、125、126に接続する配線では分岐部から更に分岐した再分岐部127bを有している。各分岐部127aは、対応するデュアルゲート型TFT141、142の半導体層135、136のソース領域135c、136cにコンタクトホール130、132を介して電気的に接続される。また、各デュアル型TFT141、142の半導体層135、136のドレイン領域135b、136bは、コンタクトホール130、132を介してグランド配線128と電気的に接続される。

【0030】外部回路接続端子部のうち、制御系信号または表示信号が入力される外部回路接続端子部121、122、125、126に接続するデュアルゲート型薄膜トランジスタ141は、図4（A-A'、B-B'の縦断面図）に示すように、下地膜12が形成されたガラス基板60上に配置され、2つのチャネル領域135aとこれら2つのチャネル領域135aを挟んで配置された

ソース領域135b及びドレイン領域135cを有する半導体層と、この半導体層上にゲート絶縁膜2を介してチャネル領域135aに対応して配置された2つのゲート電極131とから構成される。更に、図に示すように、ゲート電極131を覆って層間絶縁膜4が配置され、層間絶縁膜4上には半導体層135のソース領域135bと電氣的に接続した配線127の分岐部127aと、ドレイン領域135cと電氣的に接続したグランド配線128とが配置されている。ゲート電極131は、再分岐部127bとコンタクトホール133を介して電氣的に接続されている。そして、TFT141を覆って層間絶縁膜7が配置されている。

【0031】また、外部回路接続端子部のうち、電源系信号が入力される外部回路接続端子部123、124に接続するデュアルゲート型薄膜トランジスタ142は、図4(C-C'の縦断面図)に示すように、下地膜12が形成されたガラス基板60上に配置され、2つのチャネル領域136aと該2つのチャネル領域136aを挟んで配置されたソース領域136b及びドレイン領域136cを有する半導体層136と、この半導体層136上にゲート絶縁膜2がチャネル領域136aに対応して配置された2つのゲート電極134とから構成される。更に、図に示すように、ゲート電極134を覆って層間絶縁膜4が配置され、層間絶縁膜4上には半導体層136のソース領域136bと電氣的に接続した配線の分岐部127aと、ドレイン領域136cと電氣的に接続したグランド配線の分岐部128aとが配置されている。ゲート電極134は、グランド配線128と電氣的に接続されている。そして、TFT141を覆って層間絶縁膜7が配置されている。

【0032】次にTFTアレ基の製造方法について図5～図13を用いて説明する。尚、図5～図13では、周辺回路領域と画像表示領域とを有するスイッチング素子領域の縦断面図と、端子部領域の縦断面図を示す。尚、画像表示領域における縦断面図は図2の線E-E'で切断した場合の縦断面図であり、端子部領域における縦断面図は図4に対応している。

【0033】まず、図5(a)に示すように、ガラス基板60上に、PE (Plasma Enhanced) CVD法またはECR (electron cyclotron resonance) CVD法により、下地膜12として、SiO₂膜を200～500nm程度の厚みで形成する。この下地膜は、ガラス基板60表面の汚れやガラス基板中に含まれる不純物等がTFT30の特性の劣化を引き起こすことを防止する機能を有する。

【0034】次に、図5(b)に示すように、PECVD法またはLP (low pressure) CVD法により、下地膜上にa-Si膜401aを30～100nm程度の厚みで積層する。

【0035】次に、図5(c)に示すように、a-Si

膜にKrFまたはXeClなどのエキシマレーザ光を300～600mJ/cm²照射することにより、a-Si膜を結晶化させ、p-Si膜401bを得る。エキシマレーザ光の照射強度、照射時間などはa-Si膜の膜厚、膜質などにより適宜調整する。本実施形態においては、レーザアニールにより低温で、ポリシリコン層を得ることができるため、基板としてシリコン基板よりも安価なガラス基板を採用することができる。

【0036】次に、図5(d)に示すように、画像表示領域及び周辺駆動回路領域のそれぞれのTFTの半導体層に相当する形状、そして端子部領域に配置されるデュアルゲート型TFTの半導体層に相当する形状にフォトリジスト膜402を形成する。

【0037】次に、図6(a)に示すように、フォトリジスト膜402をマスクとして、p-Si膜401bを塩素系ガスを用いてRIE (reactive ion etching) により、エッチングし、p-Si層1及びデュアルゲート型TFTの半導体層135、136を形成する。尚、RIEのようなドライエッチング以外に、弗硝酸を用いてエッチングするなど薬液を用いるウエットエッチングを使用することもできる。

【0038】次に図6(b)に示すように、フォトリジスト膜402を剥離後、図6(c)に示すように、PECVD法によりTEOS (テトラエチルオルソシリケート) と酸素ガスとの混合ガスを原料ガスとして、50～120nmの膜厚のゲート絶縁膜2を形成する。ここで、原料ガスとしては、SiH₄と酸素ガスとを用いても良い。

【0039】次に図6(d)に示すように、画像表示領域の半導体層1のうち、容量として機能する領域に対応する部分が除去された形状のフォトリジスト膜403を形成する。そして、このフォトリジスト膜403をマスクにし、イオン注入法により、不純物としてリンイオンを $5 \times 10^{14} \sim 10^{16}$ 個/cm²のドーズ量にて、半導体層1に注入し、容量電極1fを形成する。注入後、フォトリジスト膜403を剥離する。

【0040】次に、図7(a)に示すように、ゲート絶縁膜2上に、PVD (physical vapor deposition) 法により、200～600nmの膜厚、ここでは400nmのアルミニウム膜とチタンナイトライド膜との二層膜405を形成する。

【0041】次に、図7(b)に示すように、スイッチング素子領域中の走査線、ゲート電極、容量線に相当する形状を有し、端子部領域中の制御系信号、電気系信号及び画像信号が入力される外部回路接続端子部に接続されるデュアルゲート型TFTのゲート電極に相当する形状を有するフォトリジスト膜404を形成する。これをマスクとして、図7(c)に示すように、弗素系または塩素系ガスを用いて、RIE法によりアルミニウム膜とチタンナイトライド膜との二層膜405をエッチングす

る。エッチング後、フォトリソ膜404を剥離して、図8(a)に示すように、アルミニウムからなる下層とチタンナイトライドからなる上層とからなる多層構造を有するスイッチング素子領域中の走査線、ゲート電極3a、103、容量線3b、端子部領域中の制御系信号、電気系信号及び画像信号が入力される外部回路接続端子部に接続されるデュアルゲート型TFTのゲート電極131及び134を得る。

【0042】次に、図8(b)に示すように、周辺回路領域のPチャネル型のTFT140bとなる半導体層1に対応した位置のレジストが除去された形状のフォトリソ膜405を形成する。この後、フォトリソ膜405とPチャネル型のTFTに対応するゲート電極103をマスクとして、半導体膜1に $5 \times 10^{14} \sim 10^{16}$ 個/cm²のボロンイオンをイオン注入法により注入し、ゲート電極103に対して自己整合したチャネル領域1a、ソース領域1g、ドレイン領域1hを有する半導体層1を得る。

【0043】次に、図8(c)に示すようにフォトリソ膜405を剥離後、図8(d)に示すように周辺回路領域のPチャネル型TFT140bとなる半導体層1に対応した形状を有するフォトリソ膜406を形成する。このフォトリソ膜406と、ゲート電極3a、Nチャネル型TFTに対応するゲート電極103、容量線3b、制御系信号、電気系信号及び画像信号が入力される外部回路接続端子部に接続されるデュアルゲート型TFTに対応するゲート電極131及び134をマスクとして、半導体層1、135、136に $5 \times 10^{12} \sim 2 \times 10^{14}$ 個/cm²のリンイオンをイオン注入法により注入する。これにより、周辺回路領域では、ゲート電極103に対して自己整合したチャネル領域1a、後に形成される高濃度ソース領域、高濃度ドレイン領域よりも不純物濃度の低い低濃度ソース領域1b、低濃度ドレイン領域1cを有するNチャネル型TFTに対応する半導体層1を得る。また、画像表示領域においては、2カ所のチャネル領域1a(片方のみ図示)、この2カ所のチャネル領域を挟むように形成され、後に形成する高濃度ソース領域、高濃度ドレイン領域よりも不純物濃度の低い低濃度ソース領域1b、低濃度ドレイン領域1cを有する半導体1を得る。また、制御系信号及び画像信号が入力される外部回路接続端子部に接続されるデュアルゲート型TFTに対応する半導体層135は、2つのチャネル領域135aと、2つのチャネル領域を挟んで配置されるソース領域135b、135cとを有しており、自己整合した構造となっている。電源系信号が入力される外部回路接続端子部に接続されるデュアルゲート型TFTに対応する半導体層136は、2つのチャネル領域136aと、2つのチャネル領域を挟んで配置されるソース領域136b、136cとを有しており、自己整合した構造となっている。

【0044】次に図9(a)に示すように、Pチャネル型TFT140bの半導体層を覆うパターン形状を有し、Nチャネル型TFT140aのゲート電極103及び画像表示領域中のTFTのゲート電極3aの周辺部を覆う形状を有するデュアルゲート型TFTの半導体層のチャネル領域となる部分に対応した形状を有するフォトリソ膜407を形成する。これをマスクとして、半導体層1、135、136に $5 \times 10^{14} \sim 10^{16}$ 個/cm²のリンイオンをイオン注入法により注入する。この後、フォトリソ膜407を剥離液により剥離する。これにより、図9(b)に示すように、低濃度ソース領域1b、低濃度ドレイン領域1cよりも高い不純物濃度を有するの高濃度ソース領域1d、高濃度ドレイン領域1eを有するLDD構造の半導体層を得ることができる。従って、画素画像表示領域中のTFTと周辺駆動回路領域のNチャネル型TFTはLDD構造を有する半導体層を有することになる。

【0045】次に、図9(c)に示すように、ゲート電極103、3a、131、134、容量線3bを覆うように、PECVD法により、原料ガスとしてTEOSとオゾンガスを用いて、1500nmの厚みのSiO₂からなる層間絶縁膜4を基板全面に形成する。この後、不純物イオンを活性化させるため、400℃の温度条件で活性化加熱処理(活性化アニール処理)を行う。

【0046】次に、図9(d)に示すように、周辺回路領域の各TFTのソース・ドレイン領域と後に形成されるデータ線、導電層とを接続するためのコンタクトホール及び、画像表示領域のTFTのソース領域と後に形成されるデータ線とを接続するためのコンタクトホール、画像表示領域のTFTのドレイン領域と後に形成される導電層とを接続するためのコンタクトホール、デュアルゲート型TFTのソース領域135bと後に形成される分岐部127aとを接続するためのコンタクトホール、ドレイン領域135cと後に形成されるグラウンド配線128とを接続するためのコンタクトホール、ゲート電極131と後に形成される再分岐部127bとを接続するためのコンタクトホール、ソース領域136bと後に形成される分岐部127aとを接続するためのコンタクトホール、ドレイン領域136cと後に形成されるグラウンド配線の分岐部128aとを接続するためのコンタクトホールに相当する形状にパターニングされたフォトリソ膜409を形成する。

【0047】図10(a)に示すように、フォトリソ膜409をマスクとして層間絶縁膜4をエッチングして、コンタクトホール5、5a、5b、130、132、133を形成する。その後、フォトリソ膜409を剥離して、図10(b)の構造を得る。

【0048】次に、図10(c)に示すように、層間絶縁膜4上に、PVD法により300~1000nmの膜厚のアルミニウム・チタニウム多層膜410を形成す

る。更に、図10(d)に示すように、アルミニウム・チタニウム多層膜410上に、スイッチング素子領域のデータ線、導電層、端子部領域の配線、グランド配線、外部回路接続端子部に相当する箇所が除去された形状のフォトレジスト膜411を形成する。

【0049】次に、図11(a)に示すように、フォトレジスト膜411をマスクとしてアルミニウム・チタニウム膜410を塩素系ガスを用いてRIE法によりエッチング後、フォトレジスト膜411を剥離する。

【0050】これにより、図11(b)に示すように、周辺回路領域では、Nチャネル型TF T及びPチャネル型TF Tの半導体層のソース領域1d、1g、ドレイン領域1e、1hにそれぞれ電氣的に接続したデータ線106a、107a、導電層106b、107bを得る。画像表示領域においては、半導体層のソース領域1d、ドレイン領域1eにそれぞれ電氣的に接続されたデータ線6、導電層6bを得る。端子部領域においては、デュアルゲート型TF Tの半導体層のドレイン領域135cに電氣的に接続されたグランド配線128、ソース領域135bに電氣的に接続された配線127の分岐部127a、ゲート電極131と電氣的に接続された配線127の再分岐部127b、ドレイン領域136cに電氣的に接続されたグランド配線128の分岐部128a、ソース領域136bに電氣的に接続された配線127の分岐部127a、外部回路接続端子部外部回路接続端子部(図示せず)を得る。

【0051】次に図11(c)に示すように、導電層6b、データ線6、配線127、グランド配線128、を覆って層間絶縁膜7をTEOSと酸素ガスとの混合ガスを原料ガスとしてPECVD法により形成する。ここで、層間絶縁膜7の成膜方法としては、常圧CVD法を用いてもよく、また、原料ガスとして、TEOSとオゾンガスの混合ガス、またはSiH₄と酸素ガスの混合ガスを用いてもよい。また、無機膜だけでなく、アクリル系などの有機膜を用いることもでき、この場合、無機膜と比較して膜厚の厚い膜を得やすいため、平坦化膜としても用いることができる。

【0052】次に図12(a)に示すように、層間絶縁膜7上に、導電層6bと後に形成する画素電極とを接続するコンタクトホールに対応した箇所のレジストが除去されたフォトレジスト膜413を形成する。その後、図12(b)に示すように、フォトレジスト膜413をマスクとして層間絶縁膜7をRIE法またはウェットエッチング法などによりエッチングし、フォトレジスト膜413を剥離して、図12(c)に示すように、コンタクトホール8を有する層間絶縁膜7を得る。

【0053】次に、図13(a)に示すように、層間絶縁膜7上に、スパッタ法により50~200nm程度の厚みのITO膜414を成膜する。その後、図13

(b)に示すように、ITO膜414上に画素電極形状

に対応したフォトレジスト膜415を形成し、これをマスクとしてITO膜414を、王水系またはHBrにてウェットエッチングするか、またはCH₄またはHI等のガスを用いてRIE法によるドライエッチングをすることにより、図13(c)に示すように、画素電極9aを得る。

【0054】上述のように製造されたTF Tアレイ基板と、別に形成した対向基板とを対向配置し、両基板間に液晶を注入して液晶セルを形成する。その後、液晶セルの外部回路接続端子部と外部制御回路とを接続し、液晶装置を得る。本発明においては、このような液晶セル形成工程及び外部制御回路の実装工程において、静電気が生じて、デュアルゲート型TF Tがオンされ、電流は半導体層のドレインを通して逃がされるため、スイッチング素子領域に配置されるスイッチング素子の静電破壊を防止することができる。更に、静電破壊防止回路として、デュアルゲート構造を採用することにより、耐電圧性をシングルゲート型TF Tと比較して高めることができ、静電破壊防止回路自身の破壊を防止することができる。

【0055】以上のように得られる液晶装置は、スイッチング素子の静電破壊がないため、優れた表示特性を有する。

【0056】(第2実施形態) 本発明の第2実施形態について、図14及び図15を用いて説明する。本実施形態については、第1実施形態と同様な構成を有し、異なる点のみ詳述する。

【0057】第1実施形態では、デュアルゲート型TF Tの半導体層のドレイン領域はグランド配線を介して1つのグランド端子部に一括して接続され、このグランド端子部は接地されている。これに対し、第2実施形態では、端子部領域に半導体パターン137が配置され、各デュアルゲート型TF T141、142の半導体層のドレイン領域はグランド配線139を介して半導体パターン137に電氣的に接続され、半導体パターン137は接地されている点で、構造が異なる。尚、図15は図14の線D-D'で切断した場合の縦断面図であり、半導体パターン137とグランド配線139との接続構造を示すものである。以下に、詳細な構造について説明するが、第1実施形態と同じ構造、製造方法については説明を省略する。

【0058】図14に示すように、本実施形態においては、実装端子121~126及びデュアルゲート構造TF T141、142を囲むように半導体パターン137が配置される。この半導体パターン137は各デュアルゲート構造TF T141、142の半導体層と同層で形成され、半導体パターン137には、上述の第1実施形態の図8(d)及び図9(a)に示す工程で行われるイオン注入工程と同時にイオン注入が施されている。各デュアルゲート型TF T141、142の半導体層のドレ

イン領域はグラウンド配線139を介して半導体パターン137に電氣的に接続される。半導体パターン137とグラウンド配線139との接続構造は、図15に示すように、下地膜12を有するガラス基板60上に半導体パターン137が配置され、この半導体パターン137上にゲート絶縁膜2及び層間絶縁膜4が配置され、ゲート絶縁膜2及び層間絶縁膜4に形成されたコンタクトホール138により半導体パターン137とグラウンド配線139とが電氣的に接続された構造となっている。グラウンド配線139は、画像表示領域中のデータ線と同層で形成されている。

【0059】本実施形態では、半導体パターンの形成領域を大きく取ることができるため、接地面積が広くなり、高電流が発生しても、効率良く電流を半導体パターンに流すことができ、より静電破壊効果の高い静電破壊防止回路を得ることができる。

【0060】尚、本発明のデュアルゲート型TFTは、上述の実施形態に記載される構造に限定されない。上述のデュアルゲート型TFTは、外部回路接続端子部と周辺回路との間に位置していたが、例えば図16に示すように、制御系回路及び画像信号回路からの信号が入力されるデュアルゲート型TFTが、外部回路接続端子部121に直接接続した構造でも良い。図16において、デュアルゲート型TFTは、半導体層142と、これを覆って形成されたゲート絶縁膜(図示せず)と、ゲート絶縁膜上に配置された2つのゲート電極141とから構成される。半導体層142のソース領域には、実装端子121から分岐された分岐部140が電氣的に接続され、更にこの分岐部140はゲート電極141と電氣的に接続される。また、半導体層142のドレイン領域にはグラウンド配線143が電氣的に接続される。このような構造においても上述の実施形態と同様の静電破壊防止の効果を得ることができる。

【0061】本実施形態は、電気光学装置として液晶装置を用いて説明したが、これに限らず、エレクトロルミネッセンス、あるいはプラズマディスプレイ等の各種電気光学装置にも適用可能である。

【図面の簡単な説明】

【図1】第1実施形態の液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられたTFT素子、配線等の等価回路並びに静電破壊防止回路の等価回路図である。

【図2】第1実施形態の液晶装置におけるTFTアレイ基板の画像表示領域中のTFT素子、配線等の拡大平面図である。

【図3】第1実施形態の液晶装置におけるTFTアレイ基板の静電破壊防止回路の部分拡大平面図である。

【図4】図3の線A-A'、B-B'、C-C'でそれぞれ切断したときの縦断面図である。

【図5】第1実施形態の液晶装置におけるTFTアレイ

基板の製造プロセスを順を追って示す工程図(その1)である。

【図6】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その2)である。

【図7】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その3)である。

【図8】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その4)である。

【図9】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その5)である。

【図10】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その6)である。

【図11】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その7)である。

【図12】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その8)である。

【図13】第1実施形態の液晶装置におけるTFTアレイ基板の製造プロセスを順を追って示す工程図(その9)である。

【図14】第2実施形態の液晶装置におけるTFTアレイ基板の静電破壊防止回路の部分拡大平面図である。

【図15】図14の線D-D'で切断した場合の縦断面図である。

【図16】他の静電破壊防止回路の構造を示す部分拡大平面図である。

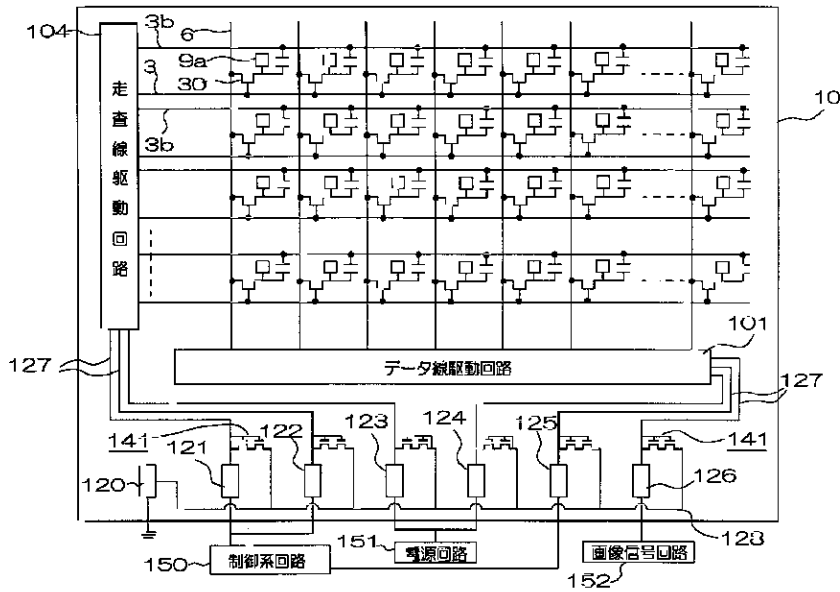
【符号の説明】

1、135、136、142…半導体層
2…ゲート絶縁膜
3a、103、131、134…ゲート電極
30、140a、140b…TFT
60…基板
120…グラウンド端子
121、122、123、124、125、126…外部回路接続端子部
127…配線
128…グラウンド配線
135a、136a…チャネル領域
135b、136b…ソース領域
135c、136b…ドレイン領域
137…半導体パターン
141…制御系信号用または表示信号用の静電破壊防止回路としてのデュアルゲート型TFT
142…電源系信号用の静電破壊防止回路としてのデュ

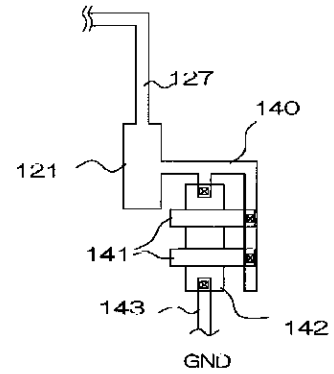
アルゲート型TFT
150…制御系回路

151…電源回路
152…表示信号回路

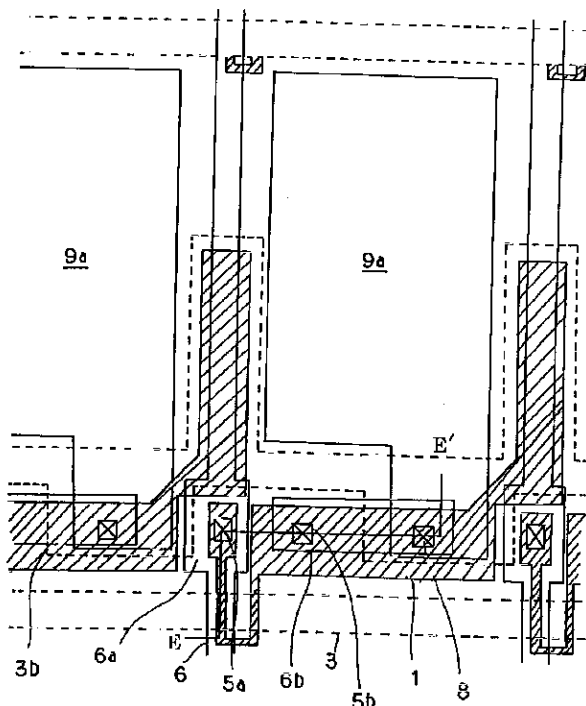
【図1】



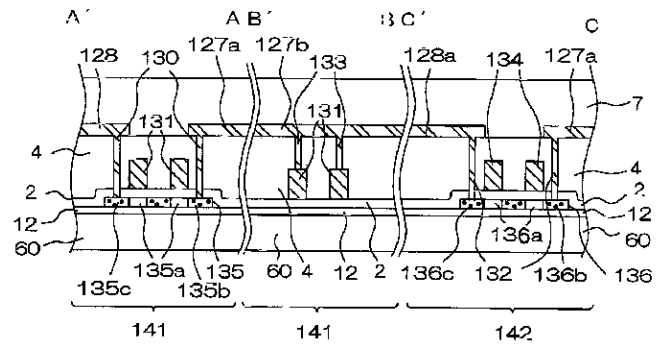
【図16】



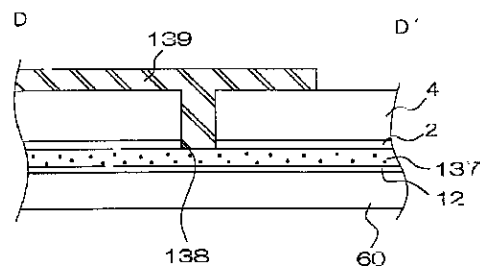
【図2】



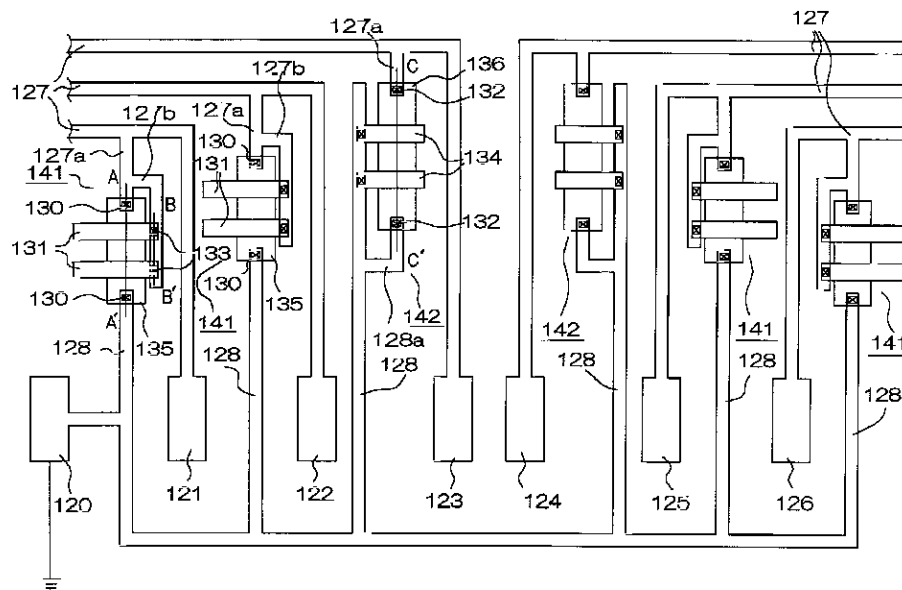
【図4】



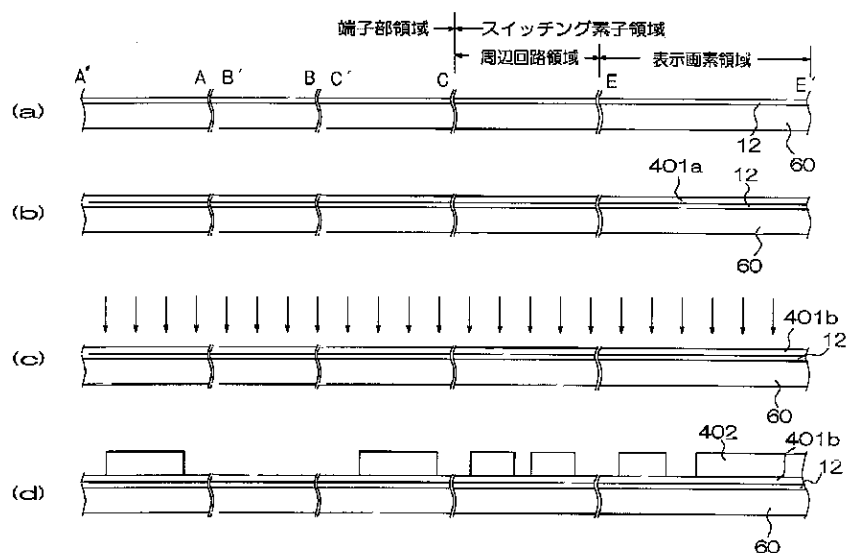
【図15】



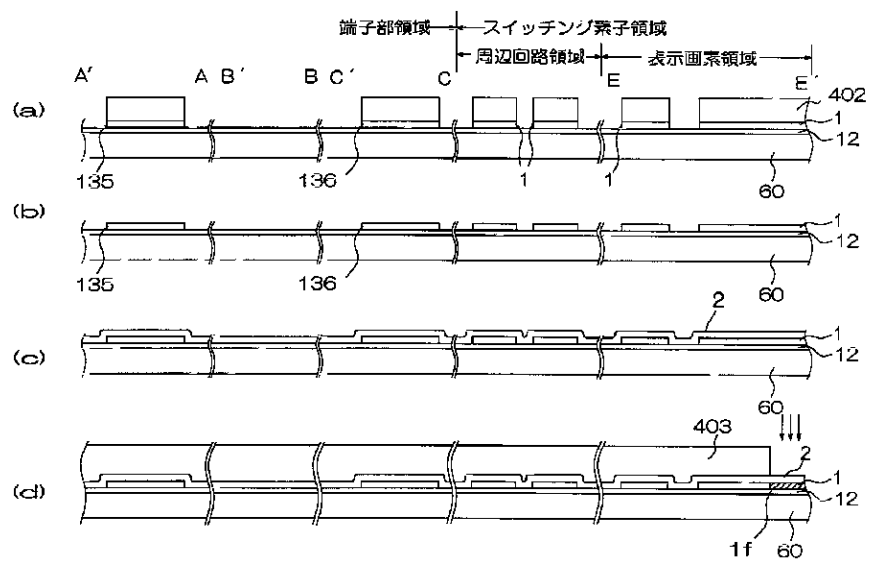
【図3】



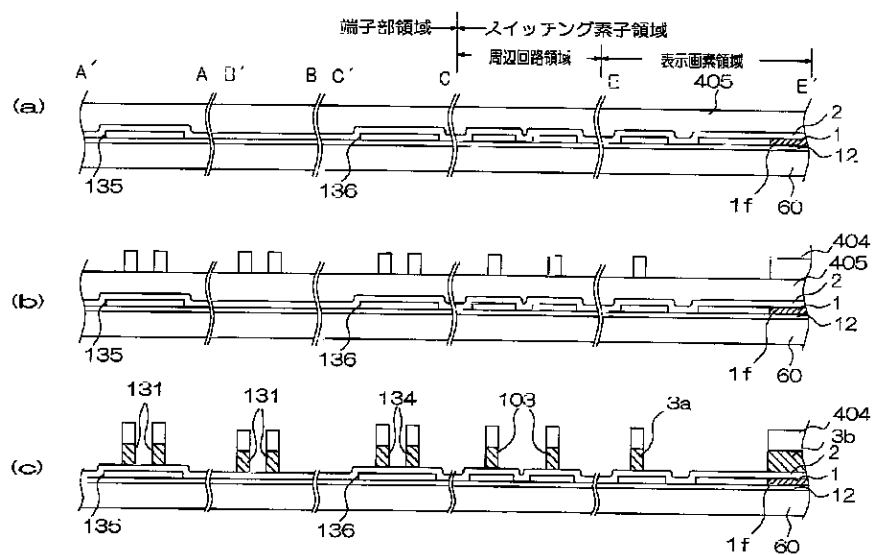
【図5】



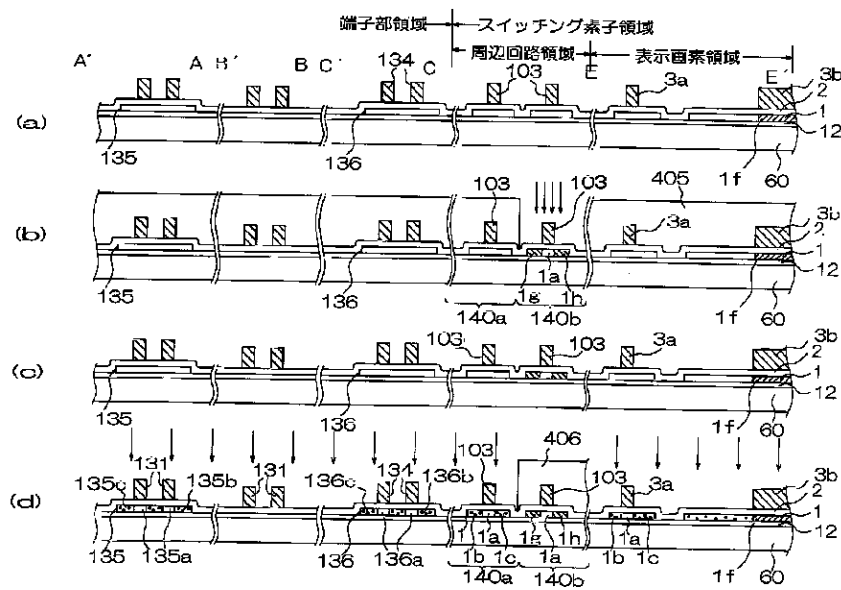
【図6】



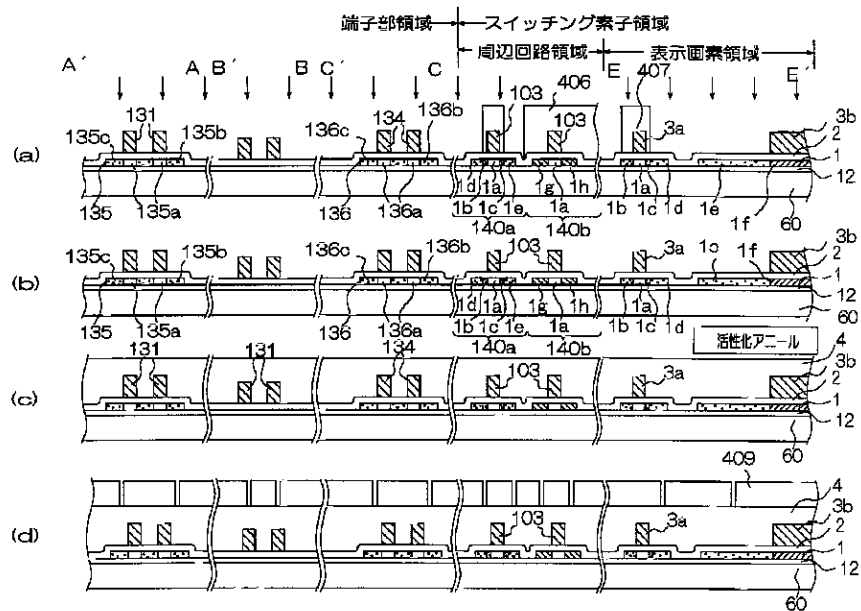
【図7】



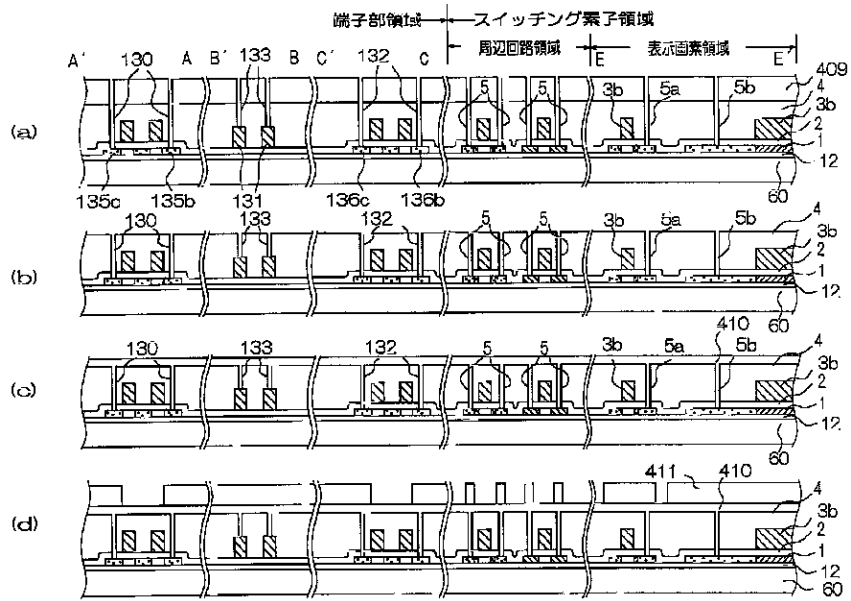
【図8】



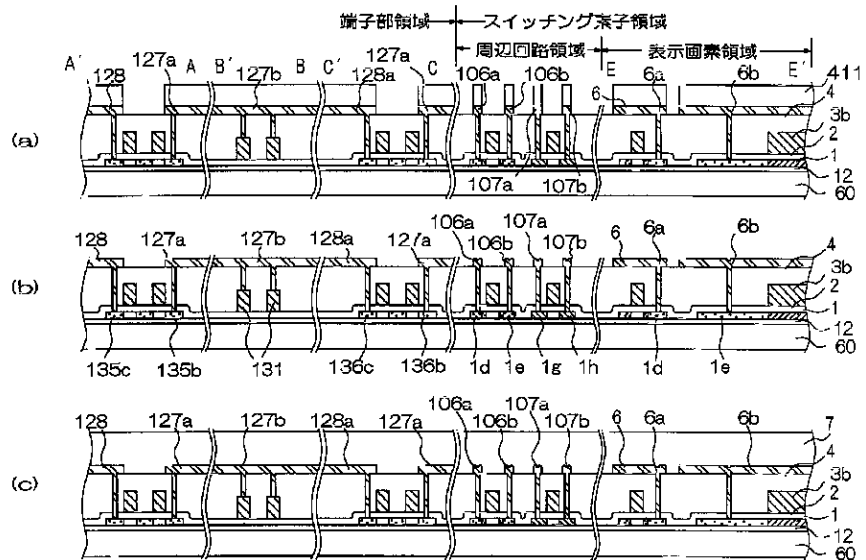
【図9】



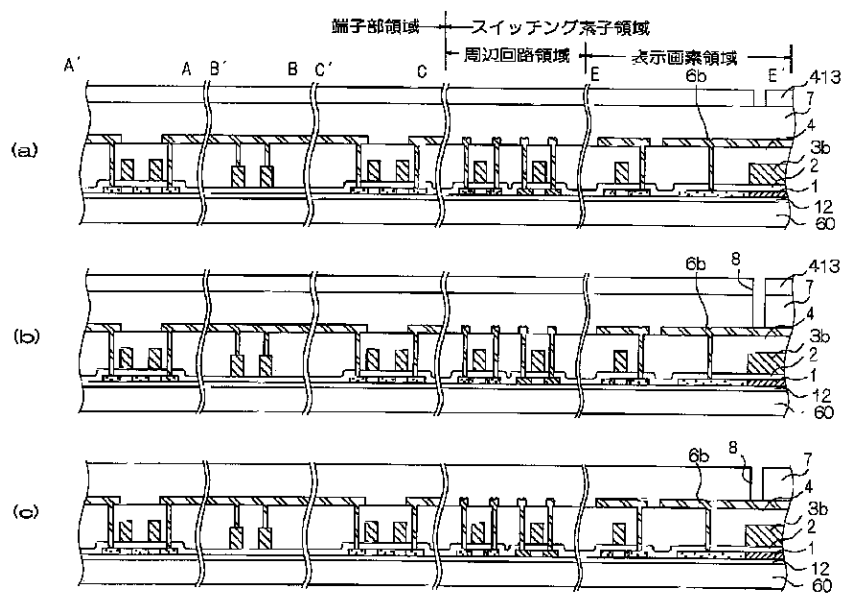
【図10】



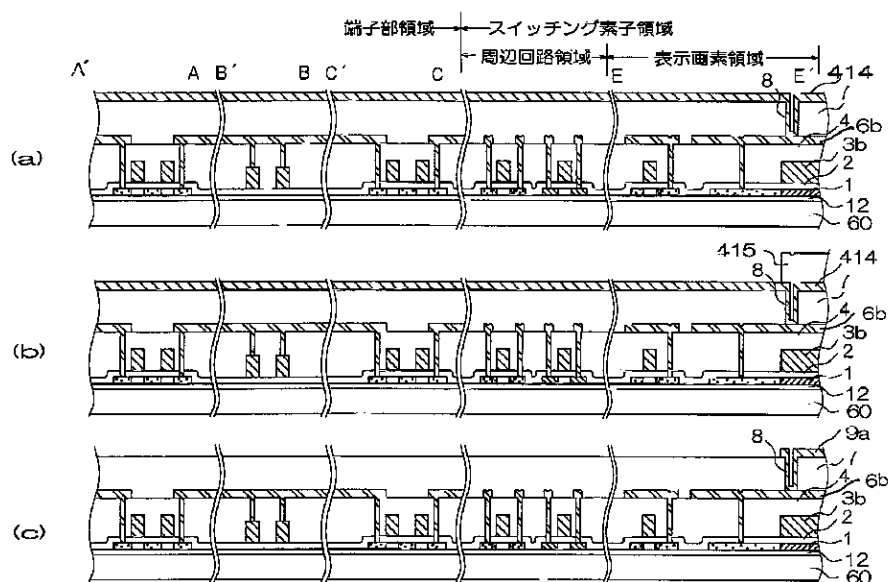
【図11】



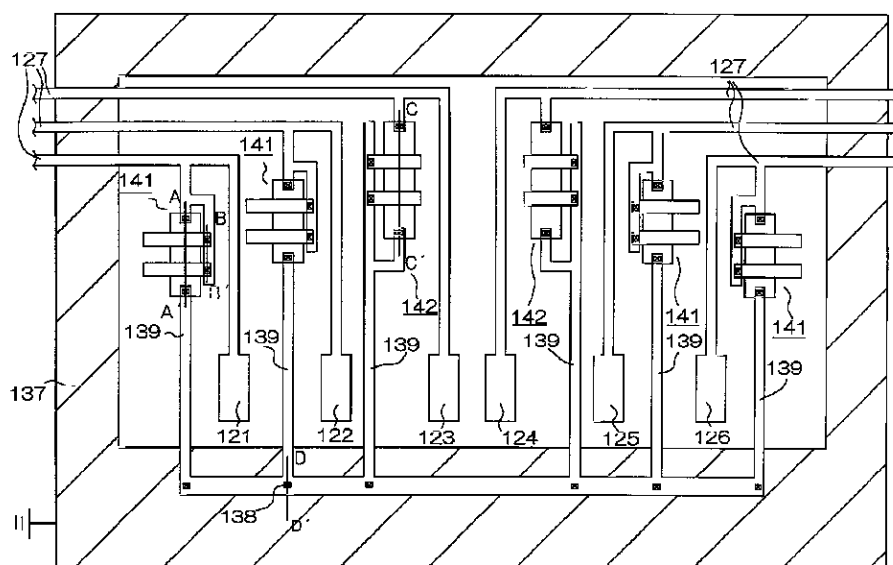
【図12】



【図13】



【図14】



フロントページの続き

F ターム(参考) 2H092 GA59 JA25 JA29 JA38 JA42
 JA44 JB13 JB23 JB32 JB33
 JB38 JB41 JB58 JB79 KA04
 KA07 KA12 MA03 MA08 MA15
 MA18 MA19 MA20 MA27 MA30
 MA35 MA37 NA14 NA25 NA30
 PA06
 5C094 AA42 AA43 AA48 BA03 BA43
 CA19 DA09 DA13 DB02 DB04
 FA01 FA02 FB12 FB14 FB15
 GB10
 5F110 AA22 BB01 BB02 BB04 CC02
 DD02 DD13 EE01 EE03 EE14
 EE28 FF02 FF30 GG02 GG13
 GG25 GG45 GG47 HJ01 HJ04
 HJ13 HL03 HL04 HL11 HM15
 NN02 NN04 NN23 NN27 NN35
 NN72 PP03 QQ04 QQ05 QQ11