

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.



Date of Application:

January 7, 2002

Application Number:
[ST.10/C]:

**Patent Application 2002-000713
[JP2002-000713]**

Applicant(s):

SEIKO EPSON CORPORATION

January 7, 2003

Commissioner,
Japan Patent Office

[signature:]

Shinichiro Ota

Priority Certificate No. 2002-3104260

Patent Application 2002-000713

Document Name	Patent Application
Serial No.	J0088260
Filing Date	January 7, 2002
Recipient	The Commissioner of the Japanese Patent Office
International Patent Classification	G09F 9/30 338
Inventor	
Domicile or Residence	c/o Seiko Epson Corporation
Name	3-3-5 Owa, Suwa-shi, Nagano Prefecture Masao MURADE
Applicant	
Identification No.	000002369
Name and Title	Seiko Epson Corporation
Agent	
Identification No.	100095728
Patent Attorney	
Name and Title	Masataka KAMIYANAGI
Contact	0266-52-3139
Appointed Agent	
Identification No.	100107076
Patent Attorney	
Name and Title	Eikichi FUJITSUNA
Appointed Agent	
Identification No.	100107261
Patent Attorney	
Name and Title	Osamu SUZAWA
Indication of Fees	
Deposit Ledger No.	013044
Payment Amount	21,000 yen

Patent Application 2002-000713

List of Documents Submitted

Document Name	Specification	1
Document Name	Drawings	1
Document Name	Abstract	1
General Power of Attorney No.	0109826	
Requirement of Proof	Required	

SPECIFICATION

Title of Invention

ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

CLAIMS

1. An electro-optical device comprising:

on a substrate:

a pixel electrode;

a thin-film transistor connected to the pixel electrode; and

a scan line and a data line connected to the thin-film transistor;

wherein the scan line has a wide portion, which serves as a gate electrode, at a portion of the thin-film transistor that opposes a channel region, and has a narrow portion at another portion of the thin-film transistor.

2. The electro-optical device according to claim 1, wherein the wide portion includes a portion formed such that it extends from the narrow portion.

3. The electro-optical device according to claim 1 or claim 2, wherein the wide portion includes a portion that is formed such that it is connected to the narrow portion.

4. The electro-optical device according to any one of claims 1–3, wherein:

the scan line extends in a direction that intersects the direction in which the channel region extends; and

the wide portion extends in one or both directions in which the channel region extends.

5. The electro-optical device according to any one of claims 1–4, wherein:

the pixel electrodes are arrayed in a matrix; and

each channel region is formed within an intersecting region in which intersects, viewed planarly: a longitudinal first gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the scan line; and a longitudinal second gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the data line.

6. The electro-optical device according to claim 5, wherein:

the narrow portion is formed at a location that deviates from the center of the first gap; and

the wide portion is formed at the center of the first gap within the intersecting region.

7. The electro-optical device according to claim 6, wherein the wide portion is formed at the center of the second gap within the intersecting region.

8. An electronic apparatus comprising the electro-optical device according to any one of claims 1–7.

DESCRIPTION OF THE INVENTION

[0001]

TECHNICAL FIELD PERTAINING TO THE INVENTION

The present invention pertains to the technical fields of an electro-optical device capable of active-matrix drive and to an electronic apparatus equipped with that electro-optical device.

[0002]

BACKGROUND ART

An electro-optical device is conventionally known that comprises: a pair of substrates interposing an electro-optical substance, such as liquid crystal; electrodes, which are provided on each substrate of the pair of substrates for impressing an electric field on the electro-optical substance; etc. Here, the electrodes are used to impress an electric field on the electro-optical substance to appropriately change the state of the electro-optical substance. Furthermore, according to such an electro-optical device, if light emitted from, for example, a light source is caused to impinge the apparatus and the state of the electro-optical substance is appropriately changed as described above, then it becomes possible to control the transmittance of that light, and thereby it becomes possible to display an image.

[0003]

Furthermore, with regard to such an electro-optical device, one capable of so-called active-matrix drive is known that comprises, on one substrate of the pair of substrates, pixel electrodes, which serve as the electrodes and are arrayed in a matrix, and that comprises: thin-film transistors (thin-film transistors; hereinbelow, called "TFTs" as appropriate), which are respectively connected to the pixel electrodes; scan lines and data lines, which are connected to each of the TFTs and are provided in parallel in both the row and column directions; etc. Thereby, it becomes possible to control the impressing of an electric field on the electro-optical substance for each individual pixel demarcated by the corresponding pixel electrode or by the corresponding scan lines and the corresponding data lines, and thereby to control the transmittance of the light for each pixel.

[0004]

PROBLEMS TO BE SOLVED BY THE INVENTION

Nevertheless, the existing electro-optical device has the following problem. That is, with regard to the electro-optical device capable of active-matrix drive as described above, to

start with it is necessary to drive the TFTs accurately; however, it is becoming more difficult to achieve that while satisfying the demand in recent years to make the electro-optical device high definition and compact.

[0005]

Here, each TFT comprises: a semiconductor layer, which has a channel region, a source region, and a drain region; and a gate electrode, which is provided via an insulating film so as to cover at least a portion of the channel region in the semiconductor layer; and controls the flow of electric current by impressing or not impressing an electric field on the channel region through energizing or not energizing the gate electrode.

[0006]

At this time, important items in deciding the characteristics of the TFT are how long to make the channel region, i.e., the so-called "channel length," and how wide to make the channel region, i.e., the so-called "channel width"; in other words, how large to make the channel region. In addition, how to lay out the gate electrode on the channel region is also extremely important. Incidentally, in the past, an electrically conductive member electrically connected to the scan line or a member that constituted a portion of the scan line was allocated as the gate electrode; however, in such a situation, the arrangement between the scan line itself and the channel region became a problem.

[0007]

In short, there is demand to achieve a suitable arrangement between the TFT or the channel region and the scan line or the gate electrode, taking into consideration the demand to make the electro-optical device high definition, which was described above; and it is required to achieve accurate operation using the TFT configured in this manner; however, these are not easy to achieve.

[0008]

For example, to drive the electro-optical device, it is of course not the case that it would be sufficient if there were only the TFT, the scan line, and the gate electrode, and it is necessary to provide other various structural elements; in balancing these, it is easy to imagine that it is generally difficult to achieve the arrangement and adjustment as described above. In addition, when light impinges the channel region of the TFT, a problem arises in that a light-leakage current is generated, and therefore there is also demand to prevent this. That is, it is preferable that the TFT is isolated, as much as possible, from a light-transmitting region, more specifically the pixel electrode, which is the region where light that actually contributes to image display for each pixel exits by transmission or reflection; however, if

this must be satisfied given the demand to make it high definition, then the arrangement and adjustment described above face even more difficult problems.

[0009]

The present invention was conceived considering the above-mentioned problems, and an object of the present invention is to provide: an electro-optical device, in which adjustment of the arrangement relationship between the gate electrode and the scan line is more easily achieved and in which accurate drive of the TFT is made possible; and an electronic device equipped with the electro-optical device.

[0010]

MEANS FOR SOLVING THE PROBLEMS

To solve the aforementioned problems, an electro-optical device according to the present invention comprises: on a substrate: a pixel electrode; a thin-film transistor connected to the pixel electrode; and a scan line and a data line connected to the thin-film transistor; wherein the scan line has a wide portion, which serves as a gate electrode, at a portion of the thin-film transistor that opposes a channel region, and has a narrow portion at another portion of the thin-film transistor.

[0011]

According to the electro-optical device of the present invention, the pixel electrodes can be active-matrix driven by supplying scan signals and image signals to the thin-film transistors via the scan lines and the data lines.

[0012]

Furthermore, in particular, according to the present invention, because the scan line has the wide portion, which serves as the gate electrode, at a portion of the thin-film transistor that opposes the channel region and has the narrow portion at another portion of the thin-film transistor, the adjustment and determination of the arrangement relationship between the thin-film transistor or its channel region and the scan line can be adjusted and determined more easily than in the past even though narrowing or the like of the scan line can be achieved.

[0013]

For example, in the situation in which a plurality of the pixel electrodes are arrayed in a matrix shape, the locations most spaced apart from the corner portions of each individual pixel electrode, in other words, when assuming that there are four pixel electrodes, are adjacent to each other, and it is generally preferable to form the thin-film transistor such that the channel region of the thin-film transistor is located exactly at the intermediate point between opposing corner portions (because that is most spaced apart from the light-

transmitting region); in such a situation, by extending the channel region such that it includes the intermediate point and threads midway between adjacent pixel electrodes, a suitable channel length can be obtained, and therefore it becomes possible to provide the scan line such that it intersects thereto and to achieve a configuration such that the wide portion of the scan line exists in the channel region alone. Accordingly, in this situation, both demands, which appear to run counter to each other so to speak, are achieved, namely, ensuring a suitable channel length, i.e., ensuring the suitable operation of the thin-film transistor, and making the scan line narrow, i.e., making the electro-optical device high definition and compact. In addition, in this situation, based on the assumption described above, it is of course also possible to prevent the incidence of light upon the thin-film transistor or the channel region as much as possible.

[0014]

Thus, according to the present invention, it becomes possible to suitably adjust the arrangement mode between the thin-film transistor and the scan line or the gate electrode while satisfying the demand to make the electro-optical device high definition. In addition, this has a preferable effect also with adjusting and determining the arrangement of the various elements, other than the scan line and the thin-film transistor described above, that constitute the electro-optical device. Furthermore, according to the present invention, the thin-film transistor can also be accurately driven, and thereby it becomes possible to maintain the high quality of the image to be displayed.

[0015]

It is noted that, in the present invention, "wide" means wide with respect to the width of the "narrow portion," and "narrow" means narrow with respect to the width of the "wide portion." In short, the specific degree of wideness and narrowness when mentioning "wide portion" and "narrow portion" is determined by the relative relationship between them both. In addition, in relation thereto, the value that the wide portion or the narrow portion should actually have must be appropriately determined theoretically, empirically, experimentally, by simulation, or the like.

[0016]

According to one aspect of the electro-optical device according to the present invention, the wide portion includes a portion formed such that it extends from the narrow portion.

[0017]

According to this aspect, it becomes possible to form the scan line having the wide

portion and the narrow portion relatively easily. Specifically, for example, taking as a premise the formation of a pattern in which the wide portion and the narrow portion are integral so to speak, it becomes possible to easily form the scan line according to the present aspect by using well-known photolithography and etching.

[0018]

According to another aspect of the electro-optical device of the present invention, the wide portion includes a portion that is formed such that it is connected to the narrow portion.

[0019]

According to this aspect, for example, the wide portion includes a portion formed by connecting a separately prepared electrically conductive member or the like to the narrow portion. In such a situation as well, it becomes possible to form the wide portion relatively easily.

[0020]

According to another aspect of the electro-optical device of the present invention, the scan line extends in a direction that intersects the direction in which the channel region extends; and the wide portion extends in one or both directions in which the channel region extends.

[0021]

According to this aspect, because the wide portion extends in one or both in which the channel region extends, the adjustment of the arrangement mode between the thin-film transistor and the scan line can be achieved more suitably. In addition, according to this aspect, because a gate electrode suited to the channel length is formed, the impressing of an electric field on the channel region is achieved more effectively.

[0022]

In addition, thus, according to the aspect wherein the gate electrode, which is the wide portion, is provided with a shape such that it so to speak follows the portion to become the channel region, for example, the formation of a so-called self-aligned, thin-film transistor, i.e., the formation of mutually adjacent source and drain regions in a channel region by performing an ion-implanting process using the gate electrode as a mask, can be easily performed. However, in this situation, strictly speaking, the channel region is formed by performing the ion-implanting process after the wide portion that is to become the gate electrode has been formed.

[0023]

According to another aspect of the electro-optical device of the present invention, the

pixel electrodes are arrayed in a matrix; and each channel region is formed within an intersecting region in which intersects, viewed planarly: a longitudinal first gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the scan line; and a longitudinal second gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the data line.

[0024]

This aspect is similar to the previously described aspects and is one of the aspects in which the functions and effects of the present invention can be exhibited most effectively.

[0025]

That is, according to this aspect, the channel regions of the thin-film transistors are formed within the intersecting regions of the pixel electrodes, a plurality of which are arrayed in a matrix. Here, each intersecting region is a region in which intersects, viewed planarly: the longitudinal first gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the scan line; and the longitudinal second gap, which extends such that it threads between mutually adjacent pixel electrodes interposing the data line. Owing to such a configuration, the state emerges in which the incidence of light upon the channel region tends not to occur.

[0026]

Furthermore, while having such functions and effects, because the scan line has the wide portion, which serves as the gate electrode, such that it opposes the channel region, it becomes possible to most suitably determine the arrangement mode between the channel region or the thin-film transistor and the gate electrode or the scan line as well as to ensure a suitable channel length and make the scan line narrow.

[0027]

According to this aspect in particular, the narrow portion is formed at a location that deviates from the center of the first gap; and the wide portion is formed at the center of the first gap within the intersecting region.

[0028]

According to such a configuration, the narrow portion of the scan line exists such that it threads between adjacent pixel electrodes and does not exist at the center thereof, and is formed at a location that deviates from that center. Thereby, first, the quality of the display image can be improved. This applies especially to a liquid-crystal display device or the like, which is one example of an electro-optical device, and is due to the following circumstances.

[0029]

That is, according to the present aspect, when a rubbing process is performed on a protruding portion on the alignment layer normally provided in the liquid-crystal display device, especially on the protruding portion formed due to the "height" of the narrow portion, note that a nonuniformity of the rubbing occurs in that protruding portion; furthermore, note that there is a difference in the degree of the nonuniformity between: the portion of the protruding portion related to the rub-up of the rubbing (i.e., the direction ascending the protruding portion); and the portion of the protruding portion related to the rub-down of the rubbing (i.e., the direction descending the protruding portion).

[0030]

More specifically, for example, the nonuniformity tends to occur less in the portion related to the rub-up than in the portion related to the rub-down.

[0031]

Furthermore, there are situations in which, when the nonuniformity as mentioned above is left as is, it leads to alignment failure or the like of the liquid crystal and becomes a cause of malfunction of the electro-optical device. Speaking of the difference in the degree of nonuniformity between the rub-up and the rub-down described above, there is a strong possibility that the latter will lead to an alignment failure or the like of the liquid crystal more than the former.

[0032]

Here, it is significant that the narrow portion according to the present aspect is formed at a location that deviates from the center of the first gap between the pixel electrodes. That is, according to the formation of the narrow portion at such a location, a vertex of the protruding portion due to the narrow portion also is formed at a location that deviates from the center of the first gap; this means that a configuration can be adopted such that only substantially half the sloped surfaces of the protruding portion are caused to exist on the region corresponding to the first gap, i.e., a configuration can be adopted such that only the portion related to the rub-down is caused to exist on the region. Furthermore, in this situation, if a light-shielding film is provided so as to correspond to the first gap, then it becomes possible to effectively shield only the portion related to the rub-down, i.e., to effectively shield the portion of the protruding portion considered to be most affected by the nonuniformity.

[0033]

As a result of the above, according to the present aspect, virtually no malfunctions or the like of the electro-optical device due to the effect of nonuniformity occur; in addition,

because portion related to the rub-up of the protruding portion, which is considered to tend to be more unaffected by the nonuniformity, is left as is such that it can transmit the light that contributes to image display, it becomes possible to increase the pixel aperture ratio, i.e., to maintain the brightness of the image as is. Ultimately, according to the present aspect, the quality of display image is improved in the meaning as described above.

[0034]

In addition, according to the formation of the narrow portion at a location that deviates from the center of the first gap, secondly, the degrees of freedom in the design of the electro-optical device are increased; in addition, the incidence of light upon the thin-film transistor can be more effectively prevented. This is because of the following circumstances.

[0035]

That is, the narrow portion in the present aspect exists such that it threads through the first gap between adjacent pixel electrodes but does not exist in the center thereof. Consequently, for example, by utilizing the region of the first gap where the narrow portion is not provided, viewed planarly, it becomes possible to wire other wiring, such as the capacitor line, which is constituted from the same film as the narrow portion, parallel to the narrow portion. That is, the degrees of freedom in the design increase.

[0036]

In addition, in the situation as described above, although the narrow portion deviates from the centerline, it becomes possible to dispose the wide portion, which serves as the gate electrode, at the center of the gap by adjusting the degree of the width of the wide portion, e.g., by increasing the width on one side alone or making the width larger on one side and smaller on the other side. In this manner, because the gate electrode can be disposed at a location conducive to increasing the light-shielding characteristic, regardless of the location of the scan line, or because the scan line can be disposed at an arbitrary location within the gap while disposing the gate electrode at a location conducive to increasing the light-shielding characteristic, ultimately the thin-film transistor having a substantially high light-shielding characteristic can be realized while increasing the degrees of freedom in the wiring and arrangement, including the arrangement of the scan line.

[0037]

According to this configuration, furthermore, the wide portion may be formed at the center of the second gap within the intersecting region.

[0038]

According to such a configuration, in the situation in which four pixel electrodes are

assumed in accordance with the way it is described above, the channel region is formed at a location most spaced apart from the corners of the electrodes that are adjacent or opposing each other. That is, the state emerges in which the incidence of light upon the channel region tends to occur the least.

[0039]

An electronic apparatus of the present invention comprises the electro-optical device according to the present invention described above.

[0040]

According to the electronic apparatus of the present invention, for example, as described above, by comprising the electro-optical device that can suitably adjust the arrangement mode between the thin-film transistor and the scan line, a variety of electronic apparatuses, such as, for example, liquid-crystal projectors, liquid-crystal televisions, mobile phones, electronic organizers, word processors, viewfinder-type or monitor-direct-view-type video tape recorders, workstations, video telephones, POS terminals, touch panels, and the like that are capable of accurate operation of the thin-film transistor and capable of displaying a high-quality image can be implemented.

[0041]

Such functions and other advantages of the present invention will become apparent from the embodiments explained next.

[0042]

EMBODIMENTS OF THE INVENTION

An embodiment of the present invention will be explained below, with reference to the drawings. In the embodiment below, an electro-optical device of the present invention is applied to a liquid-crystal device.

[0043]

First, the configuration of a pixel portion of the electro-optical device according to the embodiment of the present invention will be explained, with reference to FIG. 1 to FIG. 4. Here, FIG. 1 is an equivalent circuit of various elements, wiring, and the like in a plurality of pixels formed in a matrix constituting an image-display region of the electro-optical device. FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups of a TFT-array substrate on which data lines, scan lines, pixel electrodes, and the like have been formed. Furthermore, FIG. 3 is a cross-sectional view taken along line A-A' in FIG. 2. It is noted that, in FIG. 3, to make each layer and each member of a size such that it is recognizable in the drawing, the scale of each of those layers and each of those members have been made different. In

addition, FIG. 4 is a plan view in which only the scan lines shown in FIG. 2 have been extracted, and only those shapes are shown.

[0044]

In FIG. 1, a pixel electrode 9a and a TFT 30, which is for controlling the switching of the pixel electrode 9a, are formed in each pixel of the plurality of pixels formed in a matrix constituting the image-display region of the electro-optical device according to the present embodiment, and data lines 6a, to which image signals are supplied, are electrically connected to the source of each of the TFTs 30. Image signals S1, S2, ..., Sn, which are written to the data lines 6a, may be supplied in that order sequentially by line or may be supplied by group to a plurality of the mutually adjacent data lines 6a.

[0045]

In addition, it is configured such that a scan line 330a is electrically connected to the gate of each of the TFTs 30, and scan signals G1, G2, ..., Gm are impressed, sequentially by line in this order in a pulsed manner, on the scan lines 330a at a prescribed timing. The pixel electrodes 9a are respectively and electrically connected to the drains of the TFTs 30 and, by closing the switches of the TFTs 30, which are switching devices, at fixed intervals, the image signals S1, S2, ..., Sn supplied from the data lines 6a are written at the prescribed timing.

[0046]

The image signals S1, S2, ..., Sn of a prescribed level written in liquid crystal, as one example of an electro-optical substance, via the pixel electrodes 9a are held for a fixed interval between the liquid crystal and a counter electrode, which is formed on an opposing substrate. The liquid crystal modulates the light by changing the alignment and order of the molecular assembly in accordance with the impressed voltage level, thereby enabling a gradated display. If in the normally white mode, then the transmittance of incident light is reduced, by pixel unit, in accordance with the impressed voltage, and if in the normally black mode, then the transmittance of incident light is increased, by pixel unit, in accordance with the impressed voltage, and thereby light having a contrast in accordance with the image signals is emitted from the electro-optical device as a whole.

[0047]

Here, to prevent the held image signals from leaking, storage capacitances 70 are added in parallel to liquid-crystal capacitors formed between the pixel electrodes 9a and the counter electrodes.

[0048]

Hereinbelow, a more specific configuration of the electro-optical device, in which circuit operation as described above is achieved by the above-mentioned data lines 6a, scan lines 330a, TFTs 30, and the like will be explained, with reference to FIG. 2 and FIG. 3.

[0049]

First, the electro-optical device according to the present embodiment comprises a TFT-array substrate 10 and a transparent opposing substrate 20, which is disposed opposing the TFT-array substrate 10, as shown in FIG. 3, which is a cross-sectional view taken along line A-A' in FIG. 2. The TFT-array substrate 10 is composed of, for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposing substrate 20 is composed of, for example, a glass substrate or a quartz substrate.

[0050]

As shown in FIG. 3, the pixel electrodes 9a are provided on the TFT-array substrate 10, and an alignment layer 16, on which a prescribed aligning process such as a rubbing process has been performed, is provided on the upper sides of the pixel electrodes 9a. The pixel electrodes 9a are composed of transparent conducting films such as, for example, ITO (indium tin oxide) films.

[0051]

On the other hand, a counter electrode 21 is provided over the entire surface of the opposing substrate 20, and an alignment layer 22, on which a prescribed aligning process such as a rubbing process has been performed, is provided on the lower side thereof. The counter electrode 21 is composed of a transparent conducting film such as, for example, an ITO film.

[0052]

Next, in FIG. 2, the plurality of pixel electrodes 9a (the outlines of which are indicated by dotted-line portions 9a') are provided in a matrix on the TFT-array substrate 10 of the electro-optical device, and the data lines 6a, which are made of aluminum films, and the scan lines 330a, which are made of polysilicon films, are provided along each of the vertical and horizontal boundaries of the pixel electrodes 9a.

[0053]

The scan line 330a is disposed such that it opposes a channel region 1a', which is indicated by an area with hatching that rises to the right in the drawing, within a semiconductor layer 1a of the polysilicon film, and the scan line 330a functions as a gate electrode. That is, at each location at which one of the scan lines 330a and one of the data lines 6a intersect, one of the pixel-switching TFTs 30 is provided in which a wide portion

331a (described below) of the scan line 330a serves as the gate electrode and is disposed opposing the channel region 1a'. In other words, the TFT 30 according to the present embodiment, as well as the channel region 1a' within the TFT 30, is formed within that intersecting region in the pixel electrode 9a, a plurality of which is arrayed in a matrix. Here, an intersecting region is a region at which a longitudinal first gap (in the x direction in FIG. 2), which viewed planarly extends so that it threads between mutually adjacent pixel electrodes 9a that interpose the scan line, and a longitudinal second gap (in the y direction in FIG. 2), which extends so that it threads between mutually adjacent pixel electrodes 9a that interpose the data line 6a, intersect. More specifically, following along in FIG. 2, it corresponds to, for example, the location most spaced apart from each of: the lower-right corner portion of the pixel electrode 9a shown at the upper left; the lower-left corner portion of the pixel electrode 9a shown at the upper right; the upper-right corner portion of the pixel electrode 9a shown at the lower left; and the upper-left corner portion of the pixel electrode 9a shown at the lower right. By forming the TFT 30 at such a location, the situation emerges in which it is difficult for the light to directly impinge the channel region 1a' of that TFT 30.

[0054]

As shown in FIG. 3, the TFT 30 has an LDD (lightly doped drain) structure and, as the structural elements thereof, comprises: the channel region 1a' of the semiconductor layer 1a, in which a channel is formed by the electric field from the scan line 330a functioning as the gate electrode as described above; an insulating film 2, which includes a gate-insulating film that insulates the scan line 330a and the semiconductor layer 1a from each other; and a low-density source region 1b, a low-density drain region 1c, as well as a high-density source region 1d, and a high-density drain region 1e, which are in the semiconductor layer 1a.

[0055]

It is noted that the TFT 30 preferably has an LDD structure, as shown in FIG. 3, but may have an offset structure in which the implantation of impurities is not performed on the low-density source region 1b and the low-density drain region 1c, or may be a self-aligned-type TFT, in which a high-density source region and a high-density drain region are formed in a self-aligned manner by implanting high-density impurities using the gate electrode, which is composed of a portion of the scan line 330a, as a mask. In addition, in the present embodiment, the pixel-switching TFT 30 has a single-gate structure, in which only one gate electrode is disposed between the high-density source region 1d and the high-density drain region 1e, but a dual gate or triple gate TFT, or a TFT with more than three gates, may be configured by disposing two or more of the gate electrodes therebetween. Furthermore, the

semiconductor layer 1a that constitutes the TFT 30 is not limited to being a polysilicon film and may be an amorphous-silicon film or a single-crystal silicon film. A well-known method, such as a bonding method, can be used in the formation of the single-crystal silicon film. By making the semiconductor layer 1a a single-crystal silicon film, the performance of the peripheral circuits in particular can be made high.

[0056]

Here, in the present embodiment, with regard to particularly the above-mentioned scan line 330a, which functions as the gate electrode of the TFT 30, the portion that functions as the gate electrode, i.e., the portion that exists opposing the channel region 1a' of the TFT 30, is formed wider than another portion, as shown in FIG. 2. That is, in FIG. 2, the scan line 330a has the wide portion 331a, which extends in the y direction in FIG. 2 so as to correspond to the channel region 1a' existing in the y direction in FIG. 2, and a narrow portion 332a, which extends such that it threads between adjacent pixel electrodes 9a. In FIG. 4, only the shape and pattern of the scan line 330a are shown so that the configuration thereof becomes clear.

[0057]

Incidentally, in the present embodiment, the wide portion 331a of the scan line 330a is formed such that it extends from the narrow portion 332a. That is, the wide portion 331a and the narrow portion 332a are formed integrally so to speak. Such a shape can be easily formed by well-known photolithography and etching methods on the premise that a pattern is formed having an integral shape (refer to FIG. 4) formed by, for example, the wide portion 331a and the narrow portion 332a. However, the present invention is not limited to such a configuration; for example, even in a configuration wherein the wide portion 331a is formed by connecting a separately prepared, separate electrically conductive member to the narrow portion 332a, the present invention falls within that scope.

[0058]

Now, on the other hand, the storage capacitance 70 shown in FIG. 1 is formed by disposing a relay layer 71, which serves as a pixel-potential-side capacitor electrode that is connected to the high-density drain region 1e of the TFT 30 and the pixel electrode 9a as shown in FIG. 3, and a portion of a capacitor line 300, which serves as a fixed-potential-side capacitor electrode, such that they oppose each other across a dielectric film 75. According to this storage capacitance 70, it becomes possible to markedly increase the electric-potential holding characteristic of the pixel electrode 9a.

[0059]

The relay layer 71 is composed of, for example, an electrically conductive polysilicon film and functions as the pixel-potential-side capacitor electrode. However, the same as with the capacitor line 300, which will be described in detail later, the relay layer 71 may be constituted from a single-layer film or a multilayer film that contains a metal or an alloy. In addition to functioning as the pixel-potential-side capacitor electrode, the relay layer 71 also functions to relay connect the pixel electrode 9a and the high-density drain region 1e of the TFT 30 via contact holes 83 and 85.

[0060]

If the relay layer 71 is used in this manner, then, even if the interlayer distance is long, for example, approximately 2,000 nm, both can be satisfactorily connected to each other by two or more contact holes of a comparatively small diameter in series while avoiding the technical difficulty of connecting both to each other by one contact hole; thereby, it becomes possible to increase the pixel aperture ratio. In addition, it is also helpful in preventing etch-through during etching when forming the contact hole.

[0061]

The capacitor line 300 is composed of an electrically conductive film that contains, for example, a metal or an alloy and functions as the fixed-potential-side capacitor electrode. As shown in FIG. 2, when viewed planarly, the capacitor line 300 is formed such that it overlaps the formation region of the scan line 330a. More specifically, the capacitor line 300 comprises: a main-line portion, which extends along the scan line 330a; a protruding portion, which protrudes upward in the y direction along the data line 6a from each location intersecting with the data line 6a in the drawing; and a neck portion, in which the location corresponding to the contact hole 85 is slightly constricted. Among these, the protruding portion contributes to an increase in the formation region of the storage capacitance 70 by utilizing the region on the scan line 330a and the region below the data line 6a.

[0062]

In addition, the capacitor line 300 contains at least one of the refractory metals such as, for example, Ti, Cr, W, Ta, and Mo, is composed of elementary metal, an alloy, a metal silicide, a polysilicide, or a laminate thereof, and in addition to functioning as the fixed-potential-side capacitor electrode of the storage capacitance 70, functions as a light-shielding layer that shields the TFT 30 from light that is incident on the upper side of the TFT 30. However, the capacitor line 300 may have a multilayer structure in which, for example, a first film composed of an electrically conductive polysilicon film or the like, a second film composed of a metal-silicide film that contains a refractory metal, and the like are layered.

[0063]

In addition, the capacitor line 300 preferably extends from the image-display region, in which the pixel electrode 9a is disposed, to the periphery thereof and is electrically connected to a constant-potential source, thereby being made a fixed potential. The constant-potential source of a positive power supply or a negative power supply supplied to a data-line drive circuit, which is described below, may be used as such a constant-potential source, or a constant potential supplied to the counter electrode 21 of the opposing substrate 20 may be used.

[0064]

As shown in FIG. 3, the dielectric film 75 is constituted from a silicon-oxide film, such as an HTO (high-temperature oxide) film or an LTO (low-temperature oxide) film, or from a silicon nitride film, or the like having a comparatively thin film thickness of, for example, approximately 5–200 nm. From the viewpoint of increasing the size of the storage capacitance 70, the thinner the dielectric film 75, the better, as long as sufficient film reliability is obtained.

[0065]

In FIG. 2 and FIG. 3, in addition to that described above, a lower-side, light-shielding film 11a is provided on the lower side of the TFT 30. The lower-side, light-shielding film 11a is patterned in a lattice and thereby defines the opening regions of the pixels. It is noted that each opening region is also defined by the formation of the mutual intersection between the data line 6a extending in the longitudinal direction in FIG. 2 and the capacitor line 300 extending in the x direction in FIG. 2. In addition, the same as in the capacitor line 300 described above, the lower-side, light-shielding film 11a also may extend from the image-display region to the periphery thereof and may be connected to a constant-potential source in order to avoid potential fluctuations thereof from adversely affecting the TFT 30.

[0066]

In addition, a base insulating film 12 is provided below the TFT 30. In addition to having the function of an interlayer that insulates the TFT 30 from the lower-side, light-shielding film 11a, the base insulating film 12, being formed on the entire surface of the TFT-array substrate 10, has the function of preventing a change in the characteristics of the pixel-switching TFT 30 due to roughening during surface polishing of the TFT-array substrate 10, contamination remaining after rinsing, and the like.

[0067]

In addition, a first interlayer insulating film 41, in which a contact hole 81 leading to

the high-density source region 1d and the contact hole 83 leading to the high-density drain region 1e are formed, is formed on the scan line 330a.

[0068]

The relay layer 71 and the capacitor line 300 are formed on the first interlayer insulating film 41, and a second interlayer insulating film 42, in which the contact hole 81 leading to the high-density source region 1d and the contact hole 85 leading to the relay layer 71 are formed, is formed on the first interlayer insulating film 41.

[0069]

It is noted that, in the present embodiment, ions implanted into the polysilicon film that constitutes the semiconductor layer 1a and the scan line 330a may be activated by sintering the first interlayer insulating film 41 at approximately 1,000°C. On the other hand, stress generated in the vicinity of the boundary with the capacitor line 300 may be relaxed by not performing such sintering on the second interlayer insulating film 42.

[0070]

The data line 6a is formed on the second interlayer insulating film 42, and a third interlayer insulating film 43, in which the contact hole 85 leading to the relay layer 71 is formed, is formed thereon.

[0071]

The surface of the third interlayer insulating film 43 is flattened by a CMP (chemical-mechanical polishing) process or the like, which reduces alignment failures of a liquid-crystal layer 50 due to steps created by the various wirings, elements, and the like existing downward of the surface of the third interlayer insulating film 43.

[0072]

However, instead of or in addition to performing the flattening process on the third interlayer insulating film 43 in this manner, a flattening process may be performed by forming a groove in at least one among the TFT-array substrate 10, the base insulating film 12, the first interlayer insulating film 41, and the second interlayer insulating film 42, and embedding the wiring, the TFT 30, and the like of the data line 6a or the like therein.

[0073]

According to the electro-optical device of the present embodiment having the configuration as explained above, as described above, because the scan line 330a has the wide portion 331a and the narrow portion 332a and because the wide portion 331a is provided such that it opposes the channel region 1a' of the TFT 30, the adjustment and determination of the arrangement mode of the TFT 30 and the scan line 330a can be easily

performed.

[0074]

For example, the arrangement relationship between the TFT 30 and the scan line 330a in FIG. 2, which was previously explained, shows one example of a suitable arrangement relationship capable of meeting the demand to effectively prevent the incidence of light upon the channel region 1a' of the TFT 30; however, the arrangement relationships as shown in, for example, FIG. 5, FIG. 6, etc., can additionally be realized. Here, the gist of FIG. 5 is the same as that of FIG. 2 but differs in the arrangement relationship between the TFT and the scan line; FIG. 6 is a drawing that shows only the shape and pattern of the scan line shown in FIG. 5, the same as in FIG. 4.

[0075]

In FIG. 5 and FIG. 6, a scan line 330a', more precisely, a narrow portion 332a' thereof, is formed at a location offset from the center of the longitudinal first gap, which extends such that it threads between mutually adjacent pixel electrodes 9a interposing the scan line 330a'. Furthermore, a wide portion 331a' is formed as a shape that protrudes only upward in the y direction in FIG. 5 and FIG. 6. It is noted that the arrangement and location of the channel region 1a', i.e., the arrangement and location of the wide portion 331a', does not differ from that in FIG. 2.

[0076]

In the situation of such a arrangement relationship, firstly, the quality of the display image can be improved. This is attributable to the following circumstances. That is, with regard to the electro-optical device according to the present embodiment, as described above, the alignment layer 16 is provided on the pixel electrode 9a; however, there are situations in which unevenness due to the "height" of the various structural elements formed below the alignment layer 16 generally exists on the surface of the alignment layer 16. The scan line 330'a according to the present embodiment is included in the "various structural elements" spoken of here. FIG. 7 is a cross-sectional view taken along line B-B' in FIG. 5 and shows an aspect in which a protruding portion 501, which is due to the "height" of the narrow portion 332a' of the scan line 330a', is formed on the alignment layer 16.

[0077]

Nevertheless, when such a protruding portion 501 occurs, there is a risk that it will cause nonuniformity in the rubbing process, which was described above, performed on the alignment layer 16. There are situations in which this nonuniformity leads to an alignment failure or the like of the liquid crystal, thereby becoming a cause of a malfunction of the

electro-optical device. Accordingly, conventionally, incident light is blocked by providing a light-shielding film in the vicinity of the protruding portion 501, as described above, i.e., incident light that arrives at the light-shielding film is reflected or absorbed by the light-shielding film and therefore does not contribute to image display.

[0078]

The problem at this time is that the light-shielding film described above must be provided while satisfying the demand to increase the pixel aperture ratio. That is, merely providing the light-shielding film so as to correspond to the protruding portion 501 results in needlessly reducing the pixel aperture ratio, thereby impairing the brightness of the image. However, by providing the light-shielding film at only a small portion of the protruding portion 501, sufficient light shielding cannot be performed, which leads to a reduction in image contrast; in addition, providing the light-shielding film is also impacted by the nonuniformity of the protruding portion 501, leading to a malfunction or the like of the electro-optical device.

[0079]

Here, in the present embodiment, proceeding from the fact that the nonuniformity as described above occurs on the protruding portion 501, note that there is a difference in the degree of the nonuniformity between the portion (symbol 501a in FIG. 7; hereinbelow called "rub-up portion 501a") of the protruding portion 501 pertaining to the rub-up part of the rubbing (i.e., in the direction ascending the protruding portion 501) and the portion (symbol 501b in FIG. 7; hereinbelow called "rub-down portion 501b") of the protruding portion 501 pertaining to the rub-down part of the rubbing (i.e., in the direction descending the protruding portion 501).

[0080]

More specifically, note that, for example, the nonuniformity tends to occur less in the rub-up portion 501a than in the rub-down portion 501b, i.e., there is a strong possibility that the rub-down portion 501b will lead to an alignment failure or the like of the liquid crystal.

[0081]

Here, in the present embodiment, it is significant that the narrow portion 332a' is formed at a location that deviates from the center (refer to the chain double-dashed line in FIG. 7) of the first gap between the pixel electrodes 9a. That is, according to the formation of the narrow portion 332a' at the location as shown in FIG. 7, a vertex 501P of the protruding portion 501 due to the narrow portion 332a' also is formed at a location that deviates from the center of the first gap; this means that a configuration can be adopted such that only

substantially half the sloped surfaces of the protruding portion 501 are caused to exist on the region corresponding to the first gap, i.e., a configuration can be adopted such that only the rub-down portion 501b is caused to exist on the region. Furthermore, in this situation, if the light-shielding capacitor line 300 and the relay layer 71 are provided such that they correspond to the first gap, as shown in FIG. 7, then it becomes possible to effectively shield the rub-down portion 501b alone, i.e., to effectively shield the portion of the protruding portion 501 considered to be most affected by the nonuniformity.

[0082]

As a result of the above, according to the present embodiment, virtually no malfunctions or the like of the electro-optical device due to the effect of nonuniformity occur; in addition, because the rub-up portion 501a of the protruding portion 501, which is considered to tend to be more unaffected by the nonuniformity, is left as is such that it can transmit the light that contributes to image display, it becomes possible to increase the pixel aperture ratio, i.e., to maintain the brightness of the image as is. Ultimately, according to the present embodiment, the quality of display image is improved in the meaning as described above.

[0083]

In addition, according to the formation of the narrow portion 332a' at a location that deviates from the center of the first gap, secondly, the degrees of freedom in the design of the electro-optical device are increased; in addition, the incidence of light upon the TFT 30 can be more effectively prevented. This is because of the following circumstances.

[0084]

That is, the narrow portion 332a' in the present embodiment exists such that it threads through the first gap between adjacent pixel electrodes 9a but does not exist in the center thereof. Consequently, for example, by utilizing the region of the first gap where the narrow portion 332a' is not provided, viewed planarly, it becomes possible to wire other wiring, such as the capacitor line 300, which is constituted from the same film as the narrow portion 332a', parallel to the narrow portion 332a'. That is, the degrees of freedom in the design increase.

[0085]

In addition, in the situation as described above, although the narrow portion 332a' deviates from the centerline, it becomes possible to dispose the wide portion 331a', which serves as the gate electrode, at the center of the gap by adjusting the degree of the width of the wide portion 331a', e.g., by increasing the width on one side alone or making the width larger on one side and smaller on the other side. In the present embodiment, as shown in FIG.

5 and FIG. 6, it is understood that the wide portion 331a' is widened on one side alone. In this manner, because the gate electrode can be disposed at a location conducive to increasing the light-shielding characteristic, regardless of the location of the scan line 330a', or because the scan line 330a' can be disposed at an arbitrary location within the gap while disposing the gate electrode at a location conducive to increasing the light-shielding characteristic, ultimately the TFT 30 having a substantially high light-shielding characteristic can be realized while increasing the degrees of freedom in the wiring and arrangement, including the arrangement of the scan line 330a'.

[0086]

In short, according to the configuration shown in FIG. 5 and FIG. 6, the arrangement relationship between the channel region 1a' or the TFT 30 and the gate electrode or the scan line 330a' can be suitably adjusted and determined while meeting demands such as improving the quality of the display image, increasing the degrees of freedom in the design, and reducing the light-leakage current in the TFT 30.

[0087]

As described above, according to the electro-optical device according to the present embodiment, owing to the scan line having the wide portion, which serves as the gate electrode, and the narrow portion, the arrangement relationship between the channel region or the TFT and the gate electrode or the scan line can be suitably adjusted and determined while meeting the various demands described above and the general demand to make the electro-optical device itself high definition.

[0088]

(Overall Configuration of Electro-Optical Device)

The overall configuration of the electro-optical device according to the present embodiment configured as above will now be explained, with reference to FIG. 8 and FIG. 9. It is noted that FIG. 8 is a plan view of the TFT-array substrate, viewed from the opposing substrate 20 side, together with various structural elements formed thereon, and FIG. 9 is a cross-sectional view taken along line H-H' in FIG. 8.

[0089]

In FIG. 8 and FIG. 9, with regard to the electro-optical device according to the present embodiment, the TFT-array substrate 10 and the opposing substrate 20 are disposed opposing each other. The liquid-crystal layer 50 is sealed between the TFT-array substrate 10 and the opposing substrate 20, and the TFT-array substrate 10 and the opposing substrate 20 are bonded to each other by a sealing material 52, which is provided in a seal region located at

the periphery of an image-display region 10a.

[0090]

In the region on the outer side of the sealing material 52, a data-line drive circuit 101, which drives the data line 6a by supplying the image signal to the data line 6a at a prescribed timing, and external-circuit connection terminals 102 are provided along one side of the TFT-array substrate 10, and scan-line drive circuits 104, which drive the scan line 3a by supplying a scan signal to the scan line 3a at a prescribed timing, are provided along two sides adjacent to that one side.

[0091]

It is noted that it goes without saying that the scan-line drive circuit 104 may be provided on one side alone, as long as delay in the scan signal supplied to the scan line 3a does not become a problem. In addition, two of the data-line drive circuits 101 may be arrayed on both sides along the sides of the image-display region 10a.

[0092]

On the remaining side of the TFT-array substrate 10, a plurality of wirings 105 is provided for connecting the scan-line drive circuits 104, which are provided on both sides of the image-display region 10a, to each other. In addition, a conductive material 106, which is for providing electrical conductivity between the TFT-array substrate 10 and the opposing substrate 20, is provided at at least one corner portion of the opposing substrate 20. Furthermore, as shown in FIG. 9, the opposing substrate 20, which has an outline substantially the same as that of the sealing material 52 shown in FIG. 8, is fixed to the TFT-array substrate 10 by the sealing material 52.

[0093]

In FIG. 9, on the TFT-array substrate 10, an alignment layer is formed on the pixel electrode 9a after the pixel-switching TFT, the wirings for the scan line, the data line, and the like have been formed. On the other hand, on the opposing substrate 20, in addition to the counter electrode 21, an alignment layer is formed at the topmost layer portion. In addition, the liquid-crystal layer 50 is composed of liquid crystals, in which, for example, one or several types of nematic liquid crystals are mixed, and a prescribed alignment state obtains between this pair of alignment layers.

[0094]

It is noted that, on the TFT-array substrate 10, in addition to the data-line drive circuit 101, the scan-line drive circuits 104, and the like: a sampling circuit, which impresses the image signal on the plurality of data lines 6a with a prescribed timing; a precharging circuit,

which supplies, in advance of the image signal, a precharging signal of a prescribed voltage level to each of the data lines 6a of the plurality of data lines 6a; a testing circuit, which is for inspecting for quality, defects, and the like of the electro-optical device during manufacturing or at the time of shipping; and the like may be formed.

[0095]

(Embodiment of Electronic Apparatus)

Next, the overall configuration and particularly the optical configuration will be explained for an embodiment of a projecting-type, color-display apparatus that is one example of an electronic apparatus in which the electro-optical device explained in detail above is used as a light valve. Here, FIG. 10 is a schematic, cross-sectional view of the projecting-type, color-display apparatus.

[0096]

In FIG. 10, a liquid-crystal projector 1100, which is one example of the projecting-type, color-display apparatus according to the present embodiment, is configured as a projector in which three liquid-crystal modules, each of which includes a liquid-crystal device wherein a drive circuit is installed on a TFT-array substrate, are prepared and respectively used as RGB light valves 100R, 100G, and 100B. With regard to the liquid-crystal projector 1100, when projected light is emitted from a lamp unit 1102 of a white-light source, such as a metal-hydride lamp, the light is divided into light components R, G, B corresponding to the three primary colors, i.e., RGB, by three mirrors 1106 and two dichroic mirrors 1108 and then guided respectively to the light valves 100R, 100G, and 100B respectively corresponding to the colors. At this time, to prevent optical loss due to the long optical path, the B light in particular is guided via a relay-lens system 1121, which is composed of an entrance lens 1122, a relay lens 1123, and an exit lens 1124. Furthermore, after the light components corresponding to the three primary colors respectively modulated by the light valves 100R, 100G, and 100B have been resynthesized by a dichroic prism 1112, they are projected as a color image to a screen 1120 via a light-projecting lens 1114.

[0097]

The present invention is not limited to the embodiments described above and can be appropriately modified within a range that does not depart from the gist or idea of the invention that can be read from the claims and the entire specification, and an electro-optical device and an electronic apparatus accompanying such modification are also included within the technical scope of the present invention.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a circuit diagram that shows an equivalent circuit of various elements, wirings, and the like provided on a plurality of pixels in a matrix shape constituting an image-display region of an electro-optical device according to an embodiment of the present invention.

FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups of a TFT-array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, of the electro-optical device according to the embodiment of the present invention.

FIG. 3 is a cross-sectional view taken along line A-A' in FIG. 2.

FIG. 4 is a plan view that shows only the shape and pattern of the scan lines shown in FIG. 2.

FIG. 5 is a drawing of the same purport as that of FIG. 2, but this drawing shows an aspect in which the arrangement relationship between the scan lines and TFTs differs.

FIG. 6 is a plan view that shows only the shape and pattern of the scan lines shown in FIG. 5.

FIG. 7 is a cross-sectional view taken along line B-B' in FIG. 5.

FIG. 8 is a plan view, viewed from the opposing substrate side, of the TFT-array substrate, together with the structural elements formed thereon, of the electro-optical device according to the embodiment of the present invention.

FIG. 9 is a cross-sectional view taken along line H-H' in FIG. 8.

FIG. 10 is a schematic, cross-sectional view that shows a color, liquid-crystal projector, which is one example of a projecting-type, color-display apparatus that is an embodiment of an electronic apparatus according to the present invention.

EXPLANATION OF THE REFERENCE NUMBERS

1a	Semiconductor layer
1a'	Channel region
330a, 330a'	Scan lines
331a, 331a'	Wide portions
332a, 332a'	Narrow portions
6a	Data line
9a	Pixel electrode
10	TFT-array substrate
16	Alignment layer
30	TFT
50	Liquid-crystal layer

DRAWINGS

FIG. 1

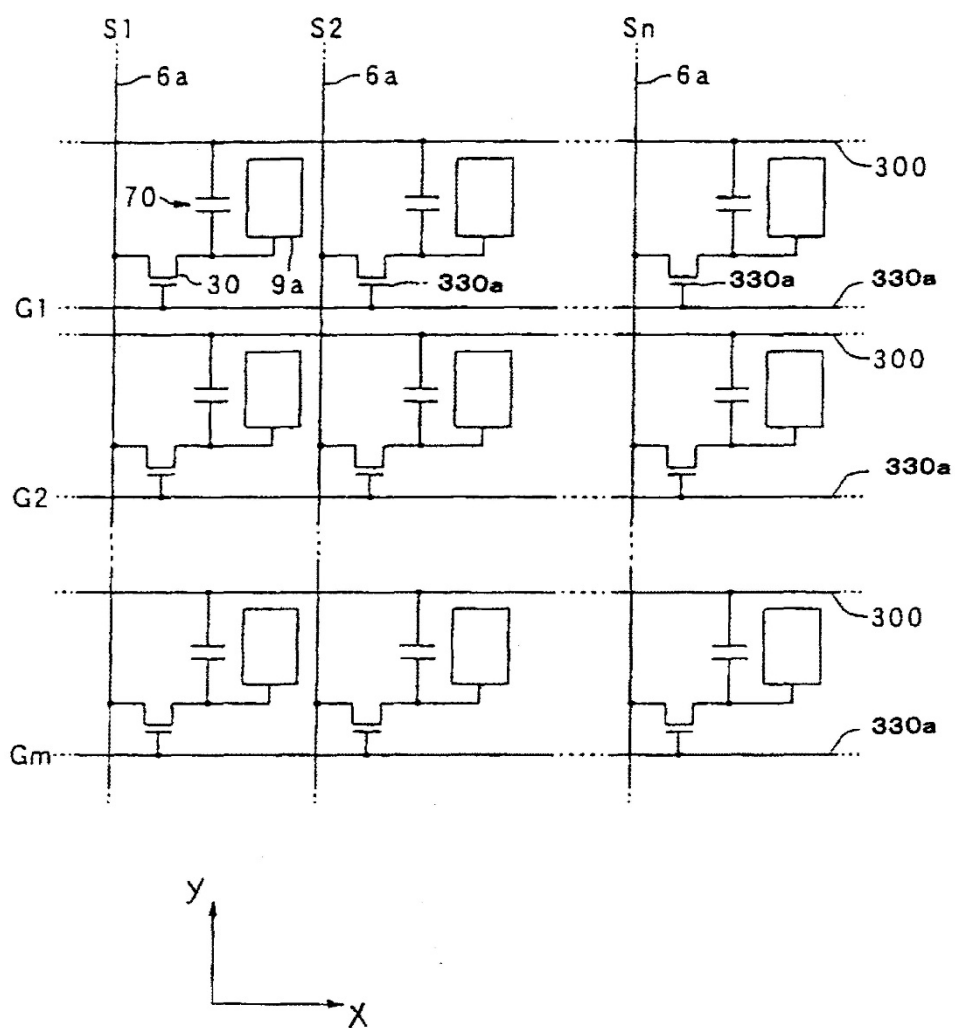


FIG. 2

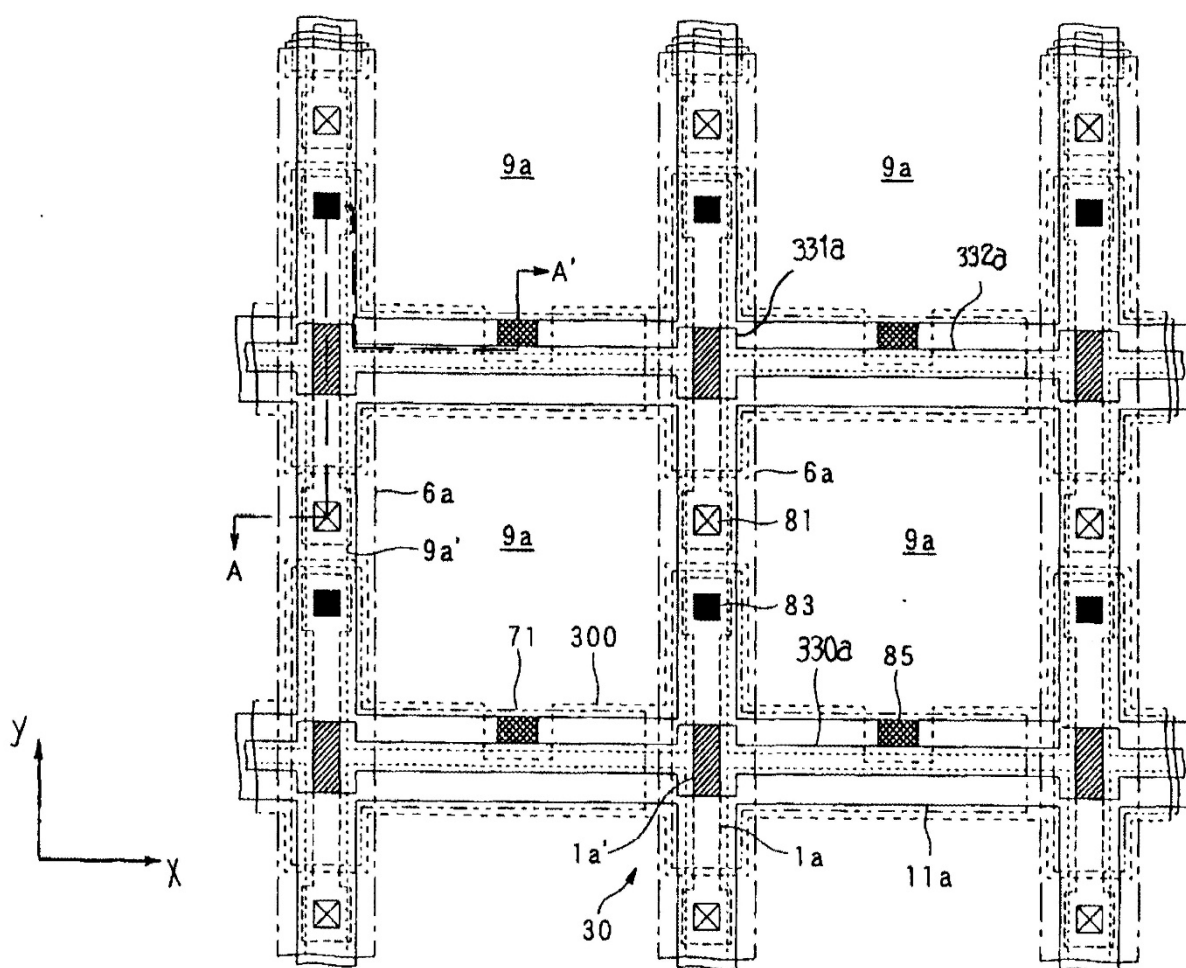


FIG. 3

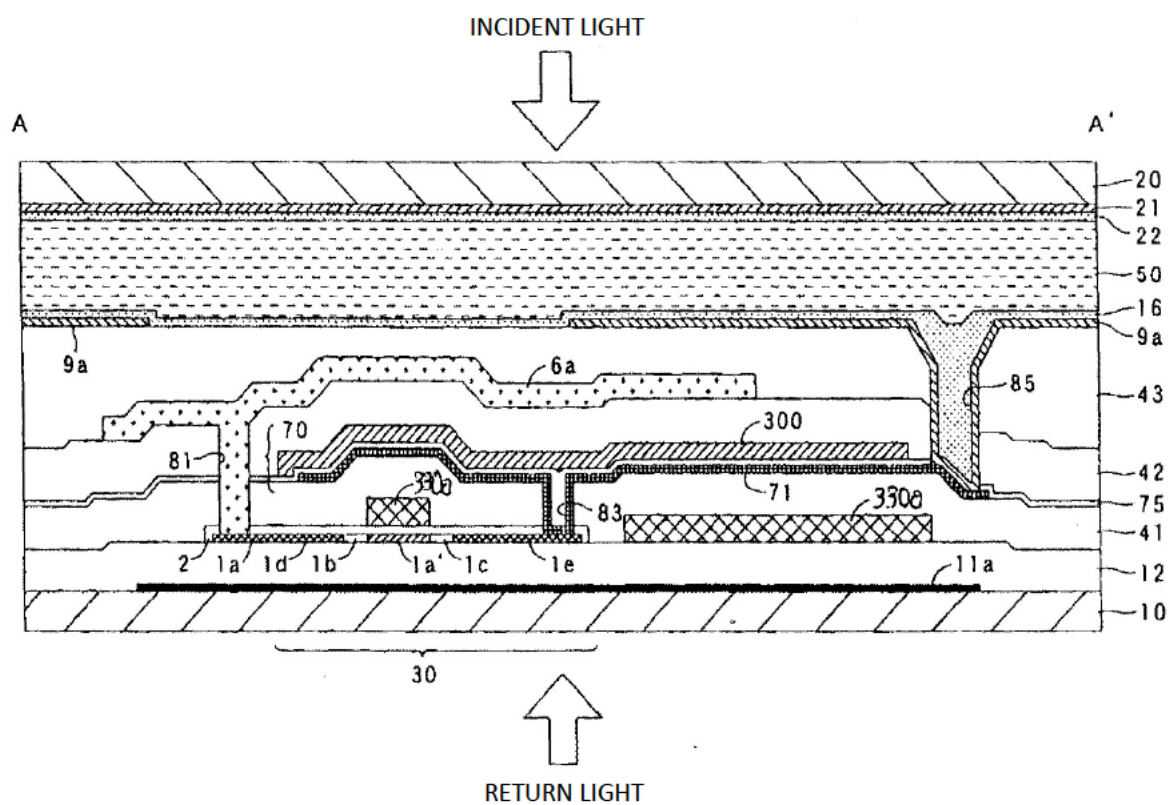


FIG. 4

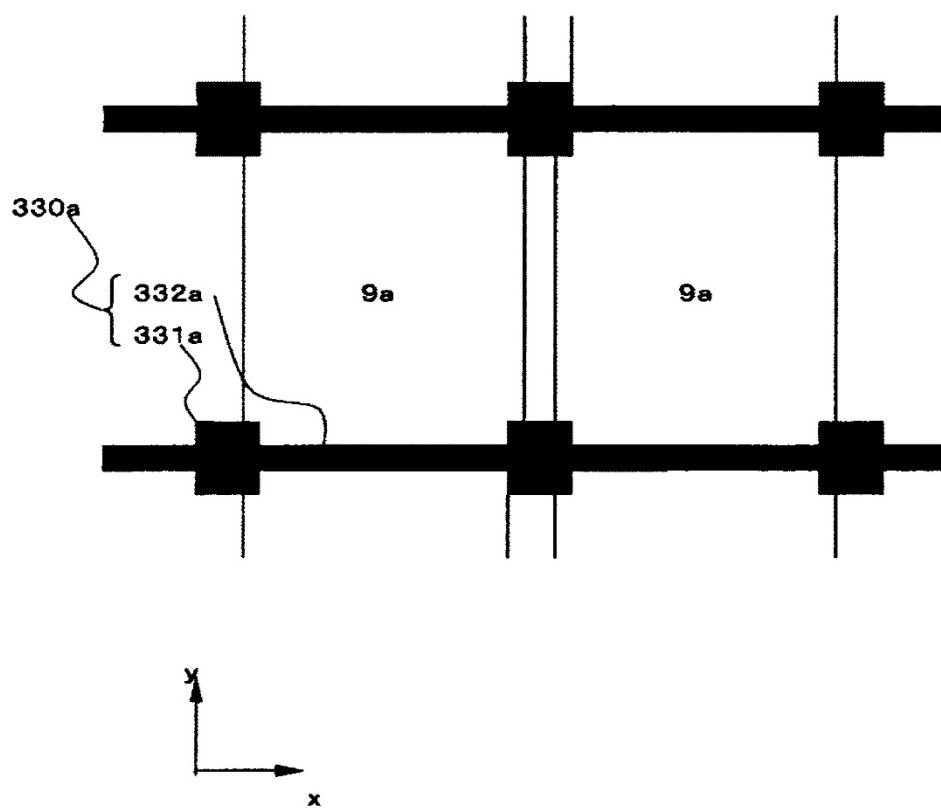


FIG. 5

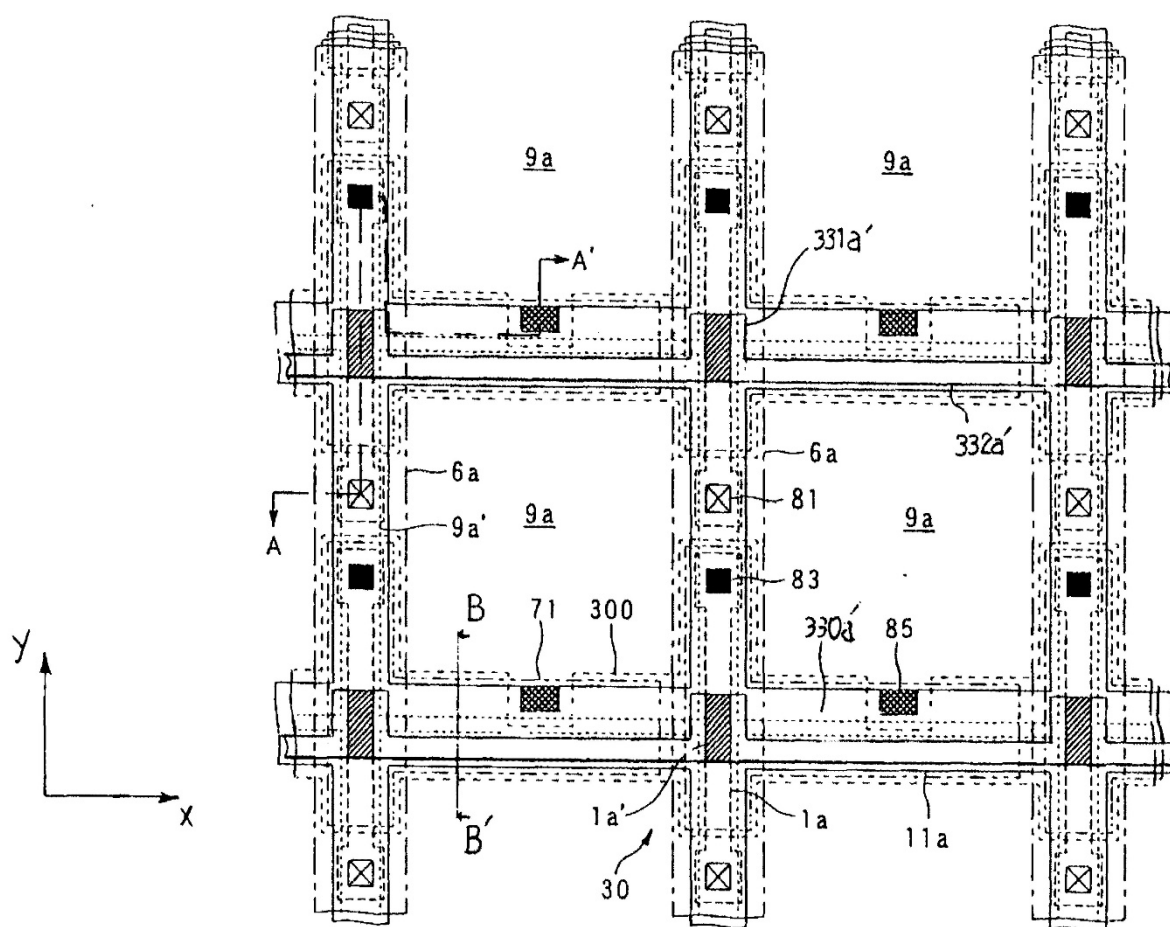


FIG. 6

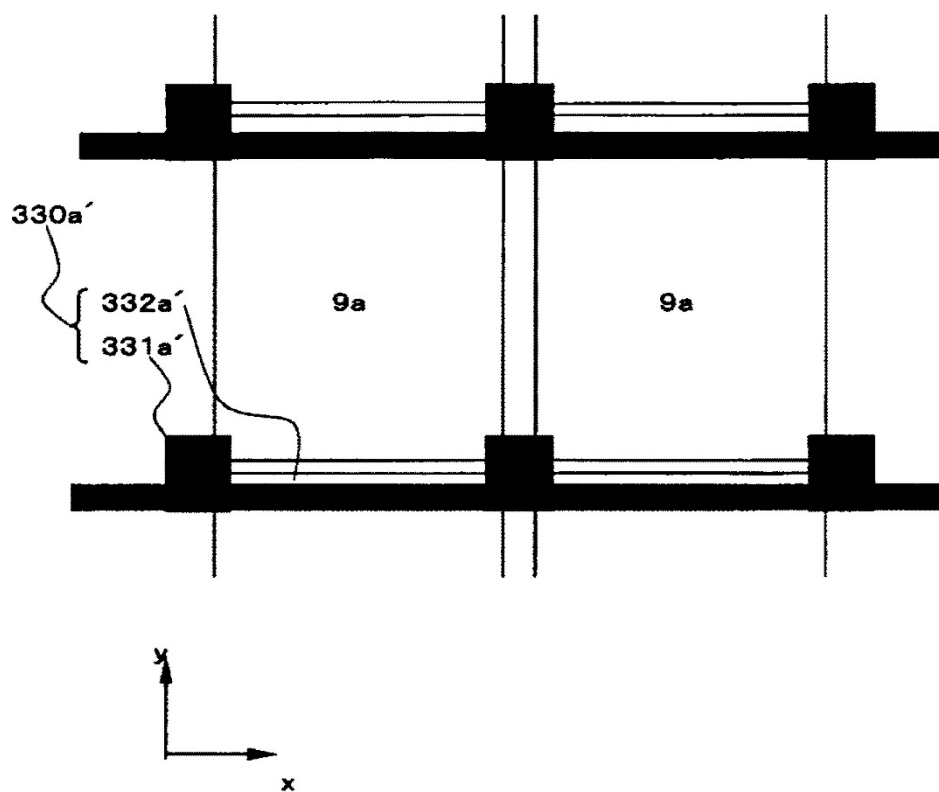


FIG. 7

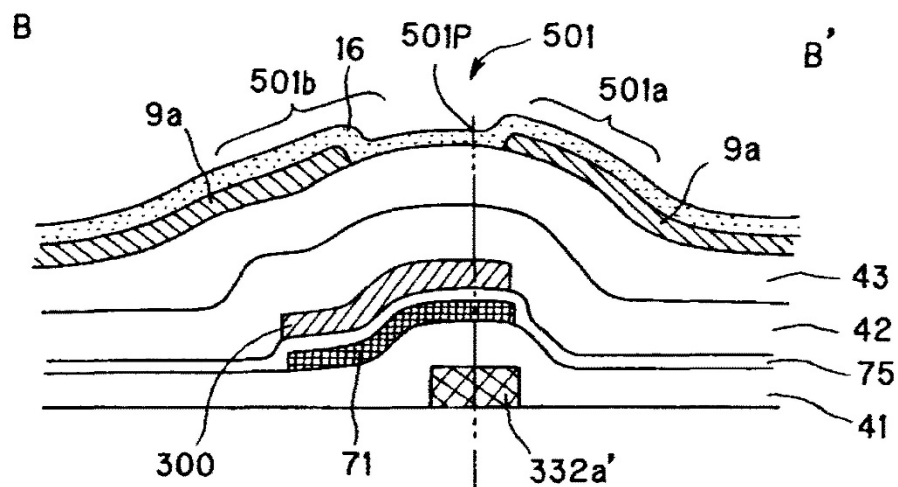


FIG. 8

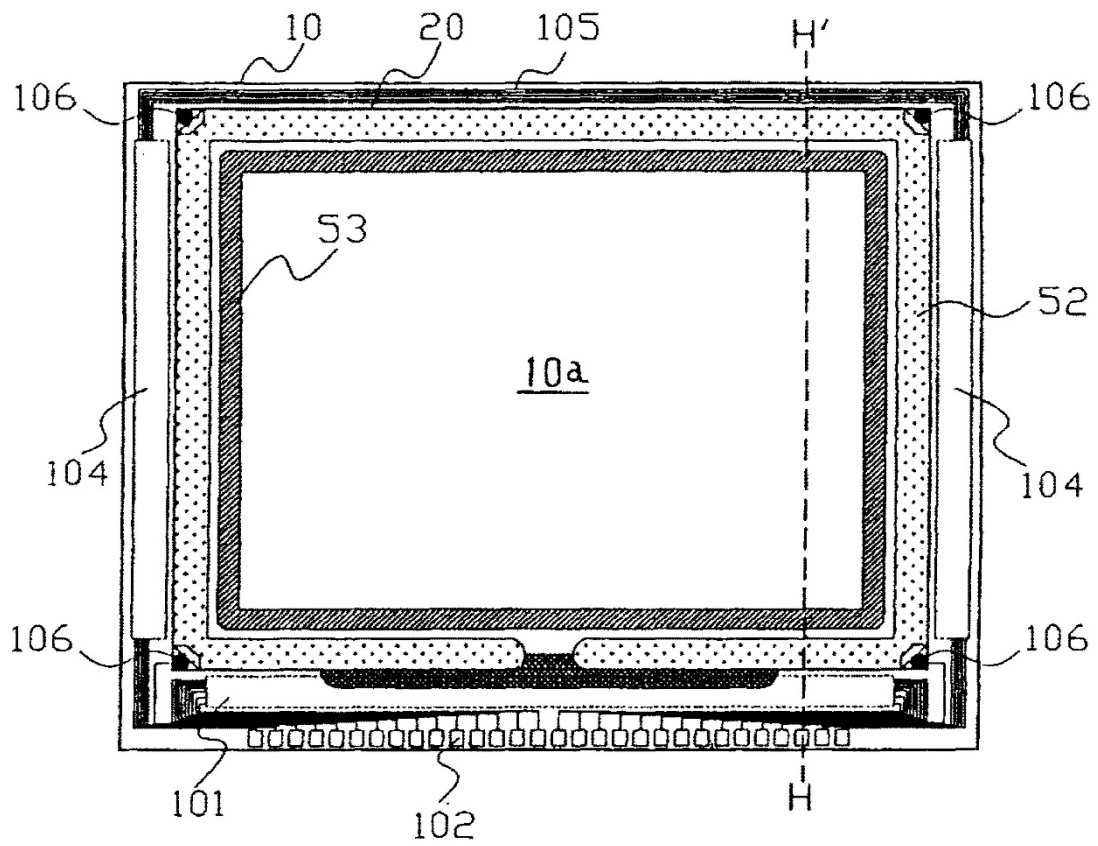


FIG. 9

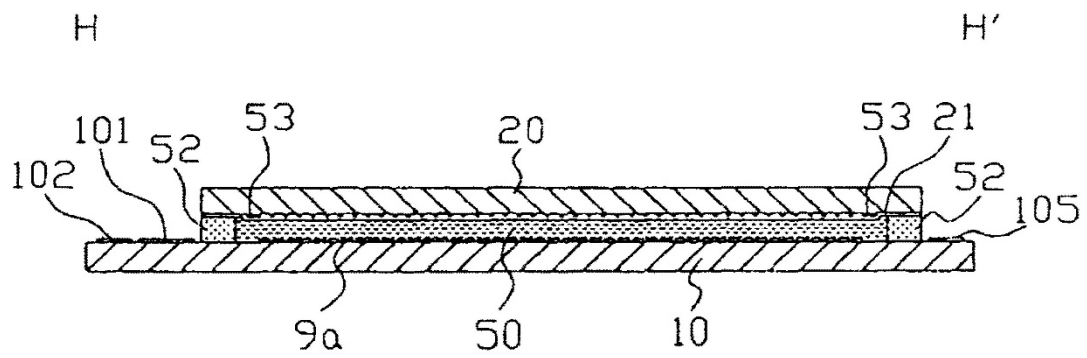
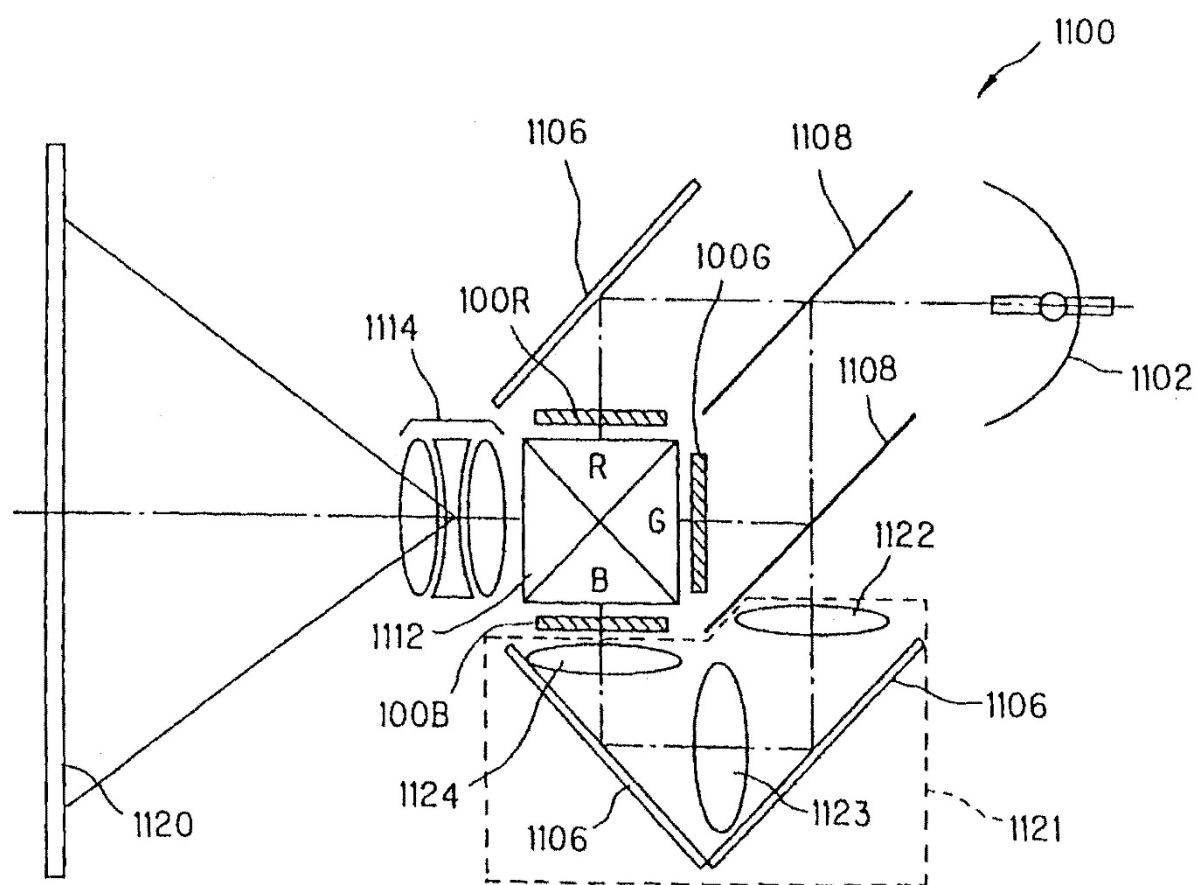


FIG. 10



ABSTRACT

Problem

To provide an electro-optical device, in which adjustment of the arrangement relationship between the gate electrode and the scan line is more easily achieved and in which accurate drive of the TFT is made possible.

Solution

An electro-optical device according to the present invention comprises: on a TFT-array substrate (10): a pixel electrode (9a) and a TFT (30) connected thereto; and a scan line (330a) and a data line (6a) connected to the TFT; wherein the scan line has a wide portion (331a), which serves as a gate electrode, at a portion of the TFT that opposes a channel region (1a'), and has a narrow portion (332a) at another portion of the TFT.

Selected Figure

FIG. 2

Patent Application 2002-000713

APPLICANT HISTORY INFORMATION

Serial No. (000002369)

1. Change Date: August 20, 1990
[Reason for Change] New registration
Address: 2-4-1 Nishi-Shinjuku, Shinjuku, Tokyo
Name: Seiko Epson Corporation

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Masao MURADE

Application No.: 10/320,334



Filed: December 17, 2002

Docket No.: 114542

For: ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-000713, filed January 7, 2002; and

Japanese Patent Application No. 2002-363864, filed December 16, 2002.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: February 11, 2003

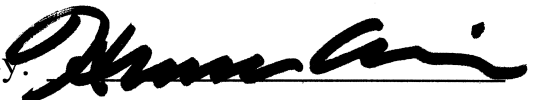
OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

I, Harold Abilock, declare as follows:

1. I am over 21 years of age and am competent to make this declaration.
2. I am a native speaker of English.
3. I am fluent in Japanese.
4. I have 35 years of experience translating Japanese to English.
5. I translated the attached patent document "JP2002000713" from Japanese to English.
6. I certify that the translation of the document "JP2002000713" is, to the best of my knowledge, a true and accurate translation from Japanese to English.
7. In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.
8. I declare under penalty of perjury that all statements made herein are true and accurate to the best of my knowledge and belief, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed: May 29, 2024

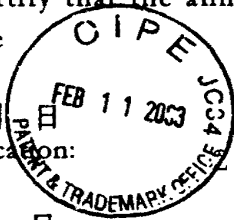
By: 
Harold Abilock

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:



2002年 1月 7日

出願番号
Application Number:

特願2002-000713

[ST.10/C]:

[JP 2002-000713]

出願人
Applicant(s):

セイコーエプソン株式会社

2003年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3104260

【書類名】 特許願

【整理番号】 J0088260

【提出日】 平成14年 1月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/30 338

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 村出 正夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置及び電子機器

【特許請求の範囲】

【請求項 1】 基板上に、

画素電極と、

該画素電極に接続された薄膜トランジスタと、

該薄膜トランジスタに接続された走査線及びデータ線と、

を備え、

前記走査線は、前記薄膜トランジスタのチャネル領域に対向する部分にゲート電極としての幅広部を有するとともに他の部分に幅狭部を有していることを特徴とする電気光学装置。

【請求項 2】 前記幅広部は、前記幅狭部から延設されて形成されている部分を含むことを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記幅広部は、前記幅狭部に接続されて形成されている部分を含むことを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】 前記走査線は、前記チャネル領域の延在する方向と交わる方向に延在しており、前記幅広部は、当該チャネル領域の延在する方向の一方又は両方に延在していることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電気光学装置。

【請求項 5】 前記画素電極は、マトリクス状の配列がなされてなり、

前記チャネル領域は、平面的に見て前記走査線を挟んで相隣接する画素電極間を縫って延びる長手状の第 1 間隙と、前記データ線を挟んで相隣接する画素電極間を縫って延びる長手状の第 2 間隙とが交わる交点領域内に形成されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電気光学装置。

【請求項 6】 前記幅狭部は、前記第 1 間隙の中央よりもずれた位置に形成され、

前記幅広部は、前記交点領域内において前記第 1 間隙の中央に形成されていることを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】 前記幅広部は、前記交点領域内において前記第 2 間隙の中

央に形成されていることを特徴とする請求項 6 に記載の電気光学装置。

【請求項 8】 請求項 1 乃至 7 のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス駆動が可能な電気光学装置及び該電気光学装置を具備してなる電子機器の技術分野に属する。

【0002】

【背景技術】

従来、液晶等の電気光学物質を挟持してなる一对の基板と、前記電気光学物質に対して電界を印加するため前記一对の基板のそれぞれに設けられた電極等とを備える電気光学装置が知られている。ここに、前記電極は、前記電気光学物質に電界を印加し、該電気光学物質の状態を適宜変化させるために利用される。そして、このような電気光学装置によれば、該装置に対して、例えば光源から発せられた光等を入射させるとともに、電気光学物質の状態を上述の如く適宜変化させれば、該光の透過率を制御することが可能となり、もって画像の表示を実現することが可能となる。

【0003】

そして、このような電気光学装置においては、前記一对の基板の一方において、前記電極としてマトリクス状に配列された画素電極を備えるとともに、該画素電極の各々に接続された薄膜トランジスタ（Thin Film Transistor；以下適宜、「TFT」という。）、該TFTの各々に接続され、行及び列方向それぞれに平行に設けられた走査線及びデータ線等を備えることで、いわゆるアクティブマトリクス駆動が可能なものが知られている。これにより、前記画素電極、あるいは前記走査線及び前記データ線により画される一つ一つの画素毎に、前記電気光学物質に対する電界の印加を制御して、画素毎に光の透過率を制御することが可能となる。

【0004】

【発明が解決しようとする課題】

しかしながら、従来における電気光学装置には、次のような問題があった。すなわち、上述したようなアクティブマトリクス駆動が可能な電気光学装置においては、そもそもTFTを正確に駆動する必要があるが、近年の電気光学装置に対する高精細化ないし小型化の要請を満たしながら、それを実現することはより困難になっているということである。

【0005】

ここで、TFTは、チャネル領域、ソース領域及びドレイン領域を有する半導体層と、該半導体層における前記チャネル領域の少なくとも一部を覆うように絶縁膜を介して設けられたゲート電極を備え、該ゲート電極に対する通電・非通電を通じて、前記チャネル領域に電界を印加・非印加することで、電流の流れを制御する。

【0006】

この際、前記チャネル領域の長さいわゆる「チャネル長」や、その幅いわゆる「チャネル幅」をどのようにするか、換言するとチャネル領域の大きさをどの程度にするかは、TFTの特性を決める上で重要な事項となる。また、それに加えて、該チャネル領域上における前記ゲート電極の配設態様をどのようにするかも極めて重要である。ちなみに、従来においては、ゲート電極として、前記走査線に電氣的に接続されている導電性部材や、前記走査線の一部を構成している部材があてられることがあったが、このような場合には、走査線それ自体とチャネル領域との配設態様も問題となる。

【0007】

要するに、TFTないしチャネル領域と、走査線ないしゲート電極との好適な配置関係を、上述した電気光学装置の高精細化という要請をも加味した上で実現することが求められており、かつ、そのように構成されたTFT等による正確な動作を実現することが求められているということになるが、これは容易なことではない。

【0008】

例えば、電気光学装置を駆動するためには、TFT及び走査線ないしゲート電

極だけ存在すればよいというのでは勿論なく、その他各種の構成要素を備える必要があるが、それらとの兼ね合いの中で、上記したような配置・調整を達成することは一般に困難であることが容易に想像しえる。また、TFTについては、前記チャンネル領域に対して光が入射すると、光リーク電流が発生するという不都合が生じるから、これを防止しなければならないという要請もある。すなわち、TFTは、各画素において実際に画像表示に寄与する光が透過又は反射により出射する領域たる光透過域、より具体的には画素電極から、可能な限り離隔した方が好ましいが、高精細化が要求される中でこれを満たさなければならないとすると、上述の配置・調整には、より困難な課題を抱えることとなる。

【 0 0 0 9 】

本発明は、上記問題点に鑑みてなされたものであり、ゲート電極及び走査線の配置関係の調整がより容易に実現されるときにも、TFTの正確な駆動が可能とされた電気光学装置及び該電気光学装置を具備してなる電子機器を提供することを課題とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の電気光学装置は、上記課題を解決するため、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された走査線及びデータ線とを備え、前記走査線は、前記薄膜トランジスタのチャンネル領域に対向する部分にゲート電極としての幅広部を有するとともに、他の部分に幅狭部を有している。

【 0 0 1 1 】

本発明の電気光学装置によれば、走査線及びデータ線を介して走査信号及び画像信号を薄膜トランジスタに供給することにより、画素電極をアクティブマトリクス駆動できる。

【 0 0 1 2 】

そして特に、本発明では、前記走査線は、前記薄膜トランジスタのチャンネル領域に対向する部分にゲート電極としての幅広部を有するとともに、他の部分に幅狭部を有していることから、走査線の狭小化等を実現しうるにもかかわらず、薄

膜トランジスタないしそのチャネル領域と走査線との配置関係の調整・決定を、従来に比べて容易に実現しうることになる。

【0013】

例えば、前記画素電極がマトリクス状に複数配列されている場合においては、それら一つ一つの画素電極の角部から最も離れた位置、換言すれば、四つの画素電極を想定したときに、隣接し、かつ対向する角部間のちょうど中間地点に、薄膜トランジスタのチャネル領域が位置するように当該薄膜トランジスタを形成することが一般的に好ましい（なぜなら、光透過域から最も離れているから）が、そのような場合において、チャネル領域を前記中間地点を含み隣接する画素電極間の中間を縫うように延在させることで、チャネル長を好適にとることが可能となし、これに交差するように走査線を設けるとともに該走査線の幅広部が前記チャネル領域についてのみ存在するような構成を実現することが可能となる。したがって、この場合においては、好適なチャネル長の確保、すなわち、薄膜トランジスタの好適な動作の確保及び走査線の狭小化すなわち、電気光学装置の高精細化ないし小型化という、いわば相反するともみえる要請が、ともに実現されることになる。また、この場合、上述の仮定から当然に、薄膜トランジスタないしチャネル領域に対する光入射を極力防止することも可能である。

【0014】

このように、本発明によれば、電気光学装置の高精細化という要請を満たしながら、薄膜トランジスタ及び走査線ないしゲート電極との配置態様に関する調整を好適に実施することが可能となる。また、このことは、上述の走査線及び薄膜トランジスタ以外の、電気光学装置を構成する各種の要素の配置を調整・決定する上でも、好ましい影響を与える。さらに、本発明によれば、薄膜トランジスタの正確な駆動を実現することもでき、これにより、表示すべき画像の品質を高く保持することも可能となる。

【0015】

なお、本発明において、「幅広」というのは、「幅狭部」が有する幅に対して広いという意味であり、「幅狭」というのは、「幅広部」が有する幅に対して狭いという意味である。要するに、「幅広部」及び「幅狭部」というときの具体的

な広狭の程度は、両者の相対的な関係で決せられる。また、これに関連して、幅広部、あるいは幅狭部が実際に有すべき幅値は、理論的、経験的、実験的、あるいはシミュレーション等によって適宜決定しうる。

【 0 0 1 6 】

本発明の電気光学装置の一態様では、前記幅広部は、前記幅狭部から延設されて形成されている部分を含む。

【 0 0 1 7 】

この態様によれば、幅広部及び幅狭部を有する走査線を、比較的容易に形成することが可能となる。具体的には例えば、幅広部及び幅狭部がいわば一体的であるようなパターンを形成することを前提とした、公知のフォトリソグラフィ及びエッチングを用いることにより、本態様に係る走査線を容易に形成することが可能となる。

【 0 0 1 8 】

本発明の電気光学装置の他の態様では、前記幅広部は、前記幅狭部に接続されて形成されている部分を含む。

【 0 0 1 9 】

この態様によれば、例えば、幅広部は、別に用意された導電部材等を幅狭部に對して接続することにより形成されている部分を含むことになる。このような場合であっても、比較的容易に幅広部を形成することが可能となる。

【 0 0 2 0 】

本発明の電気光学装置の他の態様では、前記走査線は、前記チャネル領域の延在する方向と交わる方向に延在しており、前記幅広部は、当該チャネル領域の延在する方向の一方又は両方に延在している。

【 0 0 2 1 】

この態様によれば、幅広部は、チャネル領域の延在する一方又は両方に延在されていることから、薄膜トランジスタ及び走査線との配置態様の調整を、より好適に実施しうることになる。また、この態様によれば、チャネル長に応じた適切なゲート電極が形成されることになるから、チャネル領域に対する電界の印加が、より効果的に実施されることになる。

【 0 0 2 2 】

また、このように、幅広部たるゲート電極が、チャネル領域となるべき部分にいわば追従するような形で設けられる態様によれば、例えば、いわゆる自己整合的な薄膜トランジスタの形成すなわち、ゲート電極をマスクとして、イオン注入工程を行うことにより、チャネル領域に相隣接するソース領域及びドレイン領域の形成を容易に行うことができる。ただし、この場合、厳密にいえば、ゲート電極となるべき幅広部を形成した後に、前記イオン注入工程を行うことで、チャネル領域が形成されることになる。

【 0 0 2 3 】

本発明の電気光学装置の他の態様では、前記画素電極は、マトリクス状に配列がなされてなり、前記チャネル領域は、平面的に見て前記走査線を挟んで相隣接する画素電極間を縫って延びる長手状の第1間隙と、前記データ線を挟んで相隣接する画素電極間を縫って延びる長手状の第2間隙とが交わる交点領域内に形成されている。

【 0 0 2 4 】

この態様は、既に述べた態様に類似し、本発明の作用効果が最も効果的に発揮されうる態様の一つである。

【 0 0 2 5 】

すなわち、この態様によれば、薄膜トランジスタのチャネル領域が、マトリクス状に複数配列された画素電極において、その交点領域内に形成されている。ここに、交点領域とは、平面的に見て前記走査線を挟んで相隣接する画素電極間を縫って延びる長手状の第1間隙と前記データ線を挟んで相隣接する画素電極間を縫って延びる長手状の第2間隙とが交わる領域である。このような構成により、該チャネル領域に対する光の入射は生じにくい状態が現出されている。

【 0 0 2 6 】

そして、このような作用効果を有しながら、走査線は、前記チャネル領域に対向するようにゲート電極としての幅広部を有していることから、チャネル領域ないし薄膜トランジスタと、ゲート電極ないし走査線との配置態様を最も好適に決定しうるとともに、好適なチャネル長の確保と走査線の狭小化をも実現すること

が可能となるのである。

【 0 0 2 7 】

この態様では特に、前記幅狭部は、前記第 1 間隙の中央よりもずれた位置に形成され、前記幅広部は、前記交点領域内において前記第 1 間隙の中央に形成されている。

【 0 0 2 8 】

このような構成によれば、走査線の幅狭部は、隣接する画素電極間を縫うようには存在するが、その中央には存在せず、該中央よりもずれた位置に形成される。このことにより、まず第 1 に、表示画像の品質向上を図ることができる。これは、とりわけ電気光学装置の一例たる液晶表示装置等において該当し、その理由は以下の事情による。

【 0 0 2 9 】

すなわち、本態様では、前記液晶表示装置に通常設けられる配向膜上の凸部、とりわけ前記幅狭部の「高さ」に起因して形成される凸部に対するラビング処理を実施すると、該凸部においてラビングのムラが生じることに着目し、更には、前記凸部において、ラビングの擦り上げ（すなわち、凸部を登る方向）に係る部分と擦り下げ（すなわち、凸部を下る方向）に係る部分とでは、前記ムラの程度に差があることに着目する。

【 0 0 3 0 】

より具体的には、例えば、前記擦り上げに係る部分の方が、前記擦り下げに係る部分よりも、前記ムラが生じにくい。

【 0 0 3 1 】

そして、上記したようなムラをそのままに放置すると、液晶の配向不良等を招来し、電気光学装置の動作不良の原因となる場合がある。上述の擦り上げ及び擦り下げ間のムラの程度の差にしたがって言えば、後者の方が前者の方よりも、液晶の配向不良等を招来する可能性が高いことになる。

【 0 0 3 2 】

ここで、本態様における幅狭部が、前記画素電極間の第 1 間隙の中央から外れた位置に形成されることが意味を帯びる。すなわち、幅狭部をこのような位置に

形成することによれば、該幅狭部に起因する凸部の頂点もまた、第1間隙の中央から外れた位置に形成されることになり、このことは、当該第1間隙に対応する領域上に、当該凸部のほぼ半斜面だけを存在させるような構成を採ること、すなわち該領域上に、前記擦り下げに係る部分だけを存在させるような構成を採ることが可能であることを意味する。そして、この場合において、遮光膜を前記第1間隙に対応するように設ければ、前記擦り下げに係る部分だけを有効に遮光すること、つまりムラの影響が最も生じると考えられる凸部の当該部分を有効に遮光することが可能となるのである。

【0033】

以上の結果、本態様によれば、ムラの影響による電気光学装置の動作不良等を生じさせることが殆どなく、また、ムラの影響がより生じにくいと考えられる凸部の擦り上げに係る部分は、画像表示に寄与する光を透過可能のままにしておくことになるから、画素開口率の向上、すなわち画像は明るいままこれを維持することが可能となるのである。結局、本態様によれば、以上述べたような意味において、表示画像の品質向上が図られることになるのである。

【0034】

また、幅狭部を、第1間隙の中央よりもずれた位置に形成することによれば、第2に、電気光学装置の設計の自由度を向上すること、また、薄膜トランジスタに対する光入射をより効果的に防止することができる。これは以下の事情による。

【0035】

すなわち、本態様における幅狭部は、隣接する画素電極間の第1間隙を縫うようには存在するが、その中央には存在しない。このため例えば、第1間隙の領域中、幅狭部が設けられていない領域を利用することにより、平面的にみて、該幅狭部に平行に該幅狭部と同一膜から構成された容量線等の他の配線を配線することが可能となる。すなわち、設計の自由度が増大するのである。

【0036】

また、上述のような場合に、幅狭部は中央線からはずれているものの、幅広部はその幅広の程度を調整することにより、例えば、一方側のみを幅広に広げたり

、一方側を大きく幅広に且つ他方側を小さく幅広にすることで、ゲート電極としての幅広部を、間隙の中央に配置させることが可能となる。このように、走査線の位置によらずにゲート電極の配置を遮光性を高めるのに都合の良い位置に配置できるので、或いはゲート電極の配置を遮光性を高めるのに都合の良い位置に配置しながら、走査線の配置を間隙内における任意の位置に配置できるので、最終的には、走査線配置を含めた配線配置の自由度を高めつつ遮光性が本質的に高い薄膜トランジスタを実現できる。

【 0 0 3 7 】

この構成では更に、前記幅広部は、前記交点領域内において前記第 2 間隙の中央に形成されているようにするとよい。

【 0 0 3 8 】

このような構成によれば、チャネル領域は、既述した言い方に沿えば、四つの画素電極を想定した場合に、隣接し、又は対向する、該電極の角部から最も離れた位置に形成されることになる。すなわち、該チャネル領域に対しては、最も光の入射が発生しにくい状態が現出されることになる。

【 0 0 3 9 】

本発明の電子機器は、上述した本発明の電気光学装置を具備してなる。

【 0 0 4 0 】

本発明の電子機器によれば、例えば、上述したように、薄膜トランジスタと走査線との配置態様の好適な調整を行うことができる電気光学装置を具備してなることにより、薄膜トランジスタの正確な動作、またこれによる高品質な画像の表示が可能な、例えば、液晶プロジェクタ、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS 端末、タッチパネル等の各種電子機器を実現することができる。

【 0 0 4 1 】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【 0 0 4 2 】

【発明の実施の形態】

以下では、本発明の実施の形態について図を参照しつつ説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0043】

まず、本発明の実施形態における電気光学装置の画素部における構成について、図1から図4を参照して説明する。ここに、図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。そして、図3は、図2のA-A'断面図である。なお、図3においては、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。また、図4は、図2に示す走査線のみを抜き出してその形状を示す平面図である。

【0044】

図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には、それぞれ、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。

【0045】

また、TFT30のゲートに走査線330aが電氣的に接続されており、所定のタイミングで、走査線330aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0046】

画素電極 9 a を介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号 S 1、S 2、…、S n は、対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストをもつ光が出射する。

【 0 0 4 7 】

ここで保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。

【 0 0 4 8 】

以下では、上記データ線 6 a、走査線 3 3 0 a、T F T 3 0 等による、上述のような回路動作が実現される電気光学装置の、より具体的な構成について、図 2 及び図 3 を参照して説明する。

【 0 0 4 9 】

まず、本実施形態に係る電気光学装置は、図 2 の A - A ' 断面図たる図 3 に示すように、T F T アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。T F T アレイ基板 1 0 は、例えば、石英基板、ガラス基板、シリコン基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。

【 0 0 5 0 】

図 3 に示すように、T F T アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は、例えば I T O (Indium Tin Oxide) 膜等の透明導電性膜からなる。

【 0 0 5 1 】

他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は、例えば I T O 膜等の透明導電性膜からなる。

【 0 0 5 2 】

次に、図 2 において、電気光学装置の T F T アレイ基板 1 0 上には、マトリクス状に複数の画素電極 9 a（点線部 9 a' により輪郭が示されている）が設けられており、画素電極 9 a の縦横の境界に各々沿ってアルミニウム膜のデータ線 6 a 及びポリシリコン膜の走査線 3 3 0 a が設けられている。

【 0 0 5 3 】

走査線 3 3 0 a は、ポリシリコン膜の半導体層 1 a のうち図中右上がりの斜線領域で示したチャネル領域 1 a' に対向するように配置されており、走査線 3 3 0 a はゲート電極として機能する。すなわち、走査線 3 3 0 a とデータ線 6 a との交差する箇所にはそれぞれ、チャネル領域 1 a' に走査線 3 3 0 a の幅広部 3 3 1 a（後述）がゲート電極として対向配置された画素スイッチング用の T F T 3 0 が設けられている。換言すれば、本実施形態における T F T 3 0、その中でもチャネル領域 1 a' は、マトリクス状に複数配列された画素電極 9 a において、その交点領域内に形成されている。ここで、交点領域とは、平面的に見て前記走査線を挟んで相隣接する画素電極 9 a 間を縫って延びる長手状の第 1 間隙（図 2 中では x 方向）と前記データ線 6 a を挟んで相隣接する画素電極 9 a 間を縫って延びる長手状の第 2 間隙（図 2 中では y 方向）とが交わる領域である。より具体的に図 2 に沿って言えば、例えば、左上に示される画素電極 9 a の右下角部、右上に示される画素電極 9 a の左下角部、左下に示される画素電極 9 a の右上角部、及び、右下に示される画素電極 9 a の左上角部、のそれぞれから最も離れた位置が、それに該当することとなる。このような位置に T F T 3 0 が形成されていることにより、該 T F T 3 0 のチャネル領域 1 a' に対しては、直接的な光入射が生じがたい状況が現出されていることになる。

【 0 0 5 4 】

T F T 3 0 は、図 3 に示すように、L D D（Lightly Doped Drain）構造を有しており、その構成要素としては、上述したようにゲート電極として機能する走査線 3 3 0 a からの電界によりチャネルが形成される半導体層 1 a のチャネル領域 1 a'、走査線 3 3 0 a と半導体層 1 a とを絶縁するゲート絶縁膜を含む絶縁膜 2、半導体層 1 a における低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c

並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を備えている。

【 0 0 5 5 】

なお、T F T 3 0 は、好ましくは図 3 に示したように L D D 構造をもつが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造をもってよいし、走査線 3 3 0 a の一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型の T F T であってもよい。また、本実施形態では、画素スイッチング用 T F T 3 0 のゲート電極を、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置して、デュアルゲート、あるいはトリプルゲート以上で T F T を構成しても良い。さらに、T F T 3 0 を構成する半導体層 1 a はポリシリコン膜に限らず、アモルファスシリコン膜や単結晶シリコン膜でも構わない。単結晶シリコン膜の形成には、貼り合わせ法等の公知の方法を用いることができる。半導体層 1 a を単結晶シリコン膜とすることで、特に周辺回路の高性能化を図ることができる。

【 0 0 5 6 】

ここで本実施形態においては特に、この T F T 3 0 のゲート電極として機能する上記走査線 3 3 0 a は、図 2 に示すように、当該ゲート電極として機能する部分、すなわち T F T 3 0 のチャネル領域 1 a ' に対向して存在する部分が、他の部分に比べて幅広に形成されている。すなわち、図 2 において、走査線 3 3 0 a は、図 2 中 y 方向に延在するチャネル領域 1 a ' に対応するように、図 2 中 y 方向に延在する幅広部 3 3 1 a と、隣接する画素電極 9 a 間を縫うように延在する幅狭部 3 3 2 a とを有している。図 4 においては、その形態が明瞭となるように、走査線 3 3 0 a の形状パターンのみを図示している。

【 0 0 5 7 】

ちなみに、この走査線 3 3 0 a の幅広部 3 3 1 a は、本実施形態において、幅狭部 3 3 2 a から延設されて形成されている。すなわち、幅広部 3 3 1 a 及び幅狭部 3 3 2 a は、いわば一体的に形成されているのである。このような形状は、例えば、当該幅広部 3 3 1 a 及び幅狭部 3 3 2 a により形作られる一体的な形状

(図4参照)を有するパターンを形成することを前提とした、公知のフォトリソグラフィ及びエッチングによって、容易に形成することが可能である。ただし、本発明は、このような形態に限定されるものではなく、例えば、幅狭部332aに対して、別途用意した別の導電性部材を接続することにより、幅広部331aを形成するような形態であっても、その範囲内に収めるものである。

【0058】

さて一方、図1に示した、蓄積容量70が、図3に示すようにTFT30の高濃度ドレイン領域1e及び画素電極9aに接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより形成されている。この蓄積容量70によれば、画素電極9aにおける電位保持特性を顕著に高めることが可能となる。

【0059】

中継層71は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、中継層71は、後に詳述する容量線300と同様に、金属又は合金を含む単一層膜又は多層膜から構成してもよい。中継層71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する機能をもつ。

【0060】

このように中継層71を利用すれば、層間距離が例えば2000nm程度と長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ、比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続することができ、画素開口率を高めることが可能となる。また、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0061】

容量線300は、例えば金属又は合金を含む導電膜からなり固定電位側容量電極として機能する。この容量線300は、平面的に見ると、図2に示すように、走査線330aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線330aに沿って延びる本線部と、図中、データ線6aと交差する

各個所からデータ線 6 a に沿って y 方向における上方に夫々突出した突出部と、コンタクトホール 8 5 に対応する個所が僅かに括れた括れ部とを備えている。このうち突出部は、走査線 3 3 0 a 上の領域及びデータ線 6 a 下の領域を利用して、蓄積容量 7 0 の形成領域の増大に貢献する。

【 0 0 6 2 】

また、容量線 3 0 0 は、例えば、T i、C r、W、T a、M o 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなり、蓄積容量 7 0 の固定電位側容量電極としての機能のほか、T F T 3 0 の上側において入射光から T F T 3 0 を遮光する遮光層としての機能をもつ。ただし、容量線 3 0 0 は、例えば導電性のポリシリコン膜等からなる第 1 膜と高融点金属を含む金属シリサイド膜等からなる第 2 膜とが積層された多層構造をもってもよい。

【 0 0 6 3 】

また、容量線 3 0 0 は、好ましくは、画素電極 9 a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。このような定電位源としては、後述するデータ線駆動回路に供給される正電源や負電源の定電位源でもよいし、対向基板 2 0 の対向電極 2 1 に供給される定電位でも構わない。

【 0 0 6 4 】

誘電体膜 7 5 は、図 3 に示すように、例えば膜厚 5 ～ 2 0 0 n m 程度の比較的薄い H T O (High Temperature Oxide) 膜、L T O (Low Temperature Oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量 7 0 を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜 7 5 は薄いほどよい。

【 0 0 6 5 】

図 2 及び図 3 においては、上記のほか、T F T 3 0 の下側に、下側遮光膜 1 1 a が設けられている。下側遮光膜 1 1 a は、格子状にパターニングされており、これにより各画素の開口領域を規定している。なお、開口領域の規定は、図 2 中縦方向に延びるデータ線 6 a と図 2 中 x 方向に延びる容量線 3 0 0 とが相交差し

て形成されることによって、なされている。また、下側遮光膜 1 1 a についても、前述の容量線 3 0 0 の場合と同様に、その電位変動が T F T 3 0 に対して悪影響を及ぼすことを避けるために、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【 0 0 6 6 】

また、T F T 3 0 下には、下地絶縁膜 1 2 が設けられている。下地絶縁膜 1 2 は、下側遮光膜 1 1 a から T F T 3 0 を層間絶縁する機能のほか、T F T アレイ基板 1 0 の全面に形成されることにより、T F T アレイ基板 1 0 の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用の T F T 3 0 の特性変化を防止する機能を有する。

【 0 0 6 7 】

加えて、走査線 3 3 0 a 上には、高濃度ソース領域 1 d へ通じるコンタクトホール 8 1 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 3 がそれぞれ開孔された第 1 層間絶縁膜 4 1 が形成されている。

【 0 0 6 8 】

第 1 層間絶縁膜 4 1 上には、中継層 7 1、及び容量線 3 0 0 が形成されており、これらの上には高濃度ソース領域 1 d へ通じるコンタクトホール 8 1 及び中継層 7 1 へ通じるコンタクトホール 8 5 がそれぞれ開孔された第 2 層間絶縁膜 4 2 が形成されている。

【 0 0 6 9 】

なお、本実施形態では、第 1 層間絶縁膜 4 1 に対しては、約 1 0 0 0 ℃の焼成を行うことにより、半導体層 1 a や走査線 3 3 0 a を構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第 2 層間絶縁膜 4 2 に対しては、このような焼成を行わないことにより、容量線 3 0 0 の界面付近に生じるストレスの緩和を図るようにしてもよい。

【 0 0 7 0 】

第 2 層間絶縁膜 4 2 上には、データ線 6 a が形成されており、これらの上には中継層 7 1 へ通じるコンタクトホール 8 5 が形成された第 3 層間絶縁膜 4 3 が形成されている。

【 0 0 7 1 】

第 3 層間絶縁膜 4 3 の表面は、CMP (Chemical Mechanical Polishing) 処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層 5 0 の配向不良を低減する。

【 0 0 7 2 】

ただし、このように第 3 層間絶縁膜 4 3 に平坦化処理を施すのに代えて、又は加えて、TFT アレイ基板 1 0、下地絶縁膜 1 2、第 1 層間絶縁膜 4 1 及び第 2 層間絶縁膜 4 2 のうち少なくとも一つに溝を掘って、データ線 6 a 等の配線や TFT 3 0 等を埋め込むことにより、平坦化処理を行ってもよい。

【 0 0 7 3 】

以上説明したような構成となる本実施形態の電気光学装置によれば、上述したように、走査線 3 3 0 a が、幅広部 3 3 1 a 及び幅狭部 3 3 2 a を有するとともに、前記幅広部 3 3 1 a が TFT 3 0 のチャネル領域 1 a ' に対向するように設けられることから、TFT 3 0 と走査線 3 3 0 a との配置態様の調整・決定を容易になしうる。

【 0 0 7 4 】

例えば、既に説明を加えた図 2 における、TFT 3 0 及び走査線 3 3 0 a の配置関係は、TFT 3 0 のチャネル領域 1 a ' に対する光入射を効果的に防止するという要請に応えうる好適な配置関係の一例を示すものであるが、その他にも例えば、図 5 及び図 6 等に応示するような配置関係を実現することができる。ここに、図 5 は、図 2 と同趣旨の図であるが、当該図とは TFT 及び走査線の配置関係が異なる態様となるもの、図 6 は、図 4 と同様に、図 5 に示す走査線の形状パターンのみを示す図である。

【 0 0 7 5 】

図 5 及び図 6 においては、走査線 3 3 0 a '、より正確には、その幅狭部 3 3 2 a ' は、走査線 3 3 0 a ' を挟んで相隣接する画素電極 9 a 間を縫って延びる長手状の第 1 間隙の中央よりもずれた位置に形成されている。そして、幅広部 3 3 1 a ' は、図 5 又は図 6 中 y 方向における上方にのみ突出した形として形成されている。なお、チャネル領域 1 a ' の配置位置、すなわち幅広部 3 3 1 a ' の配

置位置は、図 2 と異なるない。

【 0 0 7 6 】

このような配置関係となる場合、まず第 1 に、表示画像の品質向上を図ることができる。これは以下の事情による。すなわち、本実施形態に係る電気光学装置では、上述したように、画素電極 9 a 上に配向膜 1 6 が設けられているが、この配向膜 1 6 の表面には一般に、該配向膜 1 6 下に形成される各種構成要素の「高さ」に起因した凹凸が存在する場合がある。ここにいう「各種構成要素」の中には、本形態に係る走査線 3 3 0 ' a も含まれる。図 7 は、図 5 における B - B ' 線に沿った断面図を示しており、該走査線 3 3 0 a ' の幅狭部 3 3 2 a ' の「高さ」に起因した凸部 5 0 1 が、配向膜 1 6 上に形成されている様子が示されている。

【 0 0 7 7 】

しかしながら、このような凸部 5 0 1 が生じると、配向膜 1 6 に対して実施される上述したラビング処理にムラを生じさせるおそれがある。このムラは、液晶の配向不良等を招来し、電気光学装置の動作不良の原因となる場合がある。したがって、従来においては、上述のような凸部 5 0 1 付近に、遮光膜を設けることで入射光を遮蔽すること、すなわち、当該遮光膜に到達した入射光は、該遮光膜により反射又は吸収されることで画像表示に寄与しないこと等が行われていた。

【 0 0 7 8 】

この際問題となるのは、画素開口率の向上という要請を満たしながら、上述の遮光膜を設けなければならないことにある。すなわち、凸部 5 0 1 に対応するように、ただ単に遮光膜を設けるのでは、徒に画素開口率を低下させることになり、画像の明るさを損なう。といて、凸部 5 0 1 のごく一部にだけ遮光膜を設けるのでは、十分な遮光を行うことができず画像コントラストの低下を招くことになるほか、該凸部 5 0 1 における前記ムラの影響を受けて、電気光学装置の動作不良等を招くことになる。

【 0 0 7 9 】

ここで、本実施形態では、凸部 5 0 1 に上述したようなムラが生じること、より進んで、前記凸部 5 0 1 において、ラビングの擦り上げ（すなわち、凸部 5 0

1を登る方向)に係る部分(図7における符号501a。以下「擦り上げ部501a」と称す。)と擦り下げ(すなわち、凸部501を下る方向)に係る部分(図7における符号501b。以下「擦り下げ部501b」と称す。)とでは、前記ムラの程度に差があることに着目する。

【0080】

より具体的には、例えば、前記擦り上げ部501aの方が、前記擦り下げ部501bよりも、前記ムラが生じにくいこと、つまり、擦り下げ部501bの方が、液晶の配向不良等を招来する可能性が高いことに着目する。

【0081】

ここで、本実施形態においては、幅狭部332a'が、画素電極間9a間の第1間隙の中央(図7における二点鎖線参照)から外れた位置に形成されていることが意味を帯びる。すなわち、幅狭部332a'を図7に示すような位置に形成することによれば、該幅狭部332a'に起因する凸部501の頂点501Pもまた、第1間隙の中央から外れた位置に形成されることになり、このことは、当該第1間隙に対応する領域上に、当該凸部501のほぼ半斜面だけを存在させるような構成を採ること、すなわち該領域上に、前記擦り下げ部501bだけを存在させるような構成を採ることが可能であることを意味する。そして、この場合において、遮光性の容量線300及び中継層71を、図7に示すように、前記第1間隙に対応するように設ければ、前記擦り下げ部501bだけを有効に遮光すること、つまりムラの影響が最も生じると考えられる凸部501の当該部分を有効に遮光することが可能となるのである。

【0082】

以上の結果、本形態によれば、ムラの影響による電気光学装置の動作不良等を生じさせることが殆どなく、また、ムラの影響がより生じにくいと考えられる凸部501の擦り上げ部501aは、画像表示に寄与する光を透過可能のままにしておくことになるから、画素開口率の向上、すなわち画像は明るいままこれを維持することが可能となるのである。結局、本形態によれば、以上述べたような意味において、表示画像の品質向上が図られることになるのである。

【0083】

また、幅狭部 3 3 2 a ' を、第 1 間隙の中央よりもずれた位置に形成することによれば、第 2 に、電気光学装置の設計の自由度を向上すること、また、T F T 3 0 に対する光入射をより効果的に防止することができる。これは以下の事情による。

【 0 0 8 4 】

すなわち、本形態における幅狭部 3 3 2 a ' は、隣接する画素電極 9 a 間の第 1 間隙を縫うようには存在するが、その中央には存在しない。このため例えば、第 1 間隙の領域中、幅狭部 3 3 2 a ' が設けられていない領域を利用することにより、平面的にみて、該幅狭部 3 3 2 a ' に平行に該幅狭部 3 3 2 a ' と同一膜から構成された容量線 3 0 0 等の他の配線を配線することが可能となる。すなわち、設計の自由度が増大するのである。

【 0 0 8 5 】

また、上述のような場合に、幅狭部 3 3 2 a ' は中央線からはずれているものの、幅広部 3 3 1 a ' はその幅広の程度を調整することにより、例えば、一方側のみを幅広に広げたり、一方側を大きく幅広に且つ他方側を小さく幅広にすることで、ゲート電極としての幅広部 3 3 1 a ' を、間隙の中央に配置させることが可能となる。本形態においては、図 5 及び図 6 に示すように、幅広部 3 3 1 a ' は、一方側のみに広げられていることがわかる。このように、走査線 3 3 0 a ' の位置によらずにゲート電極の配置を遮光性を高めるのに都合の良い位置に配置できるので、或いはゲート電極の配置を遮光性を高めるのに都合の良い位置に配置しながら、走査線 3 3 0 a ' の配置を間隙内における任意の位置に配置できるので、最終的には、走査線 3 3 0 a ' の配置を含めた配線配置の自由度を高めつつ遮光性が本質的に高い T F T 3 0 を実現できるのである。

【 0 0 8 6 】

要するに、図 5 及び図 6 に示す形態によれば、表示画像の品質向上、設計の自由度向上及び T F T 3 0 における光リーク電流の低減等の要請を達成しながら、チャネル領域 1 a ' ないし T F T 3 0 と、ゲート電極ないし走査線 3 3 0 a ' との配置関係を好適に調整・決定することができることになるのである。

【 0 0 8 7 】

以上述べたように、本実施形態に係る電気光学装置によれば、走査線がゲート電極としての幅広部及び幅狭部を有することにより、上述した各種要請や電気光学装置それ自体の高精細化といった一般的要請等に応えながら、チャンネル領域ないし T F T と、ゲート電極ないし走査線との配置関係を好適に調整・決定することができるのである。

【 0 0 8 8 】

(電気光学装置の全体構成)

以上のように構成された本実施形態に係る電気光学装置の全体構成を、図 8 及び図 9 を参照して説明する。なお、図 8 は、T F T アレイ基板をその上に形成された各構成要素とともに対向基板 2 0 の側からみた平面図であり、図 9 は図 8 の H - H ' 断面図である。

【 0 0 8 9 】

図 8 及び図 9 において、本実施形態に係る電気光学装置では、T F T アレイ基板 1 0 と対向基板 2 0 とが対向配置されている。T F T アレイ基板 1 0 と対向基板 2 0 との間には、液晶層 5 0 が封入されており、T F T アレイ基板 1 0 と対向基板 2 0 とは、画像表示領域 1 0 a の周囲に位置するシール領域に設けられたシール材 5 2 により相互に接着されている。

【 0 0 9 0 】

シール材 5 2 の外側の領域には、データ線 6 a に画像信号を所定のタイミングで供給することにより該データ線 6 a を駆動するデータ線駆動回路 1 0 1 及び外部回路接続端子 1 0 2 が T F T アレイ基板 1 0 の一辺に沿って設けられており、走査線 3 a に走査信号を所定のタイミングで供給することにより、走査線 3 a を駆動する走査線駆動回路 1 0 4 が、この一辺に隣接する二辺に沿って設けられている。

【 0 0 9 1 】

なお、走査線 3 a に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 1 0 4 は片側だけでもよいことは言うまでもない。また、データ線駆動回路 1 0 1 を画像表示領域 1 0 a の辺に沿って両側に配列してもよい。

【 0 0 9 2 】

T F T アレイ基板 1 0 の残る一辺には、画像表示領域 1 0 a の両側に設けられた走査線駆動回路 1 0 4 間をつなぐための複数の配線 1 0 5 が設けられている。また、対向基板 2 0 のコーナー部の少なくとも一箇所においては、T F T アレイ基板 1 0 と対向基板 2 0 との間で電氣的に導通をとるための導通材 1 0 6 が設けられている。そして、図 9 に示すように、図 8 に示したシール材 5 2 とほぼ同じ輪郭を持つ対向基板 2 0 が当該シール材 5 2 により T F T アレイ基板 1 0 に固着されている。

【 0 0 9 3 】

図 9 において、T F T アレイ基板 1 0 上には、画素スイッチング用の T F T や走査線、データ線等の配線が形成された後の画素電極 9 a 上に、配向膜が形成されている。他方、対向基板 2 0 上には、対向電極 2 1 のほか、最上層部分に配向膜が形成されている。また、液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【 0 0 9 4 】

なお、T F T アレイ基板 1 0 上には、これらのデータ線駆動回路 1 0 1、走査線駆動回路 1 0 4 等に加えて、複数のデータ線 6 a に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線 6 a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【 0 0 9 5 】

（電子機器の実施形態）

次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施形態について、その全体構成、特に光学的な構成について説明する。ここに、図 1 0 は、投射型カラー表示装置の図式的断面図である。

【 0 0 9 6 】

図 1 0 において、本実施形態における投射型カラー表示装置の一例たる液晶プ

ロジェクタ 1 1 0 0 は、駆動回路が T F T アレイ基板上に搭載された液晶装置を含む液晶モジュールを 3 個用意し、それぞれ R G B 用のライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1 1 0 0 では、メタルハライドランプ等の白色光源のランプユニット 1 1 0 2 から投射光が発せられると、3 枚のミラー 1 1 0 6 及び 2 枚のダイクロックミラー 1 1 0 8 によって、R G B の三原色に対応する光成分 R、G 及び B に分けられ、各色に対応するライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B にそれぞれ導かれる。この際特に、B 光は、長い光路による光損失を防ぐために、入射レンズ 1 1 2 2、リレーレンズ 1 1 2 3 及び出射レンズ 1 1 2 4 からなるリレーレンズ系 1 1 2 1 を介して導かれる。そして、ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B によりそれぞれ変調された三原色に対応する光成分は、ダイクロックプリズム 1 1 1 2 により再度合成された後、投射レンズ 1 1 1 4 を介してスクリーン 1 1 2 0 にカラー画像として投射される。

【 0 0 9 7 】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及び電子機器もまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図 1】 本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路を示す回路図である。

【図 2】 本発明の実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【図 3】 図 2 の A - A ' 断面図である。

【図 4】 図 2 に示す走査線の形状パターンのみを示す平面図である。

【図 5】 図 2 と同趣旨の図であって、当該図とは走査線及び T F T の配置関係が異なる態様となるものを示す図である。

【図 6】 図 5 に示す走査線の形状パターンのみを示す平面図である。

【図 7】 図 5 の B - B ' 断面図である。

【図 8】 本発明の実施形態の電気光学装置における T F T アレイ基板を、その上に形成された各構成要素とともに対向基板の側から見た平面図である。

【図 9】 図 8 の H - H ' 断面図である。

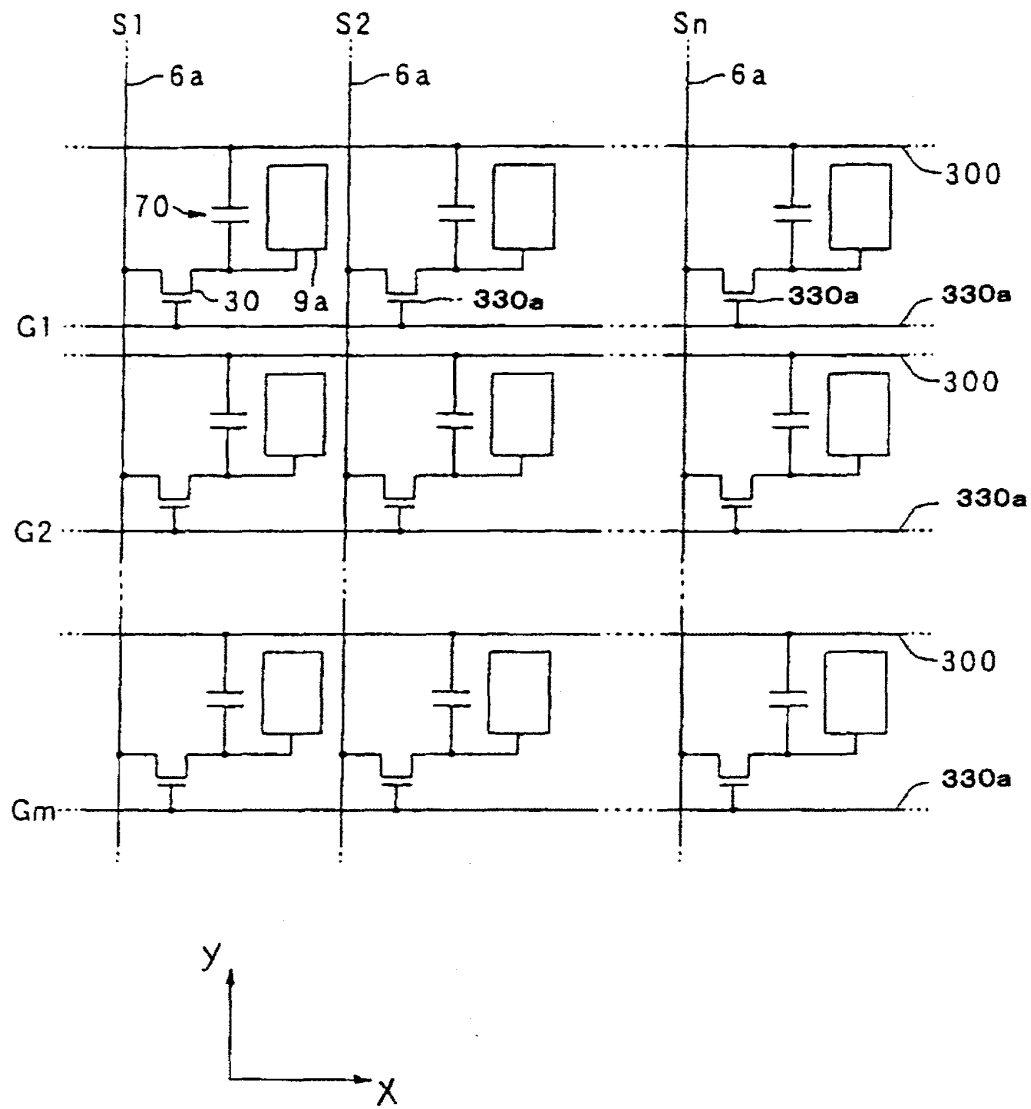
【図 1 0】 本発明の電子機器の実施形態である投射型カラー表示装置の一例たるカラー液晶プロジェクトを示す図式的断面図である。

【符号の説明】

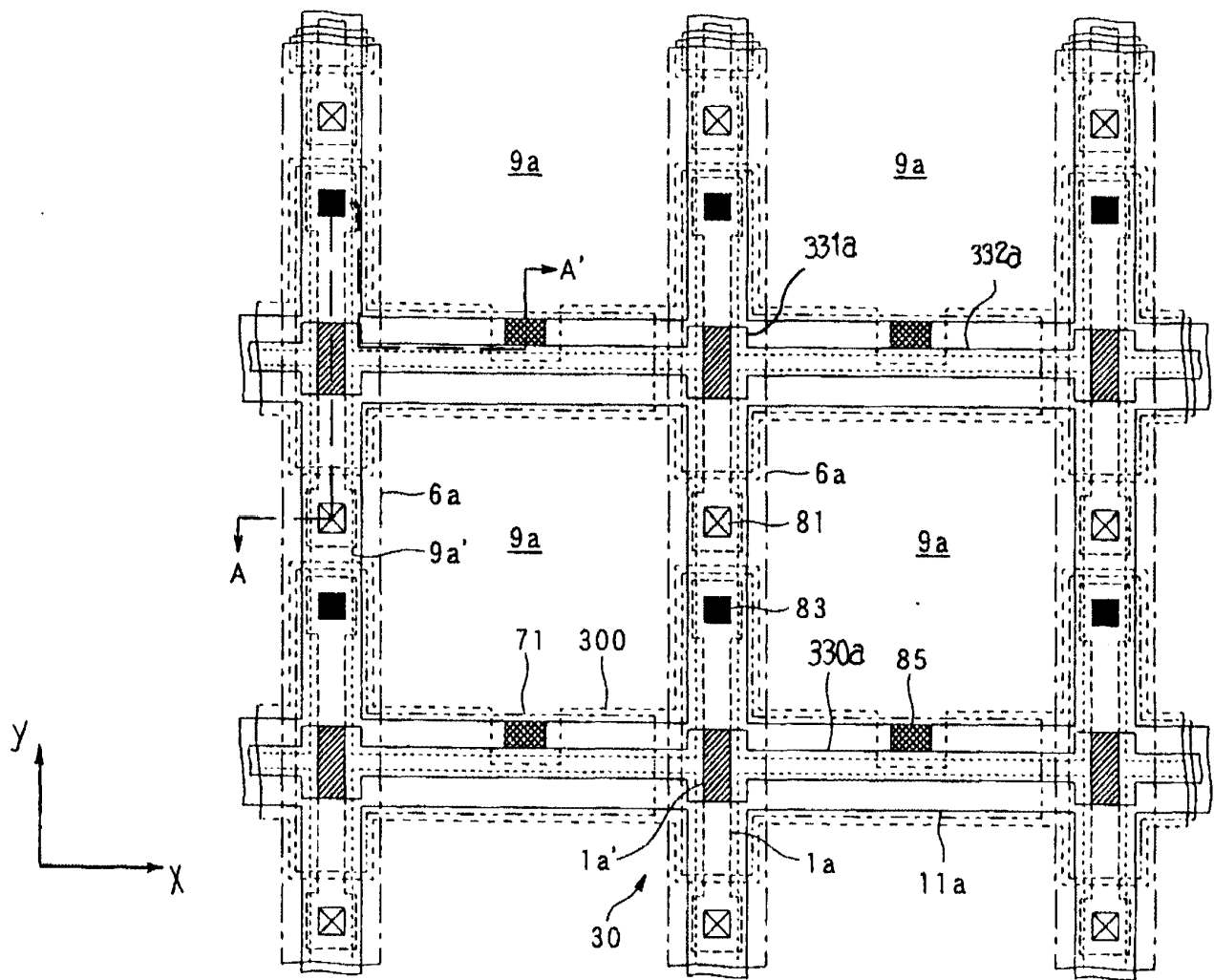
- 1 a …半導体層
- 1 a ' …チャネル領域
- 3 3 0 a、3 3 0 a ' …走査線
- 3 3 1 a、3 3 1 a ' …幅広部
- 3 3 2 a、3 3 2 a ' …幅狭部
- 6 a …データ線
- 9 a …画素電極
- 1 0 …T F T アレイ基板
- 1 6 …配向膜
- 3 0 …T F T
- 5 0 …液晶層

【書類名】 図面

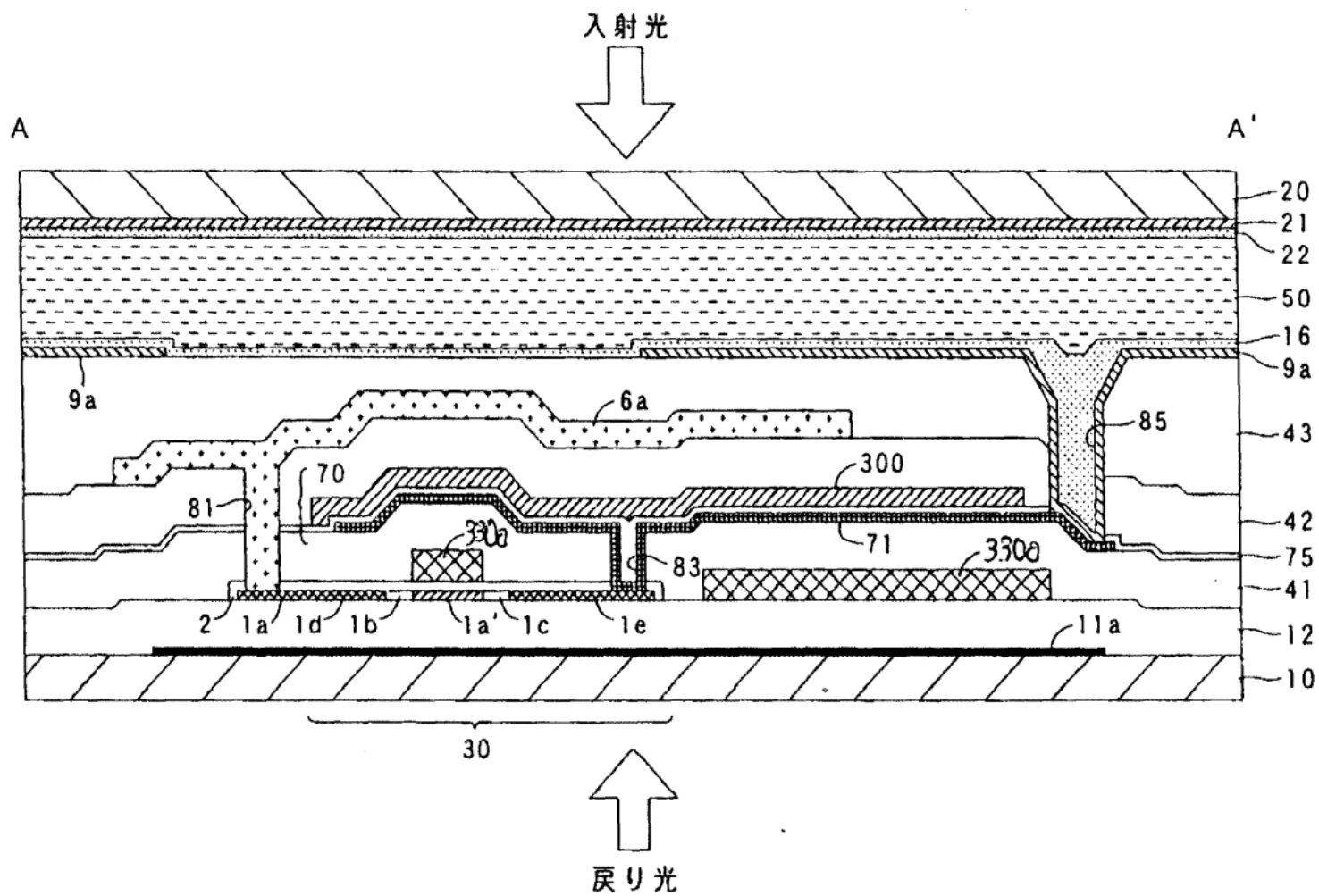
【図1】



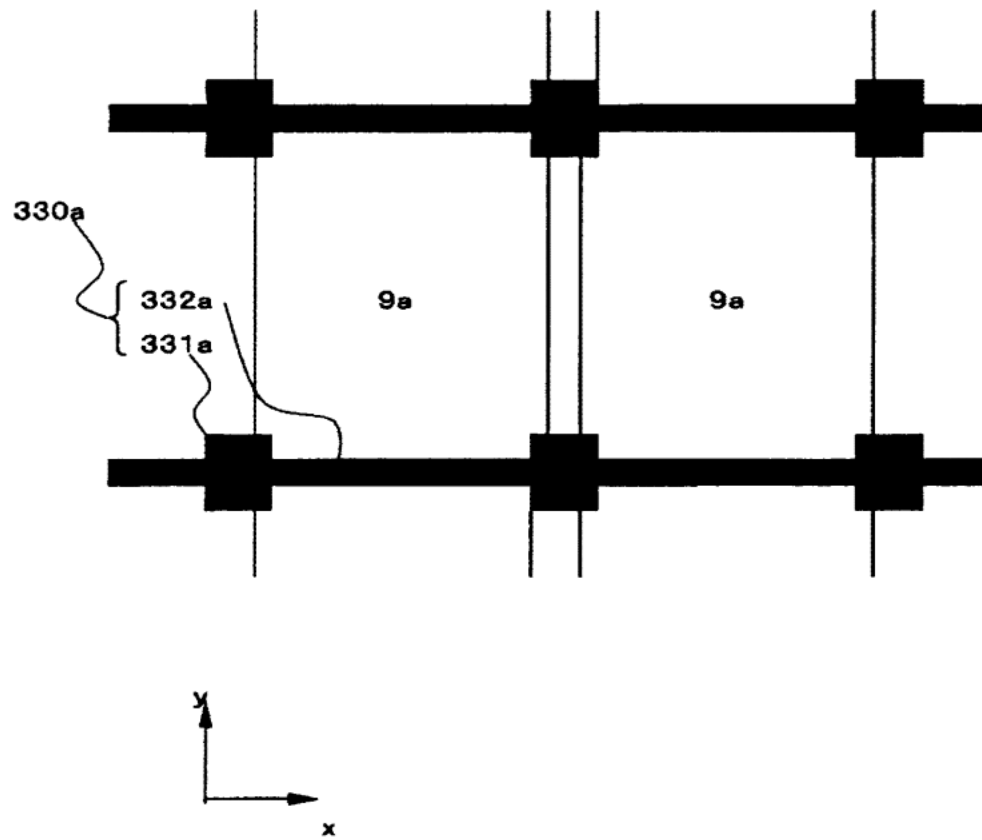
【図2】



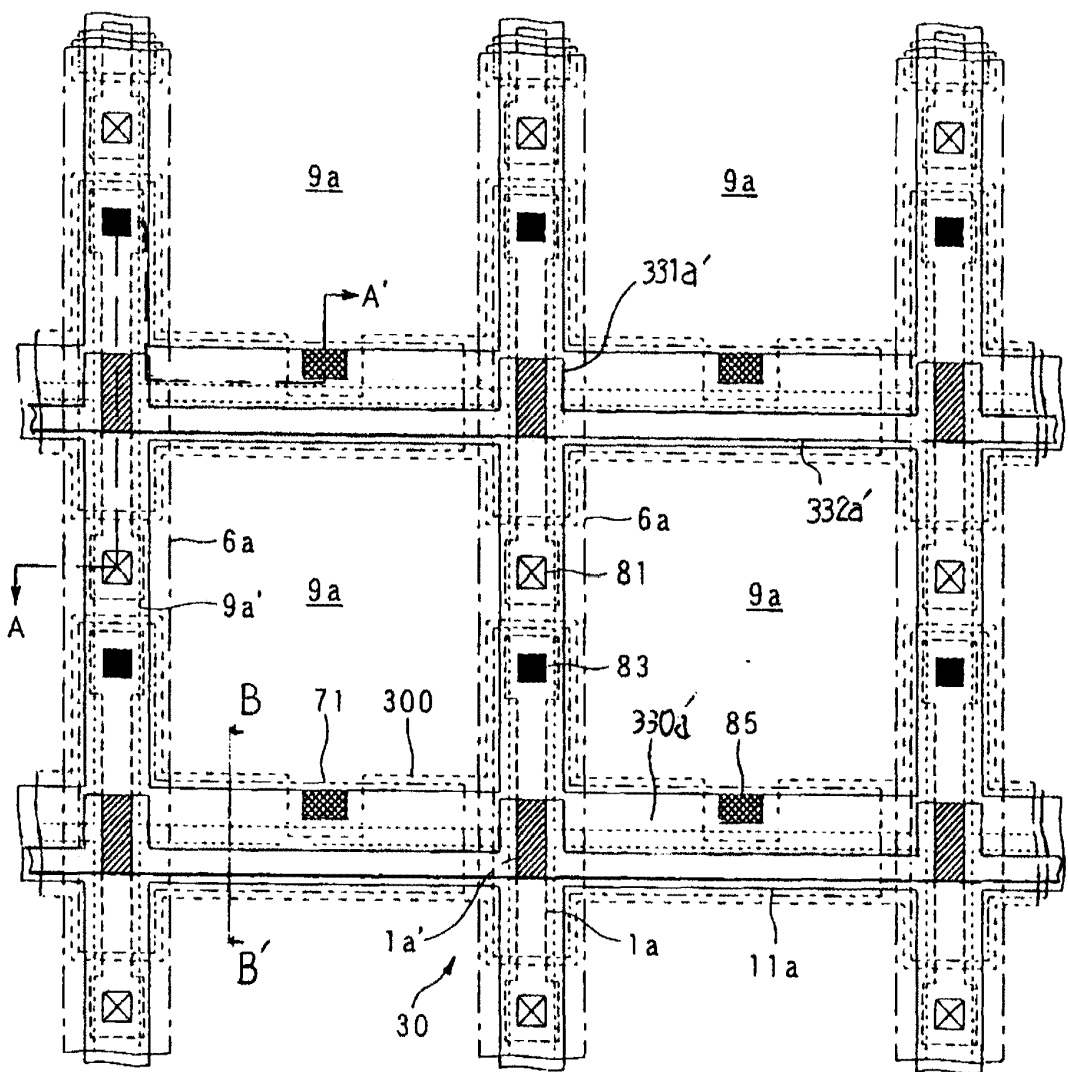
【図3】



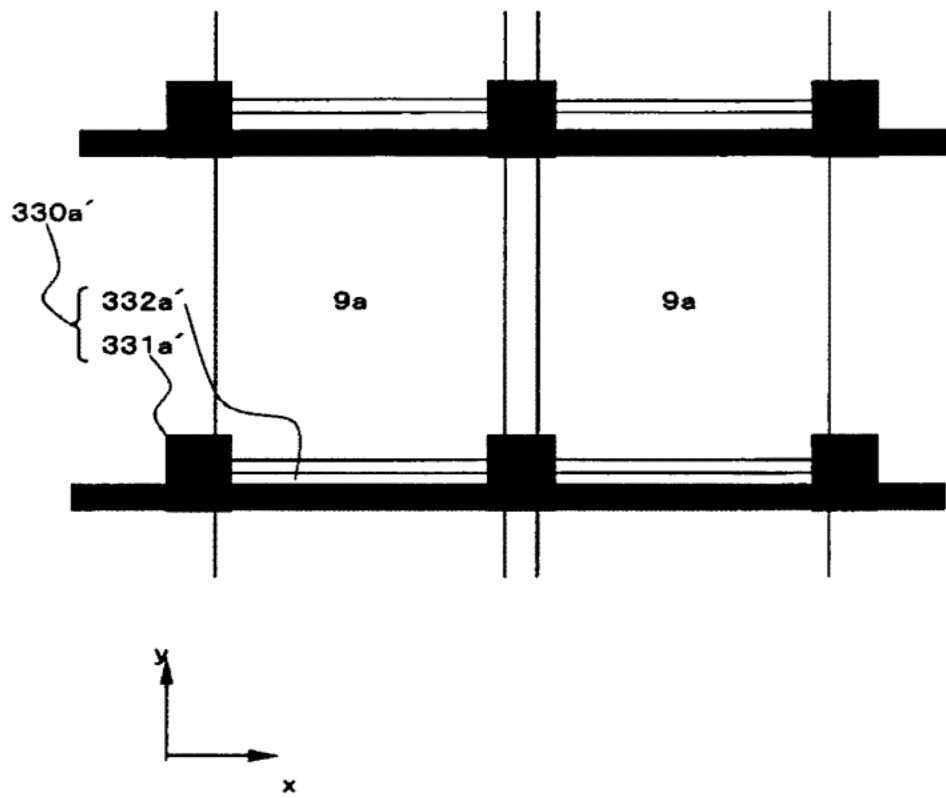
【図 4】



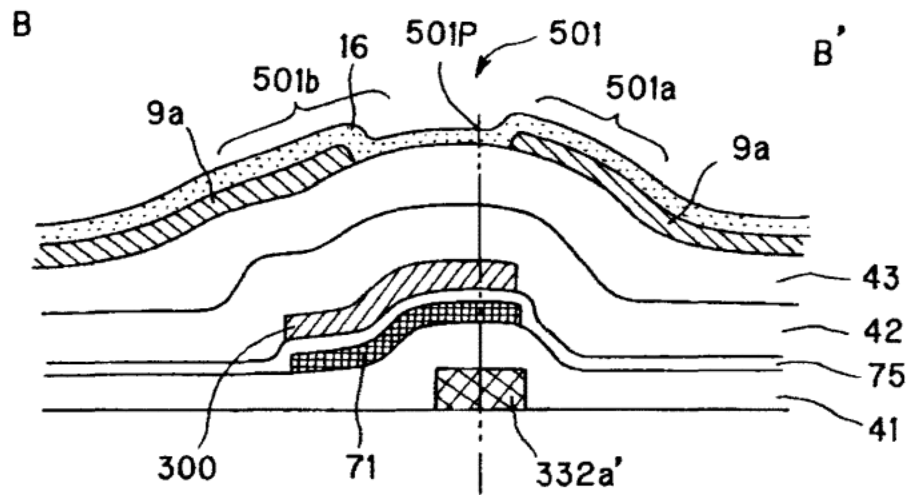
【図5】



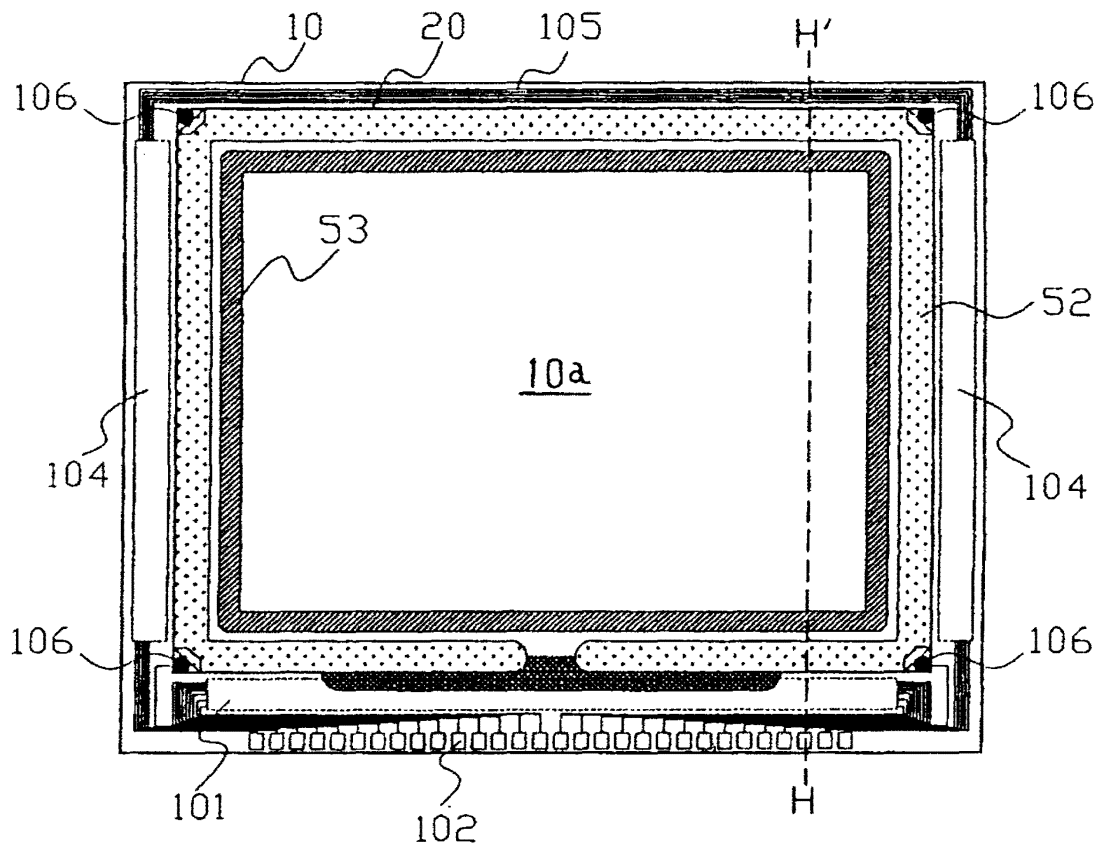
【図 6】



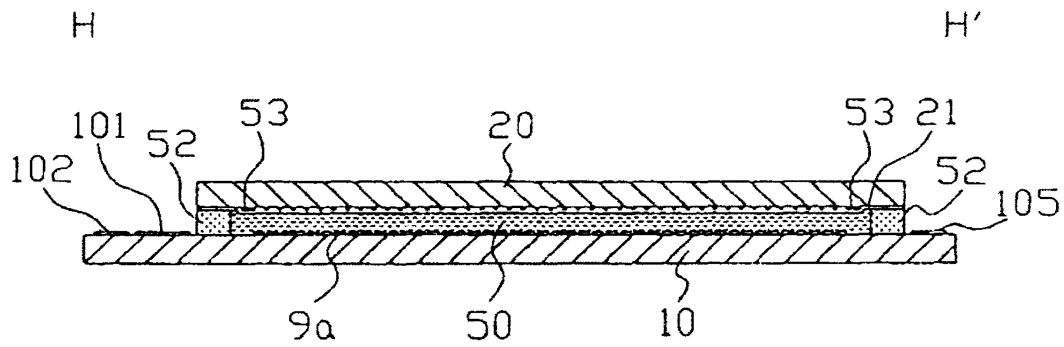
【図 7】



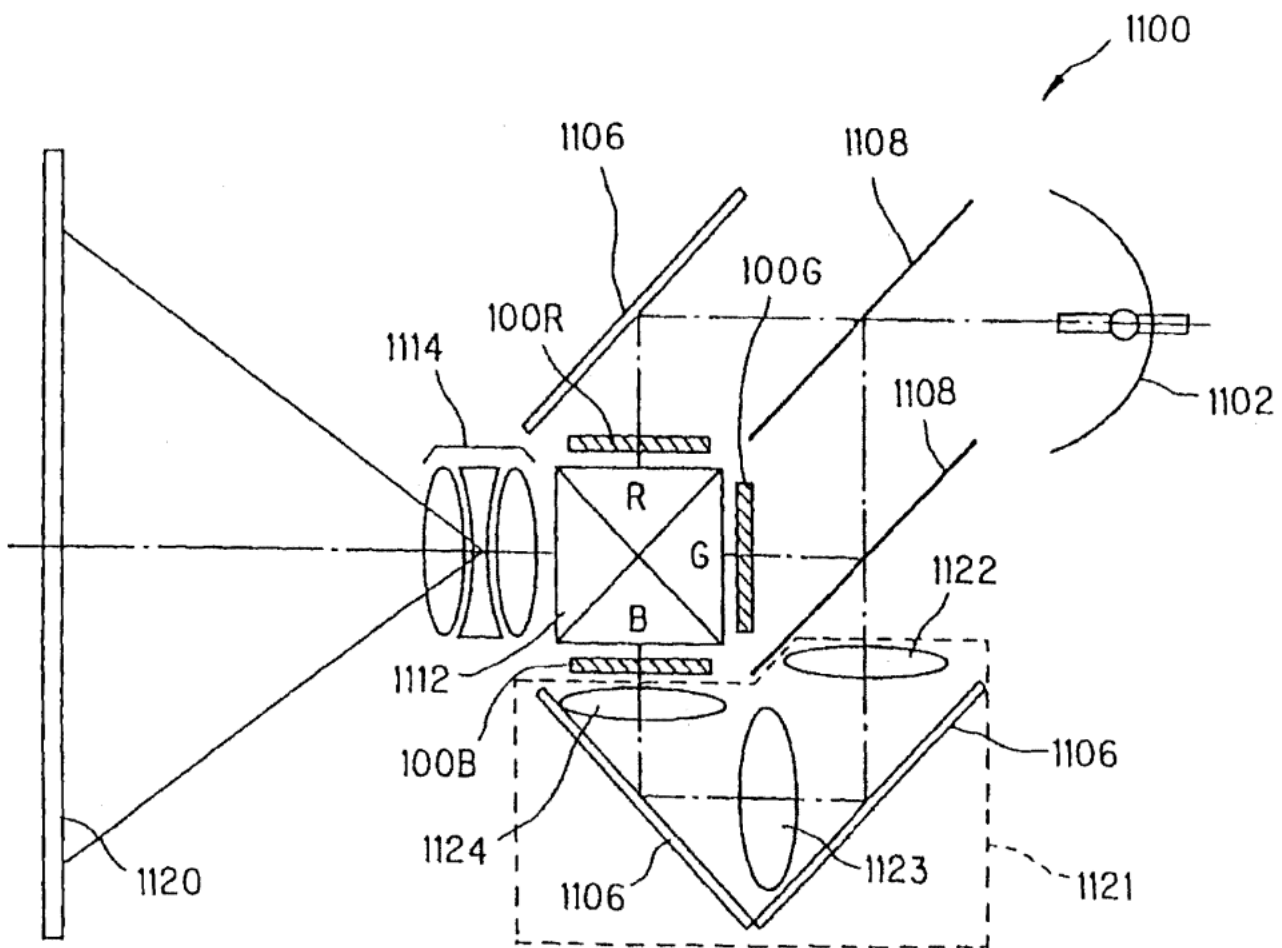
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 ゲート電極及び走査線の配置関係の調整がより容易に実現されるとともに、T F Tの正確な駆動が可能とされた電気光学装置を提供する。

【解決手段】 本発明の電気光学装置は、T F Tアレイ基板（1 0）上に、画素電極（9 a）とこれに接続されたT F T（3 0）、このT F Tに接続された走査線（3 3 0 a）及びデータ線（6 a）を備え、前記走査線は、前記T F Tのチャネル領域（1 a'）に対向する部分にゲート電極としての幅広部（3 3 1 a）を有するとともに他の部分に幅狭部（3 3 2 a）を有している。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日

[変更理由] 新規登録

住 所 東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名 セイコーエプソン株式会社

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Masao MURADE

Application No.: 10/320,331



Filed: December 17, 2002

Docket No.: 114542

For: ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-000713, filed January 7, 2002; and

Japanese Patent Application No. 2002-363864, filed December 16, 2002.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff

Registration No. 27,075

Eric D. Morehouse

Registration No. 38,565

JAO:EDM/gam

Date: February 11, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION

Please grant any extension
necessary for entry;

Charge any fee due to our
Deposit Account No. 15-0461