

(19) Japan Patent Office (JP)

(12) Published Unexamined Patent Application (A)

(11) Publication No. of Unexamined Application: **Kokai No. 2002-90721 (P2002-90721A)**

(43) Date of Publication of Unexamined Application: **March 27, 2002 (2002.3.27)**

(51) Int. Cl. ⁷	ID	FI	Technical Indicator / Theme Code (Reference)
G02F	1/1335	500	2H091
	1/1368		2H092
G09F	9/30	338	5C094
	349		
		G02F 1/136 500	
Request for Examination:			Not requested
Number of Claims:			9
Method of Filing:			OL (Online)
Total Number of Pages:			18
(21) Patent Application No.: 2000-285936 (P2000-285936)		(71) Applicant: 000002369 SEIKO EPSON CORP. 2-4-1 Nishi-shinjuku, Shinjuku City, Tokyo	
(22) Filing Date: September 20, 2000 (2000.9.20)		(72) Inventor: Hisaki KURASHINA Seiko Epson Corp. 3-3-5 Owa, Suwa City, Nagano Prefecture	
		(74) Agent: 100095728 Patent Attorney Masayo KAMIYANAGI (and 1 other)	

Continued on last page

(54) Title of Invention

ELEMENT SUBSTRATE FOR ELECTRO-OPTICAL DEVICES, AND ELECTRO-OPTICAL DEVICE USING SAME

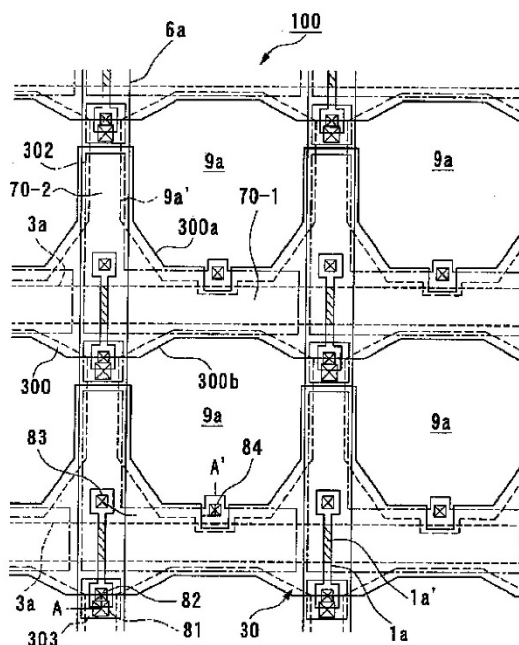
(57) Abstract

Problems

To prevent the occurrence of light-leakage currents induced in a transistor element by light advancing from corner portions of a pixel, and to prevent changes in the performance of a switching element.

Solution

By covering a corner portion of a pixel with a light-shielding metal film between a transistor element and a liquid-crystal layer, light advancing from the corner portions of the pixel toward the transistor element is blocked. Either a data line or a capacitor line, or both, can be used as the light-shielding metal film between the transistor element and the liquid-crystal layer by being formed to a wide width in the corner portion of the pixel. In addition, a new light-shielding film may be provided between the transistor element and the liquid-crystal layer and configured so as to cover the corner portions of the pixel.



CLAIMS

1. An element substrate for electro-optical devices, the substrate having a plurality of scan lines and a plurality of data lines formed in a matrix shape on a substrate, a transistor connected to the scan lines and the data lines, and a pixel electrode connected to the transistor, wherein: a planar-projected width of a light-shielding film layered between the transistor and the pixel electrode is configured to be a wide width in the vicinity of the transistor and to shield a corner portion of the pixel electrode.
2. The element substrate for electro-optical devices according to claim 1, wherein the light-shielding film configured to shield the corner portion of the pixel electrode is a capacitor line.
3. The element substrate for electro-optical devices according to claim 2, wherein the capacitor line is disposed overlapping the scan lines in a planar structure of the element substrate.
4. The element substrate for electro-optical devices according to claim 2, wherein the capacitor line is disposed parallel to the scan lines in the planar structure of the element substrate.
5. The element substrate for electro-optical devices according to claim 1, wherein the light-shielding film configured to shield the corner portion of the pixel electrode is a signal line.
6. The element substrate for electro-optical devices according to claim 1, wherein the light-shielding film configured to shield the corner portion of the pixel electrode is both a capacitor line and a signal line.
7. The element substrate for electro-optical devices according to claim 1, wherein the light-shielding film configured to shield the corner portion of the pixel electrode is provided between the pixel electrode and a signal line in the cross-sectional structure of the element substrate.
8. The element substrate for electro-optical devices according to any of claims 1–7, wherein the light-shielding film configured to shield the corner portion of the pixel electrode is configured to obliquely shield the four corners of each pixel.
9. An electro-optical device comprising the element substrate for electro-optical devices according to any one of claims 1–8.

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNICAL FIELD PERTAINING TO THE INVENTION

The present invention relates to an element substrate for electro-optical devices and an electro-optical device using the same, and particularly to ones with increased light-shielding performance in the corner portions of pixel electrodes.

[0002]

RELATED ART

Electro-optical devices having a plurality of scan lines and a plurality of data lines formed in a matrix shape upon an insulating substrate, transistors connected to the scan lines and data lines, and pixel electrodes connected to the transistors have complex structures but high switching characteristics and can stably realize high image quality, and thus are widely used as liquid-crystal display devices. The transistors used in liquid-crystal display devices are made by forming a thin silicon film upon an insulating substrate, and forming a transistor upon this thin silicon film to make a TFT (thin-film

transistor). In active-matrix, electro-optical devices using TFTs, there is a problem in that light from the substrate surface enters the channel region and drain region of the TFT, giving rise to light-leakage current and changing the characteristics of the pixel-switching TFT serving as the transistor element. Providing the TFT around an aperture region of each pixel area arranged in a matrix shape, and forming an integrated lattice-patterned light-shielding film around these aperture regions, is a known means of preventing the entrance of light into the TFT.

[0003]

For example, in a projector or other projection-type display device using a liquid-crystal device, the surface of a light-transmissive substrate is ordinarily irradiated with light; thus, this enters the channel region of a transistor formed upon the substrate, generating a light-leakage current. In order to prevent this light-leakage current, it is common to create a structure in which a light-shielding layer is provided directly upon the transistor of an opposing substrate.

[0004]

In addition, it is necessary to provide a storage capacitor commensurate with the capacitance constituted by the pixel electrode in an active-matrix, electro-optical device in order to prevent flicker or burn-in of the display screen. For this reason, it is necessary to reasonably dispose scan lines, data lines, capacitor lines, TFTs, or storage capacitors around the aperture regions, and to form a light-shielding film thereover in order to prevent the entrance of light into the TFT. One example of such a TFT array substrate will be described using FIG. 16 and FIG. 17.

[0005]

FIG. 16 is an enlarged plan view of a portion of a plurality of pixel groups connected to each other on a TFT array substrate upon which is formed data lines, scan lines, pixel electrodes, light-shielding films, and the like, and FIG. 17 is a cross-sectional view along line P-P' in FIG. 16. Note that, in FIG. 16 and FIG. 17, the various layers and various members are differently scaled to sizes such that the various layers and various members are recognizable in the drawings.

[0006]

FIG. 16 shows a planar structure in a pixel portion (image display region) of the TFT array substrate. Within the pixel portion on the TFT array substrate of the liquid-crystal display device, a plurality of transparent pixel electrodes 9a (with their outlines indicated by dotted lines 9a') is provided in a matrix shape, and data lines 6a, scan lines 3a, and capacitor lines 3b are provided along the vertical and horizontal boundaries of the transparent pixel electrodes 9a. The data lines 6a are electrically connected to source regions (to be described later) of a semiconductor layer 1a of a monocrystalline-silicon layer via contact holes 5, and the pixel electrodes 9a are electrically connected to drain regions (to be described later) of the semiconductor layer 1a via contact holes 8. In addition, the scan lines 3a are disposed so as to oppose channel regions (the regions of diagonal lines rising up and to the left in the drawing) of the semiconductor layer 1a, and the scan lines 3a function as gate electrodes.

[0007]

The capacitor lines 3b have main line portions, which extend substantially linearly along the scan lines 3a (i.e., first regions formed along the scan lines 3a as seen in plan view), and protruding portions, which protrude towards the preceding stage (upward in the drawing) along the data lines 6a from locations intersecting the data lines 6a (i.e., second regions extending along the data lines 6a as seen

in plan view).

[0008]

Moreover, a plurality of first light-shielding films 11a is provided in the regions indicated by diagonal lines rising up and to the right in the drawing. More specifically, the first light-shielding films 11a are respectively provided at locations, viewed from the TFT array substrate side, covering the TFTs, including the channel regions of semiconductor layers 1a at the pixel portions, and the first light-shielding films 11a further have main line portions, which extend linearly along the scan lines 3a opposing the main line portions of the capacitor lines 3b, and the protruding portions, which protrude toward an adjacent stage (i.e., downward in the drawing) along the data lines 6a from locations intersecting the data lines 6a. The tips of the downward-protruding portions of the first light-shielding films 11a in the various stages (pixel rows) overlap the tips of the upward-protruding portions of the capacitor lines 3b in the following stages under the data lines 6a. Contact holes 13, which electrically connect the first light-shielding films 11a and the capacitor lines 3b to each other, are provided in these overlapping portions. In other words, in this embodiment, the first light-shielding films 11a are electrically connected by the contact holes 13 to the preceding-stage or following-stage capacitor lines 3b. 1f is a first storage capacitor electrode.

[0009]

In the structure of this TFT array substrate, as shown in FIG. 16, the capacitor lines are disposed in parallel with the portions in which the scan lines 3a are disposed around the aperture regions of the pixel electrodes 9a, and storage capacitors 70 are disposed in the portions in which the scan lines are disposed. In addition, the capacitor lines 3b are also disposed overlapping the portions in which the data lines 6a are disposed to form the storage capacitors 70. Furthermore, the first light-shielding films 11a are provided so as to overlap the TFTs as seen in plan view.

[0010]

FIG. 17 shows the cross-sectional structure of a liquid-crystal device. The liquid-crystal device comprises a TFT array substrate 10 constituting one example of a light-transmissive substrate, and a transparent opposing substrate 20 disposed opposing the same.

[0011]

A pixel-switching TFT 30 is provided on the TFT array substrate 10. The data line 6a is connected to a high-density source region 1d of the semiconductor layer 1a constituting the TFT 30, and the pixel electrode 9a is connected to a high-density drain region 1e. An alignment layer 16 is provided above the pixel electrode 9a.

[0012]

In order to prevent light entering the TFT, the first light-shielding films 11a are provided at positions corresponding to the pixel-switching TFTs 30 on the TFT array substrate 10. This results in a configuration that prevents returning light that has entered from the direction of the pixel electrode and reflected off the bottom surface of the TFT array substrate 10 from entering into a channel region 1a' or LDD regions 1b, 1c of the TFT 30.

[0013]

Meanwhile, on the opposing substrate 20, a counter electrode (common electrode) 21 is provided over the entire surface, and an alignment layer 22 is provided on the bottom side.

[0014]

Moreover, a second light-shielding film 23 is provided in regions of the opposing substrate 20 other than the aperture regions of the various pixel portions. In this manner, light incident from the pixel-electrode side of the opposing substrate 20 is prevented from advancing into the channel region 1a' of the semiconductor layer 1a of

the pixel-switching TFT 30 and the LDD (lightly doped drain) regions 1b and 1c.

[0015]

PROBLEMS TO BE SOLVED BY THE INVENTION

However, in the structure shown in FIG. 16 and FIG. 17 described above, each of the pixel electrodes 9a is configured as a square, and an aperture portion of each of the pixel electrodes 9a is configured such that the scan lines 3a, the data lines 3b, and the capacitor lines 3b running horizontally and vertically around the aperture portion cross at right angles. The TFTs 30 are formed at the intersecting portions of the scan lines 3a and the data lines 3b in correspondence with the pixel electrodes 9a. For this reason, light entering the TFT array substrate from the perpendicular direction can be blocked by the second light-shielding film 23, light entering the TFT array substrate from directions oblique to the direction of the pixel electrodes 9a cannot be blocked. Because the second light-shielding film 23 is disposed quite far above the TFT 30, light incident from directions oblique to the pixel cannot be effectively blocked. In such liquid-crystal devices, light enters the channel region and drain region of the switching TFT from the aperture portion of each of the pixel electrodes 9a, produces leakage currents in the TFT, and changes the characteristics of the TFT as a pixel-switching element; thus, a sharp pixel display is not obtained.

[0016]

In particular, in liquid-crystal display devices used in liquid-crystal projectors, light leakage from transistors due to light entering channels has been a problem. The entry of light from the corner portions of pixels near a transistor has become especially problematic.

[0017]

Even in a typical structure in which a light-shielding layer is provided over the transistor, if the supporting substrate is light-transmissive, light entering from the surface may be reflected at the interface on the substrate rear-surface side and enter the channel as returning light. This returning light may be a slight fraction of the light irradiating the surface but is thoroughly capable of producing light-leakage current in a device that uses an extremely powerful light source such as a projector. In other words, returning light from the rear surface of this substrate affects the switching characteristics of the element and alters the characteristics of the device. Accordingly, it is particularly necessary to minimize light entering from the corner portions of pixels.

[0018]

The present invention was created to solve this problem and has an object of providing a TFT array substrate in which light that enters from directions oblique to the TFT array substrate can also be blocked. Another object is to provide an electro-optical device that uses the TFT array substrate and has superior switching characteristics, and from which a sharp image display can be obtained.

[0019]

MEANS FOR SOLVING THE PROBLEMS

In order to solve these problems, the electro-optical-device element substrate according to the present invention is an element substrate for electro-optical devices, the substrate having a plurality of scan lines and a plurality of data lines formed in a matrix shape on a

substrate, a transistor connected to the scan lines and the data lines, and a pixel electrode connected to the transistor, wherein: a planar-projected width of a light-shielding film layered between the transistor and the pixel electrode is configured to be a wide width in the vicinity of the transistor and to shield a corner portion of the pixel electrode.

[0020]

If such a configuration of the present invention is used, the aperture portions of the pixel electrode become somewhat narrower; nevertheless, it is possible to block light incident toward the TFT in oblique directions from the pixel electrode aperture portions of the TFT array substrate, and it is possible to achieve an element substrate for electro-optical devices that does not degrade the characteristics of the pixel-switching TFT as a transistor element due to the occurrence of light-leakage current.

[0021]

In the element substrate for electro-optical devices according to the present invention, the capacitor lines can be used as light-shielding films configured to shield the corner portions of the pixel electrodes. In addition, the data lines can be used as light-shielding films configured to shield the corner portions of the pixel electrodes.

[0022]

These various lines are disposed in a lattice pattern around the pixel electrode; thus, by utilizing these light-shielding films to create a configuration in which the line width is increased in the vicinities of the intersecting portions of the lattice, it is possible to effectively block light from entering the TFTs provided in the corner portions of each pixel from the aperture portions of the pixel electrodes. The method of manufacturing lines configured to have wide widths is simply changing the patterning shape when the capacitor lines and the data lines are formed; this has the advantage of making formation possible even without providing any special process.

[0023]

In addition, in the element substrate for electro-optical devices according to the present invention, the capacitor lines may be disposed overlapping the scan lines in the planar structure of the element substrate, or the capacitor lines may be disposed parallel to the scan lines in the planar structure of the element substrate.

[0024]

In the former scenario, in which the capacitor lines are disposed overlapping the scan lines, it is possible to make the width of the capacitor lines take up the entire interval between pixels, and to increase storage capacitance. In addition, in the latter scenario, in which the capacitor lines are disposed parallel to the scan lines, the widths of the capacitor lines are limited by the intervals between pixels, but there is an advantage in that the capacitor lines and scan lines can be formed in the same process.

[0025]

In addition, in the element substrate for electro-optical devices according to the present invention, the light-shielding films configured to shield the corner portions of the pixel electrode may be provided at positions between the pixel electrodes and the data lines in the cross-sectional structure of the pixel substrate.

[0026]

Although the manufacturing process will be increased by one step, more effective light shielding is made possible by providing light-shielding films of the necessary shapes at the necessary locations, unencumbered by the capacitor lines or the data lines. Furthermore, in the element substrate for electro-optical devices according to the present invention, the light-shielding films configured to shield the corner portions of the pixel electrodes are preferably light-shielding films configured to obliquely shield the four corner portions of each pixel electrode. Typically, a TFT is formed in a corner portion of each pixel electrode; thus, by shielding the four corner portions of the pixel electrode from light, it is possible to block

oblique incident light from all directions. Naturally, it is also acceptable to provide light-shielding films not in all four corner portions, but only in those directions in which shielding is necessary. In addition, while there are no particular limitations upon the shapes of the light-shielding films that shield the various pixel electrodes, blocking light so as to obliquely shield the four corner portions of each pixel electrode has the effect of blocking oblique incident light from any direction without narrowing the aperture portions of the pixel electrodes. Furthermore, an electro-optical device according to the present invention is an electro-optical device comprising the element substrate having a structure that shields the corner portions of pixel electrodes using a light-shielding film according to any one of claims 1-8.

[0027]

In the electro-optical device according to the present invention, the light that enters obliquely from the pixel electrode corner portions toward the TFT portion is blocked, thus making it possible to prevent the occurrence of leakage current in the TFT, and there is no change in the characteristics of the TFT as a pixel switching element. Accordingly, it is possible to obtain a sharper display image.

[0028]

MODES FOR CARRYING OUT THE INVENTION

Here follows a description of embodiments of the present invention based on the drawings. Note that, in the various drawings of the embodiments, the various layers and members are scaled differently, not identically, so that the various layers and various members are large enough to be recognizable in the drawings.

[0029]

(First Embodiment)

FIG. 1 and FIG. 2 are drawings showing the structure of a first embodiment of the element substrate for electro-optical devices according to the present invention, with FIG. 1 being an enlarged plan view showing a plurality of adjacent pixel groups of the first embodiment of the element substrate—on which are formed data lines, scan lines, pixel electrodes, light-shielding films, and the like—for electro-optical devices according to the present invention, and with FIG. 2 being a cross-sectional view along line A-A' in FIG. 1. In the present embodiment, as shown in FIG. 1, capacitor lines 300 running left-right in the paper plane are formed to have wide widths in the vicinities of TFTs 30 and serve as light-shielding layers against the incidence of light from the corner portions of pixel electrodes 9a.

[0030]

First, a planar structure within a pixel portion (image display region) of an element substrate for electro-optical devices according to the present invention will be described in detail based on FIG. 1.

[0031]

In an element substrate 100 for electro-optical devices according to the first embodiment of the present invention, as shown in FIG. 1, a plurality of the transparent pixel electrodes 9a (outlines indicated by dashed lines 9a') are provided in a matrix shape in the pixel portions on the TFT array substrate, and data lines 6a and scan lines 3a are provided along the vertical and horizontal boundaries of the transparent pixel electrodes 9a. The pixel-switching TFT 30, which is for performing switching control of the pixel electrode 9a, is provided in a corner portion of each of the pixel electrodes 9a along the data line 6a.

[0032]

The data lines 6a are electrically connected to source electrodes 303 (to be described later) via contact holes 81, and the pixel electrodes 9a are electrically connected to drain electrodes 302 (to be described later) via contact holes 84 provided on sides along the scan lines 3a. In addition, the scan lines 3a are disposed so as to oppose channel regions 1a' (the regions of diagonal lines rising up and

to the left in the drawing) of the semiconductor layers 1a, and the scan lines 3a also function as gate electrodes. The contact holes 81 and contact holes 82 are provided on one-end sides of the TFTs 30. The contact holes 81 electrically connect the source electrodes 303 (indicated by dash-dotted lines in the drawings), which serve as relay electrodes, and the data lines 6a, while the contact holes 82 electrically connect the source electrodes 303 and high-density source regions 1d of the semiconductor layers 1a. Contact holes 83 are provided on other-end sides of the TFTs 30, and the contact holes 83 electrically connect the drain electrodes 302, which serve as relay electrodes, and high-density drain regions 1e of the semiconductor layers 1a.

[0033]

The capacitor lines 300 overlap the scan lines 3a and are provided in the left-right direction as seen in the paper plane along the boundaries of the pixel electrodes 9a. The capacitor lines 300 have main line portions, which extend substantially linearly along the scan lines 3a (i.e., first regions formed overlapping the scan lines 3a as seen in plan view), and protruding portions, which protrude in the up-down direction in the paper plane along the data lines 6a from locations intersecting the data lines 6a (i.e., second regions protruding in the direction in which the data lines 6a run, as seen in plan view). Moreover, the capacitor lines 300 are formed diagonally with wide widths so as to cover the corner portions of the pixel electrodes 9a at the protruding portions in the vicinities of the TFTs 30. In wide-width portions 300a and 300b of the capacitor lines 300 in FIG. 1, the wide-width portions 300a provided in the lower corner portions of the pixel electrodes 9a in the paper plane are formed slightly larger than the wide-width portions 300b provided in the upper corner portions of the pixel electrodes 9a in the paper plane. By creating such a structure, the wide-width portions 300a and 300b of the capacitor lines 300 are provided at locations such that they cover the TFTs 30, including the channel regions 1a' of the semiconductor layers 1a, as viewed from a liquid-crystal layer 50 side (the direction perpendicular to the paper plane) of a TFT array substrate 10 in each pixel portion.

[0034]

In addition, the capacitor lines 300, together with the L-shaped drain electrodes 302 (indicated by dash-dotted lines in the drawings), which are disposed overlapping and opposing with interposed insulating films in the substantially linearly extending main line portions overlapping the scan lines 3a, form storage capacitors 70-1.

[0035]

The drain electrode 302 forms a protruding portion that protrudes in the upward direction in the paper plane along the data line 6a from a location intersecting the data line 6a (i.e., an extended region overlapping the data line 6a as seen in plan view). Moreover, the drain electrodes 302 are disposed overlapping the capacitor lines 300 with interposed insulating films in the protruding portions protruding in the upward direction in the paper plane of the data lines 6a, thus forming storage capacitors 70-2.

[0036]

As a result, the spaces apart from the aperture regions, which are the regions in the vicinities of the data lines 6a and the regions in the vicinities of the scan lines 3a in which disclinations of the liquid crystal occur (i.e., the regions in which the capacitor lines 300 are formed), are effectively used to increase the storage capacitance of the pixel electrodes 9a. In this manner, capacitance is ensured by the storage capacitors 70-1 and the storage capacitors 70-2 in the present embodiment in order to stabilize the display screen.

[0037]

Next, the cross-sectional structure in the pixel portions of the element substrate 100 for electro-optical devices will be described based on FIG. 2. First, to describe the cross-sectional structure in outline, the element substrate 100 for electro-optical devices is provided with the light-transmissive TFT array substrate 10 constituted by, for example, a glass substrate or a quartz substrate, and the pixel electrode 9a and the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a are provided on the TFT array substrate 10. The alignment layer 16, on which has been performed a prescribed alignment process, such as a rubbing process, is provided above the pixel electrode 9a. The pixel electrode 9a is constituted, for example, by a transparent conductive film such as an ITO film. In addition, the alignment layer 16 is constituted by, for example, an organic resin film such as a polyimide film.

[0038]

The thus-configured pixel electrode 9a of the element substrate 100 for electro-optical devices and a counter electrode (not shown in the drawings) are disposed facing each other, and liquid crystal is sealed between the TFT array substrate 10 and the opposing substrate in a space enclosed by a sealing material (not shown in the drawings), thereby forming the liquid-crystal layer 50. The alignment layer 16 and the alignment layer of the counter electrode cause the liquid-crystal layer 50 to enter a prescribed alignment state in a state in which an electric field from the pixel electrode 9a is not being applied. The liquid-crystal layer 50 is constituted by, for example, one type or multiple types of nematic liquid crystal. The sealing material is, for example, an adhesive constituted by a photosetting resin or a thermosetting resin for bonding the two substrates at the peripheries thereof, and spacers, which are made of glass fibers or glass beads, for keeping a predetermined distance between the substrates are mixed therein.

[0039]

As shown in FIG. 2, the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided on the TFT array substrate 10 at a location corresponding to the pixel electrode 9a.

[0040]

To explain in greater detail, the insulating film (insulator layer) 12 is provided between the TFT array substrate 10 and the semiconductor layer 1a. The insulating film 12 is formed over the entire surface of the TFT array substrate 10 to eliminate the effects of impurities from the TFT array substrate 10 and to form the TFT 30 as a semiconductor element.

[0041]

The insulating film 12 is constituted by, for example, highly insulative glass such as NSG (non-doped silicate glass), PSG (phosphosilicate glass), BSG (borosilicate glass), or BPSG (borophosphosilicate glass), or a silicon oxide film, a silicon nitride film, or the like.

[0042]

The pixel-switching TFT 30 has an LDD (lightly doped drain) structure, and comprises: the scan line 3a; the channel region 1a' of the semiconductor layer 1a in which a channel is formed by the electric field from the scan line 3a; the gate-insulating film 2 insulating the scan line 3a and the semiconductor layer 1a; the data line 6a; a low-density source region (source-side LDD region) 1b and a low-density drain region (drain-side LDD region) 1c of the semiconductor layer 1a; and the high-density source region 1d and the high-density drain region 1e of the semiconductor layer 1a. The source

regions 1b and 1d and the drain regions 1c and 1e are formed by doping the semiconductor layer 1a with a prescribed concentration of an n-type or p-type dopant depending on which type of channel, n-type or p-type, is to be formed. An n-type channel TFT has the advantage of fast operating speed and is often used as the pixel-switching TFT 30, which is a switching element of a pixel.

[0043]

The pixel-switching TFT 30 preferably has an LDD structure as described above, but may have an offset structure in which impurity ions are not implanted into the low-density source region 1b and the low-density drain region 1c, or may be a self-aligned TFT, in which impurity ions are implanted at high densities, using the gate electrode 3a as a mask, and the high-density source and drain regions are formed in a self-aligned manner.

[0044]

An interlayer insulating film 311 is formed over the scan line 3a, the gate-insulating film 2, and the insulating film 12. The drain electrode 302 and the source electrode 303 are formed over the interlayer insulating film 311. The contact hole 82 leading to the high-density source region 1d and the contact hole 83 leading to the high-density drain region 1e are each formed in the interlayer insulating film 311. The source electrode 303 is electrically connected to the high-density source region 1d via the contact hole 82. In addition, the drain electrode 302 is electrically connected to the high-density drain region 1e of the semiconductor layer 1a via the contact hole 83.

[0045]

An insulating film 301 is formed over the drain electrode 302 and the source electrode 303, and the capacitor line 300 is disposed at a position opposing the drain electrode 302 with the insulating film sandwiched therebetween. The capacitor line 300 also serves as a light-shielding film and is disposed above the TFT 30, thus making it possible to effectively block light advancing from above in the paper plane, and keep that light from impinging upon the TFT 30.

[0046]

In the present embodiment, the capacitor line 300 and the drain electrode 302 are layered and disposed so as to overlap with the insulating film 301 interposed therebetween, thereby forming the storage capacitor 70-1.

[0047]

The capacitor line 300 is preferably composed of a light-shielding refractory metal such as a single metal, an alloy, a metal silicide, or the like including at least one of Ti, Cr, W, Ta, Mo, and Pd, a light-shielding metal film of Al or the like, etc.

[0048]

If it is composed of a refractory metal material, then it is possible to keep the capacitor line 300 from breaking or melting during high-temperature treatment in the element substrate formation processes, such as the data line 6a formation process, performed after the process of forming the capacitor line 300 on the TFT array substrate 10. In the present embodiment, the capacitor line 300, which also serves as a light-shielding film, is formed over the TFT 30 on the TFT array substrate 10; thus, situations in which light from the liquid-crystal layer 50 side of the TFT array substrate 10 enters the channel region 1a' or the LDD regions 1b, 1c of the pixel-switching TFT 30 can be prevented. As shown in FIG. 1, the capacitor line 300

constitutes the wide-width portions 300a, 300b in the vicinity of the TFT so as to cover the corner portions of the pixel electrode 9a; thus, it is possible to block light advancing in an oblique direction toward the TFT 30 from the corner portions of the pixel electrode 9a. Accordingly, there is no change in the characteristics of the TFT 30 as a transistor element due to the generation of light-leakage current.

[0049]

An interlayer insulating film 312 is disposed over the capacitor line 300 and the insulating film 301, and the aforementioned contact holes 81 and contact holes 84 are formed in the interlayer insulating film 312. The data line 6a is formed over the interlayer insulating film 312. The data line 6a is constituted by a light-shielding thin film, such as a metal film of Al or the like or an alloy film of a metal silicide or the like. The insulating film 7 is formed over the data line 6a, and the pixel electrode 9a or the alignment layer 16 is formed over the insulating film 7.

[0050]

The source electrode 82 and the data line 6a are electrically connected via the contact hole 81. In addition, the drain electrode 302 and the pixel electrode 9a are electrically connected via the contact hole 84.

[0051]

The thus-configured element substrate 100 for electro-optical devices and the opposing substrate are bonded together while maintaining a minute interval therebetween, and a liquid-crystal layer is sandwiched in the space to form a liquid-crystal display panel.

[0052]

(Second Embodiment)

FIG. 3 and FIG. 4 are drawings illustrating the structure of an element substrate for electro-optical devices according to a second embodiment of the present invention, with FIG. 3 being an enlarged plan view showing a plurality of mutually adjacent pixel groups of the element substrate for electro-optical devices on which data lines, scan lines, pixel electrodes, light-shielding films, and the like are formed, and FIG. 4 being a cross-sectional view along line B-B' in FIG. 3. The present second embodiment differs from the previous first embodiment in that, instead of forming the capacitor lines 300 with a wide width, the data lines 6a running up and down in the paper plane are formed with a wide width in the vicinities of the TFTs 30, as shown in FIG. 3, and made to serve as light-shielding layers against the incidence of light from the corner portions of the pixel electrodes 9a.

[0053]

First, a planar structure within a pixel portion (image display region) of an element substrate for electro-optical devices according to the present invention will be described in detail based on FIG. 3. Note that component members having the same functions as in FIG. 1 and FIG. 2 are indicated by the same symbols in FIG. 3 and FIG. 4.

[0054]

In the element substrate 100 for electro-optical devices, as shown in FIG. 3, the plurality of transparent pixel electrodes 9a (outlines indicated by the dashed lines 9a') is provided in a matrix shape in a pixel portion on the TFT array substrate, and the data lines 6a and the scan lines 3a are provided along the vertical and horizontal boundaries, respectively, of the pixel electrodes 9a. The pixel-switching TFT 30, which is for performing switching control of the corresponding pixel electrode 9a, is provided in a corner portion of each of the pixel electrodes 9a along the corresponding data line 6a.

[0055]

The data lines 6a are electrically connected to the source electrodes 303 (described below) via the contact holes 81. The scan lines 3a are disposed so as to oppose the channel regions 1a' (the

regions of diagonal lines rising up and to the left in FIG. 1) of the semiconductor layers 1a, and the scan lines 3a also function as gate electrodes. The data lines 6a extend linearly but have wide-width portions 6a' protruding in the direction of the scan lines 3a (i.e., the left-right direction in the paper plane as seen in plan view) at portions intersecting the scan lines 3a. Moreover, the data lines 6a are formed diagonally with wide widths so as to cover the corner portions the pixel electrodes 9a at the wide-width portions 6a' in the vicinities of the TFTs 30. By creating such a structure, the wide-width portions 6a' of the data lines 6a each block light advancing from the liquid-crystal layer 50 side (the direction perpendicular to the paper plane) of the TFT array substrate 10 in each pixel portion, and also block light advancing obliquely with respect to the direction of the TFTs 30 from the corner portions of each pixel, thus making it possible to effectively block light incident on the TFTs 30, including the channel regions 1a' of the semiconductor layers 1a.

[0056]

The contact holes 84 are provided on sides along the scan lines 3a of the pixel electrodes 9a, and the pixel electrodes 9 and the drain electrodes 302 are electrically connected. The contact holes 81 and 82 are provided on one-end sides of the TFTs 30. The contact holes 81 electrically connect the source electrodes 303 (indicated by dash-dotted lines in the drawings), which serve as relay electrodes, and the data lines 6a, while the contact holes 82 electrically connect the source electrodes 303 and the high-density source regions 1d of the semiconductor layers 1a. The contact holes 83 are provided on other-end sides of the TFTs 30, and the contact holes 83 electrically connect the drain electrodes 302, which serve as relay electrodes, and the high-density drain regions 1e of the semiconductor layers 1a.

[0057]

The capacitor lines 300 overlap the scan lines 3a and are provided in the left-right direction in the paper plane along the boundaries of the pixel electrodes 9a. Furthermore, the capacitor lines 300 are provided substantially linearly and also overlapping the data lines 6a.

[0058]

Furthermore, the capacitor lines 300, together with the L-shaped drain electrodes 302 (indicated by dash-dotted lines in the drawings), which are disposed overlapping and opposing with interposed insulating films in the substantially linearly extending portions overlapping the scan lines 3a, form the storage capacitors 70-1. In addition, together with the drain electrodes 302 (indicated by dash-dotted lines in the drawings) disposed overlapping and opposing with interposed insulating films in the substantially linearly extending portions overlapping the data lines 6a, they form storage capacitors 70-2.

[0059]

As a result, the spaces apart from the aperture regions, which are the regions in the vicinities of the data lines 6a and the regions in the vicinities of the scan lines 3a in which disclinations of the liquid crystal occur (i.e., the regions in which the capacitor lines 300 are formed), are effectively used to increase the storage capacitance of the pixel electrodes 9a. In this manner, capacitance is ensured by the storage capacitors 70-1 and the storage capacitors 70-2 in the present embodiment in order to stabilize the display screen.

[0060]

Next, the cross-sectional structure in the pixel portion of the element substrate 100 for electro-optical devices according to the second embodiment is as shown in FIG. 4, and is cut along line B-B'

passing through the contact holes 81, 82, the TFT 30, and the contact hole 84 in FIG. 3; thus, the structure is exactly the same as in the first embodiment shown in FIG. 2. Accordingly, descriptions will be omitted here. In the present embodiment, as described above, the data line 6a is configured to have a wide width as seen in plan view in the vicinity of the TFT, and also to have a wide width diagonally so as to cover corner portions of the pixel, thus making it possible to effectively block light obliquely approaching the TFT from the aperture portion of the pixel region, especially the corner portions of the pixel region. As a result, no light-leakage current is generated in the TFT, and the switching characteristics of the TFT do not change; thus, a stable and sharp display screen can be obtained.

[0061]

(Third Embodiment)

Next, a third embodiment of the present invention is shown in FIG. 5 to FIG. 9. Component members having the same functions have the same symbols in FIG. 5 to FIG. 9.

[0062]

FIG. 5 to FIG. 9 are drawings illustrating the structure of an element substrate for electro-optical devices according to a third embodiment of the present invention; and FIG. 5 is an enlarged plan view showing a portion of the element substrate for electro-optical devices according to the present invention, wherein the TFT 30 is provided in a corner portion of one pixel electrode 9a and the data line and the scan line are formed along the boundaries of the pixel electrode 9a. FIG. 6 depicts a cross-sectional view along line C-C' in FIG. 5, FIG. 7 depicts a cross-sectional view along line X-X' in FIG. 5, FIG. 8 depicts a cross-sectional view along line Y-Y' in FIG. 5, and FIG. 9 depicts a cross-sectional view along line Z-Z' in FIG. 5. A difference between the present third embodiment and the preceding first and second embodiments is that the capacitor lines are divided into two parts, and fixed-potential capacitor electrodes are disposed between the data lines and pixel-potential capacitor electrodes along the data lines, preventing the data lines and the pixel-potential capacitor electrodes from affecting each other and adversely affecting display due to capacitive coupling. In addition, the fixed-potential capacitor electrodes are disposed between the pixel-potential capacitor electrodes and the scan lines along the scan lines, thereby preventing the pixel-potential capacitor electrodes and the scan lines from affecting each other due to capacitive coupling.

[0063]

Furthermore, a point is that the respective capacitor wires are configured to a wide width in the vicinities of the TFTs. Furthermore, a point is that contact holes for the pixel electrodes are provided in the portions of the capacitor lines expanded to wide width in the vicinities of the TFTs in the corner portions of the pixel electrodes.

[0064]

First, a planar structure within a pixel portion (image display region) of the element substrate 100 for electro-optical devices according to the present invention will be described in detail based on FIG. 5.

[0065]

In the element substrate 100 for electro-optical devices according to the third embodiment of the present invention, as shown in FIG. 5, the plurality of transparent pixel electrodes 9a (outlines indicated by dashed lines 9a') is provided in a matrix shape in the pixel portions on the TFT array substrate, and the data line 6a and the scan line 3a are respectively provided along the vertical and horizontal boundaries of the transparent pixel electrodes 9a. The pixel-switching TFT 30, which is for performing switching control of its corresponding pixel electrode 9a, is provided in a corner portion of each of the pixel electrodes 9a along the data lines 6a. A contact hole ACNT is provided on one end side of the TFT 30, and a contact hole

BCNT is provided on the other end side. The data line 6a is electrically connected to the high-density source region 1d of the semiconductor layer 1a, to be described later, via the contact hole ACNT, and a capacitor electrode 403a (indicated by solid lines in the drawing), to be described later, is electrically connected to the high-density drain region 1e of the semiconductor layer 1a via the contact hole BCNT. Furthermore, a contact hole SCNT is provided in the direction of the data line 6a; and a capacitor electrode 404a and a light-shielding film 11a (indicated by dashed lines in the drawing), to be described later, are electrically connected and held at the same potential. The light-shielding film 11a is provided overlapping the data line 6a and the scan line 3a along the boundaries of each pixel on the TFT array substrate. The data line 6a extends linearly in the vertical direction in the paper plane along one side of the pixel electrode 9a.

[0066]

One of the capacitor electrodes 403a having the pixel potential is provided overlapping the data line 6a, and a wide-width portion 403a' protruding into a corner portion of one pixel electrode in one direction of the scan line 3a (i.e., the rightward direction in the paper plane as seen in plan view) is formed at a portion intersecting the scan line 3a.

[0067]

In addition, one of the capacitor electrodes 404a having a fixed potential is also provided overlapping the data line 6a, and a wide-width portion 404a' protruding into corner portions of two pixel electrodes in one direction of the scan line 3a (i.e., the leftward direction in the paper plane in plan view) is formed at a portion intersecting the scan line 3a. Furthermore, the one capacitor electrode 404a having a fixed potential has a wide-width portion 404a" protruding into one pixel electrode in the other direction of the scan line 3a (i.e., the rightward direction in the paper plane as seen in plan view) at a portion intersecting the scan line 3a. A contact hole CCNT is provided in this wide-width portion 404a"; and the capacitor electrode 404a having a fixed potential and a 403b to be described later are electrically connected and held at the same potential via the contact hole CCNT. In addition, one more capacitor electrode 403b having a fixed potential is provided overlapping the scan line 3a, and one end of the capacitor electrode 403b is connected to the capacitor line 404a via the aforementioned contact hole CCNT. Furthermore, another capacitor electrode 404b having the pixel potential is also provided opposing the capacitor electrode 403b overlapping the scan line 3a, and the capacitor electrode 404b having the pixel potential protrudes in the direction of one pixel electrode at a corner portion of the pixel electrode to form a protruding portion 404b'. This protruding portion 404b' overlaps the wide-width portion 403a' of the capacitor electrode 403a having the previous pixel potential, and contact holes DCNT and ICNT to be described later are formed here. The contact hole DCNT electrically connects the capacitor line 404b having the pixel potential and the capacitor electrode 403a, which are thereby held at the same potential. In this manner, in the present embodiment, the capacitor electrode 403a having the pixel potential and the capacitor electrode 404a having a fixed potential, as well as the capacitor electrode 403b having a fixed potential and the capacitor electrode 404b having the pixel potential, are all formed with wide widths and diagonally covering the corner portions of the pixel electrodes in the vicinities of the TFTs, thereby making it possible to block light incident from the

pixel electrode direction, especially light incident obliquely to the TFT direction from the corner portions of the pixel electrodes.

[0068]

In addition, although the ICNT can also be disposed in the vicinity of the center of the side along the scan line rather than in a corner portion, disposing the contact holes DCNT and ICNT in the protruding portion 404b' of the pixel-potential capacitor electrode in the corner portion of the pixel electrode 9a makes it possible to reduce the interval between adjacent pixel electrodes in the vertical direction in the paper plane, compared with the previous first embodiment and second embodiment. In addition, by forming the contact holes in one place, it is possible to make the regions in which disclinations occur, due to disruption of the liquid crystal resulting from unevenness of the contact holes, smaller and to make the aperture portions larger.

[0069]

Next, a cross-sectional structure in the pixel portion of the element substrate 100 for electro-optical devices will be described based on the drawings. FIG. 6 is a drawing showing a cross-sectional structure, including the contact holes ACNT, BCNT and SCNT, along line C-C' in FIG. 5. The element substrate 100 for electro-optical devices comprises the TFT array substrate 10, which is constituted by a light-transmissive glass substrate or quartz substrate, for example, and the light-shielding film 11a, the pixel electrode 9a, the alignment layer 16, and the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a are provided on the TFT array substrate 10. The pixel electrode 9a is constituted, for example, by a transparent conductive film such as an ITO film.

[0070]

The thus-configured pixel electrode 9a of the element substrate 100 for electro-optical devices and a counter electrode (not shown in the drawings) are disposed facing each other, and liquid crystal is sealed between the TFT array substrate 10 and the opposing substrate in a space enclosed by a sealing material (not shown in the drawings). The alignment layer 16 and the alignment layer of the counter electrode cause the liquid crystal to enter a prescribed alignment state in the state in which an electric field from the pixel electrode 9a is not being applied. The liquid crystal is constituted by, for example, one type or a mixture of multiple types of nematic liquid-crystal. The sealing material is, for example, an adhesive constituted by a photosetting resin or a thermosetting resin for bonding the two substrates together at the peripheries thereof, and spacers, such as glass fibers or glass beads, for keeping a prescribed distance between the substrates are mixed therein.

[0071]

As shown in FIG. 6, the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided on the TFT array substrate 10 at a position corresponding to the pixel electrode 9a.

[0072]

To explain in greater detail, the insulating film (insulator layer) 12 is provided between the TFT array substrate 10 and the semiconductor layer 1a. The insulating film 12 is formed over the entire surface of the TFT array substrate 10 to eliminate the effects of impurities from the TFT array substrate 10 and form the TFT 30 as a semiconductor element.

[0073]

As in the preceding embodiments, the insulating film 12 is constituted by, for example, highly insulative glass such as NSG (non-doped silicate glass), PSG (phosphosilicate glass), BSG (borosilicate

glass), or BPSG (borophosphosilicate glass), or a silicon oxide film, a silicon nitride film, or the like. The light-shielding film 11a composed of a light-shielding metal is provided between the TFT array substrate 10 and the insulating film 12. The light-shielding film 11a overlaps the data line 6a, the scan line 3a, and the capacitor electrodes 403a, 403b, 404a, 404b as seen in plan view, and is provided along the vertical and horizontal boundaries of each pixel electrode. The light-shielding film 11a is connected to the capacitor electrode 404a via the contact hole SCNT, and the fixed-potential capacitor electrode 404a is held at a fixed potential to ensure the stability of the display screen. Disposing the light-shielding film 11a in this manner makes it possible to block returning light that has entered from the surface of the pixel region and reflected off the bottom surface of the TFT array substrate 10.

[0074]

The pixel-switching TFT 30 also has an LDD (lightly doped drain) structure, as in the preceding embodiments.

[0075]

In the present embodiment, fixed-potential and pixel-potential capacitor electrodes constituted by light-shielding metal thin films of Al or the like are formed so as to cover the TFT 30 from directly above the TFT 30 and with wide widths in the vicinity of the TFT 30, thereby making it possible to effectively prevent light entering the channel region 1a' of the semiconductor layer 1a and the LDD regions 1b, 1c.

[0076]

The interlayer insulating film 311 is formed over the scan line 3a, the gate-insulating film 2, and the insulating film 12, and the contact hole ACNT and the contact hole BCNT are each formed in the interlayer insulating film 311. The contact hole ACNT connects the data line 6a and the high-density source region 1d of the semiconductor layer 1a, and the contact hole BCNT connects the capacitor electrode 403a and the high-density drain region 1e of the semiconductor layer 1a.

[0077]

The pixel-potential capacitor electrode 403a is formed over the interlayer insulating film 311. The fixed-potential capacitor electrode 404a is formed over the capacitor electrode 403a with an insulating film 401 interposed therebetween. The interlayer insulating film 312 is formed over the fixed-potential capacitor electrode 404a and the insulating film 401, and the previously mentioned contact hole ACNT is formed in the interlayer insulating film 312. The data line 6a is formed over the interlayer insulating film 312. The data line 6a is preferably composed of a single metal, an alloy, a metal silicide, or the like containing at least one of Ti, Cr, W, Ta, Mo, and Pd, which are opaque refractory metals.

[0078]

The insulating film 7 is formed over the data line 6a and the interlayer insulating film 312, and the pixel electrode 9a or the alignment layer 16 is formed over the insulating film 7. By doing this, the fixed-potential capacitor electrode 404a is present between the data line 6a and the pixel-potential capacitor electrode 403a, and, therefore, the data line 6a and the pixel-potential capacitor electrode 403a do not affect each other through capacitive coupling. Next, FIG. 7 depicts the main portions of a cross-sectional structure, including the contact hole CCNT, along line X-X' in FIG. 5. FIG. 7 shows the fixed-

potential capacitor electrode 404a and the fixed-potential capacitor electrode 403b connected via the contact hole CCNT as previously described. The semiconductor layer 1a covered by the gate-insulating film 2 is shown in the portion crossing the TFT 30, and the data line 6a is disposed thereabove. Next, FIG. 8 depicts the cross-sectional structure along line Y-Y' in FIG. 5. In the drawing, a contact hole is not disposed in the cross section along line Y-Y', and the scan line 3a, the fixed-potential capacitor electrode 403b, and the pixel-potential capacitor electrode 404b are shown disposed in layers with insulating films sandwiched therebetween. By doing this, the fixed-potential capacitor electrode 403b is present between the pixel-potential capacitor electrode 404b and the scan line 3a; therefore, the scan line 3a and the pixel-potential capacitor electrode 404b do not affect each other through capacitive coupling. Finally, FIG. 9 depicts the main portions of the cross-sectional structure, including the contact hole BCNT, the contact hole DCNT, and the contact hole ICNT, along line Z-Z' in FIG. 5. FIG. 9 depicts the high-density drain region 1e of the semiconductor layer and the pixel-potential capacitor electrode 403a connected via the contact hole BCNT, and the pixel-potential capacitor electrode 403a connected to the pixel-potential capacitor electrode 404b via the contact hole DCNT. Furthermore, the pixel-potential capacitor electrode 404b is connected to the pixel electrode 9a corresponding to the TFT via the contact hole ICNT. The insulating film 401 is formed between the pixel-potential capacitor electrode 403a and the fixed-potential capacitor electrode 403b, and between the pixel-potential capacitor electrode 404a and the fixed-potential capacitor electrode 404b to form a storage capacitor 70-3. The thus-configured element substrate for electro-optical devices and the opposing substrate are bonded together while maintaining a minute interval therebetween, and a liquid-crystal layer is sandwiched in the space to form a liquid-crystal display panel. In this manner, in the present embodiment, the capacitor electrode 403a and the capacitor electrode 404a, as well as the capacitor electrode 403b and the capacitor electrode 404b, are all formed with wide widths and obliquely covering the corner portions of the pixel electrodes in the vicinities of the TFTs, thereby making it possible to block light incident from the pixel electrode direction, especially light incident obliquely to the TFT direction from the corner portions of the pixel electrodes. Furthermore, contact holes for the pixel electrodes are provided in the portions of the capacitor lines expanded to wide width in the vicinities of the TFTs in the corner portions of the pixel electrodes, thereby making it possible to widely utilize the aperture portions of the pixel electrodes.

[0079]

(Fourth Embodiment)

FIG. 10 and FIG. 11 are drawings showing the structure of an element substrate for electro-optical devices according to a fourth embodiment of the present invention. FIG. 10 is an enlarged plan view showing a portion of the element substrate for electro-optical devices according to the present invention, wherein the TFT 30 is provided in a corner portion of one of the pixel electrodes 9a, and the data line 6a and the scan line 3a are formed around the pixel electrode 9a. FIG. 11 depicts a cross-sectional view along line D-D' in FIG. 10.

[0080]

In the present embodiment, as in the second embodiment previously described, the light-shielding in the corner portions of the pixel electrodes is constituted by data lines formed with wide widths in the vicinities of the TFTs to form light-shielding films. The present

fourth embodiment differs from the previous second embodiment in that the capacitor wires are formed in parallel along the scan lines.

[0081]

First, a planar structure within a pixel portion (image display region) of the element substrate 100 for electro-optical devices according to the present invention will be described in detail based on FIG. 10.

[0082]

In the element substrate 100 for electro-optical devices according to the present embodiment, as shown in FIG. 10, the plurality of transparent pixel electrodes 9a (outlines indicated by chain lines 9a') is provided in a matrix shape in a pixel portion on the TFT array substrate, and the data line 6a and the scan line 3a are respectively provided along the vertical and horizontal boundaries of the pixel electrodes 9a. In addition, the capacitor line 300 is provided in parallel with the scan line 3a. The pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided in a corner portion of each pixel electrode 9a along the data line 6a.

[0083]

The data line 6a is electrically connected to the high-density source region 1d (to be described later) of the semiconductor layer 1a via the contact hole 82, and the pixel electrode 9a is electrically connected to the drain electrode 302 (to be described later) via the contact hole 84 provided on a side along the scan line 3a. In addition, the scan line 3a is disposed so as to oppose the channel region 1a' (the region of diagonal lines rising up and to the left in the drawing) of the semiconductor layer 1a, and the scan line 3a also functions as a gate electrode.

[0084]

The capacitor line 300 is provided with a protruding portion that protrudes in the left-right direction in the paper plane along the boundaries of the pixel electrodes 9a in parallel with the scan line 3a and in the upward direction in the paper plane along the data line 6a from a location intersecting the data line 6a (in other words, an extended region overlapping the data line 6a as seen in plan view). The capacitor line 30—together with: the drain electrode 302 extending substantially linearly in parallel with the scan line 3a opposingly disposed with an interposed insulating film; and the portion (indicated by thin lines in the drawing) of the drain electrode 302 extending along the data line that protrudes upward in the paper plane—forms the storage capacitor 70.

[0085]

The drain electrode 302 forms a protruding portion that protrudes upward in the paper plane along the data line 6a from a location intersecting the data line 6a (i.e., an extended region overlapping the data line 6a as seen in plan view). Furthermore, it is disposed opposing the capacitor line 300 with the gate-insulating film 2 interposed therebetween, thereby forming the storage capacitor 70.

[0086]

Next, the cross-sectional structure in the pixel portion of the element substrate 100 for electro-optical devices will be described based on FIG. 11. The element substrate 100 for electro-optical devices comprises the TFT array substrate 10, which is constituted by a light-transmissive glass substrate or quartz substrate, for example, and a light-shielding film 420, the pixel electrode 9a, and the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a are provided on the TFT array substrate 10. The alignment layer 16, on which has been performed a prescribed alignment process, such as a rubbing process, is provided above the pixel electrode 9a. The pixel electrode 9a is constituted, for example,

by a transparent conductive film such as an ITO film (indium tin oxide film). In addition, the alignment layer 16 is constituted by, for example, an organic film such as a polyimide film.

[0087]

The thus-configured pixel electrode 9a of the element substrate 100 for electro-optical devices and a counter electrode (not shown in the drawings) are disposed facing each other, and, as in the previous embodiments, liquid crystal is sealed between the TFT array substrate 10 and the opposing substrate in a space enclosed by a sealing material (not shown in the drawings), thereby forming the liquid-crystal layer 50.

[0088]

As shown in FIG. 11, the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided on the TFT array substrate 10 at a position corresponding to the pixel electrode 9a.

[0089]

To explain in greater detail, the insulating film (insulator layer) 12 is provided between the TFT array substrate 10 and the semiconductor layer 1a. The insulating film 12 is formed over the entire surface of the TFT array substrate 10 to eliminate the effects of impurities from the TFT array substrate 10 and form the TFT 30 as a semiconductor element.

[0090]

As in the preceding embodiments, the insulating film 12 is constituted by highly insulative glass or a silicon oxide film, a silicon nitride film, or the like. The light-shielding film 420 composed of a light-shielding metal is provided between the TFT array substrate 10 and the insulating film 12. The light-shielding film 420 overlaps the data line 6a, the scan line 3a, and the capacitor line 300 as seen in plan view, and is provided along the vertical and horizontal boundaries of each pixel electrode. Disposing the light-shielding film 420 in this manner makes it possible to block returning light that has entered from the surface of the pixel region and reflected off the bottom surface of the TFT array substrate 10.

[0091]

As in the preceding embodiments, the pixel-switching TFT 30 also has an LDD (lightly doped drain) structure, and comprises: the scan line 3a; the channel region 1a' of the semiconductor layer 1a in which a channel is formed by the electric field from the scan line 3a; the gate-insulating film 2 insulating the scan line 3a and the semiconductor layer 1a; the data line 6a; the low-density source region (source-side LDD region) 1b and the low-density drain region (drain-side LDD region) 1c of the semiconductor layer 1a; and the high-density source region 1d and the high-density drain region 1e of the semiconductor layer 1a. A corresponding one of the plurality of pixel electrodes 9a is connected to the high-density drain region 1e via the contact hole 84.

[0092]

In the present embodiment, the data line 6a, which is constituted by a light-shielding metal thin film of Al or the like, is formed so as to cover the TFT 30 from directly above the TFT 30 and with a wide width in the vicinity of the TFT 30, thereby making it possible to effectively prevent light entering the channel region 1a' of the semiconductor layer 1a and the LDD regions 1b, 1c.

[0093]

The interlayer insulating film 4 is formed over the scan line 3a, the gate-insulating film 2, the capacitor line 300, and the insulating film 12, and the contact hole 82 and the contact hole 84 are each

formed in the interlayer insulating film 4.

[0094]

The data line 6a is formed over the interlayer insulating film 4. The data line 6a is preferably composed of a single metal, an alloy, a metal silicide, or the like that contains at least one of Ti, Cr, W, Ta, Mo, and Pd, which are opaque refractory metals.

[0095]

The insulating film 7 is formed over the data line 6a and the interlayer insulating film 4, and the pixel electrode 9a or the alignment layer 16 is formed over the insulating film 7. The thus-configured element substrate for electro-optical devices and the opposing substrate are bonded together while maintaining a minute interval therebetween, and a liquid-crystal layer is sandwiched in the space to form a liquid-crystal display panel. In the present embodiment, as described above, the data line 6a is configured to have a wide width as seen in plan view in the vicinity of the TFT, and also to have a wide width diagonally so as to cover the corner portion of the pixel, thus making it possible to effectively block light obliquely approaching the TFT from the aperture portion of the pixel region, especially the corner portions of the pixel region. As a result, no light-leakage current is generated in the TFT, and the switching characteristics of the TFT do not change; thus, a stable and sharp display screen can be obtained.

[0096]

(Fifth Embodiment)

FIG. 12 and FIG. 13 are drawings illustrating the structure of the element substrate for electro-optical devices according to a fifth embodiment of the present invention, with FIG. 12 being an enlarged plan view showing a portion of the element substrate for electro-optical devices according to the fifth embodiment of the present invention, wherein the TFT 30 is provided at a corner portion of one of the pixel electrodes 9a, and the data line 6a and the scan line 3a are formed in the periphery of the pixel electrode 9a. FIG. 13 depicts a cross-sectional view along line E-E' in FIG. 12. A difference of the fifth embodiment from the previous first to fourth embodiments is that, in the cross-sectional structure, a new light-shielding film 421 is provided on the liquid-crystal layer 50 side above the data line 6a directly above the TFT 30, and the light-shielding film 421 shields the corner portion of the pixel electrode.

[0097]

First, a planar structure within a pixel portion (image display region) of the element substrate 100 for electro-optical devices according to the present invention will be described in detail based on FIG. 12.

[0098]

In the element substrate 100 for electro-optical devices, as shown in FIG. 12, the plurality of transparent pixel electrodes 9a (outlines indicated by chain double-dashed lines 9a') is provided in a matrix shape in the pixel portions on the TFT array substrate, and the data line 6a and the scan line 3a are provided along the vertical and horizontal boundaries, respectively, of the transparent pixel electrodes 9a. In addition, the capacitor line 300 is provided in parallel with the scan line 3a. The pixel-switching TFT 30 for performing switching control of the pixel electrodes 9a is provided in a corner portion of each of the pixel electrodes 9a along the data line 6a.

[0099]

The data line 6a is electrically connected to the high-density source region 1d of the semiconductor layer 1a via the contact hole 82, and the pixel electrode 9a is electrically connected to the drain electrode 302 via the contact hole 84 provided on a side along the scan line 3a of the pixel electrode 9a. In addition, the scan lines 3a are disposed so as to oppose the channel regions 1a' (the regions of diagonal lines rising up and to the left in the drawing) of the

semiconductor layers 1a, and the scan lines 3a function as gate electrodes.

[0100]

The capacitor line 300 is provided with a protruding portion extending in the left-right direction in the paper plane along the boundaries of the pixel electrodes 9a in parallel with the scan line 3a, and, furthermore, protruding in the upward direction in the paper plane along the data line 6a from a location intersecting the data line 6a (i.e., an extended region overlapping the data line 6a as seen in plan view). The capacitor line 300, together with the drain electrode 302 extending substantially linearly in parallel with the scan line 3a oppositely disposed with an interposed insulating film and the portion (indicated by thin lines in the drawing) of the drain electrode 302 extending along the data line that protrudes upward in the paper plane, forms a storage capacitor 70. The light-shielding film 421 (outlines indicated by wavy lines in the drawing) is provided in a portion other than the central portion of the pixel electrode 9a and other than the contact hole 84 provided on a side along the scan line 3a of the pixel electrode 9a, i.e., in the corner portions of the pixel electrode 9a and in portions of the scan line 3a and data line 6a. The light-shielding film 421 is formed to diagonally cover the corner portions of the pixel so as not to narrow the aperture region of each pixel. In addition, it is formed avoiding the portion in which the contact hole is formed. The light-shielding film 421 is provided at a location proximate to the liquid-crystal layer above the data line 6a directly above the TFT 30, as described below.

[0101]

Light incident from the direction perpendicular to the paper plane, especially light that advances in an oblique direction from the corner portions of the pixel electrode 9a toward the TFT, can be effectively blocked by this newly provided light-shielding film 421, making it possible to prevent the occurrence of light-leakage current in the TFT.

[0102]

Next, the cross-sectional structure in the pixel portion of the element substrate 100 for electro-optical devices will be described based on FIG. 13. As in the preceding embodiments, the element substrate 100 for electro-optical devices according to the present embodiment comprises the TFT array substrate 10, which is constituted by, for example, a light-transmissive glass substrate or quartz substrate, and the light-shielding film 420, the pixel electrode 9a, and the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a are provided on the TFT array substrate 10. The alignment layer 16, on which has been performed a prescribed alignment process, such as a rubbing process, is provided above the pixel electrode 9a.

[0103]

The thus-configured pixel electrode 9a of the element substrate 100 for electro-optical devices and a counter electrode (not shown in the drawings) are disposed facing each other, and liquid crystal is sealed between the TFT array substrate 10 and the opposing substrate in a space enclosed by a sealing material (not shown in the drawings), thereby forming the liquid-crystal layer 50.

[0104]

As shown in FIG. 13, the pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided on the TFT array substrate 10 at a position corresponding to the pixel electrode 9a.

[0105]

The insulating film (insulator layer) 12 is provided between the TFT array substrate 10 and the semiconductor layer 1a. The insulating film 12 is constituted by highly insulative glass or a silicon oxide film, a silicon nitride film, or the like. The light-

shielding film 420 composed of a light-shielding metal is provided between the TFT array substrate 10 and the insulating film 12, as in the preceding third and fourth embodiments. The light-shielding film 420 overlaps the data line 6a, the scan line 3a, and the capacitor line 300, as seen in plan view, and is provided along the vertical and horizontal boundaries of each pixel electrode. Disposing the light-shielding film 420 in this manner makes it possible to block returning light that has entered from the surface of the pixel region and reflected off the bottom surface of the TFT array substrate 10.

[0106]

As in the preceding embodiments, the pixel-switching TFT 30 also has an LDD (lightly doped drain) structure and comprises: the scan line 3a; the channel region 1a' of the semiconductor layer 1a in which a channel is formed by the electric field from the scan line 3a; the gate-insulating film 2 insulating the scan line 3a and the semiconductor layer 1a; the data line 6a; the low-density source region (source-side LDD region) 1b and the low-density drain region (drain-side LDD region) 1c of the semiconductor layer 1a; and the high-density source region 1d and the high-density drain region 1e of the semiconductor layer 1a. A corresponding one of the plurality of pixel electrodes 9a is connected to the high-density drain region 1e via the contact hole 84.

[0107]

In the present embodiment, the light-shielding film 421, which is constituted by a light-shielding metal thin film, is formed so as to cover, from above, the TFT 30 at a position in the cross-sectional structure between the data line 6a directly above the TFT 30 and the liquid-crystal layer 50, thereby making it possible to effectively prevent light entering the channel region 1a' of the semiconductor layer 1a and the LDD regions 1b, 1c.

[0108]

The interlayer insulating film 4 is formed over the scan line 3a, the gate-insulating film 2, the capacitor line 300, and the insulating film 12, and the contact hole 82 and the contact hole 84 are each formed in the interlayer insulating film 4. The data line 6a is electrically connected to the high-density source region 1d of the semiconductor layer 1a via the contact hole 82, and the pixel electrode 9a is electrically connected to the high-density drain region 1e of the semiconductor layer 1a via the contact hole 84.

[0109]

The data line 6a is formed over the interlayer insulating film 4. The data line 6a is preferably composed of opaque Al or an Al alloy, or a single metal, an alloy, a metal silicide, or the like containing at least one of Ti, Cr, W, Ta, Mo, and Pd, which are opaque refractory metals.

[0110]

The light-shielding film 421 sandwiched within the insulating film 7 is formed over the data line 6a and the interlayer insulating film 4, and the pixel electrode 9a or the alignment layer 16 is formed over the insulating film 7 above the light-shielding film 421. The light-shielding film 421 is preferably composed of a single metal, an alloy, or a metal silicide of at least one of Al, Ti, Cr, W, Ta, Mo, and Pb, which are opaque metals.

[0111]

In this manner, the light-shielding film 421 is disposed at a position on the TFT 30 between the TFT 30 and the liquid-crystal layer 50. By disposing it on the liquid-crystal layer side above the TFT 30, light incident from the direction of the liquid-crystal layer (upward

in the paper plane) can be prevented from impinging upon the TFT 30. In addition, the light-shielding film 421 is configured to cover the corner portions of each pixel as seen in plan view; thus, light incident in an oblique direction from the corner portions of each pixel toward the direction of the TFT 30 can be effectively blocked. The thus-configured element substrate for electro-optical devices and the opposing substrate are bonded together while maintaining a minute interval therebetween, and a liquid-crystal layer is sandwiched in the space to form a liquid-crystal display panel.

[0112]

Next, an electro-optical device using the element substrate for electro-optical devices according to the present invention will be described.

[0113]

An example of an electro-optical device using the element substrate for electro-optical devices according to the present invention is shown in FIG. 14 and FIG. 15.

[0114]

FIG. 14(a) is a perspective view showing an example of a mobile phone. 1000 indicates a main body of a mobile phone, wherein 1001 is a liquid-crystal device using the element substrate for electro-optical devices according to the present invention.

[0115]

FIG. 14(b) is a perspective view showing an example of a wristwatch-type electronic apparatus. 1100 indicates a main body of a watch, and 1101 is a liquid-crystal device using the element substrate for electro-optical devices according to the present invention.

[0116]

FIG. 14(c) is a perspective view showing an example of a portable information processing apparatus such as a word processor, a personal computer, or the like. In the drawing, 1200 indicates an information processing apparatus, 12002 is an input unit such as a keyboard, 1204 is a main body of the information processing apparatus, and 1206 is a liquid-crystal device using the element substrate for electro-optical devices according to the present invention.

[0117]

If the element substrate for electro-optical devices according to the present invention is used in these electro-optical devices, it is possible to effectively block light entering from the corner portions of the pixel electrode toward the TFT, which is a switching element for driving the pixel electrode; thus, no light enters the channel region or the drain region of the TFT, and no leakage current is generated in the TFT, and therefore there is no change in the characteristics of the TFT, and a sharp image display can be obtained. As an example of another electro-optical device, FIG. 15 shows an example of a projection-type display apparatus (projector) in which the liquid-crystal device using the element substrate for electro-optical devices according to the present invention is an optical modulation device. The projection-type display apparatus according to the present example is constituted by: a polarized-light illuminating apparatus 1700 generally constituted by a light source unit 1710 disposed along a system optical axis L, an integrator lens 1720, and a polarizing optical element 1730; a polarizing beam splitter 1400 that causes an S-polarized luminous flux emitted by the polarized-light illuminating apparatus 1700 to be reflected by an S-polarized, luminous-flux reflecting surface 1401; a dichroic mirror 1412 that separates a blue light (B) component from the light reflected by the S-polarized, reflecting surface 1401 of the polarizing beam splitter 1400; a reflective, liquid-crystal, optical-modulating device 300B that modulates the separated blue light (B); a dichroic mirror 1413 that reflects and separates a red light (R) component of the luminous flux after the blue light has been separated therefrom; a reflective, liquid-crystal, optical-modulating device 1300R that modulates the separated red light (R); a reflective, liquid-crystal, optical-modulating device 1300G that modulates the remaining green light (G) passing through the dichroic

mirror 1413; and a projecting optical system 1500 comprising a projection lens that synthesizes the light modulated by the three reflective, liquid-crystal, optical-modulating devices 1300B, 1300R, 1300G using the dichroic mirrors 1412, 1413 and the polarizing beam splitter 1400, and projects this synthesized light onto a screen 1600. A liquid-crystal device using the element substrate for electro-optical devices according to the present invention is used for each of the three reflective, liquid-crystal, optical-modulating devices 1300R, 1300G, 1300B. By using the element substrate for electro-optical devices according to the present invention, it is possible to curtail the generation of light-leakage current in the TFT due to light advancing from the corner portions of a pixel near the TFT toward the channel portion of the TFT, and a projection-type display device having excellent switching characteristics and a yielding a vivid image display can be created.

[0118]

EFFECTS OF THE INVENTION

According to the present invention, as described in detail above, a light-shielding metal film is provided at a position between the TFT and the pixel electrode, and the metal film is provided so as to cover the corner portions of the pixel electrode; thus, light incident from the pixel electrode direction, especially light that advances in an oblique direction from the corner portions of the pixel electrode toward the TFT, can be effectively blocked. As a result, no light-leakage current is generated in the TFT, and there is no change in the characteristics of the TFT as a switching element, making it possible to obtain a vivid display screen.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a drawing illustrating the planar structure of a first embodiment of an element substrate for electro-optical devices according to the present invention.

FIG. 2 is a cross-sectional view along line A-A' of the element substrate for electro-optical devices shown in FIG. 1.

FIG. 3 is a drawing illustrating the planar structure of a second embodiment of the element substrate for electro-optical devices according to the present invention.

FIG. 4 is a cross-sectional view along line B-B' of the element substrate for electro-optical devices shown in FIG. 3.

FIG. 5 is a drawing illustrating the planar structure of a third embodiment of the element substrate for electro-optical devices according to the present invention.

FIG. 6 is a cross-sectional view along line C-C' of the element substrate for electro-optical devices shown in FIG. 5.

FIG. 7 is a cross-sectional view along line X-X' of the element substrate for electro-optical devices shown in FIG. 5.

FIG. 8 is a cross-sectional view along line Y-Y' of the element substrate for electro-optical devices shown in FIG. 5.

FIG. 9 is a cross-sectional view along line Z-Z' of the element substrate for electro-optical devices shown in FIG. 5.

FIG. 10 is a drawing illustrating the planar structure of a fourth embodiment of the element substrate for electro-optical devices according to the present invention.

FIG. 11 is a cross-sectional view along line D-D' of the element substrate for electro-optical devices shown in FIG. 10.

FIG. 12 is a drawing illustrating the planar structure of a fifth embodiment of the element substrate for electro-optical devices according to the present invention.

FIG. 13 is a cross-sectional view along line E-E' of the element substrate for electro-optical devices shown in FIG. 12.

FIG. 14 is a drawing illustrating examples of electro-optical devices using the element substrate for electro-optical devices according to the present invention.

FIG. 15 is a drawing illustrating another example of an electro-optical device using the element substrate for electro-optical devices according to the present invention.

FIG. 16 is a drawing illustrating the planar structure of a conventional element substrate for electro-optical devices.

FIG. 17 is a cross-sectional view along line P-P' of the conventional element substrate for electro-optical devices shown in FIG. 16.

EXPLANATION OF THE REFERENCE NUMBERS

1a	Semiconductor layer
1a'	Channel region
1b	Low-density source region
1c	Low-density drain region
1d	High-density source region
1e	High-density drain region
3a	Scan line
6a	Data line
9a	Pixel electrode
10	TFT array substrate
11a	Light-shielding film
16	Alignment layer
30	TFT
50	Liquid-crystal layer
70	Storage capacitor
81, 82, 83, 84, ACNT, BCNT, CCNT, DCNT, ICNT	Contact holes
100	Element substrate for electro-optical devices
300	Capacitor line
420, 421	Light-shielding films

FIG. 1

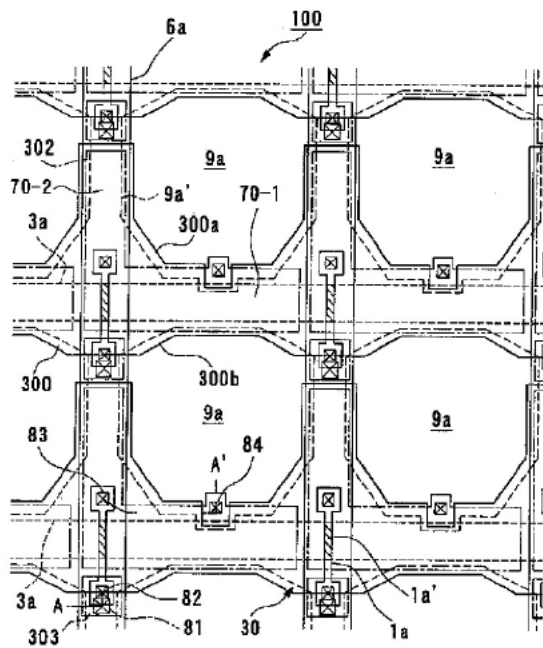


FIG. 3

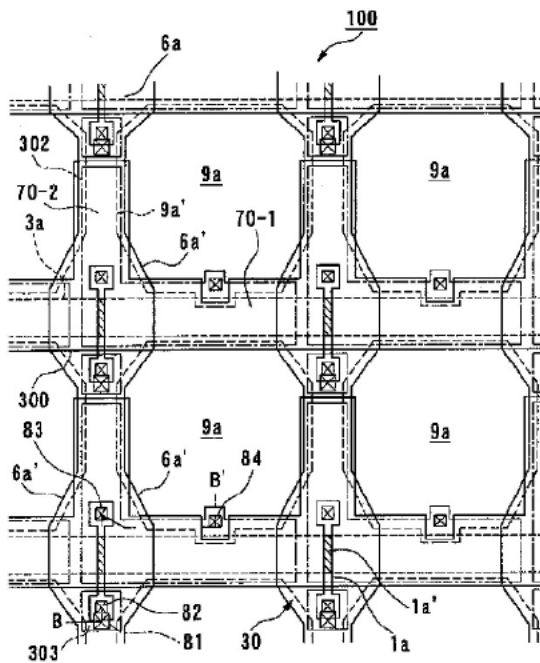


FIG. 2

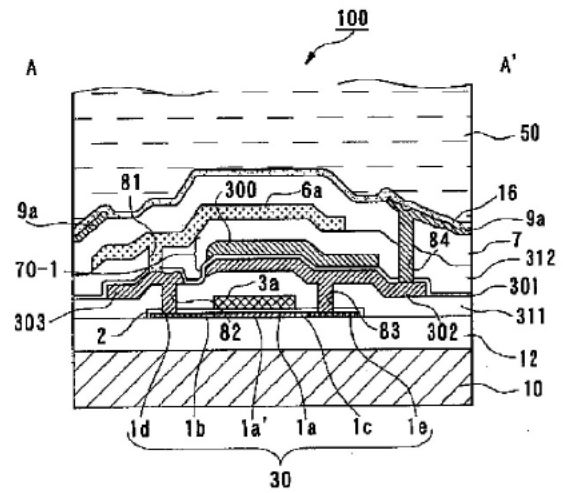


FIG. 4

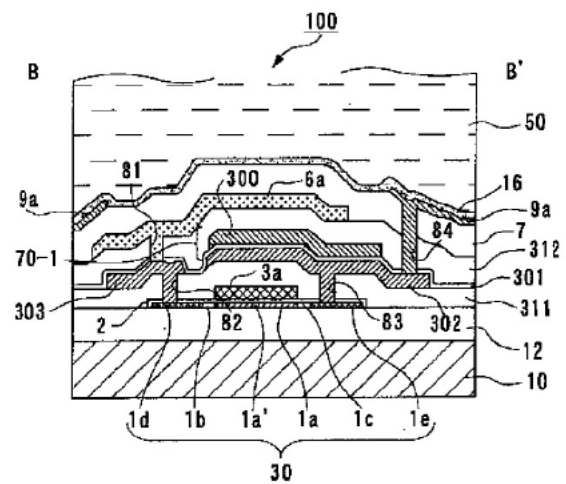


FIG. 7

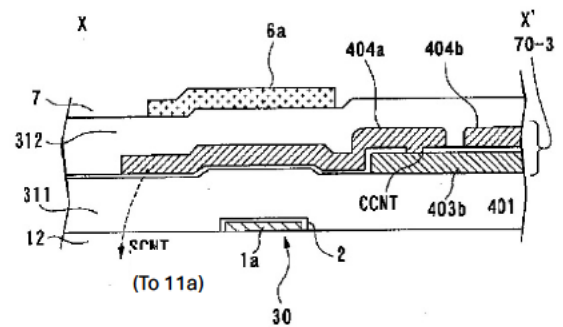


FIG. 5

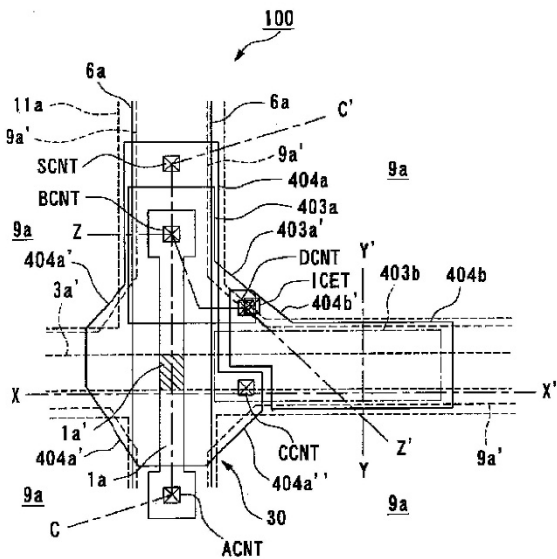


FIG. 8

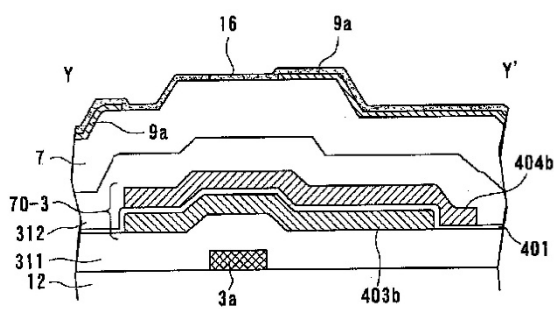


FIG. 9

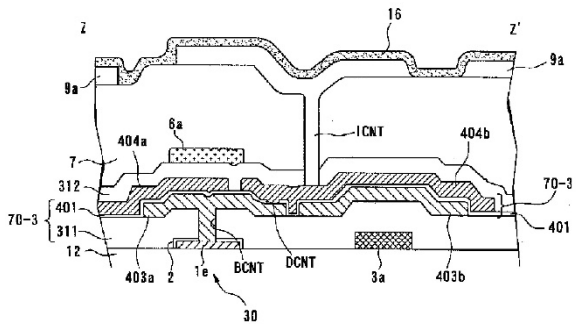


FIG. 6

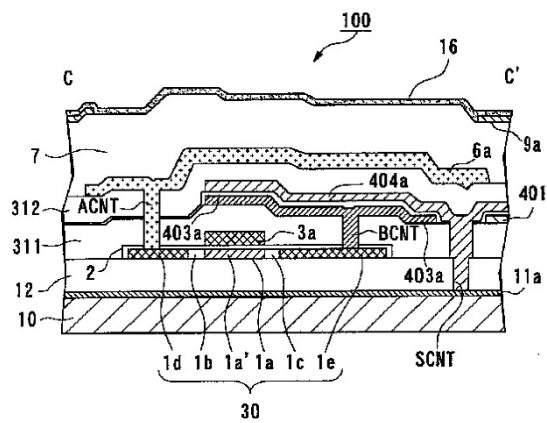


FIG. 10

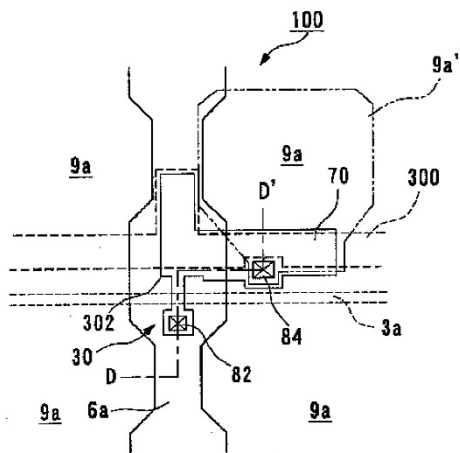


FIG. 12

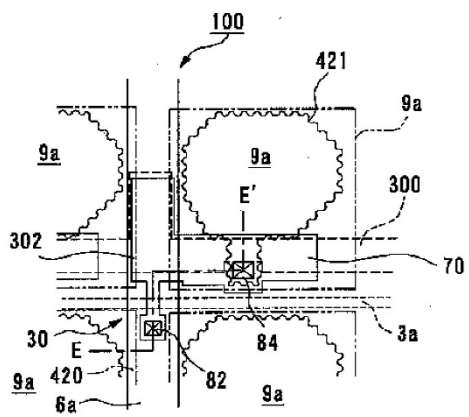


FIG. 11

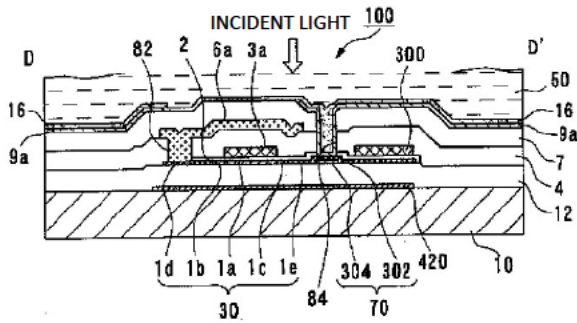


FIG. 13

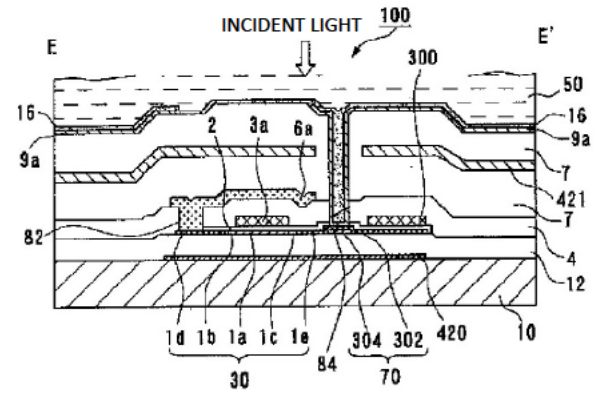


FIG. 14

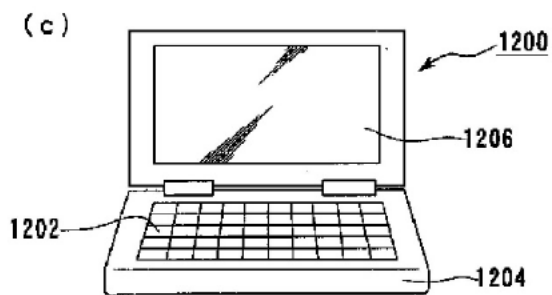
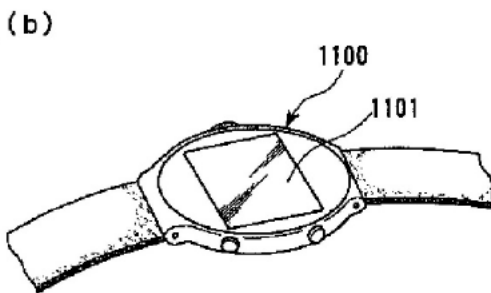
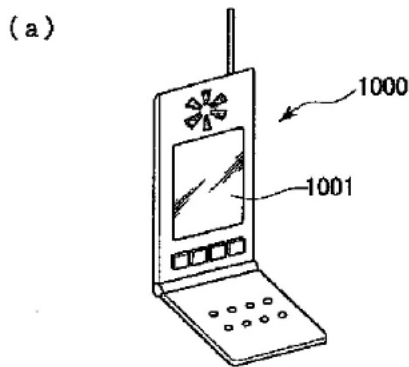


FIG. 16

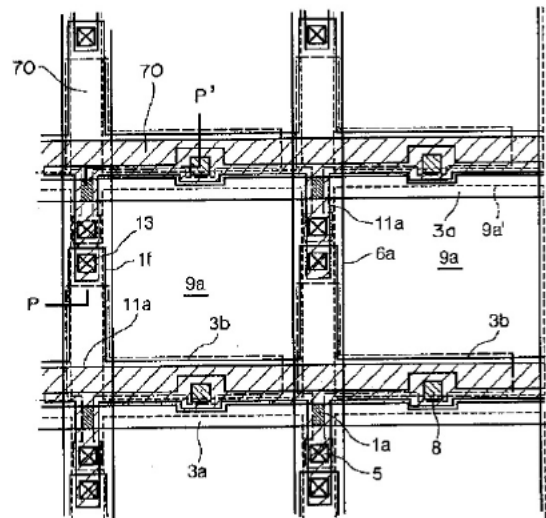


FIG. 15

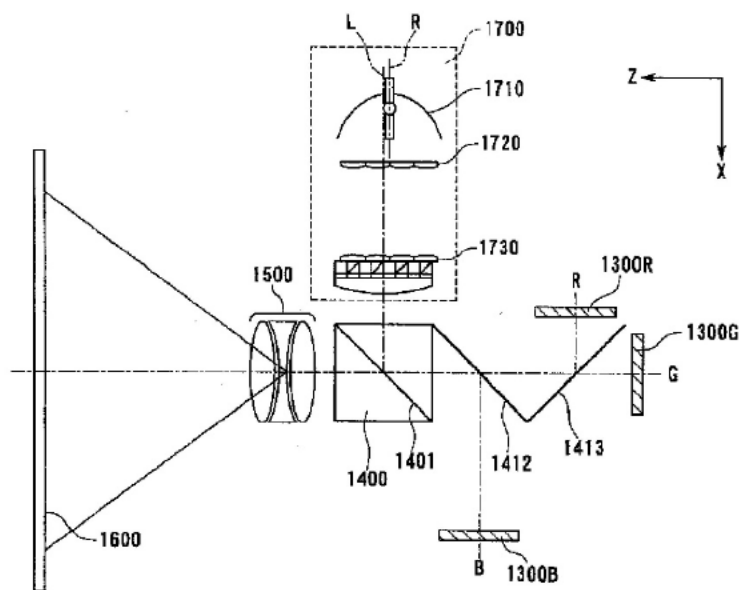
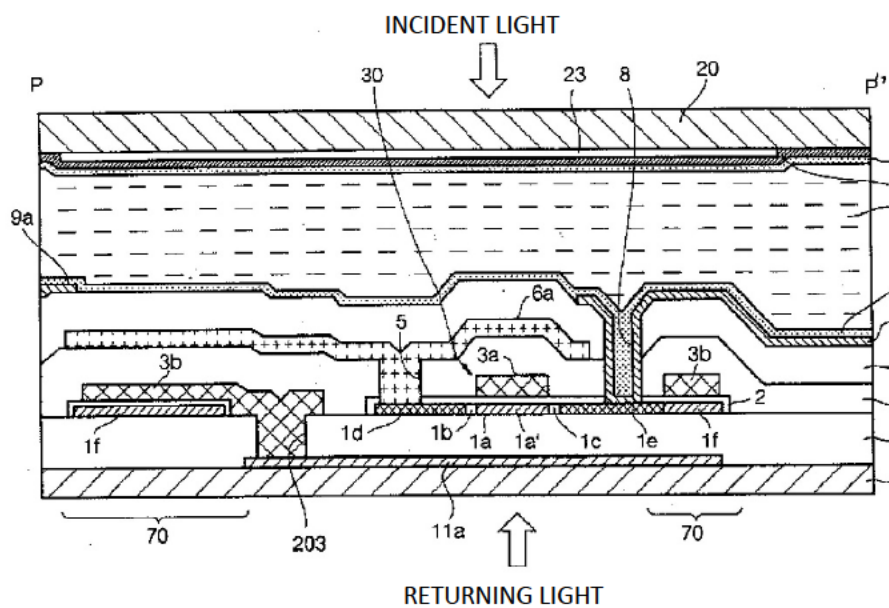


FIG. 17



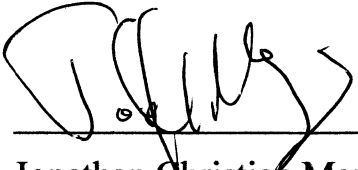
Continued from first page

F-term(s) (reference): 2H091 FA35Y FB08 FC10 FC26
 FD04 FD22 GA13 LA03 LA11
 LA12
 2H092 JA26 JA29 JA38 JA42 JA46
 JB13 JB23 JB32 JB33 JB38
 JB54 JB57 JB63 JB69 KA04
 KA07 KA16 KA18 KB14 MA05
 MA07 MA14 MA15 MA16 MA18
 MA19 MA20 MA35 MA37 MA41
 NA22 PA09
 5C094 AA02 AA16 AA25 BA03 BA43
 CA19 EA04 EA07 ED15

I, Jonathan Christian Merz, declare as follows:

1. I am over 21 years of age and am competent to make this declaration.
2. I am a native speaker of English.
3. I am fluent in Japanese.
4. I have 15 years of experience translating Japanese to English.
5. I translated the attached patent document "JP2002090721A" from Japanese to English.
6. I certify that the translation of the document "JP2002090721A" is, to the best of my knowledge, a true and accurate translation from Japanese to English.
7. In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.
8. I declare under penalty of perjury that all statements made herein are true and accurate to the best of my knowledge and belief, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed: May 29, 2024

By: 
Jonathan Christian Merz

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-90721
(P2002-90721A)

(43)公開日 平成14年3月27日(2002.3.27)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335	5 0 0 2 H 0 9 1
	1/1368	G 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 9 F 9/30	3 3 8		3 4 9 C 5 C 0 9 4
	3 4 9	G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21)出願番号 特願2000-285936(P2000-285936)

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(22)出願日 平成12年9月20日(2000.9.20)

(72)発明者 倉科 久樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅 著 (外1名)

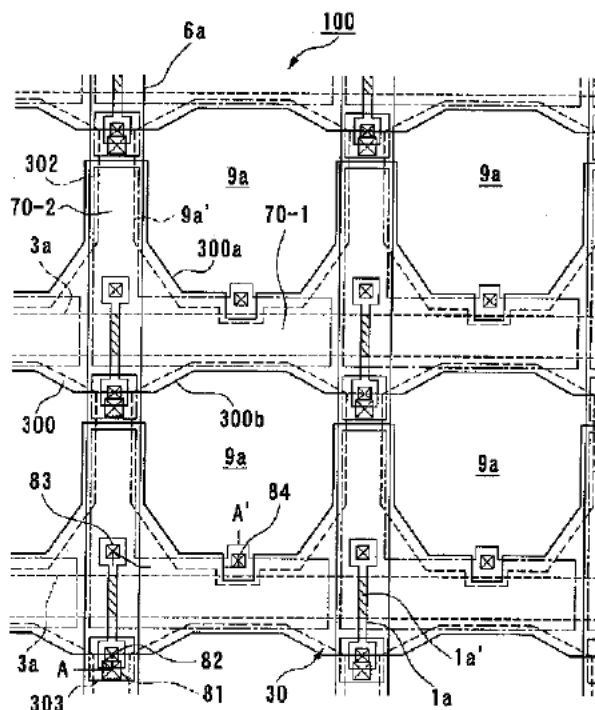
最終頁に続く

(54)【発明の名称】 電気光学装置用素子基板及びそれを用いた電気光学装置

(57)【要約】

【課題】 画素の隅部から進入する光によってトランジスタ素子に励起される光リーク電流の発生を防止して、スイッチング素子の性能の変化を防ぐ。

【解決手段】 トランジスタ素子と液晶層との間にある遮光性の金属膜によって画素の隅部を覆うことによって、画素の隅部からトランジスタ素子部に進入する光を遮蔽する。トランジスタ素子と液晶層との間にある遮光性の金属膜としては、データ線、容量線のいずれかあるいは双方を画素の隅部で幅広に構成することにより利用することができる。また、トランジスタ素子と液晶層との間に新たな遮光膜を設け、画素の隅部を覆うように構成しても良い。



【特許請求の範囲】

【請求項1】 基板上にマトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する電気光学装置用素子基板であって、前記トランジスタと画素電極との間に積層された遮光膜の平面投影した幅を該トランジスタ近傍で幅広にして、画素電極の隅部を遮蔽するように構成したことを特徴とする電気光学装置用素子基板。

【請求項2】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、容量線であることを特徴とする請求項1に記載の電気光学装置用素子基板。

【請求項3】 前記容量線が、該素子基板の平面構造において、走査線と重畳して配置されていることを特徴とする請求項2に記載の電気光学装置用素子基板。

【請求項4】 前記容量線が、該素子基板の平面構造において、走査線と平行に配置されていることを特徴とする請求項2に記載の電気光学装置用素子基板。

【請求項5】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、信号配線であることを特徴とする請求項1に記載の電気光学装置用素子基板。

【請求項6】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、容量線と信号配線の双方であることを特徴とする請求項1に記載の電気光学装置用素子基板。

【請求項7】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、該素子基板の断面構造において、画素電極と信号配線の間に設けられていることを特徴とする請求項1に記載の電気光学装置用素子基板。

【請求項8】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、各画素の四隅を斜めに遮るように構成されてなることを特徴とする請求項1から請求項7のいずれかに記載の電気光学装置用素子基板。

【請求項9】 請求項1から請求項8のいずれかに記載の電気光学装置用素子基板を具備することを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置用素子基板及びそれを用いた電気光学装置に関し、特に、画素電極の隅部の遮光性を高めたものである。

【0002】

【従来の技術】絶縁基板上にマトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する電気光学装置は、構造は複雑であるがスイッチ特性が高く、高画質が安定して実現できるので、液晶表示装置として広く使われている。液晶表示装置に使われるトランジスタとしては、絶縁基板上にシリコン薄膜を形成し、そのシリコン薄膜上にトランジスタを形成したTFT (Thin Film Transistor

)が使用されている。TFTを用いたアクティブマトリクス方式の電気光学装置では、基板表面からの光がTFTのチャネル領域やドレイン領域に入射し、光リーク電流の発生によりトランジスタ素子としての画素スイッチング用TFTの特性を変化させる問題がある。TFTへの光の入射を防ぐため、マトリクス状に配列された各画素部の開口領域の周りにTFTを設け、この開口領域の周りに一体的に格子状の遮光膜を形成する手段が知られている。

【0003】例えば液晶装置を使用したプロジェクター等の投射型表示装置では、通常光透過性基板の表面から光が照射されるため、これが基板上に形成されたトランジスタのチャネル領域に入射して、光リーク電流を生じる。この光リーク電流を防ぐため、対向基板のトランジスタ直上に遮光層を設ける構造とするのが一般的である。

【0004】また、アクティブマトリクス方式の電気光学装置では、表示画面におけるフリッカや焼き付きを防止するため、画素電極が構成する容量に見合った蓄積容量を設ける必要がある。このため開口領域の周りには、走査線、データ線、容量線、TFTあるいは蓄積容量を合理的に配置し、その上でTFTへの光の入射を防ぐための遮光膜を形成する必要がある。このようなTFTアレイ基板の一例を図16及び図17に挙げて説明する。

【0005】図16は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の一部をを拡大して示す平面図、また、図17は、図16の線P-P'に沿った断面図である。なお、図16、17においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎の縮尺は異なっている。

【0006】図16はTFTアレイ基板の画素部(画像表示領域)内の平面構造を示す。液晶表示装置のTFTアレイ基板上の画素部内には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に沿って各々データ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介して単結晶シリコン層の半導体層1aのうち後述のソース領域に電氣的に接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電氣的に接続されている。また、半導体層1aのうちチャネル領域(図中左上りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。

【0007】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部(即ち、平面的に見て、走査線3aに沿って形成された第1領域)と、データ線6aと交差する箇所からデータ線6aに沿って前段側(図中、上向き)に突出した突出部(即ち、平面的に見て、データ線

6aに沿って延設された第2領域)とを有する。

【0008】そして、図中右上がりの斜線で示した領域には、複数の第1遮光膜11aが設けられている。より具体的には、第1遮光膜11aは夫々、画素部において半導体層1aのチャネル領域を含むTFTをTFTアレ基板の側から見て覆う位置に設けられており、更に、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側(即ち、図中下向き)に突出した突出部とを有する。第1遮光膜11aの各段(画素行)における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、第1遮光膜11aと容量線3bとを相互に電氣的に接続するコンタクトホール13が設けられている。即ち、本実施形態では、第1遮光膜11aは、コンタクトホール13により前段あるいは後段の容量線3bに電氣的に接続されている。1fは第1蓄積容量電極である。

【0009】図16に示すように、このTFTアレ基板の構造では各画素電極9aの開口領域の周りの走査線3aが配置された部分に平行して容量線を配置し、走査線の配置された部分に蓄積容量70を配置してある。また、データ線6aが配置された部分にも重畳して容量線3bを配置して蓄積容量70を形成してある。そして平面上でTFTに重なるように第1遮光膜11aが設けられている。

【0010】図17は液晶装置の断面構造を示す。液晶装置は、光透過性基板の一例を構成するTFTアレ基板10と、これに対向配置される透明な対向基板20とを備えている。

【0011】TFTアレ基板10には、画素スイッチング用のTFT30が設けられている。TFT30を構成する半導体層1aの高濃度ソース領域1dにデータ線6aが接続され、高濃度ドレイン領域1eに画素電極9aが接続されている。画素電極9aの上側には配向膜16が設けられている。

【0012】TFTへの光の入射を防ぐため、TFTアレ基板10上の各画素スイッチング用のTFT30に対応する位置には、第1遮光膜11aが設けられている。これにより画素電極方向から入射した光が、TFTアレ基板10の底面で反射して戻ってきた光がTFT30のチャネル領域1a'やLDD領域1b、1cに入射するのを未然に防ぐように構成されている。

【0013】一方、対向基板20には、その全面に渡って対向電極(共通電極)21が設けられており、その下側には配向膜22が設けられている。

【0014】更に、対向基板20には各画素部の開口領域以外の領域に第2遮光膜23が設けられている。このようにして、対向基板20の画素電極側からの入射光が、画素スイッチング用のTFT30の半導体層1aの

チャネル領域1a'やLDD(Lightly Doped Drain)領域1b及び1cに進入するのを防いでいる。

【0015】

【発明が解決しようとする課題】しかしながら、上述の図16や図17に示す構造では、各画素電極9aは正方形に構成されており、各画素電極9aの開口部は開口部周囲を縦横に走る走査線3a、データ線3b及び容量線3bが直角に交わって構成されている。TFT30は各画素電極9aに対応して走査線3aとデータ線3bの交差部分に形成されている。このためTFTアレ基板に対して垂直な方向から入射する光は第2遮光膜23によって遮蔽できるが、TFTアレ基板に対して画素電極9aの方向から斜め方向に入射する光は遮光することができない。第2遮光膜23はTFT30のかなり上方に配置されているので、画素の斜め方向からの進入光を効果的に遮蔽することはできない。このような液晶装置では、各画素電極9aの開口部からスイッチング用TFTのチャネル領域やドレイン領域に光が入射し、TFTにリーク電流が発生して、画素スイッチング用素子としてのTFTの特性が変化して、鮮明な画像表示が得られない。

【0016】特に、液晶プロジェクターに用いられる液晶表示装置においては、チャネル部に進入する光によるトランジスタの光リークが問題とされてきた。なかでもトランジスタに近い画素のコーナー部分からの光の進入が問題となってきた。

【0017】トランジスタの上部に遮光層を設ける一般的な構造としても、支持基板が光透過性である場合は、表面から入射した光が基板裏面側の界面で反射してチャネル部に戻り光として入射することがある。この戻り光は、表面から照射される光量に対する割合としては僅かであるが、プロジェクタなどの非常に強力な光源を用いる装置においては十分に光リーク電流を生じうる。すなわち、この基板裏面からの戻り光は素子のスイッチング特性に影響を及ぼしデバイスの特性を変化させる。従って基板表面の、特に画素コーナー部から入射する光を極力少なくしなければならない。

【0018】本発明は、かかる課題を解決するためになされたもので、TFTアレ基板に対して斜め方向から入射する光も遮光することができるTFTアレ基板を提供することを目的としている。さらに、TFTアレ基板を使用したスイッチング特性に優れ、鮮明な画像表示が得られる電気光学装置を提供することを目的とする。

【0019】

【課題を解決するための手段】かかる課題を解決するため、本発明の電気光学装置用素子基板は、基板上にマトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する

電気光学装置用素子基板であって、前記トランジスタと画素電極との間に積層された遮光膜の平面投影した幅を該トランジスタ近傍で幅広にして、画素電極の隅部を遮蔽するように構成した。

【0020】このような本発明の構成にすれば、画素電極の開口部はやや狭くなるものの、TFTアレイ基板の画素電極開口部から斜め方向にTFTに向かって入射する光を遮光することができ、光リーク電流の発生によりトランジスタ素子としての画素スイッチング用TFTの特性を劣化させることがない、電気光学装置用素子基板を実現することができる。

【0021】本発明の電気光学装置素子基板においては、前記画素電極の隅部を遮蔽するように構成した遮光膜として、容量線を利用することができる。また、前記画素電極の隅部を遮蔽するように構成した遮光膜として、データ線も利用することができる。

【0022】これらの各配線は、画素電極の周囲に格子状に配置されているので、これらの遮光膜を利用して、その格子の交差部分の近傍で線幅を広く構成することにより、画素電極の開口部から各画素の隅部に設けられたTFT部へ入射する光を有効に遮光することが可能となる。幅広に構成する線の製造方法は、容量線やデータ線を形成する際のパターンニング形状を変えるのみで、特別な工程を設けなくても形成できる利点がある。

【0023】また、本発明の電気光学装置素子基板においては、前記容量線が、該素子基板の平面構造において、走査線と重畳して配置されていてもよく、又は前記容量線が、該素子基板の平面構造において、走査線と平行に配置されていても良い。

【0024】前者の容量線が走査線と重畳して配置されている場合は、容量線の幅を各画素間の間隔一杯に取ることができ、蓄積容量を大きくとることが可能となる。また、後者の容量線が走査線と平行に配置されている場合は、各画素間の間隔によって容量線の幅は制限されるものの、同一工程で容量線と走査線を形成できる点で有利である。

【0025】また、本発明の電気光学装置素子基板においては、前記画素電極の隅部を遮蔽するように構成した遮光膜が、該素子基板の断面構造において、画素電極とデータ線の間の位置に設けられているものであっても良い。

【0026】製造工程は1工程増加するが、容量線やデータ線にとらわれずに必要な位置に必要な形状の遮光膜を設けることにより、より効果的な遮光が可能となる。さらに、本発明の電気光学装置素子基板においては、前記画素電極の隅部を遮蔽するように構成した遮光膜が、各画素電極の四隅を斜めに遮るように構成された遮光膜とすることが好ましい。通常TFTは、各画素電極の隅部に形成するので、画素電極の四隅を遮光しておけば、あらゆる方向からの斜め入射光を遮蔽することができ

る。勿論四隅ではなく遮蔽の必要な方向にのみ遮光膜を設けても良い。また、各画素電極を遮蔽する遮光膜の形状は特に制限はないが、各画素電極の四隅を斜めに遮るように遮光すれば、画素電極の開口部を狭めることなく、どの方向からの斜め入射光に対しても遮蔽の効果を有するものとなる。さらに、本発明の電気光学装置は請求項1から請求項8のいずれかに記載の画素電極の隅部を遮光膜を用いて遮蔽する構造の素子基板を具備した電気光学装置である。

【0027】本発明の電気光学装置は、画素電極隅部からTFT部に向かって斜めに入射する光を遮蔽しているので、TFTにリーク電流が発生するのを防止でき、画素スイッチング用素子としてのTFTの特性が変化することはない。従ってより鮮明な表示画像を得ることが可能になる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態の各図においても、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎の縮尺は同一ではなく、異ならせてある。

【0029】(第1の実施形態) 図1と図2は本発明の第1の実施形態の電気光学装置用素子基板の構造を示す図であり、図1はデータ線、走査線、画素電極、遮光膜等が形成された、本発明の第1の実施形態の電気光学装置用素子基板の、相隣接する複数の画素群を拡大して示した平面図を、図2は図1の線A-A'に沿った断面図を示す。図1に示すように、本実施形態では紙面で左右に走る容量線300をTFT30の近傍で幅広に形成して、画素電極9aの隅部からの光の入射に対する遮光層の役割を担わせている。

【0030】先ず、図1に基づいて、本発明の電気光学装置用素子基板の画素部(画像表示領域)内の平面構造について詳細に説明する。

【0031】図1に示すように、本発明の第1実施形態の電気光学装置用素子基板100は、TFTアレイ基板上の画素部内に、マトリクス状に複数の透明な画素電極9a(破線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に沿って各々データ線6a、走査線3aが設けられている。データ線6aに沿った各画素電極9aの隅部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0032】データ線6aは、コンタクトホール81を介して後述のソース電極303に電氣的に接続されており、画素電極9aは、走査線3aに沿った辺に設けられたコンタクトホール84を介して後述のドレイン電極302に電氣的に接続されている。また、半導体層1aのうちチャンネル領域1a'(図1中左上りの斜線の領域)に対向するように走査線3aが配置されており、走査線

3aはゲート電極としても機能する。TFT30の一端側にはコンタクトホール81及び82が設けられている。コンタクトホール81はデータ線6aと中継電極としてのソース電極303（図中鎖線で示してある）とを電氣的に接続しており、コンタクトホール82はソース電極303と半導体層1aの高濃度ソース領域1dとを電氣的に接続している。TFT30の他端側にはコンタクトホール83が設けられており、コンタクトホール83は中継電極としてのドレイン電極302と半導体層1aの高濃度ドレイン領域1eとを電氣的に接続している。

【0033】容量線300は走査線3aに重畳して画素電極9aの境界に沿って紙面左右方向に設けられている。容量線300は、走査線3aに沿ってほぼ直線状に伸びる本線部（即ち、平面的に見て、走査線3aに重なって形成された第1領域）と、データ線6aと交差する箇所からデータ線6aに沿って紙面で上下方向に張出した張出部（即ち、平面的に見て、データ線6aの走る方向に張出した第2領域）とを有する。そして、容量線300は、TFT30近傍の上記張出部分において、画素電極9aの隅部を覆うように斜めに幅広に形成されている。図1の容量線300の幅広部分300a及び300bにおいては、画素電極9aの紙面下側の隅部に設けられた幅広部分300aの方が、画素電極9aの紙面上側の隅部に設けられた幅広部分300bよりもやや大きく形成されている。このような構造とすることにより、容量線300の幅広部分300a及び300bは、夫々各画素部においてTFTアレ基板10の液晶層50側（紙面垂直方向）から見て、半導体層1aのチャネル領域1a'を含むTFT30を覆う位置に設けてある。

【0034】さらに容量線300は、走査線3aに重畳してほぼ直線状に伸びる本線部において、絶縁膜を介して重畳して対向配置されたL字状のドレイン電極302（図中鎖線で示されている）とともに、蓄積容量70-1を形成している。

【0035】ドレイン電極302は、データ線6aと交差する箇所からデータ線6aに沿って紙面で上方向に突出した突出部（即ち、平面的に見て、データ線6aに重なって延設された領域）を形成している。さらにドレイン電極302は、データ線6aの紙面で上方向に張出した突出部分において絶縁膜を介して容量線300と重畳して配置され、蓄積容量70-2を形成している。

【0036】これらの結果、データ線6a近傍の領域及び走査線3a近傍の領域といった、液晶のディスクリネーションが発生する領域（即ち、容量線300が形成された領域）である、開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やしている。このように本実施の形態では蓄積容量70-1と蓄積容量70-2によって容量を確保し表示画面の安定化をはかっている。

【0037】次に、図2に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。まず、断面構造の概要について説明すると、電気光学装置用素子基板100は光透過性の、例えばガラス基板や石英基板からなるTFTアレ基板10を備えており、TFTアレ基板10には、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機樹脂膜からなる。

【0038】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極（図示省略）とが対面するように配置して、TFTアレ基板10と対向基板との間には、シール材（図示を省略）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び対向電極の配向膜により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0039】TFTアレ基板10には、図2に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0040】さらに詳細に説明すると、TFTアレ基板10と半導体層1aとの間には、絶縁膜（絶縁体層）12が設けられている。絶縁膜12は、TFTアレ基板10の全面に形成されており、TFTアレ基板10からの不純物の影響を排除して半導体素子としてのTFT30を形成するためのものである。

【0041】絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。

【0042】画素スイッチング用のTFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。ソース領域1

b及び1d並びにドレイン領域1c及び1eは、半導体層1aに対し、n型又はp型のいずれかのチャネルを形成するのに応じて、所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用のTFT30として用いられることが多い。

【0043】画素スイッチング用のTFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持っても良いし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0044】走査線3a、ゲート絶縁膜2及び絶縁膜12の上には、層間絶縁膜311が形成されている。層間絶縁膜311の上には、ドレイン電極302及びソース電極303が形成されている。層間絶縁膜311には高濃度ソース領域1dへ通じるコンタクトホール82及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々形成されている。このコンタクトホール82を介して、ソース電極303が高濃度ソース領域1dに電気的に接続されている。また、コンタクトホール83を介して、ドレイン電極302が半導体層1aの高濃度ドレイン領域1eに電気的に接続されている。

【0045】ドレイン電極302及びソース電極303の上には絶縁膜301が形成されており、該絶縁膜を挟んでドレイン電極302と対向する位置には容量線300が配置されている。容量線300は遮光膜を兼ねており、TFT30の上方に配置されているので、紙面上方から進入する光を効果的に遮ってTFT30に当たらないようにすることができる。

【0046】本実施形態では、容量線300とドレイン電極302とは絶縁膜301を介して重畳するよう積層して配置され、蓄積容量70-1を形成している。

【0047】容量線300は、好ましくはTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等の遮光性の高融点金属や、Al等の遮光性の金属膜等から構成する。

【0048】高融点金属材料から構成すれば、TFTアレイ基板10上の容量線300の形成工程の後に行われるデータ線6aの形成等の素子基板の形成工程における高温処理により、容量線300が破壊されたり溶融しないようにできる。本実施形態においては、TFTアレイ基板10には遮光膜を兼ねた容量線300がTFT30の上部に形成されているので、TFTアレイ基板10の液晶層50側からの光が画素スイッチング用のTFT30のチャネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができる。図1に示すように、容量線300は画素電極9aの隅部を覆うようにT

FT近傍において幅広部分300a、300bを構成しているので、画素電極9aの隅部からTFT30に向かって斜め方向に進入する光を遮蔽することができる。従って、光リーク電流の発生によりトランジスタ素子としてのTFT30の特性が変化することはない。

【0049】容量線300及び絶縁膜301の上には層間絶縁膜312が配置されており、層間絶縁膜312には先のコンタクトホール81と84が形成されている。層間絶縁膜312の上にはデータ線6aが形成されている。データ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。データ線6aの上には絶縁膜7が形成されており、絶縁膜7の上には画素電極9a又は配向膜16が形成されている。

【0050】コンタクトホール81を介してソース電極82とデータ線6aが電気的に接続される。また、コンタクトホール84を介してドレイン電極302と画素電極9aが電気的に接続される。

【0051】このように構成された電気光学装置用素子基板100と対向基板とを微小間隔を保って貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。

【0052】(第2の実施形態)図3と図4は本発明の第2の実施形態の電気光学装置用素子基板の構造を示す図であり、図3はデータ線、走査線、画素電極、遮光膜等が形成された、電気光学装置用素子基板の相隣接する複数の画素群を拡大して示した平面図を、図4は図3の線B-B'に沿った断面図を示す。本第2の実施形態が先の第1に実施形態と異なる点は、容量線300を幅広に形成するのに替えて、図3に示すように紙面で上下に走るデータ線6aをTFT30の近傍で幅広に形成して、画素電極9aの隅部からの光の入射に対する遮光層の役割を担わせている。

【0053】先ず、図3に基づいて、本発明の電気光学装置用素子基板の画素部(画像表示領域)内の平面構造について詳細に説明する。なお、図3と図4においては図1と図2と同一の機能を有する構成部材には同一の符号を付して示している。

【0054】図3に示すように、電気光学装置用素子基板100は、TFTアレイ基板上の画素部内に、マトリクス状に複数の透明な画素電極9a(破線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。データ線6aに沿った各画素電極9aの隅部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0055】データ線6aは、コンタクトホール81を介して後述のソース電極303に電気的に接続されている。半導体層1aのうちチャネル領域1a'(図1中左上りの斜線の領域)に対向するように走査線3aが配置

されており、走査線3aはゲート電極としても機能する。データ線6aは、直線状に伸びているが走査線3aと交差する部分で走査線3aの方向（即ち、平面的に見て紙面の左右方向）に張出した幅広部分6a'を有している。そして、データ線6aは、TFT30近傍の上記幅広部分6a'において、画素電極9aの隅部を覆うように斜めに幅広に形成されている。このような構造とすることにより、データ線6aの幅広部分6a'は、夫々各画素部においてTFTアレ基板10の液晶層50側（紙面垂直方向）から進入する光を遮るとともに各画素の隅部からTFT30方向に対して斜めに進入する光も遮って、半導体層1aのチャネル領域1a'を含むTFT30に入射する光を効果的に遮蔽することができるようにした。

【0056】画素電極9aの走査線3aに沿った辺にはコンタクトホール84が設けられており、画素電極9とドレイン電極302とが電氣的に接続されている。TFT30の一端側にはコンタクトホール81及び82が設けられている。コンタクトホール81は、データ線6aと中継電極としてのソース電極303（図中鎖線で示してある）とを電氣的に接続しており、コンタクトホール82はソース電極303と半導体層1aの高濃度ソース領域1dとを電氣的に接続している。TFT30の他端側にはコンタクトホール83が設けられており、コンタクトホール83は中継電極としてのドレイン電極302と半導体層1aの高濃度ドレイン領域1eとを電氣的に接続している。

【0057】容量線300は、走査線3aに重畳して画素電極9aの境界に沿って紙面左右方向に設けられている。さらに、容量線300は、データ線6aとも重畳してほぼ直線状に設けられている。

【0058】さらに容量線300は、走査線3aに重畳してほぼ直線状に伸びる部分において、絶縁膜を介して重畳して対向配置されたL字状のドレイン電極302（図中鎖線で示されている）とともに、蓄積容量70-1を形成している。また、データ線6aに重畳してほぼ直線状に伸びる部分において、絶縁膜を介して重畳して対向配置されたドレイン電極302（図中鎖線で示されている）とともに、蓄積容量70-2を形成している。

【0059】これらの結果、データ線6a近傍の領域及び走査線3a近傍の領域の、液晶のディスクリネーションが発生する領域（即ち、容量線300が形成された領域）である開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やしている。このように本実施の形態では蓄積容量70-1と蓄積容量70-2によって容量を確保し表示画面の安定化をはかっている。

【0060】次に、本第2実施形態における電気光学装置用素子基板100の画素部内の断面構造は、図4に示すとおりであり、図3においてコンタクトホール81、

82TFT30及びコンタクトホール84を通る線B-B'の沿って切断しているので、図2に示す第1実施の形態の場合とまったく同じ構造となる。従ってここでは説明は省略する。以上のように本実施の形態では、データ線6aをTFT近傍で平面上幅広に構成し、しかも画素の隅部を覆うように斜めに幅広に構成したので、画素領域の開口部、特に画素の隅部からTFTに向かって斜め方向に進入する光を効果的に遮蔽することができる。その結果、TFTに光リーク電流が発生することもなく、TFTのスイッチング特性が変化することもないので、安定した鮮明な表示画面が得られる。

【0061】（第3の実施形態）次に、図5から図9に本発明の第3の実施形態を示す。尚、図5から図9においても同一機能を有する構成部材については同一の符号を付した。

【0062】図5から図9は本発明の第3の実施形態の電気光学装置用素子基板の構造を示す図であり、図5は一つの画素電極9aの隅部にTFT30が設けられ、各画素電極9aの境界に沿ってデータ線、走査線が形成された、本発明の電気光学装置用素子基板の一部分を拡大して示した平面図である。図6は図5の線C-C'に沿った断面図を示し、図7は図5の線X-X'に沿った断面図を示し、図8は図5の線Y-Y'に沿った断面図を示し、図9は図5の線Z-Z'に沿った断面図を示す。本第3の実施形態が先の第1及び第2の実施形態とことなる点は、容量配線を2個に分割し、データ線沿いではデータ線と画素電位の容量電極の間に固定電位の容量電極を配置して、容量カップリングによりデータ線と画素電位の容量電極がお互いに影響して表示に悪影響するのを防いでいる。また、走査線沿いでは画素電位の容量電極と走査線の間に固定電位の容量電極を配置して、容量カップリングにより画素電位の容量電極と走査線がお互いに影響するのを防いでいる。

【0063】そして、それぞれの容量配線をTFT近傍で幅広に構成した点である。そして画素電極の隅部のTFT近傍で幅広に拡張された容量線の部分に画素電極用のコンタクトホールを設けた点である。

【0064】先ず、図5に基づいて、本発明の電気光学装置用素子基板100の画素部（画像表示領域）内の平面構造について詳細に説明する。

【0065】図5に示すように、本発明の第3実施形態の電気光学装置用素子基板100は、TFTアレ基板上の画素部内にマトリクス状に複数の透明な画素電極9a（破線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に沿って各々データ線6a、走査線3aが設けられている。データ線6aに沿った各画素電極9aの隅部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。TFT30の一端側にはコンタクトホールACNTが設けられており、他端側にはコン

タクトホールBCNTが設けられている。データ線6aは、コンタクトホールACNTを介して後述の半導体層1aの高濃度ソース領域1dに電気的に接続されており、後述の容量電極403a(図中細い実線で示す)がコンタクトホールBCNTを介して半導体層1aの高濃度ドレイン領域1eに電気的に接続されている。さらにデータ線6a方向にはコンタクトホールSCNTが設けられており、後述の容量電極404aと遮光膜11a(図中破線で示す)が電気的に接続され同電位に保たれている。遮光膜11aは、TFTアレイ基板上の各画素の境界に沿ってデータ線6a及び走査線3aに重畳して設けられている。データ線6aは、画素電極9aの一边に沿って紙面上下方向に直線状に伸びている。

【0066】一方の画素電位となる容量電極403aは、データ線6aに重畳して設けられており、走査線3aと交差する部分で走査線3aの一方の方向(即ち、平面的に見て紙面の右方向)の1個の画素電極の隅部に張出した幅広部分403a'を形成している。

【0067】また、一方の固定電位となる容量電極404aも、データ線6aに重畳して設けられており、走査線3aと交差する部分で走査線3aの一方の方向(即ち、平面的に見て紙面の左方向)の2個の画素電極の隅部に張出した幅広部分404a'を形成している。さらに、一方の固定電位となる容量電極404aは走査線3aと交差する部分で走査線3aの他の方向(即ち、平面的に見て紙面の右方向)の1個の画素電極に張出した幅広部分404a''を有している。この幅広部分404a''には、コンタクトホールCCNTが設けられており、コンタクトホールCCNTを介して固定電位となる容量電極404aと後述の403bとは電気的に接続しており同電位に保っている。また、もう一方の固定電位となる容量電極403bは走査線3aに重畳して設けられており、容量電極403bの一端は、先のコンタクトホールCCNTを介して容量線404aに接続されている。さらに、もう一方の画素電位となる容量電極404bも、走査線3aに重畳して容量電極403bに対向して設けられており、画素電位となる容量電極404bは一個の画素電極の隅部で画素電極方向に張り出して、張出し部404b'を形成している。この張出し部404b'は、先の画素電位となる容量電極403aの幅広部分403a'と重畳しており、ここはコンタクトホールDCNT及び後述のICNTが形成されている。コンタクトホールDCNTは、画素電位となる容量線404bと容量電極403aを電気的に接続し同電位に保っている。このように本実施の形態では、画素電位となる容量電極403a、固定電位となる容量電極404a並びに固定電位となる容量電極403b、画素電位となる容量電極404bを、いずれもTFT近傍で幅広にかつ画素電極の隅部を斜めに覆うように形成して、画素電極方向から進入光、特に画素電極の隅部かたTFT方向に

斜めに進入してくる光を遮蔽することができるようにしている。

【0068】また、ICNTは隅部でなく走査線に沿う辺の中央付近に配置することができるが、画素電極9aの隅部の画素電位の容量電極の張出部404b'にコンタクトホールDCNT及びICNTを配置したので、先の第1の実施態様や第2の実施態様に比較して、各画素電極の隣接する紙面上下方向の間隔を狭くすることができる。また、一箇所にコンタクトホールを形成したことにより、コンタクトホールの凹凸による液晶の乱れによるデスクリーションの発生する領域を小さくでき、開口部を大きくできる。

【0069】次に、図に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。図6は、図5の線C-C'に沿ったコンタクトホールACNT、BCNT及びSCNTを含む断面構造を示す図である。電気光学装置用素子基板100は、光透過性の例えばガラス基板や石英基板からなるTFTアレイ基板10を備えており、TFTアレイ基板10には、遮光膜11a、画素電極9a配向膜16及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aは例えば、ITO膜などの透明導電性膜からなる。

【0070】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極(図示省略)とが対面するように配置して、TFTアレイ基板10と対向基板との間には、シール材(図示を省略)により囲まれた空間に液晶が封入さる。液晶は、画素電極9aからの電界が印加されていない状態で配向膜16及び対向電極の配向膜により所定の配向状態を採る。液晶は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0071】TFTアレイ基板10には、図6に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0072】さらに詳細に説明すると、TFTアレイ基板10と半導体層1aとの間には、絶縁膜(絶縁体層)12が設けられている。絶縁膜12は、TFTアレイ基板10の全面に形成されており、TFTアレイ基板10からの不純物の影響を排除して半導体素子としてのTFT30を形成するためのものである。

【0073】絶縁膜12は先の実施態様と同様に、例えば、NSG(ノンドープトシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)な

どの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレ基板10と絶縁膜12の間には遮光性の金属からなる遮光膜11aが設けてある。遮光膜11aは、平面的にはデータ線6a、走査線3a及び容量電極403a、403b、404a、404bと重畳して、各画素電極の縦横の境界に沿って設けてある。遮光膜11aはコンタクトホールSCNTを介して容量電極404aに接続されており、固定電位の容量電極404aを固定電位に保って表示画面の安定性を確保している。このように遮光膜11aを配置することにより、画素領域の表面部から入射した光がTFTアレ基板10の底面で反射して戻ってきた光を遮蔽することができる。

【0074】画素スイッチング用のTFT30も先の実施態様と同様に、LDD (Lightly Doped Drain) 構造を有している。

【0075】本実施形態では、TFT30をTFT30の直上で上側から覆うように、しかもTFT30近傍で幅広にA1等の遮光性の金属薄膜からなる固定電位及び画素電位の容量電極が形成されているので、半導体層1aのチャネル領域1a'及びLDD領域1b、1cへの光の入射を効果的に防ぐことが出来る。

【0076】走査線3a、ゲート絶縁膜2及び絶縁膜12の上には、層間絶縁膜311が形成されており、層間絶縁膜311にはコンタクトホールACNT及びコンタクトホールBCNTが各々形成されている。コンタクトホールACNTはデータ線6aと半導体層1aの高濃度ソース領域1dを接続するものであり、コンタクトホールBCNTは容量電極403aと半導体層1aの高濃度ドレイン領域1eを接続するものである。

【0077】層間絶縁膜311の上には、画素電位の容量電極403aが形成されている。容量電極403aの上には絶縁膜401を介して固定電位の容量電極404aが形成されている。固定電位の容量電極404a及び絶縁膜401の上には、層間絶縁膜312が形成されており、層間絶縁膜312には先のコンタクトホールACNTが形成されている。層間絶縁膜312の上にはデータ線6aが形成されている。データ線6aは好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0078】データ線6a及び層間絶縁膜312の上には、絶縁膜7が形成されており、絶縁膜7の上には画素電極9a又は配向膜16が形成されている。このようにすれば、データ線6aと画素電位の容量電極403aとの間に固定電位の容量電極404aが存在するため、データ線6aと画素電位の容量電極403aが容量カップリングによりお互いに影響されることはない。次に、図7に図5の線X-X'に沿ったコンタクトホールCCNTを含む断面構造の主要部分を示す。図7においては、

コンタクトホールCCNTを介して先に説明したとおり、固定電位の容量電極404aと固定電位の容量電極403bが接続されている様子を示している。TFT30を横切る部分では、ゲート絶縁膜2に覆われた半導体層1aが示されており、さらにその上方にはデータ線6aが配置されている。次に、図8に図5の線Y-Y'に沿った断面構造を示す。線Y-Y'に沿った断面にはコンタクトホールは配置されておらず、走査線3aと、固定電位の容量電極403b及び画素電位の容量電極404bが絶縁膜を挟んで積層配置されている様子が示されている。このようにすれば、画素電位の容量電極404b走査線3aとの間に固定電位の容量電極403bが存在するため、走査線3aと画素電位の容量電極404bが容量カップリングによりお互いに影響されることはない。最後に、図9に図5の線Z-Z'に沿ったコンタクトホールBCNT、コンタクトホールDCNT及びコンタクトホールICNTを含む断面構造の主要部分を示す。図9では、コンタクトホールBCNTを介して半導体層の高濃度ドレイン領域1eと画素電位の容量電極403aが接続されており、画素電位の容量電極403aはコンタクトホールDCNTを介して画素電位の容量電極404bに接続されている様子が示されている。さらに、画素電位の容量電極404bはコンタクトホールICNTを介してTFTに対応する画素電極9aに接続されている。画素電位の容量電極403aと固定電位の容量電極403bの間、及び画素電位の容量電極404aと固定電位の容量電極404bの間には、それぞれ絶縁膜401が形成されており、蓄積容量70-3を形成している。このように構成された電気光学装置用素子基板と対向基板とを微小間隔を保って貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。以上のように本実施の形態では、容量電極403a、容量電極404a並びに容量電極403b、容量電極404bをいずれもTFT近傍で幅広に、かつ画素電極の隅部を斜めに覆うように形成してあるので、画素電極方向からの進入光、特に画素電極の隅部からTFT方向に斜めに進入してくる光を遮蔽することができる。そして画素電極の隅部のTFT近傍で幅広に拡張された容量線の部分に画素電極用のコンタクトホールを設けたので、画素電極の開口部を広く活用することができる。

【0079】(第4の実施形態) 図10と図11は、本発明の第4の実施形態の電気光学装置用素子基板の構造を示す図である。図10は一つの画素電極9aの隅部にTFT30が設けられ、画素電極9aの周囲にデータ線6a、走査線3aが形成された、本発明の電気光学装置用素子基板の一部分を拡大して示した平面図である。図11は図10の線D-D'に沿った断面図を示す。

【0080】本実施形態は、先に示した第2の実施形態と同様に画素電極の隅部の遮光はデータ線をTFT近傍で幅広に形成して遮光膜としたものである。本第4の実

施形態が先の第2の実施形態と異なる点は、容量配線が走査線に沿って並列して形成されている点である。

【0081】先ず、図10に基づいて、本発明の電気光学装置用素子基板100の画素部（画像表示領域）内の平面構造について詳細に説明する。

【0082】図10に示すように、本実施形態の電気光学装置用素子基板100は、TFTアレ基板10上の画素部内に、マトリクス状に複数の透明な画素電極9a（鎖線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に沿って各々データ線6a、走査線3aが設けられている。また、走査線3aと平行して容量線300が設けられている。データ線6aに沿った各画素電極9aの隅部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0083】データ線6aは、コンタクトホール82を介して後述の半導体層1aの高濃度ソース領域1dに電気的に接続されており、画素電極9aは、走査線3aに沿った辺に設けられたコンタクトホール84を介して後述のドレイン電極302に電気的に接続されている。また、半導体層1aのうちチャネル領域1a'（図1中左上りの斜線の領域）に対向するように走査線3aが配置されており、走査線3aはゲート電極としても機能する。

【0084】容量線300は、走査線3aに平行して画素電極9aの境界に沿って紙面左右方向、及びデータ線6aと交差する箇所からデータ線6aに沿って紙面で上方向に突出した突出部（即ち、平面的に見て、データ線6aに重なって延設された領域）が設けられている。容量線300は、絶縁膜を介して対向配置された走査線3aに平行にはほぼ直線状に伸びるドレイン電極302とデータ線沿いに伸びるドレイン電極302の紙面上方に突出した部分（図中細線で示されている）とともに、蓄積容量70を形成している。

【0085】ドレイン電極302は、データ線6aと交差する箇所からデータ線6aに沿って紙面で上方向に突出した突出部（即ち、平面的に見て、データ線6aに重なって延設された領域）を形成している。そしてゲート絶縁膜2を介して容量線300と対向配置され、蓄積容量70を形成している。

【0086】次に、図11に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。電気光学装置用素子基板100は、光透過性の例えばガラス基板や石英基板からなるTFTアレ基板10を備えており、TFTアレ基板10には、遮光膜420、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜（インジウム・ティン

・オキサイド膜）などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0087】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極（図示省略）とが対面するように配置し、左記の実施形態と同様に、TFTアレ基板10と対向基板との間には、シール材（図示を省略）により囲まれた空間に液晶が封入され、液晶層50が形成される。

【0088】TFTアレ基板10には、図11に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0089】さらに詳細に説明すると、TFTアレ基板10と半導体層1aとの間には、絶縁膜（絶縁体層）12が設けられている。絶縁膜12は、TFTアレ基板10の全面に形成されており、TFTアレ基板10からの不純物の影響を排除して半導体素子としてのTFT30を形成するためのものである。

【0090】絶縁膜12は先の実施形態と同様に、高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレ基板10と絶縁膜12の間には遮光性の金属からなる遮光膜420が設けてある。遮光膜420は、平面的にはデータ線6a、走査線3a及び容量線300と重畳して、各画素電極の縦横の境界に沿って設けてある。このように遮光膜420を配置することにより、画素領域の表面部から入射した光がTFTアレ基板10の底面で反射して戻ってきた光を遮蔽することができる。

【0091】画素スイッチング用のTFT30も先の実施形態と同様に、LDD（Lightly Doped Drain）構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、コンタクトホール84を介して複数の画素電極9aのうちの対応する一つが接続されている。

【0092】本実施形態では、TFT30をTFT30の直上で上側から覆うように、しかもTFT30近傍で幅広にA1等の遮光性の金属薄膜からなるデータ線6aが形成されているので、半導体層1aのチャネル領域1a'及びLDD領域1b、1cへの光の入射を効果的に防ぐことが出来る。

【0093】走査線3a、ゲート絶縁膜2、容量線300及び絶縁膜12の上には、層間絶縁膜4が形成されており、層間絶縁膜4にはコンタクトホール82及びコン

タクトホール84が各々形成されている。

【0094】層間絶縁膜4の上には、データ線6aが形成されている。データ線6aは好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0095】データ線6a及び層間絶縁膜4の上には、絶縁膜7が形成されており、絶縁膜7の上には画素電極9a又は配向膜16が形成されている。このように構成された電気光学装置用素子基板と対向基板とを微小間隔を保って貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。以上のように本実施の形態では、データ線6aをTFT近傍で平面上幅広に構成し、しかも画素の隅部を覆うように斜めに幅広に構成したので、画素領域の開口部、特に画素の隅部からTFTに向かって斜め方向に進入する光を効果的に遮蔽することができる。その結果、TFTに光リーク電流が発生することなく、TFTのスイッチング特性が変化することもないので、安定した鮮明な表示画面が得られる。

【0096】(第5の実施形態)図12と図13は本発明の第5の実施形態の電気光学装置用素子基板の構造を示す図であり、図12は一つの画素電極9aの隅部にTFT30が設けられ、画素電極9aの周囲にデータ線6a、走査線3aが形成された、本発明の第5の実施形態の電気光学装置用素子基板の一部分を拡大して示した平面図である。図13は図12の線E-E'に沿った断面図を示す。本第5の実施形態が先の第1から第4の実施形態と異なる点は、断面構造においてTFT30直上のデータ線6aより上部の液晶層50側に新たな遮光膜421を設け、該遮光膜421によって画素電極の隅部の遮蔽を行っている点である。

【0097】先ず、図12に基づいて、本発明の電気光学装置用素子基板100の画素部(画像表示領域)内の平面構造について詳細に説明する。

【0098】図12に示すように、電気光学装置用素子基板100は、TFTアレイ基板上の画素部内に、マトリクス状に複数の透明な画素電極9a(鎖線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。また、走査線3aと平行して容量線300が設けられている。データ線6aに沿った各画素電極9aの隅部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0099】データ線6aは、コンタクトホール82を介して半導体層1aの高濃度ソース領域1dに電氣的に接続されており、画素電極9aは、画素電極9aの走査線3aに沿った辺に設けられたコンタクトホール84を介してドレイン電極302に電氣的に接続されている。また、半導体層1aのうちチャネル領域1a'(図1中

左上りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極としても機能する。

【0100】容量線300は、走査線3aに平行して画素電極9aの境界に沿って紙面左右方向に伸び、さらにデータ線6aと交差する箇所からデータ線6aに沿って紙面で上方向に突出した突出部(即ち、平面的に見て、データ線6aに重なって延設された領域)が設けられている。容量線300は、絶縁膜を介して対向配置された走査線3aに平行にほぼ直線状に伸びるドレイン電極302とデータ線沿いに延びるドレイン電極302の紙面上方に突出した部分(図中細線で示されている)とともに、蓄積容量70を形成している。画素電極9aの中心部及び画素電極9aの走査線3aに沿った辺に設けられたコンタクトホール84を除いた部分、すなわち画素電極9aの隅部、走査線3a及びデータ線6aの部分には、遮光膜421が設けられている(図中波線で輪郭を示している)。遮光膜421は各画素の開口領域を狭めないように画素の隅部を斜めに覆うように形成する。また、コンタクトホール形成部は避けて形成する。遮光膜421は後述のようにTFT30直上のデータ線6aより上方の液晶層に近い位置に設ける。

【0101】この新たに設けた遮光膜421によって紙面垂直方向から入射する光、特に画素電極9aの隅部からTFTに向かって斜め方向に進入する光を効果的に遮蔽することができ、TFTでの光リーク電流の発生を防ぐことが可能となる。

【0102】次に、図13に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。先の実施形態と同様に、本実施形態の電気光学装置用素子基板100は光透過性の例えばガラス基板や石英基板からなるTFTアレイ基板10を備えており、TFTアレイ基板10には、遮光膜420、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。

【0103】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極(図示省略)とが対面するように配置し、TFTアレイ基板10と対向基板との間には、シール材(図示を省略)により囲まれた空間に液晶が封入され、液晶層50が形成される。

【0104】TFTアレイ基板10には、図13に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0105】TFTアレイ基板10と半導体層1aとの間には、絶縁膜(絶縁体層)12が設けられている。絶縁膜12は、高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレイ基板10と絶縁

膜12の間には、先の第3及び第4の実施形態と同様に、遮光性の金属からなる遮光膜420が設けてある。遮光膜420は、平面的にはデータ線6a、走査線3a及び容量線300と重畳して、各画素電極の縦横の境界に沿って設けてある。このように遮光膜420を配置することにより、画素領域の表面部から入射した光がTFTアレイ基板10の底面で反射して戻ってきた光を遮蔽することができる。

【0106】画素スイッチング用のTFT30も先の実施形態と同様に、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、コンタクトホール84を介して複数の画素電極9aのうちの対応する一つが接続されている。

【0107】本実施形態では、断面構造でTFT30直上のデータ線6aと液晶層50との間の位置にTFT30を上側から覆うように遮光性の金属薄膜からなる遮光膜421が形成されているので、半導体層1aのチャネル領域1a'及びLDD領域1b、1cへの光の入射を効果的に防ぐことができる。

【0108】走査線3a、ゲート絶縁膜2、容量線300及び絶縁膜12の上には、層間絶縁膜4が形成されており、層間絶縁膜4にはコンタクトホール82及びコンタクトホール84が各々形成されている。コンタクトホール82を介してデータ線6aが半導体層1aの高濃度ソース領域1dに電氣的に接続され、また、コンタクトホール84を介して画素電極9aが半導体層1aの高濃度ドレイン領域1eに電氣的に接続されている。

【0109】層間絶縁膜4の上には、データ線6aが形成されている。データ線6aは好ましくは不透明なAl又はAl合金あるいは高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0110】データ線6a及び層間絶縁膜4の上には、絶縁膜7に挟まれた遮光膜421が形成されており、遮光膜421上の絶縁膜7の上には画素電極9a又は配向膜16が形成されている。遮光膜421は、好ましくは不透明な金属であるAl、Ti、Cr、W、Ta、Mo及びPbのうち少なくとも一つの金属単体、合金もしくは金属シリサイドから構成するのが好ましい。

【0111】このように遮光膜421はTFT30上のTFT30と液晶層50との間の位置に配置する。TFT30より上の液晶層側に配置することにより、液晶層方向(紙面の上方向)から入射する光がTFT30に当た

らないようにすることができる。また、遮光膜421は平面的に各画素の隅部を覆うように構成されているので、各画素の隅部からTFT30方向に斜め方向に入射する光を効果的に遮蔽することが可能となる。このように構成された電気光学装置用素子基板と対向基板とを微小間隔を保って貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。

【0112】次に、本発明の電気光学装置用素子基板を使用した電気光学装置について説明する。

【0113】本発明の電気光学装置用素子基板を使用した電気光学装置の例を図14及び図15に示す。

【0114】図14(a)は携帯電話の例を示す斜視図である。1000は携帯電話本体を示し、そのうち1001は本発明の電気光学装置用素子基板を使用した液晶装置である。

【0115】図14(b)は腕時計型電子機器の例を示す斜視図である。1100は時計本体を示し、1101が本発明の電気光学装置用素子基板を使用した液晶装置である。

【0116】図14(c)はワープロ、パソコン等の携帯型情報処理装置の例を示す斜視図である。図中1200は情報処理装置を示し、12002はキーボード等の入力部、1204は情報処理装置本体、1206は本発明の電気光学装置用素子基板を使用した液晶装置である。

【0117】これらの電気光学装置に本発明の電気光学装置用素子基板を使用すれば、画素電極駆動用のスイッチング素子であるTFTに対して画素電極の隅部から進入する光を効果的に遮ることができるので、TFTのチャネル領域やドレイン領域に光が進入することはなく、TFTにリーク電流が発生することもないので、TFTの特性が変化することもなく、鮮明な画像表示が得られる。他の電気光学装置の例として、本発明の電気光学装置用素子基板を使用した液晶装置を光変調装置とした、投射型表示装置(プロジェクタ)の例を図15に示す。本例の投射型表示装置は、システム光軸Lに沿って配置した光源部1710、インテグレートレンズ1720、偏光光学素子1730から概略構成される偏光照明装置1700、偏光照明装置1700から出射されたS偏光光束を、S偏光光束反射面1401により反射させる偏光ビームスプリッタ1400、偏光ビームスプリッタ1400のS偏光反射面1401から反射された光のうち、青色光(B)の成分を分離するダイクロイックミラー1412、分離された青色光(B)を変調する反射型液晶光変調装置300B、青色光が分離された後の光束のうち赤色光(R)の成分を反射させて分離するダイクロイックミラー1413、分離された赤色光(R)を変調する反射型液晶光変調装置1300R、ダイクロイックミラー1413を透過する残りの緑色光(G)を変調する反射型液晶光変調装置1300G、3つの反射型

液晶光変調装置1300B、1300R、1300Gにて変調された光をダイクロイックミラー1412、1413、偏光ビームスプリッタ1400にて合成し、この合成光をスクリーン1600に投射する投射レンズからなる投射光学系1500から構成されている。上記3つの反射型液晶光変調装置1300R、1300G、1300Bには、それぞれ本発明の電気光学装置用素子基板を使用した液晶装置が使用されている。本発明の電気光学装置用素子基板を使用することにより、TFTに近い画素の隅部からTFTのチャネル部に進入する光によるTFTの光リーク電流の発生を抑制することができ、スイッチング特性に優れ、鮮明な画像表示が得られる投射型表示装置とすることができる。

【0118】

【発明の効果】以上詳細に説明したとおり、本発明によればTFTと画素電極との間の位置に遮光性の金属膜を設け、しかも該金属膜を画素電極の隅部を覆うように設けてあるので、画素電極方向からの入射光、特に画素電極の隅部からTFT方向に向かって斜め方向に進入してくる光を効果的に遮蔽することができる。その結果、TFTに光リーク電流が発生することなく、スイッチング素子としてのTFTの特性が変化することなく、鮮明な表示画面を得ることができる。

【図面の簡単な説明】

【図1】本発明の電気光学装置用素子基板の第1実施形態の平面構造を示す図である。

【図2】図1に示した電気光学装置用素子基板の線A-A'に沿った断面図である。

【図3】本発明の電気光学装置用素子基板の第2実施形態の平面構造を示す図である。

【図4】図3に示した電気光学装置用素子基板の線B-B'に沿った断面図である。

【図5】本発明の電気光学装置用素子基板の第3実施形態の平面構造を示す図である。

【図6】図5に示した電気光学装置用素子基板の線C-C'に沿った断面図である。

【図7】図5に示した電気光学装置用素子基板の線X-X'に沿った断面図である。

【図8】図5に示した電気光学装置用素子基板の線Y-Y'に沿った断面図である。

【図9】図5に示した電気光学装置用素子基板の線Z-Z'に沿った断面図である。

【図10】本発明の電気光学装置用素子基板の第4実施形態の平面構造を示す図である。

【図11】図10に示した電気光学装置用素子基板の線D-D'に沿った断面図である。

【図12】本発明の電気光学装置用素子基板の第5実施形態の平面構造を示す図である。

【図13】図12に示した電気光学装置用素子基板の線E-E'に沿った断面図である。

【図14】本発明の電気光学装置用素子基板を使用した電気光学装置の一例を示す図である。

【図15】本発明の電気光学装置用素子基板を使用した電気光学装置の他の例を示す図である。

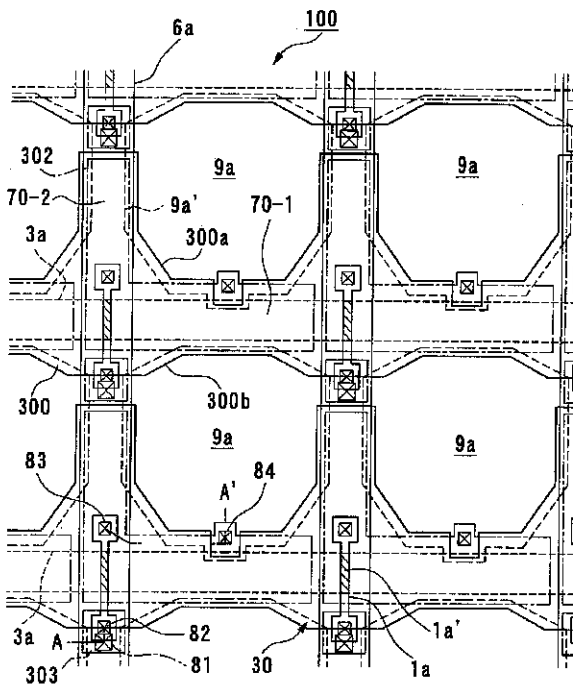
【図16】従来の、電気光学装置用素子基板の平面構造を示す図である。

【図17】図16に示す従来の電気光学装置用素子基板の、線P-P'に沿った断面図である。

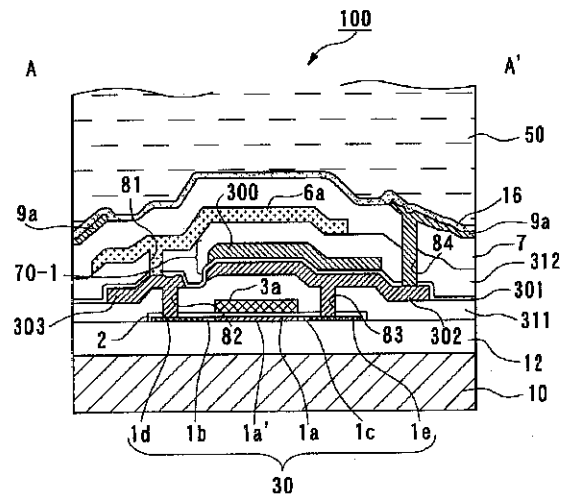
【符号の説明】

- 1a…半導体層
- 1a'…チャネル領域
- 1b…低濃度ソース領域
- 1c…低濃度ドレイン領域
- 1d…高濃度ソース領域
- 1e…高濃度ドレイン領域
- 3a…走査線
- 6a…データ線
- 9a…画素電極
- 10…TFTアレイ基板
- 11a…遮光膜
- 16…配向膜
- 30…TFT
- 50…液晶層
- 70…蓄積容量
- 81, 82, 83, 84, ACNT, BCNT, CCNT, DCNT, ICONT…コンタクトホール
- 100…電気光学装置用素子基板
- 300…容量線
- 420, 421…遮光膜

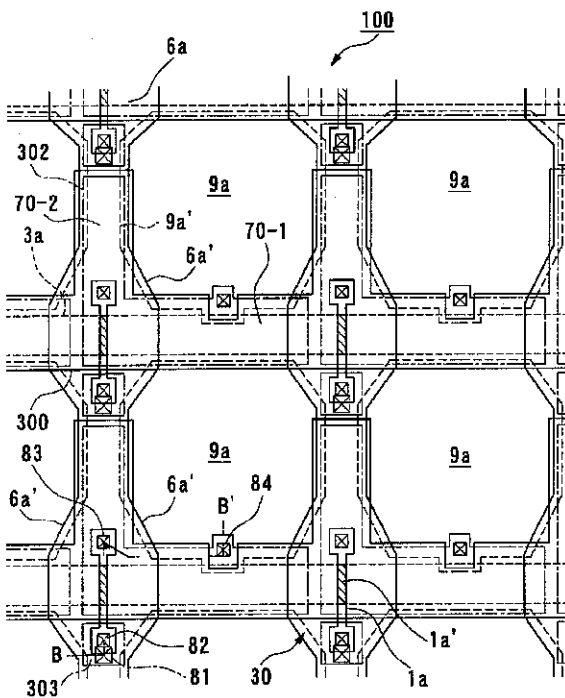
【図1】



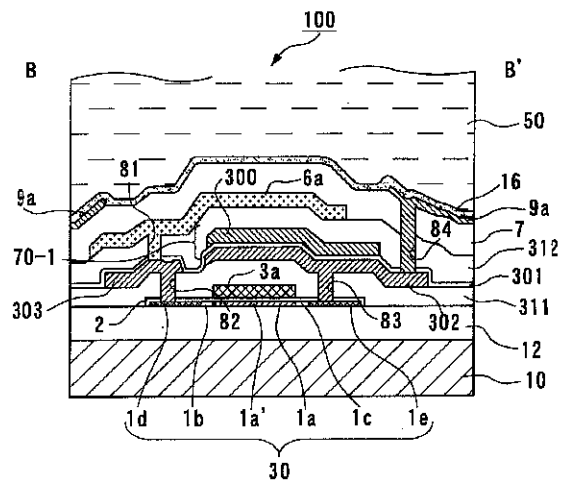
【図2】



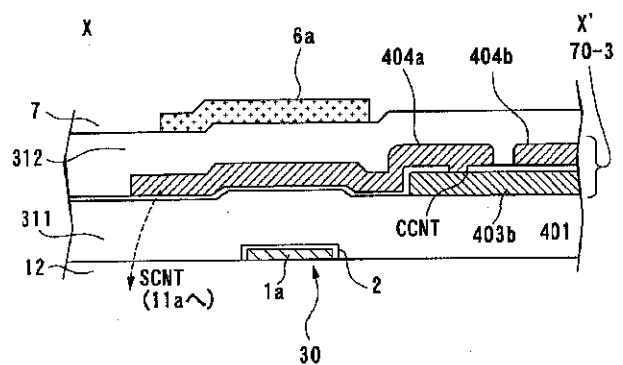
【図3】



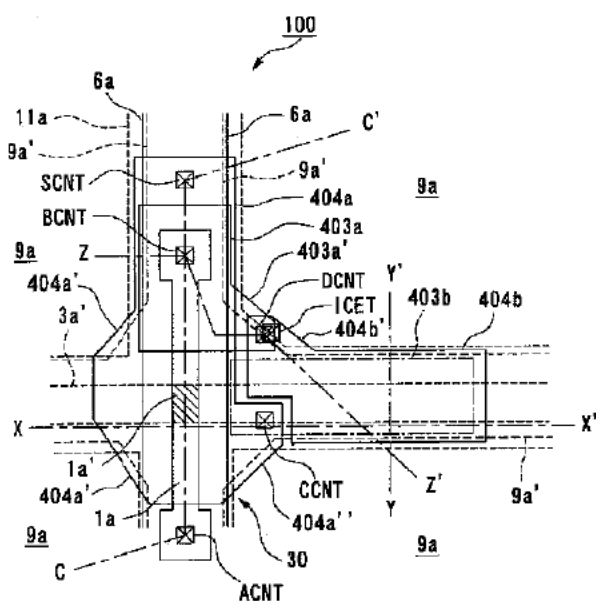
【図4】



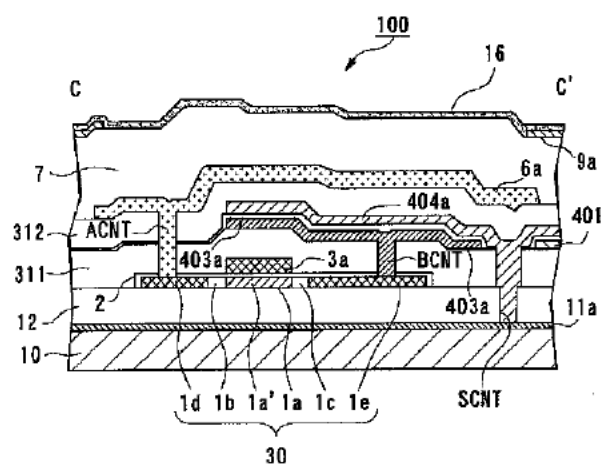
【図7】



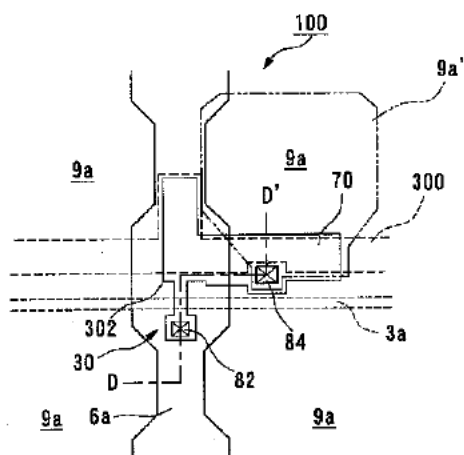
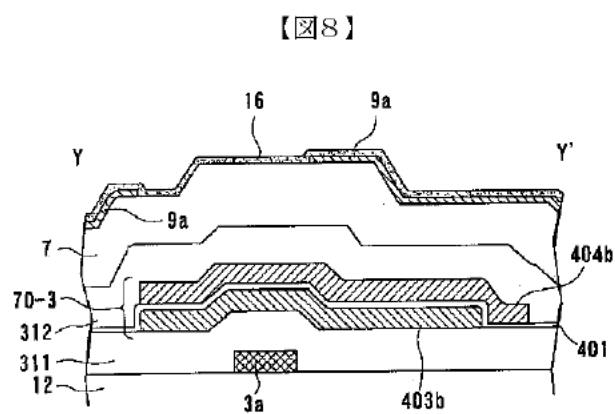
【图5】



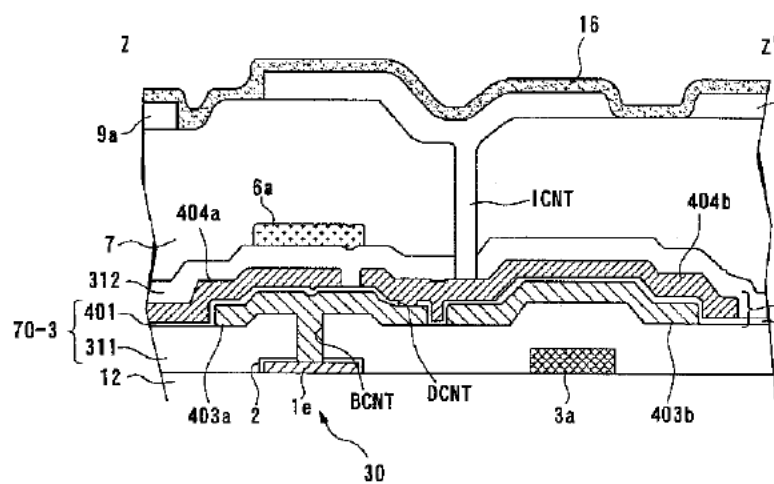
【例6】



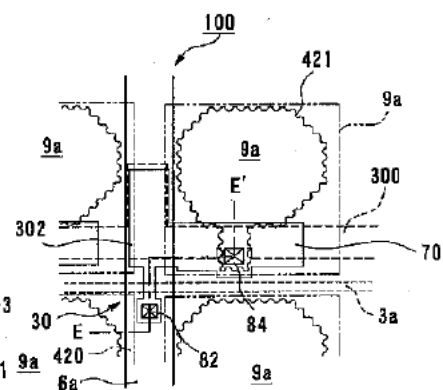
【例 10】



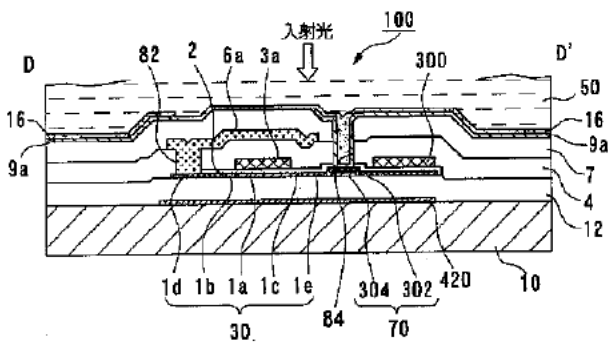
【例9】



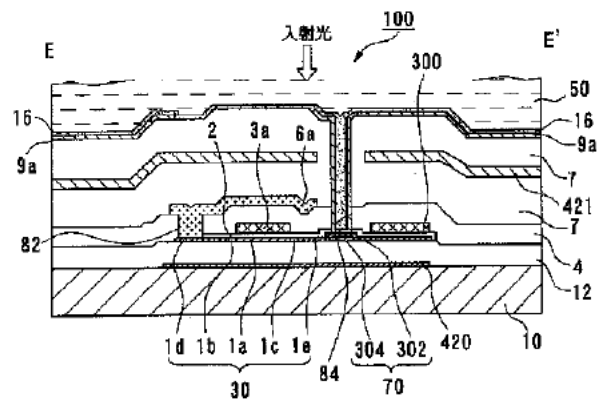
【例 12】



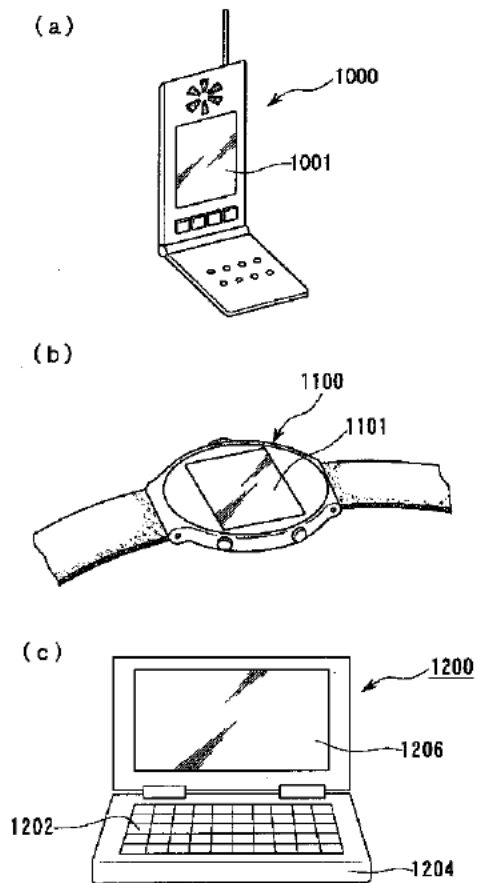
【図11】



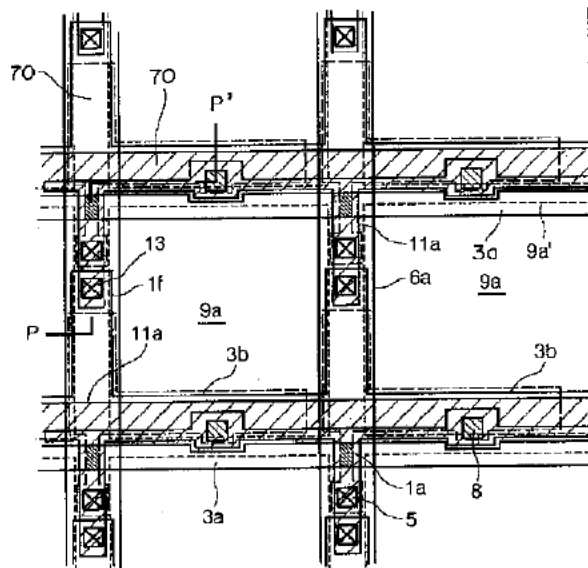
【図13】



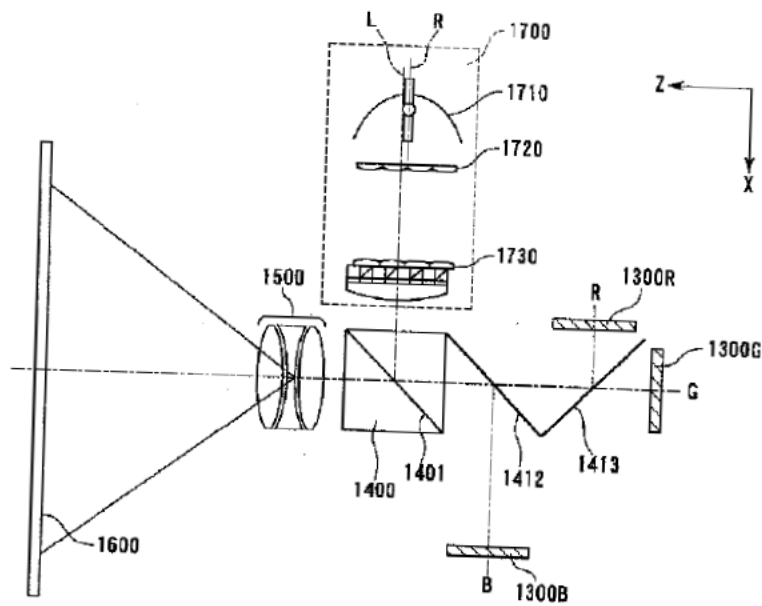
【図14】



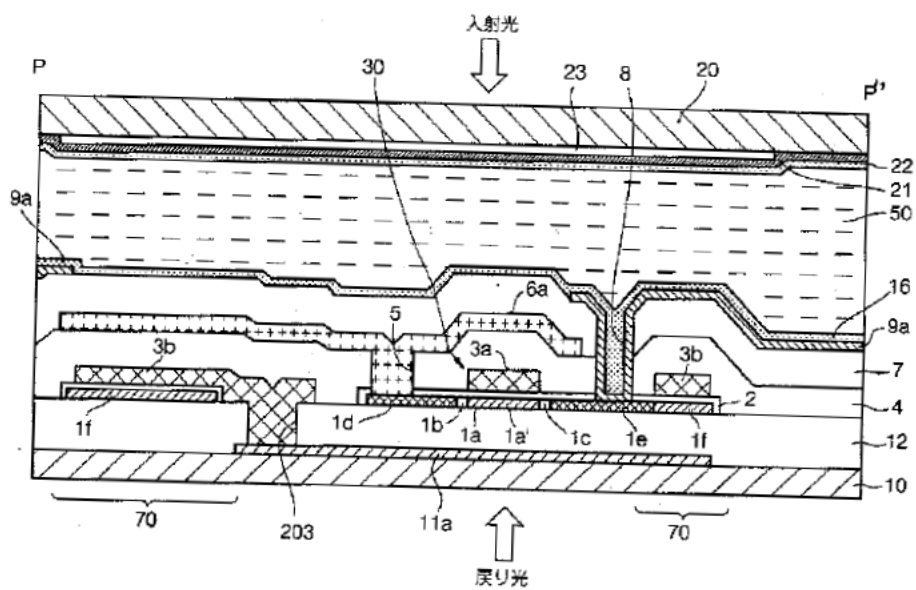
【図16】



【図15】



【図17】



フロントページの続き

Fターム(参考) 2H091 FA35Y FB08 FC10 FC26
FD04 FD22 GA13 LA03 LA11
LA12
2H092 JA26 JA29 JA38 JA42 JA46
JB13 JB23 JB32 JB33 JB38
JB54 JB57 JB63 JB69 KA04
KA07 KA16 KA18 KB14 MA05
MA07 MA14 MA15 MA16 MA18
MA19 MA20 MA35 MA37 MA41
NA22 PA09
5C094 AA02 AA16 AA25 BA03 BA43
CA19 EA04 EA07 ED15