

(19) Japan Patent Office (JP)

(12) Published Unexamined Patent Application (A)

(11) Publication No. of Unexamined Application: **Kokai No. 2001-331125
(P2001-331125A)**

(43) Date of Publication of Unexamined Application: **November 30, 2001 (2001.11.30)**

(51) Int. Cl. ⁷	ID	FI	Technical Indicator / Theme Code (Reference)			
G09F	9/30	338	G09F	9/30	338	2H092
		330			330Z	5C094
G02F	1/1368		G02F	1/1368		5F033
H01L	21/768		H01L	21/90	C	5F110
	29/786			29/78	612 C	
Request for Examination:						Requested
Number of Claims:						22
Method of Filing:						OL (Online)
Total Number of Pages:						21

(21) Patent Application No.: 2001-5540
(P2001-5540)

(22) Filing Date: January 12, 2001
(2001.1.12)

(31) Priority application No.: 2000-77172
(P2000-77172)

(32) Priority date: March 17, 2000
(2000.3.17)

(33) Country of priority application: Japan (JP)

(71) Applicant: 000002369
SEIKO EPSON CORP.
2-4-1 Nishi-Shinjuku, Shinjuku, Tokyo

(72) Inventor: Masao MURADE
Seiko Epson Corp.
3-3-5 Yamato, Suwa City, Nagano
Prefecture

(74) Agent: 100095728
Patent Attorney Masayo KAMIYANAGI
(and 1 other)

Continued on last page

(54) Title of Invention ELECTRO-OPTICAL DEVICE

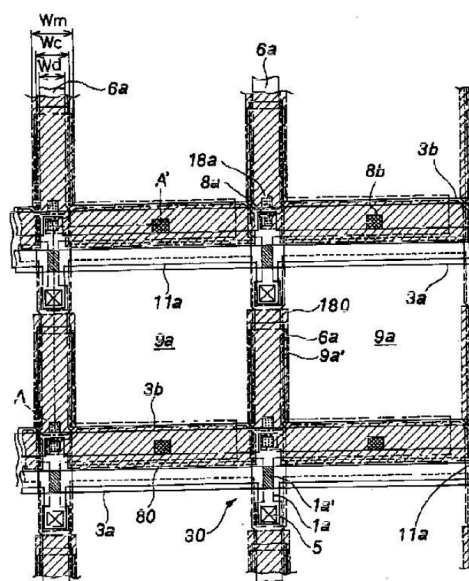
(57) Abstract

Problem

To increase the pixel aperture ratio and at the same time increase storage capacity, as well as reduce a decrease in display image quality caused by the formation of unevenness in the surface of an alignment layer in the vicinity of a pixel electrode, in an electro-optical device comprising an intermediate conductive layer for relaying between a pixel electrode and a pixel-switching TFT.

Solution

The present electro-optical device comprises a TFT (30), a data line (6a), a scan line (3a), a capacitor line (3b), a first intermediate conductive layer (80), a second intermediate conductive layer (180), and a pixel electrode (9a) on a substrate. A first contact hole (8a) connecting a drain of the TFT and the first intermediate conductive layer is formed at a location overlapping the data line as seen in plan view.



CLAIMS

1. An electro-optical device comprising:
 - a thin-film transistor provided on a substrate;
 - a pixel electrode electrically connected to a drain region of a semiconductor layer of the thin-film transistor;
 - a plurality of wires provided between the semiconductor layer of the thin-film transistor and the pixel electrode with an insulating film interposed therebetween;
 - an intermediate conductive layer making an electrical connection between the drain region of the semiconductor layer of the thin-film transistor and the pixel electrode; and
 - a first contact hole electrically connecting the drain region of the semiconductor layer of the thin-film transistor and the intermediate conductive layer beneath a region of at least one wire of the plurality of wires.
2. The electro-optical device according to claim 1, wherein the diameter of the first contact hole is smaller than the diameter of a second contact hole electrically connecting the intermediate conductive layer and the pixel electrode.
3. The electro-optical device according to claim 1, wherein at least one wire of the plurality of wires is a data line electrically connected to a source region of the semiconductor layer of the thin-film transistor, and the first contact hole is located beneath a region of the data line.
4. The electro-optical device according to claim 3, wherein the first contact hole is disposed in the vicinity of the intersection of the data line and the scan line.
5. The electro-optical device according to claim 3, wherein at least one wire of the plurality of wires forms a scan line disposed intersecting the data line, and the intermediate conductive layer extends along the scan line from the region of the data line.
6. The electro-optical device according to claim 4, wherein a second contact hole electrically connecting the intermediate conductive layer and the pixel electrode is provided in a portion of the intermediate conductive layer that extends along the scan line.
7. The electro-optical device according to claim 6, wherein the second contact hole is located substantially centrally between adjacent data lines.
8. The electro-optical device according to claim 3 or 4, wherein the intermediate conductive layer extends along the data line.
9. The electro-optical device according to claim 1, wherein at least one wire of the plurality of wires is a capacitor line extending beneath the intermediate conductive layer, and the capacitor line extends so as to avoid a region of the first contact hole.
10. The electro-optical device according to claim 1, wherein the depth of the first contact hole is less than the depth of a second contact hole between the intermediate conductive layer and the pixel electrode.
11. The electro-optical device according to claim 4, wherein

the intermediate conductive layer is at least partially disposed opposing a capacitor electrode formed from the same film as the scan line, with an interlayer insulating film interposed therebetween.

12. The electro-optical device according to claim 11, wherein the second contact hole is formed at a location overlapping the capacitor electrode as seen in plan view.

13. The electro-optical device according to claim 11 or claim 12, wherein:

the capacitor electrode, as seen in plan view, has a portion that extends along the scan line and a portion that extends along the data line from the location of an intersection with the data line; and
the intermediate conductive layer overlaps at least a portion of the capacitor electrode, with an interlayer insulating film interposed therebetween.

14. The electro-optical device according to claim 1, wherein the intermediate conductive layer is constituted by a light-shielding conductive film.

15. The electro-optical device according to claim 14, wherein the intermediate conductive layer defines portion of the light-shielding region.

16. The electro-optical device according to claim 15, wherein:
the intermediate conductive layer includes a portion that extends along the data line as seen in plan view; and
a portion of the light-shielding region in a direction along the data line is defined.

17. The electro-optical device according to claim 16, wherein:
the capacitor electrode has a portion that extends along the data line as seen in plan view; and

a width W_d of the data line, a width W_c of the capacitor electrode, and a width W_m of the portion of the intermediate conductive layer that extends along the data line respectively satisfy the relationship $W_d < W_c < W_m$ at a location along the data line.

18. The electro-optical device according to claim 17, wherein, as seen in plan view, an edge portion of the pixel electrode lying along the data line overlaps an edge portion of the intermediate conductive layer.

19. The electro-optical device according to claim 3, wherein the semiconductor layer is formed under the region of the data line.

20. The electro-optical device according to claim 19, wherein the first contact hole is formed at a location such that the first contact hole and a third contact hole connecting the source region of the semiconductor layer and the data line are symmetric with respect to a channel region of the semiconductor layer.

21. The electro-optical device according to claim 19, further comprising:

a lower light-shielding film, beneath the semiconductor layer, that protrudes from the scan line as seen in plan view;

wherein a second contact hole electrically connecting the intermediate conductive layer and the pixel electrode is located, as seen in plan view, in the region in which the lower light-shielding film protrudes from the scan line.

22. An electro-optical device comprising:

a thin-film transistor provided on a substrate;
 a data line electrically connected to a source region of a semiconductor layer of the thin-film transistor;
 a pixel electrode electrically connected to a drain region of the semiconductor layer of the thin-film transistor;
 a light-shielding intermediate conductive layer making an electrical connection between the drain region of the semiconductor layer of the thin-film transistor and the pixel electrode;
 a capacitor line provided along the data line and located in the drain region of the semiconductor layer of the thin-film transistor;
 a light-shielding film formed from the same film as the intermediate conductive layer; and
 a contact hole electrically connecting the capacitor line and the light-shielding film under a region of the data line.

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNICAL FIELD PERTAINING TO THE INVENTION

The present invention pertains to the technical field of active-matrix-driven electro-optical devices, and, in particular, to the technical field of electro-optical devices comprising an intermediate conductive layer for good electrical conduction provided between a pixel electrode and a pixel-switching thin-film transistor (thin-film transistor; hereinafter, called "TFT" where appropriate) for pixel switching in a layered structure on a substrate.

[0002]

BACKGROUND ART

Conventionally, in an active-matrix-driven electro-optical device driven by a TFT, the TFT is set to an ON state when a scan signal is supplied to a gate electrode of the TFT via a scan line, and an image signal supplied to a source region of a semiconductor layer via a data line is supplied to a pixel electrode via the TFT. Because this image signal is supplied to the pixel electrodes via their respective TFTs for only an extremely short time, a storage capacitor is typically added to each pixel electrode in order to hold the voltage of the supplied image signal for a much longer time than the TFT is set to this ON state.

[0003]

Meanwhile, in electro-optical devices of this type, various types of conductive films that form scan lines, data lines, etc., as well as gate-insulating films and interlayer insulating films for electrically insulating these conductive films from each other, are layered between conductive films, such as ITO films, which form pixel electrodes, and semiconductor layers, which form pixel-switching TFTs, and the distance between these pixel electrodes and semiconductor layers is, for example, approximately 1,000 nm in length. Accordingly, it is technically difficult to electrically connect these pixel electrodes and semiconductor layers via single contact holes. Therefore, techniques have been developed wherein intermediate conductive layers are provided between the interlayer insulating films and used as relays to electrically connect the pixel electrodes and the semiconductor layers.

[0004]

PROBLEMS TO BE SOLVED BY THE INVENTION

In electro-optical devices of this type, there is a strong general demand for increased display image quality; to this end, it is extremely important to increase the pixel aperture ratio (i.e., to

increase the size of the aperture region of a pixel, through which display light passes, relative to the light-shielding region thereof, through which display light does not pass) while reducing pixel pitch.

[0005]

Providing intermediate conductive layers as described above in particular not only increases the number of manufacturing processes, but also increases the number of layers stacked and the number of contact holes, thereby further complicating the layered structure; this results in problems such as making it more difficult to incorporate the storage capacitors described above, especially as the pixel pitch is reduced, or to ensure the regions in which the contact holes are to be formed. Furthermore, as the number of required contact holes increases due to the provision of intermediate conductive layers in this manner, irregularities caused by the presence of the contact holes form in the surfaces of the interlayer insulating films located thereover on the substrate, and irregularities ultimately form adversely in the surfaces of the pixel electrodes and alignment layers formed thereover. The formation of irregularities in the surfaces of the alignment layers in the vicinities of the pixel electrodes results in malfunctions caused by misalignment of liquid crystal, which is one example of an electro-optical material. This results in the problems of display defects such as reduced contrast ratio and greatly reduced image quality.

[0006]

The present invention was conceived in view of the problems described above, and an object of the present invention is to provide an electro-optical device in which the pixel aperture ratio can be increased, and, moreover, irregularities on the surfaces of alignment layers in the vicinities of pixel electrodes are reduced, thereby enabling high-quality image display.

[0007]

MEANS FOR SOLVING THE PROBLEMS

(1) In order to solve the problems described above, the electro-optical device of the present invention comprises a thin-film transistor provided on a substrate, a pixel electrode electrically connected to a drain region of a semiconductor layer of the thin-film transistor, a plurality of wires provided between the semiconductor layer of the thin-film transistor and the pixel electrode with an insulating film interposed therebetween, an intermediate conductive layer making an electrical connection between the drain region of the semiconductor layer of the thin-film transistor and the pixel electrode, and a first contact hole electrically connecting the drain region of the semiconductor layer of the thin-film transistor and the intermediate conductive layer beneath a region of at least one wire of the plurality of wires.

[0008]

According to the electro-optical device of the present invention, the drain region of the semiconductor layer and the pixel electrode are electrically connected via the intermediate conductive layer, making it possible to establish a good connection between the two via two comparatively small-diameter contact holes, even with a large film thickness therebetween. Furthermore, it is also possible to make the size of each of the regions in which the contact holes are formed small, and to increase the pixel aperture ratio.

[0009]

In addition, the first contact hole is formed beneath the region of at least one wire, and; thus, irregular unevenness in the aperture region of each pixel due to the presence of the first contact hole does not occur. It thereby becomes possible to perform rubbing uniformly in the vicinities of the pixel electrodes and also to make the layer thickness of the electro-optical material uniform. As a result, it is possible to reduce the incidence of

malfunctions such as misalignment of liquid crystal and other electro-optical substances.

[0010]

According to the electro-optical device of the present invention, as described above, it is possible to increase the pixel aperture ratio and, moreover, to reduce a decrease in display image quality caused by the occurrence of irregular unevenness in the surface of the alignment layer in the vicinities of the pixel electrodes. As a result, a bright, high-quality image display with a high contrast ratio becomes possible.

[0011]

(2) One aspect of the electro-optical device of the present invention is characterized in that the diameter of the first contact hole is smaller than the diameter of a second contact hole electrically connecting the intermediate conductive layer and the pixel electrode.

[0012]

According to this aspect, the intermediate conductive layer prevents over-etching when forming the second contact hole. In addition, making the diameter of the first contact hole smaller than the diameter of the second contact hole makes it possible to reduce the size of the non-pixel-aperture region.

[0013]

(3) Another aspect of the electro-optical device of the present invention is characterized in that at least one wire of the plurality of wires is a data line electrically connected to a source region of the semiconductor layer of the thin-film transistor, and the first contact hole is located beneath a region of the data line.

[0014]

According to this aspect, the first contact hole can be disposed in the non-pixel-aperture region, thus making it possible to reduce the unevenness that occurs in the surface of the alignment layer.

[0015]

(4) In another aspect, it is preferable that the first contact hole be disposed in the vicinity of an intersection of the data line and the scan line.

[0016]

According to this configuration, because it is disposed in the vicinity of the intersection of the data line and the scan line, it becomes possible to reduce the unevenness that occurs in the surface of the alignment layer within a comparatively large area, perform rubbing uniformly in the vicinities of pixel electrodes, and reduce the incidence of misalignment of the liquid-crystal layer.

[0017]

(5) In another aspect, it is preferable that at least one wire of the plurality of wires forms a scan line disposed intersecting the data line, and that the intermediate conductive layer extends along the scan line from the region of the data line.

[0018]

According to this configuration, the intermediate conductive layer extends along the scan line from the region of the data line, thus making it possible to form the first contact hole and the second contact hole in a region along the data line and the scan line, thereby contributing to a reduction of the pixel pitch.

[0019]

(6) It is further preferable to provide a second contact hole electrically connecting the intermediate conductive layer and the pixel electrode in a portion of the intermediate conductive layer that extends along the scan line.

[0020]

According to this configuration, a second contact hole having a smaller diameter than the contact hole that conventionally connects the drain region and the pixel electrode is disposed in the portion that extends along the scan line, thus making it possible to reduce the unevenness that occurs in the surface of the alignment layer

while reducing an increase in the size of the non-pixel-aperture region in the vicinity of the scan line.

[0021]

(7) It is further preferable that the second contact hole be located substantially centrally between adjacent data lines.

[0022]

According to this configuration, the adverse effects of unevenness in the alignment layer over the second contact hole can be made left-right symmetric in each pixel, and display defects in each pixel can be averaged out when all pixels are viewed macroscopically.

[0023]

(8) Another aspect is characterized in that the intermediate conductive layer extends along the data line.

[0024]

According to this configuration, the region of the first contact hole can be covered with the intermediate conductive layer without increasing the size of the non-pixel-aperture region under the data line.

[0025]

(9) Another aspect of the electro-optical device of the present invention is characterized in that at least one wire of the plurality of wires is a capacitor line extending beneath the intermediate conductive layer, and the capacitor line extends so as to avoid a region of the first contact hole.

[0026]

According to this aspect, the capacitor line extends so as to avoid the region of the first contact hole, which has a smaller diameter than the contact hole conventionally connecting the drain region and the pixel electrode, thus making it possible to reduce the unevenness that occurs in the surface of the alignment layer while ensuring capacitor surface area.

[0027]

(10) Another aspect of the electro-optical device of the present invention is characterized in that the depth of the first contact hole is less than the depth of the second contact hole between the intermediate conductive layer and the pixel electrode.

[0028]

According to this aspect, it is possible to reduce the unevenness that occurs in the surface of the alignment layer in the region of the first contact hole.

[0029]

(11) Another aspect of the electro-optical device of the present invention is characterized in that the intermediate conductive layer is at least partially disposed opposing a capacitor electrode formed from the same film as the scan line, with an interlayer insulating film interposed therebetween.

[0030]

According to this aspect, the intermediate conductive layer is disposed opposing a capacitor electrode formed from the same film as the scan line, with the interlayer insulating film interposed therebetween, making it possible to add a storage capacitor connected to the pixel electrode. That is, it is possible to three-dimensionally construct a storage capacitor not only below the capacitor electrode, but also above the capacitor electrode, thereby making effective use of the limited light-shielding region to increase storage capacity.

[0031]

(12) In another aspect, the second contact hole may be formed at a location overlapping the capacitor electrode as seen in plan view.

[0032]

According to this configuration, the portion of the intermediate conductive layer, in terms of plan-view location, in which the second contact hole is formed also overlaps the capacitor electrode, i.e., is disposed opposing the capacitor electrode with an insulating film interposed therebetween, thus making it possible to

construct a storage capacitor also in the plan-view region in which the second contact hole is formed.

[0033]

(13) In another aspect, the capacitor electrode, as seen in plan view, has a portion that extends along the scan line and a portion that extends along the data line from the location of an intersection with the data line, and the intermediate conductive layer overlaps at least a portion of the capacitor electrode, with an interlayer insulating film interposed therebetween.

[0034]

According to this configuration, in a light-shielding region along the data line, it is possible to opposingly dispose the capacitor electrode and an electrode extending from the drain region of the semiconductor layer and to opposingly dispose the capacitor electrode and the intermediate conductive layer. Accordingly, it is possible to construct a three-dimensional storage capacitor in the light-shielding region along the data line as well.

[0035]

(14) Another aspect of the electro-optical device of the present invention is characterized in that the intermediate conductive layer is constituted by a light-shielding conductive film.

[0036]

According to this aspect, the intermediate conductive layer constituted by a light-shielding conductive film makes it possible to shield a channel region of the thin-film transistor and regions adjacent thereto from light. That is, generally, when light impinges a channel region of a semiconductor layer constituting a thin-film transistor, or regions adjacent to that channel region, leakage current due to photoexcitation is produced. This alters the characteristics of the thin-film transistor in the OFF state. According to the present invention, by contrast, the intermediate conductive layer can be used to prevent such changes in transistor characteristics caused by such incident light.

[0037]

(15) In another aspect, the intermediate conductive layer may be configured to define a portion of the light-shielding region.

[0038]

According to this configuration, it is possible to at least partially eliminate the need, for example: to form a light-shielding film for defining a light-shielding region on an opposing substrate, which is an other substrate disposed opposing one substrate on which the pixel electrode or the like is formed; to increase the width of the data line in order to define the light-shielding region; or to separately form an integrated light-shielding film for defining the light-shielding region on the one substrate. That is, to the extent that a light-shielding film or the like to define the light-shielding region becomes at least partially unnecessary, it does not lead to a reduction in the transmittance of the electro-optical device due to misalignment of the two substrates when being bonded. This makes it possible to greatly reduce the incidence of defects in the electro-optical device.

[0039]

(16) A configuration is also possible in which the intermediate conductive layer further includes a portion that extends along the data line as seen in plan view, and a portion of the light-shielding region is defined in a direction along the data line.

[0040]

According to this configuration, it is possible, in a portion wherein the light-shielding region is defined by the intermediate conductive layer along the data line, to eliminate the need to form a light-shielding film for defining a light-shielding region on the opposing substrate, increase the width of the data line in order to define a light-shielding region, or separately form an integrated light-shielding film intermediate conductive. This makes it possible to greatly reduce transmittance variation in the electro-optical device.

[0041]

(17) A configuration is also possible in which the capacitor electrode further has a portion that extends along the data line as seen in plan view, and a width W_d of the data line, a width W_c of the capacitor electrode, and a width W_m of the portion of the intermediate conductive layer that extends along the data line satisfy the relationship $W_d < W_c < W_m$ at a location along the data line.

[0042]

According to this configuration, it becomes possible to provide two-fold shielding against incident light from the opposing substrate (out of the pair of substrates) using the data line and the intermediate conductive layer. Here, an Al (aluminum) film is typically used as the material of the data line for supplying an image signal in order to prioritize low wire resistance; however, an Al film is both a light-shielding film and, at the same time, a reflective film of extremely high reflectivity. Accordingly, when a thin-film transistor is light-shielded solely by a data line formed from an Al film, projected light or returning light that is oblique to the surface of the substrate is reflected by the inner surface of the data line (i.e., the surface on the side facing the thin-film transistor), causing multiple reflection within the layered structure and ultimately causing the problem in which light reaches the channel region or regions adjacent thereto. Nevertheless, according to the configuration of the present invention, the intermediate conductive layer provided beneath the data line is formed from a low-reflective, high-melting-point metal film or a polysilicon film, thus making it possible to adopt a configuration that attenuates multiply reflected light caused by internal reflection as described above. Meanwhile, a larger storage capacitor can be constructed using the capacitor electrode and the intermediate conductive layer, which are wider than the data line.

[0043]

(18) A configuration is also possible in which, as seen in plan view, an edge portion of the pixel electrode lying along the data line overlaps an edge portion of the intermediate conductive layer.

[0044]

According to such a configuration, it is possible to reduce the width of the data line. This makes it possible to minimize parasitic capacitance between the data line and the pixel electrode. It is thereby possible to markedly reduce a decrease in the contrast ratio, as well as display defects such as crosstalk and ghosting.

[0045]

(19) Another aspect of the electro-optical device of the present invention is characterized in that the semiconductor layer is formed under the region of the data line.

[0046]

According to this configuration, it is possible to ensure a region in which the semiconductor layer and the pixel electrode are electrically connected, as well as to reduce the pitch of non-aperture regions along the scan line.

[0047]

(20) In addition, the first contact hole is characterized by being formed at a location such that the first contact hole and a third contact hole connecting the source region of the semiconductor layer and the data line are symmetric with respect to the channel region of the semiconductor layer.

[0048]

According to this configuration, it is possible to make the stepped shape formed by multilayer wiring left-right symmetric with respect to the data line, and to eliminate differences in light leakage caused by the handedness of the liquid crystal.

[0049]

(21) Furthermore, it is characterized by comprising a lower light-shielding film, beneath the semiconductor layer, that protrudes from the scan line as seen in plan view, wherein a second contact hole

electrically connecting the intermediate conductive layer and the pixel electrode is located, as seen in plan view, in the region in which the lower light-shielding film protrudes from the scan line.

[0050]

According to this configuration, the semiconductor layer is not formed along the scan line, thus making it possible to reduce the pitch of non-aperture regions along the scan line and to electrically connect the intermediate conductive layer and the pixel electrode.

[0051]

(22) Another electro-optical device of the present invention is characterized by comprising a thin-film transistor provided on a substrate, a data line electrically connected to a source region of a semiconductor layer of the thin-film transistor, a pixel electrode electrically connected to a drain region of the semiconductor layer of the thin-film transistor, a light-shielding intermediate conductive layer making an electrical connection between the drain region of the semiconductor layer of the thin-film transistor and the pixel electrode, a capacitor line provided along the data line and located in the drain region of the semiconductor layer of the thin-film transistor, a light-shielding film formed from the same film as the intermediate conductive layer, and a contact hole electrically connecting the capacitor line and the light-shielding film under a region of the data line.

[0052]

According to this aspect, the contact hole connecting the light-shielding film and the capacitor line is covered by the data line, thereby making it possible to reduce the incidence of unevenness that occurs in the surface of the alignment layer in the region of the contact hole. In addition, the light-shielding film can be formed as a capacitor electrode to increase capacitance.

[0053]

These effects and other advantages of the present invention will be made apparent by the embodiments described below.

[0054]

MODES FOR CARRYING OUT THE INVENTION

Embodiments of the present invention will be described below with reference to the drawings.

[0055]

(First Embodiment)

The configuration of a liquid-crystal device constituting a first embodiment of an electro-optical device according to the present invention will be described with reference to FIG. 1 to FIG. 4. FIG. 1 depicts an equivalent circuit of various elements, wires, and the like in a plurality of pixels formed in a matrix constituting an image-display region of the electro-optical device; FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups on a TFT array substrate on which data lines, scan lines, pixel electrodes, and the like are formed; and FIG. 3 is a cross-sectional view along line A-A' in FIG. 2. Note that, in FIG. 3, the various layers and members are scaled differently to enable said layers and members to be recognizable in the drawing. In addition, FIG. 4 includes enlarged, partial plan views of capacitor lines and scan lines, in which the plan-view pattern of a capacitor line and a scan line in the present embodiment (FIG. 4(a)) is compared with the plan-view pattern thereof in a comparative example (FIG. 4(b)).

[0056]

In FIG. 1, a plurality of pixels formed in a matrix constituting an image-display region of the electro-optical device according to the present embodiment form a TFT 30 for controlling a pixel electrode 9a, and a data line 6a, to which is supplied an image signal, is electrically connected to a source of the TFT 30. Image signals S1, S2, ..., Sn written to the data line 6a may be supplied line-

sequentially in that order, or group-by-group to a plurality of mutually adjacent data lines 6a. In addition, it is configured such that a scan line 3a is electrically connected to a gate of the TFT 30, and scan signals G1, G2, ..., Gm are line-sequentially applied in that order to the scan line 3a at a prescribed timing. The pixel electrode 9a is electrically connected to a drain of the TFT 30, and the image signals S1, S2, ..., Sn supplied from the data line 6a are written at a prescribed timing by closing the TFT 30, which is a switching device, for a fixed interval. The image signals S1, S2, ..., Sn of prescribed levels written to liquid crystal via the pixel electrode 9a are held for a fixed interval between the pixel electrode 9a and a counter electrode (described below) formed on an opposing substrate (described below). Light can be modulated and gradients can be displayed by changing the orientation and order of the molecular assembly by the applied voltage level. The amount of transmitted incident light decreases according to the applied voltage in a normally white mode, the amount of transmitted incident light increases according to the applied voltage in a normally black mode, and light having a contrast ratio corresponding to the image signal is emitted from the electro-optical device overall. Here, to prevent leakage of the held image signal, a storage capacitor 70 is added, in parallel with a liquid-crystal capacitor formed between the pixel electrode 9a and the counter electrode, between a capacitor electrode electrically connected to the pixel electrode 9a and a capacitor electrode constituting part of a capacitor line 3b, with a dielectric film interposed therebetween. The voltage of the pixel electrode 9a is held, for example, by the storage capacitor 70 for a length of time three orders of magnitude longer than the length of time the source voltage is applied. Holding characteristics can thereby be further improved, and an electro-optical device having a high contrast ratio can be realized.

[0057]

In FIG. 2, a plurality of the transparent pixel electrodes 9a (outlined by dotted lines 9a') is provided in a matrix on the TFT-array substrate of the electro-optical device, and the data lines 6a, the scan lines 3a, and the capacitor lines 3b are respectively provided along the vertical and horizontal boundaries of the pixel electrodes 9a. Using first intermediate conductive layers 80, which are one example of intermediate conductive layers, as relays, the pixel electrodes 9a are electrically connected to drain regions (described below) of semiconductor layers 1a via first contact holes 8a and second contact holes 8b. The data lines 6a are electrically connected to source regions (described below) of the semiconductor layers 1a, which are constituted by polysilicon films or the like, via third contact holes 5. In addition, the scan lines 3a are disposed so as to oppose channel regions 1a' (the regions indicated by the rightward-descending diagonal lines in the drawing) of the semiconductor layers 1a, and the scan lines 3a function as gate electrodes. In this manner, the TFT 30, in which the scan line 3a is disposed opposing the channel region 1a' as a gate electrode is provided at each intersection between the scan line 3a and the data line 6a. The capacitor lines 3b are formed from the same film as the scan lines 3a and comprise portions that extend substantially linearly in parallel with the scan lines 3a, and portions that extend, along the data lines 6a, from the intersections of the scan lines 3a with the data lines

6a to the vicinities of third contact holes 5 associated with adjacent pixels.

[0058]

In FIG. 2, the regions indicated by thick lines are first light-shielding films 11a disposed at least beneath the semiconductor layers 1a of the TFTs 30. More specifically, in FIG. 2, each of the first light-shielding films 11a is formed in a stripe shape along the scan line 3a, the location at which the first light-shielding films 11a intersects the data line 6a is formed downward at a wide portion in the drawing, and the channel region 1a' of the TFT and the adjacent regions thereof are provided at a location at which they are covered by that wide portion, viewed from the TFT-array substrate side. Note that, as shown in the present embodiment, the first light-shielding films 11a may be formed extending in stripe shapes downward of the scan lines 3a in directions along the scan lines 3a or may be formed extending in stripe shapes downward of the data lines 6a in directions along the data lines 6a. Alternatively, they may be formed extending in a lattice shape downward of and along the scan lines 3a and the data lines 6a, respectively. In addition, the first light-shielding films 11a may also be extended outside the image-display region formed by the plurality of pixel electrodes 9a formed in a matrix shape, and be electrically connected to an optimal constant potential among constant-potential sources, such as: a negative power supply or a positive power supply supplied to scan-line drive circuits, data-line drive circuits, and other peripheral circuits for driving the electro-optical device; a grounded power supply; and a constant-potential source supplied to the counter electrode. Malfunctioning of the TFTs 30 can be prevented by fixing the first light-shielding films 11a at a constant potential in this manner.

[0059]

In particular, in the present embodiment, the first contact holes 8a electrically connecting drain regions 1e and the first intermediate conductive layers 80 are provided under the data lines 6a, and the second contact holes 8b electrically connecting the first intermediate conductive layers 80 and the pixel electrodes 9a are provided over the capacitor lines 3b in the vicinity of the center between mutually adjacent data lines 6a. In addition, island-shaped second intermediate conductive layers 180 formed from the same film as the first intermediate conductive layers 80 are formed along the data lines 6a. The second intermediate conductive layers 180 overlap portions of the capacitor lines 3b that extend along the data lines 6a, and the second intermediate conductive layers 180 and the capacitor lines 3b are electrically connected to each other by contact holes 18a provided beneath the data lines 6a. In addition, the capacitor lines 3b are formed in light-shielding regions intersecting the data lines 6a in regions beneath the data lines 6a in which the first contact holes 8a are formed, and are necked down so as to avoid the first contact holes 8a; the capacitor lines 3b are thereby configured so as not to be in electrical contact with the first contact holes 8a.

[0060]

In addition, as shown in FIG. 2 and the cross-sectional view in FIG. 3, the channel regions 1a' are disposed in correspondence with the intersecting regions of the scan lines 3a and the data lines 6a. In addition, a high-density source region 1d, a low-density source region 1b, the channel region 1a', a low-density drain region 1c, and the high-density drain region 1e formed from the semiconductor layer 1a are disposed so as to overlap the data line 6a and moreover so as to be covered by the data line. Furthermore, of the high-density source region 1d, the low-density source region 1b, the channel region 1a',

the low-density drain region 1c, and the high-density drain region 1e, the high-density source region 1d and the low-density source region 1b are disposed downward of the data line 6a extending to one side of the scan line 3a, and the low-density drain region 1c and the high-density drain region 1e are disposed downward of the data line 6a extending to the other side of the scan line 3a, thus sandwiching the scan line 3a. Furthermore, the high-density drain region 1e is electrically connected to the first intermediate conductive layer 80 via the first contact hole 8a, the first intermediate conductive layer 80 is connected to the pixel electrode 9a via the second contact hole 8b, and the high-density source region 1d is electrically connected to the data line 6a via the third contact hole 5. Thus, the first contact hole 8a and the third contact hole 5 are formed overlapping the data line 6a, which is a non-display region, thereby making it possible to prevent a reduction in the aperture ratio caused by the contact holes. In addition, it is possible to prevent the occurrence of irregular unevenness in the aperture regions of the pixels caused by the presence of the contact holes. Furthermore, because the semiconductor layer is disposed overlapping the data line 6a, the data line functions as a light-shielding film, making it possible to prevent the penetration of light to the semiconductor layer.

[0061]

Next, as shown in the cross-sectional view of FIG. 3, the electro-optical device comprises a transparent TFT-array substrate 10 constituting an example of a substrate, and a transparent opposing substrate 20 disposed opposing the same. The TFT-array substrate 10 is constituted by, for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposing substrate 20 is composed of, for example, a glass substrate or a quartz substrate. The pixel electrodes 9a are provided on the TFT-array substrate 10, and an alignment layer 16 that has been subjected to a prescribed alignment process, such as rubbing, is provided thereabove. The pixel electrodes 9a are constituted by, for example, transparent conductive films such as ITO (indium tin oxide) films. In addition, the alignment layer 16 is constituted by, for example, an organic film such as a polyimide film.

[0062]

On the other hand, a counter electrode 21 is provided over the entire surface of the opposing substrate 20, and an alignment layer 22 that has been subjected to a prescribed alignment process, such as rubbing, is provided therebelow. The counter electrode 21 is constituted by, for example, a transparent conductive film such as an ITO film. In addition, the alignment layer 22 is constituted by an organic film such as a polyimide film.

[0063]

The pixel-switching TFT 30 for performing switching control of the pixel electrode 9a is provided on the TFT-array substrate 10 at a location adjacent to the pixel electrode 9a.

[0064]

As further shown in FIG. 3, a second light-shielding film 23 is provided on the opposing substrate 20 in the light-shielding region of each pixel. As will be described in detail below, owing to the second light-shielding film 23 and the like, incident light does not penetrate from the opposing substrate 20 side into the channel region 1a' of the semiconductor layer 1a of the pixel-switching TFT 30 nor into the regions adjacent to the channel region 1a', including the low-density source region 1b and the low-density drain region 1c. Furthermore, the second light-shielding film 23 has functions such as improving the contrast ratio and preventing color mixing of colorants

when a color filter is formed.

[0065]

Liquid crystal, which is an example of an electro-optical material, is sealed into a space enclosed by a sealing material (described below) between the TFT-array substrate 10 and the opposing substrate 20, which are configured as described above and disposed so that the pixel electrodes 9a and the counter electrode 21 face each other, thereby forming a liquid-crystal layer 50. The alignment layers 16 and 22 cause the liquid-crystal layer 50 to take on a prescribed alignment state when electric fields are not being applied thereto by the pixel electrodes 9a. The liquid-crystal layer 50 is composed of, for example, one type or a mixture of multiple types of nematic liquid crystal. The sealing material is, for example, an adhesive composed of a photosetting resin or a thermosetting resin for bonding the TFT-array substrate 10 and the opposing substrate 20 to each other at the peripheries thereof, and a gap material such as glass fibers or glass beads for keeping a prescribed distance between the substrates is mixed therein.

[0066]

As further shown in FIG. 3, the first light-shielding film 11a is provided between the TFT-array substrate 10 and the pixel-switching TFT 30 at a location opposing the pixel-switching TFT 30. The first light-shielding film 11a is preferably constituted by a single metal, an alloy, a metal silicide, or the like containing at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), which are opaque refractory metals. By forming the first light-shielding film 11a from a material of this sort, it is possible to keep the first light-shielding film 11a from breaking or melting during high-temperature processes in the process of forming the pixel-switching TFT 30. The formation of the first light-shielding film 11a makes it possible to prevent reflected light from the TFT-array substrate 10 from impinging the channel region 1a', the low-density source region 1b, and the low-density drain region 1c of the pixel-switching TFT 30, which are easily excited by light; thus, changes in the characteristics of the pixel-switching TFT 30 caused by the generation of light-induced leakage current do not occur.

[0067]

Furthermore, a base insulating film 12 is provided between the first light-shielding film 11a and the plurality of pixel-switching TFTs 30. The base insulating film 12 is provided to electrically insulate the semiconductor layer 1a constituting the pixel-switching TFT 30 from the first light-shielding film 11a. Furthermore, the base insulating film 12 also functions as a base film for the pixel-switching TFT 30 as a result of being formed over the entire surface of the TFT-array substrate 10. That is, it functions to prevent roughening of the surface of the TFT-array substrate 10 during polishing, and degradation of the characteristics of the pixel-switching TFT 30 by residual contaminants after cleaning. The base insulating film 12 is constituted by, for example, highly insulative glass, such as NSG (non-doped silicate glass), PSG (phosphosilicate glass), BSG (borosilicate glass), and BPSG (borophosphosilicate glass); a silicon oxide film; a silicon nitride film; or the like. The base insulating film 12 also makes it possible to prevent contamination of the pixel-switching TFT 30 and the like by the first light-shielding film 11a.

[0068]

As shown in FIG. 2 and FIG. 3, the capacitor line 3b, which is formed from the same conductive polysilicon film as the scan line 3a, has a portion on its underside that is disposed opposing the first capacitor electrode 1f, which extends from the drain region 1e of the semiconductor layer 1a, with an insulating thin film 2 interposed therebetween, and functions as a second capacitor electrode. The insulating thin film 2, which includes a gate-insulating film constituting the TFT 30, can thus be used to form the large storage capacitor 70. Furthermore, a portion of the capacitor line 3b is disposed opposing a portion of the first intermediate conductive layer 80 thereabove, with a first interlayer insulating film 81 interposed therebetween. By making the first interlayer insulating film 81 a thin film, an even larger storage capacitor 70 can be formed. In this way, it is possible to three-dimensionally construct the storage capacitor 70 not only below the capacitor line 3b, but also above the capacitor line 3b, thereby making effective use of the limited light-shielding region to increase the size of the storage capacitor 70.

[0069]

Note that, in the present embodiment, the second capacitor electrode formed from the same film as the scan line 3b is extended to form the capacitor line 3b; this aspect advantageously eliminates the need for a dedicated wire, thus avoiding additional process steps. If the capacitor line 3b cannot be formed from the same film as the scan line 3b, the second capacitor electrode may be formed in an island shape for each pixel, and for example, the first light-shielding film 11a supplying a constant potential thereto may substitute as a wire for forming a storage capacitor. In this situation, the first light-shielding film 11a and the second capacitor electrode may be electrically connected to each pixel. The optimal constant potential from among: a constant-potential source, such as a negative power supply or a positive power supply supplied to peripheral circuits (for example, scan-line drive circuits and data-line drive circuits) for driving the electro-optical device; a grounded power supply; and a constant-potential source supplied to the counter electrode; is supplied to the second capacitor electrode, thus making it possible to construct the stable storage capacitor 70 between the first capacitor electrode 1f and the intermediate conductive layer 80.

[0070]

In the present embodiment, as particularly shown in FIG. 2 and FIG. 3, the first contact hole 8a is formed at a location overlapping the data line 6a as seen in plan view. Accordingly, despite the presence of the first contact hole 8a, which connects the semiconductor layer 1a and the first intermediate conductive layer 80 respectively located below and above the conductive polysilicon film constituting the scan line 3a and the capacitor line 3b, the light-shielding region spreading along the data line 6a can be utilized to facilitate routing the scan line 3a and the capacitor line 3b around the first contact hole 8a. This aspect is shown in magnified form in FIG. 4(a).

[0071]

If a first contact hole 8a' were formed in a region in which a scan line 3a' portion and a capacitor line 3b' portion not overlapping a data line 6a' are disposed in parallel, as in the comparative example shown in FIG. 4(b), it would be necessary to neck down the capacitor line 3b' or the scan line 3a' around the first contact hole 8a' so as to avoid the first contact hole 8a'. However, if the neck portion is too large, the wire width of the capacitor line 3b' or the scan line 3a' will be narrowed locally, and thereby wire resistance would become large. Thereby, display defects such as signal delay and crosstalk will

adversely occur. Consequently, a width W' of the light-shielding region in the direction of the scan line 3a becomes larger than a width W of the light-shielding region in the direction of the scan line 3a' in the present embodiment shown in FIG. 4(a) (i.e., $W' > W$). That is, in the present embodiment, compared to the comparative example, the aperture region of each pixel can be increased to the extent that the width W of the light-shielding region in the direction of the scan line 3a can be reduced.

[0072]

In addition, providing the first contact hole 8a at the intersection of the light-shielding region in the direction of the data line 6a and the light-shielding region in the direction of the scan line 3a, as shown in FIG. 4(a), makes it possible to reduce the irregular unevenness that occurs thereabove (on the surface of the alignment layer 16) due to the presence of the first contact hole 8a and the presence of the capacitor line 3b routed so as to avoid the same. In addition, it is also spaced apart from the aperture region of the pixel. Consequently, the effects of irregular unevenness that occurs due to the formation of the first contact hole 8a can be efficiently reduced. If unevenness in the surface of the alignment layer 16 in the vicinity of the pixel electrode 9a is reduced in this way, rubbing can be performed uniformly in the vicinity of the pixel electrode 9a, and the layer thickness of the liquid-crystal layer 50 can be made uniform. As a result, it is possible to reduce misalignment of the liquid-crystal layer 50.

[0073]

Furthermore, the surface area of the second capacitor electrode disposed opposing the first capacitor electrode 1f can be increased to the extent that the portion of the capacitor line 3b extending along the scan line 3a is not necked down to avoid the first contact hole 8a, and the size of the storage capacitor 70 constructible by the second capacitor electrode and the first capacitor electrode 1f can be increased.

[0074]

In addition, in the present embodiment, as shown in FIG. 2, the second contact hole 8b is formed substantially at the center between two mutually adjacent data lines 6a in the light-shielding region of each pixel along the scan line 3a as seen in plan view. Consequently, unevenness in the alignment layer 16 over the second contact hole 8b can be disposed substantially in the vicinity of the center of the light-shielding region along one side of the aperture region of each pixel. Thereby, the adverse effects of unevenness in the surface of the alignment layer 16 over the second contact hole 8b can be made left-right symmetric in each pixel, and display defects in each pixel can be averaged out when all pixels are viewed macroscopically.

[0075]

Thus, there is a higher degree of freedom in the location at which the second contact hole 8b is formed in the present embodiment, and the second contact hole 8b can be formed at any location as long as it is in a region above the first intermediate conductive layer 80 that does not overlap the data line 6a.

[0076]

Therefore, forming the second contact hole 8b at a location overlapping the capacitor line 3b in the present embodiment advantageously makes it possible to construct the storage capacitor 70 in the planar region in which the second contact hole 8b is formed.

[0077]

Note that the insulating thin film 2, which serves as one dielectric film in the storage capacitor 70, is nothing other than a gate-insulating film of the TFT 30 formed on the polysilicon film via high-

temperature oxidation or the like, and therefore can be a thin insulating film having a high withstand voltage, and the first interlayer insulating film 81, which serves as another dielectric film, can be formed thin like the insulating thin film 2. Accordingly, it is possible to construct a high-capacity storage capacitor 70 in a much smaller region by thinly forming these dielectric films.

[0078]

Thus, it is possible, according to the electro-optical device of the present embodiment, to increase the pixel aperture ratio and, at the same time, to increase the size of the storage capacitor 70, as well as to reduce a decrease in display image quality due to the occurrence of irregular unevenness in the surface of the alignment layer 16 in the vicinity of the pixel electrode 9a. As a result, a bright, high-quality image display with a high contrast ratio and a reduced incidence of display defects, such as flickering, ghosting, and crosstalk, become possible.

[0079]

Once again turning to FIG. 3, the pixel-switching TFT 30 has an LDD (lightly doped drain) structure, and comprises: the scan line 3a; the channel region 1a' of the semiconductor layer 1a in which a channel is formed by the electric field from the scan line 3a; the insulating thin film 2, which insulates the scan line 3a and the semiconductor layer 1a; the data line 6a; the low-density source region 1b and the low-density drain region 1c of the semiconductor layer 1a; and the high-density source region 1d and the high-density drain region 1e of the semiconductor layer 1a. A corresponding one of the plurality of pixel electrodes 9a is connected to the high-density drain region 1e using the first intermediate conductive layer 80 as a relay. In the present embodiment, the data line 6a in particular is constituted by a light-shielding and conductive thin film, such as a low-resistance metal film made of Al or the like, an alloy film made of a metal silicide or the like, etc.

[0080]

The third contact hole 5 leading to the high-density source region 1d and the first contact hole 8a leading to the high-density drain region 1e are respectively formed on the first interlayer insulating film 81 provided over the scan line 3a and the capacitor line 3b.

[0081]

The first intermediate conductive layers 80 connected to the high-density drain region 1e via the first contact hole 8a and the second intermediate conductive layer 180 connected to the capacitor line 3b via the contact hole 18a are formed on the first interlayer insulating film 81.

[0082]

A second interlayer insulating film 4 is formed on the first intermediate conductive layer 80. The data line 6a is formed on the second interlayer insulating film 4, and the data line 6a is electrically connected to the high-density drain region 1d via the third contact hole 5 formed in the second interlayer insulating film 4.

[0083]

Furthermore, a third interlayer insulating film 7, in which is formed the second contact hole 8b leading to the first intermediate conductive layer 80, is formed over the data line 6a and the second interlayer insulating film 4. The pixel electrode 9a is electrically connected to the first intermediate conductive layer 80 via the second contact hole 8b. The pixel electrode 9a is provided on the upper surface of the third interlayer insulating film 7 thus configured.

[0084]

The pixel-switching TFT 30 preferably has an LDD structure as described above but may have an offset structure in which

impurities are not implanted into the low-density source region 1b and the low-density drain region 1c, or may be a self-aligned TFT in which impurities are implanted at high densities using the gate electrode, which is a portion of the scan line 3a, as a mask, and in which the high-density source region 1d and the high-density drain region 1e are formed in a self-aligned manner.

[0085]

In addition, the present embodiment has a single-gate structure in which only one gate electrode constituted by a portion of the scan line 3a of the pixel-switching TFT 30 is disposed between the high-density source region 1d and the high-density drain region 1e, but two or more gate electrodes may also be disposed therebetween. Configuring the TFT to be dual-gate, triple-gate, or more in this manner makes it possible to prevent leakage current at the junctions between the channel and the source and between the channel and the drain region, and to reduce the current when the TFT is off. Providing at least one of these gate electrodes in an LDD structure or an offset structure makes it possible to further reduce the off current and to obtain a stable switching device.

[0086]

Next, the first intermediate conductive layer 80 will be further described.

[0087]

As shown in FIG. 2 and FIG. 3, the first intermediate conductive layer 80 is interposed between the semiconductor layer 1a and the pixel electrode 9a and electrically connects the high-density drain region 1e and the pixel electrode 9a via the first contact hole 8a and the second contact hole 8b.

[0088]

Consequently, the respective diameters of the first contact hole 8a and the second contact hole 8b can be made smaller than if a single contact hole were formed from the pixel electrode 9a to the semiconductor layer 1a. That is, if etching selectivity is low when forming one contact hole, etching accuracy decreases as the depth of the formed contact hole increases; consequently, to prevent over-etching of the extremely thin semiconductor layer 1a of, for example, approximately 50 nm, the process must be set up so that dry etching, which is capable of forming small-diameter contact holes, is stopped part way through, and the final formation of the hole through to the semiconductor layer 1a is performed via wet etching. Alternatively, the need to separately provide a film for preventing dry-etching-induced over-etching adversely arises.

[0089]

In the present embodiment, in contrast, the pixel electrode 9a and the high-density drain region 1e need only be connected by the first contact hole 8a and second contact hole 8b, which are disposed in a straight line, making it possible to form the first contact hole 8a and the second contact hole 8b by dry etching. Alternatively, at least wet etching can be used to shorten the distance at which they are formed. However, wet etching may be deliberately performed after dry etching to impart some taper to the first contact hole 8a and the second contact hole 8b. According to the present embodiment, as described above, the respective diameters of the first contact hole 8a and the second contact

hole 8b can be made small, and only small depressions or unevenness is formed on the surface of the first intermediate conductive layer 80 at the first contact hole 8a, thereby promoting planarization of the portion of the pixel electrode 9a located thereabove. Furthermore, only small depressions or unevenness is formed on the surface of the pixel electrode 9a at the second contact hole 8b, thereby promoting planarization of this portion of the pixel electrode 9a. In the present embodiment, furthermore, the diameter of the second contact hole 8b can be further reduced by forming the first interlayer insulating film 81 thinly in this manner.

[0090]

Examples of specific materials for the first intermediate conductive layer 80 include a single metal, an alloy, a metal silicide, or the like including at least one of the opaque refractory metals Ti, Cr, W, Ta, Mo, Pb, and the like, as, for example, in the first light-shielding film 11a. If it is constituted by these, there will be no corrosion of the refractory metal even if the refractory metal and the ITO film constituting the pixel electrode 9a contact each other, thus establishing a good electrical connection between the first intermediate conductive layer 80 and the pixel electrode 9a via the second contact hole 8b. However, the first intermediate conductive layer 80 may also be constituted by a conductive polysilicon film. In this situation as well, it will be capable of sufficiently demonstrating relay functionality and the function of increasing the storage capacitor 70. In this situation in particular, the generation of thermal and other stresses between it and the first interlayer insulating film 81 will tend not to occur, which is useful for preventing cracks.

[0091]

In addition, the film thickness of the first intermediate conductive layer 80 is preferably, for example, approximately 50 nm or more and 500 nm or less. This is because the possibility of over-etching when forming the second contact hole 8b during the manufacturing process will decrease if the film thickness of the first intermediate conductive layer 80 is approximately 50 nm, and unevenness in the surface of the pixel electrode 9a does not become a problem or is comparatively easily planarizable if it is approximately 500 nm. However, if the first intermediate conductive layer 80 is constituted by a high-refractory metal film or a film of an alloy thereof, there is practically no possibility of dry-etching-induced over-etching, as described above, because etching selectivity will differ greatly between the metal film and the interlayer insulating film.

[0092]

In the present embodiment, in addition to the foregoing, the first intermediate conductive layer 80 and the second intermediate conductive layer 180 in particular are constituted by high-refractory metal films, which are light-shielding conductive films. Accordingly, it is possible to shield the channel region 1a' of the TFT 30 and regions adjacent thereto from light using not only the second light-shielding film 23 on the opposing substrate 20 and the data line 6a on the TFT-array substrate 10 but also the first intermediate conductive layer 80 and the second intermediate conductive layer 180. Thereby, it is possible to prevent changes in transistor characteristics even when there is strong incident light from the opposing substrate 20 side. Consequently, the electro-optical device of the present embodiment is effective when there is strong incident light such as in, for example, projector light valve applications.

[0093]

Furthermore, in the present embodiment, because the light-shielding first intermediate conductive layer 80 and the second intermediate conductive layer 180 are configured to be wide in this manner so as to define a portion of the aperture region of each pixel,

in the light-shielding regions in which these are present, there is no need to form the second light-shielding film 23 on the opposing substrate 20 or to form the data line 6b with increased width in order to define the aperture regions.

[0094]

Here, in particular, as shown in FIG. 2, the data line 6a, the capacitor line 3b, and the second intermediate conductive layer 180 are laid out in plan view so that width W_d of the data line 6a, width W_c of a protruding portion of the capacitor line 3b, and width W_m of the second intermediate conductive layer 180 satisfy the relationship $W_d < W_c < W_m$ in the light-shielding region of each pixel along the data line 6a. Accordingly, it is possible to provide two-fold shielding against incident light from the opposing substrate 20 side using the data line 6a and the second intermediate conductive layer 180 on the TFT-array substrate 10. If the TFT 30 were shielded from light solely by the data line 6a, which is formed from a highly reflective Al film, then projected light or returning light oblique to the substrate surface would be internally reflected by the data line 6a, ultimately arriving adversely at the channel region 1a' or regions adjacent thereto as multiply reflected light. Nevertheless, in the present embodiment, multiply reflected light resulting from internal reflection as described above can be attenuated by forming the first intermediate conductive layer 80 and the second intermediate conductive layer 180 from a low-reflectivity refractive metal film or from a polysilicon film, and by forming the second intermediate conductive layer 180 so as to be wider than the data line 6a ($W_d < W_m$). Accordingly, the configuration of the present embodiment is highly beneficial in applications in which there is strong incident or reflected light, such as projector light valve applications.

[0095]

Furthermore, in the present embodiment, in particular an edge portion of the pixel electrode 9a along the data line 6a overlaps an edge portion of the second intermediate conductive layer 180, and an edge portion of the pixel electrode 9a along the data line 6a substantially does not overlap an edge portion of the data line 6a, as seen in plan view. Thus, by defining the light-shielding region of the second intermediate conductive layer 180 such that the data line 6a and the pixel electrode 9a do not overlap as much as possible in this manner, it is possible to greatly reduce parasitic capacitance between the source and the drain. It is thereby possible to realize a high-quality electro-optical device in which a decrease in the contrast ratio and the occurrence of display defects, such as crosstalk and ghosting, are curtailed.

[0096]

Note that, in the present embodiment, the second interlayer insulating film 4 between the data line 6a and the second intermediate conductive layer 180 is preferably formed so that the film thickness thereof is 500–2,000 nm. In addition to such a film thickness requirement, the second intermediate conductive layer 180 is connected to the capacitor line 3b via the contact hole 18a, making it possible to reduce parasitic capacitance between the data line 6a and the second intermediate conductive layer 180 to practically negligible. Note that more specific film thicknesses may be determined individually and specifically through experimentation, theoretical calculation, simulation, and the like according to the required image quality and device specifications.

[0097]

In the embodiment described above, the first light-shielding film 11a is preferably drawn into a peripheral region on the TFT-array substrate 1 and connected to a constant potential line. By adopting such a configuration, the first light-shielding film 11a can be fixed at a

constant potential, and the characteristics of the TFT 30 formed over the first light-shielding film 11a with the base insulating film 12 interposed therebetween are not changed by fluctuations in the potential of the first light-shielding film 11a. In this situation, examples of constant-potential sources include: a constant-potential source such as a negative power supply or a positive power supply supplied to peripheral circuits such as scan-line drive circuits and data-line drive circuits for driving the electro-optical device; a grounded power supply; a constant-potential source supplied to the counter electrode 21; and the like. The capacitor line 3a and the first light-shielding film 11a may be electrically connected. By adopting such a configuration, the wiring for forming the storage capacitor can be advantageously formed with a redundant structure.

[0098]

(Electro-Optical-Device Manufacturing Process)

Next, a manufacturing process of the electro-optical device according to the first embodiment having the configuration described above will be described with reference to FIG. 5 and FIG. 6. Here, FIG. 5 and FIG. 6 are process diagrams sequentially illustrating the layers on the TFT-array substrate side in each process in correspondence with the cross-sectional view along line A-A' in FIG. 2, as in FIG. 3.

[0099]

First, the TFT-array substrate 10, which is made of a quartz substrate, a glass substrate, or a silicon substrate, is prepared, as shown in process (1) in FIG. 5. Here, thermal treatment is performed in an inert gas atmosphere, preferably N_2 (nitrogen) or the like, at a high temperature of approximately 900°C–1,300°C, and pretreatment is performed in advance to reduce stress generated in the TFT-array substrate 10 in a subsequently performed high-temperature process. That is, the TFT-array substrate 10 is thermally treated at the same temperature or a higher temperature in advance according to the maximum temperature at which high-temperature treatment is performed in the manufacturing process. Furthermore, the first light-shielding film 11a is then formed by sputtering a film of a metal, such as Ti, Cr, W, Ta, Mo, or Pb, or a metal alloy such as a metal silicide, onto the entire surface of the TFT-array substrate 10, which has been thus treated, to form a light-shielding conductive film having a film thickness of approximately 100–500 nm, and preferably approximately 200 nm, followed by photolithography and etching. Note that an anti-reflective film, such as a polysilicon film, may be formed on the first light-shielding film 11a to mitigate surface reflection.

[0100]

Next, as shown in process (2) in FIG. 5, the base insulating film 12 constituted by a silicate glass film of NSG, PSG, BSG, BPSG, or the like, or a silicon nitride film, a silicon oxide film, or the like is formed on the first light-shielding film 11a by, for example, normal-pressure or low-pressure CVD using TEOS (tetraethyl orthosilicate) gas, TEB (tetraethyl borane) gas, TMOP (tetramethyl oxyphosphate) gas, or the like. The film thickness of the base insulating film 12 is, for example, approximately 500 nm to 2,000 nm.

[0101]

Next, as shown in process (3) in FIG. 5, an amorphous silicon film is formed on the base insulating film 12 by low-pressure CVD (CVD performed at a pressure of, for example, approximately 20–40 Pa) using a monosilane gas, a disilane gas, or the like at a flow rate of approximately 400–600 cc/min in a comparatively low-temperature environment of approximately 450°C–550°C, preferably

approximately 500°C, after which the amorphous silicon film is solid-phase grown to a thickness of approximately 50–200 nm, preferably approximately 100 nm, by thermally treating the amorphous silicon film at approximately 600°C–700°C in a nitrogen atmosphere for approximately 1–10 hours, preferably 4–6 hours, thereby forming a polysilicon film. Thermal treatment using RTA (rapid-thermal anneal) or laser annealing using an excimer laser or the like may be used as the method for effecting solid-phase growth.

[0102]

At this time, if an n-channel pixel-switching TFT 30 is fabricated as the pixel-switching TFT 30, then the channel region thereof may be doped with trace amounts of an impurity constituted by a group-V element, such as Sb (antimony), As (arsenic), or P (phosphorus), by ion implantation or the like. In addition, if the pixel-switching TFT 30 is a p-channel type, doping with trace amounts of an impurity constituted by a group-III element, such as B (boron), Ga (gallium), or In (indium), may be performed by ion implantation or the like. Note that the polysilicon film 1 may also be directly formed by low-pressure CVD or the like without an intermediate amorphous silicon film. Alternatively, silicon ions may be implanted into a polysilicon film deposited by a low-pressure CVD method or the like to amorphize the film, followed by recrystallizing by a subsequent heat treatment or the like to form the polysilicon film 1.

[0103]

Next, as shown in process (4) in FIG. 5, the semiconductor layer 1a constituting the pixel-switching TFT 30 is thermally oxidized at a temperature of approximately 900°C–1,300°C, preferably approximately 1,000°C, to form the insulating thin film 2 having a single-layer structure constituted by a relatively thin thermally oxidized silicon film approximately 20–150 nm thick. However, such a thin thermal silicon oxide film having a thickness of 30 nm or less may be formed, after which a comparatively thin insulating thin film constituted by a high-temperature silicon oxide film (HTO film) or a silicon nitride film approximately 50 nm thick may be deposited by low-pressure CVD or the like to form an insulating thin film 2 having a multilayer structure including the thermal silicon oxide film and the insulating thin film. Making a multilayer structure in this manner shortens the high-temperature thermal oxidation time, thereby making it possible to prevent thermal-induced warping, especially when using a large substrate 8 inches or larger.

[0104]

As a result, the thickness of the semiconductor layer 1a will be approximately 30–150 nm thick, and preferably approximately 35–50 nm thick, and the thickness of the insulating thin film 2 will be approximately 20–150 nm thick, and preferably approximately 30–100 nm thick.

[0105]

Next, as shown in process (5) in FIG. 5, a resist layer 500 may be formed on the semiconductor layer 1a, except for the portion that will become the first capacitor electrode 1f, by a photolithography process, an etching process, or the like, then doped with, for example, P ions at a dosage of approximately $3 \times 10^{12}/\text{cm}^2$ to reduce the resistance of the first capacitor electrode 1f.

[0106]

Next, as shown in process (6) in FIG. 6, the capacitor line 3b is first formed along with the scan line 3a by a photolithographic process, an etching process, or the like using a

resist mask. Furthermore, if the pixel-switching TFT 30 is an n-channel TFT having an LDD structure, doping with an impurity constituted by a group V element, such as P, is performed at a low concentration (e.g., a P ion dosage of $1-3 \times 10^{13}/\text{cm}^2$) using a gate electrode that is a portion of the scan line 3a as a mask in order to first form the low-density source region 1b and the low-density drain region 1c in the semiconductor layer 1a. Thereby, the semiconductor layer 1a under the scan line 3a becomes the channel region 1a'.

[0107]

Next, as shown in process (7) in FIG. 6, a resist layer 600 is formed on the scan line 3a using a mask wider than the scan line 3a, then likewise doped with an impurity constituted by a group V element, such as P, at a high concentration (e.g., a P ion dosage of $1-3 \times 10^{15}/\text{cm}^2$) in order to form the high-density source region 1d and the high-density drain region 1e constituting the pixel-switching TFT 30. In addition, if the pixel-switching TFT 30 is made a p-channel type, the semiconductor layer 1a may be doped with an impurity composed of a group III element, such as B, in order to form the low-density source region 1b and the low-density drain region 1c, as well as the high-density source region 1d and the high-density drain region 1e.

[0108]

Next, as shown in process (8) in FIG. 6, the resist layer 600 is removed, after which a thin high-temperature silicon oxide film (HTO film) or silicon nitride film approximately 200 nm thick or less is deposited on the scan line 3a and the capacitor line 3b by low-pressure CVD, plasma CVD, or the like, thereby forming the first interlayer insulating film 81. However, before depositing the insulating film in this manner, a high-temperature process may be performed on the TFT-array substrate 10, which is constituted by a quartz substrate or the like, to form an oxide film that has a high withstand voltage, is relatively thin, and has few defects, thereby forming the first interlayer insulating film 81 having a multilayer structure that blows, including such an oxide film.

[0109]

Next, as shown in process (9) in FIG. 6, the first contact hole 8a for electrically connecting the first intermediate conductive layer 80 and the high-density drain region 1e is formed in the first interlayer insulating film 81 by dry etching, such as reactive ion etching or reactive ion beam etching. Such dry etching is highly directional, thus enabling the formation of the first contact hole 8a with a small diameter. Alternatively, wet etching, which is advantageous for preventing over-etching of the first contact hole 8a through the semiconductor layer 1a, may be used in combination therewith. Such wet etching is also effective from the viewpoint of tapering the first contact hole 8a for a better electrical connection. In the present embodiment, the contact hole 18a for connecting the second intermediate conductive layer 180 and the capacitor line 3b is also formed at the same time as the first contact hole 8a is formed. This makes it possible to prevent an increase in the number of processes.

[0110]

Next, as shown in process (10) in FIG. 6, a film of a metal such as Ti, Cr, W, Ta, Mo, or Pd, or a film of a metal alloy such as a

metal silicide, or a polysilicon film is deposited by sputtering or the like on the first interlayer insulating film 81, as with the first light-shielding film 11a, followed by photolithography and etching processing to form the first intermediate conductive layer 80. Concurrently, the second intermediate conductive layer 180 is also formed. Note that an anti-reflective film, such as a polysilicon film, may be formed on the first intermediate conductive layer 80 and the second intermediate conductive layer 180 to mitigate surface reflection, and the layer structure of the first intermediate conductive layer 80 and the second intermediate conductive layer 180 may be formed as a structure comprising two or more layers, with a polysilicon film as a lower layer and a refractory metal as an upper layer, in order to make the connection resistance between the high-density drain region 1e and the first intermediate conductive layer 80 small.

[0111]

Next, as shown in process (11) in FIG. 6, the second interlayer insulating film 4 constituted by a silicate glass film of NSG, PSG, BSG, BPSG, or the like, a silicon nitride film, a silicon oxide film, or the like is formed using, for example, normal-pressure or low-pressure CVD, TEOS gas, or the like so as to cover the stepped upper surface of the layered body constituted by the scan line 3a, the capacitor line 3b, the first interlayer insulating film 81, and the base insulating film 12. Note that, after the second interlayer insulating film 4 has been formed, thermal treatment may be performed at approximately 1,000°C to activate the semiconductor layer 1a.

[0112]

Next, the third contact hole 5 for the data line 6a is formed in the second interlayer insulating film 4, the first interlayer insulating film 81, and the insulating thin film 2 by etching; the data line 6a is formed thereover from an approximately 100–500-nm-thick film of a low-resistance metal, such as Al, or a metal silicide by sputtering; and the third interlayer insulating film 7 is formed thereover by CVD or the like.

[0113]

Next, the second contact hole 8b is etched into the third interlayer insulating film 7 and the second interlayer insulating film 4, and, finally, the pixel electrode 9a constituted by an ITO film is formed so as to be electrically connected to the first intermediate conductive layer 80 via the second contact hole 8b. In this process (11) in particular, a contact hole for connecting the scan line 3a and the capacitor line 3b with wires in the peripheral region of the substrate (not shown) may also be formed in the first interlayer insulating film 81 and the second interlayer insulating film 4 at the same time as the formation of the third contact hole 5. In addition, the data line 6a may be deposited to a thickness of approximately 100–500 nm, preferably approximately 300 nm, and the third interlayer insulating film 7 may be deposited to a thickness of approximately 500–1,500 nm. In addition, the second contact hole 8a should be formed by dry etching, such as reactive ion etching, reactive ion beam etching, or the like and tapered by wet etching. Furthermore, the pixel electrode 9a may be deposited to a thickness of approximately 50–200 nm. Note that, if the electro-optical device will be used in a reflective liquid-crystal device, then the pixel electrode 9a may be formed from a highly reflective and light-shielding material such as Al.

[0114]

According to the manufacturing process of the present embodiment as described above, the electro-optical device of the present embodiment described above can be manufactured comparatively easily. In addition, the semiconductor layer 1a of the

pixel-switching TFT 30 is formed from polysilicon, thereby enabling the formation of peripheral circuits in substantially the same process as the pixel-switching TFT 30.

[0115]

Note that, in the manufacturing process described above, the surfaces of the second interlayer insulating film 4 and the third interlayer insulating film 7 may be planarized by CMP or the like so that the film surfaces are planarized in the stage in which the pixel electrode 9a is formed. Alternatively, a recessed hollow may be formed by pre-etching in a prescribed region of the TFT-array substrate 10 and similarly processed in a subsequent process, resulting in the surface of the third interlayer insulating film 7 being planarized, or hollowed recesses may be formed in the second interlayer insulating film 4 and the base insulating film 12. Thus, if the surface of the base film is planarized in the stage in which the pixel electrode 9a is formed, then the occurrence of disclinations in the liquid crystal caused by the stepped geometry can be curtailed as much as possible, thereby not leading to display defects such as a reduction in contrast ratio.

[0116]

(Second Embodiment)

The configuration of a liquid-crystal device constituting a second embodiment of the electro-optical device of the present invention will now be described with reference to FIG. 7 and FIG. 8. FIG. 7 is a plan view of a plurality of mutually adjacent pixel groups on a TFT-array substrate on which data lines, scan lines, pixel electrodes, and the like are formed; and FIG. 8 is a cross-sectional view along line A-A' in FIG. 7. Note that, in FIG. 8, the various layers and members are scaled differently so that said layers and members are large enough to be recognizable in the drawing.

[0117]

As shown in FIG. 7 and FIG. 8, the second embodiment differs from the first embodiment in that the first intermediate conductive layer 80 and the second intermediate conductive layer 180 of the first embodiment are not separated, but are provided as the single L-shaped intermediate conductive layer 80' in each pixel, and in that the contact hole 18a for connecting the second intermediate conductive layer 180 and the capacitor line 3b in the first embodiment is not formed, and other structural members are the same as in the first embodiment. Note that, in FIG. 7 and FIG. 8, structural elements the same as those of the first working example in FIG. 2 and FIG. 3 are labeled with the same reference symbols, and descriptions thereof will be omitted.

[0118]

In this manner, the intermediate conductive layer 80' in the second embodiment is laid over the portion of the capacitor line 3b lying along the data line 6a with the second interlayer insulating film 4 interposed therebetween to form the storage capacitor 70. Accordingly, in the light-shielding region along the data line 6a, the first capacitor electrode 1f extending from the high-density drain region 1e of the semiconductor layer 1a and the capacitor line 3b can be disposed opposing each other, and the capacitor line 3b and the intermediate conductive layer 80' can be disposed opposing each other. As a result, according to the second embodiment, the three-dimensional storage capacitor 70 can be constructed also in the light-shielding region along the data line 6a, thus enabling the efficient formation of a large storage capacitor in a small region, and creating a very advantageous structure when the pixel aperture ratio is increased and the pixel pitch is reduced.

[0119]

(Third Embodiment)

The configuration of a liquid-crystal device constituting a third embodiment of the electro-optical device of the present invention will now be described with reference to FIG. 9 and FIG. 10. FIG. 9 is a plan view of a plurality of mutually adjacent pixel groups on a TFT-

array substrate on which data lines, scan lines, pixel electrodes, and the like are formed, and FIG. 10 is a cross-sectional view along line A-A' in FIG. 9. Note that, in FIG. 10, the various layers and members are scaled differently so that said layers and members are large enough to be recognizable in the drawing.

[0120]

Note that, in FIG. 9 and FIG. 10, structural elements similar to those of the first embodiment in FIG. 2 and FIG. 3 and the second embodiment in FIG. 7 and FIG. 8 are labeled with the same reference symbols, and descriptions thereof will be omitted.

[0121]

In this manner, the intermediate conductive layer 80' in the third embodiment is laid over a portion of a capacitor line 3b" along the data line 6a with the second interlayer insulating film 4 interposed therebetween, and the storage capacitor 70 is formed in this region as well. Accordingly, in the light-shielding region along the data line 6a, the capacitor line 3b" and the first capacitor electrode 1f, which is formed by extending the high-density drain region 1e of the semiconductor layer 1a to form a capacitor electrode, can be disposed opposing each other, and the capacitor line 3b" and the intermediate conductive layer 80' can be disposed opposing each other. In addition, unlike in the second embodiment, a first contact hole 8a" is provided so that, as seen in plan view, the intermediate conductive layer 80' and the semiconductor layer 1a can be electrically connected beyond the tip of the portion of the capacitor line 3b" along the data line 6a, thereby eliminating the need to provide a neck in the capacitor line 3b" and making it possible to increase the aperture ratio of the pixel and the size of the storage capacitor 70.

[0122]

In the various embodiments described above, the plan-view shapes of the various contact holes may be circular, rectangular, or other polygonal shapes; however, circular shapes are particularly useful for preventing cracks in the interlayer insulating films and the like around the contact holes.

[0123]

(Fourth Embodiment)

The configuration of a liquid-crystal device constituting a fourth embodiment of the electro-optical device of the present invention will now be described with reference to FIG. 11 and FIG. 12. FIG. 11 is a plan view of a plurality of mutually adjacent pixel groups on a TFT-array substrate on which data lines, scan lines, pixel electrodes, and the like are formed, and FIG. 12 is a cross-sectional view along line A-A' in FIG. 11. In FIG. 12, the various layers and members are scaled differently so that said layers and members are large enough to be recognizable in the drawing. Members identical to those in the first embodiment are labeled with the same reference numerals, and detailed descriptions thereof will be omitted.

[0124]

As shown in FIG. 11, the scan lines 3a and the data lines 6a in the fourth embodiment are provided substantially in the centers of the non-aperture regions. The semiconductor layers 1a are disposed below the data lines 6a so as to intersect the scan lines 3a. As shown in FIG. 12, the data line 6a and the high-density source region 1d of the semiconductor layer 1a are electrically connected via the third contact hole 5 below the data line 6a. In addition, the high-density drain region 1e of the semiconductor layer 1a and an intermediate conductive layer 80a are electrically connected via a first contact hole 8a" below the data line 6a. Disposing the semiconductor layer 1a below the light-shielding data line 6a in this manner has the effect of

preventing incident light from the opposing substrate 20 side from directly irradiating the semiconductor layer 1a. Furthermore, forming the semiconductor layer 1a, the third contact hole 5, and the first contact hole 8a" so as to be linearly symmetric with respect to the center lines of the non-aperture regions in the direction of the scan lines 3a and the non-aperture regions in the direction of the data lines 6a makes it possible for the stepped geometry to have left-right symmetry with respect to the data lines 6a, which advantageously eliminates differences in light drop-out due to the handedness of the liquid crystal.

[0125]

The first light-shielding film 11a is formed below the semiconductor layer 1a with the base insulating film 12 interposed therebetween. The first light-shielding film 11a is formed in a matrix shape along the direction of the data lines 6a and the direction of the scan lines 3a. The semiconductor layer 1a is disposed inside the first light-shielding film 11a, and has the effect of preventing returning light from the TFT-array substrate 10 side from directly irradiating the semiconductor layer 1a.

[0126]

The intermediate conductive layer 80a is constituted by a conductive film including a polysilicon film, a refractory metal, or the like, extends in a roughly T-shape along the scan line 3a and the data line 6a between the layers of the semiconductor layer 1a and the pixel electrode 9a, and has a function of serving as a buffer for electrically connecting the semiconductor layer 1a and the pixel electrode 9a. Specifically, the high-density drain region 1e of the semiconductor layer 1a and the conductive intermediate conductive layer 80a are electrically connected via the first contact hole 8a", and the intermediate conductive layer 80a and the pixel electrode 9a are electrically connected via the second contact hole 8b. By adopting such a configuration, the intermediate conductive layer 80a of high etch selectivity is provided even if a contact hole that is deep relative to the interlayer insulating film is formed, thereby making it possible to avoid the risk of adversely over-etching the semiconductor layer 1a when forming the contact hole. It is noted that the third contact hole 5 for electrically connecting the data line 6a and the high-density source region 1d of the semiconductor layer 1a also may be similarly relayed through the same film as the intermediate conductive layer 80a.

[0127]

In addition, in the fourth embodiment, an interlayer insulating film 91 is layered over the intermediate conductive layer 80a, and a light-shielding conductive film 90a is formed thereover. The light-shielding conductive film 90a extends in the direction of the scan line 3a to outside the image-display region so as to cover the intermediate conductive layer 80a, except for the second contact hole 8b, and has a fixed potential due to being electrically connected to any of: a constant-potential source such as a negative power supply or a positive power supply supplied to the scan-line drive circuits, the data-line drive circuits, and the like; a grounded power supply; a constant-potential source supplied to the counter electrode; or the like. Accordingly, the intermediate conductive layer 80a can be used as one capacitor electrode and the light-shielding conductive film 90a as the other capacitor electrode to form the storage capacitor 70 shown in FIG. 1. At this time, it goes without saying that the interlayer insulating film 91 functions as a dielectric film of the storage capacitor 70. Here, the interlayer insulating film 91 is laid only to form the storage capacitor 70, making it possible to increase the size of the storage capacitor 70 by reducing the film thickness of the interlayer insulating film 91 to a thickness such that there is no leakage between the intermediate conductive layer 80a and the light-shielding conductive film 90a. Furthermore, in the present embodiment, by forming the interlayer insulating film 81 thickly, the

intermediate conductive layer 80a can be extended over the TFT 30 and the scan line 3a; thus, the size of the storage capacitor 70 can be increased efficiently. Furthermore, in the fourth embodiment, a capacitor electrode is not formed by extending the semiconductor layer 1a. Thus, there is no need to form the capacitor electrodes and the capacitor lines for forming the storage capacitors from the same film as the scan lines 3a, making it possible to dispose the scan lines 3a substantially in the centers of the non-aperture regions defined by the light-shielding conductive film 90a and the first light-shielding film 11a, as shown in FIG. 11. In addition, because there is no need to make the semiconductor layer 1a, which is composed of a polysilicon film, low resistance, impurities do not have to be implanted in the capacitor-electrode forming portions, thereby making it possible to reduce the number of processes.

[0128]

In the fourth embodiment, the channel regions 1a' of the TFTs 30 may be formed at the intersections of the scan lines 3a and the data lines 6a so as to be provided substantially in the centers of the non-aperture regions in the directions of the data lines 6a and the scan lines 3a. As a result, they are positioned at the locations hardest for incident light from the opposing substrate 20 side and returning light from the TFT array substrate 10 side to strike, thereby making it possible to greatly reduce light-induced leakage current of the TFTs 30.

[0129]

Furthermore, in the fourth embodiment, as shown in FIG. 11, the light-shielding conductive films 90a, the intermediate conductive layers 80a, and the first light-shielding films 11a are formed with narrow pattern widths in that order in the vicinities of the channel regions 1a' to keep incident light from directly irradiating the first light-shielding film 11a. In addition, the interposition of the intermediate conductive layer 80a constituted by a polysilicon film between the light-shielding conductive film 90a and the semiconductor layer 1a makes it possible to impart the effect of absorbing reflected light from the surface of the first light-shielding film 11a and returning light from the TFT-array substrate 10 side, which is advantageous for light resistance.

[0130]

In addition, in the fourth embodiment, because the non-aperture regions on the TFT-array substrate 10 can be formed using the data lines 6a, the light-shielding conductive films 90a, the first light-shielding films 11a, and the like, a light-shielding film does not have to be provided on the opposing substrate 20. Thereby, when the TFT-array substrate 10 and the opposing substrate 20 are mechanically bonded, there will be no change in the regions through which light passes (aperture regions) even if the substrates are misaligned, because there is no light-shielding film on the opposing substrate 20. Thus, a stable pixel aperture ratio can be obtained at all times, making it possible to greatly reduce the incidence of device defects.

[0131]

(Overall Configuration of the Electro-optical Device)

The overall configuration of the electro-optical device in the various embodiments configured as described above will now be described with reference to FIG. 13 and FIG. 14. Note that FIG. 13 is a plan view of the TFT-array substrate 10 along with the various structural elements formed thereupon as seen from the opposing substrate 20 side, and FIG. 14 is a cross-sectional view along line H-H' in FIG. 13.

[0132]

In FIG. 13, a sealing material 52 is provided on the TFT-array substrate 10 along the edges thereof, and a third light-shielding film 53, which is formed, for example, from the same material as the second light-shielding film 23 or from a different material and serves

as a frame edge defining the periphery of the image-display region, is provided inward of the sealing material 52 and parallel thereto. A data-line drive circuit 101, which drives the data line 6a by supplying an image signal to the data line 6a at a prescribed timing, and an external-circuit connection terminal 102 are provided along an edge of the TFT-array substrate 10 in a region outside the sealing material 52; and scan-line drive circuits 104, which drive the scan lines 3a by supplying a scan signal to each of the scan lines 3a at a prescribed timing, are provided along two edges adjacent to that edge. It goes without saying that there need only be a scan-line drive circuit 104 on one side, as long as delay in the scan signal supplied to the scan line 3a is not a problem. In addition, data-line drive circuits 101 may be arrayed on both sides of the image-display region along the edges thereof. Furthermore, a plurality of wires 105 for connecting the scan-line drive circuits 104 provided on both sides of the image-display region is provided on the remaining side of the TFT-array substrate 10. In addition, a vertical conductive material 106 for providing electrical conduction between the TFT-array substrate 10 and the opposing substrate 20 is provided at at least one location in each corner portion of the opposing substrate 20. Furthermore, as shown in FIG. 14, the opposing substrate 20, which has substantially the same outline as the sealing material 52 shown in FIG. 13, is bonded to the TFT-array substrate 10 by the sealing material 52. Note that, in addition to the data-line drive circuit 101, the scan-line drive circuits 104, etc., a sampling circuit for applying an image signal to the plurality of data lines 6a at a prescribed timing, a precharging circuit for applying a precharging signal of a prescribed voltage level to the plurality of data lines 6a prior to the image signal, a testing circuit for testing the electro-optical device for quality, defects, etc., during manufacturing or when being shipped out, and the like may also be formed on the TFT-array substrate 10.

[0133]

In the embodiments described above with reference to FIG. 1 to FIG. 14, the data-line drive circuit 101 and the scan-line drive circuits 104, instead of being provided on the TFT-array substrate 10, may be electrically and mechanically connected to, for example, a driver LSI mounted on a TAB (tape-automated bonding) substrate via an anisotropically conductive film provided on a peripheral part of the TFT-array substrate 10. In addition, a polarizing film, a phase-contrast film, a polarizing plate, and the like are respectively disposed—in accordance with, for example, the operation mode, such as the TN (twisted nematic) mode, the VA (vertically aligned) mode, and the PDLC (polymer-dispersed liquid crystal) mode, as well as in accordance with the normally white mode/normally black mode—in prescribed directions on the side of the opposing substrate 20 impinged by projected light and the side of the TFT-array substrate 10 from which emergent light exits.

[0134]

To use the electro-optical device in the embodiments described above in color display projector applications, three electro-optical devices are respectively used as light valves for R (red), G (green), and B (blue), and the lights, which have been separated into these colors by dichroic mirrors for RGB color separation, respectively enter the light valves as the projected light. Accordingly, a color filter is not provided on the opposing substrate 20 in these

embodiments. However, an RGB color filter may be formed, along with a protective film for the same, on the opposing substrate 20 in a prescribed region thereof in which the second light-shielding film 23 is not formed and which opposes the pixel electrode 9a. Alternatively, it is also possible to form a color filter layer, using a color resist or the like, under the pixel electrode 9a opposing the RGB on the TFT-array substrate 10. In this way, the electro-optical device of the various embodiments can be applied to direct-view or reflective color electro-optical devices other than projectors. Furthermore, microlenses may be formed on the opposing substrate 20 in one-to-one correspondence with the pixels. In this way, a bright electro-optical device can be realized by improving incident light condensing efficiency. Furthermore, a plurality of interference layers having different indexes of refraction may be deposited on the opposing substrate 20 in order to take advantage of optical interference and form a dichroic filter for creating RGB colors. By using an opposing substrate with a dichroic filter, it is possible to realize an electro-optical device for displaying brighter colors.

[0135]

Note that, in the electro-optical devices of the embodiments described above, incident light impinges from the opposing substrate 20 side as in the conventional art; however, because the first light-shielding film 11a is provided, incident light may impinge from the TFT-array substrate 10 side and be emitted from the opposing substrate 20 side. That is, even if the electro-optical device is mounted on a projector in this manner, it is possible to effectively prevent light from impinging the channel region 1a' of the semiconductor layer 1a and regions adjacent thereto, enabling an image of high quality to be displayed. At this time, there is no need to separately dispose a polarizing plate having an AR (anti-reflection) coating or bond an AR film in order to prevent reflection on the rear surface of the TFT-array substrate 10, thus making it possible to commensurately reduce materials costs and eliminate a reduction in yield due to debris, scratches, or the like when bonding the polarizing plate, which is a great advantage. In addition, because light resistance is excellent, there is no degradation in image quality due to optical crosstalk or the like, even if a bright light source is used or light is polarized using a polarizing beam splitter to improve light-utilization efficiency.

[0136]

In addition, although the switching device provided in each pixel is a positive-staggered or coplanar polysilicon TFT in the foregoing descriptions, the embodiments are also effective for other types of TFTs, such as inverted-staggered TFTs and amorphous silicon TFTs.

[0137]

The electro-optical device of the present invention is not limited to the embodiments described above, but can be appropriately modified within the gist or spirit of the present invention as inferred from the claims and the description as a whole, and the technical scope of the present invention also includes electro-optical devices thus modified.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is an equivalent circuit of various devices, wires, and the like provided in a plurality of pixels in a matrix constituting an image-display region in an electro-optical device according to the first embodiment of the present invention.

FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups on a TFT array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, in the liquid-crystal device of the first embodiment.

FIG. 3 is a cross-sectional view along line A-A' in FIG. 2.

FIG. 4 is an enlarged, partial plan view of capacitor lines and scan lines, and compares a plan-view pattern of a capacitor line and a scan line in the present embodiment with a plan-view pattern thereof in a comparative example.

FIG. 5 is a process diagram (part 1) showing each process, in order, in the image-display region in an embodiment of the manufacturing process of the liquid-crystal device according to the first embodiment.

FIG. 6 is a process diagram (part 2) showing each process, in order, in the image-display region in an embodiment of the manufacturing process of the liquid-crystal device according to the first embodiment.

FIG. 7 is a plan view of a plurality of mutually adjacent pixel groups on a TFT array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, in a liquid-crystal device according to a second embodiment of the present invention.

FIG. 8 is a cross-sectional view along line A-A' in FIG. 7.

FIG. 9 is a plan view of a plurality of mutually adjacent pixel groups on a TFT array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, in a liquid-crystal device according to a third embodiment of the present invention.

FIG. 10 is a cross-sectional view along line A-A' in FIG. 9.

FIG. 11 is a plan view of a plurality of mutually adjacent pixel groups on a TFT array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, in a liquid-crystal device according to a fourth embodiment of the present invention.

FIG. 12 is a cross-sectional view along line A-A' in FIG. 11.

FIG. 13 is a plan view of the TFT-array substrate along with the various structural elements formed thereupon, as seen from the opposing substrate side, in the liquid-crystal devices according to the various embodiments.

FIG. 14 is a cross-sectional view along line H-H' in FIG. 13.

EXPLANATION OF THE REFERENCE NUMBERS

1a	Semiconductor layer
1a'	Channel region
1b	Low-density source region
1c	Low-density drain region
1d	High-density source region
1e	High-density drain region
1f	First capacitor electrode
2	Insulating thin film
3a	Scan line
3b, 3b''	Capacitor lines
4	Second interlayer insulating film
5	Third contact hole
6a	Data line
7	Third interlayer insulating film
8a, 8a'', 8a'''	First contact holes
8b	Second contact hole
18	Contact hole
9a	Pixel electrode
10	TFT array substrate
11a	First light-shielding film

12 Base insulating film
16 Alignment layer
20 Opposing substrate
21 Counter electrode
22 Alignment layer
23 Second light-shielding film
30 TFT
50 Liquid-crystal layer
52 Sealing material

53 Third light-shielding film
70 Storage capacitor
80 First intermediate conductive layer
80' Intermediate conductive layer
81 First interlayer insulating film
101 Data-line drive circuit
104 Scan-line drive circuit
180 Second intermediate conductive layer

FIG. 1

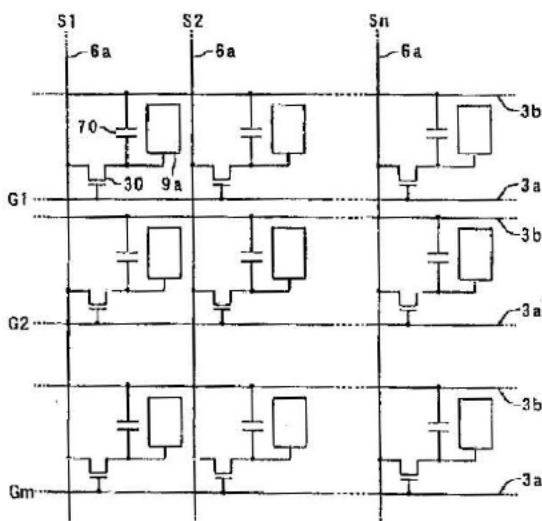


FIG. 2

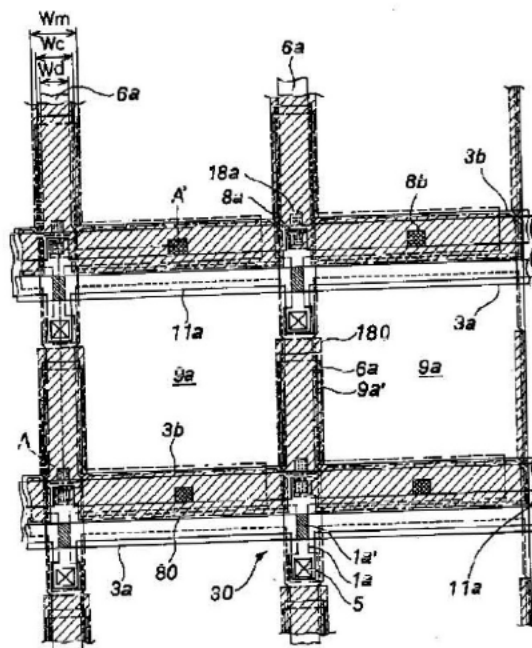


FIG. 3

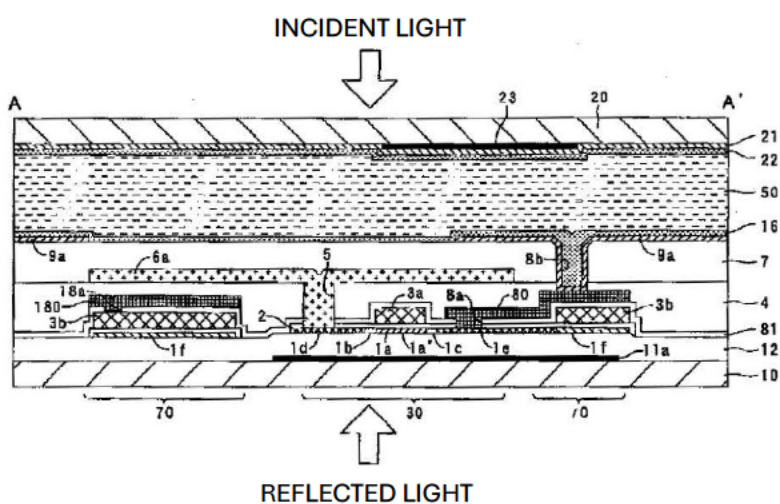


FIG. 5

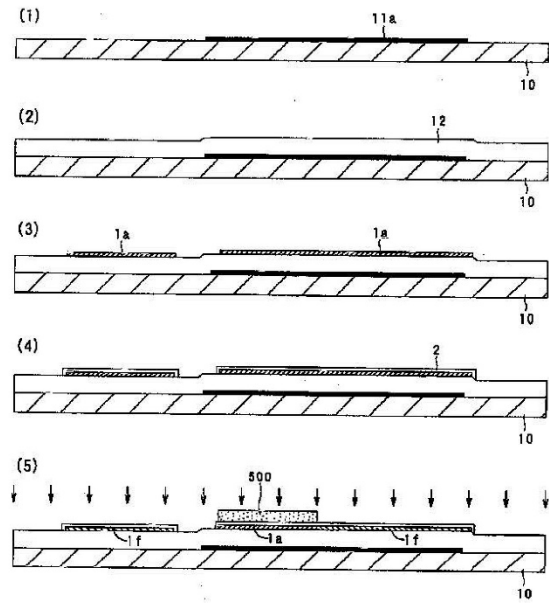


FIG. 7

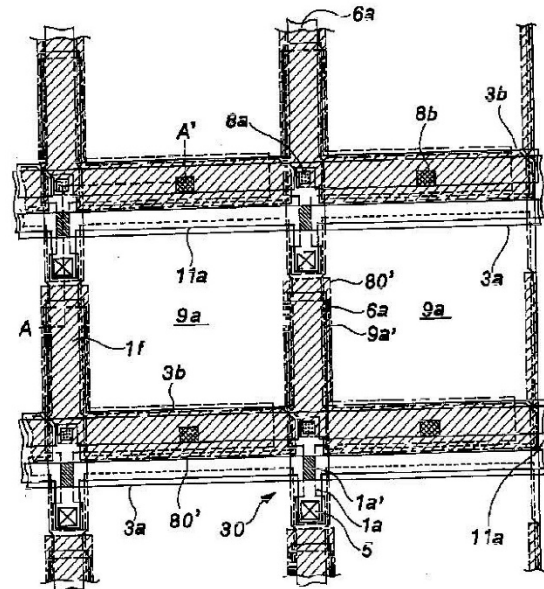


FIG. 8

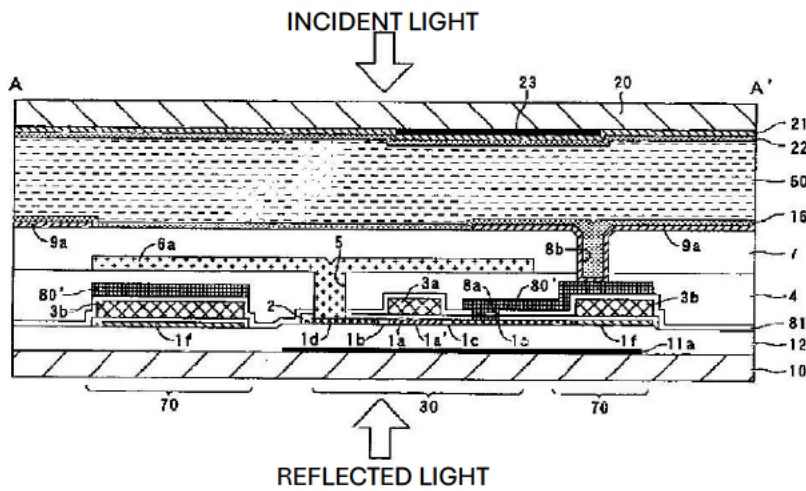


FIG. 9

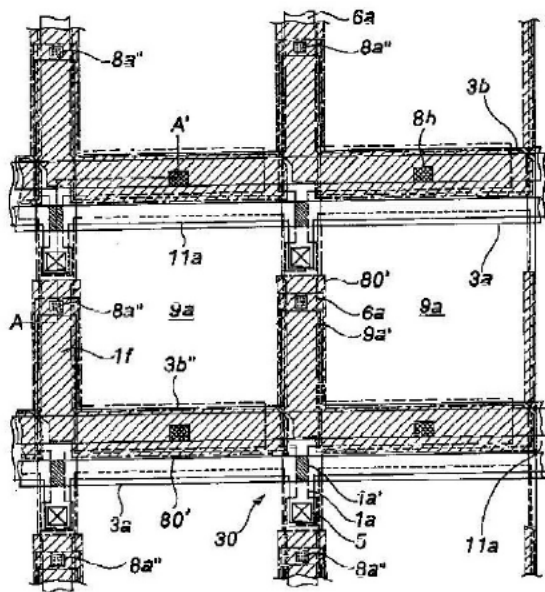


FIG. 11

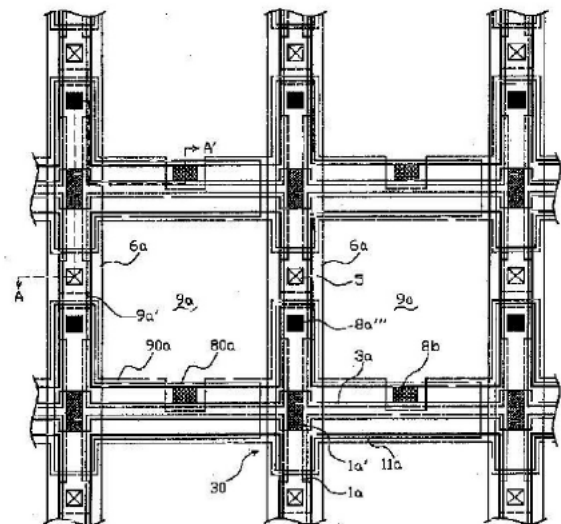


FIG. 10

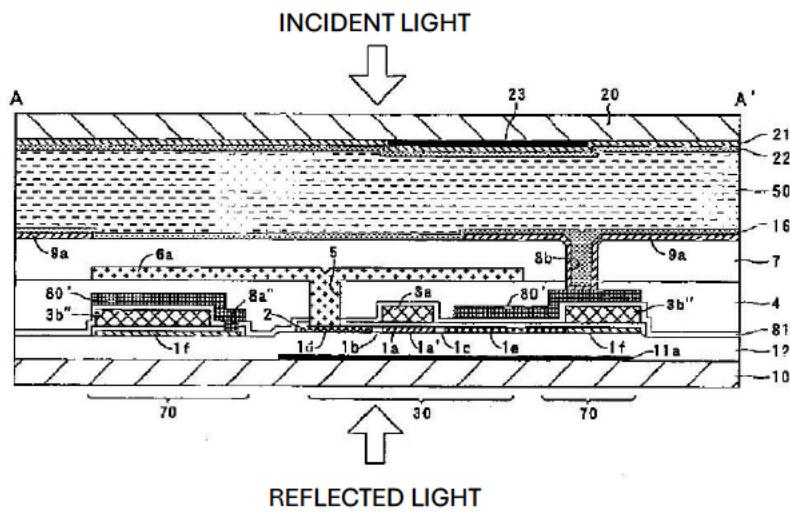


FIG. 12

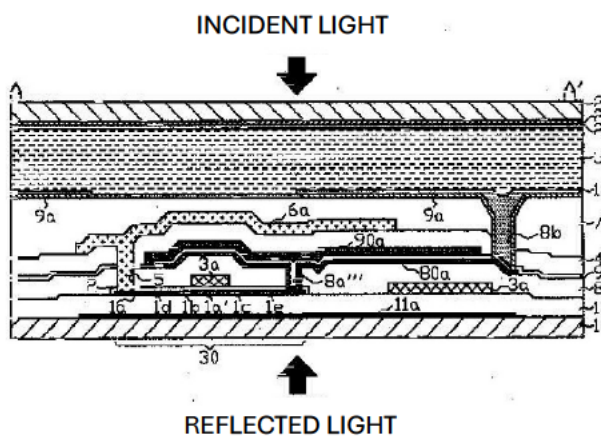
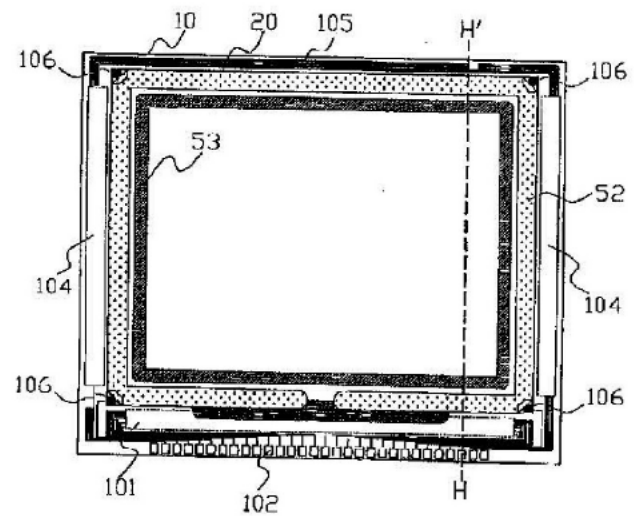


FIG. 13



Continuation of front page

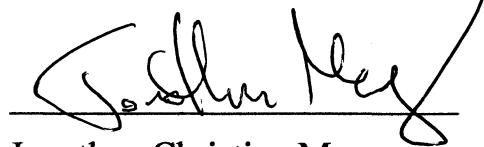
F-term(s) (reference): 2H092 GA28 GA29 GA30 JA45 JA46
JB54 JB56 JB58 JB64 JB65
KB22 KB23 NA04 NA07 PA02
PA06 PA09
5C094 AA05 AA10 BA03 BA43 CA19
EA04 EA07
5F033 GG04 HH04 HH18 HH19 HH20
HH21 HH25 JJ01 JJ04 JJ18
JJ19 JJ20 JJ21 JJ25 KK01
NN20 NN34 QQ09 QQ11 QQ19
QQ37 RR09 RR13 RR14 RR15
VV15 XX03
5F110 AA30 BB02 CC02 DD02 DD03
DD05 DD12 DD13 DD14 DD15
DD17 EE28 FF02 FF03 FF23
FF32 GG02 GG13 GG24 GG25
GG32 GG47 GG52 HJ01 HJ04
HJ23 HL04 HL05 HL08 HL11
HL14 HL23 HM15 NN02 NN03
NN04 NN22 NN23 NN24 NN25
NN35 NN46 NN48 NN54 NN72
NN73 PP02 PP03 PP10 PP13
QQ04 QQ05 QQ11

I, Jonathan Christian Merz, declare as follows:

1. I am over 21 years of age and am competent to make this declaration.
2. I am a native speaker of English.
3. I am fluent in Japanese.
4. I have 15 years of experience translating Japanese to English.
5. I translated the attached patent document "JP2001331125A" from Japanese to English.
6. I certify that the translation of the document "JP2001331125A" is, to the best of my knowledge, a true and accurate translation from Japanese to English.
7. In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.
8. I declare under penalty of perjury that all statements made herein are true and accurate to the best of my knowledge and belief, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed: May 29, 2024

By:

A handwritten signature in black ink, appearing to read 'Jonathan Merz', written over a horizontal line.

Jonathan Christian Merz

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-331125
(P2001-331125A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 F 9/30	3 3 8 3 3 0	G 0 9 F 9/30	3 3 8 2 H 0 9 2 3 3 0 Z 5 C 0 9 4
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 3 3
H 0 1 L 21/768 29/786		H 0 1 L 21/90 29/78	C 5 F 1 1 0 6 1 2 C
審査請求 有 請求項の数22 O L (全 21 頁)			

(21) 出願番号 特願2001-5540(P2001-5540)

(22) 出願日 平成13年1月12日 (2001. 1. 12)

(31) 優先権主張番号 特願2000-77172(P2000-77172)

(32) 優先日 平成12年3月17日 (2000. 3. 17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

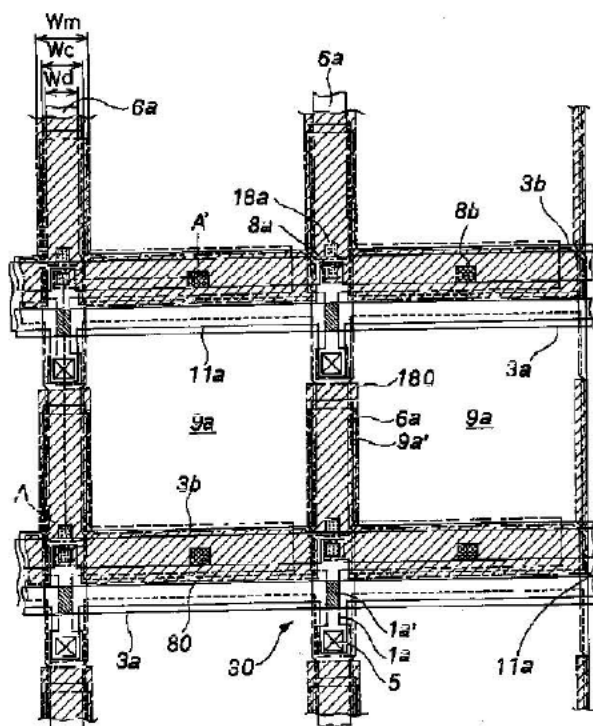
最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【要約】

【課題】 画素電極と画素スイッチング用TFTとの間に中継用の中間導電層を備えた形式の電気光学装置において、画素開口率を高めると同時に蓄積容量を増大させ、しかも画素電極付近における配向膜の表面に凹凸が生じることによる表示画像の品位低下を低減する。

【解決手段】 電気光学装置は、基板上にTFT (30)、データ線 (6a)、走査線 (3a)、容量線 (3b)、第1中間導電層 (80)、第2中間導電層 (180) 及び画素電極 (9a) を備える。TFTのドレインと第1中間導電層とを接続する第1コンタクトホール (8a) は、平面的に見てデータ線に重なる位置に開孔されている。



【特許請求の範囲】

- 【請求項1】 基板上に設けられた薄膜トランジスタと、
前記薄膜トランジスタの半導体層のドレイン領域に電気的に接続される画素電極と、
前記薄膜トランジスタの半導体層と前記画素電極との間に絶縁膜を介して設けられた複数の配線と、
前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電気的接続をなす中間導電層と、
前記複数の配線のうち少なくとも1つの配線の領域下で、前記薄膜トランジスタの半導体層のドレイン領域と前記中間導電層とを電気的に接続する第1コンタクトホールとを備えたことを特徴とする電気光学装置。
- 【請求項2】 前記第1コンタクトホールの径は、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールの径より小さいことを特徴とする請求項1に記載の電気光学装置。
- 【請求項3】 前記複数の配線のうち少なくとも1つの配線は、前記薄膜トランジスタの半導体層のソース領域に電気的に接続されるデータ線であり、前記データ線の領域下に前記第1コンタクトホールが位置することを特徴とする請求項1に記載の電気光学装置。
- 【請求項4】 前記第1コンタクトホールは、前記データ線と前記走査線が交差する近傍に配置されることを特徴とする請求項3に記載の電気光学装置。
- 【請求項5】 前記複数の配線のうち少なくとも1つの配線は、前記データ線に対して交差して配置される走査線をなし、前記中間導電層は前記データ線の領域から前記走査線に沿って延在することを特徴とする請求項3に記載の電気光学装置。
- 【請求項6】 前記中間導電層の前記走査線に沿って配置された延在部に、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールを設けたことを特徴とする請求項4に記載の電気光学装置。
- 【請求項7】 前記第2コンタクトホールは、相隣接するデータ線間のほぼ中央に位置することを特徴とする請求項6に記載の電気光学装置。
- 【請求項8】 前記中間導電層は、前記データ線に沿って延在することを特徴とする請求項3または請求項4に記載の電気光学装置。
- 【請求項9】 前記複数の配線のうち少なくとも1つの配線は、前記中間導電層下に延在する容量線であり、前記容量線は前記第1コンタクトホールの領域を避けて延在していることを特徴とする請求項1に記載の電気光学装置。
- 【請求項10】 前記第1コンタクトホールの深さは、前記中間導電層と前記画素電極との第2コンタクトホールの深さより浅いことを特徴とする請求項1に記載の電気光学装置。
- 【請求項11】 前記中間導電層は、前記走査線と同一

膜からなる容量電極と層間絶縁膜を介して少なくとも部分的に対向配置されていることを特徴とする請求項4に記載の電気光学装置。

【請求項12】 前記第2コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されていることを特徴とする請求項11に記載の電気光学装置。

【請求項13】 前記容量電極は、平面的に見て走査線に沿って延びる部分と前記データ線と交差する個所から前記データ線に沿って延びる部分とを有し、
前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられていることを特徴とする請求項11または請求項12に記載の電気光学装置。

【請求項14】 前記中間導電層は、遮光性の導電膜からなることを特徴とする請求項1に記載の電気光学装置。

【請求項15】 前記中間導電層は、前記遮光領域の一部を規定することを特徴とする請求項14に記載の電気光学装置。

【請求項16】 前記中間導電層は、平面的に見て前記データ線に沿って延びる部分を含み、
前記データ線に沿った方向の前記遮光領域の一部が規定されていることを特徴とする請求項15に記載の電気光学装置。

【請求項17】 前記容量電極は、平面的に見て前記データ線に沿って延びる部分を有し、
前記データ線に沿った個所において夫々、前記データ線の幅 W_d と、前記容量電極の幅 W_c と、前記データ線に沿って延びる中間導電層部分の幅 W_m との間には、 $W_d < W_c < W_m$ なる関係が成立することを特徴とする請求項16に記載の電気光学装置。

【請求項18】 平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられていることを特徴とする請求項17に記載の電気光学装置。

【請求項19】 前記半導体層は、前記データ線の領域下に形成されることを特徴とする請求項3に記載の電気光学装置。

【請求項20】 前記第1コンタクトホールは、前記半導体層のソース領域と前記データ線とを接続する第3コンタクトホールと、前記半導体層のチャネル領域に対して対称となる位置に形成されることを特徴とする請求項19に記載の電気光学装置。

【請求項21】 前記半導体層の下方に、平面的に見て前記走査線から張り出した下部遮光膜を有し、
前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールは、平面的に見て前記下部遮光膜が前記走査線から張り出した領域に位置することを特徴とする請求項19に記載の電気光学装置。

【請求項22】 基板上に設けられた薄膜トランジスタと、

前記薄膜トランジスタの半導体層のソース領域に電氣的に接続されたデータ線と、
 前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、
 前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす遮光性の中間導電層と、
 前記データ線に沿って設けられ、前記薄膜トランジスタの半導体層のドレイン領域に位置する容量線と、
 前記中間導電層と同一膜で形成される遮光膜と、
 前記データ線の領域下で、前記容量線と前記遮光膜とを電氣的に接続するコンタクトホールと
 を備えたことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ(Thin Film Transistor:以下適宜、TFTと称す)との間で、電気導通を良好にとるための中間導電層を基板上の積層構造中に備えた形式の電気光学装置の技術分野に属する。

【0002】

【背景技術】従来、TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該TFTを介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われないので、供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

【0003】他方、この種の電気光学装置では、画素電極を構成するITO膜等の導電膜と画素スイッチング用のTFTを構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電氣的に絶縁するためのゲート絶縁膜や層間絶縁膜が積層されており、これらの画素電極と半導体層との間の距離は例えば1000nm程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電氣的に接続するのは技術的に困難である。そこで、層間絶縁膜間に中間導電層を設けて、これを中継して、画素電極と半導体層とを電氣的に接続する技術が開発されている。

【0004】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率化を高める(即ち、各画素において、表示光が透

過しない遮光領域に対して、表示光が透過する開口領域を広げる)ことが極めて重要となる。

【0005】特に前述の如き中間導電層を設けると、製造工程が増加するだけでなく、積層数やコンタクトホール数が増加して積層構造がより複雑化するため、特に画素ピッチを微細化するに連れて上述した蓄積容量を作り込むことが更に困難となる、或いはコンタクトホールを開孔するための領域を確保するのが困難になるという問題点がある。そして、このように中間導電層を設けることにより必要なコンタクトホールの数が増加すると、コンタクトホールの存在に起因して基板上でその上方に位置する層間絶縁膜の表面には凹凸が生じ、最終的には画素電極及びその上に形成される配向膜の表面に凹凸が生じてしまう。このように画素電極付近における配向膜の表面に凹凸が生じると、電気光学物質の一例である液晶の配向不良が原因で動作不良が生じる。これらの結果、コントラスト比の低下といった表示不良を引き起こし、画質品位を大幅に低下してしまうという問題がある。

【0006】本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めることができ、しかも画素電極付近における配向膜の表面の凹凸を低減することで、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

【0007】

【課題を解決するための手段】(1)本発明の電気光学装置は上記課題を解決するために、基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、前記薄膜トランジスタの半導体層と前記画素電極との間に絶縁膜を介して設けられた複数の配線と、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす中間導電層と、前記複数の配線のうち少なくとも1つの配線の領域下で、前記薄膜トランジスタの半導体層のドレイン領域と前記中間導電層とを電氣的に接続する第1コンタクトホールとを備えたことを特徴とする。

【0008】本発明の電気光学装置によれば、半導体層のドレイン領域と画素電極とは、中間導電層を介して電氣的に接続されているので、両者間にある膜厚が大きくても、両者間を比較的小径の2つのコンタクトホールによって良好に接続することが可能となる。そして、各コンタクトホールを形成する領域は各々小さくでき、画素開口率を高めることができる。

【0009】また、少なくとも1つの配線の領域下で第1コンタクトホールを開孔するので、第1コンタクトホールの存在により各画素の開口領域に不規則な凹凸が発生することがない。これにより、画素電極付近におけるラビング処理を均一に行うことが可能となり且つ電気光学物質の層厚を均一化することも可能となる。この結果、液晶等の電気光学物質における配向不良等の如き動

作不良を低減できる。

【0010】以上のように、本発明の電気光学装置によれば、画素開口率を高めることができ、しかも画素電極付近における配向膜の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結果、明るくてコントラスト比が高く、高品位の画像表示が可能となる。

【0011】(2) 本発明の電気光学装置の一の態様では、前記第1コンタクトホールは、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールの径より小さいことを特徴とする。

【0012】この態様によれば、中間導電層により第2コンタクトホールの開孔時におけるエッチングの突き抜けの防止となる。また、第1コンタクトホールの径を第2コンタクトホールの径より小さくすることで、非画素開口領域を狭くすることが可能になる。

【0013】(3) 本発明の電気光学装置の他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記薄膜トランジスタの半導体層のソース領域に電気的に接続されるデータ線であり、前記データ線の領域下に前記第1コンタクトホールが位置することを特徴とする。

【0014】この態様によれば、非画素開口領域に第1コンタクトホールを配置できるので、配向膜の表面に生じる凹凸を低減できる。

【0015】(4) また、他の態様では、前記第1コンタクトホールは、前記データ線と前記走査線が交差する近傍に配置されることが望ましい。

【0016】この構成によれば、データ線と走査線が交差する近傍に配置したので、比較的広い領域内で、配向膜の表面に生じる凹凸を低減でき、画素電極付近におけるラビング処理を均一に行うことが可能となり、液晶層の配向不良を低減できる。

【0017】(5) また、他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記データ線に対して交差して配置される走査線をなし、前記中間導電層は前記データ線の領域から前記走査線に沿って延在することが望ましい。

【0018】この構成によれば、中間導電層はデータ線の領域から走査線に沿って延在するので、第1コンタクトホールと、第2コンタクトホールの位置を、データ線と走査線に沿った領域に形成することができるので、画素ピッチの微細化に寄与することができる。

【0019】(6) さらに、前記中間導電層の前記走査線に沿って配置された延在部に、前記中間導電層と前記画素電極とを電気的に接続する第2コンタクトホールを設けることが望ましい。

【0020】この構成によれば、従来のドレイン領域と画素電極とを接続するコンタクトホールより小径な第2コンタクトホールを走査線に沿った延在部に配置するので、走査線付近の非画素開口領域が広がるのを低減し

つ、配向膜の表面に生じる凹凸を低減することができる。

【0021】(7) さらに、前記第2コンタクトホールは、相隣接するデータ線間のほぼ中央に位置することが望ましい。

【0022】この構成によれば、第2コンタクトホール上における配向膜の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化できる。

【0023】(8) また、他の態様では、前記中間導電層は、前記データ線に沿って延在することを特徴とする。

【0024】この構成によれば、データ線下で非画素開口領域を広げることなく、第1コンタクトホールの領域を中間導電層で覆うことができる。

【0025】(9) 本発明の電気光学装置の他の態様では、前記複数の配線のうち少なくとも1つの配線は、前記中間導電層下に延在する容量線であり、前記容量線は前記第1コンタクトホールの領域を避けて延在していることを特徴とする。

【0026】この態様によれば、容量線は、従来のドレイン領域と画素電極とを接続するコンタクトホールより小径な第1コンタクトホールの領域を避けて延在しているので、容量面積を確保しつつ、配向膜の表面に生じる凹凸を低減することができる。

【0027】(10) 本発明の電気光学装置の他の態様では、前記第1コンタクトホールの深さは、前記中間導電層と前記画素電極との第2コンタクトホールの深さより浅いことを特徴とする。

【0028】この態様によれば、第1コンタクトホールの領域で、配向膜の表面に生じる凹凸を低減することができる。

【0029】(11) 本発明の電気光学装置の他の態様では、前記中間導電層は、前記走査線と同一膜からなる容量電極と層間絶縁膜を介して部分的に対向配置されていることを特徴とする。

【0030】この態様によれば、中間導電層は、走査線と同一膜からなる容量電極と、層間絶縁膜を介して対向配置されているので、画素電極に接続された蓄積容量を付加することができる。即ち、容量電極の下側のみならず、容量電極の上側にも、蓄積容量を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量を増大させることができる。

【0031】(12) 他の態様では、前記第2コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されているように構成してもよい。

【0032】この構成によれば、第2コンタクトホールが開孔された平面位置における中間導電層部分も、容量電極上に重なっている、即ち容量電極に絶縁膜を介して対向配置されているので、第2コンタクトホールが開孔

された平面領域にも蓄積容量を構築できる。

【0033】(13) 他の態様では、前記容量電極は、平面的に見て前記走査線に沿って延びる部分と前記データ線と交差する個所から前記データ線に沿って延びる部分とを有し、前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられている。

【0034】この構成によれば、データ線に沿った遮光領域において、半導体層のドレイン領域から延設された電極と容量電極とを対向配置させることができ、且つ該容量電極と中間導電層とを対向配置させることができる。従って、データ線に沿った遮光領域にも、立体的な蓄積容量を構築できる。

【0035】(14) 本発明の電気光学装置の他の態様では、前記中間導電層は、遮光性の導電膜からなることを特徴とする。

【0036】この態様によれば、遮光性の導電膜からなる中間導電層により、薄膜トランジスタのチャネル領域やその隣接領域を遮光することが可能となる。即ち、一般には、薄膜トランジスタを構成する半導体層のチャネル領域或いはその隣接領域に光が入射すると、光励起によるリーク電流が発生する。これにより、当該薄膜トランジスタのオフ状態における特性が変化する。これに対し、本発明によれば、中間導電層を利用してこのような光入射によるトランジスタ特性の変化を防止できる。

【0037】(15) 他の態様では、前記中間導電層は、前記遮光領域の一部を規定するように構成してもよい。

【0038】この構成によれば、例えば画素電極等が形成された一方の基板に対向配置される他方の基板である対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは一方の基板内に遮光領域規定用の内蔵遮光膜を別途形成したりすることを少なくとも部分的に排除できる。即ち、遮光領域を規定するための遮光膜等が少なくとも部分的に不要となる分だけ、一方の基板と他方の基板の貼り合わせ時のアライメントずれによる電気光学装置の透過率低下を招くことがない。これにより、電気光学装置の不良を大幅に低減することができる。

【0039】(16) さらに、前記中間導電層は、平面的に見て前記データ線に沿って延びる部分を含み、前記データ線に沿った方向の前記遮光領域の一部が規定されているように構成してもよい。

【0040】この構成によれば、データ線に沿って中間導電層により遮光領域が規定されている部分については、対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは内蔵遮光膜を別途形成したりすることを排除できる。これにより、電気光学装置の透過率ばらつきを大幅に低減することができる。

【0041】(17) さらに、前記容量電極は、平面的に見て前記データ線に沿って延びる部分を有し、前記データ線に沿った個所において夫々、前記データ線の幅 W_d と、前記容量電極の幅 W_c と、前記データ線に沿って延びる中間導電層部分の幅 W_m との間には、 $W_d < W_c < W_m$ なる関係が成立するように構成してもよい。

【0042】この構成によれば、一对の基板のうち対向基板側からの入射光に対しては、データ線及び中間導電層で二重の遮光が可能となる。ここで一般に画像信号を供給するデータ線の材料としては配線抵抗が低いことが優先されてA1（アルミニウム）膜が利用されるが、A1膜の場合には遮光膜であると同時に極めて反射率の高い反射膜である。従って、A1膜からなるデータ線のみにより薄膜トランジスタの遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線の内面（即ち、薄膜トランジスタに面する側の表面）で反射されて、積層構造内で多重反射を起こして、最終的にチャネル領域やその隣接領域に至ってしまう問題を引き起こす。しかるに、本発明のように構成すれば、データ線下に設けられた中間導電層を低反射の高融点金属膜やポリシリコン膜から形成することにより、上述の如き内面反射による多重反射光を減衰する構成を採用することが可能となる。他方、データ線よりも幅広の容量電極と中間導電層とにより更に大きな蓄積容量を構築できる。

【0043】(18) さらに、平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられているように構成してもよい。

【0044】このように構成すれば、データ線幅を細く形成することができる。これにより、データ線と画素電極との間の寄生容量を極力小さくすることができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良を顕著に低減することができる。

【0045】(19) 本発明の電気光学装置の他の態様では、前記半導体層は、前記データ線の領域下に形成されることを特徴とする。

【0046】この構成によれば、半導体層と画素電極とを電氣的に接続する領域を確保すると共に、走査線に沿う非開口領域を狭ピッチにできる。

【0047】(20) さらに、前記第1コンタクトホールは、前記半導体層のソース領域と前記データ線とを接続する第3コンタクトホールと、前記半導体層のチャネル領域に対して対称となる位置に形成されることを特徴とする。

【0048】この構成によれば、多層配線による段差形状をデータ線に対して左右対称にすることができ、液晶の回転方向による光り抜けの差をなくすることができる。

【0049】(21) さらに、前記半導体層の下方に、平面的に見て前記走査線から張り出した下部遮光膜を有し、前記中間導電層と前記画素電極とを電氣的に接続す

る第2コンタクトホールは、平面的に見て前記下部遮光膜が前記走査線から張り出した領域に位置することを特徴とする。

【0050】この構成によれば、半導体層は走査線に沿って形成されないで、走査線に沿う非開口領域を狭ピッチにすると共に、中間導電層と画素電極とを電氣的に接続することができる。

【0051】(22)本発明の他の電気光学装置は、基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの半導体層のソース領域に電氣的に接続されたデータ線と、前記薄膜トランジスタの半導体層のドレイン領域に電氣的に接続される画素電極と、前記薄膜トランジスタの半導体層のドレイン領域と前記画素電極との電氣的接続をなす遮光性の中間導電層と、前記データ線に沿って設けられ、前記薄膜トランジスタの半導体層のドレイン領域に位置する容量線と、前記中間導電層と同一膜で形成される遮光膜と、前記データ線の領域下で、前記容量線と前記遮光膜とを電氣的に接続するコンタクトホールとを備えたことを特徴とする。

【0052】この態様によれば、遮光膜と容量線とを接続するコンタクトホールをデータ線で覆うことにより、該コンタクトホールの領域で、配向膜の表面に生じる凹凸を低減することができる。また、遮光膜を容量電極として形成し、容量を増大することができる。

【0053】本発明のこのような作用及び他の利得は、次に説明する実施の形態から明らかにされる。

【0054】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0055】(第1実施形態)本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。また図4は、本実施形態における容量線及び走査線の平面パターン(図4(a))を比較例における平面パターン(図4(b))と比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

【0056】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、

相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aに走査信号G1、G2、…、Gmを、この順に線順次に印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光の透過量が減少し、ノーマリーブラックモードであれば、印加された電圧に応じて入射光の透過量が増加し、全体として電気光学装置からは画像信号に応じたコントラスト比を持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に、画素電極9aと電氣的に接続された容量電極と、容量線3bの一部である容量電極との間で、誘電体膜を介して蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

【0057】図2において、電気光学装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。画素電極9aは、中間導電層の一例を構成する第1中間導電層80を中継して、第1コンタクトホール8a及び第2コンタクトホール8bを介して半導体層1aのうち後述のドレイン領域に電氣的に接続されている。データ線6aは、第3コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電氣的に接続されている。また、半導体層1aのうちチャネル領域1a'(図中右下りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置されたTFT30が設けられている容量線3bは、走査線3aと同一膜からなり、走査線3aと並行してほぼ直線状に延びる部分と、データ線6aと交差する箇所からデータ線6aに沿って隣接する画素に関連する第3コンタク

トホール5の付近まで延びる部分とを有する。

【0058】図2において、図中太線で示した領域は第1遮光膜11aであり、この第1遮光膜11aは少なくともTFT30の半導体層1aの下側に配置されている。より具体的には図2において、第1遮光膜11aは夫々、走査線3aに沿って縞状に形成されていると共に、データ線6aと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各TFTのチャンネル領域1a'及びその隣接領域をTFTアレイ基板側から見て覆う位置に設けられている。尚、第1遮光膜11aは本実施形態に示すように、走査線3aに沿った方向に当該走査線3aの下方を縞状に延設して形成しても良いし、データ線6aに沿った方向に当該データ線6aの下方を縞状に延設して形成しても良い。あるいは、走査線3a及びデータ線6aに沿って各々の下方を格子状に延設して形成しても良い。また、第1遮光膜11aは、画素電極9aがマトリクス状に複数形成された画像表示領域の外側に延設されて、電気光学装置を駆動するための走査線駆動回路、データ線駆動回路等の周辺回路に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位と電気的に接続するようにすると良い。このように、第1遮光膜11aを定電位に固定することによりTFT30の誤動作を防ぐことができる。

【0059】本実施形態では特に、ドレイン領域1eと第1中間導電層80とを電気的に接続する第1コンタクトホール8aは、データ線6a下に設けられており、第1中間導電層80と画素電極9aとを電気的に接続する第2コンタクトホール8bは、相隣接するデータ線6a間の中央付近における容量線3b上に設けられている。また、データ線6aに沿って、第1中間導電層80と同一膜からなる島状の第2中間導電層180が形成されている。第2中間導電層180は、容量線3bにおけるデータ線6aに沿って延びる部分に重ねられており、第2中間導電層180と容量線3bとは、データ線6a下に設けられたコンタクトホール18aにより相互に電気的に接続されている。また、容量線3bは、第1コンタクトホール8aが形成されたデータ線6a下の領域でデータ線6aと交差する遮光領域で、第1コンタクトホール8aを避けるように括れて形成されており、容量線3bが第1コンタクトホール8aと電気的な接触を持たないように構成されている。

【0060】また、図2及び図3の断面図に示すようにチャンネル領域1a'は、走査線3aとデータ線6aの交差領域に対応して配置されている。また半導体層1aからなる高濃度ソース領域1d、低濃度ソース領域1b、チャンネル領域1a'、低濃度ドレイン領域1c及び高濃度ドレイン領域1eはデータ線6aに重なるように、しかもデータ線に覆われるように配置されている。さらに高濃度ソース領域1d、低濃度ソース領域1b、チャネ

ル領域1a'、低濃度ドレイン領域1c及び高濃度ドレイン領域1eは走査線3aを挟んで一方側に延びるデータ線6aの下方に高濃度ソース領域1dと低濃度ソース領域1bが配置され、他方側に延びるデータ線6aの下方に低濃度ドレイン領域1cと高濃度ドレイン領域1eが配置されている。さらに、高濃度ドレイン領域1eは第1コンタクトホール8aを介して第1中間導電層80に電気的に接続され、第1中間導電層80は、第2コンタクトホール8bを介して画素電極9aに接続され、高濃度ソース領域1dは第3コンタクトホール5を介してデータ線6aに電気的に接続されている。このように非表示領域となるデータ線6aに重なるように第1コンタクトホール8aと第3コンタクトホール5を形成するため、コンタクトホールによる開口率の低下を防ぐことができる。また、コンタクトホールの存在により各画素の開口領域に不規則な凹凸の発生を防ぐことができる。さらに半導体層はデータ線6aに重なるように配置されているため、データ線が遮光膜として機能して半導体層への光の侵入を防ぐことができる。

【0061】次に図3の断面図に示すように、電気光学装置は、基板の一例を構成する透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板やガラス基板やシリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide) 膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0062】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0063】TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0064】対向基板20には、更に図3に示すように、各画素の遮光領域に、第2遮光膜23が設けられている。後に詳述するように、この第2遮光膜23等により、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャンネル領域1a'や、低濃度ソース領域1b及び低濃度ドレイン領域1cを含むチャンネル領域1a'の隣接領域に侵入することはない。更に、第2遮光膜23は、コントラスト比の向上、カラーフィルタを形成した場合における色材の混色防止など

の機能を有する。

【0065】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0066】更に図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）等を少なくとも一つ含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10側からの反射光等が光に対して励起しやすい画素スイッチング用TFT30のチャネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、光に起因したリーク電流の発生により画素スイッチング用TFT30の特性が変化することはない。

【0067】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板10表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0068】図2及び図3に示すように、走査線3aと同一の導電性ポリシリコン膜からなる容量線3bはその下側において、半導体層1aのドレイン領域1eから延設されてなる第1容量電極1fに対して、絶縁薄膜2を介して対向配置され、第2容量電極として機能している部分を有する。これにより、TFT30を構成するゲート絶縁膜を含む絶縁薄膜2を用いて、大きな蓄積容量70を形成することができる。更に、容量線3bの一部はその上側において第1中間導電層80の一部に対して、第1層間絶縁膜81を介して対向配置されている。この第1層間絶縁膜81を薄膜化することにより、更に大きな蓄積容量70を形成することができる。このように、容量線3bの下側のみならず、容量線3bの上側にも、蓄積容量70を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量70を増大できる。

【0069】尚、本実施形態では走査線3bと同一膜からなる第2容量電極を延設して容量線3bを形成しているが、この態様によれば、専用の配線を必要としないので、工程増を招くことが無く有利である。走査線3bと同一膜で容量線3bを形成できない場合は、各画素毎に第2容量電極を島状に形成し、これに定電位を供給する例えば第1遮光膜11aを蓄積容量形成用の配線として代用しても良い。この場合、各画素毎に第1遮光膜11aと第2容量電極を電気的に接続するようにすると良い。第2容量電極には、電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位が供給されているため、第1容量電極1f及び中間導電層80との間で安定した蓄積容量70を構築することができる。

【0070】本実施形態では特に図2及び図3に示すように、第1コンタクトホール8aは、平面的に見てデータ線6aに重なる位置に開孔されている。従って、走査線3aや容量線3bを構成する導電性のポリシリコン膜の下側と上側に夫々位置する半導体層1aと第1中間導電層80とを接続する第1コンタクトホール8aが存在しても、データ線6aに沿って広がる遮光領域を利用して、走査線3aや容量線3bを第1コンタクトホール8aを避けて配線することが容易となる。この様子を図4(a)に拡大して示す。

【0071】仮に図4(b)に示した比較例のように、データ線6a'に重なっていない走査線3a'部分と容量線3b'部分とが並んで配置された領域に、第1コンタクトホール8a'を開孔する場合には、第1コンタクトホール8a'を避けるように容量線3b'や走査線3a'を第1コンタクトホール8a'の周りで括れさせる必要が生じる。しかし、括れ部分が大きいと、容量線3b'や走査線3a'の配線幅が局所的に狭くなり、配線抵抗が大きくなる。これにより、信号遅延やクロストーク

ク等の表示不良を発生してしまう。このため、走査線3 a' 方向の遮光領域の幅W' は、図4 (a) に示した本実施形態における走査線3 a 方向の遮光領域の幅W よりも大きくなる（即ち、 $W' > W$ ）。即ち、比較例と比較して、本実施形態では、走査線3 a 方向の遮光領域の幅W が狭くて済む分だけ各画素の開口領域を広げることが可能となるのである。

【0072】また、図4 (a) に示すようにデータ線6 a 方向の遮光領域と走査線3 a 方向の遮光領域の交差部で第1コンタクトホール8 a を設けることで、当該第1コンタクトホール8 a の存在及びこれを避けて配線される容量線3 b の存在に起因してそれらの上方（配向膜16の表面）に生じる不規則な凹凸を低減することが可能となる。また、画素の開口領域から離間している。このため、第1コンタクトホール8 a を開孔することにより生じる不規則な凹凸の影響を効率的に低減できる。このように画素電極9 a 付近における配向膜16表面の凹凸が低減されていれば、画素電極9 a 付近におけるラビング処理を均一に行うことが可能となり且つ液晶層50の層厚を均一化できる。この結果、液晶層50の配向不良を低減できる。

【0073】更にまた、容量線3 b の走査線3 a に沿って延びる部分には、第1コンタクトホール8 a を避けるための括れが無い分だけ第1容量電極1 f に対向配置される第2容量電極の面積を増加させることができ、この第2容量電極と第1容量電極1 f とにより構築可能な蓄積容量70を増大できる。

【0074】また本実施形態では図2に示したように、第2コンタクトホール8 b は、平面的に見て走査線3 a に沿った各画素の遮光領域のうち相隣接する2本のデータ線6 a 間のほぼ中央に開孔されている。このため、第2コンタクトホール8 b 上における配向膜16の凹凸を、各画素の開口領域の一辺に沿った遮光領域のほぼ中央付近に配置させることができる。これにより、第2コンタクトホール8 b 上における配向膜16表面の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化できる。

【0075】このように本実施形態では、第2コンタクトホール8 b の開孔位置についての自由度は高く、第1中間導電層80上で、データ線6 a と重なっていない領域であれば、任意の位置に第2コンタクトホール8 b を開孔可能である。

【0076】このため本実施形態では、第2コンタクトホール8 b を容量線3 b に重なる位置に開孔することにより、第2コンタクトホール8 b が開孔された平面領域にも蓄積容量70を構築することができ、有利である。

【0077】尚、蓄積容量70中の一の誘電体膜としての絶縁薄膜2は、高温酸化等によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜に他ならないの

で、薄く且つ高耐圧の絶縁膜とすることができ、他の誘電体膜としての第1層間絶縁膜81は絶縁薄膜2と同様に薄く形成することが可能である。従って、これらの誘電体膜を薄く構成することにより、より一層小さい領域で大容量の蓄積容量70を構築できる。

【0078】以上のように、本実施形態の電気光学装置によれば、画素開口率を高めると同時に蓄積容量70を増大させることができ、しかも画素電極9 a 付近における配向膜16の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結果、明るくてコントラスト比が高く、フリッカー、ゴースト、クロストーク等の表示不良の低減された高品位の画像表示が可能となる。

【0079】再び図3において、画素スイッチング用TFT30は、LDD (Lighty Doped Drain) 構造を有しており、走査線3 a、当該走査線3 a からの電界によりチャネルが形成される半導体層1 a のチャネル領域1 a'、走査線3 a と半導体層1 a とを絶縁する絶縁薄膜2、データ線6 a、半導体層1 a の低濃度ソース領域1 b 及び低濃度ドレイン領域1 c、半導体層1 a の高濃度ソース領域1 d 並びに高濃度ドレイン領域1 e を備えている。高濃度ドレイン領域1 e には、複数の画素電極9 a のうちの対応する一つが第1中間導電層80を中継して接続されている。本実施形態では特にデータ線6 a は、A1等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。

【0080】走査線3 a 及び容量線3 b 上に設けられた第1層間絶縁膜81には、高濃度ソース領域1 d へ通じる第3コンタクトホール5 及び高濃度ドレイン領域1 e へ通じる第1コンタクトホール8 a が各々形成されている。

【0081】第1層間絶縁膜81上には、第1コンタクトホール8 a を介して高濃度ドレイン領域1 e に接続された第1中間導電層80と、コンタクトホール18 a を介して容量線3 b と接続された第2中間導電層180とが形成されている。

【0082】第1中間導電層80上には、第2層間絶縁膜4が形成されている。第2層間絶縁膜4上には、データ線6 a が形成されており、データ線6 a は、第2層間絶縁膜4に開孔された第3コンタクトホール5を介して高濃度ドレイン領域1 d に電気的に接続されている。

【0083】更に、データ線6 a 及び第2層間絶縁膜4上には、第1中間導電層80への第2コンタクトホール8 b が形成された第3層間絶縁膜7が形成されている。第2コンタクトホール8 b を介して、画素電極9 a は第1中間導電層80に電気的に接続されている。画素電極9 a は、このように構成された第3層間絶縁膜7の上面に設けられている。

【0084】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領

域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3 a の一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するセルフアライン型の TFT であってもよい。

【0085】また本実施形態では、画素スイッチング用 TFT 30 の走査線 3 a の一部からなるゲート電極を高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上で TFT を構成すれば、チャネルとソース及びドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を LD 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0086】次に第 1 中間導電層 80 について更に説明する。

【0087】図 2 及び図 3 に示すように、第 1 中間導電層 80 は、半導体層 1 a と画素電極 9 a との間に介在しており、高濃度ドレイン領域 1 e と画素電極 9 a とを第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を経由して電氣的に接続する。

【0088】このため、画素電極 9 a から半導体層 1 a まで一つのコンタクトホールを開孔する場合と比較して、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b の径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば 50 nm 程度の非常に薄い半導体層 1 a における突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウェットエッチングで半導体層 1 a まで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用の膜を別途設けたりする必要が生じてしまうのである。

【0089】これに対して本実施形態では、画素電極 9 a 及び高濃度ドレイン領域 1 e を 2 つの直列な第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b により接続すればよいので、これら第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウェットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b に夫々、若干のテーパーを付けるために、ドライエッチング後に敢えてウェットエッチングを行うようにしてもよい。以上のように本実施形態によれば、第 1 コンタクトホール 8

a 及び第 2 コンタクトホール 8 b の径を夫々小さくでき、第 1 コンタクトホール 8 a における第 1 中間導電層 80 の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極 9 a の部分における平坦化が促進される。更に、第 2 コンタクトホール 8 b における画素電極 9 a の表面に形成される窪みや凹凸も小さくて済むので、この画素電極 9 a の部分における平坦化が促進される。更に本実施形態では、このように第 1 層間絶縁膜 81 を薄く形成することにより、第 2 コンタクトホール 8 b の径を更に小さく出来る。

【0090】第 1 中間導電層 80 の具体的な材料としては、例えば第 1 遮光膜 11 a と同様に、不透明な高融点金属である Ti、Cr、W、Ta、Mo 及び Pb 等を少なくとも一つ含む、金属単体、合金、金属シリサイド等が挙げられる。これらから構成すれば、高融点金属と画素電極 9 a を構成する ITO 膜とが接触しても高融点金属が腐食することはないため、第 2 コンタクトホール 8 b を介して第 1 中間導電層 80 及び画素電極 9 a 間で良好に電氣的な接続がとれる。但し、第 1 中間導電層 80 は、導電性のポリシリコン膜から構成してもよい。この場合でも、蓄積容量 70 を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、第 1 層間絶縁膜 81 との間で熱等によるストレスが発生しにくくなるので、クラック防止に役立つ。

【0091】また、第 1 中間導電層 80 の膜厚は、例えば 50 nm 以上 500 nm 以下程度とするのが好ましい。第 1 中間導電層 80 の膜厚が 50 nm 程度であれば、製造プロセスにおける第 2 コンタクトホール 8 b の開孔時に突き抜ける可能性は低くなり、また 500 nm 程度であれば画素電極 9 a の表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。但し、第 1 中間導電層 80 は高融点金属膜やその合金膜から構成すれば、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる突き抜けの可能性は殆ど無い。

【0092】以上に加えて本実施形態では特に、第 1 中間導電層 80 及び第 2 中間導電層 180 は、遮光性の導電膜である高融点金属膜からなる。従って、対向基板 20 上にある第 2 遮光膜 23 及び TFT アレイ基板 10 上にあるデータ線 6 a のみならず、第 1 中間導電層 80 及び第 2 中間導電層 180 により、TFT 30 のチャネル領域 1 a' やその隣接領域を遮光できる。これにより、対向基板 20 側から強力な入射光が入射しても、トランジスタ特性の変化を防止できる。このため本実施形態の電気光学装置は、例えばプロジェクタのライトバルブ用途の如く強力な入射光が入射される場合に有効である。

【0093】更に本実施形態では、このように遮光性の第 1 中間導電層 80 及び第 2 中間導電層 180 は、各画素の開口領域の一部を規定するように幅広に構成されているので、これらが存在する遮光領域には、対向基板 2

0上に第2遮光膜23を形成したり開口領域を規定するためにデータ線6bの幅を広めて形成しなくてもよい。

【0094】ここでは特に、図2に示すようにデータ線6aに沿った各画素の遮光領域では、データ線6aの幅 W_d と、容量線3bの突出部分の幅 W_c と、第2中間導電層180の幅 W_m との間には、 $W_d < W_c < W_m$ なる関係が成立するように、これらのデータ線6a、容量線3b及び第2中間導電層180は平面レイアウトされている。従って、対向基板20側からの入射光に対しては、TFTアレイ基板10上においてデータ線6a及び第2中間導電層180という二重の遮光が可能となる。仮に高反射率のA1膜からなるデータ線6aのみによりTFT30の遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線6aの内面で反射されて多重反射光として最終的にチャンネル領域1a'やその隣接領域に至ってしまう。しかしながら、本実施形態では、第1中間導電層80及び第2中間導電層180を低反射率の高融点金属膜やポリシリコン膜から形成することにより且つ第2中間導電層180をデータ線6aよりも幅広($W_d < W_m$)に形成することにより、上述の如き内面反射による多重反射光を減衰できる。従って、プロジェクトのライトバルブ用途のように強力な入射光や反射光が存在する用途では本実施形態の構成は大変有益である。

【0095】更にまた本実施形態では特に、平面的に見て、画素電極9aにおけるデータ線6aに沿った縁部分は、第2中間導電層180の縁部分に重なるようにし、画素電極9aにおけるデータ線6aに沿った縁部分は、データ線6aの縁部分にほとんど重ねない。このように、第2中間導電層180で遮光領域を規定し、データ線6aと画素電極9aを極力重ねないようにすることで、ソース及びドレイン間の寄生容量を大幅に低減することができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良の発生を抑制し、高品位な電気光学装置を実現できる。

【0096】尚、本実施形態では好ましくは、データ線6aと第2中間導電層180との間にある第2層間絶縁膜4は、その膜厚が500～2000nmとなるように形成される。このような膜厚条件に加えて、第2中間導電層180は、コンタクトホール18aを介して容量線3bに接続されているので、データ線6aと第2中間導電層180との間における寄生容量についても実用上無視できる程度に小さくできる。尚、より具体的な膜厚については、要求される画像品位や装置仕様に応じて、実験、理論計算、シミュレーション等により、個別具体的に決めればよい。

【0097】以上説明した実施形態では好ましくは第1遮光膜11aは、TFTアレイ基板1上の周辺領域に引き出されて、定電位線に接続される。このように構成すれば、第1遮光膜11aを一定電位に固定でき、下地絶

縁膜12を介して第1遮光膜11a上に形成されるTFT30の特性を、第1遮光膜11aにおける電位変動により変化させることはない。この場合、定電位源としては、当該電気光学装置を駆動するための走査線駆動回路、データ線駆動回路等の周辺回路に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。容量線3aと第1遮光膜11aが電気的に接続されていても良い。このような構成を採れば、蓄積容量形成用の配線を冗長構造で形成でき、有利である。

【0098】(電気光学装置の製造プロセス)次に、以上のような構成を持つ第1実施形態の電気光学装置の製造プロセスについて、図5及び図6を参照して説明する。ここに、図5及び図6は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて順を追って示す工程図である。

【0099】先ず図5の工程(1)に示すように、石英基板、ガラス基板、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくは N_2 (窒素)等の不活性ガス雰囲気且つ約900～1300℃の高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光性導電膜を形成した後、フォトリソグラフィ及びエッチングを行うことにより、第1遮光膜11aを形成する。尚、第1遮光膜11a上に、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0100】次に図5の工程(2)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm～2000nmとする。

【0101】次に図5の工程(3)に示すように、下地絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成した後、窒

素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間の熱処理を施することにより、アモルファスシリコン膜を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させポリシリコン膜を形成する。固相成長させる方法としては、RTA (Rapid Thermal Anneal) を使った熱処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。

【0102】この際、画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb (アンチモン)、As (砒素)、P (リン) などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B (ボロン)、Ga (ガリウム)、In (インジウム) などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0103】次に図5の工程(4)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約20～150nmの比較的薄い厚さの熱酸化シリコン膜からなる単一層構造の絶縁薄膜2を形成する。但し、係る熱酸化シリコン膜を30nm以下程度に薄く形成した後に、減圧CVD法等により高温酸化シリコン膜 (HTO膜) や窒化シリコン膜からなる絶縁薄膜を約50nmの比較的薄い厚さに堆積し、これらの熱酸化シリコン膜及び絶縁薄膜を含む多層構造を持つ絶縁薄膜2を形成してもよい。このように複数層構造にすれば、高温熱酸化時間を短くすることにより、特に8インチ以上の大型基板を使用する場合に熱によるそりを防止することができる。

【0104】これらの結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

【0105】次に図5の工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーピング量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1容量電極1fを低抵抗化しても良い。

【0106】次に図6の工程(6)に示すように、先ずレジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、走査線3aと共に容量線3bを形

成する。更に、画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で (例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーピング量にて) ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a' となる。

【0107】次に図6の工程(7)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物を高濃度で (例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーピング量にて) ドーピングする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドーピングすれば良い。

【0108】次に図6の工程(8)に示すように、レジスト層600を除去した後、走査線3a及び容量線3b上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜 (HTO膜) や窒化シリコン膜を約200nm以下の薄い厚さに堆積することにより、第1層間絶縁膜81を形成する。但し、このように絶縁膜を堆積する前に、石英基板等からなるTFTアレイ基板10上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜を形成して、係る酸化膜を含めて吹く複数層構造を有する第1層間絶縁膜81を形成してもよい。

【0109】次に図6の工程(9)に示すように、第1中間導電層80と高濃度ドレイン領域1eとを電氣的に接続するための第1コンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより第1層間絶縁膜81に開孔する。このようなドライエッチングは、指向性が高いため、小さな径の第1コンタクトホール8aを開孔可能である。或いは、第1コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、第1コンタクトホール8aに対し、より良好に電氣的な接続をとるためのテーパーを付与する観点からも有効である。本実施形態では、第1コンタクトホール8aの開孔と同時に第2中間導電層180と容量線3bとを接続するためのコンタクトホール18aも開孔する。これにより、工程の増加を防ぐことができる。

【0110】次に図6の工程(10)に示すように、第1層間絶縁膜81上に、第1遮光膜11aと同じく、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリ

サイド等の金属合金膜やポリシリコン膜をスパッタリング等により堆積した後、フォトリソグラフィ及びエッチング処理により、第1中間導電層80を形成する。これと同時に、第2中間導電層180も形成する。尚、これらの第1中間導電層80及び第2中間導電層180上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良いし、高濃度ドレイン領域1eと第1中間導電層80の接続抵抗を小さくするために、第1中間導電層80及び第2中間導電層180の層構造を下層にポリシリコン膜、上層に高融点金属といった2層構造以上で形成しても良い。

【0111】次に図6の工程(11)に示すように、走査線3a、容量線3b、第1層間絶縁膜81及び下地絶縁膜12からなる積層体における段差のある上面を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。尚、第2層間絶縁膜4を形成した後に、半導体層1aを活性化するために約1000℃の熱処理を行っても良い。

【0112】次に、データ線6aに対する第3コンタクトホール5をエッチングにより第2層間絶縁膜4、第1層間絶縁膜81及び絶縁薄膜2に開孔し、その上にデータ線6aをスパッタリング法等により約100～500nmの厚さのA1等の低抵抗金属膜や金属シリサイド膜から形成し、その上に第3層間絶縁膜7をCVD法等により形成する。

【0113】続いて、第3層間絶縁膜7及び第2層間絶縁膜4に第2コンタクトホール8bをエッチングにより開孔し、最後にITO膜からなる画素電極9aを第2コンタクトホール8bを介して第1中間導電層80と電気的な接続がとれるように形成する。特にこの工程(11)においては、第3コンタクトホール5の開孔時に、走査線3aや容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、第1層間絶縁膜81や第2層間絶縁膜4に同時に開孔するとよい。また、データ線6aは、約100～500nm、好ましくは約300nm程度に堆積し、第3層間絶縁膜7は、約500～1500nm程度に堆積するとよい。また、第2コンタクトホール8aは、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成すればよいが、テーパー状にするためにウェットエッチングを用いても良い。更に、画素電極9aは、約50～200nm程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型の液晶装置に用いる場合には、A1等の反射率及び遮光性の高い材料から画素電極9aを形成してもよい。

【0114】以上説明したように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置を比較的容易に製造できる。加えて、画素スイッチング用T

FT30は半導体層1aをポリシリコンで形成するので、画素スイッチング用TFT30の形成時にほぼ同一工程で、周辺回路を形成することも可能である。

【0115】尚、以上説明した製造プロセスでは、画素電極9aが形成される段階で、膜面が平坦化されているように第2層間絶縁膜4や第3層間絶縁膜7の表面をCMP法等により平坦化しても良い。或いはTFTアレイ基板10の所定領域にエッチングを予め施して凹状の窪みを形成して、その後の工程を同様に行うことにより結果的に第3層間絶縁膜7の表面が平坦化されるようにしても良いし、第2層間絶縁膜4や下地絶縁膜12を凹状に窪めて形成しても良い。このように、画素電極9aが形成される段階で、下地の膜面が平坦化されていれば、段差による液晶のディスクリネーションの発生を極力抑えることができ、コントラスト比の低下等の表示不良を招くことがない。

【0116】(第2実施形態)本発明による電気光学装置の第2実施形態である液晶装置の構成について、図7及び図8を参照して説明する。図7は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図8は、図7のA-A'断面図である。尚、図8においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0117】図7及び図8に示すように第2実施形態は、第1実施形態における第1中間導電層80及び第2中間導電層180が分離されておらずに、各画素毎にL字形状の一つの中間導電層80'として設けられている点と、これに伴って第1実施形態における第2中間導電層180と容量線3bとを接続するためのコンタクトホール18aが開孔されていない点とが異なり、その他の構成については第1実施形態の場合と同様である。尚、図7及び図8においては、第1実施例に係る図2及び図3と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

【0118】このように第2実施形態では、中間導電層80'は、データ線6aに沿った容量線3bの部分と第2層間絶縁膜4を介して重ねられ、蓄積容量70を形成する。従って、データ線6aに沿った遮光領域において、半導体層1aの高濃度ドレイン領域1eから延設された第1容量電極1fと容量線3bとを対向配置させ、且つ容量線3bと中間導電層80'とを対向配置させることができる。この結果、第2実施形態によれば、データ線6aに沿った遮光領域にも、立体的な蓄積容量70を構築できるため、小さな領域に効率的に大きな蓄積容量を形成することができ、画素の高開口率化や画素ピッチの微細化が進んだ際に、非常に有利な構造である。

【0119】(第3実施形態)本発明による電気光学装置の第3実施形態である液晶装置の構成について、図9及び図10を参照して説明する。図9は、データ線、走

査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図であり、図10は、図9のA-A'断面図である。尚、図10においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。

【0120】尚、図9及び図10においては、第1実施形態に係る図2及び図3若しくは第2実施形態に係る図7及び図8と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

【0121】このように第3実施形態では、中間導電層80'は、データ線6aに沿った容量線3b"のデータ線6aに沿った部分に第2層間絶縁膜4を介して重ねられており、この領域でも蓄積容量70を形成している。従って、データ線6aに沿った遮光領域において、半導体層1aの高濃度ドレイン領域1eが延設されて容量電極をなす第1容量電極1fと容量線3b"とを対向配置させることができ、且つ容量線3b"と中間導電層80'とを対向配置させることができる。これに加えて第2実施形態の場合と異なり、第1コンタクトホール8a"が平面的に見て容量線3b"のデータ線6aに沿った部分の先端より更に先で中間導電層80'と半導体層1aが電氣的に接続できるように設けるため、容量線3b"に括れを設ける必要がなくなり、更に画素の開口率を高め、且つ蓄積容量70を増大することができる。

【0122】以上説明した各実施形態では、各種コンタクトホールの平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。

【0123】(第4実施形態)本発明による電気光学装置の第4実施形態である液晶装置の構成について、図11及び図12を参照して説明する。図11は、データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図であり、図12は、図11のA-A'に沿った断面図である。尚、図12においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。第1実施形態と同一の部材については同一の符号を付し詳細な説明は省略する。

【0124】第4実施形態は、図11に示すように、非開口領域のはば中心に走査線3a及びデータ線6aを設けている。半導体層1aは、走査線3aと交差するようにデータ線6aの下方に配置する。図12に示すようにデータ線6aと半導体層1aの高濃度ソース領域1dは、データ線6aの下方において第3コンタクトホール5を介して電氣的に接続されている。また、半導体層1aの高濃度ドレイン領域1eと中間導電層80aは、データ線6aの下方において第1コンタクトホール8a'''を介して電氣的に接続されている。このように半導体層1aを遮光性のデータ線6aの下方に配置することにより、対向基板20側から入射される光が直接半

導体層1aに照射されることを防ぐ効果がある。更に、半導体層1aと第3コンタクトホール5及び第1コンタクトホール8a'''を、走査線3a方向の非開口領域及びデータ線6a方向の非開口領域の中心線に対して線対称に形成することにより、段差形状をデータ線6aに対して左右対称にすることができ、液晶の回転方向による光抜けの差がなくなるので有利である。

【0125】半導体層1aの下方には、下地絶縁膜12を介して第1遮光膜11aが形成されている。第1遮光膜11aはデータ線6a方向及び走査線3a方向に沿って、マトリクス状に形成されている。半導体層1aは第1遮光膜11aの内側に配置されており、TFTアレ基板10側からの戻り光が、直接半導体層1aに照射されることを防ぐ効果がある。

【0126】中間導電層80aはポリシリコン膜や高融点金属等を含む導電膜から成り、半導体層1aと画素電極9aの層間において、走査線3a及びデータ線6aに沿って略T字型に延設され、半導体層1aと画素電極9aを電氣的に接続するためのバッファとしての機能を果たす。具体的には、半導体層1aの高濃度ドレイン領域1eと導電性の中間導電層80aを第1コンタクトホール8a'''において電氣的に接続し、中間導電層80aと画素電極9aを第2コンタクトホール8bにおいて電氣的に接続されている。このような構成を採る事により、層間絶縁膜に対して深いコンタクトホールを開孔する場合でも、エッチング選択比が大きい中間導電層80aを設けることにより、コンタクトホール開孔時に半導体層1aを突抜けてしまう危険を回避する事ができる。尚、データ線6aと半導体層1aの高濃度ソース領域1dとを電氣的に接続するための第3コンタクトホール5においても同様に、中間導電層80aと同一膜で中継させても良い。

【0127】また、第4実施形態では、中間導電層80aに層間絶縁膜91が積層され、その上に遮光性の導電膜90aを形成している。遮光性の導電膜90aは、第2コンタクトホール8bを除いて中間導電層80aを覆うように走査線3a方向に画像表示領域の外側まで延設され、走査線駆動回路やデータ線駆動回路等に供給される負電源、正電源等の定電位源、接地電源、あるいは対向電極に供給される定電位源等のいずれかと電氣的に接続することにより電位が固定されている。したがって、中間導電層80aを一方の容量電極とし、遮光性の導電膜90aを他方の容量電極として図1に示す蓄積容量70を形成することができる。この際、層間絶縁膜91が蓄積容量70の誘電体膜として機能することは言うまでもない。ここで、層間絶縁膜91は蓄積容量70を形成するためだけに積層するので、中間導電層80aと遮光性の導電膜90aとの間でリークしない膜厚まで層間絶縁膜91を薄膜化することにより、蓄積容量70を増大できる。更に、本実施形態では層間絶縁膜81を厚く形

成することにより、中間導電層80aをTFT30や走査線3aの上方まで延設することができるため、蓄積容量70を効率良く増大させることができる。更に、第4実施形態では半導体層1aを延設して容量電極を形成していない。これにより、走査線3aと同一膜で蓄積容量を形成するための容量電極及び容量線を形成する必要がないため、図11に示すように、走査線3aを遮光性の導電膜90aや第1遮光膜11aから規定される非開口領域のほぼ中心に配置することができる。また、ポリシリコン膜から成る半導体層1aは膜の低抵抗化をする必要がないので、容量電極形成部に不純物を打ち込まなくても良く、工程を削減する事ができる。

【0128】第4実施形態では、TFT30のチャネル領域1a'は、走査線3aとデータ線6aの交差部に形成することで、データ線6a方向と走査線3a方向の非開口領域のほぼ中心に設けることができる。これにより、対向基板20側からの入射光やTFTアレ基板10側からの戻り光に対して、最も光が照射されにくい位置になるため、光によるTFT30のリーク電流を大幅に低減することができる。

【0129】更に、第4実施形態では図11に示すように、チャネル領域1a'付近において、遮光性の導電膜90a、中間導電層80a、第1遮光膜11aの順にパターン幅を狭く形成する事により、入射光が直接第1遮光膜11aに照射されないように工夫してある。また、遮光性の導電膜90aと半導体層1aの間にポリシリコン膜からなる中間導電層80aを介在させる事により、第1遮光膜11a表面での反射光やTFTアレ基板10側からの戻り光を吸収させる効果を持たせる事ができ、耐光性に有利である。

【0130】また、第4実施形態では、データ線6a、遮光性の導電膜90a、第1遮光膜11a等によりTFTアレ基板10上で非開口領域を形成できるため、対向基板20に遮光膜を設けなくても良い。これにより、TFTアレ基板10と対向基板20を機械的に貼り合わせる際に、アライメントがずれたとしても対向基板20上に遮光膜がないため、光が透過する領域（開口領域）が変化することはない。これにより、常に安定した画素開口率が得られるため、装置不良を大幅に低減することができる。

【0131】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の全体構成を図13及び図14を参照して説明する。尚、図13は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、図13のH-H'断面図である。

【0132】図13において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定す

る額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号の遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。更にTFTアレ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電気的な導通をとるための上下導通材106が設けられている。そして、図14に示すように、図13に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0133】以上図1から図14を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0134】以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクタに適用されるため、3枚の電気光学装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラー

フィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、プロジェクト以外の直視型や反射型のカラー電気光学装置に各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー表示用の電気光学装置が実現できる。

【0135】尚、以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置をプロジェクトに取り付けても、半導体層1aのチャンネル領域1a'やその隣接領域に光が入射することを効果的に防ぐことが出来、高画質の画像を表示することが可能である。この際、TFTアレ基板10の裏面側での反射を防止するための反射防止用のAR (Anti Reflection)被膜された偏光板を別途配置したりARフィルムを貼り付ける必要もなく、その分だけ、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0136】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0137】本発明の電気光学装置は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の第1実施形態である電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】本実施形態における容量線及び走査線の平面パターンを比較例における平面パターンと比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

【図5】第1実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図(その1)である。

【図6】第1実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図(その2)である。

【図7】本発明の第2実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図8】図7のA-A'断面図である。

【図9】本発明の第3実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図10】図9のA-A'断面図である。

【図11】本発明の第4実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図12】図11のA-A'断面図である。

【図13】各実施形態の液晶装置におけるTFTアレ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図14】図13のH-H'断面図である。

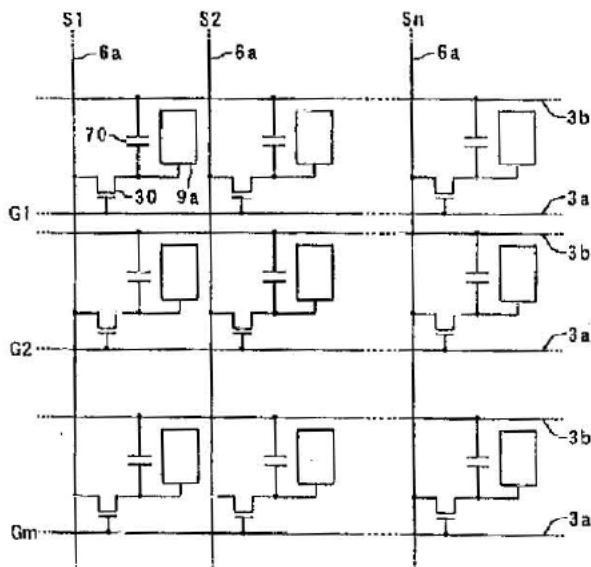
【符号の説明】

- 1a…半導体層
- 1a'…チャンネル領域
- 1b…低濃度ソース領域
- 1c…低濃度ドレイン領域
- 1d…高濃度ソース領域
- 1e…高濃度ドレイン領域
- 1f…第1容量電極
- 2…絶縁薄膜
- 3a…走査線
- 3b、3b'…容量線
- 4…第2層間絶縁膜
- 5…第3コンタクトホール
- 6a…データ線
- 7…第3層間絶縁膜
- 8a、8a'、8a''…第1コンタクトホール
- 8b…第2コンタクトホール
- 18…コンタクトホール
- 9a…画素電極
- 10…TFTアレ基板
- 11a…第1遮光膜

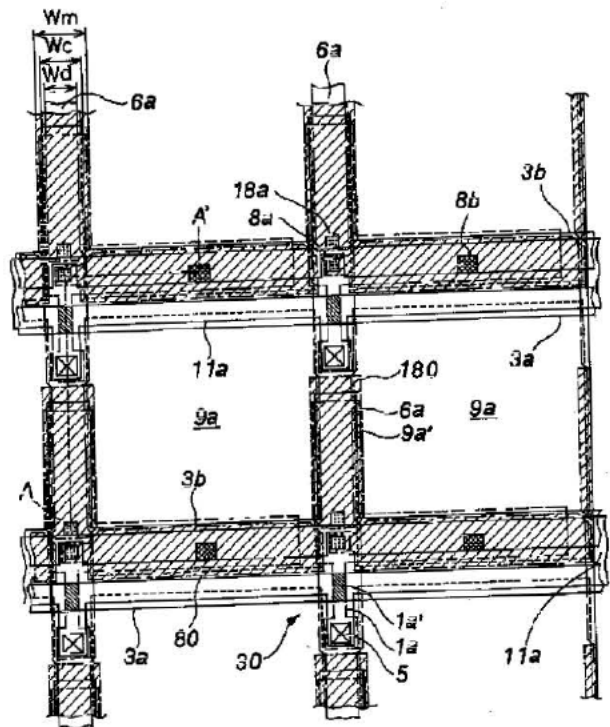
12…下地絶縁膜
16…配向膜
20…対向基板
21…対向電極
22…配向膜
23…第2遮光膜
30…TFT
50…液晶層
52…シール材

53…第3遮光膜
70…蓄積容量
80…第1中間導電層
80'…中間導電層
81…第1層間絶縁膜
101…データ線駆動回路
104…走査線駆動回路
180…第2中間導電層

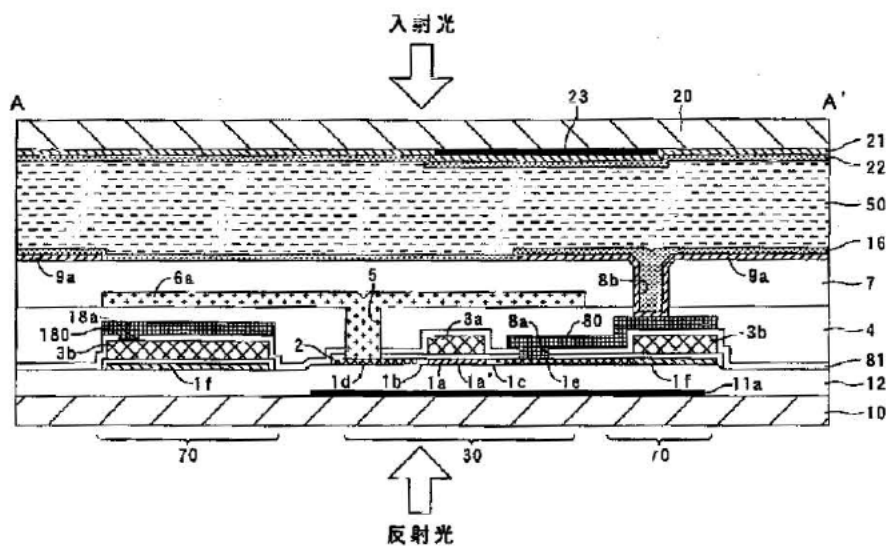
【図1】



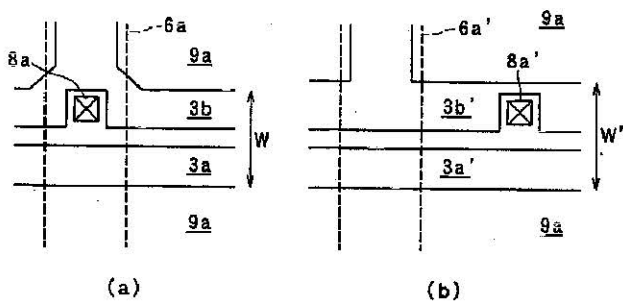
【図2】



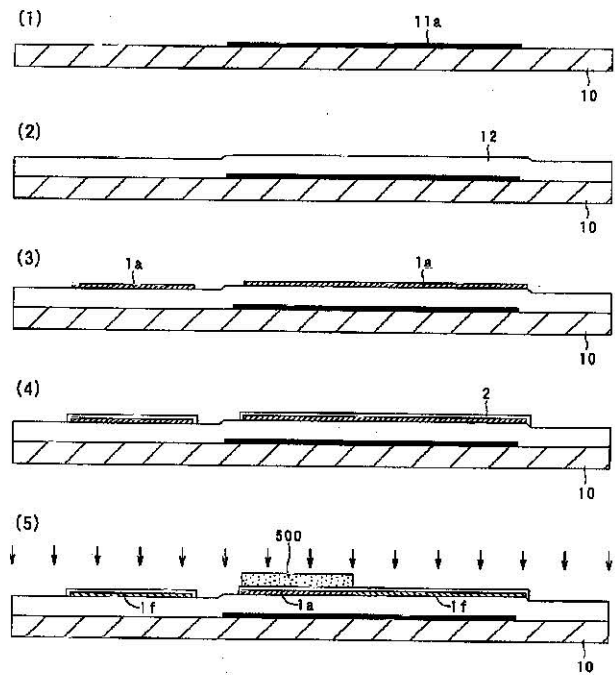
【図3】



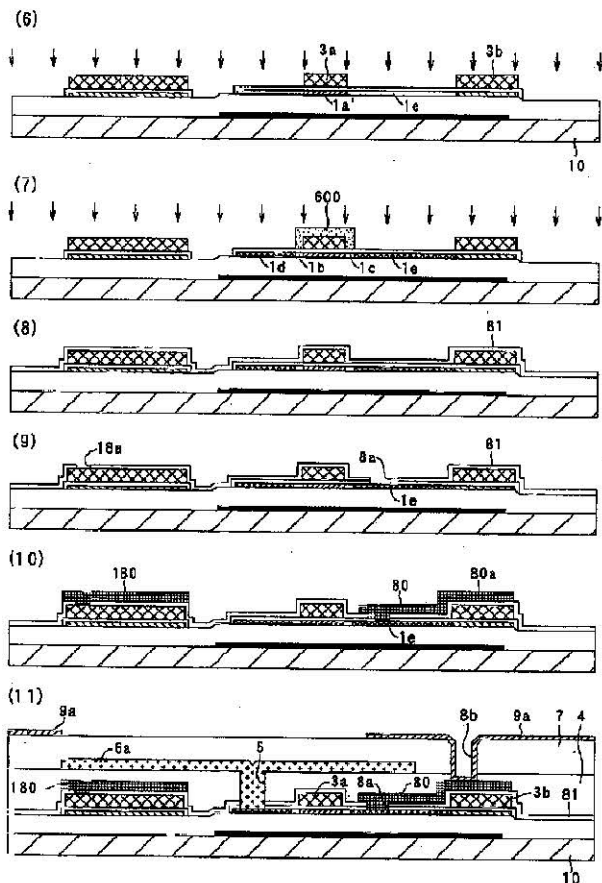
【図4】



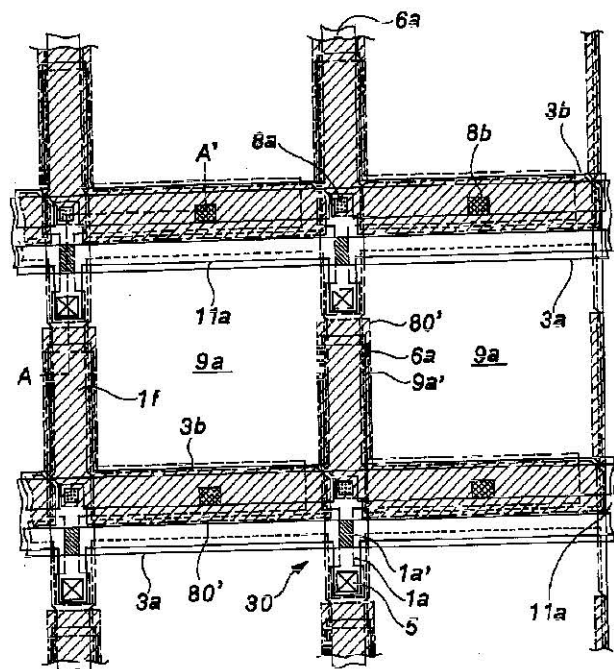
【図5】



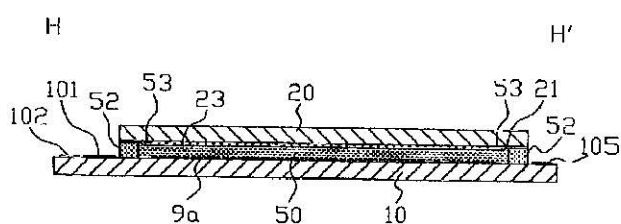
【図6】



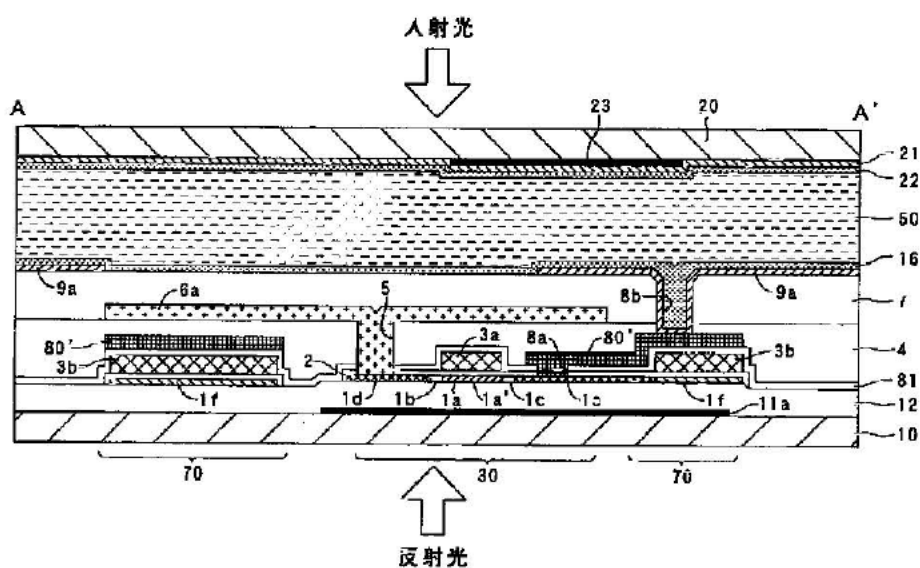
【図7】



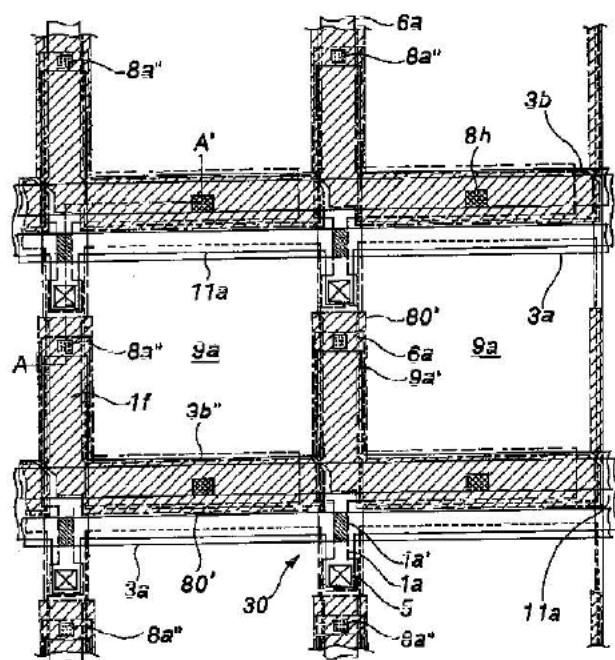
【図14】



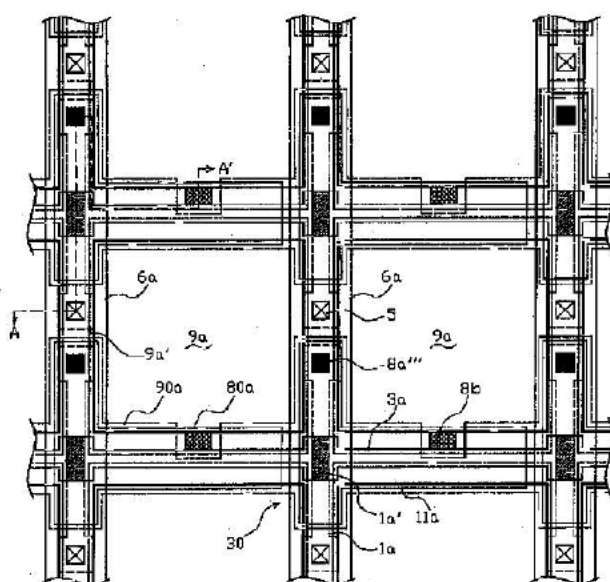
【図8】



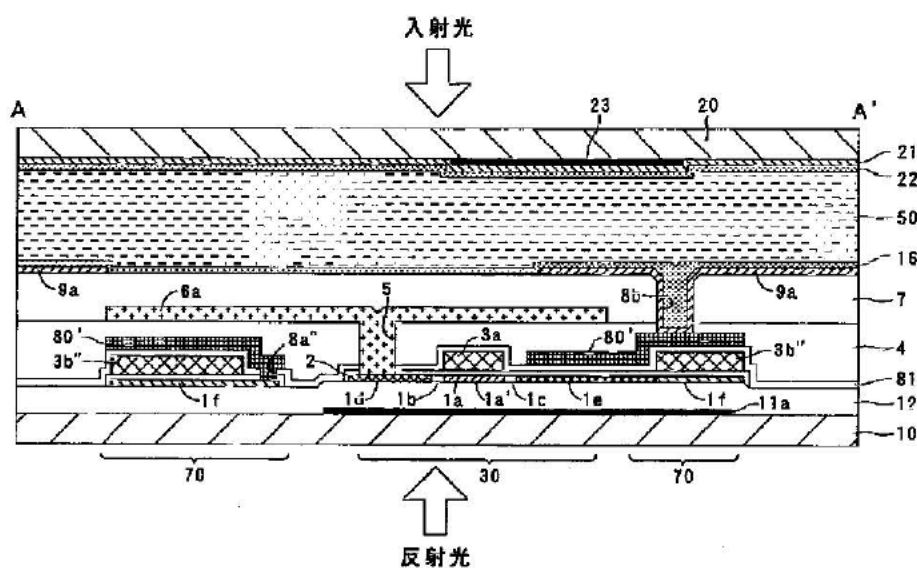
【図9】



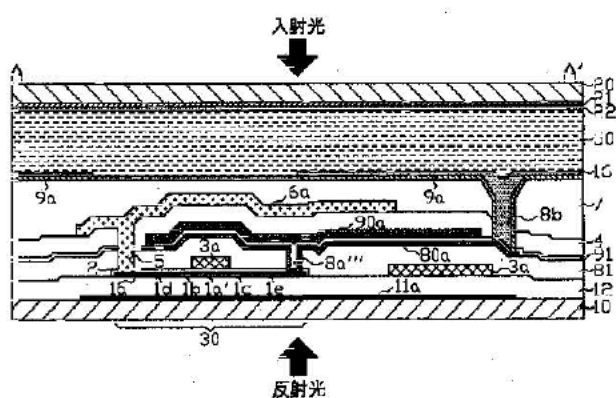
【図11】



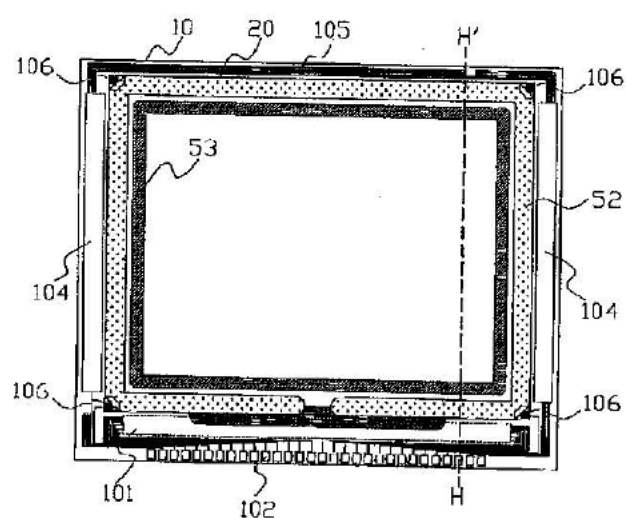
【图 10】



【例 12】



【图 13】



フロントページの続き

F ターム(参考) 2H092 GA28 GA29 GA30 JA45 JA46
JB54 JB56 JB58 JB64 JB65
KB22 KB23 NA04 NA07 PA02
PA06 PA09
5C094 AA05 AA10 BA03 BA43 CA19
EA04 EA07
5F033 GG04 HH04 HH18 HH19 HH20
HH21 HH25 JJ01 JJ04 JJ18
JJ19 JJ20 JJ21 JJ25 KK01
NN20 NN34 QQ09 QQ11 QQ19
QQ37 RR09 RR13 RR14 RR15
VV15 XX03
5F110 AA30 BB02 CC02 DD02 DD03
DD05 DD12 DD13 DD14 DD15
DD17 EE28 FF02 FF03 FF23
FF32 GG02 GG13 GG24 GG25
GG32 GG47 GG52 HJ01 HJ04
HJ23 HL04 HL05 HL08 HL11
HL14 HL23 HM15 NN02 NN03
NN04 NN22 NN23 NN24 NN25
NN35 NN46 NN48 NN54 NN72
NN73 PP02 PP03 PP10 PP13
QQ04 QQ05 QQ11