

(19) Japan Patent Office (JP)

(12) Published Unexamined Patent Application (A)

(11) Publication No. of Unexamined Application: **Kokai No. 2002-158360
(P2002-158360A)**

(43) Date of Publication of Unexamined Application: **May 31, 2202 (2002.5.31)**

(51) Int. Cl. ⁷	ID	FI	Theme Code (Reference)
H01L 29/786		G02F 1/1335 500	2H091
G02F 1/1335	500	G09F 9/30 338	2H092
	1/1368	H01L 29/78 619B	5C094
G09F 9/30	338	G02F 1/136 500	5F110
		H01L 29/78 612C	

Request for Examination: Not requested
Number of Claims: 16
Method of Filing: OL (Online)
Total Number of Pages: 16

Continued on last page

(21) Patent Application No.: 2000-354544
(P2000-354544)
(22) Filing Date: Nov. 21, 2000
(2000.11.21)

(71) Applicant: 000002369
SEIKO EPSON CORP.
2-4-1 Nishi-shinjuku, Shinjuku City,
Tokyo
(72) Inventor: Kenichi TAKAHARA
c/o SEIKO EPSON CORPORATION
3-chome 3-ban 5-go Owa, Suwa City, Nagano
(74) Agent: 100095728
Patent Attorney Masayo KAMIYANAGI
(and 1 other)

Continued on last page

(54) Title of Invention

ELECTRO-OPTICAL DEVICE AND MANUFACTURING METHOD THEREFOR

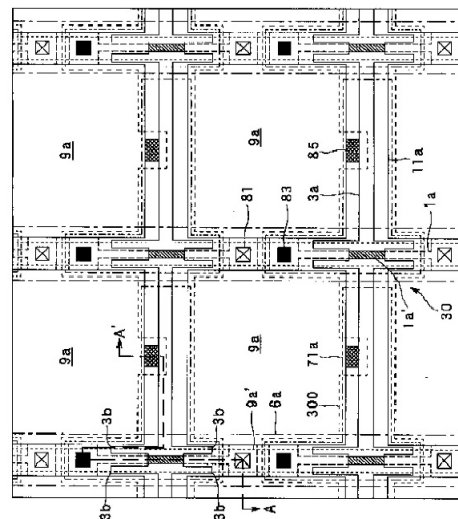
(57) Abstract

Problem

To increase a light-blocking characteristic, thereby enabling the display of a bright, high-quality image in an electro-optical device such as a liquid-crystal device.

Solution

An electro-optical device comprises, on a TFT array substrate (10), a pixel electrode (9a), a TFT (30) connected thereto, and a scan line (3a) connected thereto. The scan line has a main-body portion, which extends in a direction that crosses a longitudinal direction of a channel region of the TFT and includes a gate electrode of the TFT, which overlaps the channel region in plan view, and a protruding portion that protrudes on a side of a channel-adjacent region, viewed in plan view, in the longitudinal direction of the channel region from the main-body portion. In addition, the electro-optical device comprises an upper-side, light-shielding film (300, 6a), which covers the channel region from the upper side. The upper-side, light-shielding film is formed at least partially in a recessed shape, viewed from the channel region side, in a cross section that crosses the longitudinal direction of the channel region.



CLAIMS

1. An electro-optical device comprising:
on a substrate:
a pixel electrode;
a thin-film transistor connected to the pixel
electrode; and
a scan line connected to the thin-film
transistor;
wherein:
the thin-film transistor comprises a semiconductor layer
that includes a channel region, which extends in a longitudinal
direction, and a channel-adjacent region, which further extends in
the longitudinal direction from the channel region; and
the scan line has: a main-body portion that extends in a
direction that crosses the longitudinal direction and includes a gate
electrode of the thin-film transistor, which overlaps the channel
region viewed in plan view; and a protruding portion, which
protrudes from the main-body portion in the longitudinal direction
on a side of the channel-adjacent region viewed in plan view.
2. The electro-optical device according to claim 1, wherein the
main-body portion and the protruding portion become integrated
from the same film.
3. The electro-optical device according to claim 1 or 2, wherein the
main-body portion is formed with a wide width at a location that
includes the gate electrode.
4. The electro-optical device according to any one of claims 1–3,
wherein the protruding portions are located on the source side and
the drain side of each of the channel regions, viewed in plan view,
and protrude on both sides of the channel-adjacent region.
5. The electro-optical device according to any one of claims 1–4,
wherein the scan line is constituted from a light-shielding film that
contains a metal or an alloy.
6. The electro-optical device according to claim 5, wherein the scan
line has a multilayer structure of a metal film and a silicon film.
7. The electro-optical device according to any one of claims 1–6,
wherein the channel-adjacent region is constituted from an LDD
(lightly doped drain) region or an offset region.
8. An electro-optical device comprising:
on a substrate:
a pixel electrode;
a thin-film transistor connected to the pixel
electrode;
and
a wiring connected to the thin-film transistor;
an upper-side, light-shielding film, which
covers at least a channel region of the thin-film transistor from the
upper side;
wherein the upper-side, light-shielding film is formed in
a recessed shape, viewed from the channel region side, in a cross
section orthogonal to a longitudinal direction of the channel region.
9. The electro-optical device according to claim 8, wherein the
upper-side, light-shielding film is constituted from a portion of the
wiring.
10. The electro-optical device according to claim 8 or claim 9,
wherein the upper-side, light-shielding film includes a

capacitor electrode in order to impart storage capacitance to the
pixel electrode.

11. The electro-optical device according to any one of claims 8–10,
wherein the upper-side, light-shielding film is constituted from a
light-shielding film that contains a metal or an alloy.

12. The electro-optical device according to any one of claims 8–11,
wherein:

the thin-film transistor has a semiconductor layer that
includes the channel region and a channel-adjacent region, which
extends further in the longitudinal direction from the channel
region;

the wiring includes a scan line; and

the scan line has: a main-body portion that extends in a
direction that crosses the longitudinal direction and includes a gate
electrode of the thin-film transistor, which overlaps the channel
region viewed in plan view; and a protruding portion, which
protrudes from the main-body portion in the longitudinal direction
on a side of the channel-adjacent region viewed in plan view.

13. The electro-optical device according to any one of claims 8–12,
wherein:

a groove, which extends along the longitudinal direction
on a side of the channel region, viewed in plan view, is formed in
the substrate or in a base-insulating film on the substrate; and

the upper-side, light-shielding film is formed in the
recessed shape corresponding to a step created by the groove.

14. The electro-optical device according to any one of claims 8–12,
further comprising:

on the substrate, an interlayer-insulating film that is
located on the upper side of the channel region and on the lower
side of the upper-side, light-shielding film;

wherein:

a groove, which extends along the longitudinal direction
on a side of the channel region viewed in plan view, is formed in
the interlayer-insulating film; and

the upper-side, light-shielding film is formed in the
recessed shape corresponding to a step created by the groove.

15. An electro-optical-device manufacturing method, in which the
electro-optical device according to claim 13 is manufactured,
comprising:

a process of carving the groove into the substrate or the
base-insulating film;

a process of forming the semiconductor layer on the
substrate into which the groove is carved; and

a process of forming the upper-side, light-shielding film
on the upper side of the semiconductor layer.

16. An electro-optical-device manufacturing method, in which the
electro-optical device according to claim 14 is manufactured,
comprising:

a process of forming the semiconductor layer on the
substrate;

a process of forming the interlayer-insulating film on the
upper side of the semiconductor layer;

a process of carving the groove into the interlayer-
insulating film; and

a process of forming the upper-side, light-shielding film
on the interlayer-insulating film into which the groove is carved.

DETAILED DESCRIPTION OF THE INVENTION

[0001]

TECHNICAL FIELD PERTAINING TO THE INVENTION

The present invention pertains to the technical field of
active-matrix-drive-type electro-optical devices, and more
particularly pertains to the technical field of an electro-optical
device, which is of a form in which a pixel-switching, thin-film
transistor (thin-film transistor; hereinbelow, called TFT as

appropriate) is provided in a layered structure on a substrate, and to a manufacturing method thereof.

[0002]

BACKGROUND ART

In an electro-optical device of the TFT active-matrix-drive type, when incident light is radiated to a channel region of a pixel-switching TFT, which is provided to each pixel, photo-excited light-leakage current is generated, which changes the characteristics of the TFT. In particular, because the intensity of the incident light is high in the situation of an electro-optical device for light valves of a projector, it is important to shield the channel region of the TFT, and peripheral regions thereof, from the incident light. Accordingly, conventionally, a configuration is used in which such a channel region and the peripheral regions thereof are shielded from light by a light-shielding film that defines an aperture region for each pixel provided on an opposing substrate or by a data line that passes through above a TFT on a TFT array substrate and is composed of a metal film made of Al (aluminum) or the like. Furthermore, a light-shielding film composed of, for example, a refractory metal is sometimes provided also at a location opposing the lower side of the TFT on the TFT array substrate. If a light-shielding film is provided also on the lower side of the TFT in this manner, then rear-surface reflected light from the TFT array substrate side or returning light—such as projected light that has penetrated from another electro-optical device through a prism or the like in the situation in which multiple electro-optical devices are combined via a prism or the like into one optical system—can be prevented from impinging upon the TFT of the electro-optical device.

[0003]

PROBLEMS TO BE SOLVED BY THE INVENTION

Nevertheless, each type of light-shielding technique described above has the following problems.

[0004]

That is, first, according to a technique of forming a light-shielding film on the opposing substrate or on the TFT array substrate, the light-shielding film and the channel region are, viewed three-dimensionally, quite spaced apart across, for example, a liquid-crystal layer, an electrode, an interlayer-insulating film, and the like, and therefore shielding against the light that obliquely impinges upon both is not sufficient. In particular, in a compact electro-optical device used as a light valve of a projector, the incident light is a light beam in which light from a light source has been condensed by a lens and includes, to an extent that cannot be ignored, an obliquely impinging component (e.g., a component, which is oblique by approximately 10° – 15° from the direction normal to the substrate, that is approximately 10%), and therefore there is the practical problem in that shielding against such oblique incident light is not sufficient.

[0005]

In addition, there are also situations in which light that has penetrated into the electro-optical device from a region where there is no light-shielding film is reflected by an upper surface of the substrate, an upper surface of the light-shielding film formed on the upper surface of the substrate, a lower surface of the data line (i.e., an inner surface on the side facing the channel region), after which such reflected light or multiply reflected light, which is light that is further reflected by the upper surface of the substrate or the inner surface of the light-shielding film or the data line, ultimately adversely reaches the channel region of the TFT.

[0006]

According to each type of conventional light-shielding technique described above, as higher definition or finer pixel pitch is achieved in electro-optical devices to meet the general demand for higher quality of display images particularly in recent years, and

as the light intensity of incident light to display an even brighter image becomes stronger, there are problems in that it become even more difficult to implement sufficient light shielding, and, furthermore, flicker or the like due to changes in the transistor characteristics of the TFT occur, which adversely reduce the quality of the display image.

[0007]

Note that, to increase such a light-blocking characteristic, it is also conceivable that it would be good to widen the formation region of the light-shielding film; however, if the formation region of the light-shielding film is widened, there is a problem in that it is fundamentally difficult to increase the aperture percentage of the pixels so as to improve the brightness of the display image. Furthermore, as described above, owing to the presence of the light-shielding film (i.e., the light-shielding film on the lower side of the TFT and the light-shielding film on the upper side of the TFT constituted from the data line, and the like), and taking into account that internally reflected light and multiply reflected light that are due to the oblique light are generated, the formation region of the light-shielding film is needlessly widened, and therefore there is also a difficult-to-solve problem in that this leads to an increase in such internally reflected light and multiply reflected light.

[0008]

The present invention was conceived considering the problems described above, and an object of the present invention is to provide an electro-optical device that excels in its light-blocking characteristic and is capable of an image display that is bright and high quality, and to a manufacturing method thereof.

[0009]

MEANS FOR SOLVING THE PROBLEMS

To solve the aforementioned problems, a first electro-optical device according to the present invention comprises: on a substrate: a pixel electrode; a thin-film transistor connected to the pixel electrode; and a scan line connected to the thin-film transistor. The thin-film transistor comprises a semiconductor layer that includes a channel region, which extends in a longitudinal direction, and a channel-adjacent region, which further extends in the longitudinal direction from the channel region. The scan line has: a main-body portion that extends in a direction that crosses the longitudinal direction and includes a gate electrode of the thin-film transistor, which overlaps the channel region viewed in plan view; and a protruding portion, which protrudes from the main-body portion in the longitudinal direction on a side of the channel-adjacent region viewed in plan view.

[0010]

According to the first electro-optical device of the present invention, by controlling the switching of the pixel electrode using the thin-film transistor connected thereto, drive can be performed by active-matrix drive. Furthermore, the scan line has a protruding portion that, in plan view, protrudes on a side of the channel-adjacent region along the channel-adjacent region from the main-body portion that includes the gate electrode of the thin-film transistor. Accordingly, the impingement upon the channel region and the channel-adjacent region of incident light that advances obliquely toward the substrate surface, the returning light, and the oblique light, such as internally reflected light and multiply reflected light based thereon, can be at least partially inhibited not only by the main-body portion of the scan line that includes the gate electrode but also by the absorption or reflection of light by the protruding portion in particular. At this time, in particular, by performing light shielding by the protruding portion disposed at a location at which the interlayer distance from the channel-adjacent region is extremely small (i.e., an interlayer location generally spaced apart by the thickness of the gate-insulating film), that light shielding can be performed extremely effectively.

[0011]

For example, in the situation in which a lower-side,

light-shielding film is provided on the lower side of the thin-film transistor above the substrate, a configuration is obtained in which the channel-adjacent region and the channel region are sandwiched and held between the lower-side, light-shielding film, which has a relatively small interlayer distance, and the protruding portion, the main-body portion, or the like of the scan line, which functions as a light-shielding film; therefore, extremely high light-shielding performance is obtained with respect to the oblique light.

[0012]

As a result, according to the first electro-optical device of the present invention, it becomes possible to increase the light-blocking characteristic; even under a severe condition such as when strong incident light or returning light impinges, switching control of the pixel electrode can be performed satisfactorily by the thin-film transistor, in which light-leakage current has been reduced, and, ultimately, according to the present invention, a bright, high-contrast image can be displayed.

[0013]

In one aspect of the first electro-optical device according to the present invention, the main-body portion and the protruding portion become integrated from the same film.

[0014]

According to this aspect, when manufacturing the first electro-optical device, the protruding portion for light shielding can be formed in the step of forming the scan line, together with the main-body portion; therefore, no additional step for forming the protruding portion is needed. Accordingly, simplification of the layered structure on the substrate and the manufacturing process is achieved.

[0015]

In another aspect of the first electro-optical device according to the present invention, the main-body portion is formed with a wide width at a location that includes the gate electrode.

[0016]

According to this aspect, the main-body portion of the scan line is formed with a wide width at the location that includes the gate electrode, and therefore the light-shielding performance with respect to oblique light can be improved in the channel region or the channel-adjacent region by the main-body portion, which has a wide width. In addition, when the first electro-optical device is manufactured, in order to form a specific location of the main-body portion with a wide width in this manner, one needs only to add a slight modification to the planar pattern of the scan line, and no additional steps are needed.

[0017]

In another aspect of the first electro-optical device according to the present invention, the protruding portions are located on the source side and the drain side of each of the channel regions, viewed in plan view, and protrude on both sides of the channel-adjacent region.

[0018]

According to this aspect, a total of four of the protruding portions are provided on both sides on the source side and on both sides on the drain side for each thin-film transistor. Accordingly, owing to these protruding portions, the light-shielding performance can be improved with respect to the oblique light that impinges three dimensionally from various directions.

[0019]

In another aspect of the first electro-optical device according to the present invention, the scan line is constituted from a light-shielding film that contains a metal or an alloy.

[0020]

According to this aspect, the scan line is constituted from a light-shielding film that contains a metal or an alloy, and, more specifically, is constituted by layering an elementary metal, an alloy, a metal silicide, and a polysilicide that contains at least one of the refractory metals, for example, Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), MO (molybdenum), Pb (lead), etc. Accordingly, owing to the main-body portion and the protruding portion of the scan line constituted from such a light-shielding film,

the light-shielding performance with respect to oblique light can be further improved in the channel region and the channel-adjacent region.

[0021]

However, even if the scan line is formed from a polysilicon film or the like instead of from such a light-shielding film, light-shielding performance is obtained corresponding to the light-absorption characteristic thereof.

[0022]

In this aspect, the scan line may be configured to have a multilayer structure of a metal film and a silicon film.

[0023]

If configured in this manner, satisfactory characteristics also as a gate electrode formed on the gate-insulating film of the thin-film transistor (e.g., the gate oxide film and the like) can be achieved while achieving high light-shielding performance owing to the main-body portion and the protruding portion.

[0024]

In another aspect of the first electro-optical device according to the present invention, the channel-adjacent region is constituted from an LDD (lightly doped drain) region or an offset region.

[0025]

According to this aspect, because the oblique light impinges upon the LDD region or the offset region, the situation in which the characteristics of the thin-film transistor change can be more effectively inhibited by the light shielding due to the protruding portion of the scan line.

[0026]

To solve the aforementioned problems, a second electro-optical device according to the present invention comprises: on a substrate: a pixel electrode; a thin-film transistor connected to the pixel electrode; a wiring connected to the thin-film transistor; and an upper-side, light-shielding film, which covers at least a channel region of the thin-film transistor from the upper side. The upper-side, light-shielding film is formed in a recessed shape, viewed from the channel region side, in a cross section orthogonal to a longitudinal direction of the channel region.

[0027]

According to the second electro-optical device of the present invention, by controlling the switching of the pixel electrode using the thin-film transistor connected thereto, drive can be performed by active-matrix drive. Furthermore, the upper-side, light-shielding film, which covers the channel region from the upper side, is at least partially formed in a recessed shape, viewed from the channel region side, in a cross section orthogonal to the longitudinal direction of the channel region (i.e., the lower side is formed in a recessed shape). Consequently, compared with the situation in which the upper-side, light-shielding film is flat, the ultimate impingement on the channel region, obliquely from the upper side, of the incident light that advances obliquely toward the substrate surface, and the oblique light, such as internally reflected light and multiply reflected light based on the incident light and the returning light, can be more effectively inhibited by the upper-side, light-shielding film.

[0028]

For example, in the situation in which the lower-side, light-shielding film is provided on the lower side of the thin-film transistor on the substrate, because a configuration is obtained in which the channel region is sandwiched between the lower-side, light-shielding film and the upper-side, light-shielding film, extremely high light-shielding performance with respect to oblique light is obtained. At this time, the lower-side, light-shielding film may be at least partially formed in a recessed shape, viewed from the channel region side, in a cross section orthogonal to the longitudinal direction of the channel region such that the recesses and protrusions of the upper-side, light-shielding film described above are reversed up and down (i.e., the upper side may be formed in a recessed shape).

[0029]

As a result, according to the second electro-optical device of the present invention, it becomes possible to increase the

light-blocking characteristic and, even under a severe condition such as being impinged by strong incident light or returning light, the switching of the pixel electrode can be satisfactorily controlled by the thin-film transistor, in which light-leakage current has been reduced; thereby, a bright, high-contrast image can ultimately be displayed by the present invention.

[0030]

In one aspect of the second electro-optical device according to the present invention, the upper-side, light-shielding film is constituted from a portion of the wiring.

[0031]

According to this aspect, the upper-side, light-shielding film not only functions as a light-shielding film but also functions as wiring, and thereby simplification of the layered structure on the substrate as a whole and the manufacturing process is achieved. For example, the wiring that concurrently serves as the upper-side, light-shielding film may be the scan line, may be the capacitor line, may be the data line, or may be a combination of these.

[0032]

In another aspect of the second electro-optical device according to the present invention, the upper-side, light-shielding film includes a capacitor electrode in order to impart storage capacitance to the pixel electrode.

[0033]

According to this aspect, the upper-side, light-shielding film not only functions as a light-shielding film but also functions as a capacitor electrode, and therefore simplification of the layered structure on the substrate as a whole and the manufacturing process is achieved, while storage capacitance is created on the substrate. For example, the capacitor electrode that serves concurrently as the upper-side, light-shielding film may be a pixel-potential-side capacitor electrode or may be a fixed-potential-side capacitor electrode. Particularly in the situation of a pixel-potential-side capacitor electrode, a relay layer that relay-connects the base-insulating film and the pixel electrode may further serve double duty. It is noted that it is also possible to constitute the upper-side, light-shielding film from a relay layer that is separate from such a capacitor electrode.

[0034]

In another aspect of the second electro-optical device according to the present invention, the upper-side, light-shielding film is constituted from a light-shielding film that contains a metal or an alloy.

[0035]

According to this aspect, the upper-side, light-shielding film is constituted from a light-shielding film that contains a metal or an alloy and, more specifically, is constituted by layering an elementary metal, an alloy, a metal silicide, and a polysilicide containing at least one of the refractory metals, for example, Ti, Cr, W, Ta, Mo, Pb, etc. Alternatively, the upper-side, light-shielding film may be constituted such that it has a multilayer structure of a metal film and a silicon film. Accordingly, the light-shielding performance with respect to oblique light can be improved in the channel region by such an upper-side, light-shielding film.

[0036]

However, even if the upper-side, light-shielding film is formed from a polysilicon film or the like, light-shielding performance is obtained corresponding to the light-absorption characteristic thereof.

[0037]

In another aspect of the second electro-optical device according to the present invention: the thin-film transistor has a semiconductor layer that includes the channel region and a channel-adjacent region, which extends further in the longitudinal direction from the channel region; the wiring includes a scan line; and the scan line has: a main-body portion that extends in a direction that crosses the longitudinal direction and includes a gate electrode of the thin-film transistor, which overlaps the channel region viewed in plan view; and a protruding portion, which protrudes from the main-body portion in the longitudinal direction on a side of the channel-adjacent region viewed in plan view.

[0038]

According to this aspect, because a configuration is obtained having both a light-shielding function due to the protruding portion of the scan line in the first electro-optical device

of the present invention described above and a light-shielding function due to the upper-side, light-shielding film in the second electro-optical device, it becomes possible to increase the light-blocking characteristic even more.

[0039]

It is noted that the various aspects of the first electro-optical device described above in the present invention and the various aspects of the second electro-optical device described above may be combined arbitrarily.

[0040]

In another aspect of the second electro-optical device according to the present invention: a groove, which extends along the longitudinal direction on a side of the channel region, viewed in plan view, is formed in the substrate or in a base-insulating film on the substrate; and the upper-side, light-shielding film is formed in the recessed shape corresponding to a step created by the groove.

[0041]

According to this aspect, by carving the groove at a prescribed location of the substrate or the base-insulating film, the upper-side, light-shielding film is formed in a recessed shape corresponding to the step created by that groove, and therefore the second electro-optical device having a relatively simple configuration can be achieved.

[0042]

In another aspect of the second electro-optical device according to the present invention: on the substrate, an interlayer-insulating film that is located on the upper side of the channel region and on the lower side of the upper-side, light-shielding film; wherein: a groove, which extends along the longitudinal direction on a side of the channel region viewed in plan view, is formed in the interlayer-insulating film; and the upper-side, light-shielding film is formed in the recessed shape corresponding to a step created by the groove.

[0043]

According to this aspect, by carving the groove at a prescribed location of the interlayer-insulating film, the upper-side, light-shielding film is formed in a recessed shape corresponding to the step created by that groove, and thereby the second electro-optical device having a relatively simple configuration can be achieved.

[0044]

To solve the aforementioned problems, a first electro-optical-device manufacturing method according to the present invention is an electro-optical-device manufacturing method, in which is manufactured the second electro-optical device according to the aspect wherein a groove is carved into the substrate or the base-insulating film of the present invention described above, that comprises: a process of carving the groove into the substrate or the base-insulating film; a process of forming the semiconductor layer on the substrate into which the groove is carved; and a process of forming the upper-side, light-shielding film on the upper side of the semiconductor layer.

[0045]

According to the manufacturing method for the first electro-optical device of the present invention, first, if the groove is carved at a prescribed location of the substrate or the base-insulating film and subsequently the upper-side, light-shielding film is formed on the upper side of the semiconductor layer, then the upper-side, light-shielding film is formed in a recessed shape corresponding to the step created by the groove, and therefore the second electro-optical device can be manufactured relatively simply.

[0046]

To solve the aforementioned problems, a second electro-optical-device manufacturing method according to the present invention is an electro-optical-device manufacturing method, in which is manufactured the second electro-optical device according to the aspect wherein a groove is carved into the interlayer-insulating film of the present invention described above, that comprises: a process of forming the semiconductor layer on the substrate; a process of forming the interlayer-insulating film on the upper side of the semiconductor layer; a process of carving the groove into the interlayer-insulating film; and a process of forming the upper-side, light-shielding film on the interlayer-insulating film into which the groove is carved.

[0047]

According to the manufacturing method for the second electro-optical device of the present invention, first, if the groove is carved at a prescribed location of the interlayer-insulating film formed on the upper side of the semiconductor layer and subsequently the upper-side, light-shielding film is formed on the upper side of the interlayer-insulating film, then the upper-side, light-shielding film will be formed in a recessed shape corresponding to the step created by the groove, and therefore the second electro-optical device can be manufactured relatively simply.

[0048]

Such functions and other advantages of the present invention will become apparent from the embodiments explained next.

[0049]

EMBODIMENTS OF THE INVENTION

An embodiment of the present invention will be explained below, based on the drawings. In the embodiment below, an electro-optical device of the present invention is applied to a liquid-crystal device.

[0050]

(Configuration of Pixel Portion of Electro-Optical Device)

First, the configuration of a pixel portion of the electro-optical device according to the embodiment of the present invention will be explained, with reference to FIG. 1 to FIG. 3. FIG. 1 is an equivalent circuit of various elements, wiring, and the like in a plurality of pixels formed in a matrix constituting an image-display region of the electro-optical device. FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups of a TFT-array substrate on which data lines, scan lines, pixel electrodes, and the like have been formed. FIG. 3 is a cross-sectional view taken along line A-A' in FIG. 2. It is noted that, in FIG. 3, to make the layers and members of a size such that they are recognizable in the drawing, the scale of each of those layers and each of those members has been made different.

[0051]

In FIG. 1, a pixel electrode 9a and a TFT 30, which is for controlling the switching of the pixel electrode 9a, are formed in each pixel of the plurality of pixels formed in a matrix constituting the image-display region of the electro-optical device according to the present embodiment, and data lines 6a, to which image signals are supplied, are electrically connected to the source of each of the TFTs 30. Image signals S1, S2, ..., Sn, which are written to the data lines 6a, may be supplied in that order sequentially by line or may be supplied by group to a plurality of the mutually adjacent data lines 6a. In addition, it is configured such that a scan line 3a is electrically connected to the gate of each of the TFTs 30, and scan signals G1, G2, ..., Gm are impressed, sequentially by line in this order in a pulsed manner, on the scan lines 3a at a prescribed timing. The pixel electrodes 9a are respectively and electrically connected to the drains of the TFTs 30 and, by closing the switches of the TFTs 30, which are switching devices, at fixed intervals, the image signals S1, S2, ..., Sn supplied from the data lines 6a are written at the prescribed timing. The image signals S1, S2, ..., Sn of a prescribed level written in liquid crystal, as one example of an electro-optical substance, via the pixel electrodes 9a are held for a fixed interval between the liquid crystal and a counter electrode, which is formed on an opposing substrate (described below). The liquid crystal modulates the light by changing the alignment and order of the molecular assembly in accordance with the impressed voltage level, thereby enabling a gradated display. If in the normally white mode, then the transmittance of incident light is reduced, by pixel unit, in accordance with the impressed voltage, and if in the normally black mode, then the transmittance of incident light is increased, by pixel unit, in accordance with the impressed voltage, and thereby light having a contrast in accordance with the image signals is emitted from the electro-

optical device as a whole. Here, to prevent the held image signals from leaking, storage capacitances 70 are added in parallel to liquid-crystal capacitors formed between the pixel electrodes 9a and the counter electrodes.

[0052]

In FIG. 2, the plurality of transparent pixel electrodes 9a (the outlines of which are indicated by dotted-line portions 9a') are provided in a matrix on the TFT-array substrate of the electro-optical device, and the data lines 6a and the scan lines 3a are provided along each of the vertical and horizontal boundaries of the pixel electrodes 9a.

[0053]

In addition, the scan line 3a is disposed such that it opposes a channel region 1a', indicated by a hatched area that rises to the right in the drawing, of the semiconductor layer 1a, and the scan line 3a functions as a gate electrode. In particular, in the present embodiment, the scan line 3a is formed with a wide width at the location at which it becomes the gate electrode, and has protruding portions 3b, which protrude, from the portion at which that wide width is formed, on both sides of the semiconductor layer 1a extending along the data line 6a viewed in plan view (in FIG. 2, at four locations: the diagonally upper right, the diagonally upper left, the diagonally lower right, and the diagonally lower left of each of the channel regions 1a'). The configuration and the functions and effects of the protruding portions 3b are discussed in detail below, with reference to FIG. 4 to FIG. 8.

[0054]

Thus, the pixel switching TFT 30, in which the scan line 3a is disposed opposing the gate electrode in the channel region 1a', is provided at each location where the scan line 3a and the data line 6a intersect.

[0055]

As shown in FIG. 2 and FIG. 3, the storage capacitor 70 is formed by disposing a relay layer 71, which serves as a pixel-potential-side capacitor electrode and is connected to a high-density drain region 1e (and the pixel electrode 9a) of the TFT 30, and a portion of a capacitor line 300, which serves as a fixed-potential-side capacitor electrode, such that they oppose each other with a dielectric film 75 interposed therebetween.

[0056]

The capacitor line 300 constitutes one example of an upper-side, light-shielding film that is composed of a conductive light-shielding film, which contains, for example, a metal or an alloy, and that also functions as a fixed-potential-side capacitor electrode. The capacitor line 300 is constituted by, for example, layering an elementary metal, an alloy, a metal silicide, a polysilicide, or the like that contains at least one of the refractory metals Ti, Cr, W, Ta, Mo, Pb, etc. However, the capacitor line 300 may have, for example, a multilayer structure in which are layered a first film, which is composed of a conductive polysilicon film or the like, and a second film, which is composed of a metal-silicide film or the like containing a refractory metal.

[0057]

The relay layer 71 functions as a pixel-potential-side capacitor electrode composed of, for example, a conductive polysilicon film. In addition to functioning as a pixel-potential-side capacitor electrode, the relay layer 71 functions as a light-absorbing layer that serves as an upper-side, light-shielding film and is disposed between the capacitor line 300 and the TFT 30, and further functions to relay, and thereby connect, the pixel electrode 9a and the high-density drain region 1e of the TFT 30. However, the relay layer 71 as well may be constituted from a monolayer film or a multilayer film that contains a metal or an alloy, similar to the capacitor line 300.

[0058]

The capacitor line 300 extends in a striped shape along the scan line 3a, viewed in plan view, and the location at which the capacitor line 300 overlaps the TFT 30 protrudes up/down in FIG. 2. Furthermore, by forming the data line 6a, which extends in the longitudinal direction in FIG. 2, and the capacitor line 300, which extends in the latitudinal direction in FIG. 2, such that they mutually intersect, the upper-side, light-shielding film, which has a lattice shape viewed in a plan view, is configured above the TFT 30 on a TFT array substrate 10 and defines an aperture region for each pixel.

[0059]

Furthermore, in the present embodiment, particularly as shown in FIG. 3, a groove 12cv, which extends along the data line 6a on both sides of the semiconductor layer 1a viewed in plan view, is carved into a base light-shielding film 12 (not shown in FIG. 2 in order to avoid making the drawing complicated) on the TFT array substrate 10; and layered thereupon and corresponding to the groove 12cv, the scan line 3a (including the protruding portion 3b), the relay layer 71, the capacitor line 300, and the data line 6a each include a portion in which a recessed shape is formed downward. The configuration and the functions and effects according to the groove 12cv, together with the configuration and the functions and effects of the protruding portion 3b of the scan line 3a, will be described in detail below, with reference to FIG. 4 to FIG. 8.

[0060]

As shown in FIG. 2 and FIG. 3, a lower-side, light-shielding film 11a is provided in a lattice shape on the lower side of the TFT 30 on the TFT array substrate 10.

[0061]

Similar to the capacitor line 300, which constitutes one example of the upper-side, light-shielding film as described above, the lower-side, light-shielding film 11a is constituted by, for example, layering an elementary metal, an alloy, a metal silicide, or a polysilicide that contains at least one of the refractory metals Ti, Cr, W, Ta, Mo, Pb, etc.

[0062]

In addition, in FIG. 3, the dielectric film 75, which serves as a capacitor electrode and is disposed between the relay layer 71 and the capacitor line 300, is constituted from a silicon-oxide film, such as an HTO (high-temperature oxide) film or an LTO (low-temperature oxide) film, or from a silicon nitride film, or the like having a comparatively thin film thickness of, for example, approximately 5–200 nm. From the viewpoint of increasing the size of the storage capacitance 70, the thinner the dielectric film 75, the better, as long as sufficient film reliability is obtained.

[0063]

In addition, the capacitor line 300 extends from and around the image-display region in which the pixel electrode 9a is disposed, is electrically connected to a constant-potential source, and has a fixed potential. Such a constant-potential source may be the constant-potential source of a positive power supply or a negative power supply supplied to a scan-line drive circuit (described below) for supplying to the scan line 3a a scan signal to drive the TFT 30 or supplied to a data-line drive circuit (described below) to control a sampling circuit that supplies an image signal to the data line 6a; or may also be a constant potential supplied to a counter electrode 21 of an opposing substrate 20. Furthermore, to avoid fluctuations in that potential from adversely affecting the TFT 30, the lower-side, light-shielding film 11a as well should extend from and around the image-display region and be connected to the constant-potential source, in a similar manner as the capacitor line 300.

[0064]

The pixel electrode 9a relays the relay layer 71 and

thereby is electrically connected to the high-density drain region 1c of the semiconductor layer 1a via the contact holes 83 and 85. That is, in the present embodiment, in addition to functioning as the pixel-potential-side capacitor electrode of the storage capacitor 70 and functioning as a light-absorbing layer, the relay layer 71 functions to relay, and thereby connect, the pixel electrode 9a to the TFT 30. Even if the interlayer distance is long, e.g., approximately 2,000 nm, if the relay layer 71 is used in this manner, then both can be satisfactorily connected by two or more contact holes, in series, having relatively small diameters while avoiding the technical difficulty of connecting both with just one contact hole; thereby, it becomes possible to increase the pixel aperture ratio, and it is also helpful for preventing penetration of the etching when forming the contact holes.

[0065]

In FIG. 2 and FIG. 3, the electro-optical device comprises the transparent TFT-array substrate 10 and the transparent opposing substrate 20, which is disposed opposing the TFT-array substrate 10, as shown in FIG. 3, which is a cross-sectional view taken along line A-A' in FIG. 2. The TFT-array substrate 10 is composed of, for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposing substrate 20 is composed of, for example, a glass substrate or a quartz substrate.

[0066]

As shown in FIG. 3, the pixel electrodes 9a are provided on the TFT-array substrate 10, and an alignment layer 16, on which a prescribed aligning process such as a rubbing process has been performed, is provided on the upper sides of the pixel electrodes 9a. The pixel electrodes 9a are composed of transparent conducting films such as, for example, ITO (indium tin oxide) films. In addition, the alignment layer 16 is constituted from, for example, an organic film such as a polyimide film.

[0067]

Meanwhile, the counter electrode 21 is provided over the entire surface of the opposing substrate 20, and an alignment layer 22, on which a prescribed aligning process such as a rubbing process has been performed, is provided on the lower side thereof. The counter electrode 21 is composed of a transparent conducting film such as, for example, an ITO film. In addition, the alignment layer 22 is constituted from an organic film such as a polyimide film.

[0068]

A lattice-shaped or stripe-shaped light-shielding film may be provided on the opposing substrate 20. By adopting such a configuration, the light-shielding film on the opposing substrate 20, together with the capacitor line 300 and the data line 6a that constitute the upper-side, light-shielding film as described above, can more reliably inhibit the incident light from the opposing substrate 20 side from penetrating the channel region 1a', a low-density source region 1b, and a low-density drain region 1c. Furthermore, by forming such a light-shielding film on the opposing substrate 20 with a film in which at least the surface irradiated by the incident light is highly reflective, the light-shielding film functions to prevent an increase in the temperature of the electro-optical device. Note that the light-shielding film formed on the opposing substrate 20 in this manner preferably is formed so as to be located inward of the light-shielding layer constituted by the capacitor line 300 and the data line 6a, viewed in plan view. Thereby, the effect of such light shielding and the effect of preventing an increase in temperature are obtained, without decreasing the aperture percentage of each pixel, owing to the light-shielding film on the opposing substrate 20.

[0069]

Liquid crystal, which is one example of an electro-optical substance, is sealed in a space enclosed by a sealing material (described below) between the TFT array substrate 10 and the

opposing substrate 20, which are thus configured and disposed such that the pixel electrode 9a and the counter electrode 21 face each other, and thereby a liquid-crystal layer 50 is formed. In the state in which an electric field from the pixel electrode 9a is not being applied, the liquid-crystal layer 50 assumes a prescribed alignment state based on the alignment layers 16 and 22. The liquid-crystal layer 50 is composed of, for example, a liquid crystal of one type of nematic liquid crystal or a mixture of several types of nematic liquid crystals. The sealing material is an adhesive, which is composed of, for example, a photosetting resin or a thermosetting resin, for pasting the TFT array substrate 10 and the opposing substrate 20 together at their peripheries, and a gap material, which is made of glass fibers, glass beads, or the like for setting the distance between both substrates to a prescribed value, is mixed into the adhesive.

[0070]

Furthermore, a base insulating film 12 is provided below the pixel-switching TFT 30. In addition to having the function of an interlayer that insulates the TFT 30 from the lower-side, light-shielding film 11a, the base insulating film 12, being formed on the entire surface of the TFT-array substrate 10, has the function of preventing a deterioration in the characteristics of the pixel-switching TFT 30 due to roughening during polishing of the surface of the TFT-array substrate 10, contamination remaining after rinsing, and the like.

[0071]

In FIG. 3, the pixel-switching TFT 30 has an LDD (lightly doped drain) structure and comprises: the scan line 3a; the channel region 1a' of the semiconductor layer 1a, in which a channel is formed by the electric field from the scan line 3a; an insulating film 2 including a gate-insulating film that insulates the scan line 3a and the semiconductor layer 1a; the low-density source region 1b and the low-density drain region 1c of the semiconductor layer 1a; and a high-density source region 1d and the high-density drain region 1e of the semiconductor layer 1a.

[0072]

A first interlayer insulating film 41, in which a contact hole 81 leading to the high-density source region 1d and the contact hole 83 leading to the high-density drain region 1e are formed, is formed on the scan line 3a.

[0073]

The relay layer 71 and the capacitor line 300 are formed on the first interlayer insulating film 41, and a second interlayer insulating film 42, in which the contact hole 81 and the contact hole 85 leading to the high-density source region 1d and the relay layer 71 are formed, is formed on the first interlayer insulating film 41.

[0074]

It is noted that, in the present embodiment, ions implanted into the polysilicon film that constitutes the semiconductor layer 1a and the scan line 3a may be activated by sintering the first interlayer insulating film 41 at 1,000°C. Meanwhile, stress generated in the vicinity of the boundary with the capacitor line 300 may be relaxed by not performing such sintering on the second interlayer insulating film 42.

[0075]

The data line 6a is formed on the second interlayer insulating film 42, and a third interlayer insulating film 43, in which the contact hole 85 leading to the relay layer 71 is formed, is formed thereon. The pixel electrode 9a is provided on an upper surface of the third interlayer insulating film 43 configured in this manner.

[0076]

In the present embodiment, the creation of steps in regions along the data line 6a and the scan line 3a on the base surface of the pixel electrode 9a (i.e., the surface of the third

interlayer-insulating film 43) due in particular to the layering of the numerous electrically conductive layers of a prescribed pattern as shown in FIG. 3 is mitigated by a process of flattening the surface of the third interlayer-insulating film 43 (e.g., by polishing using a CMP (chemical-mechanical polishing) process or the like or by forming it flatly using organic SOG (spin-on glass)). In this manner, by mitigating the steps between regions where lines, elements, and the like are present and regions where they are not present, it is ultimately possible to reduce the incidence of image defects, such as alignment failures in the liquid crystal, caused by the steps. However, instead of or in addition to performing the process of flattening the third interlayer-insulating film 43 in this manner, a flattening process may be performed by carving a groove in at least one of the TFT array substrate 10, the base-insulating film 12, the first interlayer-insulating film 41, and the second interlayer-insulating film 42, and embedding the lines (such as the data line 6a), the TFT 30, and the like therein.

[0077]

(Shielding Scan Lines, Capacitor Lines, and Data Lines)

Next, the configuration and the functions and effects of the protruding portion 3b of the scan line 3a as well as the configuration and the functions and effects of the grooves 12cv carved into the base-insulating film 12 in the embodiment of the electro-optical device described above will be described in detail, with reference to FIG. 4 to FIG. 8. Here, FIG. 4 is a plan view that shows a snippet, from FIG. 2, of the grooves 12cv (indicated by hatched areas descending to the right in FIG. 4), which are carved into the protruding portion 3b of the scan line 3a and the base-insulating film 12, together with the semiconductor layer 1a (indicated by chain lines in the drawing); FIG. 5 is a cross-sectional view taken along line B-B' in FIG. 4; and FIG. 6 is a cross-sectional view taken along line C-C' in FIG. 4. FIG. 7 is a cross-sectional view taken along line D-D' in FIG. 4, and FIG. 8 is a cross-sectional view taken along line B-B' in FIG. 4 according to a modified embodiment.

[0078]

As shown in FIG. 4 to FIG. 7, the grooves 12cv are carved into the base-insulating film 12 along the data line 6a on both sides of the semiconductor layer 1a. The protruding portions 3b of the scan line 3a are partially embedded within the grooves 12cv; furthermore, the relay layer 71, the capacitor line 300, and the data line 6a are partially embedded, with the interlayer-insulating film 41, the interlayer-insulating film 42, and the like interposed therebetween. Thereby, the protruding portions 3b of the scan line 3a, the capacitor line 300, and the data line 6a in each cross-sectional view shown in FIG. 5 to FIG. 7 include portions formed in a recessed shape on the lower side and corresponding to the grooves 12cv.

[0079]

Accordingly, first, because the protruding portions 3b are provided on the scan line 3a, the impingement of the incident light advancing obliquely toward the substrate surface of the TFT array substrate 10, the returning light, and the oblique light—such as internally reflected light and multiply reflected light based thereon—upon the channel region 1a and adjacent regions thereof (i.e., the low-density source region 1b and the low-density drain region 1c) can be at least partially inhibited by absorption or reflection of light by not only the main-body portion of the scan line 3a functioning as the gate electrode but particularly by the protruding portions 3b. At this time, because light is blocked by the protruding portions 3b (and the main-body portion of the scan line 3a) proximate to the semiconductor layer 1a, the blocking of light can be performed extremely effectively.

[0080]

In addition, secondly, because the scan line 3a (including the protruding portions 3b), which functions as the

upper-side, light-shielding film covering the semiconductor layer 1a from the upper side, the relay layer 71, the capacitor line 300, and the data line 6 each include a portion that is formed in a recessed shape on the lower side corresponding to the grooves 12cv, compared with the situation in which the upper-side, light-shielding film is flat, the impingement of the incident light advancing obliquely toward the substrate surface and the oblique light—such as the internally reflected light and the multiply reflected light based on the incident light and the returning light—ultimately upon the channel region 1a and adjacent regions thereof obliquely from above can be more effectively inhibited by the upper-side, light-shielding film. That is, because the tendency to scatter the oblique light from above is strengthened, in accordance with the grooves 12cv, by the upper-surface portion of the upper-side, light-shielding film, which is recessed on the lower side (or protruding on the upper side), the light quantity that ultimately impinges upon the channel region 1a and the adjacent regions thereof obliquely from above can be reduced. It is noted that, for the same reason, the lower-side, light-shielding film 11a may be formed, at least partially, such that the recessed shape and the protruding shape of the upper-side, light-shielding film described above are reversed up and down so that the recessed shape is on the upper side (i.e., so that the protruding shape is on the lower side).

[0081]

In addition, in the present embodiment, because the scan line 3a is formed such that the location that includes the gate electrode has a wide width, the light-shielding performance, in the channel regions and the adjacent regions thereof due to the scan line 3a, against the oblique light can be improved.

[0082]

Here, in the present embodiment, the shielding of the TFT 30 by the various light-shielding films, as shown in FIG. 2 and FIG. 3, is performed from above and below. That is, the capacitor line 300 and the data line 6a function as upper-side, light-shielding films against the incident light entering the electro-optical device from above (i.e., on the side in which the incident light enters). Meanwhile, the lower-side, light-shielding film 11a functions literally as a lower-side, light-shielding film against the returning light entering from the lower side (i.e., the side on which the incident light exits) of the electro-optical device. Accordingly, it is also conceivable that there is no need to provide the protruding portions 3b on the scan line 3a or to impart a special shape to the capacitor line 300 or the like, which is the upper-side, light-shielding film, by the grooves 12cv. Nevertheless, the incident light includes oblique light that impinges upon the substrate 10 from an oblique direction. For example, the component wherein the angle of incidence deviates from the perpendicular by approximately 10° – 15° includes approximately 10%. Similarly, the returning light also includes oblique light. Consequently, the oblique light is reflected by the upper surface of the substrate 10, the upper surface of the lower-side, light-shielding film 11a, or the like, or is reflected by the lower surface of the upper-side, light-shielding film or the like, and further reflected by other interfaces within the electro-optical device, and internally reflected light and multiply reflected light is thereby generated. Accordingly, even if various light-shielding films are provided above and below the TFT 30, oblique light that advances through gaps between them can be present, and therefore, as in the present embodiment, it can be said that the light-shielding effect produced by the protruding portions 3b, which shield the sides of the semiconductor layer 1a, or produced by the recessed portions corresponding to the grooves 12cv, is large.

[0083]

As explained above with reference to FIG. 4 to FIG. 7, by providing the protruding portions 3b and the grooves 12cv according to the electro-optical device of the present embodiment, the light-blocking characteristic is increased, the TFT 30, in which light-leakage current is reduced even under severe conditions such as being impinged upon by strong incident light or returning light, can satisfactorily perform switching control of the pixel electrode

9a, and ultimately a bright, high-contrast image can be displayed.

[0084]

In addition, in the present embodiment, because the upper-side, light-shielding film is composed of a portion of the scan line 3a (including the protruding portions 3b), the capacitor line 300, the data line 6a, and the like, simplification of the layered structure on the TFT array substrate 10 as a whole as well as the manufacturing process is achieved. Furthermore, in the present embodiment, because the protruding portions 3b are formed integrally from the same film as the scan line 3a, no additional step is needed to form the protruding portions 3b.

[0085]

In the present embodiment explained above, similar to the capacitor line 300 and the base light-shielding film 11a, the scan line 3a may be constituted from a light-shielding film that contains a metal or an alloy (e.g., one in which an elementary metal, an alloy, a metal silicide, and a polysilicide containing at least one of the refractory metals of Ti, Cr, W, Ta, Mo, Pb, or the like are layered). If constituted in this manner, then the light-shielding performance in the channel region and the regions adjacent to the channel against oblique light can be further enhanced by the scan line 3a and the protruding portions 3b.

[0086]

In the present embodiment explained above, four of the protruding portions 3b are formed for each channel region 1a', but similar effects are obtained to a certain degree even if formed on only one side of the channel region 1a' or even if formed only above or below the channel region 1a' in FIG. 2. For example, considering the layout of the lines, elements, and the like around the semiconductor layer 1a, in situations in which it is difficult to form a total of four of the protruding portions 3b on both sides of or both above and below the channel region 1a', three or fewer of the protruding portions 3b should be provided for each channel region only on one side or only above and below, without further burdening the layout.

[0087]

Furthermore, in the embodiment explained above, the pixel-switching TFT 30 preferably has an LDD structure, as shown in FIG. 3; however, it may have an offset structure in which impurities are not implanted in the low-density source region 1b and the low-density drain region 1c, or it may be a self-aligned-type TFT in which impurities are implanted at high density using the gate electrode—which is constituted from a portion of the scan line 3a—as a mask and in which a high-density source and a drain region are formed in a self-aligned manner. In addition, the present embodiment is assumed to have a single-gate structure in which only one gate electrode of the pixel-switching TFT 30 is disposed between the high-density source region 1d and the high-density drain region 1e, but two or more gate electrodes may be disposed therebetween. If the TFT is configured as a dual gate, a triple gate, or a higher order gate in this manner, then it is possible to prevent leakage current at the junction between the channel and the source region and between the channel and the drain region, and thereby to reduce the electric current when the TFT is OFF.

[0088]

Note that, as shown in FIG. 8, light-shielding performance similar to the embodiments described above is obtained even if formed such that grooves 41cv are carved into the first interlayer-insulating film 41 instead of into the base-insulating film 12 and such that the relay layer 71, the capacitor line 300, and the data line 6, which constitute the upper-side, light-shielding film, each include the portions formed in recesses on the lower side corresponding to the grooves 41cv.

[0089]

(Manufacturing Process)

Next, a manufacturing process for the electro-optical device according to the present invention will be explained, with reference to FIG. 9 and FIG. 10. Here, FIG. 9 and FIG. 10 are process diagrams that show the state of the vicinity of the semiconductor layer 1a of the electro-optical device for each step of the manufacturing process, in order, and is a cross-sectional view taken along line C-C' in FIG. 4, similar to FIG. 6.

[0090]

First, as shown in step (1) in FIG. 9, the TFT array substrate 10 made of a quartz substrate, hard glass, a silicon substrate, or the like is prepared. Here, an annealing process is performed in an inert-gas atmosphere, preferably of N₂ (nitrogen) or the like, at a high temperature of approximately 900°C–1,300°C, after which a pretreatment is performed in advance to reduce strain created in the TFT array substrate 10 in subsequently performed high-temperature processes.

[0091]

Continuing, by sputtering a metal-alloy film made of a metal, a metal silicide, or the like such as Ti, Cr, W, Ta, Mo, Pd, etc. over the entire surface of the TFT array substrate 10 processed in this manner, a light-shielding film having a film thickness of approximately 100–500 nm, and preferably a film thickness of approximately 200 nm, is formed. Furthermore, the lower-side, light-shielding film 11a, in which the planar shape has a lattice shape, is formed by photolithography and etching.

[0092]

Continuing, the base-insulating film 12, which is composed of, for example, a silicate-glass film such as NSG, PSG, BSG, BPSG, or the like, a silicon-nitride film, a silicon-oxide film, or the like, is formed on the lower-side, light-shielding film 11a by, for example, a normal-pressure or low-pressure CVD method or the like using TEOS (tetraethyl orthosilicate) gas, TEB (tetraethylborate) gas, TMOP (tetramethyl oxyphosphate) gas, or the like. The thickness of the base insulating film 12 is made to be, for example, approximately 500–2,000 nm.

[0093]

Next, in step (2) of FIG. 9, the grooves 12cv, each of which has the planar shape shown in FIG. 4, are carved by photolithography and dry/wet etching. The depth of each of the grooves 12cv is set to, for example, approximately 500–1,500 nm in accordance with the thickness of the base-insulating film 12 such that the portion of the base-insulating film 12 located at the bottom portion of the groove 12cv remains sufficiently thick enough for the base-insulating film 12 to function satisfactorily as a base-insulating film.

[0094]

Next, in step (3) in FIG. 9, an amorphous silicon film is formed on the base insulating film 12, into which the grooves 12cv have been carved, by low-pressure CVD (CVD performed at a pressure of, for example, approximately 20–40 Pa) using a monosilane gas, a disilane gas, or the like at a flow rate of approximately 400–600 cc/min in a comparatively low-temperature environment of approximately 450°C–550°C, preferably approximately 500°C. Subsequently, a polysilicon film is solid-phase grown to a particle diameter of approximately 50–200 nm, preferably approximately 100 nm, by annealing the polysilicon film at approximately 600°C–700°C in a nitrogen atmosphere for approximately 1–10 hours, preferably 4–6 hours. An annealing treatment using RTA (rapid-thermal anneal) or laser annealing using an excimer laser or the like may be used as the method for effecting solid-phase growth. At this time, the pixel-switching TFT

30 may be doped by ion-implanting a small quantity of a dopant of a group-V element or a group-III element in accordance with whether the TFT 30 is an n-channel type or a p-channel type. Furthermore, the semiconductor layer 1a having a prescribed pattern is formed by photolithography and etching.

[0095]

Continuing, a lower-layer, gate-insulating film is formed by thermally oxidizing the semiconductor layer 1a constituting the TFT 30 at a temperature of approximately 900°C–1,300°C, and preferably at a temperature of approximately 1,000°C, and then forming an upper-layer, gate-insulating film by a low-pressure CVD method or the like, or by successively performing both; thereby, the insulating film 2 constituted from multiple layers of high-temperature silicon-oxide film (HTO film), silicon-nitride film, or the like (including the gate-insulating film) is formed. As a result, the thickness of the semiconductor layer 1a is approximately 30–150 nm and preferably is approximately 35–50 nm, and the thickness of the insulating film 2 is approximately 20–150 nm and preferably is approximately 30–100 nm.

[0096]

Continuing, to control a threshold voltage V_{th} of the pixel-switching TFT 30, an N-channel region or a P-channel region of the semiconductor layer 1a is doped by ion implantation or the like of a predetermined prescribed amount of a dopant such as boron.

[0097]

Next, in step (4) of FIG. 9, a polysilicon film is deposited by a low-pressure CVD method or the like, and phosphorus is further thermally diffused therein to make the polysilicon film conductive. In addition, a doped-silicon film, in which P ions were introduced at the same time as the formation of the polysilicon film, may be used. The thickness of the polysilicon film is approximately 100–500 nm and preferably is approximately 350 nm. Furthermore, the scan line 3a of a prescribed pattern, including the gate-electrode portion of the TFT 30 and the protruding portions 3b (refer to FIG. 4), are formed by photolithography and etching.

[0098]

For example, in the situation in which the TFT 30 is an n-channel-type TFT having an LDD structure, first, to form the low-density source region 1b and the low-density drain region 1c, the semiconductor layer 1a is doped with a group-V element dopant, such as P or the like at low density (e.g., P ions at a dose of $1-3 \times 10^{13}/\text{cm}^2$) using the scan line 3a (the gate electrode) as a mask. Thereby, the semiconductor layer 1a under the scan line 3a becomes the channel region 1a'. Furthermore, to form the high-density source region 1d and the high-density drain region 1e constituting the pixel-switching TFT 30, a resist layer, which has a planar pattern wider than the scan line 3a, is formed on the scan line 3a. Subsequently, doping is performed at high density (e.g., P ions at a dose of $1-3 \times 10^{15}/\text{cm}^2$) of a group-V element dopant such as P. It is noted that, for example, the TFT may have an offset structure, without performing doping at low density; further, the TFT may be a self-aligned type by using an ion-implanting technique in which P ions, B ions, or the like are used and the scan line 3a serves as the mask.

[0099]

Next, in step (5) of FIG. 9, the first interlayer-insulating film 41, which is constituted from a silicate-glass film such as NSG, PSG, BSG, or BPSG, a silicon-nitride film, a silicon-oxide film, or the like is formed on the scan line 3a by a normal-pressure or low-pressure CVD method or the like using TEOS gas, TEB gas, TMOP gas, or the like. The thickness of the first interlayer-insulating film 12 is, for example, approximately 500–2,000 nm. Here, an annealing process is performed preferably at a high temperature of approximately 800°C to improve the film quality of the interlayer-insulating film 41 in advance.

[0100]

Continuing, the contact hole 83 (refer to FIG. 2 and FIG. 3), which is not shown, is formed at the same time by performing dry etching, such as reactive-ion etching, reactive-ion-beam etching, or the like, on the interlayer-insulating film 41.

[0101]

Continuing, a polysilicon film is deposited by a low-pressure CVD method or the like, and phosphorus is further thermally diffused into the polysilicon film to make it conductive. In addition, a doped-silicon film, into which P ions were introduced at the same time as the formation of the polysilicon film, may be used. The thickness of the polysilicon film is approximately 100–500 nm and preferably is approximately 150 nm. Furthermore, the relay layer 71 (refer to FIG. 2 and FIG. 3), which is not shown, is formed by photolithography and etching.

[0102]

Continuing, the dielectric film 75, which is constituted from a high-temperature silicon-oxide film (HTO film) or a silicon-nitride film, is deposited, by a low-pressure CVD method, plasma CVD, or the like to a relatively small thickness of approximately 50 nm, on the pixel-electrode relay layer 71, which doubles as the pixel-potential-side capacitor electrode, and the first interlayer-insulating film 41. However, the dielectric film 75 may be constituted from either a monolayer film or a multilayer film, similar to the situation with the insulating film 2, and is generally formable by various well-known techniques used in the formation of TFT gate-insulating films. Furthermore, the thinner the dielectric film 75, the larger the storage capacitor 70; therefore, in the end, under the condition that defects, such as film tearing, do not occur, it is advantageous to form the dielectric film 75 such that it becomes an extremely thin insulating film having a thickness of 50 nm or less.

[0103]

Continuing, a metal-alloy film made of a metal, a metal silicide, or the like made of Ti, Cr, W, Ta, Mo, Pd, etc. is formed on the dielectric film 75 by sputtering to a film thickness of approximately 100–500 nm. Furthermore, the capacitor line 300 having a prescribed pattern is formed by photolithography and etching. That is, the storage capacitor 70 is completed.

[0104]

However, in the situation in which the capacitor line 300 is constituted from a multilayer film, first, a polysilicon film is deposited on the dielectric film 75 by a low-pressure CVD method or the like, phosphorus is further thermally diffused therein to make the polysilicon film conductive, thereby forming a first film; thereupon, a metal-alloy film made of a metal, a metal silicide, or the like is formed by further layering, such as the second layer, after which the capacitor line 300 having a prescribed pattern may be formed from the first and second films by photolithography and etching.

[0105]

Next, in step (6) of FIG. 10, the second interlayer-

insulating film 42, which is constituted from a silicate-glass film such as NSG, PSG, BSG, or BPSG, a silicon-nitride film, a silicon-oxide film, or the like is formed using, for example, a normal-pressure or low-pressure CVD method, TEOS gas, etc. The thickness of the first interlayer-insulating film 42 is, for example, approximately 500–1,500 nm.

[0106]

Continuing, the contact hole 81 (refer to FIG. 2 and FIG. 3), which is not shown, is formed by performing dry etching, such as reactive-ion etching, reactive-ion-beam etching, and the like, on the second interlayer-insulating film 42.

[0107]

Continuing, a low-resistance metal, a metal silicide, or the like made of light-shielding Al or the like is deposited as a metal film by sputtering over the entire surface of the second interlayer-insulating film 42 to a thickness of approximately 100–500 nm and preferably to approximately 300 nm. Furthermore, the data line 6a having a prescribed pattern is formed by photolithography and etching.

[0108]

Next, in step (7) of FIG. 10, the third interlayer-insulating film 43, which is constituted from a silicate-glass film such as NSG, PSG, BSG, BPSG, etc., a silicon-nitride film, a silicon-oxide film, or the like is formed using, for example, a normal-pressure or low-pressure CVD method, TEOS gas, or the like so as to cover the data line 6a from above. The thickness of the third interlayer-insulating film 43 is, for example, approximately 500–1,500 nm.

[0109]

Continuing, the contact hole 85 (refer to FIG. 2 and FIG. 3), which is not shown, is formed by performing dry etching, such as reactive-ion etching, reactive-ion-beam etching, or the like, on the third interlayer-insulating film 43.

[0110]

Continuing, a transparent conductive film of an ITO film or the like is deposited onto the third interlayer-insulating film 43 to a thickness of approximately 50–200 nm by a sputtering process or the like. Furthermore, the pixel electrode 9a is formed by photolithography and etching. It is noted that, in the situation in which the liquid-crystal device is used in a reflective-type liquid-crystal device, the pixel electrode 9a may be formed from an opaque material having high reflectance, such as Al.

[0111]

Continuing, the alignment layer 16 (refer to FIG. 3) is formed by applying a coating liquid for a polyimide alignment layer onto the pixel electrode 9a and then performing a rubbing process in a prescribed direction and so as to have a prescribed pretilt angle.

[0112]

Meanwhile, with regard to the opposing substrate 20 shown in FIG. 3, a glass substrate or the like is first prepared, and a light-shielding film serving as a picture frame is formed by sputtering, for example, metal chrome and then performing photolithography and etching. It is noted that these light-shielding films are not necessarily conductive and may be formed from, in addition to a metal material made of Cr, Ni, Al, or the like, a material such as resin black in which carbon or Ti is dispersed in a photoresist.

[0013]

Subsequently, the counter electrode 21 is formed by depositing a transparent conductive film, which is made of ITO or the like, by a sputtering process or the like over the entire surface of the opposing substrate 20 to a thickness of approximately 50–200 nm. Furthermore, the alignment layer 22 (refer to FIG. 3) is formed by applying a coating liquid for a polyimide alignment layer over the entire surface of the counter electrode 21, and then performing a

rubbing process in a prescribed direction and so as to have a prescribed pretilt angle.

[0114]

Lastly, the TFT array substrate 10 and the opposing substrate 20, on which various layers have been formed as described above, are pasted together by a sealing material (refer to FIG. 11 and FIG. 12) such that the alignment layers 16 and 22 face each other, and the liquid-crystal layer 50 of a prescribed film thickness is formed by the liquid crystal, in which, for example, multiple types of nematic liquid crystals are mixed, being suctioned by vacuum suction or the like into the space between both substrates.

[0115]

According to the manufacturing process of the present invention as explained above, the electro-optical device according to the present invention described above can be manufactured. At this time, the protruding portions 3b as shown in FIG. 4 can be formed merely by adding slight modifications to the hardening process of the scan line 3b particularly in step (4); furthermore, merely by carving the grooves 12cv in step (2), the various electrically conductive films functioning as the upper-side, light-shielding film thereabove can be formed so as to include portions in which recesses are formed on the lower side; therefore, the manufacturing process overall can be implemented relatively simply.

[0116]

Note that, in the situation in which the electro-optical device (refer to FIG. 8) according to the modified embodiment described above is manufactured, the process of carving the grooves 12cv described in step (2) in FIG. 9 is omitted; instead, midway in step (5), it is sufficient to carve the grooves 41cv into the first interlayer-insulating film 41, and the remaining steps are completed similar to those shown in FIG. 9 and FIG. 10 described above.

[0117]

(Overall Configuration of Electro-Optical Device)

The overall configuration of the electro-optical device according to the embodiments configured as above will now be explained, with reference to FIG. 11 and FIG. 12. It is noted that FIG. 11 is a plan view, viewed from the opposing substrate 20 side, of the TFT array substrate 10 and the various structural elements formed thereupon, and FIG. 12 is a cross-sectional view taken along line H-H' in FIG. 11.

[0118]

In FIG. 11, a sealing material 52 is provided along the edges thereof above the TFT array substrate 10, and, inward and parallel thereto, a light-shielding film 53, which serves as a picture frame that defines the periphery of the image-display region 10a, is provided. In the region on the outer side of the sealing material 52, a data-line drive circuit 101, which drives the data line 6a by supplying the image signal to the data line 6a at a prescribed timing, and external-circuit connection terminals 102 are provided along one side of the TFT-array substrate 10, and scan-line drive circuits 104, which drive the scan line 3a by supplying a scan signal to the scan line 3a at a prescribed timing, are provided along two sides adjacent to that one side. It goes without saying that the scan-line drive circuit 104 may be provided on one side alone, as long as delay in the scan signal supplied to the scan line 3a does not become a problem. In addition, two of the data-line drive circuits 101 may be arrayed on both sides along the sides of the image-display region 10a. Furthermore, on the remaining side of the TFT-array substrate 10, a plurality of wirings 105 is provided for connecting the scan-line drive circuits 104, which are provided on both sides of the image-display region 10a, to each other. In addition, a conductive material 106, which is for providing electrical conductivity between the TFT-array substrate 10 and the

opposing substrate 20, is provided at at least one corner portion of the opposing substrate 20. Furthermore, as shown in FIG. 12, the opposing substrate 20, which has an outline substantially the same as that of the sealing material 52 shown in FIG. 11, is fixed to the TFT-array substrate 10 by the sealing material 52.

[0119]

It is noted that, on the TFT-array substrate 10, in addition to the data-line drive circuit 101, the scan-line drive circuits 104, and the like: a sampling circuit, which impresses the image signal on the plurality of data lines 6a with a prescribed timing; a precharging circuit, which supplies, in advance of the image signal, a precharging signal of a prescribed voltage level to each of the data lines 6a of the plurality of data lines 6a; a testing circuit, which is for inspecting for quality, defects, and the like of the electro-optical device during manufacturing or at the time of shipping; and the like may be formed.

[0120]

In the embodiments explained above with reference to FIG. 1 to FIG. 12, instead of providing the data-line drive circuit 101 and the scan-line drive circuit 104 on the TFT array substrate 10, for example, they may be electrically and mechanically connected to a drive LSI, which is mounted on a TAB (tape-automated bonding) substrate, via an anisotropic conductive film provided at a peripheral portion of the TFT array substrate 10. In addition, a polarizing film, a phase-difference film, a polarizing plate, or the like is disposed in a prescribed direction—in accordance with, for example, the operation mode, such as TN (twisted nematic) mode, VA (vertically aligned) mode, PLDC (polymer-dispersed liquid crystal) mode, or the like or in accordance with whether it is normally white mode or normally black mode—on the side of the opposing substrate 20 upon which the projected light impinges and on the side of the TFT array substrate 10 from which the exit light exits.

[0121]

In the electro-optical device according to the embodiment as explained above, three of the electro-optical devices are used as the RGB color filters in order to be applicable to a projector, and the lights of colors decomposed via a dichroic mirror for RGB-color decomposition enter the light valves as the projected light. Accordingly, in each of the embodiments, color filters are not provided on the opposing substrate 20. Nevertheless, RGB color filters, together with protective films therefor, may be formed on the opposing substrate 20 in prescribed regions opposing the pixel electrode 9a. In so doing, the electro-optical device in each of the embodiments can be applied to a direct-view-type or a reflective-type color electro-optical apparatus other than a projector. In addition, microlenses may be formed, in 1:1 correspondence with the pixels, on the opposing substrate 20. Alternatively, it is also possible to form color-filter layers, such as color resists, under the pixel electrode 9a opposing the R, G, and B on the TFT array substrate 10. In so doing, the condensing efficiency of the incident light is increased, and therefore a bright electro-optical device can be achieved. Furthermore, in addition, a dichroic filter that produces the RGB colors using light interference may be formed by depositing on the opposing substrate 20 a number of interference layers differing in refractive index. According to this opposing substrate that includes a dichroic filter, a brighter color electro-optical apparatus can be achieved.

[0122]

The present invention is not limited to the embodiments described above and can be appropriately modified within a range that does not depart from the gist or idea of the invention that can be read from the claims and the entire specification; and an electro-optical device and a manufacturing method therefor accompanying such modification are also included within the technical scope of the present invention.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is an equivalent circuit of various elements, wirings, and the like provided on a plurality of pixels in a matrix shape constituting an image-display region of an electro-optical device according to an embodiment of the present invention.

FIG. 2 is a plan view of a plurality of mutually adjacent pixel groups of a TFT-array substrate, on which data lines, scan lines, pixel electrodes, and the like are formed, of the electro-optical device according to the embodiment.

FIG. 3 is a cross-sectional view taken along line A-A' in FIG. 2.

FIG. 4 is a plan view that shows a snippet of protruding portions and a semiconductor layer in FIG. 2, together with grooves that are carved into the base-insulating film.

FIG. 5 is a cross-sectional view taken along line B-B' in FIG. 4.

FIG. 6 is a cross-sectional view taken along line C-C' in FIG. 4.

FIG. 7 is a cross-sectional view taken along line D-D' in FIG. 4.

FIG. 8 is a cross-sectional view taken along line C-C' in FIG. 4 according to a modified embodiment.

FIG. 9 is a process diagram (part 1) that shows the state of the vicinity of the semiconductor layer of the electro-optical device for each step, in order, of the manufacturing process, as a cross-sectional view taken along line C-C' in FIG. 4, according to the present invention.

FIG. 10 is a process diagram (part 2) that shows the state of the vicinity of the semiconductor layer of the electro-optical device for each step, in order, of the manufacturing process, as a cross-sectional view taken along line C-C' in FIG. 4, according to the present invention.

FIG. 11 is a plan view, viewed from the opposing substrate side, of the TFT-array substrate, together with the structural elements formed thereon, of the electro-optical device according to the embodiment.

FIG. 12 is a cross-sectional view taken along line H-H' in FIG. 11.

EXPLANATION OF THE REFERENCE NUMBERS

1a	Semiconductor layer
1a'	Channel region
1b	Low-density source region
1c	Low-density drain region
1d	High-density source region
1e	High-density drain region
2	Insulating film
3a	Scan line
3b	Protruding portion
6a	Data line
9a	Pixel electrode
10	TFT array substrate
10cv	Groove
11a	Lower-side, light-shielding film
12	Base-insulating film
12cv	Groove
16	Alignment layer
20	Opposing substrate
21	Counter electrode
22	Alignment layer
30	TFT
50	Liquid-crystal layer
70	Storage capacitor
71	Relay layer
75	Dielectric film
81, 83, 85	Contact hole
300	Capacitor line

FIG. 1

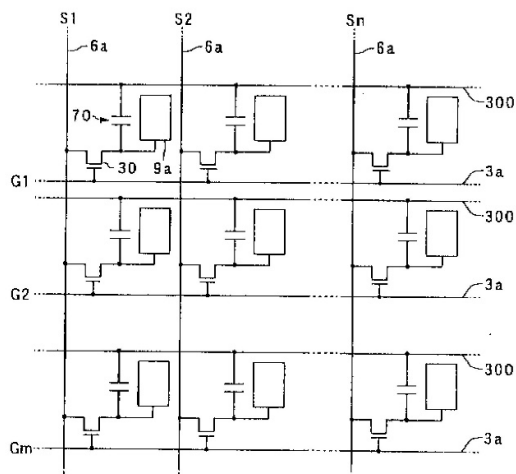


FIG. 2

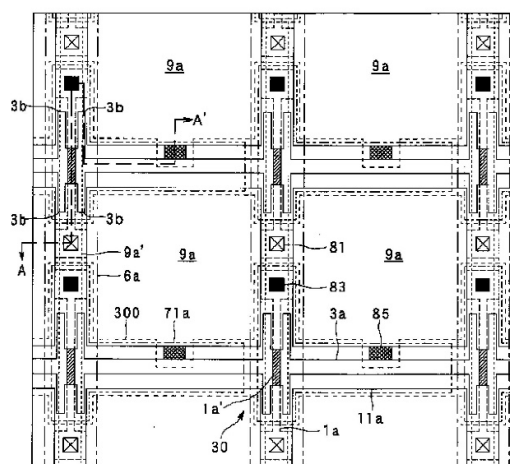


FIG. 3

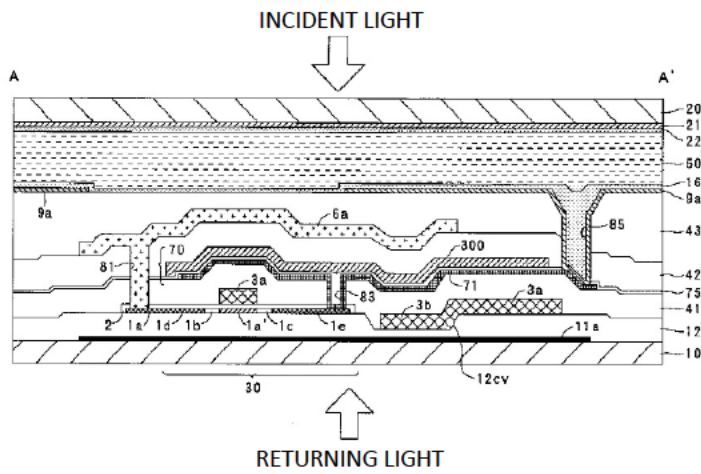


FIG. 4

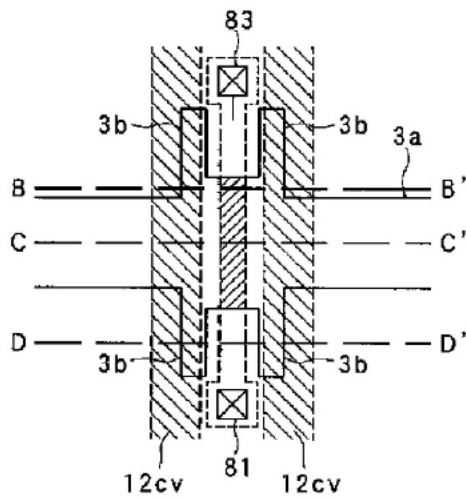


FIG. 5

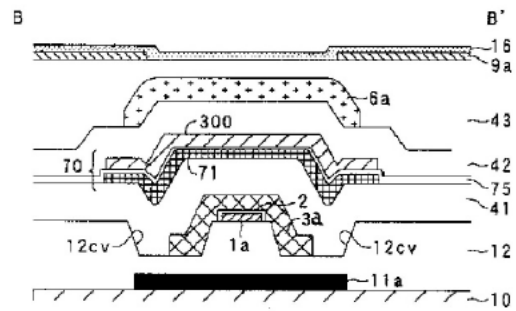


FIG. 7

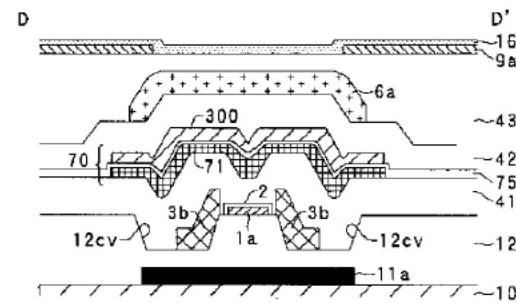


FIG. 6

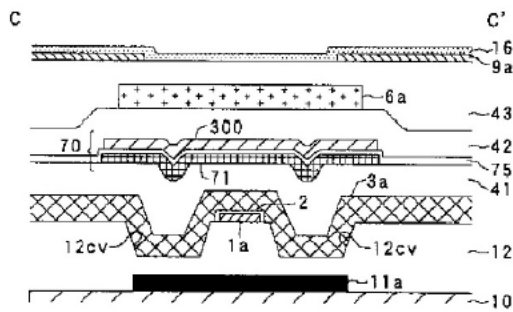


FIG. 8

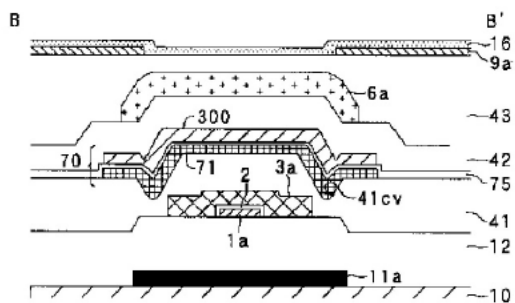


FIG. 9

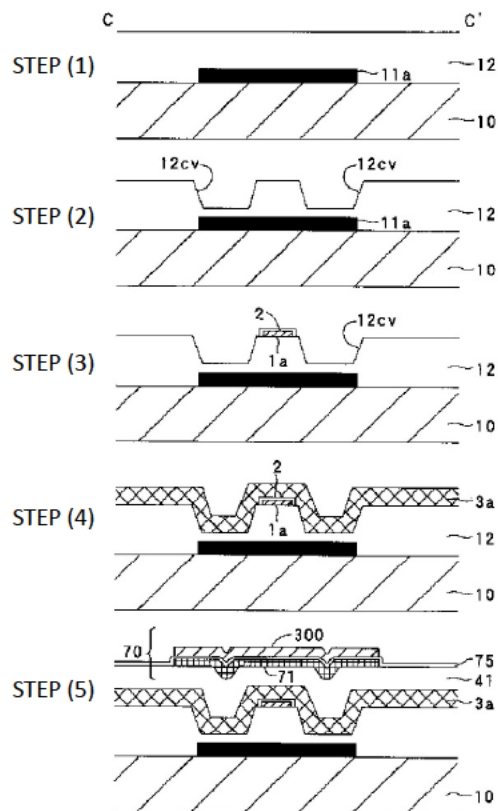


FIG. 10

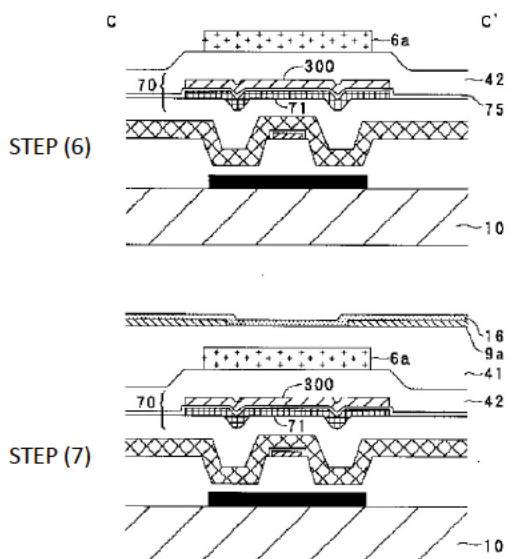


FIG. 11

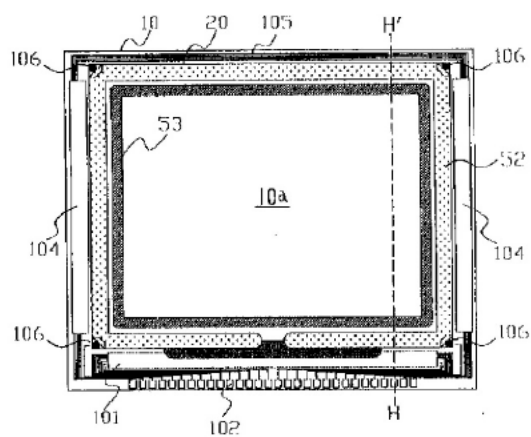
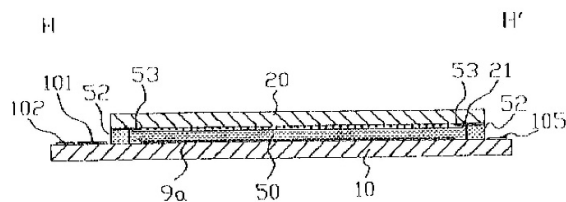


FIG. 12



Continuation of front page

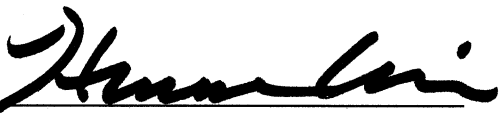
(51) Int. Cl. ⁷	ID	FI	Theme Code (Reference)
		H01L 29/78	617K
			626C

F Terms (Reference)	2H091	FA35Y	FB08	FC10	FC26
		FD04	FD22	GA13	LA03
		LA12	MA07		
	2H092	HA11	JA26	JA29	JA38
		JA44	JA46	JB13	JB23
		JB33	JB51	JB57	JB63
		JB69			
		KA04	KA07	MA05	MA07
		MA14			
		MA15	MA16	MA18	MA19
		MA20			
		MA27	MA28	MA35	MA37
		MA41			
		NA25	NA27	NA29	PA09
		RA05			
	5C094	AA25	AA43	AA48	AA53
		BA03			
		BA43	CA19	DA13	DB01
		DB04			
		EA04	EA10	EB02	ED15
		FA01			
		FA02	FB12	FB14	FB15
		GB10			
	5F110	BB01	CC02	DD02	DD03
		DD05			
		DD12	DD13	DD14	DD21
		DD25			
		EE09	EE14	EE22	EE28
		EE37			
		EE45	FF02	FF03	FF09
		FF23			
		FF29	GG02	GG13	GG23
		GG25			
		GG32	GG47	GG52	HJ01
		HJ04			
		HJ13	HJ23	HM14	HM15
		NN03			
		NN04	NN22	NN23	NN24
		NN25			
		NN26	NN35	NN45	NN46
		NN54			
		NN72	NN73	PP02	PP03
		PP10			
		PP13	QQ11	QQ19	

I, Harold Abilock, declare as follows:

1. I am over 21 years of age and am competent to make this declaration.
2. I am a native speaker of English.
3. I am fluent in Japanese.
4. I have 35 years of experience translating Japanese to English.
5. I translated the attached patent document "JP2002158360A" from Japanese to English.
6. I certify that the translation of the document "JP2002158360A" is, to the best of my knowledge, a true and accurate translation from Japanese to English.
7. In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.
8. I declare under penalty of perjury that all statements made herein are true and accurate to the best of my knowledge and belief, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Executed: May 29, 2024

By: 
Harold Abilock

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-158360
(P2002-158360A)

(43)公開日 平成14年5月31日(2002.5.31)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 29/786		G 0 2 F 1/1335	5 0 0 2 H 0 9 1
G 0 2 F 1/1335	5 0 0	G 0 9 F 9/30	3 3 8 2 H 0 9 2
	1/1368	H 0 1 L 29/78	6 1 9 B 5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数16 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-354544(P2000-354544)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成12年11月21日(2000.11.21)

(72)発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅誉 (外1名)

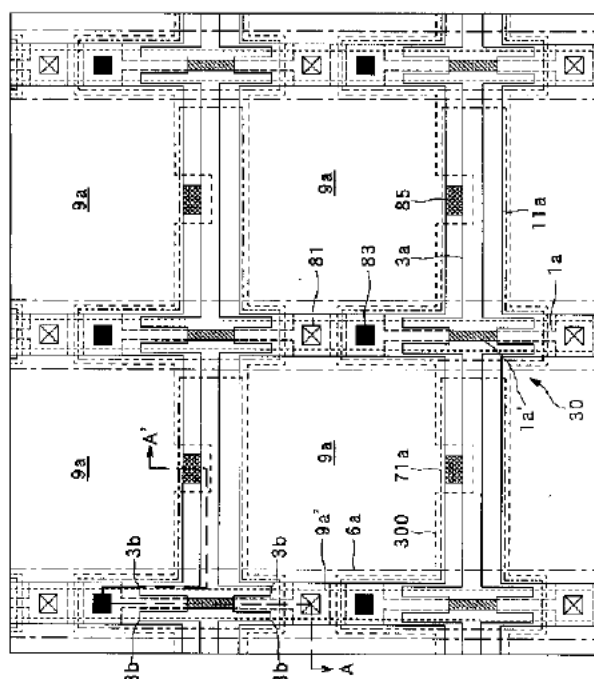
最終頁に続く

(54)【発明の名称】 電気光学装置及びその製造方法

(57)【要約】

【課題】 液晶装置等の電気光学装置において、耐光性を高め、明るく高品位の画像表示を行えるようにする。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上に、画素電極(9a)と、これに接続されたTFT(30)と、これに接続された走査線(3a)とを備える。走査線は、TFTのチャネル領域の長手方向に交わる方向に延びると共に平面的に見てチャネル領域に重なるTFTのゲート電極を含む本体部と、平面的に見てチャネル隣接領域の脇において本体部からチャネル領域の長手方向に突出する突出部とを有する。また、電気光学装置は、チャネル領域を上側から覆う上側遮光膜(300、6a)を備える。この上側遮光膜は、少なくとも部分的に、チャネル領域の長手方向に直交する断面上でチャネル領域側から見て凹状に形成されている。



【特許請求の範囲】

【請求項1】 基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された走査線とを備えており、前記薄膜トランジスタは、長手方向に延びるチャネル領域と該チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有しており、前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有することを特徴とする電気光学装置。

【請求項2】 前記本体部と前記突出部とは、同一膜から一体的になることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記本体部は、前記ゲート電極を含む個所が幅広に形成されていることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記突出部は、平面的に見て前記チャネル領域毎に、そのソース側及びドレイン側に夫々位置する前記チャネル隣接領域の両脇において夫々突出していることを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項5】 前記走査線は、金属又は合金を含む遮光膜からなることを特徴とする請求項1から4のいずれか一項に記載の電気光学装置。

【請求項6】 前記走査線は、金属膜とシリコン膜との多層構造を有することを特徴とする請求項5に記載の電気光学装置。

【請求項7】 前記チャネル隣接領域は、LDD (Lightly Doped Drain) 領域又はオフセット領域からなることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。

【請求項8】 基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線と、前記薄膜トランジスタの少なくともチャネル領域を上側から覆う上側遮光膜とを備えており、前記上側遮光膜は少なくとも部分的に、前記チャネル領域の長手方向に直交する断面上で前記チャネル領域側から見て凹状に形成されていることを特徴とする電気光学装置。

【請求項9】 前記上側遮光膜は、前記配線の一部からなることを特徴とする請求項8に記載の電気光学装置。

【請求項10】 前記上側遮光膜は、前記画素電極に対して蓄積容量を付与するための容量電極を含むことを特

徴とする請求項8又は9に記載の電気光学装置。

【請求項11】 前記上側遮光膜は、金属又は合金を含む遮光膜からなることを特徴とする請求項8から10のいずれか一項に記載の電気光学装置。

【請求項12】 前記薄膜トランジスタは、前記チャネル領域と前記チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有しており、前記配線は、走査線を含み、前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有することを特徴とする請求項8から11のいずれか一項に記載の電気光学装置。

【請求項13】 前記基板又は前記基板上の下地絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されていることを特徴とする請求項8から12のいずれか一項に記載の電気光学装置。

【請求項14】 前記基板上に、前記チャネル領域の上側且つ前記上側遮光膜の下側に位置する層間絶縁膜を更に備えており、前記層間絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されていることを特徴とする請求項8から12のいずれか一項に記載の電気光学装置。

【請求項15】 請求項13に記載の電気光学装置を製造する電気光学装置の製造方法であって、前記基板又は前記下地絶縁膜に前記溝を掘る工程と、前記溝が掘られた基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記上側遮光膜を形成する工程とを備えたことを特徴とする電気光学装置の製造方法。

【請求項16】 請求項14に記載の電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記層間絶縁膜を形成する工程と、前記層間絶縁膜に前記溝を掘る工程と、前記溝が掘られた層間絶縁膜上に前記上側遮光膜を形成する工程とを備えたことを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFTと称す) を、基板上の積層構

造中に備えた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【背景技術】TF Tアクティブマトリクス駆動形式の電気光学装置では、各画素に設けられた画素スイッチング用TF Tのチャネル領域に入射光が照射されると光による励起で光リーク電流が発生してTF Tの特性が変化する。特に、プロジェクタのライトバルブ用の電気光学装置の場合には、入射光の強度が高いため、TF Tのチャネル領域やその周辺領域に対する入射光の遮光を行うことは重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を規定する遮光膜により、或いはTF Tアレイ基板上においてTF Tの上を通過すると共にA1（アルミニウム）等の金属膜からなるデータ線により、係るチャネル領域やその周辺領域を遮光するように構成されている。更に、TF Tアレイ基板上のTF Tの下側に対向する位置にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTF Tの下側にも遮光膜を設ければ、TF Tアレイ基板側からの裏面反射光や、複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学装置のTF Tに入射するのを未然に防ぐことができる。

【0003】

【発明が解決しようとする課題】しかしながら、上述した各種遮光技術によれば、以下の問題点がある。

【0004】即ち、先ず対向基板上やTF Tアレイ基板上に遮光膜を形成する技術によれば、遮光膜とチャネル領域との間は、3次元的に見て例えば液晶層、電極、層間絶縁膜等を介してかなり離間しており、両者間へ斜めに入射する光に対する遮光が十分ではない。特にプロジェクタのライトバルブとして用いられる小型の電気光学装置においては、入射光は光源からの光をレンズで絞った光束であり、斜めに入射する成分を無視し得ない程に（例えば、基板に垂直な方向から10度から15度程度傾いた成分を10%程度）含んでいるので、このような斜めの入射光に対する遮光が十分でないことは実践上問題となる。

【0005】加えて、遮光膜のない領域から電気光学装置内に侵入した光が、基板の上面或いは基板の上面に形成された遮光膜の上面やデータ線の下面（即ち、チャネル領域に面する側の内面）で反射された後に、係る反射光或いはこれが更に基板の上面或いは遮光膜やデータ線の内面で反射された多重反射光が最終的にTF Tのチャネル領域に到達してしまう場合もある。

【0006】特に近年の表示画像の高品位化という一般的要請に沿うべく電気光学装置の高精細化或いは画素ピッチの微細化を図るに連れて、更に明るい画像を表示すべく入射光の光強度を高めるに連れて、上述した従来の

各種遮光技術によれば、十分な遮光を施すのがより困難となり、TF Tのトランジスタ特性の変化により、フリッカ等が生じて、表示画像の品位が低下してしまうという問題点がある。

【0007】尚、このような耐光性を高めるためには、遮光膜の形成領域を広げればよいようにも考えられるが、遮光膜の形成領域を広げてしまったのでは、表示画像の明るさを向上させるべく各画素の開口率を高めることが根本的に困難になるという問題点が生じる。更に上述の如く遮光膜（即ち、TF Tの下側の遮光膜やデータ線等からなるTF Tの上側の遮光膜等）の存在により、斜め光に起因した内面反射や多重反射光が発生することに鑑みればむやみに遮光膜の形成領域を広げたのでは、このような内面反射光や多重反射光の増大を招くという解決困難な問題点もある。

【0008】本発明は上述の問題点に鑑みなされたものであり、耐光性に優れており、明るく高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】本発明の第1電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された走査線とを備える。前記薄膜トランジスタは、長手方向に延びるチャネル領域と該チャネル領域から更に前記長手方向に延びるチャネル隣接領域とを含む半導体層を有する。前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有する。

【0010】本発明の第1電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、走査線は、平面的に見て、薄膜トランジスタのゲート電極を含む本体部から、チャネル隣接領域の脇において、チャネル隣接領域に沿って突出する突出部を有する。従って、基板面に対して斜めに進行する入射光及び戻り光、並びにこれらに基づく内面反射光及び多重反射光などの斜めの光が、チャネル領域及びチャネル隣接領域に入射するのを、走査線のうちゲート電極を含む本体部だけでなく、特に突出部による光吸収或いは光反射により、少なくとも部分的に阻止できる。この際特に、チャネル隣接領域からの層間距離が非常に小さい位置（即ち、一般にゲート絶縁膜の厚みだけ離れた層間位置）に配置される突出部により遮光を行なうことで、非常に効果的に当該遮光を行なえる。

【0011】例えば、基板上において、薄膜トランジス

タの下側に下側遮光膜を設けた場合には、比較的層間距離の小さい下側遮光膜と遮光膜として機能する走査線の突出部や本体部との間に、チャンネル隣接領域やチャンネル領域を挟持する構成が得られるため、斜めの光に対して非常に高い遮光性能が得られる。

【0012】この結果、本発明の第1電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

【0013】本発明の第1電気光学装置の一態様では、前記本体部と前記突出部とは、同一膜から一体的になる。

【0014】この態様によれば、当該第1電気光学装置を製造する際に、遮光用の突出部は、本体部と共に走査線を形成する工程で形成できるため、当該突出部を形成するために追加的な工程は不要である。従って、基板上における積層構造及び製造プロセスの簡略化を図れる。

【0015】本発明の第1電気光学装置の他の態様では、前記本体部は、前記ゲート電極を含む個所が幅広に形成されている。

【0016】この態様によれば、走査線の本体部は、ゲート電極を含む個所が幅広に形成されているので、斜めの光に対する幅広の本体部によるチャンネル領域やチャンネル隣接領域における遮光性能を向上できる。また、当該第1電気光学装置を製造する際に、このように本体部の特定個所を幅広に形成するためには、走査線の平面パターンに若干の変更を加えるだけで済み、追加的な工程は不要である。

【0017】本発明の第1電気光学装置の他の態様では、前記突出部は、平面的に見て前記チャンネル領域毎に、そのソース側及びドレイン側に夫々位置する前記チャンネル隣接領域の両脇において夫々突出している。

【0018】この態様によれば、薄膜トランジスタ毎に、そのソース側及びドレイン側並びにそれらの両脇に合計4つの突出部が設けられることになる。従って、これらの突出部により、3次的に各種の方向から入射する斜めの光に対する遮光性能を向上できる。

【0019】本発明の第1電気光学装置の他の態様では、前記走査線は、金属又は合金を含む遮光膜からなる。

【0020】この態様によれば、走査線は、金属又は合金を含む遮光膜からなり、より具体的には、例えばTi(チタン)、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)、Pb(鉛)等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。従って、このような遮光膜からなる走査線の本体部及び突出部により、斜めの光に対するチ

ャネル領域やチャンネル隣接領域における遮光性能をより向上できる。

【0021】但し、走査線を、このような遮光膜ではなく、ポリシリコン膜等から形成しても、その光吸収特性に応じた遮光性能が得られる。

【0022】この態様では、前記走査線は、金属膜とシリコン膜との多層構造を有するように構成してもよい。

【0023】このように構成すれば、本体部及び突出部により高い遮光性能を実現しつつ、薄膜トランジスタのゲート絶縁膜(例えば、ゲート酸化膜など)上に形成されるゲート電極としても良好な特性を実現できる。

【0024】本発明の第1電気光学装置の他の態様では、前記チャンネル隣接領域は、LDD(Lightly Doped Drain)領域又はオフセット領域からなる。

【0025】この態様によれば、斜めの光がLDD領域又はオフセット領域に入射することで、薄膜トランジスタの特性が変化する事態を、走査線の突出部による遮光により効果的に阻止できる。

【0026】本発明の第2電気光学装置は上記課題を解決するために、基板上に、画素電極と、該画素電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続された配線と、前記薄膜トランジスタの少なくともチャンネル領域を上側から覆う上側遮光膜とを備える。前記上側遮光膜は少なくとも部分的に、前記チャンネル領域の長手方向に直交する断面上で前記チャンネル領域側から見て凹状に形成されている。

【0027】本発明の第2電気光学装置によれば、画素電極をこれに接続された薄膜トランジスタによりスイッチング制御することにより、アクティブマトリクス駆動方式による駆動を行なえる。そして、チャンネル領域を上側から覆う上側遮光膜は少なくとも部分的に、チャンネル領域の長手方向に直交する断面上でチャンネル領域側から見て凹状に形成されている(即ち、下側が凹状に形成されている)。このため、上側遮光膜が平坦である場合と比較して、基板面に対して斜めに進行する入射光並びに入射光及び戻り光に基づく内面反射光及び多重反射光などの斜めの光が、最終的に斜め上側からチャンネル領域に入射するのを、当該上側遮光膜によって、より効果的に阻止できる。

【0028】例えば、基板上において、薄膜トランジスタの下側に下側遮光膜を設けた場合には、下側遮光膜と上側遮光膜との間に、チャンネル領域を挟持する構成が得られるため、斜めの光に対して非常に高い遮光性能が得られる。この際、下側遮光膜は少なくとも部分的に、上述した上側遮光膜の凹凸とは上下反対に、チャンネル領域の長手方向に直交する断面上でチャンネル領域側から見て凹状に形成されてもよい(即ち、上側が凹状に形成されてもよい)。

【0029】この結果、本発明の第2電気光学装置によれば、耐光性を高めることが可能となり、強力な入射光

や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減された薄膜トランジスタにより画素電極を良好にスイッチング制御でき、最終的には本発明により、明るく高コントラストの画像を表示可能となる。

【0030】本発明の第2電気光学装置の一の態様では、前記上側遮光膜は、前記配線の一部からなる。

【0031】この態様によれば、上側遮光膜は、遮光膜としての機能を有するのみではなく、配線としての機能を有するので、全体として基板上における積層構造及び製造工程の簡略化を図れる。例えば、上側遮光膜を兼ねる配線は、走査線でもよいし、容量線でもよいし、データ線でもよいし、これらの組み合わせでもよい。

【0032】本発明の第2電気光学装置の他の態様では、前記上側遮光膜は、前記画素電極に対して蓄積容量を付与するための容量電極を含む。

【0033】この態様によれば、上側遮光膜は、遮光膜としての機能を有するのみではなく、容量電極としての機能を有するので、基板上に蓄積容量を作り込みつつ全体として基板上における積層構造及び製造工程の簡略化を図れる。例えば、上側遮光膜を兼ねる容量電極は、画素電位側容量電極でもよいし、固定電位側容量電極でもよい。特に画素電位側容量電極の場合には、薄膜トランジスタと画素電極とを中継接続する中継層を更に兼ねてもよい。尚、このような容量電極とは別個の中継層から上側遮光膜を構成することも可能である。

【0034】本発明の第2電気光学装置の他の態様では、前記上側遮光膜は、金属又は合金を含む遮光膜からなる。

【0035】この態様によれば、上側遮光膜は、金属又は合金を含む遮光膜からなり、より具体的には、例えばTi、Cr、W、Ta、Mo、Pb等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。或いは、上側遮光膜を、金属膜とシリコン膜との多層構造を有するように構成してもよい。従って、このような上側遮光膜により、斜めの光に対するチャネル領域における遮光性能をより向上できる。

【0036】但し、上側遮光膜を、ポリシリコン膜等から形成しても、その光吸収特性に応じた遮光性能が得られる。

【0037】本発明の第2電気光学装置の他の態様では、前記薄膜トランジスタは、前記チャネル領域と前記チャネル領域から更に前記長手方向に延びるチャネル隣接領域を含む半導体層を有しており、前記配線は、走査線を含み、前記走査線は、前記長手方向に交わる方向に延びると共に平面的に見て前記チャネル領域に重なる前記薄膜トランジスタのゲート電極を含む本体部と、平面的に見て前記チャネル隣接領域の脇において前記本体部から前記長手方向に突出する突出部とを有する。

【0038】この態様によれば、前述した本発明の第1

電気光学装置における走査線の突出部による遮光機能と、当該第2電気光学装置における上側遮光膜による遮光機能との両者を持ち合わせる構成が得られるので、一段と耐光性を高めることが可能となる。

【0039】尚、本発明では上述した第1電気光学装置の各種態様と、上述した第2電気光学装置の各種態様とを、任意に組み合わせてもよい。

【0040】本発明の第2電気光学装置の他の態様では、前記基板又は前記基板上の下地絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されている。

【0041】この態様によれば、基板又は下地絶縁膜の所定位置に溝を掘ることにより、その溝による段差に応じて上側遮光膜が凹状に形成されるので、比較的単純な構成を有する第2電気光学装置を実現できる。

【0042】本発明の第2電気光学装置の他の態様では、前記基板上に、前記チャネル領域の上側且つ前記上側遮光膜の下側に位置する層間絶縁膜を更に備えており、前記層間絶縁膜に、平面的に見て前記チャネル領域の脇に前記長手方向に沿って延びる溝が形成されており、前記上側遮光膜は、前記溝による段差に応じて前記凹状に形成されている。

【0043】この態様によれば、層間絶縁膜の所定位置に溝を掘ることにより、その溝による段差に応じて上側遮光膜が凹状に形成されるので、比較的単純な構成を有する第2電気光学装置を実現できる。

【0044】本発明の第1の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の基板又は下地絶縁膜に溝が掘られた態様における第2電気光学装置を製造する電気光学装置の製造方法であって、前記基板又は前記下地絶縁膜に前記溝を掘る工程と、前記溝が掘られた基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記上側遮光膜を形成する工程とを備える。

【0045】本発明の第1の電気光学装置の製造方法によれば、先ず基板又は下地絶縁膜の所定位置に溝を掘り、その後半導体層の上側に上側遮光膜を形成すれば、溝による段差に応じて上側遮光膜が凹状に形成されることになるので、比較的簡単に第2電気光学装置を製造できる。

【0046】本発明の第2の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の層間絶縁膜に溝が掘られた態様における第2電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記半導体層を形成する工程と、前記半導体層の上側に前記層間絶縁膜を形成する工程と、前記層間絶縁膜に前記溝を掘る工程と、前記溝が掘られた層間絶縁膜上に前記上側遮光膜を形成する工程とを備える。

【0047】本発明の第2の電気光学装置の製造方法に

よれば、先ず半導体層の上側に形成された層間絶縁膜の所定位置に溝を掘り、その後層間絶縁膜の上側に上側遮光膜を形成すれば、溝による段差に応じて上側遮光膜が凹状に形成されることになるので、比較的簡単に第2電気光学装置を製造できる。

【0048】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0049】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0050】（電気光学装置の画素部における構成）先ず本発明の実施形態における電気光学装置の画素部における構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0051】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する対向基板に形成された対向電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じ

たコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。

【0052】図2において、電気光学装置のTFTアレ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0053】また、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。特に、本実施形態では、走査線3aは、当該ゲート電極となる個所において幅広に形成されていると共に、平面的に見てデータ線6aに沿って延びる半導体層1aの両脇に（図2において、各チャネル領域1a'の右斜め上、左斜め上、右斜め下、左斜め下の4個所に）、当該幅広に形成された部分から夫々突出する突出部3bを備えている。この突出部3bの構成及び作用効果については、後に図4から図8を参照して詳述する。

【0054】このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

【0055】図2及び図3に示すように、蓄積容量70は、TFT30の高濃度ドレイン領域1e（及び画素電極9a）に接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより形成されている。

【0056】容量線300は、例えば金属又は合金を含む導電性の遮光膜からなり上側遮光膜の一例を構成すると共に固定電位側容量電極としても機能する。容量線300は、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。但し、容量線300は、例えば導電性のポリシリコン膜等からなる第1膜と高融点金属を含む金属シリサイド膜等からなる第2膜とが積層された多層構造を持ってもよい。

【0057】中継層71は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。中継層71は、画素電位側容量電極としての機能の他、上側遮光膜としての容量線300とTFT30との間に配置される光吸収層としての機能を持ち、更に、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する機能を持つ。但し、中継層71も、容量線300と同様に、金属又は合金を含む単一層膜若しくは多層膜から構成してもよい。

【0058】容量線300は平面的に見て、走査線3aに沿ってストライプ状に伸びており、TFT30に重なる個所が図2中上下に突出している。そして、図2中縦方向に夫々延びるデータ線6aと図2中横方向に夫々延びる容量線300とが相交差して形成されることにより、TFTアレイ基板10上におけるTFT30の上側に、平面的に見て格子状の上側遮光膜が構成されており、各画素の開口領域を規定している。

【0059】そして本実施形態では特に、図3に示すように、TFTアレイ基板10上の下地遮光膜12には（図面の複雑化を避けるために図2には示していないが）、平面的に見て半導体層1aの両脇にデータ線6aに沿って延びる溝12cvが掘られており、この溝12cvに対応して、その上方に積層形成される走査線3a（突出部3bを含む）、中継層71、容量線300及びデータ線6aは、下側に凹状に形成された部分を夫々含んでいる。この溝12cvに係る構成及び作用効果についても、走査線3aの突出部3bの構成及び作用効果と共に、後に図4から図8を参照して詳述する。

【0060】図2及び図3に示すように、TFTアレイ基板10上におけるTFT30の下側には、下側遮光膜11aが格子状に設けられている。

【0061】下側遮光膜11aは、前述の如く上側遮光膜の一例を構成する容量線300と同様に、例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

【0062】また図3において、容量電極としての中継層71と容量線300との間に配置される誘電体膜75は、例えば膜厚5～200nm程度の比較的薄いHTO（High Temperature Oxide）膜、LTO（Low Temperature Oxide）膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄い程良い。

【0063】また容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。係る定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路（後述する）や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板20の対向電極21に供給される定電位でも構わない。更に、下側遮光膜11aについても、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、容量線300と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0064】画素電極9aは、中継層71を中継するこ

とにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電気的に接続されている。即ち、本実施形態では、中継層71は、蓄積容量70の画素電位側容量電極としての機能及び光吸収層としての機能に加えて、画素電極9aをTFT30へ中継接続する機能を果たす。このように中継層71を利用すれば、層間距離が例えば2000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0065】図2及び図3において、電気光学装置は、透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。

【0066】図3に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO（Indium Tin Oxide）膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0067】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0068】対向基板20には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く上側遮光膜を構成する容量線300及びデータ線6aと共に当該対向基板20上の遮光膜により、対向基板20側からの入射光がチャンネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを、より確実に阻止できる。更に、このような対向基板20上の遮光膜は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。尚、このように対向基板20上の遮光膜は好ましくは、平面的に見て容量線300とデータ線6aとからなる遮光層の内側に位置するように形成する。これにより、対向基板20上の遮光膜により、各画素の開口率を低めることなく、このような遮光及び温度上昇防止の効果が得られる。

【0069】このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封

入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0070】更に、画素スイッチング用TFT30の下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能の他、TFTアレ基板10の全面に形成されることにより、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。

【0071】図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0072】走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール81及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々開孔された第1層間絶縁膜41が形成されている。

【0073】第1層間絶縁膜41上には中継層71及び容量線300が形成されており、これらの上には、高濃度ソース領域1d及び中継層71へ夫々通じるコンタクトホール81及びコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。

【0074】尚、本実施形態では、第1層間絶縁膜41に対しては、1000℃の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0075】第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。画素電極9aは、このように構成された第3層間絶縁膜43の上面に設けられている。

【0076】本実施形態では特に、図3に示したように多数の所定パターンの導電層を積層することにより、画素電極9aの下地面（即ち、第3層間絶縁膜43の表

面）におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、第3層間絶縁膜43の表面を平坦化処理することで（例えば、CMP (Chemical Mechanical Polishing) 処理等で研磨することにより、或いは有機SOG (Spin On Glass) を用いて平らに形成することで）緩和している。このように配線、素子等が存在する領域と存在しない領域との間における段差を緩和することにより、最終的には段差に起因した液晶の配向不良等の画像不良を低減できる。但し、このように第3層間絶縁膜43に平坦化処理を施すのに代えて又は加えて、TFTアレ基板10、下地絶縁膜12、第1層間絶縁膜41及び第2層間絶縁膜42のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよい。

【0077】（走査線、容量線及びデータ線による遮光）次に、図4から図8を参照して、上述した電気光学装置の実施形態における、走査線3aの突出部3bの構成及び作用効果並びに下地絶縁膜12に掘られた溝12cvに係る構成及び作用効果について詳述する。ここに図4は、図2のうち走査線3aの突出部3b及び下地絶縁膜12に掘られる溝12cv（図4中、右下がりのハッチング領域で示す）を、半導体層1a（図中点線で示す）と共に抜粋して示す平面図であり、図5は、図4のB-B'断面図であり、図6は、図4のC-C'断面図である。図7は、図4のD-D'断面図であり、図8は、変形形態における図4のB-B'断面図である。

【0078】図4から図7に示すように、下地絶縁膜12には、半導体層1aの両脇にデータ線6aに沿って溝12cvが掘られている。溝12cv内には、走査線3aの突出部3bが部分的に埋め込まれており、更に、層間絶縁膜41、層間絶縁膜42等を介して、中継層71、容量線300及びデータ線6aが部分的に埋め込まれている。これにより、図5から図7に示す各断面図上で、走査線3aの突出部3b、容量線300及びデータ線6aは、溝12cvに対応して下側に凹状に形成された部分を含んでいる。

【0079】従って第1に、走査線3aに突出部3bが設けられているので、TFTアレ基板10の基板面に対して斜めに進行する入射光及び戻り光、並びにこれらに基づく内面反射光及び多重反射光などの斜めの光が、チャネル領域1a及びその隣接領域（即ち、低濃度ソース領域1b及び低濃度ドレイン領域1c）に入射するのを、走査線3aのうちゲート電極として機能する本体部だけでなく、特に突出部3bによる光吸収或いは光反射により、少なくとも部分的に阻止できる。この際、半導体層1aに近接した突出部3b（及び走査線3aの本体部）により遮光を行なうので、非常に効果的に当該遮光を行なえる。

【0080】また第2に、半導体層1aを上側から覆う上側遮光膜として機能する走査線3a（突出部3bを含

む)、中継層71、容量線300及びデータ線6は夫々、溝12cvに対応して下側に凹状に形成された部分を含んでいるので、上側遮光膜が平坦である場合と比較して、基板面に対して斜めに進行する入射光並びに入射光及び戻り光に基づく内面反射光及び多重反射光などの斜めの光が、最終的に斜め上側からチャネル領域1a及びその隣接領域に入射するのを、当該上側遮光膜によって、より効果的に阻止できる。即ち、下側に凹状(或いは上側に凸状)である上側遮光膜の上面部分により、上側からの斜めの光を拡散させる傾向が溝12cvに応じて強まるので、最終的に斜め上側からチャネル領域1a及びその隣接領域に入射するの光量を低減できるのである。尚、同様の理由から、下側遮光膜11aを少なくとも部分的に、上述した上側遮光膜の凹凸とは上下反対に、上側に凹状に(即ち、下側に凸状に)形成してもよい。

【0081】加えて、本実施形態では、走査線3aは、ゲート電極を含む個所が幅広に形成されているので、斜めの光に対する走査線3aによるチャネル領域やその隣接領域における遮光性能を向上できる。

【0082】ここで本実施形態では、図2及び図3に示した如く各種遮光膜によりTFT30に対する遮光を上下から行なっている。即ち、電気光学装置における上側(即ち、入射光の入射側)から入射する入射光に対しては、容量線300及びデータ線6aが、上側遮光膜として機能する。他方、当該電気光学装置における下側(即ち、入射光の出射側)から入射する戻り光に対しては、下側遮光膜11aが文字通り下側遮光膜として機能する。従って、走査線3aに突出部3bを設ける必要性や、溝12cvにより上側遮光膜たる容量線300等に特別な形状を与える必要性は無いようにも考えられる。しかしながら、入射光は、基板10に対して斜め方向から入射する斜め光を含んでいる。例えば入射角が垂直から10度~15度位までずれる成分を10%程度含んでいる。同様に戻り光も、斜め光を含んでいる。このため、斜め光が、基板10の上面や下側遮光膜11aの上面等で反射されて、或いは上側遮光膜の下面等で反射されて、更にこれらが当該電気光学装置内の他の界面で反射されて、内面反射光・多重反射光が生成される。従って、TFT30の上下に各種遮光膜を備えていても、両者間の隙間を介して進入する斜めの光は存在し得るので、本実施形態の如く、半導体層1aの脇で遮光を行なう突出部3bや、溝12cvに対応する凹状部分による遮光の効果は大きいといえる。

【0083】以上図4から図7を参照して説明したように、本実施形態の電気光学装置によれば、突出部3b及び溝12cvを設けることにより、耐光性を高められ、強力な入射光や戻り光が入射するような過酷な条件下にあっても光リーク電流の低減されたTFT30により画素電極9aを良好にスイッチング制御でき、最終的に

は、明るく高コントラストの画像を表示できる。

【0084】加えて本実施形態では、上側遮光膜は、走査線3a(突出部3bを含む)、容量線300、データ線6a等の一部からなるため、全体としてTFTアレイ基板10上における積層構造及び製造工程の簡略化を図れる。更に、本実施形態では、突出部3bは、走査線3aと同一膜から一体的になるので、突出部3bを形成するために、追加的な工程は不要である。

【0085】以上説明した本実施形態では、走査線3aを、容量線300や下地遮光膜11aの場合と同様に、金属又は合金を含む遮光膜(例えば、Ti、Cr、W、Ta、Mo、Pb等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等)から構成してもよい。このように構成すれば、走査線3a及び突出部3bにより、斜めの光に対するチャネル領域やチャネル隣接領域における遮光性能をより向上できる。

【0086】以上説明した本実施形態では、突出部3bは、各チャネル領域1a'に対し4つ形成しているが、チャネル領域1a'の片脇のみに形成しても、或いは図2でチャネル領域1a'の上側のみに又は下側のみに形成しても、ある程度の類似効果が得られる。例えば、半導体層1aの周囲における配線や素子等の配置に鑑み、チャネル領域1a'の両脇或いは上下両方に突出部3bを合計4つ形成することが困難である場合などには、レイアウトに無理を加えることなく、片脇のみに或いは上側又は下側のみに、チャネル領域毎に3つ以下の突出部3bを設ければよい。

【0087】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0088】尚、図8に示したように、下地絶縁膜12に代えて、第1層間絶縁膜41に溝41cvを掘り、上側遮光膜を構成する中継層71、容量線300及びデータ線6に夫々、溝41cvに対応して下側に凹状に形成された部分を含むように形成しても、上述の実施形態と類似の遮光性能が得られる。

【0089】(製造プロセス)次に、本発明による電気光学装置の製造プロセスについて図9及び図10を参照して説明する。ここに図9及び図10は、製造プロセスの各工程における電気光学装置の半導体層1a付近の様子を図6と同様に図4のC-C'断面図で順を追って示す工程図である。

【0090】先ず図9の工程(1)に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレ基板10を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板10に生じる歪みが少なくなるように前処理しておく。

【0091】続いて、このように処理されたTFTアレ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜を形成する。そしてフォトリソグラフィ及びエッチングにより、平面形状が格子状の下側遮光膜11aを形成する。

【0092】続いて、下側遮光膜11a上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約500～2000nm程度とする。

【0093】次に図9の工程(2)では、フォトリソグラフィ並びにドライ及びウエットエッチングにより、図4に示した平面形状を持つ溝12cvを掘る。溝12cvの深度は、溝12cvの底部に位置する下地絶縁膜12部分の膜厚が下地絶縁膜として良好に機能する程度の膜厚を残すように、下地絶縁膜12の膜厚に応じて例えば500～1500nm程度とする。

【0094】次に図9の工程(3)では、溝12cvの掘られた下地絶縁膜12上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、ポリシリコン膜を約50～200nmの粒径、好ましくは約100nmの粒径となるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。この際、画素スイッチング用のTFT30

を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーピングしても良い。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1aを形成する。

【0095】続いて、TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化して下層ゲート絶縁膜を形成し、続けて減圧CVD法等により、若しくは両者を続けて行うことにより、上層ゲート絶縁膜を形成する、これにより、多層の高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる(ゲート絶縁膜を含む)絶縁膜2を形成する。この結果、半導体層1aは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

【0096】続いて、画素スイッチング用のTFT30のスレッショールド電圧V_{th}を制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーピングする。

【0097】次に図9の工程(4)では、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーパントシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッチングにより、TFT30のゲート電極部及び突出部3b(図4参照)を含めて所定パターンの走査線3aを形成する。

【0098】例えば、TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a(ゲート電極)をマスクとして、PなどのV族元素のドーパントを低濃度で(例えば、Pイオンを $1\sim3\times10^{13}/\text{cm}^2$ のドーピング量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。更に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い平面パターンを有するレジスト層を走査線3a上に形成する。その後、PなどのV族元素のドーパントを高濃度で(例えば、Pイオンを $1\sim3\times10^{15}/\text{cm}^2$ のドーピング量にて)ドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドーピングにより走査線3aは更に低抵抗化される。

【0099】次に図9の工程(5)では、走査線3a上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜41を形成する。この第1層間絶縁膜12の膜厚は、例えば約500～2000nm程度とする。ここで好ましくは、800℃の程度の高温でアニール処理し、層間絶縁膜41の膜質を向上させておく。

【0100】続いて、層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール83(図2及び図3参照)を同時開孔する。

【0101】続いて、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーパントシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約150nm程度である。そして、フォトリソグラフィ及びエッチングにより、不図示の中継層71(図2及び図3参照)を形成する。

【0102】続いて、画素電位側容量電極を兼ねる画素電極中継層71及び第1層間絶縁膜41上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる誘電体膜75を膜厚50nm程度の比較的薄い厚さに堆積する。但し、誘電体膜75は、絶縁膜2の場合と同様に、単層膜或いは多層膜のいずれから構成してもよく、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下の極薄い絶縁膜となるように誘電体膜75を形成すると有利である。

【0103】続いて、誘電体膜75上に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚に形成する。そしてフォトリソグラフィ及びエッチングにより、所定パターンを持つ容量線300を形成する。即ち、蓄積容量70が完成する。

【0104】但し、容量線300を多層膜から構成する場合には、先ず誘電体膜75上に減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化して第1膜を形成し、この上に更に、金属や金属シリサイド等の金属合金膜を第2膜として積層形成した後、フォトリソグラフィ及びエッチングにより第1及び第2膜から所定パターンを持つ容量線300を形成してもよい。

【0105】次に図10の工程(6)では、例えば、常

圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。第1層間絶縁膜42の膜厚は、例えば500～1500nm程度である。

【0106】続いて、第2層間絶縁膜42に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール81(図2及び図3参照)を開孔する。

【0107】続いて、第2層間絶縁膜42上の全面に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100～500nmの厚さ、好ましくは約300nmに堆積する。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有するデータ線6aを形成する。

【0108】次に図10の工程(7)では、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。第3層間絶縁膜43の膜厚は、例えば500～1500nm程度である。

【0109】続いて、第3層間絶縁膜43に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、不図示のコンタクトホール85(図2及び図3参照)を開孔する。

【0110】続いて、第3層間絶縁膜43上に、スパッタ処理等により、ITO膜等の透明導電性膜を、約50～200nmの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0111】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

【0112】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、額縁としての遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される。尚、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0113】その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持

つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3参照）が形成される。

【0114】最後に、上述のように各層が形成されたTFTアレ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材（図11及び図12参照）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0115】以上説明した本発明の製造プロセスによれば、上述した本発明による電気光学装置を製造できる。この際特に、工程（4）における走査線3bのパターニング処理に若干の変更を加えるだけで図4に示した如き突出部3bを形成でき、更に工程（2）で溝12cvを掘るだけで、その上方にある上側遮光膜として機能する各種導電膜を、下側に凹状に形成された部分を含むように形成できるので、全体として比較的簡単に、当該製造プロセスを実施できる。

【0116】尚、前述した変形形態に係る電気光学装置（図8参照）を製造する場合には、図9の工程（2）に示した溝12cvを掘る処理を省略し、代わりに、工程（5）の途中で、第1層間絶縁膜41に対して、溝41cvを掘るようにすれば足り、残りの工程は上述した図9及び図10に示したのと同様で済む。

【0117】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0118】図11において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20と

の間で電氣的に導通をとるための導通材106が設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。

【0119】尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0120】以上図1から図12を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB（Tape Automated bonding）基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN（Twisted Nematic）モード、VA（Vertically Aligned）モード、PDL C（Polymer Dispersed Liquid Crystal）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定方向で配置される。

【0121】以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0122】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のうち突出部と半導体層とを抜粋して、下地絶縁膜に掘られた溝と共に示す平面図である。

【図5】図4のB-B'断面図である。

【図6】図4のC-C'断面図である。

【図7】図4のD-D'断面図である。

【図8】変形形態における図4のC-C'断面図である。

【図9】本発明による製造プロセスの各工程における電気光学装置の半導体層付近の様子を図4のC-C'断面図で順を追って示す工程図（その1）である。

【図10】本発明による製造プロセスの各工程における電気光学装置の半導体層付近の様子を図4のC-C'断面図で順を追って示す工程図（その2）である。

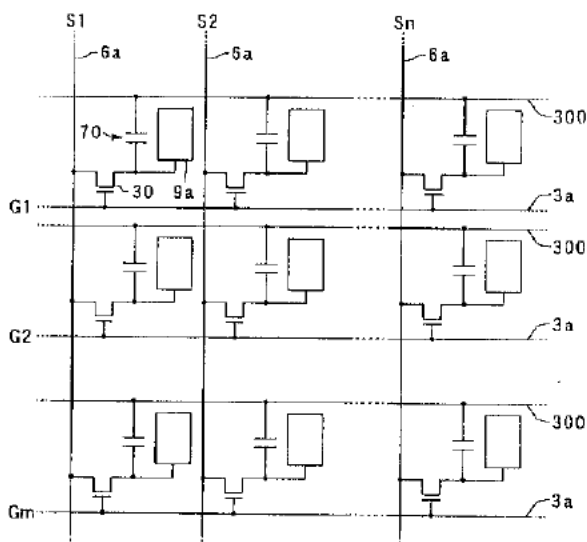
【図11】実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図12】図11のH-H'断面図である。

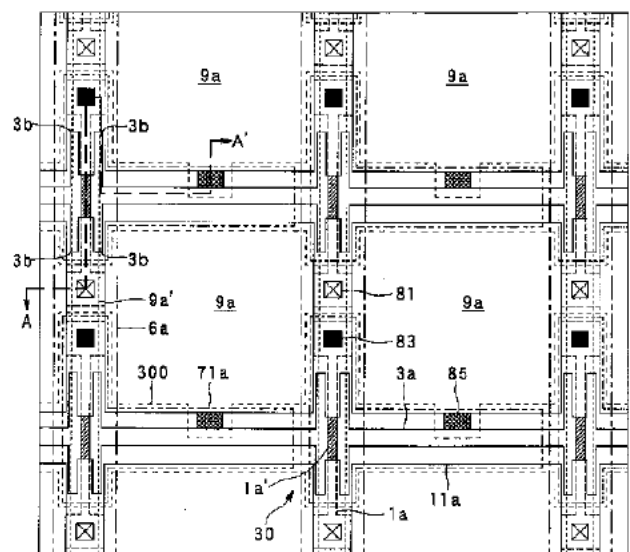
【符号の説明】

- 1 a…半導体層
- 1 a' …チャネル領域
- 1 b…低濃度ソース領域
- 1 c…低濃度ドレイン領域
- 1 d…高濃度ソース領域
- 1 e…高濃度ドレイン領域
- 2…絶縁膜
- 3 a…走査線
- 3 b…突出部
- 6 a…データ線
- 9 a…画素電極
- 1 0…TFTアレイ基板
- 1 0 c v…溝
- 1 1 a…下側遮光膜
- 1 2…下地絶縁膜
- 1 2 c v…溝
- 1 6…配向膜
- 2 0…対向基板
- 2 1…対向電極
- 2 2…配向膜
- 3 0…TFT
- 5 0…液晶層
- 7 0…蓄積容量
- 7 1…中継層
- 7 5…誘電体膜
- 8 1、8 3、8 5…コンタクトホール
- 3 0 0…容量線

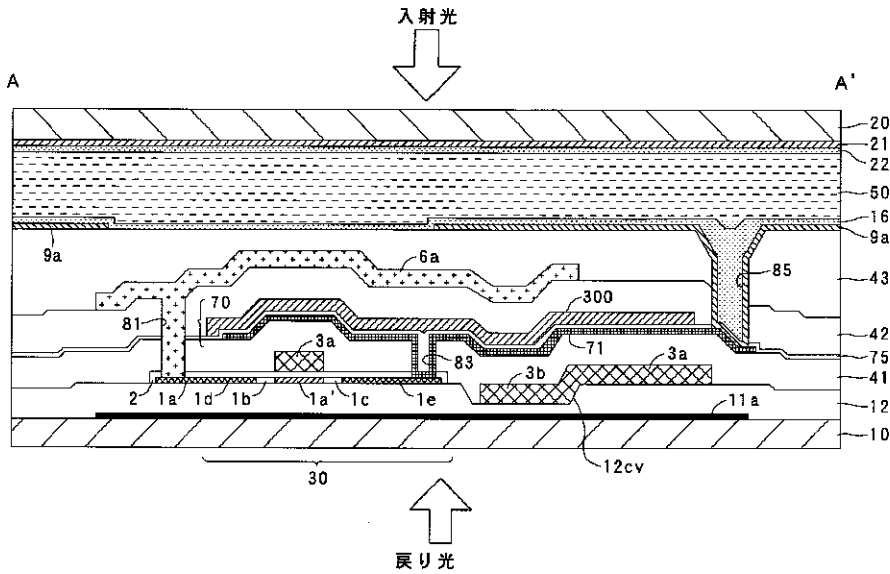
【図1】



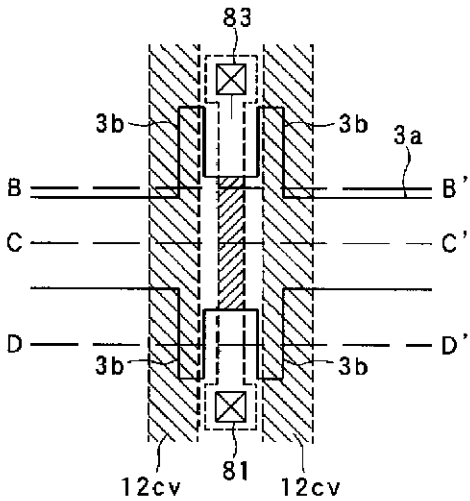
【図2】



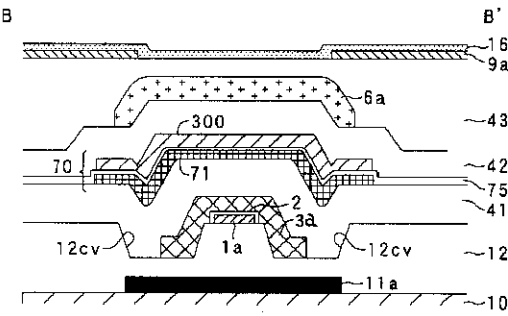
【図3】



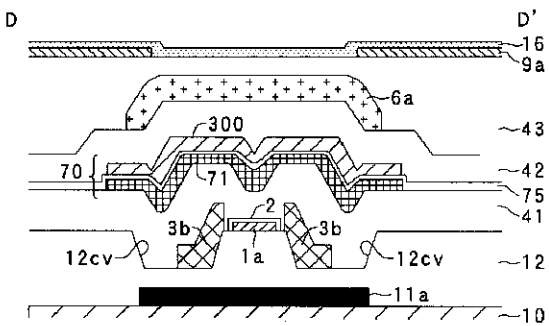
【図4】



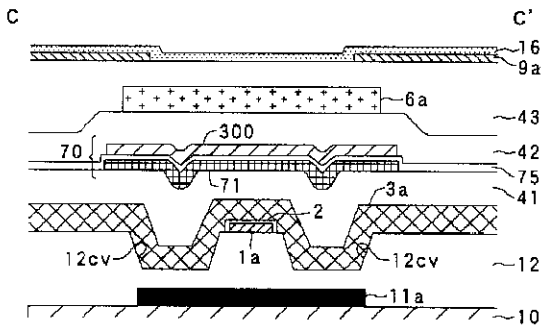
【図5】



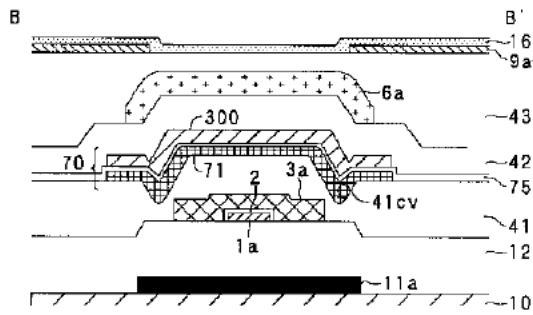
【図7】



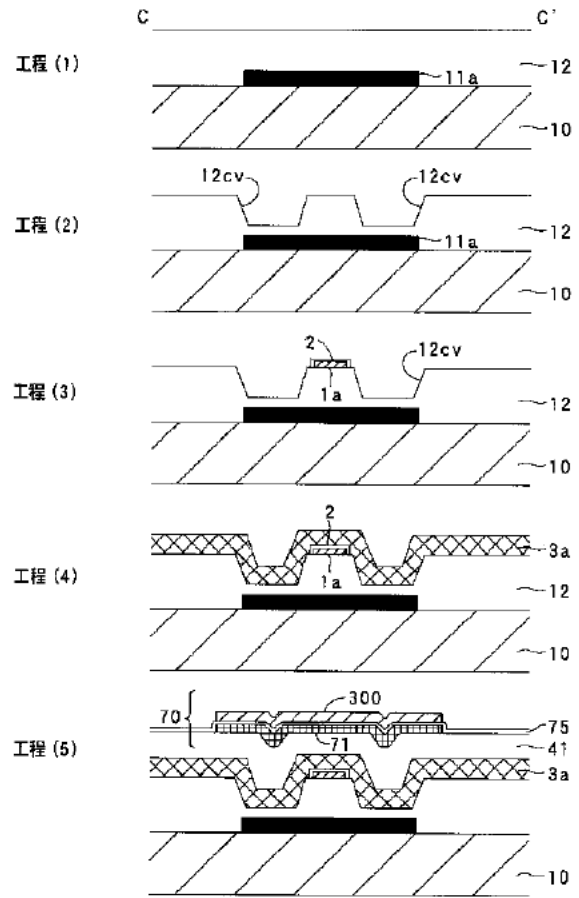
【図6】



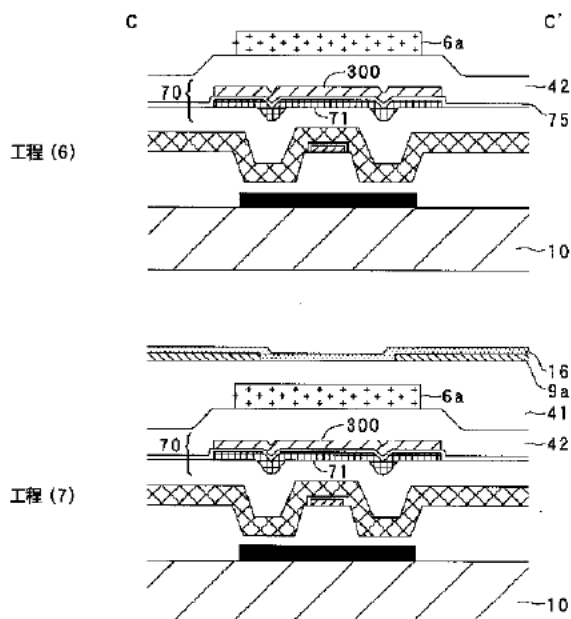
【図8】



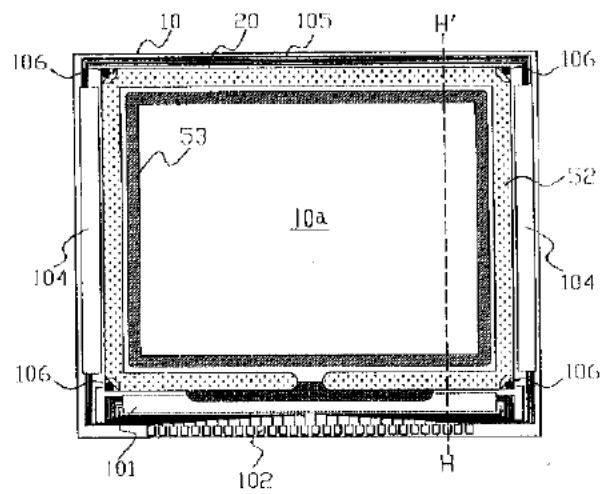
【図9】



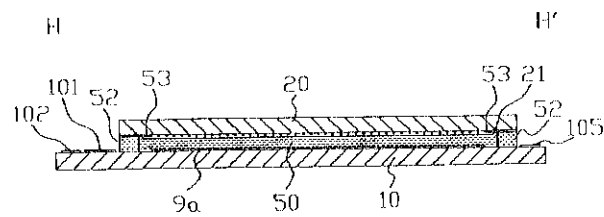
【図10】



【図11】



【図12】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

ターム(参考)

H O 1 L 29/78

6 1 7 K

6 2 6 C

F ターム(参考) 2H091 FA35Y FB08 FC10 FC26

FD04 FD22 GA13 LA03 LA11

LA12 MA07

2H092 HA11 JA26 JA29 JA38 JA42

JA44 JA46 JB13 JB23 JB32

JB33 JB51 JB57 JB63 JB69

KA04 KA07 MA05 MA07 MA14

MA15 MA16 MA18 MA19 MA20

MA27 MA28 MA35 MA37 MA41

NA25 NA27 NA29 PA09 RA05

5C094 AA25 AA43 AA48 AA53 BA03

BA43 CA19 DA13 DB01 DB04

EA04 EA10 EB02 ED15 FA01

FA02 FB12 FB14 FB15 GB10

5F110 BB01 CC02 DD02 DD03 DD05

DD12 DD13 DD14 DD21 DD25

EE09 EE14 EE22 EE28 EE37

EE45 FF02 FF03 FF09 FF23

FF29 GG02 GG13 GG23 GG25

GG32 GG47 GG52 HJ01 HJ04

HJ13 HJ23 HM14 HM15 NN03

NN04 NN22 NN23 NN24 NN25

NN26 NN35 NN45 NN46 NN54

NN72 NN73 PP02 PP03 PP10

PP13 QQ11 QQ19