AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
06:23-cv- 00439	6/9/2023	Western District of Texas

PLAINTIFF	DEFENDANT
Everlight Electronics Co., Ltd.	Walmart Inc.

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	9,604,733	5/2/2017	Everlight Electronics Co., Ltd.
2	9,905,742	2/27/2018	Everlight Electronics Co., Ltd.
3	7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
4			
5			

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director **Copy 3—Upon termination of action, mail this copy to Director**
Copy 2—Upon filing document adding patent(s), mail this copy to Director **Copy 4—Case file copy**

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 **Director of the U.S. Patent and Trademark Office** **P.O. Box 1450** **Alexandria, VA 22313-1450**	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
6:21-cv-906	8/31/2021	Western District of Texas

PLAINTIFF	DEFENDANT
EVERLIGHT ELECTRONICS CO., LTD.	AMAZON.COM, INC. AMAZON.COM SERVICES LLC

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2			
3			
4			
5			

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading		
	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2			
3			
4			
5			

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT
2/7/23-Stipulation of dismissal. Document 58.

CLERK	(BY) DEPUTY CLERK	DATE
PHILIP J. DEVLIN	MDAVIS	02/08/2023

Copy 1—Upon initiation of action, mail this copy to Director **Copy 3—Upon termination of action, mail this copy to Director**
Copy 2—Upon filing document adding patent(s), mail this copy to Director **Copy 4—Case file copy**

IKEA Supply AG
Exhibit 1002 Page 2 of 361

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
6:21-cv-906	8/31/2021	Western District of Texas

PLAINTIFF	DEFENDANT
EVERLIGHT ELECTRONICS CO., LTD.	AMAZON.COM, INC. AMAZON.COM SERVICES LLC

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2			
3			
4			
5			

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director **Copy 3—Upon termination of action, mail this copy to Director**
Copy 2—Upon filing document adding patent(s), mail this copy to Director **Copy 4—Case file copy**

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
6:21-cv-906	8/31/2021	Western District of Texas

PLAINTIFF	DEFENDANT
EVERLIGHT ELECTRONICS CO., LTD.	AMAZON.COM, INC. AMAZON.COM SERVICES LLC

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2			
3			
4			
5			

In the above---entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 7,554,126	6/30/2009	Everlight Electronics Co., Ltd.
2		
3		
4		
5		

In the above---entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1---Upon initiation of action, mail this copy to Director Copy 3---Upon termination of action, mail this copy to Director
Copy 2---Upon filing document adding patent(s), mail this copy to Director Copy 4---Case file copy

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :67142

Sale Accounting Date:09/25/2020

Sale Item Reference Number	Effective Date
11662547	09/24/2020

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I20209OF32115626	1553	MAINTENANCE FEE DUE AT 11.5 YEARS	$7,400.00	Wire

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A

CONFIRMATION NO. 8413

IMPROPER CPOA LETTER

52349
WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

OC000000070970879

Date Mailed: 09/26/2014

NOTICE REGARDING POWER OF ATTORNEY

This is in response to the power of attorney filed 09/22/2014. The power of attorney in this application is not accepted for the reason(s) listed below:

- The power of attorney is from an assignee and the statement required by 37 CFR 3.73(c) has not been received.

/ltaba/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Confidential

Contract No.
CO9 1409001
Everlight Legal

PTO/SB/81A (12-08)
Approved for use through 11/30/2011. OMB 0651-0035
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT - POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

Patent Number	7554126
Issue Date	06/30/2009
First Named Inventor	Kazushi Higashi
Title	SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
Attorney Docket Number	EL01.0084US

I hereby revoke all previous powers of attorney given in the above-identified patent.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith: 13859

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified patent to:

☐ The address associated with the above-mentioned Customer Number.

OR

☒ The address associated with Customer Number: 13859

OR

☐ Firm or Individual Name	Han IP Corporation				
Address	4790 Irvine Boulevard Suite 105-347				
City	Irvine	State	CA	Zip	92620
Country	US				
Telephone	949-383-5385	Email	ptc@hanlaw.com		

I am the:

☐ Inventor, having ownership of the patent.

OR

☒ Patent owner.

Statement under 37 CFR 3.73(b) (Form PTO/SB/96) submitted herewith or filed on _____

IKEA Supply AG
Exhibit 1002 Page 7 of 361

SIGNATURE of Inventor or Patent Owner

Signature	Robert Yeh	Date	AUG 25 2014
Name	Robert Yeh	Telephone	(02)2695-6688
Title and Company	EVERLIGHT ELECTRONICS CO., LTD.		

NOTE: Signatures of all the inventors or patent owners of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below*.

☐ *Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	20198284
Application Number:	11662547
International Application Number:	
Confirmation Number:	8413
Title of Invention:	SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
First Named Inventor/Applicant Name:	Kazushi Higashi
Customer Number:	52349
Filer:	Andy M. Han
Filer Authorized By:	
Attorney Docket Number:	2007_0415A
Receipt Date:	22-SEP-2014
Filing Date:	12-MAR-2007
Time Stamp:	01:01:32
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	EL01_0084US_POA.pdf	408629 0d51dd0bbce0d36054364afbf19985bbfe749c3a	no	1

Warnings:	
Information:	

Total Files Size (in bytes):	408629

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	06/30/2009	7554126	2007_0415A	8413

52349 7590 06/10/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 291 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Kazushi Higashi, Osaka, JAPAN;
Shinji Ishitani, Hyogo, JAPAN;

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 8413

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/662,547	03/12/2007 RULE	257	2822	2007_0415A

APPLICANTS

Kazushi Higashi, Osaka, JAPAN;
Shinji Ishitani, Hyogo, JAPAN;

**** CONTINUING DATA ***************************

This application is a 371 of PCT/JP05/17467 09/22/2005

**** FOREIGN APPLICATIONS ***************************

JAPAN 2004-279049 09/27/2004

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

08/04/2007

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/ROY KARL POTTER/ Examiner's Signature	☐ Initials	JAPAN	17	13	4

ADDRESS

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503
UNITED STATES

TITLE

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

FILING FEE RECEIVED	FEES: Authority has been given in Paper	
1400	No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

7590 06/02/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

EXAMINER	
POTTER, ROY KARL	
ART UNIT	PAPER NUMBER
2822	

DATE MAILED: 06/02/2009

PRIORITY ACKNOWLEDGMENT

☐ 1. Receipt is acknowledged of priority papers submitted under 35 U.S.C. 119. The papers have been placed of record in the file.

☑ 2. Applicant's claim for priority, based on papers filed in parent Application Number PCT/JP05/17467 submitted under 35 U.S.C. 119, is acknowledged.

☐ 3. The priority papers, submitted _____, after payment of the issue fee are

- ☐ acknowledged
  While the priority claim or certified copy filed will be placed in the file record, neither will be reviewed and the patent when published will not include the priority claim.
  See 37 CFR 1.55(a)(2).
- ☐ not acknowledged since the processing fee in 37 CFR 1.17(i) has not been received.

☐ 4. For utility and plant applications filed on or after November 29, 2000, the priority claim is not entered because the claim was not presented within the time limit required by 37 CFR 1.55(a)(1). A petition to accept a delayed claim for priority under 35 U.S.C. 119(a) - (d) or (f), or 365(a) may be filed. See 37 CFR 1.55(c) and MPEP 201.14(a).

Charles Bowen

571-272-4200 or 1-888-786-0101
Application Assistance Unit
Office of Data Management

PTOL-147 (Rev. 03/08)

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

52349 7590 03/31/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

TITLE OF INVENTION: SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	06/30/2009

EXAMINER	ART UNIT	CLASS-SUBCLASS
POTTER, ROY KARL	2822	257-079000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 WENDEROTH, LIND & PONACK, L.L.P.
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: Panasonic Corporation

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Osaka, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

☒ Issue Fee

☒ Publication Fee (No small entity discount permitted)

☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

☐ A check is enclosed.

☒ Payment by credit card. ~~Form PTO-2038 is attached.~~

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature /Michael S. Huppert/ 2009.05.21 14:50:33 -04'00' Date May 21, 2009

Typed or printed name Michael S. Huppert Registration No. 40,268

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	:	**Mail Stop: ISSUE FEE**
Kazushi HIGASHI et al.	:	**Confirmation No. 8413**
Serial No. 11/662,547	:	[Group Art Unit 2822
Filed March 12, 2007	:	Examiner Roy Karl Potter]
SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE		Attorney Docket No. 2007_0415A

REQUEST FOR ACKNOWLEDGMENT OF PRIORITY PAPERS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Form PCT/IB/304 which indicates receipt of the priority document through the International Bureau was filed on March 12, 2007 in the above-identified application. However, the Examiner has not acknowledged receipt of the certified copy in this National Stage Application from the International Bureau.

Note, on the Notice of Allowability PTOL-39 the box has not been checked.

In view of the above, early acknowledgment of the receipt of the priority papers is respectfully requested.

Respectfully submitted,

Kazushi HIGASHI et al.

/Michael S. Huppert/
2009.05.21 14:51:29 -04'00'

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20005-1503
Telephone (202) 721-8200
Facsimile (202) 721-8250
May 21, 2009

IKEA Supply AG
Exhibit 1002 Page 14 of 361

Electronic Patent Application Fee Transmittal

Application Number:	11662547
Filing Date:	12-Mar-2007
Title of Invention:	SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
First Named Inventor/Applicant Name:	Kazushi Higashi
Filer:	Michael S. Huppert/Kelly Fore
Attorney Docket Number:	2007_0415A

Filed as Large Entity

U.S. National Stage under 35 USC 371 Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

IKEA Supply AG
Exhibit 1002 Page 15 of 361

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**1810**

Electronic Acknowledgement Receipt

EFS ID:	5377155
Application Number:	11662547
International Application Number:	
Confirmation Number:	8413
Title of Invention:	SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
First Named Inventor/Applicant Name:	Kazushi Higashi
Customer Number:	52349
Filer:	Michael S. Huppert/sarah pedersen
Filer Authorized By:	Michael S. Huppert
Attorney Docket Number:	2007_0415A
Receipt Date:	21-MAY-2009
Filing Date:	12-MAR-2007
Time Stamp:	15:29:33
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$1810
RAM confirmation Number	1580
Deposit Account	230975
Authorized User	HUPPERT,MICHAEL S.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. 1.492 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	AttachA_P04008401_FEE.pdf	259052 613f8d4de06e1e18212f60684e2362672ca8ed64	no	1
Warnings:					
The PDF file has been signed with a digital signature and the legal effect of the document will be based on the contents of the file not the digital signature.					
Information:					
2	Miscellaneous Incoming Letter	ATTACHB_P04008401_REQ.PDF	96536 465aafc1ecc273488b7c8da00a845754e1d2eb7a	no	1
Warnings:					
The PDF file has been signed with a digital signature and the legal effect of the document will be based on the contents of the file not the digital signature.					
Information:					
3	Fee Worksheet (PTO-875)	fee-info.pdf	31969 36e781b29a107cff10f950d31a6d2cfc00c00396	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	387557		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IFW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of :

Kazushi HIGASHI et al. : **Mail Stop: PCT**

Serial No. 11/662,547 : Attorney Docket No. 2007_0415A

Filed March 12, 2007 :

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to the provisions of 37 CFR 1.56, 1.97 and 1.98, Applicants request consideration of the references listed on attached form PTO-1449 and any additional information identified below in paragraph 3. A legible copy of each reference listed on the Form PTO-1449 is enclosed, except a copy is not provided for:

[X] each U.S. Patent and U.S. Patent application publication;

[] each reference previously cited in the international application PCT/_____; and/or

[] each reference previously cited in prior parent application Serial No. _____.

1a. [X] This Information Disclosure Statement is submitted:

within three months of the filing date (or of entry into the National Stage) of the above-entitled application, **or**

before the mailing of a first Office Action on the merits or the mailing of a first Office Action after the filing of an RCE,

and thus no certification and/or fee is required.

1b. [] This Information Disclosure Statement is submitted

after the events of above paragraph 1a and prior to the mailing date of a final Office Action or a Notice of Allowance or an action which otherwise closes prosecution in the application, and thus:

(1) [] the certification of paragraph 2 below is provided, **or**

(2) [] the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

1c. [] This Information Disclosure Statement is submitted:

after the mailing date of a final Office Action or Notice of Allowance or action which otherwise closes prosecution in the application, and prior to payment of the issue fee, and thus:

the certification of paragraph 2 below is provided, and

the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

2. It is hereby certified

a. [] that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Statement, or

b. [] that no item of information contained in the Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the person signing the certification after making reasonable inquiry, was known to any individual designated in §1.56(c) more than three months prior to the filing of the Statement.

3. [] Consideration of the following list of additional information (including any copending or abandoned U.S. application, prior uses and/or sales, etc.) is requested.

4. For each non-English language reference listed on the attached form PTO-1449, reference is made to:

   a. [] a full or partial English language translation submitted herewith,

   b. [] a foreign patent office search report (in the English language) submitted herewith,

   c. [] the concise explanation contained in the specification of the present application at page,

   d. [X] the concise explanation set forth in the attached English language abstract,

   e. [] the concise explanation set forth below or on a separate sheet attached to the reference:

5. [] A foreign patent office search report citing one or more of the references is enclosed.

Respectfully submitted,

Kazushi HIGASHI et al.

By _____

Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
May 3, 2007

Sheet 1 of 1

INFORMATION DISCLOSURE STATEMENT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: May 3, 2007

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	11/862,547
APPLICANT	
Kazushi HIGASHI et al.	
FILING DATE	**GROUP**
March 12, 2007	

O I P E
MAY 03 2007
PATENT & TRADEMARK OFFICE
IAP2

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
/RP/	AA	7,095,061	8/2006	Steigerwald et al.			
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
/RP/	AJ	2002-57374	2/2002	JP			Abstract	
/RP/	AK	2003-303992	10/2003	JP			Abstract	
/RP/	AL	6-177434	6/1994	JP			Abstract	
/RP/	AM	11-340514	12/1999	JP			Abstract	
/RP/	AN	2004-80050	3/2004	JP			Abstract	
/RP/	AO	11-204830	7/1999	JP			Abstract	

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	AP	
	AQ	

EXAMINER	/Roy Potter/ (03/26/2009)	DATE CONSIDERED	03/26/2009

**EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy this form with next communication to applicant.*

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

52349 7590 05/11/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

EXAMINER	
POTTER, ROY KARL	

ART UNIT	PAPER NUMBER
2822	

MAIL DATE	DELIVERY MODE
05/11/2009	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
11662547	3/12/07	HIGASHI ET AL.	2007_0415A

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

EXAMINER
Roy K. Potter

ART UNIT	PAPER
2822	20090507

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

This communication is being sent with an initialed and signed copy of an Information Disclosure Statement submitted by the Applicant.

/Roy K Potter/
Primary Examiner, Art Unit 2822

PTO-90C (Rev.04-03)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	:	**Mail Stop: ISSUE FEE**
Kazushi HIGASHI et al.	:	**Confirmation No. 8413**
Serial No. 11/662,547	:	[Group Art Unit 2822
Filed March 12, 2007	:	Examiner Roy Karl Potter]

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

Attorney Docket No. 2007_0415A

REQUEST FOR EXAMINER-INITIALED FORM PTO-1449

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

On May 3, 2007 in the above-identified application an Information Disclosure Statement along with the required From PTO-1449 was submitted. However, as of this date, after issuance of a Notice of Allowance and Fee(s) Due, Applicants have not received an "Examiner-Initialed" copy of the Form PTO-1449, which was submitted on May 3, 2007.

Accordingly, the Examiner is requested to provide a copy of the Form PTO-1449 indicating that the cited references have been considered.

Respectfully submitted,

Kazushi HIGASHI et al.

/Michael S. Huppert/
2009.04.23 14:20:13 -04'00'

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20005-1503
Telephone (202) 721-8200
Facsimile (202) 721-8250
April 23, 2009

FH_000025

Electronic Acknowledgement Receipt

EFS ID:	5206389
Application Number:	11662547
International Application Number:	
Confirmation Number:	8413
Title of Invention:	SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
First Named Inventor/Applicant Name:	Kazushi Higashi
Customer Number:	52349
Filer:	Michael S. Huppert/sarah pedersen
Filer Authorized By:	Michael S. Huppert
Attorney Docket Number:	2007_0415A
Receipt Date:	23-APR-2009
Filing Date:	12-MAR-2007
Time Stamp:	15:39:39
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Post Allowance Communication - Incoming	AttachA_P04008401_REQ.pdf	96766 764478b6b5e3b2649f2feeffce121c9cd628cc55	no	1

Warnings:

The PDF file has been signed with a digital signature and the legal effect of the document will be based on the contents of the file not the digital signature.

Information:

Total Files Size (in bytes):	96766

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

52349 7590 03/31/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

EXAMINER	
POTTER, ROY KARL	
ART UNIT	PAPER NUMBER
2822	

DATE MAILED: 03/31/2009

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

TITLE OF INVENTION: SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	06/30/2009

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

IKEA Supply AG
Exhibit 1002 Page 28 of 361

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

52349 7590 03/31/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

TITLE OF INVENTION: SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	06/30/2009

EXAMINER	ART UNIT	CLASS-SUBCLASS
POTTER, ROY KARL	2822	257-079000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/662,547	03/12/2007	Kazushi Higashi	2007_0415A	8413

52349 7590 03/31/2009

WENDEROTH, LIND & PONACK L.L.P.
1030 15th Street, N.W.
Suite 400 East
Washington, DC 20005-1503

EXAMINER	
POTTER, ROY KARL	
ART UNIT	PAPER NUMBER
2822	

DATE MAILED: 03/31/2009

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 323 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 323 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	11/662,547	HIGASHI ET AL.	
	Examiner	Art Unit	
	Roy K. Potter	2822	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☐ This communication is responsive to _____.

2. ☒ The allowed claim(s) is/are *1-13*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☐ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 3/12/07, 10/7/08
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☐ Examiner's Amendment/Comment
8. ☒ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/Roy K Potter/
Primary Examiner, Art Unit 2822

REASONS FOR ALLOWANCE

Claims 1 – 13 are allowed. The following is an examiner's statement of reasons for allowance:

The prior art does not teach or suggest the recited semiconductor light emitting element or method for manufacturing a semiconductor light emitting element including an N-type semiconductor layer covering a light transmitting substrate, a P-type semiconductor layer formed so as to cover an area on the N-type semiconductor layer, but excluding an area for a first thin film N-electrode, a first thin film P-electrode located on the P-type semiconductor layer with a first insulating layer insulating the first N-electrode and the first P-electrode from each other; the semiconductor light- emitting element further including a second N-electrode formed on the first N-electrode and the insulating film and having an area larger than the joined face between the first N-electrode and the N-type semiconductor layer and electrically connected to the first N-electrode and also a second P-electrode joined to the first P-electrode and having an area smaller than the joined face between the N-type semiconductor layer and the P-type semiconductor layer.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Roy K. Potter whose telephone number is 571 272 1842. The examiner can normally be reached on M-F.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Zandra Smith can be reached on 571 272 2429. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Roy K Potter/
Primary Examiner, Art Unit 2822

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 8413

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
11/662,547	03/12/2007	257	2822	2007_0415A

APPLICANTS

Kazushi Higashi, Osaka, JAPAN;
Shinji Ishitani, Hyogo, JAPAN;

**** CONTINUING DATA ***************************

This application is a 371 of PCT/JP05/17467 09/22/2005

**** FOREIGN APPLICATIONS ***************************

JAPAN 2004-279049 09/27/2004

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

08/04/2007

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/ROY KARL POTTER/ Examiner's Signature	☐ Initials	JAPAN	17	13	4

ADDRESS

WENDEROTH, LIND & PONACK L.L.P.
2033 K. STREET, NW
SUITE 800
WASHINGTON, DC 20006
UNITED STATES

TITLE

Semiconductor Light-Emitting Element, Manufacturing Method and Mounting Method of the Same and Light-Emitting Device

FILING FEE RECEIVED		
1100	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11662547	HIGASHI ET AL.
	Examiner	**Art Unit**
	Roy K Potter	2822

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	02/15/2009								
1	1	=								
2	2	=								
3	3	=								
4	4	=								
5	5	=								
6	6	=								
7	7	=								
8	8	=								
9	9	=								
10	10	=								
11	11	=								
12	12	=								
13	13	=								

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	11662547	HIGASHI ET AL.
	Examiner	Art Unit
	Roy K Potter	2822

SEARCHED			
Class	Subclass	Date	Examiner
257	79, 81	3/8/09	RP
438	22	3/8/09	RP

SEARCH NOTES		
Search Notes	Date	Examiner
East Search	3/8/09	RP
East Search	3/23/09	RP

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
257	79, 81	3/23/08	RP
348	22	3/223/08	RP

Issue Classification

Application/Control No.	Applicant(s)/Patent Under Reexamination
11662547	HIGASHI ET AL.
Examiner	**Art Unit**
Roy K Potter	2822

ORIGINAL		INTERNATIONAL CLASSIFICATION															
CLASS	SUBCLASS	CLAIMED										NON-CLAIMED					
257	79	H	0	1	L	33 / 00 (2006.01.01)											

CROSS REFERENCE(S)					
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
438	22				

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1														
2	2														
3	3														
4	4														
5	5														
6	6														
7	7														
8	8														
9	9														
10	10														
11	11														
12	12														
13	13														

NONE (Assistant Examiner) (Date)	**Total Claims Allowed:** 13
/Roy K Potter/ Primary Examiner.Art Unit 2822 (Primary Examiner) (Date)	O.G. Print Claim(s): 1 O.G. Print Figure: 4

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	122787	light adj transmitting or light adj emitting and thin adj film	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:01
L2	61678	(light adj transmitting or light adj emitting) and thin adj film	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:01
L3	3150	257/79	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:01
L4	2791	438/22	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:02
L5	5464	l3 or l4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:02
L6	1380	l2 and l5	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/08 11:02

3/8/09 11:02:58 AM
H:\EAST\Workspaces\11594756.wsp

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L10	3	"7095061"	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:42
L11	10	("5696389" | "5886401" | "5898185" | "5998232" | "6274924" | "6278136" | "6518598" | "6693306" | "RE36747").PN. OR ("7095061"). URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:43
L12	1	l10 and l11	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:44
L13	12	l10 or l11	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:44
L14	50691	light with emitting and thin adj film	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:46
L15	1872	257/81	US-PGPUB; USPAT; USOCR	OR	OFF	2009/03/23 16:46
L16	1872	257/81	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:46
L17	3168	257/79	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:46
L18	4384	l16 or l17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:46

L19	1008	l14 and l18	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:47
L20	430496	second with electrode	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:47
L21	552	second with electrode and l19	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2009/03/23 16:48

3/23/09 4:49:20 PM
H:\EAST\Workspaces\11594756.wsp

11/662547
IAP13 Rec'd PCT/PTO 12 MAR 2007

Sheet 1 of 1 — INFORMATION DISCLOSURE STATEMENT BY APPLICANT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: March 12, 2007

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	NEW

APPLICANT	
Kazushi HIGASHI et al.	

FILING DATE	GROUP
March 12, 2007	

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
/RP/	AJ	2000-114595	4/2000	JP			Abstract	
/RP/	AK	2004-103975	4/2004	JP			Abstract	
/RP/	AL	2002-151739	5/2002	JP			Abstract	
/RP/	AM	2005-136177	5/2005	JP			Abstract	
/RP/	AN	11-161197	6/1999	JP			Abstract	
/RP/	AO	11-354836	12/1999	JP			Abstract	

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	AP	
	AQ	

EXAMINER	/Roy Potter/ (03/23/2009)	DATE CONSIDERED	03/23/2009

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy this form with next communication to applicant.

Sheet 1 of 1

INFORMATION DISCLOSURE STATEMENT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: October 7, 2008

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	11/662,547

APPLICANT	
Kazushi HIGASHI et al.	

FILING DATE	GROUP
March 12, 2007	2811

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
/RP/	BA	1529364	9/2004	CN				
/RP/	BB	2002-43623	2/2002	JP			Abstract	
	BC							
	BD							
	BE							

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	CA	Chinese Office Action (in English language) issued July 11, 2008.
	CB	
	CC	

EXAMINER	DATE CONSIDERED
/Roy Potter/ (03/23/2009)	03/23/2009

**EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.*

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of	:	
Kazushi HIGASHI et al.	:	**Mail Stop: PCT**
Serial No. 11/662,547	:	Attorney Docket No. 2007_0415A
Filed March 12, 2007	:	

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to the provisions of 37 CFR 1.56, 1.97 and 1.98, Applicants request consideration of the references listed on attached form PTO-1449 and any additional information identified below in paragraph 3. A legible copy of each reference listed on the Form PTO-1449 is enclosed, except a copy is not provided for:

[] each U.S. Patent and U.S. Patent application publication;

[] each reference previously cited in prior parent application Serial No. _____.

1a. [X] This Information Disclosure Statement is submitted:

within three months of the filing date (or of entry into the National Stage) of the above-entitled application, **or**

before the mailing of a first Office Action on the merits or the mailing of a first Office Action after the filing of an RCE,

and thus no certification and/or fee is required.

1b. [] This Information Disclosure Statement is submitted

after the events of above paragraph 1a and prior to the mailing date of a final Office Action or a Notice of Allowance or an action which otherwise closes prosecution in the application, and thus:

(1) [] the certification of paragraph 2 below is provided, **or**_____

(2) [] the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

1c. [] This Information Disclosure Statement is submitted:

after the mailing date of a final Office Action or Notice of Allowance or action which otherwise closes prosecution in the application, and prior to payment of the issue fee, and thus:

the certification of paragraph 2 below is provided, and

the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

2. It is hereby certified

a. [X] that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Statement, or

b. [] that no item of information contained in the Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the person signing the certification after making reasonable inquiry, was known to any individual designated in §1.56(c) more than three months prior to the filing of the Statement.

3. [] Consideration of the following list of additional information (including any copending or abandoned U.S. application, prior uses and/or sales, etc.) is requested.

4. For each non-English language reference listed on the attached form PTO-1449, reference is made to:

a. [] a full or partial English language translation submitted herewith,

b. [X] a foreign patent office search report (in the English language) submitted herewith,

c. [] the concise explanation contained in the specification of the present application at page,

d. [] the concise explanation set forth in the attached English language abstract,

e. [] the concise explanation set forth below or on a separate sheet attached to the reference:

5. [] A foreign patent office search report citing one or more of the references is enclosed.

The Commissioner is authorized to charge any deficiency or to credit any overpayment associated with this communication to Deposit Account No. 23-0975, with the EXCEPTION of deficiencies in fees for multiple dependent claims in new applications.

Respectfully submitted,

Kazushi HIGASHI et al.

/Michael S. Huppert/
2008.10.07 13:11:56 -04'00'

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 7, 2008

Sheet 1 of 1

INFORMATION DISCLOSURE STATEMENT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: October 7, 2008

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	11/662,547

APPLICANT
Kazushi HIGASHI et al.

FILING DATE	GROUP
March 12, 2007	2811

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
	BA	1529364	9/2004	CN				
	BB	2002-43623	2/2002	JP			Abstract	
	BC							
	BD							
	BE							

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	CA	Chinese Office Action (in English language) issued July 11, 2008.
	CB	
	CC	

EXAMINER	DATE CONSIDERED

**EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.*

CN 1529364 A issued Sept. 15, 2004
to Lin et al.

(Reference 1)

[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 33/00

[12] 发明专利申请公开说明书

[21] 申请号 200310101051.5

[43] 公开日 2004 年 9 月 15 日

[11] 公开号 CN 1529364A

[22] 申请日 2003.10.13
[21] 申请号 200310101051.5
[71] 申请人 光磊科技股份有限公司
地址 台湾省新竹科学工业园区创新一路八号
[72] 发明人 林明德 许荣贵 林三宝

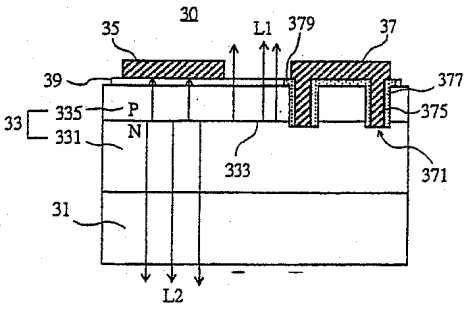
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 周国城

权利要求书 5 页 说明书 10 页 附图 10 页

[54] 发明名称 可提高发光作用区域的发光元件

[57] 摘要

本发明是有关于一种发光元件，尤指一种可提高发光作用区域的发光元件，其主要是在一 LED 基板表面依序设有一第一材料层及第二材料层，而第一材料层与第二材料层之间自然形成一 PN 界面，另外，设有一可贯穿第二材料层及部分第一材料层的第一延伸凹槽，并在第一延伸凹槽内设有一第一延伸电极，第一延伸电极可与设于第二材料层部分上表面的第一电极电性连接，如此第一电极即可与一同样设于第二材料层其他部份上表面的第二电极具有近似相同的水平位置，不仅可方便后续的制程进行，又可因为不需如常用发光元件必须移除部分第二材料层体积以供第一电极的形成，因此可相对增加 PN 界面的发光作用区域，借此以有效提高发光亮度及使用寿命。



ISSN1008-4274

1、一种可提高发光作用区域的发光元件，其特征在于，其主要构造包括有：

一 LED 基板；

一磊晶层，包括有一第一材料层及一第二材料层，其中第一材料层是形成于该 LED 基板上表面，第二材料层再形成于该第一材料层上表面，第一材料层与第二材料层之间则自然包括有一发光区；

至少一第一延伸凹槽，可贯穿第二材料层，并延伸至第一材料层的部分体积，第一延伸凹槽内再依序设有一凹槽隔离层及一第一延伸电极，而第一延伸电极则可借由凹槽隔离层而与该第二材料层电性隔离；

一第一电极，隔着一表面隔离层而固设于该第二材料层的部分上表面，且可与该第一延伸电极电性连接；及

一第二电极，固设于该第二材料层的其他部分上表面。

2、如权利要求 1 所述的发光元件，其特征在于，其中该第一电极是与第二电极有近似水平位置。

3、如权利要求 1 所述的发光元件，其特征在于，其中该第一延伸电极是位于第一电极的垂直延伸位置。

4、如权利要求 1 所述的发光元件，其特征在于，其中该第二电极与第二材料层之间尚可选择设有一透明接触层、欧姆接触层、反光层及其组合式的其中之一。

5，如权利要求 1 所述的发光元件，其特征在于，其中该表面隔离层与第二材料层之间尚可选择设有一透明接触层、欧姆接触层、反光层及其组合式的其中之一。

6、如权利要求 1 所述的发光元件，其特征在于，尚可包括有一基板，其上表面分别设有一第一导电层及第二导电层，其中第一导电层是可借由一第一导电凸块而与该第一电极电性连接，第二导电层则可借由一第二导电凸块而与该第二电极电性连接。

7、如权利要求 6 所述的发光元件，其特征在于，其中该发光元件是为一覆晶发光二极管。

8、如权利要求 6 所述的发光元件，其特征在于，其中该基板是可选择为一陶瓷、玻璃、氮化铝、碳化硅、氧化铝、环氧树脂、尿素树脂、塑胶、金刚石、氧化铍、氮化硼、电路板、印刷电路板、PC 板、含金属化合物及其组合式的其中之一。

9、如权利要求 1 所述的发光元件，其特征在于，其中该发光元件是为一平面型发光二极管。

10、如权利要求 1 所述的发光元件，其特征在于，其中该 LED 基板是可选择为一 GaP 基板、玻璃(Glass)、蓝宝石(Sapphire)、碳化硅(SiC)、磷砷化镓(GaAsP)、硒化锌(ZnSe)、硫化锌(ZnS)、硒硫化锌(ZnSSe)、石英及其组合式的其中之一。

11、如权利要求 10 所述的发光元件，其特征在于，其中该磊晶　　层是可选择为一三元、四元及其组合式的其中之一材料所制成。

12、如权利要求 1 所述的发光元件，其特征在于，尚包括有一基板，该基板内凿设有一可用以置放该发光元件的置物凹槽，其中该第一电极可借由一第一导电引线而电性连接于一设于基板上的第一导电线路，第二电极则借由第二导电引线而电性连接于另一设于基板上的第二导电线路。

13、如权利要求 12 所述的发光元件，其特征在于，其中该置物凹槽内尚可设有一环设于该发光元件周边的透光层。

14，如权利要求 13 所述的发光元件，其特征在于，其中该透光层内尚设有一可选择由一萤光物质、磷光物质及其组合式的其中之一所制成的色转换层。

15、如权利要求 12 所述的发光元件，其特征在于，其中该置物凹槽内尚可设有一可环设于该发光元件周边的散热层。

16、如权利要求 12 所述的发光元件，其特征在于，其中该基板是可选择为一陶瓷、玻璃、氮化铝、碳化硅、氧化铝、环氧树脂、尿素树脂、塑胶、金刚石、氧化铍、氮化硼、电路板、印刷电路板、PC 板、含金属化合物及其组合式的其中之一。

17、如权利要求 12 所述的发光元件，其特征在于，其中该置物凹槽是可选择为一锥形、圆形及环形的其中之一态样。

FH_000049
IKEA Supply AG
Exhibit 1002 Page 49 of 361

18、如权利要求 12 所述的发光元件，其特征在于，其中该置物凹槽的内表面尚设有一反光层。

19、如权利要求 1 所述的发光元件，其特征在于，其中该第一延伸凹槽是可环设于第一电极的周边位置。

20、如权利要求 19 所述的发光元件，其特征在于，其中该第一延伸凹槽内设有至少一延伸电极，而每一个延伸电极可借由一设于其上表面的表面电极而与该第一电极电性连接。

21、如权利要求 20 所述的发光元件，其特征在于，其中该第一 延伸电极是可选择为一点状、长条状、环状、圆形、矩形、直线、半环形及其组合式的其中之一。

22、如权利要求 1 所述的发光元件，其特征在于，其中该第一电极及第二电极是可覆盖整个第二材料层上表面的垂直延伸位置，且分别由一具有导电及反光功能的材质所制成。

23、如权利要求 1 所述的发光元件，其特征在于，其中该第一延伸凹槽是环设于该第二材料层的周边，且可贯穿第一材料层的部分体积，第一延伸凹槽内再依序设有一凹槽隔离层及第一延伸电极。

24、如权利要求 23 所述的发光元件，其特征在于，其中该第一 延伸电极是为一环侧电极。

25、如权利要求 23 所述的发光元件，其特征在于，其中该表面 隔离层可凿设有一第二延伸凹槽，致使可裸露第二材料层部分上表面，而该第二电极则可固设于第二延伸凹槽内及第二材料层的其他部分上表面。

26、一种可提高发光作用区域的发光元件，其特征在于，其主要构造是包括有：

一 LED 基板；

一磊晶层，包括有一第一材料层及一第二材料层，其中第一材料层是形成于该 LED 基板上表面，第二材料层再形成于该第一材料层上表面，第一材料层与第二材料层之间则自然包括有一发光区；

一第二电极，固设于该第二材料层的部分上表面；

一第一电极，固设于该第二材料层的其他部分上表面；

至少一延伸凹槽，分设于该第一电极的适当位置，每一延伸凹槽可

贯穿第二材料层及第一材料层部分体积，且在延伸凹槽内设有至少一可与该第一电极电性连接的延伸电极；及

至少一隔离凹槽，设于该第一电极与第二电极之间，并可贯穿第二材料层及第一材料层部分体积。

27、如权利要求 26 所述的发光元件，其特征在于，其中该第一 电极是与第二电极有近似水平位置。

28、如权利要求 26 所述的发光元件，其特征在于，其中该第一 材料层与第一电极之间尚可选择设有一透明接触层、欧姆接触层、反光层及其组合式的其中之一。

29、如权利要求 26 所述的发光元件，其特征在于，尚可包括有 一基板，其上表面分别设有一第一导电层及第二导电层，其中第一导电层可借由一第一导电凸块而与该第一电极电性连接，第二导电层则可借由一第二导电凸块而与该第二电极电性连接。

30、如权利要求 29 所述的发光元件，其特征在于，其中该基板 是可选择为一陶瓷、玻璃、氮化铝、碳化硅、氧化铝、环氧树脂、尿素树脂、塑胶、金刚石、氧化铍、氮化硼、电路板、印刷电路板、PC 板、含金属化合物及其组合式的其中之一。

31、如权利要求 29 所述的发光元件，其特征在于，其中该发光 元件是为一覆晶发光二极管。

32，如权利要求 26 所述的发光元件，其特征在于，尚包括有一 基板，该基板内凿设有一可用以置放该发光元件的置物凹槽，其中该第一电极可借由一第一导电引线而电性连接于一设于基板上的第一导电线路，第二电极则借由第二导电引线而电性连接于另一设于基板上的第二导电线路。

33、如权利要求 26 所述的发光元件，其特征在于，其中该延伸 凹槽是可选择为一点状、长条状、环状、圆形、矩形、直线、半环形及其组合式的其中之一。

34. 如权利要求 26 所述的发光元件，其特征在于，其中该隔离 凹槽内尚可设有一隔离层。

35、如权利要求 26 所述的发光元件，其特征在于，其中该第一 电极

及第二电极是可覆盖整个第二材料层上表面，且分别由一具有导电及反光功能的材质所制成。

36、如权利要求 26 所述的发光元件，其特征在于，其中该第一 材料层与第二电极之间尚可选择设有一透明接触层、欧姆接触层、反光层及其组合式的其中之一。

37、如权利要求 26 所述的发光元件，其特征在于，其中该 LED 基板是可选择为一 GaP 基板、玻璃(Glass)、蓝宝石(Sapphire)、碳化硅(SiC)、磷砷化镓(GaAsP)、硒化锌(ZnSe)、硫化锌(ZnS)、硒硫化锌(ZnSSe)、石英及其组合式的其中之一。

38、如权利要求 37 所述的发光元件，其特征在于，其中该磊晶 层是可选择为一三元、四元及其组合式的其中之一材料所制成。

39、如权利要求 26 所述的发光元件，其特征在于，其中该延伸凹槽是环设于该第二材料层的周边，且可贯穿第一材料层的部分体积，延伸凹槽内再设有该延伸电极。

40、如权利要求 39 所述的发光元件，其特征在于，其中该延伸电极是为一环侧电极。

41、如权利要求 39 所述的发光元件，其特征在于，其中该第二材料层表面尚可设有一表面隔离层，表面隔离层可凿设有一第二延伸凹槽，致使可裸露第二材料层部分上表面，而该第二电极则可固设于第二延伸凹槽内及第二材料层的其他部分上表面。

可提高发光作用区域的发光元件

技术领域

本发明是有关于一种发光元件，尤指一种可提高发光作用区域以有效提高发光亮度及使用寿命的发光元件。

背景技术

发光二极管(LED；Light-Emitting Diode)由于具备有寿命长、体积小、发热量低、耗电量少、反应速度快、无幅射及单色性发光的特性及优点，因此被广泛应用于指示灯、广告看板、交通信号灯、汽车车灯、显示器面板、通讯器具、消费电子等各项产品中。

常用发光元件，例如平面型发光二极管，如图 1A 及图 1（B）所示，其发光元件 10 主要是在一 LED 基板 11 上依序形成有由一第一材料层 131 及一第二材料层 135 所组合而成的磊晶层 13，且在第一材料层 131 与第二材料层 135 之间以自然形成有一具有发光效果的 PN 界面 133。为了让工作电源可顺利通过 PN 界面 133，因此，必须移除部分第二材料层 136 及部分 PN 界面 137，其部分截面积长度至少为 H1(而剩下有效作用区域长度为 H2)，致使部分第一材料层 131 上表面可予以裸露，而第一电极 17 即可固设于该裸露的第一材料层 131 部分表面。又，为了让工作电流可均匀分布，因此在剩余的第二材料层 135 表面设有一透明接触层(TCL)19，再于透明接触层 19 上表面 固设一第二电极 15，第一电极 17 与第二电极 15 间形成一可通过 PN 界面 133 的导电电路，借此以产生正面投射光源 L1。

虽然，常用平面型发光元件 10 可借由 PN 界面 133 以产生正面投射光源 L1，但其还是存在有下列缺点：

1．PN 界面 133 所产生的正面投射光源 L1 将有部分被第二电极 15 所阻隔且吸收，相对将降低发光元件 10 的输出光通量及亮度。

2．为了第一电极 17 的安置而必须移除部分 PN 界面 137，相对将损

FH_000053 IKEA Supply AG
Exhibit 1002 Page 53 of 361

失部分发光作用区域 H1，因此也将降低发光亮度。

3．为了第一电极 17 的安置而必须移除部分第二材料层 135，造成第一电极 17 与第二电极 15 不在同一水平位置，如此将提高后续制作上的困难。

4．由于部分 PN 界面 137 将被移除，相对其发光作用区域将受到挤压，不仅工作高温容易集中在某个区域范围内，因此而降低元件的使用寿命，且亦不适用于高功率发光元件。

为此，业界发展出另一种常用发光元件，如第 2 图所示，是为一覆晶发光二极管(Flip Chip LED)，覆晶发光二极管 20 主要是将先前的平面型发光元件(10)予以倒置，第一电极 17 及第二电极 150 再分别借由一第一导电凸块(例如锡球)279 及第二导电凸块 259 而与一设于一基板 29 上的第一导电线路 297 及第二导电线路 295 电性连接。如此，第一导电线路 297、第一导电凸块 279、第一电极 17 及第二电极 150、第二导电凸块 259、第二导电线路 295 即可形成一导电通路，并提供 PN 界面 133 工作电流，而 PN 界面 133 所产生的背面投射光源 L2 即可经由 LED 基板 11 方向投射出去，完全不被第二电极 150 所阻隔且吸收，借此以提高输出光通量及亮度。

又，第二电极 150 可选用具有反光效果的导电材料所制成，或者在磊晶层 13 与第二电极 150 之间设有一反光层 155，如此即可将 PN 界面 133 所产生的正面投射光源(L1)反射导引至正确出光位置，以成为一反射光 L4。

虽然，常用覆晶发光二极管可以获得较佳的发光导出效率，但其还是有下列的构造缺憾：

1．为了第一电极 17 的安置还是必须移除部分 PN 界面(137)，相对将损失部分发光作用区域及降低发光亮度。

2．为了第一电极 17 的安置还是必须移除部分第二材料层(136)，造成第一电极 17 及第二电极 150 不在同一水平位置，相对将增加后续制作上的困难。

3．由于部分 PN 界面(137)将被移除，相对其发光作用区域将受到挤压，不仅工作高温容易集中在某个区域范围内，而降低发光元件的使用

寿命，且亦不适用于高功率发光元件。

4．第一电极 17 及第二电极 15 不在同一水平位置，相对其第一导电凸块 279 与第二导电凸块 259 的体积大小也不相同，形成制作上的困难度。

5．覆晶发光元件需要植球机及锡球对准技术，不仅技术层次较高，且将大幅提高制作成本。

发明内容

为此，如何设计出一种新颖的发光元件，不仅可有效均匀分布工作电流密度，以提高发光导出效率及发光亮度，且，第一电极及第二电极又可自然位于同一水平高度，而有利于后续的制作，此即为本发明的发明重点。

本发明的主要目的，在于提供一种可提高发光作用区域的发光元件，可有效解决上述常用发光元件所面临的技术困难点。

本发明的次要目的，在于提供一种可提高发光作用区域的发光元件，可大幅降低第二材料层及 PN 界面的移除面积，借此以有效提高发光作用区域及发光导出效率。

本发明的又一目的，在于提供一种可提高发光作用区域的发光元件，第一电极与第二电极可位于同一水平位置，而有利于后续制作的进行。

本发明的又一目的，在于提供一种可提高发光作用区域的发光元件，借由较大面积的发光作用区域，不仅可有效提高发光元件的使用寿命，亦可适用于高功率发光元件。

为达上述目的，因此，在本发明的一较佳实施例中，其主要构造是包括有：一种可提高发光作用区域的发光元件，其主要构造是包括有：一 LED 基板；一磊晶层，包括有一第一材料层及一第二材料层，其中第一材料层是形成于 LED 基板上表面，第二材料层再形成于第一材料层上表面，第一材料层与第二材料层之间则自然形成有一 PN 界面；至少一第一延伸凹槽，可贯穿第二材料层，并延伸至第一材料层的部分体积，第一延伸凹槽内再依序设有一凹槽隔离层及一第一延伸电极，而第一延伸电极则可借由凹槽隔离层而与第二材料层电性隔离；一第一电极，隔着一表面隔离层而固设于第二材料层的部分上表面，且可与第一延伸电

FH_000055 IKEA Supply AG
Exhibit 1002 Page 55 of 361

极电性连接；及一第二电极，固设于第二材料层的其他部分上表面。

附图说明

图 1（A）：是常用平面型发光元件的构造截面图；

图 1（B）：是常用平面型发光元件的构造俯视图；

图 2：是常用覆晶发光元件的构造截面图；

图 3（A）：是本发明发光元件一较佳实施例的构造截面图；

图 3（B）：是本发明如图 3（A）所示实施例的构造俯视图；

图 4（A）：是本发明发光元件又一实施例的构造截面图；

图 4（B）：是本发明如图 4（A）所示实施例的构造俯视图；

图 5（A）：是本发明发光元件又一实施例的构造截面图；

图 5（B）：是本发明如图 5（A）所示实施例的构造俯视图；

图 6：是本发明应用于覆晶发光元件的构造截面图；

图 7（A）：是本发明又一实施例的构造截面图；

图 7（B）：是本发明如图 7（A）所示实施例的构造俯视图；

图 8（A）：是本发明又一实施例的构造截面图；

图 8（B）：是本发明如图 8（A）所示实施例的构造俯视图；

图 9（A）：是本发明又一实施例的构造截面图；

图 9（B）：是本发明如图 9（A）所示实施例的构造俯视图；

图 10（A）：是本发明又一实施例的构造截面图；

图 10（B）：是本发明如图 10（A）所示实施例的构造俯视图；及

图 11：是本发明又一实施例的构造截面图。

具体实施方式

首先，请参阅图 3（A）及图 3（B），是分别为本发明发光元件一较佳实施例的构造截面图及俯视图；如图所示，本发明发光元件 30 主要是在一LED基板31上依序形成有一由一第一材料层331及一第二材料层335所组合而成的磊晶层 33，第一材料层 331 形成于 LED 基板 31 上表面后，再于其上表面形成第二材料层 335，且在第一材料层 331 与第二材料层 335 之间自然形成有一 PN 界面或发光区 333，如此可成为一平面型发光二极

FH_000056
IKEA Supply AG
Exhibit 1002 Page 56 of 361

管。于第二材料层 335 的适当位置上凿设有至少一可贯穿第二材料层 335 及部分第一材料层 331 的第一延伸凹槽 371，并于第一延伸凹槽 371 内表面及第一电极 37 预设位置上个别设有一具绝缘特性的凹槽隔离层 377 及表面隔离层 379，在凹槽隔离层 377 内再设有一具有导电特性的第一延伸电极 375，第一延伸电极 375 可与一设于表面隔离层 379 上表面的第一电极 37 电性连接，而第一电极 37 的部分体积是位于表面隔离层 379 的垂直延伸位置。又，为了让工作电流可均匀分布，因此在剩余的第二材料层 335 表面设有一欧姆接触层或透明接触层(TCL)39，再于透明接触层 39 上表面设有一第二电极 35。

由于，本发明可利用第一延伸凹槽 371 及第一延伸电极 375 而将第一电极 37 的导电线路延伸至第一材料层 331，并不像常用构造般需要凿设或移除大面积的第二材料层(136)及 PN 界面(137)。所以，第一电极 37 是置设于第二材料层 335 部分上表面的垂直延伸位置，而与第二电极 35 具有近似或相同的水平位置，与常用第一电极(17)与第二电极(15)为凹凸不平的情况截然不同，因此可有利于后续制作
的进行。

再者，请参阅图 4（A）及图 4（B），是为本发明又一实施例的构造截面图及俯视图；如图所示，其主要是设计将上述实施例的正面光源导引至正确的出光位置，因此，其可将第一电极 370、第二电极 350 以大面积方式整个覆盖于第二材料层 335 的上表面，且分别由一具有导电及反光功能的材质所制成。其中，第一电极 370 与第二材料层 335 之间设有一表面隔离层 379，且第一电极 370 可借由第一延伸电极 375 而与第一材料层 331 形成一电性连接关系。又，第一延伸电极 375、第一延伸凹槽 371 及凹槽隔离层 377 可以直线或圆形等各种几何图形态样分布于表面隔离层 379 各个位置，充分达到工作电流均匀分布以提高发光亮度、延长使用寿命、适用于高功率发光元件的目的。

又，由于第一电极 370 及第二电极 350 具有反光的功效，因此，PN 界面所产生的正面光源将受到第一电极 370 或第二电极 350 的反射以成为一反射光源 L4，而被导引至正确的出光方向。又，为了让 PN 界面的作用区域可更为扩大，因此在第二材料层 335 的上表面尚可设有一透

FH_000057
IKEA Supply AG
Exhibit 1002 Page 57 of 361

明接触层(TCL)或欧姆接触层 355，以利于作用电流可通过第一电极 370 垂直延伸位置的 PN 界面，且用以产生背面光 L3。

当然，该欧姆接触层 355 亦可为一具有反光功能的材质所制成，或者就直接为一反光层，同样可将 PN 界面所产生的正面光源反射，以成为一反射光源 L4。

又，请参阅图 5（A）及图 5（B），是为本发明又一实施例的构造截面图及俯视图；如图所示，其主要是将图 3（A）所示实施例的第二电极 352 整个覆盖于第二材料层 335 的大部分上表面，而剩余部分位置则设有表面隔离层 379，且在表面隔离层 379 的作用范围内同样设有第一延伸凹槽 371、凹槽隔离层 377 及第一延伸电极 375，如此，PN 界面所产生的正面光源即可直接受到第二电极 352 的反射作用而导引至正确的出光方向，以成为一反射光源 L4。

另外，请参阅图 6，是为本发明又一实施例的构造截面图；如图所示，在此实施例中，其主要是将上述实施例的发光元件(40)予以倒置，致使第一电极 370 可借由第一导电凸块 479 而与一设于一基板 49 上的第一导电线路 497 电性连接，又，第二电极 350 则借由第二导电凸块 459 而与一设于该基板 49 上的第二导电线路 495 电性连接，如此，即可成为一覆晶发光二极管(FlipChipU0)。

当然，其第一导电凸块 479 及第二导电凸块 459 是可为一具有导电特性的焊料材质、锡球、含金属物质或任何导电物质所制成，而基板 49 则可选择为一陶瓷、玻璃、氮化铝、碳化硅、氧化铝、环氧树脂、尿素树脂、塑胶、金刚石、氧化铍、氮化硼、电路板、印刷电路板、PC 板或含金属化合物。

由于，本发明的发光元件 50 具有近似或相同水平位置的第一电极 370 及第二电极 350，因此，其后续制作上所需要的第一导电凸块 479 及第二导电凸块 459 则可设为具有相同大小体积者，如此不仅可方便制作的进行，又可因为第一导电凸块 479 及第二导电凸块 459 两边作用力状况相同，而不致于发生发光元件 50 偏斜的状况，借此以相对提高元件的工作稳定度。

而且，由于发光元件 50 的发光区或 PN 界面 333 并未移除太大的作

FH_000058 IKEA Supply AG
Exhibit 1002 Page 58 of 361

用区域，因此，除了与常用覆晶发光二极管构造一般可以产生背面投射光源 L2 及反射光源 L4 外，其亦可增加一背面投射光源 L3，不仅相对增加其发光亮度，亦可因为发光作用区域范围的增加，而相对降低某一区域范围内工作电流的电流密度及工作高温，借此以有效提升发光元件的使用寿命。

接续，请参阅图 7（A）及图 7（B），是分别为本发明又一实施例的构造截面图及俯视图；如图所示，在此实施例中，主要是在发光元件 60 的第二材料层 335 上紧邻第一电极 57 预设位置凿设有一可贯穿第二材料层 335 及部分第一材料层 331 的隔离凹槽 576，隔离凹槽 576 内又可选择设有一可增加绝缘功效的隔离层 577，以取代上述实施例的凹槽隔离层 377 或表面隔离层 379。在隔离凹槽 576 的一侧边同样设有一第一延伸凹槽 571 及第一延伸电极 575，而且第一延伸电极 575 可与设于第二材料层 335 部分表面的第一电极 57 电性连接。

在此实施例中，为了让工作电流可均匀分布，因此在第二材料层 335 部分表面可设有一透明接触层(TCL)或欧姆接触层 39，再于透明接触层(TCL)或欧姆接触层 39 部分表面固设该第二电极 35。又，隔离凹槽 576 可设于第二材料层 335 的适当位置，而沿着隔离凹槽 576 的侧边设有第一电极 57，而第一电极 57 的部分位置可延伸设有至少一可贯穿第二材料层 335 及部分第一材料层 331 的第二延伸电极 578 或第三延伸电极 579，借此可让工作电流分布更为均匀。由于在此实施例中，主要是利用隔离凹槽 576 以作为第一电极 57 与第二电极 35 隔离的目的，因此，第一电极 57 与第二电极 35 皆可设置于第二材料层 335 的部分上表面，具有同一水平高度，而有利于后续制作流程的进行。

当然，第二延伸电极 578 或第三延伸电极 579 是可选择为一点状、长条状、环状、圆形、矩形、直线、半环形或其组合式形状，例如在此实施例中，第二延伸电极 578 为一点状态样，而第三延伸电极 579 则为一包覆整个侧边的长条状态样。

另外，请参阅图 8（A）及图 8（B），是分别为本发明又一实施例的构造截面图及构造俯视图；如图所示，其主要是将上述实施例的第一电极 570、第二电极 350 以大面积方式覆盖于第二材料层 335 的上表面。

FH_000059 IKEA Supply AG
Exhibit 1002 Page 59 of 361

其中，第一电极 570 可借由第一延伸电极 575 而与第一材料层 331 形成一电性连接关系。又，第一延伸电极 575、第二延伸电极 578 及第三延伸电极 579 可以直线或圆形等各种几何图形态样分布于第二材料层 335 的一侧边，且与第一电极 570 电性连接。

当然，借由第一电极 570、第二电极 350 的反光效果、或在第二材料层 335 与第二电极 350 之间所设置的反光层、欧姆接触层或透明接触层 355，同样可将 PN 界面所产生的正面光源予以反射，以成为一反射光源 L4，而有利于发光亮度的提升。

又，请参阅图 9（A）及图 9（B），是分别为本发明又一实施例的构造截面图及构造俯视图；如图所示，在此实施例中，其主要是将本发明精神应用于三元(A1GaAs)或四元 (A1GaInP)发光元件。一半导体基板 89，例如砷化镓(GaAs)基板上成长有一磊晶层 83。其中，磊晶层 83 可选择为一三元或四元化合物所制成。又，于第二材料层 835 的上表面形成有一透光基板 81，例如 GaP 基板、玻璃(Glass)、蓝宝石(Sapphire)、碳化硅(SiC)、磷砷化镓(GaAsP)、硒化锌(ZnSe)、硫化锌(ZnS)、硒硫化锌(ZnSSe)或石英，并将不透光会吸收投射光源的 GaAs 基板 89 予以去除。

接续，于第一材料层 831 表面凿设有一可贯穿第一材料层 831 及部分第二材料层 835 的隔离凹槽 576 及第一隔离凹槽 571，而隔离凹槽 576 内可选择是否需要设置有一隔离层 577，但第一隔离凹槽 571 内则需要设有第一延伸电极 575，并可与设于第一材料层 831 部分表面的第一电极 570 电性连接。第二电极 350 则隔着隔离槽 576 而设于第一材料层 831 的其它部分表面，并与第一电极 570 形成一导电通路。

接续，请参阅图 10（A）及图 10（B），是分别为本发明又一实施例的构造截面图及构造俯视图；如图所示，在此实施例中，环绕发光元件 90 周边先凿设有一可贯穿第二材料层 335 及部分第一材料层 331 的第三延伸凹槽(或称第一延伸凹槽)671，且在第二材料层 335 的上表面先设有一具有导电或反光效果的透明接触层、欧姆接触层或反光层 77，再于反光层 77 及第二材料层 335 周边设有一隔离层 677，在隔离层 677 的适当位置凿设有一第二延伸凹槽 651，致使第二电极 65 可直接或经由反光层 77 而电性连接于第二材料层 335。环绕第二材料层 335 的周边且隔着

隔离层 677 可设有一第一环侧电极 674，第一环侧电极 674 可电性连接于第一电极 67，如此亦可达到工作电流均匀分布、提高发光作用区域、及致使第一电极 67 与第二电极 65 位于同一水平位置的目的。

当然，第二材料层 335 周边亦可用至少一个点状态样的第四延伸电极 678 以取代环状的第一环侧电极 674，各个第四延伸电极 678 则需借由一表面电极 676 而与第一电极 67 电性连接。

最后，请参阅图 11，是为本发明又一实施例的构造截面图；如图所示，在此实施例中，主要是将前述发光元件 40(如图 4（A）所示)置放于一基板 91 所凿设的一置物凹槽 917 内，利用一透光层 94 或散热层 99 而予以固定。

发光元件 40 的第一电极 370 可借由一第一导电引线 977 而与一设于该基板 91 上的第一导电线路 979 电性连接。同理，第二电极 350 则借由一第二导电引线 957 而与设于基板 91 另一侧边的第二导电线路 959 电性连接。借由第一导电线路 979、第一导电引线 977、第一电极 370 及第二电极 350、第二导电引线 957、第二导电线路 959 而可使发光元件 40 的 PN 界面作用，以产生背面投射光源 L2、L3，而正面投射光源则可经由第一电极 370、第二电极 350 或反光层的作用而导引至正确出光方向，以成为一反射光源 L4，如此在不使用植球机或锡球对准技术支援的情况下，即可运用传统的发光元件制作方法以取得如同覆晶发光二极管的发光导出效率，借此可简化制程及大幅降低生产成本。

又，可选择为一陶瓷、玻璃、氮化铝、碳化硅、氧化铝、环氧树脂、尿素树脂、塑胶、金刚石、氧化铍、氮化硼、电路板、印刷电路板、PC 板或含金属化合物的基板 91，其置物凹槽 917 可设计为一环形、矩形或锥形态样。且，在其置物凹槽 917 周边可设有一反光层 915，如此，除了正常投射的光源 L2、L3、L4 外，亦可获得反射光源 L5，而有效增加其发光亮度。

又，透光层 94 内亦可设有一由萤光物质、磷光物质或其组合式组合而成的色转换层 945，借此以改变投射色光的波长及颜色。

又，具有散热功能的散热层 99 则包覆于 PN 界面周围，如此可将发光元件 40 作用时所产生工作高温借由散热层 99 而传导于发光元件 40

FH_000061 IKEA Supply AG
Exhibit 1002 Page 61 of 361

外，借此以适用于高功率发光元件装置中。

5

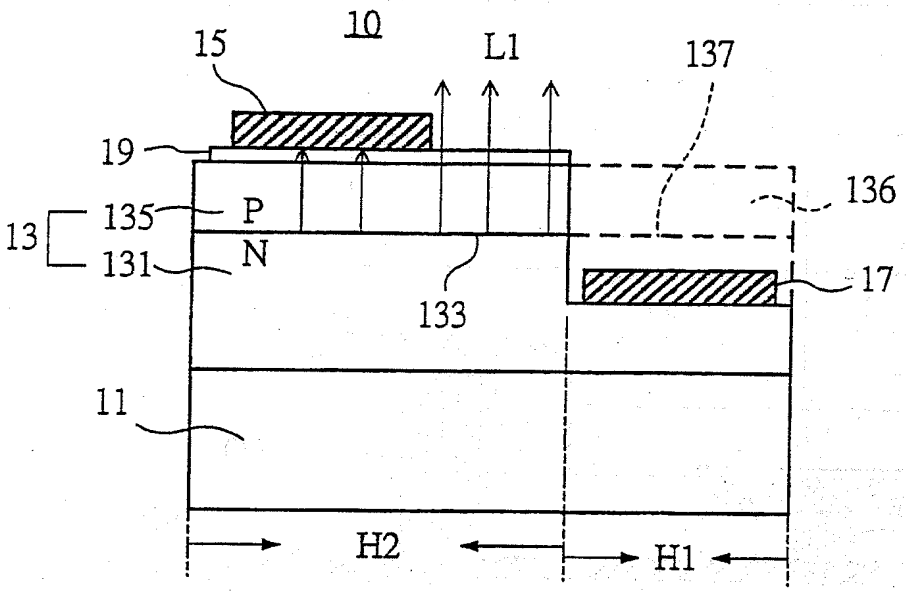


图 1 （A）

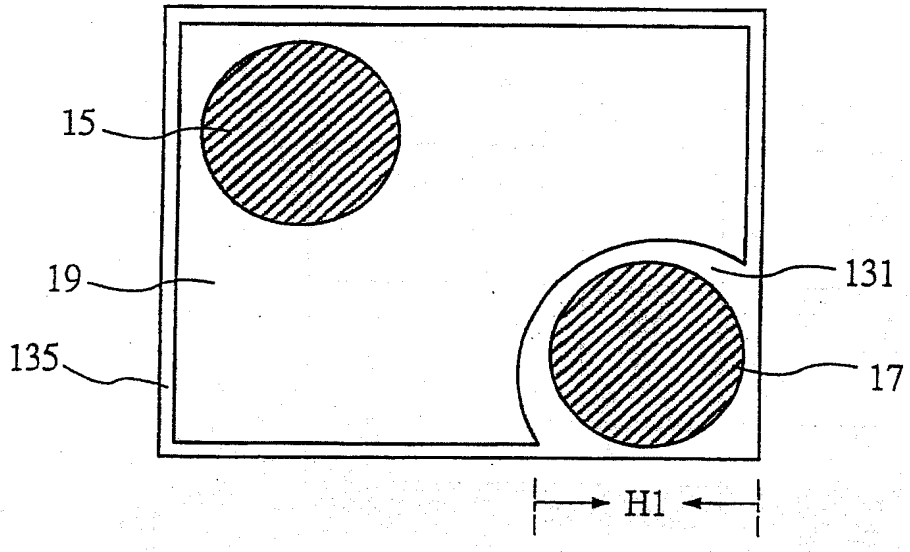


图 1 （B）

FH_000063
IKEA Supply AG
Exhibit 1002 Page 63 of 361

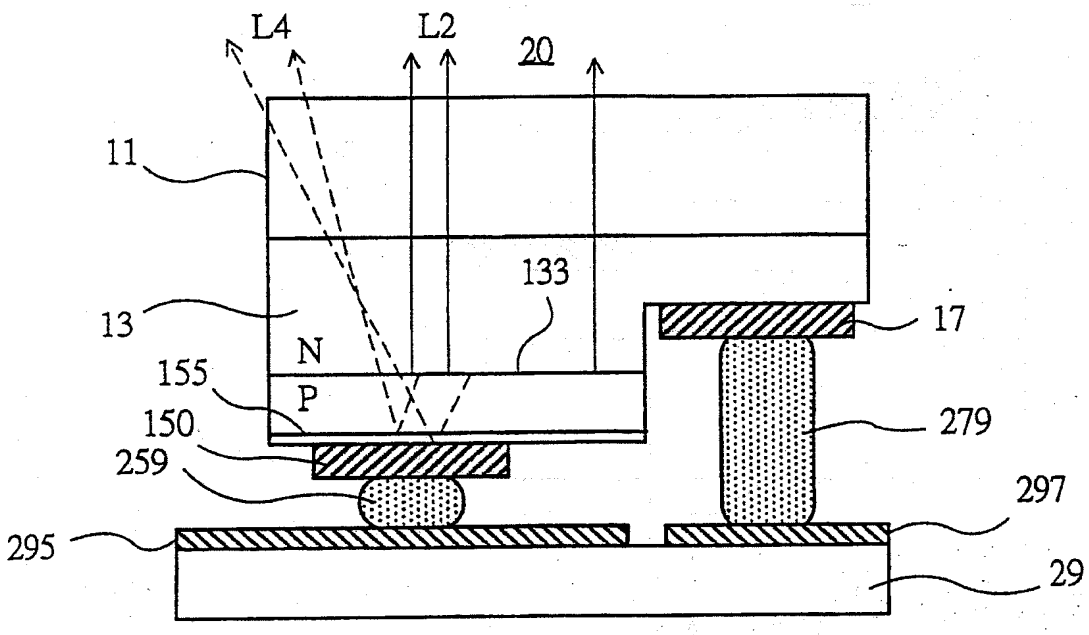

L4
L2
20
11
133
13
17
N
155
P
150
279
259
297
295
29

图 2

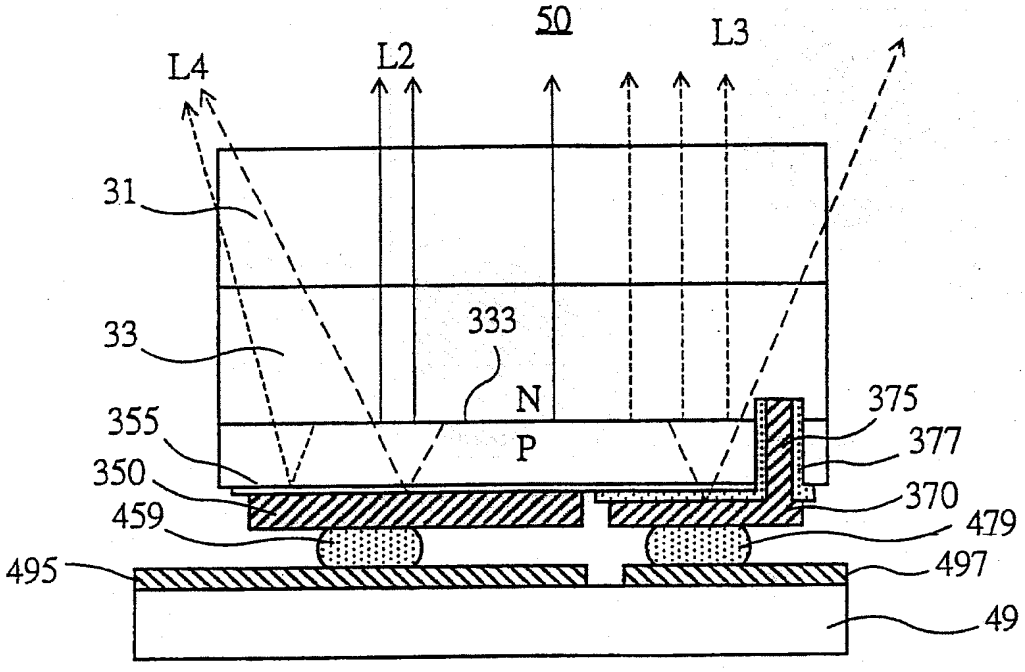

50
L3
L4
L2
31
333
33
N
375
355
377
P
350
370
459
479
495
497
49

图 6

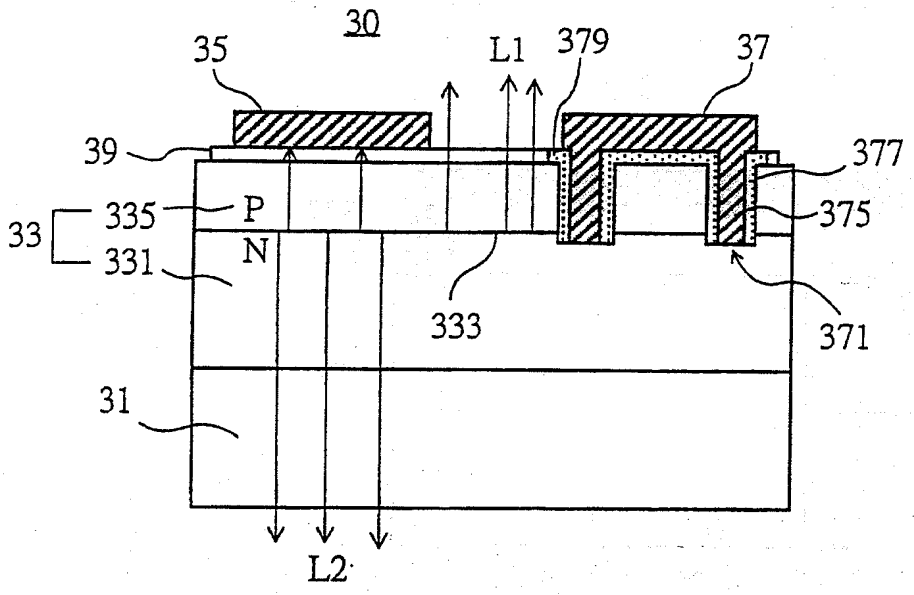


图 3 （A）

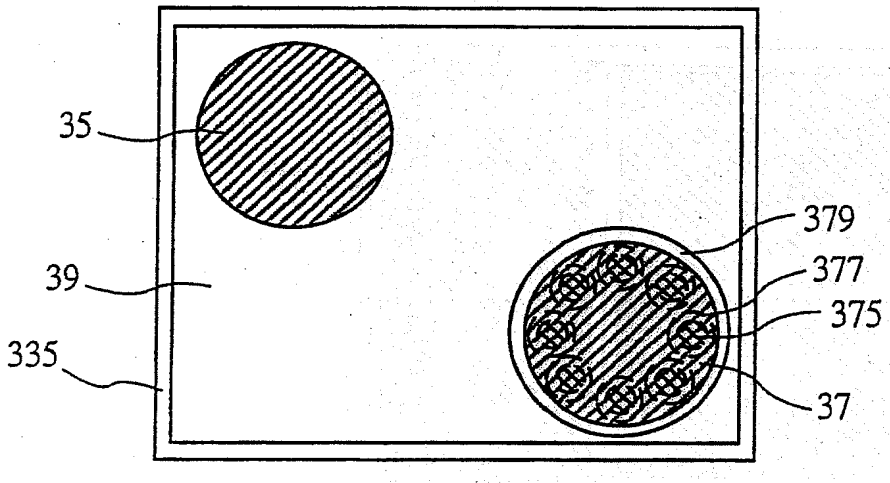


图 3 （B）

IKEA Supply AG
Exhibit 1002 Page 65 of 361

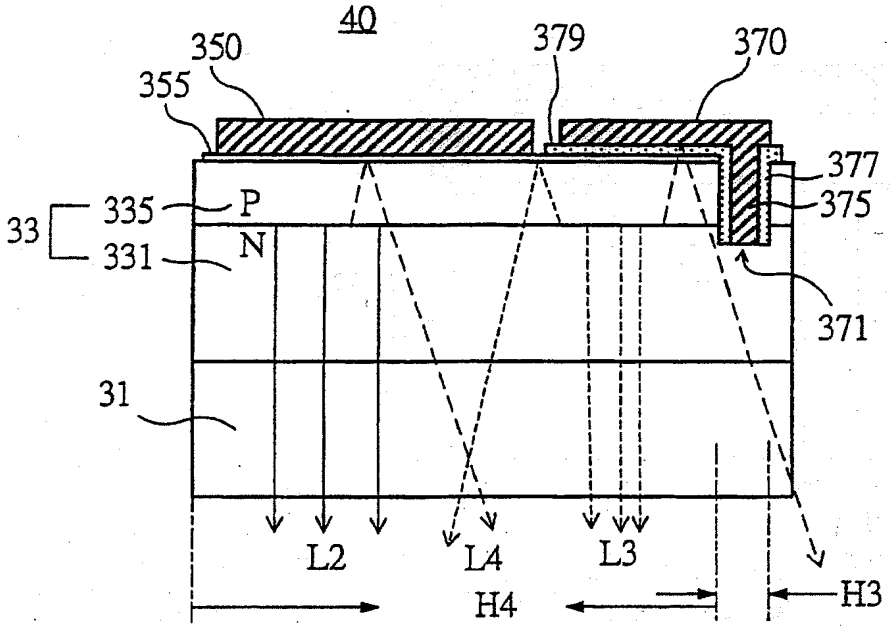

40
350
379
370
355
377
335
P
375
33
331
N
371
31
L2
L4
L3
H4
H3

图 4 （A）

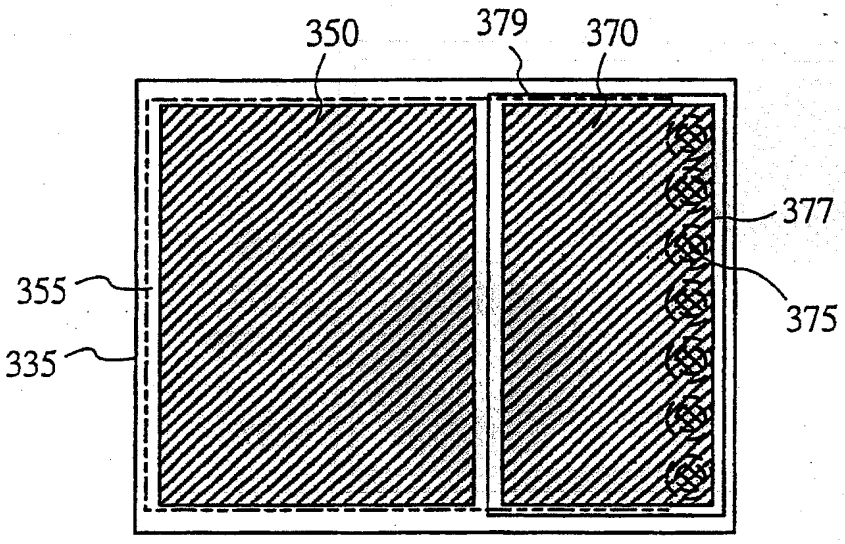

350
379
370
377
355
375
335

图 4 （B）

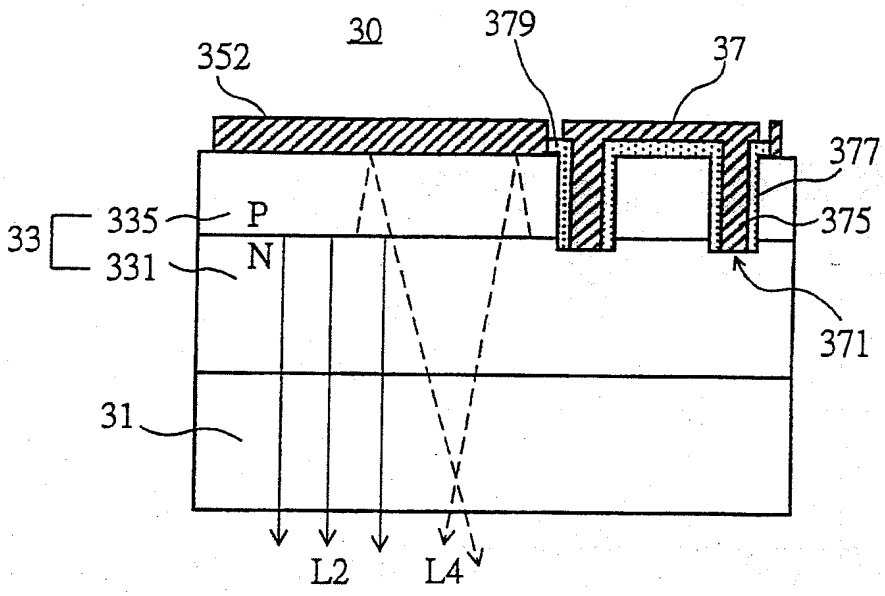


图 5 （ A ）

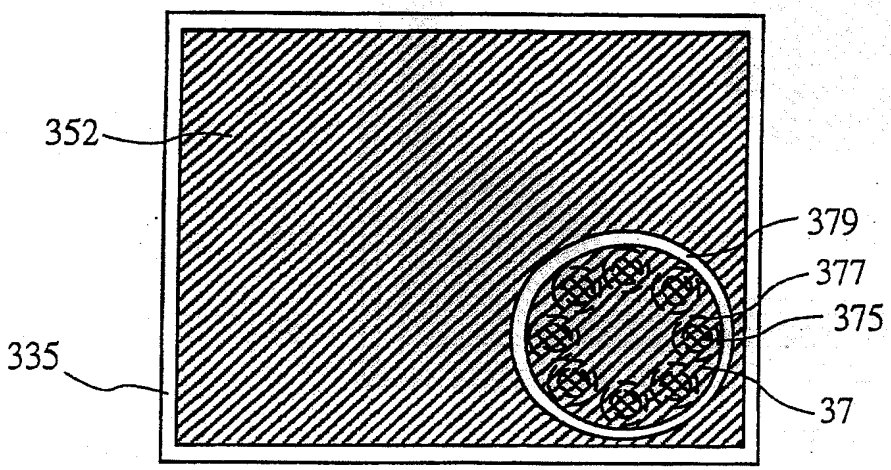


图 5 （ B ）

FH_000067
IKEA Supply AG
Exhibit 1002 Page 67 of 361

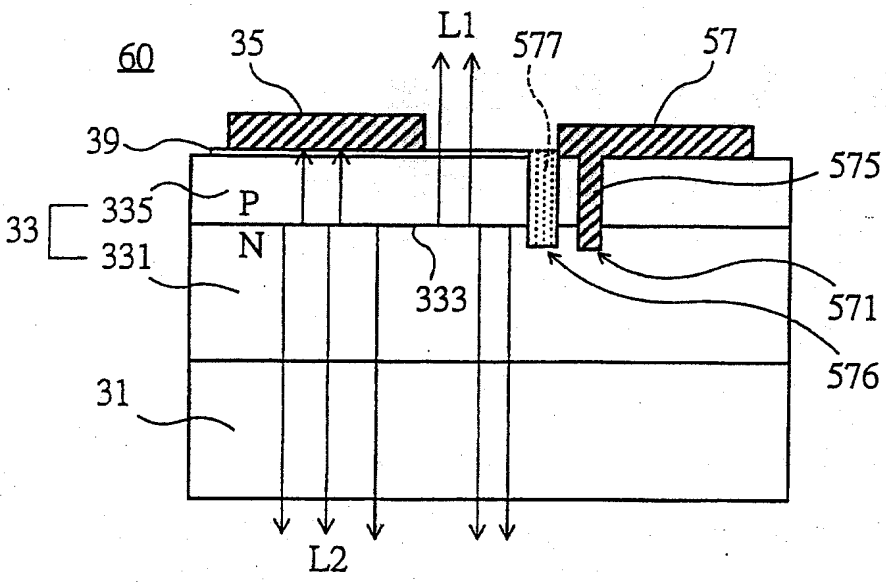

60
35
L1
577
57
39
575
335
P
33
N
331
333
571
576
31
L2

图 7（A）

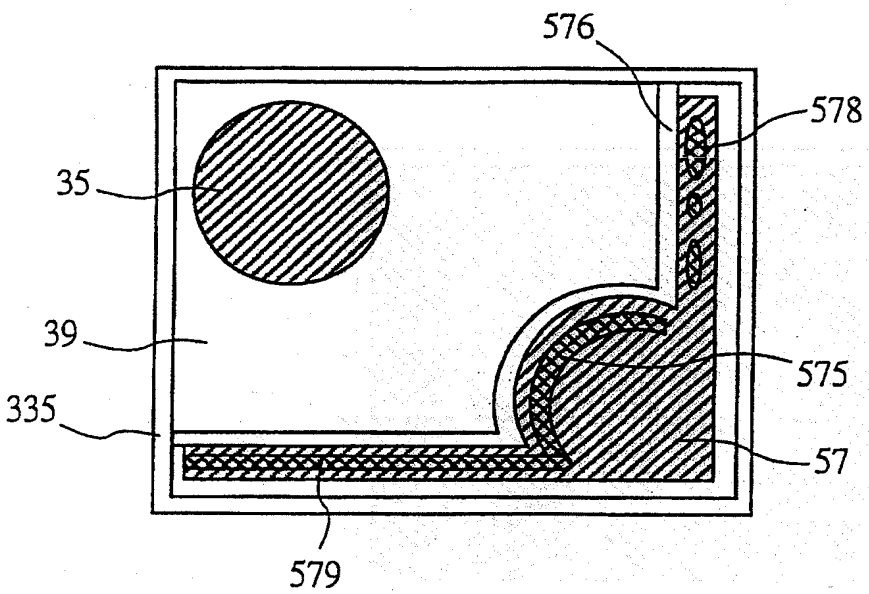

576
578
35
39
575
335
57
579

图 7（B）

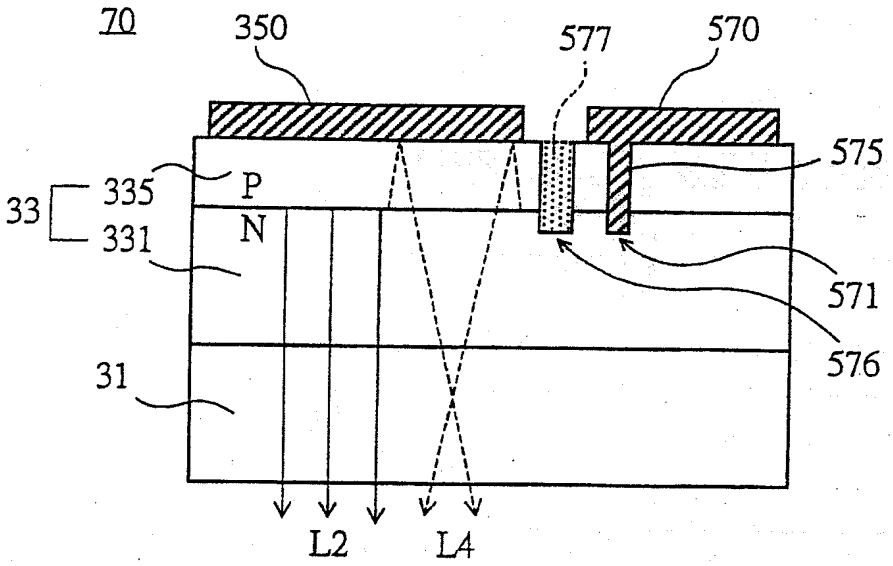

70
350
577
570
575
335
P
33
331
N
571
576
31
L2
L4

图 8 （A）

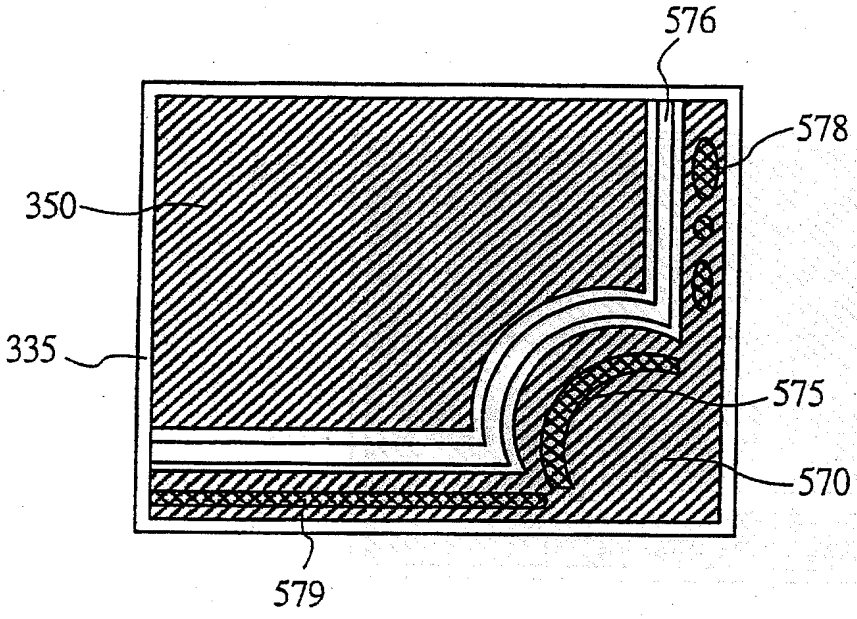

576
578
350
335
575
570
579

图 8 （B）

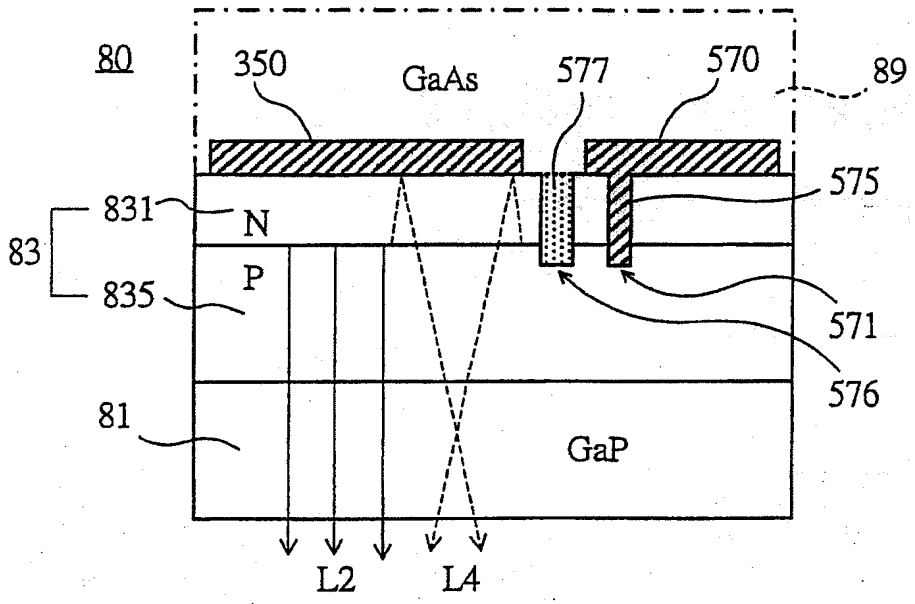

80
350
GaAs
577
570
89
575
831
N
83
P
835
571
576
81
GaP
L2
L4

图 9（A）

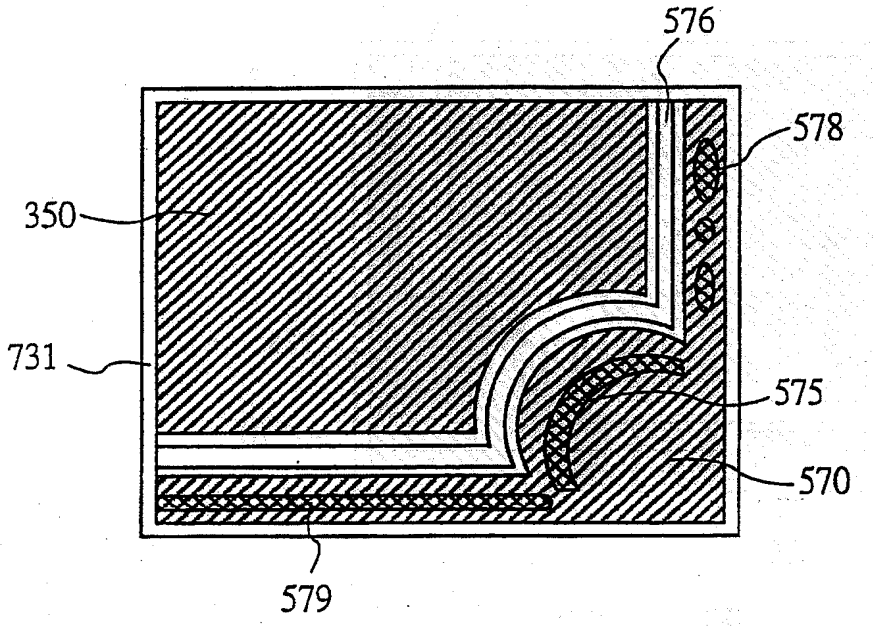

576
578
350
731
575
570
579

图 9（B）

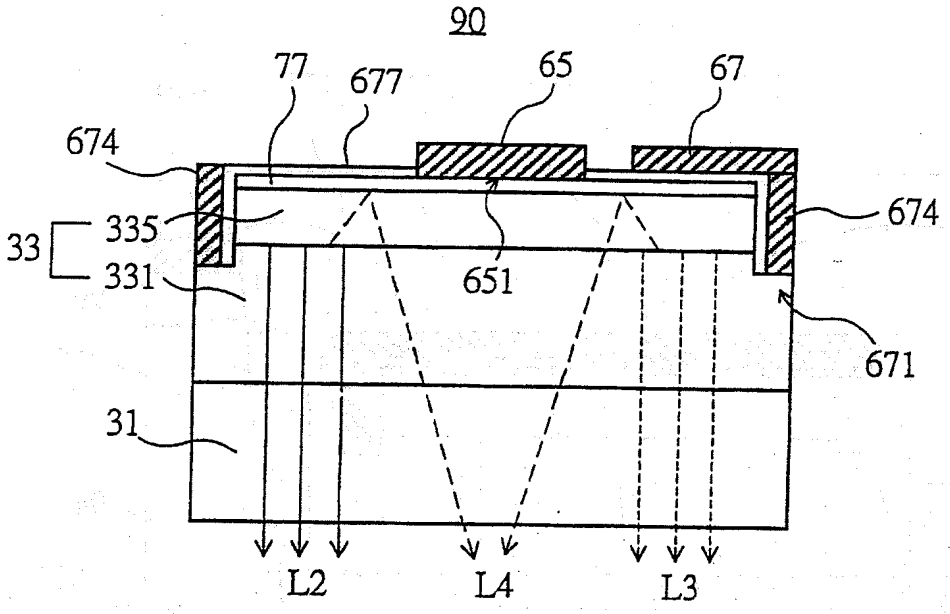


图 10（A）

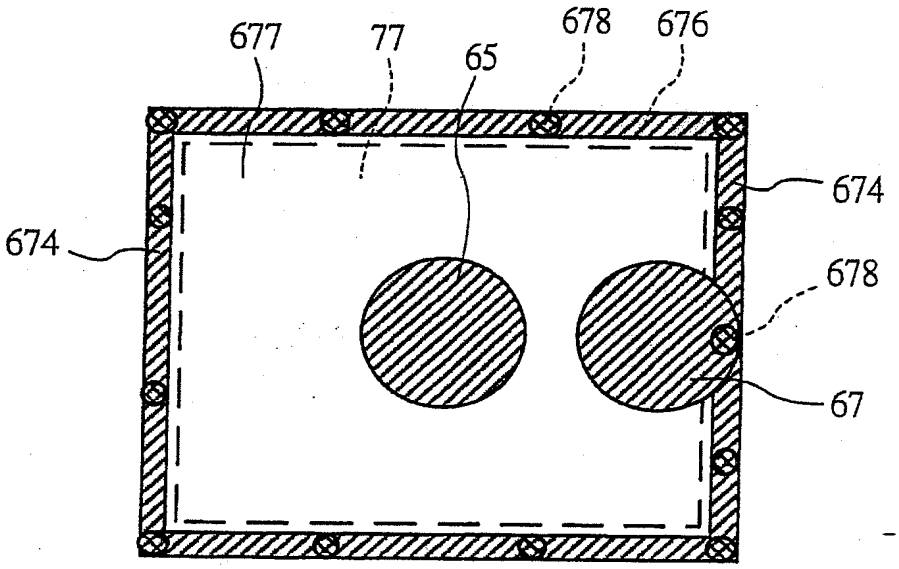


图 10（B）

FH_000071
IKEA Supply AG
Exhibit 1002 Page 71 of 361

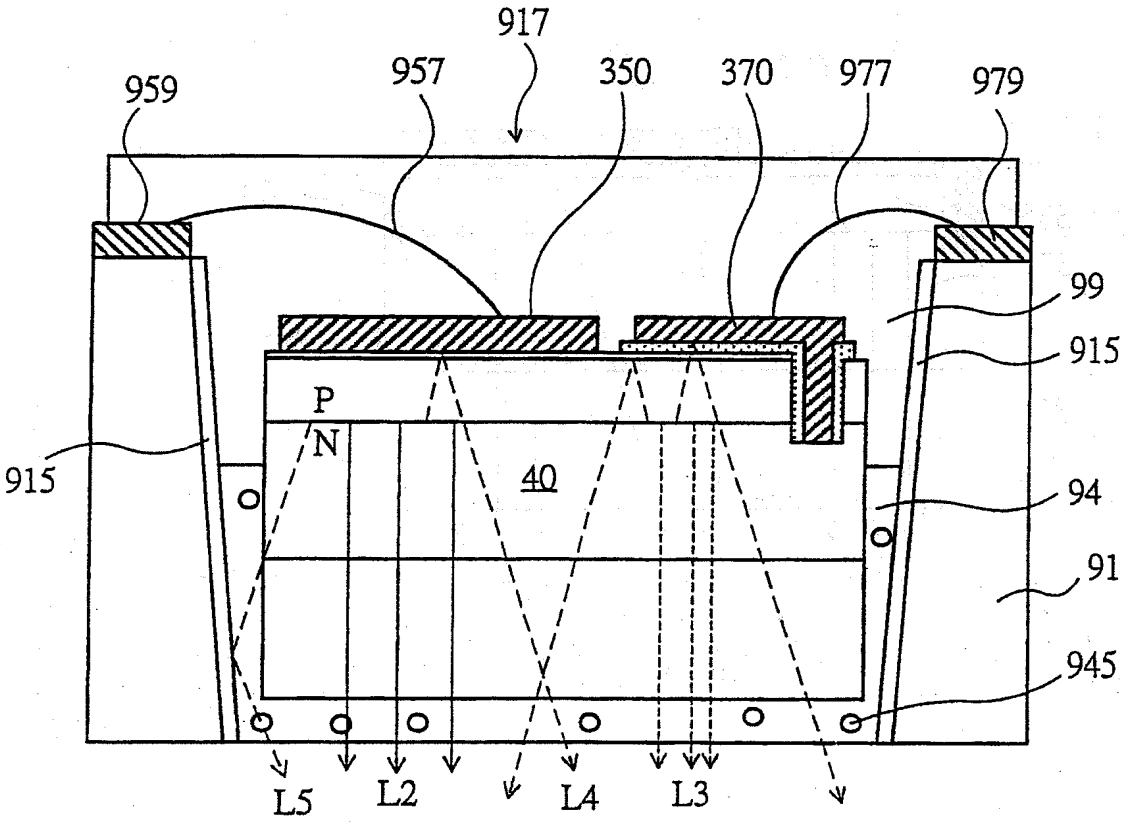


图 11

(Reference 2)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043623
(43)Date of publication of application : 08.02.2002

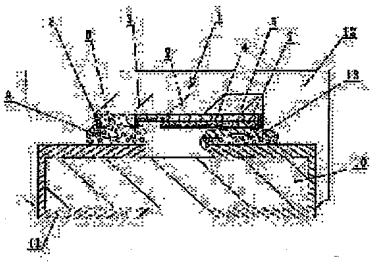
(51)Int.Cl. H01L 33/00
H01L 21/60
H01L 31/02
H01L 31/10

(21)Application number : 2000-227869
(22)Date of filing : 27.07.2000

(71)Applicant : NICHIA CHEM IND LTD
(72)Inventor : TAMEMOTO HIROAKI

(54) OPTICAL SEMICONDUCTOR ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide an optical semiconductor element including a light emitting element for converting electricity into light being radiated and a light receiving element for converting received incident light into electricity, and its manufacturing method in which short circuit and current leakage are prevented, inclination of an optical semiconductor chip against a basic material is prevented, and bonding strength is enhanced.
SOLUTION: An optical semiconductor element comprising a pair of first and second electrodes provided on a semiconductor, and an insulating protective film covering the pair of electrodes except at least a part thereof is provided with a third electrode which is connected electrically with the first and/or second electrode, is larger than the opening of the insulating protective film on the first and/or second electrode, and is disposed through a space to the side face of the insulating protective film.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－43623
（P2002－43623A）
(43)公開日　平成14年２月８日(2002.2.8)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｅ	５Ｆ０４１
			Ｎ	５Ｆ０４４
21/60	３１１	21/60	３１１Ｓ	５Ｆ０４９
		21/92	６０２Ｇ	５Ｆ０８８
31/02			６０２Ｑ	

審査請求　未請求　請求項の数11　ＯＬ　（全　９　頁）　最終頁に続く

(21)出願番号　特願2000－227869(P2000－227869)

(22)出願日　平成12年７月27日(2000.7.27)

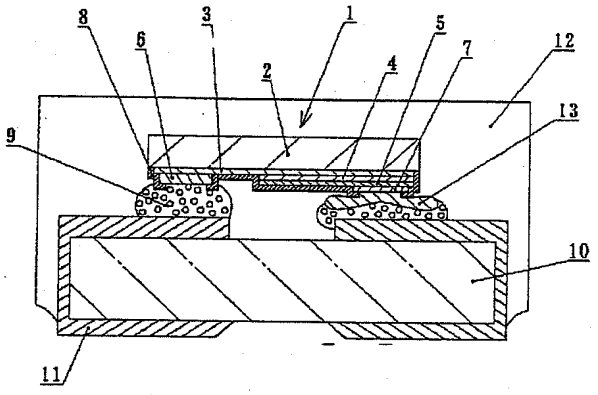
(71)出願人　000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100

(72)発明者　為本　広昭
徳島県阿南市上中町岡491番地100　日亜化学工業株式会社内

Ｆターム(参考)　5F041 AA24 AA25 AA43 CA01 CA34
CA93 CA99 DA04 DA09 DA45
5F044 KK05 LL07 QQ02 QQ04
5F049 NA09 NA14 SE09 TA03 TA05
TA09
5F088 BA16 FA09 JA03 JA06 JA09

(54)【発明の名称】　光半導体素子とその製造方法

(57)【要約】
【課題】電気を光に変換して放射する発光素子及び入射した光を受光して電気に変換する受光素子である光半導体素子及びその製造方法に係わり、特に、短絡乃至リーク発生の防止、基材に対して光半導体チップが傾くことの防止、乃至接合強度の向上を行うために改善された光半導体素子及びその製造方法を提供することにある。
【解決手段】半導体上に設けられた一対となる第１電極及び第２電極と、該一対の電極の少なくとも一部を除き被覆する絶縁保護膜とを有する光半導体素子であって、前記第１電極及び／又は第２電極と電気的に接続されると共に、該第１電極及び／又は第２電極上の前記絶縁保護膜の開口部よりも大きく、且つ前記絶縁保護膜の側面と空間を介して設けられた第３電極を有することを特徴とする光半導体素子である。



1

【特許請求の範囲】

【請求項１】　半導体上の同一面側に設けられた一対となる第１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子であって、前記第１電極及び／又は第２電極上に、電気的に接続されると共に、前記第１電極及び／又は第２電極の上面の前記露出部よりも大きく、且つ前記絶縁保護膜の側面と空間を介して設けられた第３電極を有することを特徴とする光半導体素子。

【請求項２】　半導体上の同一面側に設けられた一対となる第１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子であって、前記第１電極及び／又は第２電極上に、電気的に接続されると共に、前記第１電極及び／又は第２電極の上面の前記露出部よりも大きく、且つ前記絶縁保護膜の一部と接触して設けられた第３電極を有することを特徴とする光半導体素子。

【請求項３】　前記光半導体素子がフリップチップ型である請求項１乃至請求項２に記載の光半導体素子。

【請求項４】　前記第３電極の外辺は絶縁保護膜の外辺よりも突出している請求項３に記載の光半導体素子。

【請求項５】　前記第３電極の周縁部の膜厚は該第３電極の中央部の膜厚よりも厚い請求項３乃至請求項４に記載の光半導体素子。

【請求項６】　前記第３電極は基材に対向する側が開いた凹形状である請求項３乃至請求項５に記載の光半導体素子。

【請求項７】　前記第３電極はＡｕ又はＡｕを含む合金からなる請求項３乃至請求項６に記載の光半導体素子。

【請求項８】　前記光半導体素子において少なくとも第３電極と基材におけるリード電極とはＡｇを含む接合部材を介して接続される請求項３乃至請求項７に記載の光半導体素子。

【請求項９】　半導体上の同一面側に設けられた一対となる第１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子の製造方法であって、前記第１電極及び／又は第２電極上に、ボールボンディングによりボールを形成する工程と、前記ボールを変形させて第３電極を形成する工程とを含む光半導体素子の製造方法。

【請求項１０】　前記ボールボンディングは超音波併用熱圧着ボールボンディングである請求項９に記載の光半導体素子の製造方法。

【請求項１１】　半導体上の同一面側に設けられた一対となる第１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子の製造方法であって、前記第１電極及び／又は第２電極上に、板状の導電体をリードボンディングにより接合して第３電極を形成する工程を含む光半導体素子の製造方法。

2

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、電気を光に変換して放射する発光素子及び入射した光を受光して電気に変換する受光素子である光半導体素子及びその製造方法に係わり、特に、短絡乃至リーク発生の防止、基材に対して光半導体チップが傾くことの防止、乃至接合強度の向上を行うために改善した光半導体素子及びその製造方法に関する。

【０００２】

【従来の技術】近年、窒化物半導体を用いた発光素子が青色系の発光が可能な発光素子として注目されている。この窒化物半導体を用いた発光素子は、サファイア基板上にｎ型窒化物半導体層を成長させ、そのｎ型窒化物半導体層上に直接あるいは発光層を介してｐ型窒化物半導体層を成長させた層構造を有する。

【０００３】また、絶縁体であるサファイア基板を用いて構成される窒化物半導体発光素子では、ｐ電極及びｎ電極が同一面側の半導体層上に形成される。すなわち、ｐ電極はｐ型窒化物半導体層上に形成され、ｎ電極は、所定の位置でｐ型窒化物半導体層を除去してｎ型窒化物半導体層表面を露出させて、そのｎ型窒化物半導体層上に形成される。

【０００４】そして、例えば前述の窒化物半導体を用いた発光素子等、同一面側に正負一対の電極が形成されている光半導体素子は、電極面を下にしてリード電極を有する基材にフリップチップボンディングする場合、発光チップとそれを搭載する基材は、発光チップの各電極とそれぞれに対応するリード電極とをはんだ等の接合部材を用いて接続される。

【０００５】ここで、接合部材の量が多くなると、接合部材が電極部だけでなく半導体層の端面にも回り込むため、各電極の表面の露出部を除いて半導体層及び各電極を絶縁保護膜にて遮蔽する方法が取られている。これにより、短絡乃至リークが発生することなく信頼性の高い光半導体素子とすることができる。

【０００６】

【発明が解決しようとする課題】しかしながら、光半導体素子は高機能化と小型化が進むにつれて様々な分野に利用されている。そして、その利用分野の拡大に伴い、より大きな振動、熱等を伴う環境下、また、紫外から赤外に至る光を高輝度に発光或いは受光する等、より厳しい要求を満たしながらも、長期間安定した性能で使用することができる信頼性且つ実装性のより高い光半導体素子が求められている。そこで、本発明は上記課題を解決して、信頼性及び実装性のより高い光半導体素子を提供することにある。

【０００７】

IKEA Supply AG
Exhibit 1002 Page 75 of 361

【課題を解決するための手段】本発明の請求項１に記載の光半導体素子は、半導体上の同一面側に設けられた一対となる第１電極及び第２電極、すなわちｐ電極及びｎ電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子であって、前記第１電極及び／又は第２電極上に、電気的に接続されると共に、前記第１電極及び／又は第２電極の上面の前記露出部よりも大きく、且つ前記絶縁保護膜の側面と空間を介して設けられた第３電極を有することを特徴とする。このようにすると、ｐ電極上に前記第３電極を設けた場合、接合部材が前記絶縁保護膜の側面、すなわちｎ型半導体層の端面方向へ這い上がることを防ぐことができるので、接合部材がｎ型半導体層の端面方向へ這い上がることにより発生する短絡乃至リークを防止することができる。なお、ここでいう空間を介するとは、前記絶縁保護膜の側面と前記第３電極とが対向する位置で空間を介してオーバーラップすることも含む。

【０００８】本発明の請求項２に記載の光半導体素子は、半導体上の同一面側に設けられた一対となる第１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子であって、前記第１電極及び／又は第２電極上に、電気的に接続されると共に、前記第１電極及び／又は第２電極の上面の前記露出部よりも大きく、且つ前記絶縁保護膜の一部と接触して設けられた第３電極を有することを特徴とする。なお、ここでいう接触とは、接合部材が絶縁保護膜の側面に這い上がった状態における接合部材と絶縁保護膜との関係とは異なり、第３電極の一部が絶縁保護膜の側面に触れることをいう。すなわち、第３電極と絶縁保護膜とが分離可能な状態をいう。従って、例えば、第３電極を構成する材料を過剰に用いて、第３電極の一部が絶縁保護膜の表面に接触したとしても、本発明の請求項２に記載の光半導体素子は本発明の請求項１に記載の光半導体素子と同様の効果を発揮する。

【０００９】また、本発明の請求項１乃至請求項２に記載の光半導体素子において、前記光半導体素子はフリップチップ型であることが好ましい。このようにすると、ｐ電極及び／又はｎ電極上に第３電極を設けた場合、接合部材とｐ電極及び／又はｎ電極の上面の露出部及び基材におけるリード電極とを直接接合させた場合に比較して、接合部材と第３電極及び基材におけるリード電極との接合面積を大きく取ることがきるので、光半導体チップと基材とをより強固に接合させることができる。また、第３電極をｐ電極及び／又はｎ電極上に設置することにより、光半導体チップと基材との間に封止樹脂を充填するための空間を容易に確保することができ、それに伴い、接合部材の量を少なくすることができる。これによって、ｐ電極側における接合部材のｎ型半導体層の端面方向への這い上がりをより効果的に防止することができる。また、各電極上に第３電極を高低差無く設けることにより、光半導体チップを基材に搭載する際に、光半導体チップが基材に対して傾くことを防止することができる。このようにすると、例えば、光半導体素子の１つである発光素子においては、光の取り出し効率を高めることができる。すなわち、光半導体チップの傾きを無くすことにより、光半導体素子の性能を安定させることができる。さらに、各電極の高低差が緩和されることにより、実装性も向上する。

【００１０】また、本発明の請求項３に記載の光半導体素子において、前記第３電極の外辺は前記絶縁保護膜の外辺よりも突出していることが好ましい。このようにすると、ｐ電極側において接合部材のｎ型半導体層の端面方向への這い上がりをより効果的に防止できるばかりでなく、接合部材と第３電極及び基材におけるリード電極との接合面積をより大きく取ることがきるので、光半導体チップと基材との接合強度をより高めることができる。

【００１１】また、本発明の請求項３乃至請求項４に記載の光半導体素子において、前記第３電極の周縁部の膜厚は中央部の膜厚よりも厚くすることができる。このようにすると、ｐ電極及び／又はｎ電極側において、接合部材の這い上がりをより効果的に防止することができる。

【００１２】また、本発明の請求項３乃至請求項５に記載の光半導体素子において、前記第３電極は、基材に対向する側が開いた凹形状であってもよく、例えば、接合部材の這い上がりを防ぐための所謂返しを有してもよい。このようにすると、接合部材の這い上がりをより効果的に防ぐことができる。

【００１３】また、本発明の請求項３乃至請求項６に記載の光半導体素子において、前記第３電極はＡｕ又はＡｕを含む合金であることが好ましい。このようにすると、Ａｕの表面状態は高湿環境下においても極めて安定であるので、接合面状況が安定し、環境による前記接合面の腐食によって生じる導通不良を防止することができる。また、Ａｕは熱伝導率・導電率も比較的良好であるので、放熱性・導電性の点からも好ましい。

【００１４】また、本発明の請求項３乃至請求項７に記載の光半導体素子において、少なくとも第３電極と基材におけるリード電極とはＡｇを含む接合部材を介して接続する場合に特に有効である。すなわち、接合部材にＡｇが含まれる場合、Ａｇは極めてマイグレーションを発生しやすいが、ｐ電極上に設けられた第３電極の突出部がＡｇのｎ型半導体層の端面方向への這い上がりを防止し、沿面ギャップが大きくなることにより、マイグレーションによるリーク発生が防止される。

【００１５】また、本発明に係わる光半導体素子の製造方法は、半導体上の同一面側に設けられた一対となる第

IKEA Supply AG
Exhibit 1002 Page 76 of 361

１電極及び第２電極と、前記各電極の上面の露出部を除いて前記半導体及び前記各電極を被覆する絶縁保護膜とを有する光半導体素子の製造方法において、前記第１電極及び／又は第２電極上に、例えば超音波併用熱圧着ボールボンディングによりボールを形成する工程と、前記ボールを変形させて第３電極を形成する工程とを含む、或いは、前記第１電極及び／又は第２電極に、板状の導電体をリードボンディングにより接合して第３電極を形成する工程を含むことを特徴とする。このようにすると、本発明における第３電極を容易に形成することができる。

【００１６】

【発明の実施の形態】本発明者は、種々の実験の結果、一対となるｐ電極及び／又はｎ電極上に、特定形状を有する第３電極を設けることにより、信頼性及び実装性が向上することを見出し、本発明を成すに至った。

【００１７】すなわち、接合部材が絶縁保護膜の側面に這い上がった状態の光半導体素子を実際に長期間使用すると、絶縁保護膜を設けているにも関わらず、短絡乃至リークが発生する場合がある。より具体的には、例えば、ｐ電極側における絶縁保護膜の側面に劣化が生じ、この劣化部位において接合部材とｎ型半導体層が接触するか或いは接合部材に含まれるＡｇ等の金属が周辺環境の水分等によりイオン化され、そのイオン化された金属が半導体との通電に伴い絶縁保護膜内をマイグレーションして短絡乃至リークを発生する場合がある。こうなると、半導体の機能が低下するばかりでなく、光半導体素子が破壊される場合もあり、特に、半導体接合部での短絡乃至リークは光半導体素子に特に大きな影響を与えるものと考えられる。さらに、同一面側に正負一対の電極を有する光半導体チップを基材にフリップチップボンディングする場合においては、接合部材の量乃至各電極の高低差等が原因で光半導体チップが基材に対して傾く可能性がある。そこで、本発明は、絶縁保護膜が設けられているにも関わらず、ｐ電極側において接合部材がｎ型半導体層の端面方向へ這い上がることにより発生する短絡乃至リークの防止、光半導体チップと基材との接合強度の向上、乃至基材に対して光半導体チップが傾くことを防止するにより、信頼性及び実装性に優れた光半導体素子を得るものである。なお、このような問題は発光素子のみならず受光素子においても同様な問題である。

【００１８】ここで、本明細書で言う光半導体素子とは、発光あるいは受光機能を有する半導体素子をいい、発光ダイオード、半導体レーザー、フォトディテクター、太陽電池等を指す。

【００１９】以下、本発明の具体的な実施の形態を説明する。

【００２０】実施の形態におけるフリップチップ型のＬＥＤ（発光ダイオード）は、所定の配線パターンであるリード電極を有する基材と、ＬＥＤチップを備える。Ｌ

ＥＤチップの下面にはｎ電極とｐ電極が形成されている。さらに、ｎ電極及び／又はｐ電極の下面には第３電極が形成されており、ＬＥＤチップの下面に位置する電極とリード電極とをＡｇペースト等の接合部材を介し接合させることで発光ダイオードとする。

【００２１】また、実施の形態におけるＬＥＤチップは、サファイア基板上にｎ型窒化物半導体層、ｐ型窒化物半導体層を順次成膜させた後、ｐ型窒化物半導体層を部分的にエッチングさせｎ型窒化物半導体層の表面まで露出させる。その後、ｐ型窒化物半導体層上に全面電極を介してｐ電極、ｎ型窒化物半導体層上にｎ電極を形成させたものである。さらに、絶縁保護膜を形成した後に、ｎ電極及び／又はｐ電極の下面に第３電極が形成される。

【００２２】また、ダイボンディングを行うためには、あらかじめリード電極上にＡｇペーストを設ける。次に、所定の位置にアライメントしたＬＥＤチップをＡｇペーストに押し付け、その後、加熱し硬化させることにより、ＬＥＤチップとリード電極とを熱伝導性よく接着させることができる。その後、封止樹脂を、ＬＥＤチップからの光を効率よく外部に透過させると共に外力、塵芥からＬＥＤチップを保護する目的で注入形成する。

【００２３】以下、本発明の各構成についてさらに詳細に記述する。

（基材）基材は、ＬＥＤチップを配置させ外部からの電流をＬＥＤチップに供給するリード電極が設けられたものである。そのため基材は、耐熱性や絶縁性を有するものが好適に用いられる。このような基材に使用される材料には、ガラスエポキシ、ビスマレイミドトリアジン（ＢＴレジン）、ポリブチレンテレフタレート樹脂（ＰＢＴ樹脂）、セラミックス、液晶ポリマー等からなる絶縁基板を使用することができる。

（リード電極）リード電極とは、ＬＥＤチップを基材外部と電気的に接続させるものであるため、電気伝導性に優れたものが好ましい。本発明におけるリード電極には、銅および銅合金を使用しており、該リード電極の厚さは１０～３００μｍ程度である。また、リード電極の表面に金属薄膜としてＡｇ、Ａｌ、Ａｕ等の平滑な金属メッキを施す。該金属薄膜には、接合部における接合部材の表面に酸化膜ができるのを防ぎ、接合部材とリード電極との接合性をよくする効果がある。

（接合部材）通常、使用される接合部材としてＡｇ、Ｐｄ、Ａｕなどの金属フィラーを含有した導電ペーストやＰｂ－Ｓｎ、Ｓｎ－Ｂｉ、Ｓｎ－Ｉｎ、Ｓｎ－Ａｇ－Ｃｕ合金等のはんだ等があり、本発明に係るＬＥＤにおいてはいずれの接合部材も用いることができる。また、本発明において、接合部材としてＡｇペーストを用いる場合が特に効果的である。すなわち、Ａｇが接合部材に含まれる場合、Ａｇは極めてマイグレーションを発生しやすいが、ｐ電極側に設けられた第３電極の突出部によ

IKEA Supply AG
Exhibit 1002 Page 77 of 361

り、Ａｇの半導体層端面方向への這い上がりが防止され、沿面ギャップが大きくなることにより、マイグレーションによるリーク発生が防止される。

（ＬＥＤチップ）本発明におけるＬＥＤチップは、窒化物半導体からなる発光素子である。透光性絶縁基板上に形成された少なくとも半導体接合を有する窒化物半導体により構成することができる。具体的には、サファイア基板上にＭＯＣＶＤ法やＨＶＰＥ法を用いて窒化物半導体を形成できる。該透光性絶縁基板は、サファイア（Al_2O_3）の他にスピネル（$MgAl_2O_4$）やＳｉＣ、Ｓｉ、ＺｎＯ、ＧａＮ等が挙げられる。また半導体接合としては、ＭＩＳ接合、ＰＩＮ接合の他、ｐｎ接合が挙げられ、ＬＥＤチップの特性により、ホモやダブルヘテロ構造とすることができる。さらに、単一量子井戸構造や多重量子井戸構造とすることもできる。なお本発明においてサファイア基板を用いるのは、結晶性の良い窒化物半導体を形成させるためである。また、該サファイア基板上に格子不整合緩和のためにＧａＮ、ＡｌＮ等のバッファー層を形成しその上に窒化物半導体を形成させることにより半導体特性の優れた発光素子を構成させることができる。

【００２４】窒化ガリウム系半導体は、不純物をドープしない状態でｎ型導電性を示すが、発光効率を向上させるなど所望のｎ型窒化ガリウム半導体を形成させる場合は、ｎ型ドーパントとしてＳｉ、Ｇｅ、Ｓｅ、Ｔｅ、Ｃ等を適宜導入することが好ましい。また、ｐ型窒化ガリウム半導体を形成させる場合は、ｐ型ドーパントであるＺｎ、Ｍｇ、Ｂｅ、Ｃａ、Ｓｒ、Ｂａ等をドープさせる。しかし窒化ガリウム系化合物半導体は、ｐ型ドーパントをドープしただけではｐ型化しにくいためｐ型ドーパント導入後に、低速電子線照射やプラズマ照射、アニール等により低抵抗化させることが好ましい。

（電極）窒化物半導体露出面側に一対の電極を形成するためには各半導体層を所望の形状にエッチングしてあることが好ましい。エッチングとしては、ドライエッチングやウェットエッチングがありドライエッチングとしては、反応性イオンエッチング、イオンミリング、集束ビームエッチング、ＥＣＲエッチング等が挙げられる。また、ウェットエッチングとしては、硝酸と燐酸の混酸を用いることができる。ただし、エッチングを行う前に所望の形状に窒化ケイ素や酸化ケイ素等の材料を用いてマスクを形成することは言うまでもない。

【００２５】エッチングによりｐ型半導体及びｎ型半導体の露出面を形成させた後、半導体層上にスパッタリング法や真空蒸着法などを用いて各電極を形成させる。本発明に係る全面電極は、透光性を有しかつｐ型窒化物半導体層とオーミック接触するものであり、具体的にはＮｉ／Ｐｔ又はＮｉ／Ｐｔからなる。さらにｐ電極は、全面電極と接するようにスパッタリング法により形成される。ｐ電極に使用される材料は、Ｐｔ又はＡｕ、Ｎｉを主成分とし、所定の温度（４００℃～７００℃）で熱処理することで良好な発光を確保することができる。ｐ電極に、Ｐｔを用いた場合、急激な拡散現象は起こらず、極めて緩やかにｐ電極とはんだの合金化すなわち漏れが進行するため、ｐ電極の表面のみが接合部材と合金化し、ＬＥＤチップ・接合部材・リード電極間にて安定した接続、導通が得られる。さらにｎ型窒化物半導体層の露出面にＷ／Ａｌ又はＴｉ／Ａｌからなるｎ型電極を形成する。

（絶縁保護膜）上記のように電極が形成されたＬＥＤチップに、各電極のボンディング面を除いて絶縁保護膜を形成する。該絶縁保護膜は、半導体層に傷や割れが生じるのを防止でき、短絡乃至リーク発生の防止にも効果的である。さらに電極の上に形成されると、電極が剥がれるのを防止でき好ましい。絶縁保護膜の膜厚は、特に限定されないが、０．１～５μｍである。本発明において、絶縁保護膜の材料としては、SiO_2、TiO_2、Al_2O_3、Si_3N_4等を用いることができる。

（第３電極）各電極のボンディング面を除いて絶縁保護膜を形成させた後、ｐ電極及び／又はｎ電極上にＡｕ又はＡｕを含む合金からなる第３電極を形成させる。第３電極に使用される材料は、Ａｕ又はＡｕを含む合金の他に、ＣｕやＡｌ又はそれらを含む合金を用いることができる。なお、第３電極に、Ａｕを用いた場合、Ａｕの表面状態は高湿環境下においても極めて安定であるので、接合面状況が安定し、環境による前記接合面の腐食によって生じる導通不良も防止される。

【００２６】次に、本発明における第３電極の製造方法の一例について説明する。

（１）まず、超音波併用熱圧着ボールボンディング等により、ｐ電極及び／又はｎ電極にＡｕボールを接合する。

（２）次に、Ａｕボールを、例えば押圧片を用いて押圧することにより変形させ、第３電極を形成する。

【００２７】また、（２）の行程において、ｐ電極とｎ電極の双方に第３電極を形成する場合は、押圧片の高さ等を調整することにより、各電極における第３電極を高低差なく形成することができる。このようにすると、本発明の第３電極を容易に形成することができる。また、第３電極を設けることにより、光半導体チップと基材との間のスペースを容易に確保することができ、それに伴い使用する接合部材の量を減少させることができる。さらに、第３電極は突出部を有するので、接合部材の半導体層の端面方向への這い上がりを効果的に防止することができる。また、ｐ電極乃至ｎ電極と接合部材とを直接に接合させた場合に比較して、第３電極を設けた場合は、接合部材との接合面積を大きく取ることができるので、光半導体チップと基材との接合強度をより高めることができる。

【００２８】さらに、押圧片を任意の形にすることによ

IKEA Supply AG
Exhibit 1002 Page 78 of 361

って、様々な形状を有する第３電極を形成することができる。次に、より具体的な第３電極の形成方法及びそれにより得られる形状とその効果について、図６を参照しながら説明する。なお、図６においては、ｐ電極７のみに第３電極を設けたが、本発明はこれに限らずｐ電極７とｎ電極６の双方にそれぞれ第３電極を形成させてもよい。また、本発明において用いることができる押圧片の形状は、図６に示す押圧片の形状に限定されない。

・図６(A)に示すように、１９のような形状の押圧片をまっすぐに降下させ（矢印①）、Ａｕボールを変形させた後、続いて押圧片１９をまっすぐ上方に戻す（矢印②）ことにより、図４に示すような周縁部が中央部に比べて厚みを有する形状の第３電極１７が形成される。第３電極をこのような形状にすることにより、接合部材の半導体層の端面方向への這い上がりを効果的に防止することができる。

・図６(B)に示すように、２０のような形状の押圧片を用いて、図６(A)と同様の操作を行うことにより、図１及び図２に示すような周縁部が中央部に比べて厚みを有し、且つ、中央部に窪みを有した第３電極１３乃至第３電極１５が形成される。このような形状を持つ第３電極は、図４に示す第３電極１７に比較して、厚みをより確保しやすいので、接合部材の量がより少なくてすみ、これに伴い接合部材の半導体層の端面方向への這い上がりをより効果的に防止することができる。さらに、中央部に窪みを有するため、第３電極と接合部材との接触面積をより大きく取ることができるので、光半導体チップと基材との接合強度をより高めることができる。

【００２９】また、次のようにしても本発明における第３電極を形成することができる。

【００３０】すなわち、ｐ電極及び／又はｎ電極に、板状の導電体をリードボンディングにより接合することにより、本発明における第３電極を形成することができる。さらに、任意の形状を有した導電体を用いれば、様々な形状の第３電極を容易に形成することができる。

【００３１】例えば、図７に示すように、２２のような形状のボンディングツール、すなわち加振押圧片を用いて、基材に対向する側が開いた凹形状であるＡｕ片２１をｐ電極７に接合することにより図３に示すような形状の第３電極１６が形成される。このような形状を持つ第３電極は、接合部材の半導体層端面方向への這い上がりをより効果的に防止することができる。なお、図７においては、ｐ電極７のみに第３電極を設けたが、本発明はこれに限らずｐ電極７とｎ電極６の双方にそれぞれ第３電極を形成させてもよい。また、本発明において用いることができるボンディングツールの形状は、図７に示すボンディングツールの形状に限定されない。

（封止樹脂）ＬＥＤチップを覆うように形成される封止樹脂は、発光ダイオードの使用用途に応じてＬＥＤチップ、ＬＥＤチップとリード電極との接合部等を保護するためのものである。封止樹脂の具体的材料としては、主としてエポキシ樹脂、ユリア樹脂、シリコーン樹脂等の耐候性に優れた透光性樹脂やガラス等が好適に用いられる。

【００３２】また、封止樹脂材に拡散剤を含有させることによってＬＥＤチップからの指向性を緩和させ視野角を増すこともできる。拡散剤の材料としては、チタン酸バリウム、酸化チタン、酸化アルミニウム、酸化珪素等が用いられる。

【００３３】

【実施例】以下、本発明の実施例について詳述するが、これのみに限定されるものではない。

［実施例１］図１に示すＬＥＤを形成した。

【００３４】まず、洗浄されたサファイア基板２のＣ面を成膜表面としてＭＯＣＶＤ法を用いて窒化物半導体を成膜した。バッファ層（本明細書には図示していない）を介して、ｎ型窒化物半導体層３、活性層（本明細書には図示していない）、ｐ型窒化物半導体層４を形成した。

【００３５】ｐ型窒化物半導体層４と接触し、その全面を被覆する全面電極５としてＮｉ／Ｐｔを５００Åの膜厚でスパッタリング法により成膜した。この全面電極５上には、ｐ電極７をＡｕ又はＰｔを使用し７０００Åの膜厚で成膜した。さらにｎ型窒化物半導体層３上にはｎ電極６としてタングステン／アルミニウムを２００Å／７０００Åの膜厚で成膜した。これによって、窒化物半導体上には同一平面側にｐ電極７及びｎ電極６を形成した。さらにｐ電極７及びｎ電極６のボンディング面を除いて、絶縁保護膜８としてSiO_2を成膜した。

【００３６】次に、形成された半導体ウェハーをダイヤモンド製の刃先を有するブレードが回転するダイシングソーにより直接フルカットするか、又は刃先幅よりも広い幅の溝を切り込んだ後（ハーフカット）、外力によって半導体ウェハーを割る。あるいは、先端のダイヤモンド針が往復直線運動するスクライバーにより半導体ウェハーに極めて細いスクライブライン（経線）を例えば基盤目状に引いた後、外力によってウェハーを割り半導体ウェハーからチップ状にカットすることでＬＥＤチップ１を形成させる。

【００３７】次に、第３電極１３の形成を図６(B)に記す通りに行った。

【００３８】基材１０は予め形成されたリード電極１１を金型内に配置させガラスエポキシ樹脂を注入硬化させることにより形成した。形成された基材１０はその上面にリード電極１１の一部が露出しており平滑面としてある。

【００３９】次に、基材１０へのＬＥＤチップ１の搭載方法は、ＬＥＤチップ１のｎ電極６及び第３電極１３に対応する位置の基材上面のリード電極部に、Ａｇペーストをスタンピングあるいはディスペンス等で供給し、Ｌ

ＥＤチップ１のｐ電極７及びｎ電極６より１０％程度大きな径で厚さが１０～３０μｍ程度のドットを形成させる。ここで、該ドットの径乃至厚さは、各電極における接合部材が接触し短絡を生じない範囲で大きい方が、硬化後の接合力、放熱性、及び導電性の観点より好ましい。次に、該ドット上にＬＥＤチップ１を適当な力で押圧しながら搭載する。その後、Ａｇペーストを加熱することにより硬化させてＬＥＤチップ１を接合する。

【００４０】さらに、封止樹脂１２を用いてチップ周辺を封止する。なお、ここで用いた封止樹脂は、シリコーン樹脂である。

【００４１】次に、以上により完成した第３電極１３を有する実施例１のＬＥＤと、第３電極１３を備えない以外は全て実施例１に記載のＬＥＤと同様に構成した図５に示す比較のためのＬＥＤを用いて、リーク発生における製造歩留まりの変化を調査した。

【００４２】まず、実施例１のＬＥＤと比較のためのＬＥＤとを、各１０００個づつ量産した。次に、それぞれに対して、８５℃、８５％という高温、高湿環境下で４０ｍＡの電流で、１０００時間の通電試験を行った。そして、その後、逆方向に５Ｖの電圧を印加し、リーク発生（２０μＡ≦漏れ電流の基準で判断した）を調査したところ、実施例１のＬＥＤは１０００個中前記したリーク発生の基準に当てはまった物は０個であったのに対して、比較のためのＬＥＤは１０００個中６個が前記した基準に当てはまった。

［実施例２］図２におけるＬＥＤは、ｐ電極７とｎ電極６の双方に第３電極１５、１４を高低差無く設けた他は、実施例１のＬＥＤと同様に構成されている。なお、第３電極１５、１４の形成は図６（Ｂ）に記す通りに行った。

［実施例３］図３におけるＬＥＤは、第３電極１６が基材に対向する側が開いた凹形状であること以外は、実施例１のＬＥＤと同様に構成されている。なお、第３電極１６の形成は図７に記す通りに行った。

［実施例４］図４におけるＬＥＤは、１７のような形状の第３電極を設けた他は、実施例１のＬＥＤと同様に構成されている。なお、第３電極１７の形成は図６（Ａ）に記す通りに行った。

【００４３】

【発明の効果】以上説明したことから明らかなように、本発明の光半導体素子によれば、ｐ電極側における接合部材のｎ型半導体層端面方向への這い上がりを効果的に防止でき、さらに、接合部材と第３電極及び基材におけるリード電極との接合面積を大きく取ることができる。また、ｐ電極とｎ電極の双方に第３電極を高低差無く設けることにより基材に対する光半導体チップの傾きを無くすこともできる。

【００４４】従って、短絡乃至リークの発生が防止され、さらに、光半導体チップと基材との接合強度を向上させることができる。また、基材に対する光半導体チップの傾きを無くすことができるので、安定した性能が得られる。これらの効果より、信頼性及び実装性に優れた光半導体素子を得ることができる。

【図面の簡単な説明】

【図１】本発明に係わる実施例１のＬＥＤの構造を示す模式的断面図である。

【図２】本発明に係わる実施例２のＬＥＤの構造を示す模式的断面図である。

【図３】本発明に係わる実施例３のＬＥＤの構造を示す模式的断面図である。

【図４】本発明に係わる実施例４のＬＥＤの構造を示す模式的断面図である。

【図５】本発明に係わるＬＥＤとの比較のために形成したＬＥＤの構造を示す模式的断面図である。

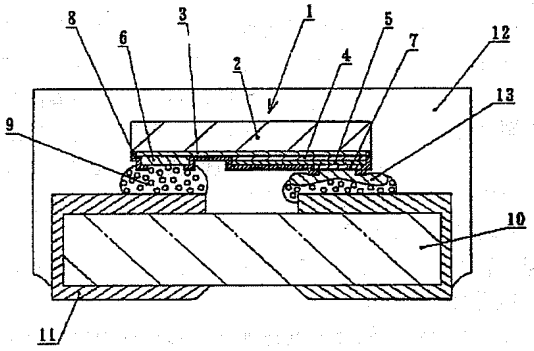
【図６】本発明に係わるＬＥＤの製造工程の一部を拡大して模式的に示した図である。

【図７】本発明に係わるＬＥＤの他の製造工程の一部を拡大して模式的に示した図である。

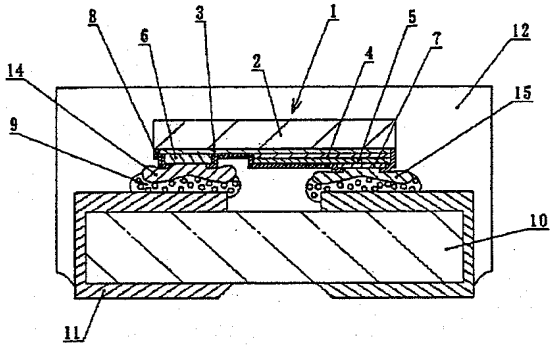
【符号の説明】

１・・・ＬＥＤチップ
２・・・サファイア基板
３・・・ｎ型窒化物半導体層
４・・・ｐ型窒化物半導体層
５・・・全面電極
６・・・ｎ電極
７・・・ｐ電極
８・・・絶縁保護膜
９・・・Ａｇペースト
１０・・・基材
１１・・・リード電極
１２・・・封止樹脂
１３、１４、１５、１６、１７・・・第３電極
１８・・・Ａｕボール
１９、２０・・・押圧片
２１・・・Ａｕ片
２２・・・ボンディングツール

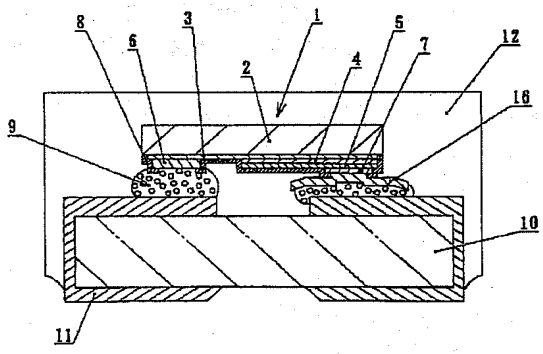
【図1】



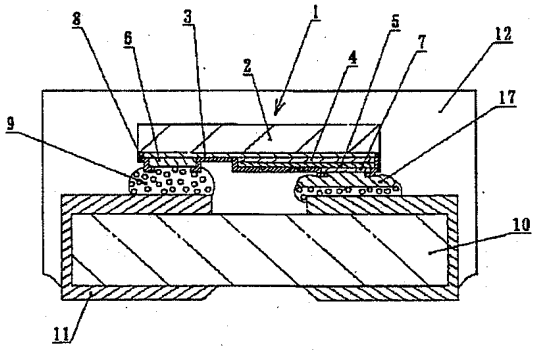
【図2】



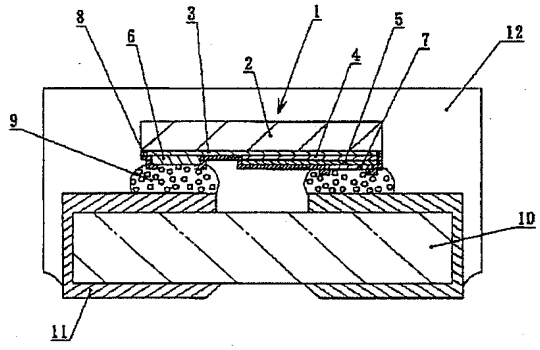
【図3】



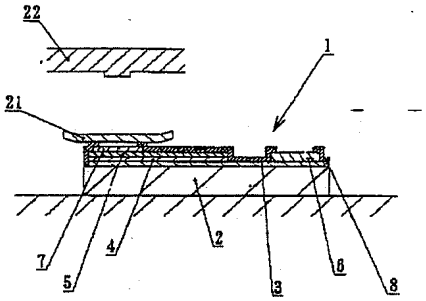
【図4】



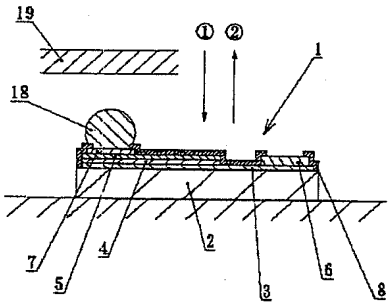
【図5】



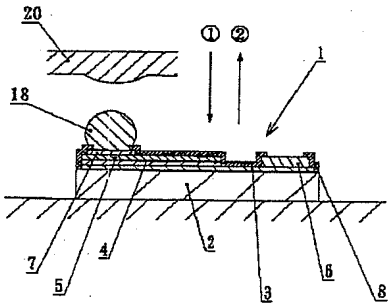
【図7】



【図６】



(A)



(B)

フロントページの続き

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ　31/10		Ｈ０１Ｌ	21/92	６０４Ｇ
			31/02	Ｂ
			31/10	Ｈ

Electronic Acknowledgement Receipt

EFS ID:	4071173
Application Number:	11662547
International Application Number:	
Confirmation Number:	8413
Title of Invention:	Semiconductor Light-Emitting Element, Manufacturing Method and Mounting Method of the Same and Light-Emitting Device
First Named Inventor/Applicant Name:	Kazushi Higashi
Customer Number:	52349
Filer:	Michael S. Huppert/Tanya Bickford
Filer Authorized By:	Michael S. Huppert
Attorney Docket Number:	2007_0415A
Receipt Date:	07-OCT-2008
Filing Date:	12-MAR-2007
Time Stamp:	14:49:30
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed (SB/08)	AttachZ1_P04008401_IDS.pdf	146007 8506addd13ac0660850fd0319f50ca8f7ea3766d	no	4

Warnings:	
Information:	

This is not an USPTO supplied IDS fillable form

The PDF file has been signed with a digital signature and the legal effect of the document will be based on the contents of the file not the digital signature.

2	NPL Documents	ATTACHZ2_P04008401_ISR.pdf	1440147 7b7ee6bc1fb8da4581ebc3d9647021687b99a2b0	no	19
Warnings:					
Information:					
3	Foreign Reference	ATTACHZBA.pdf	1458038 1d66f9dff9874bf9dd071be29454ac4115069e8e	no	26
Warnings:					
Information:					
4	Foreign Reference	ATTACHZBB.pdf	867902 736d1365453a9f3be52c7dbbb33f876440d2a6e7	no	10
Warnings:					
Information:					
		Total Files Size (in bytes):	3912094		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
11/662,547	03/12/2007	2811	1100	2007_0415A	13	4

CONFIRMATION NO. 8413

FILING RECEIPT

52349
WENDEROTH, LIND & PONACK L.L.P.
2033 K. STREET, NW
SUITE 800
WASHINGTON, DC20006

Date Mailed: 08/08/2007

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please write to the Office of Initial Patent Examination's Filing Receipt Corrections. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Kazushi Higashi, Osaka, JAPAN;
Shinji Ishitani, Hyogo, JAPAN;

Power of Attorney: The patent practitioners associated with Customer Number 52349

Domestic Priority data as claimed by applicant

This application is a 371 of PCT/JP05/17467 09/22/2005

Foreign Applications

JAPAN 2004-279049 09/27/2004

If Required, Foreign Filing License Granted: 08/04/2007

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US11/662,547**

Projected Publication Date: 11/15/2007

Non-Publication Request: No

Early Publication Request: No

Title

Semiconductor Light-Emitting Element, Manufacturing Method and Mounting Method of

the Same and Light-Emitting Device

Preliminary Class

257

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

U.S. APPLICATION NUMBER NO.	FIRST NAMED APPLICANT	ATTY. DOCKET NO.
11/662,547	Kazushi Higashi	2007_0415A

INTERNATIONAL APPLICATION NO.	
PCT/JP05/17467	
I.A. FILING DATE	PRIORITY DATE
09/22/2005	09/27/2004

52349
WENDEROTH, LIND & PONACK L.L.P.
2033 K. STREET, NW
SUITE 800
WASHINGTON, DC 20006

CONFIRMATION NO. 8413

371 ACCEPTANCE LETTER

OC000000025207291

Date Mailed: 08/08/2007

NOTICE OF ACCEPTANCE OF APPLICATION UNDER 35 U.S.C 371 AND 37 CFR 1.495

The applicant is hereby advised that the United States Patent and Trademark Office in its capacity as a Designated / Elected Office (37 CFR 1.495), has determined that the above identified international application has met the requirements of 35 U.S.C. 371, and is ACCEPTED for national patentability examination in the United States Patent and Trademark Office.

The United States Application Number assigned to the application is shown above and the relevant dates are:

03/12/2007	03/12/2007
DATE OF RECEIPT OF 35 U.S.C. 371(c)(1), (c)(2) and (c)(4) REQUIREMENTS	DATE OF COMPLETION OF ALL 35 U.S.C. 371 REQUIREMENTS

A Filing Receipt (PTO-103X) will be issued for the present application in due course. **THE DATE APPEARING ON THE FILING RECEIPT AS THE " FILING DATE" IS THE DATE ON WHICH THE LAST OF THE 35 U.S.C. 371 (c)(1), (c)(2) and (c)(4) REQUIREMENTS HAS BEEN RECEIVED IN THE OFFICE. THIS DATE IS SHOWN ABOVE.** *The filing date of the above identified application is the international filing date of the international application (Article 11(3) and 35 U.S.C. 363).* Once the Filing Receipt has been received, send all correspondence to the Group Art Unit designated thereon.

The following items have been received:

- Copy of the International Application filed on 03/12/2007
- Copy of the International Search Report filed on 03/12/2007
- Copy of IPE Report filed on 03/12/2007
- Copy of Annexes to the IPER filed on 03/12/2007
- Preliminary Amendments filed on 03/12/2007
- Information Disclosure Statements filed on 03/12/2007
- Oath or Declaration filed on 03/12/2007
- Request for Immediate Examination filed on 03/12/2007
- U.S. Basic National Fees filed on 03/12/2007
- Priority Documents filed on 03/12/2007
- Specification filed on 03/12/2007

- Claims filed on 03/12/2007
- Abstracts filed on 03/12/2007
- Drawings filed on 03/12/2007

The following defects have been observed:

- Annexes have not been entered because English Translation missing sent in 5/3/07.

Applicant is reminded that any communications to the United States Patent and Trademark Office must be mailed to the address given in the heading and include the U.S. application no. shown above (37 CFR 1.5)

PATRICIA A BOOKER
Telephone: (703) 308-9140 EXT 204

PART 3 - OFFICE COPY

FORM PCT/DO/EO/903 (371 Acceptance Notice)

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY
(Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44*bis*)

Applicant's or agent's file reference 666189	**FOR FURTHER ACTION**	See item 4 below
International application No. PCT/JP2005/017467	International filing date *(day/month/year)* 22 September 2005 (22.09.2005)	Priority date *(day/month/year)* 27 September 2004 (27.09.2004)
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 *bis*.1(a).

2. This REPORT consists of a total of 6 sheets, including this cover sheet.

   In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

☒	Box No. I	Basis of the report
☐	Box No. II	Priority
☐	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
☐	Box No. IV	Lack of unity of invention
☒	Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
☐	Box No. VI	Certain documents cited
☐	Box No. VII	Certain defects in the international application
☒	Box No. VIII	Certain observations on the international application

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44*bis*.3(c) and 93*bis*.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44*bis* .2).

	Date of issuance of this report 27 March 2007 (27.03.2007)
The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70	Authorized officer Masashi Honda e-mail: pt08.pct@wipo.int

Form PCT/IB/373 (January 2004)

特許協力条約

REC'D 15 DEC 2005
WIPO PCT

発信人　日本国特許庁（国際調査機関）

代理人
河宮　治
様

あて名
〒540-0001
日本国大阪府大阪市中央区城見１丁目３番７号ＩＭ
Ｐビル　青山特許事務所

ＰＣＴ
国際調査機関の見解書
（法施行規則第40条の2）
〔ＰＣＴ規則43の2.1〕

発送日 （日.月.年）	１３．１２．２００５
出願人又は代理人 の書類記号　666189	今後の手続きについては、下記２を参照すること。

国際出願番号	国際出願日	優先日
ＰＣＴ／ＪＰ２００５／０１７４６７	（日.月.年）　２２．０９．２００５	（日.月.年）　２７．０９．２００４

国際特許分類（ＩＰＣ）Int.Cl. ***H01L33/00*** (2006.01)

出願人（氏名又は名称）
松下電器産業株式会社

１．この見解書は次の内容を含む。

- ☑ 第Ⅰ欄　見解の基礎
- ☐ 第Ⅱ欄　優先権
- ☐ 第Ⅲ欄　新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第Ⅳ欄　発明の単一性の欠如
- ☑ 第Ⅴ欄　ＰＣＴ規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第Ⅵ欄　ある種の引用文献
- ☐ 第Ⅶ欄　国際出願の不備
- ☑ 第Ⅷ欄　国際出願に対する意見

２．今後の手続き
国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がＰＣＴ規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式ＰＣＴ／ＩＳＡ／２２０を送付した日から３月又は優先日から２２月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式ＰＣＴ／ＩＳＡ／２２０を参照すること。

３．さらなる詳細は、様式ＰＣＴ／ＩＳＡ／２２０の備考を参照すること。

見解書を作成した日
０６．１２．２００５

名称及びあて先	特許庁審査官（権限のある職員）	２Ｋ	８８２６
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	土屋　知久 電話番号　０３－３５８１－１１０１　内線　３２５５		

様式ＰＣＴ／ＩＳＡ／２３７（表紙）（２００５年４月）

IKEA Supply AG
Exhibit 1002 Page 91 of 361

国際調査機関の見解書

国際出願番号 PCT／JP2005／017467

第Ⅰ欄 見解の基礎

1．言語に関し、この見解書は以下のものに基づき作成した。

☑ 出願時の言語による国際出願

☐ 出願時の言語から国際調査のための言語である _____ 語に翻訳された、この国際出願の翻訳文（PCT規則12.3(a)及び23.1(b)）

2．この国際出願で開示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、以下に基づき見解書を作成した。

a．タイプ
- ☐ 配列表
- ☐ 配列表に関連するテーブル

b．フォーマット
- ☐ 紙形式
- ☐ 電子形式

c．提出時期
- ☐ 出願時の国際出願に含まれていたもの
- ☐ この国際出願と共に電子形式により提出されたもの
- ☐ 出願後に、調査のために、この国際調査機関に提出されたもの

3．☐ さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

4．補足意見：

様式PCT／ISA／237（第Ⅰ欄）（2005年4月）

国際調査機関の見解書

国際出願番号 PCT／JP2005／017467

第Ⅴ欄 新規性、進歩性又は産業上の利用可能性についてのＰＣＴ規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性（N）　請求の範囲 1－13 有
請求の範囲 無

進歩性（ＩＳ）　請求の範囲 有
請求の範囲 1－13 無

産業上の利用可能性（ＩＡ）　請求の範囲 1－13 有
請求の範囲 無

2. 文献及び説明

文献１：JP ２０００－１１４５９５ A（松下電子工業株式会社）２０００.０４.２１
文献２：JP ２００４－１０３９７５ A（シチズン時計株式会社）２００４.０４.０２
文献３：JP ２００２－１５１７３９ A（昭和電工株式会社）２００２.０５.２４

請求の範囲１、２、９，１０に係る発明は、文献１及び２により進歩性を有さない。すなわち、請求の範囲１、２、９，１０に係る発明と文献１（図３，５）記載の発明とは、前者が第１ｎ電極及び第２ｎ電極を設けたのに対し、後者はｎ電極を１つしか設けてないことで相違する。しかしながら、第１ｎ電極上に第１絶縁膜を設けその上に第２ｎ電極を設けることが、文献２（図１，４）に記載されており、この点を文献１記載の発明に適用することに格別の困難性が認められない。

請求の範囲３に係る発明は、文献１及び２により進歩性を有さない。すなわち、文献１記載の発明において、第２ｐ電極上に第２絶縁膜及び導電層を設けることは、単なる設計的事項である。

請求の範囲４、５に係る発明は、文献１乃至３により進歩性を有さない。すなわち、動作電流が素子全体に広がるようにｐ型電極用開口を均等に設けることは、文献３（【００３０】欄）に記載されている。また、文献３記載の発明は、動作電流が素子全体に広がるようにｐ型電極用開口を均等に設けていることから、当然各電極は略同一の大きさであると認める。

請求の範囲６－８に係る発明は、文献１、２により進歩性を有さない。すなわち、発光素子と配線基板と導電性接着材料とで発光装置を構成することは周知である。また、導電性接着材料としてはんだ、銀ペーストまたは異方性導電性樹脂を用いることは、文献２に記載されているように普通に行われていることである。

（続きあり）

IKEA Supply AG
Exhibit 1002 Page 93 of 361

第Ⅷ欄　国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲６は請求項１～３のいずれかを引用しているが、請求項６には「前記導電性接着材料層」なる用語が記載されているにも関わらず、請求項１～３には該用語が記載されておらず、該用語は何を意味しているのか不明である。

補充欄

いずれかの欄の大きさが足りない場合

第 V－2 欄の続き

請求の範囲１１－１３に係る発明は、文献１、２により進歩性を有さない。すなわち、絶縁層をスパッタリングで形成すること、電極をスパッタリングまたはメッキで形成すること、半田をリフロー処理することは、いずれも文献２に記載されている。

DO/ EO WORKSHEET

Patricia Booker
Patent Application Specialist/ National Stage Division

U.S. Appl. No. 11/662547 International Appl. No. PCT/ US2005/17461

Application filed by : ☐ 20 months ☑ 30 months

WIPO PUBLICATION INFORMATION :

Publication No.: WO2006/035664 Publication Language : ☐ English ☐ German ☐ Japanese ☐ Chinese ☐ Korean ☐ French ☐ Spanish ☐ Russian ☐ Other : _____

Publication Date : 06 Apr 2006

Not Published : ☐ U.S. only designated ☐ EP request Published : ☐ EP request

B

INTERNATIONAL APPLICATION PAPERS IN THE APPLICATION FILE :

- ☑ International Application *(RECORD COPY)*
- ☐ Article 19 Amendments
- ☑ PCT/IPEA/409 IPER : ☐ EP ☐ JP ☐ SE ☐ AU ☐ US ☐ FR ☐ CN ☐ ES ☐ RU ☐ AT ☐ KR ☐ ___
- ☐ Annexes to 409
- ☑ PCT/ISA/237 : ☐ EP ☐ JP ☐ SE ☐ AU ☐ US ☐ FR ☐ CN ☐ ES ☐ RU ☐ AT ☐ KR ☐ ___
  - ☐ PCT/IPEA/409 or PCT/ISA/237 was NOT AVAILABLE at the time of paralegal review
- ☐ PCT/IB/306
- ☐ Request form PCT/RO/101
- ☐ PCT/ISA/210 - Search Report : ☐ EP ☐ JP ☐ SE ☐ AU ☐ US ☐ FR ☐ CN ☐ ES ☐ RU ☐ AT ☐ KR ☐ ___ ☐ NONE
- ☐ Search Report References
- ☑ Priority Document (s) No. 1
  - ☐ N/A
  - ☐ Priority Document was NOT AVAILABLE at the time of paralegal review
- ☑ Other : 304,308,373

RECEIPTS FROM THE APPLICANT *(other than checked above) :*

- ☑ Basic National Fee *(or authorization to charge)*
- ☑ Description ☑ Claims ☑ Abstract 13/4
- ☑ Drawing Figure(s) - (# of drwgs. 17)
- ☐ Translation of Article 19 Amendments ☐ entered ☐ not entered :
  - ☐ not a page for page substitution
  - ☐ replaced by Article 34 Amendment
- ☑ Annexes to 409 ☐ entered ☐ not entered :
  - ☐ not a page for page substitution
  - ☑ no translation ☐ other : _____
- ☐ Application Data Sheet
- ☐ Power of Attorney
- ☐ Change of Address
- ☑ Preliminary Amendment(s) Filed on : 1. ☐ same as 371 request date 2. _____ 3. _____
- ☐ Information Disclosure Statement(s) Filed on : 1. ☐ same as 371 request date 2. _____ 3. _____
- ☐ Assignment Document (forwarded to Assignment Branch)
- ☐ Assignee Statement Under 37 CFR 3.73(b)
- ☐ Assignee PG Publication Notice
- ☐ Substitute Specification Filed on : 1. ☐ same as 371 request date 2. _____ 3. _____
- ☐ Verified Small Status Statement
- ☑ Oath/ Declaration (executed)
- ☐ Oath/ Declaration ☐ unsigned ☐ no citizenship ☐ other
- ☐ DNA Diskette ☐ Sequence Listing
- ☑ Other : Missing English to Spec

NOTES : ☐ I.A. used as Specification ☐ Other :

35 U.S.C. 371 - Receipt of Request (PTO-1390) Express processing
Date Acceptable Oath/ Declaration Received
Date of Completion of requirements under 35 U.S.C. 371
Date of Completion of DO/ EO 903 - Notification of Acceptance
Date of Completion of DO/ EO 905 - Notification of Missing Requirements
Date of Completion of DO/ EO 909 - Notification of Abandonment
Date of Completion of DO/ EO 916 - Notification of Defective Response
Date of Completion of DO/ EO 922 - Notification to Comply w/ Requirements for Patent Applications Containing Nucleotide and/or Amino Acid Sequence Disclosures
Date of Completion of DO/ EO 923

IKEA Supply AG
Exhibit 1002 Page 96 of 361

Patricia Booker

PATENT APPLICATION FEE DETERMINATION RECORD

Effective December 8, 2004

Application or Docket Number: 11-662547

CLAIMS AS FILED - PART I

	(Column 1)	(Column 2)
U.S. NATIONAL STAGE FEES		
BASIC FEE		
EXAMINATION FEE		
SEARCH FEE		
FEE FOR EXTRA SPEC. PGS.	minus 100 =	/ 50 =
TOTAL CHARGEABLE CLAIMS	13 minus 20 =	*
INDEPENDENT CLAIMS	4 minus 3 =	* 1
MULTIPLE DEPENDENT CLAIM PRESENT		☐

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE ☐	RATE	FEE	OR	OTHER THAN SMALL ENTITY	RATE	FEE
	BASIC FEE		OR		BASIC FEE	300
	EXAM. FEE				EXAM. FEE	200
	SEARCH FEE				SEARCH FEE	400
	X $ 125 =				X $ 250 =	
	X $ 25 =		OR		X $ 50 =	
	X $ 100 =		OR		X $ 200 =	200
	+ $ 180 =		OR		+ $ 360 =	
	TOTAL		OR		TOTAL	1100

CLAIMS AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

SMALL ENTITY	RATE	ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY	RATE	ADDITIONAL FEE
	X $ 25 =		OR		X $ 50 =	
	X $ 100 =		OR		X $ 200 =	
	+ $ 180 =		OR		+ $ 360 =	
	TOTAL ADDIT. FEE		OR		TOTAL ADDIT. FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total	*	Minus	**	=
Independent	*	Minus	***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐				

	RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
	X $ 25 =		OR	X $ 50 =	
	X $ 100 =		OR	X $ 200 =	
	+ $ 180 =		OR	+ $ 360 =	
	TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than '20', enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than '3', enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

FORM PTO-875 (Rev. 02/2005)

Patent and Trademark Office - U.S. DEPARTMENT OF COMMERCE

Patricia Booker

MULTIPLE DEPENDENT CLAIM FEE CALCULATION SHEET

(FOR USE WITH FORM PTO-875)

SERIAL NO. 11/662547

FILING DATE

APPLICANT(S)

CLAIMS

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
1			1			
2			1			
3				1		
4				1		
5				1		
6				1		
7				1		
8				1		
9			1			
10			1			
11				1		
12				1		
13				1		
14						
15						
16						
17						
18						
19						
20						
21						
22						
23						
24						
25						
26						
27						
28						
29						
30						
31						
32						
33						
34						
35						
36						
37						
38						
39						
40						
41						
42						
43						
44						
45						
46						
47						
48						
49						
50						
TOTAL IND.		⬇	4	⬇		⬇
TOTAL DEP.		⬅	9	⬅		⬅
TOTAL CLAIMS			13			

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
51						
52						
53						
54						
55						
56						
57						
58						
59						
60						
61						
62						
63						
64						
65						
66						
67						
68						
69						
70						
71						
72						
73						
74						
75						
76						
77						
78						
79						
80						
81						
82						
83						
84						
85						
86						
87						
88						
89						
90						
91						
92						
93						
94						
95						
96						
97						
98						
99						
100						
TOTAL IND.		⬇		⬇		⬇
TOTAL DEP.		⬅		⬅		⬅
TOTAL CLAIMS						

PTO - 1360 (REV. 11/04)

U.S. DEPARTMENT of COMMERCE
Patent and Trademark Office

IFW

OIPE
MAY 03 2007
PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :

Kazushi HIGASHI et al. : **Mail Stop: PCT**

Serial No. 11/662,547 : Attorney Docket No. 2007_0415A

Filed March 12, 2007 :

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to the provisions of 37 CFR 1.56, 1.97 and 1.98, Applicants request consideration of the references listed on attached form PTO-1449 and any additional information identified below in paragraph 3. A legible copy of each reference listed on the Form PTO-1449 is enclosed, except a copy is not provided for:

[X] each U.S. Patent and U.S. Patent application publication;

[] each reference previously cited in the international application PCT/_____; and/or

[] each reference previously cited in prior parent application Serial No. _____.

1a. [X] This Information Disclosure Statement is submitted:

within three months of the filing date (or of entry into the National Stage) of the above-entitled application, **or**

before the mailing of a first Office Action on the merits or the mailing of a first Office Action after the filing of an RCE,

and thus no certification and/or fee is required.

1b. [] This Information Disclosure Statement is submitted

after the events of above paragraph 1a and prior to the mailing date of a final Office Action or a Notice of Allowance or an action which otherwise closes prosecution in the application, and thus:

(1) [] the certification of paragraph 2 below is provided, **or**

(2) [] the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

1c. [] This Information Disclosure Statement is submitted:

after the mailing date of a final Office Action or Notice of Allowance or action which otherwise closes prosecution in the application, and prior to payment of the issue fee, and thus:

the certification of paragraph 2 below is provided, and

the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

2. It is hereby certified

a. [] that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Statement, or

b. [] that no item of information contained in the Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the person signing the certification after making reasonable inquiry, was known to any individual designated in §1.56(c) more than three months prior to the filing of the Statement.

3. [] Consideration of the following list of additional information (including any copending or abandoned U.S. application, prior uses and/or sales, etc.) is requested.

4. For each non-English language reference listed on the attached form PTO-1449, reference is made to:

   a. [] a full or partial English language translation submitted herewith,

   b. [] a foreign patent office search report (in the English language) submitted herewith,

   c. [] the concise explanation contained in the specification of the present application at page,

   d. [X] the concise explanation set forth in the attached English language abstract,

   e. [] the concise explanation set forth below or on a separate sheet attached to the reference:

5. [] A foreign patent office search report citing one or more of the references is enclosed.

Respectfully submitted,

Kazushi HIGASHI et al.

By _____

Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
May 3, 2007

Sheet 1 of 1

INFORMATION DISCLOSURE STATEMENT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: May 3, 2007

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	11/862,547
APPLICANT	
Kazushi HIGASHI et al.	
FILING DATE	**GROUP**
March 12, 2007	

OIPE
MAY 03 2007
PATENT & TRADEMARK OFFICE
IAP2

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
	AA	7,095,061	8/2006	Steigerwald et al.			
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
	AJ	2002-57374	2/2002	JP			Abstract	
	AK	2003-303992	10/2003	JP			Abstract	
	AL	6-177434	6/1994	JP			Abstract	
	AM	11-340514	12/1999	JP			Abstract	
	AN	2004-80050	3/2004	JP			Abstract	
	AO	11-204830	7/1999	JP			Abstract	

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	AP	
	AQ	

EXAMINER	DATE CONSIDERED

**EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy this form with next communication to applicant.*

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057374
(43)Date of publication of application : 22.02.2002

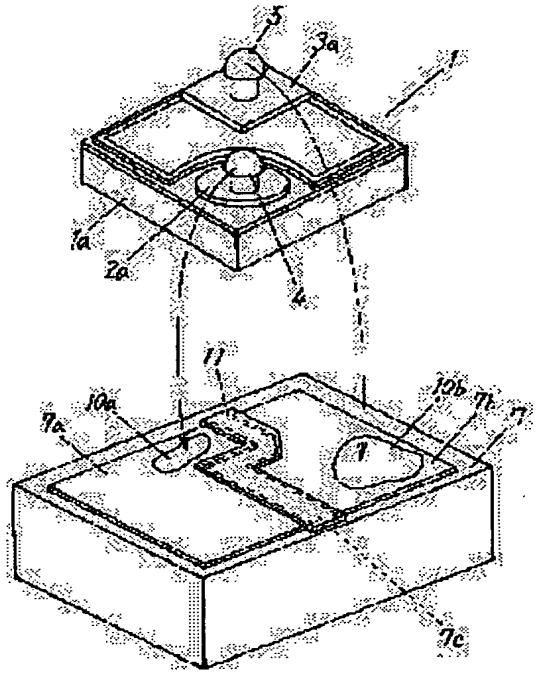
(51)Int.Cl. H01L 33/00

(21)Application number : 2000-239708
(22)Date of filing : 08.08.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : MURATA HIROSHI
SANADA KENICHI

(54) SEMICONDUCTOR LIGHT-EMITTING DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To prevent occurrence of a short with no interference between conductive bonds when a light-emitting element is mounted and fixed on a substrate and a lead frame using the conductive bond.
SOLUTION: A flip chip semiconductor light-emitting element 1 is mounted on a mounting surface, and a side opposite to the mounting surface side is taken as a main light take-out surface with continuity through the electrodes on a p-side and an n-side of the semiconductor light-emitting element 1. Conductive bonds 10a and 10b are applied on the mounting surface as separate spots for bonding the electrodes on the p-side and the n-side or micro bumps 4 and 5 formed to them. An insulating spacer resin 11 is so provided as to run between the applied points of the conductive bonds 10a and 10b for blocking interference between them.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－57374
（P2002－57374A）
(43)公開日　平成14年２月22日(2002.2.22)

(51)Int.Cl.'	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｎ　５Ｆ０４１ Ｃ

審査請求　未請求　請求項の数３　ＯＬ　（全　６　頁）

(21)出願番号　特願2000－239708(P2000－239708)

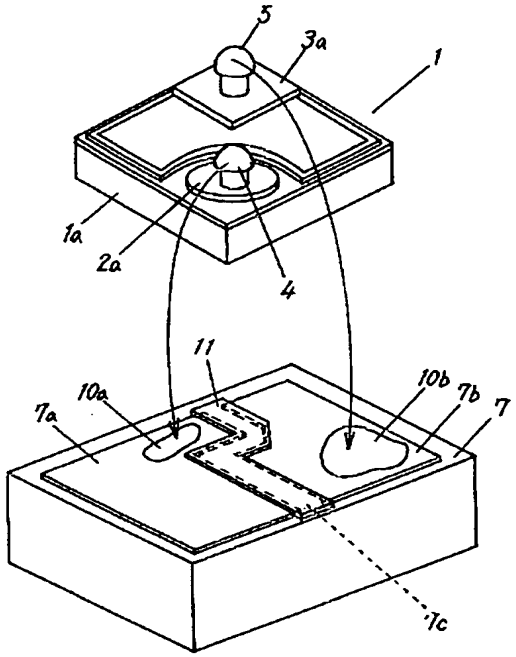
(22)出願日　平成12年８月８日(2000.8.8)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者　村田　博志
鹿児島県日置郡伊集院町大字徳重字前田平1786番地の６　鹿児島松下電子株式会社内
(72)発明者　真田　研一
鹿児島県日置郡伊集院町大字徳重字前田平1786番地の６　鹿児島松下電子株式会社内
(74)代理人　100097445
弁理士　岩橋　文雄　（外２名）

Ｆターム(参考)　5F041 AA25 CA40 CB33 DA01 DA09

(54)【発明の名称】　半導体発光装置

(57)【要約】
【課題】　発光素子を導電性接着剤によって基板やリードフレームに搭載固定するに際して、導電性接着剤どうしの干渉がなく短絡の発生を防止すること。
【解決手段】　搭載面にフリップチップ型の半導体発光素子１を搭載するとともに、この半導体発光素子１のｐ側及びｎ側の電極を介して導通させ且つ搭載面側と反対側を主光取出し面とした半導体発光装置において、搭載面に、ｐ側及びｎ側の電極またはこれに形成したマイクロバンプ４，５を接着するための導電性接着剤１０ａ，１０ｂを相互に独立してスポット的に塗布し、これらの導電性接着剤１０ａ，１０ｂの塗布点どうしの間を巡る配置であって相互の干渉を阻止する絶縁性のスペーサ樹脂１１を設ける。



IKEA Supply AG
Exhibit 1002 Page 104 of 361

【特許請求の範囲】
【請求項１】　基板またはリードフレーム等の基材の搭載面にフリップチップ型の半導体発光素子を搭載するとともに、この半導体発光素子をそのｐ側及びｎ側の電極に導通させ、前記半導体発光素子の搭載面側と反対側を主光取出し面とした半導体発光装置において、前記搭載面に、前記ｐ側及びｎ側の電極を接着するための導電性接着剤を相互に独立してスポット的に塗布し、これらの導電性接着剤の塗布点どうしの間を巡る配置であって相互の干渉を阻止する絶縁性のスペーサ樹脂を形成してなる半導体発光装置。
【請求項２】　前記ｐ側及びｎ側の電極にマイクロバンプを一体化して形成し、前記マイクロバンプを含めて前記導電性接着剤により前記基材に接合してなる請求項１記載の半導体発光装置。
【請求項３】　スペーサ樹脂は、フッ素系樹脂としてなる請求項１または２記載の半導体発光装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、たとえば青色発光ダイオード等の光デバイスに利用される窒化ガリウム系化合物を利用したフリップチップ型の半導体発光装置に係り、特に発光素子をその搭載面に搭載したときに接着用の導電性接着剤による短絡の防止がないようにした半導体発光装置に関する。
【０００２】
【従来の技術】ＧａＮ，ＧａＡｌＮ，ＩｎＧａＮ及びＩｎＡｌＧａＮ等の窒化ガリウム系化合物の半導体の製造では、その表面において半導体膜を成長させるための結晶基板として、一般的には絶縁性のサファイアが利用される。このサファイアのような絶縁性の結晶基板を用いる場合では、結晶基板側から電極を出すことができないので、半導体層に設けるｐ，ｎの電極は結晶基板と対向する側の一面に形成されることになる。
【０００３】たとえば、ＧａＮ系化合物半導体を利用した発光素子は、絶縁性の基板としてサファイア基板を用いてその上面にｎ型層及びｐ型層を有機金属気相成長法によって積層形成し、ｐ型層の一部をエッチングしてｎ型層を露出させ、これらのｎ型層とｐ型層のそれぞれにｎ側電極及びｐ側電極を形成するというものがその基本的な構成である。そして、ｐ側電極を透明電極とした場合であれば、これらのｐ側及びｎ側の電極にそれぞれボンディングパッド部を形成して、リードフレームや基板にそれぞれワイヤボンディングされる。
【０００４】一方、サファイア基板側から光を取り出すようにしたフリップチップ型の半導体発光素子では、ｐ側電極を透明電極としないままでこのｐ側及びｎ側の電極のそれぞれにマイクロバンプを形成し、これらのマイクロバンプを基板またはリードフレームのｐ側及びｎ側に接続する構成が採用されている。
【０００５】図５はフリップチップ型の半導体発光素子を利用したＬＥＤランプの概略を示す縦断面図である。
【０００６】図において、発光素子１は、絶縁性の透明なサファイア基板１ａの表面に、たとえばＧａＮバッファ層，ｎ型ＧａＮ層，ＩｎＧａＮ活性層，ｐ型ＡｌＧａＮ層及びｐ型ＧａＮ層を順に積層し、ＩｎＧａＮ活性層を発光層としたものである。そして、ｎ型ＧａＮ層の上面にｎ側電極２が、及びｐ型ＧａＮ層の上面にはｐ側電極３がそれぞれ蒸着法によって形成され、更にこれらのｎ側電極２及びｐ側電極３の上にはそれぞれマイクロバンプ４，５を形成している。
【０００７】発光素子１を搭載するリードフレーム６のマウント部６ａには、発光素子１に外部から静電気が印加されないようにしてその破壊を防止するために、静電気保護素子としてツェナーダイオード７を設ける。このツェナーダイオード７は、導電性のＡｇペースト８によってマウント部６ａに接着固定され、その上面にはｐ側及びｎ側の電極７ａ，７ｂをそれぞれ形成したものである。
【０００８】発光素子１は、サファイア基板１ａが上面を向く姿勢としてツェナーダイオード７の上に搭載され、ｎ側及びｐ側のマイクロバンプ４，５をそれぞれツェナーダイオード７の電極７ａ，７ｂに接合することによって電気的に導通させる。そして、リードフレーム６の上端部を含めて発光素子１の全体がエポキシ樹脂９によって封止され、図示の形状のＬＥＤランプが構成される。
【０００９】発光素子１への通電があるときには、半導体積層膜中のＩｎＧａＮ活性層が発光層となり、この発光層からの光がサファイア基板１ａ及びｐ側電極３の両方向へ向かう。そして、ｐ側電極３を光透過しない反射型の積層膜としておくことにより、サファイア基板１ａの上面からの発光輝度を最大としてこの面を主光取出し面とすることができる。
【００１０】このようなツェナーダイオード７への発光素子１の搭載においては、マイクロバンプ４，５と電極７ａ，７ｂとを導通させることが必要であり、たとえば加熱圧着法や接着剤を利用した接合が行われる。
【００１１】図示の例は、Ａｇペースト等を利用した導電性接着剤を使用したものであり、電極７ａ，７ｂの上面にはマイクロバンプ４，５の位置に対応する２個所に予め導電性接着剤１０ａ，１０ｂを塗布しておき、これらの上にマイクロバンプ４，５を重合させることにより、発光素子１をツェナーダイオード７の上面に固定して電気的に導通させることができる。
【００１２】
【発明が解決しようとする課題】ところが、導電性接着剤１０ａ，１０ｂは硬化するまでは或る程度の流動性を持つので、電極７ａ，７ｂのそれぞれに分離した状態で塗布していても、発光素子１を載せて固定するときにこ

れらの二つの領域の導電性接着剤１０ａ，１０ｂどうしが互いに接触する恐れがある。

【００１３】すなわち、発光素子１のツェナーダイオード７へのマウントの際には、マイクロバンプ４，５がそれぞれ導電性接着剤１０ａ，１０ｂの層の中に圧入されるので、これらの導電性接着剤１０ａ，１０ｂは圧縮されると同時に押し広げられるように変形する。このような変形が過度になると、互いに干渉しあって導電性接着剤１０ａ，１０ｂどうしが接触し、短絡を引き起こしてしまう。

【００１４】また、発光素子１を搭載するときに、ツェナーダイオード７に対して高い精度で直交する向きの搭載方向であれば、導電性接着剤１０ａ，１０ｂを圧縮する向きの力が作用するだけとなり、その変形量は小さく抑えることができる。しかしながら、発光素子１が斜め方向に載る向きであったり、搭載した後に何らかの原因で位置ずれしたりすると、導電性接着剤１０ａ，１０ｂがこれに伴って大きく変形する可能性が高い。そして、このような変形の場合でも、同様に導電性接着剤１０ａ，１０ｂどうしの接触を招き、短絡を発生することになる。

【００１５】このように、フリップチップ型の発光素子１を導電性接着剤１０ａ，１０ｂによってツェナーダイオード７に固定するものでは、発光素子１の搭載の際に導電性接着剤１０ａ，１０ｂの変形による短絡が頻発する。そして、ツェナーダイオード７への搭載だけでなく、たとえばリードフレームや基板等に発光素子１を搭載して導電性接着剤によって固定する場合でも、同様の問題がある。

【００１６】本発明において解決すべき課題は、発光素子のマイクロバンプを導電性接着剤によって基板やリードフレームに搭載固定するに際して導電性接着剤どうしの干渉がなく短絡の発生を防止できるアセンブリを可能とすることにある。

【００１７】

【課題を解決するための手段】本発明は、基板またはリードフレーム等の基材の搭載面にフリップチップ型の半導体発光素子を搭載するとともに、この半導体発光素子をそのｐ側及びｎ側の電極に導通させ、前記半導体発光素子の搭載面側と反対側を主光取出し面とした半導体発光装置において、前記搭載面に、前記ｐ側及びｎ側の電極を接着するための導電性接着剤を相互に独立してスポット的に塗布し、これらの導電性接着剤の塗布点どうしの間を巡る配置であって相互の干渉を阻止する絶縁性のスペーサ樹脂を形成してなることを特徴とする。

【００１８】この構成であれば、発光素子を基材の搭載面に載せたときに導電性接着剤が押し広げられるように変形しても、導電性接着剤の塗布点の間には絶縁性のスペーサ樹脂が介在しているので、導電性接着剤どうしが接触することはなく、短絡が防止される。

【００１９】

【発明の実施の形態】請求項１に記載の発明は、基板またはリードフレーム等の基材の搭載面にフリップチップ型の半導体発光素子を搭載するとともに、この半導体発光素子をそのｐ側及びｎ側の電極に導通させ、前記半導体発光素子の搭載面側と反対側を主光取出し面とした半導体発光装置において、前記搭載面に、前記ｐ側及びｎ側の電極を接着するための導電性接着剤を相互に独立してスポット的に塗布し、これらの導電性接着剤の塗布点どうしの間を巡る配置であって相互の干渉を阻止する絶縁性のスペーサ樹脂を形成してなるものであり、導電性接着剤の塗布点の間に絶縁性のスペーサ樹脂が介在することにより、導電性接着剤どうしが接触することはなく、短絡を防止するという作用を有する。

【００２０】請求項２に記載の発明は、前記ｐ側及びｎ側の電極にマイクロバンプを一体化して形成し、前記マイクロバンプを含めて前記導電性接着剤により前記基材に接合したものであり、半導体発光素子のｐ側及びｎ側にマイクロバンプを形成したものでも、スペーサ樹脂によって導電性接着剤どうしの接触が防止される。そして、マイクロバンプを備えることで、ｐ側及びｎ側電極と基材側との間隔を広げることができ、短絡をより効果的に防止できるという作用を有する。

【００２１】請求項３に記載の発明は、スペーサ樹脂は、フッ素系樹脂としてなるものであり、フッ素系樹脂の撥水性によって導電性接着剤を撥ねのけて相互の干渉を防止するという作用を有する。

【００２２】以下に、本発明の実施の形態の具体例を図面を参照しながら説明する。

【００２３】図１は本発明の一実施の形態による半導体発光装置の要部を分解して示す発光素子とツェナーダイオードの概略図である。なお、発光素子及びツェナーダイオードは図５に示したものと同じ形態のものであり、同一部材については共通の符号で指示し、その詳細な説明は省略する。

【００２４】発光素子１は、その主光取出し面と反対側の面にｎ側電極パッド２ａ及びｐ側電極パッド３ａを対角線方向に配列し、これらのそれぞれにマイクロバンプ４，５がそれぞれワイヤによるスタッドバンプ方式により形成されている。

【００２５】ツェナーダイオード７は、その上面にｐ側電極７ａ及びｎ側電極７ｂをそれぞれスリット７ｃを挟んで区分けして形成したものである。そして、これらのｐ側及びｎ側の電極７ａ，７ｂの表面には、マイクロバンプ４，５の位置に対応する領域にたとえばＡｇペースト等を利用した導電性接着剤１０ａ，１０ｂがそれぞれ塗布される。そして、スリット７ｃに沿う領域には、ｐ側及びｎ側電極７ａ，７ｂの境界線のように絶縁性のスペーサ樹脂１１を形成する。

【００２６】スペーサ樹脂１１は撥水性のあるフッ素系

樹脂であり、ツェナーダイオード７を作製するときにウェーハの状態でパターニングしておけば、図示の形状となるように形成することができる。そして、このパターニングでは、スペーサ樹脂１１はスリット７ｃの全体に没するとともに、図２の平面図に示すように、スリット７ｃに沿うｐ側及びｎ側の電極７ａ，７ｂの表面に被さる程度の肉厚であって、導電性接着剤１０ａ，１０ｂよりも厚くすることが好ましい。

【００２７】図３はツェナーダイオード７の上に発光素子１を搭載して固定した状態を示す概略図である。

【００２８】発光素子１のｎ側及びｐ側のマイクロバンプ４，５はそれぞれツェナーダイオード７のｐ側及びｎ側の電極７ａ，７ｂの上に搭載され、これらの電極７ａ，７ｂに塗布した導電性接着剤１０ａ，１０ｂの中に没入している。このとき、発光素子１のｎ側及びｐ側電極パッド２ａ，３ａも同時に導電性接着剤１０ａ，１０ｂに被さって接合され、これによりｎ側及びｐ側の電極パッド２ａ，３ａとそれぞれのマイクロバンプ４，５とが電極７ａ，７ｂに接触し、発光素子１とツェナーダイオード７とが導通する。

【００２９】発光素子１を搭載するときには、従来技術の項で説明したように、導電性接着剤１０ａ，１０ｂが押し広げられてそれぞれが接近する方向に変形する。これに対し、スペーサ樹脂１１がこれらの導電性接着剤１０ａ，１０ｂとの間に介在しているので、導電性接着剤１０ａ，１０ｂの変形に干渉する。したがって、導電性接着剤１０ａ，１０ｂの変形はスペーサ樹脂１１によって阻止されて互いに接触することが防止され、短絡の発生はなくなる。

【００３０】スペーサ樹脂１１をフッ素系の樹脂とした場合では撥水性が大きいので、導電性接着剤１０ａ，１０ｂが大きく膨らむように変形しても、撥水性によって変形分を撥ねることができる。したがって、導電性接着剤１０ａ，１０ｂどうしの接触をより一層効果的に防止することができる。

【００３１】また、スペーサ樹脂１１を設けることによって、導電性接着剤１０ａ，１０ｂの塗布位置がずれたり塗布量が多すぎたりしても、相互の干渉を避けることができる。したがって、導電性接着剤１０ａ，１０ｂの塗布位置の精度や塗布量を厳しく制限するアセンブリは不要となり、加工も容易化が図られる。

【００３２】更に、図示の例では、導電性接着剤１０ａ，１０ｂをｐ側及びｎ側の電極７ａ，７ｂに別けて２個所に塗布しているが、これに代えてウェーハ製作の段階で予め形成されているスペーサ樹脂１１の表面に重ね合わせて塗布するようにしてもよい。この場合、発光素子１を搭載し圧着するときに、スペーサ樹脂１１がその肉厚方向に少し圧縮変形するようなツェナーダイオード７との間の間隔のアセンブリとしておけば、圧着によってスペーサ樹脂１１上の導電性樹脂はｐ側及びｎ側の電極７ａ，７ｂ方向に押し出される。そして、スペーサ樹脂１１の表面に導電性樹脂が残ったとしても、その層厚が極めて薄かったり微小に点在する分布となるので、電気的な導通には十分ではなく、これにより短絡を防止できる。

【００３３】図４はマイクロバンプ４，５を形成しないでｎ側電極パッド２ａ及びｐ側電極パッド３ａを導電性接着剤１０ａ，１０ｂによってツェナーダイオード７のｐ側及びｎ側の電極７ａ，７ｂに直に接着した例を示す要部の縦断面図である。

【００３４】この例は、マイクロバンプ４，５を形成しない点が先の例と相違するのみであり、その他の構成は同じである。なお、同じ部材については図１～図３で示したものと共通の符号で指示している。

【００３５】マイクロバンプ４，５を形成しないでも、導電性接着剤１０ａ，１０ｂを適当な厚さに形成しておけば、半導体発光素子１側とツェナーダイオード７側との不要な短絡がないアセンブリとすることができる。そして、先の例と同様に、スペーサ樹脂１１を導電性接着剤１０ａ，１０ｂの間に介在させることによって、ｐ側とｎ側との短絡が確実に防止される。

【００３６】なお、以上の実施の形態では、発光素子をツェナーダイオードに搭載する例を示したが、リードフレームや基板に搭載する場合でも本発明が適用できることは無論である。

【００３７】

【発明の効果】請求項１及び２の発明では、導電性接着剤の塗布点の間に絶縁性のスペーサ樹脂が介在しているので、発光素子をその搭載面に載せたときに導電性接着剤の塗布領域が膨らむように押し広げられても、スペーサ樹脂がこれに干渉して相互の接触を防ぐことができ、短絡を確実に防止することができる。また、導電性接着剤の塗布点の位置や塗布量を厳しく管理しないでも、短絡の防止が可能なので、アセンブリの容易化が図られる。

【００３８】請求項３の発明では、フッ素系樹脂をスペーサ樹脂として利用することにより、その撥水性によって導電性接着剤を撥ねのけることができるので、短絡をより一層効果的に防止できる。

【図面の簡単な説明】

【図１】本発明の一実施の形態を示す図であって、発光素子とツェナーダイオードを分解して示す概略図

【図２】スペーサ樹脂及び導電性接着剤の分布を示すツェナーダイオードの平面図

【図３】ツェナーダイオードに発光素子を搭載したときのスペーサ樹脂及び導電性樹脂の関係を示す正面図

【図４】半導体発光素子のｐ側及びｎ側の電極にマイクロバンプを形成せずに直に電極を導電性接着剤で接合する例を示す要部の縦断面図

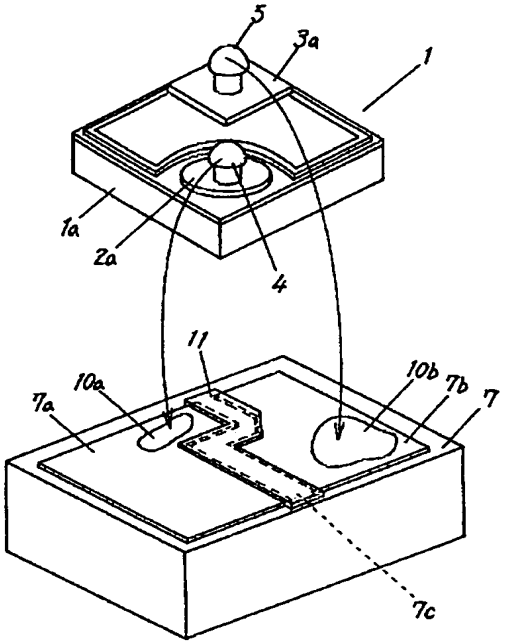
【図５】従来のフリップチップ型の発光素子を備えたし

ＥＤランプの概略縦断面図

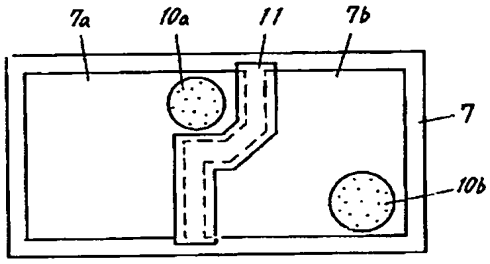
【符号の説明】

1　発光素子
1ａ　サファイア基板
2　ｎ側電極
2ａ　ｎ側電極パッド
3　ｐ側電極
3ａ　ｐ側電極パッド
4，5　マイクロバンプ
6　リードフレーム
6ａ　マウント部
7　ツェナーダイオード
7ａ，7ｂ　電極
8　Ａｇペースト
9　エポキシ樹脂
10ａ，10ｂ　導電性接着剤
11　スペーサ樹脂

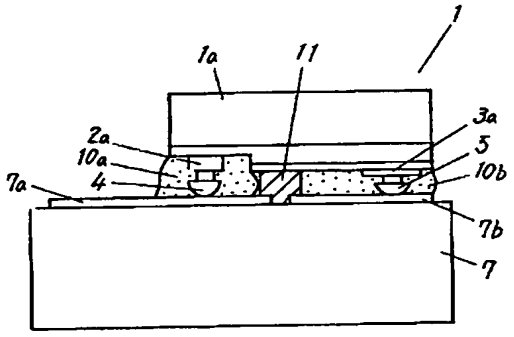
【図1】



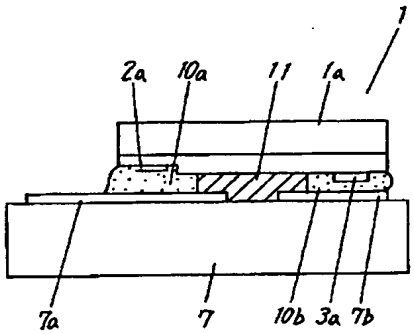
【図2】



【図3】

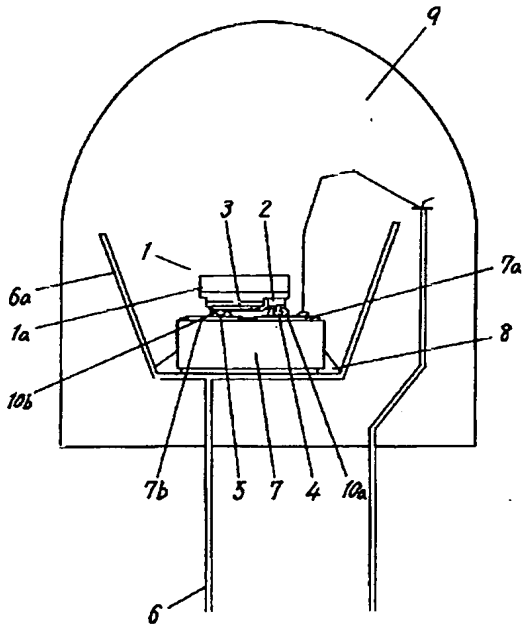


【図4】



IKEA Supply AG
Exhibit 1002 Page 108 of 361

【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-303992
(43)Date of publication of application : 24.10.2003

(51)Int.Cl. H01L 33/00

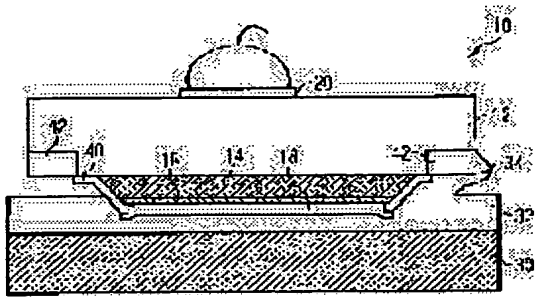
(21)Application number : 2003-091015
(22)Date of filing : 28.03.2003

(71)Applicant : OSRAM OPTO SEMICONDUCTORS GMBH
(72)Inventor : HAERLE VOLKER DR
EISERT DOMINIK

(30)Priority
Priority number : 2002 10214210 Priority date : 28.03.2002 Priority country : DE

(54) LIGHT-EMITTING DIODE CHIP TO BE FLIP - CHIP - MOUNTED ON SUPPORT BODY, AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:
PROBLEM TO BE SOLVED: To prevent generation of a parasitic current circuit between a solder and a base body at conducting the flip - chip - mounting of a light-emitting diode chip.
SOLUTION: This light-emitting diode chip is provided with a conductive base body (12), a semiconductor body (14), and a contact (18), wherein a support body is covered with solder or a solder layer is formed on contact. At performing of the flip - chip - mounting of the light-emitting diode chip, the exposed faces of the semiconductor body (14) and the base body (12) are electrically insulated from the support body (30) by providing insulating materials (40, 42, 44, 46, and 48) on the chip to perform the flip - chip - mounting of the light-emitting diode chip on the support body.



LEGAL STATUS

[Date of request for examination] 08.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－303992
（Ｐ2003－303992Ａ）
(43)公開日　平成15年10月24日（2003.10.24）

(51)Int.Cl.⁷	識別記号	ＦＩ	テーマコード（参考）
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ａ　５Ｆ０４１ Ｎ

審査請求　未請求　請求項の数33　ＯＬ　（全　８　頁）

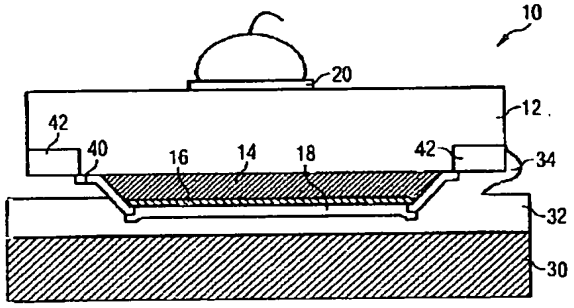
(21)出願番号　特願2003－91015（Ｐ2003－91015）
(22)出願日　平成15年３月28日（2003.3.28）
(31)優先権主張番号　１０２１４２１０．６
(32)優先日　平成14年３月28日（2002.3.28）
(33)優先権主張国　ドイツ（ＤＥ）

(71)出願人　599133716
オスラム　オプト　セミコンダクターズ　ゲゼルシャフト　ミット　ベシュレンクテル　ハフツング
Ｏｓｒａｍ　Ｏｐｔｏ　Ｓｅｍｉｋｏｎｄｕｃｔｏｒｓ　ＧｍｂＨ
ドイツ連邦共和国　レーゲンスブルク　ヴェルナーヴェルクシュトラーセ　２
(74)代理人　100061815
弁理士　矢野　敏雄　（外４名）

最終頁に続く

(54)【発明の名称】　支持体上にフリップーチップーマウンティングするための発光ダイオードチップ及びその製造方法

(57)【要約】
【課題】　発光ダイオードチップのフリップーチップーマウンティングの際に、ハンダと基体との間に寄生電流回路が生じることを回避する。
【解決手段】　導電性基体（１２）と、半導体ボディ（１４）と、コンタクト（１８）とを備え、かつ支持体がハンダで覆われているか又はコンタクト上にハンダ層が設けられている発光ダイオードチップにおいて、チップのフリップーチップーマウンティング時に半導体ボディ（１４）及び基体（１２）の露出面を支持体（３０）から電気的に絶縁するために、チップ上に絶縁材料（４０，４２，４４，４６，４８）が設けられていることを特徴とする、支持体上にフリップーチップーマウンティングするための発光ダイオードチップ。



【特許請求の範囲】

【請求項１】　ハンダで覆われた支持体上にフリップーチップーマウンティングするための発光ダイオードチップであって、前記のチップは、導電性基体（１２）と光子を発光する活性区域を有し、かつ下面で前記の基体（１２）と結合している半導体ボディ（１４）と、チップのフリップーチップーマウンティング時にハンダで覆われた支持体（３０，３２）と導電性の接続を製造するための、半導体ボディ（１４）の上面に配置されたコンタクト（１８）とを備えた形式のものにおいて、チップのフリップーチップーマウンティング時に半導体ボディ（１４）及び基体（１２）の露出面をハンダで覆われた支持体（３０，３２）から電気的に絶縁するために、チップ上に絶縁材料（４０，４２，４４，４６，４８）が設けられていることを特徴とする、ハンダで覆われた支持体上にフリップーチップーマウンティングするための発光ダイオードチップ。

【請求項２】　支持体上にフリップーチップーマウンティングするための発光ダイオードチップであって、前記のチップは、導電性基体（１２）と光子を発光する活性区域を有し、かつ下面で前記の基体（１２）と結合している半導体ボディ（１４）と、チップのフリップーチップーマウンティング時に支持体（３０）と導電性の接続を製造するための、半導体ボディ（１４）の上面に配置されたコンタクト（１８）とを備えた形式のものにおいて、前記のコンタクト上にハンダ層が設けられており、かつチップのフリップーチップーマウンティング時に半導体ボディ（１４）及び基体（１２）の露出面を前記のハンダ層から電気的に絶縁するために、チップ上に絶縁材料（４０，４２，４４，４６，４８）が設けられていることを特徴とする、支持体上にフリップーチップーマウンティングするための発光ダイオードチップ。

【請求項３】　絶縁材料が、半導体ボディ（１４）の露出面を覆う不動態層（４０）を有する、請求項１又は２記載の発光ダイオードチップ。

【請求項４】　絶縁材料が、導電性基体（１２）の露出表面の一部を覆う不動態層（４０）を有する、請求項３記載の発光ダイオードチップ。

【請求項５】　絶縁材料がさらに基体（１２）の表面に近い部分領域（４２）有し、この部分領域内で基体（１２）の導電性が低下されている、請求項３又は４記載の発光ダイオードチップ。

【請求項６】　基体（１２）の表面付近の部分領域（４２）の導電性はイオン注入により低下されている、請求項５記載の発光ダイオードチップ。

【請求項７】　導電性は水素イオン又は酸素イオンのイオン注入により低下されている、請求項６記載の発光ダイオードチップ。

【請求項８】　基体（１２）の表面付近の部分領域（４２）の導電性は酸素の拡散侵入により低下されている、請求項５記載の発光ダイオードチップ。

【請求項９】　絶縁材料は、チップのフリップーチップーマウンティング時に基体（１２）と支持体（３０）との間の中間空間を充填するために不動態層（４０）及び基体（１２）上に設けられた絶縁性の充填層（４４）を有する、請求項３又は４記載の発光ダイオードチップ。

【請求項１０】　絶縁性の充填層（４４）が弾性ポリマーを有する、請求項９記載の発光ダイオードチップ。

【請求項１１】　絶縁性の充填層（４４）がポリイミドを有する、請求項９又は１０記載の発光ダイオードチップ。

【請求項１２】　半導体ボディ（１４）の上面で同じ高さを有するために、絶縁性の充填層（４４）は平坦化されている、請求項９から１１までのいずれか１項記載の発光ダイオードチップ。

【請求項１３】　絶縁材料が、さらに、薄い絶縁性の分子層（４６）を有し、この分子層は基体（１２）のほぼ全体の露出表面を覆っている、請求項３又は４記載の発光ダイオードチップ。

【請求項１４】　絶縁性の分子層（４６）は２つの官能基を有する分子を有し、この基の一方は基板（１２）に付着し、他方は表面を遮閉する、請求項１３記載の発光ダイオードチップ。

【請求項１５】　分子層（４６）はアルキルクロロシラン、有利にフッ素化されたアルキルクロロシランを有する、請求項１３又は１４記載の発光ダイオードチップ。

【請求項１６】　分子層（４６）は１分子層又は数分子層の厚さである、請求項１３から１５までのいずれか１項記載の発光ダイオードチップ。

【請求項１７】　絶縁材料がノンウェッティング層（４８）を有し、この層は溶融したハンダにより濡れずかつ同時に半導体ボディ（１４）の露出面を覆う電気的不動態層である、請求項１記載の発光ダイオードチップ。

【請求項１８】　絶縁材料がさらに不動態層（４０）上に設けられたノンウェッティング層（４８）を有し、この層は溶融したハンダにより濡れない、請求項３又は４記載の発光ダイオードチップ。

【請求項１９】　基体はチップの周囲に沿って分離トレンチ（５２）を有し、絶縁材料（４０，４２，４４，４６，４８）は分離トレンチ（５２）内にまで延在している、請求項１から１８までのいずれか１項記載の発光ダイオードチップ。

【請求項２０】　基体（１２）は主にＳｉＣからなる、請求項１から１９までのいずれか１項記載の発光ダイオードチップ。

【請求項２１】　ＧａＮをベースとする半導体ボディ（１４）が形成されている、請求項１から２０までのいずれか１項記載の発光ダイオードチップ。

【請求項２２】　ハンダで覆われた支持体上にフリップーチップーマウンティングするための発光ダイオードチ

ップを製造するにあたり、光子を発する活性区域を有する半導体ボディを備えた導電性の基体を準備し、その際、半導体ボディは下面で基体と結合しており、かつ上面にはチップのフリップーチップーマウンティング時にハンダで覆われた支持体との導電性の接続を製造するためのコンタクトを有する発光ダイオードチップの製造方法において、チップのフリップーチップーマウンティング時にハンダで覆われた支持体から半導体ボディ及び基体の露出面を電気的に絶縁するために、絶縁材料をチップ内に導入するかまたはチップ上に設置することを特徴とする、ハンダで覆われた支持体上にフリップーチップーマウンティングするための発光ダイオードチップの製造方法。

【請求項２３】　支持体上にフリップーチップーマウンティングするための発光ダイオードチップを製造するにあたり、光子を発する活性区域を有する半導体ボディを備えた導電性の基体を準備し、その際、半導体ボディは下面で基体と結合しており、かつ上面にはチップのフリップーチップーマウンティング時に支持体との導電性の接続を製造するためのコンタクトを有する発光ダイオードチップの製造方法において、前記のコンタクト上にハンダ層を設け、かつチップのフリップーチップーマウンティング時にハンダ層から半導体ボディ及び基体の露出面を電気的に絶縁するために、絶縁材料をチップ内に導入するかまたはチップ上に設置することを特徴とする、支持体上にフリップーチップーマウンティングするための発光ダイオードチップの製造方法。

【請求項２４】　半導体ボディの露出面を不動態層で被覆し、有利に付加的に導電性基体の露出表面の一部を不動態層で被覆する、請求項２２又は２３記載の方法。

【請求項２５】　基体の導電性を表面付近の部分領域内で低下させ、特に基体内へ酸素をイオン注入又は拡散侵入させることにより低下させる、請求項２４記載の方法。

【請求項２６】　基体の導電性を水素イオン又は酸素イオンの注入により低下させる、請求項２５記載の方法。

【請求項２７】　不動態層上及び基体上に絶縁性の充填層を設置し、この層はチップのフリップーチップーマウンティング時に基体と支持体との間の中間空間を充填する、請求項２４記載の方法。

【請求項２８】　ウェハ結合体から個々の発光ダイオードチップを分離する前に絶縁性の充填層を設置する、請求項２７記載の方法。

【請求項２９】　絶縁性の充填層を弾性ポリマー、特にポリイミドのスピンコーティング及び平坦化によって設置する、請求項２７又は２８記載の方法。

【請求項３０】　基体表面がほぼ完全に絶縁性の分子の薄い層で、特にアルキルクロロシラン又はフッ素化されたアルキルクロロシランの薄い層で覆われている、請求項２４記載の方法。

【請求項３１】　分子の溶液中に切り離された発光ダイオードチップを浸漬することにより薄い分子層を設置する、請求項３０記載の方法。

【請求項３２】　半導体ボディの露出面又は不動態層及び基体の露出表面の一部に、溶融したハンダにより濡れないノンウェッティング層を設置する、請求項２２、２３又は２４記載の方法。

【請求項３３】　ウェハ結合体から分離する前に個々の発光ダイオードチップの間にトレンチを導入し、そのトレンチに沿って個々の発光ダイオードチップを分離し、絶縁材料をトレンチ内にまで延在するように設ける、請求項２２から３２までのいずれか１項記載の方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、支持体上にフリップーチップーマウンティングするための発光ダイオードチップに関し、前記のチップは導電性基体と、光子を発する活性区域を有しかつ下面で基体と結合している半導体ボディと、チップのフリップーチップーマウンティング時に支持体と導電性の接続を製造するための、半導体ボディの上面に配置されたコンタクトとを備えている。本発明は、この種の発光ダイオードチップの製造方法にも関する。

【０００２】

【従来の技術】この種の発光ダイオードチップは、炭化ケイ素（ＳｉＣ）上に配置されている、例えば窒化ガリウム（ＧａＮ）をベースとする半導体ボディを有する。このような発光ダイオードは基本的に例えばShuji Nakamura, Gerhard Fasol, The Blue Laser Diode, Springer Verag Berlin Heidelberg 1997から公知である。

【０００３】フリップーチップーマウンティングの際に、この発光ダイオードチップは支持体、特にサブマウント又はパッケージのリードフレームに例えばハンダ付けによって取り付けられる。これは、ハンダ金属を介した良好な電流供給及び熱搬送の利点を有する。さらに、このハンダは大面積に設けられるため、電流供給及び熱搬送をほぼ全体の層の面積にわたって行うことができる。従って、発光ダイオードチップのハンダ付けは、特に高い出力を有する部材の場合に、他の方法、例えば接着法又はマイクロバンプによるマウンティングなどと比較して原則として有利である。

【０００４】しかしながら、チップのフリップーチップーマウンティング時にハンダ溶融液によって、ハンダが意図的にかつ望ましいように発光ダイオードチップのコンタクトと付着するだけではなく、しばしばハンダと基体との直接接触が生じてしまうという問題が生じる。ＳｉＣ－基体はドープされておりかつ導電性であるため、寄生コンタクトが生じ、これを介して電流は半導体ボディ内の活性の発光層を迂回して流れてしまう。この種の分路は、発光ダイオード内での発光の遅延した作動を引

き起こす、つまりこのダイオードは同じ稼働電流の場合に、この分路のない無欠陥のダイオードよりも暗い。分路が著しく顕著な場合には、極端な場合に、このデバイスが完全に故障しかねない。

【０００５】ＧａＮ－発光ダイオードを薄いハンダ層で覆われたサブマウント上に載置しかつこれと一緒に加圧せずに加熱する場合に、発光ダイオードチップの約２５０μｍの一般的なラテラル方向の長さ、ＧａＮ－半導体ボディの約３μｍの一般的な高さ及びハンダの約１～２μｍの一般的な厚さでは、発光ダイオードチップの容易な傾斜により又は不平滑性によりＳｉＣ－基体とハンダとの間の接触を回避することは困難である。正常に機能する発光ダイオードの歩留まりはこの方法の場合に受け入れられないほど低い。

【０００６】この問題は、非導電性基体、例えばサファイアー基体の使用により回避することができるが、この基体は他の欠点を有している。

【０００７】導電性の基体においてこの問題に対処しかつ受け入れ可能な歩留まりを達成する試みは、半導体ボディの側面を越えて誘電性不動態層を延長させることにある。この誘電性不動態層により、チップ側面並びに基体表面の大部分は保護される。

【０００８】しかしながらこのような不動態層は発光ダイオードチップをウェハ結合体から分離する前に設置される。チップの分離時に脆い不動態層材料が剥がれるのを回避するために、この不動態層はチップ縁部から一定の距離を置いて終わっていなければならず、その結果、チップ縁部自体は分離後に保護されていない。同様に基体の側面をこの試みの場合に保護することはできない。前記の受け入れ可能な歩留まりを達成するために、従って、ハンダの厚さ及び基体の表面の品質において狭い許容限界を維持しなければならない。

【０００９】発光ダイオードの場合に、この部材は、フリップーチップーマウンティングされる半導体デバイス、例えば半導体レーザーと比較してが比較的小さな寸法を有し、その際に活性面が全体のチップ表面の大部分を占めており、従って場合による修正のための箇所は極めてわずかに提供されているだけであるのも困難である。さらに、該当する発光ダイオードチップは大量生産品であり、これはわずかな製造コストで加工すべきである。

【００１０】ここに本発明の発端がある。

【００１１】

【非特許文献１】Shuji Nakamura, Gerhard Fasol著, The Blue Laser Diode, Springer VeragBerlin Heidelberg 1997

【００１２】

【発明が解決しようとする課題】請求の範囲に記載されているような本発明の根底をなす課題は、冒頭に記載された種類の発光ダイオードチップを支持体上にフリップーチップーマウンティングする際の許容度を拡げ、特に発光ダイオードチップのフリップーチップーマウンティングがハンダと基体との間に寄生電流回路が出現することなしに可能であるようにさらに発展させることであった。

【００１３】

【課題を解決するための手段】この課題は、請求項１又は請求項２記載の発光ダイオードチップ及び請求項２２又は請求項２３記載の発光ダイオードチップの製造方法により解決される。本発明の他の実施態様は、引用形式請求項に記載されている。

【００１４】本発明の場合に、上位概念に記載された発光ダイオードチップにおいて、このチップに絶縁材料を設け、この絶縁材料は、チップのフリップーチップーマウンティング時に支持体から半導体ボディ及び基体の露出面を電気絶縁性にするために用いられる。

【００１５】一方の発光ダイオードチップの場合には、ハンダで覆われた支持体上にフリップーチップーマウンティングするためのものである。

【００１６】他方の発光ダイオードチップの場合には、コンタクト上にハンダ層が設けられている。

【００１７】この場合に、絶縁材料が半導体ボディの露出面を覆う不動態層を有するのが有利である。

【００１８】特に、この関連において、絶縁材料は導電性基体の露出表面の一部を覆う不動態層を有するのが有利である。この誘電性の不動態層は、例えば酸化ケイ素又は窒化ケイ素からなる。

【００１９】本発明による発光ダイオードチップの有利な実施態様の場合には、絶縁材料がさらに基体の表面付近の部分領域を有し、この部分領域内では基体の導電性が低下されている。

【００２０】有利な実施態様において、基体の表面付近の部分領域の導電性はイオン注入により低下されている。高エネルギーのイオンの侵入深さは、この場合に数マイクロメーターに達するため、基体表面だけでなく、基体側面も同様に一定の範囲内で電気絶縁され、それにより寄生電流回路の形成に対して保護される。この場合に、イオン注入は発光ダイオードチップの切り離しの前にウェハ結合体の形で行うことができる。この側面は、イオンの侵入深さによって分離後も侵入深さに相当する距離にわたり保護されている。

【００２１】この方法は、特にＳｉＣ－基体にとって特に適している、それというのもこの成分材料のケイ素及び炭素の原子番号は小さいため大きなイオン注入到達距離が達成されるためである。他の側面においても、この半導体ボディに設けられたコンタクト層は一般に大きな原子番号を有する金属、例えば金からなる。このコンタクト層中でイオンはわずかな到達幅を有するだけけであるため、このコンタクト層は同時に注入マスクとして利用でき、その結果、簡単なかつ単純にプロセスが実施さ

れる。

【００２２】特に水素イオンを用いた注入がその大きな到達幅のため及びそれに付随する基体の側面の有効な絶縁のために有利である。同様に、酸素イオンを用いた注入も有利である、それというの酸素はケイ素と共に二酸化ケイ素を形成し、これは優れた絶縁体であるためである。

【００２３】また、前記の関連において、基体の表面付近の部分領域の導電性は、酸化プロセスでの酸素の拡散によって低下させることができる。このような酸素拡散工程は比較的高い温度が必要なため、この工程を低温で溶融する金属層の設置の前に実施するのが有利である。

【００２４】他の有利な実施態様によると、絶縁材料はさらに不動態層及び基体上に配置された絶縁性の充填層を有し、この充填層は、チップのフリップーチップーマウンティング時での基体と支持体との間の中間質を充填するために用いられる。

【００２５】この絶縁性の充填層は、この場合に、有利にウェハ結合体から発光ダイオードチップを分離する前に設置される。特に、絶縁性の充填層は、弾性ポリマーのスピンコーティング及び平坦化によって有利に設置することができ、このポリマーは個々の半導体材料の間のトレンチを充填する。ポリマーが弾性であるため、このポリマーはチップと一緒に破断することなく分離できる。平坦化工程の後に、このポリマーは半導体ボディと同じ高さ、例えば３μｍを有するため、このポリマー充填層は支持体上にマウンティングした後に基体縁部がハンダ中へ沈下することを防止する。

【００２６】特に有利な実施態様の場合には、弾性ポリマーとしてポリイミドが使用される、それというのもこのポリイミドは３００℃以上のハンダ付け温度で分解しないためである。

【００２７】本発明の他の有利な実施態様の場合には、絶縁材料は不動態層の他に絶縁性の分子の薄い層を有し、この分子は主に基体のほぼ全ての露出表面を被覆する。

【００２８】この絶縁性の分子層は、この関連において有利に、２つの官能基を有する分子を有し、この官能基の一方は基体に付着し、他方は表面を遮閉する。

【００２９】このような種類の２つの官能基を有する分子の有利な例はアルキルクロロシランであり、このＳｉ－Ｃｌ－結合は極めて反応性であり、基体の炭化ケイ素のＳｉ原子と容易に結合し、アルキル基は表面の濡れを抑制する。

【００３０】さらに、このアルキルクロロシランは本発明による特に有利な実施態様においてフッ素化することにより熱安定性にすることができる。

【００３１】絶縁性の分子層の塗布は、有利な実施態様の場合に、すでに切り離された発光ダイオードチップを分子の溶液中に浸漬することにより行い、その結果ほぼ全体の基体を保護することができる。金属コンタクトの被覆は分子の化学的選択により抑制することができるか、又は場合による被覆はハンダの溶融時に再び分解されかつ除去される。

【００３２】基体の光学的透明性を実際に変更しないためにも、絶縁性の分子層は１分子層又は数分子層の厚さに仕上げるのが有利である。

【００３３】本発明の他の有利な実施態様の場合には、絶縁材料は支持体の溶融したハンダにより濡れない特別なノンウェッティング層を有する。このノンウェッティング層は、発光ダイオードチップが液状のハンダ内に深く沈み込むことを抑制する、それというのもノンウェッティング層とハンダとの間の接触によりチップが傾斜する際に、チップが再び立ち直る反発力が生じるためである。この結果として、チップはハンダ上で浮遊し、寄生電流コンタクトに対する確率が著しく減少する。

【００３４】このノンウェッティング層は前記の第１の不動態層上に設置することができる。しかしながらこの層はそれ自体電気的不動態層であることもでき、この場合に付加的な不動態層を設置しなくてもよい。

【００３５】電気絶縁のための前記の手段に対して付加的に、ウェハ結合体から分離する前に個々の発光ダイオードチップ間に分離トレンチを導入し、この分離トレンチに沿って個々の発光ダイオードチップを分離することができる。この絶縁材料は有利に分離トレンチ内にまで延在するように設置される。それにより、基体の保護されていない部分とハンダとの距離は拡大する。分離トレンチの構造化は、それぞれの公知の方法で、例えばドライエッチング法、ダイシング法又はレーザーアブレーション法によって行うことができる。

【００３６】本発明による発光ダイオードチップにおいて、基体は有利に主にＳｉＣからなる。

【００３７】本発明は、全材料系の半導体ボディを用いた発光ダイオード上に、特にＧａＰ、ＧａＡｓＰ、ＧａＡｓ、ＧａＡｌＡｓ、ＩｎＧａＡｓＰ、ＧａＮ又はＩｎＧａＮをベースとする半導体ボディ上に適用可能である。

【００３８】本発明の他の有利な実施態様、特徴及び詳細は、引用形式請求項、実施例の記載及び図面に記載されている。

【００３９】

【実施例】本発明を次に実施例を用いて図面との関連で詳細に説明する。それぞれ、本発明の理解のために重要な要素を記載した。

【００４０】図１は、本発明の実施例による一般に符号１０で示した発光ダイオードチップの図式的断面図を示す。この発光ダイオードチップ１０は、透明な導電性のＳｉＣ－基体１２を有し、その基体１２上にＧａＮベースの放射線を発する半導体ボディ１４が成長されている。この種の放射線を発する半導体ボディ１４の構造は

それ自体公知であり、本発明に対して重要ではないため、詳細に記載しない。

【００４１】半導体ボディ１４の、基体１２と反対側の面上に、高い反射性のミラー層１６及びコンタクト金属層１８が設置されている。電流は、半導体ボディ１４の放射線を発する層内へ、一方で背面コンタクト２０を介して、他方でハンダで覆われた支持体３０，３２を介して供給され、この支持体上に発光ダイオードチップ１０はフリップーチップーマウンティングによって設置されている。

【００４２】ハンダ金属３２と基体１２との間に、放射線を発する層を通過して流れる電流の割合を減少させてしまう寄生接続が生じるのを防止するために、図１の実施例では２つの絶縁手段が講じられている。一方は誘電性の不動態層４０が半導体ボディ１４の露出した側面及び基体１２の表面の大部分に設置されている（図１は縮尺に従っていない）。しかしながら、不動態層４０は、ウェハ結合体からチップを切り離す際に剥離するのを抑制するために、チップの縁部から一定の間隔を置いて終わっている。この領域内で、この実施例において第２の手段として水素イオン注入が実施され、この水素イオン注入は半導体ボディ１４を取り囲む領域４２内の電気抵抗を明らかに高める。金－コンタクト層１８はこの場合に注入マスクとして用いることができる。

【００４３】ＳｉＣ－基体内での水素イオンの大きな侵入深さのために、高抵抗領域４２はチップの切り離しの後に基体の側面に沿って数マイクロメーター延在している。それにより、図１の右側部分の引用符号３４により示したような、発光ダイオードチップにとって無害なハンダによるチップの側面の適度な濡れが残留する。

【００４４】他の実施例を図２に図示する。同じ部材は、図１と同様の引用符号で示し、さらに特に説明しない。例２の実施例の場合には、不動態層４０の設置後に、ポリイミド層４４をウェハ結合体の発光ダイオードチップ上に設置しかつ平坦化するため、ポリイミド層４４はＧａＮ－材料１４間の中間空間をこの材料の上端部まで充填している。ポリイミド層４４は弾性であるため、発光ダイオードチップはポリマー層と一緒に破断せずに分離できる。発光ダイオードチップのフリップーチップーマウンティングの後に、ポリイミド層４４は基体縁部がハンダ３２内へ沈み込むのを抑制する。

【００４５】図３は本発明による発光ダイオードチップの他の実施例を示す。この図においても図１と同様の部材は同じ引用符号で示す。前記の実施例においてと同様に、図３の実施例においてもウェハ結合体中に不動態層４０が設置される。チップの切り離しの後に、次いで発光ダイオードチップをアルキルクロロシランからなる溶液に浸漬し、ほぼ全体の基体表面を覆う絶縁性の分子層４６が形成される。この場合に、アルキルクロロシランのＳｉ－Ｃｌ－結合は、ＳｉＣ－基体１２の表面と分子とを結合させ、アルキル基は表面の濡れを抑制する。コンタクト１８，２０の被覆は、この分子の化学的選択性により回避できるか又はこの被覆はハンダの溶融時に分解する。分子層が１分子層又は数分子層の厚さであるため、基体１２の光学的透明性に不利な影響を及ぼさない。

【００４６】また、２つの鎖端に反応性のクロロシラン基を有する短鎖のフルオロアルキル－化合物、例えば$SiCl_3-(CHF)_n-SiCl_3$を使用することができる。水を含まない環境中で発光ダイオードチップ上に塗布する際に、鎖の一方の端部が半導体表面と付着する。引き続き発光ダイオードチップは湿った環境に置かれ、外側に向いているＳｉＣｌ基はＳｉ－Ｏ－Ｓｉ架橋を介して相互に架橋し、ハンダにより濡れないＳｉＯ表面が形成される。

【００４７】本発明の他の実施例を図４に示す。この図では不動態層４０上に特別なノンウェッティング層４８が設置されている。この場合に、ノンウェッティング層４８は上記のアルキルクロロシランからなる層であることができ、これは溶融したハンダ３２に濡れない特性を有する。チップの傾斜時に、大きな接触面によってわずかな間隔の側でチップを立て直す反発力が生じる。この結果として、チップはいわばハンダ３２上に浮遊する（符号５０）。

【００４８】未保護の基体縁部とハンダ層３２との距離をより確実な絶縁のためにさらになお拡張すべき場合には、切り離しの前にウェハ結合体上に付加的に数マイクロメータの深さの分離トレンチ５２を発光ダイオードチップ１０，１０′の間で構造化することができる（図５ａ）。電気的な不動態層４０もしくは上記の注入領域４２、充填層４４、絶縁性の分子層４６又はノンウェッティング層４８はこのトレンチ５２内にまで入り込む。図５ｂに示したように、発光ダイオードチップの分離後に、チップの縁部に後退した領域５４が残留し、この領域はハンダ３２に対して拡大した距離５６を有するため、チップとの接触の確率が低下する。

【００４９】図６は本発明の作用を図示するために、２種の発光ダイオードについて、縦軸にプロットされた発光効率の、縦軸にプロットされた供給された作動電流の関数としての依存性を示す。発光曲線６０は、この場合に、分路を有する発光ダイオードの発光曲線であり、この場合に発光は作動電流I_Nで遅れて初めて生じる。それに対して分路を有していない本発明による発光ダイオードの曲線６２は、発光の迅速な発生を示し、それぞれの作動電流において、分路を有する発光ダイオードよりもより高い出力効率を示す。

【００５０】全ての実施例の場合に、コンタクト上にハンダ層が設けられているか、又は設けることができ、かつこの種の発光ダイオードはそれぞれハンダフリーの支持体上にマウントすることもできる。

【００５１】発明の詳細な説明、図面並びに特許請求の範囲に開示された本発明の特徴は、本発明の実現のためにそれ自体で並びにそれぞれ可能な組み合わせ形で重要であると解釈される。

【図面の簡単な説明】

【図１】本発明の実施例による、ハンダで覆われた支持体上にマウントした発光ダイオードチップの図式的な断面図

【図２】本発明の他の実施例による、ハンダで覆われた支持体上にマウントした発光ダイオードチップの図式的な断面図

【図３】本発明の他の実施例による、ハンダで覆われた支持体上にマウントした発光ダイオードチップの図式的な断面図

【図４】本発明の他の実施例による、ハンダで覆われた支持体上にマウントした発光ダイオードチップの図式的な断面図

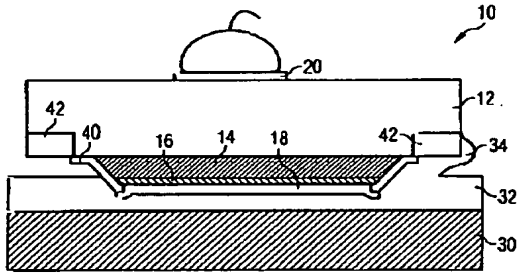
【図５】５ａはウェハ結合体から分離する前の本発明の実施例による複数の発光ダイオードチップの図式的な断面図を示し、５ｂは５ａのウェハ結合体から切り離しかつハンダで覆われた支持体上にフリップ－チップ－マウンティングした後の発光ダイオードチップの図式的な断面図

【図６】分路を有する発光ダイオードと本発明による発光ダイオードとについての作動電流に依存する発光出力を比較したグラフ

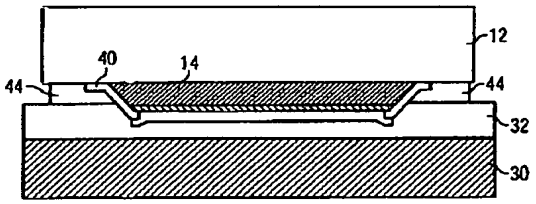
【符号の説明】

１０　発光ダイオードチップ、　１２　基体、　１４　半導体ボディ、　１６ミラー層、　１８　コンタクト、　２０　コンタクト、　３０，３２　支持体、　４０，４２，４４，４６，４８　絶縁材料

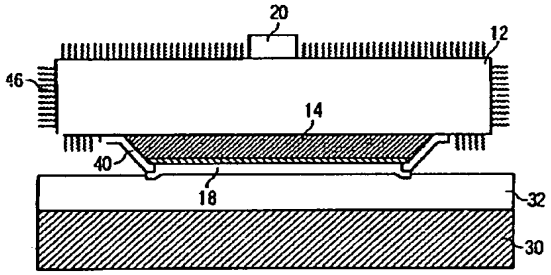
【図１】



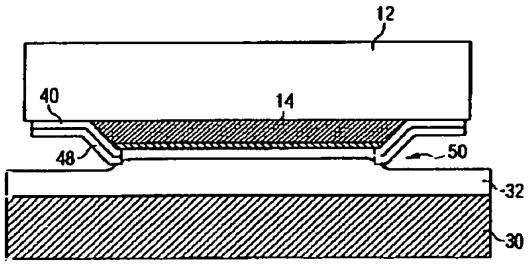
【図２】



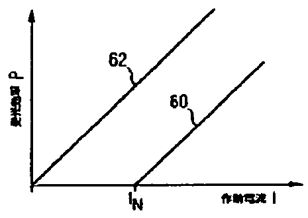
【図３】



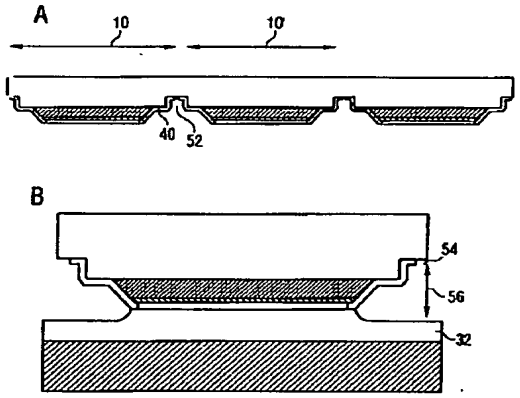
【図４】



【図６】



【図5】



フロントページの続き

(72)発明者　フォルカー　ヘールレ
ドイツ連邦共和国　ラーバー　アイヒェン
シュトラーセ　35

(72)発明者　ドミニク　アイゼルト
ドイツ連邦共和国　レーゲンスブルク　ア
グリコラヴェーク　11

Fターム(参考)　5F041 AA03 CA13 CA22 CA40 CA77
CA83 CB15 CB36 DA03 DA04
DA09

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177434
(43)Date of publication of application : 24.06.1994

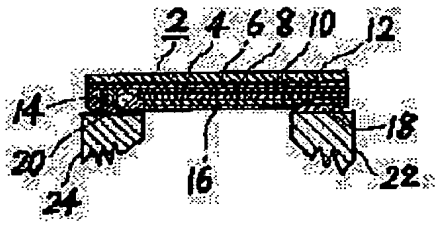
(51)Int.Cl. H01L 33/00
H01L 23/29
H01L 23/31

(21)Application number : 04-351947
(22)Date of filing : 08.12.1992

(71)Applicant : NICHIA CHEM IND LTD
(72)Inventor : YAMADA MOTOKAZU
NAKAMURA SHUJI

(54) BLUE COLOR LIGHT-EMITTING DEVICE AND ITS MANUFACTURE

(57)Abstract:
PURPOSE: To realize a blue color light emitting device which facilitates the elimination of a short-circuit by a method wherein an insulating protective film is formed on n-type and p-type gallium nitride compound semiconductor layers except on the parts of a pair of electrode layers.
CONSTITUTION: An LED chip 2 has a sapphire substrate 4 and a compound semiconductor layer. The compound semiconductor layer is composed of an n-type GaN layer 6, an n-type InGaN layer 8 and a p-type GaN layer 10 which are built up on the sapphire substrate 4 successively. An electrode layer 12 and an electrode layer 14 are provided on the p-type GaN layer 10 and the n-type GaN layer 6 respectively. The parts of the n-type InGaN layer 8 and the p-type GaN layer 10 are removed by etching. An insulating protective film 16 is formed over the exposed n-type GaN layer 6 and the remaining p-type GaN layer 10. A pair of lead frames 22 and 24 are bonded to the nickel and aluminum electrode layers 12 and 14 with conductive adhesive layers 18 and 20 therebetween respectively. With this constitution, the short-circuit between the electrodes can be eliminated by the insulating protective film 16 and a blue color light-emitting device having an improved reliability can be realized.



LEGAL STATUS

[Date of request for examination]	23.02.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2914065
[Date of registration]	16.04.1999
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平6－177434

(43)公開日　平成６年(1994)６月24日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ 33/00	Ｎ	7376－4M		
23/29				
23/31				
		8617－4M	Ｈ０１Ｌ 23／30	Ｄ
		8617－4M		Ｆ

審査請求　未請求　請求項の数３(全　４　頁)

(21)出願番号　特願平4－351947

(22)出願日　平成４年(1992)12月８日

(71)出願人　000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100

(72)発明者　山田　元量
徳島県阿南市上中町岡491番地100　日亜化学工業株式会社内

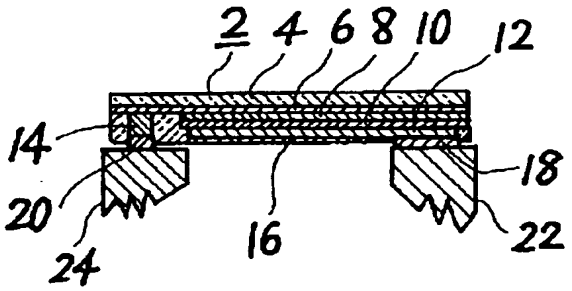
(72)発明者　中村　修二
徳島県阿南市上中町岡491番地100　日亜化学工業株式会社内

(54)【発明の名称】　青色発光素子及びその製造方法

(57)【要約】

【目的】　導電性接着剤を用いて確実にＬＥＤチップの電極層とリードフレームとを接続でき、しかも、短絡を防止できる青色発光素子を提供すると共に、量産性に優れた青色発光素子の製造方法を提供する。

【構成】　青色発光素子は、ＬＥＤチップが、透光性基板と、この透光性基板上に積層されたｎ型及びｐ型窒化ガリウム系化合物半導体層と、透光性基板から離れた面上であってエッチングによりｐ型窒化ガリウム系化合物半導体層の一部を取り除きかれて露出したｎ型窒化ガリウム系化合物半導体層の部位と、ｐ型窒化ガリウム系化合物半導体層上とに夫々形成された一対の電極層とを有してなり、ＬＥＤチップの一対の電極層が導電性接着剤層を介して一対のリードフレームに夫々電気的に接続されている青色発光素子において、一対の電極層を除くｎ型及びｐ型窒化ガリウム系化合物半導体層上には、絶縁性保護膜が形成されてなることを特徴としている。



FH_000120

IKEA Supply AG
Exhibit 1002 Page 120 of 361

1

【特許請求の範囲】

【請求項1】　ＬＥＤチップが、透光性基板と、この透光性基板上に積層されたｎ型及びｐ型窒化ガリウム系化合物半導体層と、上記透光性基板から離れた面上であってエッチングによりｐ型窒化ガリウム系化合物半導体層の一部を取り除かれて露出したｎ型窒化ガリウム系化合物半導体層の部位と、ｐ型窒化ガリウム系化合物半導体層上とに夫々形成された一対の電極層とを有してなり、上記ＬＥＤチップの一対の電極層が導電性接着剤層を介して一対のリードフレームに夫々電気的に接続されている青色発光素子において、

上記一対の電極層を除くｎ型及びｐ型窒化ガリウム系化合物半導体層上には、絶縁性保護膜が形成されてなることを特徴とする青色発光素子。

【請求項2】　上記絶縁性保護膜がポリイミドからなっており、一方、上記導電性接着剤層が銀ペーストからなっていることを特徴とする請求項1に記載の青色発光素子。

【請求項3】　ＬＥＤチップが、透光性基板と、この透光性基板上に積層されたｎ型及びｐ型窒化ガリウム系化合物半導体層と、エッチングによりｐ型窒化ガリウム系化合物半導体層の一部を取り除かれて露出したｎ型窒化ガリウム系化合物半導体層の部位と、ｐ型窒化ガリウム系化合物半導体層上とに夫々形成された一対の電極層とを有してなるＬＥＤチップを形成した後、上記一対の電極層を除く上記ＬＥＤチップにおける透光性基板と反対する面上に、ポリイミドからなる絶縁性保護膜を形成することを特徴とする青色発光素子の製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、ｐ－ｎ接合の窒化ガリウム系化合物半導体層を有した青色発光素子及びその製造方法に関する。

【０００２】

【従来の技術】青色ＬＥＤ（発光ダイオード）、青色ＬＤ（レーザーダイオード）等の青色発光デバイスの材料としてＧａＮ、ＩｎＧａＮ、ＧａＡＩＮ等の窒化ガリウム系化合物半導体が最近注目されている。

【０００３】窒化ガリウム系化合物半導体の中、例えば、ＧａＮを用いた従来の青色ＬＥＤ素子の製造方法に沿って、簡単に構造を説明すると、透光性基板としてサファイア基板を用い、このサファイア基板上に、ｎ型ＧａＮ層、ｎ型ＩｎＧａＮ層及びｐ型ＧａＮ層を順次積層し、次いで、ｎ型ＩｎＧａＮ層とｐ型ＧａＮ層及びｎ型ＧａＮ層の一部をエッチングにより取り除き、露出されたｎ型ＧａＮ層上及びｐ型ＧａＮ層上に、アルミニウム及びニッケルからなる電極層を形成し、これら電極層を、離間した一対のリードフレーム上にインジウム金属層により溶着する。即ち、インジウム金属層によって、サファイア基板と、サファイア基板上に形成されたｎ型

2

ＧａＮ層、ｎ型ＩｎＧａＮ層及びｐ型ＧａＮ層とを有するＬＥＤチップを一対のリードフレームに電極層を介して固着している。

【０００４】しかしながら、このようなインジウム金属層の溶着では、電極層の形成のため、溶解したインジウムが固体化するまでの間、ＬＥＤチップとリードフレームとを保持し続けなければならず、量産性に乏しいという問題があり、しかも、その機械的強度も低いという問題がある。このため、インジウムの代わりに、短時間で量産性のある導電性接着剤、例えば、銀ペーストによって、ＬＥＤチップをリードフレームに固着することが切望されるが、このような銀ペーストでは、銀ペーストが電極層をはみ出して形成され、例えば、ｐ型ＧａＮ層の電極層からはみ出した銀ペーストがｎ型ＧａＮ層と短絡するという可能性があり、信頼性の点から導電性接着剤を使用できないという問題があった。

【０００５】

【発明が解決しようとする課題】従って、本発明はこのような事情を鑑みて成されたものであり、その目的とするところは、導電性接着剤を用いて確実にＬＥＤチップの電極層とリードフレームとを接続でき、しかも、短絡を防止できる青色発光素子を提供すると共に、量産性に優れた青色発光素子の製造方法を提供するものである。

【０００６】

【課題を解決するための手段】本発明の青色発光素子は、ＬＥＤチップが、透光性基板と、この透光性基板上に積層されたｎ型及びｐ型窒化ガリウム系化合物半導体層と、透光性基板から離れた面上であってエッチングによりｐ型窒化ガリウム系化合物半導体層の一部を取り除きかれて露出したｎ型窒化ガリウム系化合物半導体層の部位と、ｐ型窒化ガリウム系化合物半導体層上とに夫々形成された一対の電極層とを有してなり、ＬＥＤチップの一対の電極層が導電性接着剤層を介して一対のリードフレームに夫々電気的に接続されている青色発光素子において、一対の電極層を除くｎ型及びｐ型窒化ガリウム系化合物半導体層上には、絶縁性保護膜が形成されてなることを特徴としている。

【０００７】上記青色発光素子において、好適には、絶縁性保護膜がポリイミドからなっており、一方、導電性接着剤層が銀ペーストからなっている。

【０００８】また、本発明の青色発光素子の製造方法は、ＬＥＤチップが、透光性基板と、この透光性基板上に積層されたｎ型及びｐ型窒化ガリウム系化合物半導体層と、エッチングによりｐ型窒化ガリウム系化合物半導体層の一部を取り除きかれて露出したｎ型窒化ガリウム系化合物半導体層の部位と、ｐ型窒化ガリウム系化合物半導体層上とに夫々形成された一対の電極層とを有してなるＬＥＤチップを形成した後、上記一対の電極層を除く上記ＬＥＤチップにおける透光性基板と反対する面上に、ポリイミドからなる絶縁性保護膜を形成することを

FH_000121
IKEA Supply AG
Exhibit 1002 Page 121 of 361

3

特徴としている。

【0009】

【作用】本発明の青色発光素子では、ＬＥＤチップにおける透光性基板から遠ざかる面上に絶縁性保護膜が形成されていることにより、導電性接着剤が電極層からはみ出たとしても、化合物半導体層と接触することがないので、化合物半導体層と短絡することがない。

【0010】また、本発明の青色発光素子の製造方法では、電極層とリードフレームとを接続するのに導電性接着剤を使用することにより、従来のようにインジウム金属層を用いて接続するのに対し、時間的短縮と機械的強度の向上が得られる。

【0011】

【実施例】以下、図面を参照しながら、本発明の一実施例について説明する。

【0012】図１には、本発明の青色発光素子の断面図が示されており、この青色発光素子は、ＬＥＤチップ２を含んでいる。このＬＥＤチップ２は、透光性基板としてのサファイア基板４と、ｐ－ｎ接合窒化ガリウム系の化合物半導体層とを有しており、化合物半導体層は、サファイア基板４上に順次積層されたｎ型ＧａＮ層６、ｎ型ＩｎＧａＮ層８及びｐ型ＧａＮ層１０とからなっている。図１から明らかなように、ｐ型ＧａＮ層１０にはニッケルからなる電極層１２が積層され、一方、ｎ型ＧａＮ層６は、好適なエッチングによりｎ型ＩｎＧａＮ層８及びｐ型ＧａＮ層１０の一部を取り除かれた位置でアルミニウムからなる電極層１４が設けられている。

【0013】ニッケル電極層１２及びアルミニウム電極層１４を除く、透光性基板４から遠ざかるＬＥＤチップ２の一側面、即ち、エッチングによりｎ型ＩｎＧａＮ層８及びｐ型ＧａＮ層１０の一部を取り除かれたｎ型ＧａＮ層６上及びｐ型ＧａＮ層１０上には、ポリイミドからなる絶縁性保護膜１６が形成されている。この絶縁性保護膜１６は、とりわけ、導電性接着剤層２０によるｎ型ＧａＮ層６とｎ型ＩｎＧａＮ層８又はｐ型ＧａＮ層１０との短絡が生じないように、必ずしもポリイミドでなく、例えば、SiO_2、ＳｉＮ等からなっていてもよい。そして、ニッケル電極層１２及びアルミニウム電極層１４は、夫々、銀ペーストからなる導電性接着剤層１８、２０を介して一対のリードフレーム２２、２４に溶着されている。即ち、一対のリードフレーム２２、２４には導電性接着剤層１８、２０及び電気層１２、１４を介してＬＥＤチップ２を固着している。図１中には図示しないが、このようなＬＥＤチップ２とリードフレーム２２、２４上には、ＬＥＤチップ２からの光を集光するためにレンズ状に形成されたモールドが設けられている。

【0014】このように構成された青色発光素子では、例え、導電性接着剤層１８、２０が電極層１２、１４の領域を多少越えて形成されたとしても、絶縁性保護膜１６によって導電性接着剤層１８、２０がＬＥＤチップ２の化合物半導体層と接触することがないから、短絡を防止することができる。しかも、発光させると順方向電圧５Ｖで、発光波長４３０ｎｍ、発光出力２００μＷであった。

4

【0015】次に、このように構成される青色発光素子の製造方法について説明するが、具体的製造方法に先立ち、一般的な製造方法について説明すると、サファイア基板４上に窒化ガリウム系化合物半導体を積層する方法には、ＭＯＣＶＤ、ＭＢＥ法等の気相成長法により形成することができ、ｎ型不純物としては、Ｓｉ、ｐ型不純物としてはＭｇ、Ｚｎ等がよく知られている。

【0016】高抵抗なｉ型ＧａＮ層を低抵抗なｐ型にするには、例えば、特開平２－２５７６７９号公報に記載されているように電子線照射を行っても良いし、また、本出願人が先に出願した特願平３－３５７０４６号に記載したアニーリング法を用いることができる。

【0017】ｎ型ＧａＮ層６が露出するまでｎ型ＩｎＧａＮ層８を含めｐ型ＧａＮ層１０をエッチングして取り除くには、例えば硫酸とリン酸によるウエットエッチング法、或いは特開平３－１０８７７９号公報に開示されるようなドライエッチング法を用いることができる。

【0018】ｐ型ＧａＮ層１０の電極層１２及びｎ型ＧａＮ層６の電極層１４には、例えばニッケル、アルミニウムを用い、蒸着により形成することができる。

【0019】絶縁性保護膜１６は、とりわけ、導電性接着剤層２０によるｎ型ＧａＮ層６とｎ型ＩｎＧａＮ層８又はｐ型ＧａＮ層１０との短絡が生じないように、例えば、SiO_2、ＳｉＮ、ポリイミド等から形成する。

【0020】導電性接着剤１８、２０には、リードフレーム２２、２４と電極層１２、１４を電気的に接続できる材料であって、短時間にＬＥＤチップ２とリードフレーム２２、２４とを固着できる材料が好ましく、例えば、銀ペースト、半田等を選定することができる。

【0021】以下、具体的な製造方法について説明すると、まず、サファイア基板４のＣ面にＭＯＣＶＤ装置を用いてＧａＮバッファ層を２００オングストロームの膜厚で成長させ、その上にＳｉをドープしたｎ型ＧａＮ層６を４μｍの膜厚で、その上にＳｉをドープした$In_{0.2}Ga_{0.8}N$層８を２００オングストロームの膜厚で、さらにその上にＭｇをドープしたｐ型ＧａＮ層１０を０．５μｍの膜厚で順に成長させる。

【0022】ｐ型ＧａＮ層１０成長後、ウエハを装置から取り出し、新たに電子線照射装置にいれて、７００℃で電子線照射を行い、ｐ型ＧａＮ層１０をさらに低抵抗化する。

【0023】次に、ｐ型ＧａＮ層１０の上にフォトレジストにより所定のパターンを形成し、ｐ型ＧａＮ層１０の一部をｎ型$In_{0.2}Ga_{0.8}N$層８を含めｎ型ＧａＮ層６に達するまでエッチングする。

FH_000122
IKEA Supply AG
Exhibit 1002 Page 122 of 361

5

【００２４】エッチング終了後、レジストを剥離し、再度フォトレジストで電極パターンを作成して、蒸着によりｎ型ＧａＮ層６にアルミニウム電極層１４と、ｐ型ＧａＮ層１０にニッケル電極層１２を形成する。さらにその上に両電極層１２、１４の一部を除きポリイミドからなる絶縁性保護膜１６を形成する。その後、ウエハをダイシングによりチップ状にカットする。

【００２５】カットしたＬＥＤチップ２を図１に示すように、サファイア基板４側を発光面にして、リードフレーム２２、２４に取り付ける。この場合、銀ペーストにより導電性接着剤層１８、２２を形成することにより、電極層１２、１４とリードフレーム２２、２４とを夫々電気的に接続する。最後に、エポキシ樹脂により全体をレンズ形状にしてモールドを形成し、これにより、青色発光素子とする。

【００２６】この製造方法によれば、従来の如く、絶縁性保護膜１６を形成することなくインジウム金属層を溶着させる方法に比べて、圧倒的な時間的短縮と高い歩留が達成でき、しかも、ＬＥＤチップ２とリードフレーム２２、２４との機械的強度の優れると共に、電極での短絡が少なくて信頼性の向上した青色発光素子が得られる。

6

【００２７】

【発明の効果】上述したように、本発明の青色発光素子では、ＬＥＤチップとリードフレームとの機械的強度が優れ、電極での短絡が少なくて信頼性が向上する。また、本発明の製造方法によれば、圧倒的な時間的短縮と高い歩留が達成できる。

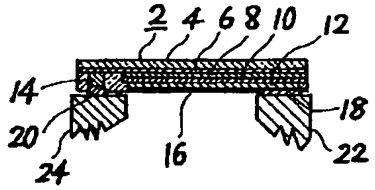
【図面の簡単な説明】

【図１】本発明の一実施例による青色発光素子を示す断面図である。

【符号の説明】

２	ＬＥＤチップ
４	透光性基板（サファイヤ基板）
６	ｎ型ＧａＮ層
８	ｎ型ＩｎＧａＮ層
１０	ｐ型ＧａＮ層
１２、１４	電極層
１６	絶縁性保護膜
１８、２０	導電性接着剤層
２２、２４	リードフレーム

【図１】



FH_000123
IKEA Supply AG
Exhibit 1002 Page 123 of 361

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340514
(43)Date of publication of application : 10.12.1999

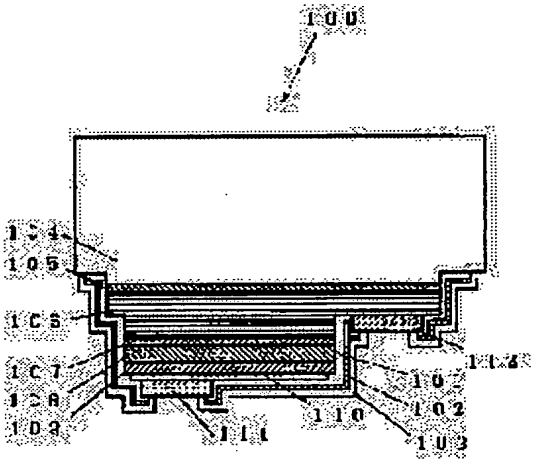
(51)Int.Cl. H01L 33/00

(21)Application number : 10-141873
(22)Date of filing : 22.05.1998

(71)Applicant : NICHIA CHEM IND LTD
(72)Inventor : TAKAOKA YOSHIKAZU

(54) FLIP-CHIP OPTICAL SEMICONDUCTOR ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To emit light at a high luminance with few short-circuits by providing a protective film covering the surface of nitride semiconductor layers with a laminate, comprising a first layer made of an insulating film, a metal layer formed on the first layer, and a second layer made of an insulating film and formed on the metal layer.
SOLUTION: After forming an n-type nitride semiconductor film and a film of a p-type nitride semiconductor on a sapphire substrate 104, the p-type nitride semiconductor is etched in part to thereby expose the surface of the n-type nitride semiconductor layer. After forming electrodes 110, 111 and 112 on the p and n-type nitride semiconductors, a silicon oxide film is formed over the whole surface. Etching is effected, using the silicon oxide film as a mask to thereby expose part of the electrode surfaces, and an insulating film which is a first layer 101 is formed. Then, a platinum film is formed to thereby form a metal layer 102 on the layer 101. Furthermore, a second layer 103 of an insulating layer is formed on the layer 102 by processing the silicon oxide film by a plasma CVD method. As a result, a three-layered protective film is formed.



LEGAL STATUS

[Date of request for examination]	08.03.2001
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3531475
[Date of registration]	12.03.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－340514

(43)公開日　平成11年(1999)12月10日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｎ

審査請求　未請求　請求項の数３　ＯＬ　（全　７　頁）

(21)出願番号　特願平10－141873

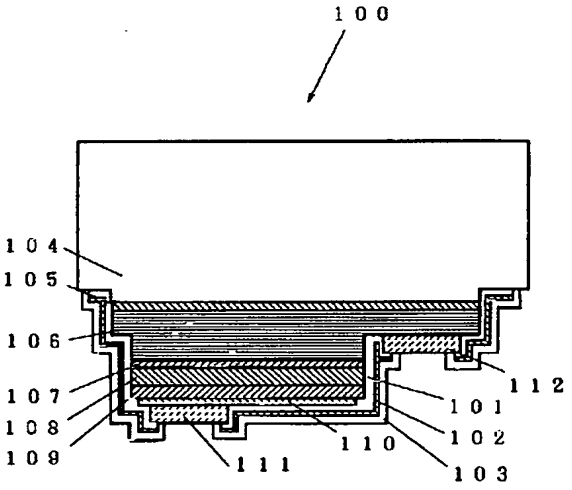
(22)出願日　平成10年(1998)５月22日

(71)出願人　000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100

(72)発明者　高岡　美和
徳島県阿南市上中町岡491番地100　日亜化学工業株式会社内

(54)【発明の名称】　フリップチップ型光半導体素子

(57)【要約】
【課題】本発明は各種インジケータや光プリンタのプリンタヘッド用など種々の発光素子や太陽電池などの受光素子として利用可能なフリップチップ型光半導体素子に係わり、特に、駆動基板上への配置においても位置精度に関わりなく短絡が極めて少ない高輝度フリップチップ型光半導体素子を提供することにある。
【解決手段】本発明は透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子である。特に、保護膜は絶縁性被膜からなる第１層と、第１層上の金属層と、金属層上に絶縁性被膜からなる第２層の少なくとも３層構造からなる。



【特許請求の範囲】
【請求項１】　透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子であって、
前記保護膜は絶縁性被膜からなる第１層と、該第１層上の金属層と、該金属層上に絶縁性被膜からなる第２層の少なくとも３層構造を有することを特徴とするフリップチップ型光半導体素子。
【請求項２】　前記第１層及び／又は第２層が酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミドから選択される少なくとも一種である請求項１に記載のフリップチップ型光半導体素子。
【請求項３】　前記金属層が前記電極の一部を構成している請求項１に記載のフリップチップ型光半導体素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は各種インジケータや光プリンタのプリンタヘッド用など種々の発光素子や太陽電池などの受光素子として利用可能なフリップチップ型光半導体素子に係わり、特に、駆動基板上への配置においても位置精度に関わりなく短絡が極めて少ない高輝度フリップチップ型光半導体素子に関する。
【０００２】
【従来技術】駆動基板の電極上にＬＥＤチップの電極を直接、Ａｇペーストや半田などにより導通固定させるフリップチップ型光半導体素子がある。このようなＬＥＤチップは、導通を取るためにワイヤを用いる必要がなく、比較的簡単な工程で比較的小型なＬＥＤチップを搭載することができる。
【０００３】このようなフリップチップ型光半導体素子の模式的断面図を図４に示す。図４にはサファイア基板４０４上にバッファ層４０５を介してｎ型窒化物半導体、ｐ型窒化物半導体が形成されたＬＥＤチップが示されている。半導体表面側から導通を取る為に半導体の一部を除去してｐ型及びｎ型窒化物半導体の表面をそれぞれ露出させてある。ｐ型及びｎ型窒化物半導体の表面にはそれぞれ各ｐ型電極４１１及びｎ型電極４１２を形成してある。したがって、ｐ型電極４１１及びｎ型電極４１２はそれぞれ同一平面側に形成されている。
【０００４】ＬＥＤチップは予め駆動基板の電極パターン上にＡｇペーストなどを塗布した後、電極面を下にした状態でＬＥＤチップを配置させる。Ａｇペーストを硬化させることで、ＬＥＤチップを固定すると共に駆動基板の電極とＬＥＤチップの各電極との導通を取ることができる。
【０００５】ＬＥＤチップは一片が３５０μｍ以下でＬＥＤチップ上の電極は一辺が約１００μｍ程度と極めて小さな場合がある。この場合、ＬＥＤチップをダイボンド機器を用いて精度良く配置させることが難しい。また、上述のフリップチップ型光半導体素子は同一面側に異なる極性を持った半導体接合が露出形成される場合がある。そのため、Ａｇペーストなどを介してＬＥＤチップの電極と駆動基板の電極パターンとを接続する場合、ＬＥＤチップの配置ずれによりＡｇペーストが半導体接合間をショートしてしまう場合がある。また、Ａｇペーストの粘度、ＬＥＤチップ表面との表面張力によりＡｇペーストが半導体接合箇所まで這い上がり、同様に半導体接合間を短絡してしまう場合がある。短絡は発光輝度の低下のみならず発光素子の破壊を生ずる。このような、短絡は電極表面を除いて酸化珪素などの保護膜４０１を形成させることによりある程度制御することができる。
【０００６】しかしながら、より小型化かつ歩留まりの高い光半導体素子が求められる現在においては十分ではなく、更なる改良が求められている。特に、絶縁性被膜を成膜させると短絡を生ずる数が減るものの、いまだ十分な歩留まりがあるフリップチップ型光半導体素子とすることができなかった。したがって、本発明はより短絡の少ない高輝度発光可能なフリップチップ型光半導体素子を提供することを目的とする。
【０００７】
【課題を解決するための手段】本発明は透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子である。特に、保護膜は絶縁性被膜からなる第１層と、第１層上の金属層と、金属層上に絶縁性被膜からなる第２層の少なくとも３層構造からなる。
【０００８】これにより、制御性よく絶縁被膜を半導体接合部等に形成することができると共にフリップチップ型光半導体素子の電気的接続時においても極めて短絡の少ないものとし得る。即ち、金属層（合金を含む）を形成させることにより、導電性ペーストを構成する導電性部材が絶縁性被膜を介して進入することを防ぎ短絡を防止することができる。また、発光素子で放出された発光波長を効率よく外部に放出させることができる、或いは外部からの光を半導体に効率よく吸収できる受光素子とすることができる。
【０００９】本発明の請求項２に記載の構成は、第１層及び／又は第２層が酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミドから選択される少なくとも一種である。これにより、より信頼性の高いフリップチップ型光半導体素子とすることができる。
【００１０】本発明の請求項３に記載の構成は、金属層が電極の一部を構成するものである。これにより、比較的簡単な構成で保護膜の工程を簡略化しつつ信頼性の高いフリップチップ型光半導体素子とすることができる。

IKEA Supply AG
Exhibit 1002 Page 126 of 361

【００１１】
【発明の実施の形態】本発明者は種々の実験の結果、窒化物半導体素子上を被覆する被膜を特定構造とすることにより、信頼性の高いフリップチップ型光半導体素子としうることを見出し本発明を成すに至った。
【００１２】即ち、無機絶縁膜は緻密で欠陥のない薄膜を形成することが難しいこと、及びフリップチップ型光半導体素子の電気的接続に使用される導電性接着剤により短絡すると考えられる。より具体的には導電性接着剤を構成するＡｇなどの導電性部材は、周辺環境の水分等によりイオン化される。イオン化された金属は、窒化物半導体との通電に伴い無機絶縁膜内をマイグレーションして短絡を生ずる場合がある。短絡に伴い半導体の機能低下ばかりでなく、半導体素子が破壊される場合もある。特に、半導体接合部での短絡は、窒化物半導体素子に特に大きな影響を与えると考えられる。本発明は絶縁膜間に金属膜を挟み込む保護膜の構成とすることにより、絶縁部材を通して半導体接合部などに形成される短絡を防止し得るものである。なお、このような問題は発光素子のみならず受光素子においても同様な問題である。
【００１３】以下、本発明の具体的実施態様例について図１を用いて説明する。図１には、サファイア基板１０４上にｎ型窒化物半導体、ｐ型窒化物半導体をそれぞれ成膜させた後、ｐ型窒化物半導体を部分的にエッチングさせｎ型窒化物半導体層の表面まで露出させる。ｐ型及びｎ型窒化物半導体上に電極１１０、１１１、１１２を形成させた後、プラズマＣＶＤ法により酸化珪素を全面に成膜する。酸化珪素をマスクを利用したエッチングにより、電極表面の一部を露出させ第１層１０１としての絶縁膜を形成させた。次に、白金をスパッタリング法により成膜させ、第１層上に金属層１０２を形成させる。さらに、第１層１０１と同様にして、酸化珪素をプラズマＣＶＤ法により絶縁性の第２層１０３として成膜させ三層構成の保護膜を形成させた。形成させたフリップチップ型光半導体素子の電極と、駆動回路基板の電極パターンとをＣｕ含有のエポキシ樹脂を用いて電気的に接続させた。駆動回路から電流を供給するとＬＥＤチップが発光する。ＬＥＤチップからの光はサファイアを直接透過して外部に取り出させるものの他、保護膜を形成する金属層により反射されサファイア取り出されるものがある。そのため、ＬＥＤチップからの発光波長を高効率で放出することができる。以下、本発明の各構成について詳述する。
【００１４】（保護膜）本発明の保護膜は、少なくとも絶縁性被膜からなる第１層１０１、金属層１０２、絶縁性被膜１０３からなる第２層で構成されている。特に、保護膜は少なくとも光半導体素子の半導体接合部をフリップチップ型光半導体素子の導通時に利用される導電性ペーストや半田などの接触から防止するものである。したがって、各層は以下の如き特性を持っていることが好ましい。
【００１５】（第１層１０１、２０１、３０１）第１層としては窒化物半導体と接して形成することができるため、窒化物半導体との密着性が良いものが好ましい。また、第１層１０１上に金属層１０２を形成するために絶縁性の高い絶縁膜が好ましい。第１層１０１は発光素子が発光する波長を効率よく反射する或いは、受光素子が受光する波長に対して効率よく反射することで光利用効率を高めることができる。具体的には、第１層１０１の膜厚を発光素子の発光波長や受光素子の受光波長に対し１／４倍の厚さとすることで反射率を向上させることができる。また、発光素子から放出された発光波長を金属層１０２で反射させる場合は、第１層１０１が少なくとも発光素子から放出される発光波長や受光素子で受光される受光波長に対して透光性の高い層とすることが好ましい。
【００１６】このような第１層１０１に用いられる材料としては、酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム及び窒化珪素などの金属酸化物や金属窒化物、さらにはポリイミドなどの樹脂が好適に挙げられる。第１層１０１が無機絶縁膜の場合はスパッタリング法や各種ＣＶＤ法などを利用することにより、小型な光半導体素子においても制御性よく形成することができる。特に、緻密な無機絶縁膜を成膜させるためはプラズマＣＶＤ法を利用することが好ましい。
【００１７】（金属層１０２、２０２、３０２）金属層１０２は導電時に保護膜を構成する第２層１０３を介して進入する外部などからの金属イオンなどを実質的に防止する働きをするものである。金属層１０２は、スパッタリング法や真空蒸着法などにより薄膜、かつ制御性良く形成することができる他、欠陥の少ない膜として形成しやすい。また、第１層１０１を透過した波長を効率よく反射する金属（合金や積層物を含む）を選択することにより、集光性等を高め光取りだし効率を高めることができる。
【００１８】このような金属層１０２は外部からのイオンの進入を止める。或いは、導電性ペースト、導電性ペーストを構成するフィラや半田の進入を防止しうるものであれば種々の金属でも選択することができる。金属層の具体的材料としては、ニッケル、白金、金、アルミニウム、タングステン、モリブデンやこれらの合金や積層物が好適に挙げられる。
【００１９】金属層はイオンマイグレーションを好適に防止しうるものであるため、金属層自体がイオン化し難いものが好ましい。特に、銀は、導電性が高く、窒化物半導体のバンドギャップに対応する光に対して反射性はよい。しかし、イオンマイグレーションを起こしやすい銀を除いた金属元素で構成することが好ましい。また、

IKEA Supply AG
Exhibit 1002 Page 127 of 361

金属層１０２の厚みは発光素子からの発光波長を反射及び小型化などを考慮すると百Åから数ミクロン程度の厚みで形成することが好ましい。金属層１０２は短絡しない限り、窒化物半導体の全周を被覆するように形成しても良いし、複数に分割した形状で形成することもできる。

【００２０】複数に分割された場合、ｐ型或いはｎ型の電極の一部を構成することもできる。これにより、電極形成と同時に金属層３０２を形成することができる。そのため複数のマスクとエッチング工程を簡略して、工程数を低減することができる。このような金属層３０２として具体的にはｐ型窒化物半導体の電極として機能させる場合は、オーミック接触等を考慮して、ニッケル、コバルト、金や白金などの金属元素で構成されていることが好ましい。同様に、ｎ型窒化物半導体の電極としても機能させる場合は、タングステン、アルミニウムやチタンなどの金属元素で構成されていることが好ましい。さらに、窒化物半導体を活性層を介してダブルヘテロ構造としたＬＥＤに利用した場合、活性層の端面から放出される光が特に多いことから活性層を絶縁層を介した金属層で被覆することにより、発光効率をより向上させることができる。

【００２１】（第２層１０３）第２層１０３は金属層１０２を被覆する絶縁被膜であり外部と窒化物半導体とを電気的に絶縁するために設けられるものである。したがって、金属層１０２上に直接形成される場合は金属層１０２と密着性がよく絶縁性が高いことが求められる。第２層１０３に用いられる材料としては、第１層１０１と同様、種々の金属酸化物、金属窒化物などの無機物質の他、有機樹脂を種々選択することができる。より具体的には、酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミド樹脂などを好適に挙げることができる。第２層１０３が無機絶縁膜の場合は緻密に形成させるほど短絡の傾向が減少するが、緻密に形成させるためには成膜時間がかかる傾向にある。

【００２２】一方、第２層１０３はフリップチップ型光半導体素子の最外郭に配置される場合がある。このような、第２層１０３の場合は実装時における保護膜の損傷を防止するため、ポリイミドなどの絶縁性有機物質を使用することもできる。これにより、信頼性を更に向上させることもできる。具体的には、窒化物半導体は、サファイア基板などの上に形成させた後、粘着シート上でスクライブなどにより個々の窒化物半導体素子に分割される。分割された窒化物半導体素子が取り上げ可能なように粘着シートをのばし、粘着シート下部から突き上げピンによって個々の半導体素子を突き上げ、コレットに吸着する。他方、搭載させる駆動基板側の電極にＡｇペーストなどの導電性ペーストを塗布する。コレットによって吸着した窒化物半導体素子を導電性ペースト上に乗せ、導電性接着剤を硬化させる。これによって、所望の駆動基板上などに窒化物半導体素子を配置固定することができる。

【００２３】窒化物半導体素子の場合、比較的硬いサファイア基板などの上に窒化物半導体が形成される。そのため、基板側においては比較的強度が高いものの、コレットで吸着させる際、突き上げピンは絶縁被膜を形成させた電極面側を突き上げる。そして半導体面（サファイア基板に対して窒化物半導体側）を配線基板の導電部に導電性接着剤を介してフリップチップボンディングさせる。

【００２４】この場合、短絡不良を防止するために窒化物半導体面、窒化物半導体端面及び露出している基板面等に絶縁膜を形成しているにも関わらず、短絡不良の発生率がかなり高くなる傾向がある。この原因として、発光面が基板面の時は基板が硬いために突き上げピンによって傷や割れが発生し難い。特に、窒化物半導体面側を突き上げピンによって突き上げる場合は、保護膜に傷や割れ等が発生し易くなるために短絡の発生率が高いものと考えられる。

【００２５】そこで、有機樹脂による絶縁被膜を特に第２層１０３として形成させた場合はフリップチップボンディング形式の窒化物半導体素子において、突き上げピンによる窒化物半導体面の傷及び絶縁膜の割れを防止し、短絡不良がなく信頼性の高い窒化物半導体素子とすることができる。

【００２６】即ち、第２層１０３を有機絶縁膜とすることにより、配線基板への実装時における粘着シート下部からの突き上げピンの物理的衝撃を緩和し、短絡の原因となる絶縁膜の割れ等を効果的に防止できるものである。このような、第２層１０３にポリイミド系薄膜を利用した場合における具体的な膜厚は、突き上げピンで突き上げた時に受ける物理的力の緩和、及び絶縁膜の耐圧の点で１～１０μｍとすることが好ましい。また、ポリイミド系薄膜の発光主波長における透過率が６０％以下であると、窒化物半導体素子端面からの漏光を抑制、光学特性のばらつきの軽減される。そのため、配光特性の安定性が得られるためより好ましい。

【００２７】（光半導体素子）本発明の光半導体素子は、窒化物半導体からなる受光素子や発光素子である。透光性絶縁基板上に形成され少なくとも半導体接合を有する窒化物半導体により構成することができる。具体的には、透光性絶縁基板上にＭＯＣＶＤ法やＨＶＰＥ法を用いて窒化物半導体を形成させることができる。このような透光性絶縁基板としては、窒化ガリウム、サファイア（Al_2O_3）やスピネル（$MgAl_2O_4$）などが挙げられる。半導体接合としては、ＭＩＳ接合、ＰＩＮ接合の他、ｐｎ接合が挙げられる。また、光半導体素子の特性により、ホモやダブルヘテロ構造とすることができる。さらに、単一量子井戸構造や多重量子井戸構造とす

IKEA Supply AG
Exhibit 1002 Page 128 of 361

ることもできる。

【００２８】ｐｉｎ接合やｐｎ接合が短絡することで、半導体特性に大きな損傷が加わる。そのため、本発明が有効に働くことになる。半導体の材料やその混晶度によって光半導体素子の発光波長及び受光波長を紫外光から赤色領域まで種々選択することができる。

【００２９】なお結晶性の良い窒化物半導体を形成させるためにはサファイヤ基板を用いることが好ましい。このサファイヤ基板上に格子不整合緩和のためにＧａＮ、ＡｌＮ等のバッファー層を形成しその上にｐｎ接合などを有する窒化物半導体を形成させることにより半導体特性の優れた発光素子や受光素子を構成させることができる。サファイアで基板を形成させると硬度が高く、基板自体が透光性を持つと共に外部からの水分等の進入を防ぐことができるため特に好ましい。

【００３０】窒化物半導体は、不純物をドープしない状態でｎ型導電性を示すが、ｎ型ドーパントとしてＳｉ、Ｇｅ、Ｓｅ、Ｔｅ、Ｓｎ等を適宜導入することが好ましい。また、ｎ型ドーパントと微量のｐ型ドーパントとをドーピングしたダブルドーピングすることもできる。これらのドーパントの種類とドーピング量を変えることによってキヤリア密度を制御し電気抵抗を下げることができる。一方、ｐ型窒化物半導体を形成させる場合は、ｐ型ドーパントであるＺｎ、Ｍｇ、Ｂｅ、Ｃａ、Ｓｒ、Ｂａ等をドープさせる。窒化ガリウム半導体は、ｐ型ドーパントをドープしただけでは低抵抗化しにくいためｐ型ドーパント導入後に、低速電子線照射、プラズマ照射や熱処理等させることで低抵抗化処理することができる。

【００３１】半導体露出面側に一対の電極を形成するためには各半導体を所望の形状にエッチングしてあることが好ましい。エッチングとしては、ドライエッチングや、ウエットエッチングがある。ドライエッチングとしては例えば反応性イオンエッチング、イオンミリング、集束ビームエッチング、ＥＣＲエッチング等が挙げられる。又、ウエットエッチングとしては、硝酸と燐酸の混酸を用いることができる。ただし、エッチングを行う前に所望の形状に窒化珪素や酸化珪素等の材料を用いてマスクを形成することは言うまでもない。以下、本発明の実施例について詳述するがこれのみに限定されるものでないことはいうまでもない。

【００３２】

【実施例】（実施例１）洗浄されたサファイアのＣ面を成膜表面としてＭＯＣＶＤ法を用いて窒化物半導体を成膜した。成膜装置内にサファイア基板１０４を配置し６５０℃に加熱すると共に、ＴＭＧ（トリメチルガリウム）ガス、窒素ガスを原料ガス、水素ガスをキャリアガスとして流しバッファ層１０５を形成させた。一旦、原料ガスの導入を止めた後、成膜温度を１１５０℃に上げＴＭＧガス、窒素ガス、水素ガスにｎ型ドーパントガスとしてシランを加えて厚さ５μｍのｎ型窒化ガリウム層１０６を成膜した。次に、ＴＭＧガスの供給を停止し、成膜温度を８００℃に低下させた後、ＴＭＧガス、ＴＭＡ（トリメチルアルミニウム）ガス、窒素ガス及び水素ガスを供給させて厚さ３ｎｍの窒化インジウムガリウムを発光層１０７として成膜させた。

【００３３】次に、原料ガスの供給を停止して成膜温度を１０５０℃に上げた後、再び原料ガスとしてＴＭＧガス、ＴＭＡガス、窒素ガス、キャリアガスとして水素ガス、不純物ガスとしてシクロペンタジエチルマグネシウムを加えて厚さ３００Åのｐ型クラッド層１０８を成膜させる。

【００３４】ｐ型クラッド層１０８上にＴＭＡガスの供給を停止した以外はｐ型クラッド層の形成と同様にして厚さ１５００Åのｐ型コンタクト層１０９を成膜させる。（なお、ｐ型窒化物半導体となる半導体層は成膜後４００℃以上で熱処理してある。）こうして活性層を介してダブルヘテロ構造である窒化物半導体を成膜した。半導体ウエハの同一面側に電極を形成させるため、マスクを利用して、活性層、ｐ型クラッド層、ｐ型コンタクト層を一部残しつつｎ型コンタクト層まで、部分的にエッチングさせてある。同様に各ＬＥＤチップとして分離できる大きさでサファイア基板上までそれぞれエッチングしてある。エッチング後、サファイア基板上には島状の窒化物半導体層が形成されることとなる。

【００３５】ｐ型コンタクト層１０９と接触し全面を被覆する電極１１０として白金を５００Åでスパッタリング法を用いて成膜した。この電極１１０上には、１００μｍ角のｐ型電極１１１として白金を０．７μｍで成膜した。ｎ型コンタクト層１０６上には直径１００μｍのｎ型電極１１２としてタングステン／アルミニウムを２００Å／０．７μｍとして成膜した。これによって、島状の窒化物半導体上には同一平面側に正負一対の電極１１１、１１２が形成されたことになる。

【００３６】各窒化物半導体が形成されたｐ型及びｎ型の各電極上に第１層１０１を形成すべく、半導体ウエハをプラズマＣＶＤ装置内に配置させた。シランガス及び酸化窒素ガスを原料ガスとして酸化珪素膜を半導体ウエハの全面に形成させた。酸化珪素膜を形成後、プラズマＣＶＤ装置から取り出し、レジストマスクを利用してドライエッチングさせることによりｐ型電極１１１及びｎ型電極１１２の表面を露出させた。レジストマスクを除去して半導体ウエハ上に第１層１０１となる酸化珪素膜が形成させた。

【００３７】続いて、半導体ウエハをスパッタリング装置内に配置させ、ターゲットをプラチナとしスパッタリングすることにより、金属層１０２となる厚さ５００Åのプラチナを成膜させた。リフトオフによりｐ型電極１１１及びｎ型電極１１２の表面を露出させた。さらに、第１層１０１と同様の条件で再び第２層１０２の酸化珪素を形成させる。その後、ｐ型電極１１１及びｎ型電極

IKEA Supply AG
Exhibit 1002 Page 129 of 361

１１２に形成されたマスクを除去する。これにより、各ｐ型電極１１１、ｎ型電極１１２の表面及びサファイア基板１０４以外は窒化物半導体の表面には、酸化珪素１０１、プラチナ１０２、酸化珪素１０３の三層構成となる保護膜が形成される。半導体ウエハを分離することにより、各々フリップチップ型ＬＥＤを得ることができる。

【００３８】得られたＬＥＤチップの内、１４００個を電極の間隔が約１００μである一対の電極が形成された駆動回路上にＡｇペーストを用いてダイボンディングさせた。各ＬＥＤに電流を流したところサファイア基板１０４を介して発光しており全て発光可能であった。

【００３９】（比較例１）金属層、第２層を設けるかわりに第１層の厚みを実施例１の保護膜の厚みと同じ膜厚とした以外は同様にして図４の如き、フリップチップ型ＬＥＤを形成させた。実施例１と同様に駆動回路上にＡｇペーストを用いて１４００個のＬＥＤをダイボンディングさせた。各ＬＥＤに電流を流したところ不灯となったものが５個あった。また、発光輝度が極端に暗くなったものが８個あった。不灯となったものを集束イオンビーム加工装置を用いて調べたところ、保護膜を介してＡｇが貫通しているためにリークしていた。また、発光輝度が極端に暗くなったものを除いた平均輝度を１００とした場合、実施例１の平均輝度は１２１であった。

【００４０】（実施例２）実施例２は図２に示したＬＥＤの如く、第２層２０３を酸化珪素で形成させるかわりにポリイミド被膜とした。ポリイミド被膜を塗布硬化して第２層２０３を形成させた以外は、実施例１と同様にしてフリップチップ型ＬＥＤを構成させた。得られたＬＥＤを実施例１、比較例１と同様にして測定したところ実施例１とほぼ同様の結果が得られた。なお、実施例２は実施例１に対して経時劣化が少なくなる傾向にある。

【００４１】（実施例３）金属層３０２の厚みを０．７μｍとして図３の如く、ｐ型電極として一体的に形成させた以外は、実施例１と同様にしてフリップチップ型ＬＥＤを形成させた。得られたＬＥＤは工程を簡略化したにもかかわらず、実施例１とほぼ同様の信頼性を得ることができた。

【００４２】

【発明の効果】本発明はサファイア基板上の窒化物半導体を利用したフリップチップ型光半導体素子であり、特に光半導体素子に設けられた半導体接合を少なくとも３層構成の保護膜で被覆することにより発光輝度を向上させると共に短絡の少ないフリップチップ型光半導体素子とすることができる。

【図面の簡単な説明】

【図１】　本発明のフリップチップ型光半導体素子の模式的断面図を示す。

【図２】　本発明の別のフリップチップ型光半導体素子を駆動基板上に配置させた模式的断面図を示す。

【図３】　本発明の他のフリップチップ型光半導体素子の模式的断面図を示す。

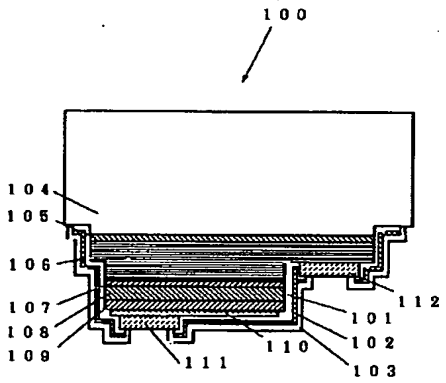
【図４】本発明と比較のために示すフリップチップ型光半導体素子の模式的断面図を示す。

【符号の説明】

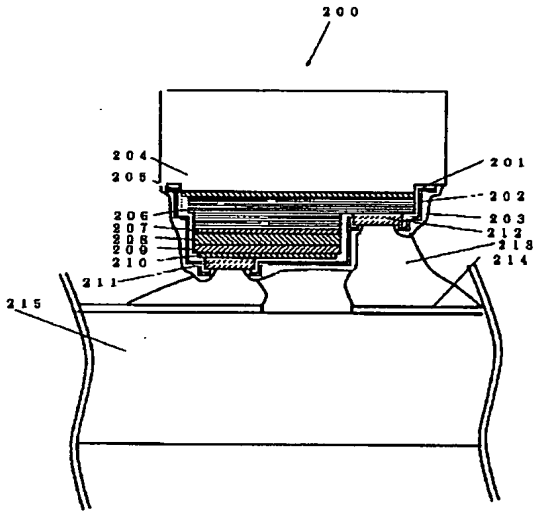
１００、２００、３００・・・光半導体素子
１０１、２０１、３０１・・・無機絶縁膜からなる第１層
１０２、２０２・・・金属層
１０３、３０３・・・無機絶縁膜からなる第２層
１０４、２０４、３０４・・・透光性絶縁基板
１０５、２０５、３０５・・・バッファ層
１０６、２０６、３０６・・・ｎ型コンタクト層
１０７、２０７、３０７・・・活性層
１０８、２０８、３０８・・・ｐ型クラッド層
１０９、２０９、３０９・・・ｐ型コンタクト層
１１０、２１０、３１０・・・ｐ型半導体上に形成された電極
１１１、２１１・・・ｐ型電極
１１２、２１２、３１２・・・ｎ型電極
２０３・・・有機絶縁膜からなる第２層
２１４・・・駆動基板上に形成された電極パターン
２１５・・・駆動基板
３０２・・・ｐ型電極を構成する金属層
４００・・・光半導体素子
４０１・・・無機絶縁膜からなる第１層
４０４・・・透光性絶縁基板
４０５・・・バッファ層
４０６・・・ｎ型コンタクト層
４０７・・・活性層
４０８・・・ｐ型クラッド層
４０９・・・ｐ型コンタクト層
４１０・・・ｐ型半導体上に形成された電極
４１１・・・ｐ型電極
４１２・・・ｎ型電極

IKEA Supply AG
Exhibit 1002 Page 130 of 361

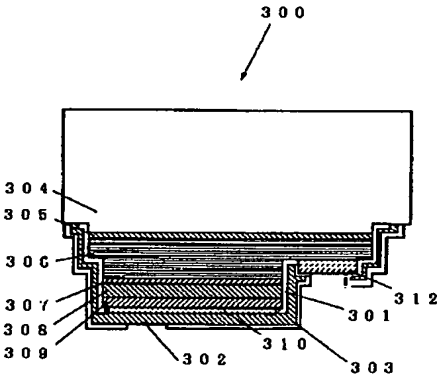
【図１】


１００
１０４
１０５
１０６
１０７
１０８
１０９
１１１
１１０
１０１
１０２
１０３
１１２

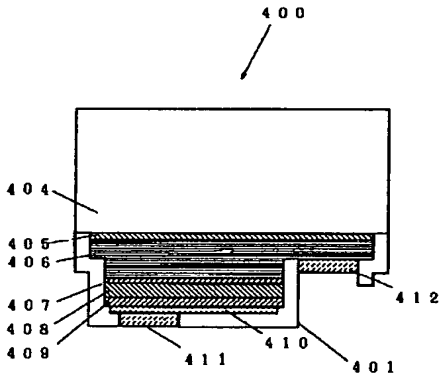
【図２】


２００
２０４
２０５
２０６
２０７
２０８
２０９
２１０
２１１
２１５
２０１
２０２
２０３
２１２
２１３
２１４

【図３】


３００
３０４
３０５
３０６
３０７
３０８
３０９
３０２
３１０
３０３
３０１
３１２

【図４】


４００
４０４
４０５
４０６
４０７
４０８
４０９
４１１
４１０
４０１
４１２

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-080050
(43)Date of publication of application : 11.03.2004

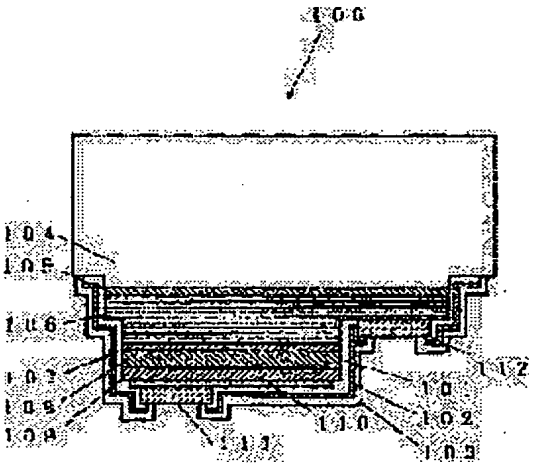
(51)Int.Cl. H01L 33/00

(21)Application number : 2003-354383
(22)Date of filing : 14.10.2003

(71)Applicant : NICHIA CHEM IND LTD
(72)Inventor : TAKAOKA YOSHIKAZU

(54) FLIP CHIP OPTICAL SEMICONDUCTOR ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a high-luminance flip chip optical semiconductor element capable of being used as a light-emitting element for various indicators and printer heads of optical printers or a light-receiving element for solar batteries, and causing almost no short-circuit regardless of the positional accuracy when arranged on a drive substrate.
SOLUTION: The flip chip optical semiconductor element comprises positive and negative electrodes on an identical plane of a nitride semiconductor formed on a transparent insulating substrate, and a protective film coating the surface of the nitride semiconductor layer excluding the exposed part of the electrode surface. The protective film has a structure of at least three layers consisting of a first layer made up of an insulating coating, a metal layer on the first layer, and a second layer made up of an insulating coating on the metal layer.



LEGAL STATUS

[Date of request for examination] 23.05.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-80050
(P2004-80050A)
(43)公開日　平成16年3月11日(2004.3.11)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 33/00	H01L 33/00	C	5F041

審査請求 未請求　請求項の数 7　OL　（全 11 頁）

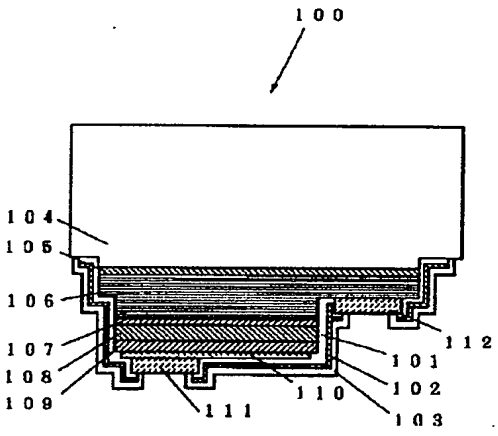
(21)出願番号　特願2003-354383 (P2003-354383)
(22)出願日　平成15年10月14日 (2003.10.14)
(62)分割の表示　特願平10-141873の分割
原出願日　平成10年5月22日 (1998.5.22)

(71)出願人　000226057
日亜化学工業株式会社
徳島県阿南市上中町岡４９１番地１００
(72)発明者　高岡　美和
徳島県阿南市上中町岡４９１番地１００
日亜化学工業株式会社内

Fターム(参考)　5F041 AA25 CA04 CA13 CA40 CA57
CA65 CA74 CA83 CA87 DA02
DA09 DA20 FF01 FF13

(54)【発明の名称】フリップチップ型光半導体素子

(57)【要約】
【課題】本発明は各種インジケータや光プリンタのプリンタヘッド用など種々の発光素子や太陽電池などの受光素子として利用可能なフリップチップ型光半導体素子に係わり、特に、駆動基板上への配置においても位置精度に関わりなく短絡が極めて少ない高輝度フリップチップ型光半導体素子を提供することにある。
【解決手段】本発明は透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子である。特に、保護膜は絶縁性被膜からなる第１層と、第１層上の金属層と、金属層上に絶縁性被膜からなる第２層の少なくとも３層構造からなる。
【選択図】　図１



【特許請求の範囲】
【請求項１】
透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子であって、
前記保護膜は絶縁性被膜からなる第１層と、該第１層上の金属層と、該金属層上に絶縁性被膜からなる第２層の少なくとも３層構造を有することを特徴とするフリップチップ型光半導体素子。
【請求項２】
前記第１層及び／又は第２層が酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミドから選択される少なくとも一種である請求項１に記載のフリップチップ型光半導体素子。
【請求項３】
前記金属層が前記電極の一部を構成している請求項１に記載のフリップチップ型光半導体素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は各種インジケータや光プリンタのプリンタヘッド用など種々の発光素子や太陽電池などの受光素子として利用可能なフリップチップ型光半導体素子に係わり、特に、駆動基板上への配置においても位置精度に関わりなく短絡が極めて少ない高輝度フリップチップ型光半導体素子に関する。
【背景技術】
【０００２】
駆動基板の電極上にＬＥＤチップの電極を直接、Ａｇペーストや半田などにより導通固定させるフリップチップ型光半導体素子がある。このようなＬＥＤチップは、導通を取るためにワイヤを用いる必要がなく、比較的簡単な工程で比較的小型なＬＥＤチップを搭載することができる。
【０００３】
このようなフリップチップ型光半導体素子の模式的断面図を図４に示す。図４にはサファイア基板４０４上にバッファ層４０５を介してｎ型窒化物半導体、Ｐ型窒化物半導体が形成されたＬＥＤチップが示されている。半導体表面側から導通を取る為に半導体の一部を除去してＰ型及びｎ型窒化物半導体の表面をそれぞれ露出させてある。Ｐ型及びｎ型窒化物半導体の表面にはそれぞれ各Ｐ型電極４１１及びｎ型電極４１２を形成してある。したがって、Ｐ型電極４１１及びｎ型電極４１２はそれぞれ同一平面側に形成されている。
【０００４】
ＬＥＤチップは予め駆動基板の電極パターン上にＡｇペーストなどを塗布した後、電極面を下にした状態でＬＥＤチップを配置させる。Ａｇペーストを硬化させることで、ＬＥＤチップを固定すると共に駆動基板の電極とＬＥＤチップの各電極との導通を取ることができる。
【特許文献１】特開平９－１９９７８７号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
ＬＥＤチップは一片が３５０μｍ以下でＬＥＤチップ上の電極は一辺が約１００μｍ程度と極めて小さな場合がある。この場合、ＬＥＤチップをダイボンド機器を用いて精度良く配置させることが難しい。また、上述のフリップチップ型光半導体素子は同一面側に異なる極性を持った半導体接合が露出形成される場合がある。そのため、Ａｇペーストなどを介してＬＥＤチップの電極と駆動基板の電極パターンとを接続する場合、ＬＥＤチップの配置ずれによりＡｇペーストが半導体接合間をショートしてしまう場合がある。また、

Ａｇペーストの粘度、ＬＥＤチップ表面との表面張力によりＡｇペーストが半導体接合箇所まで追い上がり、同様に半導体接合間を短絡してしまう場合がある。短絡は発光輝度の低下のみならず発光素子の破壊を生ずる。このような、短絡は電極表面を除いて酸化珪素などの保護膜４０１を形成させることによりある程度制御することができる。

【０００６】

しかしながら、より小型化かつ歩留まりの高い光半導体素子が求められる現在においては十分ではなく、更なる改良が求められている。特に、絶縁性被膜を成膜させると短絡を生ずる数が減るものの、いまだ十分な歩留まりがあるフリップチップ型光半導体素子とすることができなかった。したがって、本発明はより短絡の少ない高輝度発光可能なフリップチップ型光半導体素子を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明は透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子である。特に、保護膜は絶縁性被膜からなる第１層と、第１層上の金属層と、金属層上に絶縁性被膜からなる第２層の少なくとも３層構造からなる。

【０００８】

これにより、制御性よく絶縁被膜を半導体接合部等に形成することができると共にフリップチップ型光半導体素子の電気的接続時においても極めて短絡の少ないものとし得る。即ち、金属層（合金を含む）を形成させることにより、導電性ペーストを構成する導電性部材が絶縁性被膜を介して進入することを防ぎ短絡を防止することができる。また、発光素子で放出された発光波長を効率よく外部に放出させることができる、或いは外部からの光を半導体に効率よく吸収できる受光素子とすることができる。

【０００９】

本発明の請求項２に記載の構成は、第１層及び／又は第２層が酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミドから選択される少なくとも一種である。これにより、より信頼性の高いフリップチップ型光半導体素子とすることができる。

【００１０】

本発明の請求項３に記載の構成は、金属層が電極の一部を構成するものである。これにより、比較的簡単な構成で保護膜の工程を簡略化しつつ信頼性の高いフリップチップ型光半導体素子とすることができる。

【発明の効果】

【００１１】

本発明はサファイア基板上の窒化物半導体を利用したフリップチップ型光半導体素子であり、特に光半導体素子に設けられた半導体接合を少なくとも３層構成の保護膜で被覆することにより発光輝度を向上させると共に短絡の少ないフリップチップ型光半導体素子とすることができる。

【発明を実施するための最良の形態】

【００１２】

本発明者は種々の実験の結果、窒化物半導体素子上を被覆する被膜を特定構造とすることにより、信頼性の高いフリップチップ型光半導体素子とし得ることを見出し本発明を成すに至った。

【００１３】

即ち、無機絶縁膜は　密で欠陥のない薄膜を形成することが難しいこと、及びフリップチップ型光半導体素子の電気的接続に使用される導電性接着剤により短絡すると考えられる。より具体的には導電性接着剤を構成するＡｇなどの導電性部材は、周辺環境の水分等によりイオン化される。イオン化された金属は、窒化物半導体との通電に伴い無機絶縁膜内をマイグレーションして短絡を生ずる場合がある。短絡に伴い半導体の機能低下ばかりでなく、半導体素子が破壊される場合もある。特に、半導体接合部での短絡は、窒化物半

導体素子に特に大きな影響を与えると考えられる。本発明は絶縁膜間に金属膜を挟み込む保護膜の構成とすることにより、絶縁部材を通して半導体接合部などに形成される短絡を防止し得るものである。なお、このような問題は発光素子のみならず受光素子においても同様な問題である。

【００１４】

以下、本発明の具体的実施態様例について図１を用いて説明する。図１には、サファイア基板１０４上にｎ型窒化物半導体、Ｐ型窒化物半導体をそれぞれ成膜させた後、Ｐ型窒化物半導体を部分的にエッチングさせｎ型窒化物半導体層の表面まで露出させる。Ｐ型及びｎ型窒化物半導体上に電極１１０、１１１、１１２を形成させた後、プラズマＣＶＤ法により酸化珪素を全面に成膜する。酸化珪素をマスクを利用したエッチングにより、電極表面の一部を露出させ第１層１０１としての絶縁膜を形成させた。次に、白金をスパッタリング法により成膜させ、第１層上に金属層１０２を形成させる。さらに、第１層１０１と同様にして、酸化珪素をプラズマＣＶＤ法により絶縁性の第２層１０３として成膜させ三層構成の保護膜を形成させた。形成させたフリップチップ型光半導体素子の電極と、駆動回路基板の電極パターンとをＣｕ含有のエポキシ樹脂を用いて電気的に接続させた。駆動回路から電流を供給するとＬＥＤチップが発光する。ＬＥＤチップからの光はサファイアを直接透過して外部に取り出させるものの他、保護膜を形成する金属層により反射されサファイア取り出されるものがある。そのため、ＬＥＤチップからの発光波長を高効率で放出することができる。以下、本発明の各構成について詳述する。

【００１５】

（保護膜）

本発明の保護膜は、少なくとも絶縁性被膜からなる第１層１０１、金属層１０２、絶縁性被膜１０３からなる第２層で構成されている。特に、保護膜は少なくとも光半導体素子の半導体接合部をフリップチップ型光半導体素子の導通時に利用される導電性ペーストや半田などの接触から防止するものである。したがって、各層は以下の如き特性を持っていることが好ましい。

【００１６】

（第１層１０１、２０１、３０１）

第１層としては窒化物半導体と接して形成することができるため、窒化物半導体との密着性が良いものが好ましい。また、第１層１０１上に金属層１０２を形成するために絶縁性の高い絶縁膜が好ましい。第１層１０１は発光素子が発光する波長を効率よく反射する或いは、受光素子が受光する波長に対して効率よく反射することで光利用効率を高めることができる。具体的には、第１層１０１の膜厚を発光素子の発光波長や受光素子の受光波長に対し１／４倍の厚さとすることで反射率を向上させることができる。また、発光素子から放出された発光波長を金属層１０２で反射させる場合は、第１層１０１が少なくとも発光素子から放出される発光波長や受光素子で受光される受光波長に対して透光性の高い層とすることが好ましい。

【００１７】

このような第１層１０１に用いられる材料としては、酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム及び窒化珪素などの金属酸化物や金属窒化物、さらにはポリイミドなどの樹脂が好適に挙げられる。第１層１０１が無機絶縁膜の場合はスパッタリング法や各種ＣＶＤ法などを利用することにより、小型な光半導体素子においても制御性よく形成することができる。特に、　密な無機絶縁膜を成膜させるためはプラズマＣＶＤ法を利用することが好ましい。

【００１８】

（金属層１０２、２０２、３０２）

金属層１０２は導電時に保護膜を構成する第２層１０３を介して進入する外部などからの金属イオンなどを実質的に防止する働きをするものである。金属層１０２は、スパッタリング法や真空蒸着法などにより薄膜、かつ制御性良く形成することができる他、欠陥の少ない膜として形成しやすい。また、第１層１０１を透過した波長を効率よく反射する金

属（合金や積層物を含む）を選択することにより、集光性等を高め光取りだし効率を高めることができる。

【００１９】

このような金属層１０２は外部からのイオンの進入を止める。或いは、導電性ペースト、導電性ペーストを構成するフィラや半田の進入を防止しうるものであれば種々の金属でも選択することができる。金属層の具体的材料としては、ニッケル、白金、金、アルミニウム、タングステン、モリブデンやこれらの合金や積層物が好適に挙げられる。

【００２０】

金属層はイオンマイグレーションを好適に防止しうるものであるため、金属層自体がイオン化し難いものが好ましい。特に、銀は、導電性が高く、窒化物半導体のバンドギャップに対応する光に対して反射性はよい。しかし、イオンマイグレーションを起こしやすい銀を除いた金属元素で構成することが好ましい。また、金属層１０２の厚みは発光素子からの発光波長を反射及び小型化などを考慮すると百Åから数ミクロン程度の厚みで形成することが好ましい。金属層１０２は短絡しない限り、窒化物半導体の全周を被覆するように形成しても良いし、複数に分割した形状で形成することもできる。

【００２１】

複数に分割された場合、Ｐ型或いはｎ型の電極の一部を構成することもできる。これにより、電極形成と同時に金属層３０２を形成することができる。そのため複数のマスクとエッチング工程を簡略して、工程数を低減することができる。このような金属層３０２として具体的にはＰ型窒化物半導体の電極として機能させる場合は、オーミック接触等を考慮して、ニッケル、コバルト、金や白金などの金属元素で構成されていることが好ましい。同様に、ｎ型窒化物半導体の電極としても機能させる場合は、タングステン、アルミニウムやチタンなどの金属元素で構成されていることが好ましい。さらに、窒化物半導体を活性層を介してダブルヘテロ構造としたＬＥＤに利用した場合、活性層の端面から放出される光が特に多いことから活性層を絶縁層を介した金属層で被覆することにより、発光効率をより向上させることができる。

【００２２】

（第２層１０３）

第２層１０３は金属層１０２を被覆する絶縁被膜であり外部と窒化物半導体とを電気的に絶縁するために設けられるものである。したがって、金属層１０２上に直接形成される場合は金属層１０２と密着性がよく絶縁性が高いことが求められる。第２層１０３に用いられる材料としては、第１層１０１と同様、種々の金属酸化物、金属窒化物などの無機物質の他、有機樹脂を種々選択することができる。より具体的には、酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミド樹脂などを好適に挙げることができる。第２層１０３が無機絶縁膜の場合は　密に形成させるほど短絡の傾向が減少するが、　密に形成させるためには成膜時間がかかる傾向にある。

【００２３】

一方、第２層１０３はフリップチップ型光半導体素子の最外郭に配置される場合がある。このような、第２層１０３の場合は実装時における保護膜の損傷を防止するため、ポリイミドなどの絶縁性有機物質を使用することもできる。これにより、信頼性を更に向上させることもできる。具体的には、窒化物半導体は、サファイア基板などの上に形成させた後、粘着シート上でスクライブなどにより個々の窒化物半導体素子に分割される。分割された窒化物半導体素子が取り上げ可能なように粘着シートをのばし、粘着シート下部から突き上げピンによって個々の半導体素子を突き上げ、コレットに吸着する。他方、搭載させる駆動基板側の電極にＡｇペーストなどの導電性ペーストを塗布する。コレットによって吸着した窒化物半導体素子を導電性ペースト上に乗せ、導電性接着剤を硬化させる。これによって、所望の駆動基板上などに窒化物半導体素子を配置固定することができる。

【００２４】

窒化物半導体素子の場合、比較的硬いサファイア基板などの上に窒化物半導体が形成さ

れる。そのため、基板側においては比較的強度が高いものの、コレットで吸着させる際、突き上げピンは絶縁被膜を形成させた電極面側を突き上げる。そして半導体面（サファイア基板に対して窒化物半導体側）を配線基板の導電部に導電性接着剤を介してフリップチップボンディングさせる。

【００２５】

この場合、短絡不良を防止するために窒化物半導体面、窒化物半導体端面及び露出している基板面等に絶縁膜を形成しているにも関わらず、短絡不良の発生率がかなり高くなる傾向がある。この原因として、発光面が基板面の時は基板が硬いために突き上げピンによって傷や割れが発生し難い。特に、窒化物半導体面側を突き上げピンによって突き上げる場合は、保護膜に傷や割れ等が発生し易くなるために短絡の発生率が高いものと考えられる。

【００２６】

そこで、有機樹脂による絶縁被膜を特に第２層１０３として形成させた場合はフリップチップボンディング形式の窒化物半導体素子において、突き上げピンによる窒化物半導体面の傷及び絶縁膜の割れを防止し、短絡不良がなく信頼性の高い窒化物半導体素子とすることができる。

【００２７】

即ち、第２層１０３を有機絶縁膜とすることにより、配線基板への実装時における粘着シート下部からの突き上げピンの物理的衝撃を緩和し、短絡の原因となる絶縁膜の割れ等を効果的に防止できるものである。このような、第２層１０３にポリイミド系薄膜を利用した場合における具体的な膜厚は、突き上げピンで突き上げた時に受ける物理的力の緩和、及び絶縁膜の耐圧の点で１～１０μｍとすることが好ましい。また、ポリイミド系薄膜の発光主波長における透過率が６０％以下であると、窒化物半導体素子端面からの漏光を抑制、光学特性のばらつきの軽減される。そのため、配光特性の安定性が得られるためより好ましい。

【００２８】

（光半導体素子）

本発明の光半導体素子は、窒化物半導体からなる受光素子や発光素子である。透光性絶縁基板上に形成され少なくとも半導体接合を有する窒化物半導体により構成することができる。具体的には、透光性絶縁基板上にＭＯＣＶＤ法やＨＶＰＥ法を用いて窒化物半導体を形成させることができる。このような透光性絶縁基板としては、窒化ガリウム、サファイア（Al_2O_3）やスピネル（$MgAl_2O_4$）などが挙げられる。半導体接合としては、ＭＩＳ接合、ＰＩＮ接合の他、Ｐｎ接合が挙げられる。また、光半導体素子の特性により、ホモやダブルヘテロ構造とすることができる。さらに、単一量子井戸構造や多重量子井戸構造とすることもできる。

【００２９】

Ｐｉｎ接合やＰｎ接合が短絡することで、半導体特性に大きな損傷が加わる。そのため、本発明が有効に働くことになる。半導体の材料やその混晶度によって光半導体素子の発光波長及び受光波長を紫外光から赤色領域まで種々選択することができる。

【００３０】

なお結晶性の良い窒化物半導体を形成させるためにはサファイヤ基板を用いることが好ましい。このサファイヤ基板上に格子不整合緩和のためにＧａＮ、ＡｌＮ等のバッファー層を形成しその上にＰｎ接合などを有する窒化物半導体を形成させることにより半導体特性の優れた発光素子や受光素子を構成させることができる。サファイアで基板を形成させると硬度が高く、基板自体が透光性を持つと共に外部からの水分等の進入を防ぐことができるため特に好ましい。

【００３１】

窒化物半導体は、不純物をドープしない状態でｎ型導電性を示すが、ｎ型ドーパントとしてＳｉ、Ｇｅ、Ｓｅ、Ｔｅ、Ｓｎ等を適宜導入することが好ましい。また、ｎ型ドーパントと微量のＰ型ドーパントとをドーピングしたダブルドーピングすることもできる。こ

れらのドーパントの種類とドーピング量を変えることによってキャリア密度を制御し電気抵抗を下げることができる。一方、P型窒化物半導体を形成させる場合は、P型ドーパントであるZn、Mg、Be、Ca、Sr、Ba等をドープさせる。窒化ガリウム半導体は、P型ドーパントをドープしただけでは低抵抗化しにくいためP型ドーパント導入後に、低速電子線照射、プラズマ照射や熱処理等させることで低抵抗化処理することができる。

【００３２】

半導体露出面側に一対の電極を形成するためには各半導体を所望の形状にエッチングしてあることが好ましい。エッチングとしては、ドライエッチングや、ウエットエッチングがある。ドライエッチングとしては例えば反応性イオンエッチング、イオンミリング、集束ビームエッチング、ECRエッチング等が挙げられる。又、ウエットエッチングとしては、硝酸と燐酸の混酸を用いることができる。ただし、エッチングを行う前に所望の形状に窒化珪素や酸化珪素等の材料を用いてマスクを形成することは言うまでもない。以下、本発明の実施例について詳述するがこれのみに限定されるものでないことはいうまでもない。

【実施例】

【００３３】

（実施例１）

洗浄されたサファイアのC面を成膜表面としてMOCVD法を用いて窒化物半導体を成膜した。成膜装置内にサファイア基板１０４を配置し６５０℃に加熱すると共に、TMG（トリメチルガリウム）ガス、窒素ガスを原料ガス、水素ガスをキャリアガスとして流しバッファ層１０５を形成させた。一旦、原料ガスの導入を止めた後、成膜温度を１１５０℃に上げTMGガス、窒素ガス、水素ガスにn型ドーパントガスとしてシランを加えて厚さ５μmのn型窒化ガリウム層１０６を成膜した。次に、TMGガスの供給を停止し、成膜温度を８００℃に低下させた後、TMGガス、TMA（トリメチルアルミニウム）ガス、窒素ガス及び水素ガスを供給させて厚さ３nmの窒化インジウムガリウムを発光層１０７として成膜させた。

【００３４】

次に、原料ガスの供給を停止して成膜温度を１０５０℃に上げた後、再び原料ガスとしてTMGガス、TMAガス、窒素ガス、キャリアガスとして水素ガス、不純物ガスとしてシクロペンタジエチルマグネシウムを加えて厚さ３００ÅのP型クラッド層１０８を成膜させる。

【００３５】

P型クラッド層１０８上にTMAガスの供給を停止した以外はP型クラッド層の形成と同様にして厚さ１５００ÅのP型コンタクト層１０９を成膜させる。（なお、P型窒化物半導体となる半導体層は成膜後４００℃以上で熱処理してある。）こうして活性層を介してダブルヘテロ構造である窒化物半導体を成膜した。半導体ウエハの同一面側に電極を形成させるため、マスクを利用して、活性層、P型クラッド層、P型コンタクト層を一部残しつつn型コンタクト層まで、部分的にエッチングさせてある。同様に各LEDチップとして分離できる大きさでサファイア基板上までそれぞれエッチングしてある。エッチング後、サファイア基板上には島状の窒化物半導体層が形成されることとなる。

【００３６】

P型コンタクト層１０９と接触し全面を被覆する電極１１０として白金を５００Åでスパッタリング法を用いて成膜した。この電極１１０上には、１００μm角のP型電極１１１として白金を０．７μmで成膜した。n型コンタクト層１０６上には直径１００μmのn型電極１１２としてタングステン／アルミニウムを２００Å／０．７μmとして成膜した。これによって、島状の窒化物半導体上には同一平面側に正負一対の電極１１１、１１２が形成されたことになる。

【００３７】

各窒化物半導体が形成されたP型及びn型の各電極上に第１層１０１を形成すべく、半導体ウエハをプラズマCVD装置内に配置させた。シランガス及び酸化窒素ガスを原料ガ

IKEA Supply AG
Exhibit 1002 Page 139 of 361

スとして酸化珪素膜を半導体ウエハの全面に形成させた。酸化珪素膜を形成後、プラズマＣＶＤ装置から取り出し、レジストマスクを利用してドライエッチングさせることによりＰ型電極１１１及びｎ型電極１１２の表面を露出させた。レジストマスクを除去して半導体ウエハ上に第１層１０１となる酸化珪素膜が形成させた。

【００３８】

続いて、半導体ウエハをスパッタリング装置内に配置させ、ターゲットをプラチナとしスパッタリングすることにより、金属層１０２となる厚さ５００Åのプラチナを成膜させた。リフトオフによりＰ型電極１１１及びｎ型電極１１２の表面を露出させた。さらに、第１層１０１と同様の条件で再び第２層１０２の酸化珪素を形成させる。その後、Ｐ型電極１１１及びｎ型電極１１２に形成されたマスクを除去する。これにより、各Ｐ型電極１１１、ｎ型電極１１２の表面及びサファイア基板１０４以外は窒化物半導体の表面には、酸化珪素１０１、プラチナ１０２、酸化珪素１０３の三層構成となる保護膜が形成される。半導体ウエハを分離することにより、各々フリップチップ型ＬＥＤを得ることができる。

【００３９】

得られたＬＥＤチップの内、１４００個を電極の間隔が約１００μである一対の電極が形成された駆動回路上にＡｇペーストを用いてダイボンディングさせた。各ＬＥＤに電流を流したところサファイア基板１０４を介して発光しており全て発光可能であった。

【００４０】

（比較例１）

金属層、第２層を設けるかわりに第１層の厚みを実施例１の保護膜の厚みと同じ膜厚とした以外は同様にして図４の如き、フリップチップ型ＬＥＤを形成させた。実施例１と同様に駆動回路上にＡｇペーストを用いて１４００個のＬＥＤをダイボンディングさせた。各ＬＥＤに電流を流したところ不灯となったものが５個あった。また、発光輝度が極端に暗くなったものが８個あった。不灯となったものを集束イオンビーム加工装置を用いて調べたところ、保護膜を介してＡｇが貫通しているためにリークしていた。また、発光輝度が極端に暗くなったものを除いた平均輝度を１００とした場合、実施例１の平均輝度は１２１であった。

【００４１】

（実施例２）

実施例２は図２に示したＬＥＤの如く、第２層２０３を酸化珪素で形成させるかわりにポリイミド被膜とした。ポリイミド被膜を塗布硬化して第２層２０３を形成させた以外は、実施例１と同様にしてフリップチップ型ＬＥＤを構成させた。得られたＬＥＤを実施例１、比較例１と同様にして測定したところ実施例１とほぼ同様の結果が得られた。なお、実施例２は実施例１に対して経時劣化が少なくなる傾向にある。

【００４２】

（実施例３）

金属層３０２の厚みを０．７μｍとして図３の如く、Ｐ型電極として一体的に形成させた以外は、実施例１と同様にしてフリップチップ型ＬＥＤを形成させた。得られたＬＥＤは工程を簡略化したにもかかわらず、実施例１とほぼ同様の信頼性を得ることができた。

【図面の簡単な説明】

【００４３】

【図１】本発明のフリップチップ型光半導体素子の模式的断面図を示す。

【図２】本発明の別のフリップチップ型光半導体素子を駆動基板上に配置させた模式的断面図を示す。

【図３】本発明の他のフリップチップ型光半導体素子の模式的断面図を示す。

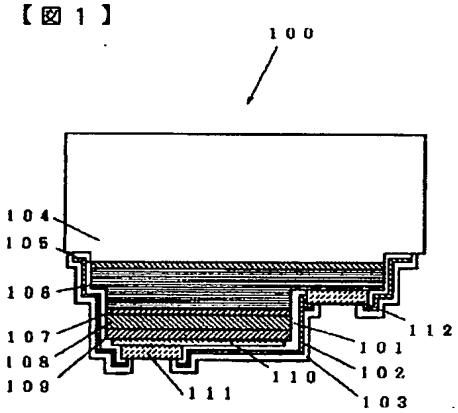
【図４】本発明と比較のために示すフリップチップ型光半導体素子の模式的断面図を示す。

【符号の説明】

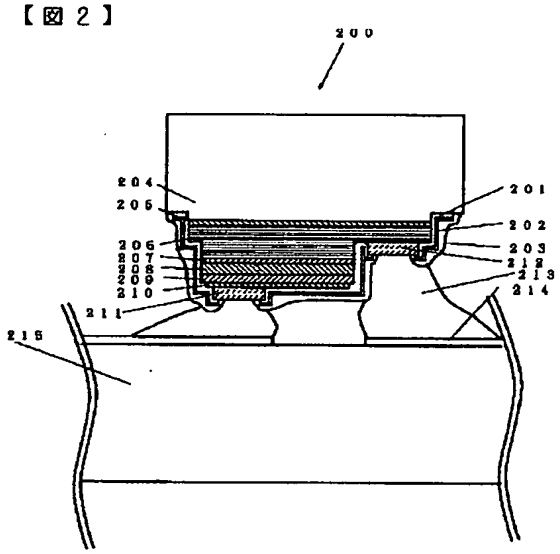
【００４４】

１００、２００、３００・・・光半導体素子
１０１、２０１、３０１・・・無機絶縁膜からなる第１層
１０２、２０２・・・金属層
１０３、３０３・・・無機絶縁膜からなる第２層
１０４、２０４、３０４・・・透光性絶縁基板
１０５、２０５、３０５・・・バッファ層
１０６、２０６、３０６・・・ｎ型コンタクト層
１０７、２０７、３０７・・・活性層
１０８、２０８、３０８・・・Ｐ型クラッド層
１０９、２０９、３０９・・・Ｐ型コンタクト層
１１０、２１０、３１０・・・Ｐ型半導体上に形成された電極
１１１、２１１・・・Ｐ型電極
１１２、２１２、３１２・・・ｎ型電極
２０３・・・有機絶縁膜からなる第２層
２１４・・・駆動基板上に形成された電極パターン
２１５・・・駆動基板
３０２・・・Ｐ型電極を構成する金属層
４００・・・光半導体素子
４０１・・・無機絶縁膜からなる第１層
４０４・・・透光性絶縁基板
４０５・・・バッファ層
４０６・・・ｎ型コンタクト層
４０７・・・活性層
４０８・・・Ｐ型クラッド層
４０９・・・Ｐ型コンタクト層
４１０・・・Ｐ型半導体上に形成された電極
４１１・・・Ｐ型電極
４１２・・・ｎ型電極

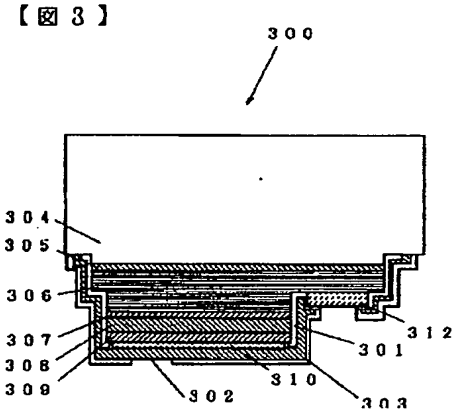
【図１】


100
104
105
106
107
108
109
111
110
101
102
103
112

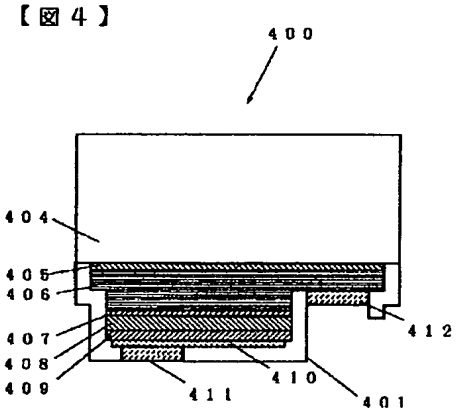
【図２】


200
204
205
206
207
208
209
210
211
201
202
203
212
213
214
215

【図３】


300
304
305
306
307
308
309
302
310
303
301
312

【図４】


400
404
405
406
407
408
409
411
410
401
412

【手続補正書】
【提出日】平成15年10月27日(2003.10.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
透光性絶縁基板に形成された窒化物半導体の同一平面側に正と負の電極が設けられ、該電極表面の露出部を除いて窒化物半導体層表面を被覆した保護膜を有するフリップチップ型光半導体素子であって、
前記保護膜は絶縁性被膜からなる第１層と、該第１層上の金属層と、該金属層上に絶縁性被膜からなる第２層の少なくとも３層構造を有することを特徴とするフリップチップ型光半導体素子。
【請求項２】
前記第１層及び／又は第２層が酸化珪素、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウム、窒化珪素及びポリイミドから選択される少なくとも一種である請求項１に記載のフリップチップ型光半導体素子。
【請求項３】
前記金属層が前記電極の一部を構成している請求項１に記載のフリップチップ型光半導体素子。
【請求項４】
前記窒化物半導体が基板上に島状に形成されて、該窒化物半導体端面に前記保護膜が形成されている請求項１乃至３に記載のフリップチップ型光半導体素子。
【請求項５】
前記基板上の窒化物半導体から露出された基板面に、前記保護膜が形成されている請求項１乃至４記載のフリップチップ型光半導体素子。
【請求項６】
前記第１層が無機絶縁膜で、前記第２層が有機絶縁膜である請求項１乃至４記載のフリップチップ型光半導体素子。
【請求項７】
前記金属層が複数に分割した形状である請求項１乃至６記載のフリップチップ型光半導体素子。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204830
(43)Date of publication of application : 30.07.1999

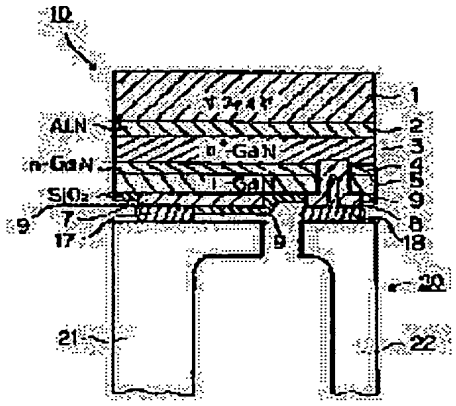
(51)Int.Cl. H01L 33/00

(21)Application number : 10-312453
(22)Date of filing : 02.11.1998

(71)Applicant : TOYODA GOSEI CO LTD
(72)Inventor : MORI MASAKI
KOTAKI MASAHIRO
TAMAKI MASATO

(54) MANUFACTURE OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To lessen bonding defect and short circuit failure between electrodes in a light emitting diode having a pair of positive and negative electrodes on the same plane, and improve an emitted light intensity.
SOLUTION: A light emitting diode 10 has a pair of positive and negative electrodes i.e., electrode 7 of an i-layer 5 and electrode 8 of a high-carrier-concn. n+ layer 3, an SiO2 insulation layer 9 is formed on a part of the electrode 7 and the entire i-layer 5, so that the exposed areas of the electrodes 7, 8 are approximately equal to thereby approximately equalize the heights of solder bumps 17, 18 formed on the electrodes 7, 8 and lessen the bonding defect of a lead frame 20 of the light emitting diode 10 to lead members 21, 22. By covering near parts of the electrode face to the electrode 8 with the insulation layer 9, the electrode 7 is separated from the electrode 8 to lessen the short circuit failure, the area of the electrode 7 can be possibly large, and hence the light emitting diode 10 can improve the emitted light intensity.



LEGAL STATUS

[Date of request for examination]	02.12.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3262087
[Date of registration]	21.12.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－204830

(43)公開日　平成11年(1999)７月30日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｃ

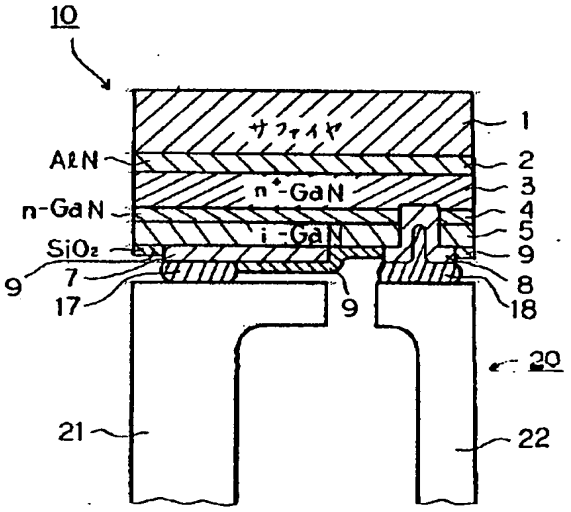
審査請求　有　　請求項の数１　ＯＬ　（全　５　頁）

(21)出願番号　特願平10－312453
(62)分割の表示　特願平3－185340の分割
(22)出願日　平成３年(1991)６月28日

(71)出願人　000241463
豊田合成株式会社
愛知県西春日井郡春日町大字落合字長畑１番地
(72)発明者　森　正樹
愛知県西春日井郡春日町大字落合字長畑１番地　豊田合成株式会社内
(72)発明者　小滝　正宏
愛知県西春日井郡春日町大字落合字長畑１番地　豊田合成株式会社内
(72)発明者　田牧　真人
愛知県西春日井郡春日町大字落合字長畑１番地　豊田合成株式会社内
(74)代理人　弁理士　藤谷　修

(54)【発明の名称】　半導体発光素子の製造方法

(57)【要約】
【目的】　同一面側に正負一対の電極を有する発光ダイオードにおけるボンディング不良を低減すると同時に電極間のショート不良を低減し、且つ、発光強度の向上を図る。
【構成】　発光ダイオード１０には同一面側に正負一対のｉ層５の電極７、高キャリヤ濃度n^+層３の電極８が形成され、電極７の一部分及びｉ層５の全面には電極７，８の露出面積がほぼ同じとなるようにSiO_2から成る絶縁層９が形成されている。これにより、電極７，８上に形成されたはんだバンプ１７，１８の高さが略等しくでき、発光ダイオード１０はリードフレーム２０のリード部材２１，２２への接合不良が軽減される。又、電極７面の電極８に近い部分を絶縁層９にて覆うことにより、電極７，８の間を離してショート不良が軽減される。更に、電極７は電極面積を極力大きくできるので、発光ダイオード１０は発光強度を向上させることができる。



【特許請求の範囲】
【請求項１】　同一面側に正負一対の電極が形成された半導体発光素子の製造方法において、
前記正負一対の電極の露出面積がほぼ同じとなるようにそれらの部分を除いて前記電極側を覆う絶縁層を形成することを特徴とする半導体発光素子の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は、同一面側に正負一対の電極が形成された半導体発光素子の製造方法に関する。
【０００２】
【従来技術】従来、同一面側に正負一対の電極を有する青色の発光ダイオードとしてGaN系の化合物半導体を用いたものが知られている。そのGaN 系の化合物半導体は直接遷移であることから発光効率が高いこと、光の３原色の１つである青色を発光色とすること等から注目されている。このようなGaN 系の化合物半導体を用いた発光ダイオードは、サファイヤ基板上に直接又は窒化アルミニウムから成るバッファ層を介在させて、ｎ導電型のGaN 系の化合物半導体から成るｎ層を成長させ、そのｎ層の上にｐ型不純物を添加してｉ型のGaN 系の化合物半導体から成るｉ層を成長させた構造をとっている（特開昭６２－１１９１９６号公報、特開昭６３－１８８９７７号公報）。
【０００３】
【発明が解決しようとする課題】ここで、上述の発光ダイオードの発光強度を向上させるには、ｉ層の電極部の電極面積をなるべく大きくすれば良いことが知られている。一方、発光ダイオードのｎ層の電極部はｉ層の一部に設けられた孔内を利用して形成されているので、ｉ層の電極部のように大きくできないことになる。従って、ｉ層の電極部とｎ層の電極部との電極面積は異なって形成されることになる。これら正負一対の電極部に形成されたはんだバンプの高さには数十μｍ 程度の差が生じていた。すると、図６に示したように、発光ダイオード６０をリードフレーム７０のリード部材７１，７２にボンディングする場合に、ｉ層側の電極６７のはんだバンプ高さとの差によりｎ層側の電極６８がリードフレーム７０に接合されないという不良が発生していた。又、例え発光ダイオード６０がリードフレームのリード部材７１，７２に接合されても、発光ダイオード６０の光軸がリードフレーム７０に対して傾いてしまうという問題があった。
【０００４】本発明は、上記の課題を解決するために成されたものであり、その目的とするところは、ボンディング不良を低減すると同時にその際などにおける電極間のショート不良を低減でき、且つ、発光強度の向上にも有効な極めて生産性が高い発光ダイオードの製造方法を提供することである。
【０００５】
【課題を解決するための手段】上記課題を解決するための発明の構成は、同一面側に正負一対の電極が形成された半導体発光素子の製造方法において、前記正負一対の電極の露出面積がほぼ同じとなるようにそれらの部分を除いて前記電極側を覆う絶縁層を形成することを特徴とする。
【０００６】
【作用及び効果】本発明は、同一面側に形成された正負一対の電極の露出面積がほぼ同じとなるようにそれらの部分を除いて前記電極側を覆う絶縁層を設けることで、発光ダイオードの正負一対の電極の見かけ上の面積を同じ大きさにすることができた。これにより、発光ダイオードの正負一対の電極に形成されるはんだバンプ高さを略等しくできる。つまり、発光ダイオードは接合におけるボンディング不良が低減された。又、正負一対の電極における露出電極間の間隔を絶縁層により離すことができる。つまり、発光ダイオードは電極間が隣接していることによるボンディングの際などにおける電極間のショート不良が低減された。又、絶縁層が正負一対の電極間に存在することにより発光ダイオードの発光に関係する電極の電極面積を極力大きくできる。つまり、発光ダイオードは発光強度を向上させることができた。
【０００７】
【実施例】以下、本発明を具体的な実施例に基づいて説明する。図１は本発明に係る発光ダイオード１０を示し、図１(a) は縦断面図、図１(b) は電極側から見た平面図である。図１(a) において、発光ダイオード１０は、サファイヤ基板１を有しており、そのサファイヤ基板１に 500ÅのAlN のバッファ層２が形成されている。そのバッファ層２の下には、順に、膜厚 2.2μｍ のGaN から成る高キャリヤ濃度n^+ 層３と膜厚 1.5μｍ のGaN から成る低キャリヤ濃度ｎ層４が形成されており、更に、低キャリヤ濃度ｎ層４の下に膜厚 0.1μｍ のGaN から成るｉ層５が形成されている。そして、ｉ層５に接続するアルミニウムで形成された電極７と高キャリヤ濃度n^+ 層３に接続するアルミニウムで形成された電極８とが形成されている。更に、電極７の一部分及びｉ層５の全面にはSiO_2から成る絶縁層９が形成されている。この絶縁層９が形成された後においては、図１(b) に示すように、正の電極７及び負の電極８はほぼ同じ面積が露出されている。
【０００８】次に、この構造の発光ダイオード１０の製造工程について、図２、図３及び図４を参照して説明する。上記発光ダイオード１０は、有機金属化合物気相成長法(以下、ＭＯＶＰＥと記す）による気相成長により製造された。用いられたガスは、NH_3 とキャリヤガス H_2 とトリメチルガリウム（$Ga(CH_3)_3$）（以下、ＴＭＧと記す）とトリメチルアルミニウム（$Al(CH_3)_3$）（以下、ＴＭＡと記す）とシラン（SiH_4）とジエチル亜鉛（以下、ＤＥＺと記す）である。先ず、有機洗浄及

IKEA Supply AG
Exhibit 1002 Page 146 of 361

び熱処理により洗浄したａ面を主面とする単結晶のサファイヤ基板１をＭＯＶＰＥ装置の反応室に載置されたサセプタに装着する。次に、常圧でH_2を流速２ｌ／分で反応室に流しながら温度1100℃でサファイヤ基板１を気相エッチングした。次に、温度を 400℃まで低下させて、H_2を20 ｌ／分、NH_3を10 ｌ／分、ＴＭＡを 1.8×10^{-5}モル／分で供給して 500Åの厚さのＡｌＮ から成るバッファ層２を形成した。次に、サファイヤ基板１の温度を1150℃に保持し、H_2を20 ｌ／分、NH_3を10 ｌ／分、ＴＭＧを 1.7×10^{-4}モル／分、H_2で0.86ppm まで希釈したシラン（SiH_4）を 200ml／分の割合で30分間供給し、膜厚 2.2μｍ、キャリヤ濃度 1.5×10^{18}／cm^3のＧａＮ から成る高キャリヤ濃度ｎ$^+$層３を形成した。続いて、サファイヤ基板１の温度を1150℃に保持し、H_2を20 ｌ／分、NH_3を10 ｌ／分、ＴＭＧを1.7×10^{-4}モル／分の割合で20分間供給し、膜厚 1.5μｍ、キャリヤ濃度 1×10^{15}／cm^3のＧａＮ から成る低キャリヤ濃度ｎ層４を形成した。次に、サファイヤ基板１を 900℃にして、H_2を20 ｌ／分、NH_3を10 ｌ／分、ＴＭＧを 1.7×10^{-4}モル／分、ＤＥＺを 1.5×10^{-4}モル／分の割合で１分間供給して、膜厚 0.1μｍ のＧａＮ から成るｉ層５を形成した。このようにして、図２(a) に示すような多層構造が得られた。次に、図２(b) に示すように、ｉ層５の上に、スパッタリングによりSiO_2層１１を2000Åの厚さに形成した。次に、そのSiO_2層１１上にフォトレジスト１２を塗布して、フォトリソグラフィにより、そのフォトレジスト１２を高キャリヤ濃度ｎ$^+$層３に対する電極形成部位のフォトレジストを除去したパターンに形成した。次に、図２(c) に示すように、フォトレジスト１２によって覆われていないSiO_2層１１をフッ酸系エッチング液で除去した。

【０００９】次に、図３(d) に示すように、フォトレジスト１２及びSiO_2層１１によって覆われていない部位のｉ層５とその下の低キャリヤ濃度ｎ層４と高キャリヤ濃度ｎ$^+$層３の上面一部を、真空度0.04Torr、高周波電力0.44W／cm^2、BCl_3ガスを10ml／分の割合で供給しドライエッチングした後、Ａｒ でドライエッチングした。次に、図３(e) に示すように、ｉ層５上に残っているSiO_2層１１をフッ酸で除去した。次に、図３(f) に示すように、試料の上全面に、蒸着によりＡｌ 層１３を 0.3μｍ の厚さに形成した。そして、そのＡｌ 層１３の上にフォトレジスト１４を塗布して、フォトリソグラフィにより、そのフォトレジスト１４が高キャリヤ濃度ｎ$^+$層３及びｉ層５に対する電極部が残るように、所定形状にパターン形成した。

【００１０】次に、図４(g) に示すように、フォトレジスト１４をマスクとして下層のＡｌ層１３の露出部を硝酸系エッチング液でエッチングし、フォトレジスト１４をアセトンで除去し、高キャリヤ濃度ｎ$^+$層３の電極８、ｉ層５の電極７を形成した。次に、図４(h) に示すように、試料の上全面に、スパッタリングによりSiO_2層１５を 200Åの厚さに形成した。次に、図４(i) に示すように、SiO_2層１５上にフォトレジスト１６を塗布して、フォトリソグラフィにより、そのフォトレジスト１６を高キャリヤ濃度ｎ$^+$層３の電極８、ｉ層５の電極７の一部分に対する電極形成部位のフォトレジストを除去したパターンに形成した。尚、図４(g) ～(i) における高キャリヤ濃度ｎ$^+$層３の電極８、ｉ層５の電極７のそれぞれの電極面積の大きさは逆転して描かれている。

【００１１】上述の製造工程の後、フォトレジスト１６によって覆われていないSiO_2層１５をフッ酸系エッチング液で除去し、電極７の一部分及びｉ層５上にSiO_2から成る絶縁層９を形成した。このようにして、図１に示すＭＩＳ（Metal Insulator Semiconductor）構造の窒化ガリウム系発光素子を製造することができる。尚、上記絶縁層９を形成するための絶縁材料としては、SiO_2の他、Al_2O_3、Si_3N_4又はＴｉＮ などから成る絶縁物質を選択しても良い。

【００１２】このようにして製造された発光ダイオード１０の電極７，８にはんだバンプ１７，１８を形成する。すると、電極７，８の露出面積がほぼ同じであることからはんだバンプ１７，１８のはんだバンプ高さが略等しいことになる。従って、発光ダイオード１０の電極７，８は、図５に示すように、はんだバンプ１７，１８を介してリードフレーム２０のリード部材２１，２２に同じ条件で接合されることになる。即ち、発光ダイオード１０の電極７，８の何れか一方がはんだバンプ高さが異なってリードフレーム２０のリード部材２１，２２に接合されないというような接合不良をなくすことができる。又、上述のように、発光ダイオード１０のｉ層５の電極７側の電極面積を極力大きくしても、図５に示すように、電極７の電極８に近い部分を絶縁層９にて覆うことにより、電極７と電極８との露出面を離すことができる。即ち、電極７，８のはんだバンプ１７，１８の間隔を極力離して形成できることになる。このため、発光ダイオード１０のｉ層５の電極７と高キャリヤ濃度ｎ$^+$層３の電極８とのショート不良をなくすことができる。更に、発光ダイオード１０のｉ層５の電極７と高キャリヤ濃度ｎ$^+$層３の電極８とは絶縁層９にて絶縁されており、ｉ層５の電極７側の電極面積を極力大きくすることができるので、発光ダイオード１０の発光強度を向上することができる。以上説明したように、本発明の発光ダイオードにあっては、不良率の低減と性能アップが計られることとなり生産性は飛躍的に向上する。

【図面の簡単な説明】

【図１】本発明の具体的な一実施例により製造される発光ダイオードを示した構成図である。

【図２】同実施例に係る発光ダイオードの製造工程を示した縦断面図である。

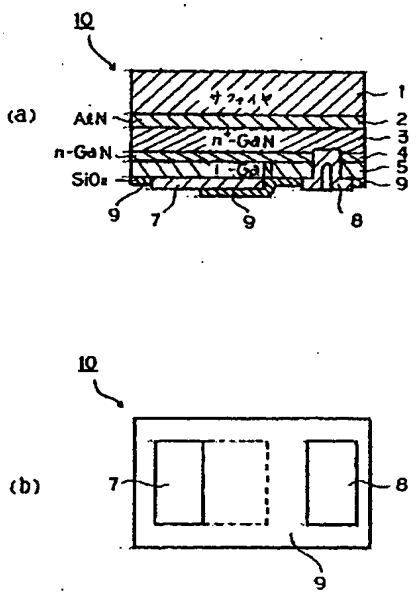
【図３】同実施例に係る発光ダイオードの製造工程を示

IKEA Supply AG
Exhibit 1002 Page 147 of 361

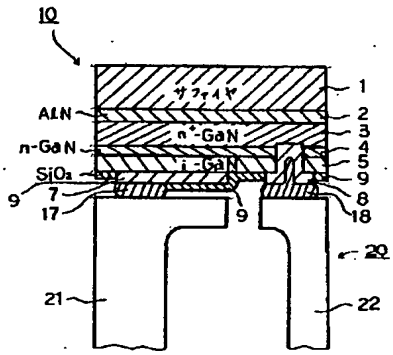
した図２に続く縦断面図である。
【図４】同実施例に係る発光ダイオードの製造工程を示した図３に続く縦断面図である。
【図５】同実施例に係る発光ダイオードとリードフレームとの接合状態を示した部分縦断面図である。
【図６】従来の発光ダイオードとリードフレームとの接合状態を示した部分縦断面図である。
【符号の説明】

１－サファイヤ基板
２－バッファ層
３－高キャリヤ濃度n^+ 層
４－低キャリヤ濃度ｎ層
５－ｉ層
７，８－電極
１０－発光ダイオード

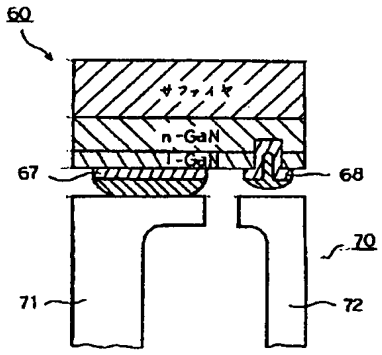
【図１】



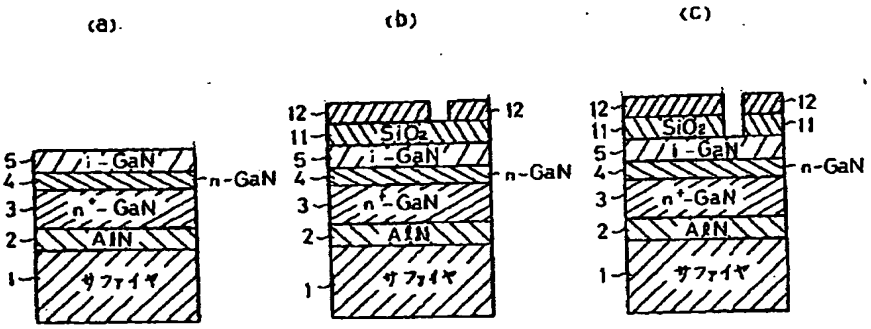
【図５】



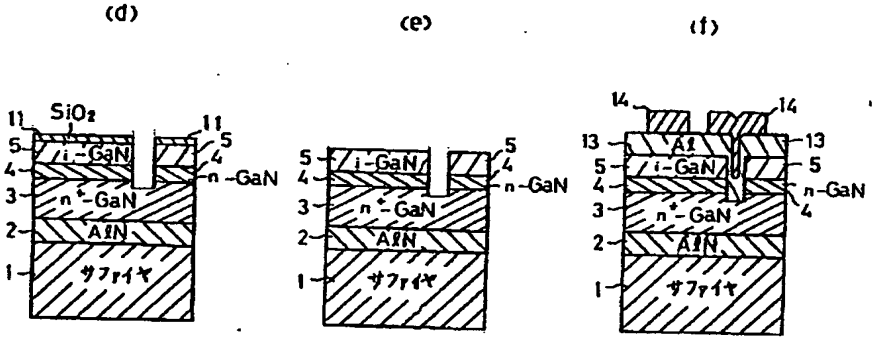
【図６】



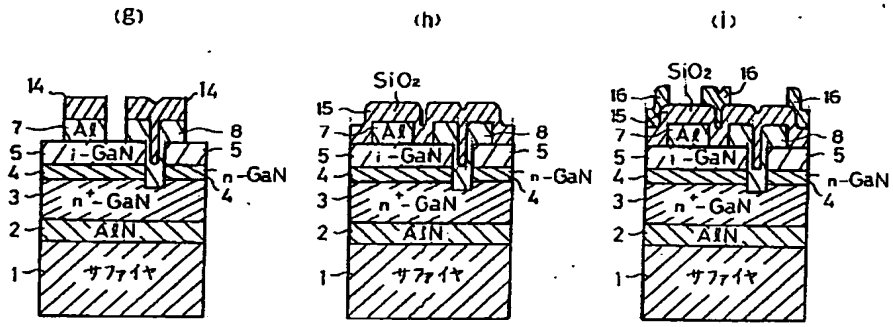
【図２】



【図３】


(d)
(e)
(f)
SiO2
i-GaN
n-GaN
n+-GaN
AlN
サファイヤ
Al

【図４】


(g)
(h)
(i)
SiO2
i-GaN
n-GaN
n+-GaN
AlN
サファイヤ
Al

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :

Kazushi HIGASHI et al. : **Mail Stop: PCT**

Serial No. 11/662,547 : Attorney Docket No. 2007_0415A

Filed March 12, 2007 :

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN THE FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

SUBMISSION OF ENGLISH VERSION OF IPER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

An English language version of the International Preliminary Examination Report is submitted herewith for the Examiner's consideration.

Respectfully submitted,

Kazushi HIGASHI et al.

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
May 3, 2007

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

03/14/2007 GFREY1 00000131 11662547

01 FC:1631		300.00 OP
02 FC:1642		400.00 OP
03 FC:1633		200.00 OP
04 FC:1614		200.00 OP

PTO-1556
(5/87)

U.S. Government Printing Office: 2002 — 469-267/60033

APS Rec'd PCT/PTO 12 MAR 2007

FORM PTO 1390 (REV 5-93) US DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE

TRANSMITTAL LETTER TO THE UNITED STATES DESIGNATED/ELECTED OFFICE (DO/EO/US) CONCERNING A FILING UNDER 35 U.S.C. §371

ATTORNEY DOCKET NUMBER
2007_0415A

U.S. APPLICATION NO. (if known, see 37 CFR 1.5)
NEW 11/662547

International Application No.	**International Filing Date**	**Priority Date Claimed**
PCT/JP2005/017467	September 22, 2005	September 27, 2004

Title of Invention
SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

Applicant(s) For DO/EO/US
Kazushi HIGASHI et al.

Applicant herewith submits to the United States Designated/Elected Office (DO/EO/US) the following items and other information:

1. [X] This is a **FIRST** submission of items concerning a filing under 35 U.S.C. §371.

2. [] This is a **SECOND** or **SUBSEQUENT** submission of items concerning a filing under 35 U.S.C. §371.

3. [X] This express request to begin national examination procedures (35 U.S.C. §371(f)) at any time rather than delay examination until the expiration of the applicable time limit set in 35 U.S.C. §371(b) and PCT Articles 22 and 39(1).

4. [] A proper Demand for International Preliminary Examination was made by the 19th month from the earliest claimed priority date.

5. [X] A copy of the International Application as filed (35 U.S.C. §371(c)(2))
   a. [] is transmitted herewith (required only if not transmitted by the International Bureau).
   b. [X] has been transmitted by the International Bureau. **ATTACHMENT A**
   c. [] is not required, as the application was filed in the United States Receiving Office (RO/US)

6. [X] A translation of the International Application into English (35 U.S.C. §371(c)(2)). **ATTACHMENT B**

7. [] Amendments to the claims of the International Application under PCT Article 19 (35 U.S.C. §371(c)(3)).
   a. [] are transmitted herewith (required only if not transmitted by the International Bureau).
   b. [] have been transmitted by the International Bureau.
   c. [] have not been made; however, the time limit for making such amendments has NOT expired.
   d. [] have not been made and will not be made.

8. [] A translation of the amendments to the claims under PCT Article 19.

9. [X] An oath or declaration of the inventor(s) (35 U.S.C. §371(c)(4)). **ATTACHMENT C**

10. [] A translation of the annexes to the International Preliminary Examination Report under PCT Article 36 (35 U.S.C. §371(c)(5)).

Items 11. to 14. below concern other document(s) or information included:

11. [X] An Information Disclosure Statement under 37 CFR 1.97 and 1.98. **ATTACHMENT D**

12. [] An assignment document for recording. A separate cover sheet in compliance with 37 CFR 3.28 and 3.31 is included.

13. [X] A FIRST preliminary amendment. **ATTACHMENT E**

    [] A SECOND or SUBSEQUENT preliminary amendment.

14. [X] Other items or information:

- Cover Page of Published International Application No. WO 2006/035664 **ATTACHMENT F**
- Form PCT/IB/304 **ATTACHMENT G**

IAP17 Rec'd PCT/PTO 12 MAR 2007

U.S. APPLICATION NO. (if known) NEW 11/662547	INTERNATIONAL APPLICATION NO. PCT/JP2005/017467	ATTORNEY'S DOCKET NO. 2007_0415A

15. [X] The following fees are submitted	CALCULATIONS	PTO USE ONLY
Basic National Stage Fee ..... $300.00 National Stage Search Fee (International Search Report provided - 37 CFR 1.492(b)(2)) ..... $400.00 National Stage Examination Fee ..... $200.00 Specification/drawings in excess of 100 pages (units of 50 x $250.00) = ... $		
ENTER APPROPRIATE BASIC FEE AMOUNT =	$900.00	
Surcharge of $130.00 for furnishing the oath or declaration later than [] 20 [] 30 months from the earliest claimed priority date (37 CFR 1.492(e)).	$	

Claims	Number Filed	Number Extra	Rate		
Total Claims	13 - 20 =	--0--	X $50.00	$	
Independent Claims	4 - 3 =	1	X $200.00	$200.00	
Multiple dependent claim(s) (if applicable)			+ $360.00	$	
TOTAL OF ABOVE CALCULATIONS =				$1100.00	
[] Small Entity Status is hereby asserted. Above fees are reduced by 1/2.				$	
SUBTOTAL =				$1100.00	
Processing fee of $130.00 for furnishing the English translation later than [] 20 [] 30 months from the earliest claimed priority date (37 CFR 1.492(f)). +				$	
TOTAL NATIONAL FEE =				$1100.00	
Fee for recording the enclosed assignment (37 CFR 1.21(h)). The assignment must be accompanied by an appropriate cover sheet (37 CFR 3.28, 3.31). $40 per property +				$	
TOTAL FEES ENCLOSED =				$1100.00	
				Amount to be refunded	$
				Amount to be charged	$

a. [X] A check in the amount of $ 1100.00 to cover the above fees is enclosed. A duplicate copy of this form is enclosed.

b. [] Please charge my Deposit Account No. 23-0975 in the amount of $_____ to cover the above fees. A duplicate copy of this sheet is enclosed.

c. [X] The Commissioner is hereby authorized to charge any additional fees which may be required, or credit any overpayment to Deposit Account No. 23-0975.

NOTE: Where an appropriate time limit under 37 CFR 1.494 or 1.495 has not been met, a petition to revive (37 CFR 1.137(a) or (b)) must be filed and granted to restore the application to pending status.

19. CORRESPONDENCE ADDRESS

CUSTOMER NO.
52349

By: Michael Huppert
Michael S. Huppert,
Registration No. 40,268

WENDEROTH, LIND & PONACK, L.L.P.
2033 "K" Street, N.W., Suite 800
Washington, D.C. 20006-1021
Phone:(202) 721-8200
Fax:(202) 721-8250

March 12, 2007

CHECK NO. 79313

[2007_0415A]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN THE FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

11/662547
IAP13 Rec'd PCT/PTO 12 MAR 2007

DESCRIPTION

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

TECHNICAL FIELD

The present invention relates to a semiconductor light-emitting element, a manufacturing method and a mounting method of the same and a light-emitting device formed by mounting such semiconductor light-emitting elements on a circuit board.

BACKGROUND ART

In recent years, a technique in which a number of bare chips of semiconductor light-emitting elements are mounted on a circuit board, typically represented by a light emitting diode (hereinafter, referred to as "LED"), to manufacture illuminating and display devices or the like has been widely utilized. With respect to the mounting technique for mounting the bare chips for the LED (hereinafter, referred to as "LED chip") on a circuit board, a flip chip junction utilizing bumps, for example, described in Patent Document 1 and Patent Document 2, has been generally used.

Fig. 16 is a cross-sectional view that schematically shows a state in which LED chips having a typically conventional structure are mounted on a circuit board. Fig. 17 is a bottom view of the conventional LED chip. Fig. 16 is the drawing that

ATTACHMENT "B"

schematically shows a cross section taken along line C-C of Fig. 17.

An LED chip 101 has a light-transmitting substrate 111 (hereinafter, referred to as "element substrate"), an n-type semiconductor layer 112 formed on the element substrate 111 so as to cover the element substrate 111, a p-type semiconductor layer 113 formed so as to cover an area on the n-type semiconductor layer 111a from which an area 112a for an n-electrode (see Fig. 17) on the corners of the n-type semiconductor layer 112 is excluded, an n-electrode 114 formed on the area 112a for the n-electrode on the n-type semiconductor layer 112, and a p-electrode 115 formed on the p-type semiconductor layer 113.

The LED chip 101 is electrically connected to a circuit board 140 by respectively joining the n-electrode 114 and the p-electrode 115 to a plurality of bumps 142 formed on the electrode 141 on the circuit board 140 by utilizing ultrasonic waves. The LED chip 101, thus electrically connected to the circuit board 140, is allowed to emit light when an electric current flows through a pn junction 123 between the n-type semiconductor layer 112 and the p-type semiconductor layer 113.

Patent Document 1: Japanese Unexamined Patent Publication No. 11-161197

Patent Document 2: Japanese Unexamined Patent Publication No. 11-354836

DISCLOSURE OF THE INVENTION

Issue to be improved by the Invention

Conventionally, an LED chip having a size of 0.3 mm in each side of square has been commonly used, and in recent years, the applications thereof have been expanded because of its advantages, such as low power consumption and mercury-less structure, so that large-size LED chips (for example, having a size of 1 mm or more in each side of square), which can achieve a high power output with high efficiency and are suitably applied to a middle/large-size liquid crystal backlight, a special illuminating device and a car headlight, have been widely developed. In the above-mentioned conventional mounting technique using the flip chip junction, however, when the size of the LED chip exceeds 0.5 mm in each side of square, it becomes necessary to form a number of bumps on the p-electrode in order to allow the LED chip to uniformly emit light. To form a number of bumps on the p-electrode is not desirable because of a higher possibility of a reduction in the yield of junctions and of short-circuiting and connection failure, due to positional deviations at the time of mounting.

On the other hand, in the field of mounting electronic components, with respect to large-size electronic components, in general, a mounting process onto a circuit board is carried out at low costs by using a conductive bonding material such as solder and silver paste. However, in the case of the

conventional LED chip 101, since the light emission is executed through the pn junction 123 as described above, the junction face between the n-type semiconductor layer 112 and the n-electrode 114 needs to be made as small as possible and the junction face between the n-type semiconductor layer 112 and the p-type semiconductor layer 113, which corresponds to the light-emitting area, needs to be made larger, in order to enlarge the light-emitting area. For this reason, even if the LED chip 101 is made larger, the area on the n-electrode 114 is not necessarily made larger.

Therefore, upon mounting the conventional LED chip 101, since the area on the n-electrode 114 is small, it is difficult to use a conductive bonding material required for a large joining area such as solder and anisotropic conductive resin (for example, a width of 0.1 mm or more with a joining area of 0.04 mm^2 or more in the case of solder, and a width of 0.20 mm or more with a joining area of 0.08 mm^2 or more in the case of anisotropic conductive resin), and it is inevitably necessary to carry out a mounting process through a flip chip junction by utilizing bumps as described above. Moreover, since, after positioning the bumps on such small n-electrodes, the mounting process has to be executed, high mounting precision is required. For this reason, the production efficiency is lowered to cause a reduction in the productivity.

In order to improved the above-mentioned issues,

the present invention has been devised, and its main objective is to provide a semiconductor light-emitting element which can be mounted on a circuit board by using a conductive bonding material, typically represented by solder, at low costs, a manufacturing method and a mounting method for such a semiconductor light-emitting element, as well as a light-emitting device in which such semiconductor light-emitting elements are mounted on a circuit board.

MEANS FOR IMPROVING THE ISSUES

In order to achieve the above object, the present invention has the following constitutions.

According to a first aspect of the present invention, there is provided a semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area for an n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer that is formed so as to insulate the first n-electrode and the first p-electrode from each other;

a second n-electrode formed on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode so that the second n-electrode is electrically connected to the first n-electrode, the second n-electrode being insulated from the first p-electrode by the first insulating layer; and

a second p-electrode formed as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode.

According to a second aspect of the present invention, there is provided the semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area

for an n-electrode of the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer having at least one opening for the n-electrode and one opening for the p-electrode formed therein, which covers the first n-electrode and the first p-electrode so as to insulate the first n-electrode and the first p-electrode from each other, except for the opening for the n-electrode and the opening for the p-electrode,

a second n-electrode formed on the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, the second n-electrode being electrically connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

a second p-electrode formed on the first insulating layer as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

According to a third aspect of the present invention, there is provided the semiconductor light-emitting element as defined in the second aspect,

wherein a conductive layer that is formed on the first insulating layer on the p-type semiconductor layer so as to have an area that is smaller than the area of the joined face between the n-type semiconductor layer and the p-type semiconductor layer and is larger than the area on the second p-electrode, the conductive layer being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer; and

a second insulating layer that is formed between the conductive layer and the second n-electrode so as to insulate the conductive layer and the second n-electrode from each other,

wherein the second p-electrode is formed on the conductive layer as a thin film having an area that is larger than the joined face between the p-type semiconductor layer and the first p-electrode and the second p-electrode is electrically connected to the first p-electrode through the conductive layer.

According to a fourth aspect of the present invention, there is provided the semiconductor light-emitting element as defined in the second or third aspects,

wherein a plurality of openings for the p-electrode of the first insulating layer are formed so as to be dispersed virtually uniformly.

According to a fifth aspect of the present invention, there is provided the semiconductor light-emitting element as defined in any one of the first to third aspects,

wherein the second n-electrode and the second p-electrode have virtually same size.

According to a sixth aspect of the present invention, there is provided the semiconductor light-emitting element as defined in any one of the first to third aspects,

wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder, silver paste and anisotropic conductive resin.

According to a seventh aspect of the present invention, there is provided a light-emitting device comprising:

the semiconductor light-emitting element according to the first aspect;

a circuit board having a plurality of electrodes; and

a conductive bonding material layer that electrically connects and fixes the second n-electrode and the second p-electrode to the electrodes on the circuit board.

According to an eighth aspect of the present invention, there is provided the light-emitting device as defined in the seventh aspect,

wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder,

silver paste and anisotropic conductive resin.

According to a ninth aspect of the present invention, there is provided a method for manufacturing a semiconductor light-emitting element comprising:

preparing a bare light-emitting element comprising an n-type semiconductor layer formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which an area for the n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor layer;

forming a first insulating layer so as to insulate the first n-electrode and the first p-electrode from each other;

forming a second n-electrode on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode, so that the second n-electrode is electrically connected to the first n-electrode and is insulated from the first p-electrode by the first insulating layer; and

forming a second p-electrode on the first p-electrode as a thin film having an area smaller than a joined

face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode.

According to a tenth aspect of the present invention, there is provided a method for manufacturing a semiconductor light-emitting element comprising:

preparing a bare light-emitting element comprising an n-type semiconductor layer formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which the area for the n-electrode of the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor layer;

forming a first insulating layer having at least one of each of an opening for the n-electrode and an opening for the p-electrode so as to cover the first n-electrode and the first p-electrode;

forming, on the first insulating layer, a second n-electrode that is a thin film having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, so that the second n-electrode is electrically

connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

forming, on the first insulating layer, a second p-electrode that is a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

According to an 11th aspect of the present invention, there is provided the method for manufacturing a semiconductor light-emitting element as defined in the tenth aspect,

wherein the first insulating layer is formed through sputtering.

According to a 12th aspect of the present invention, there is provided the method for manufacturing a semiconductor light-emitting element as defined in any one of the ninth to 11th aspects,

wherein the second n-electrode and the second p-electrode are formed through sputtering or plating.

According to a 13th aspect of the present invention, there is provided a method for mounting semiconductor light-emitting elements, comprising:

placing solder between the second n-electrode as well as the second p-electrode of the semiconductor light-emitting element according to the first aspect and a

plurality of electrodes on a circuit board, and carrying out a reflow treatment thereon, thereby the semiconductor light-emitting elements are mounted on the circuit board through solder.

EFFECTS OF THE INVENTION

In accordance with the semiconductor light-emitting element of the present invention and the manufacturing method and mounting method of the same, since the area on the second n-electrode to be joined to the electrode of a circuit board is made larger than the first n-electrode with the area on the second p-electrode being made smaller than that of the first p-electrode, it becomes possible to carry out a mounting process on a circuit board at low costs by using a conductive bonding material such as solder.

Moreover, in accordance with the light-emitting device of the present invention, since the semiconductor light-emitting element can be mounted on a circuit board at low costs by using a conductive bonding material such as solder, it is possible to achieve high productivity, high junction quality and high yield.

BRIEF DESCRIPTION OF DRAWINGS

These and other aspects and features of the present

invention will become clear from the following description taken in conjunction with the preferred embodiments thereof with reference to the accompanying drawings, in which:

Fig. 1 is a cross-sectional view showing a light-emitting device provided with an LED chip in accordance with a first embodiment of the present invention;

Fig. 2 is a bottom view of the LED chip in accordance with the first embodiment of the present invention;

Fig. 3 is a cross-sectional view showing a bare chip in accordance with the first embodiment of the present invention;

Fig. 4 is a cross-sectional view showing another light-emitting device provided with the LED chip in accordance with the first embodiment of the present invention;

Fig. 5 is a flow chart that shows a manufacturing method and a mounting method for an LED chip;

Fig. 6 is a cross-sectional view used for explaining a manufacturing method for an LED chip in accordance with the first embodiment of the present invention;

Fig. 7 is a cross-sectional view used for explaining a manufacturing method for the LED chip in accordance with the first embodiment of the present invention;

Fig. 8 is a drawing that shows an LED light source using a number of LED chips in accordance with the first embodiment of the present invention;

Fig. 9 is a cross-sectional view of a light-emitting

device provided with an LED chip in accordance with a second embodiment of the present invention;

Fig. 10 is a bottom view of the LED chip in accordance with the second embodiment of the present invention;

Fig. 11 is a bottom view showing the LED chip from which electrodes have been detached, in accordance with the second embodiment of the present invention;

Fig. 12 is a flow chart that shows a manufacturing method for the LED chip in accordance with the second embodiment of the present invention;

Fig. 13 is a cross-sectional view of a light-emitting device provided with another LED chip in accordance with the second embodiment of the present invention;

Fig. 14 is a flow chart that shows a manufacturing method for another LED chip in accordance with the second embodiment of the present invention;

Fig. 15 is a cross-sectional view of a light-emitting device provided with an LED chip in accordance with another embodiment of the present invention;

Fig. 16 is a cross-sectional view showing a light-emitting device provided with a conventional LED chip; and

Fig. 17 is a bottom view of the conventional LED chip.

BEST MODE FOR CARRYING OUT THE INVENTION

Before the description of the present invention proceeds, it is to be noted that like components are designated by like reference numerals throughout the accompanying drawings.

Referring to Figures, the following description will discuss embodiments in accordance with the present invention in detail.

<<First Embodiment>>

Fig. 1 is a longitudinal cross-sectional view that shows a light-emitting device in which an LED chip 1, which is one example of a semiconductor light-emitting element in accordance with a first embodiment of the present invention, is mounted on a circuit board 40 through solder 31, which is one example of a conductive bonding material layer, and Fig. 2 is a bottom view of the LED chip 1. Fig. 1 schematically shows a cross section taken along line A-A in Fig. 2. Here, in the cross-sectional view of Fig. 1, for convenience of explanation, one portion thereof is indicated in an exaggerated manner. The following explanation will be given so as to laminate respective layers and respective electrodes downward in the Figure.

In Fig. 1, the LED chip 1 is provided with a bare chip 10 (see Fig. 3) including an element substrate 11, an n-type semiconductor layer 12 formed on the element substrate 11 so as to cover the element substrate 11, a p-type semiconductor

layer 13 formed on an area 12b for the p-type semiconductor layer of the n-type semiconductor layer 12 from which a corner area 12a for an n-electrode is excluded, a first n-electrode 14 formed on the area 12a for the n-electrode and a first p-electrode 15 formed on the p-type semiconductor layer 13.

Moreover, the LED chip 1 is provided with a first insulating layer 16 formed so as to cover the first n-electrode 14 and the first p-electrode 15, and is formed so as to insulate the first n-electrode 14 and the first p-electrode from each other, a second n-electrode 17 that is formed on the first insulating layer 16 (that is, the lowest side of the LED chip 1 in Fig. 1), and penetrates the first insulating layer 14 to be electrically connected to the first n-electrode 14 and a second p-electrode 18 that is electrically connected to the first p-electrode 15.

The element substrate 11 is a light transmitting substrate having a virtually regular square shape, which is made of, for example, sapphire. The n-type semiconductor layer 12 is formed so as to cover the entire face of the lower face 11a (in Fig. 1) of the element substrate 11. The p-type semiconductor layer 13 is formed so as to cover the area 12b for the p-type semiconductor layer of the n-type semiconductor layer 12. The first n-electrode 14 is formed by a thin film having a thickness, for example, in a range from 0.1μm to 0.3μm, through sputtering, plating or the like, so as to cover virtually the entire face

of the area 12a for the n-electrode. The area 12a for the n-electrode is prepared as an area that is sufficiently smaller than the area 12b for the p-type semiconductor layer (for example, 10 % of the area for the p-type semiconductor layer), as shown in Fig. 2, so as to allow the area on a p-n junction 23 forming a light-emitting face to become sufficiently large. The first p-electrode 15 is formed by a thin film having a thickness, for example, in a range from 0.1μm to 0.3μm, through sputtering, plating or the like, so as to cover virtually the entire face of the p-type semiconductor layer 13. The lower face 14a of the first n-electrode 14 and the lower face 15a of the first p-electrode 15 are formed to be set in virtually the same level in height, based upon the lower face 11a of the element substrate 11.

In order to restrain electric leakage and electrostatic breakdown, the first insulating layer 16 is formed so as to cover virtually the entire face including a gap between the first n-electrode 14 and the first p-electrode 15, the lower face 14a of the first n-electrode 14 and the lower face 15a of the first p-electrode 15. Here, since the first insulating layer 16 is formed in this manner, the second n-electrode 17, which will be described later, is prevented from being connected to the first p-electrode 15. In other words, the second n-electrode 17, which will be described later, is insulated from the first p-electrode 15. The first insulating layer 16 is formed by an

oxide film, a nitride film or the like of silicon, with a thickness, for example, in a range from 0.1μm to 1.0μm. An opening 16a for the n-electrode and a plurality of openings 16b for the p-electrode are respectively formed on the first insulating layer 16.

Each of the second n-electrode 17 and the second p-electrode 18 is formed on the first insulating layer 16 through sputtering, plating or the like, by a thin film having a thickness, for example, in a range from 0.1μm to 0.3μm, and as shown in Fig. 2, these are designed to form isosceles triangles that have virtually the same size, and are placed so as to face each other across one of the diagonal lines of the element substrate 11. In other words, the lower face 17a of the second n-electrode 17 is allowed to have an area larger than the joined face between the n-type semiconductor layer 12 and the first n-electrode 14, and the lower face 18a of the second p-electrode 18 is consequently formed into an area smaller than the joined face between the n-type semiconductor layer 12 and the p-type semiconductor layer. In other words, in the LED chip 1, the first n-electrode 14 and the first p-electrode 15 are respectively replaced by the second n-electrode 17 and the second p-electrode 18 that are formed into virtually the same size. Moreover, the second n-electrode 17 is electrically connected to the first n-electrode 14 through the opening 16a for the n-electrode of the first insulating layer 16, and the second p-electrode 18 is electrically connected to

the first p-electrode 15 through a plurality of the openings 16b for the p-electrode. In this case, the lower face 17a of the second n-electrode 17 and the lower face 18a of the second p-electrode 18 are formed to be set in virtually the same level in height, based upon the element substrate 11. Here, on each of the layers and each of the interfaces of the LED chip 1, another layer or film that is extremely thin may be formed on demand to reinforce the joint between the electrode and the surface and to reinforce the insulation.

The LED chip 1 in accordance with the first embodiment is arranged as described above.

In the LED chip 1 that is constructed as described above, as shown in Fig. 1, the second n-electrode 17 and the second p-electrode 18 are electrically connected and fixed onto the electrode 41 on the circuit board 40 through solder 31 that is one example of the conductive bonding material layer. Thus, the light-emitting device provided with the LED chip 1 in accordance with the first embodiment is completed.

Here, the sizes (areas) of the second n-electrode 17 and the second p-electrode 18 are determined as sizes that can be mounted on the circuit board 40 in accordance with the conductive bonding material layer, such as solder 31 and anisotropic conductive resin, used for the joining process. For example, in the case when the solder 31 is used as the conductive bonding material, the sizes of the second n-electrode 17 and

the second p-electrode 18 are respectively prepared based upon a level of 0.1 mm or more in width and 0.04 mm^2 or more in area. Moreover, as shown in Fig. 4, in the case when an anisotropic conductive resin 32 is used as the conductive bonding material, the sizes of the second n-electrode 17 and the second p-electrode 18 are respectively prepared based upon a level of 0.20 mm or more in width and 0.08 mm^2 or more in area, and an area in the anisotropic conductive resin 32 with which metal particles come into contact to allow a current to flow is preferably set to 5 % or more of the above-mentioned area.

In the light-emitting device provided with the LED chip 1 in accordance with the first embodiment, a current is applied between the second n-electrode 17 and the second p-electrode 18 through the circuit board 40 so that light is generated between the n-type semiconductor layer 12 and the p-type semiconductor layer 13. The light thus generated is emitted upward and sideward in Fig. 1 through the element substrate 11.

With respect to the openings 16b for the p-electrode formed on the first insulating layer 16, since the distribution of a current density in the interlayer between the n-type semiconductor layer 12 and p-type semiconductor layer 13 gives an influence to the light-emitting intensity, a plurality of the openings 16b are preferably formed so as to be dispersed virtually uniformly. With this arrangement, the uniformity of

the distribution of the light-emitting intensity is improved, and the luminance of the LED chip 1 is efficiently improved.

Here, in the LED chip 1 of the first embodiment, the second n-electrode 17 and the second p-electrode 18 are designed to form isosceles triangles that have virtually the same size, and are placed so as to face each other across one of the diagonal lines of the element substrate 11; however, the present invention is not intended to be limited by this structure. The second n-electrode 17 and the second p-electrode 18 may be at least designed to have virtually the same size, and are placed so as to face each other across a line passing through the center of the LED chip 1, and for example, the second n-electrode 17 and the second p-electrode 18 may have a rectangular shape.

Here, the second n-electrode 17 and the second p-electrode 18 may be designed to have different sizes (areas); however, the formation having virtually the same size is less likely to cause issues such as a tilt in the LED chip 1 upon mounting onto the circuit board 40 and the occurrence of a Manhattan phenomenon. Moreover, in the case when a conductive bonding material such as the solder 31 that requires a wide joining area is used, the formation having virtually the same size is more advantageous than the arrangement in which the second n-electrode 17 and the second p-electrode 18 are made to have different sizes with one of them formed into a smaller size, in that a higher mounting precision is not required. Moreover,

since high mounting precision is not required, it is possible to improve the production efficiency and consequently to improve the productivity. Here, the mounting time for one conventional LED chip is about 1.0 second, while the mounting time for one LED chip 1 of the first embodiment is 0.1 second or less; thus, the improvement in productivity of about 10 times or more has been confirmed.

Referring to Figs. 5 to 7, the following description will discuss a manufacturing method and a mounting method for the LED chip 1. Fig. 5 is a flow chart that shows the manufacturing method and the mounting method for the LED chip 1. Fig. 6 and Fig. 7 are cross-sectional views that show manufacturing processes of the LED chip 1. In Fig. 6 and Fig. 7, one-dot chain lines X, X indicate positions to be cut by the succeeding dicing process.

First, through manufacturing processes carried out in the same manner as the normal LED chip, a joined body of the bare chips 10 is formed as shown in Fig. 6 (step S11).

More specifically, in the manufacturing method for the joined body of the bare chips 10, first, an n-type semiconductor layer 12 is formed so as to cover the entire face of the lower face 11a of a joined body of a plate-like light-transmitting element substrate 11 formed by, for example, sapphire. Next, a p-type semiconductor layer 13 is formed on an area 12b for the p-type semiconductor layer of the n-type

semiconductor layer 12 from which the area 12a for the n-electrode of the n-type semiconductor layer 12 is excluded. Next, after some thin films (thin films or the like that reinforce the joining between the electrode and the face) have been formed on the area 12a for the n-electrode through sputtering on demand, the first n-electrode 14 serving as a metal thin film is further formed thereon through sputtering, and after some thin films have also been formed on the p-type semiconductor layer 13 on demand, the first p-electrode 15 serving as a metal thin film is formed thereon.

After the joined body of the bare chips 10 has been prepared as described above, the first insulating layer 16 is next formed through sputtering so as to cover virtually the entire surface of the first n-electrode 14 and the first p-electrode 15 (step S12). Next, resist is applied, and then exposed and developed so that, as shown in Fig. 7, an opening 16a for the n-electrode that communicates with the first n-electrode 14 and an openings 16b for the p-electrode that communicates with the first p-electrode 15 are formed in the first insulating layer 16 (step S13).

Next, after having formed a metal thin film of gold, copper or the like on the first insulating layer 16 through sputtering, if necessary, a thin film of titanium, chromium or the like is preliminarily formed so as to reinforce adhesion of the electrode. Next, the metal thin film, formed on the first

insulating layer 16, is equally divided through a photolithography method so that the second n-electrode 17 that is a thin film having an area larger than the joining face between the n-type semiconductor layer 12 and the first n-electrode 14 is formed on the first insulating layer 16 and the second p-electrode 18 that is a thin film having an area smaller than the joining face between the n-type semiconductor layer 12 and the p-type semiconductor layer 13 is also formed thereon (step S14). With this arrangement, the joined body of the LED chip 1 is completed. Here, the second n-electrode 17 and the second p-electrode 18 are easily formed in the succeeding step of the production of the bare chip 10 through sputtering (and another additional process such as etching). Moreover, since the first insulating layer 16 is an extremely thin layer, the second n-electrode 17 and the second p-electrode 18 are electrically connected to the first n-electrode 14 and the first p-electrode 15 respectively through the opening 16a for the n-electrode and the openings 16b for the p-electrode, when simply placed on the first insulating layer 16.

Next, the joined body of the LED chip 1, manufactured as described above, is cut by dicing at the position of the one dot chain line X-X shown in Figs. 6 and 7 into each LED chip 1 one by one (step S15). Thus, the manufacturing process of the LED chip 1 is completed. Here, it has been explained that in the manufacturing process of the LED chip 1, the second

n-electrode 17 and the second p-electrode 18 are formed through sputtering; however, these electrodes may be formed through plating (and an additional process).

Next, the LED chip 1 is attached onto cream-state solder or plating solder that is formed on the electrode 41 on the circuit board 40 by printing or plating, and this is subjected to a reflow treatment. Thus, as shown in Fig. 1, the second n-electrode 17 and the second p-electrode 18 are electrically connected and fixed onto the electrode 41 on the circuit board 40 through the solder 31 (step S16). As described above, the LED chip 1 is mounted on the circuit board 40.

In accordance with the first embodiment, since the second n-electrode 17 and the second p-electrode 18 of the LED chip 1 are set to a size that covers about half the LED chip 1, it is not necessary to achieve high mounting precision as required in the case of the flip-chip junction in which bumps are utilized, and the mounting process can be easily executed at low costs, by using a conductive bonding material layer such as solder, silver paste and anisotropic conductive resin. Thus, a light-emitting device in which the LED chip 1 is mounted makes it possible to achieve, high junction quality, high yield and high productivity.

Moreover, when the LED chip is allowed to emit light, generated heat reaches about 80°C, and in the conventional mounting technique through the above-mentioned flip-chip

junction, since the contact area between the LED chip and the circuit board is small (only bumps), the resulting issue is that the heat of the LED chip is not sufficiently released. However, in accordance with the first embodiment, the joining area between the LED chip 1 and the circuit board 40 by connecting the first n-electrode 14 to be connected to the n-type semiconductor layer 12 to the second n-electrode 17 so that the joining strength to the circuit board 40 is increased and the heat releasing property is also improved because the joining area between the LED chip 1 and the circuit board 40 is expanded. Moreover, since the first n-electrode 14 and the first p-electrode 15 are covered with the first insulating layer 16, it is possible to restrain electrical leak and electrostatic breakdown.

Moreover, in accordance with the first embodiment of the present invention, in particular, when a number of LED chips 1 are mounted on the circuit board 40 at high density, a large-size LED chip 1 (for example, 1 mm or more) can be fixed as one lot, making it possible to further cut the production costs. When, onto the circuit board 40 on which a number of large-size LED chips 1 are mounted at a high density (for example, in a lattice shape or a staggered shape) as described above, for example, a lens array 45 having micro-lenses 451 corresponding to the respective LED chips 1, phosphors 46 and reflection plates 47 corresponding to the respective LED chips 1 are attached, the resulting device can be utilized as an LED

light source 2 for illumination, such as a middle/large-sized liquid crystal back light, a special illuminating device and a car headlight.

<<Second Embodiment>>

Fig. 9 is a longitudinal cross-sectional view that shows a light-emitting device in which an LED chip 1a in accordance with a second embodiment of the present invention, is mounted on a circuit board 40 through solder 31, which is one example of a conductive bonding material layer. Fig. 10 is a bottom view of the LED chip 1a, and Fig. 11 is a bottom view in a state before the formation of the second n-electrode 17 and the second p-electrode 18 of the LED chip 1a. Fig. 9 is a drawing that schematically shows a cross section at a position of line B-B in Fig. 10 and Fig. 11. Here, in the cross-sectional view of Fig. 9, for convenience of explanation, one portion thereof is indicated in an exaggerated manner. Moreover, a portion with slanting lines in Fig. 11 is not given to indicate cross-sectional lines, but given to help understanding of the areas of the conductive layer 14 (portion with thin slanting lines) and a second insulating layer (portion with thick slanting lines).

The LED chip 1a of the second embodiment is different from the LED chip 1 of the first embodiment in that a conductive layer 19 and a second insulating layer 20 are further formed. Since the other points are the same, with respect to members

indicated by the same reference numerals, the overlapped explanations will be omitted.

As shown in Figs. 9 and 11, the conductive layer 19 (portion with thin slanting lines in Fig. 11) is formed on the first insulating layer 16 above the p-type semiconductor layer 13 with an area that is smaller than the joining face between the n-type semiconductor layer 12 and the p-type semiconductor layer 13, and larger than the area on the second p-electrode 18, and electrically connected to the first p-electrode 15 through a plurality of openings 16b for the p-electrode of the first insulating layer 16. The conductive layer 19 is a thin film having a thickness, for example, in a range from 0.1μm to 0.3μm, and is formed through sputtering and plating.

The second insulating layer 20 (portion with thick slanting lines of Fig. 11) is formed between the second n-electrode and the conductive layer 16 so as to insulate the second n-electrode 17 and the conductive layer 16 from each other. In other words, the second insulating layer 20 is formed on an area 19a on the side of the first insulating layer 16 and the first n-electrode 14 so as to cover the area 19a on the first n-electrode 14 side rather than the second p-electrode 18 of the conductive layer 19. The second insulating layer 20 is formed by a thin film having a thickness, for example, in a range from 0.1μm to 1.0μm, through sputtering, plating or the like. The second p-electrode 18 is formed on an area 19b that is not covered

with the second insulating layer 20 of the conductive layer 19 so as to be electrically connected to the first p-electrode 15 through the conductive layer 19 and the opening 16b for the p-electrode of the first insulating layer 16.

In accordance with the LED chip 1a of the second embodiment, as shown in Figs. 9 to 11, even when the openings 16b for the p-electrode of the first insulating layer 16 are formed at positions overlapping with the second n-electrode 17 when viewed from the bottom side of the LED chip 1a, the first p-electrode 15 and the second p-electrode 18 can be electrically connected with each other at many portions through the openings 16b for the p-electrode and the conductive layer 19. Therefore, in comparison with the LED chip 1 of the first embodiment, a plurality of openings 16b for the p-electrode are formed in more dispersed manner so that an electric current can be supplied sufficiently to the entire first p-electrode 15, thereby making it possible to further improve the uniformity of light emission of the LED chip 1a. Moreover, since the area on the second n-electrode 17 needs not be made smaller, it is possible to use a conductive bonding material such as solder that requires a wider joining area.

Here, upon manufacturing the LED chip 1a, as shown in Fig. 12, a step can be added between the step S13 and the step S14 of Fig. 5, in which: after having formed the conductive layer 19 (step S21) on the first insulating layer 16 through

sputtering or the like, the second insulating layer 20 (step S22) is formed so as to cover the area 19a on the first n-electrode 14 side of the conductive layer 19.

Here, in the second embodiment, the conductive layer 19 and the second n-electrode 18 are formed separately; however, these may be formed integrally.

Moreover, in the case where the height from the element substrate 11 to the lower face 17a of the second electrode 17 and the height from the element substrate 11 to the lower face 18a of the second p-electrode 18 need not be made equal to each other, that is, for example, in the case when the mounting process can be executed while the orientation of the LED chip 1b is regulated, as shown in Fig. 13, provision may be made so that the joining process is directly carried out on the area 19b that is not covered with the second insulating layer 20 of the conductive layer 19 through the solder 31.

Upon manufacturing the LED chip 1b having the above-mentioned structure, as shown in Fig. 14, instead of the step S14 of Fig. 5, the following steps may be added: after forming the conductive layer 19 (step S31) on the first insulating layer 16 through sputtering or the like, the second insulating layer 20 is formed so as to cover the area 19a of the conductive layer 19 on the first n-electrode 14 side through sputtering or the like (step S32), and the second n-electrode 17 is formed so as to cover the area 16c covering the first n-electrode 14 of the

first insulating layer 16 and the area 20a of the second insulating layer 20 on the first n-electrode 14 side (step S33) through sputtering, plating or the like.

The first and second embodiments of the present invention have been explained above; however, the present invention is not intended to be limited by the first and second embodiments, and can be modified in many ways.

For example, in Figures, the opening 16a for the n-electrode and the openings 16b for the p-electrode to be formed on the first insulating layer 16 are designed to have a round shape; however, an opening having a cut-out shape (that is, connected to the edge of the first insulating layer 16) may be used.

Moreover, the first insulating layer 16 is formed so as to cover the first n-electrode 14 and the first p-electrode 15, and the opening 16a for the n-electrode and the openings 16b for the p-electrode are formed so that the first n-electrode 14 and the second n-electrode 17, as well as the first p-electrode 15 and the second p-electrode 18, are electrically connected to each other; however, the present invention is not intended to be limited by this structure. For example, as shown in Fig. 15, it is only necessary for the first insulating layer 16 to be formed to insulate the first n-electrode 14, the first p-electrode 15 and the second n-electrode 17 from one another, and the upper face 18b of the second p-electrode 18 may be connected

to the entire lower face 15a of the first p-electrode 15. In this case, it is not necessary to form the opening 16a for the n-electrode and the openings 16b for the p-electrode in the first insulating layer 16.

By properly combining arbitrary embodiments of the aforementioned various embodiments, the effects owned by each of them can be made effectual.

Although the present invention has been fully described in connection with the preferred embodiments thereof with reference to the accompanying drawings, it is to be noted that various changes and modifications are apparent to those skilled in the art. Such changes and modifications are to be understood as included within the scope of the present invention as defined by the appended claims unless they depart therefrom.

The disclosure of Japanese Patent Application No.2004-279049 filed on April 14, 2005 including specification, drawing and claims are incorporated herein by reference in its entirety.

INDUSTRIAL APPLICABILITY

A semiconductor light-emitting element, a manufacturing method and a mounting method of such semiconductor light-emitting element, and a light-emitting device having a circuit board on which the semiconductor light-emitting element is mounted, can be mounted on a circuit board at low costs by

using a conductive bonding material, such as solder, and achieve features such as high productivity, high junction quality and high yield so that they are effectively utilized for devices, such as, in particular, a middle/large-sized liquid crystal back light, a special illuminating device and a car headlight.

CLAIMS

1. A semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area for an n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer that is formed so as to insulate the first n-electrode and the first p-electrode from each other;

a second n-electrode formed on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode so that the second n-electrode is electrically connected to the first n-electrode, the second n-electrode being insulated from the first p-electrode by the

first insulating layer; and

a second p-electrode formed as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode.

2. A semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area for an n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer having at least one opening for the n-electrode and one opening for the p-electrode formed therein, which covers the first n-electrode and the first p-electrode so as to insulate the first n-electrode and the first

p-electrode from each other, except for the opening for the n-electrode and the opening for the p-electrode,

a second n-electrode formed on the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, the second n-electrode being electrically connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

a second p-electrode formed on the first insulating layer as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

3. The semiconductor light-emitting element according to claim 2, further comprising:

a conductive layer that is formed on the first insulating layer on the p-type semiconductor layer so as to have an area that is smaller than the area of the joined face between the n-type semiconductor layer and the p-type semiconductor layer and is larger than the area on the second p-electrode, the conductive layer being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer; and

a second insulating layer that is formed between the conductive layer and the second n-electrode so as to insulate the conductive layer and the second n-electrode from each other,

wherein the second p-electrode is formed on the conductive layer as a thin film having an area that is larger than the joined face between the p-type semiconductor layer and the first p-electrode and the second p-electrode is electrically connected to the first p-electrode through the conductive layer.

4. The semiconductor light-emitting element according to claim 2 or 3, wherein a plurality of openings for the p-electrode of the first insulating layer are formed so as to be dispersed virtually uniformly.

5. The semiconductor light-emitting element according to any one of claims 1 to 3, wherein the second n-electrode and the second p-electrode have virtually same size.

6. The semiconductor light-emitting element according to any one of claims 1 to 3, wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder, silver paste and anisotropic conductive resin.

7. A light-emitting device comprising:

the semiconductor light-emitting element according to claim 1;

a circuit board having a plurality of electrodes; and

a conductive bonding material layer that electrically connects and fixes the second n-electrode and the second p-electrode to the electrodes on the circuit board.

8. The light-emitting element according to claim 7, wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder, silver paste and anisotropic conductive resin.

9. A method for manufacturing a semiconductor light-emitting element comprising:

preparing a bare light-emitting element comprising an n-type semiconductor layer formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which an area for the n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor

layer;

forming a first insulating layer so as to insulate the first n-electrode and the first p-electrode from each other;

forming a second n-electrode on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode, so that the second n-electrode is electrically connected to the first n-electrode and is insulated from the first p-electrode by the first insulating layer; and

forming a second p-electrode on the first p-electrode as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode.

10. A method for manufacturing a semiconductor light-emitting element comprising:

preparing a bare light-emitting element comprising an n-type semiconductor layer formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which the area for the n-electrode of the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the

n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor layer;

forming a first insulating layer having at least one of each of an opening for the n-electrode and an opening for the p-electrode so as to cover the first n-electrode and the first p-electrode;

forming, on the first insulating layer, a second n-electrode that is a thin film having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, so that the second n-electrode is electrically connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

forming, on the first insulating layer, a second p-electrode that is a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

11. The method for manufacturing a semiconductor light-emitting element according to claim 10, wherein the first insulating layer is formed through sputtering.

12. The method for manufacturing a semiconductor

light-emitting element according to any one of claims 9 to 11, wherein the second n-electrode and the second p-electrode are formed through sputtering or plating.

13. A method for mounting semiconductor light-emitting elements, comprising:

placing solder between the second n-electrode as well as the second p-electrode of the semiconductor light-emitting element according to claim 1 and a plurality of electrodes on a circuit board, and then carrying out a reflow treatment thereon, thereby the semiconductor light-emitting elements are mounted on the circuit board through solder.

ABSTRACT

An LED chip (1) of the present invention has a structure in which an n-type semiconductor layer (12) and a p-type semiconductor layer (13) are successively formed on the lower face of an element substrate (11), with the p-type semiconductor layer (13) being formed on an area except for an area for an n-electrode (12a). A first n-electrode (14) is formed on the area for the n-electrode (12a) and a first p-electrode (15) is formed on the p-type semiconductor layer (13). A first insulating layer (16) having openings (16a) and (16b) is formed on the first n-electrode (14) and the first p-electrode (15), and a second n-electrode (17) and a second p-electrode (18) having virtually the same size are formed on the first insulating layer (16). With this arrangement, the electrode on the n-type semiconductor layer (12) can be made larger, thereby a mounting process of LED chips (1) onto a circuit board (40) can be executed by using solder (31) at low costs.

Fig.1

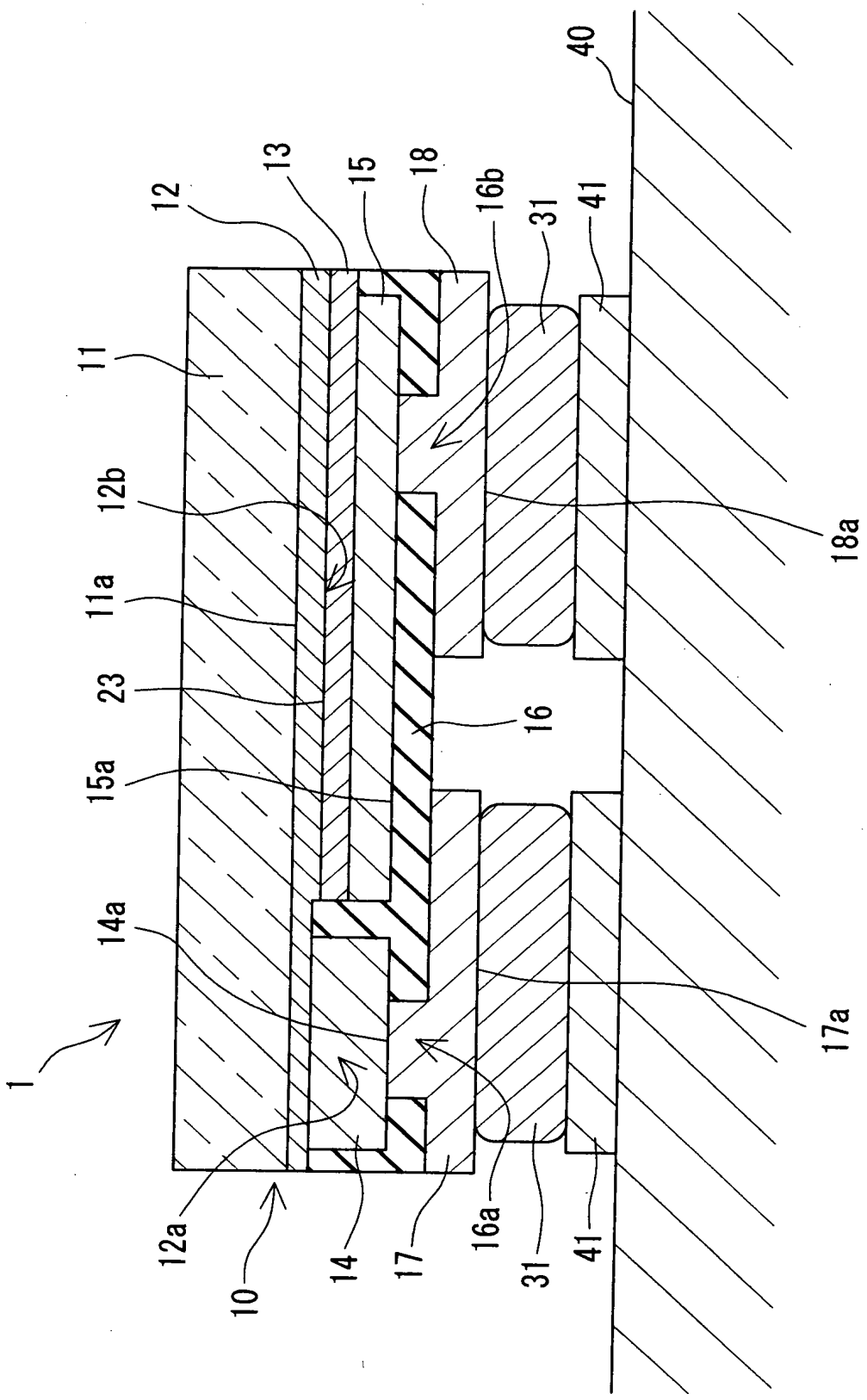
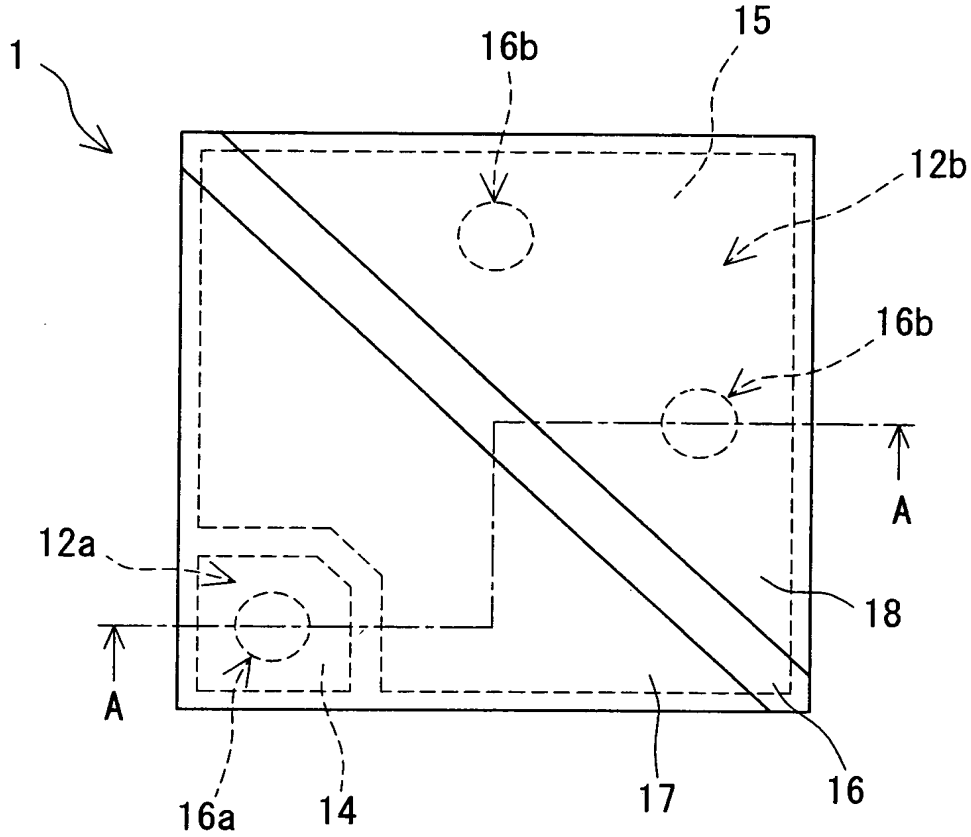

1
10
11
11a
12
12a
12b
13
14
14a
15
15a
16
16a
16b
17
17a
18
18a
23
31
31
40
41
41

Fig.2



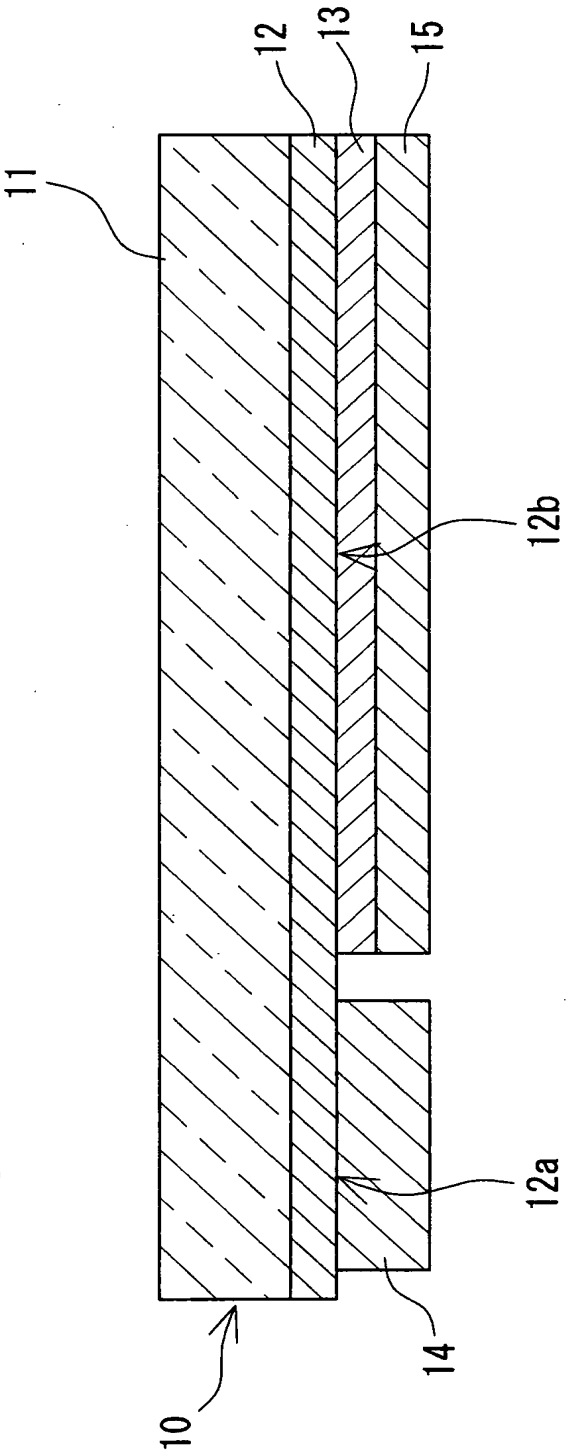


Fig.3

Fig.4

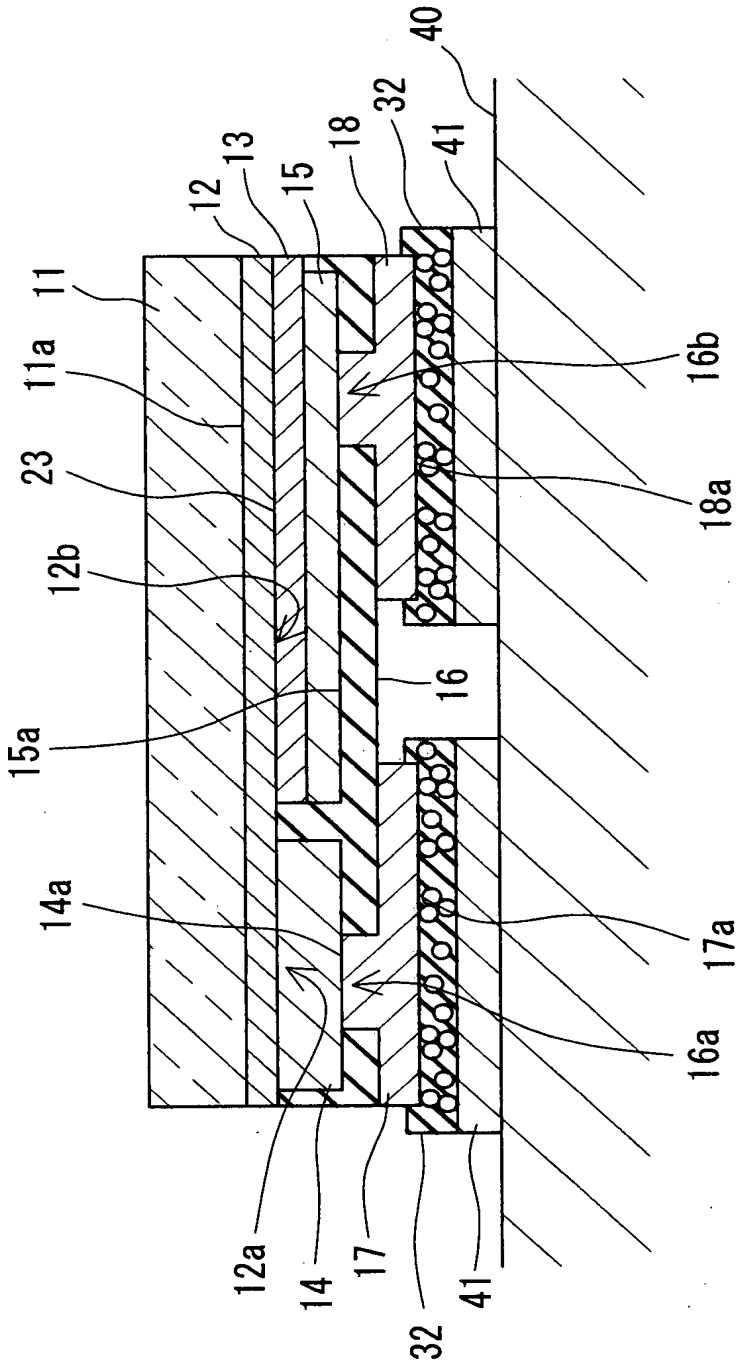

40
32
41
18
13
15
12
11
11a
23
12b
15a
14a
16b
18a
16
17a
16a
12a
14
17
32
41

Fig.5

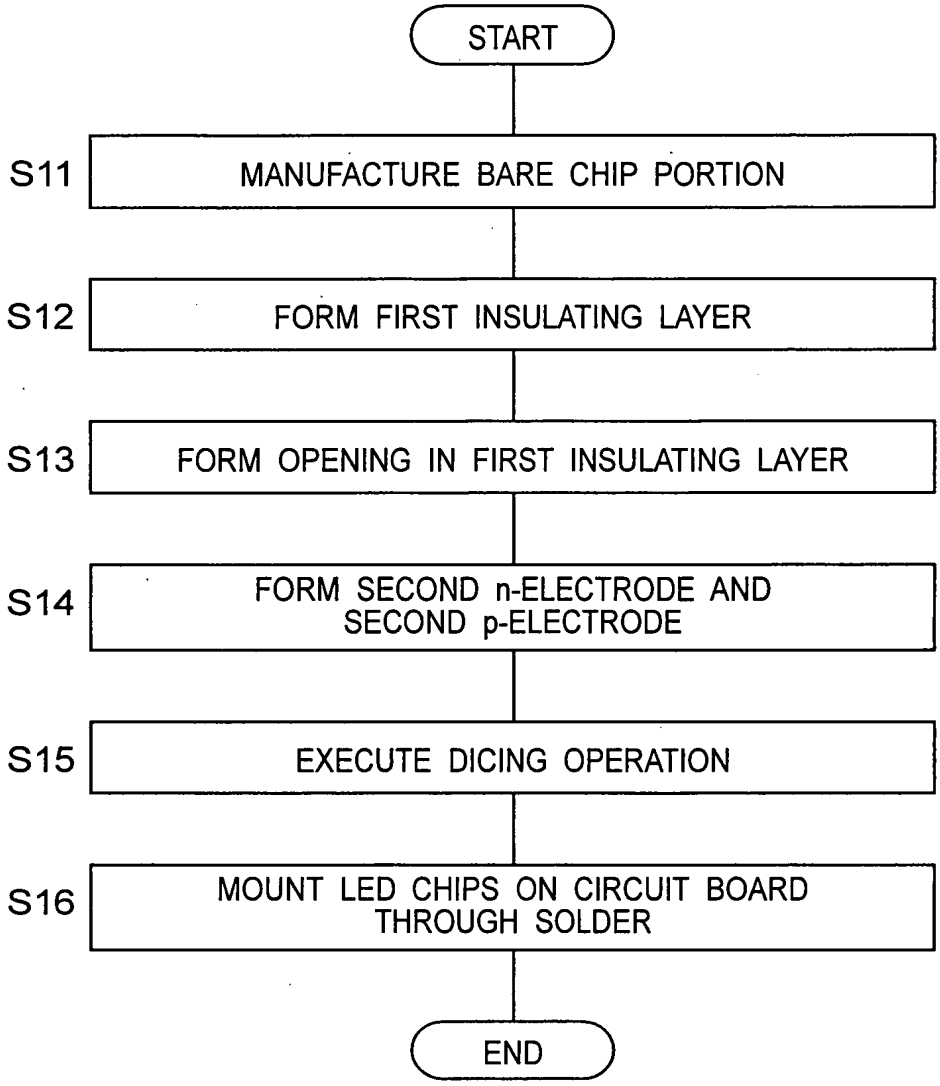

START
S11
MANUFACTURE BARE CHIP PORTION
S12
FORM FIRST INSULATING LAYER
S13
FORM OPENING IN FIRST INSULATING LAYER
S14
FORM SECOND n-ELECTRODE AND SECOND p-ELECTRODE
S15
EXECUTE DICING OPERATION
S16
MOUNT LED CHIPS ON CIRCUIT BOARD THROUGH SOLDER
END

Fig.6

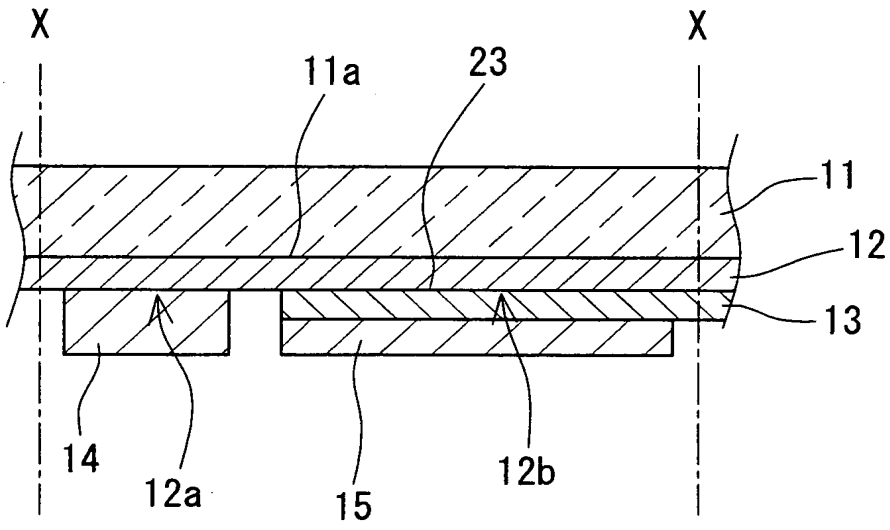


Fig. 7

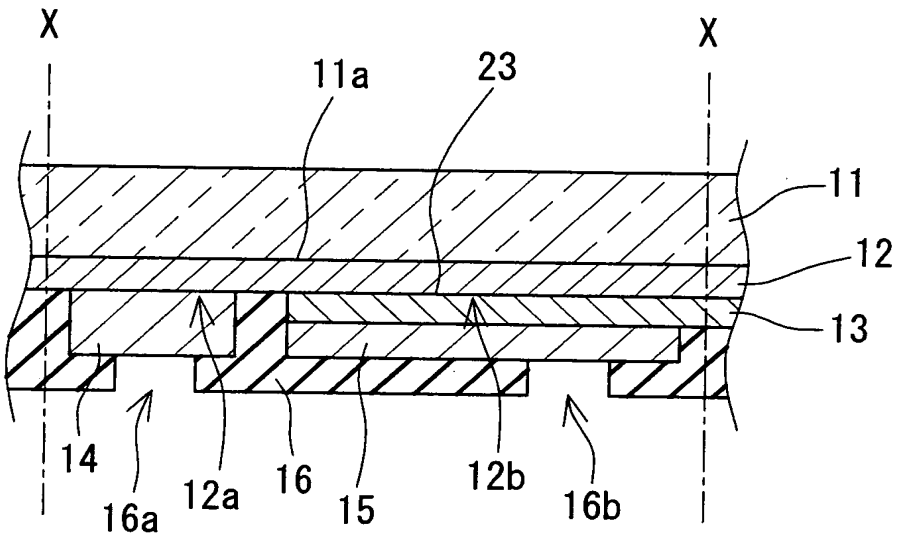


Fig.8

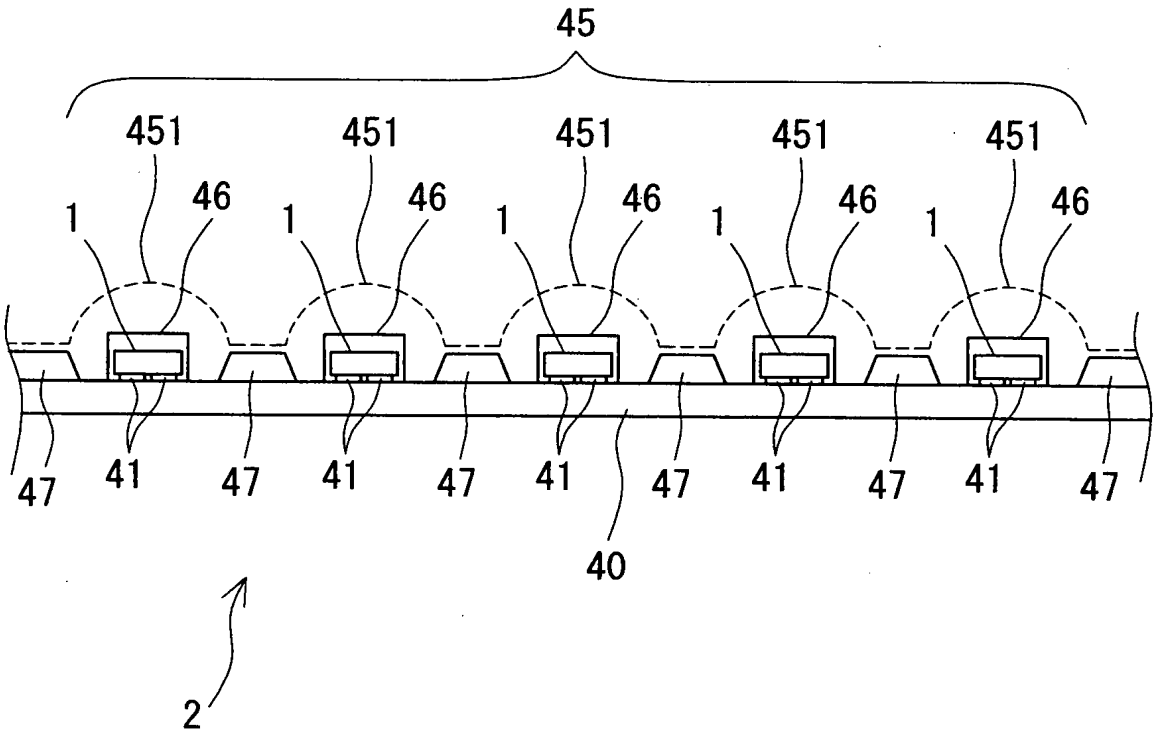

45
451
451
451
451
451
1
46
1
46
1
46
1
46
1
46
47
41
47
41
47
41
47
41
47
41
47
40
2

Fig.9

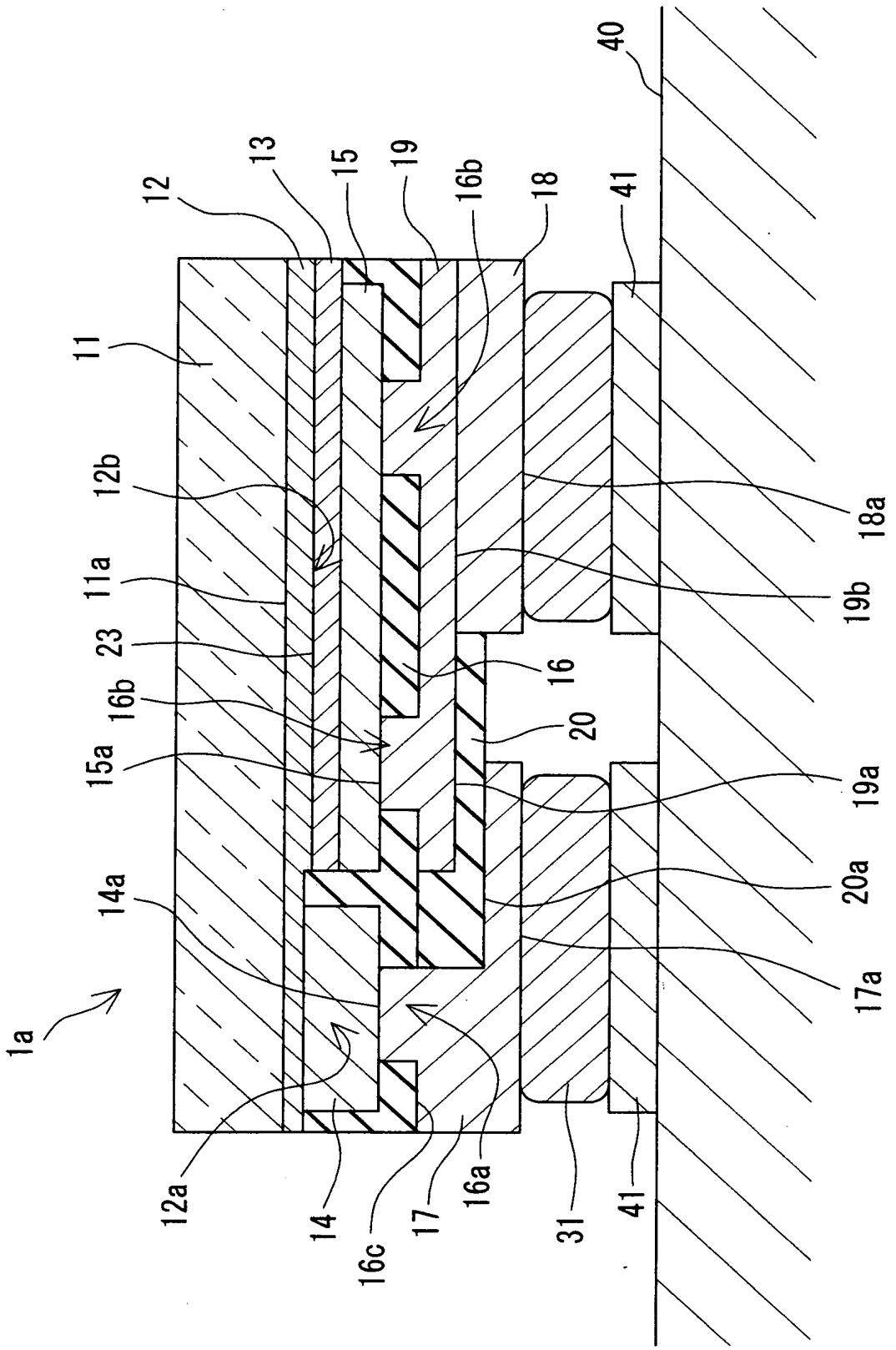

1a
11
12
13
15
19
16b
18
41
40
12b
18a
11a
19b
23
16
16b
20
15a
19a
14a
20a
17a
12a
14
16c
17
16a
31
41

Fig.10

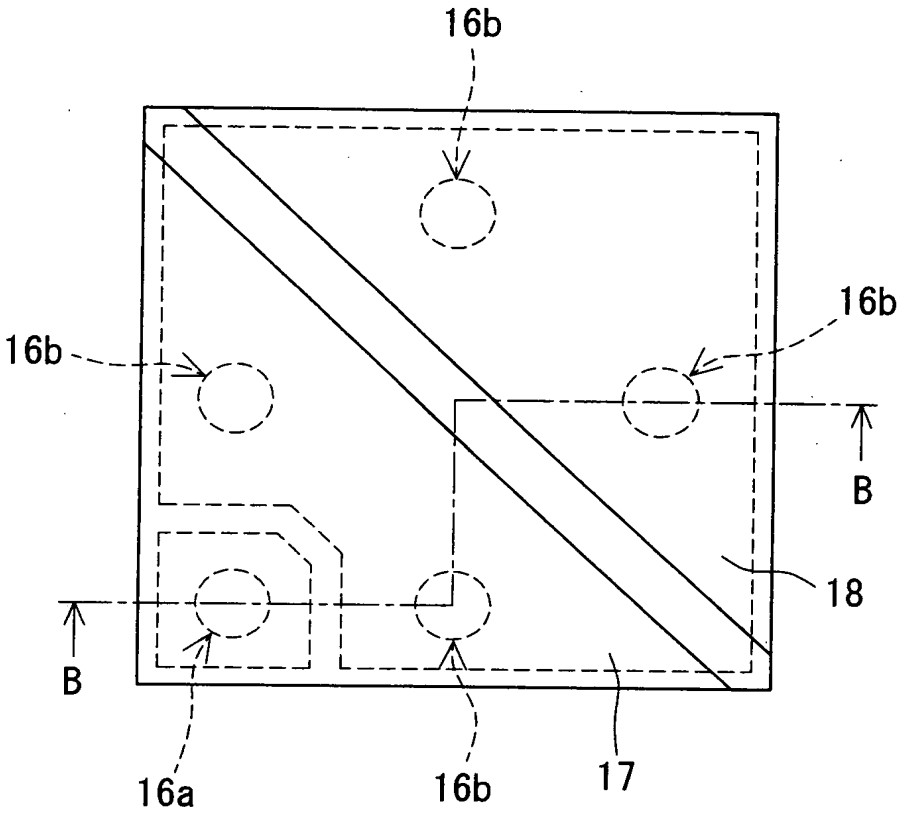


Fig.11

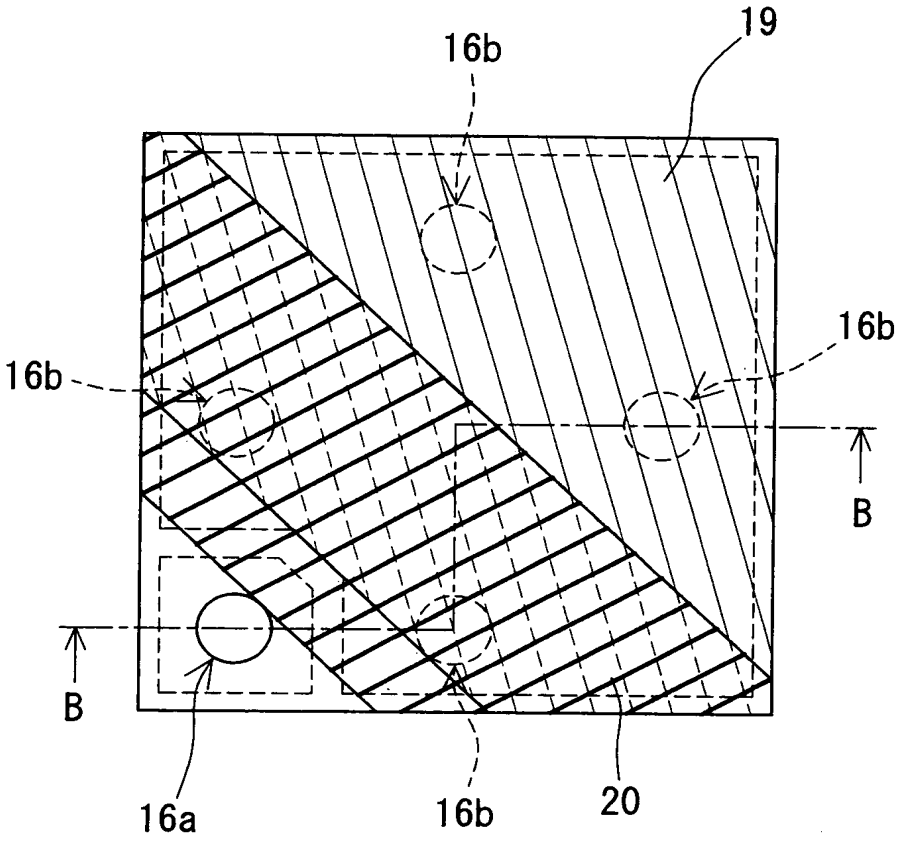


Fig.12

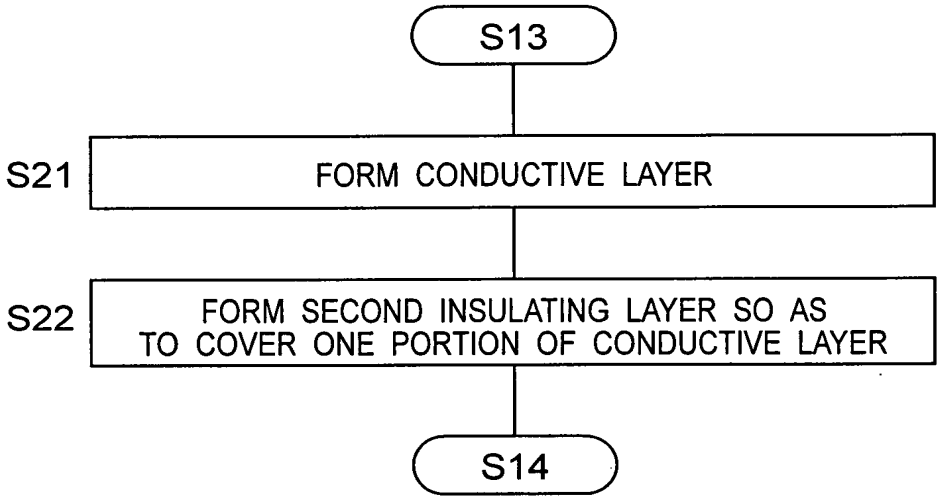

S13
S21
FORM CONDUCTIVE LAYER
S22
FORM SECOND INSULATING LAYER SO AS TO COVER ONE PORTION OF CONDUCTIVE LAYER
S14

Fig.13

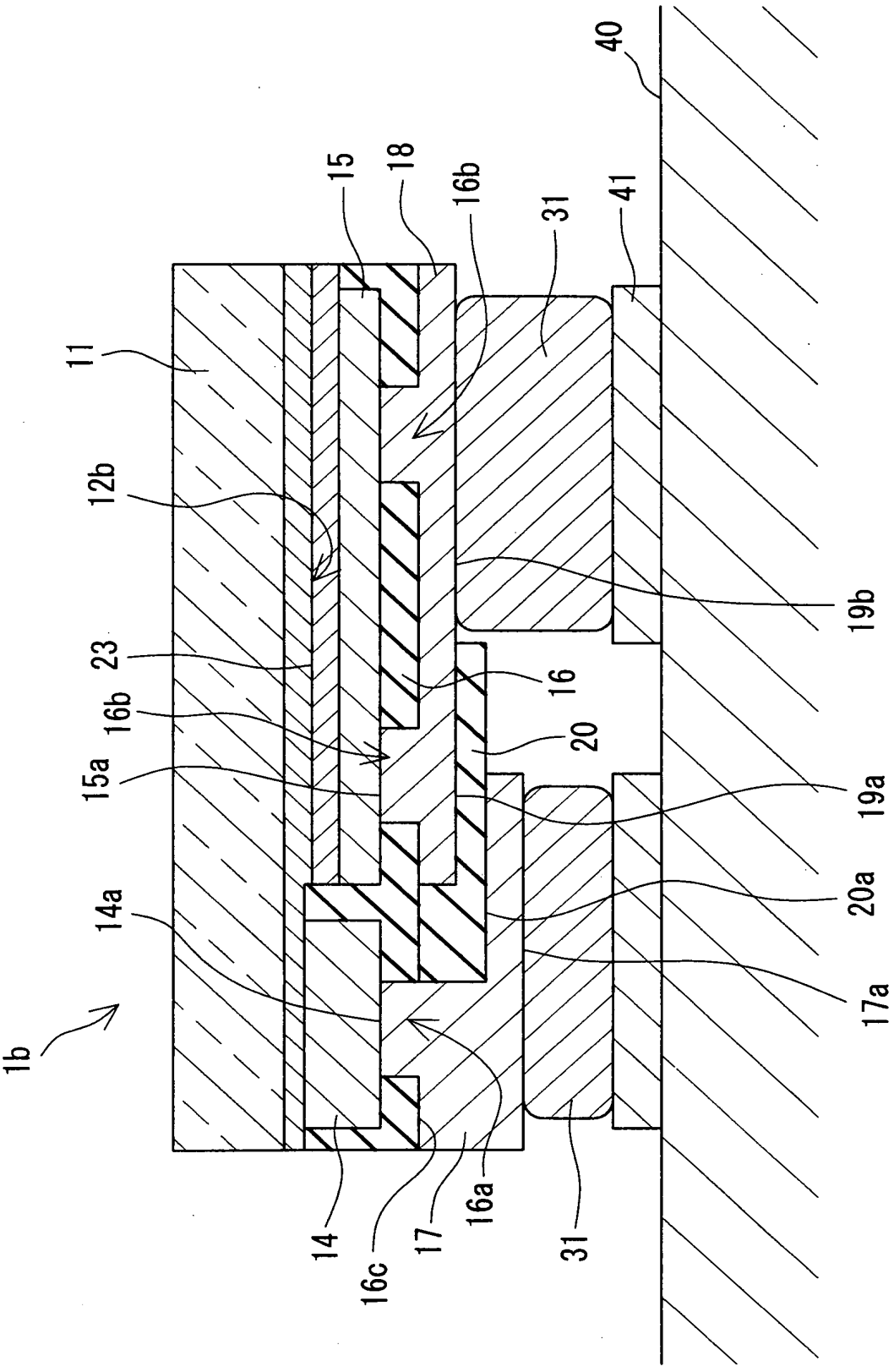

40
15
18
16b
31
41
11
12b
19b
23
16
16b
20
15a
19a
14a
20a
17a
1b
14
16c
17
16a
31

Fig.14

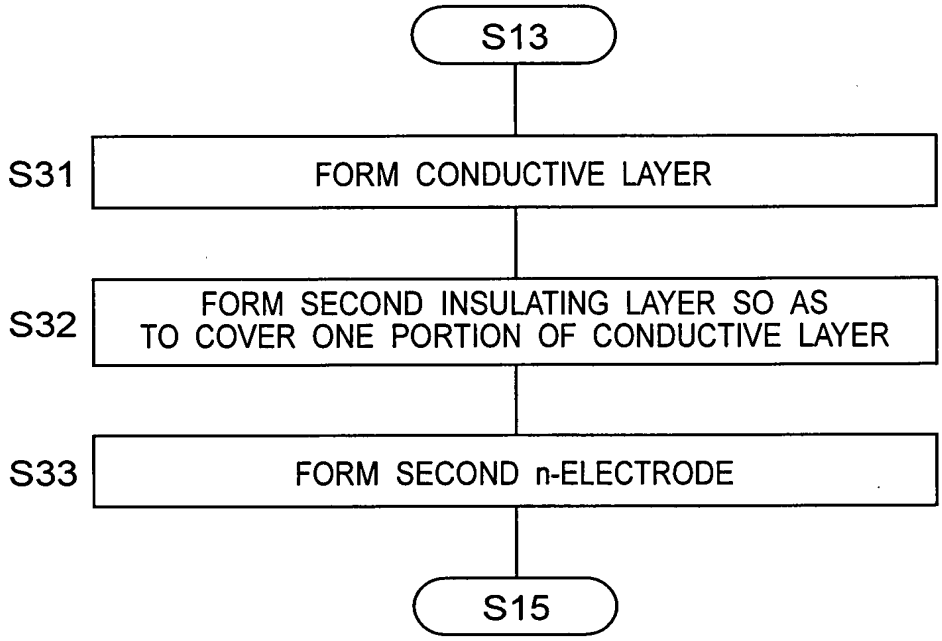

S13
S31
FORM CONDUCTIVE LAYER
S32
FORM SECOND INSULATING LAYER SO AS TO COVER ONE PORTION OF CONDUCTIVE LAYER
S33
FORM SECOND n-ELECTRODE
S15

Fig.15

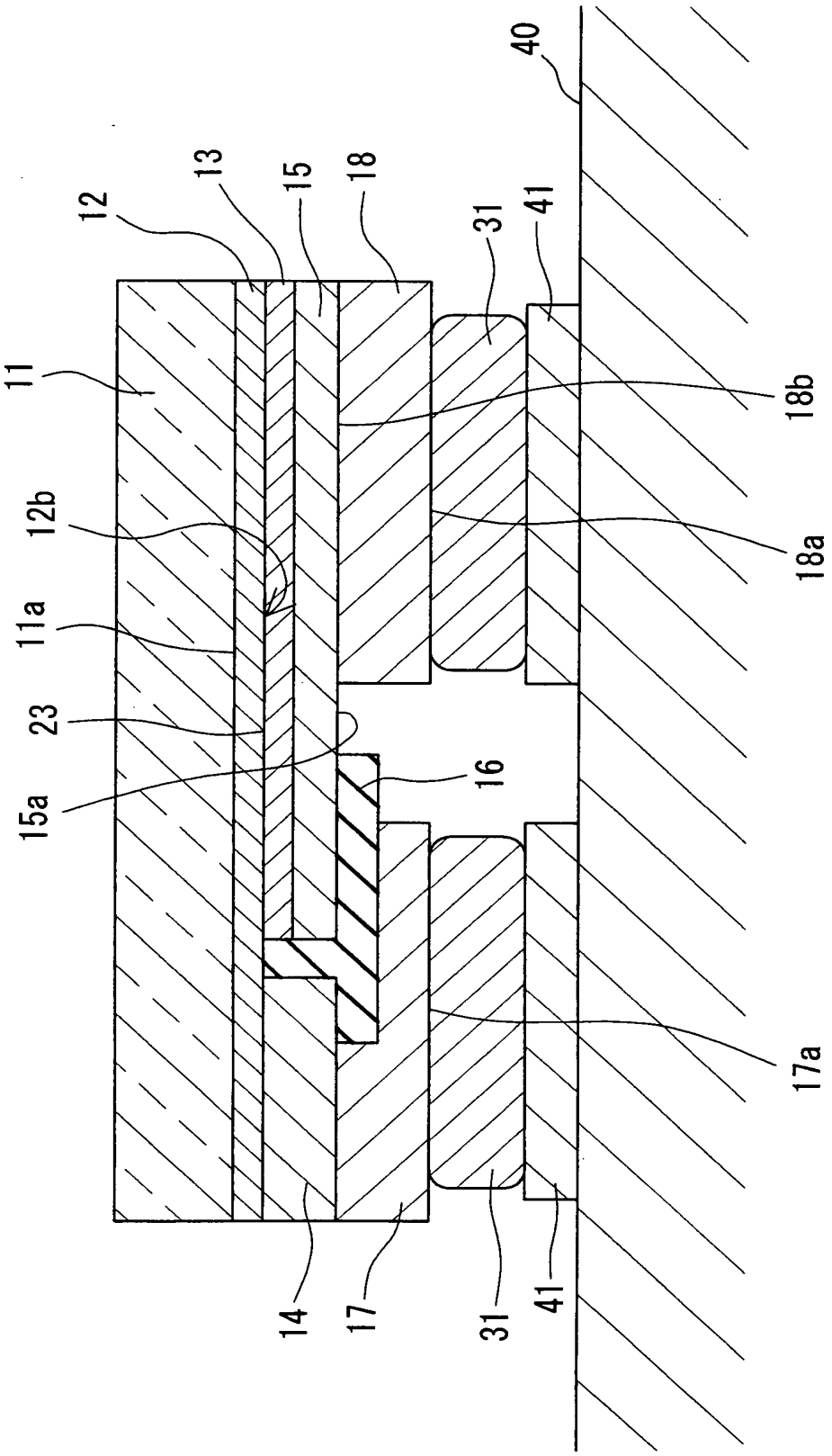


Fig.16

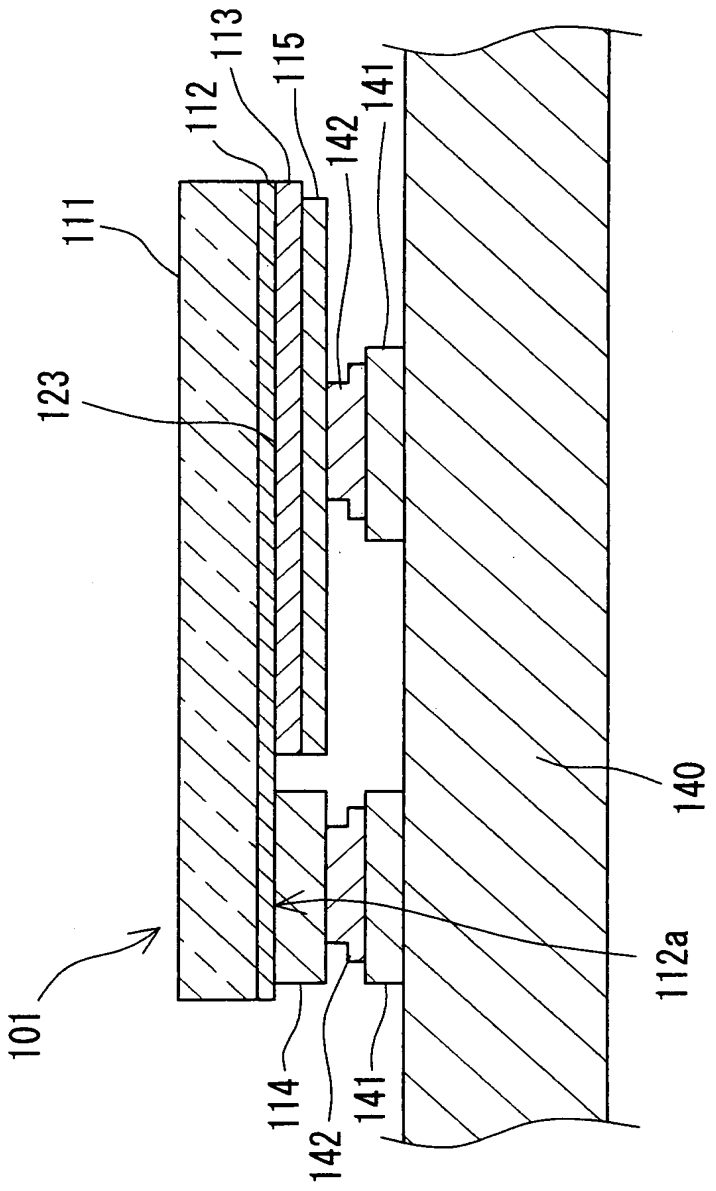
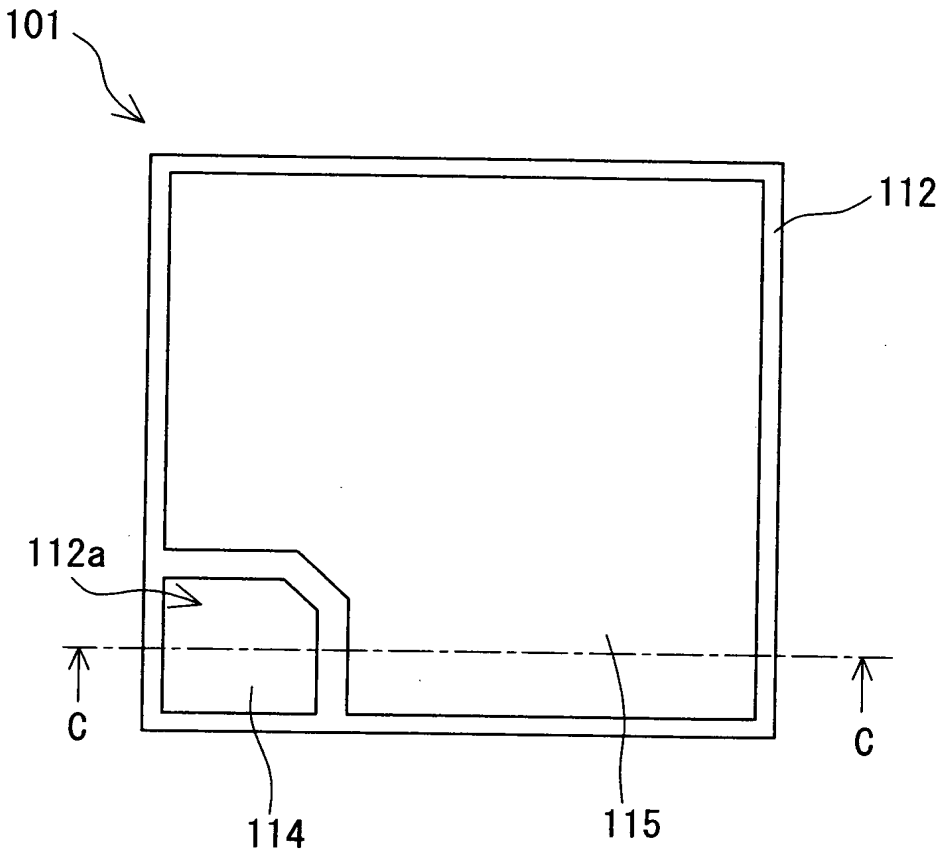


Fig.17



MEI Form -2.0, (July, 2006)

Matsushita Ref*: P040084-01
(* must be filled)
Japan Firm Name: AOYAMA & PARTNERS
US Firm Name: WLP

Application Serial No.
Japan Firm Ref: 548884
US Firm Ref:

DECLARATION AND POWER OF ATTORNEY FOR U.S. PATENT APPLICATION

(a) ■ Original (b) ☐ Supplemental (c) ☐ Substitute (d) ☐ PCT (e) ☐ Design

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated below next to my name; and I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Title of Invention:

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE

which is described and claimed in *(if the following box is not checked, the specification of which is attached hereto):*

1. For use when submitting this Declaration prior to U.S. application filing date				
(f) ☐ the attached specification, or				
2. For use when submitting this Declaration after U.S. application filing date				
(g) ☐ the specification in the U.S. Application:	Application No. *(if available)*		filed on: *(must be filled)*	
	and with amendments (if applicable):		filed on	,or
3. For PCT-US national entry under 35 U.S.C. 371 (for use when filing this Declaration before and after the U.S. national entry date)				
(h) ■ the specification in the International Application:	PCT Application No.	PCT/JP2005/017467	filed on: *(International filing date)*	September 22, 2005,
(Check here only for US national entry under 35 U.S.C. 371.)	and with amendments (if applicable):		filed on:	,

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment(s) referred to above.

I acknowledge my duty to disclose to the U.S. Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, §119 (a-d), §172, or §365(b) of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT international application which designated at least one country other than the United States of America, listed below, and have also identified below any foreign application for patent or inventor's certificate, or of any PCT international application having a filing date before that of the application on which priority is claimed:

(Foreign Priority Information)

COUNTRY	APPLICATION NO.	DATE OF FILING	PRIORITY CLAIMED
Japan	2004-279049	September 27, 2004	YES

☐ Additional foreign or international application numbers are listed on a supplemental priority sheet attached hereto.

ATTACHMENT "C"

I hereby claim the benefit under Title 35, United States Code §119(e) of any United States Provisional application(s) listed below.

(US Provisional Application Information)

APPLICATION NO.	U.S. PROVISIONAL APPLICATION FILING DATE

□ Additional U.S. provisional application numbers are listed on a supplemental priority sheet attached hereto.

I hereby claim the benefit under Title 35, United States Code §120 of any United States application(s), or §365(C) of any PCT international application designating the United States of America, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of Title 35, United States Code §112, I acknowledge the duty to disclose information material to patentability as defined in Title 37, Code of Federal Regulations, §1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application.

(Domestic Priority Information)

APPLICATION NO.	U.S. FILING DATE	STATUS: PATENTED, PENDING, ABANDONED

□ Additional U.S. or international application numbers are listed on a supplemental priority sheet attached hereto.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the attorneys and agents associated with U.S. Patent and Trademark Office Customer Number identified bellow to prosecute this application and to transact all business in the U.S. Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to that customer number.

I hereby authorize the U.S. attorneys and agents associated with the customer number to accept and follow instructions from Matsushita Electric Industrial Co., Ltd., and any affiliated or subsidiary company thereof, received via their corporate representatives and/or their foreign patent attorneys or agents, if any, as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the U.S. attorneys or agents and myself.

Direct Correspondence to:

CUSTOMER NUMBER 52349

I further declare that all statements made herein of my own knowledge are true, and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

INVENTOR (s)

Full Name of Sole or First Inventor	**FIRST NAME** Kazushi	**LAST NAME** HIGASHI	**SIGNATURE** Kazushi Higashi	**DATE OF SIGNATURE** February 5, 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Osaka, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Matsushita Electric Industrial Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 JAPAN	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

Full Name of Second Inventor	**FIRST NAME** Shinji	**LAST NAME** ISHITANI	**SIGNATURE** Shinji Ishitani	**DATE OF SIGNATURE** February 5, 2007
Residence & Citizenship	**CITY, STATE or COUNTRY** Hyogo, JAPAN			**CITIZENSHIP** JAPAN
Post office address	**ADDRESS** c/o Matsushita Electric Industrial Co., Ltd. 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 JAPAN	**CITY**	**STATE OR COUNTRY**	**ZIP CODE**

11/662547
IAP13 Rec'd PCT/PTO 12 MAR 2007

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :

Kazushi HIGASHI et al. : **Mail Stop: PCT**

Serial No. NEW : Attorney Docket No. 2007_0415A

Filed March 12, 2007 :

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN THE FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

PRELIMINARY AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Prior to initial examination of the above-identified application, kindly amend the application as follows:

ATTACHMENT "E"

AMENDMENTS TO THE ABSTRACT

Replace the abstract with the enclosed substitute abstract.

IKEA Supply AG
Exhibit 1002 Page 217 of 361

AMENDMENT TO THE CLAIMS

1.(Original) A semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area for an n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer that is formed so as to insulate the first n-electrode and the first p-electrode from each other;

a second n-electrode formed on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode so that the second n-electrode is electrically connected to the first n-electrode, the second n-electrode being insulated from the first p-electrode by the first insulating layer; and

a second p-electrode formed as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode.

2.(Original) A semiconductor light-emitting element comprising:

a light-transmitting element substrate;

an n-type semiconductor layer formed on the element substrate so as to cover the element substrate;

a p-type semiconductor layer formed so as to cover an area on the n-type semiconductor layer from which an area for an n-electrode on the n-type semiconductor layer is

excluded, for emitting light in cooperation with the n-type semiconductor layer;

a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer;

a first p-electrode that is a thin film formed on the p-type semiconductor layer;

a first insulating layer having at least one opening for the n-electrode and one opening for the p-electrode formed therein, which covers the first n-electrode and the first p-electrode so as to insulate the first n-electrode and the first p-electrode from each other, except for the opening for the n-electrode and the opening for the p-electrode,

a second n-electrode formed on the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, the second n-electrode being electrically connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

a second p-electrode formed on the first insulating layer as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, the second p-electrode being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

3.(Original) The semiconductor light-emitting element according to claim 2, further comprising:

a conductive layer that is formed on the first insulating layer on the p-type semiconductor layer so as to have an area that is smaller than the area of the joined face between the n-type semiconductor layer and the p-type semiconductor layer and is larger than the area on the second p-electrode, the conductive layer being electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer; and

a second insulating layer that is formed between the conductive layer and the second n-electrode so as to insulate the conductive layer and the second n-electrode from each other,

wherein the second p-electrode is formed on the conductive layer as a thin film

having an area that is larger than the joined face between the p-type semiconductor layer and the first p-electrode and the second p-electrode is electrically connected to the first p-electrode through the conductive layer.

4.(Currently Amended) The semiconductor light-emitting element according to claim 2 ~~or 3~~, wherein a plurality of openings for the p-electrode of the first insulating layer are formed so as to be dispersed virtually uniformly.

5.(Currently Amended) The semiconductor light-emitting element according to claim 1, ~~any one of claims 1 to 3,~~ wherein the second n-electrode and the second p-electrode have virtually same size.

6.(Currently Amended) The semiconductor light-emitting element according to claim1, ~~any one of claims 1 to 3,~~ wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder, silver paste and anisotropic conductive resin.

7.(Original) A light-emitting device comprising:
the semiconductor light-emitting element according to claim 1;
a circuit board having a plurality of electrodes; and
a conductive bonding material layer that electrically connects and fixes the second n-electrode and the second p-electrode to the electrodes on the circuit board.

8.(Original) The light-emitting element according to claim 7, wherein the conductive bonding material layer is any one of the members selected from a group consisting of solder, silver paste and anisotropic conductive resin.

9.(Original) A method for manufacturing a semiconductor light-emitting element comprising:
preparing a bare light-emitting element comprising an n-type semiconductor layer

formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which an area for the n-electrode on the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor layer;

forming a first insulating layer so as to insulate the first n-electrode and the first p-electrode from each other;

forming a second n-electrode on the first n-electrode and the first insulating layer as a thin film having an area larger than a joined face between the n-type semiconductor and the first n-electrode, so that the second n-electrode is electrically connected to the first n-electrode and is insulated from the first p-electrode by the first insulating layer; and

forming a second p-electrode on the first p-electrode as a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode.

10.(Original) A method for manufacturing a semiconductor light-emitting element comprising:

preparing a bare light-emitting element comprising an n-type semiconductor layer formed on a light-transmitting element substrate so as to cover the element substrate; a p-type semiconductor layer formed on an area on the n-type semiconductor layer from which the area for the n-electrode of the n-type semiconductor layer is excluded, for emitting light in cooperation with the n-type semiconductor layer; a first n-electrode that is a thin film formed on the area for the n-electrode of the n-type semiconductor layer; and a first p-electrode that is a thin film formed on the p-type semiconductor layer;

forming a first insulating layer having at least one of each of an opening for the n-electrode and an opening for the p-electrode so as to cover the first n-electrode and the first p-electrode;

forming, on the first insulating layer, a second n-electrode that is a thin film

having an area larger than a joined face between the n-type semiconductor layer and the first n-electrode, so that the second n-electrode is electrically connected to the first n-electrode through the opening for the n-electrode of the first insulating layer; and

forming, on the first insulating layer, a second p-electrode that is a thin film having an area smaller than a joined face between the n-type semiconductor layer and the p-type semiconductor layer, so that the second p-electrode is electrically connected to the first p-electrode through the opening for the p-electrode of the first insulating layer.

11.(Original) The method for manufacturing a semiconductor light-emitting element according to claim 10, wherein the first insulating layer is formed through sputtering.

12.(Currently Amended) The method for manufacturing a semiconductor light-emitting element according to claim 9, ~~any one of claims 9 to 11,~~ wherein the second n-electrode and the second p-electrode are formed through sputtering or plating.

13.(Original) A method for mounting semiconductor light-emitting elements, comprising:

placing solder between the second n-electrode as well as the second p-electrode of the semiconductor light-emitting element according to claim 1 and a plurality of electrodes on a circuit board, and then carrying out a reflow treatment thereon, thereby the semiconductor light-emitting elements are mounted on the circuit board through solder.

REMARKS

The present Preliminary Amendment is submitted to delete the multiple dependencies of claims 4-6 and 12, thereby placing such claims in condition for examination and reducing the required PTO filing fee.

Also, the abstract has been amended in order to remove the reference numerals therein. The changes to the abstract are submitted in the form of a substitute abstract. A copy of the abstract with changes marked therein is attached.

Respectfully submitted,

Kazushi HIGASHI et al.

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
March 12, 2007

ABSTRACT

An LED chip ~~(1)~~ of the present invention has a structure in which an n-type semiconductor layer ~~(12)~~ and a p-type semiconductor layer ~~(13)~~ are successively formed on the lower face of an element substrate ~~(11)~~, with the p-type semiconductor layer ~~(13)~~ being formed on an area except for an area for an n-electrode ~~(12a)~~. A first n-electrode ~~(14)~~ is formed on the area for the n-electrode ~~(12a)~~ and a first p-electrode ~~(15)~~ is formed on the p-type semiconductor layer ~~(13)~~. A first insulating layer ~~(16)~~ having openings ~~(16a)~~ and ~~(16b)~~ is formed on the first n-electrode ~~(14)~~ and the first p-electrode ~~(15)~~, and a second n-electrode ~~(17)~~ and a second p-electrode ~~(18)~~ having virtually the same size are formed on the first insulating layer ~~(16)~~. With this arrangement, the electrode on the n-type semiconductor layer ~~(12)~~ can be made larger, thereby a mounting process of LED chips ~~(1)~~ onto a circuit board ~~(40)~~ can be executed by using solder ~~(31)~~ at low costs.

Version with Markings to Show Changes Made

11/662547

IAP13 Rec'd PCT/PTO 12 MAR 2007

ABSTRACT

An LED chip of the present invention has a structure in which an n-type semiconductor layer and a p-type semiconductor layer are successively formed on the lower face of an element substrate, with the p-type semiconductor layer being formed on an area except for an area for an n-electrode. A first n-electrode is formed on the area for the n-electrode and a first p-electrode is formed on the p-type semiconductor layer. A first insulating layer having openings and is formed on the first n-electrode and the first p-electrode, and a second n-electrode and a second p-electrode having virtually the same size are formed on the first insulating layer. With this arrangement, the electrode on the n-type semiconductor layer can be made larger, thereby a mounting process of LED chips onto a circuit board can be executed by using solder at low costs.

11/662547
IAP13 Rec'd PCT/PTO 12 MAR 2007

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :

Kazushi HIGASHI et al. : **Mail Stop: PCT**

Serial No. NEW : Attorney Docket No. 2007_0415A

Filed March 12, 2007 :

SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT-EMITTING DEVICE
[Corresponding to PCT/JP2005/017467 Filed September 22, 2005]

THE COMMISSIONER IS AUTHORIZED TO CHARGE ANY DEFICIENCY IN THE FEES FOR THIS PAPER TO DEPOSIT ACCOUNT NO. 23-0975

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to the provisions of 37 CFR 1.56, 1.97 and 1.98, Applicants request consideration of the references listed on attached form PTO-1449 and any additional information identified below in paragraph 3. A legible copy of each reference listed on the Form PTO-1449 is enclosed, except a copy is not provided for:

[] each U.S. Patent and U.S. Patent application publication;

[] each reference previously cited in the international application PCT/_____; and/or

[] each reference previously cited in prior parent application Serial No. _____.

1a. [X] This Information Disclosure Statement is submitted:

within three months of the filing date (or of entry into the National Stage) of the above-entitled application, **or**

ATTACHMENT "D"

before the mailing of a first Office Action on the merits or the mailing of a first Office Action after the filing of an RCE,

and thus no certification and/or fee is required.

1b. [] This Information Disclosure Statement is submitted

after the events of above paragraph 1a and prior to the mailing date of a final Office Action or a Notice of Allowance or an action which otherwise closes prosecution in the application, and thus:

(1) [] the certification of paragraph 2 below is provided, **or**

(2) [] the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

1c. [] This Information Disclosure Statement is submitted:

after the mailing date of a final Office Action or Notice of Allowance or action which otherwise closes prosecution in the application, and prior to payment of the issue fee, and thus:

the certification of paragraph 2 below is provided, and

the fee of $180.00 specified in 37 CFR 1.17(p) is enclosed.

2. It is hereby certified

a. [] that each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Statement, or

b. [] that no item of information contained in the Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application and, to the knowledge of the person signing the certification after making reasonable inquiry, was known to any individual designated in §1.56(c) more than three months prior to the filing of the Statement.

3. [] Consideration of the following list of additional information (including any copending or abandoned U.S. application, prior uses and/or sales, etc.) is requested.

4. For each non-English language reference listed on the attached form PTO-1449, reference is made to:

   a. [] a full or partial English language translation submitted herewith,

   b. [X] a foreign patent office search report (in the English language) submitted herewith,

   c. [X] the concise explanation contained in the specification **(references AN-AO)** of the present application at page 2,

   d. [] the concise explanation set forth in the attached English language abstract,

   e. [] the concise explanation set forth below or on a separate sheet attached to the reference:

5. [] A foreign patent office search report citing one or more of the references is enclosed.

Respectfully submitted,

Kazushi HIGASHI et al.

By _____
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
March 12, 2007

11/662547
IAP13 Rec'd PCT/PTO 12 MAR 2007

Sheet 1 of 1 — INFORMATION DISCLOSURE STATEMENT

FORM PTO 1449 (*modified*)

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

LIST OF REFERENCES CITED BY APPLICANT(S)
(*Use several sheets if necessary*)

Date Submitted to PTO: March 12, 2007

ATTY DOCKET NO.	SERIAL NO.
2007_0415A	NEW
APPLICANT	
Kazushi HIGASHI et al.	
FILING DATE	**GROUP**
March 12, 2007	

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						

FOREIGN PATENT DOCUMENTS

		DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION YES	TRANSLATION NO
	AJ	2000-114595	4/2000	JP			Abstract	
	AK	2004-103975	4/2004	JP			Abstract	
	AL	2002-151739	5/2002	JP			Abstract	
	AM	2005-136177	5/2005	JP			Abstract	
	AN	11-161197	6/1999	JP			Abstract	
	AO	11-354836	12/1999	JP			Abstract	

OTHER DOCUMENT(S) (*Including Author, Title, Date, Pertinent Pages, Etc.*)

	AP	
	AQ	

EXAMINER	DATE CONSIDERED

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy this form with next communication to applicant.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114595
(43)Date of publication of application : 21.04.2000

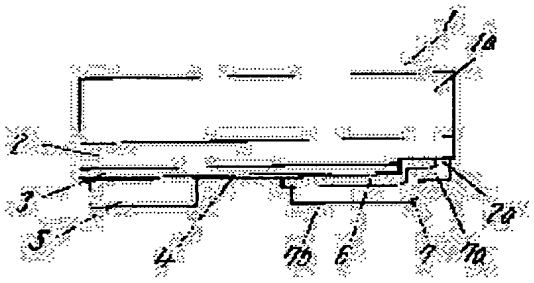
(51)Int.Cl. H01L 33/00

(21)Application number : 10-284899
(22)Date of filing : 07.10.1998

(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP
(72)Inventor : MAEDA SHUSAKU
KOYA KENICHI
UCHI YOSHIBUMI

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT OF GaN COMPOUND

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor light emitting element using a GaN semiconductor compound in a new configuration for easily operating assembly by widening an n-side electrode even at the time of reducing the scale of a light emitting element and for omitting the joint by a microbump.
SOLUTION: GaN semiconductor compounds are laminated in the order of an n-type layer 2 and a p-type layer 3 on a light transparent and insulating substrate 1a, and one part of the p-type layer 3 is removed so that the exposed face of the n-type layer 2 can be formed as a contact face 2a of an n-type electrode, and an ohmic p-type electrode 4 is formed on the surface of the p-type layer 3 in this semiconductor light emitting element. A p-type bonding electrode 5 is laminated on the p-type electrode 4, and an insulating film 6 is formed from the contact face 2a to the surface of the p-type electrode 4, and an n-type bonding electrode 7 developed to an area covering the p-type electrode 4 on the surface of the insulating film 6 is formed.



LEGAL STATUS

[Date of request for examination] 27.11.2003
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－114595
(P2000－114595A)
(43)公開日　平成12年４月21日(2000.4.21)

(51)Int.Cl.'	識別記号	ＦＩ	テーマコード'(参考)
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｃ　５Ｆ０４１

審査請求　未請求　請求項の数９　ＯＬ　（全　８　頁）

(21)出願番号　特願平10－284899

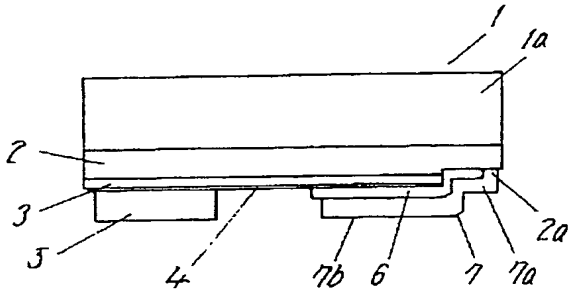
(22)出願日　平成10年10月７日(1998.10.7)

(71)出願人　000005843
松下電子工業株式会社
大阪府高槻市幸町１番１号
(72)発明者　前田　修作
大阪府高槻市幸町１番１号　松下電子工業株式会社内
(72)発明者　小屋　賢一
大阪府高槻市幸町１番１号　松下電子工業株式会社内
(74)代理人　100097445
弁理士　岩橋　文雄　（外２名）

最終頁に続く

(54)【発明の名称】　ＧａＮ系化合物半導体発光素子

(57)【要約】
【課題】　発光素子の大きさを小さくしてもｎ側の電極を広くしてアセンブリを容易にすると同時にマイクロバンプによる接合も省略できる新たな形態の主としてＧａＮ系半導体化合物を利用した半導体発光素子を提供すること。
【解決手段】　光透過性であって絶縁性の基板１ａにＧａＮ系の半導体化合物をｎ型層２とｐ型層３の順に積層し、ｐ型層３の一部を除去してｎ型層２を露出させた面をｎ側電極のコンタクト面２ａとし、ｐ型層３の表面にオーミックのｐ側電極４を形成する半導体発光素子において、ｐ側電極４にｐ側ボンディング電極５を積層し、コンタクト面２ａからｐ側電極４の表面にかけて絶縁膜６を形成し、この絶縁膜６の表面であってｐ側電極４に覆い被さる領域まで展開させたｎ側ボンディング電極７を設ける。



1

【特許請求の範囲】

【請求項１】 光透過性であって絶縁性の基板にｎ型層とｐ型層とを積層するとともにその積層体の同一面にｎ側電極とｐ側電極とを形成し、前記基板側を発光観測面側とするＧａＮ系化合物半導体発光素子において、前記ｎ型層の表面から前記光透過性の電極の表面の一部にかけて光透過性の絶縁膜を被膜形成し、前記ｎ側電極を、前記絶縁膜の表面であって前記ｐ側電極の一部に覆い被さる領域まで展開させてなるＧａＮ系化合物半導体発光素子。

【請求項２】 前記ｐ側電極は、前記ｐ型層のほぼ全面に形成された光透過性の電極と、前記光透過性の電極の上にコンタクト形成されたボンディング用の電極とを備え、前記絶縁膜を前記光透過性の電極の表面にかけて形成してなる請求項１記載のＧａＮ系化合物半導体発光素子。

【請求項３】 前記ｐ側電極は、前記ｐ型層のほぼ全面に形成された光反射性の電極と、前記光反射性の電極の上にコンタクト形成されたボンディング用の電極とを備え、前記絶縁膜を前記光反射性の電極の表面にかけて形成してなる請求項１記載のＧａＮ系化合物半導体発光素子。

【請求項４】 前記絶縁膜は、前記光透過性または光反射性の電極とコンタクト形成されたボンディング用の電極との間の一部を残した領域に形成されてなる請求項２または３記載のＧａＮ系化合物半導体発光素子。

【請求項５】 前記ｐ側及びｎ側の電極は、光反射率が高い材質としてなる請求項１から４のいずれかに記載のＧａＮ系化合物半導体発光素子。

【請求項６】 前記ｎ型層の表面であって前記ｎ側電極を接合するコンタクト面を、素子外郭の縁部に沿って形成された細長のほぼ長方形の平面形状としてなる請求項１から５のいずれかに記載のＧａＮ系化合物半導体発光素子。

【請求項７】 前記ｐ側電極のボンディング用の電極及びｎ側電極はそれぞれ同じ材質の金属としてなる請求項２から６のいずれかに記載のＧａＮ系化合物半導体発光素子。

【請求項８】 前記ｐ側のボンディング用の電極及びｎ側電極は、表面から前記ｐ型層の一部を除去した段差より厚く形成され、且つそれぞれのボンディング部の表面の突き出し長さをほぼ同一としてなる請求項２から７のいずれかに記載のＧａＮ系化合物半導体発光素子。

【請求項９】 前記ｐ側電極のボンディング用の電極の大きさは、前記ｎ側電極とほぼ同じ程度の面積の平面形状としてなる請求項２から８のいずれかに記載のＧａＮ系化合物半導体発光素子。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、たとえば青色発光

2

ダイオード等の光デバイスに利用される窒化ガリウム系化合物を利用した半導体発光素子に係り、特にｐ側及びｎ側の電極の配置及び形態を改良したフリップチップ型の半導体発光素子に関する。

【０００２】

【従来の技術】ＧａＮ，ＧａＡｌＮ，ＩｎＧａＮ及びＩｎＧａＡｌＮ等の窒化ガリウム（ＧａＮ）系化合物の半導体の製造では、その表面において半導体膜を成長させるための結晶基板として、一般的には絶縁性のサファイアが利用される。このサファイアのような絶縁性の結晶基板を用いる場合では、結晶基板側から電極を出すことができないので、半導体層に設けるｐ，ｎの電極が結晶基板と対向する側の一面に形成された半導体発光素子となる。

【０００３】図７はＧａＮ系の半導体発光素子の従来例を示す概略図である。図７において、サファイアを用いた絶縁性の基板５１の上面にＧａＮのｎ型層５２及びｐ型層５３を有機金属気相成長法によって積層形成し、ｐ型層５３の一部をエッチングしてｎ型層５２を露出させ、これらのｎ型層５２とｐ型層５３のそれぞれにｎ側電極５２ａ及びｐ側光透過性電極５３ａ及びｐ側ボンディング電極５３ｂがそれぞれ形成されている。そして、ｐ型層５３の上面であってｐ側光透過性電極５３ａをｐ側コンタクト面とした場合では、発光素子を図示の姿勢としてこのｐ側光透過性電極５３ａ部分を主光取出し面とし、発光観測面とすることができる。この場合、ｎ側電極５２ａ及びｐ側ボンディング電極５３ｂにはそれぞれリードフレームや基板等と導通させるためのＡｕワイヤがボンディングされる。

【０００４】一方、光透過性のサファイアを利用した基板５１から光を取り出すようにしたフリップチップ型の半導体発光素子では、ｐ側光透過性電極を廃止しこのｐ側及びｎ側の電極のそれぞれにマイクロバンプを形成し、これらのマイクロバンプを基板またはリードフレームのｐ側及びｎ側に接続する方式としたものが従来から知られている。

【０００５】図８はフリップチップ型の半導体発光素子をＬＥＤランプのリードフレームに搭載したときの要部の縦断面図である。

【０００６】発光素子のｎ側電極５２ａ及びｐ側ボンディング電極５３ｂのそれぞれにマイクロバンプ５４，５５が接合され、これらのマイクロバンプ５４，５５をリードフレーム５６のリード５６ａ，５６ｂの搭載面に突き当てて加熱及び超音波振動等の負荷によって接合して発光素子が搭載固定されている。リードフレーム５６からの通電があると、半導体化合物積層膜中のたとえばＩｎＧａＮ活性層が発光層となり、この発光層からの光がサファイアの基板５１及びｐ型層５３の表面側の両方向へ向かう。そして、ｐ型層５３の表面のｐ側ボンディング電極５３ｂを光透過しない反射膜としておくことによ

り、図において基板５１の上面を主光取出し面とした半導体発光装置が得られる。

【０００７】

【発明が解決しようとする課題】ＧａＮ系の化合物半導体の発光素子では、先に図７で説明したように、ｐ型層５３の一部をエッチングしてｎ型層５２を部分的に露出させ、この露出部分にｎ側電極５２ａが形成される。この場合、発光域となる活性層はｎ型層５２とｐ型層５３との間の境界領域なので、エッチングによってｐ型層５３の面積が小さくなると発光輝度が下がることになる。したがって、ｎ型層５２の露出部分及びｎ側電極５２ａはできるだけ狭くしたほうが好ましく、エッチングによって形成されるｎ型層５２の表面の面積はｐ側光透過性電極５３ａに対して相対的に小さくする必要がある。そして、ｐ型層５３の表面全体を光反射可能な電極として図８のように基板５１を発光方向側に向けた姿勢とし、その上面を主光取出し面とするような場合でも、ｐ型層５３の面積を広くしたほうが反射光の回収効率は高くなるので、発光輝度も向上する。このことからも、ｐ側光透過性電極５３ａのほうが面積的にはｎ側電極５２ａよりも優勢になることが多い。

【０００８】一方、基板５１の材料として用いるサファイアは高価であり、また化合物半導体の積層のための有機金属気相成長法は旧来の液相成長法と比較すると、大量生産に適さない面がある。このため、ＧａＰやＡｌＧａＡｓを主材料とした発光素子と比較すると、ＧａＮ系の発光素子の価格は数十倍となっているのが現状である。これに対し、ＧａＮ系の発光素子の価格を下げるためには、１枚のサファイア基板からの発光素子の取れ数を増やすように操作すれば、コスト改善が図られる。

【０００９】ところが、発光素子の大きさを小さくするにつれて、ｎ型層５２の露出部分及びｎ側電極５２ａが主光取出し面の中で占める割合は大きくなるので、発光輝度も低下することになる。この発光輝度を低下させないようにするためには、発光素子の大きさの縮小に合わせてｎ型層５２の露出部分を小さくしてｐ型層５３の面積を確保すればよいが、ｎ側電極５２ａも小さくなってしまう。この場合、ｎ型層５２の露出部分及びｎ側電極５２ａが小さくなると、組み立てる際Ａｕボールとｎ側電極５２ａとの付着力の低下や、Ａｕボールずれによるｐ型層５３部分へのＡｕボールずれによる短絡が発生する結果となる。

【００１０】また、図８に示したような姿勢でリードフレーム５６に発光素子を搭載するものでは、ｎ側電極５２ａ及びｐ側ボンディング電極５３ｂのいずれにもマイクロバンプ５４，５５を接合するアセンブリとなる。この場合でも、ｎ側電極５２ａを含むｎ型層５２の露出部分もその広さが限られる。一方、マイクロバンプ５４，５５はワイヤの先端部を溶着するようにして電極側に接合するという機械的手法に頼るので、ｎ側電極５２ａの

面積が小さいとアセンブリがしにくくなり、その管理基準も厳しく設定しなければならない。

【００１１】更に、マイクロバンプ５４，５５は、発光素子とリードフレーム５６との間の導通路を形成するためだけでなく、ｐ側及びｎ側とが短絡しないようにするためスペーサとしての役目も果たす。すなわち、発光素子に形成するｎ側電極５２ａやｐ型層５３の表面またはその一部に形成したｐ側ボンディング電極５３ｂの厚さでは、スペーサとして十分に使えないので、マイクロバンプ５４，５５を補完的に使用するというのが従来からの設計である。

【００１２】ところが、先のようにｎ側電極５２ａが小さいと、マイクロバンプ５４のアセンブリがしにくいことから組立容易性に対する影響は大きい。更に、ｎ側電極５２ａが小さくなるとワイヤーボンド及びマイクロバンプ形成時の機械的衝撃が集中するので、電極のはがれや、コンタクト不良等の問題も誘発する。

【００１３】本発明において解決すべき課題は、発光素子の大きさを小さくしてもｎ側の電極を広くしてアセンブリを容易にすると同時に発光輝度も高く維持できるＧａＮ系化合物半導体発光素子を提供することにある。

【００１４】

【課題を解決するための手段】本発明は、光透過性であって絶縁性の基板にｎ型層とｐ型層とを積層するとともにその積層体の同一面にｎ側電極とｐ側電極とを形成し、前記基板側を発光観測面側とするＧａＮ系化合物半導体発光素子において、前記ｎ型層の表面から前記光透過性の電極の表面の一部にかけて光透過性の絶縁膜を被膜形成し、前記ｎ側電極を、前記絶縁膜の表面であって前記ｐ側電極の一部に覆い被さる領域まで展開させてなることを特徴とする。

【００１５】この構成では、ｎ側電極をｎ型層のコンタクト面に対して適正な接合面積を最小限確保しておくことにより、発光素子サイズの低減が可能となると同時に、ｐ側電極の領域部分にまで覆い被さる部分の面積が広くなるので、マイクロバンプの接合のための製造が簡単になる。また、ｐ型層の一部をエッチングして形成された段差面から抜ける光をｎ側電極によって発光素子の中に反射させて回収できるので、発光輝度も向上する。

【００１６】

【発明の実施の形態】請求項１に記載の発明は、光透過性であって絶縁性の基板にｎ型層とｐ型層とを積層するとともにその積層体の同一面にｎ側電極とｐ側電極とを形成し、前記基板側を発光観測面側とするＧａＮ系化合物半導体発光素子において、前記ｎ型層の表面から前記光透過性の電極の表面の一部にかけて光透過性の絶縁膜を被膜形成し、前記ｎ側電極を、前記絶縁膜の表面であって前記ｐ側電極の一部に覆い被さる領域まで展開させてなるものであり、ｎ側電極の電極面積の確保とマイクロバンプの接合のための製造を簡単にするとともに、発

IKEA Supply AG
Exhibit 1002 Page 233 of 361

光輝度を向上させるという作用を有する。

【００１７】請求項２に記載の発明は、前記ｐ側電極は、前記ｐ型層のほぼ全面に形成された光透過性の電極と、前記光透過性の電極の上にコンタクト形成されたボンディング用の電極とを備え、前記絶縁膜を前記光透過性の電極の表面にかけて形成してなる請求項１記載のＧａＮ系化合物半導体発光素子であり、ｐ側のボンディング用の電極による反射光を発光観測面側に回収できるとともに絶縁膜によりｐ型層及びｎ型層の電極の短絡を防止するという作用を有する。

【００１８】請求項３に記載の発明は、前記ｐ側電極は、前記ｐ型層のほぼ全面に形成された光反射性の電極と、前記光反射性の電極の上にコンタクト形成されたボンディング用の電極とを備え、前記絶縁膜を前記光反射性の電極の表面にかけて形成してなる請求項１記載のＧａＮ系化合物半導体発光素子であり、光反射性の電極によって光を発光観測面側に反射させて取り出せるという作用を有する。

【００１９】請求項４に記載の発明は、前記絶縁膜は、前記光透過性または光反射性の電極とコンタクト形成されたボンディング用の電極との間の一部を残した領域に形成されてなる請求項２または３記載のＧａＮ系化合物半導体発光素子であり、ｐ側電極の光透過性または光反射性の電極の損傷やエッチングダメージが防止されるとともに、絶縁膜によってボンディング時の衝撃を抑えて半導体層へのダメージを抑えるという作用を有する。

【００２０】請求項５に記載の発明は、前記ｐ側及びｎ側の電極は、光反射率が高い材質としてなる請求項１から４のいずれかに記載のＧａＮ系化合物半導体発光素子であり、発光輝度を向上させるという作用を有する。

【００２１】請求項６に記載の発明は、前記ｎ型層の表面であって前記ｎ側電極を接合するコンタクト面を、素子外郭の縁部に沿って形成された細長のほぼ長方形の平面形状としてなる請求項１から５のいずれかに記載のＧａＮ系化合物半導体発光素子であり、発光素子の中央側へのコンタクト面の展開を抑えた長方形の平面形状によって、ｐ側電極の領域の発光面への干渉を小さくするという作用を有する。

【００２２】請求項７に記載の発明は、前記ｐ側電極のボンディング用の電極及びｎ側電極はそれぞれ同じ材質の金属としてなる請求項２から６のいずれかに記載のＧａＮ系化合物半導体発光素子であり、ｐ側及びｎ側のボンディング用の電極の積層形成を同時成形で対応できるという作用を有する。

【００２３】請求項８に記載の発明は、前記ｐ側のボンディング用の電極及びｎ側電極は、表面から前記ｐ型層の一部を除去した段差より厚く形成され、且つそれぞれのボンディング部の表面の突き出し長さをほぼ同一としてなる請求項２から７のいずれかに記載のＧａＮ系化合物半導体発光素子であり、ｎ型層の電極の切れの防止とｐ側及びｎ側の電極をリードフレーム等に直に搭載できるという作用を有する。

【００２４】請求項９に記載の発明は、前記ｐ側電極のボンディング用の電極の大きさは、前記ｎ側電極とほぼ同じ程度の面積の平面形状としてなる請求項２から８のいずれかに記載のＧａＮ系化合物半導体発光素子であり、ボンディング部を拡げることによってマイクロバンプの接合加工を簡略にするという作用を有する。

【００２５】以下に、本発明の実施の形態の具体例を図面を参照しながら説明する。図１は本発明の一実施の形態による半導体発光素子の縦断面図、図２はその底面図である。

【００２６】発光素子１は絶縁性のサファイアを用いた基板１ａの上にＧａＮ系の化合物半導体を積層したものであり、たとえばＧａＮバッファ層，ｎ型ＧａＮ層，ＩｎＧａＮ活性層，ｐ型ＡｌＧａＮ層及びｐ型ＧａＮ層をそれぞれ順に積層したダブルヘテロ構造とすることができる。このような化合物半導体の積層構造では、通電によってＩｎＧａＮ活性層が発光層となり、発光層からの光が基板１ａの主光取出し面（図１において基板１ａの上面）側及び下方側に向かう。

【００２７】図１においては、説明を簡単にするために、基板１ａの上にｎ型層２及びｐ型層３が順に積層されたものとして示す。これらのｎ型層２及びｐ型層３は有機金属気相成長法によって積層されるもので、ｐ型層３は図２に示すようにその右端部がエッチングされて除去され、平面形状が長方形状のｎ型層２のコンタクト面２ａを露出させている。

【００２８】ｐ型層３のほぼ全面にはオーミック接続可能な光透過性の金属薄膜を成膜してこれをｐ側光透過性電極４とし、このｐ側光透過性電極４の表面にボンディング用のｐ側ボンディング電極５を金属蒸着法によって形成する。このｐ側ボンディング電極５は、図２に示すように、コンタクト面２ａと反対側の基板１ａの外郭に沿う領域に長方形状に形成されたものである。そして、発光層から下に向かう光を主光取出し面側へ向けて反射させるため、ｐ側ボンディング電極５は光反射率の高いＡｌ等を利用したものとする。

【００２９】ｐ側光透過性電極４とｎ型層２のコンタクト面２ａとの間には、シリコン酸化膜やシリコン窒化膜等を利用した光透過性の絶縁膜６を成膜する。この絶縁膜６はコンタクト面２ａとｐ型層３及びｐ側光透過性電極４との境界部分を含んで、コンタクト面２ａの一部の領域からｐ側光透過性電極４の表面にかけて形成されたものである。そして、コンタクト面２ａが露出している部分と絶縁膜６の表面には、ｎ側ボンディング電極７を金属蒸着法によって形成する。

【００３０】ｎ側ボンディング電極７は光反射率の高い素材であってｐ側ボンディング電極５と同じ材質とし、絶縁膜６によって被覆されていないコンタクト面２ａに

オーミック接続され、絶縁膜６のほぼ表面全体に一様な厚さで形成されたものである。すなわち、コンタクト面２ａに接合される部分の基部７ａと、ｐ側光透過性電極４に被さっている部分の絶縁膜６に重合している部分のボンディング部７ｂとによってｎ側ボンディング電極７が形成されている。

【００３１】基部７ａは、図２に示すように、コンタクト面２ａに含まれる領域に展開するほぼ長方形状の断面形状を持ち、コンタクト面２ａとの接合面積を広くするように形成されるとともに、コンタクト面２ａを形成するためにエッチング除去されたｐ型層３の層厚面のほぼ全体に臨んでいる。また、ボンディング部７ｂは、ｐ側光透過性電極４の一部に覆い被さる領域まで展開させた長方形の平面形状であって、ｐ側ボンディング電極５とほぼ同じ大きさの面積を持つ。

【００３２】ｐ側及びｎ側のボンディング電極５，７の材料としては、前述のように、光の反射率が高い材料たとえばＡｌなどが好ましい。そして、同一の材料とすることで、両方のボンディング電極５，７を同時に形成することができ、ｐ側とｎ側とを別々に形成する場合に比べると製造工程が省略される。

【００３３】なお、これらの、ｐ側及びｎ側のボンディング電極５，７の製造方法としては、ｐ型層３がエッチングされて除去された段差より厚くなるようなボンディング電極の厚みを設定し、電子ビーム蒸着等の手法によりｐ側及びｎ側のボンディング電極５，７を同時に形成する。そして、フォトリソ工程において、ｐ側及びｎ側の電極の形状にパターンニングを行い、エッチングによりｐ側及びｎ側電極として分離しボンディング電極５，７を形成すればよい。このような製造方法によれば、ｐ側及びｎ側のボンディング電極５，７の断面形状が複雑であっても支障なく成形できるだけでなく、それぞれのボンディング面の表面を同じ高さとすることができる。

【００３４】以上の構成において、発光層から下に抜ける光は、光反射率の高いｐ側ボンディング電極５とｎ側ボンディング電極７のボンディング部７ｂによって主光取出し面側に反射されるので、発光輝度の向上が図られる。そして、発光層からコンタクト面２ａ側すなわち発光層を含む部分までエッチングされた面から側方に出る光は、ｎ側ボンディング電極７の基部７ａによって発光素子１の内部に反射されるので、この分も含めて主光取出し面側に回収でき、発光輝度を更に向上させることができる。

【００３５】図３は本発明の別の実施の形態による発光素子の例を示す縦断面図、図４はその底面図である。なお、図１及び図２で示したものと同じ部材については共通の符号で示しその詳細な説明は省略する。

【００３６】この例では、光透過性の絶縁膜６は図４に示すようにｐ側光透過性電極４の左端部側を除いて広く展開して形成され、ｐ側ボンディング電極５はその左端に偏った部分を基部５ａとしてｐ側光透過性電極４に接合され、ボンディング部５ｂとの間に絶縁膜６を拡げている。すなわち、図１及び図２の構成と比較すると、絶縁膜６をｐ側ボンディング電極５の下まで潜り込ませるとともにこのｐ側ボンディング電極５のボンディング部５ｂの面積が拡大されている。これにより、ｐ側及びｎ側のボンディング電極５，７のそれぞれのボンディング部５ｂ，７ｂをいずれも長方形状であってほぼ等しい面積として形成することができる。

【００３７】また、図３に示すように、ｐ型層３の表面からコンタクト面２ａの表面までの深さをＡとし、ｎ側ボンディング電極７の基部７ａの厚さをＢとするとき、Ａ＜Ｂの関係とする。また、ｐ側及びｎ側のボンディング電極５，７のボンディング部５ｂ，７ｂはほぼ同じ厚さＣとするとき、Ａ＜Ｃの関係とする。これにより、ｐ型層３をエッチングした部分のｎ側ボンディング電極７の切れを防止することができるとともに、ボンディング部５ｂ，７ｂの底面をそのままリードフレームに搭載するアセンブリが可能となる。

【００３８】発光素子１は、たとえば図８に示したリード５６ａ，５６ｂの上に、基板１ａを発光方向に向けた姿勢として搭載して電気的に導通させる。この場合、従来例と同様に、ｐ側及びｎ側のボンディング電極５，７にそれぞれバンプ電極を形成して搭載する。このようなバンプ電極を利用する場合では、ｐ側及びｎ側のボンディング電極５，７のそれぞれのボンディング部５ｂ，７ｂの表面を長方形状として広く展開させているので、図７及び図８の従来例のものに比べるとバンプ電極を接合する面積が広い。このため、バンプ電極をボンディング部５ｂ，７ｂに接合するときの位置決め精度等が比較的容易になり、アセンブリや品質管理が簡単になる。

【００３９】図５はｐ側電極を光反射性電極とした例を示す縦断面図、図６はその底面図である。なお、ｐ側電極を除く構成は図１及び図２に示した例とほぼ同じであり同一の構成部材については共通の符号で指示し、その詳細な説明は省略する。

【００４０】図５に示すように、図１の例と同様にｐ型層３の表面に光反射性電極８が積層形成されている。この光反射性電極８の材料としては、光反射率が高いＡｌやＡｇが好適である。また、絶縁膜６は図３の例と同様に、コンタクト面２ａから光反射性電極８の表面の全体に形成され、ｐ側ボンディング電極５の基部５ａを光反射性電極８に導通させるためにスリット６ａを形成している。

【００４１】この構成においても、ｐ側及びｎ側のボンディング電極５，７のボンディング部５ｂ，７ｂを広く形成できるので、バンプ電極等の形成のためのハンドリングが容易になる。また、ｐ型層の一部とエッチングして形成された段差面から抜ける光はｎ側ボンディング電極７によって反射されて発光素子１の中に取り込まれて

主光取出し面側に回収されることは、先の例と同様である。

【００４２】また、ｐ側電極をＡｌやＡｇ等の光反射性電極８としたことによって、ｎ型層２とｐ型層３の接合部の発光層からの光を主光取出し面側に反射させることができる。したがって、先の例のようにｐ側及びｎ側のボンディング電極５，７を利用した反射だけの場合と比べると、ｐ型層３のほぼ全面に形成した光反射性電極８による反射回収率のほうが格段に高くなる。このため、発光層からコンタクト面２ａ側の側方に抜ける光の回収だけでなく、下方へ抜ける光のほぼ全てを主光取出し面側に回収することができ、発光輝度が更に一層向上する。

【００４３】

【発明の効果】請求項１の発明では、発光層から発せられた光のうちコンタクト面からだけでなくエッチング等によって除去されたｐ型層の層厚面部分からの光も含めて回収できるので、発光輝度を更に向上させることができるとともに、ｎ側電極の電極面積の確保とマイクロバンプの接合のための製造が簡単になり、発光輝度の向上も図られる。

【００４４】請求項２の発明では、ｐ側のボンディング用の電極による反射光を発光観測面側に回収できるので発光輝度が向上し、絶縁膜によりｐ型層及びｎ型層の電極の短絡が防止されるので耐久性も改善される。

【００４５】請求項３の発明では、光反射性の電極によって光を発光観測面側に反射させて取り出せるので、発光輝度を更に向上させることができる。

【００４６】請求項４の発明では、ｐ側電極の光透過性または光反射性の電極の損傷やエッチングダメージが防止されるとともに、絶縁膜によってボンディング時の衝撃を抑えて半導体層へのダメージも抑えられるので、耐久性が更に向上する。

【００４７】請求項５の発明では、ｐ側及びｎ側の電極を高反射率の材料とすることによって、発光観測面側への光の回収を促すので、発光輝度が更に一層向上する。

【００４８】請求項６の発明では、発光素子の中央側へのコンタクト面の展開を抑えた長方形の平面形状によって、ｐ側電極の領域の発光面への干渉を小さくでき、素＊子自体が小さくても発光面積を確保でき、発光輝度を高く維持できる。

【００４９】請求項７の発明では、ボンディング電極の積層形成を同時成形できるので、製造工程が削減され、製造歩留りが向上する。

【００５０】請求項８の発明では、ｎ型層の電極の切れの防止とｐ側及びｎ側の電極をリードフレーム等に直に搭載できる。

【００５１】請求項９の発明では、ボンディング部を拡げることによってマイクロバンプの接合加工が簡単になり、アセンブリが容易になる。

【図面の簡単な説明】

【図１】本発明の一実施の形態による半導体発光素子の縦断面図

【図２】図１の発光素子の底面図

【図３】別の実施の形態による半導体発光素子の縦断面図

【図４】図３の半導体発光素子の底面図

【図５】ｐ側電極に光反射性電極を形成した半導体発光素子の縦断面図

【図６】図５の半導体発光素子の底面図

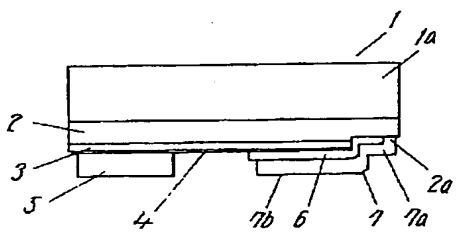
【図７】ＧａＮ系化合物半導体発光素子の従来例を示す概略斜視図

【図８】図７の半導体発光素子をフリップチップ型としてリードフレームに実装したときの概略図

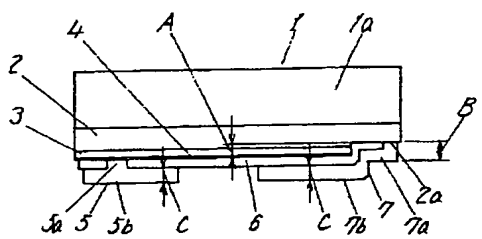
【符号の説明】

１　発光素子
１ａ　基板
２　ｎ型層
２ａ　コンタクト面
３　ｐ型層
４　ｐ側光透過性電極
５　ｐ側ボンディング電極
５ａ　基部
５ｂ　ボンディング部
６　絶縁膜
７　ｎ側ボンディング電極
７ａ　基部
７ｂ　ボンディング部

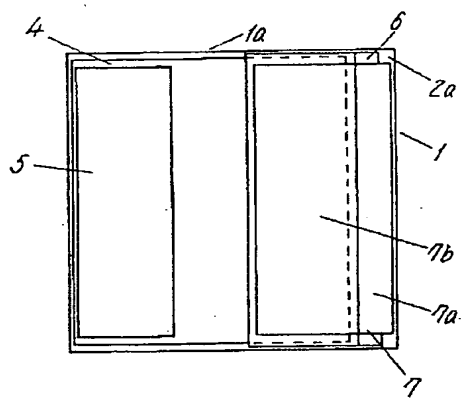
【図１】



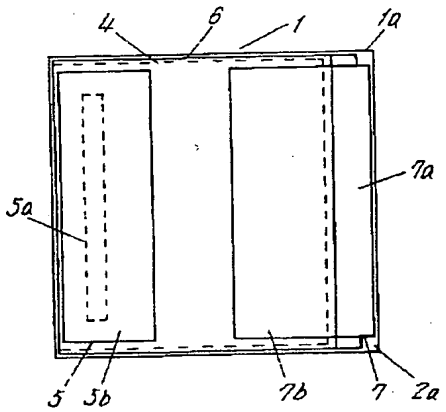
【図３】



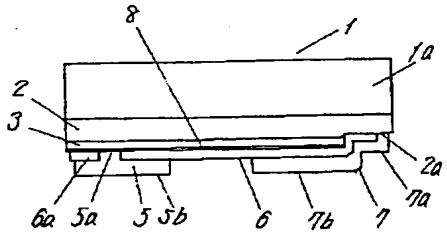
【図２】



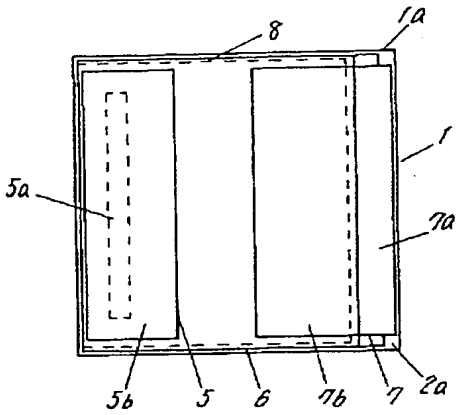
【図４】



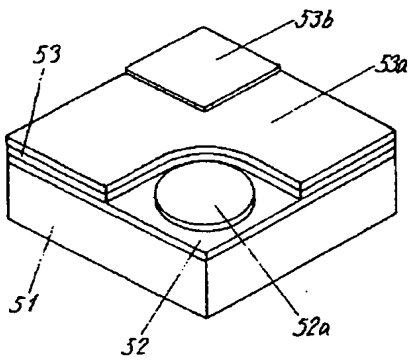
【図５】



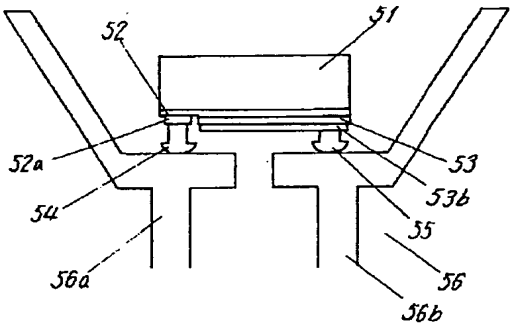
【図６】



【図７】



【図８】



フロントページの続き

(72)発明者 内 義文
大阪府高槻市幸町１番１号 松下電子工業株式会社内

Ｆターム(参考) 5F041 CA03 CA40 CA46 CA82 CA91 CA93 DA09

IKEA Supply AG
Exhibit 1002 Page 238 of 361

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-103975
(43)Date of publication of application : 02.04.2004

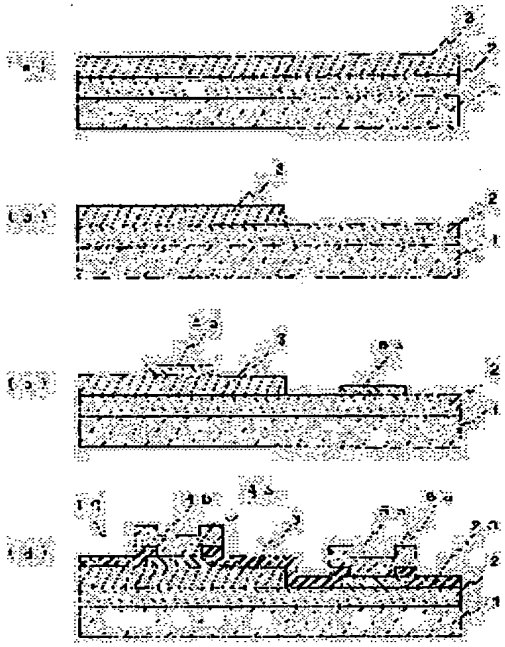
(51)Int.Cl. H01L 33/00
C23C 18/16
C23C 18/18
C23C 18/34
H01L 21/28
H01L 21/288

(21)Application number : 2002-266406
(22)Date of filing : 12.09.2002

(71)Applicant : CITIZEN WATCH CO LTD
(72)Inventor : TERAJIMA KAZUHIKO

(54) OPTICAL SEMICONDUCTOR ELEMENT, METHOD FOR MANUFACTURING THE SAME, AND OPTICAL SEMICONDUCTOR DEVICE MOUNTING OPTICAL SEMICONDUCTOR ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a method for manufacturing an optical semiconductor element that serves as a means for forming a connecting electrode consisting of an n-electrode and a p-electrode of the same material, which dispenses with a large film-forming device, ensures a minimum manufacturing cost, and prevents electrode failures or the like.
SOLUTION: The method comprises the processes of; providing a plated film containing basis metal, which can be deposited with an electroless plating film, at least on a portion of the surface of either a p-type semiconductor layer or an n-type semiconductor layer; and forming one connecting electrode for covering the plating-grown film by electroless plating, while forming at the same time the other connecting electrode on the surface of the other semiconductor layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-103975
(P2004-103975A)
(43)公開日　平成16年4月2日(2004.4.2)

(51) Int.Cl.[7]	F I		テーマコード（参考）
H01L 33/00	H01L 33/00	E	4K022
C23C 18/16	C23C 18/16	B	4M104
C23C 18/18	C23C 18/18		5F041
C23C 18/34	C23C 18/34		
H01L 21/28	H01L 21/28	A	

審査請求 未請求　請求項の数 10　OL　（全 14 頁）　最終頁に続く

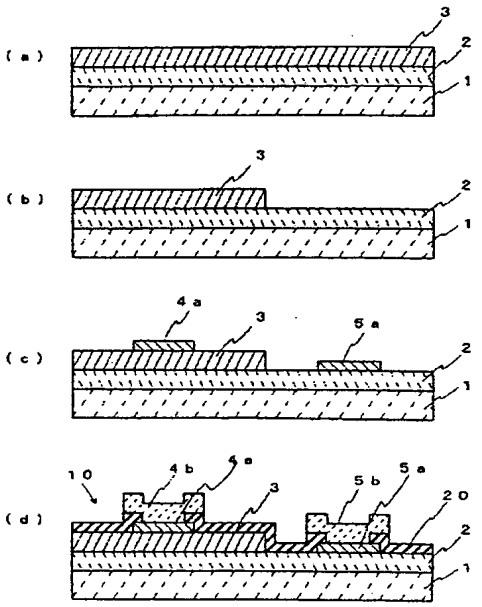
(21)出願番号　特願2002-266406(P2002-266406)
(22)出願日　平成14年9月12日(2002.9.12)

(71)出願人　000001960
シチズン時計株式会社
東京都西東京市田無町六丁目１番１２号
(72)発明者　寺嶋　一彦
東京都西東京市田無町六丁目１番１２号
シチズン時計株式会社内

Fターム(参考)　4K022 AA05 AA41 BA14 BA18 CA04 CA19 CA21 CA29 DB02 DB03 DB04 DB05 DB06
4M104 AA04 BB05 BB07 BB09 CC01 DD16 DD17 DD20 DD22 DD53 DD94 FF17 GG04 GG05 HH04 HH20
5F041 AA42 CA03 CA40 CA98 DA03 DA04 DA09 DA12 DA18 DA43 DB01

(54)【発明の名称】光半導体素子の製造方法と光半導体素子およびその光半導体素子を実装した光半導体装置

(57)【要約】
【課題】従来の光半導体素子の構成及び製造方法においては、同一材質からなるｎ電極とｐ電極からなる接続電極を形成する手段としてリフトオフ法を採用しているので、大掛かりな装置が必要で、製造コストが嵩み、さらに製造歩留まりに問題があった。
【解決手段】ｐ型とｎ型半導体層の一方の表面の少なくとも一部に、無電解メッキ膜が析出可能な金属を主成分とするメッキ成長膜を設ける工程と、無電解メッキにより前記メッキ成長膜を被覆する一方の接続電極と、他方の半導体層の表面に他方の接続電極を同時に形成する工程を有する製造方法を採用する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
基板の同一面側に形成されたｐ型とｎ型半導体層と、そのｐ型とｎ型半導体層の上層に同一金属材料によりそれぞれ形成されたｐ電極とｎ電極からなる一対の接続電極を有する光半導体素子の製造方法において、
前記ｐ型とｎ型半導体層を形成する工程と、前記各半導体層の表面の少なくとも一部に、無電解メッキ膜が析出可能な金属を主成分とするメッキ成長膜を設ける工程と、無電解メッキにより前記メッキ成長膜を被覆する一対の接続電極を同時に形成する工程とを含むことを特徴とする光半導体素子の製造方法。
【請求項２】
基板の同一面側に形成されたｐ型とｎ型半導体層と、そのｐ型とｎ型半導体層の上層に同じ金属材料によりそれぞれ形成されたｐ電極とｎ電極からなる一対の接続電極を有する光半導体素子の製造方法において、
前記ｐ型とｎ型半導体層を形成する工程と、前記半導体層の一方の表面の少なくとも一部に、無電解メッキ膜が析出可能な金属を主成分とするメッキ成長膜を設ける工程と、無電解メッキにより前記メッキ成長膜を被覆する一方の接続電極と、他方の半導体層の表面に他方の接続電極を同時に形成する工程とを含むことを特徴とする光半導体素子の製造方法。
【請求項３】
前記一対の接続電極を同時に形成する工程の前に、それぞれの前記ｐ型とｎ型半導体層または前記メッキ成長膜の少なくとも一部を露出させる保護膜を形成する工程を含むことを特徴とする請求項１または２に記載の光半導体装置の製造方法。
【請求項４】
前記接続電極の膜厚の制御を、前記保護膜の露出部分の開口径の大小により行うことを特徴とする請求項３に記載の光半導体装置の製造方法。
【請求項５】
前記一対の接続電極を同時に形成する工程の前に、前記一対の接続電極を分離するための分離隔壁を前記半導体層の表面に形成する工程を含むことを特徴とする請求項１または２に記載の光半導体素子の製造方法。
【請求項６】
前記接続電極は、前記メッキ成長膜を被服するとともに、表面に露出する前記半導体層の全面を覆って形成されてなることを特徴とする請求項５に記載の光半導体素子の製造方法。
【請求項７】
前記接続電極をバリアメタル層として機能する厚さに形成し、その上層にさらに突起電極を設けることを特徴とする請求項１から６のいずれか一つに記載の光半導体素子の製造方法。
【請求項８】
前記接続電極の膜厚の制御を、前記メッキ成長膜の膜厚により行うとを特徴とする請求項１から７のいずれか一つに記載の光半導体素子の製造方法。
【請求項９】
請求項１から８のいずれか一つに記載の光半導体素子の製造方法により形成されたことを特徴とする光半導体素子。
【請求項１０】
請求項９に記載の光半導体素子が、フリップチップ実装されてなることを特徴とする光半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、基板の同一面側に形成されたｐ型とｎ型半導体層と、そのｐ型とｎ型半導体層

の上に同じ金属材料によりそれぞれ形成されたｐ電極とｎ電極からなる一対の接続電極を有し、電気を光に変換して放射する発光素子及び入射した光を受光して電気に変換する受光素子のそれぞれの機能を持つ光半導体素子の製造方法と光半導体素子およびその光半導体素子を実装した光半導体装置に関する。

【０００２】

【従来の技術】

近年、絶縁性透明基板上に窒化ガリウム系化合物からなるｐ型及びｎ型の窒化物半導体層を形成し、同一平面上に正負一対の接続電極を設けた光半導体素子が注目されている。その従来の技術である光半導体素子の構成を図６に示す。

【０００３】

図６（ｄ）は、従来の技術により形成された光半導体素子の構成を示す構造断面図である。

この光半導体素子１１１は、サファイア等の材料からなる透明絶縁性基板１０１上に窒化ガリウム系化合物からなるｎ型窒化物半導体層１０２とｐ型窒化物半導体層１０３とを積層したたｐ－ｎ接合を有し、前記ｐ型窒化物半導体層１０３及び前記ｎ型窒化物半導体層１０２の表面上には、同一の金属材料からなるｐ電極１０４及びｎ電極１０５がそれぞれ形成されている（例えば、特許文献１参照。）。

このｎ電極１０５は、前記ｐ－ｎ接合のｐ型窒化物半導体層１０３の一部より選択的にエッチングしてｎ型窒化物半導体層１０２を露出させたその表面上に形成されている。このように構成すると前述の各窒化物半導体層の同一平面上に正負一対のｐ電極およびｎ電極からなる接続電極を有する光半導体素子１１１が得られる。

【０００４】

上記構造の光半導体素子１１１では、ｐ電極１０４とｎ電極１０５間に所定の電圧を与えると、ｐ電極１０４側からの正孔とｎ電極１０５側からの電子が、ｎ型窒化物半導体層１０２とｐ型窒化物半導体層１０３との界面付近で再結合する結果、発光させることができる。

【０００５】

ここで、前記光半導体素子１１１の製造方法について図６（ａ）～（ｄ）を用いて説明する。

まず、図６（ａ）に示すように、絶縁性の透明絶縁性基板１０１の上に、ｎ－ＧａＮからなるｎ型窒化物半導体層１０２とｐ－ＧａＮからなるｐ型窒化物半導体層１０３とを積層したｐ－ｎ接合を有機金属気相成長法などの手段により形成する。

【０００６】

次に、図６（ｂ）に示すように、そのｐ－ｎ接合に対し、ｐ型窒化物半導体層１０３の一部より選択的にエッチングしてｎ型窒化物半導体層１０２を露出させる。

【０００７】

その後、図６（ｃ）に示すように、１回のリフトオフによって同時に一対の接続電極であるｐ電極１０４及びｎ電極１０５を形成すべく、前記窒化物半導体層１０２，１０３表面にレジストを塗布してマスクパターン１２１を形成し、さらにそのマスクパターン１２１の表面に、真空蒸着法によりＮｉとＴｉとＡｕを順次積層して金属層１２２を形成する。

【０００８】

そして、前記マスクパターン１２１を除去すれば、各窒化物半導体層１０２，１０３の表面に一対の接続電極（ｐ電極１０４及びｎ電極１０５）を有する図６（ｄ）に示す光半導体素子１１１が得られる。

【０００９】

ここで、前記ｐ電極および前記ｎ電極に用いる金属材料は、ｐ型窒化物半導体層１０３、ｎ型窒化物半導体層１０２ともに良好なオーミック接続が要求されるので、Ａｕ、Ｐｄ、Ｔｉ、Ｐｔ、Ｍｏ、Ｃｒ、Ａｌ、Ｃｏ、Ｒｈ、Ｉｒ、Ｍｎ、Ｖ、Ｓｃ、Ｍｇ、Ｚｒ等の金属単体や、合金からなる積層膜を用いている。

【００１０】

【特許文献１】
特開平９－２３２６３２号公報（第３－４頁、第１図、第２図）
【００１１】
【発明が解決しようとする課題】
この様に、前述の従来技術の光半導体素子１１１の同一材質からなる前記ｎ電極１０５と前記ｐ電極１０４からなる接続電極を形成するために、その手段としてリフトオフ法を採用している。
【００１２】
このリフトオフ法は、前述の如くマスクパターン１２１により形成された開口部を含む前記レジスト表面全面に金属層１２２を成膜するためには、真空蒸着装置やスパッタリング装置等の大掛かりな成膜装置が必要である。
【００１３】
また、この方法によると、前記マスクパターン１２１に形成される開口部がレジスト表面積でわずかの部分であるため、この工程により殆どの金属層が除去されることとなる。よって、その分だけ金属層１２２の材料費が無駄となり製造コストが嵩む。
【００１４】
さらに、図６（ｃ）に示す開口部中の金属層１２３だけを残してレジストとともにその上層の金属層１２２を除去すると、前記開口部中の接続電極部分として残したい箇所も一緒に剥がしてしまい、一対の接続電極が形成されない箇所が発生することがある。
【００１５】
上記理由から、光半導体素子に適用する電極形成の技術としてリフトオフ法は、生産性が悪く光半導体素子の量産性を考慮すると好ましい製造方法とは云えない。
【００１６】
そこで本発明の目的は、上記の課題を解決して、製造工程が簡便で、良好な素子特性を有する光半導体素子の製造方法と光半導体素子およびその光半導体素子を実装した光半導体装置を提供することである。
【００１７】
【課題を解決するための手段】
上記課題を解決するためのに以下の構成と製造方法を採用する。
本発明の請求項第１項に記載の光半導体素子の製造方法は、基板の同一面側に形成されたｐ型とｎ型半導体層と、そのｐ型とｎ型半導体層の上層に同一金属材料によりそれぞれ形成されたｐ電極とｎ電極からなる一対の接続電極を有する光半導体素子の製造方法において、前記ｐ型とｎ型半導体層を形成する工程と、前記各半導体層の表面の少なくとも一部に、無電解メッキ膜が析出可能な金属を主成分とするメッキ成長膜を設ける工程と、無電解メッキにより前記メッキ成長膜を被覆する一対の接続電極を同時に形成する工程とを含むことを特徴とする。
【００１８】
また、本発明の請求項第２項に記載の光半導体素子の製造方法は、基板の同一面側に形成されたｐ型とｎ型半導体層と、そのｐ型とｎ型半導体層の上層に同じ金属材料によりそれぞれ形成されたｐ電極とｎ電極からなる一対の接続電極を有する光半導体素子の製造方法において、前記ｐ型とｎ型半導体層を形成する工程と、前記半導体層の一方の表面の少なくとも一部に、無電解メッキ膜が析出可能な金属を主成分とするメッキ成長膜を設ける工程と、無電解メッキにより前記メッキ成長膜を被覆する一方の接続電極と、他方の半導体層の表面に他方の接続電極を同時に形成する工程とを含むことを特徴とする。
【００１９】
また、本発明の請求項第３項に記載の光半導体素子の製造方法は、前記一対の接続電極を同時に形成する工程の前に、それぞれの前記ｐ型とｎ型半導体層または前記メッキ成長膜の少なくとも一部を露出させる保護膜を形成する工程を含むことを特徴とする。
【００２０】
また、本発明の請求項第４項に記載の光半導体素子の製造方法は、前記接続電極の膜厚の

制御を、前記保護膜の露出部分の開口径の大小により行うことを特徴とする。
【００２１】
また、本発明の請求項第５項に記載の光半導体素子の製造方法は、前記一対の接続電極を同時に形成する工程の前に、前記一対の接続電極を分離するための分離隔壁を前記半導体層の表面に形成する工程を含むことを特徴とする。
【００２２】
また、本発明の請求項第６項に記載の光半導体素子の製造方法は、前記接続電極は、前記メッキ成長膜を被服するとともに、表面に露出する前記半導体層の全面を覆って形成されてなることを特徴とする。
【００２３】
また、本発明の請求項第７項に記載の光半導体素子の製造方法は、前記接続電極をバリアメタル層として機能する厚さに形成し、その上層にさらに突起電極を設けることを特徴とする。
【００２４】
また、本発明の請求項第８項に記載の光半導体素子の製造方法は、前記接続電極の膜厚の制御を、前記メッキ成長膜の膜厚により行うことを特徴とする。
【００２５】
また、本発明の請求項第９項に記載の光半導体素子は、前述の光半導体素子のいずれかの製造方法により形成されたことを特徴とする。
【００２６】
また、本発明の請求項第１０項に記載の光半導体装置は、前述の光半導体素子が、フリップチップ実装されてなることを特徴とする。
【００２７】
【発明の実施の形態】
以下図面を参照しながら具体的な本願発明の実施の形態について説明する。
以下に示す光半導体素子とは、発光あるいは受光機能を有する半導体素子をいい、具体的には発光ダイオード、半導体レーザー、フォトディテクタ、太陽電池等を指す。
また、本願発明の光半導体素子についての下記の実施の形態において、単個の構成および製造方法について説明するが、実際に生産する際には多数個の光半導体素子を一度に形成した後に、単個に切り出して得られるものであることを理解されたい。
【００２８】
（第１の実施の形態）
まず、本願発明により形成される光半導体素子の構成について説明する。図１（ｄ）は本発明の第１の実施の形態における光半導体素子を示す構造断面図である。
この光半導体素子１０は、従来の構成と同様に、透明絶縁性基板１上にｎ型窒化物半導体層２を有し、その上層に電気的に接合するｐ型窒化物半導体層３を設けている。また、ｎ型窒化物半導体層２とｐ型窒化物半導体層３の接合面の一部から下層のｎ型窒化物半導体層２を露出させて、同一平面上にｐ－ｎ接合を有する構成である。
【００２９】
また露出したｎ型窒化物半導体層２とｐ型窒化物半導体層３の上層にメッキ成長膜４ａ，５ａを設ける。このｐ型窒化物半導体層３の上層に設けるメッキ成長膜４ａはｐ電極４ｂを形成する箇所に、前記ｎ型窒化物半導体層２の上層に設けるメッキ成長膜５ａはｎ電極５ｂを形成する箇所にそれぞれ設けてある。
さらに、前記メッキ成長膜４ａ，５ａの一部を開口して保護膜２０を設け、当該保護膜２０開口部から露出するメッキ成長膜４ａ上にｐ電極４ｂを、メッキ成長膜５ａ上にｎ電極５ｂをそれぞれ設け、この両電極４ｂ，５ｂがそれぞれの窒化物半導体層３，２に接続されている。
【００３０】
この光半導体装置１０は従来の構成と同様に、前記ｐ電極４ｂと前記ｎ電極５ｂの間に所定の電圧を加えることで、ｐ電極４ｂからの正孔とｎ電極５ｂからの電子が、ｎ型窒化物

半導体層２とｐ型窒化物半導体層３との接合界面付近で再結合して発光させることができる。

【００３１】

また、この光半導体素子１０に光の照射の程度を各電極間で発生する電位差により検出する受光素子として使用できることは云うまでもない。

【００３２】

ここで、図１（ａ）～（ｄ）を用いて、本願発明の光半導体素子の製造方法を詳細に説明する。

まず初めに、図１（ａ）に示すように、洗浄されたサファイヤ（Al_2O_3）、スピネル（$MgAl_2O_4$）、シリコンカーバイト（ＳｉＣ）、シリコン（Ｓｉ）、酸化亜鉛（ＺｎＯ）、窒化ガリウム（ＧａＮ）等の材料からなる透明絶縁性基板１上の全面に、ｎ型窒化物半導体層２として窒化ガリウム系半導体層をＣＶＤ法等の手段で形成する。次に前記窒化ガリウム半導体層にＺｎ、Ｍｇ、Ｂｅ、Ｃａ、Ｓｒ、Ｂａ等のｐ型ドーパントをドープさせ、前記ｎ型窒化物半導体層２の上層部をｐ型窒化物半導体層３とする。

【００３３】

その後、図１（ｂ）に示すように、フォトリソグラフィーおよびエッチング等の手段を組合わせて前記ｐ型窒化物半導体層３の一部を除去し、ｎ型窒化物半導体層２とｐ型窒化物半導体層３の接合面の一部から下層のｎ型窒化物半導体層２を露出させた形態とする。

【００３４】

さらに、図１（ｃ）に示すように、ｎ型窒化物半導体２の一部とｐ型窒化物半導体３の上層に無電解メッキの成長を可能とする金属を主成分とするメッキ成長膜４ａ，５ａを真空蒸着、スパッタリング、印刷等の膜付け手段によりそれぞれ設ける。ここで使用可能な金属は、Ｎｉ、Ｐｄ、Ａｕ等の金属を用いることができる。この金属の代りに導電ペースト等の導電性樹脂を印刷法により形成しても構わない。また、ここで列記したいずれの金属材料を用いても、後段で説明するｐ電極４ｂおよびｎ電極５ｂを無電解メッキにより形成可能とするが、無電解メッキ浴中の金属により析出反応が起こる金属であれば他の金属でも構わない。この中で最も望ましい金属は、耐酸化性、電気的導通性に優れるＮｉ、Ｐｄ金属元素単体やこれらを主成分とする金属組成物である。

【００３５】

また、図には示さないが、各窒化物半導体層２，３の表面のできるだけ広い範囲を覆ってこのメッキ成長膜４ａ，５ａを形成しても構わない。この様な形態とすると、活性層である各窒化物半導体層２，３に効率良く電圧を印加することができ、より強い発光を得ることができる。特に、ｐ型窒化物半導体層３は、ｎ型に比べて比較的抵抗値が高く設定される傾向があるため、少なくともｐ型窒化物半導体層３の上層には薄膜のメッキ成長膜４ａを全面に配する構成が好ましい。しかしながら、透明絶縁性基板１を介して光半導体素子１０から発光する光を外部に取り出すために構成された光半導体装置（ＬＥＤ部品）の場合、このメッキ成長膜は透明性が保たれる程度に薄くして形成する必要がある。これは、このメッキ成長膜４ａ，５ａが光半導体素子１０の発光の妨げとなってしまうからである。

【００３６】

続けて、図１（ｄ）に示すように、前記メッキ成長膜４ａ，５ａ上の少なくとも一部を開口する保護膜２０を形成する。この保護膜２０の材料としては絶縁性の良好な酸化シリコン（SiO_2）や窒化シリコン（Si_3N_4）等を用い、真空蒸着、スパッタリング法等の成膜手段により形成する。続けて、フォトリソエッチング工程により前記開口部を形成する。

【００３７】

さらに続けて、前述の構造体を無電解メッキ液に浸漬して、前記メッキ成長膜４ａおよび５ａの保護膜２０からの露出部分にｐ電極４ｂおよびｎ電極５ｂをそれぞれ形成する。この際、前記メッキ成長膜４ａ，５ａには、Ｎｉ、Ｐｄ、Ａｕ等材料からなる金属を主成分とした材料を用いるが、ｐ電極４ｂおよびｎ電極５ｂの形成には、このメッキ成長膜４

ａ，５ａの元素と同一または卑なる金属元素を用いると無電解メッキにより目的の電極構造を形成することができる。ここで用いるｐ電極４ｂおよびｎ電極５ｂの材料として望ましいのは、導電性、耐腐性に優れるＮｉである。また、無電解Ｎｉメッキ液としては硫酸または塩化Ｎｉ塩によってＮｉイオンを供給し、NaH_2PO_2、KH_2PO_3、$NaBH_4$、KBH_4、ヒドラジン、ホルマリン等を還元剤とするメッキ液を用いることができる。

以上の工程を経て本願発明の光半導体素子が完成する。

【００３８】

なお、前記メッキ成長膜４ａ，５ａの表面の露出面積、または前記メッキ成長膜４ａ，５ａの膜厚によって、無電解メッキの開始時期とメッキ金属の成長速度を制御できることも発明者は見出した。

すなわち、前記保護膜２０の開口径を大きく形成してメッキ成長膜４ａ，５ａの表面の露出面積を広くすれば、メッキ液に浸してからメッキ金属が付着し始める開始時期およびこのメッキの成長速度が早くなる。それとは対照に、保護膜２０の開口径を小さく形成してメッキ成長膜４ａの表面の露出面積を狭くすれば、メッキ液に浸してからメッキ金属が付着し始める開始時期およびこのメッキの成長速度が遅くなる。

また、メッキ成長膜４ａ，５ａの膜厚が厚いとメッキ液に浸してからメッキ金属が付着し始める開始時期とメッキ金属の成長速度が早くなる傾向がある。

上記現象を利用して、ｐ電極４ｂおよびｎ電極５ｂの膜厚を制御することが可能となり、所望の厚みのｐ電極４ｂおよびｎ電極５ｂを形成することができる。

【００３９】

上述の如く本願発明の光半導体素子１０の接合形態として、ｐ－ｎ接合について説明したが、本願発明の技術はＭＩＳ接合、ＰＩＮ接合にも用いることができ、さらにシングルヘテロ、ダブルヘテロ構造の光半導体素子についても適用することができる。

【００４０】

また、各窒化物半導体層２，３の上層にそれぞれメッキ成長膜４ａ，５ａを設け、そのメッキ成長膜の一部が露出するように保護膜２０を設ける例を示したが、図には示さないが、図１（ｃ）の構造体を形成した後に、各窒化物半導体層２，３の一部を露出させた保護膜２０を形成してから前記接続電極を形成する箇所にメッキ成長膜を形成し、無電解メッキによりそのメッキ成長膜を被覆する接続電極を析出させても構わない。

【００４１】

（第２の実施の形態）

図２は、第２の実施の形態を説明するための構造断面図である。

第２の実施の形態に示す光半導体素子は、透明絶縁性基板１上に形成されたｎ型窒化物半導体層２とｐ型窒化物半導体層３の上層のそれぞれに一対の接続電極を有する点は第１の実施の形態と同じであるが、その一方の接続電極がメッキ成長膜を介して一方の窒化物半導体層に接続されており、他方の接続電極が直接他方の窒化物半導体層に接続されている点が異なる。

ここに示す光半導体素子１１は、ｐ型窒化物半導体層３の表面のみにメッキ成長膜４ａを配設した構成を一例として示した。

【００４２】

本実施の形態によれば、例えばマスク蒸着や印刷等の手段により、図２（ｅ）に示すｐ型窒化物半導体層３の表面のみに前記メッキ成長膜４ａを形成することは、ｎ型窒化物半導体層２の露出部分（段差部下面）に形成するよりも容易に行えるという製造上の利点を有する。つまり、表面の少なくとも一部が露出したｎ型窒化物半導体層２には段差が形成されており、この段差があるために、上述したマスク蒸着や印刷等のマスクと段差底部に相当するｎ型窒化物半導体層２表面との間に隙間が生じてしまう。このままマスク蒸着や印刷を行うと、精度の良いメッキ成長膜５ａを形成することができないからである。これを回避するためには、フォトリソエッチング工程でメッキ成長膜５ａを形成しなくてはならない。この様に、生産性の向上を考慮する場合、ｐ型窒化物半導体層２表面のみにメッキ

IKEA Supply AG
Exhibit 1002 Page 246 of 361

成長膜４ａを形成することが望ましい。

【００４３】

次に光半導体装置１１の製造方法について図１（ａ），（ｂ）および図２（ｃ）～（ｅ）を用いて説明する。

まず、第１の実施の形態と同様に、図１（ａ）～（ｂ）に示した工程により、透明絶縁性基板１上にｎ型窒化物半導体層２とｐ型窒化物半導体層３を積層し、さらに、前記ｎ型窒化物半導体層２の少なくとも一部を露出させた構造体を形成する。

【００４４】

さらに、図２（ｃ）に示すように、各窒化物半導体層２，３のいずれかの上面の少なくとも接続電極を形成する箇所に、メッキ成長膜４ａまたは５ａの一方を形成する。

【００４５】

続けて、図２（ｄ）に示すように、図２（ｃ）に示す構造体の両窒化物半導体層の少なくとも一部が露出するように保護膜２０を形成する。前記保護膜２０の材料は第１の実施の形態と同じものを用いる。

【００４６】

さらに続けて、図２（ｅ）に示すように、図２（ｄ）の構造体を第１の実施の形態で用いた無電解メッキ液に浸漬させる。すると、無電解メッキ膜がメッキ成長膜４ａの表面に析出してｐ電極４ｂを形成する。そのとき、メッキ成長膜４ａの下層にｐ型窒化物半導体層３が直接接続されており、さらにｐ型窒化物半導体層２にはｎ型窒化物半導体層２が接続されているので、両窒化物半導体層２，３の無電解メッキ浴に対する電位（無電解メッキ浴中の金属と電子の受渡しをするための状態）が変化して、無電解メッキ膜であるｐ電極４ｂとともに、一般的に無電解メッキ膜を直接形成することができないとされているｎ型窒化物半導体層２上にもｎ電極５ｂが析出可能となる。そのため、メッキ成長膜４ａから析出した無電解メッキ膜がｎ型窒化物半導体層が露出する前記保護膜２０の開口部にまで形成され、図２（ｅ）に示すように両窒化物半導体層２，３に接続するｐ電極４ｂおよびｎ電極５ｂを形成することができ、光半導体素子１１が完成する。

このメッキ成長膜４ａは、無電解メッキが行えない材料である両窒化物半導体層２，３の場合には、その上層に配する一対の接続電極の材料成分などが両窒化物半導体層に拡散することを防止する効果が高いＮｉで形成するのが望ましいが、特にＮｉに限定されるものではない。

【００４７】

なお本実施の形態においては、ｐ型窒化物半導体層３の上層にメッキ成長膜４ａのみを配してｐ電極４ｂおよびｎ電極５ｂを形成する例について説明したが、ｎ型窒化物半導体層２表面にメッキ成長膜５ａを配し、両電極を形成しても構わない。

【００４８】

また、図１における前述の光半導体素子１０の製造方法においては、ｎ型窒化物半導体層２の少なくとも一部を露出させてからメッキ成長膜４ａを形成したが、そのｎ型窒化物半導体層２を露出させる前にメッキ成長膜４ａを設けても構わない。

【００４９】

（第３の実施の形態）

図３は、第３の実施の形態を説明するための構造断面図である。

この図３（ｅ）に示すように、第３の実施の形態の光半導体素子１２は、第１の実施の形態で示した前記保護膜２０の配置構造に代えてｐ電極４ｂおよびｎ電極５ｂとを電気的に分離するための分離隔壁２１を設け、ｐ電極４ｂは前記メッキ成長膜４ａ表面のみならず、表面に露出するｐ型窒化物半導体層３上にも形成されており、さらにｎ電極４ｃも同様に前記メッキ成長膜５ａ表面のみならず、表面に露出するｎ型窒化物半導体層２上にも形成されている点が第１の実施形態と異なる。

【００５０】

この様に、メッキ成長膜４ａ，５ａ部分を除く各窒化物半導体層２，３の表面露出部分に薄膜の金属膜を配することで、ｐ電極４ｂおよびｎ電極５ｂから加えた電圧を、活性層で

あるｐ型窒化物半導体層３およびｎ型窒化物半導体層２に効率良く伝えることができ、より強い発光を可能とする光半導体素子１２とすることができる。

【００５１】

ここで、本願発明の光半導体素子の製造方法を図１（ａ）～（ｃ）、図３（ｄ）、（ｅ）を用いて説明する。

まず、第１の実施の形態と同様に、図１（ａ）～（ｃ）に示した工程により、透明絶縁性基板１上にｎ型窒化物半導体層２とｐ型窒化物半導体層３を積層し、さらに、前記ｎ型窒化物半導体層２の少なくとも一部を露出させた構成とするとともに、各窒化物半導体層２，３の上面であり、ｐ電極４ｂおよびｎ電極５ｂを形成する箇所にメッキ成長膜４ａ，５ａを形成する。

【００５２】

次に、図３（ｄ）に示すように、図１（ｃ）に示す構造体の表面に露出するｐ型窒化物半導体層３とｎ型窒化物半導体層２との少なくとも境界部分を覆う分離隔壁２１を形成する。この分離隔壁２１は、例えばポリイミド等の絶縁性の樹脂をスクリーン印刷等の手段によりその境界面に塗布し、その樹脂を硬化させることで形成することができる。なお、この絶縁性の樹脂を、回転塗布法により表面全域に塗布した後に、必要な箇所を残すフォトリソエッチング工程により前記分離隔壁２１を形成しても構わない。

【００５３】

続けて、図３（ｅ）に示すように、図３（ｄ）の構造体を第１の実施の形態で用いた無電解メッキ液に浸漬させる。すると、無電解メッキ膜がメッキ成長膜４ａ，５ａの表面に析出する。そのとき、両窒化物半導体層２，３にはそのメッキ成長膜４ａ，５ａが接触しているので、窒化物半導体層２，３は、無電解メッキ浴に対する電位が変化して、無電解メッキ膜であるｐ電極４ｂおよびｎ電極５ｂを析出可能とするとともに、表面に露出する両窒化物半導体層２，３表面にこの無電解メッキ膜を形成することができる。

以上の工程を経て図３（ｅ）に示す分離隔壁２１の部分を除いて両窒化物半導体層２，３とメッキ成長膜４ｂ，５ｂの表面の全体にわたり均一な厚さを有するｐ電極４ｂおよびｎ電極５ｂを形成することができ、本発明の光半導体素子１２が完成する。

【００５４】

このメッキ成長膜４ａ．５ａは、接続電極の材料成分などが両窒化物半導体層２，３に拡散することを防止する効果が高いＮｉで形成するのが望ましいが、特にＮｉに限定されるものではない。

【００５５】

（第４の実施の形態）

図４は、第４の実施の形態の光半導体素子の構成を説明するための構造断面図である。

図４に示す光半導体装置１３は、前記ｐ電極４ｂとｎ電極５ｂの上段にハンダ等からなる突起電極６を設けた点のみが第１の実施の形態とは異なり、他の構成は同じである。

【００５６】

第４の実施の形態におけるｐ電極４ｂとｎ電極５ｂは、下層に位置するメッキ成長膜４ａ，５ａおよびこの上層に位置する突起電極６の材料の拡散を抑えるバリアメタル機能を発揮し、さらにその上下層に配する部材との密着性を保てればよいので、無電解メッキによって少なくとも数ミクロン程度の厚みで十分である。

【００５７】

この光半導体素子１３は、ｐ電極４ｂとｎ電極５ｂを設け、さらにその上層にハンダ等からなる突起電極６を設けたので、電極自体の高さを稼ぐことができ、その様な用途の場合には有効な構成である。

【００５８】

ここで、本願発明の光半導体素子１３の製造方法について、図１（ａ）～（ｃ）、図４（ｄ）を用いて詳細に説明する。

まず、第１の実施の形態と同様に図１（ａ）～（ｃ）に示した工程により、透明絶縁性基板１上にｎ型窒化物半導体層２とｐ型窒化物半導体層３を積層し、さらに、前記ｎ型窒化

物半導体層２の少なくとも一部を露出させた構成とするとともに、各窒化物半導体層２，３の上面であり、ｐ電極４ｂおよびｎ電極５ｂを形成する箇所にメッキ成長膜４ａ，５ａを形成する。

【００５９】

さらに、図４に示すように、前記メッキ成長膜４ａ，５ａのそれぞれの少なくとも一部を露出させた保護膜２０を形成した後、Ｎｉ，Ｐｄ，Ｐｔ等からなるｐ電極４ｂとｎ電極５ｂを無電解メッキにより同時に形成する。この形成方法およびメッキ液は第１の実施の形態と同じで行う。ここで用いるｐ電極４ｂとｎ電極５ｂの材料は、上記のＮｉ，Ｐｄ，Ｐｔに限定されるものではなく、下層に位置するメッキ成長膜４ａ，５ａおよびこの上段に形成する突起電極６の材料の拡散を抑えるバリアメタル機能を有し、両部材間で良好な接続が望める金属単層膜、複数材料を組合わせた積層膜、または合金を使用することができる。

【００６０】

その後、このｐ電極４ｂ，ｎ電極５ｂ上にハンダ等のろう材から成る突起電極６を形成して本発明の光半導体素子１３が完成する。

なお、突起電極６の形成手段の一例としては、ろう材ペーストの印刷またはろう材ボール搭載等によってｐ電極４ｂ，ｎ電極５ｂ上にろう材を供給した後、ろう材を溶融して突起電極６を形成する手段が挙げられる。この際、ｐ電極４ｂ，ｎ電極５ｂ表面に金メッキを施し、さらにフラックスを併用するとで、突起電極６とｐ電極４ｂ，ｎ電極５ｂの良好な密着が得られる。

【００６１】

（第５の実施の形態）

第１から第４の実施の形態により形成された光半導体素子１０～１３を実装した光半導体装置（ＬＥＤ部品）について下記に説明する。

まず、前述した第１～第４の実施の形態で説明した一連の工程により、透明絶縁性基板１上に複数個の半導体素子を同時に形成する。そして、透明絶縁性基板１上に形成されたｎ型窒化物半導体層２とｐ型窒化物半導体層３に接続するｐ電極４ｂおよびｎ電極５ｂを一対として切断して、単個の光半導体素子１０～１３を得る。

以下、光半導体素子１０を例にとってその素子を実装したＬＥＤ部品について説明する。

【００６２】

図５は、第１の実施形態の光半導体素子１０を用いて形成されたＬＥＤ部品の構造断面図である。

本構成は、透明絶縁性基板１から外部に光を取り出す構成を示している。つまり、本発明の光半導体素子１０の実装をフリップチップ方式で行い、すなわち、透明絶縁性基板１の裏面を上向きとしてフェースダウンで、光半導体素子１０のｐ電極４ｂおよびｎ電極５ｂをそれぞれハンダ（例えばＩｎ，ＰｂＳｎ）３１を用いてリードフレーム３２，３３に溶着して電気的に接続する。そして、光半導体素子１０の全体を覆ってレンズ形状の樹脂３４でモールドすれば、図５に示す構造体を得ることができる。

【００６３】

この構成とすることで、活性層からの発光をより有効に取り出すことができる。特に、ｐ電極４ｂおよびｎ電極５ｂに同じ材料からなる電極を用いているので、均質な反射特性が得られ、配光特性の優れたＬＥＤ部品とすることができる。

【００６４】

また、上述のＬＥＤ部品の構成によらず、図には示さないが、前記透明絶縁性基板１上に形成された窒化物半導体層２，３を上側にしてフェイスアップで光半導体素子１０を固定して、ｐ電極４ｂおよびｎ電極５ｂからワイヤーにて各リードフレーム３２，３３に電気的に接続する形態としてももちろん構わない。

【００６５】

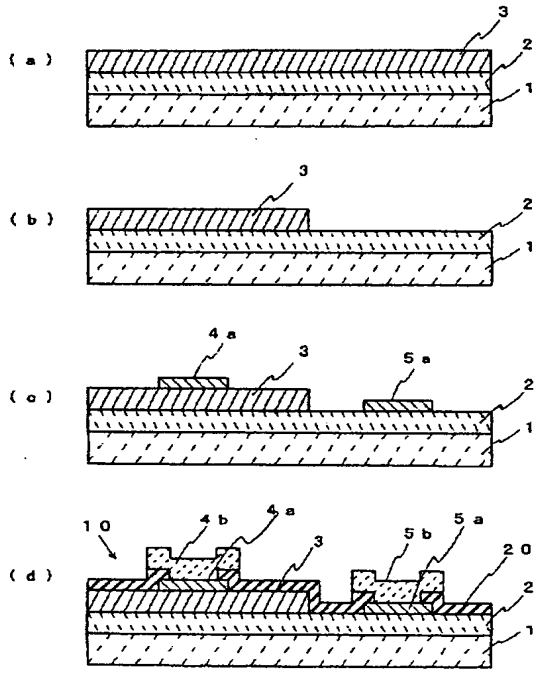
さらに、上記構成のＬＥＤ部品に、他の実施の形態により形成された光半導体素子１１～１３を適用できることは云うまでもない。

【００６６】
【発明の効果】
以上説明したように本願発明によれば、一度の無電解メッキ液の浸漬によって、正負一対の接続電極を容易に形成することができる。よって、従来の技術による電極形成のための真空蒸着装置やスパッタリング装置等の大掛かりな成膜装置が不要である。
また、接続電極を形成する箇所のみに無電解メッキ浴中で金属を析出させるため、材料の無駄が極力少なくて済み、製造コストを最小限とすることができる。さらに、リフトオフ法特有の接続電極部分の剥がれによる電極不良等が発生することがなく、光半導体素子の生産性が向上する。
【００６７】
また、第２の実施の形態による光半導体素子は、一方の窒化物半導体層の表面にのみメッキ成長膜を形成し、一度の無電解メッキ工程で両方の窒化物半導体層の上層に同時に接続電極を形成できるので、第１の実施の形態の光半導体素子の効果に加え、さらに工程の簡素化ができるという本願発明の特有の効果を得ることができる。
【００６８】
さらに、第３の実施の形態による光半導体素子は、メッキ成長膜を形成した部分以外の窒化物半導体層の表面も接続電極で覆う形態としたので、活性層である窒化物半導体層に効率良く電圧を印加でき、他の実施形態に比べより強い発光が望める。
【００６９】
またさらに、第４の実施の形態による光半導体素子は、接続電極がバリアメタル機能を発揮するだけの膜厚で形成し、その上層にハンダ等からなる突起電極を設けたので、光半導体素子に形成される電極高さを稼ぐことができる。よって、本実施の形態においては、その様な用途が要求される場合には有効な構成となる。
【００７０】
本願発明の光半導体素子の接続電極は、無電解メッキにて形成してあるので、その電極材料組成が安定しており、この光半導体素子を実装した光半導体装置の信頼性が従来のものよりもはるかに向上する。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態における光半導体素子の構造および製造方法を説明するための断面図である。
【図２】本発明の第２の実施の形態における光半導体素子の構造および製造方法を説明するための断面図である。
【図３】本発明の第３の実施の形態における光半導体素子の構造および製造方法を説明するための断面図である。
【図４】本発明の第４の実施の形態における光半導体素子の構造を説明するための断面図である。
【図５】本発明の光半導体素子をフリップチップ実装したＬＥＤ部品を説明するための構造断面図である。
【図６】従来技術における光半導体素子の構造および製造方法を説明するための断面図である。
【符号の説明】
１，１０１　透明絶縁性基板
２，１０２　ｎ型窒化物半導体層
３，１０３　ｐ型窒化物半導体層
４ａ，５ａ　メッキ成長膜
４ｂ，１０４　ｐ電極
５ｂ，１０５　ｎ電極
６　突起電極
１０～１３，１１１　光半導体素子
２０　保護膜

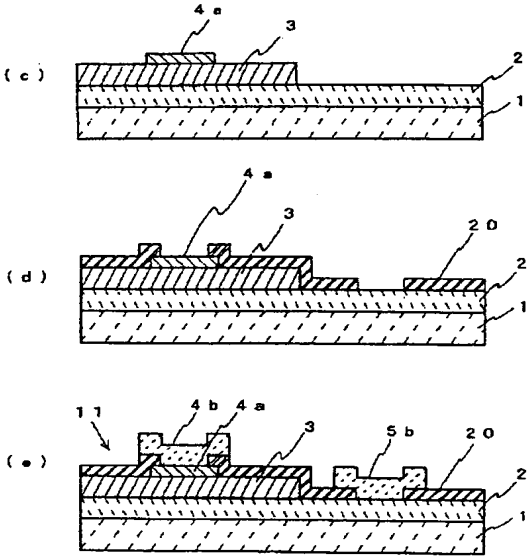
IKEA Supply AG
Exhibit 1002 Page 250 of 361

２１　分離隔壁
３１　ハンダ
３２，３３　リードフレーム
３４　樹脂
１２１　マスクパターン
１２２，１２３　金属膜

【図１】

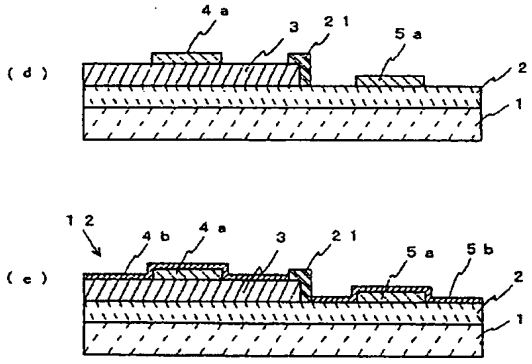


【図２】

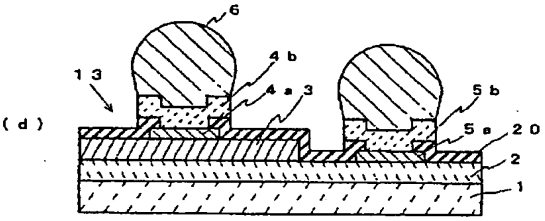


IKEA Supply AG
Exhibit 1002 Page 251 of 361

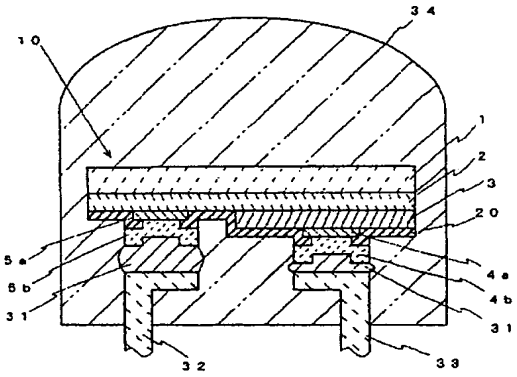
【図３】


(d)
4a
3
21
5a
2
1
(e)
12
4b
4a
3
21
5a
5b
2
1

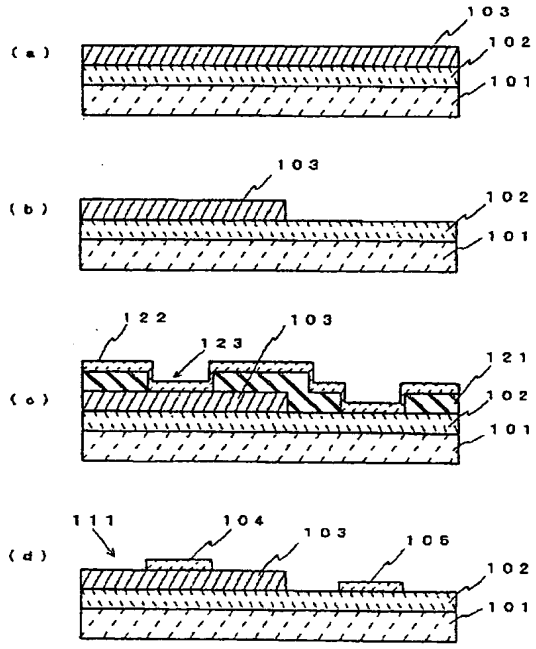
【図４】


(d)
6
13
4b
4a
3
5b
5a
20
2
1

【図５】


10
34
1
2
3
20
5a
5b
31
4a
4b
31
32
33

【図６】


(a)
103
102
101
(b)
103
102
101
(c)
122
123
103
121
102
101
(d)
111
104
103
105
102
101

フロントページの続き

(51)Int.Cl.⁷	F I		テーマコード（参考）
H01L 21/288	H01L	21/28 301B	
	H01L	21/288 E	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151739
(43)Date of publication of application : 24.05.2002

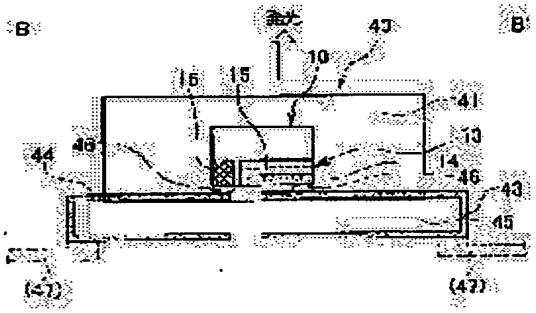
(51)Int.Cl. H01L 33/00

(21)Application number : 2000-342566
(22)Date of filing : 09.11.2000

(71)Applicant : SHOWA DENKO KK
(72)Inventor : TAKEUCHI RYOICHI
NABEKURA WATARU

(54) FLIP-CHIP SEMICONDUCTOR LIGHT EMITTING DEVICE, ITS MANUFACTURING METHOD, LIGHT EMITTING DIODE LAMP, DISPLAY UNIT, AND ELECTRODE OF FLIP-CHIP TYPE SEMICONDUCTOR LIGHT EMITTING DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a flip-chip type semiconductor light emitting device which is high in brightness, easily mounted and wired, and to provide a light emitting diode lamp.
SOLUTION: A light emitting structure composed of semiconductor laminated layers and a second electrode that comes into ohmic contact with a transparent semiconductor layer are formed on the one surface of the transparent semiconductor layer, a first electrode that comes into ohmic contact with the outermost semiconductor layer of the light emitting structure is formed on the other surface of the light emitting structure, and a current diffusion layer formed of metal thin film that has a reflective power to light emitted from the light emitting structure is provided on the surface of the first electrode for the formation of a flip-chip type semiconductor light emitting device. A light emitting diode lamp is manufactured through a manner where the above semiconductor light emitting device is overturned and mounted on a base material where electrode connection terminals are provided and hermetically sealed up with a sealing material.



LEGAL STATUS

[Date of request for examination] 09.07.2004
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

IKEA Supply AG
Exhibit 1002 Page 254 of 361
FH_000254

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－151739
（P2002－151739A）
(43)公開日　平成14年５月24日(2002.5.24)

(51)Int.Cl.'	識別記号	ＦＩ	テーマコード'（参考）
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｅ　５Ｆ０４１ Ｂ

審査請求　未請求　請求項の数31　ＯＬ　（全 13 頁）

(21)出願番号　特願2000－342566(P2000－342566)

(22)出願日　平成12年11月９日(2000.11.9)

(71)出願人　000002004
昭和電工株式会社
東京都港区芝大門１丁目13番９号

(72)発明者　竹内　良一
埼玉県秩父市大字下影森1505番地　昭和電工株式会社電子材料事業部秩父生産・技術統括部内

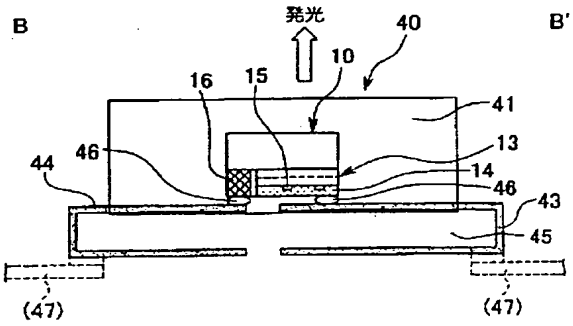
(72)発明者　鍋倉　亙
埼玉県秩父市大字下影森1505番地　昭和電工株式会社電子材料事業部秩父生産・技術統括部内

(74)代理人　100064908
弁理士　志賀　正武　（外６名）

最終頁に続く

(54)【発明の名称】　フリップチップ型半導体発光素子とその製造方法及び発光ダイオードランプ並びに表示装置、フリップチップ型半導体発光素子用電極

(57)【要約】
【課題】　高輝度で実装配線が容易なフリップチップ型半導体発光素子および発光ダイオードランプを提供する。
【解決手段】　透明半導体層の一方の片面上に、半導体層の積層体からなる発光部構造と該透明半導体層とオーミック接触をなす第２の電極とを具備し、該発光部構造の反対側の表面には、該発光部構造の最表面の半導体層とオーミック接触をなす第１の電極を備え、該第１の電極表面には発光に対し反射能を有する金属薄膜からなる電流拡散層が設けられてなる構造のフリップチップ型半導体発光素子とした。また、発光ダイオードランプは電極接続端子を設けた基材の上に、上記半導体発光素子を転倒させて載置し、封止材で密封した構造とした。



IKEA Supply AG
Exhibit 1002 Page 255 of 361

1

【特許請求の範囲】

【請求項１】　第２導電型を有し、発光部からの発光に対して透明な透明半導体層と、該透明半導体層の一方の面上に順次積層された第２導電型半導体層と第１導電型半導体層とからなり、ｐｎ接合構造の発光部を有する半導体層と、前記透明半導体層と反対側の第１導電型半導体層の表面の一部に分散して形成された、第１導電型半導体層とオーミック接触する第１の電極と、該第１の電極が形成された第１導電型半導体層の表面上に、第１導電型半導体層と第１の電極とを覆って形成された電流拡散層と、前記透明半導体層または第２導電型半導体層の第１導電型半導体層がある側の表面の一部に形成された、電流拡散層と電気的に分離され、かつ透明半導体層または第２導電型半導体層とオーミック接触する第２の電極とを備えたことを特徴とするフリップチップ型半導体発光素子。

【請求項２】　前記電流拡散層が、発光部からの発光を反射する反射層をなしていることを特徴とする請求項１に記載のフリップチップ型半導体発光素子。

【請求項３】　前記電流拡散層が、金または金合金を含む金属薄膜からなることを特徴とする請求項１または請求項２に記載のフリップチップ型半導体発光素子。

【請求項４】　前記電流拡散層が、高融点金属を含む金属薄膜からなることを特徴とする請求項１または請求項２に記載のフリップチップ型半導体発光素子。

【請求項５】　前記高融点金属が、クロム、白金またはチタンのうちの１種もしくはそれらの合金であることを特徴とする請求項４に記載のフリップチップ型半導体発光素子。

【請求項６】　前記電流拡散層が、２種類以上の金属の多層膜からなることを特徴とする請求項１から請求項５のいずれかに記載のフリップチップ型半導体発光素子。

【請求項７】　前記電流拡散層の厚さが、０．５μｍ～３μｍであることを特徴とする請求項１から請求項６のいずれかに記載のフリップチップ型半導体発光素子。

【請求項８】　前記第１の電極が、第１導電型半導体層の表面に複数個配置されていることを特徴とする請求項１から請求項７のいずれかに記載のフリップチップ型半導体発光素子。

【請求項９】　前記第１の電極の面積の合計が、第１導電型半導体層の表面積の２％以上３０％以下であることを特徴とする請求項１から請求項８のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１０】　前記第１の電極と第１導電型半導体層との接触抵抗が、前記電流拡散層と第１導電型半導体層との接触抵抗に比べて、小さいことを特徴とする請求項１から請求項９のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１１】　前記第１の電極と第１導電型半導体層との接触抵抗が、５０Ω以下であることを特徴とする請

2

求項１から請求項１０のいずれかに記載の半導体発光素子。

【請求項１２】　前記第１の電極表面と前記第２の電極表面とのレベル差が、４μｍ以内にあることを特徴とする請求項１から請求項１１のいずれかにフリップチップ型記載の半導体発光素子。

【請求項１３】　前記透明半導体層のキャリア濃度が、$2\times10^{16}cm^{-3}$以上であることを特徴とする請求項１から請求項１２のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１４】　前記透明半導体層の比抵抗が、１Ωｃｍ以下であることを特徴とする請求項１から請求項１３のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１５】　前記透明半導体層がＧａＰからなることを特徴とする請求項１から請求項１４のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１６】　前記発光部が、ＡｌＧａＩｎＰからなることを特徴とする請求項１から請求項１５のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１７】　前記第１導電型がｎ型であり、前記第２導電型がｐ型であることを特徴とする請求項１から請求項１６のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１８】　半導体発光素子の全厚が、５０μｍ以上１００μｍ以下であることを特徴とする請求項１から請求項１７のいずれかに記載のフリップチップ型半導体発光素子。

【請求項１９】　半導体基板上に発光部を含む半導体層と透明半導体層を順次積層し、次に該半導体基板を除去し、ついで半導体基板を除去した側の前記半導体層の表面に、第１の電極および電流拡散層を形成し、透明半導体層又は第２導電型半導体層の表面に第２の電極を形成することを特徴とする請求項１から請求項１８のいずれかに記載のフリップチップ型半導体発光素子の製造方法。

【請求項２０】前記半導体基板が、発光部からの発光に対して吸収層として働く半導体であることを特徴とする請求項１９に記載のフリップチップ型半導体発光素子の製造方法。

【請求項２１】前記半導体基板がＧａＡｓからなり、前記発光部がＡｌＧａＩｎＰからなることを特徴とする請求項１９または請求項２０に記載のフリップチップ型半導体発光素子の製造方法。

【請求項２２】前記半導体層を有機金属化学気相堆積法（ＭＯＣＶＤ法）によって積層することを特徴とする請求項１９から請求項２１のいずれかに記載のフリップチップ型半導体発光素子の製造方法。

【請求項２３】前記透明半導体層を気相エピタキシャル成長法（ＶＰＥ法）によって積層することを特徴とする請求項１９から請求項２２のいずれかに記載のフリップ

IKEA Supply AG
Exhibit 1002 Page 256 of 361

チップ型半導体発光素子の製造方法。

【請求項２４】基材と、該基材に互いに電気的に隔離して形成された第１および第２の電極端子と、該第１および第２の電極端子にそれぞれ電流拡散層および第２の電極を電気的に接続させた請求項１から請求項１８のいずれかに記載のフリップチップ型半導体発光素子と、該半導体発光素子を封止する封止材とを具備する発光ダイオードランプ。

【請求項２５】前記第１および第２の電極端子が前記基材表面の同一平面に形成され、前記半導体発光素子が基材の該平面に重ねて載置されることを特徴とする請求項２４に記載の発光ダイオードランプ。

【請求項２６】前記第１および第２の電極端子と電流拡散層および第２の電極との電気的接続を、金または半田からなるバンプにより行うことを特徴とする請求項２４または請求項２５に記載の発光ダイオードランプ。

【請求項２７】　請求項２４から請求項２６のいずれかに記載の発光ダイオードランプを用いたことを特徴とする表示装置。

【請求項２８】発光部を有する半導体層の表面の一部に分散して形成された、該半導体層とオーミック接触する第１の電極と、該半導体層の表面上に、該半導体層と該第１の電極とを覆って形成された電流拡散層とからなることを特徴とするフリップチップ型半導体発光素子用電極。

【請求項２９】前記電流拡散層が、発光部からの発光を反射する層であることを特徴とする請求項２８に記載のフリップチップ型半導体発光素子用電極。

【請求項３０】前記第１の電極が、半導体層の表面に複数個配置されていることを特徴とする請求項２８または請求項２９に記載のフリップチップ型半導体発光素子用電極。

【請求項３１】前記第１の電極と半導体層との接触抵抗が、前記電流拡散層と半導体層との接触抵抗に比べて小さいことを特徴とする請求項２８から請求項３０のいずれかに記載のフリップチップ型半導体発光素子用電極。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、透明半導体層の表面から光を取り出す半導体発光素子及び発光ダイオードランプに係わり、特にワイヤーボンドを用いないフリップチップ型半導体発光素子および発光ダイオードランプに関するものである。

【０００２】

【従来の技術】従来、半導体発光ダイオードは、半導体発光素子の表面の金やアルミニウム電極に金やアルミニウムの細線等をワイヤーボンドして組み立てるのが一般的であった。発光ダイオードの輝度を向上させるため、透明基板を利用した技術が開示されており、例えば特開昭６１－１０２７８６号公報には、透明基板上に発光構造を形成する方法が開示されている。特開平６－３０２８５７号公報には、不透明な基板上に発光構造を形成した後さらに透明層を形成し、しかる後前記不透明な基板を除去する方法が開示されている。また、特開平８－１３０３２６号公報には、不透明な基板上に発光構造を形成し、これに透明な基板を貼り合わせ、しかる後前記不透明な基板を除去する方法が開示されている。さらに特開平９－１８６３６５号公報に記載されているように、透明基板を用いて裏面の金属電極による反射効果を利用した技術も提案されている。また、ワイヤーボンディング工程を省略し生産性に優れ、ワイヤーの断線などの不具合の発生しない、いわゆるフリップチップ型の半導体発光素子も提案されている。これらの半導体発光素子は、液相エピタキシャル法で形成した発光に対して透明な厚いＡｌＧａＡｓ半導体層を利用している（特開平９－２７４９８号公報参照）。また、ＧａＮ系の発光素子では、透明で絶縁性のサファイヤ基板を用いることが多く、表面に銀白色金属を用いて反射光による輝度向上効果を目的としたフリップチップ型発光素子の技術が開示されている（特開平１１－１９１６４１号公報参照）。

【０００３】

【発明が解決しようとする課題】上記のように、生産性、信頼性に優れ、片面に２つの電極を有するフリップチップ型の半導体発光素子は、利用できる半導体発光素子の材質、構造に多くの制約があるので、実用化されている発光ダイオードは数少ないのが現状である。近年、実用化されてきた発光層がＡｌＧａＩｎＰ系の高輝度発光ダイオードでは、多くの問題点からフリップチップ型の半導体発光素子は実用化されていない。本発明は、これらの問題点を解決し、高輝度のＡｌＩｎＧａＰ系半導体発光素子でも採用可能なフリップチップ型半導体発光素子の構造と、それを用いた発光ダイオードランプを提供するものである。従来のフリップチップ型半導体発光素子の第１の問題点は、ＧａＮ系の発光素子のように透明電極を形成できる材料以外では、オーミック電極と半導体との界面が光の吸収層となり発光強度が低下する点である。第２の問題点は、裏面から発光層の距離が大きすぎると、第１の電極と第２の電極の段差が大きくなり、配線不良が発生しやすくなる問題が発生する。ここで裏面とは半導体発光素子の光を取り出す面（発光面）と反対側の面をいう。第３の問題点は、裏面と発光層の距離が近過ぎる場合は、発光層へ至るまでに電流が充分に拡散できず、発光層の発光効率が低下する問題がある。第４の問題点は、半導体発光素子の厚さが薄い場合は、機械的強度が弱く取り扱い時のワレ等により不良が多発する問題がある。

【０００４】また、絶縁性の基板を用いる場合は、電流が流れる領域が狭く抵抗が高くなり、順方向電圧が高くなり、消費電力の増大を招く問題がある。本発明は、上記の問題点に鑑み提案されたもので、生産性良く製造で

き、高輝度で消費電力が少なく、その上ワイヤーボンディングによる配線の工数を減らして組み立てコストを低くすることができるフリップチップ型の半導体発光素子及びそれを用いた発光ダイオードランプを提供することを目的とする。

【０００５】

【課題を解決するための手段】本発明者らは、上記の問題点を解決するために研究した結果、基板に用いる材質と発光素子の厚さを限定し、裏面と発光層との距離を近づけても電流拡散層により輝度の低下を招かない素子構造を開発した。

【０００６】上記問題点を解決するため本発明は、第２導電型を有し、発光部からの発光に対して透明な透明半導体層と、該透明半導体層の一方の面上に順次積層された第２導電型半導体層と第１導電型半導体層とからなり、ｐｎ接合構造の発光部を有する半導体層と、透明半導体層と反対側の第１導電型半導体層の表面の一部に分散形成された、第１導電型半導体層とオーミック接触する第１の電極と、第１の電極が形成された第１導電型半導体層の表面上に、第１導電型半導体層と第１の電極とを覆って形成された電流拡散層と、透明半導体層または第２導電型半導体層の第１導電型半導体層がある側の表面の一部に形成された、電流拡散層と電気的に分離され、かつ透明半導体層または第２導電型半導体層とオーミック接触する第２の電極とを備えたフリップチップ型半導体発光素子とした。このような構造の半導体発光素子とすることにより、半導体発光素子に印加した電流が半導体層の表面の一部に分散して形成された第１の電極を介して、素子全面に拡がるので発光領域が拡大して発光効率が高くなり、かつ裏面方向に発光した光を電流拡散層により効果的に反射させ、しかも発光した光を基板で吸収されることなく外部へ取り出すことができるので、高輝度の発光素子が得られる。その上素子の片面から電流を印加することができるので、半導体発光素子を他の電子機器に実装する際に、作業が容易となり、能率を向上させることが可能になる。

【０００７】本発明の半導体発光素子では、前記電流拡散層が、発光部からの発光を反射する反射層をなしていることが好ましい。このような電流拡散層は、金または金合金を含む金属薄膜から構成することが可能である。あるいはまた高融点金属を含む金属薄膜から構成することも可能である。高融点金属としてはクロム、白金またはチタンのうちの１種もしくはそれらの合金を利用することができる。本発明における前記電流拡散層は、２種類以上の金属の多層膜で構成してもよい。電流拡散層の厚さは、０．５μｍ～３μｍ程度が適する。これらの金属薄膜は、電気伝導度が高いので印加電流を広範囲に拡散させる作用を有し、かつ光の反射率も高いので発光層で発光した光を反射させる機能も併せ持ち、光を発光面から効率良く外部へ取り出すことを可能にする。

【０００８】また、本発明の半導体発光素子においては、第１の電極を第１導電型半導体層の表面に複数個配置するのが好ましい。そして該第１の電極の面積の合計は、第１導電型半導体層の表面積の２％以上３０％以下とするのが好ましい。このような構成とすることにより、印加電流が発光層全域にほぼ均等に拡散し、しかも電流拡散層方向に放射された発光が大幅に吸収されることなく効果的に反射させることができるので、半導体発光素子輝度が向上する。

【０００９】本発明においては、前記第１の電極と第１導電型半導体層との接触抵抗を、前記電流拡散層と第１導電型半導体層との接触抵抗に比べて、小さくすることが好ましい。そして前記第１の電極と第１導電型半導体層との接触抵抗は、５００Ω以下とするのが好ましい。前記第１の電極と第１導電型半導体層との接触抵抗が、前記電流拡散層と第１導電型半導体層との接触抵抗に比べて小さければ、発光素子の動作電流は、電流拡散層から優先的に第１の電極を介して半導体層に流れるため、第１の電極の配置に応じて素子全面に広がる効果がある。また、前記第１の電極の面積の合計を、第１導電型半導体層の表面積の２％以上のなるように確保すれば、第１の電極と第１導電型半導体層との接触抵抗が５００Ω以下となり、電流の供給も円滑となり、視野も十分確保される。

【００１０】本発明の半導体発光素子においては、前記第１の電極表面と前記第２の電極表面とのレベル差を、４μｍ以内にするのが好ましい。本発明の半導体発光素子は、構造上また製作方法からして、前記第１の電極表面と前記第２の電極表面とのレベル差が生じるのは避けられない。しかし、レベル差があまり大きくなるとランプに組み立てる実装工程で、接続不良を生じる恐れがある。レベル差が４μｍ以内であれば、たとえば半田バンプ等を利用してランプに組み立てる工程でレベル差を吸収して接触不良を防止できるので、製品不良の発生を防ぐことができる。

【００１１】本発明の半導体発光素子においては、前記透明半導体層のキャリア濃度を、$2\times10^{16}cm^{-3}$以上とするのが好ましい。また、前記透明半導体層の比抵抗が１Ωｃｍ以下であることが好ましい。半導体層の比抵抗は、半導体層中のキャリアによって決まり、キャリアが多くなれば比抵抗が低くなる。キャリア濃度が$2\times10^{16}cm^{-3}$以上で比抵抗が１Ωｃｍ以下の透明半導体層を使用すれば、低い順方向電圧で動作させることができる利点がある。

【００１２】上記のようなキャリア濃度が高く、比抵抗が低い半導体層としてはＧａＰが利用できる。ＧａＰはバンドギャップエネルギーが大きいので、ＡｌＧａＩｎＰを発光部構造にした場合、広範囲の発光波長に対して透明な性質を有するものとなる。また、ＧａＰは良質の結晶を得易い利点もある。

【００１３】本発明の半導体発光素子においては、前記発光部をＡｌＧａＩｎＰから構成するのが好ましい。ＡｌＧａＩｎＰ４元混晶半導体は、直接遷移型半導体なので発光出力が高く、しかもＡｌとＧａのと混晶比を変えることにより、発光波長を変えることができる。また、市販のＧａＡｓ単結晶基板との格子整合がとり易い利点がある。

【００１４】さらに、本発明の半導体発光素子においては、前記第１導電型をｎ型とし、前記第２導電型をｐ型とするのが好ましい。市販のＧａＡｓ単結晶基板はｎ型の方が結晶欠陥の少ない、良質の基板が入手できるのと、一般にｎ型の電極の方が抵抗が低く、積層順序を考慮すると第１の電極の面積を小さくすることができるからである。

【００１５】本発明のフリップチップ型半導体発光素子においては、半導体発光素子の全厚を、５０μｍ以上１００μｍ以下とするのが好ましい。不透明な半導体基板に代わり、透明で低抵抗な半導体層を支持層として使用するが、この透明で低抵抗な半導体層を厚く形成して全厚を厚くすれば透明な支持層とすることができ、後述の発光ダイオードランプに組み立てる際にも好都合である。ただし、あまり厚くし過ぎると不経済となる。

【００１６】次に、本発明のフリップチップ型半導体発光素子の製造方法は、半導体基板上に発光部を含む半導体層と透明半導体層を順次積層し、次に該半導体基板を除去し、ついで半導体基板を除去した側の前記半導体層の表面に、第１の電極および電流拡散層を形成し、透明半導体層又は第２導電型半導体層の表面に第２の電極を形成する製造方法とした。ここで使用する前記半導体基板はＧａＡｓ基板が好んで用いられ、ＧａＡｓ基板はＡｌＧａＩｎＰ発光部からの緑色ないし赤色の発光に対しておおむね吸収層として働く半導体である。したがって、本発明の製造方法では、良質のＧａＡｓ基板上にエピタキシャル成長層を形成した後、光吸収層となるＧａＡｓ基板を除去する方法を採用することとした。

【００１７】本発明の半導体発光素子の製造方法では、ＡｌＧａＩｎＰからなる発光部をエピタキシャル成長させることとした。そしてエピタキシャル成長の手段として、有機金属化学気相堆積法（ＭＯＣＶＤ法）を採用した。ＭＯＣＶＤ法によれば、成長層の組成、層厚、電気的性質の制御が容易である。また、本発明の半導体発光素子の製造方法では、前記透明半導体層を気相エピタキシャル成長法（ＶＰＥ法）によって積層することもできる。ＶＰＥ法はＭＯＣＶＤ法に比べて成長速度を速めることができるので、厚い透明半導体層を効率よく形成することが可能となる。

【００１８】本発明の発光ダイオードランプは、基材と、該基材に互いに電気的に隔離して形成された第１および第２の電極端子と、該第１および第２の電極端子にそれぞれ電流拡散層および第２の電極を電気的に接続させた請求項１から請求項１８のいずれかに記載のフリップチップ型半導体発光素子と、該半導体発光素子を封止する封止材とを具備する発光ダイオードランプである。本発明の発光ダイオードランプにおいては、前記第１および第２の電極端子が前記基材表面の同一平面に形成され、前記半導体発光素子が基材の該平面に重ねて載置されることが好ましい。また、前記第１および第２の電極端子と電流拡散層および第２の電極との電気的接続を、金または半田からなるバンプにより行うことが好ましい。このような構造にすれば、半導体発光素子の一面に２個の電極が設けられているので、半導体発光素子を電子機器上の電極端子の所定位置に載置するのみで、ワイヤーボンディングを用いずに発光ダイオードランプに組み立てることが可能となる。また、基材上の半導体発光素子を搭載した表面と反対側の面に電極端子を延設しておけば、他の電子機器に実装する際にも所定位置に置くだけで発光ダイオードランプの接続配線が可能となる。

【００１９】本発明の表示装置は、前記記載の本発明になる発光ダイオードランプを用いた表示装置である。本発明になる発光ダイオードランプを用いれば、接続端子が片面に配置されているので、実装作業が極めて容易となり、生産効率が大幅に向上する利点を有する。

【００２０】本発明のフリップチップ型発光素子用電極は、発光部を有する半導体層の表面の一部に分散して形成された、該半導体層とオーミック接触する第１の電極と、該半導体層の表面上に、該半導体層と該第１の電極とを覆って形成された電流拡散層とからなる発光素子用電極である。また本発明の発光素子用電極は、前記電流拡散層が発光部からの発光を反射する反射層を兼ねたものとするのが好ましい。さらに、前記第１の電極が半導体層の表面に複数個配置されているのが好ましい。このような電極構造とすれば、電流拡散層を介して発光面全面に電流が行き渡るので、発光面全面で均一な発光が得られ、輝度向上が図れる利点を有する。また、電流拡散層は光の反射層も兼ねているので、一層輝度を向上させることができる

【００２１】本発明の発光素子用電極は、前記第１の電極と半導体層との接触抵抗を、前記電流拡散層と半導体層との接触抵抗に比べて小さくするのが好ましい。このように電極を構成すれば、前記のようにして半導体発光素子全体に動作電流を広げられるようになる利点がある。

【００２２】

【発明の実施の形態】以下にこの発明の実施の形態を図面に基づいて詳細に説明する。図１および図２はこの発明のフリップチップ型半導体発光素子の概略構成を模式的に示す図で、図１はその平面図、図２は図１の線Ａ－Ａ′に沿った断面を示す図である。尚、以降の各図においては各層や各部材を図面上で認識可能な程度の大きさ表示するために、各層や各部材の各方向毎の縮尺は変え

てある。

【００２３】この発明の半導体発光素子の平面構造は、図１に示すとおり四角な半導体発光素子１０表面の一隅に、四半分の円形をなす第２の電極１６が形成され、残りの範囲に４個の円形の第１の電極（分配電極）１５が分散配置して形成されている。第１の電極１５と第２の電極１６は、いずれも下の半導体層とオーミック接合をなすように形成されており、第１の電極１５と第２の電極１６の間は電気的に隔絶されている。また、この発明の半導体発光素子１０の断面構造は、図２に示すとおり透明半導体層１３５の一面に、発光部１２を有する第１導電型の半導体層及び第２導電型の半導体層を含む積層構造体からなる半導体層１３が形成されており、さらに透明半導体層１３５上の同じ面には、オーミック接合をなす第２の電極１６が形成されている。また、該半導体層１３の透明半導体層１３５と接する面と反対側の面には、オーミック接触をなす第１の電極（分配電極）１５が分散して形成されており、第１の電極１５を含む半導体層１３の全面を覆って電流拡散層１４が形成されている。なお、電流拡散層１４と第２の電極１６とは電気的に分離している。本発明の半導体発光素子では、光の取出し方向は、透明半導体層１３５の方向である。

【００２４】半導体層１３は発光部１２を含む半導体のエピタキシャル成長層の積層体から構成されている。半導体層１３は発光部１２の他に、緩衝層、コンタクト層、保護層等を含むことができる。発光部１２はｐ－ｎ接合から成る発光構造を含むものなら特に制限は無いが、発光波長の調整幅が広く、発光輝度の高いＡｌＧａＩｎＰ４元混晶半導体が好んで用いられる。特に、ＡｌＧａＩｎＰ４元混晶半導体のダブルヘテロ接合構造（Ｄｏｕｂｌｅ Ｈｅｔｅｒｏ Ｊｕｎｃｔｉｏｎ Ｓｔｒｕｃｔｕｒｅ：ＤＨ）を発光部とすれば、直接遷移型半導体なので発光出力が高く、しかもＡｌの混晶比を変えることにより発光波長がかえられる利点がある。また、ＡｌとＧａの混晶比を変えることにより異なる半導体結晶基板との格子整合がとり易く、良好な結晶性を有するエピタキシャル成長層が得られる利点がある。

【００２５】ＡｌＧａＩｎＰダブルヘテロ接合からなる発光部は、例えばＳｉをドープしたｎ型のＧａＡｓからなる緩衝層、Ｓｉをドープしたｎ型のＡｌＧａＡｓまたはＡｌＧａＩｎＰからなるコンタクト層、Ｓｉをドープしたｎ型の$(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$からなる下部クラッド層、アンドープの$(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}P$からなる発光層、及びＺｎをドープしたｐ型の$(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$からなる上部クラッド層が順次積層された構造を例示することができる。この構成によれば波長約６２０ｎｍの赤色発光が得られる。

【００２６】本発明の半導体発光素子１０は、後に詳説するように、半導体基板の上に発光部を形成したものである。半導体基板としてごく一般的なＧａＡｓ基板を使用すれば、ＡｌＧａＩｎＰエピタキシャル層と容易に格子整合させることができ、結晶性の優れたＡｌＧａＩｎＰエピタキシャル層が得られる。しかし、ＧａＡｓ基板はＡｌＧａＩｎＰ発光部からの発光に対して吸収層として働いてしまうので、ＧａＡｓ基板が残ったままでは、ＧａＡｓ基板側に放射された光を有効に外部に取り出すことができず、輝度を高めることができない。

【００２７】そこで本発明では、ＧａＡｓ基板上に例えばＡｌＧａＩｎＰダブルヘテロ接合からなる発光部を形成し、その上にＡｌＧａＩｎＰの発光に対して透明な透明半導体層を厚く成膜した後、前記ＡｌＧａＩｎＰの発光に対して不透明なＧａＡｓ基板を除去して、ＡｌＧａＩｎＰの発光に対して透明な透明半導体層１３５を支持層として半導体層１３を維持するように構成したものである。しかる後、半導体層１３の一部をエッチングにより除去し、露出した透明半導体層１３５の一部の表面に、該透明半導体層１３５とオーミック接合をなす第２の電極１６を形成したものである。半導体層１３の一部をエッチングにより除去する際に、透明半導体層１３５までは除去しないで半導体層１３のエピタキシャル成長層の一部、例えばクラッド層を残し、このエピタキシャル成長層に第２の電極１６を設けても良い。そしてエッチング除去したＧａＡｓ基板と接していた面には、オーミック接合をなす第１の電極１５を形成し、第１の電極１５を含む半導体層１３の全面を電流拡散層１４で覆ったものである。このとき透明半導体層の電気抵抗が高いと、発光部から第２の電極１６へ至る電流経路が半導体層１３の透明半導体層側の薄膜に限定されるので回路抵抗が高くなり、その結果順方向電圧が高くなるので好ましくない。従って透明半導体層はキャリア濃度が高く、比抵抗の低い低抵抗半導体層を用いる。透明半導体層１３５のキャリア濃度は$2\times10^{16}cm^{-3}$以上のものを使用するのが好ましく、この時比抵抗は$10^{-5}\Omega cm$以下程度となる。本発明においては、前記第１の導電型をｎ型とし、前記第２の導電型をｐ型とするのが好ましい。一般にｎ型の電極の方が抵抗が低いからである。

【００２８】発光に対して透明な半導体層としては、一般に発光層よりも禁制帯幅の大きいＧａＰ、ＡｌＧａＡｓ、ＧａＡｓＰ、ＺｎＴｅあるいはＺｎＳｅ等の化合物半導体層が選択できる。ＡｌＩｎＧａＰ４元混晶半導体を発光部に使用した場合、このような発光に対して透明で、導電性の良好な透明半導体層１３５の材質としては、成長コストや安定性、耐湿性の点から、例えばＧａＰが最も好ましい材料として挙げられる。透明半導体層１３５の導電型は、これと接する発光部の半導体層の導電型と同じとし、キャリア濃度は$2\times10^{16}cm^{-3}$以上とするのが好ましい。第２の電極のオーミック接合を形成し易いように考慮すれば、透明半導体層１３５のキャリア濃度は、望ましくは$1\times10^{17}cm^{-3}$以上が必要である。一方、半導体の材質とドーパントの組み合わせによ

り、キャリア濃度をあまり高くすると結晶性が低下する恐れがあるため、透明半導体層１３５のキャリア濃度は１×１０^{19}cm^{-3}以下、ドーパントによる光吸収を完全に無くすことを考慮すれば、ｐ型の場合は２×１０^{18}cm^{-3}以下、ｎ型の場合は６×１０^{17}cm^{-3}以下が特に望ましい。透明半導体層１３５の厚さとしては、５０～１００μｍが適する。透明半導体層１３５によって支持する半導体層１３の厚さはせいぜい４～１０μｍ程度であるから、透明半導体層１３５の厚さがほぼ半導体発光素子１０全体の厚さとなる。

【００２９】半導体素子１０の厚さと素子の不良率との関係を図３に示す。図から半導体素子１０の厚さが５０μｍ以下では取り扱いが困難で、半導体発光素子を製造する過程での不良率が著しく増加する。また、厚い場合は、透明半導体層１３５のエピタキシャル成長後の反りが大きく、エピタキシャルウエーハ状態から半導体発光素子（チップ）に加工し難く、不良がやや増加する傾向がある。また、エピタキシャル成長のコスト面からも半導体素子１０の厚さ、すなわち透明半導体層１３５の厚さは１００μｍ以下とするのが望ましい。

【００３０】第１の電極（分配電極）１５は、図１に示すように、発光面に均等に分散配置するのが好ましい。例えば、図１の様に複数の第１の電極１５を均等に配置する。あるいはまた、独立していない放射状、ドーナッツ状、螺旋状、額縁状、格子状、あるいは枝状の電極を発光面に均等に分散して配置しても良い。第１の電極を半導体層の表面に分散して形成するとは、発光素子の動作電流が素子の全面に広がるよう、電極を素子表面に偏り無く配置することをいう。第１の電極１５と発光面との接触抵抗は、電極とする金属の種類と接合させる半導体結晶の種類に依る組み合わせや第１の電極１５の面積によって異なり、第１の電極１５全体と半導体層１３との接触抵抗は、約５０Ω以下とするのが好ましい。第１の電極１５の面積が小さすぎると、接触抵抗が増大し発光素子の順方向電圧（Ｖｆ）が大きくなる不都合が生じる。従って、第１の電極１５の全体の面積は、発光面の面積の２％以上が好ましい。逆に第１の電極１５の面積があまり大きすぎると、発光部からの発光が第１の電極１５として形成された金属層により吸収されて外部に取り出せなくなり、発光強度が低下する。そのため第１の電極１５の面積は、発光面の面積の３０％以下とするのが望ましい。第１の電極１５の材料には、第１の電極１５を形成する半導体層１３の最表面層がｐ型層の場合はＡｕＺｎ合金やＡｕＢｅ合金等を、ｎ型層の場合はＡｕＧｅＮｉ合金やＡｕＳｉ合金等の公知の技術を適用できる。第１の電極１５の厚さは、０．２～１．０μｍ程度が適当であり、金属薄膜を蒸着法やスパッタ法で形成した後、所定の形状にパターニングして形成する。

【００３１】外部電気回路からの投入電力を分散配置した第１の電極１５に供給するために、第１の電極１５を連結するように第１の電極１５を含む半導体層１３の全面を電流拡散層１４で覆う。電流拡散層１４としては、酸化インジウム錫や酸化亜鉛などの酸化物導電膜、あるいは金属薄膜などの導電性薄膜を用いることができるが、酸化物導電膜の場合、電流拡散層の上にさらに配線を接続するための金属電極を形成する必要がある。この点から、構造や形成方法が簡単な金属薄膜からなる電流拡散層を用いるのが、最も望ましい。電流拡散層１４の形成領域は、第１の電極１５を覆えば電極間の接続機能を果たすので部分的でも良いが、後述する光の反射効果を利用できる点で高輝度化に有利であるため、半導体層１３の全面に形成する方が望ましい。

【００３２】上記構成の半導体発光素子１０において、半導体層１３の表面の一部にオーミック接触をなす第１の電極（分配電極）１５を設けると、電流拡散層１４と半導体層１３との間の電気抵抗に比べて、第１の電極１５と半導体層１３との間の電気抵抗が大幅に小さいため、電流拡散層１４から供給される駆動電流は、その大部分がより電気抵抗の低い、電流拡散層１４→第１の電極１５→半導体層１３（→発光部１２）→第２の電極１６の経路を流れる。そのため、発光部１２での発光を第１の電極１５の直下周辺で行わせることができる。第１の電極１５が半導体層１３の表面全域に分布しているので、半導体層１３の表面全域から発光して高い輝度が達成される。

【００３３】さらに、電流拡散層として使用する金属薄膜は、光の反射膜としての機能も併せ持つ。第１の電極１５以外の領域は、金属薄膜からなる電流拡散層１４により、発光部１２からの光を反射して透明半導体層１３５の方向へはね返し、やはり透明半導体層１３５を介して表面から光を放出すため、発光効率を大幅に改善することができる。また、この電流拡散層１４と第１の電極１５を用いると、半導体層１３の光取り出し面での光を均一化させることができる。

【００３４】このような電流拡散層１４として使用する金属としては、金（Ａｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、ニッケル（Ｎｉ）、亜鉛（Ｚｎ）、クロム（Ｃｒ）、白金（Ｐｔ）、もしくはチタン（Ｔｉ）、タンタル（Ｔａ）あるいはこれら金属の合金等の光を良く反射して、しかも電気伝導率の良い金属が利用できる。金属の中でも、腐食し難い金や金合金、および半導体との密着性が良い金属、すなわち、高融点金属が望ましく、例えばクロム、白金又はチタンが特に好ましい。これらの金属の長所を生かし多層膜にすると更に安定した電流拡散層を形成することができる。また、発光素子を半田等により接続する場合、半田等の合金を電流拡散層として利用することもできる。

【００３５】電流拡散層１４の厚さは、０．５μｍ～３μｍ程度が適当である。電気抵抗が低くかつ光を十分に反射するからである。電流拡散層１４の厚さが０．５μ

ｍより薄いと電気抵抗が高く、電流の拡がりが不十分となる。一方、電流拡散層１４の厚さをあまり厚くしても成膜に時間がかかる割には効果は上がらない。

【００３６】次に、第２の電極１６について説明する。第２の電極１６は、前記第２の導電型の透明半導体層１３５の表面、あるいは半導体層１３の透明半導体層１３５と接する第２の導電型の層の表面に形成する。第２の電極１６もこれら第２の導電型の半導体層とオーミック接合を形成させる。例えば、半導体層がダブルヘテロ構造の発光部構造をとる場合には、第２の導電型を有するクラッド層の一部に第２の電極１６を形成しても良い。第２の電極１６として使用する材料には、第２の電極１６を形成する半導体層がｐ型層の場合はＡｕＺｎ合金やＡｕＢｅ合金等を、ｎ型層の場合はＡｕＧｅＮｉ合金、又はＡｕＳｉ合金等の公知の技術を適用することができる。第２の電極１６は、外部から電力を供給する一方の電極となるので、透明半導体層１３５の一部に、接触抵抗が約５０Ω以下となる面積を確保すれば良い。例えば、図１に示すように素子のコーナー部分に扇形に設けて、発光部領域の面積をなるべく広く確保するように構成する。

【００３７】第２の電極１６の厚さは、通常は０．２～１．０μｍあれば電気的な接点は形成できるが、本発明では支持基板の同一面に第１の電極１５と第２の電極１６の双方を形成するため、やや厚く形成する。半導体発光素子を他の電子部品に実装する場合を考慮すれば、第１の電極１５と第２の電極１６の表面を同一のレベルに近付けておく必要があるので、第２の電極１６の厚さは２～６μｍ程度とする。そのため金属膜を蒸着法等を利用してやや厚めに形成し、所定の形状にパターニングして第２の電極を形成する。

【００３８】第１の電極１５は、半導体層１３の一表面に形成され、半導体層１３の厚さはせいぜい２～５μｍである。従って、図２の例についていえば、第１の電極１５の表面の高さ（ｈ１）は透明半導体層１３５の表面から高々６μｍの位置にあることになる。従って、第２の電極１６の表面の高さ（ｈ２）も、透明半導体層１３５の表面から６μｍ程度の位置にしておけば、両電極の表面はほぼ同一レベルになり、実装する際には極めて都合がよい。第１の電極１５と第２の電極１６のレベル差（ｄ）が大きくなると、実装する際に接続不良の原因となる。

【００３９】第１の電極１５の表面と第２の電極１６の表面のレベル差（ｄ）と製品不良率の関係を図４に示す。図４から両電極のレベル差（ｄ）が４μｍ以下では、第１と第２の電極の高さの段差による断線や、接触不良などの組み立ての際の不良率が著しく低下する。第１の電極１５の表面と第２の電極１６の表面のレベル差（ｄ）を小さくするには、半導体層１３の厚さを薄く構成するか、あるいは第２の電極１６の厚さを厚くする手段を用いることができる。半導体層１３の厚さを薄くするには、半導体層１３を形成する時に各層の厚さを薄く制御する必要があるが、厚さ制御の点では液相エピタキシャル成長法は、４μｍ以下の薄膜の膜厚を制御するのが困難である。これに対して気相エピタキシャル成長法（ＶＰＥ）は、４μｍ以下の薄膜の膜厚でも制御は可能であるが、成長できる材質が限定され、高輝度発光部の形成ができない。膜厚制御の点およびＤＨ構造のＡｌＩｎＧａＰの様な発光効率の高い発光部の形成法としては、ＭＯＣＶＤ法が最適である。

【００４０】一方、第２の電極１６の厚さを厚く形成するには、真空蒸着法を利用するのが適する。真空蒸着法によればμｍオーダーの成膜も比較的容易に行うことができる。勿論、上記第１の電極１５の表面と第２の電極１６の表面の位置の双方を調整する手段を併用しても良い。これらの手段を駆使して、第１の電極１５の表面と第２の電極１６の表面のレベル差（ｄ）を４μｍ以下にしておけば、実装工程での製品不良率を低く抑えることができる。

【００４１】このようにして完成させた半導体発光素子は、発光波長に対して透明な厚い半導体層の片面に、発光部と一つの電極を備え、該発光部の表面には他方の電極を備えているので、実装作業の際には所定の位置に発光素子を置くだけでワイヤーボンディングを用いずに接続配線が可能となる。また、発光部に設けられた電極は、発光層とオーミック接合をなす電極と、これらのオーミック電極を連結する電流拡散層から構成されているので、投入電力が発光部全域に拡がり、発光領域面積を広く確保できるので、高い輝度が得られる。さらに、電流拡散層は、光の反射機能も兼ね備えているので、電流拡散層側に放射された光も反射されて透明半導体層側に戻り、発光部で励起された光の大部分が透明半導体層側から外部に放射されるので、なお一層高い輝度の半導体発光素子が得られる。

【００４２】次に、発光ダイオードランプの構造について説明する。図５は、本発明の発光ダイオードランプの平面構造を示し、図６は図５の線Ｂ－Ｂ'に沿った断面構造を示す図である。本発明の発光ダイオードランプ４０は、本発明になるフリップチップ型半導体発光素子１０を使用して、以下のようにして製造する。まず、合成樹脂板等の表裏面の所定の位置に、例えば導電ペーストや銅箔を使用して第１の電極端子４３と第２の電極端子４４を形成した基材４５を準備しておく。第１の電極端子４３と第２の電極端子４４は互いに電気的に隔離されており、合成樹脂板等の表面から裏面にかけて形成してある。第１の電極端子４３は図５に示すように、正方形の半導体発光素子１０の対角線に相当する幅に形成されている。また、第２の電極端子４４は、半導体発光素子１０の扇形の第２の電極１６の幅に形成してある。

【００４３】この基材４５上に形成された第１の電極端

子４３及び第２の電極端子４４の上に、フリップチップ型の組み立ての際に通常使用されている、金あるいは半田等からなるバンプ４６を形成する。そして前記の本発明になる半導体発光素子１０の１個を、上記基材４５に重ね合わせ、半導体発光素子１０の電流拡散層１４と第２電極１６を上記バンプ４６に接触させて圧着し接続する。最後に、透明なエポキシ樹脂やシリコン樹脂等の封止材４１で半導体発光素子１０の周囲を封止し、図６に示す発光ダイオードランプ４０を得る。

【００４４】上記のように発光ダイオードランプ４０を構成すれば、他の電子機器に発光ダイオードランプ４０を実装して表示装置を製造する場合、基材４５の裏側に形成されている第１の電極端子４３及び第２の電極端子４４を、他の電子機器の端子４７に重ね合わせるだけで、平面実装作業が行なえるので実装作業効率を高めることが可能となり、安価で故障の少ない表示装置を製造することができる。

【００４５】

【実施例】（実施例）本実施例では、本発明に係わるフリップチップ型半導体発光素子及びそれを使用した発光ダイオードランプを作製した。本実施例で作製した半導体発光素子（ＬＥＤ）は、アンドープの（$Al_{0.2}Ga_{0.8}$）$_{0.5}In_{0.5}P$からなる発光層を有し、波長が約６２０ｎｍの赤色を発光するＬＥＤである。

【００４６】先ず、図７に基づいて半導体エピタキシャルウエーハ２０の積層構造を説明する。図７は、本発明の半導体発光素子に用いた半導体エピタキシャルウエーハ２０の積層構造を示す詳細断面図である。Ｓｉをドープしたｎ型の（００１）面を有するＧａＡｓ単結晶からなる半導体基板１１上に、Ｓｉをドープしたｎ型のＧａＡｓからなる緩衝層１３０、Ｓｉをドープしたｎ型のＡｌＧａＡｓからなるコンタクト層１３１、Ｓｉをドープしたｎ形の（$Al_{0.7}Ga_{0.3}$）$_{0.5}In_{0.5}P$からなる下部クラッド層１３２、アンドープの（$Al_{0.2}Ga_{0.8}$）$_{0.5}In_{0.5}P$からなる発光層１３３、Ｚｎをドープしたｐ型の（$Al_{0.7}Ga_{0.3}$）$_{0.5}In_{0.5}P$からなる上部クラッド層１３４、及びＺｎをドープしたｐ型ＧａＰからなる透明半導体層１３５が順次積層されて、エピタキシャルウエーハ２０が構成されている。また、このエピタキシャルウエーハの発光部１２は、下部クラッド層１３２、発光層１３３、上部クラッド層１３４からなるダブルヘテロ接合構造で構成されている。したがって、発光部１２の半導体結晶はＡｌＧａＩｎＰ４元混晶から構成されている。

【００４７】（エピタキシャルウエーハの製造工程）このエピタキシャルウエーハの製造方法を説明すると、本実施例では先ず、トリメチルアルミニウム（$(CH_3)_3Al$）、トリメチルガリウム（$(CH_3)_3Ga$）およびトリメチルインジウム（$(CH_3)_3In$）をIII族構成元素の原料として用い、Ｖ族構成元素の原料にはフォスフィン（PH_3）またはアルシン（AsH_3）を用いて、減圧の有機金属化学気相堆積法（ＭＯＣＶＤ法）により、上記の半導体層１３０～１３４の各層をＧａＡｓからなる半導体基板１１上に積層し、次に、その上に気相エピタキシャル成長法（ＶＰＥ法）によりＧａＰからなる透明半導体層１３５を厚く成長させて、エピタキシャルウェーハ２０を形成した。Ｚｎのドーピング原料にはジエチル亜鉛（$(C_2H_5)_2Zn$）を使用した。Ｓｉのドーピング原料にはジシラン（Si_2H_6）を使用した。エピタキシャルウエーハ２０を構成する各層のＭＯＣＶＤ法、ＶＰＥ法における積層温度は７００℃に統一した。

【００４８】ＧａＡｓからなる緩衝層１３０のキャリア濃度は約$5\times10^{18}cm^{-3}$、また層厚は約０．２μｍとした。コンタクト層１３１は、Ａｌ混晶比が０．４のＡｌＧａＡｓ薄膜を積層し、キャリア濃度は約$3\times10^{18}cm^{-3}$、層厚は約０．８μｍとした。ＡｌＩｎＧａＰからなる下部クラッド層１３２のキャリア濃度は約$1\times10^{18}cm^{-3}$、また層厚は約１μｍとした。ＡｌＩｎＧａＰからなる発光層１３３の層厚は約０．５μｍとし、キャリア濃度は約$5\times10^{16}cm^{-3}$とした。さらにＡｌＩｎＧａＰからなる上部クラッド層１３４のキャリア濃度は約$2\times10^{17}cm^{-3}$とし、層厚は１．５μｍとした。この結果エピタキシャル成長させた半導体層１３の全厚は約４μｍとなった。ＧａＡｓからなる半導体基板１１に代わる支持体となるＧａＰ透明半導体層１３５は、層厚を７０μｍと厚くし、そのキャリア濃度は約$8\times10^{17}cm^{-3}$とした。

【００４９】（基板除去工程）次に、発光波長に対して不透明なＧａＡｓからなる半導体基板１１及びＧａＡｓからなる緩衝層１３０を、化学的エッチングにより全面的に除去した。さらに、残りの半導体層１３中のコンタクト層１３１の一部も、図７の鎖線Ｘ－Ｘ’に示すように選択的にエッチングして除去した。

【００５０】（電極形成工程）次に、露出したコンタクト層１３１の表面にｎ形オーミック電極である第１の電極１５を形成するため、Ａｕ・Ｇｅ合金からなる薄膜を厚さが０．３μｍとなるように真空蒸着法により形成した。一般的なフォトリソグラフィー手段を利用してパターニングを施し、直径が３０μｍの円形の第１の電極１５を図１に示すように４個分散して形成した。発光面の面積に対する第１の電極の合計面積は約３．６％とした。第１の電極１５の表面およびコンタクト層１３１の表面に、真空蒸着によりＣｒを０．１μｍと金を約１μｍの厚さに成膜して電流拡散層１４を形成した。次いで、電流拡散層１４と図７の鎖線Ｙ－Ｙ’で示す領域の半導体層１３を除去するパターニングを施し、第２の電極が形成できるように、透明半導体層１３５のコーナー部分に１辺１３０μｍの扇型の領域を露出させた。

【００５１】次に、第２の電極１６を形成するために、

先ず膜厚を０．５μｍとする金・亜鉛合金膜と膜厚を２μｍとする金薄膜を、透明半導体層１３５と前記パターニングのレジスト表面を含む全面に、一般的な真空蒸着法により被着させた。続けて、公知のリフトオフ法により、レジストを除去し、図１に示すように半径１２５μｍの扇型の第２の電極１６を形成した。次に、上記の第１、第２の電極を形成した後、アルゴン（Ａｒ）気流中において４２０℃で１５分間の合金化熱処理を施し、第１、第２の電極と各半導体層との間のオーミック接触を形成した。

【００５２】（ＬＥＤの作製工程）上記のようにして、第１の電極１５および第２の電極１６、金属多層膜からなる電流拡散層１４を形成したエピタキシャルウェーハを通常のスクライブ法により素子の形状に裁断して個別に細分化して半導体発光素子とした。このようにして得たフリップチップ型半導体発光素子は、図１に示すように平面的に見て一辺を３００μｍとする正方形で、厚さは７４μｍであった。

【００５３】（発光ダイオードランプ組立工程）更に、この半導体発光素子１０を用いて図５及び図６に示す発光ダイオードランプを組み立てた。先ず、合成樹脂板の表裏面の所定の位置に、導電ペーストを使用して第１の電極端子４３と第２の電極端子４４を形成した基材４５を準備した。第１の電極端子４３と第２の電極端子４４は互いに電気的に隔離されており、合成樹脂板の表面から裏面にかけて形成されている。第１の電極端子４３は図５に示すように、正方形の半導体発光素子１０の対角線に相当する幅に形成した。また、第２の電極端子４４は、半導体発光素子１０の扇形の第２の電極１６の幅に形成した。この基材４５上に形成された第１の電極端子４３及び第２の電極端子４４上に金からなるバンプ４６を形成した。上記半導体発光素子１０の１個を上記基材４５に重ね合わせ、半導体発光素子１０の電流拡散層１４と第２電の極１６を前記バンプ４６に接触させて圧着し接続した。最後に、透明なエポキシ樹脂からなる封止材４１で半導体発光素子１０の周囲を封止し、図５及び図６に示す発光ダイオードランプ４０を完成させた。

【００５４】上記のようにして作製した発光ダイオードランプ４０の第１電極端子４３と第２の電極端子４４に順方向に電流を通電したところ、発光層から波長を約６２０ｎｍとする赤色の光が放射された。発光の一部は金属膜からなる電流拡散層１４で反射され、透明半導体層１３５の表面および側面を介して外部に放出された。第１の電極の良好なオーミック特性を反映して、順方向に２０ｍＡの電流を通流した際の順方向電圧（V_f：２０ｍＡ当り）は、約２．０Ｖとなった。この時の発光強度は、発光部の発光効率が高く、外部への取りだし効率も工夫されている事を反映して、１５０ｍｃｄの超高輝度が達成された。

【００５５】（比較例１）本比較例１に係わるフリップチップ型半導体発光素子では、上記の実施例と比較して、第１の電極を１個だけ大きく形成して、金属の電流拡散層を用いない点が構造上の異なる点である。従って、図７に示すエピタキシャルウェーハを用いた点は、実施例と同様である。本比較例１の半導体発光素子の大きさは、一辺が３００μｍの正方形で、厚さが７４μｍの半導体発光素子とした。本比較例１で作製した半導体発光素子の構造を図８、９に示す。図８は本比較例１で作製した半導体発光素子の平面図、図９は図８の線Ｃ－Ｃ’に沿った断面図である。図８及び図９で符号２２、２５、２６、２３５で示した部分は、図１及び図２の符号１２、１５、１６、１３５で示した部分と対応する。

【００５６】本比較例１では、コンタクト層１３１の上に形成する第１の電極２５の形状を、前記の実施例と異なるものとした。すなわち、本比較例１では、金バンプと接続するための必要な面積を得るため、第１の電極２５を直径１３０μｍの円形とし、１個のみ形成した。第１の電極２５としては、Ａｕ・Ｇｅ合金からなるｎ形オーミック電極を厚さが０．３μｍになるように形成し、更にその上に金薄膜を１μｍの厚さに真空蒸着法により形成した。一般的なフォトリソグラフィー手段を利用してパターニングを施し、図８に示すような直径を１３０μｍとする円形の第１の電極２５を形成した。発光面の面積に対する第１の電極の面積割合は約３３％である。

【００５７】その後、実施例と同様にして発光ダイオードランプを製作し、発光ダイオードランプの第１電極端子と第２電極端子の間に順方向に電流を通電したところ、透明半導体層２３５の表面および側面を介して、波長を約６２０ｎｍとする赤色の光が放射された。順方向に２０ミリアンペア（ｍＡ）の電流を流した際の順方向電圧（V_f：２０ｍＡ当り）は、約２．１ボルト（Ｖ）で、実施例と同等であった。この時の発光強度は、９０ｍｃｄであった。本発明の実施例に対し約６０％の発光強度であった。これは、電流拡散層が無いため、発光部へ流れる電流が不均一で、発光部全体としての発光効率が低下し、また電流拡散層からの光の反射が無いため光が抜けてしまい、しかも第１の電極２５の電極面積が大きく電極と半導体層との界面の光吸収が増大したため、外部への取りだし効率も低下したことによる。

【００５８】（比較例２）本比較例２では、図１０に示す構造の半導体層を形成したエピタキシャルウェーハを用いて、発光面積が実施例と同じ大きさの半導体発光素子を作製した。実施例との相違点は、透明半導体層３３５をｐ型の高抵抗ＧａＰ層にした点である。透明半導体層３３５のキャリア濃度は約$8\times10^{15}cm^{-3}$とし、層厚は７０μｍとした。半導体層３３の全厚は約４μｍである。

【００５９】本比較例２で作製した半導体発光素子の作製方法は実施例とは異なり、半導体層３３を図１０の線Ｙ－Ｙ’に沿った上部クラッド層３３４までエッチング

除去し、露出した上部クラッド層３３４の表面に第２の電極を形成した。その他の構造は、実施例と同じ図１、２に示す構造とした。従って、図１０で符号３１、３２、３３、３３０、３３１、３３２、３３３、３３４で示した部分は、図７の符号１１、１２、１３、１３０、１３１、１３２、１３３、１３４で示した部分と対応する。本比較例２では、透明半導体層３３５は導電性の低い高抵抗のｐ型ＧａＰとし、実施例と異なるものとした。その後実施例と同様にして、前記の第１の電極、電流拡散層および第２の電極を形成したエピタキシャルウェーハを、通常のスクライブ法により素子の形状に裁断して個別に細分化し、実施例と同様にしてＬＥＤを組み立てた。

【００６０】実施例と同様に、第１と第２の電極端子との間に順方向電流を流したところ、２０ｍＡ通電時の順方向電圧が、３．５Ｖであった。実施例と比べ、順方向電圧が高い。これは、透明半導体層３３５の抵抗が高く、電流のほとんどが層厚の薄い上部クラッド層３３４を流れるため、抵抗が高くなったためである。また、本比較例２のＬＥＤの発光強度は１０５ｍｃｄで、素子内の発光状態が不均一であった。これは、半導体層内での抵抗が高く発光部での電流の流れが不均一だけでなく、消費電力が大きく発熱し発光部の効率を低下させたためである。

【００６１】

【発明の効果】以上説明したように、この発明のフリップチップ型半導体発光素子では、ワイヤーボンディングを用いないため発光素子の組み立てが容易で、ワイヤーの断線がなくなり信頼性が向上する。更に、半導体層の発光部裏面の一部にオーミック電極と電流拡散層を設ける事で、発光部へ均一に電流を供給でき、発光部の全体としての効率が高まり発光強度が増大する。

【００６２】また、電流拡散層は、発光部の光を反射し光の外部取り出し効率を高め、また発光素子組み立て時の接続可能な面積が大きくなり組み立てが容易になり、生産性向上効果もある。又発光素子表面側の透明半導体層は、発光に対し透明で、導電性を付与する事により、発光強度の向上、順方向電圧の低減による消費電力を低下させる効果を奏する。半導体素子の厚さは、生産性や製品歩留まりに大きく影響を与え、適切な範囲を選定すれば低コストの素子をもたらす事ができる。

【００６３】なお、本実施例ではｎ型の半導体基板を用いてＬＥＤを作製したが、ｐ型の半導体基板を用いて作製したＬＥＤでも本発明の効果が得られる。また、実施例のＬＥＤの発光部の半導体材料にはＡｌＧａＩｎＰ４元混晶を用いたが、発光部の半導体結晶の材質や組成、積層構造あるいはＭｇ、Ｔｅ、Ｓ、Ｓｅ等のドーパントに公知の技術を利用しても本発明の効果が得られる。

【００６４】特に、ＭＯＣＶＤ法で半導体層が積層されるような半導体層の厚さが薄い、例えば発光部がＡｌＩＮＧａＰ系あるいはＡｌＧａＩｎＮ系、ＡｌＧａＡｓ系の半導体等からなる半導体発光素子においては、本発明の効果が特に大きい。導電性の透明半導体層としてＧａＰを使用したが、ＡｌＧａＡｓでも高輝度化が可能であるが、Ａｌを多く含む場合は、耐湿性に劣るため、用途が限定される。また、実施例では、一般的なフリップチップ型の発光ダイオードランプを示したが、形状の異なるいわゆる砲弾型や発光波長の異なる複数個の発光素子を組み込んだ発光ダイオードランプでも同様の効果が得られる。また、これらの発光ダイオードランプを用いて安価で故障の少ない表示装置を製造することができる。

【００６５】また、半導体発光素子の高輝度化には、表面の粗面化処理により、外部への光の取り出し効率を向上させる技術や、発光部に使用された半導体よりも屈折率の小さい窓層を形成し、外部への光の取り出し効率を向上させる等の、従来の発光素子で利用されている技術を付加すれば、更に発光特性が向上する。

【図面の簡単な説明】

【図１】　本発明の半導体発光素子の平面図である。

【図２】　図１の線Ａ－Ａ’に沿った断面を示す図である。

【図３】　半導体発光素子の厚さと不良率の関係を示す図である。

【図４】　第１の電極と第２の電極とのレベル差と不良率の関係を示す図である。

【図５】　本発明の発光ダイオードランプの平面図である。

【図６】　図５の線Ｂ－Ｂ’に沿った断面を示す図である。

【図７】　本発明の半導体発光素子に使用するエピタキシャルウェーハの断面を示す図である。

【図８】　比較例１に係わる半導体発光素子の平面図である。

【図９】　図８の線Ｃ－Ｃ’に沿った断面を示す図である。

【図１０】　比較例２に係わるエピタキシャルウェーハの断面を示す図である。

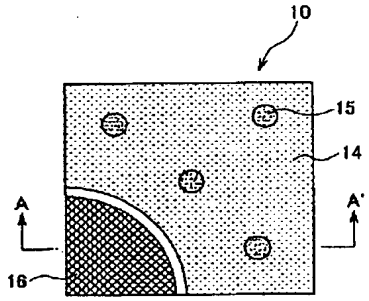
【符号の説明】

１０……半導体発光素子
１１，３１……半導体基板
１２，２２……発光部
１３，３３……半導体層
１４……電流拡散層
１５，２５……第１の電極
１６，２６……第２の電極
４０……発光ダイオードランプ
４１……封止材
４３……第１の電極端子
４４……第２の電極端子
４５……基材

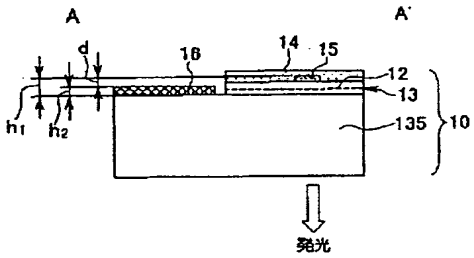
４６……バンプ
１３０，３３０…緩衝層
１３１，３３１…コンタクト層
１３２，３３２…下部クラッド層

＊１３３，３３３…発光層
１３４，３３４…上部クラッド層
１３５，２３５、３３５…透明半導体層
＊

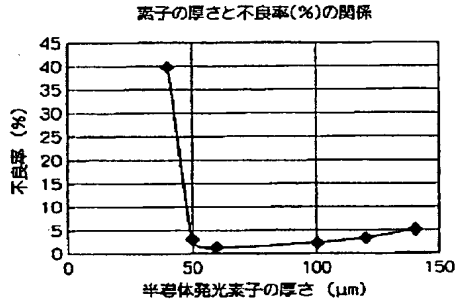
【図１】



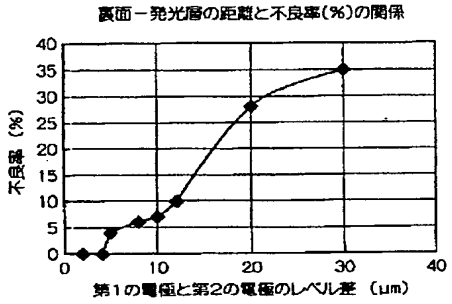
【図２】



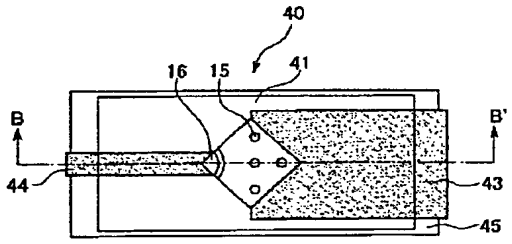
【図３】



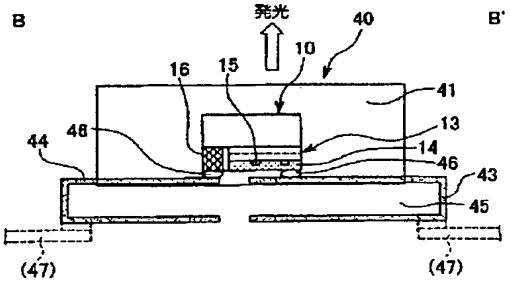
【図４】



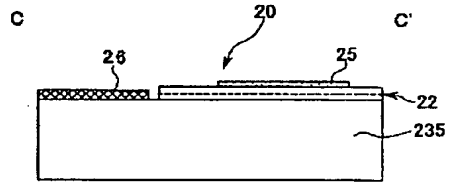
【図５】



【図６】

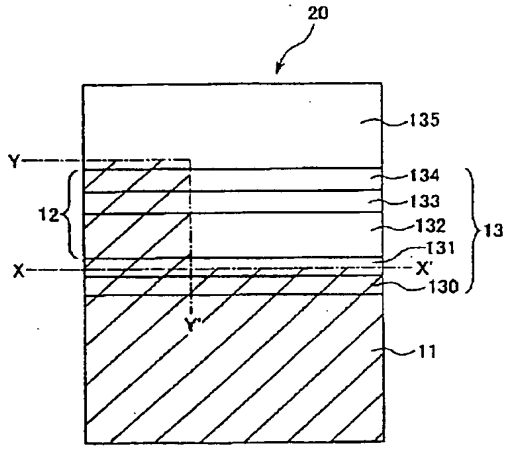


【図９】

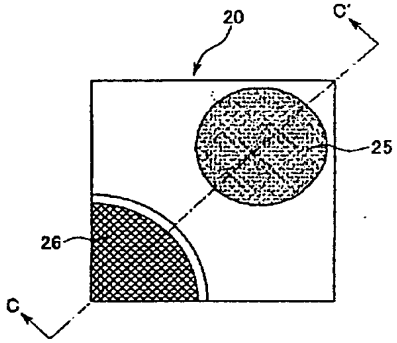


IKEA Supply AG
Exhibit 1002 Page 266 of 361

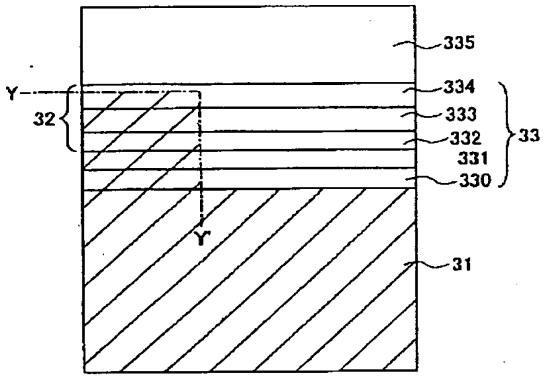
【図７】



【図８】



【図１０】



フロントページの続き

Ｆターム(参考) 5F041 CA13 CA34 CA37 CA82 CA92
CA93 CB15 DA04 DA09 DA19
DA35 DA43

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-136177
(43)Date of publication of application : 26.05.2005

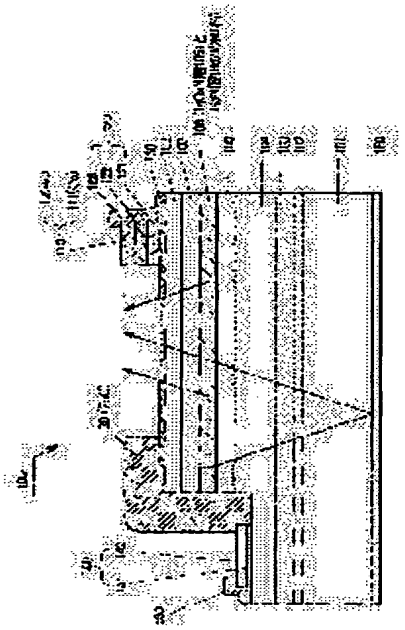
(51)Int.Cl. H01L 33/00
H01L 21/28

(21)Application number : 2003-370501
(22)Date of filing : 30.10.2003

(71)Applicant : TOYODA GOSEI CO LTD
(72)Inventor : TAKI TETSUYA

(54) GROUP III-V NITRIDE SEMICONDUCTOR ELEMENT

(57)Abstract:
PROBLEM TO BE SOLVED: To enhance an electrostatic withstand voltage of a group III-V nitride semiconductor element.
SOLUTION: An n-electrode 140 is formed on a part with a part of an n-type contact layer 104 exposed, and a p-electrode 110 is formed on a p-type contact layer 108. The n-electrode 140 and the p-electrode 110 are connected, and a protective film 130 comprising a ZnO film is formed on the side walls of the layer 104, a light emitting layer 106, a p-type layer 107, and the layer 108 by the sputtering method. The film 130 is connected to an end of the translucent thin film p-electrode 110 and an end of the n-electrode 140, and formed to a thickness of 5 to 10 μm. Applying an overvoltage between the n-electrode 140 and the p-electrode 110 bypasses a current through the protective film according to a non-linear resistance characteristic of the protective film not to increase a voltage across both the electrodes.



LEGAL STATUS

[Date of request for examination] 27.12.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-136177
(P2005-136177A)
(43)公開日　平成17年5月26日(2005.5.26)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 33/00	H01L 33/00	E	4M104
H01L 21/28	H01L 33/00	C	5F041
	H01L 21/28	301B	

審査請求 未請求　請求項の数 9　OL　（全 15 頁）

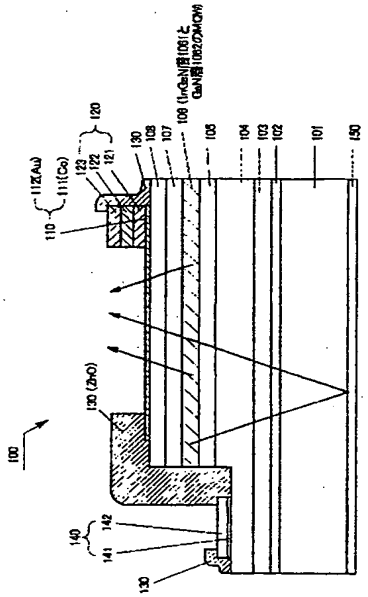
(21)出願番号　特願2003-370501 (P2003-370501)
(22)出願日　平成15年10月30日 (2003.10.30)

(71)出願人　000241463
豊田合成株式会社
愛知県西春日井郡春日町大字落合字長畑1番地
(74)代理人　100087723
弁理士　藤谷　修
(72)発明者　瀧　哲也
愛知県西春日井郡春日町大字落合字長畑1番地　豊田合成株式会社内

Fターム(参考)　4M104 AA04 BB04 BB06 BB13 CC01 DD34 FF13 GG04 GG05
5F041 AA21 AA43 AA44 CA40 CA82 CA88 CA92 CA93 CB15 DA07 DA09

(54)【発明の名称】III－V族窒化物半導体素子

(57)【要約】
【課題】III－V族窒化物化合物半導体素子の静電耐圧を向上させる。
【解決手段】n型コンタクト層104の一部露出された部分の上にn電極140が形成されており、p型コンタクト層108の上にp電極110が形成されている。n電極140とp電極110とを接続し、n型コンタクト層104、発光層106、p型層107、p型コンタクト層108の側壁上に、ZnO膜より成る保護膜130がスパッタリングにより形成されている。保護膜130は、透光性薄膜p電極110の端部とn電極140の端部で接続されており、厚さ5～10μmに形成されている。過電圧がn電極140とp電極110との間に印加されると、保護膜の非線形抵抗特性により保護膜を電流がバイパスし、両電極間の電圧は上昇しない。
【選択図】　図1



【特許請求の範囲】
【請求項１】
III －Ｖ族窒化物半導体を各層の材料として用い、少なくとも、第１電極と、その第１電極が接続される第１導電型の第１層と、第２電極と、その第２電極が接続される第２導電型の第２層とを有する半導体素子において、
前記第１電極と前記第２電極との間に非線形抵抗特性を有する保護膜を設けたことを特徴とするIII －Ｖ族窒化物半導体素子。
【請求項２】
前記保護膜は、酸化亜鉛又は酸化亜鉛を含む材料から構成されていることを特徴とする請求項１に記載のIII －Ｖ族窒化物半導体素子。
【請求項３】
前記第１電極は第１層の露出領域に形成され、前記保護膜は、前記第２層の上に形成された前記第２電極と前記第１電極とを接続するように各層の側壁に沿って形成されていることを特徴とする請求項１又は請求項２に記載のIII －Ｖ族窒化物半導体素子。
【請求項４】
前記第１電極は第１層の露出領域に形成され、前記保護膜は少なくとも前記第１電極上に形成され、前記第２電極は前記第２層の上に形成されると共に、前記保護膜を介して前記第１電極と対向する位置まで延長して形成されていることを特徴とする請求項１又は請求項２に記載のIII －Ｖ族窒化物半導体素子。
【請求項５】
前記第２電極は前記第２層の平面上に形成され、前記保護膜は少なくとも前記第２電極の一部に形成され、前記第１電極は前記第１層の上に形成されると共に、前記保護膜を介して前記第２電極と対向する位置まで延長して形成されていることを特徴とする請求項１又は請求項２に記載のIII －Ｖ族窒化物半導体素子。
【請求項６】
前記保護膜は、前記各層の側壁にも形成されており、前記第２電極は前記第１電極と対向する位置までその保護膜上に延長して形成されていることを特徴とする請求項４に記載のIII －Ｖ族窒化物半導体素子。
【請求項７】
前記保護膜は、前記各層の側壁にも形成されており、前記第１電極は前記第２電極と対向する位置までその保護膜上に延長して形成されていることを特徴とする請求項５に記載のIII －Ｖ族窒化物半導体素子。
【請求項８】
前記１層の前記露出部は、前記第１層の平面上の一部上の各層が除去されて形成される部分であることを特徴とする請求項３乃至請求項７の何れか１項に記載のIII －Ｖ族窒化物半導体素子。
【請求項９】
前記第１電極と前記第２電極とは、前記半導体素子の異なる面上に前記各層を挟むように対向して形成されていることを特徴とする請求項１乃至請求項７の何れか１項に記載のIII －Ｖ族窒化物半導体素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はIII－Ｖ族窒化物半導体素子に関する。特に、本発明は静電耐圧の高いIII－Ｖ族窒化物半導体素子の構造を提供するものである。
【背景技術】
【０００２】
近年、III－Ｖ族窒化物半導体はバンドギャップが広いこと、結晶が安定していること、ヒ素などの環境汚染物質を用いていないことなどから、このIII－Ｖ族窒化物半導体を用いた発光素子、受光素子、太陽電池、トランジスタなどの電子デバイスが盛んに研究さ

れている。しかしながら、III－Ｖ族窒化物半導体は他の化合物半導体に比べて結晶成長が極めて困難であり、良質な結晶が得られ難いことから、その半導体を用いた半導体素子の静電耐圧は未だに低いものである。すなわち、高電圧が半導体素子に印加されると、素子が破壊されたり、発光特性などの諸特性が劣化するという問題があった。このために、半導体素子の製造過程やこの素子を用いた製品の組み立て時などにおいて、注意を要した。

【０００３】

緑、青乃至紫外領域の発光素子として、III－Ｖ族窒化物半導体発光素子が汎用されつつあるが、発光強度以外の諸特性は、尚改善の余地がある。特に静電耐圧については、ガリウム・ヒ素系の発光素子やインジウム・リン系の発光素子に比較して格段に低く、大幅な静電耐圧の向上が期待されている。ここにおいて、III－Ｖ族窒化物半導体発光素子の静電耐圧の向上のため、下記のような提案がなされている。

【０００４】

【特許文献１】特開平１０－１３５５１９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

上記公開公報による技術は、等価回路上、発光素子を構成するｐｎ接合に並列にコンデンサを挿入するものである。この技術では、サージ電圧の高周波成分をこのコンデンサで短絡することで、サージの立ち上がりを鈍化させることにより、急峻な電流の増加を防止することで、金属のマイグレーションや欠陥の増殖を防止しようとするものである。静電耐圧の効果を向上させるためには、コンデンサで短絡する静電電圧の周波数をなるべく小さくする必要があることから、コンデンサの容量を大きくする必要がある。しかしながら、１チップ上に形成できるコンデンサの大きさは自ずと制限があり、低い周波数まで短絡することはできず、静電耐圧の防止の効果がそれほど得られていない。

【０００６】

そこで本発明は、III－Ｖ族窒化物半導体素子の静電耐圧を、さらに、向上させることを目的とする。

【課題を解決するための手段】

【０００７】

上記の課題を解決するための請求項１に記載の発明は、III －Ｖ族窒化物半導体を各層の材料として用い、少なくとも、第１電極と、その第１電極が接続される第１導電型の第１層と、第２電極と、その第２電極が接続される第２導電型の第２層とを有する半導体素子において、第１電極と第２電極との間に非線形抵抗特性を有する保護膜を設けたことを特徴とするIII －Ｖ族窒化物半導体素子である。

【０００８】

ここで、第１導電型をｎ導電型とすれば、第２導電型はｐ導電型となる。もちろん、第１導電型をｐ導電型とすれば、第２導電型はｎ導電型となる。本件発明の半導体素子は、少なくとも、この２種類の導電型の層を有して、それぞれの層に接続される電極を有したものに適用される。よって、第１層と第２層とが直接接合されていることを必要としない。第１層と第２層とが直接接合されていても良いし、その層の間に第１導電型又は第２導電型の層や、ドーパントを意図的の添加していない層（真性半導体や拡散により程度の低い第１導電型や第２導電型を示す半導体から成る層）や、それらの層の複数の層が介在していても良い。ダブルヘテロ構造をとる発光素子や受光素子の場合には、一般的には、第１層と第２層との間に電気エネルギーを光エネルギーに変換する発光層や光エネルギーを電気エネルギーに変換する受光層が存在し、発光層や受光層は、一般的には、ＳＱＷ，ＭＱＷ構造をとる。さらに、ガイド層やクラッド層など、多数の機能層が存在する場合が一般的である。第１層や第２層は、一般的には、第１電極、第２電極に対してオーミック性を良好とするためのコンタクト層と考えられるので、第１層と発光層や受光層の間又は／及び第２層と発光層や受光層の間には、他のコンタクト層、歪み緩和層、クラッド層、ガ

イド層など、必要に応じて複数の機能層が形成されていても良い。また、それらの各機能層は複数層の積層又は多重量子井戸構造を形成するものであっても良い。半導体素子がどのようなものであるかによって、各層の構成は異なるが、要は、正、負の電極と、これらの電極が接続される少なくとも２つの層を有した半導体素子であれば、本件発明は適用可能となる。

【０００９】

第１電極と第２電極との間に駆動電圧が印加されて、本半導体素子は発光し、受光して抵抗が変化し、受光して電圧が誘起され、トランジタスなどのように増幅作用をするが、静電気やスイッチング時のサージ電圧などもこれらの２つの電極間に印加されることになる。本件発明では、この電極間に非線形抵抗特性を有する保護膜が形成されている。この保護膜により、２つの電極間に印加される静電気やサージなどのエネルギーが吸収される。保護膜は単層であっても、材料の異なる複数の層であっても良い。さらに、非線形抵抗特性を有する保護膜と、この特性を有しない二酸化珪素、酸化チタン、窒化珪素、アルミナなどの絶縁膜との複層であっても良いし、非線形抵抗特性を有する材料と絶縁性材料とが混在した混合物又は組成物であっても良い。絶縁膜は保護膜の下側に位置しても上側に位置しても良い。さらに、保護膜の中に金属膜や、保護膜と絶縁膜との間に金属膜などが存在していても良い。保護膜が急激に電流を流す所定電圧（しきい値電圧）は、第１電極と第２電極との間隔、すなわち、保護膜中の電流の経路長や、材料の成分、組成比などで制御することができる。また、エネルギー吸収能力は、保護膜中の電流路の断面積、材料の成分、組成比などで制御することができる。要するに、これらの値は、保護膜の寸法、第１電極と第２電極との配置関係、したがって、電流路の形状（断面、長さ）と、材料の成分、組成比などで制御することが可能である。

【００１０】

また、請求項２に記載の発明は、請求項１の発明において、保護膜は、酸化亜鉛又は酸化亜鉛を含む材料から構成されていることを特徴とする。

この酸化亜鉛は、電圧－電流特性において著しい非線形特性を有する。すなわち、酸化亜鉛又は酸化亜鉛を含む材料から成る保護膜を挟む２つの電極間に印加される電圧が所定電圧よりも小さい場合には、その抵抗率は非常に大きく、保護膜は絶縁体として機能する。しかし、２つの電極間に印加される電圧が所定電圧以上となると、保護膜の抵抗率は急激に小さくなり、電極間に急激に電流が流れ、電極間の電圧は上昇しない。

【００１１】

また、請求項３に記載の発明は、請求項１又は請求項２の発明において、第１電極は第１層の露出領域に形成され、保護膜は、第２層の上に形成された第２電極と第１電極とを接続するように各層の側壁に沿って形成されていることを特徴とする。

この発明及び請求項１、２の発明は、半導体素子の同一面側に２つの電極が存在する素子と、半導体素子の両面にそれぞれの電極が存在する素子とを含む。半導体素子の同一面側に２つの電極が形成される場合には、第１電極は第１層の一部の上方の各層を除去して露出した第１層の上に形成されることになる。半導体素子の両面に電極が形成される場合には、第１電極は半導体素子の裏面、第２電極は半導体素子の表面、又は、その逆に形成される。要するに、請求項３の発明の特徴は、保護膜が第１電極と第２電極とを接続するように半導体素子を構成する各層の側壁に沿って形成されていることである。この構成によって、過電圧による過電流（例えば、サージ）が保護膜で吸収されることになる。

【００１２】

また、請求項４に記載の発明は、請求項１又は請求項２の発明において、第１電極は第１層の露出領域に形成され、保護膜は少なくとも第１電極上に形成され、第２電極は第２層の上に形成されると共に、保護膜を介して第１電極と対向する位置まで延長して形成されていることを特徴とする。

２つの電極が半導体素子の同一面側に形成されていても、半導体素子の両面にそれぞれが形成されていても良いのは、請求項３の発明と同じである。この発明では、保護膜が少なくとも第１電極の上に形成されており、その保護膜の上に延長して形成された第２電極

が存在すれば十分である。これにより２つの電極間に保護膜が存在する構成とすることができる。保護膜は、第１電極の外部に電気接続する部分を除く全面又は一部上に少なくとも形成されていれば良く、各層の側壁に沿って第２層まで形成されていても良い。保護膜が各層の側壁に沿って第２層まで形成されている場合には、第２電極はこの保護膜の上に第１電極の位置まで延長して形成される。保護膜が各層の側壁に形成されていない場合には、通常、第２電極と各層の側壁間を絶縁するために絶縁膜が形成されることになる。保護膜が各層の側壁に形成される場合には、側壁に形成される層は、保護膜の他に絶縁膜や金属層との複層でも良いことは、請求項１の発明で説明したことと同じである。また、第１電極と第１電極上に延長された第２電極との間には、少なくもと保護膜が存在すれば良く、保護膜と絶縁膜との複層、金属膜を内部に有した保護膜、絶縁膜と保護膜との間に金属膜が存在しても良い。要は、過電圧による過電流（サージ）の吸収量を上昇させるように構成される。

【００１３】

また、請求項５に記載の発明は、請求項１又は請求項２の発明において、第２電極は第２層の平面上に形成され、保護膜は少なくとも第２電極の一部に形成され、第１電極は第１層の上に形成されると共に、保護膜を介して第２電極と対向する位置まで延長して形成されていることを特徴とする。

この発明は、請求項４の発明とは、逆に、第２電極上に保護膜と延長された第１電極とを構成したものである。よって、請求項４の発明において説明した事項は、請求項５の発明においても全て適用可能である。第２電極は第２層の全面又は一部に形成されたもので良い。例えば、第２層側から光を外部に出力したり、外部から光を入射させたりする場合には、第２電極は一般的は透明電極となり、フリッチチップ型や半導体素子の両面に対向して２つの電極を形成する場合であれば、厚さの厚い金属電極となる。第２電極は、この透明電極上に形成されたパッド電極をも含むものとして解釈できる。

【００１４】

また、請求項６に記載の発明は、請求項４の発明において、保護膜は、各層の側壁にも形成されており、第２電極は第１電極と対向する位置までその保護膜上に延長して形成されていることを特徴とする。

保護膜は単層でも良く複層でも良く、他の絶縁膜や金属膜と共に用いてもよいことは上述した通りである。

【００１５】

また、請求項７に記載の発明は、請求項５の発明において、保護膜は、各層の側壁にも形成されており、第１電極は第２電極と対向する位置までその保護膜上に延長して形成されていることを特徴とする。

請求項６の発明と同様である。

【００１６】

また、請求項８に記載の発明は、請求項３乃至請求項７の何れか１項の発明において、第１層の露出部は、第１層の平面上の一部上の各層が除去されて形成される部分であることを特徴とする。

この発明は、半導体層の同一面に第１電極と第２電極とを形成した構成を限定したものである。

【００１７】

また、請求項９に記載の発明は、請求項１乃至請求項７の何れか１項の発明において、第１電極と第２電極とは、半導体素子の異なる面上に各層を挟むように対向して形成されていることを特徴とする。

この発明は、半導体層の両面（裏面と表面）とに、それぞれ、第１電極と第２電極とを形成した構成を限定したものである。半導体素子が導電性基板を用いている場合には、この構成を採用することも可能である。

【発明の効果】

【００１８】

本発明では、第１電極と第２電極との間に非線形抵抗特性を有する保護膜が形成されている。非線形抵抗特性は、印加電圧が所定電圧よりも小さい場合には、抵抗率が非常に大きく、印加電圧が所定電圧以上となると、抵抗率が急激に小さくなる特性である。この構成を採用することで、第１電極と第２電極との間に、半導体素子を駆動するための通常の駆動電圧が印加された場合には、保護膜は絶縁体として機能し、電流をバイパスさせることはなく、半導体素子を動作させることができる。第１電極と第２電極との間に、通常の駆動電圧よりもかなり大きく、所定電圧（しきい値電圧）以上の電圧が印加されると、保護膜の抵抗率は急激に減少し、保護膜に電流れ、電流はバイパスされて、各層に大きな電流は流れない。この結果、第１電極と第２電極間の電圧は上昇せず、かつ、各層には大きな破壊電流が流れないので、半導体素子は破壊されることもなく、特性の劣化も生じない。この保護膜は、非線形抵抗特性を有したものであるので、破壊に至らなければ、可逆的に何度も使用可能であり、半導体素子の製造過程、この素子を用いた製品の組み付け過程、製品の使用時に印加される静電気やサージに対して、耐性を有するものとなる。この結果、製品の製造歩留りが向上し、製品品質が向上する。

【００１９】

請求項２の発明のように、保護膜は、酸化亜鉛又は酸化亜鉛を含む材料で構成することにより、静電耐圧を向上させた半導体素子を効果的に得ることができる。

請求項３、４、５、６の発明は、保護膜と第１電極、第２電極との配置関係を構成としたものである。これらの構成により、保護膜が電流がバイパスする所定電圧とエネルギー吸収能力を制御することが可能となる。

【発明を実施するための最良の形態】

【００２０】

本発明を実施するための最良の形態について説明する。本件発明は、半導体素子としては、発光素子（発光ダイオード、レーザダイオードなど）、受光素子、太陽電池、トランジスタなどの電子デバイスに用いることができる。

【００２１】

発光素子とした場合には、次の構成を採用することができる。発光層を構成する多重量子井戸構造は、少なくともインジウム(In)を含むIII族窒化物系化合物半導体$Al_yGa_{1-y-z}In_zN$($0 \leq y < 1$, $0 < z \leq 1$)から成る井戸層を含むものが望ましい。発光層の構成は、例えばドープされた、又はアンドープの$Ga_{1-z}In_zN$($0 < z \leq 1$)から成る井戸層と、当該井戸層よりもバンドギャップの大きい任意の組成のIII族窒化物系化合物半導体AlGaInNから成る障壁層が挙げられる。好ましい例としてはアンドープの$Ga_{1-z}In_zN$($0 < z \leq 1$)の井戸層とアンドープのGaNから成る障壁層である。ここでドープは、ドーパントを意図的に原料ガスに含ませて目的とする層に添加していることを意味し、アンドープは、原料ガスにドーパントを含ませないで、意図的にドーパントを添加しないもの意味する。したがって、アンドープは、近接の層から拡散して自然にドーピングされている場合をも含む。

【００２２】

本発明に係るIII－Ｖ族窒化物半導体素子の製造方法としては任意の製造方法を用いることができる。具体的には、結晶成長させる基板としては、サファイヤ、スピネル、Si、SiC、ZnO、MgO或いは、III－Ｖ族窒化物系化合物単結晶等を用いることができる。III－Ｖ族窒化物系化合物半導体層を結晶成長させる方法としては、分子線気相成長法（ＭＢＥ）、有機金属気相成長法（ＭＯＶＰＥ）、ハイドライド気相成長法（ＨＤＶＰＥ）、液相成長法等が有効である。

【００２３】

半導体素子を構成する各層のIII－Ｖ族窒化物半導体は、少なくとも$Al_xGa_yIn_{1-x-y}N$($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)にて表される２元系、３元系若しくは４元系の半導体から成るIII－Ｖ族窒化物系化合物半導体で形成することができる。また、これらのIII族元素の一部は、ボロン(B)、タリウム(Tl)で置き換えても良く、また、窒素(N)の一部をリン(P)、砒素(As)、アンチモン(Sb)、ビスマス(Bi)で置き換えても良い。

【００２４】

更に、これらの半導体を用いてｎ型の層を形成する場合には、ｎ型不純物として、Si、Ge、Se、Te、C等を添加し、ｐ型の層を形成する場合には、ｐ型不純物としては、Zn、Mg、Be、Ca、Sr、Ba等を添加することができる。

【００２５】

本発明に用いられる保護膜の非線形抵抗特性は、図９に示すように、印加される電圧が所定値（しきい値電圧）Ｖｔより小さい場合には、抵抗率は大きく電流は流れず、印加電圧が所定値Ｖｔ以上となると抵抗率が急激に減少して、電流が急激に流れる特性をいう。このような特性を示す材料としては、酸化亜鉛がある。また、酸化亜鉛を含む材料を用いることができる。例えば、酸化亜鉛を主成分として、希土類元素酸化物(La,Ce,Pr,Nd,Sm,Eu,Gd,Tb,Dy,Ho,Er,Tm,Yb,Luなどのうちの少なくとも１種の酸化物）、アルカリ土類元素酸化物（Mg,Ca,Ba,Sr などの少なくとも１種の酸化物、例えば、SrO など）、三価になる元素（B,Al,Ga,In,Y,Cr,Fe,Sb ,Mo,W など）の酸化物を一種又は複数種含む材料を用いることができる。さらに、この組成物に、コバルト酸化物を含む材料、さらに、銀を含む材料を用いることができる。Sr酸化物が多いと、非線形係数を大きくすることができ、銀を含ませるとエネルギー吸収を大きくすることができる。三価になる元素の酸化物は、粒界に存在して絶縁性を向上させる機能と、粒界内に存在して抵抗を低下させる機能とを有しており、それらは、電流を流すしきい値電圧（所定電圧）を制御することができる。また、保護膜を形成するとき、これらの材料を主成分として、SiO_2などの酸化珪素、Al_2O_3 などの酸化アルミニウム、SiN などの窒化珪素、AlN などの窒化アルミニウム、TiO_2などの酸化チタン、TiN などの窒化チタンなどの絶縁性材料との混合体や組成物を用いても良い。これらの配合比や組成比を制御することで、しきい値電圧Ｖｔやエネルギー吸収量を制御することができる。

【００２６】

保護膜を形成する方法としては、これらの単一又は複数の組成物をターゲットとするスパッタリングなどの蒸着法を用いることが可能である。

【００２７】

全図面において、層の厚さは、実際の各層の厚さと比例関係をもって表示されていないし、縦横比も現実のものではない。要するに、層構造が把握し易いように表現されている。

【実施例１】

【００２８】

図１に、本発明の実施例に係る半導体発光素子１００の模式的な断面図を示す。半導体発光素子１００では、図１に示す様に、厚さ約300μmのサファイヤ基板１０１の上に、窒化アルミニウム(AlN)から成る膜厚約15nmのバッファ層１０２が成膜され、その上にノンドープのGaNから成る膜厚約500nmの層１０３が成膜され、その上にシリコン(Si)を$1\times10^{18}/cm^3$ドープしたGaNから成る膜厚約5μmのｎ型コンタクト層１０４（高キャリヤ濃度n^+層：第１層に相当）が形成されている。ｎ型コンタクト層１０４の上には、膜厚約１００nmのSiドープの$Al_{0.1}Ga_{0.9}N$から成るｎ型半導体層１０５が形成されている。

【００２９】

また、ｎ型半導体層１０５の上には、膜厚3nmのノンドープ$In_{0.2}Ga_{0.8}N$から成る井戸層１０６１と膜厚20nmのノンドープGaNから成る障壁層１０６２とを３ペア積層して多重量子井戸構造の発光層１０６が形成されている。

【００３０】

更に、この発光層１０６の上には、Mgを$2\times10^{19}/cm^3$ドープした膜厚25nmのｐ型$Al_{0.15}Ga_{0.85}N$から成るｐ型層１０７が形成されており、また、ｐ型層１０７の上には、Mgを8×10^{19}ドープした膜厚100nmのｐ型GaNから成るｐ型コンタクト層１０８（第２層に相当）が形成されている。

【００３１】

又、ｐ型コンタクト層１０８の上には金属蒸着による透光性薄膜ｐ電極１１０（第２電極に相当）が、ｎ型コンタクト層１０４上にはｎ電極１４０（第１電極に相当）が形成さ

れている。透光性薄膜ｐ電極１１０は、ｐ型コンタクト層１０８に直接接合する膜厚約1.5nmのコバルト(Co)より成る第１層１１１と、このコバルト膜に接合する膜厚約６nmの金(Au)より成る第２層１１２とで構成されている。

【００３２】

厚膜ｐ電極１２０（第２電極にも相当）は、膜厚約18nmのバナジウム(V)より成る第１層１２１と、膜厚約1.5 μmの金(Au)より成る第２層１２２と、膜厚約10nmのアルミニウム(Al)より成る第３層１２３とを透光性薄膜ｐ電極１１０の上に、順次積層させることにより構成されている。

【００３３】

多層構造のｎ電極１４０は、ｎ型コンタクト層１０４の一部露出された部分の上に、膜厚約18nmのバナジウム(V)より成る第１層１４１と膜厚約100nmのアルミニウム(Al)より成る第２層１４２とを積層させることにより構成されている。

【００３４】

また、ｎ電極１４０と透光性薄膜ｐ電極１１０とを接続し、ｎ型コンタクト層１０４、発光層１０６、ｐ型層１０７、ｐ型コンタクト層１０８の側壁上に、ZnO 膜より成る保護膜１３０がスパッタリングによ形成されている。保護膜１３０は、透光性薄膜ｐ電極１１０の端部とｎ電極１４０の端部で接続されており、厚さ5 ～10μm に形成されている。

【００３５】

サファイヤ基板１０１の底面に当たる外側の最下部には、膜厚約500nmのアルミニウム(Al)より成る反射金属層１５０が、金属蒸着により成膜されている。尚、この反射金属層１５０は、Rh、Ti、W等の金属の他、TiN、HfN等の窒化物でも良い。

【００３６】

上記のようにｎ電極１４０と透光性薄膜ｐ電極１１０との間に、それらを接続する酸化亜鉛から成る保護膜が形成されているので、両電極間に過電圧が印加された場合には、その過電圧が所定電圧以上であれば、電流が透光性薄膜ｐ電極１１０からｎ電極１４０へとバイパスし、電極間電圧は所定電圧以上には上昇しなし、過電流は発光層１０６などの内部の層には流れない。この結果として、素子の破壊が防止され、各層内部に存在する結晶欠陥を増長させることがないので、素子の特性の劣化が防止される。保護膜１３０は各層の側壁の全周に形成されていても良く、図２－Ａに示すように、ｎ型コンタクト層１０４の電極形成部の上部の各層をエッチングして除去して形成されたｎ型コンタクト層１０４の露出部分の周囲のみに形成されていても良い。また、保護膜１３０は半導体発光素子１００に対して汚染などの保護機能を兼ねる膜であっても良いし、この保護膜１３０の上や透光性薄膜ｐ電極１１０の上の略全体にさらに酸化珪素(SiO_2) などによる絶縁膜を通常の保護膜として形成しても良い。また、保護膜１３０の厚さは、材料の成分、形状、設定すべきしきい値電圧などにより決定されるので、0.1 ～10μm の範囲で通常使用され得る。しかし、厚さについて特に限定するものではない。

【実施例２】

【００３７】

図２－Ａ、図２－Ｂはそれぞれ、発光素子の基本構造１０を例示する平面図と、その基本構造１０を図示する中心線で切断した際のＡ方向から見た断面図である。図１の構成と対応する部分には同一番号が付されている。

図２－Ａでは、基本構造１０の最上部には透光性薄膜ｐ電極１１０（第２電極に相当）が形成されている。ただし、この最上部に位置する金属層は、厚く形成することによって、反射性金属層等に置き代えて、素子をフリップリップ型としても良い。また、オーミック性、密着性、透光性（または反射性）、電気抵抗、耐蝕性等を考慮して、複数の金属層から形成しても良い。

【００３８】

結晶成長基板１０１を形成する材料は、サファイア、窒化ガリウム(GaN) 、炭化シリコン(SiC) 、或いはその他の公知の結晶成長基板の材料から任意に選択して用いることができる。結晶成長基板１０１の結晶成長面上に直接結晶成長されたバッファ層１０２の上に

は、ｎ型コンタクト層１０４（第１層に相当）と発光層１０６とｐ型コンタクト層１０８（第２層に相当）とが、順次結晶成長によって積層されている。これらの半導体層を積層する際の結晶成長方法は任意で良い。また、上記の透光性薄膜ｐ型電極１１０は、ｐ型コンタクト層１０８の積層後に、例えば蒸着などによって積層したものである。

【００３９】

ｎ型コンタクト層１０４の露出穴底面１０４ａと、各半導体層の側壁面Ｃは、上部からｎ型コンタクト層１０４の途中まで至るエッチングによって露出した面である。

各半導体層は、それぞれ複数の半導体層から形成しても良く、各半導体層の組成等の構成は、公知或いは任意のものを採用して良い。層構造は、簡略化されて示されており、図１の構造と同様に多数の機能層を有していても良い。

以下、本明細書では、この様な発光ダイオードの基本構造１０の側壁面Ｃ上の略全面にわたって、保護膜１３１を設ける実施形態を例示する。

【００４０】

図３は、本実施例２の発光ダイオード２００の断面図である。この発光ダイオード２００は、上記の基本構造１０（図２）を備えたものであり、図３に示される断面は、図２でＡ方向視される断面と同様の位置の断面を表したものである。

透光性薄膜ｐ電極１１０（第２電極に相当）は、更に詳細には図示していないが、ｐ型コンタクト層１０８に直接接合する膜厚約1.5nm のコバルト(Co)より成る第１層と、このコバルト膜（第１層）に接合する膜厚約6nm の金(Au)より成る第２層とで構成されている。

透光性薄膜ｐ電極１１０の上には、厚膜ｐ電極１２０（パッド電極）が形成されている。この厚膜ｐ電極１２０は、更に詳細には図示していないが、膜厚約18nmのバナジウム(V)より成る第１層と、膜厚約1.5 μm の金(Au)より成る第２層と、膜厚約10nmのアルミニウム(Al)より成る第３層を透光性薄膜ｐ電極１１０の上に、順次積層させることにより構成されている。

【００４１】

多層構造のｎ電極１４０（第１電極に相当）は、ｎ型コンタクト層１０４の露出穴底面１０４ａの上に、蒸着によって、膜厚約18nmのバナジウム(V) より成る第１層１４１と膜厚約100nm のアルミニウム(Al)より成る第２層１４２を順次積層することにより構成されている。第１層１４１にバナジウムを用いるのは、良好なオーミック性を確保するためである。

【００４２】

第１の保護膜１３１は、酸化亜鉛又は酸化亜鉛を主成分とする上記した組成のうち任意の組成のものである。第１の保護膜１３１はスパッタリング又は蒸着によって形成したものであり、ｎ型コンタクト層１０４の露出穴底面１０４ａを形成する際に、同時に露出した半導体層の側壁面Ｃの略全面にわたって成膜されている。即ち、ｎ電極１４０を囲う３方３面の側壁面Ｃの何れにも、第１の保護膜１３１が形成されている。更に、第１の保護膜１３１の裾は、透光性薄膜ｐ電極１１０上やｎ電極１４０上にまで及び、第１の保護膜１３１はこれらの電極に電気的に接続されている。

【００４３】

さらに、この第１の保護膜１３１の上に、銅(Cu)からなる金属層１６０と、酸化亜鉛からなる第２の保護膜１３２が順次蒸着によって積層されており、結果として、金属層１６０が保護膜の中に配置された構造になっている。第２の保護膜１３２も第１の保護膜１３１と同様にｎ電極１４０と透光性薄膜ｐ電極１１０と電気的に接続されている。第１の保護膜１３１も第２の保護膜１３２とを合わせた総合の厚さは1 μm である。

【００４４】

この構成では、第１の保護膜１３１、第２の保護膜１３２をサージ電流が流れるとき、内部の金属層１６０に誘導電流が流れ、この電流は渦電流損として消費される。このため、エネルギー吸収能力が向上する。本実施例においても、実施例１と同様に、第１の保護膜１３１、第２の保護膜１３２は発光ダイオード２００に対して汚染などの保護機能を兼

ねる膜であっても良いし、第２の保護膜１３２の上や透光性薄膜ｐ電極１１０の上の略全体にさらに酸化珪素(SiO_2)などによる絶縁膜を通常の保護膜として形成しても良い。本実施例では、図２に示すように、第１の保護膜１３１と第２の保護膜１３２は露出しているｎ型コンタクト層１０４の周囲の領域に、ｎ電極１４０を３方から取り囲むように形成されている。これは、本発明者らが、静電破壊がｎ電極１４０に近いこの周囲の各層において発生していることを発見したことに基づくものである。すなわち、この構成は、この静電破壊される部分において、保護膜１３１、１３２を形成することによって、効果的に素子の静電破壊が防止されることを狙ったものである。

【実施例３】

【００４５】

図４は、本実施例３の半導体発光素子３００の断面図である。この実施例は、図１に示す実施例１において、保護膜１３０の上に、アルミニウム(Al)から成るｎ電極の延長部１４３（第１電極に相当）が形成されている。透光性薄膜ｐ電極１１０上の保護膜１３０の厚さは5 μm に形成されている。この構成によると、ｐ型コンタクト層１０８の上部において、透光性薄膜ｐ電極１１０とｎ電極の延長部１４３との間に保護膜１３０が存在することになり、流れる電流断面積を大きくすることができ、エネルギー吸収量を大きくすることができる。この結果、静電耐圧が向上する。この構成において、実施例２のように、保護膜、金属層、保護膜の積層構造を採用しても良い。本実施例においても、実施例１と同様に、保護膜１３０は半導体発光素子３００に対して汚染などの保護機能を兼ねる膜であっても良いし、ｎ電極の延長部１４３の上面全体や透光性薄膜ｐ電極１１０の上の略全体にまで、さらに酸化珪素(SiO_2)などによる絶縁膜を通常の保護膜として形成しても良い。

【実施例４】

【００４６】

図５は、本実施例４の半導体発光素子４００を示す断面図であり、図６はその平面図である。本実施例は、フリップチップ型の発光素子である。前実施例において対応する層には、同一番号が付されている。サファイヤ基板１０１の上には窒化アルミニウム(AlN)から成る膜厚約200Åのバッファ層１０２が設けられ、その上にシリコン(Si)ドープのGaNから成る膜厚約4.0μmの高キャリア濃度n^+層であるｎ型コンタクト層１０４（第１層に相当）が形成されている。そして、層１０４の上にGaNと$Ga_{0.8}In_{0.2}N$からなる多重量子井戸構造（ＭＱＷ）の発光層１０６が形成されている。発光層１０６の上にはマグネシウム(Mg)ドープの$Al_{0.15}Ga_{0.85}N$から成る膜厚約600Åのｐ型層１０７が形成されている。さらに、ｐ型層１０７の上にはマグネシウム(Mg)ドープのGaNから成る膜厚約1500Åのｐ型コンタクト層１０８（第２層に相当）が形成されている。

【００４７】

また、ｐ型コンタクト層１０８の上には金属蒸着による多重厚膜電極であるｐ電極１５０（第２電極に相当）が形成され、ｎ型コンタクト層１０４上にはｎ電極１４０（第１電極に相当）が形成されている。ｐ電極１５０は、ｐ型コンタクト層１０８に接合する第１金属層１５１、第１金属層１５１の上部に形成される第２金属層１５２、更に第２金属層１５２の上部に形成される第３金属層１５３の３層構造である。

【００４８】

第１金属層１５１は、ｐ型コンタクト層１０８に接合する膜厚約0.3μmのロジウム(Rh)又は白金(Pt)より成る金属層である。また、第２金属層１５２は、膜厚約1.2μmの金(Au)より成る金属層である。また、第３金属層１５３は、膜厚約30Åのチタン(Ti)より成る金属層である。

【００４９】

２層構造のｎ電極１４０は、膜厚約175Åのバナジウム(V)層１４１と、膜厚約1.8μmのアルミニウム(Al)層１４２とをｎ型コンタクト層１０４の一部露出された部分の上から順次積層させることにより構成されている。

【００５０】

このように形成されたｐ電極１５０の上面の可なりの部分に、酸化亜鉛を主成分とする組成物から成る保護膜１３３が３μｍの厚さに形成されている。そして、その保護膜１３３の上にアルミニウムから成るｎ電極の延長部１４３が形成されており、その延長部１４３は、ｐ電極１５０の上面において、保護膜１３３を介してｐ電極１５０と対向している。ｐ電極１５０の露出部と、ｎ電極１４０の露出部がバンプと接続される。このように、フリップチップ型の発光素子では、ｐ電極１５０上に比較的大面積の保護膜１３３を形成することができるので、エネルギー吸収量を増大させて、静電耐圧を向上させることができる。また、保護膜１３３の厚さを変化させたり、保護膜１３３の成分を調整することにより、保護膜１３３の通電開始電圧（しきい値電圧）を制御することが可能となる。

【００５１】

本実施例において、図１の実施例１のように、延長部１４３を設けずに、ｐ電極１５０とｎ電極１４０とを接続するように保護膜１３３を構成しても良い。図３の実施例２のように保護膜を複数の層として、間に金属層を介在させても良く、すなわち、図５の例において、保護膜１３３の中に金属層を形成しても良い。さらに、実施例１と同様に、保護膜１３３は半導体発光素子４００に対して汚染などの保護機能を兼ねる膜であっても良いし、ｎ電極の延長部１４３の上面全体やｐ電極１５０の上の略全体にまで、さらに酸化珪素（SiO_2）などによる絶縁膜を通常の保護膜として形成しても良い。

【実施例５】

【００５２】

図７は、本実施例５の発光ダイオード５００の断面図である。この実施例は、図１に示す実施例１において、保護膜１３０の上に、アルミニウム(Al)から成る透光性薄膜ｐ電極１１０に電気的に接続した透光性薄膜ｐ電極の延長部１１５（第２電極に相当）が形成されている。ただし、保護膜１３０はｎ電極１４０の上に可なりの面積において張り出している。そして、この延長部１１５の上に酸化珪素（SiO_2）などによる絶縁膜１７０が形成されている。この構成によると、ｎ電極１４０の上では、ｎ電極１４０と透光性薄膜ｐ電極の延長部１１５との間に保護膜１３０が存在することになり、流れる電流断面積を大きくすることができ、エネルギー吸収量を大きくすることができる。この結果、静電耐圧が向上する。この構成において、実施例２のように、保護膜、金属層、保護膜の積層構造を採用しても良い。本実施例においても、実施例１と同様に、保護膜１３０は半導体発光素子５００に対して汚染などの保護機能を兼ねる膜であっても良いし、絶縁膜１７０は透光性薄膜ｐ電極の延長部１１５の上面全体だけでなく、透光性薄膜ｐ電極１１０の上の略全体にまで形成されていても良い。この構造は、ワイヤボンディング型とフリップチップ型の発光素子の両者においても適用できる。

【実施例６】

【００５３】

図８は、本実施例６の発光ダイオード６００の断面図である。この実施例は、ドーパントを添加したシリコン基板などの導電性基板１９０を用いて半導体素子の対向する２面に２つの電極を形成した半導体発光素子の例である。この発光素子の場合には、上記実施例と同様に基板の主面に平行な面から光を取り出す面発光型と、その主面に垂直な面から光を取り出す端面発光型の両者に適用可能である。ｎ電極１４５は導電性基板１９０の裏面全体に形成されている。その他の層構成は、図５に示す実施例と同様である。保護膜１３４は、ｐ電極１５０のバンプ接続又はワイヤボンディング領域を除く略全面と、素子の側壁と導電性基板１９０の裏面の一部にまで形成されている。そして、ｎ電極１４５の延長部１４６がその保護膜１３４の全上面に形成されている。

【００５４】

この構造を採用することにより、ｐ電極１５０とｎ電極の延長部１４６とが、その間に保護膜１３４を介在させて対向することになる。この結果、保護膜１３４を流れる電流の断面積が大きくなり、サージエネルギーの吸収量が多くなり、静電耐圧が向上する。この実施例においても、実施例２のように、保護膜、金属層、保護膜の積層構造を採用しても良い。本実施例においても、実施例１と同様に、保護膜１３４は半導体発光素子６００に

対して汚染などの保護機能を兼ねる膜であっても良いし、さらに、酸化珪素(SiO_2)等の絶縁膜をｎ電極の延長部１４６の上面全体に形成しても良い。

【００５５】

上記したように、本件発明を用いることにより、素子チップのままで（外部にサージ吸収素子などを特別に付加することなく）静電耐圧を飛躍的に向上させることができる。また、ウエハやチップ構造において、既に、静電耐圧の保護が達成される結果、製造工程において静電耐圧に対する対策を講じる必要がなくなり、製造効率も向上するものである。本件発明ば、III-Ｖ族窒化物化合物半導体を用いた半導体素子の静電耐圧を向上させることができ、極めて有効な技術である。

【産業上の利用可能性】

【００５６】

本発明は、発光ダイオードの他にも、半導体レーザ等の半導体発光素子にも応用することができる。その他、受光素子、太陽電池、トランジスタなどの電子デバイスにも応用することができる。本発明を用いれば、静電耐圧に弱点を有するIII-Ｖ族窒化物化合物半導体を用いた半導体素子の静電耐圧を向上させることができる。

【図面の簡単な説明】

【００５７】

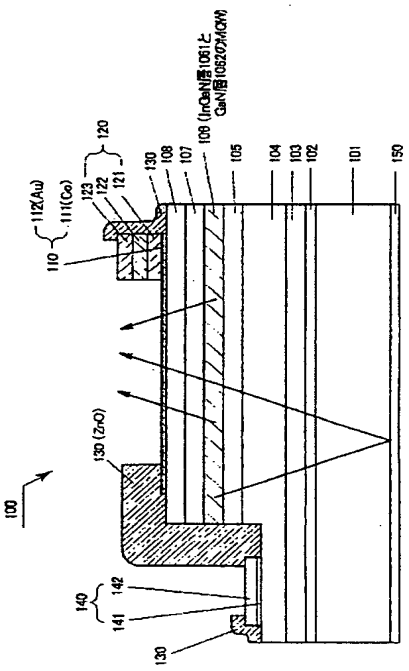
【図１】本発明の実施例１に係る半導体発光素子の断面図。
【図２－Ａ】発光素子の基本構造を例示した平面図。
【図２－Ｂ】発光素子の基本構造のＡ方向視の断面図。
【図３】本発明の実施例２に係る発光ダイオードの断面図。
【図４】本発明の実施例３に係る半導体発光素子の断面図。
【図５】本発明の実施例４に係る半導体発光素子の断面図。
【図６】本発明の実施例４に係る半導体発光素子の平面図。
【図７】本発明の実施例５に係る発光ダイオードの断面図。
【図８】本発明の実施例６に係る発光ダイオードの断面図。
【図９】保護膜の非線形抵抗特性を示した特性図。

【符号の説明】

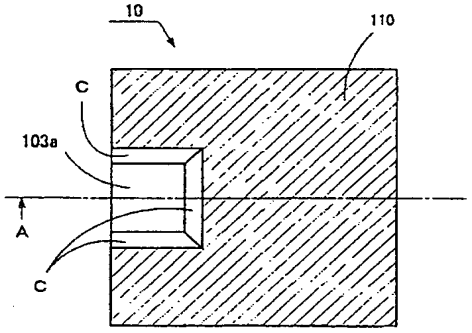
【００５８】

１００…半導体発光素子
１０１…サファイア基板
１０２…バッファ層
１０４…ｎ型コンタクト層（第１層）
１０５…ｎ型半導体層
１０６…発光層
１０７…ｐ型層
１０８…ｐ型コンタクト層
１１０…透光性薄膜ｐ電極（第２電極）
１１５…延長部（透光性薄膜ｐ電極の延長部）
１３０，１３３，１３４…保護膜
１３１…第１の保護膜
１３２…第２の保護膜
１４０…ｎ電極（第１電極）
１４３…延長部（ｎ電極の延長部）
１６０…金属層
１７０…絶縁膜

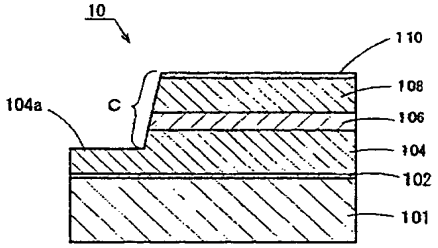
【図１】



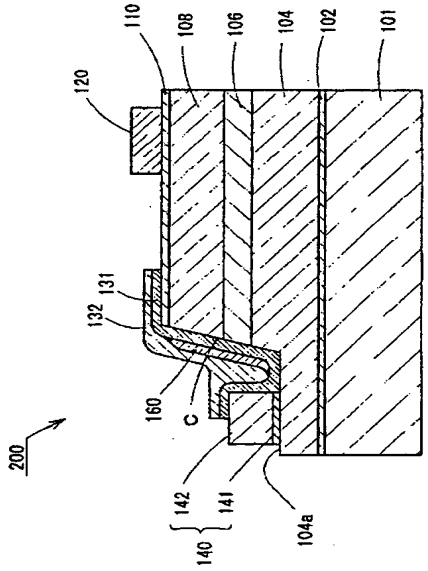
【図２－Ａ】



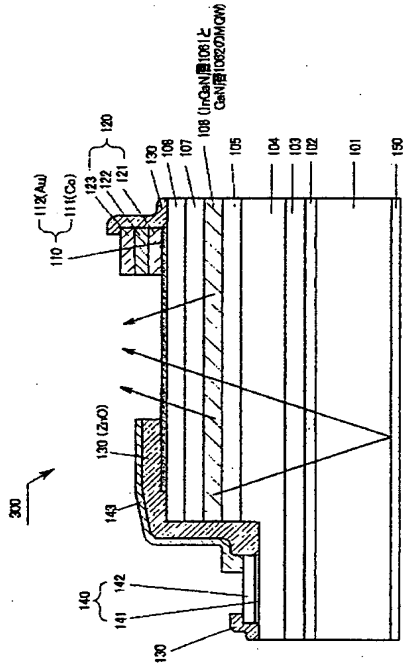
【図２－Ｂ】



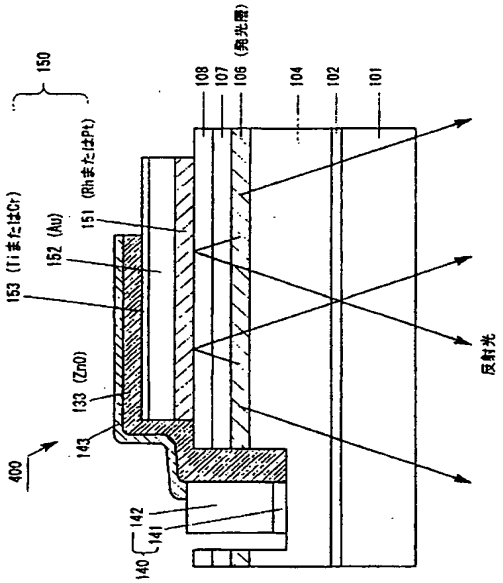
【図３】



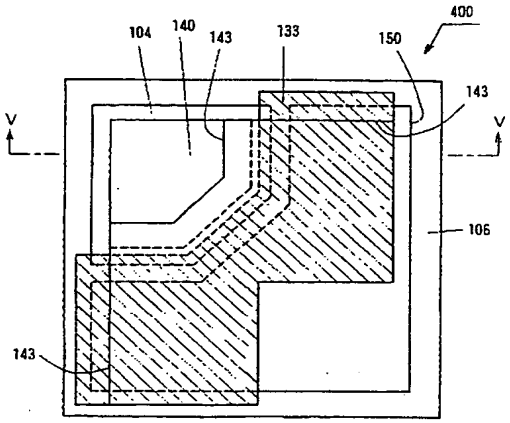
【図４】



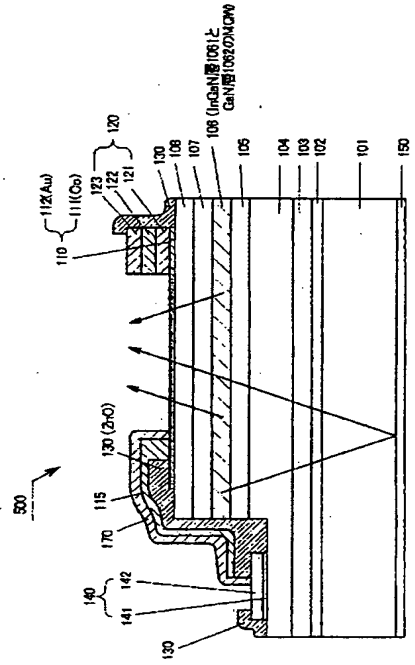
【図５】


150
108
107
106 (発光層)
104
102
101
151 (RhまたはPt)
152 (Au)
153 (TiまたはCr)
133 (ZnO)
143
400
142
141
140
反射光

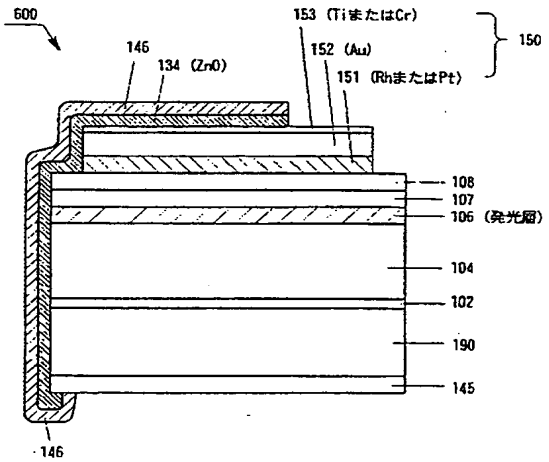
【図６】


400
104
140
143
133
150
143
V
V
106
143

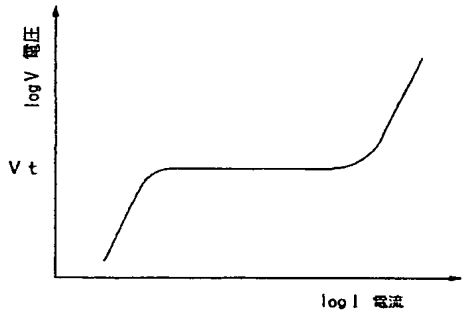
【図７】


120
130
108
107
106 (InGaN層/GaN層)
105
104
103
102
101
150
112(Au)
111(Co)
123
122
121
110
130 (ZnO)
115
170
500
140
142
141
130

【図８】


600
153 (TiまたはCr)
152 (Au)
151 (RhまたはPt)
150
146
134 (ZnO)
108
107
106 (発光層)
104
102
190
145
146

【図９】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-161197
(43)Date of publication of application : 18.06.1999

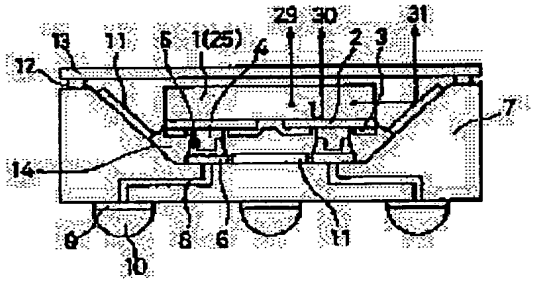
(51)Int.Cl. G09F 9/33
H01L 33/00

(21)Application number : 09-323186
(22)Date of filing : 25.11.1997

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : NOBORI KAZUHIRO
KITAYAMA YOSHIFUMI

(54) PICTURE DISPLAY DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To improve the luminance of a light emitting element in the case of viewing from the upper part, to miniaturize an LED and to realize high- definition display by providing all the electrodes of the light emitting element on a surface coming in contact with a circuit board.
SOLUTION: The circuit board 7 where a recessed part for mounting the light emitting element 1 is formed is produced. A solder part 10 is formed on a rear-surface electrode 9 by a plating method. A light reflector 11 is stuck to the inner wall of the recessed part of the board 7 near the side surface of the element 1. A projection 4 is formed on the electrode 2 of the element 1 by a wire bonding method. The element 1 where the projection 4 is formed is immersed in a thinly spread conductive adhesive so as to transfer the adhesive 5 to the projection 4. After the element 1 where the adhesive 5 is transferred to the projection 4 is aligned with the board 7, it is mounted at the specified position. Then, the adhesive 5 is hardened so as to conduct between the board 7 and the element 1.



LEGAL STATUS

[Date of request for examination] 22.11.2004
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－161197

(43)公開日　平成11年(1999)６月18日

(51)Int.Cl.[6]	識別記号	Ｆ Ｉ	
Ｇ０９Ｆ　9/33		Ｇ０９Ｆ　9/33	Ｒ
			Ｗ
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ｎ

審査請求　未請求　請求項の数９　ＯＬ　（全７頁）

(21)出願番号　特願平9－323186

(22)出願日　平成９年(1997)11月25日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　登　一博
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(72)発明者　北山　喜文
大阪府門真市大字門真1006番地　松下電器産業株式会社内

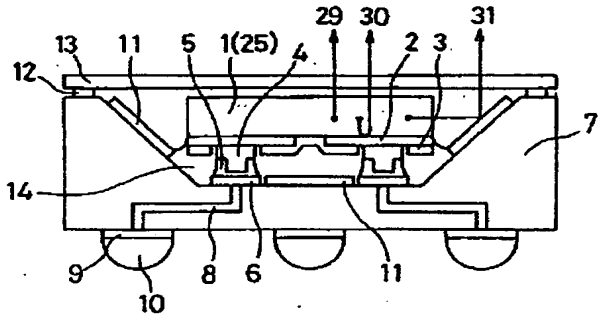
(74)代理人　弁理士　岡崎　謙秀　（外１名）

(54)【発明の名称】　画像表示装置

(57)【要約】

【課題】　光発光素子からでる光の減衰を低下し、集光率を向上させる構造とすることにより、発光量を増加させることなく輝度を向上させる画像表示装置を提供すること。また、光発光素子周囲にある電極を無くし、小型発光モジュールを実現する。

【解決手段】　光発光素子１の電極２を、回路基板７と接する面のみに構成することにより、発光した光が電極に遮られることが無い。また、回路基板７とガラス基板１３に挟まれた構造とすることにより、光発光素子１の周囲に電極が無くなり、素子近傍に反射板を形成することが可能になる。



IKEA Supply AG
Exhibit 1002 Page 285 of 361

1

【特許請求の範囲】

【請求項１】　光発光素子の全ての電極を回路基板に接する１面に設け、回路基板上の電極と電気的接合し、回路基板上へ光発光素子を実装したことを特徴とする画像表示装置。

【請求項２】　回路基板上の電極を回路基板上に固定された半導体素子上に設けたことを特徴とする請求項１記載の画像表示装置。

【請求項３】　光発光素子の電極を光発光素子の面積の７０％から１００％に形成し、反射光が光発光素子と電極の界面で反射することを特徴とする請求項１記載の画像表示装置。

【請求項４】　回路基板上の光発光素子と接する面の電極は回路基板の裏面に設けた裏面電極と導電があることを特徴とする請求項１、２または３記載の画像表示装置。

【請求項５】　光発光素子は２面に電極を有し、光発光素子の１面の電極は反射板を形成した回路基板上の電極と導電し、もう１面の電極はガラス基板上の透明電極と導通し、回路基板上へ光発光素子を実装したことを特徴とする画像表示装置。

【請求項６】　回路基板上の電極を回路基板上に固定された半導体素子上に設けたことを特徴とする請求項５記載の画像表示装置。

【請求項７】　回路基板上で光発光素子の側面近傍に光発光素子より発光した光を反射する反射板を設けたことを特徴とする請求項１～６いずれかに記載の画像表示装置。

【請求項８】　回路基板は複数個の凹部を有し、その凹部の底面において光発光素子の電極と回路基板の電極との導通を得ることを特徴とする請求項１～７いずれかに記載の画像表示装置。

【請求項９】　回路基板上の凹部を透明電極を形成したガラス基板で覆ったことを特徴とする請求項８記載の画像表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、電子機器の回路に用いられる画像表示装置に関するものである。

【０００２】

【従来の技術】近年、液晶パネルやプラズマディスプレイ等の画像表示装置が注目を浴びている。スタジアムや駅等に設置させている大型の画像表示装置には発光ダイオード（Light Emitting Diode略してＬＥＤ）が用いられており、近年の動向として、高輝度化、高精細化、低コスト化が求められている。

【０００３】ＬＥＤを用いた画像表示装置の従来技術を図７から図９を用いて説明する。図７に従来の画像表示装置を示す。画像表示装置はカラー画像を表示するため、光の３原色である赤色ＬＥＤ２６と緑色ＬＥＤ２７

2

と青色ＬＥＤ２８から構成され、回路基板２３に形成された穴に各ＬＥＤのリードである表面電極２４を挿入し、回路基板２３上に形成された表面電極６にＤＩＰ半田付け工法による半田１０により電気的及び物理的に接合される。

【０００４】図８に赤色ＬＥＤ２６の詳細断面図を示す。赤色ＬＥＤ２６は光源である赤色発光素子１５を有し、赤色発光素子１５はリード２４の表面凹部上に導電性接着剤１７により接合される。赤色発光素子１５の周囲はリード２４により取り囲まれているので、赤色発光素子１５の反射光はリード２４で反射し、上方に向かう反射光３１になる。赤色発光素子１５は基板側電極１８と表面電極２の２面に電極を持ち、この２面の電極間に電圧を加えることにより発光する。基板側電極１８は導電性接着剤１７と良好な電気的接合を得る材料で構成され、一般には赤色発光素子１５内部で発光した光の反射効果の良いアルミ膜が用いられる。赤色発光素子１５の表面電極２側の面は、表面電極２以外の素子表面を物理的に保護する役割をもつ透明保護膜３で覆われている。表面電極２は赤色発光素子１５内部で発光した光３２を遮るため、可能な限り面積を小さくする必要がある。表面電極２はリード２４と電気的導通を得るため、ワイヤボンディング工法により金ワイヤ２１により結線される。金ワイヤ２１は赤色発光素子１５より発光した光を遮るため、なるべく細いワイヤを用いる。リード２４上に赤色発光素子１５を固定し電気的接合を得た後、透明または赤色に着色された透明樹脂により封止され、赤色ＬＥＤ２６として完成する。

【０００５】図９に緑色ＬＥＤ２７及び青色ＬＥＤ２８の詳細断面図を示す。緑色ＬＥＤ２７と青色ＬＥＤ２８は、発光素子が異なるだけでその他の構造は同一である。赤色発光素子１５は図８に示すように電極が２面であるのに対して、青色発光素子１と緑色発光素子２５は外部から給電するため、図９に示すように電極は１面のみにあり、青色発光素子１と緑色発光素子２５はリード２４上に接着剤２２により接合させる。この接着剤２２の電気的性質は導電性でも絶縁性でもよく、各発光素子１、２５より発光した反射光３０をできるだけ強くすることが重要である。リード２４に固定された各発光素子１、２５は、電気的導通を得るため表面電極２とリード２４間をワイヤボンディング工法により金ワイヤ２１により結線する。表面電極２は各発光素子１、２５の内部で発光した光を遮るため、可能な限り面積を小さくする必要がある。また、保護膜３は光の透過率の良い材料にする必要がある。青色ＬＥＤ素子、緑色ＬＥＤ素子及び金ワイヤを保護するため、透明またはそれぞれの色に着色された透明樹脂により封止され、青色ＬＥＤ２８または緑色ＬＥＤ２７として完成する。

【０００６】

【発明が解決しようとする課題】しかしながら、上記従

来の構造では、発光素子の上面に光を遮蔽する電極及び金ワイヤが構成され、ＬＥＤの輝度を低下させる要因となっている。さらに、発光素子の透明保護膜で光の減衰が生じ、ＬＥＤの輝度を低下させる要因となっている。

【０００７】また、リードと発光素子を固定する光反射の効果を持つ接着剤は、光を反射する金属成分と接着効果を得る樹脂成分から構成されているので、金属膜と比較すると光の反射率が低く、輝度低下の要因となっている。また、金ワイヤで外部電極と導通を得る場合、光発光素子の側面の近接部に金ワイヤを接合する電極が形成され、反射板はその外側に形成されるので、反射光量が低下し、また、反射板を電極の内側に設けると、反射板の上方に金ワイヤが構成され、光を遮る問題が発生していた。

【０００８】本発明は、上記従来の問題点を鑑み、光発光素子の発光量を最大に利用して上方よりみた輝度を向上させ、また、ＬＥＤを小型化でき、かつ高精細な画像表示装置を提供することを目的とする。

【０００９】

【課題を解決するための手段】本発明の画像表示装置は、光発光素子の全ての電極を基板と接する面に持つ構造とすることにより、上方から見ると光発光素子上に光を遮るものが無く、上方から見た輝度を向上させることができ、また、光発光素子の電極を大きくすることが可能になり、光の反射量を大きくすると同時に接合の信頼性を向上させることができ、半導体素子上にも光発光素子を実装することが可能になる。

【００１０】また、素子の保護のために設けるガラス基板に、透明電極を設ける構造とするとにより、金ワイヤを無くすことができ、光発光素子の近傍に反射板を形成することが可能になり、また、１面のみに電極がある素子と２面に電極がある素子を、同一の回路基板上に実装することが可能になる。

【００１１】

【発明の実施の形態】本発明の請求項１に記載の発明は、光発光素子の全ての電極を回路基板に接する１面に設け、回路基板上の電極と電気的接合し、回路基板上へ光発光素子を実装したことを特徴とするものであり、光発光素子の上方には光を遮るものがないため、輝度を向上させることができ、さらに、光発光素子の電極を大きくすることができるので、光の反射量が大きくなると同時に、接合の信頼性を向上することができる作用を有する。さらに、光発光素子の周囲には電極部がないため、従来のＬＥＤと比較して小型のＬＥＤを実現できる作用を有する。

【００１２】請求項２に記載の発明は、回路基板上の電極を回路基板上に固定された半導体素子上に設けたことを特徴とするものであり、請求項１記載の発明が有する作用に加えて、半導体素子を設けたので、光発光素子を静電気等の原因による異常電圧から保護する作用を有する。請求項３に記載の発明は、光発光素子の電極を光発光素子の面積の７０％から１００％に形成し、反射光が光発光素子と電極の界面で反射することを特徴とするものであり、請求項１記載の発明が有する作用に加えて、反射光は光発光素子の７０～１００％の面積を占める電極との界面で反射するので、反射率を向上できる作用を有する。

【００１３】請求項４に記載の発明は、回路基板上の光発光素子と接する面の電極は回路基板の裏面に設けた裏面電極と導電があることを特徴とするものであり、両電極間の配線を極めて短かくすることができ、静電気に強くかつ小型の光発光モジュールを提供できる作用を有する。請求項５に記載の発明は、光発光素子は２面に電極を有し、光発光素子の１面の電極は反射板を形成した回路基板上の電極と導電し、もう１面の電極はガラス基板上の透明電極と導通し、回路基板上へ光発光素子を実装したことを特徴とするものであり、光発光素子の上方には金ワイヤが無いので、光発光素子から発光される直接光は金ワイヤに遮られず、また、側面光も金ワイヤ用の電極がないため、光発光素子の側面近傍に設置した反射板により上方に反射され、輝度を向上させる作用を有する。さらに、請求項１記載の発明と同じく小型のＬＥＤを実現できる作用を有する。

【００１４】請求項６に記載の発明は、回路基板上の電極を回路基板上に固定された半導体素子上に設けたことを特徴とするものであり、請求項５記載の発明が有する作用に加えて、半導体素子を設けたので、光発光素子を静電気等の原因による異常電圧から保護する作用を有する。請求項７に記載の発明は、回路基板上で光発光素子の側面近傍に光発光素子より発光した光を反射する反射板を設けたことを特徴とするものであり、反射板の上方には輝度低下の要因である金ワイヤが無いので反射光は遮られず、また、反射板を光発光素子の側面近傍に設けることができるので、光発光素子の発光量を最大にして、輝度を向上させる作用を有する。

【００１５】請求項８に記載の発明は、回路基板は複数個の凹部を有し、その凹部の底面において光発光素子の電極と回路基板の電極との導通を得ることを特徴とするものであり、高輝度のモジュールを高密度に実装することができ、さらに、同一回路基板上に赤、緑、青の光発光素子を実装できる作用を有する。請求項９に記載の発明は、回路基板上の凹部を透明電極を形成したガラス基板で覆ったことを特徴とするものであり、請求項８記載の発明と同一作用を有する。

【００１６】以下、本発明の画像表示装置について、図面を参照して説明する。以下の説明において、図７～図９に示す従来装置と同一構成については同一符号とし、その説明は省略する。

（実施の形態１）図１に本発明の実施の形態１の画像表示装置を示す。図１において、１および２５は青色およ

び緑色の光発光素子、２は電極、３は保護膜、４は突起物、５は導電性接着剤、６は表面電極、７は回路基板、８は基板内配線、９は裏面電極、１０は半田、１１は光反射板、１２は防水型導電性接着剤、１３はガラス基板、１４は封止樹脂である。

【００１７】上記の構成からなるＬＥＤの製造方法を説明する。まず、表面電極６と裏面電極９間には電気配線８を経て導電があり、また、光発光素子１、２５を実装する凹部を形成した回路基板７を、通常のプリント基板の製造工程により製造する。次に、裏面電極９上にメッキ工法またはクリーム半田印刷により半田１０を形成する。次に、光反射板１１を光発光素子１、２５の側面の近傍で回路基板７の凹部の内壁に張り付ける。

【００１８】次に、光発光素子１、２５の電極２の面積を光発光素子の面積の７０～１００％とし、光発光素子１、２５の電極２に高さ４０ミクロン程度の突起物４を形成する。この突起物４はワイヤボンディング工法により、金ワイヤを電極に接合した後、接合した近傍で金ワイヤを切断することにより形成する。また、従来から使用されているメッキ工法を用いて、電極上に突起物４を形成することもできる。

【００１９】高さ４０ミクロン程度の突起物４を形成した光発光素子１、２５を、厚み２５ミクロン程度に薄く伸ばした導電性接着剤上に沈め、突起物４上に導電性接着剤５を転写する。導電性接着剤５が突起物４上に転写された光発光素子１、２５を回路基板７と位置合わせした後、所定の位置に実装する。次に、導電性接着剤５を硬化させ、回路基板７と光発光素子１間に導通が得られる。その後、接合の信頼性向上と光発光素子１、２５を保護するため、封止樹脂１４を回路基板７と光発光素子１との間に流し込み、加熱による封止樹脂１４を硬化させ実装工程を終了する。次に、光発光素子１、２５を保護するため回路基板７上に防水型導電性接着剤１２を塗布し、透明電極１６を形成したガラス基板１３を固定して光発光モジュールとして完成する。

【００２０】上記のような構成からなる光発光モジュールによれば、光発光素子１、２５から発光される直接光２９は、従来のモジュールが有していた保護膜を通過しないので、光の減衰が生ぜず、また、反射光３０は光発光素子１、２５上の７０％から１００％の面積に形成された電極２により、光発光素子１、２５と電極２の界面で反射される。従来のモジュールでは、光発光素子は接着剤により電極に接着されていたので、反射光は接着剤で反射し、輝度低下の要因となっていたが、本モジュールによれば、反射光は素子内部で反射するため、反射率の向上が図れる。また、側面光３１は金ワイヤ用の電極がないため、光発光素子１、２５の側面近傍に設置した反射板１１により上方に反射される。また、上記の構成からなるモジュールにおいては、従来モジュールが有しており、輝度低下の要因となっていた保護膜、接着剤層

を備えていないので、光発光素子１、２５の発光量は同じでも、光の減衰が少なくなり、また、集光率も向上するのでＬＥＤの輝度は従来と比較して略１５０％と大幅に改善された。

【００２１】また、光発光モジュールサイズは、金ワイヤの電極が不用となるため、従来モジュールに比べ略６０％となった。

（実施の形態２）図２に本発明の実施の形態２の画像表示装置を示す。図２において、１５は赤色発光素子、３は透明保護膜、４は電極２上に形成された突起物、５は導電性接着剤、６は表面電極、１３はガラス基板、１６は透明電極、１７は光反射型導電性接着剤、１８は電極である。

【００２２】上記の構成からなるＬＥＤの製造方法を説明する。まず、実施の形態１と同様に回路基板７と、赤色光発光素子１５の電極２上に突起物４を形成し、導電性接着剤５の転写を実施する。次に、回路基板７の表面電極６上に光反射型導電性接着剤１７を塗布する。次に、赤色光発光素子１５を回路基板７上で位置合わせした後実装する。次に、接着剤１７を５０度程度に加熱して仮硬化させ、回路基板７上の表面電極６と赤色光発光素子１５上の電極１８が、光反射型導電性接着剤１７により導通及び固定される。次に、回路基板７上に防水型導電性接着剤１２を塗布し、回路基板７上の所定の位置にある導電性接着剤５が塗布された突起物４と透明電極１６が形成されたガラス基板１３と位置合わせした後実装する。このとき、突起物４と透明電極１２は導電性接着剤により導通が得られる。ガラス基板１３上の透明電極１６は、防水型導電性接着剤１２と基板内配線８により裏面電極９と導電する。また、表面電極６と裏面電極９も基板内配線で導電している。

【００２３】上記のような構成からなる光発光モジュールによれば、従来のモジュールが有していた金ワイヤを備えていないので、赤色光発光素子１５から発光される直接光２９は、金ワイヤに遮られず、また、側面光３１は金ワイヤ用の電極がないため、光発光素子１５の側面近傍に設置した反射板１１により上方に反射される。上記のように、本実施の形態によれば、金ワイヤと金ワイヤを接合する電極を備えていないので、光発光素子１５の発光量は同じでも、光の遮蔽がすくなくなり、また、集光率も向上するのでＬＥＤの輝度は従来と比較して略１３０％と大幅に改善された。

（実施の形態３）図３に本発明の実施の形態３の画像表示装置を示す。図３において、１および２５は青色および緑色の光発光素子、１９は半導体素子、２０は半導体素子上電極、２１は金ワイヤ、２２は接着剤で、それ以外は実施の形態１と同一構成であり、実施の形態１を応用したものである。

【００２４】実施の形態１と異なる点は、上記のように半導体素子１９が回路基板７上に固定され、半導体素子

IKEA Supply AG
Exhibit 1002 Page 288 of 361

１９と表面電極間がワイヤボンディング工法による金ワイヤで導電があることである。光発光素子１、２５は静電気等の異常電圧に弱く、異常電圧から光発光素子１、２５を保護するためには、ダイオードが必要である。本実施の形態はダイオードである半導体素子１９を設けたものであるが、光発光素子を静電気による破壊から守るためには、ダイオードと光発光素子１、２５間の電気配線をなるべく短くすることも必要である。

【００２５】図３に示す構造によれば、ダイオードである半導体素子１９と光発光素子１、２５間の配線は約４０ミクロンと短い構造であり、静電気に強い光発光モジュールを提供できる。

（実施の形態４）図４に本発明の実施の形態４の画像表示装置を示す。図４において、１５は赤色光発光素子、１９は半導体素子、２０は半導体素子上電極、２１は金ワイヤで、それ以外は実施の形態２と同一構成であり、実施の形態２を応用したものである。

【００２６】実施の形態２と異なる点は、半導体素子１９が回路基板７上に固定され、半導体素子１９と表面電極間がワイヤボンディング工法による金ワイヤで導電があることである。赤色光発光素子１５は静電気等の異常電圧に弱く、異常電圧から光発光素子１５を保護するためには、ダイオードが必要である。本実施の形態は実施の形態３と同じダイオードである半導体素子１９を設けたもので、ダイオードと光発光素子１５間の電気配線をなるべく短くするものである。

【００２７】図４に示す構造によれば、ダイオードである半導体素子１９と光発光素子１５間の配線は、電極１８との間は略２０ミクロン、電極２との間は金ワイヤ２１と基板内配線８と透明電極１６を経て導通する長さ約２ミリと、全体として短い構造が可能になり、静電気に強い光発光モジュールを提供できる。

（実施の形態５）図５に本発明の実施の形態５の画像表示装置を示す。図５において、１は青色光発光素子、１５は赤色光発光素子、２５は緑色光発光素子、７は回路基板、１３はガラス基板、１０は半田、２３は画像表示装置の回路基板、２４は電極である。

【００２８】画像表示装置は、光の３原色である、赤、緑、青の３色の発光素子にて構成される。図５（ａ）には実施の形態１から４で説明した各色ごとの光発光モジュールを、画像表示装置の回路基板２３上に実装したものが示されている。このような構造により、高輝度のモジュールを高密度に実装することが可能になる。また、図５（ｂ）に示す形態によれば、同一の回路基板７上に赤、緑、青の光発光素子を実装することが可能となり、画像表示装置の１画素を形成することができる。

（実施の形態６）図６に本発明の実施の形態６の画像表示装置を示す。図６において、７は凹部を多数個形成した回路基板である。図６（ａ）は、実施の形態１の応用例、図６（ｂ）は、実施の形態１及び２の応用例、図６（ｃ）は、実施の形態１の応用例である。

【００２９】回路基板７上に多数個の凹部を形成し、凹部内に各色の光発光素子を実装することにより、回路基板７自体が複数の画素を持つ画像表示装置となる。

【００３０】

【発明の効果】本発明の画像表示装置によれば、光発光素子の発光量は同じでも、光の減衰を低下し、集光量を増大するので輝度が向上し、高輝度な画像表示装置を実現することができる。また、光発光素子の周囲には電極部がないため、従来のＬＥＤと比較して小型のＬＥＤを実現することができる。さらに、画像表示装置の基板に高密度に実装することができ、高精細な画像表示装置を実現することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態における断面図である。

【図２】本発明の第２の実施形態における断面図である。

【図３】本発明の第３の実施形態における断面図である。

【図４】本発明の第４の実施形態における断面図である。

【図５】（ａ）、（ｂ）は各々本発明の第５の実施形態における断面図である。

【図６】（ａ）、（ｂ）、（ｃ）は各々本発明の第６の実施形態における断面図である。

【図７】従来の実施形態における概略図である。

【図８】従来の実施形態における断面図である。

【図９】従来の実施形態における断面図である。

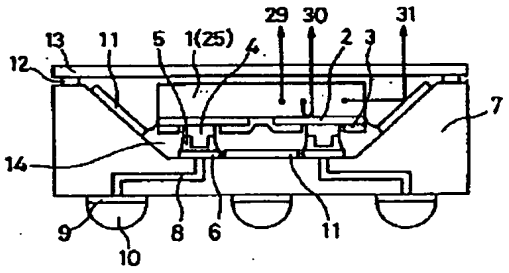
【符号の説明】

１　青色光発光素子
２　電極
３　保護膜
４　突起物
５　導電性接着剤
６　表面電極
７　回路基板
８　基板内配線
９　裏面電極
１０　半田
１１　光反射板
１２　防水型導電性接着剤
１３　ガラス基板
１４　封止樹脂
１５　赤色光発光素子
１６　透明電極
１７　光反射型導電性接着剤
１８　電極
１９　半導体素子
２０　半導体素子上電極

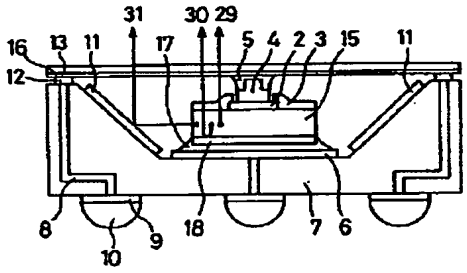
２１　金ワイヤ
２２　接着剤
２３　画像表示装置の回路基板
２４　表面電極
２５　緑色光発光素子
２６　赤色ＬＥＤ
２７　緑色ＬＥＤ
＊２８　青色ＬＥＤ
２９　直接光
３０　反射光
３１　側面光
３２　遮断させた光

＊

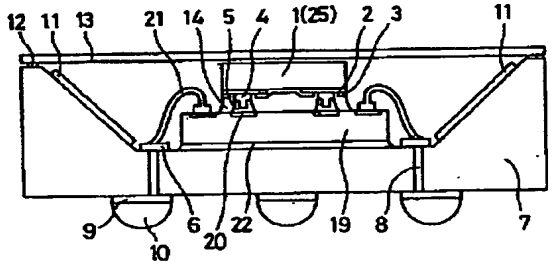
【図１】



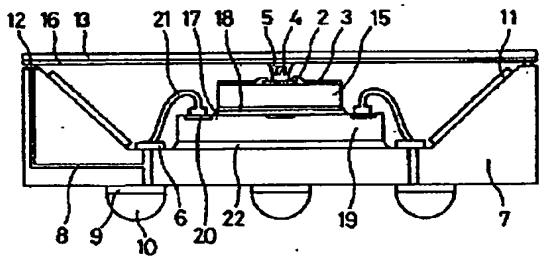
【図２】



【図３】

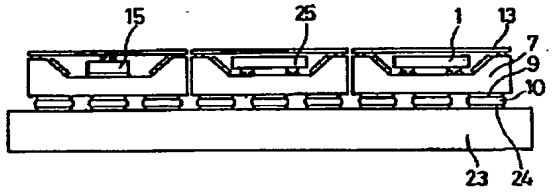


【図４】

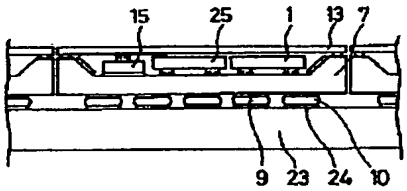


【図５】

(a)

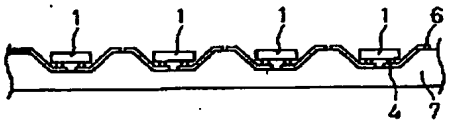


(b)

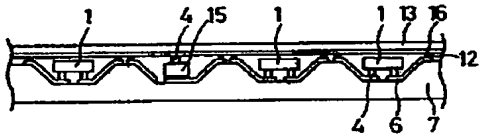


【図６】

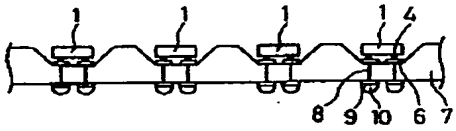
(a)



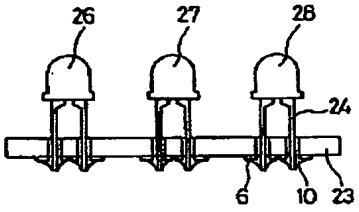
(b)



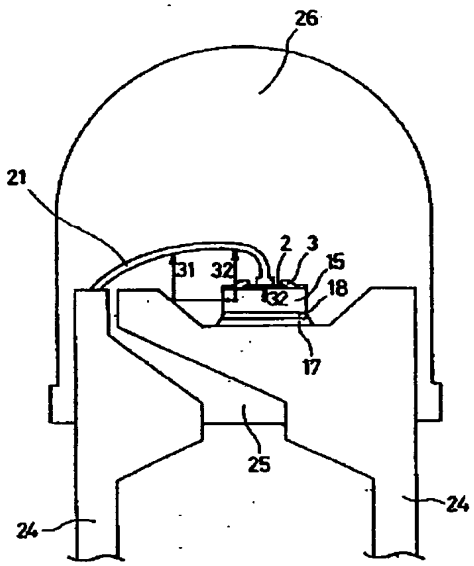
(c)



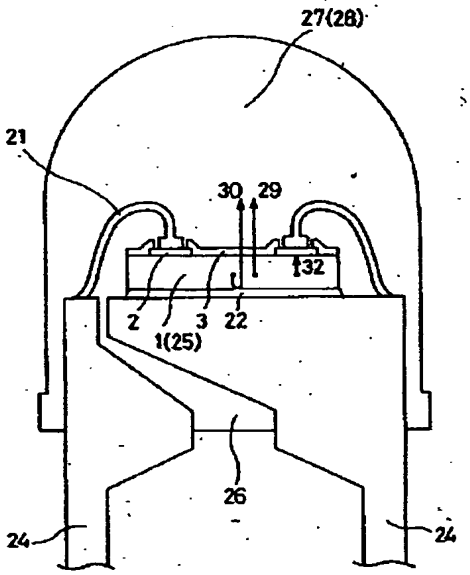
【図７】


26
27
28
24
6
10
23

【図８】


26
21
2
3
15
18
31
32
32
17
25
24
24

【図９】


27(28)
21
30
29
32
2
3
22
1(25)
26
24
24

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354836
(43)Date of publication of application : 24.12.1999

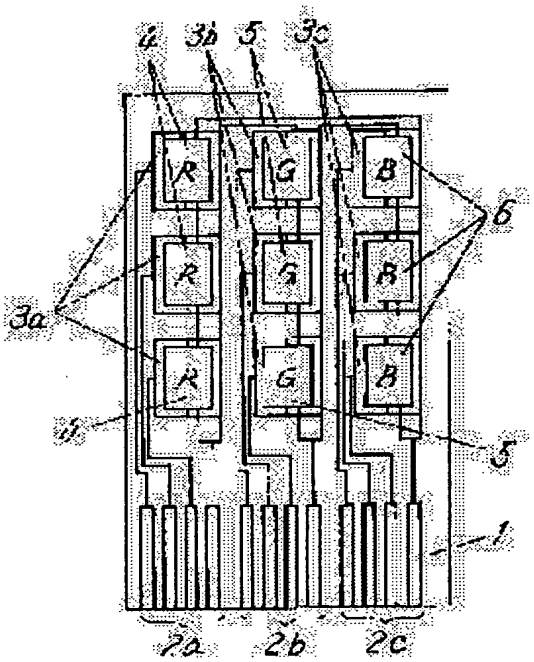
(51)Int.Cl. H01L 33/00

(21)Application number : 10-157307
(22)Date of filing : 05.06.1998

(71)Applicant : MATSUSHITA ELECTRON CORP
(72)Inventor : SANADA KENICHI
TAKESAKO KOICHI

(54) FULL COLOR SEMICONDUCTOR LIGHT EMITTING DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a full color light emitting device in which reliability can be enhanced by enhancing resistance against high voltage of static electricity or surge while simplifying electric connection.
SOLUTION: The full color semiconductor light emitting device combines an Si diode 1 for protection against static electricity and semiconductor light emitting elements 4, 5, 6 of red, green and blue mounted on the Si diode 1 while conducting therewith. A circuit pattern for conducting the semiconductor light emitting elements 4-6 with an external electric circuit is formed in the Si diode 1 to obtain an assembly where the semiconductor light emitting elements 4-6 can be mounted on the Si diode 1. Furthermore, overall height is reduced by making a recess for containing the semiconductor light emitting elements 4-6 in the Si diode 1.



LEGAL STATUS

[Date of request for examination] 06.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－354836

(43)公開日　平成11年(1999)12月24日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　33/00		Ｈ０１Ｌ　33/00	Ａ

審査請求　未請求　請求項の数２　ＯＬ　（全５頁）

(21)出願番号　特願平10－157307

(22)出願日　平成10年(1998)６月５日

(71)出願人　000005843
松下電子工業株式会社
大阪府高槻市幸町１番１号

(72)発明者　▲真▼田　研一
大阪府高槻市幸町１番１号　松下電子工業株式会社内

(72)発明者　竹迫　幸一
大阪府高槻市幸町１番１号　松下電子工業株式会社内

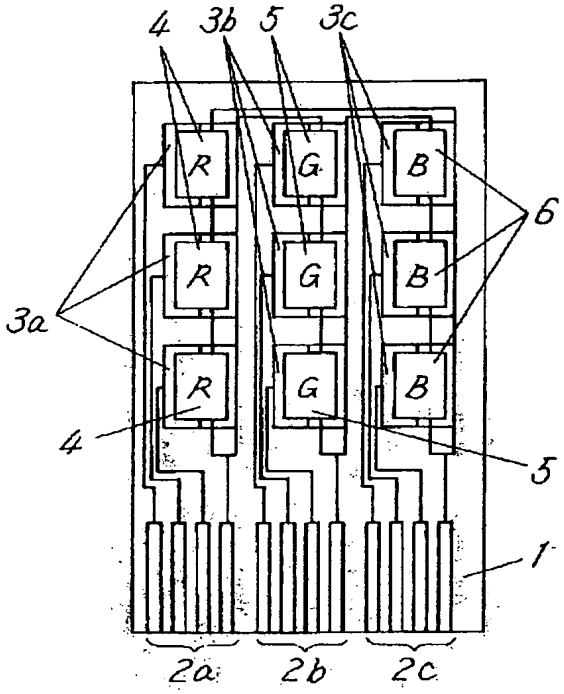
(74)代理人　弁理士　滝本　智之　（外１名）

(54)【発明の名称】　フルカラー半導体発光装置

(57)【要約】

【課題】　電気的接続が簡単でかつ静電気やサージ等の高電圧の印加に対する耐圧の向上によって信頼性を向上し得るフルカラー発光が可能な発光装置を提供すること。

【解決手段】　静電気保護用のＳｉダイオード１とその上に導通搭載される赤，緑，青の各色の半導体発光素子４，５，６との組み合わせのフルカラーの半導体発光装置であって、Ｓｉダイオード１には、半導体発光素子４～６を外部の電気回路に導通接続させる回路パターンを形成し、Ｓｉダイオード１に半導体発光素子４～６を実装するだけのアセンブリを可能とする。また、Ｓｉダイオード１には半導体発光素子４～６を収容する凹部を設けることによって、全体の高さ寸法を小さくする。



IKEA Supply AG
Exhibit 1002 Page 293 of 361

1

【特許請求の範囲】

【請求項１】　静電気保護用のＳｉダイオードと、このＳｉダイオードの上に導通搭載される赤，緑，青の各色の半導体発光素子との組み合わせからなるフルカラーの半導体発光装置であって、前記Ｓｉダイオードには、前記半導体発光素子を外部の電気回路に導通接続させる回路パターンを形成してなるフルカラー半導体発光装置。

【請求項２】　前記Ｓｉダイオードは、前記各色の半導体発光素子を落とし込んで搭載する凹部を形成してなる請求項１記載のフルカラー半導体発光装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、Ｒ，Ｇ，Ｂの各色の半導体発光素子を含む発光装置に係り、特に発光素子の静電耐圧性を向上させるための静電気保護素子に回路パターンを複合することによってアセンブリが簡単でしかも薄型化が図れるようにしたフルカラー発光の半導体発光装置に関する。

【０００２】

【従来の技術】ＬＥＤランプやチップ型ＬＥＤ等のように半導体発光素子を利用した発光装置は、たとえばパネルにこれらのＬＥＤランプやチップ型ＬＥＤを多数配列したＬＥＤディスプレイに広く利用されている。半導体発光素子は、化合物半導体を同一の化合物半導体の基板の上に積層してｐ型層及びｎ型層を形成したｐ－ｎ接合のものが一般的であり、化合物半導体の種類によって赤（Ｒ）や緑（Ｇ）等の発光が得られる。そして近来では、主としてＧａＮ系の化合物半導体を絶縁性であって透明のサファイアの基板に積層した青（Ｂ）や緑（Ｇ）の発光素子が開発され、発光輝度が高い製品として提供されるようになった。

【０００３】ＬＥＤディスプレイの場合では、単色表示のものでは１個のＬＥＤによって１画素が構成されるが、たとえば赤，橙，緑の３色の表示の場合では、赤色ＬＥＤ１個及び緑色ＬＥＤ１個を１画素とし、橙は赤ＬＥＤと緑ＬＥＤを同時に発光させて混色化することによって表示される。これに対し、近来では、フルカラー表示のために、光の３原色であるＲ，Ｇ，Ｂの組み合わせを１画素とする発光表示装置が主流となっている。このようなＲ，Ｇ，Ｂを１画素とするフルカラーの発光装置の一般的な製造は、化合物半導体を基板上に成長積層させた各色の発光素子について別々にダイスボンドし、これらの発光素子のそれぞれに対して独立して電気的に接続するためにワイヤボンディングするという工程としたものが一般的である。

【０００４】光の３原色のＲ，Ｇ，Ｂの発光素子のうち、Ｇ，Ｂは高い発光輝度を得るためにＧａＮ系化合物半導体が用いられる。ところが、ＧａＮ系化合物半導体は、発光素子形成のための他の種類の化合物半導体と比べると、静電耐圧が低いという性質がある。このため、

2

Ｒの発光素子と比較すると、Ｇ，Ｂの発光素子については静電耐圧が低いため、静電気やサージ等の高電圧が印加されたときに静電破壊されやすく、特にＧａＮ系の化合物半導体が必須のＢの発光素子についてはこの静電破壊による影響は無視できない。

【０００５】このように、Ｇ，Ｂの発光素子が静電破壊しやすい傾向にあることから、ＲとＧの発光素子またはＲとＢ発光素子の組み合わせを１画素としたり、Ｒ，Ｇ，Ｂの発光素子の組み合わせを１画素単位とした多色発光にも影響を及ぼす。すなわち、Ｒの発光素子については静電破壊の心配がないのに対して、これと組み合わせられたＧ，Ｂは静電気等の過電流によって静電破壊してしまうので、Ｒの発光素子による赤だけの発光となり、光の３原色によるフルカラーの発光機能は失われてしまう。

【０００６】このようなＧ，Ｂの発光素子の静電破壊に対しては、特開平９－１４８６２５号公報に記載されているように、ＧａＮ系化合物半導体を用いた発光素子の静電耐圧を向上させるための逆耐圧補償用の補償ダイオードを備えることが一つの有効な手段となり得る。また、たとえばｎ型のシリコン基板を用いたツェナーダイオードに発光素子をｐ側及びｎ側が逆極性となるように導通接続することによっても、静電破壊を防止できることが既に知られている。

【０００７】図４は静電保護素子としてツェナーダイオードを利用したＲ，Ｇ，Ｂのフルカラー発光装置として適用可能な構成例を示す概略図であり、同図の（ａ）は側面図、同図の（ｂ）は平面図である。

【０００８】図において、配線パターン５１ａ，５１ｂ，５１ｃを予めウエハー段階で形成したプリント基板５１を主材として、各配線パターン５１ａ，５１ｂ，５１ｃのそれぞれに、図示の例では３個ずつのＲ，Ｇ，Ｂの発光素子５２，５３，５４を配置している。そして、これらの発光素子５２～５４の静電耐圧を保つために、各配線パターン５１ａ～５１ｃに導通させたツェナーダイオード５５，５６，５７に搭載されている。

【０００９】ツェナーダイオード５５～５７はたとえばｎ型のシリコン基板を利用したものであり、その底面にｎ電極を形成して配線パターン５１ａ～５１ｃに導通させて搭載されている。そして、上面側にはｐ型半導体領域を部分的に拡散形成し、ｎ型シリコン基板及びｐ型半導体領域のそれぞれにｎ側電極及びｐ側電極が接合形成され、ｐ側電極はワイヤによって配線パターン５１ａ～５１ｃにボンディングされる。一方、発光素子５２～５４はフリップチップ型であって、ｎ側及びｐ側の電極を逆極性としてツェナーダイオード５５～５７に導通させている。

【００１０】このように各発光素子５２～５４をｐ側とｎ側の電極を逆極性としてツェナーダイオード５５～５７に搭載することによって、静電気等の過電流が流れた

IKEA Supply AG
Exhibit 1002 Page 294 of 361

ときでも発光素子５２～５４の破壊を防止することができる。

【００１１】

【発明が解決しようとする課題】ところが、発光素子５２～５４はツェナーダイオード５５～５７に搭載されて複合素子化されるので、発光素子５２～５４をプリント基板５１の上に搭載するだけの場合に比べると、ツェナーダイオード５５～５７の組込み分だけ高さ寸法が大きくなる。このため、プリント基板５１と全ての発光素子５２～５４とによるR，G，Bのフルカラー発光用の発光装置のユニットでは、特に静電耐圧が低いGとBの発光素子５３，５４の静電気保護が図れるものの、薄型化の自由度が小さくなり、製品の小型化に支障を招く。

【００１２】また、アセンブリにおいては、プリント基板５１へのツェナーダイオード５５～５７の搭載とワイヤによるボンディングの工程と、ツェナーダイオード５５～５７への各発光素子５２～５４の搭載の工程とが必要となる。この場合、たとえばツェナーダイオード５５～５７をウエハー状態で形成しておきこの上に発光素子５２～５４を搭載したものをダイシングし予め複合化素子として準備しておけば、プリント基板５１にはこの複合化素子を搭載するだけで済むので、見掛け上の工数は減る。

【００１３】しかしながら、プリント基板５１、発光素子５２～５４及びツェナーダイオード５５～５７の３部材の組み合わせであることに変わりはなく、アセンブリのための工程数の削減には限界がある。また、組立て工数が多いことと、各ツェナーダイオード５５～５７に対する発光素子５２～５４の搭載精度等を厳しく管理しなければならないので、製造歩留りにも大きく影響する。

【００１４】このようにフルカラー対応のためのR，G，Bの組み合わせを１画素とする発光表示装置において、ツェナーダイオードを利用して静電耐圧を補償しようとするとき、製品の薄型化や製造歩留りの点で改善すべき問題が残っている。

【００１５】本発明において解決すべき課題は、電気的接続が簡単でかつ静電気やサージ等の高電圧の印加に対する耐圧の向上によって信頼性を向上し得るフルカラー発光が可能な発光装置を提供することにある。

【００１６】

【課題を解決するための手段】本発明は、静電気保護用のＳｉダイオードと、このＳｉダイオードの上に導通搭載される赤，緑，青の各色の半導体発光素子との組み合わせからなるフルカラーの半導体発光装置であって、前記Ｓｉダイオードには、前記半導体発光素子を外部の電気回路に導通接続させる回路パターンを形成してなることを特徴とする。

【００１７】この構成では、静電気保護用のＳｉダイオードが従来の回路基板を兼ねた部材とすることができるので、Ｓｉダイオードに発光素子を実装するだけのアセンブリで済むほか、高さ寸法も短くすることができる。

【００１８】

【発明の実施の形態】請求項１の発明は、静電気保護用のＳｉダイオードと、このＳｉダイオードの上に導通搭載される赤，緑，青の各色の半導体発光素子との組み合わせからなるフルカラーの半導体発光装置であって、前記Ｓｉダイオードには、前記半導体発光素子を外部の電気回路に導通接続させる回路パターンを形成してなるものであり、Ｓｉダイオードに発光素子を実装するだけのアセンブリで済み、高さ寸法も短い製品が得られる。

【００１９】請求項２の発明は、前記Ｓｉダイオードは、前記各色の半導体発光素子を落とし込んで搭載する凹部を形成してなる請求項１記載のフルカラー半導体発光装置であり、発光素子を凹部の中に収めることで、Ｓｉダイオードと半導体発光素子との積層高さを小さく抑えるという作用を有する。

【００２０】以下に、本発明の実施の形態の具体例を図面を参照しながら説明する。図１は本発明の一実施の形態によるフルカラー半導体発光装置の要部を示す概略平面図、図２は発光素子を含む面で切った要部の縦断面図である。

【００２１】本発明の発光装置は、１枚のＳｉダイオード１をプリント基板兼用の部材として備え、このＳｉダイオード１の上に後述するR，G，Bの発光素子を画素単位として３組配列したものである。

【００２２】Ｓｉダイオード１はたとえばｎ型シリコン基板を利用したもので、図２に示すように、R，G，Bの発光素子をそれぞれ搭載する部分に凹部１ａ，１ｂ，１ｂ－１を形成している。そして、これらの凹部１ａ～１ｂ－１に対応して、配線パターン２ａ，２ｂ，２ｃ及びこれらにそれぞれ導通させた電極３ａ，３ｂ，３ｃのパターンを設けている。

【００２３】凹部１ａ～１ｂ－１にそれぞれ搭載されるR，G，Bの発光素子４，５，６は、フリップチップ型のものであり、図３にBの発光素子６の搭載導通構造を示す。

【００２４】Ｓｉダイオード１は、図３に示すように、ｎ型シリコン基板１ｃを基材とし、図２で説明した配線パターン２ａ～２ｃ及び電極３ａ～３ｃを表面側に形成したものである。そして、凹部１ｂ－１の底面部の一部を除いて被覆する酸化膜１ｄを形成し、この酸化膜１ｄで被覆されていない部分を拡散窓としてｐ型不純物イオンを注入することによって、ｐ型半導体領域１ｅを拡散形成している。

【００２５】ｎ型シリコン基板１ｃの表面には、ｎ電極１ｆとｐ電極１ｇをそれぞれ金属蒸着法によって形成する。ｎ電極１ｆは凹部１ｂ－１の右端部に偏って傾斜面までに亘って形成され、酸化膜１ｄが形成されていない部分によってｎ型シリコン基板１ｃに導通している。このｎ電極１ｆはたとえばアルミを利用することができ、

傾斜面部分をｎ電極１ｆによる光の反射層として利用する。一方、ｐ電極１ｇはｎ型シリコン基板１ｃに拡散形成したｐ型半導体領域１ｅに接合されている。

【００２６】Ｂの発光素子６は、ＧａＮ系化合物半導体を絶縁性のサファイア基板に積層してその中の１つの層として形成されるＩｎＧａＮ活性層を発光層とし、フリップチップ型としてＳｉダイオード１の上面に搭載されるものである。

【００２７】すなわち、図３に示すように、発光素子６は透明のサファイア基板６ａに積層したｎ型層及びｐ型層のそれぞれの表面にｎ側電極６ｂ及びｐ側電極６ｃを蒸着法によって形成したものである。また、これらのｎ側電極６ｂ及びｐ側電極６ｃの表面にはそれぞれマイクロバンプ６ｄ，６ｅが形成されている。そして、Ｓｉダイオード１のｎ電極１ｆとｐ電極１ｇとに跨がる配置として発光素子６を搭載し、ｎ側電極６ｂ及びｐ側電極６ｃをそれぞれｐ電極１ｇ及びｎ電極１ｆにマウント接合する。

【００２８】Ｓｉダイオード１に形成されたｐ電極１ｇは、発光素子６のｎ側電極６ｂ及び配線パターン２ｃと導通している。また、ｎ電極１ｆ及びｐ電極１ｇは、アルミニウム等の光反射率の高い金属を蒸着によって形成したものとし、凹部１ｂ－１の内周壁部分の傾斜面を発光方向への反射面として利用する。

【００２９】以上のような搭載構造はＲ，Ｇの発光素子４，５の凹部１ａ，１ｂへの組込みについても全く同様である。

【００３０】以上の構成において、Ｒ，Ｇ，Ｂの各発光素子４，５，６へ通電されると、それぞれの発光層からの光が放出される。そして、下側及び側方に抜ける光の成分もあるが、サファイア基板が透明であることから図３において上側を向いた面を主光取出し面とした発光が得られる。したがって、Ｒ，Ｇ，Ｂの光の３原色の発光素子４，５，６のそれぞれの発光色とこれらの組み合わせによって、フルカラーの発光が得られる。

【００３１】また、Ｓｉダイオード１を備えることによって、各発光素子４，５，６の静電破壊を防止でき、特に静電耐圧が低いＧａＮ系半導体化合物を必須とするＢの発光素子６の耐久性も向上するので、Ｒ，Ｇ，Ｂの発光素子４，５，６の組み合わせのフルカラー対応画素を有効に利用した発光表示が可能となる。

【００３２】このように、Ｒ，Ｇ，Ｂの発光素子４，５，６をそれぞれ凹部１ａ，１ｂ，１ｂ－１の中に落とし込むように組み込むことによって、各発光素子４，５，６どうしの間の光学的な干渉を受けることがない。このため、各発光素子４，５，６に使用する材料のバンドギャップエネルギの違いによる光吸収が抑えられ、それぞれの発光色がより一層鮮明化するとともに高い発光出力が得られる。また、各凹部１ａ～１ｂ－１の傾斜面に設ける電極を利用した光の反射によって光を主光取出し面方向へ反射させるので、発光輝度を更に向上させることもできる。

【００３３】ここで、本発明においては、Ｓｉダイオード１自身に配線パターン２ａ～２ｃ及び電極３ａ～３ｃを形成して、各発光素子４～６を導通搭載する。すなわち、Ｓｉダイオード1 を回路基板として兼用することができるので、このＳｉダイオード１に配線パターン２ａ～２ｃ及び電極３ａ～３ｃを形成したものを予め作製しておけば、発光素子４～６の搭載のチップ接合だけの工程で済む。

【００３４】また、発光素子４～６はいずれも凹部１ａ～１ｂ－１の中に落とし込まれて、Ｓｉダイオード１の表面から突き出ないように組み込まれるので、全体の高さ寸法を小さくでき、最終的に製作される発光装置の薄型化が可能となる。

【００３５】

【発明の効果】請求項１の発明では、静電気保護用のＳｉダイオードが従来の回路基板を兼ねた部材とすることができるので、Ｓｉダイオードに発光素子を実装するだけのアセンブリで済み、従来の基板の上に静電気保護素子を搭載し更にその上に発光素子を搭載する構造に比べると製造歩留りが向上する。また、Ｓｉダイオードと発光素子との積層なので、その高さ寸法も小さくなり発光装置を薄型化することができる。

【００３６】請求項２の発明では、発光素子をＳｉダイオードの凹部の中に収めることで、Ｓｉダイオードと半導体発光素子との積層高さを更に低くすることができ、凹部の中に発光素子の全体が落ち込む構成とすれば、Ｓｉダイオードだけの厚さの製品が得られる。

【図面の簡単な説明】

【図１】本発明の一実施の形態によるフルカラー半導体発光装置を示す概略平面図

【図２】図１において発光素子を含む面で切った要部の縦断面図

【図３】青色発光用の発光素子の搭載構造の要部を示す概略図

【図４】（ａ）はツェナーダイオードおよび発光素子を複合素子化した従来例を示す概略側面図

（ｂ）は（ａ）の平面図

【符号の説明】

１　Ｓｉダイオード

１ａ，１ｂ，１ｂ－１　凹部

１ｃ　ｎ型シリコン基板

１ｄ　酸化膜

１ｅ　ｐ型半導体領域

１ｆ　ｎ電極

１ｇ　ｐ電極

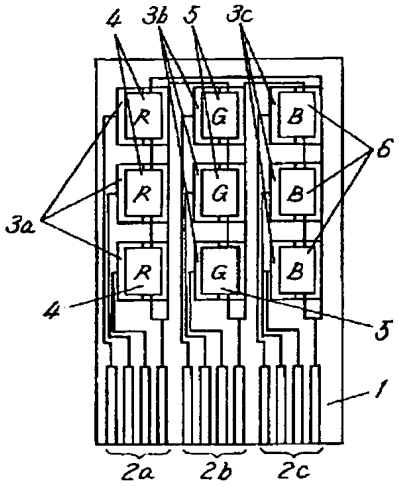
２ａ，２ｂ，２ｃ　配線パターン

３ａ，３ｂ，３ｃ　電極

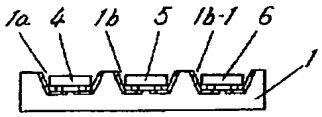
４　発光素子

5　発光素子
6　発光素子
6ａ　サファイア基板
＊６ｂ　ｎ側電極
６ｃ　ｐ側電極
＊　６ｄ，６ｅ　マイクロバンプ

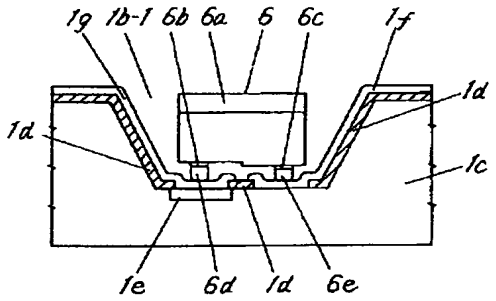
【図１】



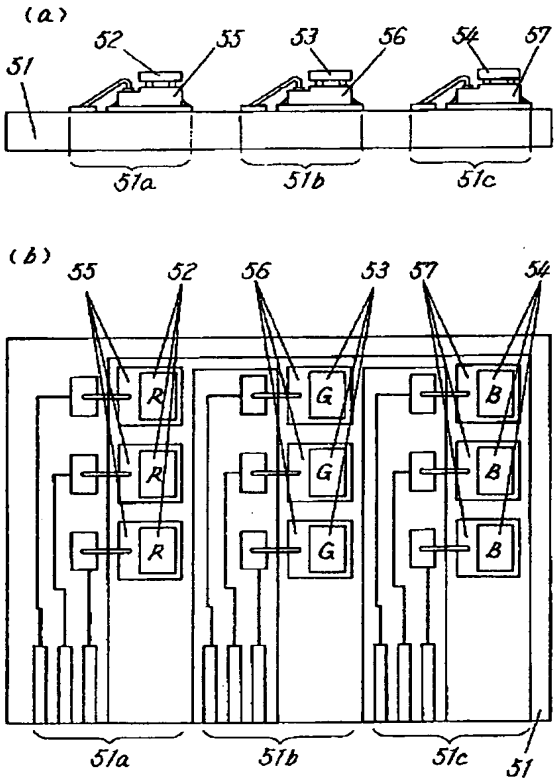
【図２】



【図３】



【図４】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/017467

A. CLASSIFICATION OF SUBJECT MATTER
H01L33/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L33/00 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-114595 A (Matsushita Electronics Corp.), 21 April, 2000 (21.04.00), Full text; all drawings (Family: none)	1-13
Y	JP 2004-103975 A (Citizen Watch Co., Ltd.), 02 April, 2004 (02.04.04), Par. Nos. [0028] to [0040], [0055] to [0070]; Figs. 1, 4 to 5 (Family: none)	1-13
Y	JP 2002-151739 A (Showa Denko Kabushiki Kaisha), 24 May, 2002 (24.05.02), Par. No. [0030]; Fig. 1 (Family: none)	4,5

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 December, 2005 (06.12.05)	13 December, 2005 (13.12.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/017467

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E,X	JP 2005-136177 A (Toyoda Gosei Co., Ltd.), 26 May, 2005 (26.05.05), Par. Nos. [0037] to [0052]; Figs. 3 to 7 (Family: none)	1,7-9,12,13

IKEA Supply AG
FH_000299 Exhibit 1002 Page 299 of 361

受付
19.2.16
特許庁

WO 2006/035664
PCT/JP2005/017467

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

SECOND AND SUPPLEMENTARY NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION (TO DESIGNATED OFFICES WHICH APPLY THE 30 MONTH TIME LIMIT UNDER ARTICLE 22(1))

(PCT Rule 47.1(c))

To:

KAWAMIYA, Osamu
AOYAMA & PARTNERS, IMP Building
3-7, Shiromi 1-chome, Chuo-ku
Osaka-shi, Osaka 5400001
JAPON

Date of mailing *(day/month/year)* 01 February 2007 (01.02.2007)	
Applicant's or agent's file reference 666189	**IMPORTANT NOTICE**

International application No.	International filing date *(day/month/year)*	Priority date *(day/month/year)*
PCT/JP2005/017467	22 September 2005 (22.09.2005)	27 September 2004 (27.09.2004)

Applicant: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al

1. **ATTENTION**: For any designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002 (30 months from the priority date), **does not apply**, please see Form PCT/IB/308(First Notice) issued previously.

2. Notice is hereby given that the following designated Office(s), for which the time limit under Article 22(1), as in force from 1 April 2002, **does apply**, has/have requested that the communication of the international application, as provided for in Article 20, be effected under Rule 93*bis*.1. The International Bureau has effected that communication on the date indicated below:
06 April 2006 (06.04.2006)

AU, AZ, BY, CN, CO, DZ, EP, HU, KG, KP, KR, MD, MK, MZ, NA, NG, PG, RU, SY, TM, US

In accordance with Rule 47.1(c-*bis*)(i), those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

3. The following designated Offices, for which the time limit under Article 22(1), as in force from 1 April 2002, **does apply**, have not requested, as at the time of mailing of the present notice, that the communication of the international application be effected under Rule 93*bis*.1 :

AE, AG, AL, AM, AP, AT, BA, BB, BG, BR, BW, BZ, CA, CR, CU, CZ, DE, DK, DM, EA, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, ID, IL, IN, IS, JP, KE, KM, KZ, LC, LK, LR, LS, LT, LV, LY, MA, MG, MN, MW, MX, NI, NO, NZ, OA, OM, PH, PL, PT, RO, SC, SD, SG, SK, SL, SM, TJ, TN, TR, TT, UA, UZ, VC, VN, YU, ZA, ZM, ZW

In accordance with Rule 47.1(c-*bis*)(ii), those Offices accept the present notice as conclusive evidence that the Contracting State for which that Office acts as a designated Office does not require the furnishing, under Article 22, by the applicant of a copy of the international application.

4. **TIME LIMITS for entry into the national phase**

For the designated or elected Office(s) listed above, the applicable time limit for entering the national phase will, **subject to what is said in the following paragraph,** be **30 MONTHS** from the priority date.

In practice, **time limits other than the 30-month time limit** will continue to apply, for various periods of time, in respect of certain of the designated or elected Office(s) listed above. For **regular updates on the applicable time limits** (30 or 31 months, or other time limit), Office by Office, refer to the *PCT Gazette*, the *PCT Newsletter* and the *PCT Applicant's Guide*, Volume II, National Chapters, all available from WIPO's Internet site, at http://www.wipo.int/pct/en/index.html.

It is the applicant's **sole responsibility** to monitor all these time limits.

IKEA Supply AG
Exhibit 1002 Page 300 of 361

FH_000300

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 82 70

Authorized officer: Masashi Honda

e-mail: pt08@wipo.int

ATTACHMENT "A"

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年4 月6 日 (06.04.2006)

PCT

(10) 国際公開番号
WO 2006/035664 A1

(51) 国際特許分類:
H01L 33/00 (2006.01)

(21) 国際出願番号: PCT/JP2005/017467

(22) 国際出願日: 2005 年9 月22 日 (22.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-279049 2004 年9 月27 日 (27.09.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 東 和司 (HIGASHI, Kazushi). 石谷 伸治 (ISHITANI, Shinji).

(74) 代理人: 河宮 治，外(KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見１丁目３番７号 ＩＭＰビル 青山特許事務所 Osaka (JP).

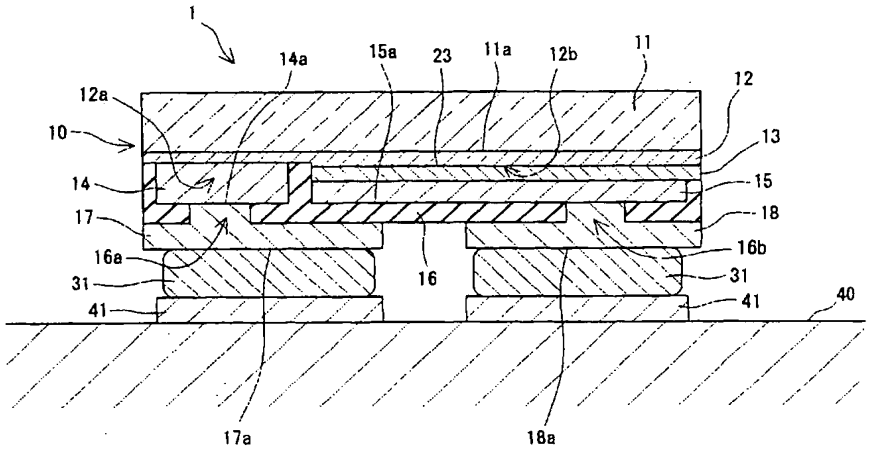
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) **Title:** SEMICONDUCTOR LIGHT EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT EMITTING DEVICE

(54) 発明の名称: 半導体発光素子、その製造方法及びその実装方法、並びに発光装置



(57) **Abstract:** An LED chip (1) is successively provided with an n-type semiconductor layer (12) and a p-type semiconductor layer (13) on a lower plane of an element board (11), and the p-type semiconductor layer (13) is formed by excluding an n-electrode region (12a). In the n-electrode region (12a), a first n-electrode (14) is formed, and on the p-type semiconductor layer (13), a first p-electrode (15) is formed. On the first n-electrode (14) and the first p-electrode (15), a first insulating layer (16) having openings (16a, 16b) is formed, and on the first insulating layer (16), a second n-electrode (17) and a second p-electrode (18) which have substantially the same size are formed. Thus, the electrode on the side of the n-type semiconductor layer (12) can be made large in size, and mounting of the LED chip (1) on a wiring board (40) can be performed at low cost by using a solder (31).

(57) 要約: 本発明のＬＥＤチップ(１)は、素子基板(１１)の下面上にｎ型半導体層(１２)及びｐ型半導体層(１３)を順に備え、ｐ型半導体層(１３)はｎ電極用領域(１２ａ)を除いて形成される。ｎ電極用領域(１２ａ)には第１ｎ電極(１４)が形成され、ｐ型半導体層(１３)上には第１ｐ電極(１５)が形成される。第１ｎ電極(１４)及び第１ｐ電

[続葉有]

WO 2006/035664 A1

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

極(１５)上には開口(１６ａ)、(１６ｂ)を有する第１絶縁層(１６)が形成され、第１絶縁層(１６)上にほぼ同じ大きさの第２ｎ電極(１７)及び第２ｐ電極(１８)が形成される。この構成より、ｎ型半導体層(１２)側の電極を大きくすることができ、配線基板(４０)へのＬＥＤチップ(１)の実装をはんだ(３１)を用いて低コストにて行うことができる。

愛代 '17.12.1

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

KAWAMIYA, Osamu
AOYAMA & PARTNERS, IMP Building, 3-7, Shiromi 1-chome, Chuo-ku, Osaka-shi, Osaka
5400001
JAPON

Date of mailing *(day/month/year)* 24 November 2005 (24.11.2005)	
Applicant's or agent's file reference 666189 ✓	IMPORTANT NOTIFICATION
International application No. PCT/JP2005/017467 ✓	International filing date *(day/month/year)* 22 September 2005 (22.09.2005) ✓
International publication date *(day/month/year)* **Not yet published**	Priority date *(day/month/year)* 27 September 2004 (27.09.2004) ✓

Applicant: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al ✓

1. By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).

2. *(If applicable)* The **letters "NR"** appearing in the right-hand column denote **a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau** under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

3. *(If applicable)***An asterisk (*)** appearing next to a date of receipt, in the right-hand column, denotes **a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b)** (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

Priority date	Priority application No.	Country or regional Office or PCT receiving Office	Date of receipt of priority document
27 September 2004 (27.09.2004) ✓	2004-279049 ✓	JP ✓	03 November 2005 (03.11.2005)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70	Authorized officer Honda Masashi Facsimile No. +41 22 338 70 10 Telephone No. +41 22 338 82 54

Form PCT/IB/304 (January 2004) CNSQGZI4

ATTACHMENT "G"

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年4 月6 日 (06.04.2006)

PCT

(10) 国際公開番号
WO 2006/035664 A1

(51) 国際特許分類:
H01L 33/00 (2006.01)

(21) 国際出願番号: PCT/JP2005/017467

(22) 国際出願日: 2005 年9 月22 日 (22.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-279049 2004 年9 月27 日 (27.09.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 東 和司 (HIGASHI, Kazushi). 石谷 伸治 (ISHITANI, Shinji).

(74) 代理人: 河宮 治， 外(KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見１丁目３番７号 ＩＭＰビル 青山特許事務所 Osaka (JP).

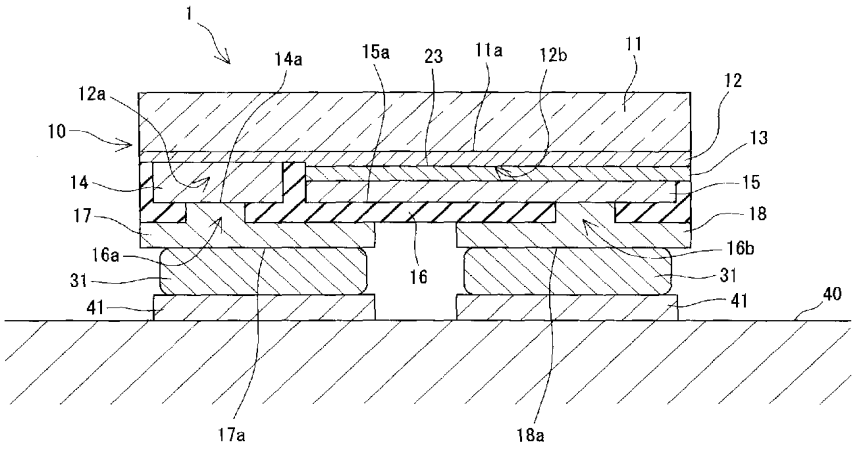
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT EMITTING DEVICE

(54) 発明の名称: 半導体発光素子、その製造方法及びその実装方法、並びに発光装置



(57) Abstract: An LED chip (1) is successively provided with an n-type semiconductor layer (12) and a p-type semiconductor layer (13) on a lower plane of an element board (11), and the p-type semiconductor layer (13) is formed by excluding an n-electrode region (12a). In the n-electrode region (12a), a first n-electrode (14) is formed, and on the p-type semiconductor layer (13), a first p-electrode (15) is formed. On the first n-electrode (14) and the first p-electrode (15), a first insulating layer (16) having openings (16a, 16b) is formed, and on the first insulating layer (16), a second n-electrode (17) and a second p-electrode (18) which have substantially the same size are formed. Thus, the electrode on the side of the n-type semiconductor layer (12) can be made large in size, and mounting of the LED chip (1) on a wiring board (40) can be performed at low cost by using a solder (31).

(57) 要約: 本発明のＬＥＤチップ(１)は、素子基板(１１)の下面上にｎ型半導体層(１２)及びｐ型半導体層(１３)を順に備え、ｐ型半導体層(１３)はｎ電極用領域(１２ａ)を除いて形成される。ｎ電極用領域(１２ａ)には第１ｎ電極(１４)が形成され、ｐ型半導体層(１３)上には第１ｐ電極(１５)が形成される。第１ｎ電極(１４)及び第１ｐ電

[続葉有]

WO 2006/035664 A1

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

極(１５)上には開口(１６ａ)、(１６ｂ)を有する第１絶縁層(１６)が形成され、第１絶縁層(１６)上にほぼ同じ大きさの第２ｎ電極(１７)及び第２ｐ電極(１８)が形成される。この構成より、ｎ型半導体層(１２)側の電極を大きくすることができ、配線基板(４０)へのＬＥＤチップ(１)の実装をはんだ(３１)を用いて低コストにて行うことができる。

明 細 書

半導体発光素子、その製造方法及びその実装方法、並びに発光装置

技術分野

[0001] 本発明は、半導体発光素子、その製造方法及びその実装方法に関し、さらにその半導体発光素子を配線基板に実装した発光装置に関する。

背景技術

[0002] 近年、発光ダイオード(Light Emitting Diode、以下、「LED」と呼ぶ。)に代表される半導体発光素子のベアチップを配線基板上に多数実装することにより、照明や表示装置等を製造する技術が利用されつつある。LEDのベアチップ(以下、「LEDチップ」と呼ぶ。)を配線基板上に実装する実装技術としては、例えば特許文献1や特許文献2に示されているような、バンプを利用したフリップチップ接合が一般的に用いられている。

[0003] 図16は、従来の典型的な構造を有するLEDチップが配線基板上に実装された状態を模式的に示す断面図である。図17は、従来のLEDチップの底面図である。図16は図17中のC－C線の位置における断面を模式的に示す図である。

[0004] LEDチップ101は、光透過性の基板(以下、「素子基板」と呼ぶ。)111と、素子基板111を覆うように素子基板111上に形成されたn型半導体層112と、n型半導体層112上の角部のn電極用領域112a(図17参照)を除いたn型半導体層111a上の領域を覆うように形成されたp型半導体層113と、n型半導体層112上のn電極用領域112aに形成されたn電極114と、p型半導体層113上に形成されたp電極115とにより構成されている。

[0005] LEDチップ101は、n電極114及びp電極115が配線基板140上の電極141上に形成された複数のバンプ142にそれぞれ超音波を利用して接合されることにより、配線基板140と電気的に接続される。なお、このようにして配線基板140に電気的に接続されたLEDチップ101は、n型半導体層112とp型半導体層113とのpn接合部123に電流が流れることにより発光する。

特許文献1:特開平11－161197号公報

特許文献2:特開平11－354836号公報

発明の開示

発明が解決しようとする課題

[0006] 従来、LEDチップは、0．3mm角のサイズのものが一般的に用いられているが、近年、低消費電力、水銀レスなどの特徴から用途が広がり、中・大型液晶バックライトや特殊照明、車のヘッドライト等にも使用可能な高出力・高効率を実現できる大型のLEDチップ（例えば、1mm角以上）の開発が進められている。しかしながら、上述のようなフリップチップ接合による実装技術では、LEDチップの大きさが0．5mm角を超えると、LEDチップを均一に発光させるためにp電極に多数のバンプを形成する必要が生じる。p電極に多数のバンプを形成することは、接合歩留りの低下や、さらに実装時の位置ずれによるショートや接続不良の可能性の増大につながるため好ましくない。

[0007] 一方、電子部品の実装分野では、一般に大型の電子部品に対しては、はんだや銀ペーストなどの導電性接着材料を用いて低コストにて配線基板への実装が行われている。しかしながら、従来のLEDチップ101の場合は、上述のようにpn接合部123で発光するので、発光領域を大きくするためには、n型半導体層112とn電極114との接合面をなるべく小さくして、発光領域に対応するn型半導体層112とp型半導体層113との接合面を大きくする必要がある。このため、仮にLEDチップ101を大型化したとしても、n電極114の面積を大型化することには繋がらない。

[0008] したがって、従来のLEDチップ101の実装においては、n電極114の面積が小さいために、はんだや異方性導電性樹脂などの広い接合面積（例えばはんだの場合は、幅0．1mm以上且つ接合面積0．04mm^2以上、異方性導電性樹脂の場合は、幅0．20mm以上且つ接合面積0．08mm^2以上）を必要とする導電性接着材料を用いることが難しく、上述のようにバンプを利用したフリップチップ接合による実装を行わざるを得ない。また、バンプをその小さなn電極に位置合わせしてから実装しなければならないので、高い実装精度が必要となる。そのため、生産効率が低下し、生産性が低い。

[0009] 本発明は上記課題に鑑みなされたものであり、はんだに代表される導電性接着材

料を用いて低コストにて配線基板に実装できる半導体発光素子、その製造方法及びその実装方法、並びにその半導体発光素子を配線基板に実装した発光装置を提供することを主たる目的としている。

課題を解決するための手段

[0010] 本発明は上記目的を達成するため、以下のように構成している。

本発明の第1態様によれば、光透過性の素子基板と、

前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、

前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、

前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、

前記p型半導体層上に形成された薄膜である第1p電極と、

前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、

前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1n電極及び前記第1絶縁層上に形成されることで、前記第1n電極に電気的に接続されるとともに前記第1絶縁層により前記第1p電極と絶縁された第2n電極と、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として形成され、前記第1p電極に電気的に接続される第2p電極と、

を備える半導体発光素子を提供する。

[0011] 本発明の第2態様によれば、光透過性の素子基板と、

前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、

前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、

前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、

前記p型半導体層上に形成された薄膜である第1p電極と、

n電極用開口及びp電極用開口がそれぞれ少なくとも1つ設けられ、n電極用開口及びp電極用開口を除いて、前記第1n電極及び前記第1p電極を覆うとともに、前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、

前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1

絶縁層上に形成され、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電気的に接続された第2n電極と、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電気的に接続された第2p電極と、

を備える半導体発光素子を提供する。

[0012] 本発明の第3態様によれば、前記p型半導体層上の前記第1絶縁層上に、前記n型半導体層と前記p型半導体層との接合面の面積よりも小さく、第2p電極の面積よりも大きな面積を有するように形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電気的に接続された導電層と、

前記導電層と前記第2n電極とを絶縁するように前記導電層と前記第2n電極の間に形成された第2絶縁層と、

をさらに有し、

前記第2p電極は、前記p型半導体層と前記第1p電極との接合面よりも面積が大きい薄膜として前記導電層上に形成され、前記導電層を介して前記第1p電極に電気的に接続されている第2態様に記載の半導体発光素子を提供する。

[0013] 本発明の第4態様によれば、前記第1絶縁層の前記p電極用開口は、複数個が大略均等に分散して設けられている第2態様又は第3態様に記載の半導体発光素子を提供する。

[0014] 本発明の第5態様によれば、前記第2n電極と前記第2p電極の大きさは、大略同一である第1態様から第3態様のいずれか一つに記載の半導体発光素子を提供する。

[0015] 本発明の第6態様によれば、前記導伝性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである第1態様から第3態様のいずれか一つに記載の半導体発光素子を提供する。

[0016] 本発明の第7態様によれば、第1態様に記載の半導体発光素子と、

複数の電極を有する配線基板と、

前記第2n電極と、前記第2p電極とを前記配線基板上の前記電極に電気的に接続するとともに固定する導電性接着材料層と、

を備える発光装置を提供する。

[0017] 本発明の第8態様によれば、前記導電性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである第7態様に記載の発光装置を提供する。

[0018] 本発明の第9態様によれば、光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

前記第1n電極と前記第1p電極とを絶縁するように第1絶縁層を形成し、

前記第1n電極及び前記第1絶縁層上に、前記n型半導体層と前記第1n電極との接合面よりも大きい面積を有する薄膜である第2n電極を、前記第1絶縁層により前記第1p電極と絶縁され且つ前記第1n電極と電気的に接続されるように形成するとともに、

前記第1p電極上に、前記n型半導体層と前記p型半導体層との接合面よりも小さい面積を有する薄膜である第2p電極を、前記第1p電極と電気的に接続されるように形成する、

半導体発光素子の製造方法を提供する。

[0019] 本発明の第10態様によれば、光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

n電極用開口及びp電極用開口をそれぞれ少なくとも1つ設けた第1絶縁層を、前記第1n電極及び前記第1p電極を覆うように形成し、

前記n型半導体層と前記第1n電極との接合面よりも面積が大きい薄膜であり、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電気的に接続される第2n電極を前記第1絶縁層上に形成するとともに、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜であり、

前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電気的に接続される第2p電極を前記第1絶縁層上に形成する、

半導体発光素子の製造方法を提供する。

[0020] 本発明の第11態様によれば、前記第1絶縁層が、スパッタリングにより形成される第10態様に記載の半導体発光素子の製造方法を提供する。

[0021] 本発明の第12態様によれば、前記第2n電極及び前記第2p電極が、スパッタリング又はメッキにより形成される第9態様から第11態様のいずれか一つに記載の半導体発光素子の製造方法を提供する。

[0022] 本発明の第13態様によれば、第1態様に記載の半導体発光素子の前記第2n電極、及び前記第2p電極と、配線基板の複数の電極との間にはんだを配置してリフロー処理を行うことにより、配線基板にはんだを介して半導体発光素子を実装する半導体発光素子の実装方法を提供する。

発明の効果

[0023] 本発明の半導体発光素子、その製造方法及びその実装方法によれば、配線基板の電極に接合される第2n電極の面積を第1n電極よりも大きく、第2p電極の面積を第1p電極よりも小さくなるようにしたので、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装することができる。

また、本発明の発光装置によれば、前記半導体発光素子が、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装されるので、高生産性、高接合品質、高歩留り等を実現できる。

図面の簡単な説明

[0024] 本発明のこれらと他の目的と特徴は、添付された図面についての好ましい実施の形態に関連した次の記述から明らかになる。この図面においては、

[図1]図1は、本発明の第1実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図2]図2は、本発明の第1実施形態に係るLEDチップの底面図であり、

[図3]図3は、本発明の第1実施形態に係る基礎チップの断面図であり、

[図4]図4は、本発明の第1実施形態に係るLEDチップを備えた他の発光装置の断

面図であり、

[図5]図5は、LEDチップの製造方法及び実装方法を示すフローチャートであり、

[図6]図6は、本発明の第1実施形態に係るLEDチップの製造方法を説明するための断面図であり、

[図7]図7は、本発明の第1実施形態に係るLEDチップの製造方法を説明するための断面図であり、

[図8]図8は、本発明の第1実施形態に係るLEDチップを多数用いたLED光源を示す図であり、

[図9]図9は、本発明の第2実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図10]図10は、本発明の第2実施形態に係るLEDチップの底面図であり、

[図11]図11は、本発明の第2実施形態に係るLEDチップの電極を外した底面図であり、

[図12]図12は、本発明の第2実施形態に係るLEDチップの製造方法を示すフローチャートであり、

[図13]図13は、本発明の第2実施形態に係る他のLEDチップを備えた発光装置の断面図であり、

[図14]図14は、本発明の第2実施形態に係る他のLEDチップの製造方法を示すフローチャートであり、

[図15]図15は、本発明の他の実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図16]図16は、従来のLEDチップを備えた発光装置の断面図であり、

[図17]図17は、従来のLEDチップの底面図である。

発明を実施するための最良の形態

[0025] 本発明の記述を続ける前に、添付図面において同じ部品については同じ参照符号を付している。

以下に、本発明に係る実施の形態を図面に基づいて詳細に説明する。

[0026] 《第1実施形態》

図1は本発明の第1実施形態に係る半導体発光素子の一例であるLEDチップ1を配線基板40に導電性接着材料層の一例であるはんだ31を介して実装した発光装置を示す縦断面図であり、図2はLEDチップ1の底面図である。図1は図2中のA－A線の位置における断面を模式的に示している。なお、図1の断面図は、本発明の理解を容易にするために、一部誇張して表現している。以下、図の下方向に各層、及び各電極を積層していくように説明する。

[0027] 図1において、LEDチップ1は、素子基板11と、素子基板11を覆うように素子基板11上に形成されたn型半導体層12と、n型半導体層12の角部のn電極用領域12aを除いたn型半導体層12のp型半導体層用領域12b上に形成されたp型半導体層13と、n電極用領域12a上に形成された第1n電極14と、p型半導体層13上に形成された第1p電極15とにより構成される基礎チップ10（図3参照）を備えている。

[0028] また、LEDチップ1は、第1n電極14及び第1p電極15を覆うとともに、第1n電極14と第1p電極15とを絶縁するように形成された第1絶縁層16と、第1絶縁層16上（すなわち、図1においてLEDチップ1の最も下側）に形成され、第1絶縁層14を貫通して第1n電極14に電気的に接続された第2n電極17及び第1p電極15に電気的に接続された第2p電極18を備えている。

[0029] 素子基板11は、例えばサファイアにて形成された大略正四角形状の光透過性の基板である。n型半導体層12は、素子基板11の（図1における）下面11aの全面を覆うように形成されている。p型半導体層13は、n型半導体層12のp型半導体層用領域12bを覆うように形成されている。第1n電極14は、n電極用領域12aの大略全面を覆うように、スパッタリングやメッキなどにより、例えば厚さ0．1μm～0．3μm程度の薄膜で形成されている。n電極用領域12aは、発光面であるpn接合部23の面積を大きく取るために、図2に示すように、p型半導体層用領域12bよりも十分に小さい領域（例えば、p型半導体層用領域の10％）とされている。第1p電極15は、p型半導体層13の大略全面を覆うように、スパッタリングやメッキなどにより、例えば厚さ0．1μm～0．3μm程度の薄膜から形成されている。第1n電極14の下面14aと第1p電極15の下面15aとは、素子基板11の下面11aを基準として大略同じ高さとなるように形成されている。

[0030] 第1絶縁層16は、電気的リークや静電気破壊などを抑制するために、第1n電極14と第1p電極15との間、及び第1n電極14の下面14a及び第1p電極15の下面15aの大略全面を覆うように形成されている。また、第1絶縁層16は、このように形成されることで、後述する第2n電極17と第1p電極15とが接続されないようにしている。つまり、後述する第2n電極17と第1p電極15とを絶縁する。第1絶縁層16は、シリコンの酸化膜や窒化膜などで形成され、例えば0．1μm～1．0μmの厚さに形成されている。第1絶縁層16には、n電極用開口16aと複数のp電極用開口16bとがそれぞれ設けられている。

[0031] 第2n電極17と第2p電極18とは、第1絶縁層16上にスパッタリングやメッキなどにより、例えば厚さ0．1μm～0．3μm程度の薄膜で形成され、図2に示すように、素子基板11の一つの対角線部を挟んで二等辺三角形状で大略同じ大きさとなるように形成されている。すなわち、第2n電極17の下面17aはn型半導体層12と第1n電極14との接合面よりも面積が大きくされ、その分、第2p電極18の下面18aはn型半導体層12とp型半導体層との接合面よりも面積が小さくされている。換言すれば、LEDチップ1では第1n電極14と第1p電極15とが、ほぼ同サイズに形成された第2n電極17と第2p電極18とへとそれぞれ配置を変えている。そして、第2n電極17は第1絶縁層16のn電極用開口16aを介して第1n電極14に電気的に接続され、第2p電極18は複数のp電極用開口16bを介して第1p電極15に電気的に接続されている。このとき、第2n電極17の下面17aと第2p電極18の下面18aとは、素子基板11を基準として大略同じ高さとなるように形成されている。なお、LEDチップ1の各層及び各界面には電極と面との接合を強化したり、絶縁を強化する等のために、必要に応じて非常に薄い他の層や膜を設けてもよい。

[0032] 本第1実施形態に係るLEDチップ1は、以上のように構成されている。

上記のように構成されるLEDチップ1は、第2n電極17及び第2p電極18が、図1に示すように、導電性接着材料層の一例であるはんだ31を介して配線基板40上の電極41に電気的に接続されるとともに固定される。これにより、本第1実施形態に係るLEDチップ1を備えた発光装置が完成する。

[0033] なお、第2n電極17と第2p電極18の大きさ（面積）は、はんだ31や異方性導電性

樹脂などの接合に用いる導電性接着材料層に応じて、配線基板40に実装可能な大きさとすればよい。例えば、導電性接着材料としてはんだ31を用いる場合には、第2n電極17と第2p電極18の大きさは、それぞれ幅0．1mm以上且つ面積0．04mm^{2}以上を目安として確保すればよい。また、図4に示すように、導電性接着材料として異方性導電性樹脂32を用いる場合には、第2n電極17及び第2p電極18の大きさは、それぞれ幅0．20mm以上且つ面積0．08mm^{2}以上を目安として確保するとともに、異方性導電性樹脂32中の金属粒子が接触して電流が流れる面積が前記面積の5％以上となるようにすればよい。

[0034] 本第1実施形態に係るLEDチップ1を備えた発光装置においては、配線基板40を介して第2n電極17と第2p電極18との間に電流が与えられることにより、n型半導体層12とp型半導体層13との間で光を発生する。発生した光は素子基板11を透過して図1中の上方や側方へと出射される。

[0035] なお、第1絶縁層16に形成されたp電極用開口16bは、n型半導体層12とp型半導体層13との層間における電流密度の分布が発光強度に影響を与えるため、複数個が大略均等に分散して設けられることが好ましい。このようにすることにより、発光強度の分布の均一性を向上させることができ、さらには、LEDチップ1の輝度を効率よく向上させることができる。

[0036] また、本第1実施形態のLEDチップ1においては、第2n電極17と第2p電極18とを素子基板11の一つの対角線部を挟んで、二等辺三角形状で大略同じ大きさとなるように形成したが、これには限られない。第2n電極17と第2p電極18とは、LEDチップ1の中心を通る線部を挟んで、大略同じ大きさに形成されていればよく、例えば、第2n電極17と第2p電極18との形状は、長方形であってもよい。

[0037] また、第2n電極17と第2p電極18とは、違う大きさ（面積）に形成しても構わないが、大略同じ大きさに形成するほうが、配線基板40への実装時にLEDチップ1が傾いたり、マンハッタン現象を発生したりするなどの不具合が生じにくい。また、はんだ31などの広い接合面積を必要とする導電性接着材料を用いる場合に、第2n電極17と第2p電極18とを違う大きさに形成してどちらか一方を小さくするよりも、大略同じ大きさに形成するほうが、高い実装精度が要求されないなどの点で有利である。また、高

い実装精度が要求されないので、生産効率を良くして生産性を向上させることができる。なお、従来のLEDチップの一個あたりの実装時間は約1．0秒であるのに対し、本実施形態1のLEDチップ1の実装時間は0．1秒以下と、約10倍以上の生産性の向上が確認されている。

[0038] 次に、図5～図7を用いてLEDチップ1の製造方法及び実装方法について説明する。図5はLEDチップ1の製造方法及び実装方法を示すフローチャートである。図6及び図7はLEDチップ1の製造過程を示す断面図である。図6及び図7中の一点鎖線X，Xは、後続のダイシング工程により切断される位置を示している。

[0039] まず、通常のLEDチップと同様の製造工程を経て、図6に示すように、基礎チップ10の集合体を製造する（ステップS11）。

[0040] 基礎チップ10の集合体の具体的な製造方法は、まず、例えばサファイヤにて形成された板状の光透過性の素子基板11の集合体の下面11aの全面を覆うようにn型半導体層12を形成する。次いで、n型半導体層12のn電極用領域12aを除いたn型半導体層12のp型半導体層用領域12b上にp型半導体層13を形成する。次いで、n電極用領域12a上にスパッタリングにより適宜幾つかの薄膜（電極と面との接合を強化する薄膜等）を形成したのち、スパッタリングにより金属薄膜である第1n電極14をさらに形成するとともに、p型半導体層13上にも適宜幾つかの薄膜を形成したのち、金属薄膜である第1p電極15を形成する。

[0041] 上記のようにして、基礎チップ10の集合体を準備すると、次に、第1n電極14及び第1p電極15の大略全面を覆うようにスパッタリングにより第1絶縁層16を形成する。（ステップS12）次いで、レジストの塗布、露光、現像を行ってフォトリソグラフィ法により、図7に示すように、第1絶縁層16に第1n電極14に連絡するn電極用開口16a、及び第1p電極15に連絡するp電極用開口16bを形成する（ステップS13）。

[0042] 次いで、第1絶縁層16上にスパッタリングにより金や銅等の金属薄膜を形成したのち、必要に応じて、チタンやクロム等の薄膜を電極の密着強化のために予め形成する。次いで、第1絶縁層16上に形成した金属薄膜をフォトリソグラフィ法により等分割し、第1絶縁層16上にn型半導体層12と第1n電極14との接合面よりも面積が大きい薄膜である第2n電極17を形成するとともに、n型半導体層12とp型半導体層13との

接合面よりも面積が小さい薄膜である第2p電極18を形成する（ステップS14）。これにより、LEDチップ1の集合体が完成する。なお、第2n電極17及び第2p電極18は、スパッタリング（及び付随するエッチング等の処理）により基礎チップ10の製造の延長工程において容易に形成することができる。また、第1絶縁層16は非常に薄い層であることから、第2n電極17及び第2p電極18は第1絶縁層16上に形成されるだけで、それぞれn電極用開口16a、p電極用開口16bを介して第1n電極14、第1p電極15に電気的に接続される。

[0043] 次いで、上記のようにして製造したLEDチップ1の集合体を、図6及び図7の一点鎖線X－Xの位置でダイシングにより切断し、1個1個のLEDチップ1に分割する（ステップS15）。これにより、LEDチップ1の製造が完了する。なお、上記LEDチップ1の製造工程においては、第2n電極17及び第2p電極18がスパッタリングを利用して形成されると説明したが、これらの電極はメッキ（及び付随する処理）によって形成してもよい。

[0044] 次いで、LEDチップ1を、配線基板40上の電極41に印刷やメッキにより付与されたクリーム状のはんだ又はメッキはんだ上に装着し、リフロー処理を行う。これにより、図1に示すように、第2n電極17及び第2p電極18がはんだ31を介して配線基板40上の電極41に電気的に接続されるとともに固定される（ステップS16）。以上のようにして、LEDチップ1が配線基板40に実装される。

[0045] 本第1実施形態によれば、LEDチップ1の第2n電極17及び第2p電極18がLEDチップ1の約半分を覆う大きさとされることから、バンプを利用するフリップチップ接合のように高い実装精度を実現する必要がなく、はんだや銀ペースト、異方性導電性樹脂等の導電性接着材料層を用いて、低コストで且つ容易に実装することができる。これにより、LEDチップ1を実装した発光装置において、高接合品質、高歩留り及び高生産性を実現できる。

[0046] また、LEDチップは発光すると約80℃程度まで発熱するが、上述のようなフリップチップ接合による従来の実装技術では、LEDチップと配線基板との接触面積が小さい（バンプのみ）ので、LEDチップの熱を十分に逃がすことができないという問題点がある。しかしながら、本第1実施形態によれば、n型半導体層12に接続される第1n

電極14を第2n電極17に接続して、LEDチップ1と配線基板40との接合面積を拡大したので、配線基板40との接合強度が増大するとともに放熱性も向上する。また、第1絶縁層16により第1n電極14及び第1p電極15が覆われているので、電気的リークや静電気破壊も抑制できる。

[0047] また、本第1実施形態によれば、特に、多数のLEDチップ1を配線基板40に高密度にて実装する場合に、大型のLEDチップ1(例えば1mm以上)を一括して固定することができ、製造コストの削減を一層図ることができる。また、そのようにして多数の大型のLEDチップ1を高密度(例えば格子状や千鳥状)に実装した配線基板40に、例えば、図8に示すように、各LEDチップ1に対応するマイクロレンズ451を有するレンズアレイ45や、各LEDチップ1に対応する蛍光体46、反射板47を取り付ければ、例えば中・大型液晶バックライトや特殊照明、車のヘッドライト等の照明用のLED光源2として利用することができる。

[0048] 《第2実施形態》

図9は本発明の第2実施形態に係るLEDチップ1aを配線基板40に導電性接着材料層の一例であるはんだ31を介して実装した発光装置を示す縦断面図である。図10はLEDチップ1aの底面図、図11はLEDチップ1aの第2n電極17及び第2p電極18を形成する前の状態の底面図である。図9は、図10及び図11中のB－B線の位置における断面を模式的に示す図である。なお、図9の断面図は、本発明の理解を容易にするために、一部誇張して表現している。また、図11中の斜線部は、導電層14(細い斜線部)及び第2絶縁層(太い斜線部)の領域の理解を容易にするために示したものであって、断面線を示すものではない。

[0049] 本第2実施形態のLEDチップ1aは、導電層19及び第2絶縁層20をさらに有する点において、本第1実施形態のLEDチップ1と異なる。その他の点においては同様であるので、同一符号を付した要素についての重複する説明は省略する。

[0050] 図9及び図11に示すように、導電層19(図11中の細い斜線部)は、p型半導体層13上方の第1絶縁層16上に、n型半導体層12とp型半導体層13との接合面の面積よりも小さく、第2p電極18の面積よりも大きな面積を有するように形成され、第1絶縁層16の複数のp電極用開口16bを介して第1p電極15と電気的に接続されている。導

電層19は、例えば厚さ0．1μm～0．3μm程度の薄膜であり、スパッタリングやメッキなどにより形成される。

[0051] 第2絶縁層20（図11の太い斜線部）は、第2n電極17と導電層16とを絶縁するために、第2n電極と導電層16との間に形成されている。換言すれば、第2絶縁層20は、導電層19の第2p電極18よりも第1n電極14側の領域19aを覆うように、第1絶縁層16及び第1n電極14側の領域19a上に形成されている。第2絶縁層20は、例えば厚さ0．1μm～1．0μm程度の薄膜であり、スパッタリングやメッキなどにより形成される。第2p電極18は、導電層19の第2絶縁層20に覆われていない領域19b上に形成され、導電層19及び第1絶縁層16のp電極用開口16bを介して第1p電極15に電気的に接続されている。

[0052] 本第2実施形態のLEDチップ1aによれば、導電層19及び第2絶縁層20により、図9～図11に示すように、LEDチップ1aの底面側から見て第1絶縁層16のp電極用開口16bを第2n電極17と重なる位置に設けた場合でも、p電極用開口16b及び導電層19を介して第1p電極15と第2p電極18とを多くの箇所で電気的に接続することができる。したがって、第1実施形態のLEDチップ1よりも、複数のp電極用開口16bを、より分散して設けて第1p電極15全体に十分な電流を供給することが可能となり、LEDチップ1aの発光の均一性をさらに向上させることができる。また、第2n電極17の面積を小さくしなくてよいので、はんだなど広い接合面積を必要とする導電性接着材料を用いることができる。

[0053] なお、LEDチップ1aを製造する際には、図12に示すように、図5のステップS13とステップS14との間において、スパッタリング等により第1絶縁層16上に導電層19を形成（ステップS21）したのち、導電層19の第1n電極14側の領域19aを覆うように第2絶縁層20を形成（ステップS22）する工程を追加すればよい。

[0054] なお、本第2実施形態においては、導電層19と第2n電極18とは別々に形成したが、一体的に形成してもよい。

また、素子基板11から第2n電極17の下面17aまでの高さと、素子基板11から第2p電極18の下面18aまでの高さが等しくなくてもよい場合、例えば、LEDチップ1bの姿勢を拘束しながら実装することが可能な場合には、図13に示すように、導電層19

の第2絶縁層20に覆われていない領域19b上に直接、はんだ31で接合するように構成してもよい。

[0055] なお、上記のように構成されるLEDチップ1bを製造する際には、図14に示すように、図5のステップS14に代えて、スパッタリング等により第1絶縁層16上に導電層19を形成（ステップS31）したのち、導電層19の第1n電極14側の領域19aを覆うように第2絶縁層20をスパッタリング等により形成（ステップS32）し、次いでスパッタリングまたはメッキ等により第1絶縁層16の第1n電極14を覆う領域16c及び第2絶縁層20の第1n電極14側の領域20aを覆うように第2n電極17を形成（ステップS33）する工程を追加すればよい。

[0056] 以上、本発明の第1及び第2実施形態について説明してきたが本発明は上記第1及び第2実施形態に限定されず、様々な変形が可能である。

[0057] 例えば、第1絶縁層16に形成されるn電極用開口16a、p電極用開口16bは図示では円形としたが、切り欠き状の（すなわち、第1絶縁層16のエッジに繋がった）開口でもよい。

[0058] また、第1絶縁層16は、第1n電極14及び第1p電極15を覆うように形成するとともに、n電極用開口16a及びp電極用開口16bを設けて、第1n電極14と第2n電極17、及び第1p電極15と第2p電極18とを電気的に接続するようにしたが、これに限られるものではない。例えば図15に示すように、第1絶縁層16は第1n電極14と第1p電極15と第2n電極17とを互いに絶縁するように設けられていればよく、また、第2p電極18の上面18bは、第1p電極15の下面15aと全面的に接続されてもよい。つまりこの場合、第1絶縁層16には、n電極用開口16a及びp電極用開口16bを設ける必要がない。

[0059] なお、上記様々な実施の形態のうち任意の実施の形態を適宜組み合わせることにより、それぞれの有する効果を奏することができる。

[0060] 本発明は、添付図面を参照しながら好ましい実施の形態に関連して充分に記載されているが、この技術に熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

[0061] 2004年9月27日に出願された日本国特許出願No. 2004－279049号の明細書、図面、及び特許請求の範囲の開示内容は、全体として参照されて本明細書の中に取り入れられるものである。

産業上の利用可能性

[0062] 本発明の半導体発光素子、その製造方法及びその実装方法、並びにその半導体発光素子を配線基板に実装した発光装置は、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装でき、高生産性、高接合品質、高歩留り等を実現できるので、特に中・大型液晶バックライトや特殊照明、車のヘッドライト等に有用である。

請求の範囲

[1] 光透過性の素子基板と、

前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、

前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、

前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、

前記p型半導体層上に形成された薄膜である第1p電極と、

前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、

前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1n電極及び前記第1絶縁層上に形成されることで、前記第1n電極に電気的に接続されるとともに前記第1絶縁層により前記第1p電極と絶縁された第2n電極と、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として形成され、前記第1p電極に電気的に接続される第2p電極と、

を備える半導体発光素子。

[2] 光透過性の素子基板と、

前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、

前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、

前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、

前記p型半導体層上に形成された薄膜である第1p電極と、

n電極用開口及びp電極用開口がそれぞれ少なくとも1つ設けられ、n電極用開口及びp電極用開口を除いて、前記第1n電極及び前記第1p電極を覆うとともに、前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、

前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電気的に接続された第2n電極と、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p

電極に電気的に接続された第2p電極と、

を備える半導体発光素子。

[3] 前記p型半導体層上の前記第1絶縁層上に、前記n型半導体層と前記p型半導体層との接合面の面積よりも小さく、第2p電極の面積よりも大きな面積を有するように形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電気的に接続された導電層と、

前記導電層と前記第2n電極とを絶縁するように前記導電層と前記第2n電極の間に形成された第2絶縁層と、

をさらに有し、

前記第2p電極は、前記p型半導体層と前記第1p電極との接合面よりも面積が大きい薄膜として前記導電層上に形成され、前記導電層を介して前記第1p電極に電気的に接続されている請求項2に記載の半導体発光素子。

[4] 前記第1絶縁層の前記p電極用開口は、複数個が大略均等に分散して設けられている請求項2又は請求項3に記載の半導体発光素子。

[5] 前記第2n電極と前記第2p電極の大きさは、大略同一である請求項1から請求項3のいずれか一つに記載の半導体発光素子。

[6] 前記導伝性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである請求項1から請求項3のいずれか一つに記載の半導体発光素子。

[7] 請求項1に記載の半導体発光素子と、

複数の電極を有する配線基板と、

前記第2n電極と、前記第2p電極とを前記配線基板上の前記電極に電気的に接続するとともに固定する導電性接着材料層と、

を備える発光装置。

[8] 前記導電性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである請求項7に記載の発光装置。

[9] 光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電

極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

前記第1n電極と前記第1p電極とを絶縁するように第1絶縁層を形成し、

前記第1n電極及び前記第1絶縁層上に、前記n型半導体層と前記第1n電極との接合面よりも大きい面積を有する薄膜である第2n電極を、前記第1絶縁層により前記第1p電極と絶縁され且つ前記第1n電極と電気的に接続されるように形成するとともに、

前記第1p電極上に、前記n型半導体層と前記p型半導体層との接合面よりも小さい面積を有する薄膜である第2p電極を、前記第1p電極と電気的に接続されるように形成する、

半導体発光素子の製造方法。

[10] 光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

n電極用開口及びp電極用開口をそれぞれ少なくとも1つ設けた第1絶縁層を、前記第1n電極及び前記第1p電極を覆うように形成し、

前記n型半導体層と前記第1n電極との接合面よりも面積が大きい薄膜であり、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電気的に接続される第2n電極を前記第1絶縁層上に形成するとともに、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜であり、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電気的に接続される第2p電極を前記第1絶縁層上に形成する、

半導体発光素子の製造方法。

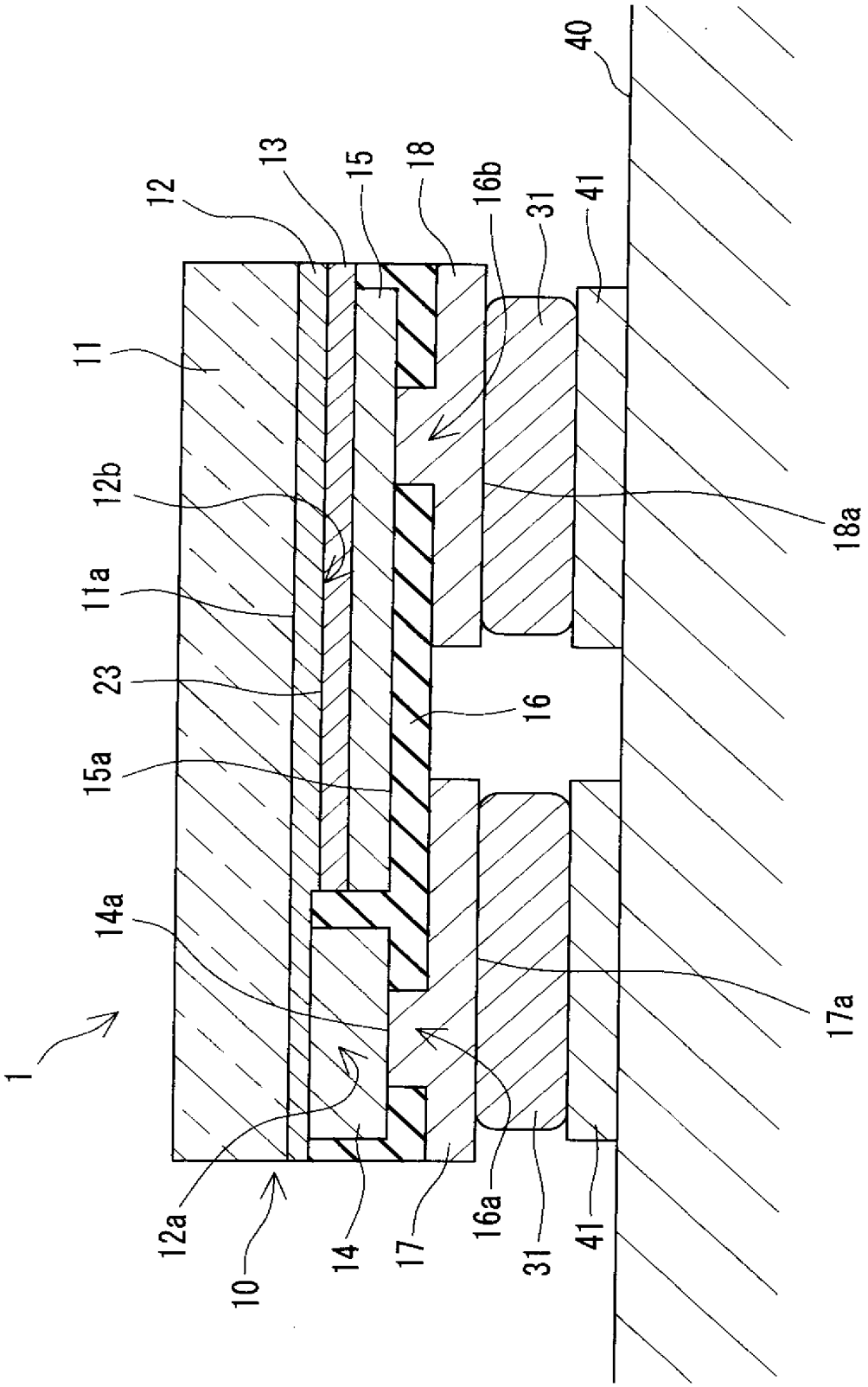
[11] 前記第1絶縁層が、スパッタリングにより形成される請求項10に記載の半導体発光素子の製造方法。

[12] 前記第2n電極及び前記第2p電極が、スパッタリング又はメッキにより形成される請

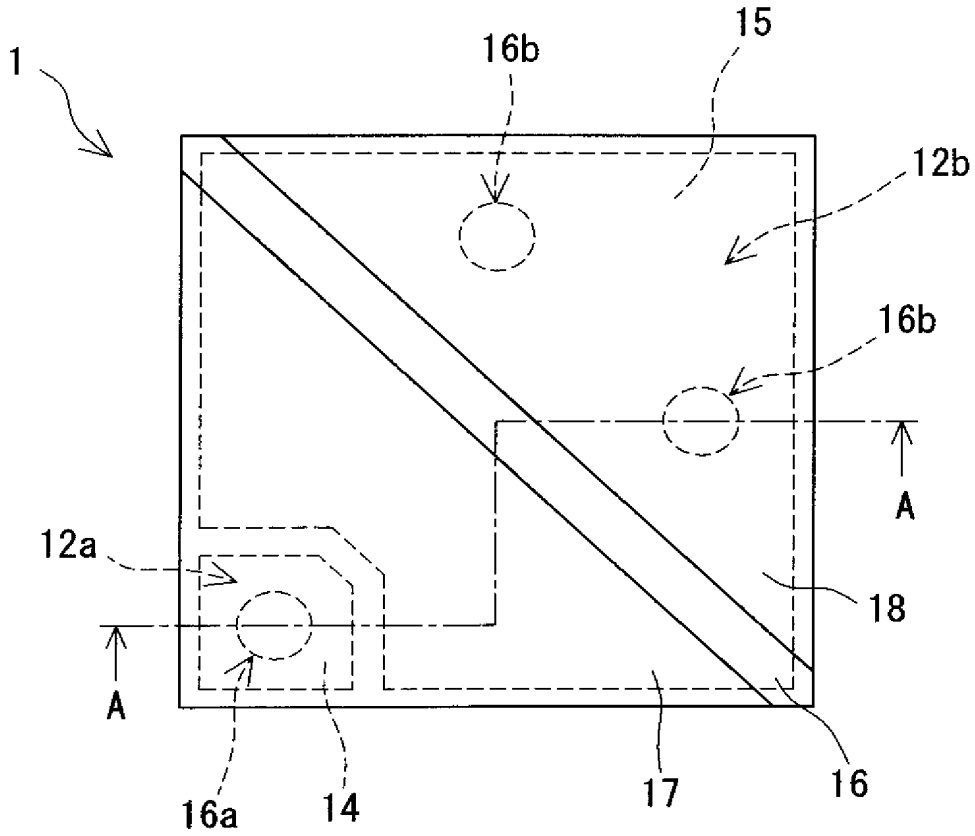
求項9から請求項11のいずれか一つに記載の半導体発光素子の製造方法。

[13] 請求項1に記載の半導体発光素子の前記第2n電極、及び前記第2p電極と、配線基板の複数の電極との間にはんだを配置してリフロー処理を行うことにより、配線基板にはんだを介して半導体発光素子を実装する半導体発光素子の実装方法。

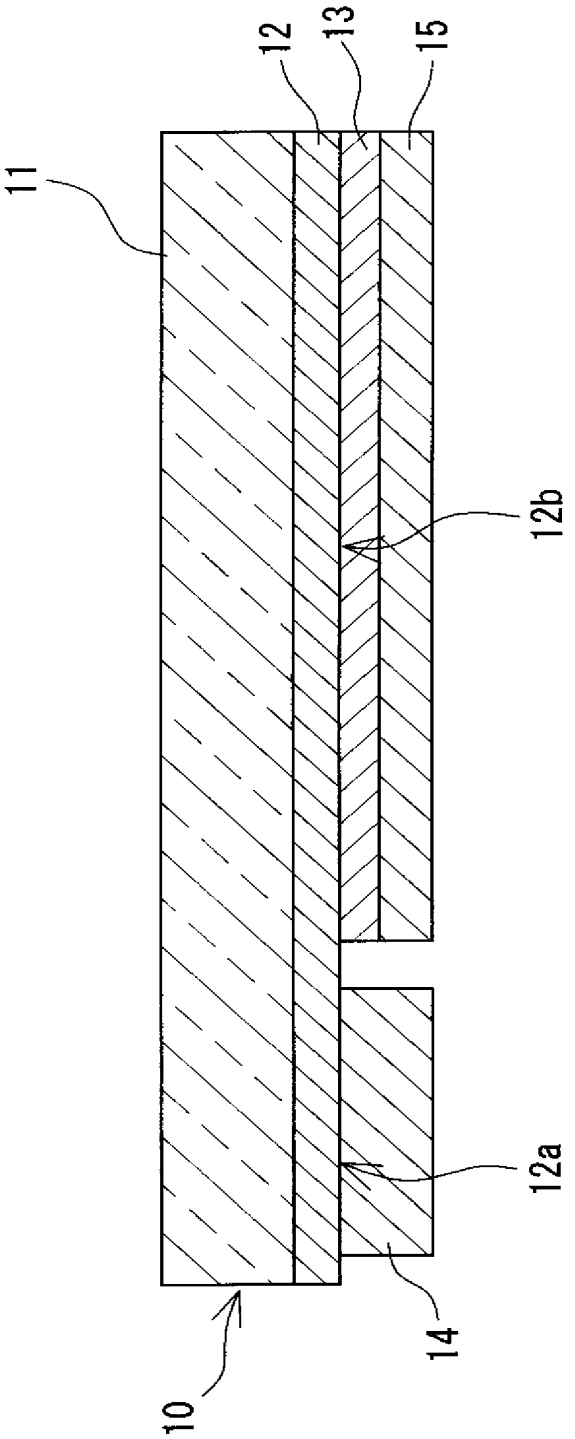
[図1]


40
13
15
18
16b
31
41
12
11
12b
18a
11a
23
16
15a
14a
17a
1
12a
10
14
17
16a
31
41

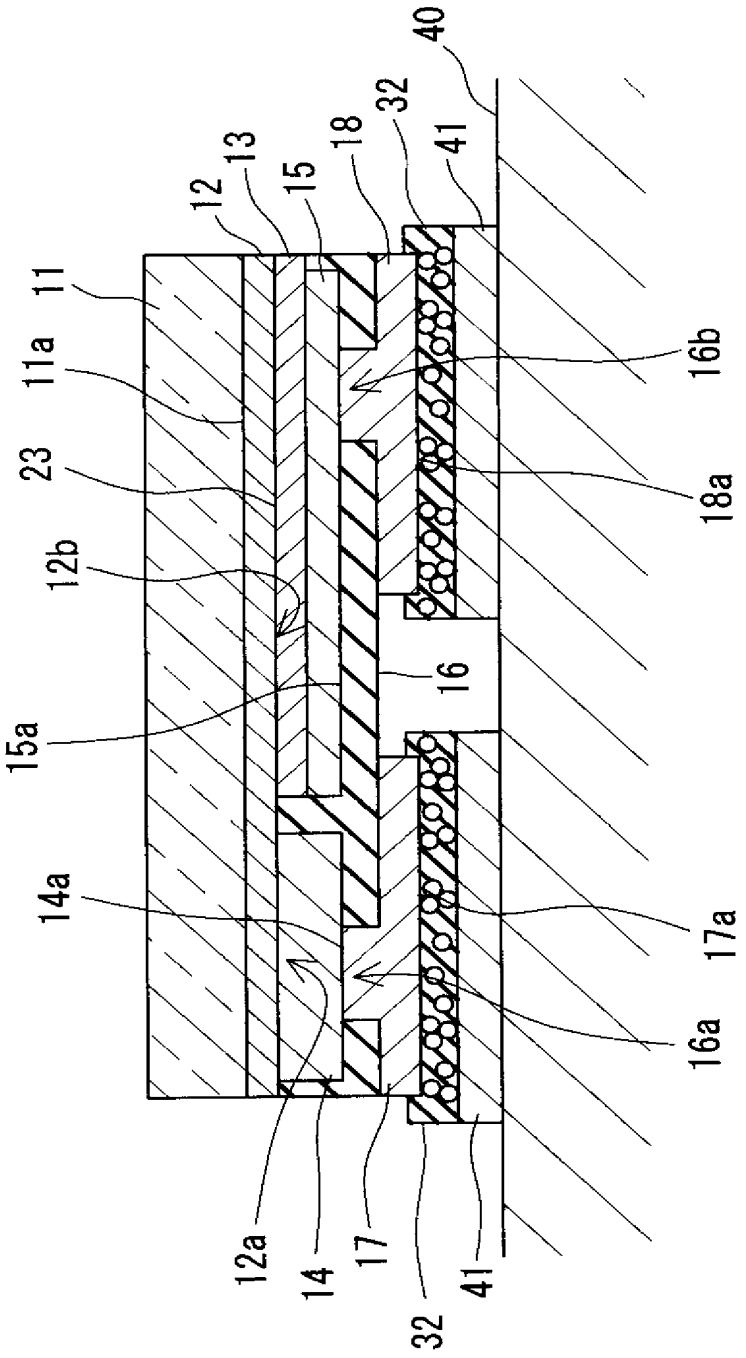
[図2]



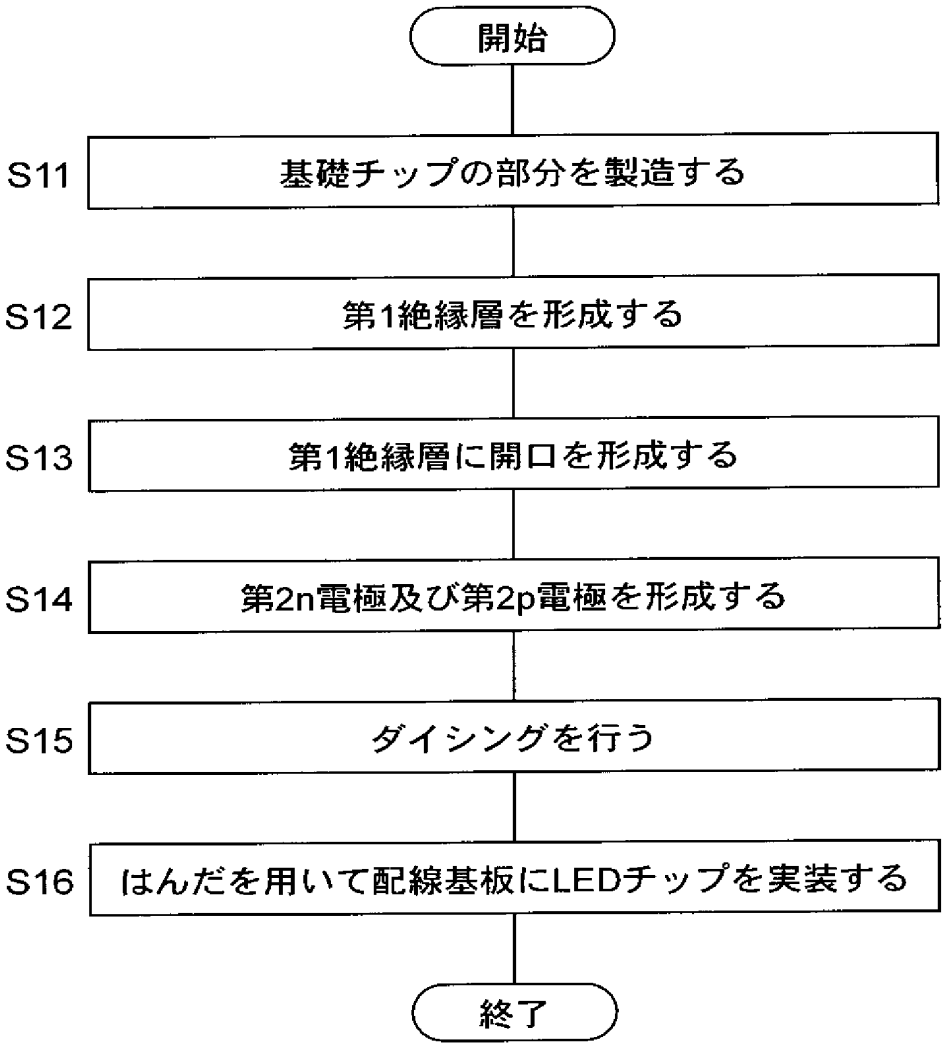
[図3]



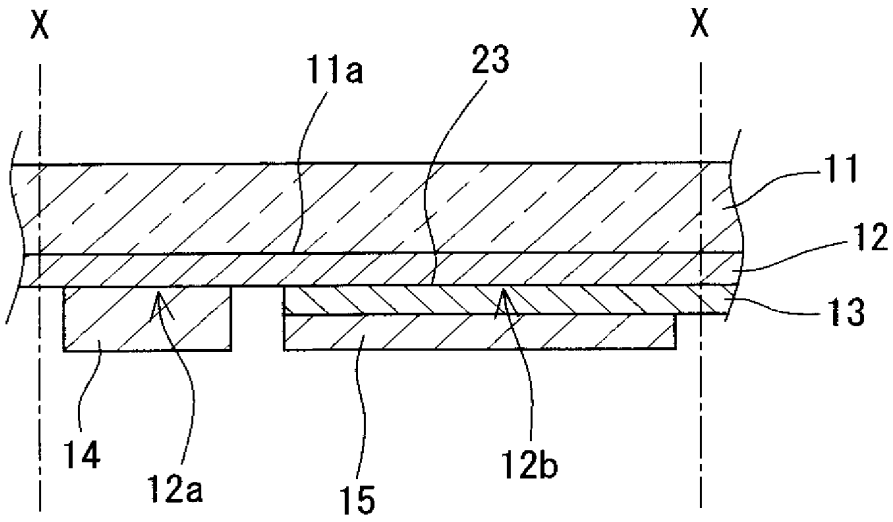
[図4]


40
32
41
18
13
15
12
11
11a
23
12b
15a
14a
16b
18a
16
17a
16a
12a
14
17
32
41

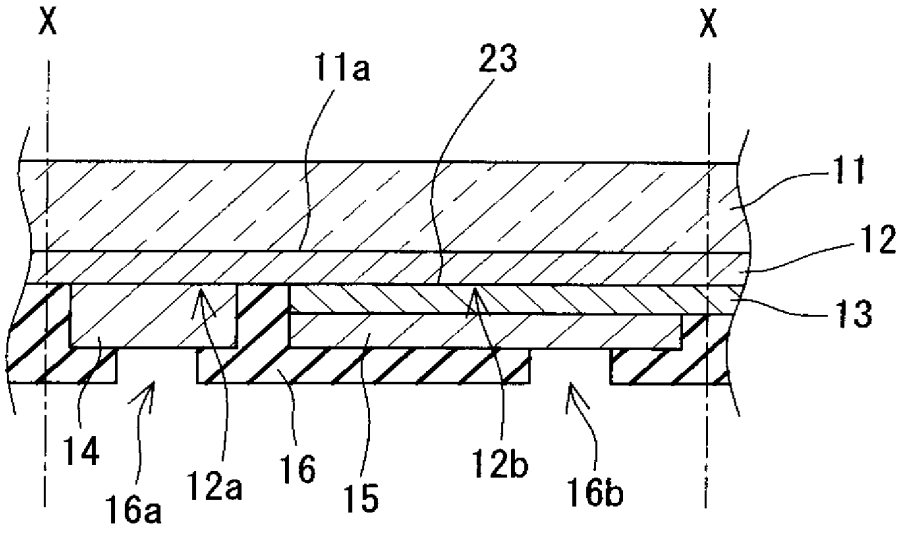
[図5]


開始
S11
基礎チップの部分を製造する
S12
第1絶縁層を形成する
S13
第1絶縁層に開口を形成する
S14
第2n電極及び第2p電極を形成する
S15
ダイシングを行う
S16
はんだを用いて配線基板にLEDチップを実装する
終了

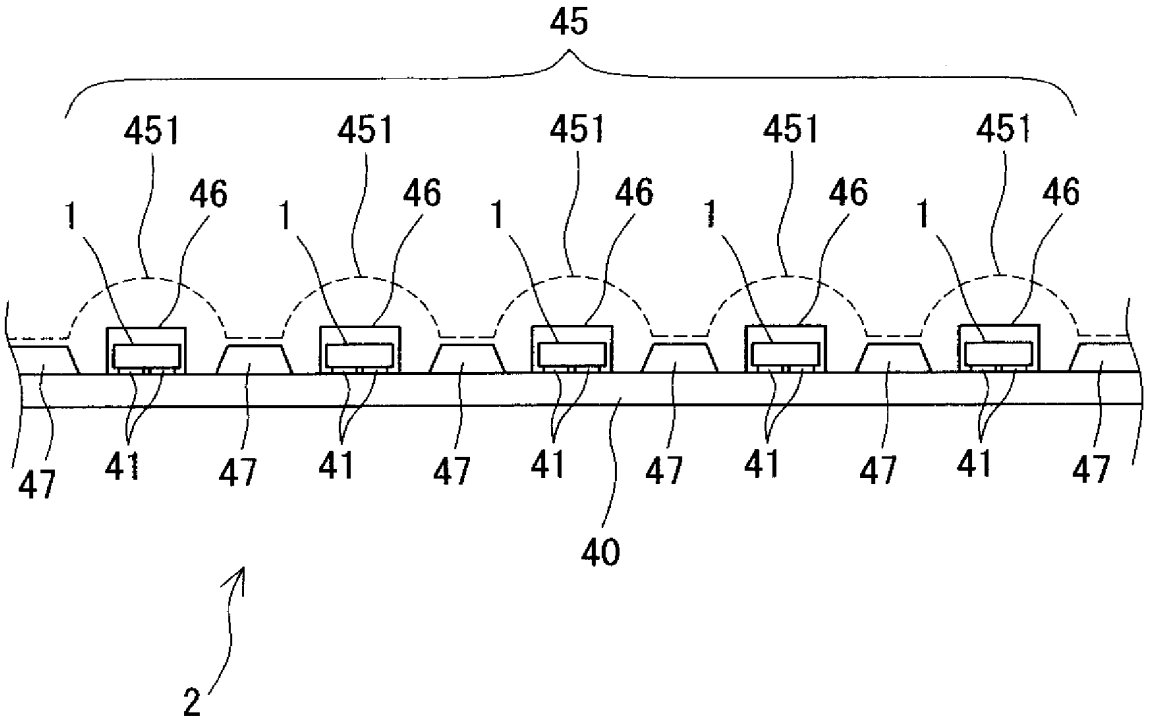
[図6]


X
X
11a
23
11
12
13
14
12a
15
12b

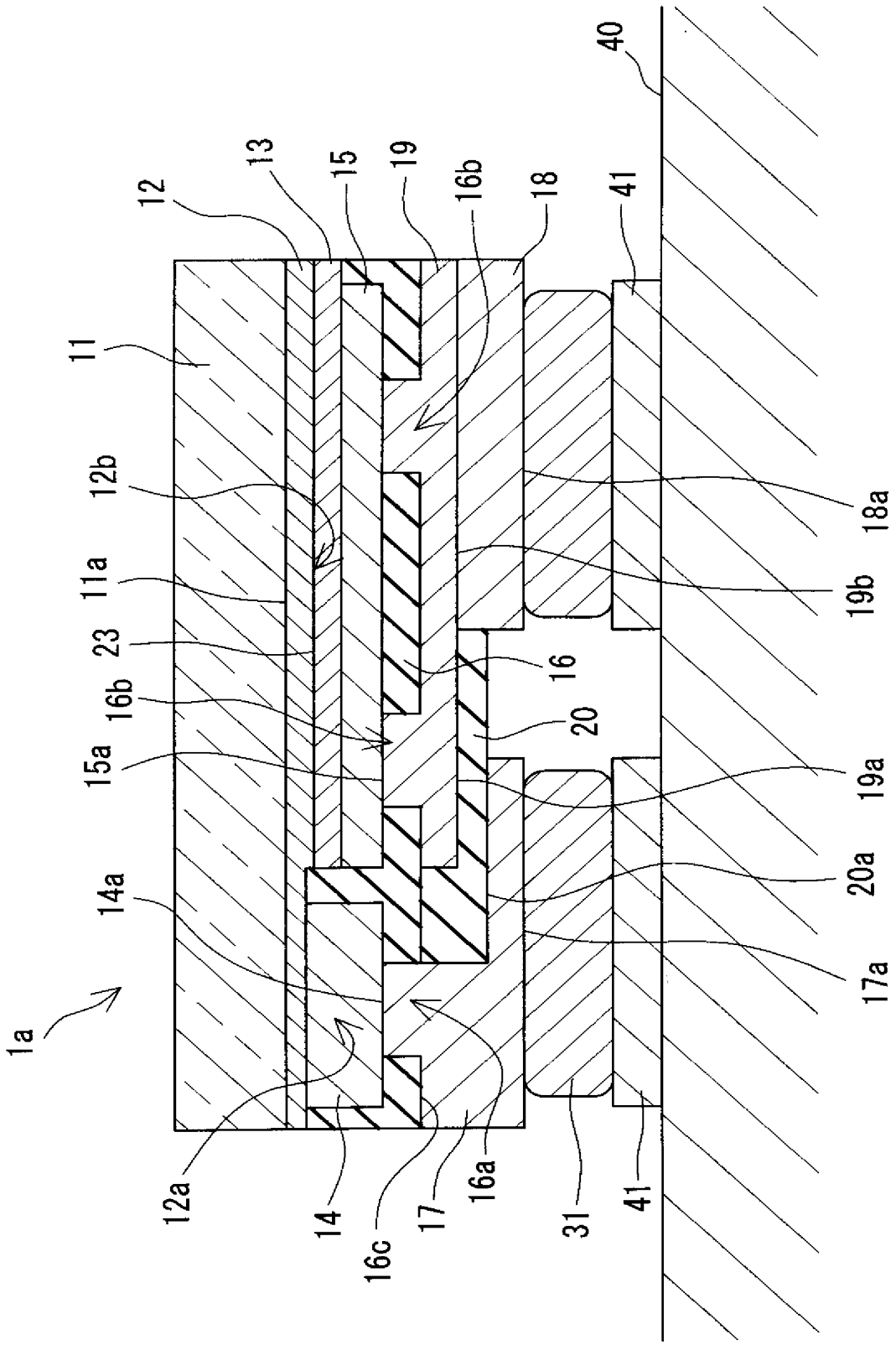
[図7]


X
X
11a
23
11
12
13
14
16a
12a
16
15
12b
16b

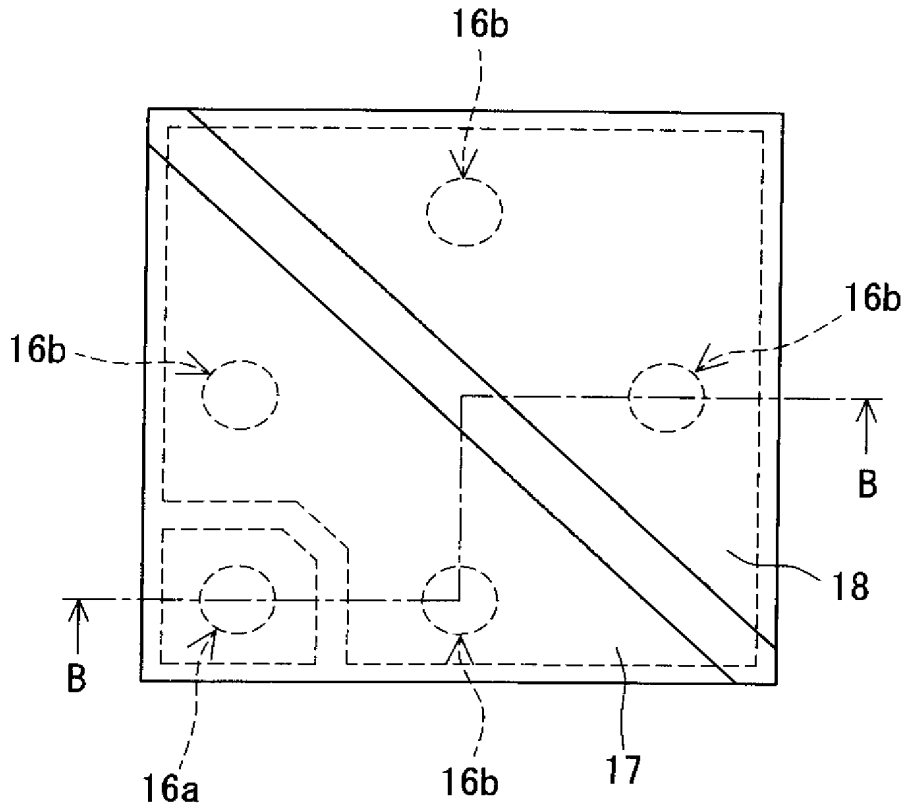
[図8]


45
451
451
451
451
451
1
46
1
46
1
46
1
46
1
46
47
41
47
41
47
41
47
41
47
41
47
40
2

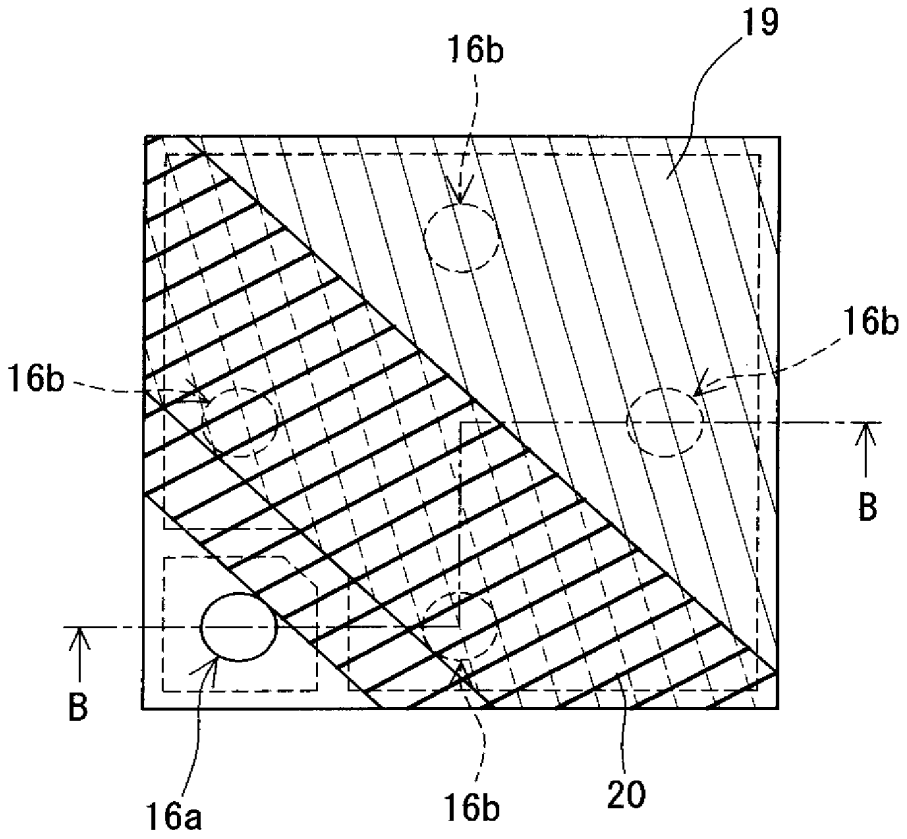
[図9]


40
13
15
19
16b
18
41
12
11
12b
11a
23
16b
15a
14a
1a
18a
19b
16
20
19a
20a
17a
12a
14
16c
17
16a
31
41

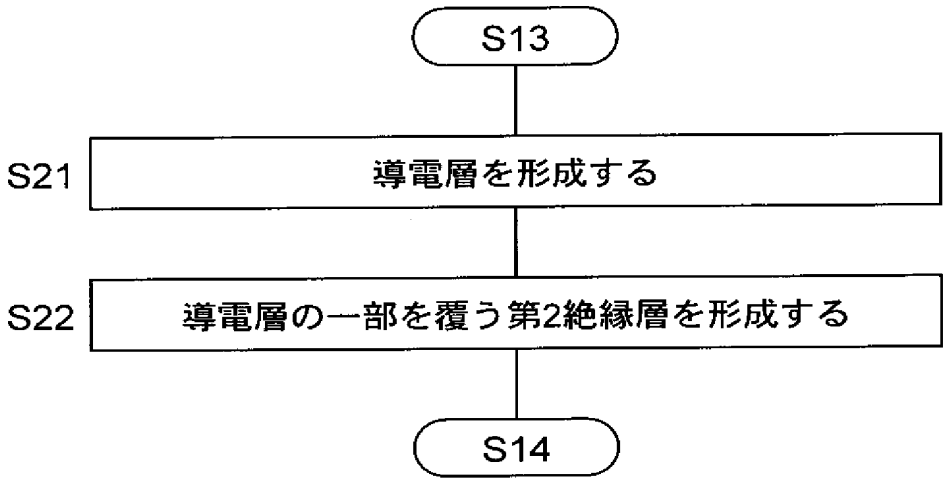
[図10]



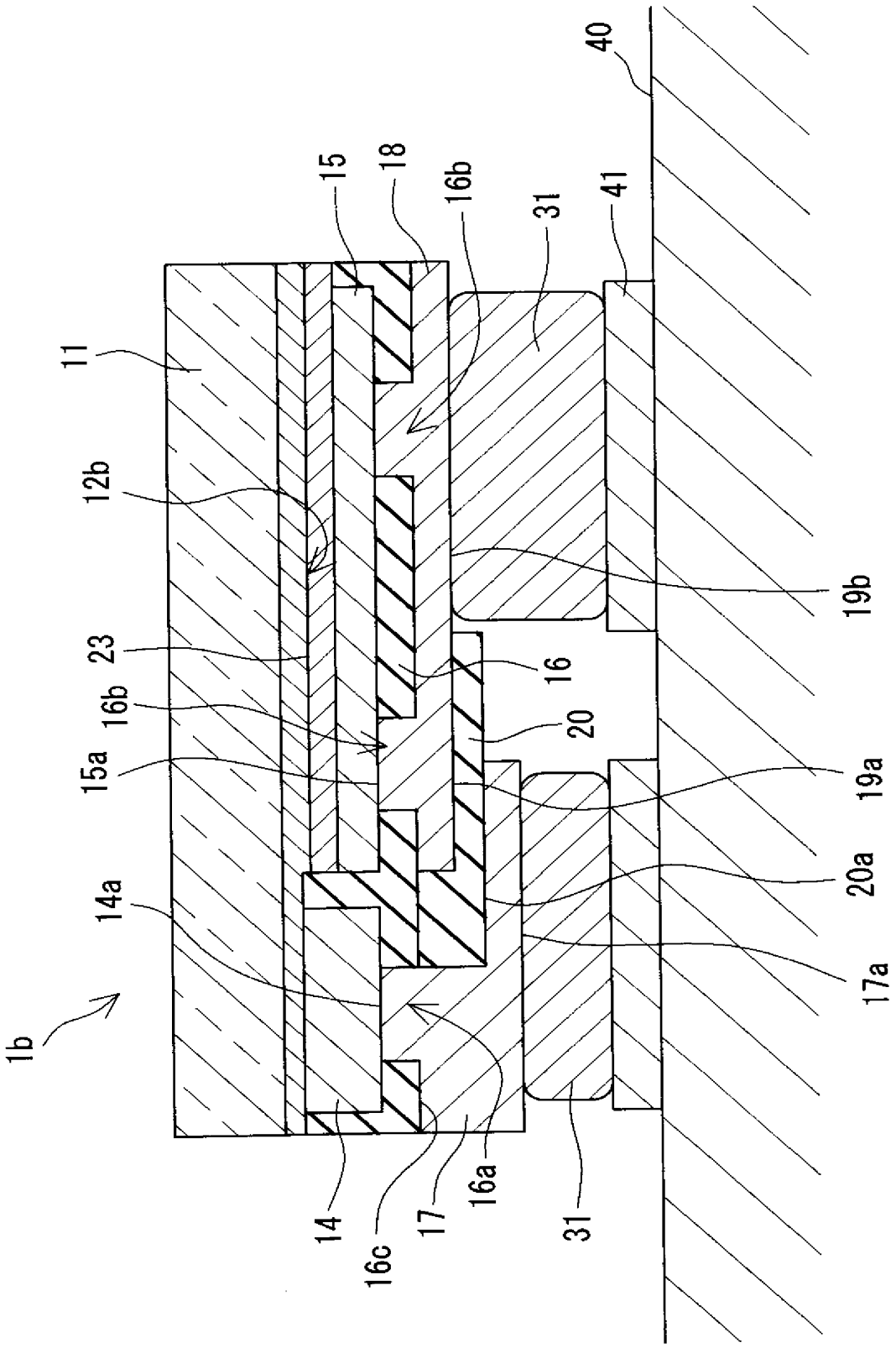
[図11]


19
16b
16b
16b
B
B
16a
16b
20

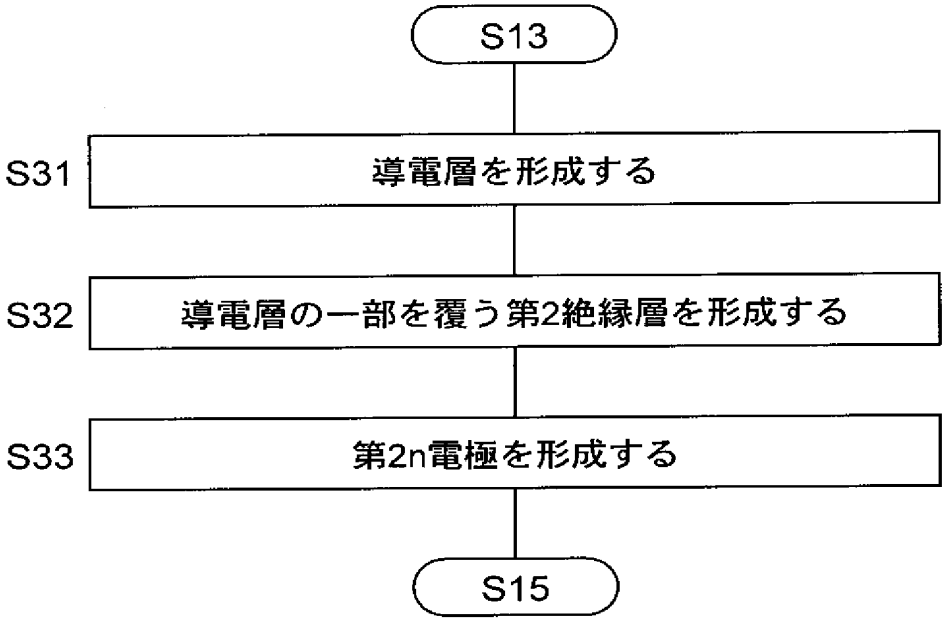
[図12]


S13
S21
導電層を形成する
S22
導電層の一部を覆う第2絶縁層を形成する
S14

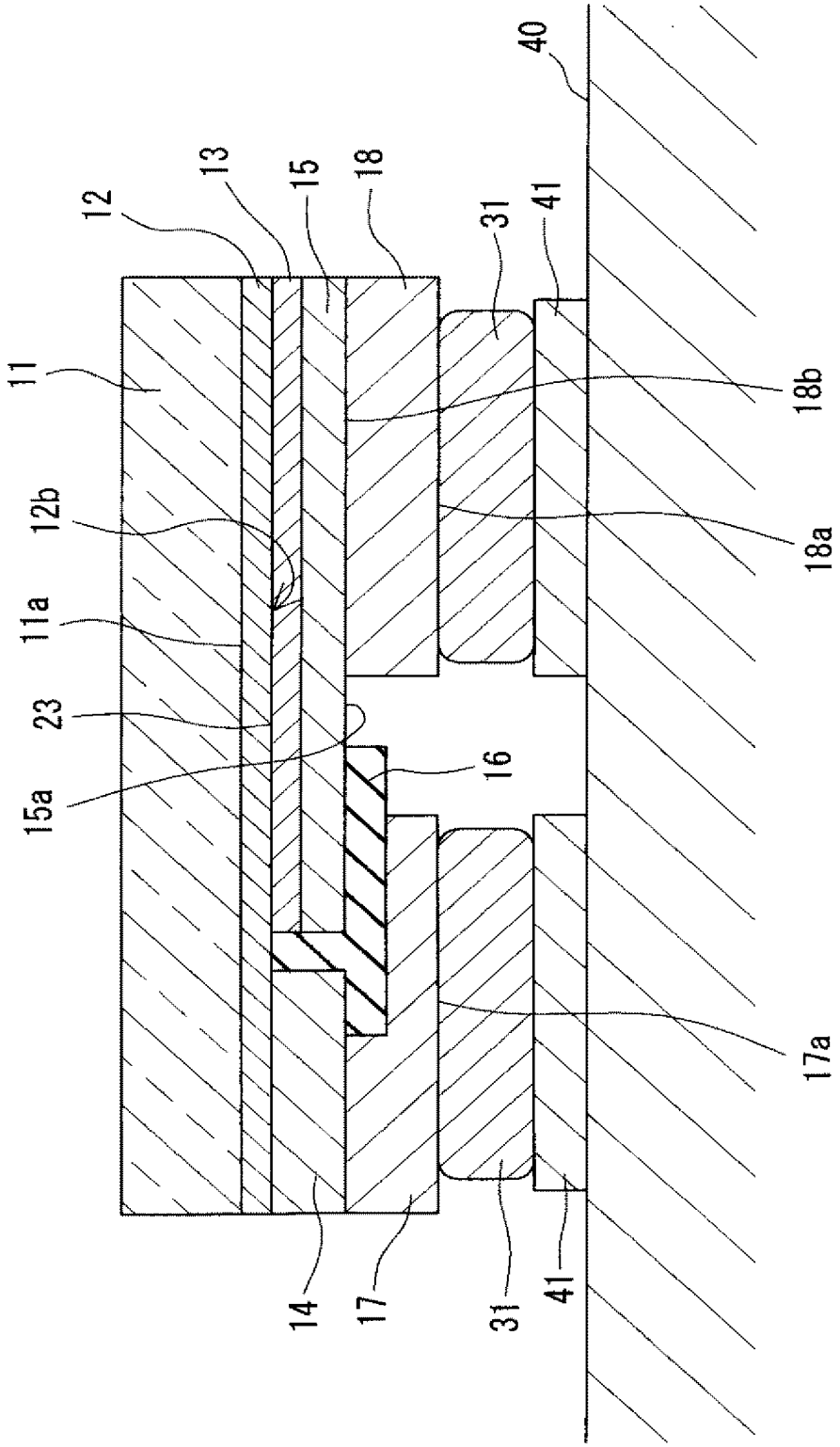
[図13]


40
15
18
16b
31
41
11
12b
19b
23
16
16b
20
15a
19a
20a
14a
17a
1b
14
16c
17
16a
31

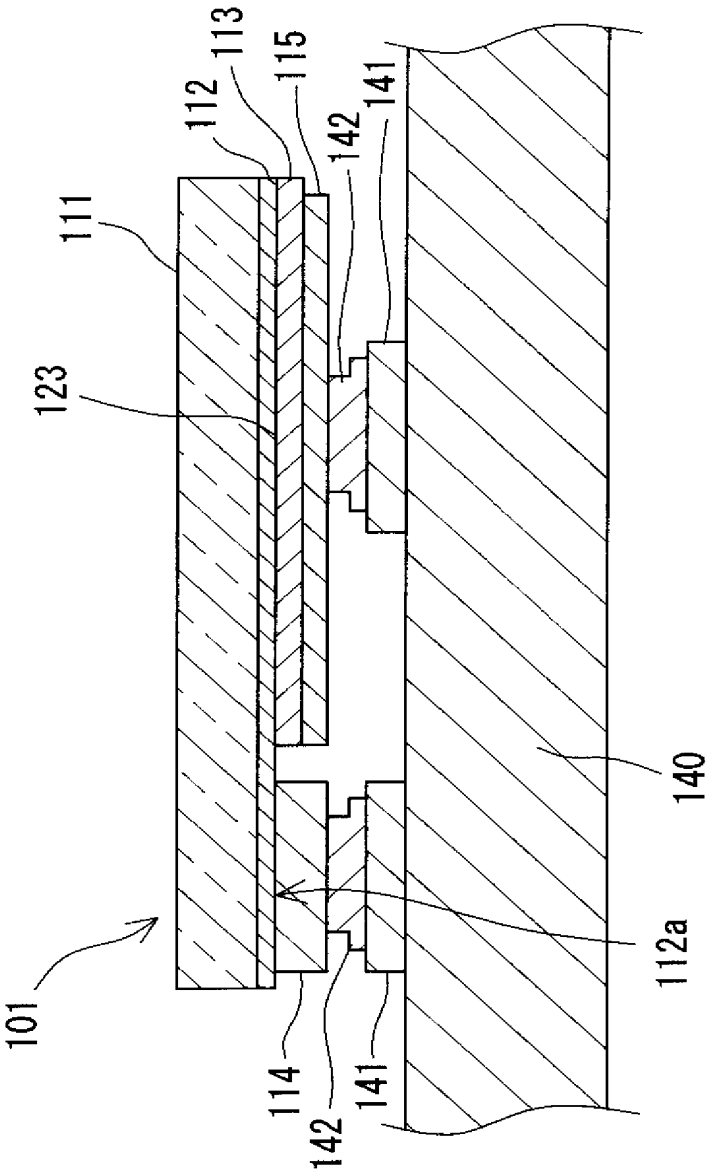
[図14]


S13
S31
導電層を形成する
S32
導電層の一部を覆う第2絶縁層を形成する
S33
第2n電極を形成する
S15

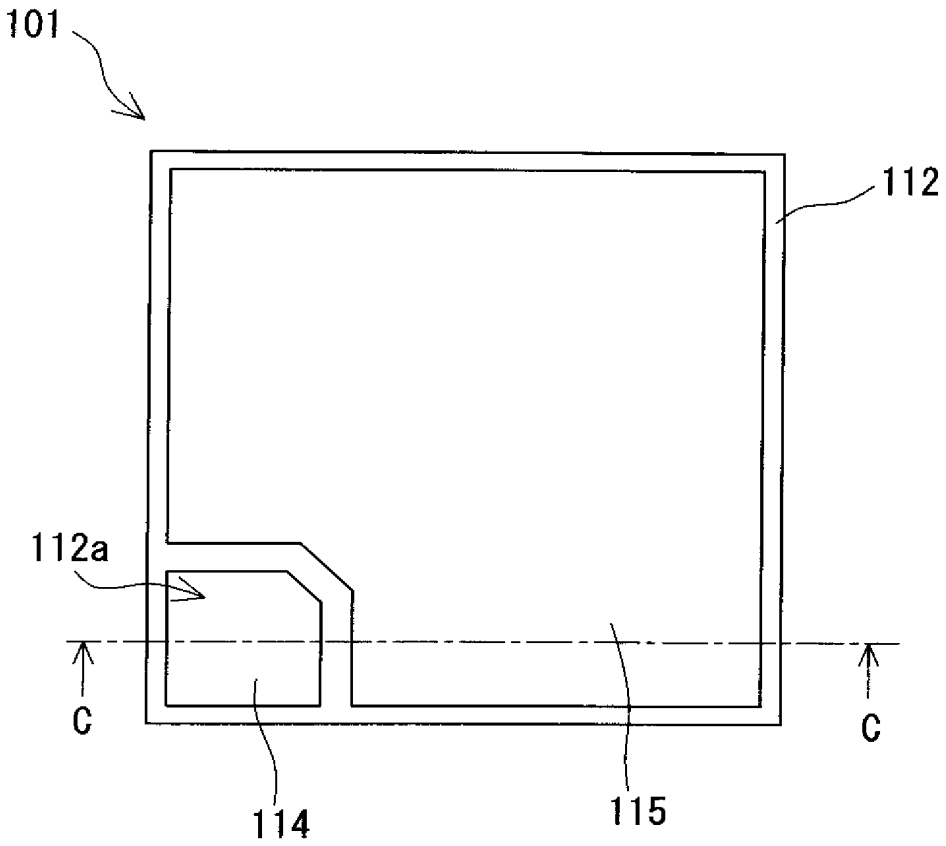
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/017467

A. CLASSIFICATION OF SUBJECT MATTER
H01L33/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L33/00 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-114595 A (Matsushita Electronics Corp.), 21 April, 2000 (21.04.00), Full text; all drawings (Family: none)	1-13
Y	JP 2004-103975 A (Citizen Watch Co., Ltd.), 02 April, 2004 (02.04.04), Par. Nos. [0028] to [0040], [0055] to [0070]; Figs. 1, 4 to 5 (Family: none)	1-13
Y	JP 2002-151739 A (Showa Denko Kabushiki Kaisha), 24 May, 2002 (24.05.02), Par. No. [0030]; Fig. 1 (Family: none)	4,5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 December, 2005 (06.12.05)	13 December, 2005 (13.12.05)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

IKEA Supply AG
Exhibit 1002 Page 341 of 361
FH_000341

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/017467

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E,X	JP 2005-136177 A (Toyoda Gosei Co., Ltd.), 26 May, 2005 (26.05.05), Par. Nos. [0037] to [0052]; Figs. 3 to 7 (Family: none)	1,7-9,12,13

IKEA Supply AG
Exhibit 1002 Page 342 of 361

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１７４６７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　***H01L33/00***（2006.01）

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　***H01L33/00***（2006.01）

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP ２０００－１１４５９５ Ａ（松下電子工業株式会社）２０００．０４．２１，全文、全図　（ファミリーなし）	１－１３
Y	JP ２００４－１０３９７５ Ａ（シチズン時計株式会社）２００４．０４．０２，【００２８】－【００４０】、【００５５】－【００７０】欄、第１図、第４－５図　（ファミリーなし）	１－１３
Y	JP ２００２－１５１７３９ Ａ（昭和電工株式会社）２００２．０５．２４，【００３０】、図１　（ファミリーなし）	４，５

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０６．１２．２００５	国際調査報告の発送日 １３．１２．２００５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　８８２６ 土屋　知久 電話番号　０３－３５８１－１１０１　内線　３２５５

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００５年４月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
E, X	JP ２００５－１３６１７７ A（豊田合成株式会社）２００５．０５．２６，【００３７】－【００５２】欄，図３－７（ファミリーなし）	１，７－９，１２，１３

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/017467

International filing date: 22 September 2005 (22.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-279049
Filing date: 27 September 2004 (27.09.2004)

Date of receipt at the International Bureau: 03 November 2005 (03.11.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)

World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００４年　９月２７日
出願番号 Application Number:	特願２００４－２７９０４９
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００４－２７９０４９
出願人 Applicant(s):	松下電器産業株式会社

２００５年１０月１９日

特許庁長官
Commissioner,
Japan Patent Office

中嶋誠

【書類名】　特許願
【整理番号】　2018360107
【提出日】　平成16年 9月27日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 33/00
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
　【氏名】　東　和司
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
　【氏名】　石谷　伸治
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100097445
　【弁理士】
　【氏名又は名称】　岩橋　文雄
【選任した代理人】
　【識別番号】　100103355
　【弁理士】
　【氏名又は名称】　坂口　智康
【選任した代理人】
　【識別番号】　100109667
　【弁理士】
　【氏名又は名称】　内藤　浩樹
【手数料の表示】
　【予納台帳番号】　011305
　【納付金額】　16,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
　【包括委任状番号】　9809938

【書類名】特許請求の範囲
【請求項１】
半導体発光素子であって、
光透過性の素子基板と、
前記素子基板上に形成されたｎ型半導体層と、
前記ｎ型半導体層の所定の電極用領域を除いた領域上に形成され、前記ｎ型半導体層との間で発光を行うｐ型半導体層と、
前記ｎ型半導体層の前記電極用領域上に形成された薄膜である第１ｎ電極と、
前記ｐ型半導体層上に形成された薄膜である第１ｐ電極と、
前記第１ｎ電極および前記第１ｐ電極を覆う絶縁層と、
前記第１ｎ電極よりも面積が大きい薄膜として前記絶縁層上に形成され、前記絶縁層の開口を介して前記第１ｎ電極に電気的に接続された第２ｎ電極と、
前記第１ｐ電極よりも面積が小さい薄膜として前記絶縁層上に形成され、前記絶縁層の開口を介して前記第１ｐ電極に電気的に接続された第２ｐ電極と、
を備えることを特徴とする半導体発光素子。
【請求項２】
請求項１に記載の半導体発光素子であって、
前記絶縁層が、前記第１ｐ電極と前記第２ｐ電極とを電気的に接続する複数の開口を有することを特徴とする半導体発光素子。
【請求項３】
請求項２に記載の半導体発光素子であって、
前記第２ｐ電極の前記第１ｎ電極側の部位、または、前記絶縁層上に形成されて前記複数の開口を介して前記第１ｐ電極と前記第２ｐ電極とを電気的に接続する導電層の前記第１ｎ電極側の部位を覆うもう１つの絶縁層をさらに備え、
前記第２ｎ電極の一部が前記もう１つの絶縁層の一部を覆うことを特徴とする半導体発光素子。
【請求項４】
発光装置であって、
請求項１ないし３のいずれかに記載の半導体発光素子と、
配線基板と、
前記第２ｎ電極および前記第２ｐ電極を前記配線基板上の電極に電気的に接続するとともに固定する導電性接着材料層と、
を備えることを特徴とする発光装置。
【請求項５】
請求項４に記載の発光装置であって、
前記導電性接着材料層が、はんだであることを特徴とする発光装置。
【請求項６】
半導体発光素子の製造方法であって、
光透過性の素子基板上にｎ型半導体層が形成され、前記ｎ型半導体層の所定の電極用領域を除いた領域上に前記ｎ型半導体層との間で発光を行うｐ型半導体層が形成され、前記ｎ型半導体層の前記電極用領域上に薄膜である第１ｎ電極が形成され、前記ｐ型半導体層上に薄膜である第１ｐ電極が形成された基礎発光素子を準備する工程と、
前記第１ｎ電極および前記第１ｐ電極を覆う絶縁層を形成する工程と、
前記絶縁層に前記第１ｎ電極および前記第１ｐ電極に連絡する開口を形成する工程と、
前記第１ｎ電極よりも面積が大きい薄膜であり、前記絶縁層の開口を介して前記第１ｎ電極に電気的に接続された第２ｎ電極を前記絶縁層上に形成する工程と、
前記第１ｐ電極よりも面積が小さい薄膜であり、前記絶縁層の開口を介して前記第１ｐ電極に電気的に接続された第２ｐ電極を前記絶縁層上に形成する工程と、
を備えることを特徴とする半導体発光素子の製造方法。
【請求項７】

IKEA Supply AG
Exhibit 1002 Page 348 of 361

請求項６に記載の半導体発光素子の製造方法であって、
前記絶縁層が、スパッタにより形成されることを特徴とする半導体発光素子の製造方法。
【請求項８】
請求項６または７に記載の半導体発光素子の製造方法であって、
前記第２ｎ電極および前記第２ｐ電極が、スパッタまたはメッキにより形成されることを特徴とする半導体発光素子の製造方法。

【書類名】明細書
【発明の名称】半導体発光素子およびその製造方法並びに発光装置
【技術分野】
【０００１】
本発明は、半導体発光素子およびその製造方法に関し、さらに半導体発光素子を配線基板に実装した発光装置に関する。
【背景技術】
【０００２】
近年、発光ダイオード（以下、「ＬＥＤ」と呼ぶ。）に代表される半導体発光素子のベアチップを配線基板上に多数実装することにより、照明や表示装置等を製造する技術が利用されつつある。ＬＥＤのベアチップ（以下、「ＬＥＤチップ」と呼ぶ。）としては、例えば、０．３ｍｍ角の大きさのものが使用され、基板上の所定の領域に高密度にて実装される。個々のＬＥＤチップは、サファイアの基板にｎ型半導体層およびｐ型半導体層を形成した基本構造を有し、ＬＥＤチップを電極側から見た場合には、ｐ型半導体層上のｐ電極が基板の大部分の覆い、ｎ型半導体層の極一部に形成されたｎ電極は小さな領域のみに存在する。
【０００３】
ＬＥＤチップは微小であることからそのままでははんだを用いた低コストの実装手法を利用することができず、例えば、特許文献１に示されるように、ＬＥＤチップにボールバンプを形成し、フリップチップ接合により小型の配線基板のキャビティ内にＬＥＤチップを実装した上ではんだを用いて小型の配線基板を他の大型の配線基板に高密度にて実装する技術が利用される。また、特許文献２に示されるように、バンプが形成された多数のＬＥＤチップをフリップチップ接合によりそのままシリコン基板に高密度に実装する技術も利用されている。
【特許文献１】特開平１１－１６１１９７号公報
【特許文献２】特開平１１－３５４８３６号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
一方で、近年、大型のＬＥＤチップ（例えば、１ｍｍ角以上）の開発も進められている。ＬＥＤチップのサイズが０．５ｍｍ角を超えると、ＬＥＤを均一に発光させるためにｐ電極に多数のバンプを形成する必要が生じ、超音波を利用したフリップチップ接合では接合歩留りが低下し、さらに実装時の位置ずれによるショートや接続不良の可能性も増大する。
【０００５】
また、電子部品の実装分野では、一般に、大型の電子部品に対してははんだを用いて低コストにて実装が行われるが、ＬＥＤチップの場合は上述のようにｐ電極に対してｎ電極が小さく、さらに、発光領域に対応するｐ電極をなるべく大きくする必要があるため、ＬＥＤチップの大型化はｎ電極の大型化には繋がらない。その結果、ＬＥＤチップが大型化してもはんだを用いてＬＥＤチップをそのまま配線基板に実装することはできない。
【０００６】
本発明は上記課題に鑑みなされたものであり、はんだに代表される導電性接着材料を用いて低コストにて半導体発光素子を配線基板に実装することを主たる目的としている。
【課題を解決するための手段】
【０００７】
請求項１に記載の発明は、半導体発光素子であって、光透過性の素子基板と、前記素子基板上に形成されたｎ型半導体層と、前記ｎ型半導体層の所定の電極用領域を除いた領域上に形成され、前記ｎ型半導体層との間で発光を行うｐ型半導体層と、前記ｎ型半導体層の前記電極用領域上に形成された薄膜である第１ｎ電極と、前記ｐ型半導体層上に形成された薄膜である第１ｐ電極と、前記第１ｎ電極および前記第１ｐ電極を覆う絶縁層と、前

記第１ｎ電極よりも面積が大きい薄膜として前記絶縁層上に形成され、前記絶縁層の開口を介して前記第１ｎ電極に電気的に接続された第２ｎ電極と、前記第１ｐ電極よりも面積が小さい薄膜として前記絶縁層上に形成され、前記絶縁層の開口を介して前記第１ｐ電極に電気的に接続された第２ｐ電極とを備える。

【０００８】

請求項２に記載の発明は、請求項１に記載の半導体発光素子であって、前記絶縁層が、前記第１ｐ電極と前記第２ｐ電極とを電気的に接続する複数の開口を有する。

【０００９】

請求項３に記載の発明は、請求項２に記載の半導体発光素子であって、前記第２ｐ電極の前記第１ｎ電極側の部位、または、前記絶縁層上に形成されて前記複数の開口を介して前記第１ｐ電極と前記第２ｐ電極とを電気的に接続する導電層の前記第１ｎ電極側の部位を覆うもう１つの絶縁層をさらに備え、前記第２ｎ電極の一部が前記もう１つの絶縁層の一部を覆う。

【００１０】

請求項４に記載の発明は、発光装置であって、請求項１ないし３のいずれかに記載の半導体発光素子と、配線基板と、前記第２ｎ電極および前記第２ｐ電極を前記配線基板上の電極に電気的に接続するとともに固定する導電性接着材料層とを備える。

【００１１】

請求項５に記載の発明は、請求項４に記載の発光装置であって、前記導電性接着材料層が、はんだである。

【００１２】

請求項６に記載の発明は、半導体発光素子の製造方法であって、光透過性の素子基板上にｎ型半導体層が形成され、前記ｎ型半導体層の所定の電極用領域を除いた領域上に前記ｎ型半導体層との間で発光を行うｐ型半導体層が形成され、前記ｎ型半導体層の前記電極用領域上に薄膜である第１ｎ電極が形成され、前記ｐ型半導体層上に薄膜である第１ｐ電極が形成された基礎発光素子を準備する工程と、前記第１ｎ電極および前記第１ｐ電極を覆う絶縁層を形成する工程と、前記絶縁層に前記第１ｎ電極および前記第１ｐ電極に連絡する開口を形成する工程と、前記第１ｎ電極よりも面積が大きい薄膜であり、前記絶縁層の開口を介して前記第１ｎ電極に電気的に接続された第２ｎ電極を前記絶縁層上に形成する工程と、前記第１ｐ電極よりも面積が小さい薄膜であり、前記絶縁層の開口を介して前記第１ｐ電極に電気的に接続された第２ｐ電極を前記絶縁層上に形成する工程とを備える。

【００１３】

請求項７に記載の発明は、請求項６に記載の半導体発光素子の製造方法であって、前記絶縁層が、スパッタにより形成される。

【００１４】

請求項８に記載の発明は、請求項６または７に記載の半導体発光素子の製造方法であって、前記第２ｎ電極および前記第２ｐ電極が、スパッタまたはメッキにより形成される。

【発明の効果】

【００１５】

本発明によれば、低コストにて半導体発光素子を配線基板に実装することができる。さらには、半導体発光素子を実装した発光装置における高生産性、高接合品質、高歩留り等が実現される。また、請求項２および３の発明では、発光の均一性の向上が実現される。

【発明を実施するための最良の形態】

【００１６】

図１は本発明の一の実施の形態に係る発光ダイオードを有するチップ状の素子（以下、「ＬＥＤチップ」と呼ぶ。）１が配線基板９にはんだ９１を介して実装された状態を示す縦断面図であり、図２はＬＥＤチップ１の底面図である。図１は図２中のＡ－Ａ線の位置における断面を示している。

【００１７】

IKEA Supply AG
Exhibit 1002 Page 351 of 361

ＬＥＤチップ１は、サファイアにて形成された光透過性の基板（チップ自体の基板であり、以下、「素子基板」と呼ぶ。）１１、素子基板１１の図１における下面上に形成されたｎ型半導体層１２１、ｎ型半導体層１２１上に形成されてｎ型半導体層１２１との間で発光を行うｐ型半導体層１２２、ｎ型半導体層１２１上に形成された薄膜である第１ｎ電極１３１、ｐ型半導体層１２２上に形成された薄膜である第１ｐ電極１３２、第１ｎ電極１３１および第１ｐ電極１３２を覆う絶縁層１４、並びに、絶縁層１４上（すなわち、図１においてＬＥＤチップ１の最も下側）に薄膜として形成された第２ｎ電極１５１および第２ｐ電極１５２を備える。

【００１８】

素子基板１１、ｎ型半導体層１２１、ｐ型半導体層１２２、第１ｎ電極１３１および第１ｐ電極１３２は、チップ状の発光素子である通常のＬＥＤチップの構造であり、以下、ＬＥＤチップ１と区別するためにこの部分を「基礎チップ１０」と呼ぶ。また、ＬＥＤチップ１の各層および電極の界面には必要に応じて非常に薄い他の層や膜が設けられる。

【００１９】

図３は基礎チップ１０の底面図である。図１に示すように、ｐ型半導体層１２２はｎ型半導体層１２１上の比較的小さな電極用領域１２３を除いた領域上に形成され、図１および図３に示すように、電極用領域１２３上に第１ｎ電極１３１が形成される。第１ｐ電極１３２はｐ型半導体層１２２上のほぼ全面に形成されることから、図３に示すように基礎チップ１０では第１ｎ電極１３１は第１ｐ電極１３２に比べて十分に小さな電極となる。

【００２０】

これに対し、図１および図２に示すように、第２ｎ電極１５１および第２ｐ電極１５２は素子基板１１の対角線を挟んでほぼ同じ大きさで形成される。すなわち、第２ｎ電極１５１は第１ｎ電極１３１よりも面積が大きくされ、その分、第２ｐ電極１５２は第１ｐ電極１３２よりも面積が小さくされる。そして、絶縁層１４の開口１４１を介して第２ｎ電極１５１が第１ｎ電極１３１に電気的に接続され、別の複数の開口１４２を介して第２ｐ電極１５２が第１ｐ電極１３２に電気的に接続される。換言すれば、ＬＥＤチップ１では第１ｎ電極１３１および第１ｐ電極１３２が、ほぼ同サイズの第２ｎ電極１５１および第２ｐ電極１５２へと再配線される。

【００２１】

ＬＥＤチップ１の第２ｎ電極１５１および第２ｐ電極１５２は、図１に示すように、導電性接着材料層であるはんだ９１を介して配線基板９上の電極９２に電気的に接続されるとともに固定される。ＬＥＤチップ１の配線基板９への実装では、印刷またはメッキによりはんだが電極９２に付与された配線基板９にＬＥＤチップ１が装着された後、リフローが行われる。ＬＥＤチップ１では、第２ｎ電極１５１がチップの下面の約半分を覆う大きさとされることから、高い実装精度が要求されないはんだを用いた低コストの実装を容易に行うことが実現される。また、ｎ型半導体に接続される電極面積の拡大により、接続強度の増大および放熱性も向上され、絶縁層１４により第１ｎ電極１３１および第１ｐ電極１３２が覆われることにより、電気的リークや静電気破壊も抑制される。以上のように、ＬＥＤチップ１により、ＬＥＤチップ１を実装した装置における高生産性、高接合品質および高歩留り、並びに、ＬＥＤチップ１の高放熱性が実現される。

【００２２】

ＬＥＤチップ１では、配線基板９を介して第２ｎ電極１５１と第２ｐ電極１５２との間に電流を与えることにより、ｎ型半導体層１２１とｐ型半導体層１２２との間で光が発生し、これらの層間における電流密度の分布が発光強度の分布に影響を与える。発生した光は素子基板１１を透過して図１中の上方や側方へと出射される。ＬＥＤチップ１では図２に示すように第１ｐ電極１３２と第２ｐ電極１５２との間に複数の開口１４２が設けられるため、ｎ型半導体層１２１とｐ型半導体層１２２との間の発光強度の分布の均一性を向上することができ、さらには、ＬＥＤチップ１の輝度を効率よく向上することができる。

【００２３】

次に、ＬＥＤチップ１の製造について説明する。図４はＬＥＤチップ１の製造の流れを

示す図である。

【００２４】

ＬＥＤチップ１の製造では、まず、通常のＬＥＤチップと同様の工程を経て基礎チップ１０の部分が製造される（ステップＳ１１）。すなわち、光透過性の素子基板１１上にｎ型半導体層１２１が形成され、ｎ型半導体層１２１の電極用領域１２３を除いた領域上にｐ型半導体層１２２が形成される。そして、電極用領域１２３上にスパッタにより適宜幾つかの薄膜（電極と面との接合を強化する薄膜等）が形成されてからスパッタにより金属薄膜である第１ｎ電極１３１がさらに形成され、ｐ型半導体層１２２上にも適宜幾つかの薄膜が形成されてから金属薄膜である第１ｐ電極１３２が第１ｎ電極１３１と並行して形成される。ただし、この段階では素子基板１１はダイシング前の状態であり、複数の基礎チップ１０が連結した状態とされる。

【００２５】

基礎チップ１０の部分が準備されると、次に、第１ｎ電極１３１および第１ｐ電極１３２を覆うようにスパッタにより全面に絶縁層１４が形成され（ステップＳ１２）、レジストの塗布、露光、現像を行ってフォトリソグラフィ法により、絶縁層１４に第１ｎ電極１３１および第１ｐ電極１３２に連絡する開口１４１，１４２が形成される（ステップＳ１３）。絶縁層１４としてはシリコンの酸化膜や窒化膜が利用され、これらの膜はスパッタにより容易に形成される。

【００２６】

絶縁層１４上にはスパッタにより金や銅等の金属薄膜が形成され（必要に応じて、チタンやクロム等の薄膜が電極の密着強化のために予め形成される。）、この金属薄膜がフォトリソグラフィ法により等分割され、絶縁層１４上に第１ｎ電極１３１よりも面積が大きい薄膜である第２ｎ電極１５１、および、第１ｐ電極１３２よりも面積が小さい薄膜である第２ｐ電極１５２が同時に形成される（ステップＳ１４）。スパッタ（および付随するエッチング等の処理）によりこれらの電極は基礎チップ１０の製造の延長工程において容易に形成される。また、絶縁層１４は非常に薄い層であることから、第２ｎ電極１５１および第２ｐ電極１５２は絶縁層１４上に形成されるのみでそれぞれ開口１４１，１４２を介して第１ｎ電極１３１および第１ｐ電極１３２に電気的に接続される。

【００２７】

その後、素子基板１１の集合体である板状のサファイアがダイシングにより切断され、ほぼ同じ大きさの第２ｎ電極１５１および第２ｐ電極１５２を備えるＬＥＤチップ１の製造が完了する（ステップＳ１５）。

【００２８】

既述のように、ＬＥＤチップ１は後続の工程において配線基板９にクリーム状のはんだまたはメッキはんだ上に装着され、リフロー工程を経由することにより、図１に示すようにはんだ９１を介して第２ｎ電極１５１および第２ｐ電極１５２が配線基板９上の電極９２に電気的に接続されるとともに固定される（ステップＳ１６）。これにより、低コストにてＬＥＤチップ１が配線基板９に実装される。特に、多数のＬＥＤチップ１を配線基板９に高密度にて実装する場合に、ＬＥＤチップ１を一括して固定することができ、製造コストの削減を一層図ることができる。ＬＥＤチップ１が高密度実装された配線基板９には、図５に示すように各ＬＥＤチップ１に対応するマイクロレンズ９５１を有するレンズアレイ９５が取り付けられ、例えば、照明用のＬＥＤ光源２とされる。

【００２９】

なお、上記製造工程では第２ｎ電極１５１および第２ｐ電極１５２がスパッタを利用して形成されると説明したが、これらの電極はメッキ（および付随する処理）によっても容易に形成することができる。

【００３０】

図６は他の好ましいＬＥＤチップ１ａを示す縦断面図であり、図７はＬＥＤチップ１ａの底面図である。なお、図示の都合上、図６の断面図は図７の底面図には若干対応していない。また、図６ではＬＥＤチップ１ａがはんだ９１を介して配線基板９に実装された状

態を示している。

【００３１】

図６に示すように、ＬＥＤチップ１ａでは、図１のＬＥＤチップ１の絶縁層１４と第２ｐ電極１５２との間に中間の導電層１６（図７中に間隔の広い平行斜線にて示す。）が設けられ、導電層１６は第２ｐ電極１５２に比べて第１ｎ電極１３１側へと広がっており、導電層１６の第１ｎ電極１３１側の部位を覆うもう１つの絶縁層１７（図７中に間隔の狭い平行斜線にて示す。）がさらに設けられる。第２ｎ電極１５１の一部は絶縁層１７の一部を覆い、これにより、導電層１６と第２ｎ電極１５１とが電気的に絶縁される。他の構成は図１と同様であり、同符号を付している。

【００３２】

絶縁層１４の第１ｐ電極１３２上の複数の開口１４２は、第１ｐ電極１３２の第１ｎ電極１３１に近い部位にも形成され、絶縁層１４上に形成された導電層１６により、開口１４２を介して第１ｐ電極１３２と第２ｐ電極１５２とが多くの箇所で電気的に接続される。したがって、導電層１６および複数の開口１４２を介して第１ｐ電極１３２全体に十分な電流を供給することが可能となり、ＬＥＤチップ１ａの発光の均一性をさらに向上することができる。

【００３３】

ＬＥＤチップ１ａが製造される際には、図８に示すように、図４のステップＳ１３とステップＳ１４との間において、スパッタ等により絶縁層１４上に導電層１６および絶縁層１７を順に形成するステップＳ２１，Ｓ２２が追加される。

【００３４】

図９はさらに他の好ましいＬＥＤチップ１ｂを示す縦断面図であり、はんだ９１を介して配線基板９に実装された状態を示している。図９に示すように、ＬＥＤチップ１ｂでは、図６のＬＥＤチップ１ａの導電層１６が第２ｐ電極１５２とされる。図１のＬＥＤチップ１と比較すると、ＬＥＤチップ１の第２ｐ電極１５２を第１ｎ電極１３１に近い位置まで拡大し、第２ｐ電極１５２の第１ｎ電極１３１側の部位を覆うもう１つの絶縁層１７をさらに設け、第２ｎ電極１５２の一部が絶縁層１７の一部を覆うことにより、第２ｎ電極１５１と第２ｐ電極１５２とが電気的に絶縁される。

【００３５】

図６の場合と同様に、絶縁層１４の第１ｐ電極１３２上の複数の開口１４２は、第１ｐ電極１３２の第１ｎ電極１３１に近い部位にも形成され、開口１４２を介して第１ｐ電極１３２と第２ｐ電極１５２とが多くの箇所で電気的に接続される。これにより、第１ｐ電極１３２には複数の開口１４２を介して全体的に十分な電流を供給することが可能となり、ＬＥＤチップ１ｂの発光の均一性を向上することができる。ＬＥＤチップ１ｂは素子基板１１から電極表面までの高さが等しくなくてもよい場合、例えば、ＬＥＤチップ１ｂの姿勢を拘束しながら実装することが可能な場合に利用可能である。

【００３６】

ＬＥＤチップ１ｂが製造される際には、図１０に示すように、ステップＳ１３にて絶縁層１４に開口１４１，１４２が形成された後に、まず、絶縁層１４上に第２ｐ電極１５２のみが第１ｐ電極１３２の大きさに合わせてスパッタ等により形成され（ステップＳ３１）、第２ｐ電極１５２の第１ｎ電極１３１側の部位を覆う絶縁層１７がスパッタ等により形成され（ステップＳ３２）、その後、スパッタまたはメッキ等により第２ｎ電極１５１の一部が絶縁層１７の一部を覆うように形成される（ステップＳ３３）。

【００３７】

以上、本発明の実施の形態について説明してきたが本発明は上記実施の形態に限定されず、様々な変形が可能である。

【００３８】

例えば、上記実施の形態では、絶縁層１４に形成される開口１４１，１４２は円形とされるが、開口の縁はリング状である必要はなく、切り欠き状の（すなわち、絶縁層のエッジに繋がった）開口が設けられてもよい。第２ｎ電極１５１および第２ｐ電極１５２の形

状も二等辺三角形には限定されず、ＬＥＤチップの底面を２等分する長方形であってもよい。また、各層や金属薄膜の間に、各層の結合を強化したり、絶縁を強化する等を目的とした他の層が適宜介在してもよい。

【００３９】

上記実施の形態では、ＬＥＤチップははんだ９１を介して配線基板９に実装されるが、銀ペーストや異方導電性樹脂等の他の導電性接着材料を使用する場合にも、ｎ電極の面積を大きくする上記技術が適用可能である。

【００４０】

第２ｎ電極１５１および第２ｐ電極１５２の形成並びに導電性接着材料を利用した配線基板９へのＬＥＤチップの実装は、他の種類の半導体発光素子およびこの素子を導電性接着材料を介して配線基板９に実装した発光装置に利用可能である。

【産業上の利用可能性】

【００４１】

本発明は、半導体発光素子、その製造方法、および、半導体発光素子を配線基板に実装した照明、表示装置等の様々な発光装置に利用可能である。

【図面の簡単な説明】

【００４２】

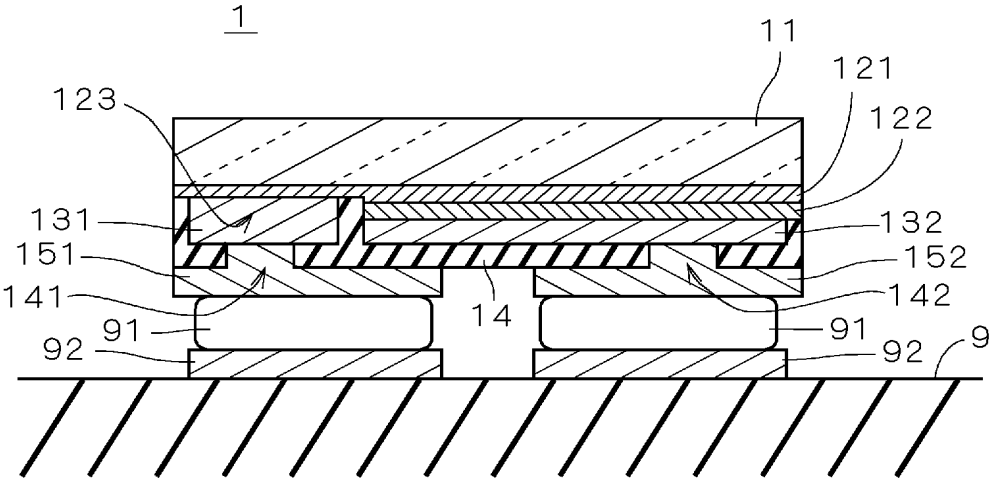
【図１】ＬＥＤチップの縦断面図
【図２】ＬＥＤチップの底面図
【図３】基礎チップの底面図
【図４】ＬＥＤチップの製造の流れを示す図
【図５】ＬＥＤ光源を示す図
【図６】他のＬＥＤチップの縦断面図
【図７】他のＬＥＤチップの底面図
【図８】ＬＥＤチップの製造の流れの一部を示す図
【図９】さらに他のＬＥＤチップの縦断面図
【図１０】ＬＥＤチップの製造の流れの一部を示す図

【符号の説明】

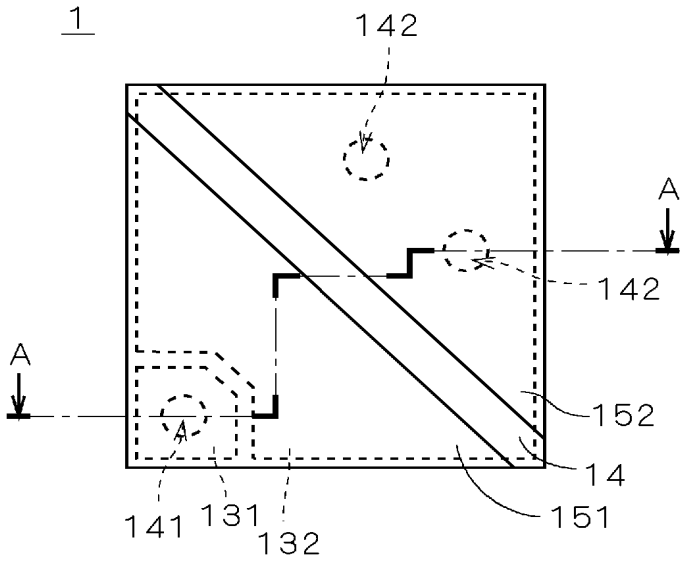
【００４３】

１，１ａ，１ｂ　ＬＥＤチップ
９　配線基板
１１　素子基板
１４　絶縁層
１６　導電層
１７　絶縁層
９１　はんだ
９２　電極
１２１　ｎ型半導体層
１２２　ｐ型半導体層
１２３　電極用領域
１３１　第１ｎ電極
１３２　第１ｐ電極
１４１，１４２　開口
１５１　第２ｎ電極
１５２　第２ｐ電極
Ｓ１１～Ｓ１４，Ｓ３１，Ｓ３３　ステップ

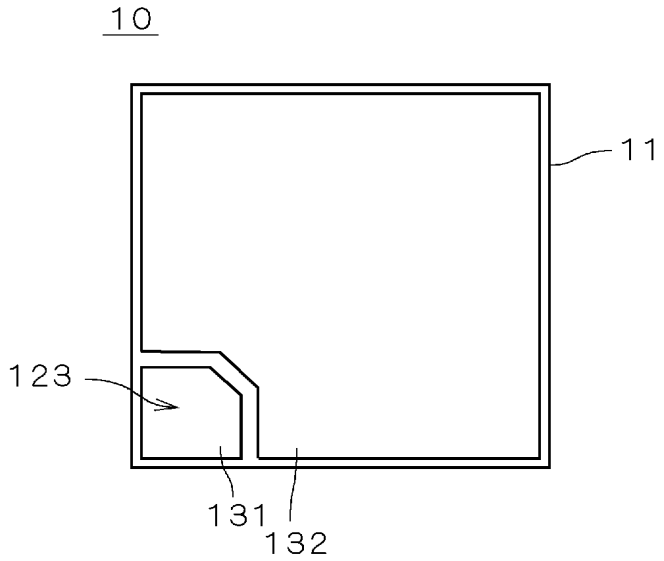
【書類名】図面
【図１】


1
11
121
123
122
131
132
151
152
141
142
14
91
91
92
92
9

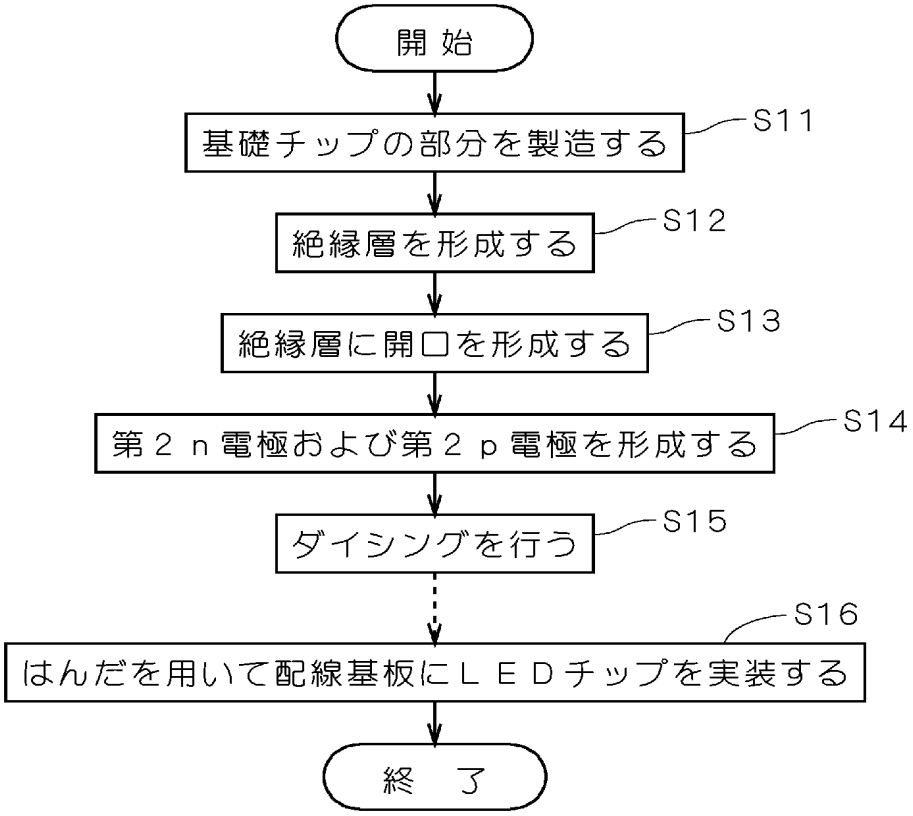
【図２】


1
142
A
142
A
152
14
151
141
131
132

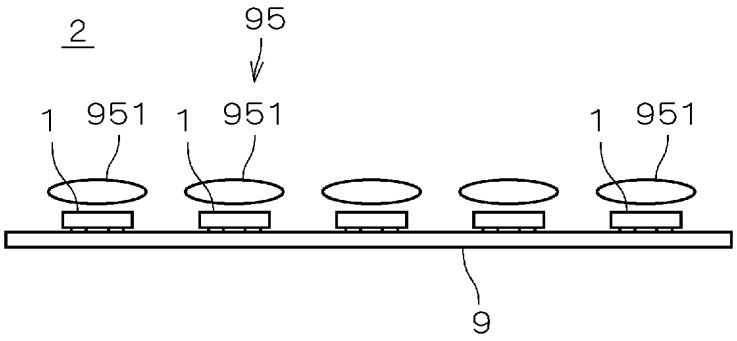
【図３】


10
11
123
131
132

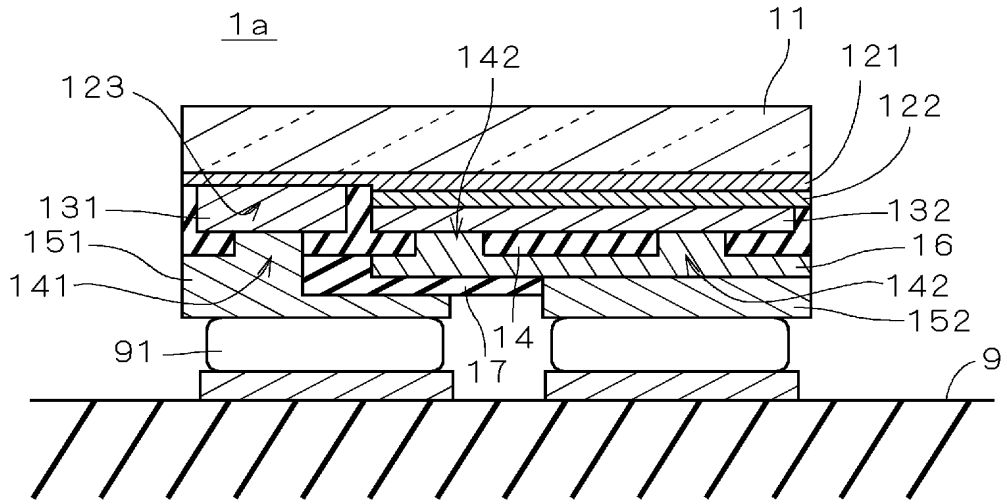
【図４】


開 始
基礎チップの部分を製造する
S11
絶縁層を形成する
S12
絶縁層に開口を形成する
S13
第２ｎ電極および第２ｐ電極を形成する
S14
ダイシングを行う
S15
S16
はんだを用いて配線基板にＬＥＤチップを実装する
終 了

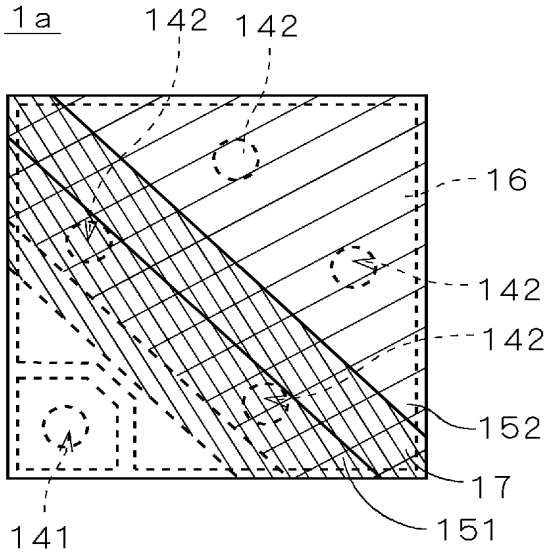
【図５】


2
95
1
951
1
951
1
951
9

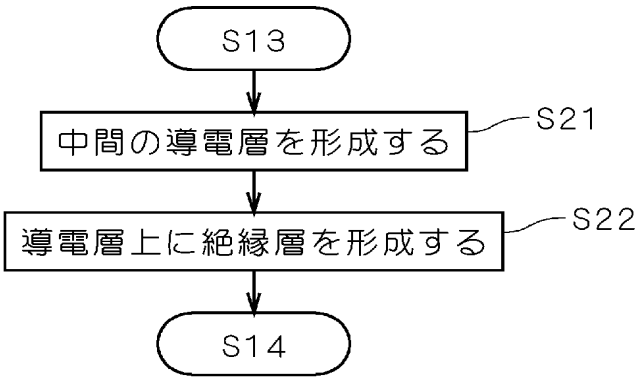
【図６】


1a
11
142
121
123
122
131
132
151
16
141
142
152
14
91
17
9

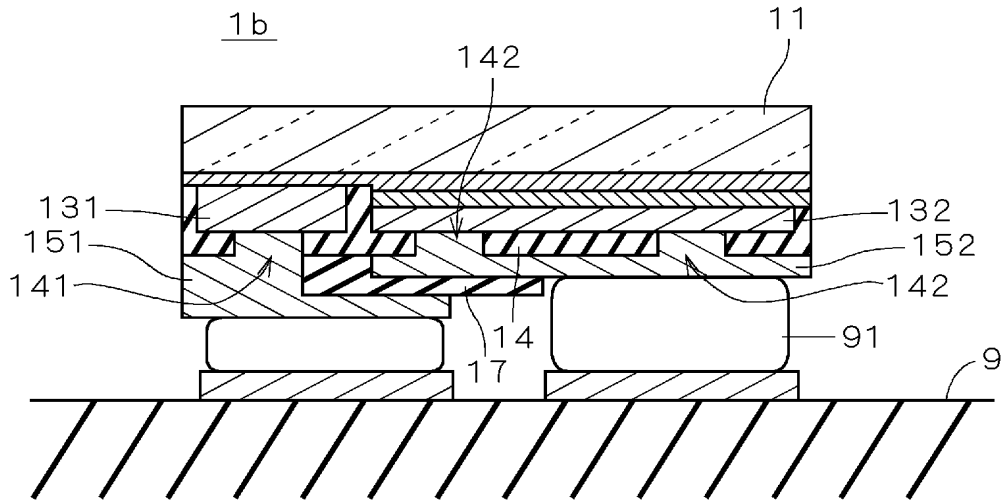
【図７】


1a
142
142
16
142
142
152
17
141
151

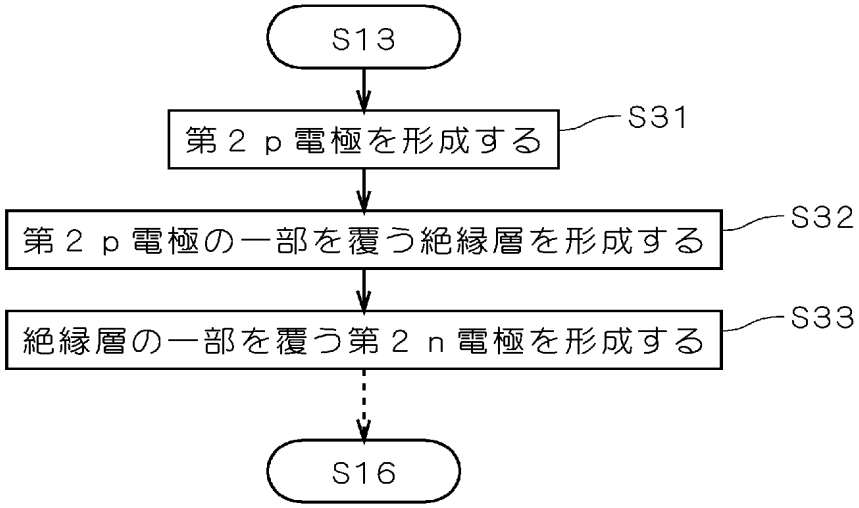
【図８】


S13
中間の導電層を形成する
S21
導電層上に絶縁層を形成する
S22
S14

【図９】


1b
11
142
131
132
151
152
141
142
14
91
17
9

【図１０】


S13
第２ｐ電極を形成する
S31
第２ｐ電極の一部を覆う絶縁層を形成する
S32
絶縁層の一部を覆う第２ｎ電極を形成する
S33
S16

【書類名】要約書
【要約】
【課題】低コストにて配線基板に実装することができるＬＥＤチップを提供する。
【解決手段】ＬＥＤチップ１は、素子基板１１の下面上にｎ型半導体層１２１およびｐ型半導体層１２２を順に備え、ｐ型半導体層１２２は電極用領域１２３を除いて形成される。電極用領域１２３には第１ｎ電極１３１が形成され、ｐ型半導体層１２２上には第１ｐ電極１３２が形成される。第１ｎ電極１３１および第１ｐ電極１３２上には開口１４１，１４２を有する絶縁層１４が形成され、絶縁層１４上にほぼ同じ大きさの第２ｎ電極１５１および第２ｐ電極１５２が形成される。これにより、ｎ型半導体層１２１側の電極を大きくすることができ、配線基板９へのＬＥＤチップ１の実装をはんだ９１を用いて低コストにて行うことができる。
【選択図】図１

出願人履歴

０００００５８２１
19900828
新規登録

大阪府門真市大字門真１００６番地
松下電器産業株式会社