



Espacenet

Bibliographic data: JP4637390 (B2) — 2011-02-23

LIGHT EMITTING DEVICE AND METHOD OF MANUFACTURING**Inventor(s):** YAMAZAKI SHUNPEI, ; HIROKI MASAOKI, ; FUKUNAGA KENJI**Applicant(s):** SEMICONDUCTOR ENERGY LAB CO LTD**Classification:** - international: *H01L51/50; H05B33/10; H05B33/12; H05B33/14; H05B33/22*
- cooperative:**Application number:** JP20010086501 20010326**Priority number(s):** JP20010086501 20010326 ; JP20000085894 20000327**Also published as:** JP2001345178 (A)**Abstract of JP2001345178 (A)**

PROBLEM TO BE SOLVED: To provide a light emitting device having a high resolution picture element part. SOLUTION: An anode 102 and a bank 104 orthogonal to the anode 102 are arranged on an insulator 101. A part (a control bank 104b) of the bank 104 is composed of a metallic film, and an electric field is formed by impressing voltage on this part, and an orbit of an EL material with electric charge can be controlled. A film forming position of an EL layer can be precisely controlled by using this control.

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4637390号

(P4637390)

(45) 発行日 平成23年2月23日 (2011. 2. 23)

(24) 登録日 平成22年12月3日 (2010. 12. 3)

(51) Int. Cl.

F 1

H 0 5 B 33/10 (2006. 01)

H 0 5 B 33/10

H 0 5 B 33/12 (2006. 01)

H 0 5 B 33/12 B

H 0 1 L 51/50 (2006. 01)

H 0 5 B 33/14 A

H 0 5 B 33/22 (2006. 01)

H 0 5 B 33/22 Z

請求項の数 9 (全 26 頁)

(21) 出願番号 特願2001-86501 (P2001-86501)
 (22) 出願日 平成13年3月26日 (2001. 3. 26)
 (65) 公開番号 特開2001-345178 (P2001-345178A)
 (43) 公開日 平成13年12月14日 (2001. 12. 14)
 審査請求日 平成20年2月27日 (2008. 2. 27)
 (31) 優先権主張番号 特願2000-85894 (P2000-85894)
 (32) 優先日 平成12年3月27日 (2000. 3. 27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 ▲ひろ▼木 正明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 福永 健司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 濱野 隆

最終頁に続く

(54) 【発明の名称】 発光装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁体の上に電極を形成し、
 前記電極の上に金属膜を含むバンクを複数形成し、
 前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバン
 クの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極
 性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成するこ
 とを特徴とする発光装置の作製方法。

【請求項2】

絶縁体の上に電極を形成し、
 前記電極の上に絶縁膜及び金属膜を積層してなるバンクを複数形成し、
 前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバン
 クの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極
 性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成するこ
 とを特徴とする発光装置の作製方法。

【請求項3】

絶縁体の上にストライプ状に配置されるように第1の線状電極を形成し、
 前記第1の線状電極と交差し、且つストライプ状に配置されるように絶縁膜及び金属膜
 を積層してなるバンクを複数形成し、
 前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバン

クの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記第1の線状電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成し、

前記第1の線状電極と交差し、且つ前記複数のバンクの間にストライプ状に配置されるように、前記発光材料を含む層の上に第2の線状電極を形成することを特徴とする発光装置の作製方法。

【請求項4】

絶縁体の上に電極を形成し、

前記電極の上に金属膜を含むバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項5】

絶縁体の上に電極を形成し、

前記電極の上に絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項6】

絶縁体の上にストライプ状に配置されるように第1の線状電極を形成し、

前記第1の線状電極と交差し、且つストライプ状に配置されるように絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記第1の線状電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記第1の線状電極と交差し、且つ前記複数のバンクの間にストライプ状に配置されるように、前記発光材料を含む層の上に第2の線状電極を形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項7】

請求項2、3、5、6のいずれか一において、前記複数のバンクを形成する際に、等方性エッチングによって前記絶縁膜の線幅が前記金属膜の線幅よりも狭くなるように形成することを特徴とする発光装置の作製方法。

【請求項8】

請求項2、3、5、6、7のいずれか一において、前記絶縁膜は珪素化合物膜または樹脂膜からなることを特徴とする発光装置の作製方法。

【請求項9】

請求項1乃至3のいずれか一において、蒸着法、イオンプレーティング法、またはインクジェット法により前記発光材料を含む層を形成することを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）およびその作製方法に関する。特に発光性材料としてEL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を利用した発光素子（以下、EL素子という）を用いた発光装置（以下、EL発光装置）に関する。なお、有機ELディスプレイや有機発光ダイオード（OLED：Organic Light Emitting Diode）は本発明の発光装置に含まれる。

【0002】

また、本発明に用いることのできるEL材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】

EL発光装置は、陽極と陰極との間にEL材料を挟んだ構造のEL素子を有した構造からなる。この陽極と陰極との間に電圧を加えてEL材料中に電流を流すことによりキャリアを再結合させて発光させる。即ち、EL発光装置は発光素子自体に発光能力があるため、液晶表示装置に用いるようなバックライトが不要である。さらに視野角が広く、軽量であるという利点をもつ。

【0004】

このときEL材料を成膜してEL層を形成するには、様々な成膜方法が採用されている。特に、低分子系有機EL材料の成膜には蒸着法が用いられ、高分子系有機EL材料の成膜にはスピンコーティング法もしくはインクジェット法が用いられている。

【0005】

いずれの成膜方法にも一長一短があるが、蒸着法の場合はEL材料の利用効率が悪いという問題がある。蒸着法の場合、抵抗加熱や電子ビーム加熱により気化したEL材料を飛散させて成膜するが、被膜形成面に成膜される分以外にもシャドーマスクや蒸着室内壁に成膜されてしまう分の損失が大きかった。現状ではEL材料の単価が高いため、このような問題は製造コストの増大を招く結果となってしまう。

【0006】

また、インクジェット法の場合、ノズル先端から吐出されたEL材料を含む液滴の軌道の制御が難しく、液滴の着弾点（EL層を成膜する部分）を正確に制御することが難しかった。この着弾点がずれてしまうと、となりの画素に液滴が混入されてしまうといった問題が起こり得た。この問題は高精細な画素部を有する発光装置を作製する上で特に顕著な問題となる。

【0007】

【発明が解決しようとする課題】

本発明は、EL材料を成膜するにあたって成膜位置を精密に制御するための技術を提供することを課題とする。そして、高精細な画素部を有する発光装置を得ることを課題とする。さらに、その発光装置を表示部として用いた表示品質の高い電気器具を提供することを課題とする。

【0008】

【課題を解決するための手段】

本発明では、画素を区分するバンクの一部に金属膜を用い、該金属膜に電圧をかける（負もしくは正に帯電させる）ことで電界を形成し、その電界によりEL材料の軌道を制御することを特徴としている。従って、本明細書において「電界を加える」とは、「荷電粒子の向きを制御する」と同義である。

【0009】

これにより蒸着法、イオンプレーティング法もしくはインクジェット法のように被膜形成面の上方もしくは下方からEL材料が飛んできて付着するような成膜方法において、EL

材料の成膜位置を精密に制御することが可能となり、高精細な画素部を有する発光装置を得ることができる。

【0010】

なお、本明細書中においてバンクとは、陽極もしくは陰極をストライプ状に複数本形成するにあたって、個々の配線を電氣的に絶縁するための絶縁膜であり、珪素化合物膜もしくは樹脂膜などを用いることができる。

【0011】

【発明の実施の形態】

本発明の発光装置の構造について図1(A)～(C)を用いて説明する。なお、図1(A)は画素部の上面図であり、図1(B)は図1(A)をA-A'で切断した断面図、図1(C)は図1(A)をB-B'で切断した断面図である。但し、ここで示す発光装置は発光素子を封止する前の状態である。

【0012】

本発明の発光装置は、まず絶縁体101上に陽極102が設けられている。絶縁体101はガラス基板、プラスチック基板（プラスチックフィルムを含む）、金属基板もしくはセラミックス基板の上に絶縁膜を設けたものを用いても良いし、石英基板をそのまま用いても良い。

【0013】

陽極102は帯状（線状といっても良い）に複数並べられ、全体として縞状（ストライプ状）に配置されている。また、陽極102としては仕事関数の大きい導電膜が用いられ、典型的には可視光に対して透明な酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはこれらの化合物からなる導電膜を用いることができる。さらに、これらの酸化物導電膜にガリウムを添加したものであっても良い。

【0014】

また、分離絶縁膜103は、隣接する陽極間に設けられ、陽極102の端部にEL層105が形成されないように分離する役割を担う絶縁膜である。分離絶縁膜103としては珪素を含む絶縁膜、代表的には酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくは炭化珪素膜を用いることができる。

【0015】

また、陽極102と直交するようにバンク104が設けられている。バンク104はこの上に形成されるEL層105および陰極106をパターニングするためのマスク材として用いられる絶縁膜である。バンク104は絶縁膜を用いて形成した支持バンク104aとその上に設けられた金属膜からなる制御バンク104bを含む。

【0016】

このとき、支持バンク104aの線幅は制御バンク104bの線幅よりも細くなっている。このような構造は制御バンク104bをマスクとして支持バンク104aに対して等方的なエッチングを施せば得ることができる。本発明では制御バンク104bに電圧をかけて負もしくは正に帯電させ、EL材料に電界を加えることによりEL材料の軌道を制御することが可能となる。

【0017】

さらに、バンク104と平行に（陽極102と直交するように）EL層105および陰極106が設けられる。これらはバンク104によって帯状に分離され、全体としてストライプ状に設けられている。もちろん、帯状に分離された個々の陰極は電氣的に絶縁されている。

【0018】

なお、本明細書においてEL層とは、EL素子において陽極と陰極との間に設けられた絶縁層を指し、様々な有機膜もしくは無機膜を組み合わせて形成される層である。典型的には、EL層は少なくとも発光層を含み、発光層に電荷注入層や電荷輸送層を組み合わせて用いられる。また、EL層105としては、有機EL材料、無機EL材料もしくはそれらを組み合わせたEL材料を用いる。また、有機EL材料を用いる場合、低分子材料を用い

ても高分子材料を用いても良く、公知の如何なる材料を用いても良い。

【0019】

また、陰極106は仕事関数の小さい導電膜が用いられ、典型的には周期表の1族もしくは2族に属する元素を含む導電膜が用いられる。代表的にはマグネシウム、リチウム、セシウム、ベリリウム、カリウムもしくはカルシウムを含む合金膜が用いられる。また、ピスマス膜を用いることもできる。

【0020】

以上の陽極102、EL層105および陰極106がEL素子100を形成する。実際には、EL素子100の上に樹脂膜を封止材として設けるか、EL素子100の上に密閉空間を作るかして、EL素子100を外気から保護する。これはEL層105や陰極106が酸化することで劣化してしまうため、酸素および水に極力触れないようにするためである。

【0021】

以上のような構造を含む本発明の発光装置は、蒸着法、イオンプレーティング法もしくはインクジェット法のように、上方もしくは下方からEL材料が飛んできて付着することにより成膜される手法を用いる場合において、バンクの一部である金属膜を用いてEL材料に電界を加え、その電界により成膜位置の制御を行うことを特徴とするものである。

【0022】

本発明を実施することで、精密な位置制御を行いながらEL材料を成膜することが可能となり、高精細な画素部を有する発光装置を実現することができる。

【0023】

【実施例】

【実施例1】

図1に示した構造の発光装置を作製する際のEL層の成膜過程について図2を用いて説明する。なお、一部図1の符号を参照して説明する。

【0024】

図2(A)において、絶縁体101の上には陽極102が形成され、その上には支持バンク104aおよび制御バンク104bを含むバンク104が形成されている。

【0025】

そして、この状態でまず陽極102を正に帯電させる。これは陽極102に正電圧を印加しても良いし、正に帯電したイオンシャワーを浴びせることで帯電させることも可能である。そして、制御バンク104bは負に帯電させる。これは制御バンク104bに負電圧を印加することで可能である。負電圧の大きさは実施者が適宜決定すれば良い。

【0026】

この状態でEL材料201を蒸着法、イオンプレーティング法もしくはインクジェット法により積層する。このとき、本発明ではEL材料201を、制御バンク104bと同一極性に帯電させる点に特徴がある。即ち、本実施例の場合は、制御バンク104bが負に帯電しているため、EL材料201も負に帯電させる。これによりEL材料201は制御バンク104bの周囲に形成された電界に反発し、制御バンク104bを避けるような軌道を描く。

【0027】

さらに、本実施例では陽極102が正に帯電しているため、負に帯電したEL材料201を引き寄せる方向に働く。

【0028】

以上のように、EL材料201はバンク104を避けて陽極102へ積層される。こうして画素の部分にEL層202が形成される。即ち、特にシャドーマスク等を設けることなく、EL材料を集中的に画素に成膜することができ、EL材料の利用効率を大幅に向上させることが可能となる。また、本発明は画素ピッチが数十 μm といった非常に微細な画素部においても何ら問題なく実施することが可能である。

【0029】

また、同様に図2(B)に示すように、陰極を形成する材料(陰極材料)203を負に帯電させて蒸着法もしくはイオンプレーティング法により成膜することで上記と同様の効果を得ることができる。即ち、バンク104を避けて画素の部分に陰極204を形成することができる。

【0030】

〔実施例2〕

本実施例では、蒸着法によりEL材料を成膜する際に本発明を実施する場合について図3に示す。

【0031】

図3において、301は蒸着室であり、蒸着室の隔壁302は負の電圧が印加される負電源303に接続されている。また、蒸着室301の内部には蒸着ボート304が設置され、その中には固体EL材料305が備えられている。この蒸着ボート304は支持台306に接続された電源307a、307bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用いている。

【0032】

また、蒸着ボート304に設けられた孔(気体となったEL材料が蒸着ボート外に出るための孔)のすぐ外に、孔から出た気体となったEL材料(以下、気体EL材料という)を取り囲むように配置されたリング状電極320が設けられている。このリング状電極320は負電源308に接続され、リング状電極320の内側に電場を形成して、気体EL材料を負に帯電させる。即ち、蒸着ボート304から飛び出した気体EL材料は、飛散中に電場を通過させることで帯電する。このとき、蒸着室の隔壁302は負に帯電しているため、隔壁302に付着するEL材料を最小限に抑えることができる。

【0033】

こうして飛散した気体EL材料309は制御バンク310が形成する電界を避けるようにして陽極311に積層される。制御バンク310には負電源312が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。

【0034】

また、このとき陽極311が形成された基板313を保持するサセプタ314には正電源315が接続され、サセプタ314を正に帯電させている。このサセプタ314は陽極311と電気的に接続されており、陽極311を正に帯電させる。

【0035】

以上のような構成とすることで、蒸着する気体EL材料309の利用効率を高め、必要最小限の量で所望のEL層を形成することが可能となる。従って、EL材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【0036】

なお、本実施例では蒸着ボート304に電源308を接続して気体EL材料309を負に帯電させる方式としたが、蒸着ボート304から飛び出した後、飛散中に電場を通過させることにより帯電させることも可能である。また、蒸着源として抵抗加熱を例にとったが、電子ビーム(EB)加熱であっても構わない。

【0037】

また、本実施例では気体EL材料を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、隔壁302、蒸着ボート304および制御バンク310を正に帯電させ、陽極311を負に帯電させれば良い。

【0038】

〔実施例3〕

本実施例では、インクジェット法によりEL材料を塗布する際に本発明を実施する場合について図4に示す。なお、図4(A)、(B)はいずれも不活性雰囲気中(窒素ガスもしくは希ガス中)で行われる。

【0039】

図4 (A) において、401はガラス基板、402は陽極であり、陽極402には負電源403が接続されている。また、本実施例では制御バンク404に負電源405を接続する。この場合、図示されないが全ての制御バンクは同電位となるように電氣的に接続されている。

【0040】

また、基板401の上方にはインクジェット方式でEL層を成膜するための薄膜形成装置のヘッド406～408が配置されている。ヘッド406の中には赤色発光のためのEL材料を含む溶液409が備えられ、ヘッド407の中には緑色発光のためのEL材料を含む溶液410が備えられ、ヘッド408の中には青色発光のためのEL材料を含む溶液411が備えられている。これらのEL材料を含む溶液はピエゾ素子を用いて吐出される。もちろん、バブルジェット方式を用いても良い。

【0041】

本実施例では、ヘッド406～408の各々に負電源412～414を接続し、EL材料409～411を負に帯電させている。この状態で吐出されたEL材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した陽極402上に塗布される。即ち、負に帯電したEL材料を含む溶液409～411は、やはり負に帯電した制御バンク404を避けて画素内に塗布される。

【0042】

こうして画素内には赤色発光に対応するEL層415、緑色発光に対応するEL層416および青色発光に対応するEL層417が形成される。なお、ここでは三つの画素しか図示されないが、一画素ずつ成膜しても良いし、三つ以上の複数の画素に同時に成膜することも可能である。

【0043】

また、図4 (B) に示したのは、ヘッド406～408の吐出口付近にEL材料を含む溶液を帯電させるための電極を設けた例である。本実施例では、引出電極421、加速電極422および制御電極423を設けている。また、各々には電源424が接続されている。

【0044】

引出電極421はヘッド406～408からEL材料を含む溶液を引き出すための電界を形成する電極である。また、加速電極422は引き出されたEL材料を加速させるための電界を形成する電極であり、制御電極423は最終的にEL材料の落下する位置を制御するための電界を形成する電極である。もちろん、これら三つを常に用いる必要はなく、この組み合わせに限定する必要はない。

【0045】

図4 (B) に示す構成の場合、これら三つの電極のいずれかを用いてEL材料を含む溶液を負に帯電させている。従って、ヘッド406～408に特に電源を設ける必要がなく、吐出されたEL材料を含む溶液自体を直接帯電させることができる。この場合も、図4 (A) の場合と同様にEL材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した陽極402上に塗布される。即ち、負に帯電したEL材料409～411は、やはり負に帯電した制御バンク404を避けて画素内に塗布される。

【0046】

以上のような構成とすることで、インクジェット法によりEL材料を塗布する際に軌道がずれてしまう可能性が大幅に減り、歩留まりを向上させることが可能となる。そのため製造コストを低減することができる。

【0047】

なお、本実施例ではEL材料を含む溶液を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、制御バンク404およびEL材料を含む溶液409～411を正に帯電させ、陽極402を負に帯電させれば良い。

【0048】

〔実施例4〕

本実施例では、イオンプレーティング法によりEL層を成膜する際に本発明を実施する場合について図5に示す。

【0049】

図5において、501は蒸着室であり、蒸着室の隔壁502は正の電圧が印加される正電源503に接続されている。また、蒸着室501の内部には蒸着ボート504が設置され、その中には固体EL材料505が備えられている。この蒸着ボート504は支持台506に接続された電源507a、507bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用いている。

【0050】

また、蒸着ボート504の上には導体をらせん状に巻いたアンテナ508が設けられている。アンテナ508には高周波電源508aが接続されており、高真空中にて高周波が印加され、電波（典型的にはマイクロ波）を発生させることができる。本実施例ではこの電波を気化した気体EL材料509に加えて正に帯電させる。このとき、アンテナ508の間にプラズマを発生させても良い。このプラズマはアルゴンガスもしくはネオンガスといった希ガスを用いて形成すれば良い。このとき、蒸着室の隔壁502は正に帯電しているため、隔壁502に付着するEL材料を最小限に抑えることができる。

【0051】

こうして飛散した気体EL材料509は、制御バンク510が形成する電界を避けるようにして陽極511に積層される。制御バンク510には正電源512が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。また、このとき陽極511が形成された基板513を保持するサセプタ514には負電源515が接続され、サセプタ514を負に帯電させている。このサセプタ514は陽極511と電気的に接続されており、陽極511を負に帯電させる。

【0052】

以上のような構成とすることで、蒸着する気体EL材料509の利用効率を高め、必要最小限の量で所望のEL層を形成することが可能となる。従って、EL材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【0053】

なお、本実施例では電極508aと508bとの間に形成された電界を気体EL材料509に加えて正に帯電させる方式としたが、陽極511と蒸着ボート504との間にバイアス電圧をかけて正に帯電させることもできる。

【0054】

また、本実施例では気体EL材料を正に帯電させる例を示しているが、負に帯電させることも可能である。その場合、隔壁502、蒸着ボート504および制御バンク510を負に帯電させ、陽極511を正に帯電させれば良い。

【0055】

〔実施例5〕

本発明の発光装置の一実施例を図6に示す。発光素子を形成するための基板601上には画素部602が形成されている。画素部602は走査線（ここでは陽極および補助配線を含む積層配線）群603とデータ線（ここでは陰極）群604が互いに直交するように交差している。このとき交差した部分（以下、交差部という）は走査線とデータ線とにEL材料が挟まれたEL素子が形成される。このとき画素部602は図1に示した構造の画素部である。

【0056】

また、画素部602の周辺（外側）の領域には、画素部602へ各信号を伝送する駆動回路が形成されたICがCOG方式により実装されている。本実施例ではこのICが、ガラス基板、石英基板もしくはプラスチック基板上にTFTで駆動回路を形成したものである点に特徴がある。本明細書ではこのような特徴を有するICをスティックドライバと呼ぶ。もちろん、シリコン基板上に公知のIC技術により駆動回路を形成したICチップを用

いることも可能である。

【0057】

図6において、605はデータ線側のスティックドライバであり、606は走査線側のスティックドライバである。なお、ここでは複数個に分割して実装した例を示しているが、各1個ずつとしても良い。また、カラー表示に対応した画素部を形成するためには、XGAクラスでデータ線の本数が3072本であり走査線側が768本必要となる。このような数で形成されたデータ線及び走査線は画素部602の端部で数ブロック毎に区分して引出線607を形成し、スティックドライバ605、606の出力端子のピッチに合わせて集められている。

【0058】

一方、基板601の端部には入力端子608が形成され、この部分で外部回路と接続するFPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り合わせる。そして、外部入力端子608とスティックドライバとの間は基板601上に形成した接続配線609によって結ばれ、最終的にはスティックドライバの入力端子のピッチに合わせて集められる。

【0059】

駆動回路が形成されたスティックドライバは図7に示すように、駆動回路を形成するための基板（ここではガラス基板）701上に形成され、TFTで形成された駆動回路702と、入力端子703および出力端子704が設けられている。基板701の材料としては、図6の基板601と熱膨張係数の近い材料を用いることが望ましく、ガラス、石英ガラスもしくはプラスチックを用いることが望ましい。熱膨張係数の近い材料を用いると、熱を加えた際に応力の発生を最小限に抑制することができ、応力に起因する接続不良や動作不良を回避できる。

【0060】

また、駆動回路702のTFTは、活性層（能動層）、特にチャネル形成領域が多結晶半導体膜もしくは単結晶半導体膜で形成されている。多結晶半導体膜および単結晶半導体膜はいずれも公知の技術で形成されたもので良い。また、TFT構造にも特に限定はない。

【0061】

図7に示すようなスティックドライバを基板601上に実装する方法は異方導電性材料もしくはメタルバンプを用いた接続方法またはワイヤボンディング方式を採用することができる。特に、ITO（酸化インジウムと酸化スズとの化合物からなる酸化物）からなる配線上にスティックドライバを形成する場合は異方導電性材料を用いた接続方法が好ましい。

【0062】

図8にその一例を示す。図8（A）は基板801にスティックドライバ802が異方導電性材料を用いて実装された例を示している。基板801上には画素部803、引出線804、入力端子805、接続配線（図示せず）が設けられている。なお、画素部803はカバー材806およびシール材807により密閉空間808に封入され外気から保護されている。

【0063】

また、入力端子805の一方の端にはTCP809が異方導電性材料で接着されている。異方導電性材料は樹脂810と表面が金属メッキされた直径数十～数百 μm の導電性粒子811からなり、導電性粒子811によりスティックドライバ側の入力端子812もしくはTCP809と引出線804もしくは入力端子805とが電気的に接続されている。

【0064】

また、図8（B）で示すように基板801にスティックドライバを接着材815で固定して、金属ワイヤ816によりスティックドライバ802の入力端子812と引出線804もしくは入力端子805とを電気的に接続しても良い。この場合、接続したスティックドライバ802は樹脂膜817で封入する。

【0065】

なお、スティックドライバの実装方法は図8に示した方法に限定されるものではなく、公知の実装方法を用いることが可能である。

【0066】

〔実施例6〕

本発明の発光装置の一実施例を図9に示す。図9(A)は本発明の発光装置の上面図であり、図9(B)は図8(A)をA-A'で切断した断面図に相当する。まず、図9(A)の上面図について説明する。

【0067】

図9(A)において、901は基板であり、ここではプラスチック材を用いる。プラスチック材としては、ポリイミド、ポリアミド、アクリル樹脂、エポキシ樹脂、PES(ポリエチレンサルファイド)、PC(ポリカーボネート)、PET(ポリエチレンテレフタレート)もしくはPEN(ポリエチレンナフタレート)を板状もしくはフィルム状にして用いることができる。

【0068】

902は酸化物導電膜からなる走査線(陽極)であり、本実施例では酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を用いる。このとき走査線902の上にニッケル配線903が設けられている(図9(A)参照)。

【0069】

また、904は金属膜からなるデータ線(陰極)であり、本実施例ではビスマス膜を用いる。また、905はアクリル樹脂からなるバンクであり、データ線904を分断するための隔壁として機能する。走査線902とデータ線904は両方ともストライプ状に複数本形成されており、互いに直交するように設けられる。なお、図9(A)では図示されないが、走査線902とデータ線904の間にはE1層が挟まれており、906で示される交差部が画素となる。

【0070】

907は走査線側スティックドライバであり、TFTで形成された駆動回路を含んでいる。ここでは駆動回路をプラスチック基板上に形成しているが、ガラス基板上に形成しても構わない。なお、スティックドライバ907の構造は図7で説明した通りである。また、一つのスティックドライバを設けた例を示しているが、複数個に分割して設けても構わない。

【0071】

908はデータ線側スティックドライバであり、TFTで形成された駆動回路を含んでいる。ここでも駆動回路をプラスチック基板上に形成している。また、スティックドライバ908も図7で説明した構造である。また、一つのスティックドライバを設けた例を示しているが、複数個に分割して設けても構わない。

【0072】

なお、データ線904は配線端で接続配線909と電氣的に接続され、接続配線909がスティックドライバ908と接続される。これはスティックドライバ908をバンク905上に設けることが困難だからである。

【0073】

以上のような構成で設けられた走査線側スティックドライバ907は接続配線910aおよび入力端子911を介してFPC912に接続される。また、データ線側スティックドライバ908は接続配線910bおよび入力端子911を介してFPC912に接続される。

【0074】

また、913はシール材、914はシール材913によりプラスチック材901に貼り合わせたカバー材である。シール材913としては光硬化樹脂を用いれば良く、脱ガスが少なく、吸湿性の低い材料が好ましい。また、カバー材としては基板901と同一の材料が好ましく、ガラス(石英ガラスを含む)もしくはプラスチックを用いることができる。ここではプラスチック材を用いる。

【0075】

次に、図9（B）の断面図について説明する。なお、図9（A）と同一の部分は同一の符号を用いて説明する。

【0076】

図9（B）において、915で示された領域は画素の構造を示しており、この拡大図を図9（C）に示す。916はEL層であり、正孔注入層、正孔輸送層、発光層、電子輸送層もしくは電子注入層を適宜組み合わせて形成する。勿論、発光層を単層で用いても良い。EL層916を形成する構造および材料は公知のものを用いれば良い。

【0077】

なお、図9（C）に示すようにバンク905は下層の幅が上層の幅よりも狭い形状となっており、データ線904を物理的に分断する。

【0078】

また、図9（B）に示すように、走査線側スティックドライバ907は異方導電性材料917を用いて走査線902および接続配線910aに電氣的に接続されている。また同様にFPC912も異方導電性材料918を用いて接続配線910aに電氣的に接続されている。

【0079】

また、シール材913で囲まれた画素部919は、樹脂からなる封止材920により外気から遮断され、EL層の劣化を防ぐ構造となっている。

【0080】

以上のような構成を含む本発明の発光装置は、画素部919が走査線902、補助配線903、データ線904、バンク905およびEL層916で形成されるため、非常に簡単なプロセスで作製することができる。さらに、補助配線903を設けたことで走査線902の配線抵抗を低減することができ、表示品質の高い発光装置とすることができる。

【0081】

また、本実施例に示した発光装置の表示面（画像を観測する面）に偏光板を設けても良い。この偏光板は、外部から入射した光の反射を抑え、観測者が表示面に映り込むことを防ぐ効果を有する。一般的には円偏光板が用いられている。但し、EL層から発した光が偏光板により反射されて内部に戻されることを防ぐため、屈折率を調節して内部反射の少ない構造とすることが望ましい。

【0082】

また、駆動回路となるスティックドライバ907、908を別工程で作製して実装する。その結果、特に煩雑なプロセスを必要とせず発光装置を作製することができるため歩留まりが高く、製造コストを下げることができる。

【0083】

〔実施例7〕

本実施例では、本発明の発光装置における回路構成の一実施例を図10に示す。画素部11は複数の走査線とデータ線で形成され、複数のEL素子が形成される。その周辺の領域には走査線側ドライバ12及びデータ線側ドライバ13が設けられ、これらのドライバ（駆動回路）にスティックドライバが用いられる。このスティックドライバの構造は図7、図8を用いて説明した通りである。

【0084】

これらのスティックドライバは入力端子14と接続されている。このように、画素部11が形成された基板には、走査線側ドライバ12、データ線側ドライバ13および入力端子14が形成されている。

【0085】

また、コントロール回路16、安定化電源17、オペアンプを含む電源回路18のうちコントロール回路16と電源回路18はプリント配線板に実装し、FPCを用いて入力端子14に接続される。また、FPCの一方の端にはインターフェースコネクタ19が設けられ、これを介してクロック信号及びデータ信号15、画質信号20が上記プリント配線板

に入力される。また、安定化電源17からの電源信号もインターフェースコネクタ19を介して上記プリント配線板に入力される。

【0086】

なお、外部から入力されるクロック信号及びデータ信号15は、スティックドライバの入力仕様に変換するためのコントロール回路16に入力され、それぞれのタイミング仕様に変換される。

【0087】

〔実施例8〕

実施例1〜7では、絶縁体の上に陽極、EL層、陰極の順に積層していく場合について説明したが、陰極、EL層、陽極および補助配線の順に積層していくことも可能である。

【0088】

前者は絶縁体を通過した光を観測することになるのに対して、後者は絶縁体から離れる方向に光が放射される。

【0089】

なお、本実施例の構成は実施例1〜7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0090】

〔実施例9〕

実施例5〜7で用いるスティックドライバの作製方法について図11を用いて説明する。ここでは駆動回路を形成する基本単位としてCMOS回路を作製する場合の例について説明する。

【0091】

まず、図11(A)に示すように、ガラス基板1100上に下地膜1101を300nmの厚さに形成する。本実施例では下地膜1102として窒化酸化珪素膜を積層して用いる。この時、ガラス基板1100に接する方の窒素濃度を10〜25wt%としておくが良い。

【0092】

次に下地膜1101の上に50nmの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20〜100nmの厚さであれば良い。

【0093】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）1102を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。

【0094】

本実施例では特開平7-130652号公報に記載された技術を用い、非晶質珪素膜にニッケルを添加し、ファーネスアニールを行って結晶化させる。ニッケルは結晶化を促進させる触媒として用いられる。

【0095】

なお、本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0096】

次に、図11(B)に示すように、結晶質珪素膜1102上に酸化珪素膜でなる保護膜1

1103を130nmの厚さに形成する。この厚さは100～200nm（好ましくは130～170nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜1103は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0097】

そして、その上にレジストマスク1104を形成し、保護膜1103を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（ PH_3 ）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0098】

この工程により形成されるn型不純物領域1105には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

【0099】

次に、図11（C）に示すように、結晶質珪素膜の不要な部分を除去して、後にpチャネル型TFTの活性層となる半導体膜1106および後にnチャネル型TFTの活性層となる半導体膜1107を形成する。

【0100】

次に、図11（D）に示すように、半導体膜1106、1107を覆ってゲート絶縁膜1108を形成する。ゲート絶縁膜1108としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。

【0101】

次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極1109、1110を形成する。このゲート電極1109、1110の端部をテーパー状にすることもできる。また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。

【0102】

代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0103】

本実施例では、50nm厚の窒化タングステン（WN）膜と、350nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0104】

またこの時、ゲート電極1110はn型不純物領域1105の一部とゲート絶縁膜1108を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0105】

次に、図11（E）に示すように、レジスト1111を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域1112～1115を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドーパ法で行い、この領域のリンの濃度

は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) となるように調節する。この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成される。

【0106】

この工程では、pチャネル型TFTの活性層となる半導体膜1106にもn型不純物領域1112、1113を形成する点に特徴がある。この領域は非晶質珪素膜の結晶化に用いたニッケルをゲッタリングするために後工程で必要となる。

【0107】

次に、図11(F)に示すように、レジストマスク911を除去し、新たにレジスト1116を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域1117、1118を形成する。ここではジボラン(B_2H_6)を用いたイオンドーピングにより $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度となるようにボロンを添加する。

【0108】

なお、1119、1120で示される領域には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0109】

次に、レジストマスク1116を除去した後、図11(G)に示すように、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、 550°C 、4時間の熱処理を行う。

【0110】

このとき、結晶化の際に用いたニッケルがチャネル形成領域1121、1122からn型不純物領域1114、1115およびp型不純物領域1119、1120の方へ移動してゲッタリング(捕獲)される。即ち、n型不純物領域1114、1115およびp型不純物領域1119、1120に含まれたリンによりニッケルがゲッタリングされる。この工程によりチャネル形成領域1121、1122のニッケル濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下)とすることができる。また逆に、n型不純物領域1114、1115およびp型不純物領域1119、1120にはニッケルが偏析して $5 \times 10^{18} \text{ atoms/cm}^3$ 以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$) 濃度で存在するようになる。

【0111】

次に、図11(A)に示すように、層間絶縁膜1123を形成する。層間絶縁膜1123としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0112】

さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0113】

なお、水素化処理は層間絶縁膜623を形成する間に入れても良い。即ち、 200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0114】

次に、第1層間絶縁膜1123に対してコンタクトホールを形成し、ソース配線1124、1125と、ドレイン配線1126を形成する。このとき同時に図7に示す入力端子7

03および出力端子704を形成すれば良い。なお、本実施例ではこの電極を、Ti(チタン)膜を100nm、Tiを含むアルミニウム膜を300nmおよびTi膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0115】

次に、50～500nm(代表的には200～300nm)の厚さでパッシベーション膜1127を形成する。本実施例ではパッシベーション膜1127として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

【0116】

なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が層間絶縁膜1123に供給され、熱処理を行うことで、パッシベーション膜1127の膜質が改善される。それと同時に、層間絶縁膜1123に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0117】

こうして図11(H)に示す構造のpチャネル型TFT1131およびnチャネル型TFT1132を相補的に組み合わせたCMOS回路が完成する。本実施例の場合、pチャネル型TFT1131の活性層はソース領域1117、ドレイン領域1118およびチャネル形成領域1121で形成される。

【0118】

また、nチャネル型1132の活性層は、ソース領域1115、ドレイン領域1114、LDD領域1133およびチャネル形成領域1122を含み、LDD領域1133はゲート絶縁膜1108を挟んでゲート電極1110と重なっている。このLDD領域1133のうち、ゲート電極1110と重なっている領域のチャネル長方向の長さは0.5～3.0μm、好ましくは1.0～2.0μmとする。

【0119】

このような構造はホットキャリア効果による劣化を抑制する上で非常に有効である。但し、ドレイン領域1114側のみにLDD領域1133を形成しているのは、動作速度を落とさないための配慮である。ホットキャリア効果はドレイン領域とチャネル形成領域の接合部付近で問題となるため、ドレイン領域側に設けられていれば十分に効果が得られる。勿論、ソース領域側にも同様に設けても良い。

【0120】

本実施例はCMOS回路の作製方法を説明しているが、実際にはCMOS回路、NMOS回路もしくはPMOS回路を組み合わせて駆動回路を形成する。その際、PMOS回路の作製にはpチャネル型TFT1131の作製方法を、NMOS回路の作製にはnチャネル型TFT1132の作製方法を参照すれば良い。

【0121】

なお、本実施例の構成は実施例5～8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0122】

〔実施例10〕

本実施例では、図1(B)、(C)とは異なる形状のバンクを用いた場合について図12を用いて説明する。図12(A)において、絶縁体1201上には陽極1202が設けられ、その上に分離絶縁膜1203が設けられる。さらに、支持バンク1204aおよび制御バンク1204bからなるバンク1204が設けられる。

【0123】

本実施例では、支持バンク1204aを形成した後、その上に改めて制御バンク1204bを設けている。従って、制御バンク1204bの線幅は支持バンク1204aの線幅よりも狭くなっている。

【0124】

また、陽極1202上において、バンク1204の間(画素に相当する部分)にはEL層

1205および陰極1206が設けられる。こうして、陽極1202、EL層1205および陰極1206からなるEL素子1200が形成されている。

【0125】

なお、本実施例の構造を含むバンクは、実施例1〜4のいずれの構成においてもバンクとして用いることが可能であり、実施例5〜9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0126】

〔実施例11〕

本実施例では、多面取りにより1枚の基板から複数の発光装置を作製する場合に本発明を実施する例について説明する。説明には図13を用いる。

【0127】

ガラス基板1301上には複数の画素部1302が形成されている。本実施例では1枚のガラス基板上に九つの画素部、即ち、九つの発光装置が形成されることになる。また、各画素は図1に示すような構造からなり、図中のX方向に陽極1303が形成され、Y方向に制御バンク1304が形成されている。

【0128】

本実施例では、陽極1303が全て同電位となるように個々の陽極を接続するための配線（以下、陽極接続配線という）1305が形成され、陽極パッド1306に電圧を加えればその電圧が全て陽極に伝わるようになっている。また、制御バンク1304が全て同電位となるように個々の制御バンクを接続するための配線（以下、バンク接続配線という）1307が形成され、バンクパッド1308に電圧を加えればその電圧が全て制御バンクに伝わるようになっている。

【0129】

本実施例では、これらの陽極接続配線1305およびバンク接続配線1307を静電対策に活用する点に特徴がある。即ち、全てが同電位になっていれば突発的に大きな電圧が配線間に加わることもないため、絶縁破壊等を効果的に抑制することができる。

【0130】

ここで、点線で囲まれた領域1300の拡大図を図14（A）に示す。なお、本実施例では実施例10に示したバンク構造を用いている。

【0131】

図14（A）に示すように、陽極接続配線1305とバンク接続配線1307とは同時に形成されている。即ち、両者は同一の金属膜で同一の層に形成されている。このとき、陽極接続配線1305は陽極1303と同時に形成されたバッファ配線1401で連結された部分を有する。また、バンク接続配線1307は陽極1303と同時に形成されたバッファ配線1402、1403および制御バンク1307と同時に形成されたバッファ配線1404で連結された部分を有する。

【0132】

ここで図14（A）をA-A'で切断した断面図を図14（B）に、B-B'で切断した断面図を図14（C）に、C-C'で切断した断面図を図14（D）に示す。なお、1405は支持バンク、1406は分離絶縁膜である。

【0133】

バッファ配線1401〜1403は、陽極と同一材料からなる配線であり、典型的には酸化物導電膜からなる配線である。酸化物導電膜は金属膜に比べて抵抗値が高いため、バッファ配線は一種の抵抗体として機能することになる。そのため、陽極接続配線1305もしくは陰極接続配線1307に大電流が流れたとしても、バッファ配線で緩衝され、複数の発光装置に被害が及ぶのを防ぐことが可能となる。

【0134】

本実施例の構成とすることで、多面取りプロセスにより一度に複数の発光装置を作製する場合にも、複雑な配線を施すことなく、本発明を実施することが可能となる。

【0135】

また、発光装置が完成したら、ダイサーもしくはスクライバーを用いて基板1301を分断し、発光装置を個々に分離すれば良い。このとき、陽極接続配線1305やバンク接続配線1307も分断してしまえば、各発光装置は電氣的に孤立した状態となる。

【0136】

なお、基板1301を分断する前もしくは分断した後に、必要に応じて実施例5〜9に示したスティックドライバを設けることも可能である。また、本実施例の構成は実施例1〜4もしくは10のいずれの構成とも自由に組み合わせて実施することが可能である。

【0137】

〔実施例12〕

本実施例では、本発明とシャドーマスクとを組み合わせる場合について説明する。説明には図15を用いる。なお、図2(A)に示した構造と同一の部分は同一の符号を用いて説明する。

【0138】

図15では、バンク104の上方に、さらにシャドーマスク1501を設け、シャドーマスク1501を負に帯電させておく。即ち、シャドーマスク1501と制御バンク104bを同じ極性に帯電させておく。

【0139】

このとき、制御バンク104b間の距離を X_1 とし、シャドーマスク1501に設けられた開口部の距離を X_2 とすると、 $X_1 < X_2$ の関係とすることが好ましい。このようにすると、シャドーマスク1501の上方から飛んできたEL材料（もしくはEL材料を含む溶液）201は、まずシャドーマスク1501が形成する電界によりシャドーマスク1501の開口部付近に導かれる。さらに、制御バンク104bが形成する電界により画素内へと導かれる。こうしてEL層202が成膜される。

【0140】

本実施例の構成は、特に赤色発光用のEL材料、緑色発光用のEL材料および青色発光用のEL材料を分けて成膜する場合のように、異なる種類のEL材料を複数回に分けて成膜する場合に有効である。

【0141】

なお、本実施例の構成は実施例1〜11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0142】

〔実施例13〕

本実施例では、シャドーマスクを用いることなく、本発明の電界制御により赤色発光用のEL材料、緑色発光用のEL材料および青色発光用のEL材料を分けて成膜する場合について説明する。

【0143】

本実施例の概念を図16(A)、(B)に示す。図16(A)、(B)では、図示しない絶縁体上に陽極1601〜1604が形成され、それらと直交するように制御バンク1605が形成されている。

【0144】

本実施例では、まず図16(A)に示すように、陽極1603のみ正に帯電させ、他の陽極1601、1602、1604を負に帯電させる。さらに制御バンク1605を負に帯電させ、この状態で負に帯電させた赤色発光用のEL材料を蒸着法により成膜する。このとき、負に帯電した陽極上ではEL材料が反発され、殆どが正に帯電した陽極1603上に成膜される。こうして赤色発光用のEL層1606が成膜される。

【0145】

次に、図16(B)に示すように、陽極1602のみ正に帯電させ、他の陽極1601、1603、1604を負に帯電させる。さらに制御バンク1605を負に帯電させ、この状態で負に帯電させた緑色発光用のEL材料を蒸着法により成膜する。このとき、負に帯電した陽極上ではEL材料が反発され、殆どが正に帯電した陽極1602上に成膜される。

。こうして緑色発光用のEL層1607が成膜される。

【0146】

さらに、図示しないが、青色発光用のEL層も同様に陽極1601、1604のみを正に帯電させ、他の陽極1602、1603を負に帯電させて青色発光用のEL材料を成膜すれば良い。

【0147】

本実施例の構成では、制御バンク1605が形成する電界および陽極1601～1604が形成する電界により、EL材料の軌道を決定し、シャドーマスクを用いずに選択的な成膜を可能とするものである。

【0148】

なお、本実施例の構成は実施例1～11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0149】

〔実施例14〕

本発明において、三重項励起子からの磷光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

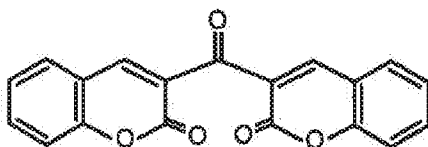
ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記論文に報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0150】

【化1】



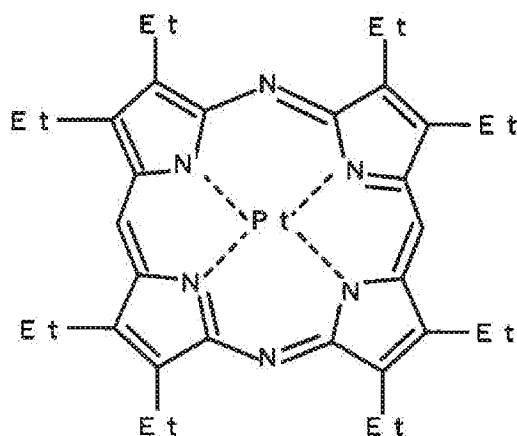
【0151】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記論文に報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0152】

【化2】



【0153】

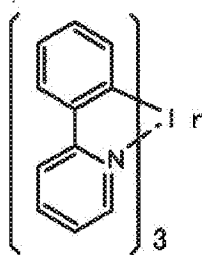
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記論文に報告されたEL材料 (Ir錯体) の分子式を以下に示す。

【0154】

【化3】



【0155】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例13のいずれの構成とも自由に組み合わせて実施することが可能である。

【0156】

【実施例15】

本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。その際、本発明の発光装置はパッシブ型の発光装置でありながらも配線抵抗を減らすことで大画面化を可能としているため、用途も幅広いものとすることができる。

【0157】

本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート

型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（LD）又はデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それら電気器具の具体例を図17に示す。

【0158】

図17（A）はELディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、表示部2003に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0159】

図17（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置は表示部2102に用いることができる。なお、表示部2102に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0160】

図17（C）はデジタルカメラであり、本体2201、表示部2202、接眼部部2203、操作スイッチ2204を含む。本発明の発光装置は表示部2202に用いることができる。なお、表示部2202に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0161】

図17（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。なお、表示部（a）2304、表示部（b）2305に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0162】

図17（E）は携帯型（モバイル）コンピュータであり、本体2401、表示部2402、受像部2403、操作スイッチ2404、メモリスロット2405を含む。本発明の電気光学装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。なお、表示部2402に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0163】

図17（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。なお、表示部2503に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0164】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0165】

また、上記電子装置はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【0166】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0167】

ここで図18(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0168】

また、図18(B)はカーオーディオ(車載用オーディオ)であり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、据え置き型(家庭用)オーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。なお、表示部2704に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0169】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～14の構成を自由に組み合わせた発光装置を用いることで得ることができる。

【0170】

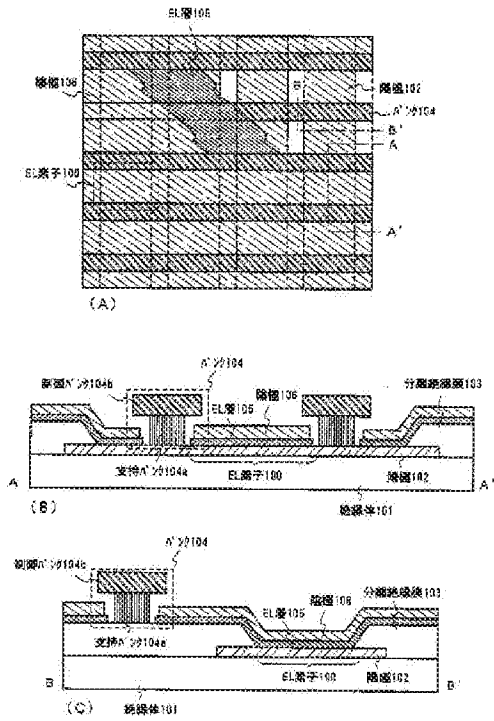
【発明の効果】

本発明を実施することでEL材料を成膜するにあたって成膜位置を精密に制御することが可能となる。そのため高精細な画素部を有する発光装置を作製することができる。また、必要な部分に優先的にEL材料を成膜することができるため、EL材料の利用効率が高まり、製造コストを低減することができる。さらに、本発明の発光装置を表示部として用いることで高精細な表示部を有した電気器具を得ることができる。

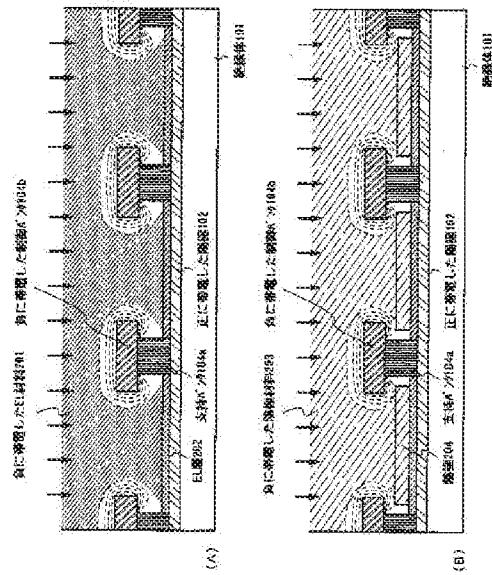
【図面の簡単な説明】

- 【図1】 発光装置の上面構造および断面構造を示す図。
- 【図2】 EL材料の成膜工程を説明するための図。
- 【図3】 蒸着法によるEL材料の成膜工程を説明するための図。
- 【図4】 インクジェット法によるEL材料の成膜工程を説明するための図。
- 【図5】 イオンプレーティング法によるEL材料の成膜工程を説明するための図。
- 【図6】 発光装置の上面構造を示す図。
- 【図7】 スティックドライバの断面構造を示す図。
- 【図8】 スティックドライバの接続例を示す図。
- 【図9】 発光装置の上面構造および断面構造を示す図。
- 【図10】 発光装置および発光装置に入力される信号の構成を示す図。
- 【図11】 スティックドライバの作製工程を示す図。
- 【図12】 発光装置の断面構造を示す図。
- 【図13】 多面取りプロセスを説明するための図。
- 【図14】 多面取りプロセスを説明するための図。
- 【図15】 EL材料の成膜工程を説明するための図。
- 【図16】 EL材料の成膜工程を説明するための図。
- 【図17】 電気器具の一例を示す図。
- 【図18】 電気器具の一例を示す図。

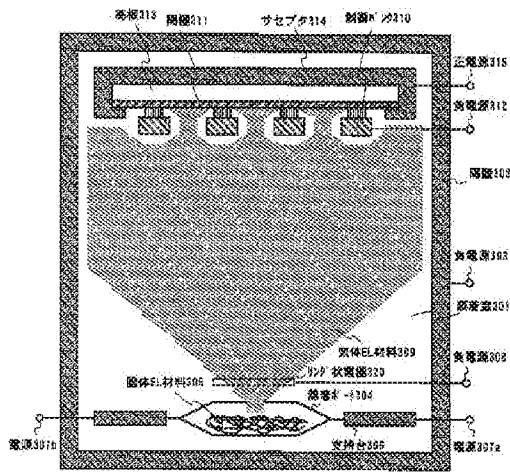
【図1】



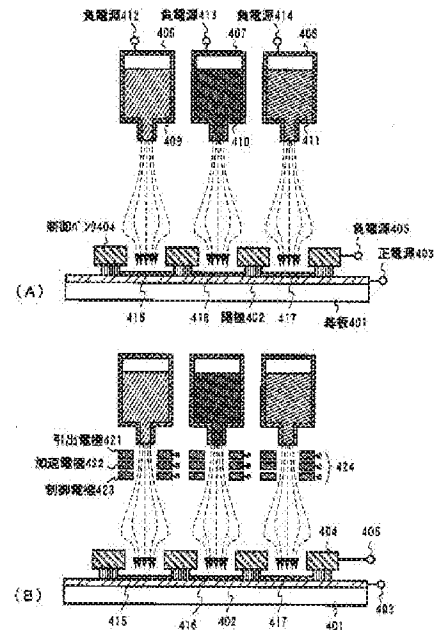
【図2】



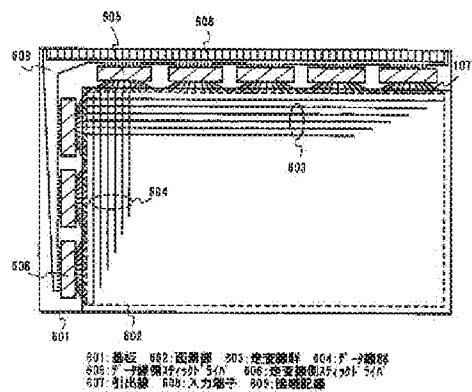
【図3】



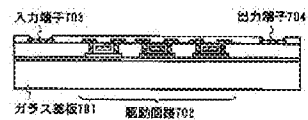
【図4】



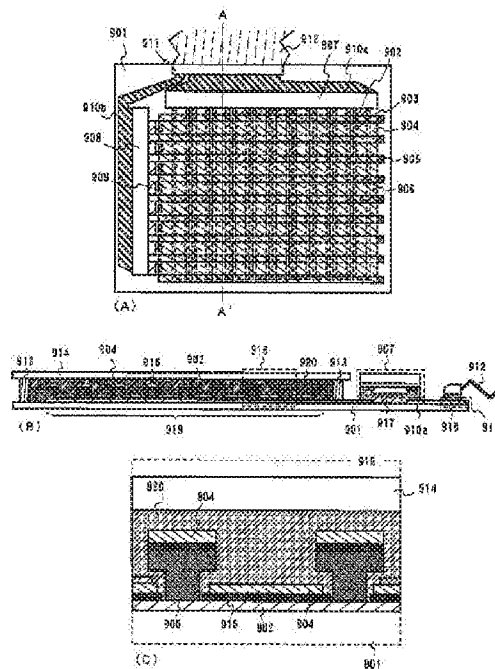
【图6】



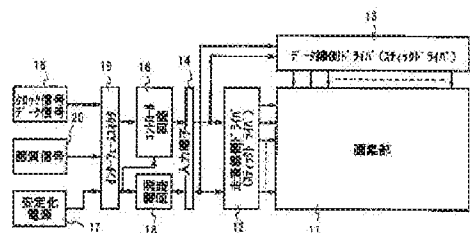
【图7】



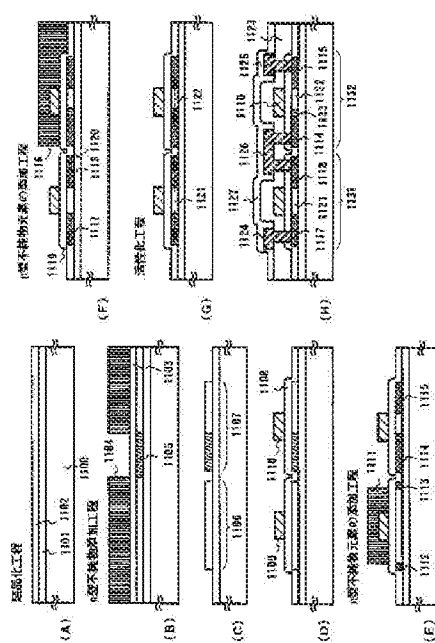
【图9】



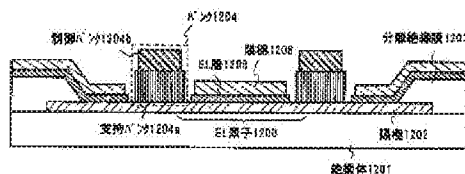
【图10】



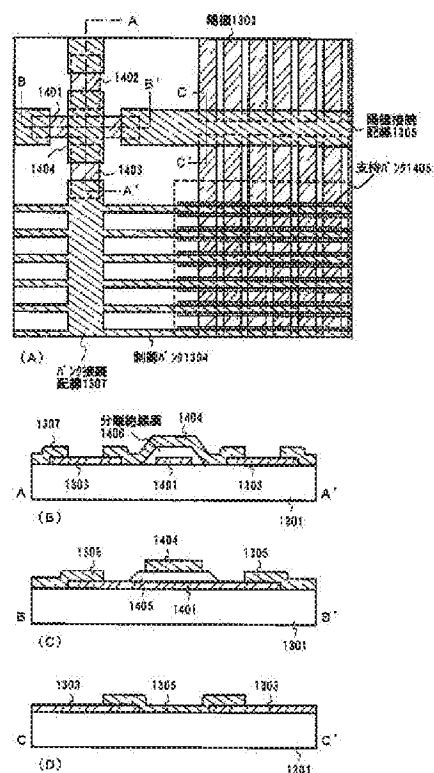
【圖11】



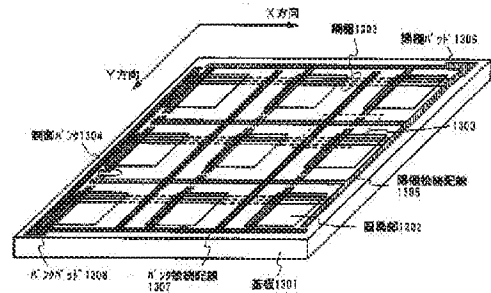
【图12】



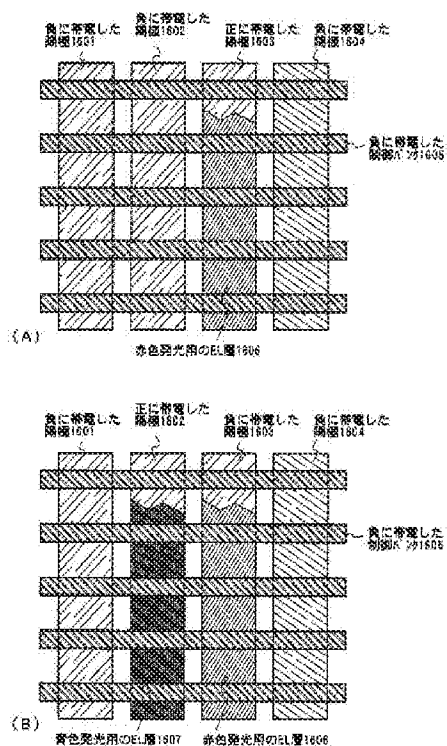
【图14】



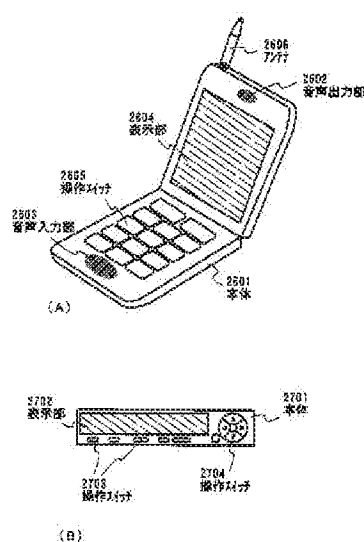
【图13】



【图16】



【图18】



(56) 参考文献 特開平10-335068 (JP, A)
国際公開第98/012689 (WO, A1)
特開平09-102393 (JP, A)
特公昭47-035690 (JP, B1)
特開平09-234870 (JP, A)
特開平10-321372 (JP, A)

(58) 調査した分野(Int.Cl., DB名)

H05B 33/10
H01L 51/50
H05B 33/12
H05B 33/22



Espacenet

Bibliographic data: JP4713010 (B2) — 2011-06-29

LIGHT EMITTING DEVICE AND MANUFACTURING METHOD THEREOF
Inventor(s): FUKUNAGA KENJI

Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD

Classification: - international: *G09F9/30; H01L27/32; H01L51/50; H05B33/04; H05B33/10; H05B33/14; H05B33/24; H05B33/26; H05B33/28*
 - cooperative: H01L27/3276
Application number: JP20010136190 20010507

Priority number(s): JP20010136190 20010507 ; JP20000135076 20000508
Also published as: JP2002033198 (A)
Abstract of JP2002033198 (A)

PROBLEM TO BE SOLVED: To provide a bright light emitting device with good image quality. SOLUTION: An EL element 105 consisting of an electrode 102 containing a reflecting surface, an organic EL layer 103 and a transparent electrode 104 is provided on an insulator 101, and an auxiliary electrode 107 is connected to the transparent electrode 104 through an anisotropic conductor 108. Accordingly, since the effective resistance value of the transparent electrode 104 can be reduced, and a uniform voltage can be applied to the organic EL layer 103, a display failure such as display unevenness or the like can be prevented.

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4713010号

(P4713010)

(45) 発行日 平成23年6月29日(2011. 6. 29)

(24) 登録日 平成23年4月1日(2011. 4. 1)

(51) Int. Cl.

F 1

H 0 5 B 33/26 (2006. 01)

H 0 5 B 33/26 Z

G 0 9 F 9/30 (2006. 01)

G 0 9 F 9/30 3 3 8

H 0 1 L 27/32 (2006. 01)

G 0 9 F 9/30 3 6 5 Z

H 0 5 B 33/04 (2006. 01)

H 0 5 B 33/04

H 0 5 B 33/10 (2006. 01)

H 0 5 B 33/10

請求項の数 6 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-136190 (P2001-136190)

(22) 出願日 平成13年5月7日(2001. 5. 7)

(65) 公開番号 特開2002-33198 (P2002-33198A)

(43) 公開日 平成14年1月31日(2002. 1. 31)

審査請求日 平成20年3月10日(2008. 3. 10)

(31) 優先権主張番号 特願2000-135076 (P2000-135076)

(32) 優先日 平成12年5月8日(2000. 5. 8)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 中山 佳美

(56) 参考文献 特開2000-036391 (JP, A)

国際公開第98/012689 (WO, A1)

特開平11-074073 (JP, A)

特開平11-015010 (JP, A)

最終頁に続く

(54) 【発明の名称】 発光装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板上的第1の電極と、
前記第1の電極上のE L層と、
前記E L層上の第2の電極と、
前記第2の電極上の導電体と、
前記導電体上の第3の電極と、
前記第3の電極上の第2の基板と、を有し、
前記第2の電極及び前記第3の電極は透光性を有し、
前記第2の電極と前記第3の電極とは前記導電体を介して電気的に接続され、
前記導電体は、前記第1の電極、前記E L層、及び前記第2の電極のみからなる積層構造体と重なる位置に配置されており、
前記第3の電極は前記第2の基板側に形成されたものであることを特徴とする発光装置。

【請求項2】

第1の基板上的T F Tと、
前記T F T上の絶縁膜と、
前記絶縁膜に設けられたコンタクトホールと、
前記コンタクトホールに埋め込まれた異方導電性膜と
前記異方導電性膜上及び前記絶縁膜上の第1の電極と、

前記第1の電極上のE L層と、
 前記E L層上の第2の電極と、
 前記第2の電極上の導電体と、
 前記導電体上の第3の電極と、
 前記第3の電極上の第2の基板と、を有し、
 前記第2の電極及び前記第3の電極は透光性を有し、
 前記第2の電極と前記第3の電極とは前記導電体を介して電氣的に接続され、
 前記第1の電極と前記E L層と前記第2の電極とによりE L素子が構成され、
 前記コンタクトホールは前記E L素子の有効発光領域と重なる位置に配置され、
 前記第1の電極と前記T F Tとは前記コンタクトホールに埋め込まれた前記異方導電性膜を介して電氣的に接続されており、
前記第3の電極は前記第2の基板側に形成されたものであることを特徴とする発光装置

【請求項3】

第1の基板上的T F Tと、
 前記T F T上の絶縁膜と、
 前記絶縁膜に設けられたコンタクトホールと、
 前記絶縁膜上に設けられ、前記コンタクトホールを介して前記T F Tと電氣的に接続された第1の電極と、
 前記第1の電極上の埋め込み絶縁膜と、
 前記第1の電極上及び前記埋め込み絶縁膜上のE L層と、
 前記E L層上の第2の電極と、
 前記第2の電極上の導電体と、
 前記導電体上の第3の電極と、
 前記第3の電極上の第2の基板と、を有し、
 前記第2の電極及び前記第3の電極は透光性を有し、
 前記第2の電極と前記第3の電極とは前記導電体を介して電氣的に接続され、
 前記第1の電極と前記E L層と前記第2の電極とによりE L素子が構成され、
 前記コンタクトホールは前記E L素子の有効発光領域に囲まれた位置に配置され、
 前記埋め込み絶縁膜は、前記コンタクトホールに起因して形成された前記第1の電極の凹部を埋めるように設けられており、
前記第3の電極は前記第2の基板側に形成されたものであることを特徴とする発光装置

【請求項4】

請求項2又は請求項3において、
 前記第1の電極の端部に形成される段差を覆うバンクを有し、
 前記導電体は前記バンクと重なる位置に配置されていることを特徴とする発光装置。

【請求項5】

第1の電極とE L層と第2の電極とによりE L素子が構成される発光装置の作製方法であって、
 第1の基板上的T F Tと、前記T F T上の絶縁膜と、前記絶縁膜に設けられたコンタクトホールと、を形成し、
 前記絶縁膜上及び前記コンタクトホール内に異方導電性膜を形成し、
 前記絶縁膜が露呈するまで前記異方導電性膜をエッチングすることによって、前記コンタクトホールに埋め込まれた導電物を形成し、
 前記導電物上及び前記絶縁膜上に前記第1の電極を形成し、
 前記第1の電極上に前記E L層を形成し、
 前記E L層上に前記第2の電極を形成し、
 導電体を挟むように、第3の電極が設けられた第2の基板を前記第1の基板に対向させて貼り合わせることにより、前記第2の電極と前記第3の電極とを前記導電体を介して電

氣的に接続し、

前記第2の電極及び前記第3の電極は透光性を有し、

前記コンタクトホールは前記E L素子の有効発光領域と重なる位置に配置され、

前記第1の電極と前記T F Tとは前記コンタクトホールに埋め込まれた前記導電物を介して電氣的に接続されることを特徴する発光装置の作製方法。

【請求項6】

第1の電極とE L層と第2の電極とによりE L素子が構成される発光装置の作製方法であって、

第1の基板上的T F Tと、前記T F T上の絶縁膜と、前記絶縁膜に設けられたコンタクトホールと、を形成し、

前記絶縁膜上及び前記コンタクトホール内に、前記T F Tと電氣的に接続される前記第1の電極を形成し、

前記第1の電極上に設けられる埋め込み絶縁膜と、前記第1の電極の端部に形成される段差を覆うように設けられるバンクと、を同時に形成し、

前記第1の電極上、前記埋め込み絶縁膜上、及び前記バンク上に前記E L層を形成し、

前記E L層上に前記第2の電極を形成し、

導電体を挟むように、第3の電極が設けられた第2の基板を前記第1の基板に対向させて貼り合わせることで、前記第2の電極と前記第3の電極とを前記導電体を介して電氣的に接続し、

前記第2の電極及び前記第3の電極は透光性を有し、

前記コンタクトホールは前記E L素子の有効発光領域に囲まれた位置に配置され、

前記埋め込み絶縁膜は、前記コンタクトホールに起因して形成された前記第1の電極の凹部を埋めるように設けられることを特徴する発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光性材料からなる薄膜を用いた発光装置に関する。また、その発光装置を表示部として用いた電気器具に関する。なお、有機E Lディスプレイや有機発光ダイオード（O L E D : Organic Light Emitting Diode）は本発明の発光装置に含まれる。

【0002】

また、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】

近年、E L（Electro Luminescence）が得られる発光性材料からなる薄膜（以下、E L膜という）を用いた発光素子（以下、E L素子という）の開発が進んでいる。E L素子を有する発光装置（以下、E L発光装置という）は、陽極と陰極との間にE L膜を挟んだ構造からなるE L素子を有し、陽極と陰極との間に電圧を加えることで発光を得る。特に、E L膜として有機膜を用いたものを有機E L膜という。

【0004】

陰極としては仕事関数の小さい金属（代表的には周期表の1族もしくは2族に属する金属）を用いることが多く、陽極としては可視光に対して透明な導電膜（以下、透明導電膜という）を用いることが多い。このような構造であるため、得られた発光は陽極を透過して視認される。

【0005】

最近では、T F T（薄膜トランジスタ）を用いて各画素に設けられたE L素子の発光を制御するアクティブマトリクス型E L発光装置の開発が進められており、試作品が発表されるに至った。ここでアクティブマトリクス型E L発光装置の構造を図9（A）、（B）に示す。

【0006】

図9(A)において、基板901上にはTFT902が形成され、TFT902には陽極903が接続されている。陽極903の上には有機EL膜904、陰極905が形成され、陽極903、有機EL膜904および陰極905からなるEL素子906が形成されている。

【0007】

このとき、有機EL膜904で生成された発光は陽極903を透過して図中の矢印の方向に向かって放射される。従って、TFT902は観測者から見て発光を遮る遮蔽物となってしまう、有効発光領域(観測者が発光を観測しうる領域)を狭める要因となっていた。また、有効発光領域が狭い場合、明るい画像を得るには発光輝度を上げる必要があったが、発光輝度を上げることは有機EL膜の劣化を早める結果となっていた。

【0008】

そこで、図9(B)に示すような構造のアクティブマトリクス型EL発光装置が提案されている。図9(B)において、基板901上にはTFT902が形成され、TFT902には陰極907が接続されている。陰極907の上には有機EL膜908、陽極909が形成され、陰極907、有機EL膜908および陽極909からなるEL素子910が形成されている。即ち、図9(A)に示したEL素子906とはちょうど逆向きの構造のEL素子となる。

【0009】

このとき、原理上はEL膜908で生成された発光が陽極909を透過して図中の矢印の方向に向かって放射される。従って、TFT901は観測者から見えない位置に設けられ、陰極903が設けられた領域すべてを有効発光領域とすることが可能である。

【0010】

しかしながら、図9(B)に示す構造は、陽極909に均一な電圧を印加できないという問題を潜在的に抱えている。陽極として一般的に用いられる透明導電膜は金属膜に比べて抵抗値が高いが、熱処理により抵抗値を下げられることが知られている。ところが有機EL膜は耐熱性が低いため、有機EL膜を成膜した後に150℃を超える熱処理を行うことはできない。

【0011】

従って、有機EL膜の上に陽極(透明導電膜)を積層する際には熱処理を行うことができず、抵抗値の低い陽極を形成することが困難である。即ち、陽極の端部と中心部とで印加される電圧が異なるといった問題が生じる可能性があり、この問題が画質不良を起こす要因となることが懸念される。

【0012】

以上のように、有機EL膜を成膜した後に透明導電膜を用いる構造を含む発光装置では、透明導電膜の低抵抗化が困難という問題があった。

【0013】

【発明が解決しようとする課題】

本発明は上記問題点を解決するためになされたものであり、明るく画質の良好な発光装置を提供することを課題とする。また、そのような発光装置を表示部として用いた画質の良い電気器具を提供することを課題とする。

【0014】

【課題を解決するための手段】

本発明は有機EL膜を成膜した後で設けられた透明電極に対して並列に補助的な電極を接続することにより実質的に透明電極の低抵抗化を図る点に特徴がある。ここで本発明について図1を用いて説明する。

【0015】

図1において、101は絶縁体、102は反射面を含む電極、103は有機EL層、104は可視光に対して透明もしくは半透明な電極(以下、透明電極という)であり、絶縁体101上には反射面を含む電極102、有機EL層103および透明電極104からなるEL素子105が形成されている。

【0016】

なお、可視光に対して透明とは可視光を80～100%の透過率で透過することをいい、可視光に対して半透明とは可視光を50～80%の透過率で透過することをいう。勿論、膜厚によって透過率は異なるが、膜厚は上記範囲内に収まるように適宜設計すれば良い。

【0017】

ここで絶縁体101は絶縁基板もしくは表面に絶縁膜を設けた基板であり、EL素子を支持できるものであれば良い。

【0018】

また、反射面を含む電極102とは、金属電極または金属電極および透明電極の積層された電極を指す。即ち、電極の表面、裏面もしくは電極内部の界面に可視光を反射しうる面（反射面）を含む電極を指す。

【0019】

また、有機EL層103は、有機EL膜または有機EL膜と有機材料との積層膜を用いることができる。即ち、有機EL膜を発光層として単層で設けても良いし、有機EL膜を発光層とし有機材料を電荷注入層もしくは電荷輸送層として積層して設けても良い。なお、無機材料の中には電荷注入層もしくは電荷輸送層として用いることのできる材料もあり、そのような無機材料を電荷注入層もしくは電荷輸送層として用いることも可能である。

【0020】

また、透明電極104としては、透明導電膜からなる電極もしくは膜厚が5～70nm（代表的には10～50nm）の金属膜（以下、半透明な金属膜という）からなる電極を用いることができる。透明導電膜としては、酸化物導電膜（代表的には酸化インジウム膜、酸化スズ膜、酸化亜鉛膜、酸化インジウムと酸化スズとの化合物膜もしくは酸化インジウムと酸化亜鉛との化合物膜）または酸化物導電膜に酸化ガリウムを添加したものを用いることができる。また、透明電極104として透明導電膜を用いる場合、10～200nm（好ましくは50～100nm）とすることで80～95%の可視光を透過することができる。

【0021】

以上の構造からなるEL素子105の上には、封止体106、封止体106の表面に設けられた補助電極107が設けられ、補助電極107は導電体108を介して透明電極104と電気的に接続されている。なお、導電体108は透明電極104上に点在して設けられるが、なるべく透明電極上の全面に分散させて設けることが好ましい。

【0022】

ここで封止体106は可視光に対して透明な基板もしくはフィルムであり、ガラス基板、石英基板、結晶化ガラス基板、プラスチック基板もしくはプラスチックフィルムを用いることができる。但し、プラスチック基板もしくはプラスチックフィルムを用いる場合、表面もしくは裏面に酸素および水の透過を防止する保護膜（好ましくは炭素膜、具体的にはダイヤモンドライクカーボン膜）を設けておくことが望ましい。

【0023】

また、補助電極107は透明電極104の抵抗値を下げる目的で補助的に設けられた電極であり、透明電極104と同様に透明導電膜からなる電極もしくは膜厚が半透明な金属膜からなる電極を用いることができる。また、補助電極107の膜厚を透明電極104と同様に10～200nm（好ましくは50～100nm）とすることで80～95%の可視光を透過することができる。

【0024】

また、導電体108は異方導電性膜等と呼ばれる導電膜を用いて形成することができる。従って、異方導電膜と呼ぶこともできる。異方導電性膜とは導電粒子（代表的には金属粒子もしくはカーボン粒子）を均一に分散させた樹脂膜である。本発明では、異方導電性膜108をフォトリソグラフィによりパターン化して選択的に設けるか、インクジェット法もしくは印刷法により選択的に設けることが好ましい。なぜならば異方導電性膜は可視光に対する透過率が低いため、透明電極104の全面に設けてしまうと有機EL層103か

ら発した光が吸収されてしまうからである。

【0025】

以上のような構造を含む本発明の発光装置では、補助電極107が透明導電膜からなる透明電極104に並列に接続された電極として機能する。また、このとき補助電極107は封止体106側に形成されるため、従来例で説明したような有機EL膜の耐熱性の制約を受けずに抵抗値を低くすることができる。従って、本発明を実施することにより透明電極104に均一な電圧を加えることが可能となり、画質の良い画像を得ることが可能である。

【0026】

【発明の実施の形態】

本発明の実施の形態について図2を用いて説明する。図2において、201は素子を形成する側の基板である。本発明では基板201として如何なる材料を用いても良く、ガラス（石英ガラスを含む）、結晶化ガラス、単結晶シリコン、セラミックス、金属もしくはプラスチックを用いることが可能である。

【0027】

基板201上には画素202が形成され、画素202はスイッチングTFT203及び電流制御TFT204を含む構造となっている。なお、図2には三つの画素が示されており、各々赤、緑もしくは青に発光する画素が形成されている。スイッチングTFT203はビデオ信号を画素に取り込むためのスイッチとして機能し、電流制御TFT204はEL素子に流れる電流を制御するためのスイッチとして機能する。このとき、スイッチングTFT203のドレインは電流制御TFT204のゲートに電気的に接続されている。

【0028】

スイッチングTFT203及び電流制御TFT204の構造に限定はなく、トップゲート型（代表的にはプレーナ型）もしくはボトムゲート型（代表的には逆スタガ型）を用いれば良い。また、どちらのTFTもnチャネル型TFTもしくはpチャネル型を用いれば良い。

【0029】

また、スイッチングTFT203及び電流制御TFT204は層間絶縁膜205に覆われ、その上には導電体プラグ206を介して金属膜からなる画素電極207と電流制御TFT204のドレインとが電気的に接続されている。また、画素電極207には第1の透明電極208が10～200nm（好ましくは50～100nm）の膜厚で積層されている。ここでは画素電極207と第1の透明電極208とで陽極230を形成している。

【0030】

なお、本実施の形態では電流制御TFT204のドレインと画素電極207とが接続されるコンタクトホールを導電体で埋め込む構造としている。このコンタクトホールを埋め込むように設けられた導電体を導電体プラグと呼ぶ。導電体プラグ206は異方導電性膜をエッチングして形成すれば良い。勿論、画素電極207を直接電流制御TFT204のドレインと接続させても良い。

【0031】

ところで、上記コンタクトホールに起因する凹部では有機EL層のカバレッジが悪く、陰極と陽極のショート（短絡）を招く恐れがあるため好ましいものではない。本実施の形態では導電体プラグ206を用いることで画素電極207にコンタクトホールに起因する凹部が形成されないようにできるため、陰極と陽極のショートを防ぐことができる。

【0032】

また、画素電極207は反射率の高い金属膜を用いることが好ましく、アルミニウム膜（アルミニウム合金膜や添加物を含むアルミニウム膜を含む）もしくは銀薄膜を用いると良い。金属膜にアルミニウムメッキもしくは銀メッキを施した膜を用いても良い。

【0033】

次に、209は陽極230の間に設けた絶縁膜（以下、バンクという）であり、陽極230の端部に形成される段差を覆うように形成される。本実施の形態ではバンク209を設

けることで電界集中を起こしやすい陽極230の端部から有機EL層を遠ざけ、電界集中による有機EL層の劣化を防ぐ構造となっている。なお、バンク209としては樹脂膜を用いても珪素を含む絶縁膜（代表的には酸化珪素膜）を用いても良い。

【0034】

次に、210は赤色に発光する有機EL層、211は緑色に発光する有機EL層、212は青色に発光する有機EL層である。有機EL層210～212の層構造は公知の技術を参考にすれば良い。

【0035】

また、有機EL層210～212を覆うようにして設けられた第2の透明電極213は有機EL層に電子を注入するための電極である。この第2の透明電極213の仕事関数は2.5～3.5eVであることが好ましく、周期表の1族もしくは2族に属する元素を含む金属膜を用いると良い。ここではアルミニウムとリチウムとを共蒸着した合金膜（以下、Al-Li膜という）を用いる。また、Al-Li膜は金属膜であるため、膜厚を10～70nm（代表的には20～50nm）とすることで透明電極とすることができる。

【0036】

さらに、その上には100～300nm（好ましくは150～200nm）の透明導電膜からなる第3の透明電極214が設けられている。第3の透明電極214は第2の透明電極213に電圧を加えるための役割を果たす電極である。ここでは第2の透明電極213と第3の透明電極214とで陰極231を形成している。

【0037】

また、基板201（ここでは基板201に設けられた薄膜も含めて基板と呼んでいる）に対向させて設けられた封止体215には膜厚が10～200nm（好ましくは50～100nm）の透明導電膜からなる補助電極（第4の透明電極）216が形成されており、第3の透明電極214および補助電極216は異方導電性膜（金属粒子もしくはカーボン粒子を分散させた樹脂膜）からなる導電体217を介して電気的に接続されている。

【0038】

導電体217は、第3の透明電極214の上に部分的に設けることが好ましい。即ち、異方導電性膜は黒色もしくは灰色であるため、少なくとも画素の発光領域に重ならないように設けることが望ましい。もちろん、画素間に設けることで積極的にブラックマトリクスとして用い、画素ごとの光の指向性を高めることも可能である。

【0039】

なお、基板201および封止体215は基板201の外縁に設けられたシール材（図示せず）により貼り合わせられている。また、基板201および封止体215を貼り合わせる際、基板201と封止体215の間隔を決めるためのスペーサ（好ましくは1～3μm）を設けても良い。特に、このスペーサを導電体217で兼ねることは有効である。

【0040】

また、基板201と封止体（対向基板）215との間に形成された空間218には窒素ガスもしくは希ガスを封入しておくことが好ましい。また、この空間218には吸湿性をもつ物質や脱酸素性をもつ物質を設けておくことが望ましい。

【0041】

ここで領域219の詳細な構造を図2（B）に示す。図2（B）では陽極230、有機EL層212および陰極231がEL素子220を形成している。図2（A）に示した発光装置において最も特徴的な点は陰極231を透過して発光が観測される点にある。

【0042】

EL素子220で生成された光のうち陽極230側へ向かった光は反射率の高い表面を有する画素電極207により反射され、陰極231側へ向かう。即ち、画素電極207は陽極230に電流を供給する（電子を引き抜く）電極であると同時に反射電極としての機能をも有する。

【0043】

なお、第2の透明電極213は膜厚が非常に薄いため抵抗値が高い。そのため第3の透明

電極214を積層して低抵抗化を図っている。しかしながら、第3の透明電極214として用いる透明導電膜は有機EL層212を成膜した後で形成することになるため、抵抗値を低くすることが困難である。そこで本実施の形態では透明導電膜からなる第3の透明電極214に並列に、透明導電膜からなる補助電極216を接続することにより第3の透明電極214の実質的な低抵抗化を図っている。

【0044】

以上のような構造の発光装置は、画素202全体が有効発光領域となるため非常に明るい画像を得ることが可能である。また、本発明を実施することにより陰極231全体に均一な電圧を加えることができるため、画質の良い画像を得ることが可能である。

【0045】

【実施例】

【実施例1】

本実施例では図2に示した発光装置の作製工程について図3～5を用いて説明する。なお、図3、4に示したのは画素部における作製工程を示す断面図である。また、本実施例によって作製される画素の上面図（但し陽極を形成した時点での上面図）を図5（A）に、最終的な画素の回路図を図5（B）に示す。なお、図5に用いた符号は図3、4で用いた符号に対応している。

【0046】

まず、図3（A）に示すように、基板としてガラス基板301を用意し、その上に酸化珪素膜からなる下地膜302を200nmの厚さに形成する。下地膜302の形成は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。

【0047】

次に、下地膜302の上に結晶質珪素膜303を50nmの厚さに形成する。結晶質珪素膜303の形成方法としては公知の手段を用いることが可能である。固体レーザーもしくはエキシマレーザーを用いて非晶質珪素膜をレーザー結晶化させても良いし、非晶質珪素膜を加熱処理（ファーンেসアニール）により結晶化させても良い。本実施例ではXeClガスをを用いたエキシマレーザーを照射することにより結晶化させる。

【0048】

次に、図3（B）に示すように、結晶質珪素膜303をパターニングして島状の結晶質珪素膜304、305を形成する。そして島状の結晶質珪素膜304、305を覆って酸化珪素膜からなるゲート絶縁膜306を80nmの厚さに形成する。さらに、ゲート絶縁膜306の上にゲート電極307、308を形成する。なお、ゲート電極307は図面では二つに見えるが実際には二股に分かれた同一の電極である。

【0049】

また、本実施例ではゲート電極307、308の材料として、350nm厚のタングステン膜もしくはタングステン合金膜を用いる。勿論、ゲート電極の材料としては他の公知の材料を用いることができる。さらに、本実施例ではこのとき同時に接続配線309も形成する。接続配線309は後に電流制御TFTのソースと電流供給線とを電気的に接続するための配線である。

【0050】

次に、図3（C）に示すように、ゲート電極307、308をマスクとして周期表の13族に属する元素（代表的にはボロン）を添加する。添加方法は公知の手段を用いれば良い。こうしてp型の導電型を示す不純物領域（以下、p型不純物領域という）310～314が形成される。また、ゲート電極の直下にはチャンネル形成領域315a、315b、316が画定する。なお、p型不純物領域310～314はTFTのソース領域もしくはドレイン領域となる。

【0051】

次に、加熱処理を行って添加された周期表の13族に属する元素の活性化を行う。この活性化工程まで行った島状の結晶質珪素膜からなるパターンを活性層と呼ぶ。なお、この活性化はファーンেসアニール、レーザーアニールもしくはランプアニールにより行うか、又

はそれらを組み合わせて行えば良い。本実施例では500℃4時間の加熱処理を窒素雰囲気で行う。

【0052】

但し、この活性化工程では処理雰囲気中の酸素濃度を1ppm以下（好ましくは0.1ppm以下）にすることが望ましい。酸素濃度が高いとゲート電極307、308、接続配線309の表面が酸化されてしまい、後に形成するゲート配線や電流供給線との電氣的接触が難しくなるからである。

【0053】

なお、活性化が終了したら、水素化処理を行うと効果的である。水素化処理は公知の水素アニール技術もしくはプラズマ水素化技術を用いれば良い。

【0054】

次に、図3(D)に示すように、接続配線309に接するようにして電流供給線317を形成する。このような構造（上面図は図5(A)の501で示される領域に示す）とすることで接続配線309と電流供給線317が電氣的に接続される。なお、図示していないが、このときゲート配線（図5(A)の502で示される配線）も同時に形成され、ゲート電極307と電氣的に接続される。この上面図は図5(A)の503で示される領域に示す。

【0055】

この503で示される領域において、ゲート配線502が凸部を有しているのはゲート電極307を乗り越えない部分を確保しておくための冗長設計である。こうすることでゲート配線502がゲート電極307を乗り越える部分で断線したとしてもゲート配線502がそこで電氣的に断線してしまうことを避けることができる。また、ゲート電極307をコの字型に加工しているのも、確実に両方のゲート電極に電圧が印加されるようにするための冗長設計である。

【0056】

この電流供給線317及びゲート配線502は接続配線309やゲート電極307よりも低抵抗な金属膜で形成される。好ましくはアルミニウム、銅もしくは銀を含む金属膜を用いると良い。即ち、微細なパターン精度を要求されるゲート電極には加工性の高い金属膜を用い、抵抗率の低さを要求されるバスライン（本実施例ではゲート配線や電流供給線）には低抵抗な金属膜を用いる。

【0057】

ゲート配線502及び電流供給線317を形成したら、酸化珪素膜からなる第1層間絶縁膜318を800nmの厚さに形成する。形成方法としてはプラズマCVD法を用いれば良い。第1層間絶縁膜318としては他の無機絶縁膜を用いても良いし、樹脂（有機絶縁膜）を用いても良い。

【0058】

次に、図3(E)に示すように、第1層間絶縁膜318にコンタクトホールを形成して配線319～322を形成する。本実施例では配線319～322としてチタン／アルミニウム／チタンの三層構造からなる金属配線を用いる。勿論、導電膜であれば如何なる材料を用いても良い。配線319～322はTFTのソース配線もしくはドレイン配線となる。

【0059】

また、電流制御TFTのドレイン配線322は接続配線309と電氣的に接続される。その結果、電流制御TFT402のドレインと電流供給線317とが電氣的に接続される。

【0060】

この状態でスイッチングTFT401及び電流制御TFT402が完成する。本実施例ではどちらのTFTもpチャネル型TFTで形成されるが、両方もしくはいずれか一方をnチャネル型TFTとしても良い。

【0061】

また、スイッチングTFT401はゲート電極が活性層を二カ所で横切るように形成され

ており、二つのチャネル形成領域が直列に接続された構造となっている。このような構造とすることでオフ電流値（TFTがオフされた時に流れる電流）を効果的に抑制することができる。

【0062】

また、画素内では図5（A）に示すように保持容量504が形成される。保持容量504の断面図（図5（A）をB-B'で切断した断面図）を図6に示す。保持容量504は電流制御TFT402のドレインに電気的に接続された半導体層505、ゲート絶縁膜306及び容量配線506で形成される。即ち、半導体層505と容量配線506はゲート絶縁膜306により絶縁され、コンデンサ（保持容量）を形成している。

【0063】

容量配線506はゲート配線502や電流供給線317と同時に形成され、ゲート電極308と接続配線507とを電気的に接続する配線も兼ねる。なお、接続配線507はスイッチングTFT401のドレイン配線（ソース配線として機能する場合もある）320に電気的に接続されている。

【0064】

本実施例に示す保持容量の利点は、容量配線506が活性層を形成した後に形成される点である。即ち、本実施例の場合、半導体層505がp型不純物領域となっているため、そのまま電極として用いることが可能である。

【0065】

配線319～322を形成したら、窒化珪素膜もしくは窒化酸化珪素膜からなるパッシベーション膜323を200nmの厚さに形成する。このパッシベーション膜323を形成する前もしくは後に水素化処理を行うことでTFTの電気特性を向上させることができる。

【0066】

次に、図4（A）に示すように、第2層間絶縁膜324としてアクリル樹脂を1μmの厚さに形成し、コンタクトホール325を開けた後、異方導電性膜326を形成する。本実施例では異方導電性膜326として銀粒子を分散させたアクリル樹脂を用いる。また、異方導電性膜326はコンタクトホール325を平坦化することができる程度に十分な厚さで形成することが望ましい。本実施例では、1.5μmの厚さでスピンコーティング法により形成する。

【0067】

次に、異方導電性膜326を、酸素ガスを用いたプラズマによりエッチングする。このプロセスは第2層間絶縁膜324が露呈するまで続けられる。エッチングが終了すると、図3（B）に示すような形状で導電体プラグ327が形成されることになる。なお、第2層間絶縁膜324が露呈した時、導電体プラグ327は第2層間絶縁膜324とのエッチングレートの違いにより段差を生じる場合があるが、段差が100nm以下（好ましくは50nm以下）であれば特に問題とはならない。

【0068】

導電体プラグ327を形成したら、スカンジウムもしくはチタンを添加したアルミニウム膜及びITO膜（酸化インジウムと酸化スズとの化合物膜）を積層し、エッチングしてスカンジウムもしくはチタンを添加したアルミニウム膜からなる画素電極328及びITO膜からなる第1の透明電極329を形成する。本実施例では画素電極328と第1の透明電極329とで陽極340が形成される。

【0069】

本実施例では、アルミニウム膜の膜厚は200nmとし、ITO膜の膜厚は100nmとする。また、ITO膜はITO-04N（関東化学株式会社のITO膜用エッチング溶液の商品名）でエッチング可能であり、アルミニウム膜は四塩化炭素（SiCl₄）と塩素（Cl₂）を混合したガスを用いたドライエッチング法によりエッチング可能である。

【0070】

こうして得られた図4（B）の断面構造は、図5（A）においてA-A'で切断した断面

構造に相当する。

【0071】

次に、図4(C)に示すように、バンクとして絶縁膜330を形成する。本実施例ではアクリル樹脂を用いてバンク330を形成するが、酸化珪素膜を用いて形成することも可能である。バンク330を形成したら第1の透明電極329に対して酸素雰囲気中で紫外光を照射し、第1の透明電極329の表面処理を行う。これは第1の透明電極329の仕事関数を大きくする作用があり、さらに表面汚染を除去する作用もある。

【0072】

そして、有機EL膜331、332を各々50nmの厚さに形成する。なお、有機EL膜331は青色に発光する有機EL膜であり、有機EL膜332は赤色に発光する有機EL膜である。なお、図示しないが同時に緑色に発光する有機EL膜も形成する。本実施例では、シャドーマスクを用いた蒸着法により画素ごとに有機EL膜を作り分ける。勿論、印刷法やインクジェット法を用いて作り分けることも可能である。

【0073】

また、本実施例では有機EL膜331、332を単層で用いる例を示しているが、正孔注入層としてCuPc(銅フタロシアニン)を用いた積層構造とすることも有効である。この場合、まず全面に銅フタロシアニン膜を形成し、その後、赤色、緑色及び青色に対応する画素ごとに各々赤色に発光する有機EL膜、緑色に発光する有機EL膜及び青色に発光する有機EL膜を形成する。

【0074】

なお、緑色の有機EL膜を形成する時は、有機EL膜の母体材料としてAlq₃(トリス-8-キノリノラトアルミニウム錯体)を用い、キナクリドンもしくはクマリン6をドーパントとして添加する。また、赤色の有機EL膜を形成する時は、有機EL膜の母体材料としてAlq₃を用い、DCJT、DCM1もしくはDCM2をドーパントとして添加する。また、青色の有機EL膜を形成する時は、発光層の有機EL膜としてBA1q₃(2-メチル-8-キノリノールとフェノール誘導体の混合配位子を持つ5配位の錯体)を用い、ペリレンをドーパントとして添加する。

【0075】

勿論、本発明では上記有機EL膜に限定する必要はなく、公知の低分子系有機EL膜、高分子系有機EL膜を用いることが可能である。高分子系有機EL膜を用いる場合は塗布法(スピンコート法、インクジェット法もしくは印刷法)を用いることもできる。

【0076】

以上のようにして有機EL膜331、332を形成したら、第2の透明電極333として20nmの厚さのMgAg膜(マグネシウム(Mg)に1~10%の銀(Ag)を添加した金属膜)を形成し、さらに第3の透明電極334として250nmの厚さのITO膜を形成する。本実施例では第2の透明電極333および第3の透明電極334で陰極341が形成される。

【0077】

こうして陽極340、有機EL膜331(もしくは有機EL膜332)及び陰極341からなるEL素子400が形成される。本実施例ではこのEL素子が発光素子として機能する。

【0078】

次に、図4(D)に示すように、封止体335上に透明導電膜からなる補助電極336を250nmの厚さに設け、さらに、異方導電性膜からなる導電体337を第3の透明電極334上に設ける。そして、シール材(図示せず)を用いて基板301と封止体335とを貼り合わせる。

【0079】

なお、貼り合わせ工程はアルゴン雰囲気中で行う。その結果、空間338にはアルゴンが封入される。勿論、封入するガスは不活性ガスであれば良く、窒素ガスもしくは希ガスをを用いれば良い。また、空間338には酸素もしくは水を吸着する物質を設けることが好ま

しい。また、空間にするのではなく、樹脂を充填させることも可能である。

【0080】

以上に示した作製工程によって、画素内にスイッチングTFT（本実施例ではpチャネル型TFT）401及び電流制御TFT（本実施例ではpチャネル型TFT）402が形成される。本実施例では全てのTFTをpチャネル型TFTとするため、作製工程が非常に簡便である。

【0081】

また、第2層間絶縁膜324により段差の平坦化を行い、さらに電流制御TFT402のドレイン配線321と画素電極328とを、コンタクトホール325に埋め込まれた導電体プラグ327を用いて電氣的に接続しているため、陽極340の平坦性が高い。従って、有機EL膜332の膜厚の均一性を高めることができるので画素の発光を均一なものとすることができる。

【0082】

〔実施例2〕

本実施例では、図2に示したEL発光装置とは異なる構造の画素を有したEL発光装置について図7を用いて説明する。なお、本実施例は図2の構造に多少の変更を加えるだけで作製可能であり、図2と異なる点に注目して説明する。従って、図2と同一の符号が付されている部分の説明は「発明の実施の形態」を参照すれば良い。

【0083】

本実施例では層間絶縁膜205にコンタクトホールを形成したら、その状態で画素電極701及び第1の透明電極702を形成し、コンタクトホールによる凹部を埋めるように絶縁膜703を形成する。本実施例ではこの絶縁膜703を埋め込み絶縁膜と呼ぶ。埋め込み絶縁膜703はバンク209と同時に形成することができるため、特に工程を増加させることはない。

【0084】

この埋め込み絶縁膜703は、図2の導電体プラグ206と同様にコンタクトホールによる凹部に起因する陰極と陽極のショートを防止するためのものである。このとき、埋め込み絶縁膜703の上面と第2の透明電極702の上面との間の高さは100～300nmとすることが好ましい。この高さが300nmを超えるとその段差が陰極と陽極のショートを生じさせる原因となる場合がある。また、100nm以下になると同時形成のバンク209の作用（画素電極のエッジ部における電界集中の影響を抑制する作用）が低下してしまう恐れがある。

【0085】

本実施例では、第2の透明電極702を形成した後、スピンコーティング法によりアクリル樹脂を500nmの厚さに形成し、酸素ガスをプラズマ化してアクリルの膜厚（但しコンタクトホール外での膜厚）が200nmとなるまでエッチングする。こうして膜厚を薄くした後にパターニングしてバンク209及び埋め込み絶縁膜703を形成する。

【0086】

ここで本実施例の画素の上面構造を図8に示す。図8において、A-A'で切断した断面図が図7に相当する。なお、図8に封止体215、導電体217は図示していない。また、基本的な画素構造は図5と同一であるので詳細な説明は省略する。

【0087】

図8において、バンク209は画素電極701、陽極702の端部の段差を隠すように形成され、埋め込み絶縁膜703はバンク209の一部が突出して形成されている。この突出した絶縁膜が画素電極701のコンタクトホールによる凹部を埋め込む構造となっている。

【0088】

なお、本実施例のEL発光装置は、実施例1の作製方法に上記埋め込み絶縁膜の形成方法を組み合わせることで容易に作製することができる。

【0089】

〔実施例3〕

発明の実施の形態および実施例1に示したEL発光装置では、画素部の構造しか示していないが、画素部を駆動するための駆動回路を同一基板上に一体形成しても良い。その際、駆動回路をnMOS回路、pMOS回路もしくはCMOS回路で形成することが可能である。勿論、画素部のみをTFTで形成し、外付けの駆動回路、典型的にはICチップを含む駆動回路(TCPやCOGなど)を用いても良い。

【0090】

また、実施例1では画素部をpチャネル型TFTだけで形成して作製工程を削減しているが、この場合はpMOS回路で駆動回路を形成し、pMOSで作製できない駆動回路としてICチップを含む駆動回路を用いることもできる。

【0091】

なお、本実施例の構成は実施例1または実施例2の構成と自由に組み合わせて実施することが可能である。

【0092】

〔実施例4〕

本実施例では、画素部に形成するスイッチングTFT及び電流制御TFTの活性層として非晶質珪素膜(アモルファスシリコン膜)を用いる例を示す。非晶質珪素膜を用いたTFTとしては逆スタガ型TFTが知られているが、本実施例では逆スタガ型TFTを用いることもできる。

【0093】

非晶質珪素膜を用いてTFTは作製工程が簡便である一方、素子サイズが大きくなってしまいうという欠点もあったが、本発明のEL発光装置ではTFTのサイズが画素の有効発光面積に影響しない。従って、非晶質珪素膜を活性層として用いることでより安価なEL発光装置を作製することができる。

【0094】

なお、本実施例の構成は実施例1～実施例3のいずれの構成とも自由に組み合わせて実施することが可能である。ただし、実施例3と組み合わせる場合、非晶質珪素膜を用いたTFTで動作速度の速い駆動回路を作製することが困難であるため、ICチップを含む駆動回路を外付けすることが望ましい。

【0095】

〔実施例5〕

実施例1～実施例4では、アクティブマトリクス型EL発光装置について説明してきたが、本発明はパッシブマトリクス型EL発光装置のEL素子に対して実施することも可能である。

【0096】

なお、本実施例の構成は実施例1～実施例3のいずれの構成とも自由に組み合わせて実施することが可能である。ただし、実施例3と組み合わせる場合はICチップを含む駆動回路を外付けすることになる。

【0097】

〔実施例6〕

本発明を実施して形成した発光装置は様々な電気器具の表示部として用いることができる。なお、発光装置を筐体に組み込んだディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。

【0098】

また、その他の本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音楽再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、画像再生装置(記録媒体に記録された画像を再生し、その画像を表示する表示部を備

えた装置)が挙げられる。それらの具体例を図10、図11に示す。

【0099】

図10(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0100】

図10(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置は表示部2102に用いることができる。

【0101】

図10(C)はデジタルカメラであり、本体2201、表示部2202、接眼部2203、操作スイッチ2204を含む。本発明の発光装置は表示部2202に用いることができる。

【0102】

図10(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(CD、LDまたはDVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明の発光装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれうる。

【0103】

図10(E)は携帯型(モバイル)コンピュータであり、本体2401、表示部2402、受像部2403、操作スイッチ2404、メモリスロット2405を含む。本発明の電気光学装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【0104】

図10(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。

【0105】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0106】

また、上記電子装置はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【0107】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0108】

ここで図11(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0109】

また、図11(B)はカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のカーオーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【0110】

さらに、光センサを内蔵させ、使用環境の明るさを検知する手段を設けることで使用環境の明るさに応じて発光輝度を変調させるような機能を持たせることは有効である。使用者は使用環境の明るさに比べてコントラスト比で100～150の明るさを確保できれば問題なく画像もしくは文字情報を認識できる。即ち、使用環境が明るい場合は画像の輝度を上げて見やすくし、使用環境が暗い場合は画像の輝度を抑えて消費電力を抑えるといったことが可能である。

【0111】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～5に示したいずれの構成の発光装置を用いても良い。

【0112】

【発明の効果】

本発明では、有機EL膜を成膜した後で形成される透明導電膜からなる電極に対して、封止体側に設けられた透明導電膜からなる電極を異方導電性膜を用いて電氣的に接続する点に特徴がある。これにより有機EL膜を成膜した後で形成される透明導電膜の抵抗値を実質的に下げることができ、均一な電圧の印加を可能とすることができる。

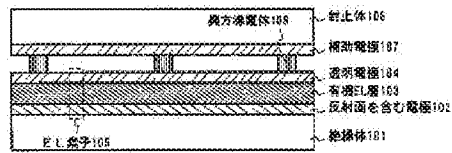
【0113】

また、本発明では陰極を透明もしくは半透明とし、且つ、EL素子の下に反射電極を設けることにより陰極側に光を取り出す構造とした発光装置と組み合わせることで、画素の有効発光面積が大幅に向上した明るく画質の良い発光装置を得ることができる。また、本発明の発光装置を表示部として用いた良好な画質の電気器具を得ることができる。

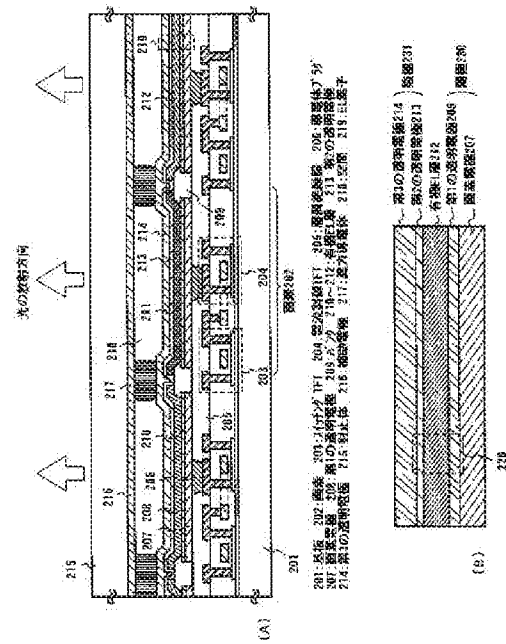
【図面の簡単な説明】

- 【図1】 発光装置の断面構造を示す図。
- 【図2】 発光装置の断面構造を示す図。
- 【図3】 発光装置の作製工程を示す図。
- 【図4】 発光装置の作製工程を示す図。
- 【図5】 発光装置の画素の上面構造及び回路構成を示す図。
- 【図6】 保持容量の断面構造を示す図。
- 【図7】 発光装置の断面構造を示す図。
- 【図8】 発光装置の上面構造を示す図。
- 【図9】 従来の発光装置の断面構造を示す図。
- 【図10】 電気器具の具体例を示す図。
- 【図11】 電気器具の具体例を示す図。

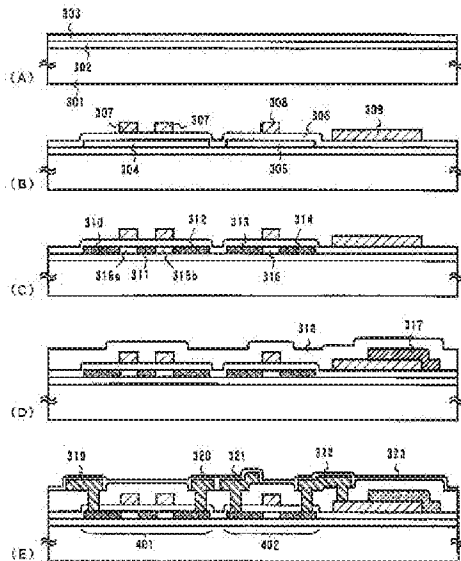
【図1】



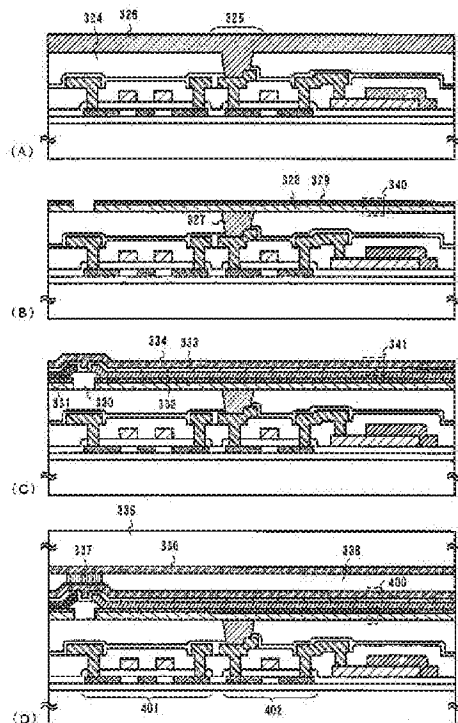
【図2】



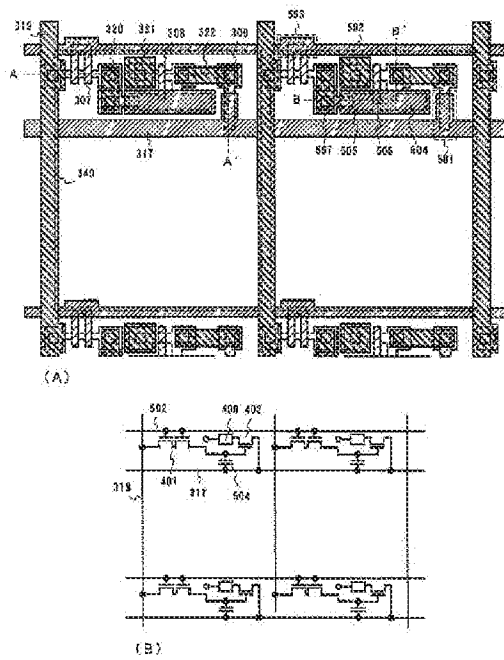
【図3】



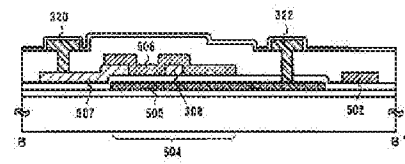
【図4】



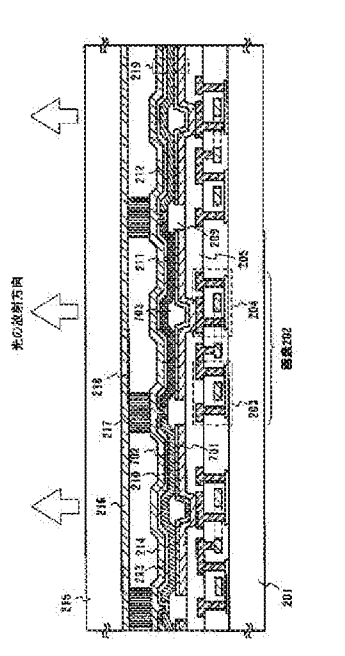
【図5】



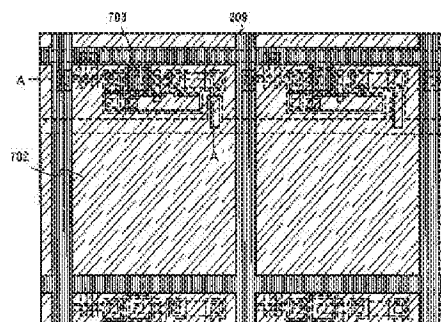
【図6】



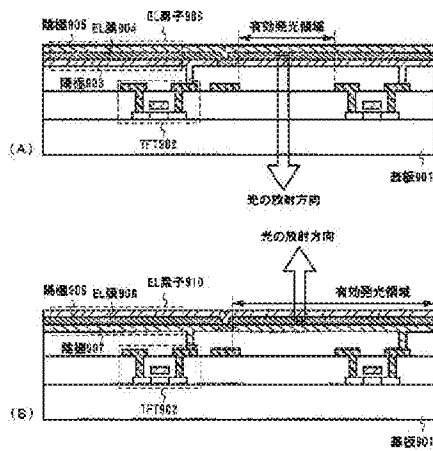
【図7】



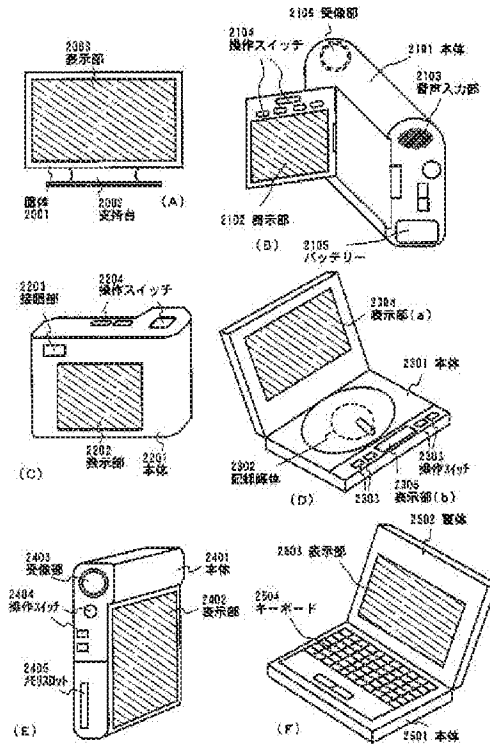
【図8】



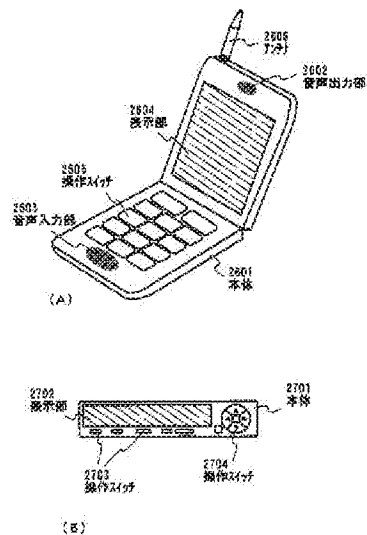
【図9】



【図10】



【図11】



(51) Int. Cl.

H 0 1 L 51/50 (2006.01)

H 0 5 B 33/24 (2006.01)

H 0 5 B 33/28 (2006.01)

F I

H 0 5 B 33/14

A

H 0 5 B 33/24

H 0 5 B 33/28

(58) 調査した分野 (Int. Cl., D B 名)

H01L 51/50-51/56

H01L 27/32

H05B 33/00-33/28

G09F 9/30



Espacenet

Bibliographic data: JP4742880 (B2) — 2011-08-10

ILLUMINATION PANEL AND LUMINAIRE

Inventor(s): TANAHASHI OSAMU, ; IMAOKA YOSHIHIDE, ; NOBUI TOMOYA, ; KONO KENJI, ; KONDO YOSUKE

Applicant(s): MATSUSHITA ELECTRIC WORKS LTD

Classification: - international: *H01L51/50; H05B33/02; H05B33/24*
 - cooperative: *H01L51/5268*

Application number: JP20060014909 20060124 Global Dossier

Priority number(s): JP20060014909 20060124

Also published as: JP2007200597 (A)

Abstract of JP2007200597 (A)

PROBLEM TO BE SOLVED: To provide an illumination panel capable of improving appearance of an irradiation surface in extinguishing it without causing increase of power consumption and increase of an application voltage; and to provide a lighting system using it. ;SOLUTION: This illumination panel is composed by stacking a translucent first electrode layer 12, a translucent light emitting layer 13, a translucent second electrode layer 14, and a diffusion/reflection layer 15 for diffusing and reflecting light entered by passing through the second electrode layer 12 in that order. ;COPYRIGHT: (C)2007,JPO&INPIT

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4742880号

(P4742880)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int. Cl.

F 1

H 0 5 B 33/02 (2006.01)

H 0 5 B 33/02

H 0 1 L 51/50 (2006.01)

H 0 5 B 33/14

A

H 0 5 B 33/24 (2006.01)

H 0 5 B 33/24

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2006-14909 (P2006-14909)
(22) 出願日 平成18年1月24日(2006.1.24)
(65) 公開番号 特開2007-200597 (P2007-200597A)
(43) 公開日 平成19年8月9日(2007.8.9)
審査請求日 平成20年11月20日(2008.11.20)

(73) 特許権者 000005832
パナソニック電工株式会社
大阪府門真市大字門真1048番地
(74) 代理人 100067828
弁理士 小谷 悦司
(74) 代理人 100096150
弁理士 伊藤 孝夫
(72) 発明者 棚橋 理
大阪府門真市大字門真1048番地 松下
電工株式会社内
(72) 発明者 今岡 善秀
大阪府門真市大字門真1048番地 松下
電工株式会社内

最終頁に続く

(54) 【発明の名称】 照明パネル及び照明器具

(57) 【特許請求の範囲】

【請求項1】

透光性の第1電極層と、
透光性の発光層と、
透光性の第2電極層と、
前記第2電極層を透過して入射した光を拡散反射させる拡散反射層とがこの順に積層されて成り、

前記拡散反射層における前記第2電極層に臨む面は、前記発光層の補色であることを特徴とする照明パネル。

【請求項2】

前記拡散反射層における前記第2電極層に臨む面は、粗面であることを特徴とする請求項1記載の照明パネル。

【請求項3】

前記拡散反射層における前記第2電極層に臨む面は、白色であることを特徴とする請求項1又は2記載の照明パネル。

【請求項4】

前記発光層は、EL発光体であることを特徴とする請求項1～3のいずれか1項に記載の照明パネル。

【請求項5】

請求項1～4のいずれか1項に記載の照明パネルと、

前記第1電極層と前記第2電極層との間へ電力を供給することにより、前記発光層を発光させる電源部とを備えることを特徴とする照明器具。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、E L (Electro Luminescence) を用いたE L照明パネルのように、電極層が透光性の発光層を挟持して成る照明パネルに関し、特に消灯時に照射面の見栄えが良い照明パネル、及びこれを用いた照明器具に関するものである。

【背景技術】

【0002】

従来、電極層が透光性の発光層を挟持して成る表示パネルとして、E L発光体を透明電極と金属電極とで挟み、透明電極と金属電極との間に電圧を印加することにより、E L発光体を発光させ、その光を透明電極側から取り出すようにしたE L発光パネルが知られている。しかし、このようなE L発光パネルは、消灯時に外部から入射した光が透明電極とE L発光体とを透過して金属電極で鏡面反射するため、消灯時に照射面の見栄えが悪いという不都合があった。特に、このようなE L発光パネルを照明に用いた場合、発光面が大きく目立つ上に、部屋の天井などに取り付けると天井に鏡を取り付けたようになって、ユーザが違和感を生じるという不都合があった。

【0003】

一方、上述のような電極層による鏡面反射を抑制することができるE L発光パネルとして、特開平11-111464号公報(特許文献1)に記載されているものが参考技術として知られている。これは、金属電極の上に絶縁反射層、E L発光体、透明電極が順に積層され、さらに透明電極が透明なオーバーコート層で覆われてなるE L表示パネルであり、金属電極の上に絶縁反射層が積層されることで、絶縁反射層によって、E L発光体が発した光を透明電極側へ拡散反射するものである。かかるE L表示パネルは、発光していない場合には外光が拡散反射されることにより、発光面の見栄えが良くなる。

【0004】

また同様に、特開2000-40591号公報(特許文献2)に記載されている発光素子が参考技術として知られている。この発光素子は、第1の電極層と、この第1の電極層の一方の面に隣接して形成された有機電界発光層と、この有機電界発光層の他方の面に隣接して形成されると共に、可視光に対する光反射率が50%以下である第2の電極層とを備えた有機電界発光素子であり、第2の電極層の光反射率を50%以下とすることで、第2の電極層による光の反射を抑制し、発光した場合のコントラストを強めるようにされている。かかる発光素子は、発光していない場合には外光が吸収されることとなり、発光面の見栄えが良くなる。

【特許文献1】特開平11-111464号公報

【特許文献2】特開2000-40591号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述の特許文献1に記載のE L表示パネルでは、E L発光体と金属電極との間に絶縁反射層が介在するため、金属電極から絶縁反射層を介してE L発光体に発光用の電力が供給されることとなる。そうすると、絶縁反射層は光硬化性樹脂にチタン酸バリウムを分散させたものであって、電気抵抗が大きいので、絶縁反射層における電力損失が増大する結果、消費電力が増大するという不都合があった。また、E L発光体を発光させる際の絶縁反射層における電圧降下が大きいので、E L発光体を十分な発光輝度で発光させるためには、E L発光体と金属電極との間の印加電圧を増大する必要がある。しかし、印加電圧を増大させると、絶縁反射層やE L発光体、あるいは配線パターン等、電圧が印加されるE L表示パネルの各部において、絶縁劣化が生じ易くなり、故障が発生しやす

くなるおそれがある。

【0006】

また、上述の特許文献2に記載の発光素子では、第2の電極層の光反射率が低いので、消灯時には外光が吸収されることとなり、発光面の見栄えが悪くなるものの、このようなパネルを照明に用いた場合、有機電界発光層の発光により得られた光も反射されずに吸収されてしまうので、エネルギー効率が低下し、消費電力が増大するという不都合があった。

【0007】

本発明は、このような問題に鑑みて為された発明であり、消費電力の増大や印加電圧の増大を招くことなく消灯時における照射面の見栄えを改善することができる照明パネル、及びこれを用いた照明装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明の第1の手段に係る照明パネルは、透光性の第1電極層と、透光性の発光層と、透光性の第2電極層と、前記第2電極層を透過して入射した光を拡散反射させる拡散反射層とがこの順に積層されて成り、前記拡散反射層における前記第2電極層に臨む面は、前記発光層の補色であることを特徴としている。

【0009】

また、上述の照明パネルにおいて、前記拡散反射層における前記第2電極層に臨む面は、粗面であることを特徴としている。

【0010】

また、上述の照明パネルにおいて、前記拡散反射層における前記第2電極層に臨む面は、白色であることを特徴としている。

【0012】

また、上述の照明パネルにおいて、前記発光層は、EL発光体であることを特徴としている。

【0013】

そして、本発明の第2の手段に係る照明器具は、上述のいずれかに記載の照明パネルと、前記第1電極層と前記第2電極層との間へ電力を供給することにより、前記発光層を発光させる電源部とを備えることを特徴としている。

【発明の効果】

【0014】

このような構成の照明パネル及び照明器具は、消灯時に外部から入射した光が、第1電極層、発光層、及び第2電極層を透過して拡散反射層で拡散反射され、再び第2電極層、発光層、及び第1電極層を透過して拡散光として外部に出射するため、消灯時における照射面の見栄えを改善することができる。また、拡散反射層は、発光層を挟む第1及び第2電極層の外側に設けられているので、第1及び第2電極層間の印加電圧を増大する必要がなく、さらに拡散反射層により電力損失が生じることが無いので、消費電力の増大を抑制することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明に係る実施形態を図面に基づいて説明する。なお、各図において同一の符号を付した構成は、同一の構成であることを示し、その説明を省略する。図1は、本発明の一実施形態に係る照明パネルを用いた照明装置の構成の一例を示す図である。図1に示す照明装置1は、照明パネル2と、電源部3とを備えている。図1において、照明パネル2は、断面図で示している。

【0016】

図1に示す照明パネル2は、発光層として例えば有機EL発光体を用いた有機ELパネルである。照明パネル2は、基板11と、基板11上に積層された透光性の第1電極層12と、第1電極層12上に積層された透光性の発光層13と、発光層13上に積層された

透光性の第2電極層14と、第2電極層14上に第2封止部材17を挟んで積層された拡散反射層15と、拡散反射層15の外側に設けられた金属基板18と、第1及び第2封止部材16、17とを備えて構成される。

【0017】

基板11は、透光性の一対の第1及び第2封止部材16、17によって発光層13を挟んで成る有機EL層を支持するための平板状の部材であり、発光層13で発光する光の波長に対して透明な材料、例えばガラス等から成る。金属基板18は、反射鏡自体又は反射面の支持板であり、例えばアルミの金属板が用いられる。

【0018】

第1及び第2電極層12、14は、発光層13で発光する光の波長に対して透明な材料から成る導電性の薄膜であり、一方が陽極、他方が陰極となる。第1及び第2電極層12、14は、発光層13が可視光を発光するので、例えば、ITO (Indium Tin Oxide) 等で形成される。第1電極層12は、その一部が基板11の一方端側に第1封止部材16から露出するように引き出されて端子部121を形成している。また、第2電極層14は、その一部が基板11の一方端側に対向する他方端側に第1封止部材16から露出するように引き出されて端子部141を形成している。

【0019】

発光層13は、例えば、正孔注入層、蛍光物質の有機材料又は蛍光物質を含む有機材料から成る発光層、及び電子注入層の各層を備えて構成される有機EL発光体が用いられる。なお、発光層13は、有機EL発光体に限られず、例えば無機EL発光体やLED (Light Emitting Diode) 等、他の発光素子であってもよい。

【0020】

拡散反射層15は、第2電極層14及び第2封止部材17を透過して入射した光を第2封止部材17に向けて拡散反射させる反射部材である。図2は、拡散反射層15の構成の一例を示す断面図である。図2に示す拡散反射層15は、白色の反射層で、例えば、以下のような工程で製造される。まず、金属基板18の表面に、エポキシメラミンアクリル樹脂（久保考ペイント社製、品番KMクリアー596-003）をスプレー塗装した後、160℃で30分加熱して、厚み8～15μmのアンダーコート層151を形成する。次いで、アンダーコート層151の表面に、スパッタリング法により銀の金属層152を150nm形成する。

【0021】

次に、熱硬化シリコン変性アクリル系樹脂（大日本インキ化学工業社製、品番HC6225/HC6202）に、光拡散粒子Aとしてシリカ粒子（粒径1～3μm）及びアエロジル粒子を含有し、金属不活性化剤としてトリルトリアゾールの誘導体（Ciba Specialty chemicals社製、商品名Irgamet39）を含有する樹脂組成物を、金属層の表面にスプレー塗装した後、140℃で30分加熱して、厚み8～13μmのオーバーコート層153を形成する。なお、オーバーコート層153を形成する樹脂組成物100重量部中には、シリカ粒子を2重量部含有し、金属不活性化剤を0.5重量部含有するようにしてもよい。これにより、第2封止部材17に臨む側の一方向154が白色の拡散反射層15が構成される。

【0022】

また、例えば、このようにして得られた白色の拡散反射層15における一方向154を、例えばサンドブラストにより粗面にしてもよい。

【0023】

また、拡散反射層15は、第2封止部材17に臨む側の一方向154が、フォトリソグラフィ法により粗面にされていてもよい。例えば金属基板18の表面に感光性樹脂を塗布し、パターン形成されたマスクを介して感光性樹脂層に紫外線を照射し、樹脂層の露光部分又は未露光部分を現像液で除去して露出面を形成し、さらに再度同様の工程を繰り返して、一方向154に凹凸を形成し、すなわち粗面にされた拡散反射層15を形成するフォトリソグラフィ法により、拡散反射層15を作製してもよい。

【0024】

あるいは、上述のようなフォトリソグラフィ法により作製したフィルム状の拡散反射層15において、一方面154とは反対側の表面に、さらにスパッタによりAl金属膜0.1 μ mを成膜して拡散反射層15を作製してもよい。また、粗面にされた一方面154の、凹凸段差は例えば2~3 μ m程度、凹凸ピッチは例えば10 μ m程度のものを用いることができる。

【0025】

あるいは、拡散反射層15として、ポリエステルフィルムを延伸することにより、フィルム内部に微細な気泡（大きさとしては1~数十 μ m）が生じ、これによる拡散反射により白い外観を呈するもの、例えば東レ株式会社製のルミラー（登録商標）を用いてもよい。

【0026】

上述のように、一方面154が白色にされ、あるいは粗面にされた拡散反射層15は、一方面154から入射した光を拡散反射することができる。

【0027】

第1及び第2封止部材16、17は、基板11と協同して発光層13を気密に封止するための絶縁性の部材である。そして、例えば、基板11、第1電極層12、発光層13、及び第2電極層14が積層され、その上に第2封止部材17が載せられ、例えば接着性を有する樹脂製の第1封止部材16が、端子部121を除く第1電極層12、発光層13、端子部141を除く第2電極層14、及び拡散反射層15を覆うように塗布され、第1封止部材16を介して第2電極層14上に載せられた第2封止部材17に圧力が加えられることによって、第2封止部材17が第1封止部材16によって第2電極層14に接着されると共に、第2封止部材17の周縁部が第1封止部材16によって基板11に気密に接着して接合される。これによって第1及び第2封止部材16、17は、基板11と協同して発光層13を気密に封止する。

【0028】

このような照明パネル2は、例えば、次の各工程によって製造される。まず、8cm□のガラス製の基板11上における略中央部にITOの第1電極層12を幅6cm、厚み1500オングストローム、シート抵抗10 Ω /□で形成する。次に、この第1電極層12のITO薄膜を形成した基板11を、アセトン、イソプロピルアルコール（共に（株）関東化学製）、セミコクリーン（フルウチ科学製）、超純水で、それぞれ10分間超音波洗浄を行った後、イソプロピルアルコールの蒸気で洗浄し、乾燥させる。次に、大気圧プラズマ表面処理装置（松下電工（株）製）で、3分間、この第1電極層12のITO薄膜が形成された基板11の表面処理を行う。

【0029】

次に、6.4cm□の開口部を有する有機発光層用マスクを用い、4,4'-ビス[N-(ナフチル)-N-フェニル-アミノ]ピフェニル(α -NPD)を500オングストローム、Alq3にクマリンを1質量%ドープした層を厚み300オングストロームで蒸着する。次に、Alq3を厚み400オングストローム、LiFを厚み5オングストロームで蒸着する。これによって正孔注入層、発光層及び電子注入層を備える発光層13が形成される。

【0030】

次に、ITO薄膜の第1電極層12と直交する向きに幅6cmの開口部を有する第2電極用マスクを用いて、ITOの第2電極層14を幅6cm、厚み1500オングストローム、シート抵抗10 Ω /□で形成する。

【0031】

次に、第2封止部材17を、拡散反射層15が第2電極層14に接するように第1封止部材16としてのエポキシ系接着剤で基板11に貼付することによって気密に封止する。さらに、第2封止部材17の上に、上述のようにして表面に拡散反射層15が形成された金属基板18が拡散反射層15を内側にして接着され、照明パネル2が形成される。これ

によって図1に示す照明パネル2が作製される。

【0032】

このような構成の照明パネル2は、電源部3によって、第1電極層12の端子部121と第2電極層14の端子部141との間に直流の電力を供給することによって、発光層13が発光する。この発光層13で発光した光は、一部が第1電極層12と基板11とを透過して照明パネル2の出力光として外部へ射出され、残りの一部が第2電極層14、第2封止部材17を透過して拡散反射層15で拡散反射され、第2封止部材17、第2電極層14、発光層13、第1電極層12、基板11を透過して照明パネル2の出力光として外部へ射出される。

【0033】

図3は、電源部3の構成の一例を示す回路図である。図3に示す電源部3は、電源スイッチSWと、整流器REと、コンデンサC1、C2と、スイッチング素子Qと、ダイオードDと、コイルLと、出力制御回路31とを備えて構成される。整流器REは、電源スイッチSWを介して交流電源ACに接続される。コンデンサC1は、整流器REの出力陽極端子と出力陰極端子との間に並列に接続され、整流器REの出力電圧を平滑する。スイッチング素子Qの一方端子は、整流器REの出力陽極端子に接続され、スイッチング素子Qの他方端子は、出力制御回路31のモニタ入力、ダイオードDのカソード及びコイルLの一方端に接続される。ダイオードDのアノードは、整流器REの出力陰極端子に接続され、コイルLの他方端は、コンデンサC2を介して整流器REの出力陰極端子に接続される。スイッチング素子Qにおけるオンオフの制御端子は、出力制御回路31の制御出力に接続される。このような構成の電源部3では、電源スイッチSWがオンされると、交流電源ACの交流は、整流器REで直流に変換され、その電圧がコンデンサC1で平滑される。コンデンサC1で電圧が平滑された直流は、スイッチング素子Q、ダイオードD、コイルL、コンデンサC2及び出力制御回路31から成るDC-DCコンバータにより降圧され、コンデンサC2の両端子から所定の電圧で出力され、発光層13が発光する。

【0034】

そして、電源スイッチSWがオフされると、電源部3の出力電圧がゼロとなり、発光層13が消灯する。そうすると、照明パネル2の外部から基板11に入射した光は、基板11、第1電極層12、発光層13、第2電極層14、及び第2封止部材17を透過して拡散反射層15で拡散反射され、再び第2封止部材17、第2電極層14、発光層13、第1電極層12、基板11を透過して照明パネル2から外部へ拡散光として射出される。そうすると、照明パネル2の消灯時に、外部から照明パネル2に入射した光は、拡散反射層15で拡散反射され、拡散光として射出されるので、照射面の見えを改善することができる。

【0035】

また、拡散反射層15は、発光層13を挟持する第1及び第2電極層12、14の外側に設けられているので、背景技術に係る特許文献1に記載のEL表示パネルのように、拡散反射層15により電力損失が生じることが無く、消費電力の増大を抑制することができる。また、拡散反射層15が、発光層13を挟持する第1及び第2電極層12、14の外側に設けられていることにより、拡散反射層15で電圧降下が生じることが無く、第1及び第2電極層12、14間の印加電圧の増大を抑制し、故障が発生するおそれの増大を抑制することができる。

【0036】

また、拡散反射層15は、例えば白色の拡散反射層であって、背景技術に係る特許文献2に記載の発光素子のように光反射率の低い材料ではないので、照明パネル2の点灯時には、発光層13から出力された光のうち、第1電極層12側へ出力された光は、第1電極層12と基板11とを透過して照明パネル2の出力光として外部へ射出され、第2電極層14側へ出力された光は、第2電極層14及び第2封止部材17を透過して拡散反射層15で拡散反射され、第2封止部材17、第2電極層14、発光層13、第1電極層12、基板11を透過して照明パネル2の出力光として外部へ射出される。そうすると、発光層

13から第2電極層14側へ出力された光も、照明パネル2の出力光として外部へ射出されるので、特許文献2に記載の発光素子のように、エネルギー効率が低下して消費電力が増大することが抑制される。

【0037】

なお、拡散反射層15は、白色に限られず、例えば、発光層13の補色としてもよい。発光層13を構成する有機EL発光体は、一般に、赤褐色から黄褐色であることが多い。そのため、拡散反射層15が白色であると、照明パネル2の消灯時に外部から入射した光は、照明パネル2に入射する際と、拡散反射層15で拡散反射されて出射する際に発光層13を透過し、赤褐色から黄褐色の光となる。そうすると、照明パネル2の照射面が赤褐色から黄褐色に見えるため、ユーザに違和感を生じるおそれがある。

【0038】

そこで、拡散反射層15を、例えば発光層13の色である赤褐色から黄褐色の補色、すなわち緑、青緑、あるいは紺といった色にすることにより、照明パネル2による反射光を無彩色にすることができるので、照射面の見栄えを改善することができる。

【図面の簡単な説明】

【0039】

【図1】本発明の一実施形態に係る照明パネルを用いた照明装置の構成の一例を示す図である。

【図2】図1に示す拡散反射層の構成の一例を示す断面図である。

【図3】図1に示す電源部の構成の一例を示す回路図である。

【符号の説明】

【0040】

- 1 照明装置
- 2 照明パネル
- 3 電源部
- 11 基板
- 12 第1電極層
- 13 発光層
- 14 第2電極層
- 15 拡散反射層
- 16 第1封止部材
- 17 第2封止部材
- 18 金属基板
- 121 端子部
- 141 端子部
- 151 アンダーコート層
- 152 金属層
- 153 オーバーコート層

- (72)発明者 信井 友也
大阪府門真市大字門真1048番地 松下電工株式会社内
- (72)発明者 河野 謙司
大阪府門真市大字門真1048番地 松下電工株式会社内
- (72)発明者 近藤 陽介
大阪府門真市大字門真1048番地 松下電工株式会社内

審査官 東松 修太郎

- (56)参考文献 特開2005-285708(JP, A)
特開平3-64802(JP, A)
特開平11-84373(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------------|
| H01L | 51/50-51/56 |
| H05B | 33/00-33/28 |



Espacenet

Bibliographic data: JP4828881 (B2) — 2011-11-30

ORGANIC EL DISPLAY DEVICE

Inventor(s): OKUYA SATOSHI

Applicant(s): TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO LTD

Classification: - **international:** G09F9/30; H01L27/32; H01L51/50; H05B33/24
- **cooperative:**

Application number: JP20050206958 20050715 Global Dossier

Priority number(s): JP20050206958 20050715

Also published as: JP2007026867 (A)

Abstract of JP2007026867 (A)

PROBLEM TO BE SOLVED: To reduce observation direction dependency of hue in an organic EL display device adopting a micro-cavity structure for an organic EL element emitting white color. ;SOLUTION: The organic EL display device is provided with the organic EL element OLED which includes a front electrode CE, a rear electrode PE, an organic layer ORG interposed between the electrodes and composes an optical resonator, and a coloring layer CL1 facing the organic EL element OLED. The wavelength λ_{res} of the light with the maximum intensity emitted by the organic EL element OLED in the normal line direction is shorter than the wavelength λ_{max} , by which the coloring layer CL1 shows the maximum transmittance T_{max} , when the wavelength λ_{res} is compared with the wavelength λ_{max} . ;COPYRIGHT: (C)2007,JPO&INPIT

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4828881号

(P4828881)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月22日 (2011.9.22)

(51) Int. Cl.

F 1

H 0 5 B 33/24 (2006.01)

H 0 5 B 33/24

H 0 1 L 51/50 (2006.01)

H 0 5 B 33/14 A

G 0 9 F 9/30 (2006.01)

G 0 9 F 9/30 3 6 5 Z

H 0 1 L 27/32 (2006.01)

請求項の数 6 (全 13 頁)

(21) 出願番号 特願2005-206958 (P2005-206958)
 (22) 出願日 平成17年7月15日 (2005.7.15)
 (65) 公開番号 特開2007-26867 (P2007-26867A)
 (43) 公開日 平成19年2月1日 (2007.2.1)
 審査請求日 平成20年6月10日 (2008.6.10)

(73) 特許権者 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 有機 E L 表示装置

(57) 【特許請求の範囲】

【請求項1】

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機 E L 素子と、前記有機 E L 素子と向き合った着色層とを具備し、前記有機 E L 素子が法線方向に放出する最大強度の光の波長 λ_{org} は、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短く、前記有機物層は白色光を放出し、前記着色層は、波長 λ_{max} と比較してより短い第1波長から前記波長 λ_{max} へ向けて透過率が増加し、前記波長 λ_{max} から前記波長 λ_{max} と比較してより長い第2波長へ向けて透過率が減少する透過特性を示すことを特徴とする有機 E L 表示装置。

【請求項2】

前記波長 λ_{org} は、前記波長 λ_{max} と比較してより短く且つ前記着色層が前記透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短いことを特徴とする請求項1に記載の有機 E L 表示装置。

【請求項3】

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機 E L 素子と、前記有機 E L 素子と向き合った着色層とを具備し、前記有機 E L 素子が法線方向に放出する最大強度の光の波長 λ_{org} は、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短く、前記波長 λ_{org} は青色光の波長範囲内にあることを特徴とする有機 E L 表示装置。

【請求項4】

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機EL素子と、前記前面電極と向き合った着色層とを各々が含んだ第1乃至第3画素を具備し、

前記第1画素は、前記第2画素と比較して、前記有機EL素子が法線方向に放出する最大強度の光の波長 λ_{res} がより短く、前記第3画素は前記第2画素と比較して前記波長 λ_{res} がより長く、

前記第1画素は、前記第2画素と比較して、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} がより短く、前記第3画素は前記第2画素と比較して前記波長 λ_{max} がより長く、

前記第1乃至第3画素の各々において、前記波長 λ_{res} は前記波長 λ_{max} と比較してより短いことを特徴とする有機EL表示装置。

【請求項5】

前記第1乃至第3画素の各々において、前記波長 λ_{res} は、前記波長 λ_{max} と比較してより短く且つ前記着色層が前記透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短いことを特徴とする請求項4に記載の有機EL表示装置。

【請求項6】

前記第1乃至第3画素の各々において、前記有機物層は白色光を放出することを特徴とする請求項4に記載の有機EL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス（EL）表示装置に関する。

【背景技術】

【0002】

カラー画像を表示可能な表示装置として、白色に発光する有機EL素子とカラーフィルタとを組み合わせた有機EL表示装置がある。非特許文献1には、そのような有機EL表示装置において、マイクロキャビティ構造を採用した有機EL素子、すなわち、光共振器としての機能を有する有機EL素子、を使用することが記載されている。

【0003】

白色に発光する有機EL素子にマイクロキャビティ構造を採用すると、或る波長の光は繰り返し反射干渉によって強さを増す。すなわち、白色に発光する有機EL素子にマイクロキャビティ構造を採用すると、有機EL素子とその外部に放出する光は白色光から着色光へと変化する。

【0004】

この強さを増す光の波長は、例えば、マイクロキャビティ構造の光路長を変更することにより変化させることができる。したがって、カラーフィルタの着色層毎にマイクロキャビティ構造の光路長を適宜設定することにより、マイクロキャビティ構造が放出する最大強度の光の波長を、カラーフィルタの着色層が最大透過率を示す波長と一致させることができる。それゆえ、この技術によれば、高効率及び高彩度を実現することができる。

【0005】

しかしながら、本発明者は、本発明を為すに際し、この有機EL表示装置で表示した画像を法線方向から観察し、次いで、斜め方向から観察すると、色相が変化することを見出し出している。すなわち、この有機EL表示装置は、カラーフィルタを使用しているにも拘らず、色相の観察方向依存性が大きい。

【非特許文献1】Kashiwabara et al., "Advanced AM-OLED Display Based on White Emitter with Microcavity Structure", SID 04 DIGEST, pp.1017-1019

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、白色に発光する有機EL素子にマイクロキャビティ構造を採用した有機EL表示装置において、色相の観察方向依存性を小さくすることにある。

【課題を解決するための手段】

【0007】

本発明の第1側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機EL素子と、前記有機EL素子と向き合った着色層とを具備し、前記有機EL素子が法線方向に放出する最大強度の光の波長 λ_{res} は、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短く、前記有機物層は白色光を放出し、前記着色層は、波長 λ_{max} と比較してより短い第1波長から前記波長 λ_{res} へ向けて透過率が増加し、前記波長 λ_{max} から前記波長 λ_{res} と比較してより長い第2波長へ向けて透過率が減少する透過特性を示すことを特徴とする有機EL表示装置が提供される。

本発明の第2側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機EL素子と、前記有機EL素子と向き合った着色層とを具備し、前記有機EL素子が法線方向に放出する最大強度の光の波長 λ_{res} は、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短く、前記波長 λ_{res} は青色光の波長範囲内にあることを特徴とする有機EL表示装置が提供される。

【0008】

本発明の第3側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機EL素子と、前記前面電極と向き合った着色層とを各々が含んだ第1乃至第3画素を具備し、前記第1画素は、前記第2画素と比較して、前記有機EL素子が法線方向に放出する最大強度の光の波長 λ_{res} がより短く、前記第3画素は前記第2画素と比較して前記波長 λ_{res} がより長く、前記第1画素は、前記第2画素と比較して、前記着色層が最大の透過率 T_{max} を示す波長 λ_{max} がより短く、前記第3画素は前記第2画素と比較して前記波長 λ_{max} がより長く、前記第1乃至第3画素の各々において、前記波長 λ_{res} は前記波長 λ_{max} と比較してより短いことを特徴とする有機EL表示装置が提供される。

【発明の効果】

【0009】

本発明によると、白色に発光する有機EL素子にマイクロキャビティ構造を採用した有機EL表示装置において、色相の観察方向依存性を小さくすることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本発明の一態様に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置に採用可能な構造の一例を概略的に示す断面図である。なお、図2では、表示装置を、その表示面、すなわち前面又は光出射面、が上方を向き、背面が下方を向くように描いている。

【0012】

図1の表示装置は、アクティブマトリクス型駆動方式を採用した上面発光型の有機EL表示装置である。この有機EL表示装置は、後述するように、表示色が互いに異なる画素PX1乃至PX3を含んでおり、これら画素PX1乃至PX3は、有機EL素子OLEDに加え、カラーフィルタCFの着色層CL1乃至CL3をそれぞれ含んでいる。

【0013】

この有機EL表示装置は、アレイ基板ASと、封止基板CSと、映像信号線ドライバXDと、走査信号線ドライバYDとを含んでいる。

【0014】

アレイ基板ASは、例えば、ガラス基板などの絶縁基板SUB1を含んでいる。

基板SUB1上には、図2に示すように、アンダーコート層UCとして、例えば、SiN_x層とSiO₂層とが順次積層されている。

【0015】

アンダーコート層UC上には、例えばチャネル及びソース・ドレインが形成されたポリシリコン層である半導体層SC、例えばTEOS (TetraEthyl OrthoSilicate) などを用いて形成され得るゲート絶縁膜GI、及び例えばMoWなどからなるゲートGEが順次積層されており、それらは電界効果トランジスタであるトップゲート型の薄膜トランジスタを構成している。この例では、これら薄膜トランジスタは、pチャネル薄膜トランジスタであり、図1の駆動制御素子DR及びスイッチSWa乃至SWcとして利用している。

【0016】

ゲート絶縁膜GI上には、図1に示す走査信号線SL1及びSL2と、図示しない下部電極とがさらに配置されている。走査信号線SL1及びSL2並びに下部電極は、ゲートGEと同一の工程で形成可能である。

【0017】

走査信号線SL1及びSL2は、図1に示すように、各々が画素PX1乃至PX3の行方向(X方向)に延びており、画素PX1乃至PX3の列方向(Y方向)に交互に配列している。これら走査信号線SL1及びSL2は、走査信号線ドライバYDRに接続されている。

【0018】

下部電極は、駆動制御素子DRのゲートに接続されている。下部電極は、後述するキャパシタCの一方の電極として利用する。

【0019】

ゲート絶縁膜GI、ゲートGE、走査信号線SL1及びSL2、並びに下部電極は、図2に示す層間絶縁膜IIで被覆されている。層間絶縁膜IIは、例えばプラズマCVD法などにより成膜されたSiO₂などからなる。この層間絶縁膜IIのうち下部電極上の部分は、キャパシタCの誘電体層として利用する。

【0020】

層間絶縁膜II上には、図2に示すソース電極SE及びドレイン電極DE、図1に示す映像信号線DL、電源線PSL、並びに図示しない上部電極が配置されている。これらは、同一工程で形成可能であり、例えば、Mo/A1/Moの三層構造を有している。

【0021】

ソース電極SE及びドレイン電極DEは、層間絶縁膜IIに設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインに電氣的に接続されている。

【0022】

映像信号線DLは、図1に示すように、各々がY方向に延びており、X方向に配列している。これら映像信号線DLの各々の一端は、映像信号線ドライバXDRに接続されている。

【0023】

電源線PSLは、この例では、各々がY方向に延びており、X方向に配列している。また、この例では、電源線PSLは、映像信号線ドライバXDRに接続されている。

【0024】

上部電極は、電源線PSLに接続されている。上部電極は、キャパシタCの他方の電極として利用する。

【0025】

ソース電極SE、ドレイン電極DE、映像信号線DL、電源線PSL、及び上部電極は、図2に示すパッシベーション膜PSで被覆されている。パッシベーション膜PSは、例えばSiN_xなどからなる。

【0026】

パッシベーション膜PS上には、平坦化層FLが形成されている。平坦化層FLは、例えば硬質樹脂からなる。

【0027】

平坦化層FL上では、スイッチSWaに対応して反射層RFが配列している。反射層R

Fの材料としては、例えば、Alなどの金属材料を使用することができる。

【0028】

反射層RF上には、背面電極として、光透過性の画素電極PEが形成されている。画素電極PEは、平坦化層FL及びバッシベーション膜PSに設けた貫通孔を介して、スイッチSWaのドレイン電極DEに接続されている。

【0029】

画素電極PEは、この例では陽極である。画素電極PEの材料としては、例えば、ITO (Indium Tin Oxide) のような透明導電性酸化物を使用することができる。

【0030】

平坦化層FL上には、さらに、図2に示す隔壁絶縁層PIが形成されている。隔壁絶縁層PIには、画素電極PEに対応した位置に貫通孔が設けられているか、或いは、画素電極PEが形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層PIには、画素電極PEに対応した位置に貫通孔が設けられていることとする。

【0031】

隔壁絶縁層PIは、例えば、有機絶縁層である。隔壁絶縁層PIは、例えば、フォトリソグラフィ技術を用いて形成することができる。

【0032】

画素電極PE上には、活性層として発光層を含んだ有機物層ORGが配置されている。発光層は、白色に発光するように設計された薄膜である。発光層は、例えば、発光色が赤色のルミネセンス性有機化合物と発光色が緑色のルミネセンス性有機化合物と発光色が青色のルミネセンス性有機化合物との混合物を含んでいる。この有機物層ORGは、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【0033】

隔壁絶縁層PI及び有機物層ORGは、前面電極である対向電極CEで被覆されている。対向電極CEは、画素PX1乃至PX3間で互いに接続された共通電極であり、この例では半透過性の陰極である。ここで、「半透過性」の電極は、光透過性と光反射性との双方を有している電極を意味する。対向電極CEは、例えば、バッシベーション膜PSと平坦化層FLと隔壁絶縁層PIとに設けられたコンタクトホールを介して、映像信号線DLと同一の層上に形成された電極配線（図示せず）に電気的に接続されている。各々の有機EL素子OLEDは、画素電極PE、有機物層ORG及び対向電極CEで構成されている。

【0034】

これら有機EL素子OLEDは、光共振器（マイクロキャビティ構造）を構成している。この例では、有機物層ORGが放出した光が反射層RFと対向電極CEとの間で繰り返し反射干渉する構成を採用している。

【0035】

画素PX1が含む有機EL素子OLEDは、画素PX2が含む有機EL素子OLEDと比較して、反射層RFと対向電極CEとの間の光路長がより短い。画素PX3が含む有機EL素子OLEDは、画素PX2が含む有機EL素子OLEDと比較して、反射層RFと対向電極CEとの間の光路長がより長い。ここでは、一例として、画素PX1乃至PX3間で画素電極PEの厚さのみを異ならしめることにより、先の光路長の相違を生じさせている。このような構造は、例えば、画素PX1の画素電極PEを1回の成膜で形成し、画素PX2の画素電極PEを2回の成膜で形成し、画素PX3の画素電極PEを3回の成膜で形成することにより得られる。

【0036】

先の光路長の相違は、画素電極PEと反射層RFとの間にSiN及びSiO₂などの無機絶縁体や感光性樹脂などの有機絶縁体からなる透明絶縁層を配置し、この透明絶縁層の厚さのみを画素PX1乃至PX3間で異ならしめることにより生じさせてもよい。或いは

、画素PX1乃至PX3間で有機物層ORGの厚さのみを異ならしめることにより、先の光路長の相違を生じさせてもよい。或いは、これらを組み合わせてもよい。

【0037】

画素PX1は、画素PX2と比較して、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{max} がより短い。画素PX3は、画素PX2と比較して、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{max} がより長い。この例では、画素PX1が含む有機EL素子OLEDの波長 λ_{max} は青色光の波長範囲内にあり、画素PX2が含む有機EL素子OLEDの波長 λ_{max} は緑色光の波長範囲内にあり、画素PX3が含む有機EL素子OLEDの波長 λ_{max} は赤色光の波長範囲内にある。

【0038】

画素PX1乃至PX3の各々が含む画素回路は、この例では、駆動制御素子（駆動トランジスタ）DRと、出力制御スイッチSWaと、映像信号供給制御スイッチSWbと、ダイオード接続スイッチSWcと、キャパシタCとを含んでいる。上記の通り、この例では、駆動制御素子DR及びスイッチSWa乃至SWcはpチャネル薄膜トランジスタである。また、この例では、映像信号供給制御スイッチSWbとダイオード接続スイッチSWcとは、駆動制御素子DRのドレインと映像信号線DLと駆動制御素子DRのゲートとの接続状態を、それらが互いに接続された第1状態と、それらが互いから遮断された第2状態との間で切り替えるスイッチ群を構成している。

【0039】

駆動制御素子DRと出力制御スイッチSWaと有機EL素子OLEDとは、第1電源端子ND1と第2電源端子ND2との間で、この順に直列に接続されている。この例では、第1電源端子ND1は高電位電源端子であり、第2電源端子ND2は低電位電源端子である。

【0040】

出力制御スイッチSWaのゲートは、走査信号線SL1に接続されている。映像信号供給制御スイッチSWbは映像信号線DLと駆動制御素子DRのドレインとの間に接続されており、そのゲートは走査信号線SL2に接続されている。ダイオード接続スイッチSWcは駆動制御素子DRのゲートとドレインとの間に接続されており、そのゲートは走査信号線SL2に接続されている。

【0041】

キャパシタCは、駆動制御素子DRのゲートと定電位端子ND1'との間に接続されている。定電位端子ND1'は、例えば第1電源端子ND1に接続する。

【0042】

封止基板CSは、例えば、ガラス基板などの絶縁基板SUB2を含んでいる。絶縁基板SUB2は、対向電極CEと向き合っている。

【0043】

基板SUB2のアレイ基板ASとの対向面上には、着色層CL1乃至CL3を含んだカラーフィルタCFが配置されている。着色層CL1乃至CL3の各々は、有機EL素子OLEDと向き合っている。

【0044】

画素PX1の各々は、有機EL素子OLEDと、これと向き合った着色層CL1とを含んでいる。画素PX2の各々は、有機EL素子OLEDと、これと向き合った着色層CL2とを含んでいる。画素PX3の各々は、有機EL素子OLEDと、これと向き合った着色層CL3とを含んでいる。

【0045】

着色層CL1は、着色層CL2と比較して、最大の透過率 T_{max} を示す波長 λ_{max} がより短い。着色層CL3は、着色層CL2と比較して、最大の透過率 T_{max} を示す波長 λ_{max} がより長い。この例では、着色層CL1が最大の透過率 T_{max} を示す波長 λ_{max} は青色光の波長範囲内にあり、着色層CL2が最大の透過率 T_{max} を示す波長 λ_{max} は緑色光の波長範囲内にあり、着色層CL3が最大の透過率 T_{max} を示す波長 λ_{max} は赤色光の波長範囲内にあ

る。

【0046】

アレイ基板ASと封止基板CSとの間には、枠形状のシール層（図示せず）が介在している。シール層はアレイ基板ASと封止基板CSとの間に密閉空間を形成しており、この密閉空間は不活性ガスで満たされている。なお、先の密閉空間には、不活性ガスを充填する代わりに、エポキシ樹脂などの樹脂を充填してもよい。この場合、対向電極CE上には、SiNなどからなるバリア層を形成してもよい。

【0047】

映像信号線ドライバXDR及び走査信号線ドライバYDRは、この例では、アレイ基板AS上に配置されている。すなわち、この例では、映像信号線ドライバXDR及び走査信号線ドライバYDRをCOG（chip on glass）実装している。映像信号線ドライバXDR及び走査信号線ドライバYDRは、COG実装する代わりに、TCP（tape carrier package）実装してもよい。

【0048】

この有機EL表示装置で画像を表示する場合、例えば、走査信号線SL1及びSL2の各々を線順次駆動する。そして、或る行の画素PX1乃至PX3に映像信号を書き込む書込期間では、まず、走査信号線ドライバYDRから、先の画素PX1乃至PX3が接続された走査信号線SL1にスイッチSWaを開く（OFF）走査信号を電圧信号として出力し、続いて、先の画素PX1乃至PX3が接続された走査信号線SL2にスイッチSWb及びSWcを閉じる（ON）走査信号を電圧信号として出力する。この状態で、映像信号線ドライバXDRから、先の画素PX1乃至PX3が接続された映像信号線DLに映像信号を電流信号としてそれぞれ出力し、駆動制御素子DRのゲートソース間電圧を、先の映像信号に対応した大きさに設定する。その後、走査信号線ドライバYDRから、先の画素PX1乃至PX3が接続された走査信号線SL2にスイッチSWb及びSWcを開く（OFF）走査信号を電圧信号として出力し、続いて、先の画素PX1乃至PX3が接続された走査信号線SL1にスイッチSWaを閉じる（ON）走査信号を電圧信号として出力する。

【0049】

スイッチSWaを閉じ（ON）ている有効表示期間では、有機EL素子OLEDには、駆動制御素子DRのゲートソース間電圧に対応した大きさの駆動電流が流れる。有機EL素子OLEDは、駆動電流の大きさに対応した輝度で発光する。

【0050】

この有機EL表示装置では、画素PX1において、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は、着色層CL1が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短い。画素PX2において、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は、着色層CL2が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短い。画素PX3において、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は、着色層CL3が最大の透過率 T_{max} を示す波長 λ_{max} と比較してより短い。

【0051】

画素PX1において、波長 λ_{res} は、典型的には、波長 λ_{max} と比較してより短く且つ着色層CL1が透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短い。画素PX2において、波長 λ_{res} は、典型的には、波長 λ_{max} と比較してより短く且つ着色層CL2が透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短い。画素PX3において、波長 λ_{res} は、典型的には、波長 λ_{max} と比較してより短く且つ着色層CL3が透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短い。

【0052】

このような構成によると、色相の観察方向依存性を小さくすることができる。これについて、以下に説明する。

【0053】

図3は、有機EL素子に採用可能な構造の一例を概略的に示す断面図である。図4は、図3の有機EL素子が含む発光層の発光スペクトルの一例を示すグラフである。図4において、横軸は波長を示し、縦軸は光強度を示している。

【0054】

図3の有機EL素子OLEDにおいて、有機物層ORGは、正孔輸送層HTL、発光層EML、正孔ブロック層HBL、電子輸送層ETLを含んでいる。ここでは、一例として、正孔輸送層HTL、発光層EML、正孔ブロック層HBL、電子輸送層ETLは、下記表1に示す屈折率及び厚さを有していることとする。また、ここでは、発光層EMLの発光スペクトルは、図4に示すプロファイルを有していることとする。

【表1】

表 1

	屈折率	厚さ (nm)
電子輸送層	1.7	40
正孔ブロック層	1.7	10
発光層	1.8	30
正孔輸送層	1.9	50
画素電極	1.9	130
光路長 (nm)	481	

【0055】

なお、上記表1において、「光路長」で表記した欄に記載した数値は、下記等式を用いて算出した反射層RFと対向電極CEとの間の光路長Lである。式中、「 λ_{res} 」は有機EL素子OLEDが形成する光共振器の共振波長を示し、「 Φ 」は対向電極CEと反射層RFとにおける反射に起因した位相シフトの和を示し、「m」は整数を示している。

【数1】

$$\frac{2L}{\lambda_{res}} + \frac{\Phi}{2\pi} = m$$

【0056】

図5は、表1の構造を採用した図3の有機EL素子の発光スペクトルの例を示すグラフである。図中、横軸は波長を示し、縦軸は光の強度を示している。図5では、有機EL素子が法線方向に放出する光のスペクトルを実線で示し、有機EL素子が法線方向に対して60°を為す方向に放出する光のスペクトルを破線で示している。また、図5では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。なお、この例では、法線方向に伝播する光の共振波長は、先の波長 λ_{res} と等しい。

【0057】

図3の有機EL素子OLEDに表1の構造を採用した場合、この有機EL素子OLEDは、共振波長が例えば530nmの光共振器を構成する。その結果、図4の曲線と図5の実線で描いた曲線との対比から明らかなように、有機EL素子OLEDの発光スペクトルは、それが含む発光層EMLの発光スペクトルとは大きく異なることとなる。

【0058】

ところで、光共振器の共振波長には、伝播方向依存性がある。すなわち、光共振器内を法線方向に伝播する光の共振波長は、光共振器内を斜め方向に伝播する光についての共振波長とは異なっている。

【0059】

発光層EMLの発光スペクトルは、図4に示すようにブロードである。そのため、斜め方向から有機EL素子OLEDを観察した場合には、法線方向から有機EL素子OLED

を観察した場合と比較して、より短い波長の光が強くなる。図5の例では、法線方向に伝播する光のスペクトルは約530nmで最大強度を示しているのに対し、法線方向に対して60°の角度を為す方向に伝播する光のスペクトルは約480nmで最大強度を示している。

【0060】

図6は、カラーフィルタを含む緑色着色層が示す透過特性の一例を示すグラフである。図7は、表1の構造を採用した有機EL素子が放出した光を図6の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフである。図6において、横軸は波長を示し、縦軸は透過率を示している。図7において、横軸は波長を示し、縦軸は光強度を示している。図7では、緑色着色層が法線方向に透過した光のスペクトルを実線で示し、緑色着色層が法線方向に対して60°を為す方向に透過した光のスペクトルを破線で示している。また、図7では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。

【0061】

図6に透過特性を示す緑色着色層は、波長が約460nm乃至約660nmの光を透過し、波長が約530nm ($=\lambda_{max}$) の光に対して最大の透過率 T_{max} を示す。そして、波長が480nmの光についての透過率は透過率 T_{max} の約50%である。

【0062】

すなわち、図3の有機EL素子OLEDにおいて表1の構造を採用した場合には、光共振器内を法線方向に伝播する光についての共振波長と、着色層が最大の透過率 T_{max} を示す波長 λ_{max} とが一致する。また、光共振器内を法線方向に対して60°の角度を為す方向に伝播する光についての共振波長において、着色層は最大透過率 T_{max} の約50%の透過率を示す。

【0063】

そのため、有機EL素子OLEDに表1の構造を採用した場合、図6の透過率スペクトルを示す着色層が透過する光のスペクトルは、図7に示すように、光の伝播方向に応じて大きく変化する。すなわち、この場合、色相の観察方向依存性が大きい。

【0064】

この色相の観察方向依存性は、例えば、緑色着色層が透過する光の最短波長をより長くすることにより小さくすることができる。但し、カラーフィルタの吸収特性の大幅な変更は非現実的である。

【0065】

そこで、本態様では、光共振器内を法線方向に伝播する光についての共振波長をより短波長側にシフトさせる。すなわち、この例では、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} をより短波長側にシフトさせる。こうすると、緑色着色層が透過する光の最短波長をより長くした場合と同様の効果が得られる。すなわち、色相の観察方向依存性を小さくすることができる。

【0066】

例えば、先の有機EL素子OLEDにおいて、下記表2の構成を採用する。すなわち、画素電極PEの厚さを130nmから110nmへと変更する。

【表2】

表 2

	屈折率	厚さ (nm)
電子輸送層	1.7	40
正孔ブロッキング層	1.7	10
発光層	1.8	30
正孔輸送層	1.9	50
画素電極	1.9	110
光路長 (nm)	443	

【0067】

図8は、表2の構造を採用した図3の有機EL素子の発光スペクトルの例を示すグラフである。図9は、表2の構造を採用した有機EL素子が放出した光を図6の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフである。図中、横軸は波長を示し、縦軸は光の強度を示している。図8及び図9では、法線方向に伝播する光のスペクトルを実線で示し、法線方向に対して 60° を為す方向に伝播する光のスペクトルを破線で示している。また、図8及び図9では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。

【0068】

有機EL素子OLEDに表2の構造を採用した場合、図8に示すように、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は480nmであり、この波長は、光共振器内を法線方向に伝播する光についての共振波長と等しい。また、この共振波長は、着色層が最大透過率 T_{max} を示す波長 λ_{max} と比較してより短い。したがって、この場合、図9に示すように、色相の観察方向依存性を小さくすることができる。

【0069】

上記の通り、有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は、典型的には、着色層が最大透過率 T_{max} を示す波長 λ_{max} と比較してより短く且つ着色層が最大透過率 T_{max} の90%の透過率 T_{90} を示す波長 λ_{90} と等しいか又はそれよりも短い。通常、上述した効果は、波長 λ_{res} が波長 λ_{90} と等しいか又はそれよりも短い場合に得られる。

【0070】

波長 λ_{res} は、最大透過率 T_{max} の75%の透過率を示す波長と等しいか又はそれよりも短くてもよい。この場合、色相の観察方向依存性をほぼゼロとすることができる。

【0071】

有機EL素子OLEDが法線方向に放出する最大強度の光の波長 λ_{res} は、典型的には、着色層が透過し得る光の最短波長と等しいか又はそれよりも長い。例えば、波長 λ_{res} は、最大透過率 T_{max} の30%の透過率を示す波長と等しいか又はそれよりも長くてもよい。この場合、効率の観点で有利である。

【0072】

本態様では、本発明を下面発光型の有機EL表示装置に適用したが、本発明は上面発光型の有機EL表示装置にも適用可能である。また、本態様では、画素回路に映像信号として電流信号を書き込む構成を採用したが、画素回路に映像信号として電圧信号を書き込む構成を採用することも可能である。

【図面の簡単な説明】

【0073】

【図1】本発明の一態様に係る表示装置を概略的に示す平面図。

【図2】図1の表示装置に採用可能な構造の一例を概略的に示す断面図。

【図3】有機EL素子に採用可能な構造の一例を概略的に示す断面図。

【図4】図3の有機EL素子が含む発光層の発光スペクトルの一例を示すグラフ。

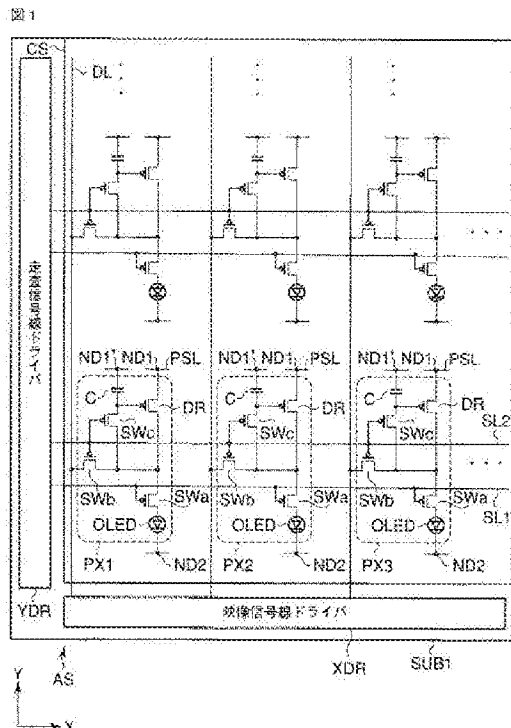
- 【図5】表1の構造を採用した図3の有機EL素子の発光スペクトルの例を示すグラフ。
 【図6】カラーフィルタを含む緑色着色層が示す透過特性の一例を示すグラフ。
 【図7】表1の構造を採用した有機EL素子が放出した光を図6の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフ。
 【図8】表2の構造を採用した図3の有機EL素子の発光スペクトルの例を示すグラフ。
 【図9】表2の構造を採用した有機EL素子が放出した光を図6の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフ。

【符号の説明】

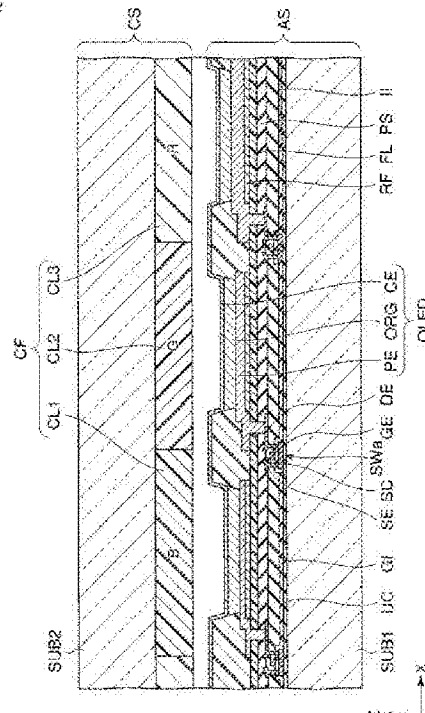
【0074】

AS…アレイ基板、C…キャパシタ、CE…対向電極、CF…カラーフィルタ、CL1…着色層、CL2…着色層、CL3…着色層、CS…封止基板、DE…ドレイン電極、DL…映像信号線、DR…駆動制御素子、EML…発光層、ETL…電子輸送層、FL…平坦化層、GE…ゲート、GI…ゲート絶縁膜、HBL…正孔ブロッキング層、HTL…正孔輸送層、II…層間絶縁膜、ND1…電源端子、ND1'…定電位端子、ND2…電源端子、OLED…有機EL素子、ORG…有機物層、PE…画素電極、PI…隔壁絶縁層、PS…パッシベーション膜、PSL…電源線、PX1…画素、PX2…画素、PX3…画素、RF…反射層、SC…半導体層、SE…ソース電極、SL1…走査信号線、SL2…走査信号線、SUB1…絶縁基板、SUB2…絶縁基板、SWa…出力制御スイッチ、SWb…映像信号供給制御スイッチ、SWc…ダイオード接続スイッチ、UC…アンダーコート層、XDR…映像信号線ドライバ、YDR…走査信号線ドライバ。

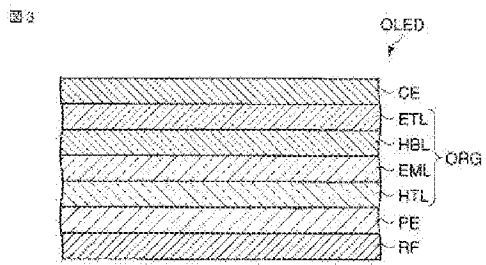
【図1】



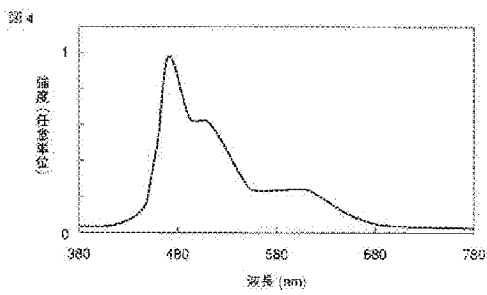
【図2】



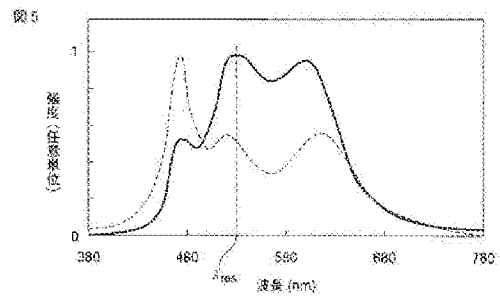
【図3】



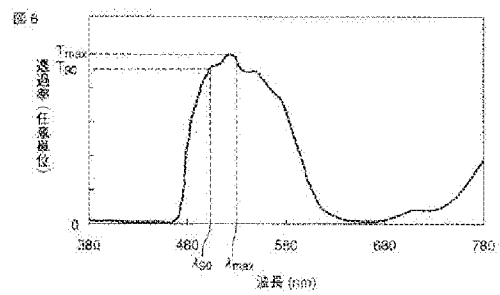
【図4】



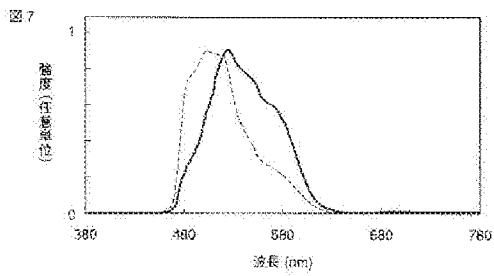
【図5】



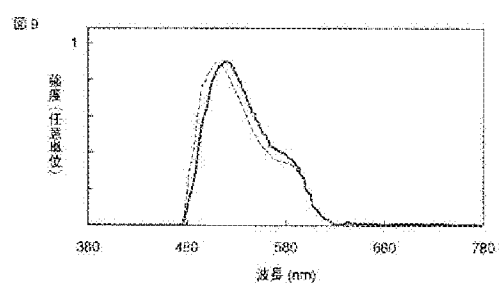
【図6】



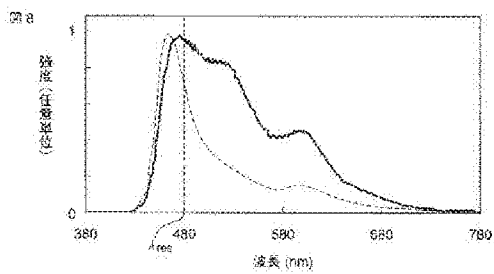
【図7】



【図9】



【図8】



(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 奥谷 聡

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 濱野 隆

(56)参考文献 特表2007-520862(JP, A)

国際公開第2005/071770(WO, A1)

特開2005-129510(JP, A)

特開2000-277266(JP, A)

国際公開第2005/039248(WO, A1)

国際公開第01/039554(WO, A1)

(58)調査した分野(Int. Cl., DB名)

H05B 33/24

G09F 9/30

H01L 27/32

H01L 51/50

**Espacenet****Bibliographic data: JP2004047179 (A) — 2004-02-12**

ANTISTATIC ORGANIC EL ELEMENT AND ITS MANUFACTURING METHOD

Inventor(s): SATO TAMOTSU; ITO NOBUYUKI ± (SATO TAMOTSU, ; ITO NOBUYUKI)

Applicant(s): DAINIPPON PRINTING CO LTD ± (DAINIPPON PRINTING CO LTD)

Classification: - international: *G09F9/00; G09F9/30; H01L51/50; H05B33/02; H05B33/10; H05B33/14; (IPC1-7): G09F9/00; G09F9/30; H05B33/02; H05B33/10; H05B33/14*

- cooperative:

Application number: JP20020200337 20020709

Priority number(s): JP20020200337 20020709

Abstract of JP2004047179 (A)

PROBLEM TO BE SOLVED: To provide an EL element sufficiently subjected to antistatic treatment, and its manufacturing method. ;SOLUTION: The antistatic organic EL element has at least a thin film transistor, an organic light emitting layer, and an electrode on a substrate, and an antistatic film is formed at least on a second principal plane which is a backside of a thin film transistor substrate of the substrate. ;COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-47179

(P2004-47179A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H05B 33/02	H05B 33/02	3K007
G09F 9/00	G09F 9/00 309Z	5C094
G09F 9/30	G09F 9/30 365	5G435
H05B 33/10	H05B 33/10	
H05B 33/14	H05B 33/14 A	
審査請求 未請求 請求項の数 6 O L (全 6 頁)		

(21) 出願番号	特願2003-200337 (P2002-200337)	(71) 出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22) 出願日	平成14年7月9日(2002.7.9)	(74) 代理人	100077698 弁理士 吉田 勝広
		(74) 代理人	100098707 弁理士 近藤 利英子
		(72) 発明者	佐藤 保 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
		(72) 発明者	伊藤 信行 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
		Fターム(参考)	3K007 AB18 DB03 5C094 AA43 8A27 EB02 FB12 GB10 5G435 BB05 HH02 HH12 KK05

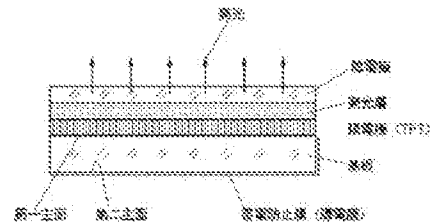
(54) 【発明の名称】 帯電防止有機EL素子およびその製造方法

(57) 【要約】

【課題】 十分に帯電防止処理された有機EL素子およびその製造方法を提供すること。

【解決手段】 基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有するEL素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機EL素子およびその製造方法。

【選択図】 図1



【特許請求の範囲】

【請求項1】

基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有するEし素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機Eし素子。

【請求項2】

基板側面にも帯電防止膜が形成されている請求項1に記載の帯電防止有機Eし素子。

【請求項3】

ボトムエミッション型有機Eし素子であって、帯電防止膜が透明導電膜である請求項1に記載の帯電防止有機Eし素子。

【請求項4】

導電膜が、画像表示部の周辺に形成されている請求項1に記載の帯電防止有機Eし素子。

【請求項5】

表面に薄膜トランジスタが形成された基板の裏面（第二主面）に帯電防止膜を形成し、上記薄膜トランジスタの表面に少なくとも有機発光層と電極とを形成することを特徴とする帯電防止有機Eし素子の製造方法。

【請求項6】

前記薄膜トランジスタの表面に有機発光層および電極を形成後、上記帯電防止膜の少なくとも一部を除去する請求項5に記載の帯電防止有機Eし素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、帯電防止された有機発光層を有するエレクトロルミネッセンス（Eし）素子およびその製造方法に関する。

【0002】

【従来の技術】

Eし素子は、図5および図6に示すように、対向する陰電極と陽電極とから注入された正孔および電子が発光層内で結合し、そのエネルギーで発光層中の蛍光物質を励起し、蛍光物質に依りた色の発光を行うものであり、自発光の面状表示素子として注目されている。これらのEし素子の発光層は無機物質からなるものと有機物質からなるものとが知られている。

【0003】

その中でも有機発光材料を用いた有機薄膜Eしディスプレイは、印加電圧が10V弱であっても高輝度な発光が実現するなど、発光効率が高く、単純な素子構造で発光が可能で、特定のパターンを発光表示させる広告、その他の低価格の簡易表示ディスプレイへの応用が期待されている。図5に示す例は、陰電極を透明電極とし、陽電極（薄膜トランジスタ：TFT）を反射性電極として、発光をトップエミッション型としたものであり、図6に示す例は、陰電極を反射性電極とし、陽電極を透明性電極として、発光をボトムエミッション型としたものである。

【0004】

また、Eし素子においては、有機発光層を、発光色の異なる有機発光材料からストライプパターンやマトリックスパターンに形成し、陽電極を薄膜トランジスタ（TFT）として駆動させることで、フルカラー画像の表示も可能である。このようなTFTをガラス板や透明樹脂板の表面に形成したEし素子基板は、これらの基板が絶縁性であることから、発光層や陰電極などを形成するTFT付き基板の取り扱い中に摩擦などにより静電気が帯電し、TFTが破損して最終的に得られるEし素子において不良品が発生するという問題がある。

【0005】

TFTを用いたEし素子の製造方法においては、TFT付き基板上に、有機発光層および陰電極などを形成するが、有機発光材料は酸素や水分によって劣化しやすく、かかる劣化を

10

20

30

40

50

防止するために、酸素濃度および水分が厳密にコントロールされた環境下において有機発光層や陰電極の成膜を行っている。このような操作中においては、操作雰囲気中に水分が殆ど存在しないことから、TFT付き基板の搬送や接触時に静電気が帯電し、該静電気によってTFTが破壊される可能性が高くなり、十分な静電対策が必要である。

【0006】

【発明が解決しようとする課題】

上記静電対策としては、通常イオナイザーにより除電が行われるが、有機発光層や陰電極の形成は、上記のように酸素および水分が厳密にコントロールされた窒素雰囲気下で行われるので、上記イオナイザーは十分に機能せず、TFT付き基板の摩擦などによって生じる静電気を十分に除去することができない。

10

従って、本発明の目的は、充分に帯電防止処理されたELED素子およびその製造方法を提供することである。

【0007】

【課題を解決するための手段】

上記目的は以下の本発明によって達成される。すなわち、本発明は、基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有するELED素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機ELED素子を提供する。

【0008】

また、本発明は、表面に薄膜トランジスタが形成された基板の裏面（第二主面）に帯電防止膜を形成し、上記薄膜トランジスタの表面に少なくとも有機発光層と電極とを形成することを特徴とする帯電防止有機ELED素子の製造方法を提供する。

20

【0009】

【発明の実施の形態】

次に好ましい実施の形態を挙げて本発明をさらに詳細に説明する。

図1は、トップエミッション型のELED素子の構造を図解的に示しており、このELED素子においては、例えば、ガラス板などの基板の裏面（第二主面）に帯電防止膜（導電膜）が形成され、基板の表面にTFT電極、有機発光層および透明陰電極が少なくとも形成されている。この実施例において不図示のドライバーによりTFTを駆動させることによって、矢印に示す方向に、例えば、RGBが発光され、フルカラー画像が表示可能である。この場合の帯電防止膜である導電膜は、透明導電膜でも不透明導電膜（例えば金属膜）であってもよい。また、図示のように基板の少なくとも1個の側面にも導電膜を形成してもよい。

30

【0010】

図2は、ボトムエミッション型のELED素子の構造を図解的に示しており、このELED素子においては、陰電極が反射性であり、TFTが透明性であり、例えば、ガラス板などの基板の裏面（第二主面）に帯電防止用の透明導電膜が形成されている。この実施例においても不図示のドライバーによりTFTを駆動させることによって、矢印に示す方向に、例えば、RGBが発光され、フルカラー画像が表示可能である。この場合の帯電防止膜である導電膜は、透明導電膜でも不透明導電膜（例えば金属膜）であってもよいが、少なくとも画像表示部は透明導電膜であるが、若しくは導電膜が形成されていないことが必要である。また、図示のように基板の全ての側面にも導電膜を形成してもよい。

40

【0011】

図3は、図2において発光面である第二主面の帯電防止膜である導電膜の形状を示したものであり、第二主面の全面ではなく、導電膜を画像表示部の周辺のみ形成したものである。このような導電膜を形成することによって、透明導電膜を全面に形成した場合と比べ、透明導電膜による透過率の低下や発光波長の変化をなくし、より優れた画像表示が可能である。また、この実施形態では導電膜は不透明で良導電性金属膜でもよい。このようなハター状導電膜は適当なマスクを用いて導電膜を形成することにより容易に作成できる。

【0012】

本発明の帯電防止ELED素子の製造方法を図4を参照して説明する。本発明では予めTFT

50

が形成されている基板 (a) の裏面 (第二主面) に帯電防止膜として導電膜を形成する (b)。このように導電膜を形成しておくことにより、乾燥室素雰囲気において、発光層、陰電極、その他の層を形成する際の基板の取扱時に、基板に静電気が帯電することがなく、従って TFT の損傷が防止できる。このような導電膜が透明である場合には、該導電膜はそのままでもよい (c) が、金属層の如く透明性が低い導電膜の場合には、エッチングなどの適当な方法で全面的に除去するか (d) 或いは図 3 の示すようにパターン状に除去することが必要である。

【0013】

以上の如く、基板の第二主面に導電膜を形成しておくことにより、TFT を有する E L 素子の製造および搬送などの取扱時に、TFT の損傷が発生せず、不良品率を顕著に低下させることができる。

【0014】

本発明の帯電防止 E L 素子およびその製造方法は以上の通りであるが、上記本発明で使用する各材料および方法についてさらに説明する。

(基板)

本発明で使用する E L 素子の TFT 付き基板としては、従来の E L 素子や液晶表示素子に使用されている TFT 付きガラス板や透明プラスチックシートなどの基板であればよく特に限定されない。これらの基板の厚みは通常約 0.1 ~ 2.0 mm である。

【0015】

(電極材料)

トップエミッション型の E L 素子の好ましい陰極材料としては、例えば、酸化インジウム、酸化錫、ITO などが挙げられる。ボトムエミッション型の E L 素子の好ましい陰極材料としては、例えば、マグネシウム合金 (Mg-Ag など)、アルミニウム合金 (Al-Li、Al-Cu、Al-Mg など)、金属カルシウムおよび仕事関数の小さい金属が挙げられる。また、陽極でもある TFT 自体は、従来の液晶表示素子に使用されている TFT と同様でよい。これらの電極層の厚みは、それぞれ通常約 20 ~ 1000 Å である。

【0016】

(帯電防止導電膜)

帯電防止導電膜材料としては、上記の電極材料と同様な材料が使用され、例えば、図 1 に示す実施形態の導電膜としては、光透過性の材料でも、光不透過性材料でもよく、図 2 に示す実施形態では光透過性の材料を使用するが、図 3 に示すように後に画像表示部を作製する場合には、光不透過性材料であってもよい。さらに図 4 に示す如き実施形態では、導電性に優れた金属膜を使用することが好ましい。導電膜の形成方法は、蒸着、スパッタリング、CVD 法など従来公知の方法でよい。形成する導電膜の導電性は十分に高いことが必要であり、その厚みは好ましくは 5 ~ 10,000 Å 程度、さらに好ましくは 1,000 ~ 5,000 Å 程度である。なお、導電膜の厚みは使用する導電性材料によって調整することができる。

【0017】

(電荷注入層)

本発明の E L 素子には、図示していないが、陽電極 (TFT) および陰電極と発光層との間に他の層が形成されていてもよい。この層には、バッファ層、正孔注入層および/または電子注入層が含まれる。これらは、例えば、特開平 11-4011 号公報に記載のもののようにより、従来の E L 素子に一般に用いられているものであれば特に限定されない。

【0018】

(発光層)

陽電極 (TFT) 上に形成する有機発光層は、主として蛍光を発光する有機物 (低分子化合物および高分子化合物) と、これを補助するドーパントとから通常形成される。このような発光材料としては、例えば、下記の如き材料が挙げられる。

1. 色素系材料

色素系材料としては、例えば、ジクロロベンジダミン誘導体、テトラフェニルブタジエン誘導

体化合物、トリフェニルアミン誘導体、オキサジアゾール誘導体、ピラゾロキノリン誘導体、ジスチリルベンゼン誘導体、ジスチリルアリーレン誘導体、ピロール誘導体、チオフェン環化合物、ピリジン環化合物、ペリノン誘導体、ペリレン誘導体、オリゴチオフェン誘導体、トリフェニルアミン誘導体、オキサジアゾールダイマー、ピラゾリンダイマーなどが挙げられる。

【0019】

2. 金属錯体系材料

金属錯体系材料としては、例えば、アルミキノリノール錯体、ベンゾキノリノールペリリウム錯体、ベンゾオキサゾリル亜鉛錯体、ベンゾチアゾール亜鉛錯体、アソメチル亜鉛錯体、ポルフィリン亜鉛錯体、ユーロピウム錯体など、中心金属に、Al、Zn、BeなどまたはTi、Er、Dyなどの希土類金属を有し、配位子にオキサジアゾール、チアジアゾール、フェニルピリジン、フェニルベンゾイミダゾール、キノリン構造などを有する金属錯体などを挙げることができる。

【0020】

3. 高分子系材料

高分子系材料としては、ポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリパラフェニレン誘導体、ポリシラン誘導体、ポリアセチレン誘導体、ポリフルオレン誘導体、ポリビニルカルバゾール誘導体、上記色素体や金属錯体系発光材料を高分子化したものなどが挙げられる。

【0021】

上記発光性材料のうち、青色に発光する材料としては、ジスチリルアリーレン誘導体、オキサジアゾール誘導体、およびそれらの重合体、ポリビニルカルバゾール誘導体、ポリパラフェニレン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリビニルカルバゾール誘導体、ポリパラフェニレン誘導体やポリフルオレン誘導体などが好ましい。

【0022】

また、緑色に発光する材料としては、キナクリドン誘導体、クマリン誘導体、およびそれらの重合体、ポリパラフェニレンビニレン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリパラフェニレンビニレン誘導体、ポリフルオレン誘導体などが好ましい。

【0023】

また、赤色に発光する材料としては、クマリン誘導体、チオフェン環化合物、およびそれらの重合体、ポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリフルオレン誘導体などが好ましい。

【0024】

(ドーパント材料)

発光層中に発光効率の向上や発光波長を変化させるなどの目的で、ドーパントを添加することができる。このようなドーパントとしては、例えば、ペリレン誘導体、クマリン誘導体、ルファレン誘導体、キナクリドン誘導体、スクアリウム誘導体、ポルフィレン誘導体、スチリル系色素、テトラセン誘導体、ピラゾロン誘導体、アカシクレン、フェノキサゾンなどを挙げることができる。以上の如き有機発光層の厚みは、それぞれ通常約20～2000Åである。

【0025】

(バッファ層)

本発明では、発光層を形成する工程の他にバッファ層を形成する工程を有してもよい。本発明でいうバッファ層とは、発光層に電荷の注入が容易に行われるように、陽極（ITO）と発光層との間に、または陰極と発光層との間に設けられ、有機物、特に有機導電体などを含む層である。例えば、発光層への正孔注入効率を高めて、電極などの凹凸を平坦化する機能を有する導電性高分子から形成することができる。以上の如きバッファ層

の厚みは、通常約100～2000Åである。

【0026】

上記バッファ層は、その導電性が高い場合、素子のダイオード特性を保ち、クロストークを防ぐために、パターンニングされていることが望ましい。なお、バッファ層の抵抗が高い場合などはパターンニングされていなくてもよい場合があり、また、バッファ層が省ける素子の場合はバッファ層は設けなくてもよい場合がある。

【0027】

バッファ層を形成する材料としては、具体的には、ポリアルキルチオフェン誘導体、ポリアニリン誘導体、トリフェニルアミンなどの正孔輸送性物質の重合体、無機化合物のゾルゲル膜、トリフルオロメタンなどの有機物の重合膜、ルイス酸を含む有機化合物膜などが挙げられる。

10

【0028】

以上の如き発光層やバッファ層を形成する方法としては通常の発光層などの形成と同様であって、特に制限されないが、蒸着法のほか、電着法、材料の溶解液、溶液または混合液を使用するスピンコーティング法、キャスト法、ディッピング法、バーコート法、ブレードコーティング法、ロールコート法、グラビアコート法、フレキソ印刷法、スプレーコート法などが挙げられる。

【0029】

(封止材料)

本発明のELED素子は最終的には、外気の酸素や水分から遮断するための封止板と封止材とを用いて封止する。封止材は、従来公知の方法で使用されている封止材がよく、特に限定されないが、溶剤を含んでいない、いわゆる無溶剤接着剤を使用することが好ましい。具体的には、熱によって接着性を発揮する熱可塑性樹脂（ヒートシール剤）、ポリオールとポリイソシアネートとからなる二液型接着剤、エポキシ系やシアノアクリレート系などの反応性接着剤、アクリレートオリゴマーなどの重合性成分を含む感光性接着剤などが挙げられる。このような無溶剤型接着剤を用いることにより、封止後に溶剤によるELED層に対する悪影響を排除することができる。

20

【0030】

以上の如き封止材は、さらに水分や酸素が封止材層を透過しないように、封止材中に酸化カルシウムなどのアルカリ土類金属の酸化物や、還元剤や酸化鉄などの酸素吸収剤を適量な量で添加しておくことが好ましい。なお、封止材中には封止板の押圧によってELED層が破壊されないように、ELED層の厚みより径が大きいガラスビーズなどのスペーサーを含ませておくことが好ましい。

30

【0031】

(封止板)

本発明で用いる封止板は、水分や酸素の透過性が低い材料であれば何れの材料でもよく、例えば、ガラス板、ガスバリア性に優れた樹脂板、金属板などが挙げられる。これらの封止板のサイズは通常ELED素子の基板と略同一サイズである。

【0032】

【実施例】

次に実施例を挙げて本発明をさらに詳しく説明する。

<実施例1（図1参照）>

板厚1.1mmで、表面にTFTが形成された基板の裏面（第二主面）に、蒸着方法により厚み3.000Åのアルミニウム合金薄膜を形成した。次いでTFTの面にTFTの構造に合わせて、フォトリソグラフィ法にてRGBの発光層をパターンニングして膜厚800Åの有機発光層を形成した。赤色発光層は、ポリビニルカルバゾール70重量部、オキサジアゾール30重量部、ジシアノメチレンピラン誘導体1重量部、モノクロロベンゼン4900重量部からなる塗布液を用い、緑色発光層は、ポリビニルカルバゾール70重量部、オキサジアゾール30重量部、クマリン6の1重量部、モノクロロベンゼン4900重量部からなる塗布液を用い、青色発光層は、ポリビニルカルバゾール70重量部、オキ

40

50

サジアゾール 30 重量部、ペリレン 1 重量部、モノクロロベンゼン 4900 重量部がらなる塗布液を用いて形成した。

【0033】

これらの発光層の表面に透明陰電極としてITOをマスクスパッタ方法で1,500Åの厚みに形成し、最後に常法に従って封止材と封止板とでEし層を封止して本発明のEし素子を作製した。以上の操作は全て窒素ガス雰囲気で行った。TFET電極側を陽極に、そしてITO陰電極側を負極に接続し、駆動回路を接続して表示実験を行ったところ、表示信号に従ってフルカラー表示が可能であり、この際に意図しない発光や発光不良がなく、TFETが静電気によって損傷していないことが明らかとなった。

【0034】

<実施例2(図2参照)>

実施例1において、板厚1,1mmで、表面にTFETが形成された基板の裏面(第二主面)に、CVD法により厚み1,500ÅのITO薄膜を形成し、陰電極としてCuを100Å、さらに保護層としてAuを2,500Åの厚みで蒸着した以外は実施例1と同様にして本発明のEし素子を作製した。このEし素子についても実施例1と同様にしてTFETの損傷は認められなかった。

【0035】

<実施例3(図3参照)>

実施例2において、板厚1,1mmで、表面にTFETが形成された基板の裏面(第二主面)に、スパッタリング法により所定のマスク(画像表示面をマスクするパターン)を介して厚み3,000Åの銀の薄膜を形成した以外は実施例2と同様にして本発明のEし素子を作製した。このEし素子についても実施例1と同様にしてTFETの損傷は認められなかった。

【0036】

<実施例4(図4参照)>

実施例2において、板厚1,1mmで、表面にTFETが形成された基板の裏面(第二主面)に、スパッタリング法により厚み1,000Åの銀の薄膜を形成し、Eし層および陰電極を形成後、上記の銀の薄膜を図3に示す形状に相当なマスクを介してドライエッチングにより除去した以外は実施例3と同様にして本発明のEし素子を作製した。このEし素子についても実施例1と同様にしてTFETの損傷は認められなかった。

【0037】

【発明の効果】

以上の如き本発明によれば、充分に帯電防止処理されたEし素子およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の帯電防止Eし素子を説明する図。

【図2】本発明の別の実施形態の帯電防止Eし素子を説明する図。

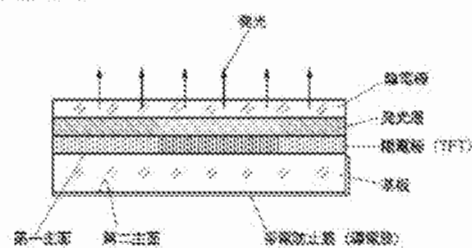
【図3】本発明の帯電防止Eし素子の画像表示面を説明する図。

【図4】本発明の方法を説明する図。

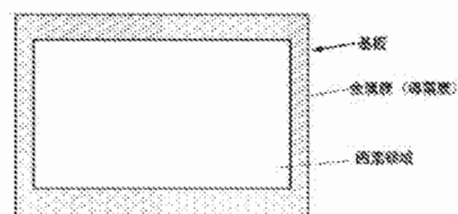
【図5】従来のEし素子の基本構成を示す図。

【図6】従来のEし素子の基本構成を示す図。

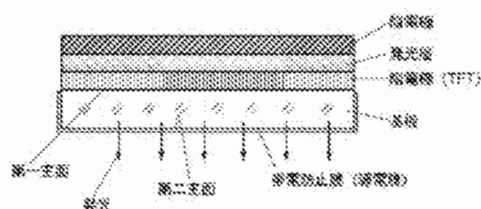
【図 1】



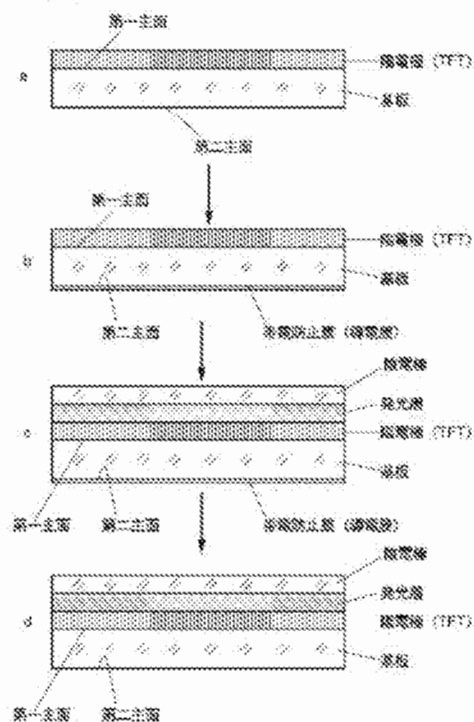
【図 3】



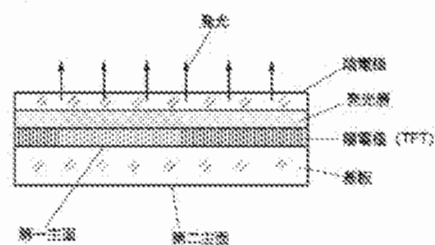
【図 2】



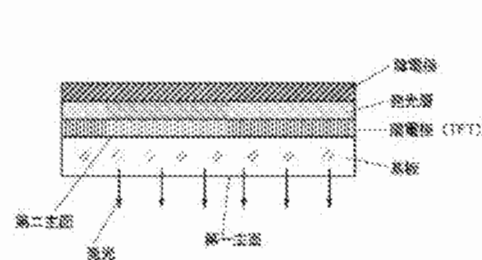
【図 4】



【図 5】



【図 6】





Espacenet

Bibliographic data: JP2003195775 (A) — 2003-07-09

ELECTRO-OPTICAL DEVICE, MANUFACTURING METHOD THEREFOR, CIRCUIT BOARD, MANUFACTURING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

Inventor(s): MIYAZAWA TAKASHI ± (MIYAZAWA TAKASHI)

Applicant(s): SEIKO EPSON CORP ± (SEIKO EPSON CORP)

Classification: - international: G09F9/00; G09F9/30; G09F9/33; H01L27/32; H01L29/786; H01L51/50; H01L51/52; H05B33/02;
(IPC1-7): G09F9/00; G09F9/30; G09F9/33;
H01L29/786; H05B33/02; H05B33/14
- cooperative: H01L51/5262; H05B33/22; G02F1/133502;
H01L27/3244

Application number: JP20010398522 20011227

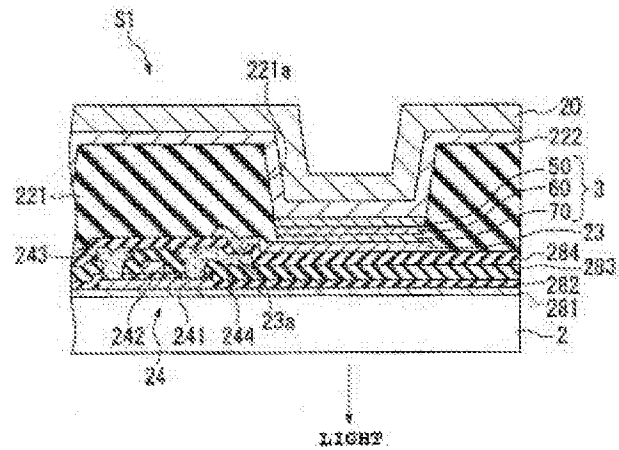
Priority number(s): JP20010398522 20011227

Also published as: CN1251556 (C) CN1429054 (A) CN1633224 (A) CN1633224 (B)
CN1901244 (A) EP1324642 (A2) EP1324642 (A3)
EP1976340 (A2) EP1976340 (A3) JP4182467 (B2)
KR100512047 (B1) KR20030057371 (A) TW200301456 (A)
TWI301605 (B) US2003160247 (A1) US2007170429 (A1)
US7211838 (B2) US7714328 (B2) less

Abstract of JP2003195775 (A)

PROBLEM TO BE SOLVED: To provide an electro-optical device capable of improving an efficiency of externally taking out light, and realizing high visibility. ;SOLUTION: An organic EL display device has a plurality of material layers including light emitting elements 3, and between a substrate 2, which is placed on the front surface among a plurality of the material layers placed in the direction of taking out the light from a light emitting element 3, and the light emitting element 3, 1st and 2nd interlayer insulating layers 283, 284 having a refractive index lower than that of the substrate 2 are arranged. ;COPYRIGHT: (C)2003,JPO

Fig. 3



(11)特許出願公開番号

特開2003-195775

(P2003--195775A)

(43)公開日 平成15年7月9日(2003.7.9)

(51)IntCl. ⁷		識別記号	F I	テマコード*(参考)
G 0 9 F	9/00	3 1 3	G 0 9 F 9/00	3 1 3 3 K 0 0 7
	9/30	3 6 5	9/30	3 6 5 Z 5 C 0 9 4
	9/33		9/33	Z 5 F 1 1 0
H 0 1 L	29/786		H 0 5 B 33/02	5 G 4 3 5
H 0 5 B	33/02		33/14	A

審査請求 未請求 請求項の数27 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願2001-398522(P2001-398522)

(22)出願日 平成13年12月27日(2001.12.27)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 發明者 宮澤 廣士

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(74) 代理人 100095728

并理士 上柳 雅蕃 (外2名)

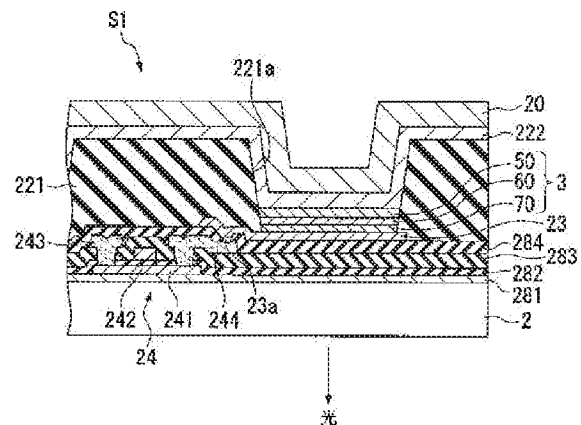
最終頁に続く

(54)【発明の名称】 電気光学装置、電気光学装置の製造方法、回路基板、回路基板の製造方法、電子機器

(57) 【要約】

【課題】 光の外部取り出し効率を向上でき、高い視認性を実現される電気光学装置を提供する。

【解決手段】 有機EL表示装置は、発光素子3を含む複数の材料層を有しており、発光素子3からの光が取り出される方向に位置する複数の材料層のうち、最表面に位置する基板2と発光素子3との間には、基板2の屈折率より低い屈折率を有する第1、第2層間絶縁層283、284が配置されている。



【特許請求の範囲】

【請求項1】 電気光学素子を有する電気光学素子層を含む複数の材料層が積層されている電気光学装置であって、前記電気光学素子からの光が取り出される方向に位置する複数の材料層が配置され、前記複数の材料層のうち最表面に位置する表面材料層と前記電気光学素子層との間に前記表面材料層の屈折率より低い屈折率を有する低屈折率層が配置されていることを特徴とする電気光学装置。

【請求項2】 請求項1に記載の電子光学装置において、前記電気光学素子は発光素子であることを特徴とする電気光学装置。

【請求項3】 請求項1または請求項2に記載の電気光学装置において、前記低屈折率層が層間絶縁層として形成されていることを特徴とする電気光学装置。

【請求項4】 請求項1～請求項3のいずれか一項に記載の電気光学装置において、前記低屈折率層の屈折率は1.5以下であることを特徴とする電気光学装置。

【請求項5】 請求項1～請求項3のいずれか一項に記載の電気光学装置において、前記低屈折率層の屈折率は1.2以下であることを特徴とする電気光学装置。

【請求項6】 請求項1～請求項5のいずれか一項に記載の電気光学装置において、前記低屈折率材料は、光を透過可能な多孔質体であることを特徴とする電気光学装置。

【請求項7】 請求項1～請求項6のいずれか一項に記載の電気光学装置において、前記低屈折率材料は、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマーのうち少なくともいずれか1つからなることを特徴とする電気光学装置。

【請求項8】 請求項1～請求項7のいずれか一項に記載の電気光学装置において、前記低屈折率材料は、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したものであることを特徴とする電気光学装置。

【請求項9】 請求項8に記載の電気光学装置において、前記低屈折率材料は、フッ化マグネシウムの微粒子を分散したゲルを含むことを特徴とする電気光学装置。

【請求項10】 請求項1～請求項9のいずれか一項に記載の電気光学装置において、前記電気光学素子は、有機エレクトロルミネッセンス素子からなることを特徴とする電気光学装置。

【請求項11】 請求項1～請求項10のいずれか一項

に記載の電気光学装置において、

さらに能動素子を備えていることを特徴とする電気光学装置。

【請求項12】 請求項11に記載の電気光学装置において、

前記能動素子はトランジスタであることを特徴とする電気光学装置。

【請求項13】 請求項12に記載の電気光学装置において、

前記トランジスタは薄膜トランジスタであることを特徴とする電気光学装置。

【請求項14】 第1の基材上に薄膜トランジスタを配置する工程と、前記薄膜トランジスタ及び前記第1の基材を含む第2の基材上に低屈折率層を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項15】 基板上に複数の材料層が積層されている回路基板であって、前記基板より屈折率が低い低屈折率材料からなる、少なくとも1つの低屈折率層が配置されていることを特徴とする回路基板。

【請求項16】 請求項15に記載の回路基板において、前記複数の材料層のうち少なくとも1つは層間絶縁層であり、前記層間絶縁層は前記低屈折率材料からなることを特徴とする回路基板。

【請求項17】 請求項15又は請求項16に記載の回路基板において、前記低屈折率層の屈折率は1.5以下であることを特徴とする回路基板。

【請求項18】 請求項15又は請求項16に記載の回路基板において、前記低屈折率層の屈折率は1.2以下であることを特徴とする回路基板。

【請求項19】 請求項15～請求項18のいずれか一項に記載の回路基板において、前記低屈折率材料は、光を透過可能な多孔質体であることを特徴とする回路基板。

【請求項20】 請求項15～請求項19のいずれか一項に記載の回路基板において、前記低屈折率材料は、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマーのうち少なくともいずれか1つからなることを特徴とする回路基板。

【請求項21】 請求項15～請求項20のいずれか一項に記載の回路基板において、前記低屈折率材料は、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したものであることを特徴とする回路基板。

【請求項22】 請求項21に記載の回路基板において、

前記低屈折率材料は、フッ化マグネシウムの微粒子を分散したゲルを含むことを特徴とする回路基板。

【請求項23】 請求項15～請求項22のいずれか一項に記載の回路基板において、さらに能動素子を備えていることを特徴とする回路基板。

【請求項24】 請求項23に記載の回路基板において、前記能動素子はトランジスタであることを特徴とする回路基板。

【請求項25】 第1の基材上にトランジスタを配置する工程と、前記トランジスタ及び前記第1の基材を含む第2の基材上に低屈折率層を形成する工程とを含むことを特徴とする回路基板の製造方法。

【請求項26】 請求項1～請求項13のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【請求項27】 請求項15～請求項24のいずれか一項に記載の回路基板を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学素子が発する光や電気光学素子により変調された光が効率良く取り出される電気光学装置及び電気光学装置の製造方法、この電気光学装置を備えた電子機器、並びに回路基板及び回路基板の製造方法に関するものである。

【0002】

【従来の技術】従来、液晶装置、有機EL（エレクトロルミネッセンス；electroluminescence）装置等の電気光学装置においては、基板上に複数の回路素子、電極、液晶又はEL素子等が積層された構成を有するものがある。例えば有機EL装置においては、発光物質を含む発光層を陽極及び陰極の電極層で挟んだ構成の発光素子を有しており、陽極側から注入された正孔と、陰極側から注入された電子とを発光能を有する発光層内で再結合し、励起状態から失活する際に発光する現象を利用している。

【0003】

【発明が解決しようとする課題】一般に電気光学装置は電気光学素子層を含めて複数の材料層により構成されているので、電気光学素子層が発した光あるいは変調した光を外部に取り出す際には、光が通過する材料層によって減衰してしまい、十分な光の取り出し効率が得られないことがある。

【0004】本発明はこのような事情に鑑みてなされたものであって、光の外部取り出し効率を向上でき、高い視認性が実現される電気光学装置及びその製造方法、回路基板及びその製造方法、電子機器を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の課題を解決するため、本発明の電気光学装置は、電気光学素子を有する電気光学素子層を含む複数の材料層が積層されている電気光学装置であって、前記電気光学素子からの光が取り出される方向に位置する複数の材料層が配置され、前記複数の材料層のうち最表面に位置する表面材料層と前記電気光学素子層との間に前記表面材料層の屈折率より低い屈折率を有する低屈折率層が配置されていることを特徴とする。

【0006】ここで、前記「電気光学素子からの光」とは電気光学素子が発した光のみを指すのではなく、例えば、電気光学素子によって透過光や反射光が変調された光をも含む。「最表面に位置する表面材料層」とは外界と接する材料層を意味している。

【0007】本発明によれば、電気光学素子からの光は表面材料層より低屈折率な低屈折率層を通過してから表面材料層に入射するので、臨界角以上の角度で低屈折率層に入射した光は表面材料層との界面で臨界角以下となる方向に屈折し、表面材料層内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し高い視認性を得ることができる。また、屈折率と誘電率とは強い正の相関関係があり、所定の材料層を低屈折率層とすることにより、低誘電率層を形成できる。

【0008】前記電気光学素子としては、例えば、液晶素子、電気泳動素子、電子放出素子等が採用可能であるが、上記の電気光学装置の構成は、電気光学素子が発光素子である場合に特に好適である。発光素子としては、例えば、LED（発光ダイオード）素子、LD（レーザーダイオード）素子、EL（エレクトロルミネッセンス）素子、電子放出素子を用いた発光素子などが挙げられる。

【0009】上記の電気光学装置において、前記低屈折率層を層間絶縁層とすることにより、層間絶縁層を通過する光の取り出し効率を向上させることができる。また、屈折率と誘電率とは正の強い相関関係を示すので、層間絶縁層により、例えば、配線や電極などの導電部材が絶縁されている場合、配線間に生ずる容量を減ずるという利点も有することになる。したがって、高い光の取り出し効率と高速動作とを併せ持つ電気光学装置となる。

【0010】この場合において、前記低屈折率層の屈折率は1.5以下に設定され、好ましくは1.2以下に設定される。

【0011】低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウムあるいはこれを含む材料、フッ化マグネシウムの微粒子を分散したゲル、フッ素系ポリマーあるいはこれを含む材料、分岐構造を有するような多孔性ポリマー、所定

の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有した材料などが挙げられる。

【0012】前記電気光学素子としては、例えば、有機エレクトロルミネッセンス素子が使用可能である。有機エレクトロルミネッセンス素子は、例えば、低電圧駆動が可能であり、また、液晶素子に比べて視野角依存性が少ないなど、種々の有利性を有している。

【0013】上記の電気光学装置において、更に能動素子を設けても良い。これにより、アクティブ駆動が可能となる。前記能動素子としては、例えば、薄膜トランジスタをはじめとするトランジスタや、薄膜ダイオード等が挙げられる。

【0014】本発明の電気光学装置の製造方法は、第1の基材上に薄膜トランジスタを配置する工程と、前記薄膜トランジスタ及び前記第1の基材を含む第2の基材上に低屈折率層を形成する工程とを含むことを特徴とする。

【0015】本発明の回路基板は、基板上に複数の材料層が積層されている回路基板であって、前記基板より屈折率が低い低屈折率材料からなる、少なくとも1つの低屈折率層が配置されていることを特徴とする。

【0016】上記の回路基板において、前記複数の材料層のうち少なくとも1つは層間絶縁層であり、前記層間絶縁層は前記低屈折率材料からなる。前記低屈折率層の屈折率は1.5以下であり、好ましくは1.2以下である。

【0017】前記低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマー。所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したもの、フッ化マグネシウムの微粒子を分散したゲルなどが挙げられる。

【0018】この場合において、回路基板は能動素子を備えており、能動素子としてはトランジスタなどが挙げられる。

【0019】本発明の回路基板の製造方法は、第1の基材上にトランジスタを配置する工程と、前記トランジスタ及び前記第1の基材を含む第2の基材上に低屈折率層を形成する工程とを含むことを特徴とする。

【0020】本発明の電子機器は、上記本発明の電気光学装置あるいは回路基板を備えたことを特徴とする。本発明によれば、表示品位に優れ、明るい画面の表示部を備えた電子機器を実現できる。

【0021】

【発明の実施の形態】以下、本発明の電気光学装置について図1、図2、図3を参照しながら説明する。図1、図2は本発明に係る電気光学装置を、有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置に適用した場合の一例を示すものであって、図1は全体回路図、図2は、図1のうち対向電極や発光素子

である有機エレクトロルミネッセンス素子を取り除いた状態での各画素の拡大平面図である。

【0022】なお、本実施形態では、有機エレクトロルミネッセンス素子（以下、適宜「EL素子」と称する）を用いた表示装置を例として説明するが、液晶素子、電気泳動素子、電子放出素子などを用いた表示装置、あるいは、LED（発光ダイオード）素子、LD（レーザーダイオード）素子などの発光素子を用いた表示装置にも適用可能である。

【0023】図1に示すように、有機エレクトロルミネッセンス表示装置（以下、適宜「有機EL表示装置」と称する）S1は、基板と、基板上に配線された複数の走査線131と、これら走査線131に対して交差する方向に延びるように配線された複数のデータ線132と、これらデータ線132に並列に延びるように配線された複数の共通給電線133とを有しており、走査線131及びデータ線132の各交点に対応して、画素（画素領域素子）ARが設けられて構成されたものである。

【0024】データ線132に対しては、シフトレジスタ、レベルシフタ、ビデオライン、D/Aコンバータ、デコード、ラッチ回路及びアナログスイッチのうち少なくとも1つを備えるデータ線駆動回路90が電氣的に接続されている。一方、走査線131に対しては、シフトレジスタ、レベルシフタ及びデコードのうち少なくとも1つを備える走査線駆動回路80が電氣的に接続されている。

【0025】なお、本実施形態では、データ線駆動回路90及び走査線駆動回路80はともに基板上に配置されているが、データ線駆動回路90及び走査線駆動回路80のそれぞれを基板上に配置するか、または基板の外に配置するかについては、適宜選択できる。

【0026】また、図1に示すように、画素領域ARの各々には、走査線131を介して走査信号がゲート電極に供給される第1の薄膜トランジスタ22と、この第1の薄膜トランジスタ22を介してデータ線132から供給される画像信号を保持する保持容量capと、保持容量capによって保持された画像信号がゲート電極に供給される第2の薄膜トランジスタ24と、この第2の薄膜トランジスタ24を介して共通給電線133に電氣的に接続したときに共通給電線133から駆動電流が流れ込む画素電極23と、この画素電極（陽極）23と対向電極（陰極）22との間に挟み込まれた発光素子3とが設けられている。なお、発光素子3としては、EL（エレクトロルミネッセンス）素子の他に、LED（発光ダイオード）素子、LD（レーザーダイオード）素子などの発光素子が挙げられる。

【0027】走査線131を介して供給される走査信号により第1の薄膜トランジスタ22がオンとなると、そのときのデータ線132を介して供給されるデータ信号に対応する電荷が保持容量capに保持され、該保持容

量capの状態に応じて、第2の薄膜トランジスタ24の導通状態が決まる。そして、第2の薄膜トランジスタ24のチャネルを介して共通給電線133から画素電極23に電流が流れ、さらに発光層60を通じて対向電極222に電流が流れることにより、発光層60は、これを流れる電流量に応じて発光する。

【0028】次に、図2を参照しながら、各画素ARの平面構造について説明する。図2は、対向電極や有機エレクトロルミネッセンス素子を取り除いた状態での図1の拡大平面図である。図2に示すように、平面視長方形に設定された画素電極23は、その四辺を、データ線132、共通給電線133、走査線131及び図示しない他の画素電極用の走査線によって囲まれている。なお、画素電極の形状は長方形に限られず、円形、長円形等の形状でもよい。後述するインクジェット法のように液体材料を用いて発光層などEL素子を構成する材料層を形成する場合は、画素電極を特に角のない円形や長円形などの形状とすることにより均一な材料層が得られる。

【0029】次に、有機EL表示装置の断面構造を図3を参照しながら説明する。図3は図2のA-A矢視断面図である。ここで、図3に示す有機EL表示装置は、薄膜トランジスタ(TFT:Thin Film Transistor)が配置された基板2側から光を取り出す形態、いわゆるバックエミッション型である。したがって、本実施形態においては、基板2が、発光素子3からの光が取り出される最表面に位置する表面材料層となっている。なお、基板2の表面に他の材料層が積層された場合には、この他の材料層が表面材料層となる。

【0030】図3に示すように、バックエミッション型の有機EL表示装置S1は、基板2と、インジウム錫酸化物(ITO:Indium Tin Oxide)等の透明電極材料からなる陽極(画素電極)23と、陽極23上に配置された発光素子3と、陽極23との間で発光素子3を挟み込むように配置されている陰極(対向電極)222と、基板2上に形成され、画素電極23に対する通電を制御する通電制御部としての薄膜トランジスタ(以下、「TFT」と称する)24とを有している。更に、陰極222の上層には封止層20が設けられている。陰極222は、アルミニウム(Al)やマグネシウム(Mg)、金(Au)、銀(Ag)、カルシウム(Ca)から選ばれる少なくとも1つの金属から構成されている。陰極222は上述した各材料の合金や積層したものを含む。TFT24は、走査線駆動回路80及びデータ線駆動回路90からの作動指令信号に基づいて作動し、画素電極23への通電制御を行う。

【0031】発光素子3は、陽極23から正孔を輸送可能な正孔輸送層70と、電気光学物質の1つである有機EL物質を含む発光層60と、発光層60の上面に設けられている電子輸送層50とから概略構成されている。

そして、電子輸送層50の上面に陰極(対向電極)222が配置されている。

【0032】TFT24は、 SiO_2 を主体とする下地保護層281を介して基板2の表面に設けられている。このTFT24は、下地保護層281の上層に形成されたシリコン層241と、シリコン層241を覆うように下地保護層281の上層に設けられたゲート絶縁層282と、ゲート絶縁層282の上面のうちシリコン層241に対向する部分に設けられたゲート電極242と、ゲート電極242を覆うようにゲート絶縁層282の上層に設けられた第1層間絶縁層283と、ゲート絶縁層282及び第1層間絶縁層283にわたって開孔するコンタクトホールを介してシリコン層241と接続するソース電極243と、ゲート電極242を挟んでソース電極243と対向する位置に設けられ、ゲート絶縁層282及び第1層間絶縁層283にわたって開孔するコンタクトホールを介してシリコン層241と接続するドレイン電極244と、ソース電極243及びドレイン電極244を覆うように第1層間絶縁層283の上層に設けられた第2層間絶縁層284とを備えている。

【0033】そして、第2層間絶縁層284の上面に画素電極23が配置され、画素電極23とドレイン電極244とは、第2層間絶縁層284に設けられたコンタクトホール23aを介して接続されている。また、第2層間絶縁層284の表面のうち発光素子(EL素子)3が設けられている以外の部分と陰極222との間には、合成樹脂などからなる第3絶縁層(バンク層)221が設けられている。

【0034】なお、ドレイン電極244の上層に、TFTの保護層を設けても良い。この保護層の形成材料としては、珪素を含む絶縁層(特に窒化酸化珪素層又は窒化珪素層が好ましい)を用いることができる。この保護層は形成されたTFT24を金属イオンや水分から保護する役割を持つ。すなわち、保護層はこれらの金属イオンなど可動イオンをTFT24側に侵入させない保護層としても働く。

【0035】また、保護層に放熱効果を持たせることで発光素子の熱劣化を防ぐことも有効である。ただし、発光素子として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁層は用いないことが好ましい。

【0036】可動イオンの透過を妨げ、さらに放熱効果をもつ透光性材料としては、B(ホウ素)、C(炭素)、N(窒素)から選ばれた少なくとも一つの元素と、Al(アルミニウム)、Si(珪素)、P(リン)から選ばれた少なくとも一つの元素とを含む絶縁層が挙げられる。例えば、窒化アルミニウム(Al_xN_y)に代表されるアルミニウムの窒化物、炭化珪素(Si_xC_y)に代表される珪素の炭化物、窒化珪素(Si_xN_y)に代表される珪素の窒化物、窒化ホウ素(B_xN_y)

y)に代表されるホウ素の窒化物、リン化ホウ素($B \times P \times y$)に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム($Al \times O \times y$)に代表されるアルミニウムの酸化物は透光性に優れ熱伝導率が $20 \text{ Wm}^{-1}\text{K}^{-1}$ であり、好ましい材料の一つと言える。これらの材料には上記効果だけでなく、水分の侵入を防ぐ効果もある。

【0037】上記化合物に他の元素を組み合わせることでもできる。例えば、酸化アルミニウムに窒素を添加して、 $AlN \times O \times y$ で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分や可動イオン等の侵入を防ぐ効果がある。

【0038】また、Si、Al、N、O、Mを含む絶縁膜(但し、Mは希土類元素の少なくとも一種、好ましくはCe(セリウム)、Yb(イットルビウム)、Sm(サマリウム)、Er(エルビウム)、Y(イットリウム)、La(ランタン)、Gd(ガドリニウム)、Dy(ジスプロシウム)、Nd(ネオジウム)から選ばれた少なくとも一つの元素)を用いることもできる。これらの材料にも放熱効果だけでなく、水分や可動イオンの侵入を防ぐ効果がある。

【0039】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜(特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。)を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚(好ましくは $5 \sim 100 \text{ nm}$)で用いることが好ましい。

【0040】なお、保護層の目的はあくまで可動イオンや水分からTFTを保護することにあるので、その効果を損なうものでないことが好ましい。したがって、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、可動イオンや水分の透過を妨げる絶縁膜(代表的には窒化珪素膜($Si \times N \times y$)や窒化酸化珪素膜($SiO \times N \times y$))とを積層することは有効である。

【0041】シリコン層241のうち、ゲート絶縁層282を挟んでゲート電極242と重なる領域がチャネル領域とされている。また、シリコン層241のうち、チャネル領域のソース側にはソース領域が設けられている。一方、チャネル領域のドレイン側にはドレイン領域が設けられている。このうち、ソース領域が、ゲート絶縁層282と第1層間絶縁層283とにわたって開孔するコンタクトホールを介して、ソース電極243に接続されている。一方、ドレイン領域が、ゲート絶縁層282と第1層間絶縁層283とにわたって開孔するコンタクトホールを介して、ソース電極243と同一層からなるドレイン電極244に接続されている。画素電極23は、ドレイン電極244を介して、シリコン層241の

ドレイン領域に接続されている。

【0042】本例では、発光層60からの発光光をTFT24が設けられている基板2側から取り出す構成(バックエミッション型)であるため、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが用いられる。特に、基板の形成材料としては、安価なソーダガラスが好適に用いられる。ソーダガラスを用いた場合、これにシリカコート層を施すのが、酸アルカリに弱いソーダガラスを保護する効果を有し、さらに基板の平坦性をよくする効果も有するため好ましい。また、基板に色フィルター膜や発光性物質を含む色変換膜、あるいは誘電体反射膜を配置して、発光色を制御するようにしてもよい。

【0043】一方、TFT24が設けられている基板2とは反対側から発光光を取り出す構成(トップエミッション型)である場合には、基板2は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0044】下地保護層281を形成する際には、基板2に対し、TEOS(テトラエトキシシラン)や酸素ガスなどを原料としてプラズマCVD法によって製膜することにより、下地保護層281として厚さ約 $200 \sim 500 \text{ nm}$ のシリコン酸化膜が形成される。

【0045】シリコン層241を形成する際には、まず、基板2の温度を約 350°C に設定して、下地保護膜281の表面にプラズマCVD法あるいはICVD法により厚さ約 $30 \sim 70 \text{ nm}$ のアモルファスシリコン層を形成する。次いで、このアモルファスシリコン層に対してレーザアニール法、急速加熱法、または固相成長法などによって結晶化工程を行い、アモルファスシリコン層をポリシリコン層に結晶化する。レーザアニール法では、例えばエキシマレーザでビームの長寸が 400 mm のラインビームを用い、その出力強度は例えば 200 mJ/cm^2 とする。ラインビームについては、その短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査する。次いで、ポリシリコン層をフォトリソグラフィ法によってパターンニングして、島状のシリコン層241とする。

【0046】なお、シリコン層241は、図1に示した第2の薄膜トランジスタ24のチャネル領域及びソース・ドレイン領域となるものであるが、異なる断面位置においては第1の薄膜トランジスタ22のチャネル領域及びソース・ドレイン領域となる半導体膜も形成されている。つまり、二種類のトランジスタ22、24は同時に形成されるが、同じ手順で作られるため、以下の説明に

において、トランジスタに関しては、第2の薄膜トランジスタ24についてのみ説明し、第1の薄膜トランジスタ22についてはその説明を省略する。

【0047】ゲート絶縁層282を形成するには、シリコン層241の表面に対して、TEOSや酸素ガスなどを原料としてプラズマCVD法を用いて製膜することにより、厚さ約60～150nmのシリコン酸化膜または窒化膜からなるゲート絶縁層282が形成される。

【0048】ゲート電極242は、ゲート絶縁層282上にアルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属を含む導電膜をスパッタ法により形成した後、これをパターニングすることにより形成される。

【0049】シリコン層241にソース領域及びドレイン領域を形成するには、ゲート電極242を形成した後、このゲート電極242をパターニング用マスクとして用い、この状態でリンイオンを注入する。その結果、ゲート電極242に対してセルフアライン的に高濃度不純物が導入されて、シリコン層241中にソース領域及びドレイン領域が形成される。なお、不純物が導入されなかった部分がチャネル領域となる。

【0050】第1層間絶縁層283は、基板2より屈折率が低い低屈折率材料からなり、ゲート絶縁層282の上層に形成される。第1層間絶縁層283の形成材料としては、シリコン酸化膜、窒化膜、あるいは多孔性を有するシリコン酸化膜(SiO_2 膜)などが挙げられる。多孔性を有する SiO_2 膜からなるゲート絶縁層282は、反応ガスとして Si_2H_6 と O_2 を用いて、CVD法(化学的気相成長法)により形成される。これらの反応ガスを用いると、気相中に粒子の大きい SiO_2 が形成され、ゲート絶縁層282の上に堆積する。そのため、第1層間絶縁層283は、層中に多くの空隙を有し、多孔質体となる。そして、第1層間絶縁層283は多孔質体となることによって低屈折率材料となり、光の取り出し効率が向上できる。

【0051】多孔質体からなる低屈折率層は、密度が 0.4 g/cm^3 以下であることが好ましい。

【0052】低屈折率層としての第1層間絶縁層283の屈折率は1.5以下、好ましくは1.2以下に設定される。

【0053】なお、第1層間絶縁層283の表面にH(水素)プラズマ処理をしてもよい。これにより、空隙の表面の $\text{Si}-\text{O}$ 結合中のダングリングボンドが $\text{Si}-\text{H}$ 結合に置き換えられ、膜の耐吸湿性が良くなる。そして、このプラズマ処理された第1絶縁層283の表面に別の SiO_2 層を設けてもよい。また、第1層間絶縁層283をCVD法で形成する際の反応ガスは、 $\text{Si}_2\text{H}_6 + \text{O}_2$ の他に、 $\text{Si}_2\text{H}_6 + \text{O}_2$ 、 $\text{Si}_3\text{H}_8 + \text{O}_2$ 、 $\text{Si}_3\text{H}_8 + \text{O}_2$ としてもよい。更に、上記の反応ガスに加えて、B(ホウ素)含有の反応ガス、F(フッ素)含有の反応

ガスを用いてもよい。

【0054】第1層間絶縁層283を多孔質体として形成する際、多孔性を有する SiO_2 膜と、通常の減圧化学的気相成長法により形成された SiO_2 膜とを積層することにより、膜質の安定した多孔質体としての第1層間絶縁層283を形成することもできる。そして、これらの膜を積層するには、減圧下における SiH_4 と O_2 の雰囲気中において、プラズマを断続的、又は周期的に発生させることによって可能となる。具体的には、第1層間絶縁層283は、基板2を所定のチャンバ内に収容し、例えば400℃に保持しながら、反応ガスとして SiH_4 と O_2 を用い、RF電圧(高周波電圧)をチャンバに印加することにより形成される。成膜中においては、 SiH_4 流量、 O_2 流量が一定であるのに対し、RF電圧は10秒の周期でチャンバに印加される。これにともない、プラズマが10秒の周期で発生、消滅する。このように、時間変化するプラズマを用いることにより、1つのチャンバ内で、減圧CVDを用いるプロセスと、減圧下におけるプラズマCVDを用いるプロセスとを繰り返すことができる。そして、減圧CVDと減圧下におけるプラズマCVDとを繰り返すことにより、膜中に多数の空隙を有する SiO_2 膜が形成される。すなわち、第1層間絶縁層283は多孔性を有することになる。

【0055】第1層間絶縁層283は、エアロゲルによって構成することもできる。エアロゲルとは、金属アルコキシドのゾルゲル反応により形成される湿潤ゲルを超臨界乾燥することによって得られる均一な超微細構造を持った光透過性の多孔質体である。エアロゲルにはシリカエアロゲルやアルミナを基調としたエアロゲルがある。このうち、シリカエアロゲルは、体積の90%以上を空隙が占め、残りが樹枝状に凝集した数10nmの微細な SiO_2 粒子で構成された材料であり、粒子径が光の波長よりも小さいため、光透過性を有し、その屈折率は1.2以下である。また、空隙率を変化させることによって屈折率を調整できる。ここで、基板2の材料であるガラスの屈折率は1.54、石英の屈折率は1.45である。

【0056】シリカエアロゲルは、ゾルゲル法により湿潤ゲルを作製する工程、湿潤ゲルを熟成させる工程、及び超臨界乾燥法により湿潤ゲルを乾燥してエアロゲルを得る超臨界乾燥工程を経て製造される。超臨界乾燥法は、固相と液相とからなるゼリー状のゲル物質中の液体を超臨界流体と置換、除去することにより、ゲルを収縮させることなくゲル物質を乾燥するのに適した方法であって、高い空隙率を有するエアロゲルが得られる。

【0057】例えば第1層間絶縁層283をシリカエアロゲルによって形成するには、ゲート絶縁層282の上にエアロゲルの原料である湿潤ゲルをスピンコート法等を用いてコーティングし、超臨界乾燥することにより

形成される。超臨界流体を用いた超臨界乾燥法によって、湿潤ゲル中の溶媒を超臨界流体で置換することにより、湿潤ゲル中の溶媒が除去される。なお、超臨界流体としては、二酸化炭素(CO_2)、若しくは、メタノールやエタノールのようなアルコール、 NH_3 、 H_2O 、 N_2O 、メタン、エタン、エチレン、プロパン、ペンタン、イソプロパノール、イソブタノール、シクロトリフルオロメタン、モノフルオロメタン、シクロヘキサノールなどを用いることができる。

【0058】低屈折率層(各絶縁層)をシリカエアロゲルによって形成する際、基材上にスピンコートなどによって湿潤ゲルを塗布した後、超臨界乾燥するが、湿潤ゲルに合成樹脂(有機物)を混合しておいてもよい。この場合の合成樹脂は、その熱変性温度が超臨界流体の臨界温度よりも高く光を透過可能な合成樹脂である。超臨界流体として例えばアルコールを用いた場合、その熱変性温度がアルコールの臨界温度よりも高く光を透過可能な合成樹脂としては、ヒドロキシプロピルセルロース(HPC)、ポリビニルブチラール(PVB)、エチルセルロース(EC)等が挙げられる(なお、PVB及びECはアルコールに可溶で水には不溶)。溶媒としてエーテルを用いる場合には樹脂として塩素系ポリエチレン等を選択し、また CO_2 を溶媒として用いる場合にはHPC等を選択することが望ましい。

【0059】低屈折率層としては、シリカエアロゲルの他にアルミナを基調としたエアロゲルでもよく、基板2より低屈折率で光を透過可能な多孔質体であればよい。そして、多孔質体(エアロゲル)は密度が 0.4 g/cm^3 以下であることが好ましい。

【0060】低屈折率層としては多孔質体でなくてもよく、エポキシ系接着剤(屈折率:1.42)やアクリル系接着剤(屈折率:1.43)など、光を透過可能で基板2より低屈折率な高分子材料からなる接着剤でもよい。これらの接着剤を単独で使用した場合であっても、基板2を構成するガラスや石英よりも屈折率が低いため、光の取り出し効率を向上できる。

【0061】更に、低屈折率層としては、多孔質シリカでもよいし、フッ化マグネシウム(屈折率:1.38)あるいはこれを含む材料でもよい。フッ化マグネシウムによる低屈折率層はスパッタリングによって形成可能である。あるいは、フッ化マグネシウムの微粒子を分散したゲルでもよい。あるいは、フッ素系ポリマー又はこれを含む材料、例えば、パーフルオロアルキルポリエーテル、パーフルオロアルキルアミン、またはパーフルオロアルキルポリエーテル-パーフルオロアルキルアミン混合フィルムでもよい。

【0062】更に、低屈折率層として、所定のポリマーバインダーに、可溶性もしくは分散性である低屈折率のフルオロカーボン化合物を混在したものであってもよい。ポリマーバインダーとしては、ポリビニルアルコール、ポ

リアクリル酸、ポリビニルピロリドン、ポリビニルスルホン酸ナトリウム塩、ポリビニルメチルエーテル、ポリエチレングリコール、ポリ α -トリフルオロメチルアクリル酸、ポリビニルメチルエーテル-コー無水マレイン酸、ポリエチレングリコール-コーポリビレングリコール、ポリメタアクリル酸などが挙げられる。また、フルオロカーボン化合物としては、パーフルオロオクタン酸-アンモニウム塩、パーフルオロオクタン酸-テトラメチルアンモニウム塩、C-7とC-10のパーフルオロアルキルスルホン酸アンモニウム塩、C-7とC-10のパーフルオロアルキルスルホン酸テトラメチルアンモニウム塩、フッ素化アルキル第4級アンモニウムアイオダイド、パーフルオロアジピン酸、およびパーフルオロアジピン酸の第4級アンモニウム塩などが挙げられる。

【0063】更に、低屈折率層として空隙を導入する方法が有効であるため、上記エアロゲルの他に、微粒子を用いて微粒子間または微粒子内のマイクロボイドとして空隙を形成してもよい。微粒子としては、無機微粒子あるいは有機微粒子を低屈折率層に用いることができる。無機微粒子は、非晶質であることが好ましい。無機微粒子は、金属の酸化物、窒化物、硫化物またはハロゲン化物からなることが好ましく、金属酸化物または金属ハロゲン化物からなることがさらに好ましく、金属酸化物または金属フッ化物からなることが最も好ましい。金属原子としては、Na、K、Mg、Ca、Ba、Al、Zn、Fe、Cu、Ti、Sn、In、W、Y、Sb、Mn、Ga、V、Nb、Ta、Ag、Si、B、Bi、Mo、Ce、Cd、Be、PbおよびNiが好ましく、Mg、Ca、BおよびSiがさらに好ましい。二種類の金属を含む無機化合物を用いてもよい。特に好ましい無機化合物は、二酸化ケイ素、すなわちシリカである。

【0064】無機微粒子内マイクロボイドは、例えば、粒子を形成するシリカの分子を架橋させることにより形成することができる。シリカの分子を架橋させると体積が縮小し、粒子が多孔質になる。マイクロボイドを有する(多孔質)無機微粒子は、ゾルーゲル法(特開昭53-112732号、特公昭57-9051号の各公報記載)または析出法(APPLIED OPTICS、27、3356頁(1988)記載)により、分散物として直接合成することができる。また、乾燥・沈澱法で得られた粉体を、機械的に粉碎して分散物を得ることもできる。市販の多孔質無機微粒子(例えば、二酸化ケイ素ゾル)を用いてもよい。マイクロボイドを有する無機微粒子は、低屈折率層の形成のため、適当な媒体に分散した状態で使用することが好ましい。分散媒としては、水、アルコール(例、メタノール、エタノール、イソプロピルアルコール)およびケトン(例、メチルエチルケトン、メチルイソブチルケトン)が好ましい。

【0065】有機微粒子も、非晶質であることが好ましい。有機微粒子は、モノマーの重合反応(例えば乳化重

合法)により合成されるポリマー微粒子であることが好ましい。有機微粒子のポリマーはフッ素原子を含むことが好ましい。含フッ素ポリマーを合成するために用いるフッ素原子を含むモノマーの例には、フルオロオレフィン類(例、フルオロエチレン、ビニリデンフルオリド、テトラフルオロエチレン、ヘキサフルオロプロピレン、パーフルオロ-2, 2-ジメチル-1, 3-ジオキソール)、アクリル酸またはメタクリル酸のフッ素化アルキルエステル類およびフッ素化ビニルエーテル類が含まれる。フッ素原子を含むモノマーとフッ素原子を含まないモノマーとのコポリマーを用いてもよい。フッ素原子を含まないモノマーの例には、オレフィン類(例、エチレン、プロピレン、イソプレン、塩化ビニル、塩化ビニリデン)、アクリル酸エステル類(例、アクリル酸メチル、アクリル酸エチル、アクリル酸2-エチルヘキシル)、メタクリル酸エステル類(例、メタクリル酸メチル、メタクリル酸エチル、メタクリル酸ブチル)、スチレン類(例、スチレン、ビニルトルエン、 α -メチルスチレン)、ビニルエーテル類(例、メチルビニルエーテル)、ビニルエステル類(例、酢酸ビニル、プロピオン酸ビニル)、アクリルアミド類(例、N-tert-ブチルアクリルアミド、N-シクロヘキシルアクリルアミド)、メタクリルアミド類およびアクリルニトリル類が含まれる。

【0066】有機微粒子内マイクロボイドは、例えば、粒子を形成するポリマーを架橋させることにより形成することができる。ポリマーを架橋させると体積が縮小し、粒子が多孔質になる。粒子を形成するポリマーを架橋させるためには、ポリマーを合成するためのモノマーの20モル%以上を多官能モノマーとすることが好ましい。多官能モノマーの割合は、30乃至80モル%であることがさらに好ましく、35乃至50モル%であることが最も好ましい。多官能モノマーの例には、ジエン類(例、ブタジエン、ペンタジエン)、多価アルコールとアクリル酸とのエステル(例、エチレングリコールジアクリレート、1, 4-シクロヘキサジエンジアクリレート、ジペンタエリスリトールヘキサアクリレート)、多価アルコールとメタクリル酸とのエステル(例、エチレングリコールジメタクリレート、1, 2, 4-シクロヘキサントラメタクリレート、ペンタエリスリトールテトラメタクリレート)、ジビニル化合物(例、ジビニルシクロヘキサン、1, 4-ジビニルベンゼン)、ジビニルスルホン、ビスアクリルアミド類(例、メチレンビスアクリルアミド)およびビスメタクリルアミド類が含まれる。粒子間のマイクロボイドは、微粒子を少なくとも2個以上積み重ねることにより形成することができる。

【0067】低屈折率層を、微細空孔と微粒子状無機物とを有する材料によって構成してもよい。この場合、低屈折率層はコーティングにより形成され、微細空孔は層の塗布後に活性化ガス処理を行ない、ガスが層から離脱

することによって形成される。あるいは、2種類以上の超微粒子(例えば、 MgF_2 と SiO_2)を混在させて、膜厚方向にその混合比を変化させることによって低屈折率層を形成してもよい。混合比を変化させることにより屈折率が変化する。超微粒子は、エチルシリケートの熱分解で生じた SiO_2 により接着している。エチルシリケートの熱分解では、エチル部分の燃焼によって、二酸化炭素と水蒸気も発生する。二酸化炭素と水蒸気が層から離脱することにより、超微粒子の間に空隙が生じている。あるいは、多孔質シリカよりなる無機微粉末とバインダーとを含有して低屈折率層を形成してもよいし、含フッ素ポリマーからなる微粒子を2個以上積み重ねることにより、微粒子間に空隙を形成した低屈折率層を形成してもよい。

【0068】分岐構造レベルで空隙率を向上させることもできる。例えばデンドリマーなどの分岐構造を有するポリマーを用いても低屈折率が得られる。

【0069】そして、上記の材料を用いて、低屈折率層は、屈折率が1.5以下、好ましくは1.2以下に設定されていることが望ましい。基板2として屈折率が1.45の石英や、屈折率が約1.54のガラスなどを用いた際、基板2の屈折率より低い屈折率となる。

【0070】ソース電極243及びドレイン電極244を形成するには、まず、第1層間絶縁層283にフォトリソグラフィ法を用いてパターニングすることにより、ソース電極及びドレイン電極に対応するコンタクトホールを形成する。次に、第1層間絶縁層283を覆うように、アルミニウムやクロム、タンタル等の金属からなる導電層を形成した後、この導電層のうち、ソース電極及びドレイン電極が形成されるべき領域を覆うようにパターニング用マスクを設けるとともに、導電層をパターニングすることにより、ソース電極243及びドレイン電極244が形成される。

【0071】第2層間絶縁層284は、第1層間絶縁層283同様、低屈折率材料によって構成され、第1層間絶縁層283の形成方法と同様の手順で第1層間絶縁層283の上層に形成される。ここで、第2層間絶縁層284を形成したら、第2層間絶縁層284のうちドレイン電極244に対応する部分にコンタクトホール23aを形成する。

【0072】発光素子3に接続する陽極23は、ITOやフッ素をドーブしてなる SnO_2 、更に ZnO やポリアミン等の透明電極材料からなり、コンタクトホール23aを介してTFT24のドレイン電極244に接続されている。陽極23を形成するには、前記透明電極材料からなる膜を第2層間絶縁層284上面に形成し、この膜をパターニングすることにより形成される。

【0073】第3絶縁層(バンク層)221はアクリル樹脂、ポリイミド樹脂などの合成樹脂によって構成されている。第3絶縁層221は、陽極23が形成された後

に形成される。具体的な第3絶縁層221の形成方法としては、例えば、アクリル樹脂、ポリイミド樹脂などのレジストを溶媒に融かしたものを、スピンコート、ディップコート等により塗布して絶縁層を形成する。なお、絶縁層の構成材料は、後述するインクの溶媒に溶解せず、しかもエッチング等によってパターンニングしやすいものであればどのようなものでもよい。更に、絶縁層をフォトリソグラフィ技術等により同時にエッチングして、開口部221aを形成することにより、開口部221aを備えた第3絶縁層221が形成される。

【0074】ここで、第3絶縁層221の表面には、親液性（親インク性）を示す領域と、撥液性（撥インク性）を示す領域とが形成される。本実施形態においては、プラズマ処理工程により、各領域を形成するものとしている。具体的にプラズマ処理工程は、予備加熱工程と、開口部221aの壁面並びに画素電極23の電極面を親インク性にする親インク化工程と、第3絶縁層221の上面を撥インク性にする撥インク化工程と、冷却工程とを有している。すなわち、基材（第3絶縁層等を含む基板2）を所定温度（例えば70～80℃程度）に加熱し、次いで親インク化工程として大気雰囲気中で酸素を反応ガスとするプラズマ処理（ O_2 プラズマ処理）を行う。続いて、撥インク化工程として大気雰囲気中で4フッ化メタンを反応ガスとするプラズマ処理（ CF_4 プラズマ処理）を行い、プラズマ処理のために加熱された基材を室温まで冷却することで、親インク性及び撥インク性が所定箇所に付与されることとなる。なお、画素電極23の電極面についても、この CF_4 プラズマ処理の影響を多少受けるが、画素電極23の材料であるITO等はフッ素に対する親和性に乏しいため、親インク化工程で付与された水酸基がフッ素基で置換されることがなく、親インク性が保たれる。

【0075】なお、第1層間絶縁層283、第2層間絶縁層284のそれぞれを低屈折率層としているが、これら2つの層を低屈折率層とする必要はなく、少なくともいずれか一方の層だけ低屈折率層としてもよい。

【0076】一方、第1層間絶縁層283及び第2層間絶縁層284に加えて、ゲート絶縁層282も低屈折率材料により形成してもよい。こうすることにより光の取り出し効率が向上するが、TFTなどトランジスタの性能を向上させるためにはゲート絶縁層を高誘電率材料により形成することが好ましい場合がある。

【0077】また、低屈折率材料からなる層は発光層60からの光が通過する部分に設けられていればよいので、絶縁層以外の層を低屈折率層としてもよい。更には、有機バンク層221を低屈折率層としてもよい。

【0078】正孔輸送層70は陽極23の上面に形成されている。ここで、正孔輸送層70の形成材料としては、特に限定されることなく公知のものが使用可能であり、例えばピラゾリン誘導体、アリーールアミン誘導体、

スチルベン誘導体、トリフェニルジアミン誘導体等が挙げられる。具体的には、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示されるが、トリフェニルジアミン誘導体が好ましく、中でも4,4'-ビス（N（3-メチルフェニル）-N-フェニルアミノ）ビフェニルが好適とされる。

【0079】なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン（CuPc）や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1,1'-ビス（4-N,N-ジトリルアミノフェニル）シクロヘキサン、トリス（8-ヒドロキシキノリノール）アルミニウム等が挙げられるが、特に銅フタロシアニン（CuPc）を用いるのが好ましい。

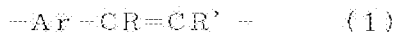
【0080】正孔注入／輸送層70を形成する際には、インクジェット法が用いられる。すなわち、上述した正孔注入／輸送層材料を含む組成物インクを陽極23の電極面上に吐出した後、乾燥処理及び熱処理を行うことにより、電極23上に正孔注入／輸送層70が形成される。なお、この正孔注入／輸送層形成工程以降は、正孔注入／輸送層70及び発光層（有機EL層）60の酸化を防止すべく、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気で行うことが好ましい。例えば、インクジェットヘッド（不図示）に正孔注入／輸送層材料を含む組成物インクを充填し、インクジェットヘッドの吐出ノズルを陽極23の電極面に対向させ、インクジェットヘッドと基材（基板2）とを相対移動させながら、吐出ノズルから1滴当たりの液量が制御されたインク滴を電極面に吐出する。次に、吐出後のインク滴を乾燥処理して組成物インクに含まれる極性溶媒を蒸発させることにより、正孔注入／輸送層70が形成される。

【0081】なお、組成物インクとしては、例えば、ポリエチレンジオキシチオフェン等のポリチオフェン誘導体と、ポリスチレンスルホン酸等との混合物を、イソプロピルアルコール等の極性溶媒に溶解させたものを用いることができる。ここで、吐出されたインク滴は、親インク処理された陽極23の電極面上に広がり、開口部221aの底部近傍に満たされる。その一方で、撥インク処理された第3絶縁層221の上面にはインク滴がはじかれて付着しない。したがって、インク滴が所定の吐出位置からはずれて第3絶縁層221の上面に吐出されたとしても、該上面がインク滴で濡れることがなく、はじかれたインク滴が第3絶縁層221の開口部221a内に転がり込むものとされている。

【0082】発光層60は、正孔注入／輸送層70上面

に形成される。発光層60の形成材料としては、特に限定されることなく、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質からなる発光物質が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン構造を含むものが特に好ましい。低分子蛍光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、8-ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭57-51781、同59-194393号公報等に記載されている公知のものが使用可能である。

【0083】発光層60の形成材料として高分子蛍光体を用いる場合には、側鎖に蛍光基を有する高分子を用いることができるが、好ましくは共役系構造を主鎖に含むもので、特に、ポリチオフェン、ポリ-p-フェニレン、ポリアリーレンビニレン、ポリフルオレンおよびその誘導体が好ましい。中でもポリアリーレンビニレンおよびその誘導体が好ましい。該ポリアリーレンビニレンおよびその誘導体は、下記化学式(1)で示される繰り返し単位を全繰り返し単位の50モル%以上含む重合体である。繰り返し単位の構造にもよるが、化学式(1)で示される繰り返し単位が全繰り返し単位の70%以上であることがさらに好ましい。



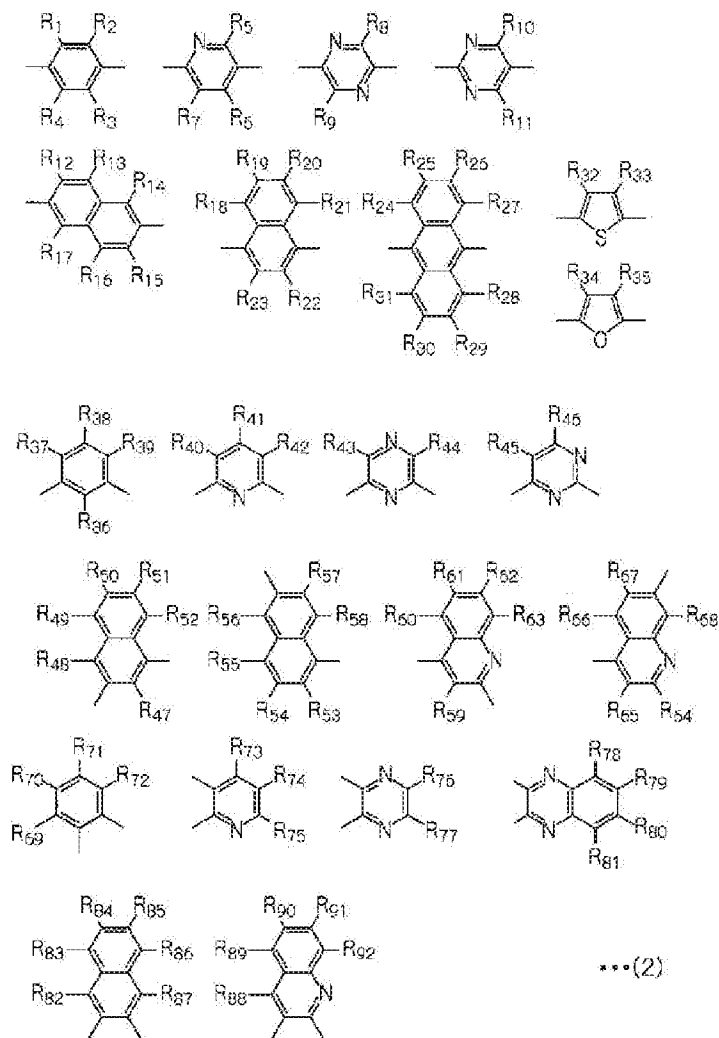
〔ここで、Arは、共役結合に関与する炭素原子数が4個以上20個以下からなるアリーレン基または複素環化合物基、R、R'はそれぞれ独立に水素、炭素数1~20のアルキル基、炭素数6~20のアリール基、炭素数4~20の複素環化合物、シアノ基からなる群から選ばれた基を示す。〕

【0084】該高分子蛍光体は、化学式(1)で示される繰り返し単位以外の繰り返し単位として、芳香族化合物基またはその誘導体、複素環化合物基またはその誘導体、およびそれらを組み合わせて得られる基などを含んでいてもよい。また、化学式(1)で示される繰り返し単位や他の繰り返し単位が、エーテル基、エステル基、アミド基、イミド基などを有する非共役の単位で連結されていてもよいし、繰り返し単位にそれらの非共役部分が含まれていてもよい。

【0085】前記高分子蛍光体において化学式(1)のArとしては、共役結合に関与する炭素原子数が4個以上20個以下からなるアリーレン基または複素環化合物基であり、下記の化学式(2)で示す芳香族化合物基またはその誘導体基、複素環化合物基またはその誘導体基、およびそれらを組み合わせて得られる基などが例示される。

【0086】

【化1】



(R1～R92は、それぞれ独立に、水素、炭素数1～20のアルキル基、アルコキシ基およびアルキルチオ基；炭素数6～18のアリール基およびアリールオキシ基；ならびに炭素数4～14の複素環化合物基からなる群から選ばれた基である。)

【0087】これらのなかでフェニレン基、置換フェニレン基、ビフェニレン基、置換ビフェニレン基、ナフタレンジイル基、置換ナフタレンジイル基、アントラセン-9, 10-ジイル基、置換アントラセン-9, 10-ジイル基、ピリジン-2, 5-ジイル基、置換ピリジン-2, 5-ジイル基、チエニレン基および置換チエニレン基が好ましい。さらに好ましくは、フェニレン基、ビフェニレン基、ナフタレンジイル基、ピリジン-2, 5-ジイル基、チエニレン基である。

【0088】化学式(1)のR、R'が水素またはシアノ基以外の置換基である場合について述べると、炭素数1～20のアルキル基としては、メチル基、エチル基、プロピル基、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、メチル基、エチル基、ペンチル基、ヘキシル基、

ヘプチル基、オクチル基が好ましい。アリール基としては、フェニル基、4-C1～C12アルコキシフェニル基(C1～C12は炭素数1～12であることを示す。以下も同様である。)、4-C1～C12アルキルフェニル基、1-ナフチル基、2-ナフチル基などが例示される。

【0089】溶媒可溶性の観点からは化学式(1)のArが、1つ以上の炭素数4～20のアルキル基、アルコキシ基およびアルキルチオ基、炭素数6～18のアリール基およびアリールオキシ基ならびに炭素数4～14の複素環化合物基から選ばれた基を有していることが好ましい。

【0090】これらの置換基としては以下のものが例示される。炭素数4～20のアルキル基としては、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、ペンチル基、ヘキシル基、ヘプチル基、オクチル基が好ましい。また、炭素数4～20のアルコキシ基としては、ブトキシ基、ペンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基、デシルオキシ基、ラウリ

ルオキシ基などが挙げられ、ベンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基が好ましい。炭素数4〜20のアルキルチオ基としては、ブチルチオ基、ベンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基、デシルオキシ基、ラウリルチオ基などが挙げられ、ベンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基が好ましい。アリーレン基としては、フェニル基、4-C1〜C12アルコキシフェニル基、4-C1〜C12アルキルフェニル基、1-ナフチル基、2-ナフチル基などが例示される。アリーレンオキシ基としては、フェノキシ基が例示される。複素環化合物基としては2-チエニル基、2-ピロリル基、2-フリル基、2-、3-または4-ピリジル基などが例示される。これら置換基の数は、該高分子蛍光体の分子量と繰返し単位の構成によっても異なるが、溶解性の高い高分子蛍光体を得る観点から、これらの置換基が分子量600当たり1つ以上であることがより好ましい。

【0091】なお、前記高分子蛍光体は、ランダム、ブロックまたはグラフト共重合体であってもよいし、それらの中間的な構造を有する高分子、例えばブロック性を帯びたランダム共重合体であってもよい。蛍光の量子収率の高い高分子蛍光体を得る観点からは完全なランダム共重合体よりブロック性を帯びたランダム共重合体やブロックまたはグラフト共重合体が好ましい。また、ここで形成する有機エレクトロルミネッセンス素子は、薄膜からの蛍光を利用することから、該高分子蛍光体は固体状態で蛍光を有するものが用いられる。

【0092】該高分子蛍光体に対して溶媒を使用する場合に、好適なものとしては、クロロホルム、塩化メチレン、ジクロロエタン、テトラヒドロフラン、トルエン、キシレンなどが例示される。高分子蛍光体の構造や分子量にもよるが、通常はこれらの溶媒に0.1wt%以上溶解させることができる。また、前記高分子蛍光体としては、分子量がポリスチレン換算で $10^3 \sim 10^7$ であることが好ましく、それらの重合度は繰返し構造やその割合によっても変わる。成膜性の点から一般には繰返し構造の合計数で好ましくは4〜10000、さらに好ましくは5〜3000、特に好ましくは10〜2000である。

【0093】このような高分子蛍光体の合成法としては、特に限定されないものの、例えばアリーレン基にアルデヒド基が2つ結合したジアルデヒド化合物と、アリーレン基にハロゲン化メチル基が2つ結合した化合物とトリフェニルホスフィンとから得られるジホスホニウム塩からのWittig反応が例示される。また、他の合成法としては、アリーレン基にハロゲン化メチル基が2つ結合した化合物からの脱ハロゲン化水素法が例示される。さらに、アリーレン基にハロゲン化メチル基が2つ結合した化合物のスルホニウム塩をアルカリで重合して

得られる中間体から熱処理により該高分子蛍光体を得るスルホニウム塩分解法が例示される。いずれの合成法においても、モノマーとして、アリーレン基以外の骨格を有する化合物を加え、その存在割合を変えることにより、生成する高分子蛍光体に含まれる繰返し単位の構造を変えることができるので、化学式(1)で示される繰返し単位が50mol%以上となるように加減して仕込み、共重合してもよい。これらのうち、Wittig反応による方法が、反応の制御や収率の点で好ましい。

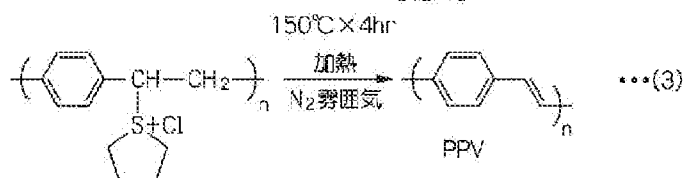
【0094】さらに具体的に、前記高分子蛍光体の1つの例であるアリーレンビニレン系共重合体の合成法を説明する。例えば、Wittig反応により高分子蛍光体を得る場合には、例えば、ビス(ハロゲン化メチル)化合物、より具体的には、例えば2,5-ジオクチルオキシ-p-キシリレンジプロミドをN, N-ジメチルホルムアミド溶媒中、トリフェニルホスフィンと反応させてホスホニウム塩を合成し、これとジアルデヒド化合物、より具体的には、例えば、テレフタルアルデヒドとを、例えばエチルアルコール中、リチウムエトキシドを用いて縮合させるWittig反応により、フェニレンビニレン基と2,5-ジオクチルオキシ-p-フェニレンビニレン基を含む高分子蛍光体を得られる。このとき、共重合体を得るために2種類以上のジホスホニウム塩および/または2種類以上のジアルデヒド化合物を反応させてもよい。これらの高分子蛍光体を発光層の形成材料として用いる場合、その純度が発光特性に影響を与えるため、合成後、再沈精製、クロマトグラフによる分別等の純化処理をすることが望ましい。

【0095】また、前記の高分子蛍光体からなる発光層の形成材料としては、フルカラー表示をなすため、赤、緑、青の三色の発光層形成材料が用いられ、それぞれが所定のバナーニング装置(インクジェット装置)によって予め設定された位置の画素ARに射出され、バナーニングされる。なお、前記の発光物質としては、ホスト材料にゲスト材料を添加した形態のものをを用いることもできる。

【0096】このような発光材料としては、ホスト材料として例えば高分子有機化合物や低分子材料が、またゲスト材料として得られる発光層の発光特性を変化させるための蛍光色素、あるいは燐光物質を含んでなるものが好適に用いられる。高分子有機化合物としては、溶解性の低い材料の場合、例えば前駆体が塗布された後、以下の化学式(3)に示すように加熱硬化されることによって共役系高分子有機エレクトロルミネッセンス層となる発光層を生成し得るものがある。例えば、前駆体のスルホニウム塩の場合、加熱処理されることによりスルホニウム基が脱離し、共役系高分子有機化合物となるもの等がある。また、溶解性の高い材料では、材料をそのまま塗布した後、溶媒を除去して発光層にし得るものもある。

【0097】

【化2】



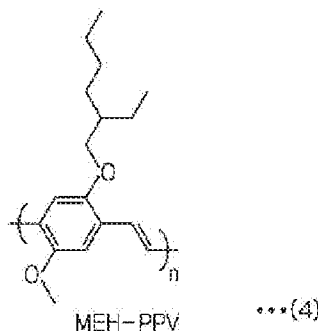
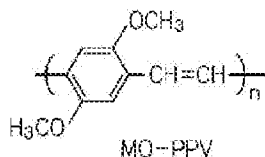
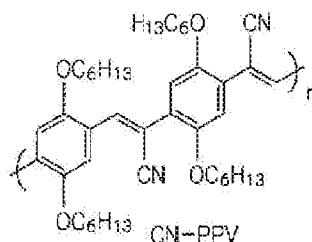
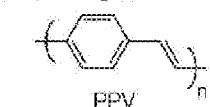
【0098】前記の高分子有機化合物は固体で強い蛍光を持ち、均質な固体超薄膜を形成することができる。しかも、形成能に富みITO電極との密着性も高く、さらに、固化した後は強固な共役系高分子膜を形成する。

【0099】このような高分子有機化合物としては、例えばポリアリーレンビニレンが好ましい。ポリアリーレンビニレンは水系溶媒あるいは有機溶媒に可溶で第2の基体11に塗布する際の塗布液への調製が容易であり、さらに一定条件下でポリマー化することができるため、光学的にも高品質の薄膜を得ることができる。このようなポリアリーレンビニレンとしては、PPV（ポリ（パラフェニレンビニレン））、MO-PPV（ポリ（2,5-ジメトキシ-1,4-フェニレンビニレン））、CN-PPV（ポリ（2,5-ビスヘキシルオキシ-1,4-フェニレン-（1-シアノビニレン）））、MEH-PPV（ポリ〔2-メトキシ-5-

（2'-エチルヘキシルオキシ）]-パラフェニレンビニレン）、等のPPV誘導体、PTV（ポリ（2,5-チエニレンビニレン））等のポリ（アルキルチオフェン）、PFV（ポリ（2,5-フリレンビニレン））、ポリ（パラフェニレン）、ポリアルキルフルオレン等が挙げられるが、なかでも化学式（4）に示すようなPPVまたはPPV誘導体の前駆体からなるものや、化学式（5）に示すようなポリアルキルフルオレン（具体的には化学式（6）に示すようなポリアルキルフルオレン系共重合体）が特に好ましい。PPV等は強い蛍光を持ち、二重結合を形成する π 電子がポリマー鎖上で非極在化している導電性高分子でもあるため、高性能の有機エレクトロルミネッセンス素子を得ることができる。

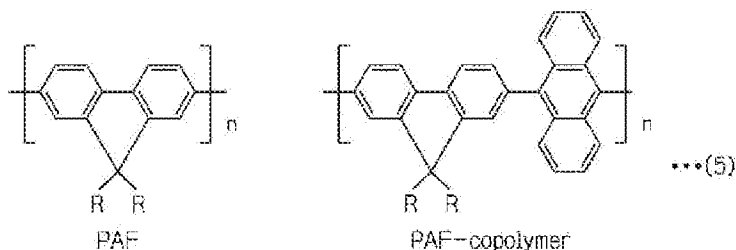
【0100】

【化3】



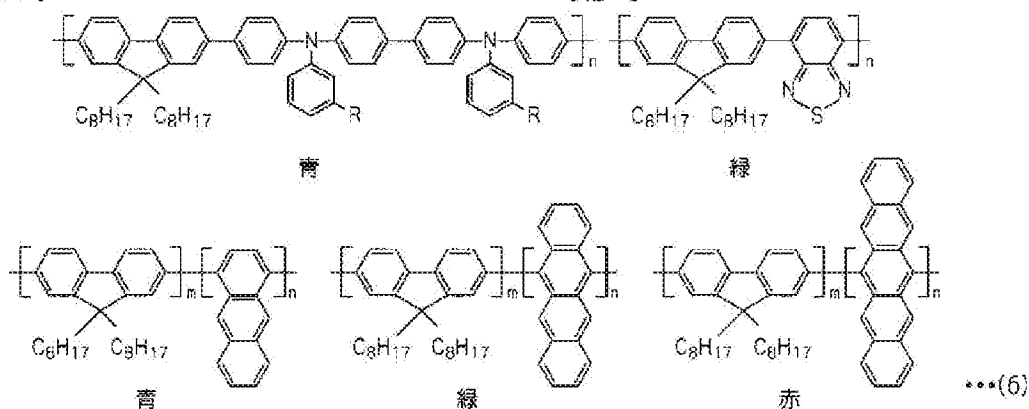
【化4】

【0101】



【0102】

【化5】



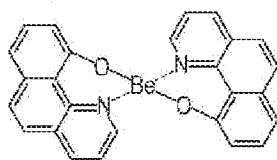
ポリフルオレン系共重合体

【0103】なお、前記PPV薄膜の他に発光層を形成し得る高分子有機化合物や低分子材料、すなわち本例においてホスト材料として用いられるものは、例えばアルミキノリノール錯体 (Alq3) やジスチリルピフェニル、さらに化学式 (7) に示す BeBg2 や Zn(OXZ)2、そして TPD、ALO、DPVBi 等の従来より一般的に用いられているものに加え、ピラゾリンダイ

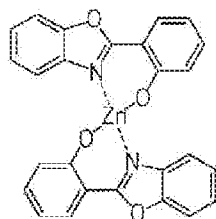
マー、キノリジノカルボン酸、ベンゾピリリウムパークロレート、ベンゾピラノキノリジン、ルブレン、フェナントロリンユウロビウム錯体等が挙げられ、これらの1種または2種以上を含む有機エレクトロルミネッセンス素子用組成物を用いることができる。

【0104】

【化6】



BeBg2



Zn(OXZ)2

... (7)

【0105】一方、このようなホスト材料に添加されるゲスト材料としては、前記したように蛍光色素や燐光物質が挙げられる。特に蛍光色素は、発光層の発光特性を変化させることができ、例えば、発光層の発光効率の向上、または光吸収極大波長（発光色）を変えるための手段としても有効である。すなわち、蛍光色素は単に発光層材料としてではなく、発光機能そのものを担う色素材

料として利用することができる。例えば、共役系高分子有機化合物分子上のキャリア再結合で生成したエキシトンのエネルギーを蛍光色素分子上に移すことができる。この場合、発光は蛍光量子効率が高い蛍光色素分子からのみ起こるため、発光層の電流量子効率も増加する。したがって、発光層の形成材料中に蛍光色素を加えることにより、同時に発光層の発光スペクトルも蛍光分子のもの

のとなるので、発光色を変えるための手段としても有効となる。

【0106】なお、ここでいう電流量子効率とは、発光機能に基づいて発光性能を考案するための尺度であって、下記式により定義される。

$\eta_E = \text{放出されるフォトンエネルギー} / \text{入力電気エネルギー}$

そして、蛍光色素のドーピングによる光吸収極大波長の変換によって、例えば赤、青、緑の3原色を発光させることができ、その結果フルカラー表示体を得ることが可能となる。さらに蛍光色素をドーピングすることにより、エレクトロルミネッセンス素子の発光効率を大幅に向上させることができる。

【0107】蛍光色素としては、赤色の発色光を発光する発光層を形成する場合、レーザー色素のDCM-1、あるいはローダミンまたはローダミン誘導体、ペニレン等を用いるのが好ましい。これらの蛍光色素をPPVなど宿主材料にドーピングすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多く、水溶性を有するPPV前駆体であるスルホニウム塩にドーピングし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。このような蛍光色素として具体的には、ローダミンB、ローダミンBベース、ローダミン6G、ローダミン101過塩素酸塩等が挙げられ、これらを2種以上混合したものであってもよい。

【0108】また、緑色の発色光を発光する発光層を形成する場合、キナクリドン、ルブレン、DCJTおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色素と同様、PPVなど宿主材料にドーピングすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多く、水溶性を有するPPV前駆体であるスルホニウム塩にドーピングし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

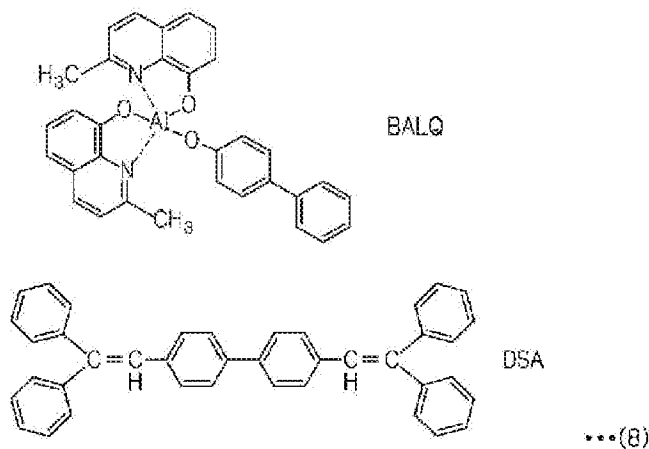
【0109】さらに、青色の発色光を発光する発光層を形成する場合、ジスチリルビフェニルおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色素と同様、PPVなど宿主材料にドーピングすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多く、水溶性を有するPPV前駆体であるスルホニウム塩にドーピングし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

【0110】また、青色の発色光を有する他の蛍光色素としては、クマリンおよびその誘導体を挙げることができる。これらの蛍光色素は、PPVと相溶性がよく発光層の形成が容易である。また、これらのうち特にクマリンは、それ自体は溶媒に不溶であるものの、置換基を適宜に選択することによって溶解性を増し、溶媒に可溶となるものもある。このような蛍光色素として具体的には、クマリン-1、クマリン-6、クマリン-7、クマリン120、クマリン138、クマリン152、クマリン153、クマリン311、クマリン314、クマリン334、クマリン337、クマリン343等が挙げられる。

【0111】さらに、別の青色の発色光を有する蛍光色素としては、テトラフェニルブタジエン (TPB) またはTPB誘導体、DPVBI等を挙げることができる。これらの蛍光色素は、前記赤色蛍光色素等と同様に水溶液に可溶であり、またPPVと相溶性がよく発光層の形成が容易である。以上の蛍光色素については、各色ともに1種のみを用いてもよく、また2種以上を混合して用いてもよい。なお、このような蛍光色素としては、化学式(8)に示すようなものや、化学式(9)に示すようなもの、さらに化学式(10)に示すようなものが用いられる。

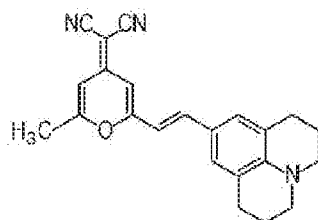
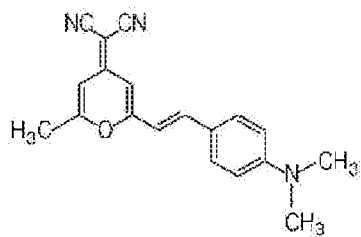
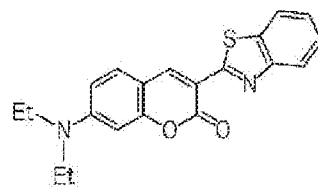
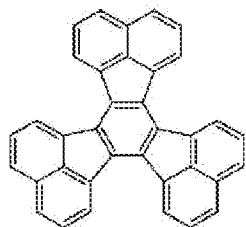
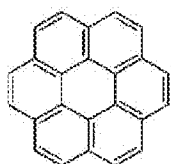
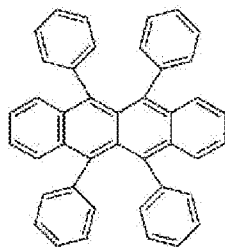
【0112】

【化7】



【0113】

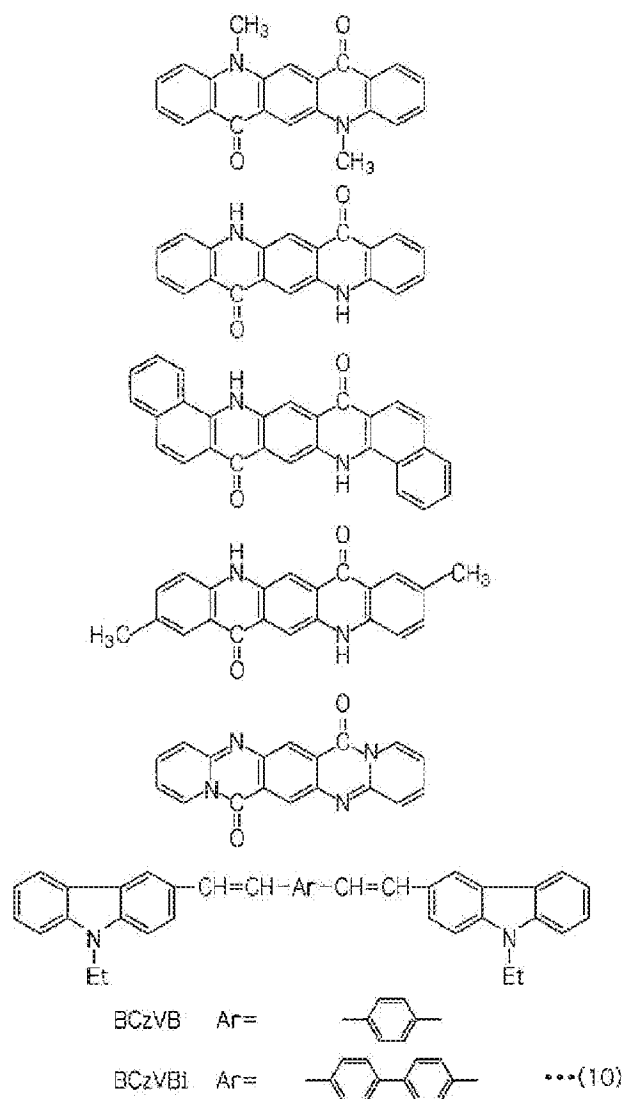
【化8】



... (9)

【0114】

【化9】



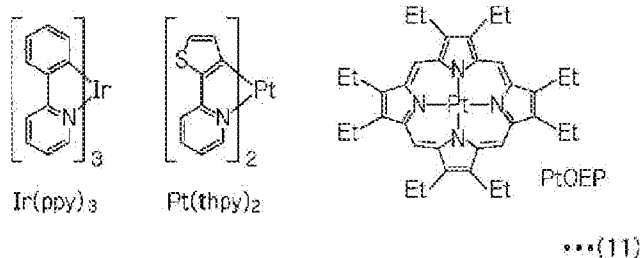
【0115】これらの蛍光色素については、前記共役系高分子有機化合物等からなるホスト材料に対し、後述する方法によって0.5～10wt%添加するのが好ましく、1.0～5.0wt%添加するのがより好ましい。蛍光色素の添加量が多過ぎると得られる発光層の耐候性および耐久性の維持が困難となり、一方、添加量が少な過ぎると、前述したような蛍光色素を加えることによる

効果が十分に得られないからである。

【0116】また、ホスト材料に添加されるゲスト材料としての燐光物質としては、化学式(11)に示すIr(pppy)₃、Pt(thpy)₂、PtOEPなどが好適に用いられる。

【0117】

【化10】



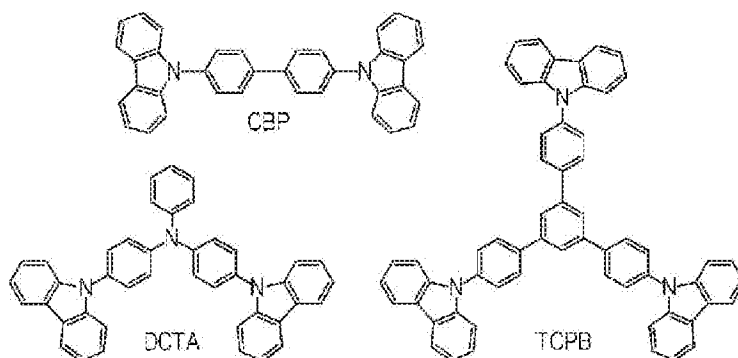
【0118】なお、前記の化学式(11)に示した燐光物質をゲスト材料とした場合、ホスト材料としては、特に化学式(12)に示すCBP、DCTA、TCBP

や、前記したDPVBI、Alq3が好適に用いられる。また、前記蛍光色素と燐光物質については、これらを共にゲスト材料としてホスト材料に添加するようにし

てもよい。

【0119】

【化11】



・・・(12)

【0120】なお、このようなホスト／ゲスト系の発光物質によって発光層60を形成する場合、例えば予めパターンニング装置（インクジェット装置）にノズル等の材料供給系を複数形成しておき、これらノズルからホスト材料とゲスト材料とを予め設定した量比で同時に吐出させることにより、ホスト材料に所望する量のゲスト材料が添加されてなる発光物質による、発光層60を形成することができる。

【0121】発光層60は、正孔注入／輸送層70の形成方法と同様の手順で形成される。すなわち、インクジェット法によって発光層材料を含む組成物インクを正孔注入／輸送層70の上面に吐出した後、乾燥処理及び熱処理を行うことにより、第3絶縁層221に形成された開口部221a内部の正孔注入／輸送層70上に発光層60が形成される。この発光層形成工程も上述したように不活性ガス雰囲気化で行われる。吐出された組成物インクは焼インク処理された領域ではじかれるので、インク滴が所定の吐出位置からはずれたととしても、はじかれたインク滴が第3絶縁層221の開口部221a内に転がり込む。

【0122】電子輸送層50は発光層60の上面に形成される。電子輸送層50も発光層60の形成方法と同様、インクジェット法により形成される。電子輸送層50の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノロンおよびその誘導体、ナフトキノロンおよびその誘導体、アントラキノロンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェニルキノロン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-15

2184号公報に記載されているもの等が例示され、特に2-(4-ビフェニル)-5-(4-ヒープチルフェニル)-1,3,4-オキサジアゾール、ベンゾキノロン、アントラキノロン、トリス(8-キノリノール)アルミニウムが好適とされる。

【0123】なお、前述した正孔注入／輸送層70の形成材料や電子輸送層50の形成材料を発光層60の形成材料に混合し、発光層形成材料として使用してもよく、その場合に、正孔注入／輸送層形成材料や電子輸送層形成材料の使用量については、使用する化合物の種類等によっても異なるものの、十分な成膜性と発光特性を阻害しない量範囲でそれらを考慮して適宜決定される。通常は、発光層形成材料に対して1〜40重量%とされ、さらに好ましくは2〜30重量%とされる。

【0124】なお、正孔注入／輸送層70や電子輸送層50などは、インクジェット法に限らず、マスク蒸着法を用いて形成することも可能である。

【0125】陰極222は、電子輸送層50及び第3絶縁層221の表面全体、あるいはストライプ状に形成されている。陰極222については、もちろんAl、Mg、Li、Caなどの単体材料やMg:Ag(10:1合金)の合金材料からなる1層で形成してもよいが、2層あるいは3層からなる金属（合金を含む。）層として形成してもよい。具体的には、Li₂O(0.5nm程度)/AlやLiF(0.5nm程度)/Al、MgF₂/Alといった積層構造のものも使用可能である。陰極222は上述した金属からなる薄膜であり、光を透過可能である。

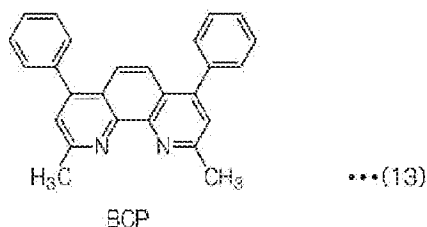
【0126】封止層20は、外部から有機EL素子に対して大気が入り込むのを遮断するものであって、膜厚や材料は適宜選択される。封止層20を構成する材料としては、例えばセラミックや窒化珪素、酸化窒化珪素、酸化珪素などが用いられ、中でも酸化窒化珪素が透明性、ガスバリア性の観点から好ましい。封止層20は陰極222上にプラズマCVD法によって形成してもよい。

【0127】以上説明したように、発光層60からの基板2より低屈折率な低屈折率材料からなる各絶縁層283、284を通過してから基板2に入射するので、臨界角以上の角度でこれら各絶縁層283、284に入射した光は基板2との界面で臨界角以下となる方向に屈折し、基板2内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とは強い相関関係があり、各絶縁層283、284を低屈折率層とすることにより低誘電率層とすることができ、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【0128】なお、前記の正孔注入／輸送層70、発光層60、電子輸送層50に加えて、ホールブロッキング層を例えば発光層60の対向電極222側に形成して、発光層60の長寿命化を図ってもよい。このようなホールブロッキング層の形成材料としては、例えば化学式(13)に示すBCPや化学式(14)で示すBA1qが用いられるが、長寿命化の点ではBA1qの方が好ましい。

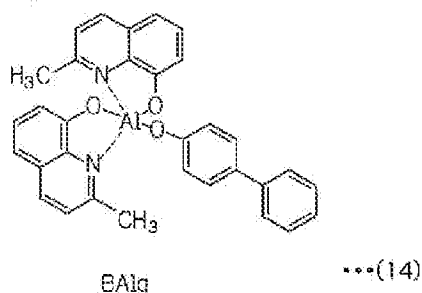
【0129】

【化12】



【0130】

【化13】



【0131】〔電子機器〕上記実施の形態の有機EL表示装置を備えた電子機器の例について説明する。図4は、携帯電話の一例を示した斜視図である。図4において、符号1000は携帯電話本体を示し、符号1001は上記の有機EL表示装置を用いた表示部を示している。

【0132】図5は、腕時計型電子機器の一例を示した斜視図である。図5において、符号1100は時計本体を示し、符号1101は上記の有機EL表示装置を用いた表示部を示している。

【0133】図6は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図6において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は情報処理装置本体、符号1206は上記の有機EL表示装置を用いた表示部を示している。

【0134】図4～図6に示す電子機器は、上記実施の形態の有機EL表示装置を備えているので、表示品位に優れ、明るい画面の有機EL表示部を備えた電子機器を実現することができる。

【0135】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態では、有機EL素子の構成として発光層と正孔輸送層とを一对の電極で挟持した例を挙げたが、発光層や正孔輸送層の他、電子輸送層、正孔注入層、電子注入層などの各種の機能を有する有機層を挿入してもよい。その他、実施の形態で挙げた具体的な材料などはほんの一例に過ぎず、適宜変更が可能である。

【0136】また、本実施形態の構成の表示装置S1において、電気光学素子である発光層60を液晶層等、その他の光学表示物質に置き換えることが可能である。

【0137】また、上記実施形態においては、TFT24が配置された基板2側から光を取り出すいわゆるバックエミッション型について説明したが、TFTが配置された基板とは反対側から光を取り出すいわゆるトップエミッション型についても、本発明の低屈折率層を適用できる。

【0138】

【発明の効果】本発明によれば、電気光学素子からの光は基板より低屈折率な低屈折率材料からなる材料層を通過してから基板に入射するので、臨界角以上の角度で低屈折率層に入射した光は基板との界面で臨界角以下となる方向に屈折し、基板内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とは強い相関関係があり、所定の材料層を低屈折率層とすることにより低誘電率層を形成でき、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【図面の簡単な説明】

【図1】本発明の電気光学装置の一実施形態を示す図であって、エレクトロルミネッセンス表示装置に適用した例を示す概略構成図である。

【図2】図1の表示装置における画素部の平面構造を示す拡大図である。

【図3】本発明の電気光学装置の一実施形態を示す図であって、図2のA-A矢視断面図である。

【図4】本発明の電気光学装置を備えた電子機器の一例を示す図である。

【図5】本発明の電気光学装置を備えた電子機器の一例を示す図である。

【図6】本発明の電気光学装置を備えた電子機器の一例を示す図である。

【符号の説明】

2 基板

3 発光素子（電気光学素子）

23 画素電極（電極）

60 発光層（電気光学素子層）

S1 有機EL表示装置（電気光学装置、回路基板）

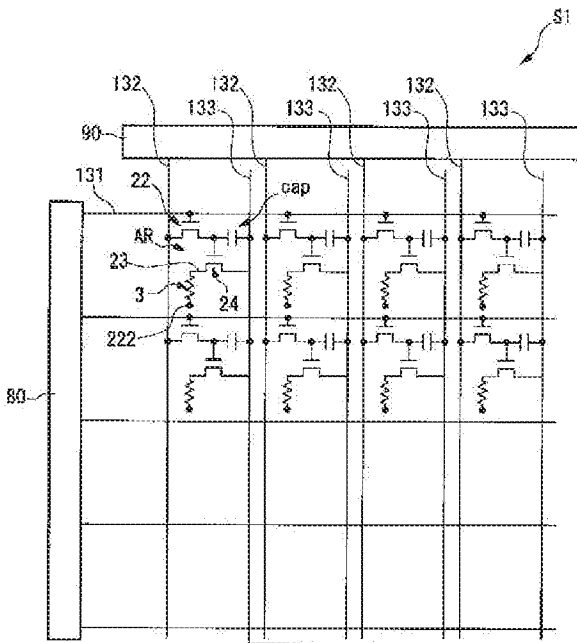
222 陰極（電極）

282 ゲート絶縁層

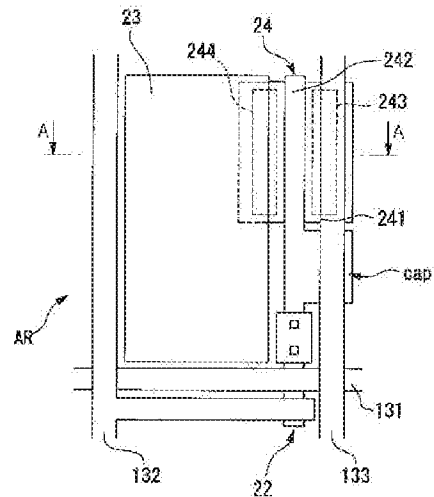
283 第1層間絶縁層（低屈折率層）

284 第2層間絶縁層（低屈折率層）

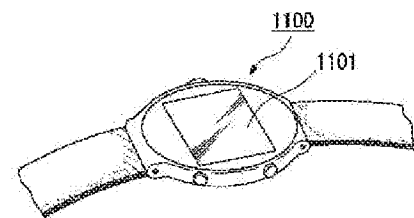
【図1】



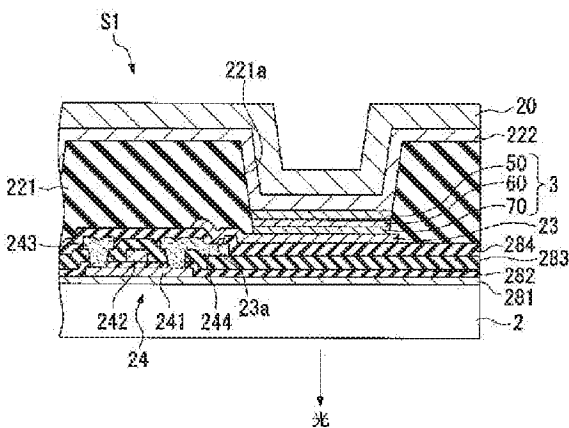
【図2】



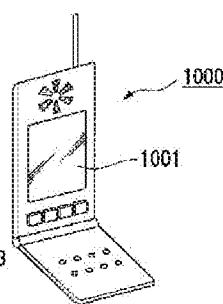
【図5】



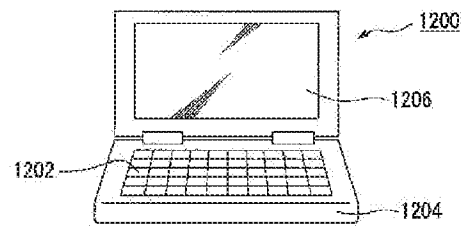
【図3】



【図4】



【図6】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	ページ (参考)
H 0 5 B 33/14		H 0 1 L 29/78	6 1 9 A

Fターム(参考) 3K007 AB03 AB17 BB06 DB03 GA00
 5C094 AA10 AA13 BA02 BA12 BA23
 BA27 CA19 CA24 DA15 FB00
 FB15 HA08 JA13
 5F110 AA02 AA21 BB01 BB02 CC02
 DD01 DD02 DD03 DD04 DD13
 EE03 EE04 EE44 FF02 FF03
 FF30 GG02 GG13 GG25 GG45
 HJ01 HJ13 HL03 HL04 NN03
 NN04 NN22 NN23 NN24 NN27
 NN28 NN32 NN35 NN36 NN73
 PP01 PP02 PP03 PP06 QQ11
 QQ25
 5G435 AA01 BB04 BB05 CC09 CC12
 DD11 FF02 HH02 HH14 HH16
 LL06 LL07 LL08

Electronic Acknowledgement Receipt

EFS ID:	36684510
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Sheri Michals
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	25-JUL-2019
Filing Date:	17-JUL-2017
Time Stamp:	09:26:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	5367-694PCON-IDS.pdf	77522	no	3
			b65013b3e8e082fc61cc333345547b49576944dc		

Warnings:

Information:					
This is not an USPTO supplied IDS fillable form					
2	Non Patent Literature	Eng-trans-SR-page.pdf	90408	no	1
			f89212ddc8fe80fd131c373222dbb58ce092450e		
Warnings:					
Information:					
3	Non Patent Literature	Notice-Of-Allowance.pdf	2138322	no	6
			f79d2305eebcc83f4b4d7cae49ee1da48ba dfd		
Warnings:					
Information:					
4	Foreign Reference	JP2007-200887-WITH-ABS.pdf	7848035	no	27
			bbd7d4f750a2c38f413b97205a5695d4176ab121		
Warnings:					
Information:					
5	Foreign Reference	JP2004-296423-with-abs.pdf	16783326	no	45
			ad57fec0ab54c202d2455bc83dafa6df4a41dd2a		
Warnings:					
Information:					
6	Foreign Reference	JP2008-538155-with-abs.pdf	7340890	no	20
			c7466c5ff87aa7ea41bad30467d7368537a48c86		
Warnings:					
Information:					
7	Foreign Reference	JP4182467B2-with-abs.pdf	11533092	no	34
			835efe93ec29b79741a9e1b40389390b5d3d8081		
Warnings:					
Information:					
8	Foreign Reference	JP4637390B2-with-abs.pdf	9998920	no	27
			5217dbf0f72f8b41293ff04cb8b318946ee4fe16		
Warnings:					
Information:					

9	Foreign Reference	JP4713010B2-with-abs.pdf	7237060	no	20
			f7b68cea12e53e2705b978a7036e38d506a727ef		
Warnings:					
Information:					
10	Foreign Reference	JP4742880B2-with-abs.pdf	3141738	no	10
			0c69d823703a9353d6eef14cb824d938284832fa		
Warnings:					
Information:					
11	Foreign Reference	JP4828881B2-with-abs.pdf	4866826	no	14
			126603a2021cf876a94934cfebae012a1b0005ce		
Warnings:					
Information:					
12	Foreign Reference	JP2004-047179-with-abs.pdf	1674884	no	9
			04e40da36a2f556b17500f73334574907e9a78bf		
Warnings:					
Information:					
13	Foreign Reference	JP2003195775-with-abs.pdf	10549963	no	24
			6cdcaad6b8a3173408193d60f624361d32e77a3c		
Warnings:					
Information:					
14	Foreign Reference	JP4228248B2-with-abs---Part-1.pdf	21830279	no	30
			88959dc7957ceb6489e288e8c02f94c2b42743fd		
Warnings:					
Information:					
15	Foreign Reference	JP4228248B2-with-abs---PartII.pdf	24605831	no	38
			9a8e5f9237a5832fa651428bd0731c838b4e8abd		
Warnings:					
Information:					
Total Files Size (in bytes):			129717096		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

**Espacenet****Bibliographic data: JP4228248 (B2) — 2009-02-25**

FABRICATION OF ELECTROOPTIC DEVICE AND PRODUCTION OF DRIVE SUBSTRATE THEREFOR

Inventor(s): YAMANAKA HIDEO, ; YAMOTO HISAYOSHI, ; SATO YUICHI, ; YAGI HAJIME

Applicant(s): SONY CORP

Classification: - international: **G02F1/136; G02F1/1368; G09F9/00; G09F9/33; H01J29/96; H01J31/12; H01L21/20; H01L21/336; H01L29/786**

- cooperative:

Application number: JP19980271737 19980925

Priority number(s): JP19980271737 19980925

Also published as: JP2000101089 (A)

Abstract of JP2000101089 (A)

PROBLEM TO BE SOLVED: To realize a high image quality, high definition, narrow frame, high efficiency, large screen display panel in which a large glass substrate having relatively low strain point can be employed while enhancing productivity and reducing the cost without requiring an expensive fabrication facility, threshold level can be adjusted easily and high speed operation can be realized through reduction of the resistance. **SOLUTION:** Using a thin film 50 of crystalline sapphire formed on a substrate 1 as a seed, a single crystal silicon layer 7 is formed from a low melting point metal layer of molten polysilicon through heteroepitaxial growth and the single crystal silicon layer 7 is employed in a top gate type MOSFET of an electrooptic device, e.g. a display section-peripheral drive circuit integrated LCD.

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4228248号

(P4228248)

(45) 発行日 平成21年2月25日 (2009. 2. 25)

(24) 登録日 平成20年12月12日 (2008. 12. 12)

(51) Int. Cl.

F 1

H 0 1 L 21/336 (2006. 01)

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/786 (2006. 01)

H 0 1 L 29/78 6 1 2 B

H 0 1 L 21/20 (2006. 01)

H 0 1 L 21/20

G 0 2 F 1/1368 (2006. 01)

G 0 2 F 1/1368

G 0 9 F 9/00 (2006. 01)

G 0 9 F 9/00 3 4 6 G

請求項の数 6 (全 67 頁) 最終頁に続く

(21) 出願番号 特願平10-271737

(22) 出願日 平成10年9月25日 (1998. 9. 25)

(65) 公開番号 特開2000-101089 (P2000-101089A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

審査請求日 平成17年9月14日 (2005. 9. 14)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100078059

弁理士 達坂 宏

(72) 発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 矢元 久良

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 佐藤 勇一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法及び電気光学装置用の駆動基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

画素電極が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを第1の基板上に有し、この第1の基板と第2の基板との間に所定の光学材料を介在させてなる電気光学装置の製造方法において、

前記第1の基板の一方の面上に段差を形成する工程と、

前記第1の基板の前記一方の面上に、サファイア、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた物質からなる物質層を形成する工程と、

この物質層を含む前記第1の基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記第1の基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記第1の基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで冷却処理によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して、前記段差による凹部内に存在する前記単

結晶半導体層をチャンネル領域とし、この両側に前記凹部外へ延設された前記単結晶半導体層をソース領域及びドレイン領域とする電界効果トランジスタの構成層を形成する工程と

を有することを特徴とする、電気光学装置の製造方法。

【請求項2】

前記第1の基板上に前記段差を形成し、この段差を含む前記第1の基板上に前記物質層を形成し、この物質層上に前記単結晶シリコン層を形成する、請求項1に記載した電気光学装置の製造方法。

【請求項3】

断面において底面に対し側面が直角状若しくは下端側へ傾斜状となるような前記凹部として前記段差を形成し、この段差を前記物質層と共に前記単結晶シリコン層のエピタキシャル成長時のシードとする、請求項2に記載した電気光学装置の製造方法。

【請求項4】

前記物質層に前記段差を形成し、この段差を含む前記物質層上に前記単結晶シリコン層を形成する、請求項1に記載した電気光学装置の製造方法。

【請求項5】

断面において底面に対し側面が直角状若しくは下端側へ傾斜状となるような前記凹部として前記段差を形成し、この段差を前記物質層と共に前記単結晶シリコン層のエピタキシャル成長時のシードとする、請求項4に記載した電気光学装置の製造方法。

【請求項6】

画素電極が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを基板上に有する、電気光学装置用の駆動基板の製造方法において、

前記基板の一方の面上に段差を形成する工程と、

前記基板の前記一方の面上に、サファイア、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた物質からなる物質層を形成する工程と、

この物質層を含む前記基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで、冷却処理によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して、前記段差による凹部内に存在する前記単結晶半導体層をチャンネル領域とし、この両側に前記凹部外へ延設された前記単結晶半導体層をソース領域及びドレイン領域とする電界効果トランジスタの構成層を形成する工程と

を有することを特徴とする、電気光学装置用の駆動基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気光学装置の製造方法及び電気光学装置用の駆動基板の製造方法に関し、特に絶縁基板上にヘテロエピタキシャル成長させた単結晶シリコン層を能動領域に用いるトップゲート型の薄膜絶縁ゲート型電界効果トランジスタ（以降、トップゲート型MOSFTと呼ぶ。尚、トップゲート型にはスタガー型とコプラナー型が含まれる。）と受動領域を有する液晶表示装置などに好適な方法に関するものである。

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置として、アモルファスシリコンをTFTに用いた表示部と外付け駆動回路用ICとを有するものや、固相成長法による多結晶シリコンをTFTに用いた表示部と駆動回路との一体型(特開平6-242433号公報)、エキシマレーザアニールを行った多結晶シリコンをTFTに用いた表示部と駆動回路との一体型(特開平7-131030号公報)などが知られている。

【0003】

【発明が解決しようとする課題】

しかし、上記した従来のアモルファスシリコンTFTは、生産性は良いが、電子移動度は $0.5 \sim 1.0 \text{ cm}^2 / \text{v} \cdot \text{sec}$ 前後と低いために、pチャンネルのMOSTFT(以降、pMOSTFTと呼ぶ。)を作ることができない。従って、pMOSTFTを用いた周辺駆動部を表示部と同じガラス基板上に形成できないため、ドライバICは外付けとなり、TAB方式等により実装されるので、コストダウンが難しい。また、このために、高精細化には限界がある。更に、電子移動度は $0.5 \sim 1.0 \text{ cm}^2 / \text{v} \cdot \text{sec}$ 前後と低いので、十分なオン電流がとれず、表示部に用いた場合、トランジスタサイズが必然的に大きくなり、画素の高開口率に不利である。

【0004】

また、上記した従来の多結晶シリコンTFTの電子移動度は $70 \sim 100 \text{ cm}^2 / \text{v} \cdot \text{sec}$ で高精細化にも対応できるので、最近では駆動回路一体型の多結晶シリコンTFTを用いたLCD(液晶表示装置)が目立っている。しかし、15インチ以上の大型LCDの場合は、多結晶シリコンの電子移動度は $70 \sim 100 \text{ cm}^2 / \text{v} \cdot \text{sec}$ であるため、駆動能力が不足し、結局、外付けの駆動回路用ICが必要となっている。

【0005】

また、固相成長法により成膜された多結晶シリコンを用いるTFTでは、 600°C 以上で十数時間のアニールと、約 1000°C の熱酸化によるゲート SiO_2 の形成が必要のために、半導体製造装置を採用せざるを得ない。そのために、ウェーハサイズ $8 \sim 12$ インチが限界であり、高耐熱性で高価な石英ガラスの採用が余儀なくされ、コストダウンが難しい。従って、EVFやデータ/AVプロジェクト用途に限定されている。

【0006】

更に、上記した従来のエキシマレーザアニールによる多結晶シリコンTFTでは、エキシマレーザ出力の安定性、生産性、大型化による装置価格の上昇、歩留/品質低下等の問題が山積している。

【0007】

特に、1m角等の大型ガラス基板になると、前記の問題が拡大し、ますます性能/品質向上とコストダウンが難しくなる。

【0008】

本発明の目的は、特に周辺駆動回路部において、高い電子/正孔移動度の単結晶シリコン薄膜を比較的低温でかつ均一に成膜して、高性能ドライバ内蔵のアクティブマトリクス基板と、これを用いた表示用薄膜半導体装置等の電気光学装置の製造を可能とし、高いスイッチング特性と低リーク電流を有するLDD構造(Lightly doped drain 構造)のnチャンネルのMOSTFT(以降、nMOSTFTと呼ぶ。)又はpMOSTFT又は高い駆動能力の相補型薄膜絶縁ゲート電界効果トランジスタ(以降、cMOSTFTと呼ぶ。)の表示部と、このcMOSTFT又はnMOSTFT又はpMOSTFT、或いはこれらの混在からなる周辺駆動回路とを一体化した構成を可能とし、高画質、高精細、狭額縁、高効率、大画面の表示パネルを実現することができ、しかも至点が比較的低い大型のガラス基板であっても使用でき、生産性が高く、高価な製造設備が不要であってコストダウンが可能となり、更に、しきい値調整が容易であって低抵抗化による高駆動作と大画面化を可能にすることにある。

【0009】

【課題を解決するための手段】

即ち、本発明は、画素電極（例えばマトリクス状に配列された複数の画素電極：以下、同様）が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを第1の基板（即ち、駆動用の基板：以下、同様）上に有し、この第1の基板と第2の基板（即ち、対向基板：以下、同様）との間に液晶などの所定の光学材料を介在させてなる電気光学装置、及びこの電気光学装置用の駆動基板のそれぞれの製造方法において、

前記第1の基板の一方の面上に段差を形成する工程と、

前記第1の基板の前記一方の面上に、単結晶シリコンの如き単結晶半導体と格子整合の良い後述の物質層を形成する工程と、

この物質層を含む前記第1の基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記第1の基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記第1の基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで冷却処理（望ましくは徐冷処理）によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して能動素子及び受動素子のうちの少なくとも能動素子を形成する工程（例えば前記単結晶シリコン層の析出後に、この単結晶シリコン層に所定の処理を施して、前記段差による凹部内にチャンネル領域、この両側に前記凹部外へ延設された単結晶シリコン層にソース領域及びドレイン領域を形成する工程と、前記チャンネル領域の上部にゲート絶縁膜及びゲート電極からなるゲート部、更にはソース及びドレイン電極を形成して、絶縁ゲート型電界効果トランジスタの構成層を形成し、前記周辺駆動回路部の少なくとも一部を構成するトップゲート型の第1の薄膜トランジスタ（特にMOSFET：以下、同様）を能動素子として形成する工程とを行う工程、又は、抵抗、キャパシタンス、インダクタンス等の受動素子を形成する工程）とを有することを特徴とする、電気光学装置、及びこの電気光学装置用の駆動基板の製造方法に係るものである。なお、本発明において、上記単結晶半導体層は単結晶シリコン層は勿論、単結晶化合物半導体層も含む概念である（以下、同様）。また、上記能動素子は薄膜トランジスタやその他のダイオード等の素子を含む概念であり、上記受動素子は抵抗などを含む概念である（以下、同様）。その代表例としての薄膜トランジスタとは、電界効果トランジスタ（FET）（これにはMOS型と接合型があるが、いずれでもよい。）とバイポーラトランジスタとがあるが、本発明はいずれのトランジスタにも適用できる（以下、同様）。また、上記受動素子は抵抗、インダクタンス、キャパシタンス等を含む概念であり、例えばシリコンナイトライド（以後SiNと呼ぶ。）等の高誘電体膜を低抵抗化した前記単結晶シリコン層等（電極）で挟み込んで形成したキャパシタンスがある。

【0010】

本発明によれば、特に単結晶シリコンと格子整合の良い上記物質層（例えば結晶性サファイア膜）及び上記段差をシードにして、多結晶シリコン又はアモルファスシリコン又はシリコンなどの半導体材料を溶解した低融点金属層から、ヘテロエピタキシャル成長で単結晶シリコン薄膜などの単結晶半導体薄膜を形成し、このエピタキシャル成長層をアクティブマトリクス基板などの駆動基板の周辺駆動回路のトップゲート型MOSFETや表示部ー周辺駆動回路一体型のLCDなどの電気光学装置の周辺駆動回路のトップゲート型MOSFETなどの能動素子や、抵抗、インダクタンス、キャパシタンス等の受動素子のうちの少なくとも能動素子に用いているので、次の（A）～（G）に示す顕著な作用効果を得ることができる。

【0011】

（A）単結晶シリコンと格子整合の良い物質層（例えば結晶性サファイア膜）を基板上

に形成し、その物質層と段差をシードとしてヘテロエピタキシャル成長させることにより、 $540\text{ cm}^2/\text{V} \cdot \text{sec}$ 以上の高い電子移動度の単結晶シリコン薄膜の如き単結晶半導体層が得られるので、高性能ドライバ内蔵の表示用薄膜半導体装置などの電気光学装置の製造が可能となる。

【0012】

(B) 特にこの単結晶シリコン薄膜は、従来のアモルファスシリコン薄膜や多結晶シリコン薄膜に比べて、単結晶シリコン基板並の高い電子及び正孔移動度を示すので、これによる単結晶シリコントップゲート型MOSTFETは、高いスイッチング特性〔望ましくは更に、電界強度を緩和して低リーク電流化するLDD(Lightly doped drain) 構造〕を有するnMOS又はpMOSTFET又はcMOSTFETからなる表示部と、高い駆動能力のcMOS、又はnMOS、pMOSTFET又はこれらの混在からなる周辺駆動回路部とを一体化した構成が可能となり、高画質、高精細、狭額縁、高効率、大画面の表示パネルが実現する。特に、多結晶シリコンではLCD用TFTとして、高い正孔移動度のpMOSTFETは形成し難いが、本発明による単結晶シリコン薄膜は正孔でも十分に高い移動度を示すため、電子と正孔をそれぞれ単独でも、或いは双方を組み合わせて駆動する周辺駆動回路を作製でき、これをnMOS又はpMOS又はcMOSのLDD構造の表示部用TFTと一体化したパネルを実現できる。また、小型～中型パネルの場合には、周辺の一対の垂直駆動回路の一方を省略できる可能性がある。

【0013】

(C) そして、上記した物質層及び段差をヘテロエピタキシャル成長のシードとして用い、かつこの物質層上に上記した多結晶又はアモルファスシリコン層などをプラズマ又は減圧CVD(化学的気相成長：基板温度 $100\sim400^\circ\text{C}$)などの方法で形成でき、上記した低融点金属層は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したシリコンエピタキシャル成長時の加熱処理温度は 930°C 以下が可能であるから、絶縁基板上に比較的低温(例えば $400\sim450^\circ\text{C}$)でシリコン単結晶膜を均一に形成することができる。

【0014】

(D) 固相成長法の場合のような中温で長時間(約 600°C 、十数時間)のアニールや、エキシマレーザーアニールが不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【0015】

(E) このヘテロエピタキシャル成長では、結晶性サファイア等の物質層の結晶性、多結晶又はアモルファスシリコンと低融点金属との組成比、基板の加熱温度、冷却速度等の調整により広範囲のP型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、 V_{th} (しきい値)調整が容易であり、低抵抗化による高速動作が可能である。

【0016】

(F) また、多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、3族又は5族の不純物元素(ボロン、リン、アンチモン、ヒ素、ビスマス、アルミニウムなど)を別途適量ドーピングしておけば、ヘテロエピタキシャル成長による単結晶シリコン薄膜の不純物種及び/又はその濃度、即ちP型/N型等の導電型及び/又はキャリア濃度を任意に制御することができる。

【0017】

(G) 結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【0018】

【発明の実施の形態】

本発明においては、前記単結晶シリコン層に所定の処理を施してチャンネル領域、ソース領域及びドレイン領域とし、前記チャンネル領域の上部にゲート部を有するトップゲート型の第1の薄膜トランジスタが前記周辺駆動回路部の少なくとも一部を構成するのがよい。

【0019】

そして、前記第1の基板として絶縁基板が用いられるのがよい。前記物質層は、サファイア(Al_2O_3)、スピネル構造体(例えば $\text{MgO} \cdot \text{Al}_2\text{O}_3$)、フッ化カルシウム(CaF_2)、フッ化ストロンチウム(SrF_2)、フッ化バリウム(BaF_2)、リン化ボロン(BP)、酸化イットリウム($(\text{Y}_2\text{O}_3)_m$)及び酸化ジルコニウム($(\text{ZrO}_2)_{1-x}$)等からなる群より選ばれた物質で形成されている。

【0020】

このような物質層上に、前記多結晶又はアモルファスシリコン層を減圧CVD法、触媒CVD法、プラズマCVD法、スパッタ法などの基板温度 $100 \sim 400^\circ\text{C}$ の低温成膜技術で例えば数 $\mu\text{m} \sim 0.005 \mu\text{m}$ の厚みに形成し、更に前記低融点金属層を前記多結晶又はアモルファスシリコン層の例えば数 $10 \sim$ 数 100 倍の厚さに真空蒸着法又はスパッタ法などで堆積させた後、前記加熱処理を行うのがよい。

【0021】

この場合、多結晶又はアモルファスシリコン層を上記した低温成膜技術で形成し、この上又は下に前記低融点金属層を堆積させてよい。或いは、前記シリコン含有の低融点金属層を堆積させ、前記加熱処理を行ってよい。

【0022】

また、前記基板として絶縁基板、例えばガラス基板、耐熱性有機基板を使用し、前記低融点金属層をインジウム、ガリウム、スズ、ビスマス、鉛、亜鉛、アンチモン及びアルミニウムからなる群より選ばれた少なくとも1種で形成することができる。

【0023】

この場合、前記低融点金属層をインジウムで形成するときには前記加熱処理を水素系(水素、又は窒素-水素混合物、又はアルゴン-水素混合物など；以下、同様)雰囲気下、 $850 \sim 1100^\circ\text{C}$ (望ましくは $900 \sim 950^\circ\text{C}$)で行ってインジウム・シリコン熔融液となし、前記低融点金属層をインジウム・ガリウム又はガリウムで形成するときには前記加熱処理を水素系雰囲気下、 $300 \sim 1100^\circ\text{C}$ (望ましくは $350 \sim 600^\circ\text{C}$)又は $400 \sim 1100^\circ\text{C}$ (望ましくは $420 \sim 600^\circ\text{C}$)で行ってインジウム・ガリウム・シリコン熔融液又はガリウム・シリコン熔融液となすことができる。基板の加熱は、電気炉やランプ等を用いて基板全体を均一に加熱する方法の他、光レーザー、電子ビーム等によって、所定の場所のみを局部的に加熱する方法も可能である。

【0024】

このようにシリコンを含有する低融点金属は、図10に示す状態図から明らかなように、低融点金属の割合に応じて融点が低下する。インジウムを用いるときには、シリコンを含有(例えば1重量%含有)するインジウム熔融液層を $850 \sim 1100^\circ\text{C}$ の基板温度で形成するのは、 1000°C 程度までは基板として石英板ガラスを使用でき、 $1100^\circ\text{C} \sim 850^\circ\text{C}$ まではそれよりも耐熱性が低いガラス、例えば結晶化ガラスでも使用できることになる。ガリウムを用いるときにも、上記と同様の理由から、シリコンを含有(例えば1重量%含有)するガリウム熔融液層を $400 \sim 1100^\circ\text{C}$ の基板温度で形成することができる。

【0025】

後者の場合(インジウム・ガリウム・シリコン又はガリウム・シリコンの場合)、基板として、比較的歪点の低いガラス基板や耐熱性有機基板を用い得るので、大型ガラス基板(例えば 1m^2 以上)上に半導体結晶層を作成することが可能であるが、このような基板は、安価で、薄板化が容易であり、長尺ロール化されたガラス板を作製できる。これを用いて、長尺ロール化ガラス板や耐熱性有機基板上に、上記手法により、ヘテロエピタキシャル成長による単結晶シリコン薄膜を連続して又は非連続に作製することができる。

【0026】

このように、歪点が低いガラスの上層へは、このガラス内部から、その構成元素が拡散しやすいので、これを抑える目的で、拡散バリア層の薄膜(例えばシリコンナイトライド(SiN);厚さ $50 \sim 200\text{nm}$ 程度)などの膜を形成するのがよい。従ってこの場合、拡

散バリア層上に前記多結晶又はアモルファスシリコン層又はシリコン含有の低融点金属層を形成する。

【0027】

上記したシリコンを溶かした低融点金属から、徐冷によって、上記物質層をシードとしてヘテロエピタキシャル成長により前記単結晶シリコン層を析出させた後は、この上の前記低融点金属の層を塩酸などで溶解除去し、しかる後に前記単結晶シリコン層に所定の処理を施して能動素子と受動素子を作製することができる。

【0028】

このように、徐冷後に単結晶シリコン層の上に析出したインジウムなどの低融点金属薄膜は塩酸等を用いて溶解除去するが、インジウム等はシリコン層中に微量(10^{18} atoms/cc程度)しか残留しないよう作成できるので、作成直後はP型の単結晶シリコン薄膜の半導体が作成される。従って、これはnMOSTFETの作製にとって都合が良い。しかし、適量のリン原子などのN型不純物を全面又は選択的にイオン注入することによって、全面又は選択的にN型の単結晶シリコン薄膜を作成することができるので、pMOSTFETも作成することができる。このため、cMOSTFETも作成できることになる。多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、溶解度が大きい3族又は5族の不純物元素(ボロン、リン、アンチモン、ヒ素、ビスマスなど)を別途適量ドーピングしておけば、成長するシリコンエピタキシャル成長層の不純物種及び/又はその濃度、即ち、P型/N型及び/又はキャリア濃度を任意に制御することができる。

【0029】

このように、基板上にヘテロエピタキシャル成長した前記単結晶シリコン層を周辺駆動回路の少なくとも一部を構成するトップゲート型MOSTFETのチャンネル領域、ソース領域及びドレイン領域に適用し、これら各領域の不純物種及び/又はその濃度を制御することができる。

【0030】

前記周辺駆動回路部及び前記表示部の薄膜トランジスタがnチャンネル型、pチャンネル型又は相補型の絶縁ゲート電界効果トランジスタを構成し、例えば相補型とnチャンネル型との組、相補型とpチャンネル型との組、又は相補型とnチャンネル型とpチャンネル型との組からなっていてよい。また、前記周辺駆動回路部及び/又は前記表示部の薄膜トランジスタの少なくとも一部がLDD(Lightly doped drain)構造を有しているのがよい。なお、LDD構造は、ゲートドレイン間のみならず、ゲートソース間にも、又はゲートソース間及びゲートドレイン間の両方に設けてもよい(これをダブルLDDと呼ぶ)。

【0031】

特に、前記MOSTFETは表示部では、nMOS又はpMOS又はcMOSのLDD型TFTを構成し、また周辺駆動回路部では、cMOS又はnMOS又はpMOSTFET又はこれらの混在を構成しているのがよい。

【0032】

本発明においては、前記基板及び/又はその上の膜に段差を設け、この段差を断面において底面に対し側面が直角状若しくは下端側へ望ましくは 90° 以下の底角をなすように傾斜状となるような凹部として、絶縁基板又はその上のSiNなどの膜(或いはこれらの双方)に形成するのがよい。この段差は、前記単結晶シリコン層のヘテロエピタキシャル成長時のシードとなり、単結晶シリコン膜の結晶性を高め、その成長を促進させる作用があると思われる。この段差は、前記能動素子、例えば薄膜トランジスタの前記チャンネル領域、前記ソース領域及び前記ドレイン領域で形成される素子領域の少なくとも一辺に沿って形成するのがよい。また、前記受動素子、例えば抵抗が形成される素子領域の少なくとも一辺に沿って形成されているのがよい。

【0033】

この場合、前記基板としての絶縁基板上に、前記ヘテロエピタキシャル成長のシードとなり、単結晶シリコン膜の結晶性を高め、その成長を促進する作用がある上記した如き所定

形状の段差を所定位置に形成し、この段差を含む前記絶縁基板上に前記物質層を形成することができる。

【0034】

或いは、前記物質層に上記と同様な所定形状の段差を形成し、この段差を含む前記物質層上に前記単結晶シリコン層を形成することができる。

【0035】

これらの場合、上記物質層に加え、上記段差もヘテロエピタキシャル成長のシードとして作用するため、より結晶性の高い単結晶シリコン層を形成でき、その成長を促進することができる。

【0036】

前記MOSTFETの如き第1の薄膜トランジスタを前記段差による基板凹部内に設けるが、凹部外の凹部付近にも設けてよい。前記段差はリアクティブイオンエッチングなどのドライエッチングによって形成してよい。

【0037】

この場合、前記第1の基板の一方の面上に上記の段差を形成し、この段差を含む前記基板上に結晶性サファイア膜と単結晶、多結晶又はアモルファスシリコン層を形成し、前記第2の薄膜トランジスタを、前記単結晶、多結晶又はアモルファスシリコン層をチャンネル領域、ソース領域及びドレイン領域とし、前記チャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型としてよい。

【0038】

この場合も、断面において底面に対し側面が直角状若しくは下端側へ望ましくは 90° 以下の底角をなすように傾斜状となるような凹部として上記と同様の前記段差を形成し、この段差を前記単結晶シリコン層のヘテロエピタキシャル成長時のシードとし、成長速度の向上及び結晶性を高める役割をさせる。

【0039】

前記第2の薄膜トランジスタは、前記第1の基板及び／又はその上の膜に形成した前記段差による基板凹部内及び／又は外に設け、前記第1の薄膜トランジスタと同様にヘテロエピタキシャル成長による単結晶シリコン層を用いて、そのソース、ドレイン、チャンネルの各領域を形成してよい。

【0040】

この第2の薄膜トランジスタでも、上記したと同様、前記単結晶、多結晶又はアモルファスシリコン層の3族又は5族の不純物種及び／又はその濃度を制御したり、前記段差を、前記第2の薄膜トランジスタの前記チャンネル領域、前記ソース領域及び前記ドレイン領域で形成される素子領域の少なくとも一辺に沿って形成してよい。また、前記単結晶、多結晶又はアモルファスシリコン層下のゲート電極をその側端部にて台形状にするのがよい。前記第1の基板と前記単結晶、多結晶又はアモルファスシリコン層との間に拡散バリア層を設けてよい。

【0041】

前記第1及び／又は第2の薄膜トランジスタのソース又はドレイン電極を前記段差を含む領域上に形成するのがよい。

【0042】

前記第1の薄膜トランジスタを、チャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型の中から選ばれた少なくともトップゲート型とし、かつ、表示部において画素電極をスイッチングするスイッチング素子を、前記トップゲート型、前記ボトムゲート型又は前記デュアルゲート型の第2の薄膜トランジスタとしてよい。

【0043】

この場合、チャンネル領域の下部に設けられたゲート電極を耐熱性材料で形成したり、前記第2の薄膜トランジスタの上部ゲート電極と前記第1の薄膜トランジスタのゲート電極とを共通の材料で形成してよい。

【0044】

前記周辺駆動回路部において、前記第1の薄膜トランジスタ以外に、多結晶又はアモルファスシリコン層をチャンネル領域とし、このチャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型の薄膜トランジスタ、或いは前記単結晶シリコン層又は多結晶シリコン層又はアモルファスシリコン層を用いたダイオード、抵抗、キャパシタンス、インダクタンス素子などを設けてよい。

【0045】

前記周辺駆動回路部及び／又は前記表示部の薄膜トランジスタを、シングルゲート又はマルチゲートに構成してよい。

【0046】

前記周辺駆動回路部及び／又は前記表示部のn又はpチャンネル型の薄膜トランジスタがデュアルゲート型であるときには、上部又は下部ゲート電極を電氣的にオープンとするか或いは任意の負電圧(nチャンネル型の場合)又は正電圧(pチャンネル型の場合)を印加し、ボトムゲート型又はトップゲート型の薄膜トランジスタとして動作するのがよい。

【0047】

前記周辺駆動回路部の薄膜トランジスタをnチャンネル型、pチャンネル型又は相補型の前記第1の薄膜トランジスタとし、前記表示部の薄膜トランジスタを、単結晶シリコン層をチャンネル領域とするときはnチャンネル型、pチャンネル型又は相補型であり、多結晶シリコン層をチャンネル領域とするときにはnチャンネル型、pチャンネル型又は相補型とし、アモルファスシリコン層をチャンネル領域とするときにはnチャンネル型、pチャンネル型又は相補型としてよい。

【0048】

本発明において、前記単結晶シリコン層の成長後、この単結晶シリコン層上にゲート絶縁膜とゲート電極とからなる上部ゲート部を形成し、この上部ゲート部をマスクとして前記単結晶シリコン層に3族又は5族の不純物元素を導入して前記チャンネル領域、前記ソース領域及び前記ドレイン領域を形成してよい。

【0049】

また、前記第2の薄膜トランジスタがボトムゲート型又はデュアルゲート型であるときは、前記チャンネル領域の下部に耐熱性材料からなる下部ゲート電極を設け、このゲート電極上にゲート絶縁膜を形成して下部ゲート部を形成した後、前記段差の形成工程を含めて前記第1の薄膜トランジスタと共通の工程を経て前記第2の薄膜トランジスタを形成することができる。この場合、前記第2の薄膜トランジスタの上部ゲート電極と前記第1の薄膜トランジスタのゲート電極とを共通の材料で形成することができる。

【0050】

また、前記下部ゲート部に前記単結晶シリコン層を形成した後、この単結晶シリコン層に3族又は5族の不純物元素を導入し、ソース及びドレイン領域を形成した後に、活性化処理を行うことができる。

【0051】

また、前記単結晶シリコン層の形成後にレジストをマスクとして前記第1及び第2の薄膜トランジスタの各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に前記活性化処理を行い、ゲート絶縁膜の形成後に、前記第1の薄膜トランジスタのゲート電極と、必要あれば前記第2の薄膜トランジスタの上部ゲート電極とを形成してよい。

【0052】

前記薄膜トランジスタがトップゲート型のとき、前記単結晶シリコン層の形成後にレジストをマスクとして前記第1及び第2の薄膜トランジスタの各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に活性化処理を行い、しかる後に前記第1及び第2の薄膜トランジスタのゲート絶縁膜とゲート電極とからなる各ゲート部を形成することができる。

【0053】

或いは、前記薄膜トランジスタがトップゲート型のとき、前記単結晶シリコン層の形成後に前記第1及び第2の薄膜トランジスタの各ゲート絶縁膜と耐熱性材料からなる各ゲート電極とを形成して各ゲート部を形成し、これらのゲート部をマスクとして各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に活性化処理を行ってもよい。

【0054】

また、前記LDD構造を形成する際に用いたレジストマスクを残して、これを覆うレジストマスクを用いてソース領域及びドレイン領域形成用のイオン注入を行うことができる。

【0055】

また、前記基板を光学的に不透明又は透明とし、反射型、又は透過型の表示部用画素電極を設けてよい。

【0056】

前記表示部が前記画素電極とカラーフィルタ層との積層構造を有していると、表示アレイ部上にカラーフィルタを作り込むことにより、表示パネルの開口率、輝度等の改善をはじめ、カラーフィルタ基板の省略、生産性改善等によるコストダウンが実現する。

【0057】

この場合、前記画素電極が反射電極であるときは、樹脂膜に最適な反射特性と視野角特性を得るための凹凸を形成し、この上に画素電極を設け、また前記画素電極が透明電極であるときは、透明平坦化膜によって表面を平坦化し、この平坦化面上に画素電極を設けるのがよい。

【0058】

前記表示部は、前記MOSTFETによる駆動で発光又は調光を行うように構成し、例えば液晶表示装置(LCD)、エレクトロルミネセンス表示装置(EL)又は電界放出型表示装置(FED)、発光ポリマー表示装置(LEPD)、発光ダイオード表示装置(LED)などとして構成してよい。この場合、前記表示部に複数の前記画素電極をマトリクス状に配列し、これらの画素電極のそれぞれに前記スイッチング素子を接続してよい。

【0059】

次に、本発明を好ましい実施の形態について更に詳細に説明する。

【0060】

<第1の実施の形態>

図1～図1.2は、本発明の第1の実施の形態を示すものである。

【0061】

本実施の形態は、耐熱性基板に設けた上述した段差(凹部)を含む面上に、上述した物質層(例えば結晶性サファイア膜)を形成し、この物質層をシードとしてインジウム・シリコンから単結晶シリコン層を高温ヘテロエピタキシャル成長させ、これを用いてトップゲート型MOSTFETを構成したアクティブマトリクス反射型液晶表示装置(LCD)に関するものである。まず、この反射型LCDの全体のレイアウトを図1.1～図1.3について説明する。

【0062】

図1.1に示すように、このアクティブマトリクス反射型LCDは、主基板1(これはアクティブマトリクス基板を構成する。)と対向基板3.2とをスペーサ(図示せず)を介して貼り合わせたフラットパネル構造からなり、両基板1～3.2間に液晶(ここでは図示せず)が封入されている。主基板1の表面には、マトリクス状に配列した画素電極2.9(又は4.1)と、この画素電極を駆動するスイッチング素子とからなる表示部、及びこの表示部に接続される周辺駆動回路部とが設けられている。

【0063】

表示部のスイッチング素子は、本発明に基づくnMOS又はpMOS又はcMOSでLDD構造のトップゲート型MOSTFETで構成される。また、周辺駆動回路部にも、回路要素として、本発明に基づくトップゲート型MOSTFETのcMOS又はnMOS又はpMOSTFET又はこれらの混在が形成されている。なお、一方の周辺駆動回路部はデータ信

号を供給して各画素のTFTを水平ライン毎に駆動する水平駆動回路であり、また他方の周辺駆動回路部は各画素のTFTのゲートを走査ライン毎に駆動する垂直駆動回路であり、通常は表示部の両辺にそれぞれ設けられる。これらの駆動回路は、点順次アナログ方式、線順次デジタル方式のいずれも構成できる。

【0064】

図12に示すように、直交するゲートバスラインとデータバスラインの交差部に上記のTFTが配置され、このTFTを介して液晶容量(C_{LF})に画像情報を書き込み、次の情報がかかるまで電荷を保持する。この場合、TFTのチャンネル抵抗だけで保持させるには十分ではないので、それを補うため液晶容量と並列に蓄積容量(補助容量)(C_s)を付加し、リーク電流による液晶電圧の低下を補ってよい。こうしたLCD用TFTでは、画素部(表示部)に使用するTFTの特性と周辺駆動回路に使用するTFTの特性とでは要求性能が異なり、特に画素部のTFTではオフ電流の制御、オン電流の確保が重要な問題となる。このため、表示部には、後述の加しLDD構造のTFTを設けることによって、ゲートドレイン間に電界がかかりにくい構造としてチャンネル領域にかかる実効的な電界を低減させ、オフ電流を低減し、特性の変化も小さくできる。しかし、プロセス的には複雑になり、素子サイズも大きくなり、かつオン電流が低下するなどの問題も発生するため、それぞれの使用目的に合わせた最適設計が必要である。

【0065】

なお、使用可能な液晶としては、TN液晶(アクティブマトリクス駆動のTNモードに用いられるネマチック液晶)をはじめ、STN(スーパーツイステッドネマチック)、GH(ゲスト・ホスト)、PC(フェーズ・チェンジ)、 FLC(強誘電性液晶)、AFLC(反強誘電性液晶)、PDLC(ポリマー分散型液晶)等の各種モード用の液晶を採用してよい。

【0066】

また、図13について周辺駆動回路の回路方式とその駆動方法の概略を述べる。駆動回路はゲート側駆動回路とデータ側駆動回路に分けられ、ゲート側、データ側ともにシフトレジスタを構成する必要がある。シフトレジスタは一般的に、pMOSTFETとnMOSTFETの両方を使用したもの(いわゆるCMOS回路)やいずれか一方のMOSTFETのみを使用したものがあるが、動作速度、信頼性、低消費電力の面でcMOSTFET又はCMOS回路が一般的である。

【0067】

走査側駆動回路はシフトレジスタとバッファから構成されており、水平走査期間と同期したパルスをシフトレジスタから各ラインに送る。一方、データ側駆動回路は点順次方式と線順次方式の二つの駆動方法があり、図示した点順次方式では回路の構成は比較的簡単であって、表示信号をアナログスイッチを通してシフトレジスタで制御しながら直接に各画素に書き込む。各画素に一水平走査時間内に順次書き込む(図中のR、G、Bは各色毎に画素を概略的に示している)。

【0068】

次に、図1～図9について、本実施の形態によるアクティブマトリクス反射型LCDをその製造工程に従って説明する。但し、図1～図6において、各図の左側は表示部の製造工程、右側は周辺駆動回路部の製造工程を示す。

【0069】

まず、図1の(1)に示すように、石英ガラス、透明性結晶化ガラスなどの絶縁基板1の一主面において、少なくともTFT形成領域に、フォトリソ2を所定パターンに形成し、これをマスクとして例えばCF₄プラズマのF⁺イオン3を照射し、リアクティブイオンエッチング(RIE)などの汎用フォトリソグラフィ及びエッチング(フォトエッチング)によって基板1に段差4を適当な形状及び寸法で複数個形成する。

【0070】

この場合、絶縁基板1として石英ガラス、透明性結晶化ガラス、セラミック等(但し、後述の透過型LCDでは、不透明のセラミック基板や低透明性の結晶化ガラスは使用できな

い。)の高耐熱性基板(8~12インチφ、700~800μm厚)が使用可能である。また、段差4は、後述の単結晶シリコンのエピタキシャル成長時のシードとなるものであって、深さd0.1~0.4μm、幅w2~10μm、長さ(紙面垂直方向)10~20μmであってよく、底辺と側面のなす角(底角)は直角とする。なお、基板1の表面には、ガラス基板からのNaイオンなどの拡散防止のため、SiN膜(例えば50~200nm厚)と必要に応じてシリコン酸化膜(以後SiO₂膜と呼ぶ。)(例えば約100nm厚)を予め連続形成してよい。

【0071】

次いで、図1の(2)に示すように、フォトリソスト2の除去後に、絶縁基板1の一主面において、段差4を含む少なくともTFT形成領域に、結晶性サファイア薄膜(厚さ20~200nm)50を形成する。この結晶性サファイア薄膜50は、高密度プラズマCVD法や、触媒CVD法(特開昭63-40314号公報参照)等により、トリメチルアルミニウムガスなどを酸化性ガス(酸素、水分)で酸化し、結晶化させて作成する。絶縁基板1として高耐熱性ガラス基板(8~12インチφ、700~800μm厚)が使用可能である。

【0072】

次いで、図1の(3)に示すように、公知の触媒CVD法やプラズマCVD法、スパッタ法などによって、段差4を含む結晶性サファイア薄膜50上の全面に多結晶シリコン膜5を基板温度約100~400℃で数μm~0.005μm(例えば0.1μm)の厚みに堆積させる。なお、多結晶シリコン膜5に代えて、アモルファスシリコン膜を形成してもよいが、以下、多結晶シリコン膜を代表例として説明する。

【0073】

次いで、図1の(4)に示すように、多結晶シリコン膜5上に、インジウム膜6をトリメチルインジウムのMOCVD法やスパッタ法、真空蒸着法によって多結晶シリコン膜5の数10~数100倍の厚さ(例えば10~15μm)に形成する。

【0074】

次いで、基板1を水素又は窒素-水素混合物又はアルゴン-水素混合物等の水素系雰囲気下で1000℃以下、特に900~930℃に約5分間保持する。これによって、多結晶シリコン5はインジウム6の熔融液に溶解する。この熔融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。基板1の加熱は、電気炉等を用いて基板全体を均一に加熱する方法の他に、光レーザー、電子ビーム等によって、所定の場所のみ、例えば、TFT形成領域のみを局部的に加熱する方法も可能である。

【0075】

次いで、徐々に冷却することによって、インジウムに溶解していたシリコンは、結晶性サファイア薄膜50(更には段差4の底辺の角部)をシード(種)として図2の(5)に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1μm程度のP型単結晶シリコン層7として析出する。

【0076】

上記のようにして堆積した単結晶シリコン層7は結晶性サファイア膜50が単結晶シリコンと良好な格子整合を示すために、例えば(100)面が基板上にヘテロエピタキシャル成長する。この場合、段差4もグラフォエピタキシャル成長と称される公知の現象を加味したヘテロエピタキシャル成長に寄与し、より結晶性の高い単結晶シリコン層7が得られる。これについては、図8に示すように、非晶質基板(ガラス)1に上記の段差4の如き垂直な壁を作り、この上にエピタキシー層を形成すると、図8(a)のようなランダムな面方位であったものが図8(b)のように(100)面が段差4の面に沿って結晶成長する。この単結晶粒の大きさは、温度・時間に比例して大きくなるが、温度・時間を低く、短くする時は、上記段差の間隔を短くしなければならない。また、上記段差の形状を図9(a)~(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。MOSトランジスタを作成する場合は、(100)面が最も多く採用されている。要するに、段差4の断面形状は、底辺角部の角度(底角)が直角をはじめ、上端から下

端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じ易い特定方向の面を有していればよい。段差4の底角は通常は直角又は90°以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

【0077】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、図2の(6)のように、表面側に析出したインジウム膜6Aを塩酸、硫酸などのよって溶解除去(この際、低級シリコン酸化膜が生成しないように後処理)し、単結晶シリコン層7をチャンネル領域とするトップゲート型MOSTFTの作製を行う。

【0078】

まず、上記のヘテロエピタキシャル成長による単結晶シリコン薄膜7はインジウムの含有によってP型化しているが、そのP型不純物濃度はばらついているので、pチャンネルMOSTFT部をフォトリソ(図示せず)でマスクし、P型不純物イオン(例えばB⁺)を10kVで $2.7 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、比抵抗を調整する。また、図2の(7)に示すように、pMOSTFT形成領域の不純物濃度制御のため、nMOSTFT部をフォトリソ60でマスクし、N型不純物イオン(例えばP⁺)65を10kVで $1 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、N型ウェル7Aを形成する。

【0079】

次いで、図3の(8)に示すように、単結晶シリコン薄膜層7の全面上に、プラズマCVD、高密度プラズマCVD、触媒CVD法等でSiO₂(約200nm厚)とSiN(約100nm厚)をこの順に連続形成してゲート絶縁膜8を形成し、更に、モリブデン・タantal(Mo・Ta)合金のスバック膜9(500~600nm厚)を形成する。

【0080】

次いで、図3の(9)に示すように、汎用のフォトリソグラフィ技術により、表示領域のTFT部と、周辺駆動領域のTFT部とのそれぞれの段差領域(凹部内)にフォトリソパターン10を形成し、連続したエッチングにより、(Mo・Ta)合金のゲート電極11とゲート絶縁膜(SiN/SiO₂)12とを形成し、単結晶シリコン薄膜層7を露出させる。(Mo・Ta)合金膜9は酸系エッチング液、SiNはCF₄ガスのプラズマエッチング、SiO₂はフッ酸系エッチング液で処理する。

【0081】

次いで、図3の(10)に示すように、周辺駆動領域のnMOS及びpMOSTFT全部と、表示領域のnMOSTFTのゲート部をフォトリソ13でカバーし、露出したnMOSTFTのソース/ドレイン領域にリンイオン14を例えば20kVで $5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、N⁺型層からなるLDD部15を自己整合的(セルフアライン)に形成する。

【0082】

次いで、図4の(11)に示すように、周辺駆動領域のpMOSTFT全部と、周辺駆動領域のnMOSTFTのゲート部と、表示領域のnMOSTFTのゲート及びLDD部とをフォトリソ16でカバーし、露出した領域にリン又はヒ素イオン17を例えば20kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、nMOSTFTのN⁺型層からなるソース部18及びドレイン部19とLDD部15とを形成する。

【0083】

次いで、図4の(12)に示すように、周辺駆動領域のnMOSTFT及び表示領域のnMOSTFTの全部とpMOSTFTのゲート部をフォトリソ20でカバーし、露出した領域にボロンイオン21を例えば10kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)してpMOSTFTのP⁺層のソース部22及びドレイン部23を形成する。なお、この作業は、nMOS周辺駆動回路の場合はpMOSTFTが無いので、不要な作業である。

【0084】

次いで、図4の(13)に示すように、TFT、ダイオードなどの能動素子部や、抵抗、インダクタンスなどの受動素子部をアイランド化するため、フォトリソグラフィ24を設け、周辺駆動領域及び表示領域のすべての能動素子部及び受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で除去する。エッチング液はフッ酸系である。

【0085】

次いで、図5の(14)に示すように、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、 SiO_2 膜(約200nm厚)及びリンシリケートガラス(PSG)膜(約300nm厚)をこの順に全面に連続形成して保護膜25を形成する。

【0086】

そして、この状態で単結晶シリコン層を活性化処理する。この活性化においてハロゲン等のランプアニール条件は約1000℃、約10秒程度であり、これに耐えるゲート電極材が必要であるが、高融点のMo-Ta合金は適している。このゲート電極材は従って、ゲート部のみならず配線として広範囲に亘って引き廻して設けることができる。なお、ここでは高価なエキシマレーザーアニールは使用しないが、仮に利用するとすれば、その条件はXeCl(308nm波長)で全面、又は能動素子部及び受動素子部のみの選択的な90%以上のオーバーラップスキャンニングが望ましい。

【0087】

次いで、図5の(15)に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全TFTのソース/ドレイン部、及び表示用TFTのソース部のコンタクト用窓開けを行う。

【0088】

そして、全面に500～600nm厚のアルミニウム又はアルミニウム合金、例えば1%Si入りアルミニウム又は1～2%銅入りアルミニウム、銅等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのTFTのソース電極26と周辺駆動回路部のドレイン電極27を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス($\text{N}_2 + \text{H}_2$)中、約400℃/1hで、シンター処理する。

【0089】

次いで、図5の(16)に示すように、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、PSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成する。次いで、表示用TFTのドレイン部のコンタクト用窓開けを行う。なお、画素部の SiO_2 、PSG及びSiN膜は除去する必要はない。

【0090】

反射型液晶表示装置の基本的要件としては、液晶パネルの内部に入射光を反射させる機能と散乱させる機能を合わせ持たなければならない。これは、ディスプレイに対する観察者の方向はほぼ決まっているが、入射光の方向が一義的に決められないためである。このため、任意の方向に点光源が存在することを想定して反射板の設計を行う必要がある。そこで、図6の(17)に示すように、全面に、スピンコート等で2～3μm厚みの感光性樹脂膜28を形成し、図6の(18)に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るための凹凸形状パターンを形成し、リフローさせて凹凸粗面28Aからなる反射面下部を形成する。同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行う。

【0091】

次いで、図6の(19)に示すように、全面に400～500nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜等を除去し、表示用TFTのドレイン部19と接続した凹凸形状のアルミニウム等の反射部29を形成する。これは表示用の画素電極として用いられる。その後、フォーミングガス中、約300℃/1hでシンター処理し、コンタクトを十分に作る。尚、反射率を高めるために、アルミニウム系に代えて銀又

は銀合金を使用してもよい。

【0092】

以上のようにして、段差4を含むサファイア薄膜50を高温ヘテロエピタキシャル成長のシードとして単結晶シリコン層7を形成し、この単結晶シリコン層7を用いた表示部及び周辺駆動回路部にそれぞれ、トップゲート型のnMOSLDD-TFT、pMOSTFT及びnMOSTFTで構成するCMOS回路を作り込んだ表示部—周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0093】

次に、このアクティブマトリクス基板（駆動基板）30を用いて、反射型液晶表示装置（LCD）を製造する方法を図7について説明する。以降では、このアクティブマトリクス基板をTFT基板と呼称する。

【0094】

このLCDの液晶セルを面組立で作製する場合（2インチサイズ以上の中／大型液晶パネルに適している。）、まずTFT基板30と、全面ベタのITO（Indium tin oxide）電極31を設けた対向基板32の素子形成面に、ポリイミド配向膜33、34を形成する。このポリイミド配向膜はロールコート、スピンコート等により50～100nm厚に形成し、180℃／2hで硬化キュアする。

【0095】

次いで、TFT基板30と対向基板32をラビング、又は光配向処理する。ラビングバフ材にはコットンやレーヨン等があるが、バフかす（ゴミ）やリクデーション等の面からはコットンの方が安定している。光配向は非接触の線型偏光紫外線照射による液晶分子の配向技術である。なお、配向には、ラビング以外にも、偏光又は非偏光を斜め入射させることによって高分子配向膜を形成することができる（このような高分子化合物は、例えばアゾベンゼンを有するポリメチルメタクリレート系高分子等がある）。

【0096】

次いで、洗浄後に、TFT基板30側にはコモン剤塗布、対向基板32側にはシール剤塗布する。ラビングバフかす除去のために、水、又はIPA（イソプロピルアルコール）洗浄する。コモン剤は導電性フィラーを含有したアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよく、シール剤はアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよい。加熱硬化、紫外線照射硬化、紫外線照射硬化+加熱硬化のいずれも使用できるが、重ね合せの精度と作業性からは紫外線照射硬化+加熱硬化タイプが良い。

【0097】

次いで、対向基板32側に所定のギャップを得るためのスペーサを散布し、TFT基板30と所定の位置で重ね合わせる。対向基板32側のアライメントマークとTFT基板30側のアライメントマークとを精度よく合わせた後に、紫外線照射してシール剤を仮硬化させ、その後一括して加熱硬化する。

【0098】

次いで、スクライブブレードして、TFT基板30と対向基板32を重ね合せた単個の液晶パネルを作成する。

【0099】

次いで、液晶35を両基板30—32間のギャップ内に注入し、注入口を紫外線接着剤で封止後に、IPA洗浄する。液晶の種類はなんでも良いが、例えばネマティック液晶を用いる高速応答のTN（ツイストネマティック）モードが一般的である。

【0100】

次いで、加熱急冷処理して、液晶35を配向させる。

【0101】

次いで、TFT基板30のパネル電極取り出し部にフレキシブル配線を異方性導電膜の熱圧着で接続し、更に対向基板32に偏光板を貼合わせる。

【0102】

また、液晶パネルの面単組立の場合（2インチサイズ以下の小型液晶パネルに適している。）、上記と同様、TFT基板30と対向基板32の素子形成面に、ポリイミド配向33、34を形成し、両基板をラビング、又は非接触の線型偏光紫外線光の配向処理する。

【0103】

次いで、TFT基板30と対向基板32をグイシング又はスクライブブレイクで単個に分割し、水又はIPA洗浄する。TFT基板30にはコモン剤塗布、対向基板32にはスペーサ含有のシール剤塗布し、両基板を重ね合わせる。これ以降のプロセスは上記に準ずる。

【0104】

上記した反射型LCDにおいて、対向基板32はCF（カラーフィルタ）基板であって、カラーフィルタ層46をITO電極31下に設けたものである。対向基板32側からの入射光は反射膜29で効率良く反射されて対向基板32側から出射する。

【0105】

他方、TFT基板30として、図7のような上記した基板構造以外に、TFT基板30にカラーフィルタを設けたオンチップカラーフィルタ（OCCF）構造のTFT基板とするときには、対向基板32にはITO電極がベタ付け（又はブラックマスク付きのITO電極がベタ付け）される。

【0106】

なお、図12に示した補助容量C₀を画素部に組み込む場合は、上記した基板1上に設けた誘電体層（図示せず）を単結晶シリコンのドレイン領域19と接続すればよい。

【0107】

以上に説明したように、本実施の形態によれば、次の如き顕著な作用効果が得られる。

【0108】

（a）所定形状／寸法の段差4を設けた基板1に結晶性サファイア薄膜50を形成し、これをシードとして高温ヘテロエピタキシャル成長（但し、成長時の加熱温度は900～930℃と比較的低温）させることにより、 $540\text{ cm}^2/\text{v} \cdot \text{sec}$ 以上の高い電子移動度の単結晶シリコン薄膜7が得られるので、高性能ドライバ内蔵のLCDの製造が可能となる。段差4はこのヘテロエピタキシャル成長を促進するため、より結晶性の高い単結晶シリコン薄膜7が得られる。

【0109】

（b）この単結晶シリコン薄膜は、従来のアモルファスシリコン薄膜や多結晶シリコン薄膜に比べて、単結晶シリコン基板並の高い電子及び正孔移動度を示すので、これによる単結晶シリコントップゲート型MOSTFTは、高いスイッチング特性と低リーク電流のLDD構造を有するnMOS又はpMOS又はcMOSTFTの表示部と、高い駆動能力のcMOS、nMOS又はpMOSTFT又はこれらの混在からなる周辺駆動回路部とを一体化した構成が可能となり、高画質、高精細、狭額縁、大画面、高効率の表示パネルが実現する。この単結晶シリコン薄膜7は十分に高い正孔移動度を示すため、電子と正孔をそれぞれ単独でも、或いは双方を組み合わせ駆動する周辺駆動回路を作製でき、これをnMOS又はpMOS又はcMOSのLDD構造の表示用TFTと一体化したパネルを実現できる。また、小型～中型パネルの場合には、周辺の一対の垂直駆動回路の一方を省略できる可能性がある。

【0110】

（c）そして、上記した多結晶シリコン（又はアモルファスシリコン）層5はプラズマ又は減圧CVD（化学的気相成長：基板温度100～400℃）などの方法で形成でき、上記した低融点金属層6は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したヘテロエピタキシャル成長時の加熱処理温度は930℃以下が可能であるから、絶縁基板上に比較的低温（例えば900～930℃以下）で単結晶シリコン膜7を均一に形成することができる。なお、基板としては、石英ガラスや結晶化ガラス、セラミック基板などが使用可能である。

【0111】

（d）固相成長法の場合のような中温で長時間のアニールや、エキシマレーザーアニール

が不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【0112】

(e) この高温ヘテロエピタキシャル成長では、結晶性サファイア薄膜等の結晶性、インジウム・シリコン組成比、段差の形状、基板加熱温度、冷却速度、添加するN型又はP型キャリア不純物濃度等の調整により、広範囲のP型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Vth(しきい値)調整が容易であり、低抵抗化による高速動作が可能である。

【0113】

(f) 表示アレイ部上にカラーフィルタを作り込めば、表示パネルの開口率、輝度等の改善をはじめ、カラーフィルタ基板の省略、生産性改善等によるコストダウンが実現する。

【0114】

(g) 結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【0115】

<第2の実施の形態>

図14は、本発明の第2の実施の形態を示すものである。

【0116】

本実施の形態では、上述の第1の実施の形態と同様のアクティブマトリクス反射型LCDに関するものであるが、上述の第1の実施の形態と比べて、図1の(2)の工程後に、図14の(3)に示すように、段差4を含む結晶性サファイア薄膜50上の全面にまず、例えばインジウム膜6をスパッタ法又は真空蒸着法で例えば10～20 μ mの厚みに形成する。インジウム膜6に代えて、インジウム・ガリウム膜又はガリウム膜も適用できるが、以下、インジウム膜を代表例として説明する。

【0117】

次いで、図14の(4)に示すように、公知のプラズマCVD法によって、インジウム膜6上にアモルファスシリコン膜5を数 μ m～0.005 μ m(例えば0.1 μ m)の厚みに堆積させる。

【0118】

この場合、シリコン膜の形成温度は、低融点金属6の融点(インジウムは融点15.6℃、ガリウムの場合は融点29.77℃)を大幅に越えないようにすべきであるから、多結晶シリコン膜形成(600～650℃)は困難である。従って、プラズマCVDにより、アモルファスシリコン膜5をインジウム膜6上に形成する。

【0119】

次いで、基板1を水素系雰囲気下で1000℃以下(特に900～930℃)に約5分間保持する。これによって、アモルファスシリコン膜5はインジウムの熔融液に溶解する。

【0120】

次いで、徐々に冷却することによって、インジウム熔融液に溶解したシリコンは、結晶性サファイア薄膜50(更には段差4)をシード(種)として図14の(5)に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1 μ m程度の単結晶シリコン層7として析出する。

【0121】

この場合、単結晶シリコン層7は上述したと同様に(100)面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図9(a)～(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。

【0122】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、上述した第1の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層7に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各TFTの作製を行う。

【0123】

本実施の形態では、段差4上に低融点金属層6を形成し、この上にアモルファスシリコン層5を形成した後、加熱溶融、冷却処理しているが、低融点金属の熔融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【0124】

<第3の実施の形態>

図15は、本発明の第3の実施の形態を示すものである。

【0125】

本実施の形態は、上述の第1の実施の形態と同様のアクティブマトリクス反射型LCDに関するものであるが、上述の第1の実施の形態と比べて、図1の(2)の工程後に、図15の(3)に示すように、段差4を含む結晶性サファイア薄膜50上の全面に、所定量(例えば約1重量%)のシリコンを含有する例えばインジウム膜6Aをスパッタ法又は真空蒸着法で例えば10～20 μ mの厚みに形成する。

【0126】

次いで、基板1を水素系雰囲気下で1000℃以下(特に900～930℃)に約5分間保持する。これによって、上記のシリコンはインジウムの熔融液に溶解する。

【0127】

次いで、徐々に冷却することによって、インジウム熔融液に溶解したシリコンは、結晶性サファイア薄膜50(更には段差4)をシード(種)として図15の(4)に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1 μ m程度の単結晶シリコン層7として析出する。

【0128】

この場合、単結晶シリコン層7は上述したと同様に(100)面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図9(a)～(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。

【0129】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、上述した第1の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層7に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各TFTの作製を行う。

【0130】

本実施の形態では、段差4上にシリコンを含有する低融点金属層6Aを形成した後、加熱溶融、冷却処理しているが、低融点金属の熔融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【0131】

<第4の実施の形態>

図16～図18について、本発明の第4の実施の形態を説明する。

【0132】

本実施の形態は、上述の第1の実施の形態と比べて、同様のトップゲート型MOSTFTを表示部及び周辺駆動回路部に有するが、上述の第1の実施の形態とは異なって、透過型LCDに関するものである。即ち、図1の(1)から図5の(16)に示す工程までは同様であるが、その工程後に、図16の(17)に示すように、絶縁膜25、36に表示用TFTのドレイン部コンタクト用の窓開け19を行うと同時に、透過率向上のために画素開口部の不要なSiO₂、PSG及びSiN膜を除去する。

【0133】

次いで、図16の(18)に示すように、全面にスピコート等で2～3 μ m厚みの感光性アクリル系透明樹脂の平坦化膜28Bを形成し、汎用フォトリソグラフィにより、表示用TFTのドレイン側の透明樹脂28Bの窓開けを行い、所定条件で硬化させる。

【0134】

次いで、図16の(19)に示すように、全面に130～150nm厚のITOスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用TFTのドレイ

ン部19とコンタクトしたITO透明電極41を形成する。そして、熱処理（フォーミングガス中、200～250℃/1h）により、表示用TFTのドレインとITOのコンタクト抵抗の低減化とITO透明度の向上を図る。

【0135】

そして、図17に示すように、対向基板32と組み合わせ、上述の第1の実施の形態と同様にして透過型LCDを組み立てる。但し、TFT基板側にも偏光板を貼り合わせる。この透過型LCDでは、実線のように透過光が得られるが、一点鎖線のように対向基板32側からの透過光が得られるようにもできる。

【0136】

この透過型LCDの場合、次のようにしてオンチップカラーフィルタ（OCCF）構造とオンチップブラック（OCB）構造を作製することができる。

【0137】

即ち、図1の（1）～図5の（15）までの工程は上記の工程に準じて行うが、その後、図18の（16）に示すように、PSG/SiO₂の絶縁膜25のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層41Aを形成した後、SiN/PSGの絶縁膜36を形成する。

【0138】

次いで、図18の（17）に示すように、R、G、Bの各色を各セグメント毎に顔料分散したフォトレジスト61を所定厚さ（1～1.5μm）で形成した後、図18の（18）に示すように、汎用フォトリソグラフィ技術で所定位置（各画素部）のみを残すパターニングで各カラーフィルタ層61（R）、61（G）、61（B）を形成する（オンチップカラーフィルタ構造）。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板や低透過率のガラス及び耐熱性樹脂基板は使用できない。

【0139】

次いで、図18の（18）に示すように、表示用TFTのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層43を金属のパターニングで形成する。例えば、スパッタ法により、モリブデンを200～250nm厚で成膜し、表示用TFTを覆って遮光する所定の形状にパターニングする（オンチップブラック構造）。

【0140】

次いで、図18の（19）に示すように、透明樹脂の平坦化膜28Bを形成し、更にこの平坦化膜に設けたスルーホールにITO透明電極41を遮光層43に接続するように形成する。

【0141】

このように、表示アレイ部上に、カラーフィルタ61やブラックマスク43を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【0142】

<第5の実施の形態>

本発明の第5の実施の形態を説明する。

【0143】

本実施の形態は、歪みの低いガラス基板上に上述した段差（凹部）4及び結晶性サファイア薄膜50を形成し、これをシードとしてインジウム・ガリウム・シリコン又はガリウム・シリコン溶解液から単結晶シリコン層を低温ヘテロエピタキシャル成長させ、これを用いてトップゲート型MOSTFETを構成したアクティブマトリクス反射型液晶表示装置（LCD）に関するものである。

【0144】

即ち、本実施の形態では、上述の第1の実施の形態と比べて、図1の（1）に示す工程で、基板1として、歪み又は最高使用温度が例えば600℃程度と低いガラス、例えばホウケイ酸ガラスやアルミノケイ酸ガラスなどのガラス基板を用いる。これは、安価でかつ大

型化が容易であり、薄板大型化(例えば $500 \times 600 \times 0.1 \sim 1.1$ mm厚)すればロール化/長尺化が可能である。もちろん、石英基板や結晶化ガラス基板も採用することができる。

【0145】

そして、上述と同様に段差4及び結晶性サファイア薄膜50、更には多結晶シリコン層5を形成した後、図1の(4)に示す工程で、多結晶シリコン膜5上に、インジウム・ガリウム膜(又はガリウム膜)をトリメチルインジウムガリウムやトリメチルガリウムのMOCVD法やスパッタ法、真空蒸着法によって多結晶シリコン膜5の数1.0~数10.0倍の厚さ(例えば $10 \sim 20 \mu\text{m}$)に形成する。

【0146】

次いで、基板1を水素系雰囲気下で $300 \sim 600^\circ\text{C}$ (又は $420 \sim 600^\circ\text{C}$)に約5分間保持する。これによって、多結晶シリコン5(又はアモルファスシリコン)はインジウム・ガリウムの熔融液又はガリウムの熔融液に溶解する。この熔融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。

【0147】

次いで、徐々に冷却することによって、インジウム・ガリウム(又はガリウム)に溶解していたシリコンは、段差4の底辺の角部をシード(種)として図2の(5)に示すようにヘテロエピタキシャル成長し、厚さ例えば $0.1 \mu\text{m}$ 程度の単結晶シリコン層7として析出する。

【0148】

この場合、単結晶シリコン層7は上述したと同様に(100)面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図9(a)~(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。

【0149】

こうして、低温ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、図2の(6)のように、表面側のインジウム・ガリウム(又はガリウム)を塩酸、硫酸などによって溶解除去する。

【0150】

しかる後、単結晶シリコン層7を用いて上述の第1の実施の形態と同様にして表示部及び周辺駆動回路部にトップゲート型のMOSTFETの作製を行う。また図7に示した構造は、本実施の形態でも同様に適用されてよい。

【0151】

本実施の形態によれば、上述した第1の実施の形態で述べた作用効果に加え、次の如き顕著な作用効果が得られる。

【0152】

(a) ガラス基板1上に、約 $300 \sim 600^\circ\text{C}$ 又は $420 \sim 600^\circ\text{C}$ と更に低温でのヘテロエピタキシャル成長により、シリコン単結晶薄膜7を均一に形成することができる。

【0153】

(b) 従って、ガラス基板のみならず、有機基板などの絶縁基板上に、シリコン単結晶薄膜を形成できるため、歪点が低く、低コストで物性も良好な基板材質を任意に選択でき、また、基板の大型化も可能となる。ガラス基板や有機基板は、石英基板やセラミック基板に比べて、安価に作成することができ、さらに薄板化/長尺化/ロール化が可能であるので、シリコン単結晶薄膜を形成した薄板を長尺/ロール化した大型ガラス基板などを生産性良く、安価に作製することができる。ガラス基板として、ガラス歪点(又は最高使用温度)が低い(例えば 500°C)ガラスを用いると、この上層へガラス内部からその構成元素が拡散して、トランジスタ特性に影響する場合には、これを抑制する目的で、バリア層薄膜(例えばシリコンナイトライド:厚さ $50 \sim 200 \text{ nm}$ 程度)を形成すればよい。しかし、これは、結晶性サファイア薄膜50の拡散防止作用によって、省略可能である。

【0154】

(c) この低温ヘテロエピタキシャル成長では、インジウム・ガリウム膜のインジウム/

ガリウム組成比、加熱温度、冷却速度等の調整により、広範囲のP型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、 V_{th} 調整が容易で低抵抗化による高速動作が可能である。

【0155】

＜第6の実施の形態＞

本発明の第6の実施の形態を説明する。

【0156】

本実施の形態は、上述の第5の実施の形態と比べて透過型LCDに関するものであってその製造工程は上述の第4の実施の形態で述べたと同様、インジウム・ガリウム膜を用いた低温ヘテロエピタキシャル成長によって単結晶シリコン薄膜を形成することができる。

【0157】

そして、この単結晶シリコン薄膜を用い、上述した第4の実施の形態で述べたと同様、図16～図18に示した工程によって透過型LCDを作製することができる。但し、不透明のセラミック基板や、不透明又は低透過率の有機基板は適していない。

【0158】

従って、本実施の形態では、上述した第5の実施の形態及び第4の実施の形態の双方の優れた作用効果を併せ持つことができる。即ち、上述した第1の実施の形態の有する作用効果に加え、ホウケイ酸ガラスや耐熱性のポリイミド等の有機基板などの低コストで薄板、長尺化が可能な基板1を用い得ること、インジウム／ガリウム組成比によって単結晶シリコン薄膜7の導電型や V_{th} の調整が容易となること、表示アレイ部上にカラーフィルタ42やブラックマスク43を作りこむことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現することである。

【0159】

＜第7の実施の形態＞

図19～図27は、本発明の第7の実施の形態を示すものである。

【0160】

本実施の形態では、周辺駆動回路部は上述した第1の実施の形態と同様のトップゲート型のpMOSTFTとnMOSTFTとからなるCMOS駆動回路で構成する。表示部は反射型ではあるが、TFTを各種ゲート構造のものとして、種々の組み合わせにしている。

【0161】

即ち、図19(A)は、上述した第1の実施の形態と同様のトップゲート型のnMOSLDD-TFTを表示部に設けているが、図19(B)に示す表示部にはボトムゲート型のnMOSLDD-TFT、図19(C)に示す表示部にはデュアルゲート型のnMOSLDD-TFTをそれぞれ設けている。これらのボトムゲート型、デュアルゲート型MOSTFTのいずれも、後述のように、周辺駆動回路部のトップゲート型MOSTFTと共通の工程で作製可能であるが、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に依りてトップゲート型又はボトムゲート型として動作させることもできる。

【0162】

なお、図19(B)のボトムゲート型MOSTFTにおいて、図中の71はMo・Ta等のゲート電極であり、72はSiN膜及び73はSiO₂膜であってゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型MOSTFTと同様の単結晶シリコン層を用いたチャンネル領域等が形成されている。また、図19(C)のデュアルゲート型MOSTFTにおいて、下部ゲート部はボトムゲート型MOSTFTと同様であるが、上部ゲート部は、ゲート絶縁膜73をSiO₂膜とSiN膜で形成し、この上に上部ゲート電極74を設けている。但し、いずれにおいても、ヘテロエピタキシャル成長時のシードであると同時に単結晶シリコン膜の成長を促進し、その結晶性を高める作用を有する段差4の外側に各ゲート部を構成している。

【0163】

次に、上記のボトムゲート型MOSTFTの製造方法を図20～図24で、上記のデュア

ルゲート型MOSTFETの製造方法を図25～図27でそれぞれ説明する。なお、周辺駆動回路部のトップゲート型MOSTFETの製造方法は図1～図6において述べたものと同じであるので、ここでは図示を省略している。

【0164】

表示部において、ボトムゲート型MOSTFETを製造するには、まず、図20の(1)に示すように、基板1上に、モリブデン/タンタル(Mo・Ta)合金のスパッタ膜71(500～600nm厚)を形成する。

【0165】

次いで、図20の(2)に示すように、フォトレジスト70を所定パターンに形成し、これをマスクにしてMo・Ta膜71をテーパエッチングし、側端部71aが台形状に20～45度でなだらかに傾斜したゲート電極71を形成する。

【0166】

次いで、図20の(3)に示すように、フォトレジスト70の除去後に、モリブデン・タンタル合金膜71を含む基板1上に、プラズマCVD法等により、SiN膜(約100nm厚)72とSiO₂膜(約200nm厚)73とを、この順に積層したゲート絶縁膜を形成する。

【0167】

次いで、図20の(4)に示すように、図1の(1)と同じ工程において、少なくともTFT形成領域に、フォトレジスト2を所定パターンに形成し、これをマスクとして上述したと同様に基板1上のゲート絶縁膜に(更には基板1にも)段差4を適当な形状及び寸法で複数個形成する。この段差4は、後述の単結晶シリコンのヘテロエピタキシャル成長時のシードであると同時に単結晶シリコン膜の成長を促進し、その結晶性を高める作用を有するものであって、深さd=0.3～0.4μm、幅w=2～3μm、長さ(紙面垂直方向)=10～20μmであってよく、底辺と側面のなす角(底角)は直角とする。

【0168】

次いで、図20の(5)に示すように、フォトレジスト2の除去後に、図1の(2)と同じ工程において、上述したと同様に絶縁基板1の一主面において、段差4を含む少なくともTFT形成領域に、結晶性サファイア薄膜(厚さ20～200nm)50を形成する。

【0169】

次いで、図21の(6)に示すように、図1の(3)と同じ工程において多結晶シリコン膜5を形成する。

【0170】

次いで、図21の(7)に示すように、図1の(4)と同じ工程においてインジウム(又はインジウム・ガリウム又はガリウム)膜6を堆積させる。

【0171】

次いで、図21の(8)に示すように、図1の(5)と同じ工程において、単結晶シリコンをヘテロエピタキシャル成長し、厚さ例えば0.1μm程度の単結晶シリコン層7として析出させる。この際、下地のゲート電極71の側端部71aはなだらかな傾斜面となっているので、この面上には、段差4によるヘテロエピタキシャル成長を阻害せず、段切れなしに単結晶シリコン層7が成長することになる。

【0172】

次いで、図21の(9)に示すように、インジウム等の膜6Aを除去し、更に図2の(7)～図3の(9)の工程を経た後、図21の(10)に示すように、図3の(10)と同じ工程において、表示部のnMOSTFETのゲート部をフォトレジスト13でカバーし、露出したnMOSTFETのソース/ドレイン領域にリンイオン14をドーピング(イオン注入)して、N⁺型層からなるLDD部15を自己整合的に形成する。このとき、ボトムゲート電極71の存在によって表面高低差(又はパターン)を認識し易く、フォトレジスト13の位置合わせ(マスク合わせ)を行い易く、アライメントずれが生じにくい。

【0173】

次いで、図22の(11)に示すように、図4の(11)と同じ工程において、nMOS

TFTのゲート部及びLDD部をフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17をドーピング(イオン注入)して、nMOSTFTのN⁺型層からなるソース部18及びドレイン部19を形成する。

【0174】

次いで、図22の(12)に示すように、図4の(12)と同じ工程において、nMOSTFTの全部をフォトレジスト20でカバーし、ボロンイオン21をドーピング(イオン注入)して周辺駆動回路部のpMOSTFTのP⁺層のソース部及びドレイン部を形成する。

【0175】

次いで、図22の(13)に示すように、図4の(13)と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト24を設け、単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【0176】

次いで、図22の(14)に示すように、図5の(14)と同じ工程において、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、SiO₂膜53(約300nm厚)とリンシリケートガラス(PSG)膜54(約300nm厚)をこの順に全面に形成する。なお、SiO₂膜53とPSG膜54は上述した保護膜25に相当するものである。そして、この状態で単結晶シリコン膜を上述したと同様に活性化処理する。

【0177】

次いで、図23の(15)に示すように、図5の(15)と同じ工程において、汎用フォトリソグラフィ及びエッチング技術により、ソース部のコンタクト用窓開けを行う。そして、全面に400～500nm厚のアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、TFTのソース電極26を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス中、約400℃/1hで、シンター処理する。

【0178】

次いで、図23の(16)に示すように、図5の(16)と同じ工程において、高密度プラズマCVD、触媒CVD法等により、PSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成し、表示用のTFTのドレイン部のコンタクト用窓開けを行う。

【0179】

次いで、図23の(17)に示すように、図6の(17)と同じ工程において、スピンコート等で2～3μm厚みの感光性樹脂膜28を形成し、図23の(18)に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るような凹凸形状パターンを形成し、リフローさせて凹凸粗面28Aからなる反射面下部を形成する。同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行う。

【0180】

次いで、図23の(18)に示すように、図6の(19)と同じ工程において、全面に400～500nm厚のアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用TFTのドレイン部19と接続した凹凸形状のアルミニウム等の反射部29を形成する。

【0181】

以上のようにして、結晶性サファイア薄膜50及び段差4をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層7を用いた表示部にボトムゲート型のnMOSLDD-TFT(周辺部ではトップゲート型のpMOSTFT及びnMOSTFTからなるCMOS駆動回路)を作り込んだ表示部-周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0182】

図24は、表示部に設ける上記のボトムゲート型MOSTFTのゲート絶縁膜をMo・T

aの陽極酸化法で形成した例を示す。

【0183】

即ち、図20の(2)の工程後に、図24の(3)に示すようにモリブデン・タンタル合金膜71を公知の陽極酸化処理することによって、その表面に Ta_2O_5 からなるゲート絶縁膜74を100～200nm厚に形成する。

【0184】

この後の工程は、図24の(4)に示すように、図20の(4)～図21の(8)の工程と同様にして段差4、更には結晶性サファイア薄膜50を形成し、単結晶シリコン膜7をヘテロエピタキシャル成長した後、図21の(9)～図23の(18)の工程と同様にして図24の(5)に示すように、アクティブマトリクス基板30を作製する。

【0185】

次に、表示部において、デュアルゲート型MOSTFTを製造するには、まず、図20の(1)～図21の(9)までの工程は、上述したと同様に行う。

【0186】

即ち、図25の(10)に示すように、絶縁膜72、73及び基板1に段差4を形成し、更に、結晶性サファイア薄膜50及び段差4をシードとして単結晶シリコン層7をヘテロエピタキシャル成長させる。次いで、図3の(8)と同じ工程において、単結晶シリコン薄膜7上の全面に、プラズマCVD、触媒CVD等により SiO_2 膜(約200nm厚)と SiN 膜(約100nm厚)をこの順に連続形成して絶縁膜80(これは上述の絶縁膜8に相当)を形成し、更に、 $Mo-Ta$ 合金のスパッタ膜81(500～600nm厚)(これは上述のスパッタ膜9に相当)を形成する。

【0187】

次いで、図25の(11)に示すように、図3の(9)と同じ工程において、フォトレジストパターン10を形成し、連続したエッチングにより $Mo-Ta$ 合金のトップゲート電極82(これは上述のゲート電極12に相当)と、ゲート絶縁膜83(これは上述のゲート絶縁膜11に相当)を形成し、単結晶シリコン薄膜層7を露出させる。

【0188】

次いで、図25の(12)に示すように、図3の(10)と同じ工程において、nMOSTFTのトップゲート部をフォトレジスト13でカバーし、露出した表示用のnMOSTFTのソース/ドレイン領域にリンイオン14をドーピング(イオン注入)して、 N^+ 型層のLDD部15を形成する。

【0189】

次いで、図25(13)に示すように、図4の(11)と同じ工程において、nMOSTFTのゲート部及びLDD部をフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17をドーピング(イオン注入)して、nMOSTFTの N^+ 型層からなるソース部18及びドレイン部19を形成する。

【0190】

次いで、図26の(14)に示すように、図4の(12)と同じ工程において、pMOSTFTのゲート部をフォトレジスト20でカバーし、露出した領域にボロシオン21をドーピング(イオン注入)して周辺駆動回路部のpMOSTFTの P^+ 層のソース部及びドレイン部を形成する。

【0191】

次いで、図26の(15)に示すように、図4の(13)と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト24を設け、能動素子部と受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【0192】

次いで、図26の(16)に示すように、図5の(14)と同じ工程において、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、 SiO_2 膜53(約200nm厚)とリンシリケートガラス(PSG)膜54(約300nm厚)を全面に形成する。こ

これらの膜53、54は上述の保護膜25に相当する。そして、単結晶シリコン層7を活性化処理する。

【0193】

次いで、図26の(17)に示すように、図5の(15)と同じ工程において、ソース部のコンタクト用窓開けを行う。そして、全面に400～500nm厚のアルミニウムのスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、ソース電極26を形成すると同時に、データライン及びゲートラインを形成する。

【0194】

次いで、図27の(18)に示すように、図5の(16)と同じ工程でPSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成し、表示用のTFTのドレイン部のコンタクト用窓開けを行う。

【0195】

次いで、図27の(19)に示すように、全面に、スピンコート等で2～3μm厚みの感光性樹脂膜28を形成し、図27の(20)に示すように、図6の(18)、(19)の工程と同様に、少なくとも画素部に凹凸相面28Aからなる反射面下部を形成し、同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行い、更に表示用TFTのドレイン部19と接続した、最適な反射特性と視野角特性を得るための凹凸形状のアルミニウム等の反射部29を形成する。

【0196】

以上のようにして、サファイア薄膜50及び段差4をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層7を用い、表示部にデュアルゲート型のnMOSTFETを、周辺駆動回路部にトップゲート型のpMOSTFET及びnMOSTFETからなるCMOS駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0197】

<第8の実施の形態>

図28～図33は、本発明の第8の実施の形態を示すものである。

【0198】

本実施の形態では、上述した実施の形態とは異なり、トップゲート部のゲート電極をアルミニウム等の比較的耐熱性の低い材料で形成している。

【0199】

まず、表示部及び周辺駆動回路部共にトップゲート型MOSTFETを設ける場合には、上述した第1の実施の形態における図1の(1)～図2の(7)までの工程は同様に行って、図28の(7)に示すように、周辺駆動回路部のpMOSTFET部にN型ウエル7Aを形成する。

【0200】

次いで、図28の(8)に示すように、周辺駆動領域のnMOS及びpMOSTFET全部と、表示領域のnMOSTFETのゲート部をフォトレジスト13でカバーし、露出したnMOSTFETのソース/ドレイン領域にリンイオン14を例えば20kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、N⁺型層からなるLDD部15を自己整合的に形成する。

【0201】

次いで、図29の(9)に示すように、周辺駆動領域のpMOSTFET全部と、周辺駆動領域のnMOSTFETのゲート部と、表示領域のnMOSTFETのゲート及びLDD部とをフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17を例えば20kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、nMOSTFETのN⁺型層からなるソース部18及びドレイン部19とLDD部15とを形成する。この場合、仮想線のようにレジスト13を残し、これを覆うようにレジスト16を設ければ、レジスト16形成時のマスクの位置合せをレジスト13を目安にでき、マスク合せが容易となり、アライメントずれも少なくなる。

【0202】

次いで、図29の(10)に示すように、周辺駆動領域のnMOSTFT及び表示領域のnMOSTFTの全部とpMOSTFTのゲート部をフォトレジスト20でカバーし、露出した領域にボロンイオン21を例えば10kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーピング(イオン注入)してpMOSTFTのP⁺層のソース部22及びドレイン部23を形成する。

【0203】

次いで、レジスト20の除去後に、図29の(11)に示すように、単結晶シリコン層7、7Aを上述したと同様に活性化処理し、更に表面にゲート絶縁膜12、ゲート電極材料(アルミニウム又は1%Si入りアルミニウム等)11を形成する。ゲート電極材料層11は真空蒸着法又はスパッタ法で形成可能である。

【0204】

次いで、上述したと同様に、各ゲート部をパターニングした後、能動素子部と受動素子部をアイランド化し、更に図30の(12)に示すように、SiO₂膜(約200nm厚)及びリンシリケートガラス(PSG)膜(約300nm厚)をこの順に全面に連続形成して保護膜25を形成する。

【0205】

次いで、図30の(13)に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全TFTのソース/ドレイン部、及び表示用TFTのソース部のコンタクト用窓開けを行う。

【0206】

そして、全面に500～600nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのTFTのソース電極26と周辺駆動回路部のドレイン電極27を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス(N₂+H₂)中、約400℃/1hで、シンター処理する。

【0207】

次いで、図5の(16)～図6の(19)と同様にして単結晶シリコン層7を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム又は1%Si入りアルミニウム等をゲート電極とするトップゲート型のnMOSLDD-TFT、pMOSTFT及びnMOSTFTで構成するCMOS駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0208】

本実施の形態では、単結晶シリコン層7の活性化処理後にアルミニウム又は1%Si入りアルミニウム等のゲート電極11を形成しているため、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム又は1%Si入りアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。これは、表示部がボトムゲート型MOSTFTの場合も同様である。

【0209】

次に、表示部にデュアルゲート型MOSTFT、周辺駆動回路はトップゲート型MOSTFTを設ける場合には、上述した第7の実施の形態における図20の(1)～図21の(9)までの工程は同様に行って、図31の(9)に示すように、周辺駆動回路部のpMOSTFT部にN型ウエル7Aを形成する。

【0210】

次いで、図31の(10)に示すように、図28の(8)と同様にして、表示部のTFT部にリンイオン14をドーピングしてLDD部15を形成する。

【0211】

次いで、図32の(11)に示すように、図29の(9)と同様にして表示部及び周辺駆動回路部のnMOSTFT部にリンイオン17をドーピングしてN⁺型ソース領域18及びド

レイン領域19をそれぞれ形成する。

【0212】

次いで、図32の(12)に示すように、図29の(10)と同様にして周辺駆動回路部のpMOSFET部にボロンイオン21をドーピングしてP⁺型ソース領域22及びドレイン領域23をそれぞれ形成する。

【0213】

次いで、レジスト20の除去後に、図32の(13)に示すように、単結晶シリコン層7をパターニングして能動素子部と受動素子部をアイランド化した後、図33の(14)に示すように、単結晶シリコン層7、7Aを上述したと同様に活性化処理し、更に表示部では表面にゲート絶縁膜80を形成し、周辺駆動回路部では表面にゲート絶縁膜12を形成する。

【0214】

次いで、図33の(15)に示すように、全面にスパッタ法で成膜したアルミニウム又は1%Si入りアルミニウム等をパターニングして、表示部の各上部ゲート電極83、周辺駆動回路部の各ゲート電極11を形成する。

【0215】

次いで、図33の(16)に示すように、SiO₂膜(約200nm厚)及びリンシリケートガラス(PSG)膜(約300nm厚)をこの順に全面に連続形成して保護膜25を形成する。

【0216】

次いで、上述したと同様にして、周辺駆動回路及び表示部のすべてのTFTのソース電極26と周辺駆動回路部のドレイン電極27を形成し、単結晶シリコン層7を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム等をゲート電極とするデュアルゲート型のnMOSLDD-TFT、トップゲート型のpMOSFET及びnMOSFETで構成するCMOS駆動回路を作り込んだ表示部—周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0217】

本実施の形態でも、単結晶シリコン層7の活性化処理後にアルミニウム等のゲート電極11、83を形成しているため、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。なお、図33の(15)の工程でソース電極26を(更にはドレイン電極も)同時に形成することができるが、この場合には製法上のメリットがある。

【0218】

なお、上述したいずれの実施の形態においても、例えばボトムゲート型又はトップゲート型、デュアルゲート型MOSFETを作製するに際し、図34(A)に概略的に示すように、段差4を設けるとこの上に成長する単結晶シリコン膜7が薄いために段切れ(接続不良)や細り(抵抗の増大)を生じることがあるので、ソース電極26(又はドレイン電極)との接続を確実に行うためには、図34(B)、(C)に示すように、その電極を段差4を含む領域上に被着することが望ましい。

【0219】

なお、図28の(8)の工程又は図31の(10)の工程において、単結晶シリコン層7上にトップゲート絶縁膜の形成後に、イオン注入、活性化処理し、その後にトップゲート電極、ソース、ドレイン電極をアルミニウムで同時に形成してよい。

【0220】

また、上記した段差4は、図35(A)に示すように、上述の例では基板1に(更にはその上のSiN等の膜にも)形成したが、例えば図35(B)に示すように、基板1上の結晶性サファイア薄膜50(これはガラス基板1からのイオンの拡散ストップ機能がある。)に形成することもできる。この結晶性サファイア薄膜50の代わりに、或いはこの結晶性サファイア膜の下に上述したゲート絶縁膜72及び73を設け、これに段差4を形成し

でもよい。結晶性サファイア薄膜50に段差4を設けた例を図35(C)、(D)、(E)にそれぞれ例示した。

【0221】

<第9の実施の形態>

図36～図38は、本発明の第9の実施の形態を示すものである。

【0222】

本実施の形態では、上述した段差4の外側に（即ち、段差以外の基板1上に）各TFTを形成した各種の例を示す。なお、単結晶シリコン層7やゲート/ソース/ドレイン電極26、27については簡略に図示している。

【0223】

まず、図36はトップゲート型TFTを示すが、(a)は段差による凹部4をソース側の一辺にソース領域に沿って形成し、この凹部以外の基板平坦面上において単結晶シリコン層7上にゲート絶縁膜12及びゲート電極11を形成している。同様に、(b)は、段差による凹部4をソース領域のみならずチャンネル長方向にドレイン領域端まで沿って2辺に亘ってL字パターンに形成した例、(c)は同様の凹部4をTFT能動領域を囲むように4辺に亘って矩形状に形成した例を示す。また、(d)は同様の凹部4を3辺に亘って形成した例、(e)は同様の凹部4を2辺に亘ってL字パターンに形成した例であるが、いずれも、隣接する凹部4-4間は連続していない。

【0224】

このように、各種パターンの凹部4を形成可能であると共に、TFTを凹部4以外の平坦面上に設けているので、TFTの作製が容易となる。

【0225】

図37は、ボトムゲート型MOSTFTの場合であるが、図36に示した各種パターンの段差（又は凹部）4を同様に形成することができる。即ち、図37(a)は図36(a)に対応した例であって、ボトムゲート型MOSTFTを段差による凹部4以外の平坦面上に形成したものである。同様に、図37(b)は図36(b)に、図37(c)は図36(c)や(d)に対応した例を示す。図37(d)は結晶性サファイア薄膜50に段差4を設けた場合である。

【0226】

図38は、デュアルゲート型MOSTFTの場合であるが、これも図36に示した各種パターンの段差（又は凹部）4を同様に形成することができ、例えば図36(c)に示した段差4の内側領域の平坦面上にデュアルゲート型MOSTFTを作製することができる。

【0227】

<第10の実施の形態>

図39～図41は、本発明の第10の実施の形態を示すものである。

【0228】

図39の例は、自己整合型LDD構造のTFT、例えばトップゲート型LDD-TFTを複数個連ねたダブルゲート型MOSTFTに関するものである。

【0229】

これによれば、ゲート電極11を2つに分岐させ、一方を第1のゲートとして第1のLDD-TFT用、他方を第2のゲートとしての第2のLDD-TFT用として用いる（但し、単結晶シリコン層の中央部においてゲート電極間にN⁺型領域100を設け、低抵抗化を図っている）。この場合、各ゲートに異なる電圧を印加してもよいし、また何らかの原因で一方のゲートが動作不能になったとしても、残りのゲートを用いることによってソース/ドレイン間でのキャリアの移動を行え、信頼性の高いデバイスを提供できることになる。また、第1のLDD-TFTと第2のLDD-TFTとを直列に2個接続して各画素を駆動する薄膜トランジスタを形成するようにしたので、オフしているときに、各薄膜トランジスタのソース・ドレイン間に印加される電圧を大幅に減少させることができる。したがって、オフ時に流れるリーク電流を少なくすることができ、液晶ディスプレイのコントラスト及び画質を良好に改善することができる。また、上記LDDトランジスタにお

る低濃度ドレイン領域と同じ半導体層のみを用いて上記2つのLDDトランジスタを接続するようにしているので、各トランジスタ間の接続距離を短くすることができ、LDDトランジスタを2個つなげても所要面積が大きくなるようにすることができる。なお、上記の第1、第2のゲートは互いに完全に分離し、独立して動作させることも可能である。

【0230】

図40の例は、ボトムゲート型MOSTFETをダブルゲート構造としたもの(A)と、デュアルゲート型MOSTFETをダブルゲート構造としたもの(B)である。

【0231】

これらのダブルゲート型MOSTFETも、上記のトップゲート型と同様の利点を有するが、このうちデュアルゲート型の場合は更に、上下のゲート部のいずれかが動作不能となっても一方のゲート部を使用できることも利点である。

【0232】

図41には、上記の各ダブルゲート型MOSTFETの等価回路図を示している。なお、上記においては、ゲートを2つに分岐したが、3つ又はそれ以上に分岐又は分割することもできる。これらのダブルゲート又はマルチゲート構造において、チャンネル領域内に2以上の分岐した同電位のゲート電極を有するか、又は分割された異電位又は同電位のゲート電極を有してよい。

【0233】

<第11の実施の形態>

図42は、本発明の第11の実施の形態を示すものであって、nMOSTFETのデュアルゲート型構造のTFTにおいて、上下のゲート部のいずれか一方をトランジスタ動作させるが、他方のゲート部は次のように動作させている。

【0234】

即ち、図42(A)は、nMOSTFETにおいて、トップゲート側のゲート電極に常に任意の負電圧を印加してバックチャンネルのリーク電流を低減させるものである。トップゲート電極をオープンにする場合は、ボトムゲート型として使用するときである。また、図42(B)は、ボトムゲート側のゲート電極に常に任意の負電圧を印加してバックチャンネルのリーク電流を低減させるものである。この場合も、ボトムゲート電極をオープンにすると、トップゲート型として使用できる。なお、pMOSTFETの場合には、常に任意の正電圧をゲート電極に印加すれば、バックチャンネルのリーク電流を減らせる。

【0235】

いずれも、単結晶シリコン層7と絶縁膜との界面は結晶性が悪く、リーク電流が流れやすいが、上記のような電極の負電圧印加によってリーク電流を遮断できる。これは、LDD構造の効果と併せて、有利となる。また、ガラス基板1側から入射する光でリーク電流が流れることがあるが、ボトムゲート電極で光を遮断するので、リーク電流を低減できる。

【0236】

<第12の実施の形態>

図43～図48は、本発明の第12の実施の形態を示すものである。

【0237】

本実施の形態は、基板には上述した如き段差(凹部)を設けず、基板の平坦面上に上述した物質層(例えば結晶性サファイア膜)を形成し、この物質層をシードとして単結晶シリコン層をヘテロエピタキシャル成長させ、これを用いてトップゲート型MOSTFETを構成したアクティブマトリクス反射型液晶表示装置(LCD)に関するものである。

【0238】

図43～図48について、本実施の形態によるアクティブマトリクス反射型LCDをその製造工程に従って説明する。但し、図43～図47において、各國の左側は表示部の製造工程、右側は周辺駆動回路部の製造工程を示す。

【0239】

まず、図43の(1)に示すように、石英ガラス、透明性結晶化ガラスなどの絶縁基板1

の一主面において、少なくともTFT形成領域に、結晶性サファイア薄膜（厚さ20～200nm）50を形成する。この結晶性サファイア薄膜50は、高密度プラズマCVD法や、触媒CVD法（特開昭63-40314号公報参照）等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。絶縁基板1として高耐熱性ガラス基板（8～12インチφ、700～800μm厚）が使用可能である。

【0240】

次いで、図43の（2）に示すように、図1の（3）と同様に、公知の触媒CVD法やプラズマCVD法、スパッタ法などによって、結晶性サファイア薄膜50上の全面に多結晶シリコン膜5を基板温度約100～400℃で数μm～0.005μm（例えば0.1μm）の厚みに堆積させる。

【0241】

次いで、図43の（3）に示すように、多結晶シリコン膜5上に、インジウム膜6をトリメチルインジウムのMOCVD法やスパッタ法、真空蒸着法によって多結晶シリコン膜5の数10～数100倍の厚さ（例えば10～15μm）に形成する。なお、インジウム膜6に代えて、インジウム・ガリウム又はガリウム膜も適用可能であるが、以下、インジウム膜を代表例として説明する。

【0242】

次いで、基板1を水素又は窒素-水素混合物又はアルゴン-水素混合物等の水素系雰囲気下で1000℃以下、特に900～930℃に約5分間保持する。これによって、多結晶シリコン5はインジウム6の熔融液に溶解する。この熔融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。基板1の加熱は、電気炉等を用いて基板全体を均一に加熱する方法の他に、光レーザー、電子ビーム等によって、所定の場所のみ、例えば、TFT形成領域のみを局部的に加熱する方法も可能である。

【0243】

次いで、徐々に冷却することによって、インジウムに溶解していたシリコンは、結晶性サファイア薄膜50をシード（種）として図43の（4）に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1μm程度のP型単結晶シリコン層7として析出する。

【0244】

上記のようにして堆積した単結晶シリコン層7は結晶性サファイア膜50が単結晶シリコンと良好な格子整合を示すために、例えば（100）面が基板上にヘテロエピタキシャル成長する。

【0245】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、図44の（5）に示すように、表面のインジウム膜6Aを塩酸、硫酸などによって溶解除去し、更に上述したと同様にして、単結晶シリコン層7をチャンネル領域とするトップゲート型MOSTFTの作製を行う。

【0246】

まず、上記のヘテロエピタキシャル成長による単結晶シリコン薄膜7の全面にP型キャリア不純物、例えばボロンイオンを適量ドーピングして比抵抗を調整する。また、pMOSTFT形成領域のみ、選択的にN型キャリア不純物をドーピングしてN型ウェルを形成する。例えば、pチャンネルTFT部をフォトレジスト（図示せず）でマスクし、P型不純物イオン（例えばB⁺）を10kVで $2.7 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、比抵抗を調整する。また、図44の（6）に示すように、pMOSTFT形成領域の不純物濃度制御のため、nMOSTFT部をフォトレジスト60でマスクし、N型不純物イオン（例えばP⁺）65を10kVで $1 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、N型ウェル7Aを形成する。

【0247】

次いで、図44の（7）に示すように、単結晶シリコン薄膜層7の全面上に、プラズマCVD、高密度プラズマCVD、触媒CVD法等でSiO₂（約200nm厚）とSiN（

約100nm厚)をこの順に連続形成してゲート絶縁膜8を形成し、更に、モリブデン・タンタル(Mo・Ta)合金のスパッタ膜9(500~600nm厚)を形成する。

【0248】

次いで、図44の(8)に示すように、汎用のフォトリソグラフィ技術により、表示領域のTFT部と、周辺駆動領域のTFT部とのそれぞれの段差領域(凹部内)にフォトレジストパターン10を形成し、連続したエッチングにより、(Mo・Ta)合金のゲート電極11とゲート絶縁膜(SiN/SiO_2)12とを形成し、単結晶シリコン薄膜層7を露出させる。(Mo・Ta)合金膜9は酸系エッチング液、 SiN は CF_4 ガスのプラズマエッチング、 SiO_2 はフッ酸系エッチング液で処理する。

【0249】

次いで、図45の(9)に示すように、周辺駆動領域のnMOSTFT及びpMOSTFT全部と、表示領域のnMOSTFTのゲート部をフォトレジスト13でカバーし、露出したnMOSTFTのソース/ドレイン領域にリンイオン14を例えば20kVで $5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、 N^+ 型層からなるLDD部15を自己整合的(セルフアライン)に形成する。

【0250】

次いで、図45の(10)に示すように、周辺駆動領域のpMOSTFT全部と、周辺駆動領域のnMOSTFTのゲート部と、表示領域のnMOSTFTのゲート及びLDD部とをフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17を例えば20kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、nMOSTFTの N^+ 型層からなるソース部18及びドレイン部19とLDD部15とを形成する。

【0251】

次いで、図45の(11)に示すように、周辺駆動領域のnMOSTFT及び表示領域のnMOSTFTの全部とpMOSTFTのゲート部をフォトレジスト20でカバーし、露出した領域にボロンイオン21を例えば10kVで $5 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)してpMOSTFTの P^+ 層のソース部22及びドレイン部23を形成する。なお、この作業は、nMOS周辺駆動回路の場合はpMOSTFTが無いので、不要な作業である。

【0252】

次いで、図46の(12)に示すように、TFT、ダイオードなどの能動素子部や、抵抗、インダクタンスなどの受動素子部をアイランド化するため、フォトレジスト24を設け、周辺駆動領域及び表示領域のすべての能動素子部及び受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で除去する。エッチング液はフッ酸系である。

【0253】

次いで、図46の(13)に示すように、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、 SiO_2 膜(約200nm厚)及びリンシリケートガラス(PSG)膜(約300nm厚)をこの順に全面に連続形成して保護膜25を形成する。

【0254】

そして、この状態で単結晶シリコン層を活性化処理する。この活性化においてハロゲン等のランプアニール条件は約1000℃、約10秒程度であり、これに耐えるゲート電極材が必要であるが、高融点のMo・Ta合金は適している。このゲート電極材は従って、ゲート部のみならず配線として広範囲に亘って引き廻して設けることができる。なお、ここでは高価なエキシマレーザーアニールは使用しないが、仮に利用するとすれば、その条件は XeCl (308nm波長)で全面、又は能動素子部及び受動素子部のみの選択的な90%以上のオーバーラップスキャンニングが望ましい。

【0255】

次いで、図46の(14)に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全TFTのソース/ドレイン部、及び表示用TFTのソース部のコ

ンタクト用窓開けを行う。

【0256】

そして、全面に500～600nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのTFTのソース電極26と周辺駆動回路部のドレイン電極27を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス($N_2 + H_2$)中、約400℃/1hで、シンター処理する。

【0257】

次いで、図46の(15)に示すように、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、PSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成する。次いで、表示用TFTのドレイン部のコンタクト用窓開けを行う。なお、画素部の SiO_2 、PSG及びSiN膜は除去する必要はない。

【0258】

次いで、図6の(18)で述べたと同様の目的で、図47の(16)に示すように、全面に、スピンコート等で2～3μm厚みの感光性樹脂膜28を形成し、図47の(17)に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るための凹凸形状パターンを形成し、リフローさせて凹凸粗面28Aからなる反射面下部を形成する。同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行う。

【0259】

次いで、図47の(18)に示すように、全面に400～500nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜等を除去し、表示用TFTのドレイン部19と接続した凹凸形状のアルミニウム等の反射部29を形成する。これは表示用の画素電極として用いられる。その後、フォーミングガス中、約300℃/1hでシンター処理し、コンタクトを十分に作る。尚、反射率を高めるために、アルミニウム系に代えて銀又は銀合金を使用してもよい。

【0260】

以上のようにして、結晶性サファイア膜50を高温ヘテロエピタキシャル成長のシードとして単結晶シリコン層7を形成し、この単結晶シリコン層7を用いた表示部及び周辺駆動回路部にそれぞれ、トップゲート型のnMOSLDD-TFT、pMOSTFT及びnMOSTFTで構成するCMOS回路を作り込んだ表示部—周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0261】

こうして得られたアクティブマトリクス基板(駆動基板)30を用いて、図7で述べたと同様にして図48の反射型液晶表示装置(LCD)を製造する。

【0262】

本実施の形態では、上述した第1の実施の形態で述べた優れた効果が得られることは明らかである。その上、基板1に段差を設けることなしに結晶性サファイア薄膜50のみによって単結晶シリコン層7をヘテロエピタキシャル成長させているので、段差の形成工程を省略し、より製造工程を簡略化できると共に、成長する単結晶シリコン層の段切れ等の問題も解消できることになる。

【0263】

<第13の実施の形態>

図49は、本発明の第13の実施の形態を示すものである。

【0264】

本実施の形態では、上述の第12の実施の形態と同様のアクティブマトリクス反射型LCDに関するものであるが、上述の第12の実施の形態と比べて、図43の(1)の工程後に、図49の(2)に示すように、結晶性サファイア薄膜50上の全面にまず、例えばインジウム膜6をスパッタ法又は真空蒸着法で例えば10～20μmの厚みに形成する。

【0265】

次いで、図49の(3)に示すように、公知のプラズマCVD法によって、インジウム膜6上にアモルファスシリコン膜5を数 μm ～0.005 μm (例えば0.1 μm)の厚みに堆積させる。

【0266】

この場合、シリコン膜の形成温度は、低融点金属6の融点(インジウムは融点156℃、ガリウムの場合は融点29.77℃)を大幅に越えないようにすべきであるから、多結晶シリコン膜形成(600～650℃)は困難である。従って、プラズマCVDにより、アモルファスシリコン膜5をインジウム膜6上に形成する。

【0267】

次いで、基板1を水素系雰囲気下で1000℃以下(特に900～930℃)に約5分間保持する。これによって、アモルファスシリコン膜5はインジウムの熔融液に溶解する。

【0268】

次いで、徐々に冷却することによって、インジウム熔融液に溶解したシリコンは、結晶性サファイア薄膜50をシード(種)として図49の(4)に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1 μm 程度の単結晶シリコン層7として析出する。

【0269】

この場合、単結晶シリコン層7は上述したと同様に(100)面が基板上にヘテロエピタキシャル成長したものである。

【0270】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させた後、上述した第12の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層7に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各TFTの作製を行う。

【0271】

本実施の形態では、結晶性サファイア薄膜50上に低融点金属層6を形成し、この上にアモルファスシリコン層5を形成した後、加熱溶解、冷却処理しているが、低融点金属の熔融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【0272】

<第14の実施の形態>

図50は、本発明の第14の実施の形態を示すものである。

【0273】

本実施の形態は、上述の第12の実施の形態と同様のアクティブマトリクス反射型LCDに関するものであるが、上述の第1の実施の形態と比べて、図43の(1)の工程後に、図50の(2)に示すように、結晶性サファイア薄膜50上の全面に、所定量(例えば約1重量%)のシリコンを含有する例えばインジウム膜6Aをスパッタ法又は真空蒸着法で例えば10～20 μm の厚みに形成する。

【0274】

次いで、基板1を水素系雰囲気下で1000℃以下(特に900～930℃)に約5分間保持する。これによって、上記のシリコンはインジウムの熔融液に溶解する。

【0275】

次いで、徐々に冷却することによって、インジウム熔融液に溶解したシリコンは、結晶性サファイア薄膜50をシード(種)として図50の(3)に示すようにヘテロエピタキシャル成長し、厚さ例えば0.1 μm 程度の単結晶シリコン層7として析出する。

【0276】

この場合、単結晶シリコン層7は上述したと同様に(100)面が基板上にヘテロエピタキシャル成長したものである。

【0277】

こうして、ヘテロエピタキシャル成長によって基板1上に単結晶シリコン層7を析出させ

た後、上述した第12の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層7に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各TFTの作製を行う。

【0278】

本実施の形態では、結晶性サファイア薄膜50上にシリコンを含有する低融点金属層6Aを形成した後、加熱溶融、冷却処理しているが、低融点金属の溶融液からの単結晶シリコンのベテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【0279】

<第15の実施の形態>

図51～図53について、本発明の第15の実施の形態を説明する。

【0280】

本実施の形態は、上述の第12の実施の形態と比べて、同様のトップゲート型MOSTFTを表示部及び周辺駆動回路部に有するが、上述の第12の実施の形態とは異なって、透過型LCDに関するものである。即ち、図43の(1)から図46の(15)に示す工程までは同様であるが、その工程後は、図51の(16)に示すように、絶縁膜25、36に表示用TFTのドレイン部コンタクト用の窓開け19を行うと同時に、透過率向上のために画素開口部の不要な SiO_2 、PSG及び SiN 膜を除去する。

【0281】

次いで、図51の(17)に示すように、全面にスピンコート等で $2\sim 3\mu\text{m}$ 厚みの感光性アクリル系透明樹脂の平坦化膜28Bを形成し、汎用フォトリソグラフィにより、表示用TFTのドレイン側の透明樹脂28Bの窓開けを行い、所定条件で硬化させる。

【0282】

次いで、図51の(18)に示すように、全面に $130\sim 150\text{nm}$ 厚のITOスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用TFTのドレイン部19とコンタクトしたITO透明電極41を形成する。そして、熱処理(フォーミングガス中、 $200\sim 250^\circ\text{C}/1\text{h}$)により、表示用TFTのドレインとITOのコンタクト抵抗の低減化とITO透明度の向上を図る。

【0283】

そして、図52に示すように、対向基板32と組み合わせ、上述の第4の実施の形態と同様にして透過型LCDを組み立てる。但し、TFT基板側にも偏光板を貼り合わせる。この透過型LCDでは、実線のように透過光が得られるが、一点鎖線のように対向基板32側からの透過光が得られるようにもできる。

【0284】

この透過型LCDの場合、次のようにしてオンチップカラーフィルタ(OCCF)構造とオンチップブラック(OCB)構造を作製することができる。

【0285】

即ち、図43の(1)～図46の(14)までの工程は上記の工程に準じて行うが、その後、図53の(15)に示すように、 PSG/SiO_2 の絶縁膜25のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層41Aを形成した後、 SiN/PSG の絶縁膜36を形成する。

【0286】

次いで、図53の(16)に示すように、R、G、Bの各色を各セグメント毎に顔料分散したフォトレジスト61を所定厚さ($1\sim 1.5\mu\text{m}$)で形成した後、図53の(17)に示すように、汎用フォトリソグラフィ技術で所定位置(各画素部)のみを残すパターニングで各カラーフィルタ層61(R)、61(G)、61(B)を形成する(オンチップカラーフィルタ構造)。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板は使用できない。

【0287】

次いで、図53の(17)に示すように、表示用TFTのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層43を金属のパタ

ーニングで形成する。例えば、スパッタ法により、モリブデンを200～250 nm厚で成膜し、表示用TFTを覆って遮光する所定の形状にパターニングする（オンチップブラック構造）。

【0288】

次いで、図53の(18)に示すように、透明樹脂の平坦化膜28Bを形成し、更にこの平坦化膜に設けたスルーホールにITO透明電極41を遮光層43に接続するように形成する。

【0289】

このように、表示アレイ部上に、カラーフィルタ61やブラックマスク43を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【0290】

<第16の実施の形態>

図54～図62は、本発明の第16の実施の形態を示すものである。

【0291】

本実施の形態では、周辺駆動回路部は上述した第12の実施の形態と同様のトップゲート型のpMOSTFETとnMOSTFETとからなるCMOS駆動回路で構成する。表示部は反射型ではあるが、TFTを各種ゲート構造のものとして、種々の組み合わせにしている。

【0292】

即ち、図54(A)は、上述した第12の実施の形態と同様のトップゲート型のnMOSLDD-TFTを表示部に設けているが、図54(B)に示す表示部にはボトムゲート型のnMOSLDD-TFT、図54(C)に示す表示部にはデュアルゲート型のnMOSLDD-TFTをそれぞれ設けている。これらのボトムゲート型、デュアルゲート型MOSTFETのいずれも、後述のように、周辺駆動回路部のトップゲート型MOSTFETと共通の工程で作製可能であるが、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に依ってトップゲート型又はボトムゲート型として動作させることもできる。

【0293】

なお、図54(B)のボトムゲート型MOSTFETにおいて、図中の71はMo・Ta等のゲート電極であり、72はSiN膜及び73はSiO₂膜であってゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型MOSTFETと同様の単結晶シリコン層を用いたチャンネル領域等が形成されている。また、図54(C)のデュアルゲート型MOSTFETにおいて、下部ゲート部はボトムゲート型MOSTFETと同様であるが、上部ゲート部は、ゲート絶縁膜73をSiO₂膜とSiN膜で形成し、この上に上部ゲート電極74を設けている。

【0294】

次に、上記のボトムゲート型MOSTFETの製造方法を図55～図59で、上記のデュアルゲート型MOSTFETの製造方法を図60～図62でそれぞれ説明する。なお、周辺駆動回路部のトップゲート型MOSTFETの製造方法は図43～図47において述べたものと同じであるので、ここでは図示を省略している。

【0295】

表示部において、ボトムゲート型MOSTFETを製造するには、まず、図55の(1)に示すように、基板1上に、モリブデン/タンタル(Mo・Ta)合金のスパッタ膜71(500～600 nm厚)を形成する。

【0296】

次いで、図55の(2)に示すように、フォトリソレジスト70を所定パターンに形成し、これをマスクにしてMo・Ta膜71をテーパエッチングし、側端部71aが台形状に20～45度でなだらかに傾斜したゲート電極71を形成する。

【0297】

次いで、図55の(3)に示すように、フォトレジスト70の除去後に、モリブデン・タングステン合金膜71を含む基板1上に、プラズマCVD法等により、SiN膜(約100nm厚)72とSiO₂膜(約200nm厚)73とを、この順に積層したゲート絶縁膜を形成する。

【0298】

次いで、図56の(4)に示すように、図43の(1)と同じ工程において、上述したと同様に絶縁基板1の一主面において、少なくともTFT形成領域に、結晶性サファイア薄膜(厚さ20～200nm)50を形成する。

【0299】

次いで、図56の(5)に示すように、図43の(2)～(4)と同じ工程において、上述したと同様に単結晶シリコンをヘテロエピタキシャル成長し、厚さ例えば0.1μm程度の単結晶シリコン層7として析出させる。この際、下地のゲート電極71の側端部71aはなだらかな傾斜面となっているので、この面上には、段差4によるヘテロエピタキシャル成長を阻害せず、段切れなしに単結晶シリコン層7が成長することになる。

【0300】

次いで、図56の(6)に示すように、図44の(5)～(8)の工程を経た後、図45の(9)と同じ工程において、表示部のnMOS TFTのゲート部をフォトレジスト13でカバーし、露出したnMOS TFTのソース/ドレイン領域にリンイオン14をドーピング(イオン注入)して、N⁺型層からなるLDD部15を自己整合的に形成する。このとき、ボトムゲート電極71の存在によって表面高低差(又はパターン)を認識し易く、フォトレジスト13の位置合わせ(マスク合わせ)を行い易く、アライメントずれが生じにくい。

【0301】

次いで、図57の(7)に示すように、図45の(10)と同じ工程において、nMOS TFTのゲート部及びLDD部をフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17をドーピング(イオン注入)して、nMOS TFTのN⁺型層からなるソース部18及びドレイン部19を形成する。

【0302】

次いで、図57の(8)に示すように、図45の(11)と同じ工程において、nMOS TFTの全部をフォトレジスト20でカバーし、ボロンイオン21をドーピング(イオン注入)して周辺駆動回路部のpMOS TFTのP⁺層のソース部及びドレイン部を形成する。

【0303】

次いで、図57の(9)に示すように、図46の(12)と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト24を設け、単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【0304】

次いで、図57の(10)に示すように、図46の(13)と同じ工程において、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、SiO₂膜53(約300nm厚)とリンシリケートガラス(PSG)膜54(約300nm厚)をこの順に全面に形成する。なお、SiO₂膜53とPSG膜54は上述した保護膜25に相当するものである。そして、この状態で単結晶シリコン膜を上述したと同様に活性化処理する。

【0305】

次いで、図58の(11)に示すように、図46の(14)と同じ工程において、汎用フォトリソグラフィ及びエッチング技術により、ソース部のコンタクト用窓開けを行う。そして、全面に400～500nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、TFTのソース電極26を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス中、約400℃/1hで、シンター処理する。

【0306】

次いで、図58の(12)に示すように、図46の(15)と同じ工程において、高密度プラズマCVD、触媒CVD法等により、PSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成し、表示用のTFTのドレイン部のコンタクト用窓開けを行う。

【0307】

次いで、図58の(13)に示すように、図47の(16)と同じ工程において、スピコート等で2～3μm厚みの感光性樹脂膜28を形成し、図58の(14)に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るような凹凸形状パターンを形成し、リフローさせて凹凸粗面28Aからなる反射面下部を形成する。同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行う。

【0308】

次いで、図58の(14)に示すように、図47の(18)と同じ工程において、全面に400～500nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用TFTのドレイン部19と接続した凹凸形状のアルミニウム反射部29を形成する。

【0309】

以上のようにして、結晶性サファイア薄膜50を高温ヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層7を用いた表示部にボトムゲート型のnMOSLDD-TFT(周辺部ではトップゲート型のpMOSTFT及びnMOSTFTからなるCMOS駆動回路)を作り込んだ表示部-周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0310】

図59は、表示部に設ける上記のボトムゲート型MOSTFTのゲート絶縁膜をMo・Taの陽極酸化法で形成した例を示す。

【0311】

即ち、図55の(2)の工程後に、図59の(3)に示すようにモリブデン・タンタル合金膜71を公知の陽極酸化処理することによって、その表面にTa₂O₅からなるゲート絶縁膜74を100～200nm厚に形成する。

【0312】

この後の工程は、図59の(4)に示すように、図55の(4)～図56の(5)の工程と同様にして結晶性サファイア薄膜50を形成し、単結晶シリコン膜7をヘテロエピタキシャル成長した後、図56の(6)～図58の(14)の工程と同様にして図59の(5)に示すように、アクティブマトリクス基板30を作製する。

【0313】

次に、表示部において、デュアルゲート型MOSTFTを製造するには、まず、図55の(1)～図55の(5)までの工程は、上述したと同様に行う。

【0314】

即ち、図60の(6)に示すように、絶縁膜72、73上に結晶性サファイア薄膜50を形成し、更に、この結晶性サファイア薄膜50をシードとして単結晶シリコン層7をヘテロエピタキシャル成長させる。次いで、図44の(7)と同じ工程において、単結晶シリコン薄膜7上の全面に、プラズマCVD、触媒CVD等によりSiO₂膜(約200nm厚)とSiN膜(約100nm厚)をこの順に連続形成して絶縁膜80(これは上述の絶縁膜8に相当)を形成し、更に、Mo・Ta合金のスパッタ膜81(500～600nm厚)(これは上述のスパッタ膜71に相当)を形成する。

【0315】

次いで、図60の(7)に示すように、図44の(8)と同じ工程において、フォトリソパターンの形成し、連続したエッチングによりMo・Ta合金のトップゲート電極82(これは上述のゲート電極12に相当)と、ゲート絶縁膜83(これは上述のゲート絶縁膜11に相当)を形成し、単結晶シリコン薄膜層7を露出させる。

【0316】

次いで、図60の(8)に示すように、図45の(9)と同じ工程において、nMOSTFTのトップゲート部をフォトリソグロフ13でカバーし、露出した表示用のnMOSTFTのソース/ドレイン領域にリンイオン14をドーピング(イオン注入)して、N⁺型層のLDD部15を形成する。

【0317】

次いで、図60(9)に示すように、図45の(10)と同じ工程において、nMOSTFTのゲート部及びLDD部をフォトリソグロフ16でカバーし、露出した領域にリン又はヒ素イオン17をドーピング(イオン注入)して、nMOSTFTのN⁺型層からなるソース部18及びドレイン部19を形成する。

【0318】

次いで、図61の(10)に示すように、図45の(11)と同じ工程において、pMOSTFTのゲート部をフォトリソグロフ20でカバーし、露出した領域にボロンイオン21をドーピング(イオン注入)して周辺駆動回路部のpMOSTFTのP⁺層のソース部及びドレイン部を形成する。

【0319】

次いで、図61の(11)に示すように、図46の(12)と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトリソグロフ24を設け、能動素子部と受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグロフ及びエッチング技術で選択的に除去する。

【0320】

次いで、図61の(12)に示すように、図46の(13)と同じ工程において、プラズマCVD、高密度プラズマCVD、触媒CVD法等により、SiO₂膜53(約200nm厚)とリンシリケートガラス(PSG)膜54(約300nm厚)を全面に形成する。これらの膜53、54は上述の保護膜25に相当する。そして、単結晶シリコン層7を活性化処理する。

【0321】

次いで、図61の(13)に示すように、図46の(14)と同じ工程において、ソース部のコンタクト用窓開けを行う。そして、全面に400～500nm厚のアルミニウム又は1%Si入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグロフ及びエッチング技術により、ソース電極26を形成すると同時に、データライン及びゲートラインを形成する。

【0322】

次いで、図62の(14)に示すように、図47の(16)と同じ工程でPSG膜(約300nm厚)及びSiN膜(約300nm厚)からなる絶縁膜36を全面に形成し、表示用のTFTのドレイン部のコンタクト用窓開けを行う。

【0323】

次いで、図62の(15)に示すように、全面に、スピンコート等で2～3μm厚みの感光性樹脂膜28を形成し、図62の(16)に示すように、図47の(17)、(18)の工程と同様に、少なくとも画素部に凹凸粗面28Aからなる反射面下部を形成し、同時に表示用TFTのドレイン部のコンタクト用の樹脂窓開けを行い、更に表示用TFTのドレイン部19と接続した、最適な反射特性と視野角特性を得るための凹凸形状のアルミニウム等の反射部29を形成する。

【0324】

以上のようにして、結晶性サファイア薄膜50をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層7を用い、表示部にデュアルゲート型のnMOSLDDTFTを、周辺駆動回路部にトップゲート型のpMOSTFT及びnMOSTFTからなるCMOS駆動回路を作り込んだ表示部-周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0325】

<第17の実施の形態>

図63～図65は、本発明の第17の実施の形態を示すものである。

【0326】

本実施の形態では、上述した実施の形態とは異なり、トップゲート部のゲート電極をアルミニウム等の比較的耐熱性の低い材料で形成している。

【0327】

まず、表示部及び周辺駆動回路部共にトップゲート型MOSTFTを設ける場合には、上述した第12の実施の形態における図43の(1)～図44の(6)までの工程は同様に行って、図63の(6)に示すように、周辺駆動回路部のpMOSTFT部にN型ウエル7Aを形成する。

【0328】

次いで、図63の(7)に示すように、周辺駆動領域のnMOS及びpMOSTFT全部と、表示領域のnMOSTFTのゲート部をフォトレジスト13でカバーし、露出したnMOSTFTのソース/ドレイン領域にリンイオン14を例えば20kVで $5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、N⁻型層からなるLDD部15を自己整合的に形成する。

【0329】

次いで、図64の(8)に示すように、周辺駆動領域のpMOSTFT全部と、周辺駆動領域のnMOSTFTのゲート部と、表示領域のnMOSTFTのゲート及びLDD部とをフォトレジスト16でカバーし、露出した領域にリン又はヒ素イオン17を例えば20kVで $5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)して、nMOSTFTのN⁺型層からなるソース部18及びドレイン部19とLDD部15とを形成する。この場合、仮想線のようにレジスト13を残し、これを覆うようにレジスト16を設ければ、レジスト16形成時のマスクの位置合せをレジスト13を目安にでき、マスク合せが容易となり、アライメントずれも少なくなる。

【0330】

次いで、図64の(9)に示すように、周辺駆動領域のnMOSTFT及び表示領域のnMOSTFTの全部とpMOSTFTのゲート部をフォトレジスト20でカバーし、露出した領域にボロンイオン21を例えば10kVで $5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量でドーピング(イオン注入)してpMOSTFTのP⁺層のソース部22及びドレイン部23を形成する。

【0331】

次いで、レジスト20の除去後に、図64の(10)に示すように、単結晶シリコン層7、7Aを上述したと同様に活性化処理し、更に表面にゲート絶縁膜12、ゲート電極材料(アルミニウム又は1%Si入りアルミニウム等)11を形成する。ゲート電極材料層11は真空蒸着法又はスパッタ法で形成可能である。

【0332】

次いで、上述したと同様に、各ゲート部をパターニングした後、能動素子部と受動素子部をアイランド化し、更に図65の(11)に示すように、SiO₂膜(約200nm厚)及びリンシリケートガラス(PSG)膜(約300nm厚)をこの順に全面に連続形成して保護膜25を形成する。

【0333】

次いで、図65の(12)に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全TFTのソース/ドレイン部、及び表示用TFTのソース部のコンタクト用窓開けを行う。

【0334】

そして、全面に500～600nm厚のアルミニウムのスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのTFTのソース電極26と周辺駆動回路部のドレイン電極27を形成すると同時に、データライン及びゲートラインを形成する。その後、フォーミングガス(N₂+H₂)中、約400℃

／1hで、シンター処理する。

【0335】

次いで、図46の(15)～図47の(18)と同様にして単結晶シリコン層7を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム又は1%Si入りアルミニウム等をゲート電極とするトップゲート型のnMOSLDD-TFT、pMOSTFT及びnMOSTFTで構成するCMOS駆動回路を作り込んだ表示部～周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0336】

本実施の形態では、単結晶シリコン層7の活性化処理後にアルミニウム又は1%Si入りアルミニウム等のゲート電極11を形成しているため、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム又は1%Si入りアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。これは、表示部がボトムゲート型MOSTFTの場合も同様である。

【0337】

次に、表示部にデュアルゲート型MOSTFT、周辺駆動回路にトップゲート型MOSTFTを設ける場合には、上述した第8の実施の形態における図31の(9)～図33の(16)で述べた工程と同様に行って、表示部及び周辺駆動回路部にそれぞれ、アルミニウム等をゲート電極とするデュアルゲート型のnMOSLDD-TFT、トップゲート型pMOSTFT及びnMOSTFTで構成するCMOS駆動回路を作り込んだ表示部～周辺駆動回路部一体型のアクティブマトリクス基板30を作製することができる。

【0338】

<第18の実施の形態>

図66～図67は、本発明の第18の実施の形態を示すものである。

【0339】

図66の例は、上述の第12の実施の形態において、自己整合型LDD構造のTFT。例えばトップゲート型LDD-TFTを複数個連ねたダブルゲート型MOSTFTに関するものである。

【0340】

図67の例は、ボトムゲート型MOSTFTをダブルゲート構造としたもの(A)と、デュアルゲート型MOSTFTをダブルゲート構造としたもの(B)である。

【0341】

これらのダブルゲート型MOSTFTも、上述した図39～図40で述べたと同様の利点を有する。

【0342】

<第19の実施の形態>

図68～図76は、本発明の第19の実施の形態を示すものである。

【0343】

上述したように、トップゲート型、ボトムゲート型、デュアルゲート型の各TFTはそれぞれ構造上、機能上の差異又は特長があることから、これらを表示部と周辺駆動回路部において採用する際に、これら各部間でTFTを種々に組み合わせて設けることが有利なことがある。

【0344】

例えば、図68に示すように、表示部にトップゲート型、ボトムゲート型、デュアルゲート型のいずれかのMOSTFTを採用した場合、周辺駆動回路にはトップゲート型MOSTFT、ボトムゲート型MOSTFT、デュアルゲート型MOSTFTのうち、少なくともトップゲート型を採用するか、或いはそれらが混在することも可能である。この組み合わせは12通り(No.1～No.12)挙げられる。特に、周辺駆動回路のMOSTFTにデュアルゲート構造を用いると、このようなデュアルゲート構造は、上下のゲート部の選択によってトップゲート型にもボトムゲート型にも容易に変更することができ、また、周辺駆動

回路の一部に大きな駆動能力のTFTが必要な場合は、デュアルゲート型が必要となる場合もある。例えば、LCD以外の電気光学装置として本発明を有機ELやLED等に適用する場合は必要であると考えられる。

【0345】

図69及び図70は表示部のMOSTFTがLDD構造でないとき、図71及び図72は表示部のMOSTFTがLDD構造であるとき、図73及び図74は周辺駆動回路部のMOSTFTがLDD構造のTFTを含むとき、図75及び図76は周辺駆動回路部と表示部の双方がLDD構造のMOSTFTを含むときのそれぞれにおいて、周辺駆動回路部と表示部の各MOSTFTの組み合わせをチャンネル導電型別に示した各種の例(No.1~No.216)を示す。

【0346】

このように、図68に示したゲート構造別の組み合わせは、具体的には図69~図76に示したようになる。これは、周辺駆動回路部がトップゲート型と他のゲート型との混在したMOSTFTからなっている場合も、同様の組み合わせが可能である。なお、図68~図76に示したTFTの各種組合せは、TFTのチャンネル領域などを単結晶シリコンで形成する場合に限らず、多結晶シリコンやアモルファスシリコン(但し、表示部のみ)で形成する場合も同様に適用可能である。

【0347】

<第20の実施の形態>

図77~図78は、本発明の第20の実施の形態を示すものである。

【0348】

本実施の形態では、アクティブマトリクス駆動LCDにおいて、周辺駆動回路部は、駆動能力の向上の点から、本発明に基づいて上述の単結晶シリコン層を用いたTFTを設ける。但し、これはトップゲート型に限らず、他のゲート型が混在してよいし、チャンネル導電型も種々であってもよく、また単結晶シリコン層以外の多結晶シリコン層を用いたMOSTFTが含まれていてもよい。これに対し、表示部のMOSTFTは、単結晶シリコン層を用いるのが望ましいが、これに限らず、多結晶シリコンやアモルファスシリコン層を用いたものであってよく、或いは3種のシリコン層の少なくとも2種が混在したものであってもよい。但し、表示部をnMOSTFTで形成するときは、アモルファスシリコン層を用いても実用的なスイッチング速度は得られるが、単結晶シリコン又は多結晶シリコン層の方がTFT面積を小さくでき、画素欠陥の減少の面でもアモルファスシリコンよりは有利である。なお、既述したヘテロエピタキシャル成長時に単結晶シリコンだけでなく、多結晶シリコンも同時に生じ、いわゆるCGS(Continuous grain silicon)構造も含まれることもあるが、これも能動素子と受動素子の形成に利用できる。

【0349】

図77には、各部間でのMOSTFTの各種組み合わせ例(A)、(B)、(C)を示し、図78にはその具体例を例示した。単結晶シリコンを用いると、電流駆動能力が向上するため、素子を小さくでき、大画面化が可能となり、表示部では開口率が向上する。

【0350】

なお、周辺駆動回路部では、上記のMOSTFTだけでなく、ダイオード、キャパシタンス、抵抗、インダクタンス等を集積した電子回路が絶縁基板(ガラス基板等)に一体形成されてよいことは勿論である。

【0351】

<第21の実施の形態>

図79は、本発明の第21の実施の形態例を示すものである。

【0352】

本実施の形態は、上述した各実施の形態がアクティブマトリクス駆動の例についてのものであるのに対し、本発明をパッシブマトリクス駆動に適用したものである。

【0353】

即ち、表示部は、上述したMOSTFTの如きスイッチング素子を設けず、対向する基板

に形成した一対の電極間に印加する電圧による電位差でのみ表示部の入射光又は反射光が調光される。こうした調光素子には、反射型、透過型のLCDをはじめ、有機又は無機EL(エレクトロルミネセンス表示素子)、FED(電界放出型表示素子)、LEPD(発光ポリマー表示素子)、LED(発光ダイオード表示素子)なども含まれる。

【0354】

<第22の実施の形態>

図8.0は、本発明の第22の実施の形態を示すものである。

【0355】

本実施の形態は、本発明をLCD以外の電気光学装置である有機又は無機EL(エレクトロルミネセンス)素子やFED(電界放出型表示素子)、LEPD(発光ポリマー表示素子)、LED(発光ダイオード表示素子)などに適用したものである。

【0356】

即ち、図8.0(A)には、アクティブマトリクス駆動のEL素子を示し、例えばアモルファス有機化合物を用いた有機EL層(又はZnS:Mnを用いた無機EL層)90を基板1上に設け、その下部に既述した透明電極(ITO)41を形成し、上部に陰極91を形成し、これら両極間の電圧印加によって所定色の発光がフィルタ61を通して得られる。

【0357】

この際、アクティブマトリクス駆動により透明電極41へデータ電圧を印加するために、基板1上の結晶性サファイア膜50(更には段差4)をシードとしてヘテロエピタキシャル成長させた単結晶シリコン層を用いた本発明による単結晶シリコンMOSTFT(即ち、nMOSLDD-TFT)が基板1上に作り込まれている。同様のTFTは周辺駆動回路にも設けられる。このEL素子は、単結晶シリコン層を用いたMOSLDD-TFTで駆動しているので、スイッチング速度が早く、またリーク電流も少ない。なお、上記のフィルタ61は、EL層90が特定色を発光するものであれば、省略可能である。

【0358】

なお、EL素子の場合、駆動電圧が高いため、周辺駆動回路部には、上記のMOSTFT以外に、高耐圧のドライバ素子(高耐圧cMOSTFTとバイポーラ素子など)を設けるのが有利である。

【0359】

図8.0(B)は、パッシブマトリクス駆動のFEDを示すが、対向するガラス基板1-32間の真空部において、両電極92-93間の印加電圧によって冷陰極94から放出された電子をゲートライン95の選択によって対向する蛍光体層96へ入射させ、所定色の発光を得るものである。

【0360】

ここで、エミッタライン92は、周辺駆動回路へ導かれ、データ電圧で駆動されるが、その周辺駆動回路には、本発明に基づいて単結晶シリコン層を用いたMOSTFTが設けられ、エミッタライン92の高速駆動に寄与している。なお、このFEDは、各画素に上記のMOSTFTを接続することにより、アクティブマトリクス駆動させることも可能である。

【0361】

なお、図8.0(A)の素子において、EL層90の代わりに公知の発光ポリマーを用いれば、パッシブマトリクス又はアクティブマトリクス駆動の発光ポリマー表示装置(LEPD)として構成することができる。その他、図8.0(B)の素子において、ダイヤモンド薄膜をカソード側に用いたFEDと類似のデバイスも構成できる。また、発光ダイオードにおいて、発光部に本発明によりエピタキシャル成長させた単結晶シリコンのMOSTFTにより、例えばガリウム系(ガリウム・アルミニウム・ヒ素など)の膜からなる発光部を駆動できる。或いは、本発明のエピタキシャル成長法で発光部の膜を単結晶成長させることも考えられる。

【0362】

以上に述べた本発明の実施の形態は、本発明の技術的思想に基いて種々変形が可能である

【0363】

例えば、上述した多結晶シリコン膜5の成膜時に、溶解度が大きい3族又は5族元素を、例えばボロン、リン、アンチモン、ひ素、アルミニウム、ガリウム、インジウム、ビスマスなどを多結晶シリコン又はアモルファスシリコン膜5に適量ドーピングしておけば、成長するシリコンエピタキシャル成長層7のP型又はN型のチャンネル導電型や、そのキャリア濃度を任意に制御することができる。

【0364】

また、上述した第5の実施の形態（インジウム・ガリウム又は金属ガリウムを使用）に、上述した第2又は第3の実施の形態の手法を適用してよい。また、ガラス基板からのイオンの拡散防止のために基板表面にSiN膜（例えば50～200nm厚）、更には必要に応じてSiO₂膜（例えば100nm厚）を設けてよく、またこれらの膜に既述した如き段差4を形成してもよい。上述した段差はR1E以外にもイオンミリング法などによっても形成可能である。また、上述したように、段差4を基板1に形成する以外にも、結晶性サファイア膜又はサファイア基板自体の厚み内に段差4を形成してもよいことは勿論である。

【0365】

また、上述したサファイア（Al₂O₃）に代えて、単結晶シリコンと格子整合の良好なスピネル構造体（例えばマグネシアスピネル）（MgO・Al₂O₃）や、CaF₂、SrF₂、BaF₂、BP、（Y₂O₃）_n、（ZrO₂）_{1-n}等が使用可能である。

【0366】

また、本発明は周辺駆動回路のTFTに好適なものであるが、それ以外にもダイオードなどの素子の能動領域や、抵抗、キャパシタンス、インダクタンスなどの受動領域を本発明による単結晶シリコン層で形成することも可能である。

【0367】

【発明の作用効果】

本発明によれば、特に単結晶シリコンと格子整合の良い上記物質層（例えば結晶性サファイア膜）及び上記段差をシードにして、多結晶シリコン又はアモルファスシリコン又はシリコンなどの半導体材料を溶解した低融点金属層から、ヘテロエピタキシャル成長で単結晶シリコン薄膜などの単結晶半導体薄膜を形成し、このエピタキシャル成長層をアクティブマトリクス基板などの駆動基板の周辺駆動回路のトップゲート型MOSTFTや表示部一周辺駆動回路一体型のLCDなどの電気光学装置の周辺駆動回路のトップゲート型MOSTFTなどの能動素子や、抵抗、インダクタンス、キャパシタンス等の受動素子のうちの少なくとも能動素子に用いているので、次の（A）～（G）に示す顕著な作用効果を得ることができる。

【0368】

（A）単結晶シリコンと格子整合の良い物質層（例えば結晶性サファイア膜）を基板上に形成し、その物質層及び上記段差をシードとしてヘテロエピタキシャル成長させることにより、540cm²/V・sec以上の高い電子移動度の単結晶シリコン薄膜の如き単結晶半導体層が得られるので、高性能ドライバ内蔵の表示用薄膜半導体装置などの電気光学装置の製造が可能となる。

【0369】

（B）特にこの単結晶シリコン薄膜による単結晶シリコントップゲート型TFTは、高いスイッチング特性を有し、LDD構造を有するnMOS又はpMOS又はcMOSTFTの表示部と、高い駆動能力のcMOS、又はnMOS又はpMOSTFT又はこれらの混在からなる周辺駆動回路とを一体化した構成が可能となり、高画質、高精細、狭領域、高効率、大画面の表示パネルが実現する。

【0370】

（C）そして、上記した物質層及び段差をヘテロエピタキシャル成長のシードとして用い、かつこの物質層上に上記した多結晶又はアモルファスシリコン層などをプラズマ又は

減圧CVD（化学的気相成長：基板温度100～400℃）などの方法で形成でき、上記した低融点金属層は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したシリコンエピタキシャル成長時の加熱処理温度は930℃以下が可能であるから、絶縁基板上に比較的低温（例えば400～450℃）でシリコン単結晶膜を均一に形成することができる。

【0371】

（D）固相成長法の場合のような中温で長時間（約600℃、十数時間）のアニールや、エキシマレーザーアニールが不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【0372】

（E）このヘテロエピタキシャル成長では、結晶性サファイア膜等の物質層の結晶性、多結晶又はアモルファスシリコンと低融点金属との組成比、基板の加熱温度、冷却速度等の調整により広範囲のP型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Vth（しきい値）調整が容易であり、低抵抗化による高速動作が可能である。

【0373】

（F）また、多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、3族又は5族の不純物元素（ボロン、リン、アンチモン、ヒ素、ビスマス、アルミニウムなど）を別途適量ドーピングしておけば、ヘテロエピタキシャル成長による単結晶シリコン薄膜の不純物種及び／又はその濃度、即ちP型／N型等の導電型及び／又はキャリア濃度を任意に制御することができる。

【0374】

（G）結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるLCD（液晶表示装置）の製造プロセスを工程順に示す断面図である。

【図2】同、LCDの製造プロセスを工程順に示す断面図である。

【図3】同、LCDの製造プロセスを工程順に示す断面図である。

【図4】同、LCDの製造プロセスを工程順に示す断面図である。

【図5】同、LCDの製造プロセスを工程順に示す断面図である。

【図6】同、LCDの製造プロセスを工程順に示す断面図である。

【図7】同、LCDの要部断面図である。

【図8】非晶質基板上的シリコン結晶成長の状況を説明するための概略斜視図である。

【図9】グラフォエピタキシャル成長技術における各種段差形状とシリコン成長結晶方位を示す概略断面図である。

【図10】Si-In状態図（A）及びSi-Ga状態図（B）である。

【図11】本発明の第1の実施の形態によるLCDの全体の概略レイアウトを示す斜視図である。

【図12】同、LCDの等価回路図である。

【図13】同、LCDの概略構成図である。

【図14】本発明の第2の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図15】本発明の第3の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図16】本発明の第4の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図17】同、LCDの要部断面図である。

【図18】同、LCDの製造プロセスを工程順に示す断面図である。

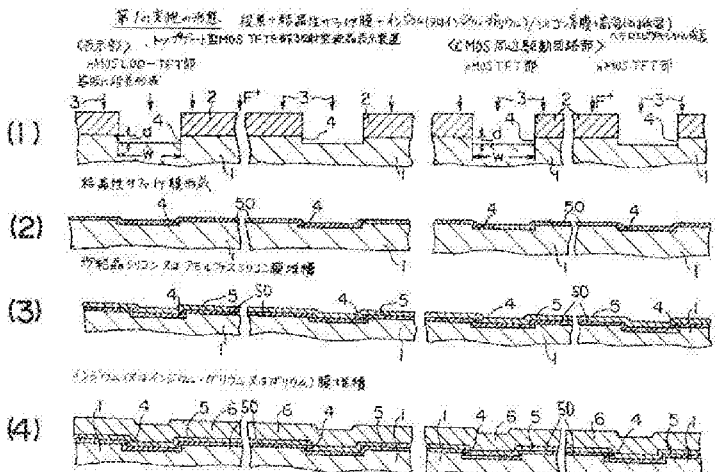
【図19】本発明の第7の実施の形態によるLCDの要部断面図である。

【図20】同、LCDの製造プロセスを工程順に示す断面図である。

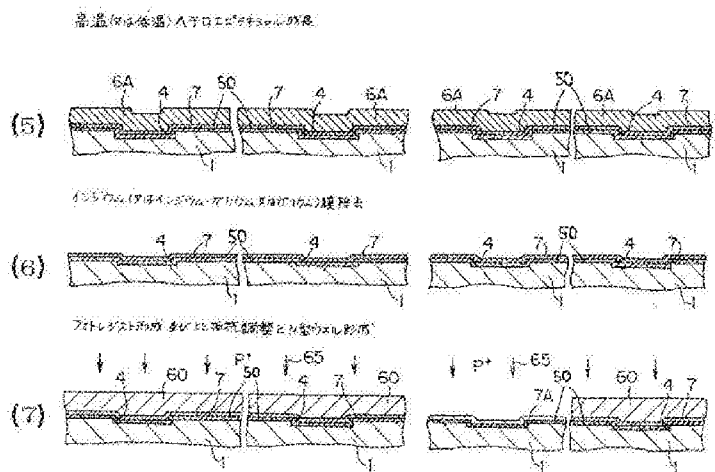
- 【図21】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図22】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図23】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図24】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図25】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図26】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図27】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図28】本発明の第8の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。
- 【図29】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図30】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図31】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図32】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図33】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図34】同、LCDの製造時の要部断面図である。
- 【図35】同、LCDの製造時の要部断面図である。
- 【図36】本発明の第9の実施の形態によるLCDの各種TFTを示す平面図又は断面図である。
- 【図37】同、LCDの製造時の各種TFTを示す断面図である。
- 【図38】同、LCDの要部断面図である。
- 【図39】本発明の第10の実施の形態によるLCDの要部断面図又は平面図である。
- 【図40】同、LCDの各種TFTの要部断面図である。
- 【図41】同、LCDのTFTの等価回路図である。
- 【図42】本発明の第11の実施の形態によるLCDのTFTの要部断面図である。
- 【図43】本発明の第12の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。
- 【図44】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図45】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図46】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図47】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図48】同、LCDの要部断面図である。
- 【図49】本発明の第13の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。
- 【図50】本発明の第14の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。
- 【図51】本発明の第15の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。
- 【図52】同、LCDの要部断面図である。
- 【図53】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図54】本発明の第16の実施の形態によるLCDの要部断面図である。
- 【図55】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図56】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図57】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図58】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図59】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図60】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図61】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図62】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図63】本発明の第17の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

- 【図64】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図65】同、LCDの製造プロセスを工程順に示す断面図である。
- 【図66】本発明の第18の実施の形態によるLCDの要部断面図又は平面図である。
- 【図67】同、LCDの各種TFTの要部断面図である。
- 【図68】本発明の第19の実施の形態によるLCDの各部TFTの組み合わせを示す図である。
- 【図69】同、LCDの各部TFTの組み合わせを示す図である。
- 【図70】同、LCDの各部TFTの組み合わせを示す図である。
- 【図71】同、LCDの各部TFTの組み合わせを示す図である。
- 【図72】同、LCDの各部TFTの組み合わせを示す図である。
- 【図73】同、LCDの各部TFTの組み合わせを示す図である。
- 【図74】同、LCDの各部TFTの組み合わせを示す図である。
- 【図75】同、LCDの各部TFTの組み合わせを示す図である。
- 【図76】同、LCDの各部TFTの組み合わせを示す図である。
- 【図77】本発明の第20の実施の形態によるLCDの概略レイアウト図である。
- 【図78】同、LCDの各部TFTの組み合わせを示す図である。
- 【図79】本発明の第21の実施例によるデバイスの概略レイアウト図である。
- 【図80】本発明の第22の実施の形態によるEL及びFEDの要部断面図である。
- 【符号の説明】
- 1…ガラス（又は石英）基板、4…段差、7…単結晶シリコン層、
- 9…Mo-Ta層、11…ゲート電極、12…ゲート酸化膜、
- 14、17…N型不純物イオン、15…LDD部、
- 18、19…N⁺型ソース又はドレイン領域、21…P型不純物イオン、
- 22、23…P⁺型ソース又はドレイン領域、25、36…絶縁膜、
- 26、27、31、41…電極、28…平坦化膜、28A…粗面（凹凸）、
- 29…反射膜（又は電極）、30…LCD（TFT）基板、
- 33、34…配向膜、35…液晶、37、46…カラーフィルタ層、
- 43…ブラックマスク層、50…結晶性サファイア薄膜。

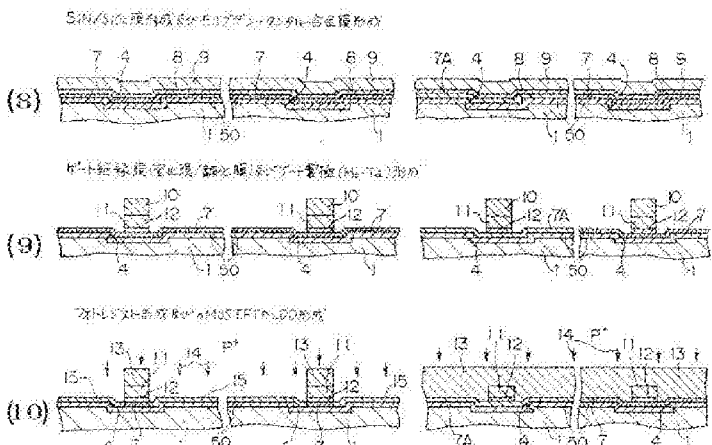
【図1】



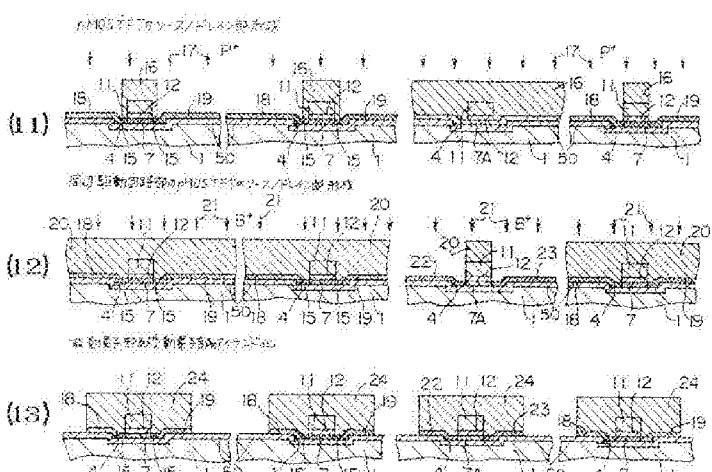
【図2】



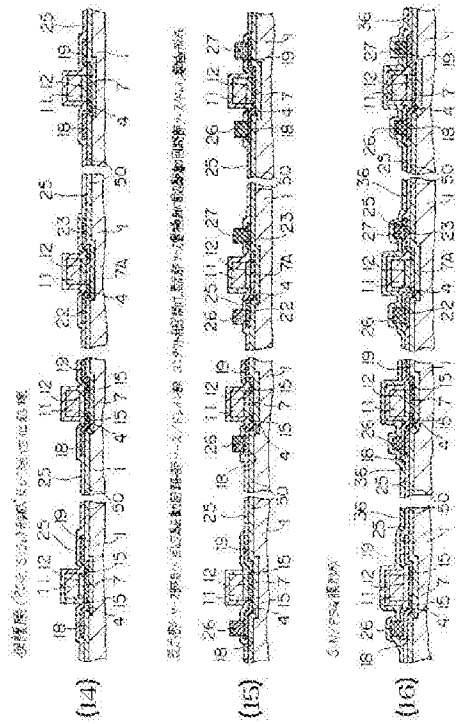
【図3】



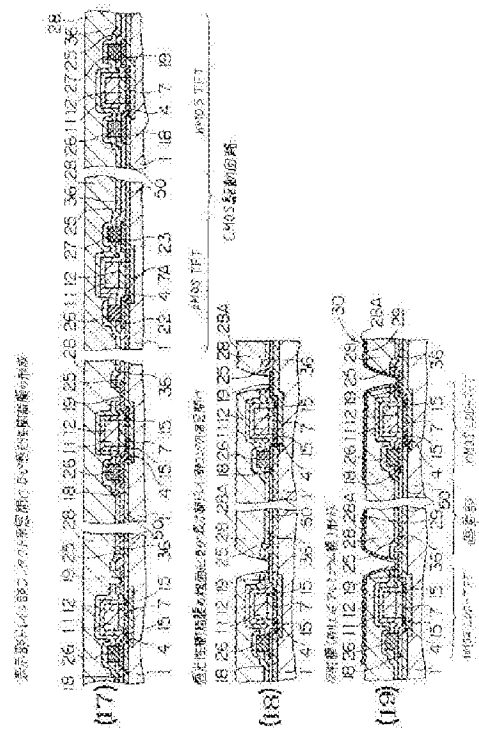
【図4】



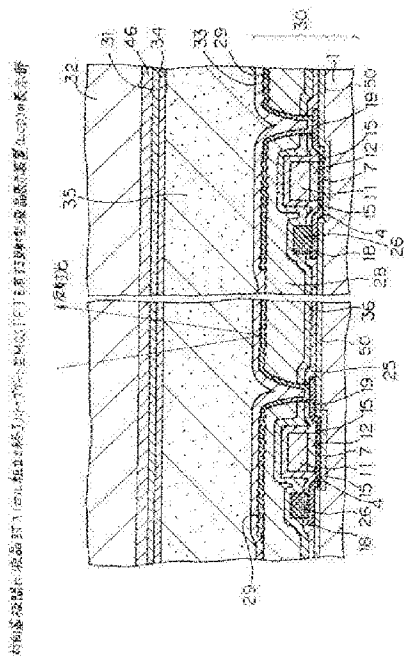
【図5】



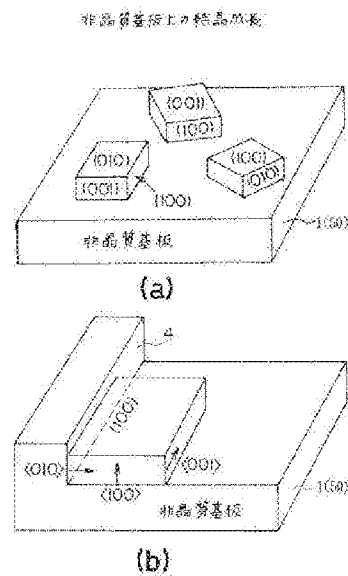
【図6】



【図7】

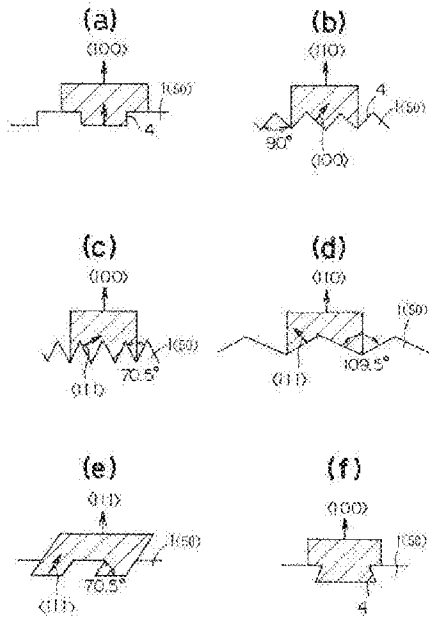


【図8】

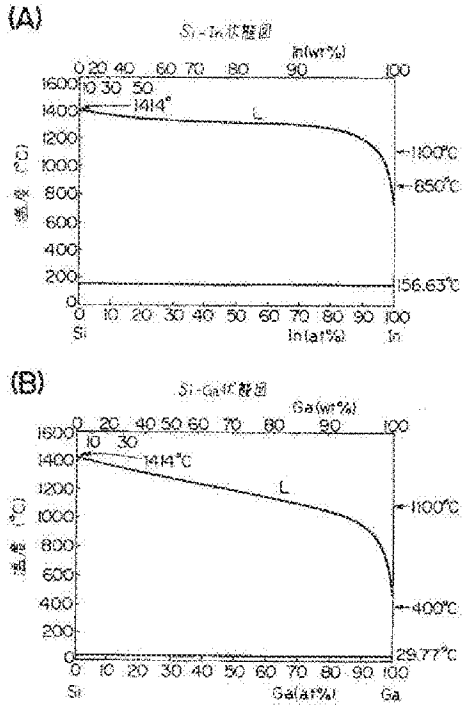


【図9】

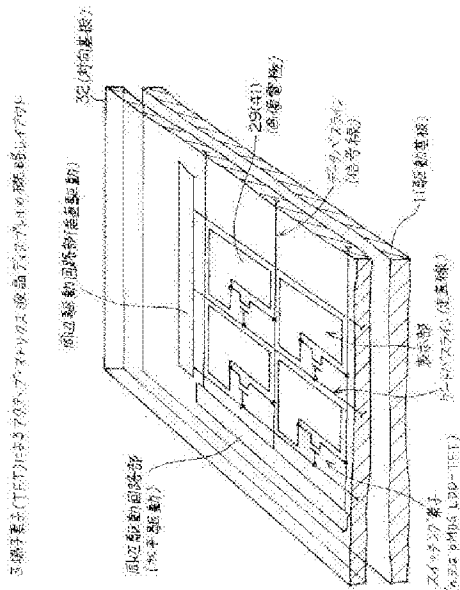
各種シリンドリカル結晶方位



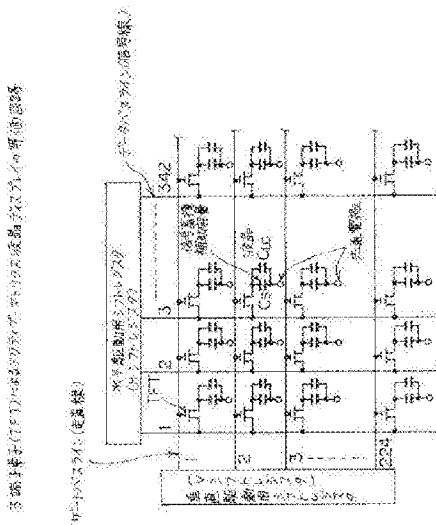
【図10】



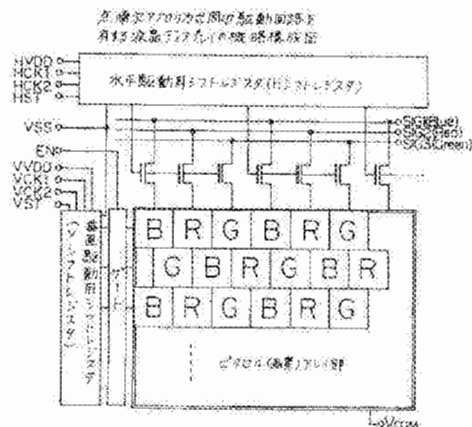
【図11】



【図12】



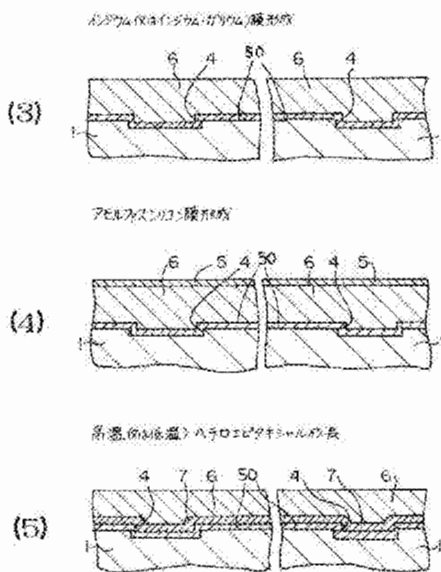
【図13】



VDDM: 3.0V 駆動電圧
HVDD: H1 TFTのゲート電圧入力端子
VVDD: V1 TFTのゲート電圧入力端子
HCK1: H1 TFTのデータ線入力端子
HCK2: H1 TFTのデータ線入力端子
VCK1: V1 TFTのデータ線入力端子
VCK2: V1 TFTのデータ線入力端子
HST: H1 TFTのソース線入力端子
VST: V1 TFTのソース線入力端子
VSS: 共通電圧入力端子
SIG1: 青色信号入力端子 (Blue)
SIG2: 赤色信号入力端子 (Red)
SIG3: 緑色信号入力端子 (Green)

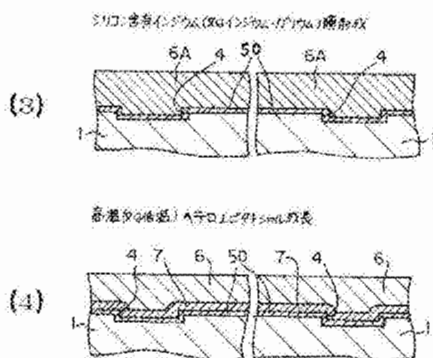
【図14】

第2の実施形態: 液晶+結晶性シリコン薄膜+シリコン酸化物/シリコン
(シリコン/シリコン)膜+高層(シリコン)
ヘテロエピタキシャル成長



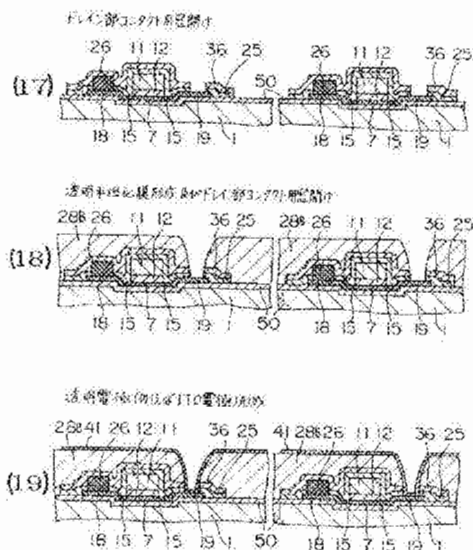
【図15】

第3の実施形態: 液晶+結晶性シリコン薄膜+シリコン酸化物/シリコン
(シリコン/シリコン)膜+高層(シリコン)
ヘテロエピタキシャル成長

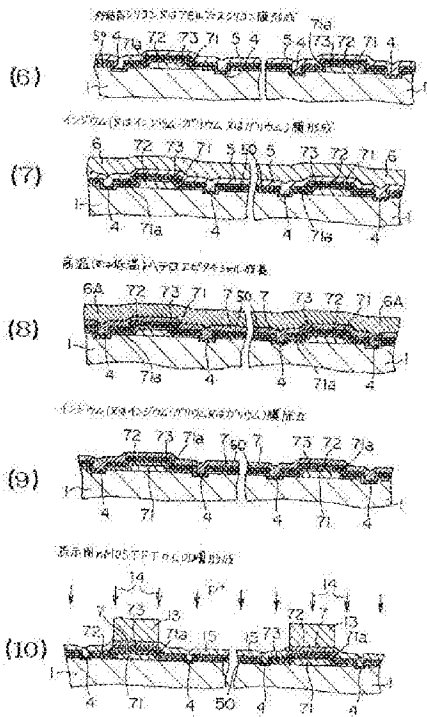


【図16】

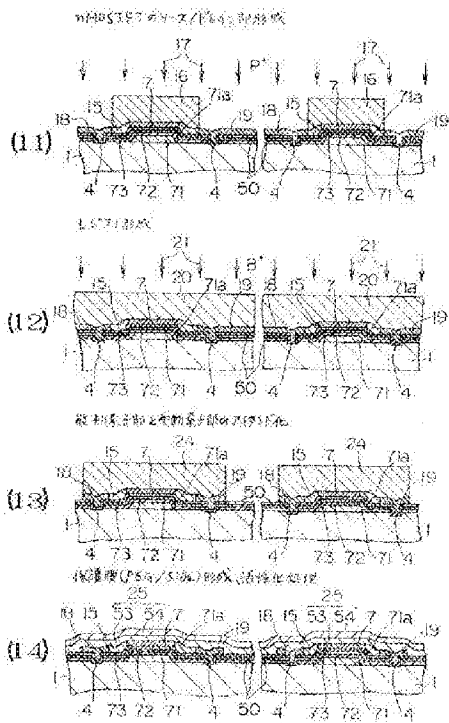
第4の実施形態: トランジスタのTFTを形成する高層シリコン膜の形成



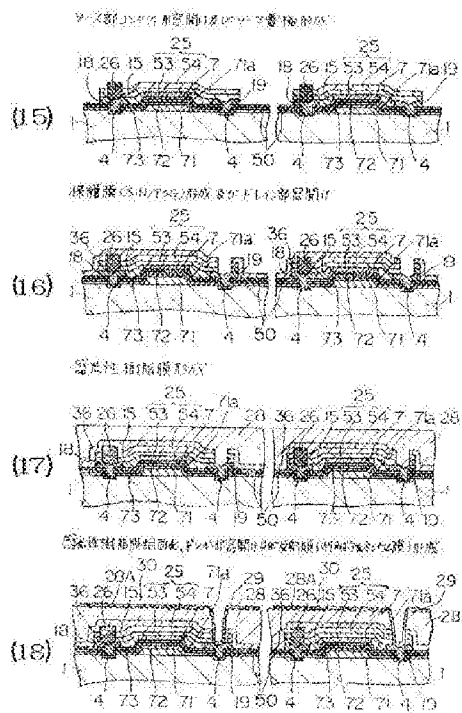
【図21】



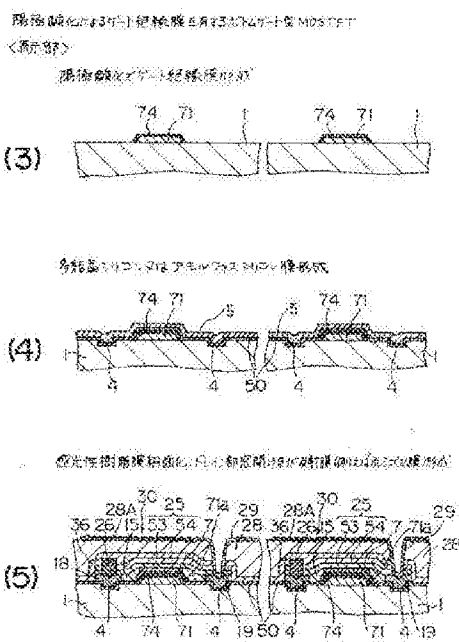
【図22】



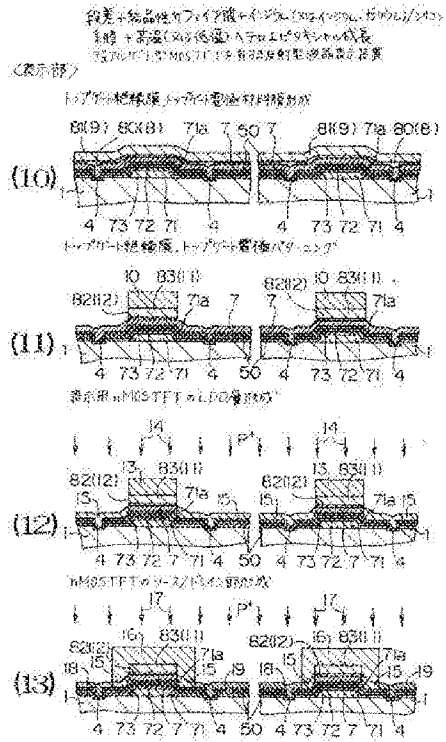
【図23】



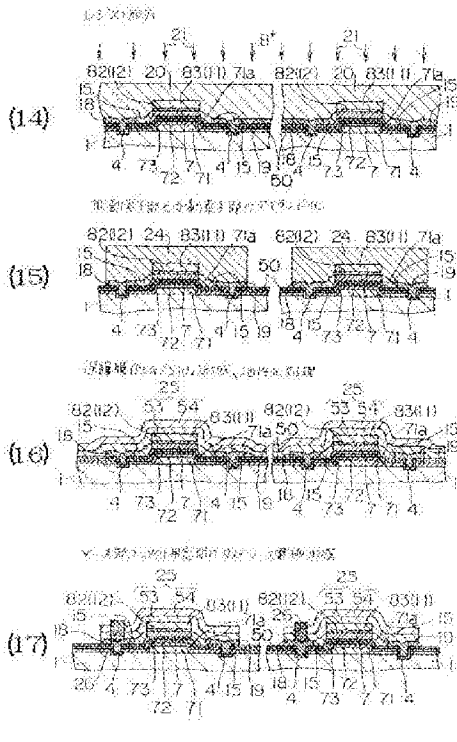
【図24】



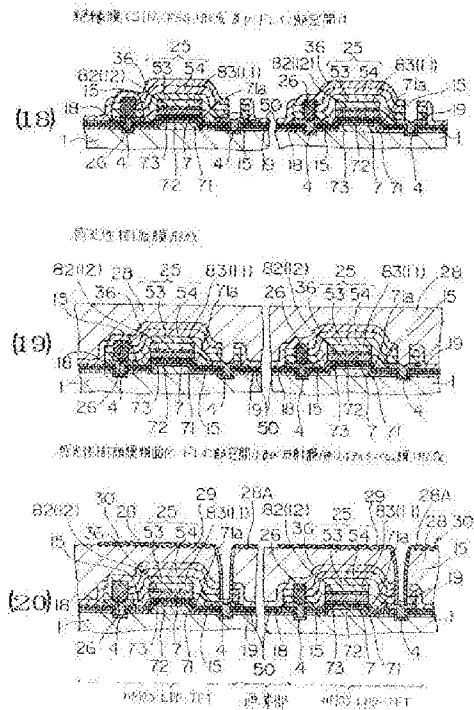
【図25】



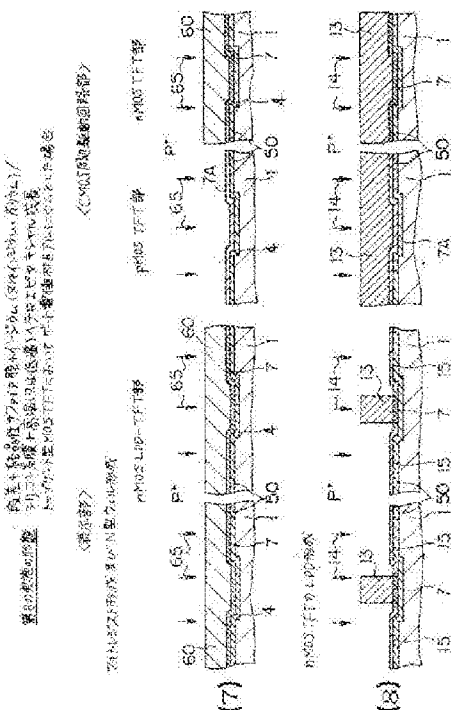
【図26】



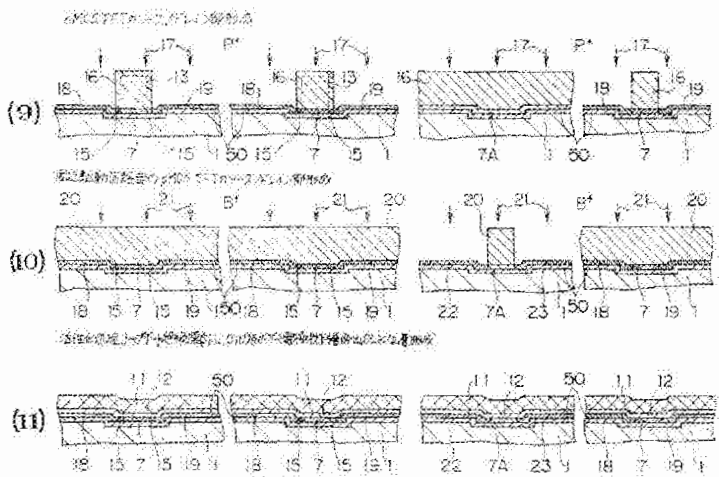
【図27】



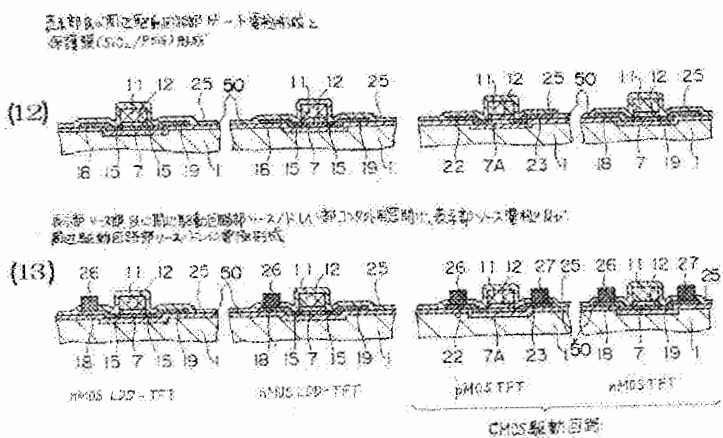
【図28】



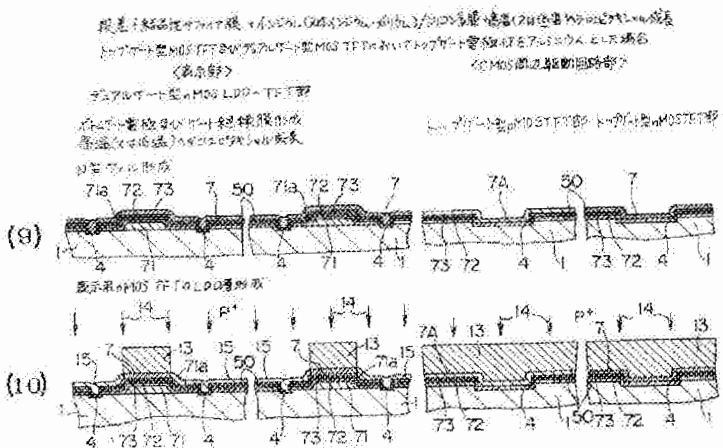
【図29】



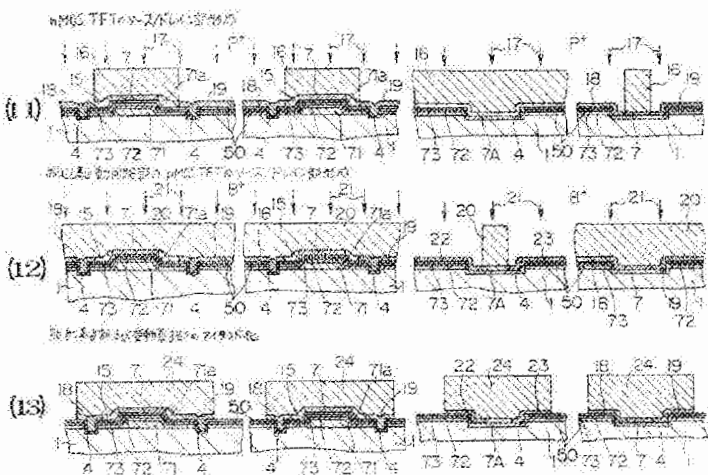
【図30】



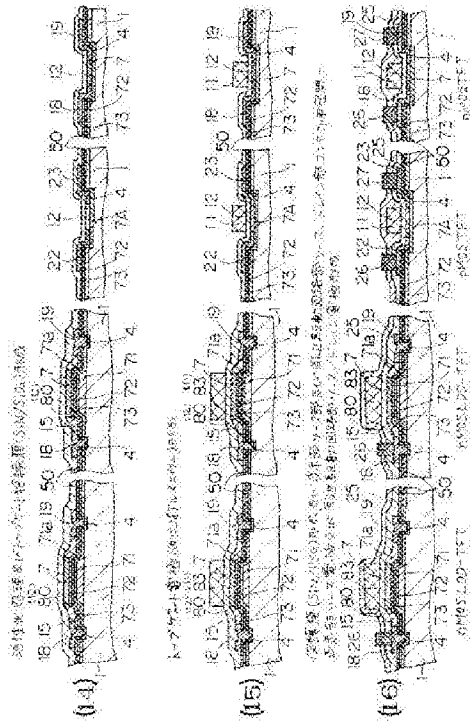
【図31】



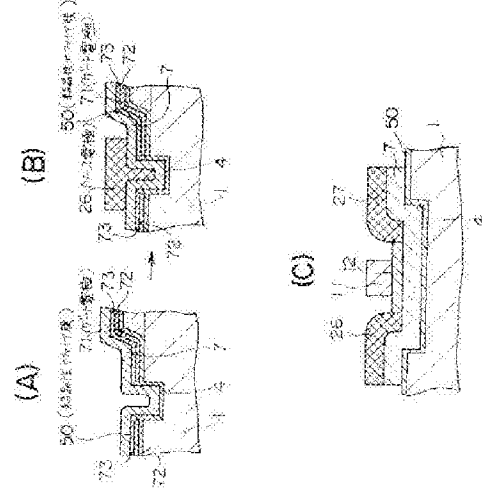
【図32】



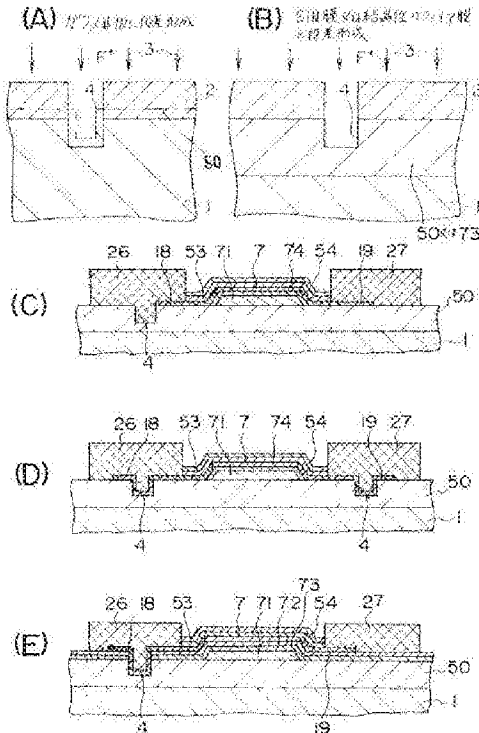
【図33】



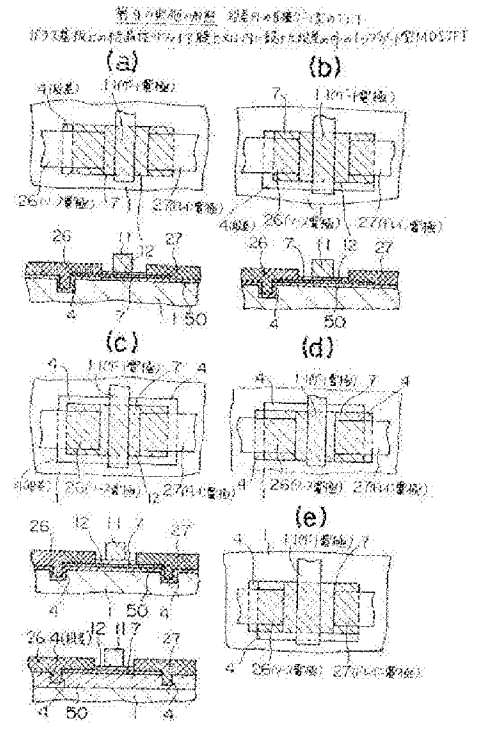
【図34】



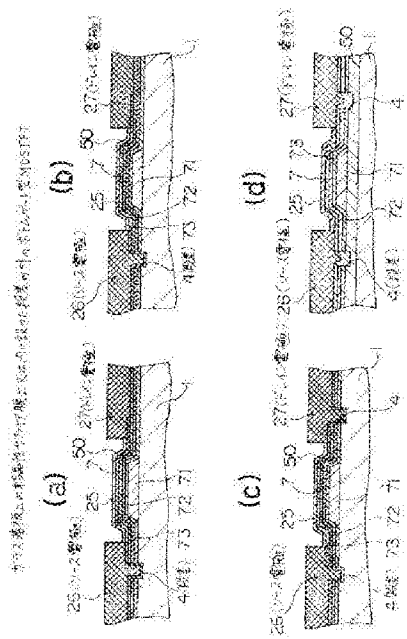
【図35】



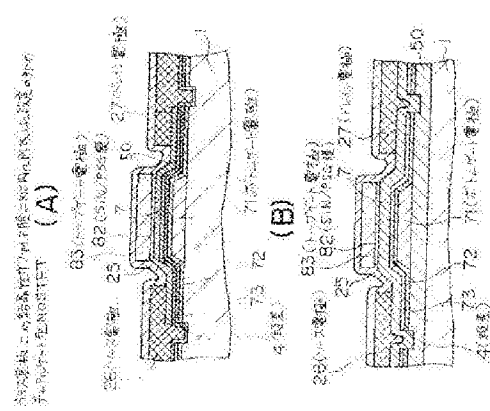
【図36】



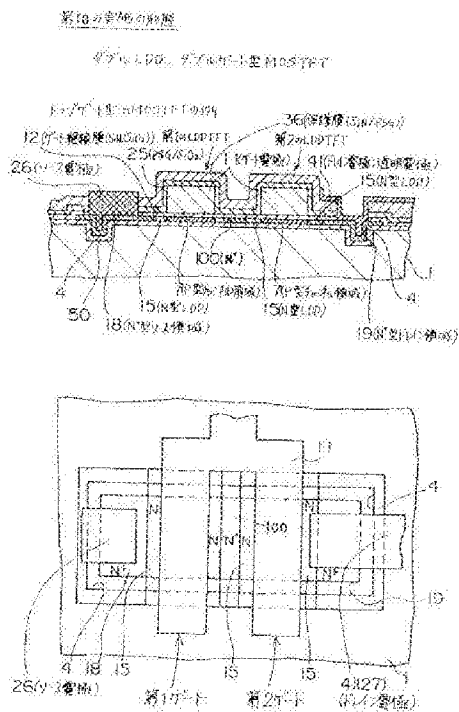
【図37】



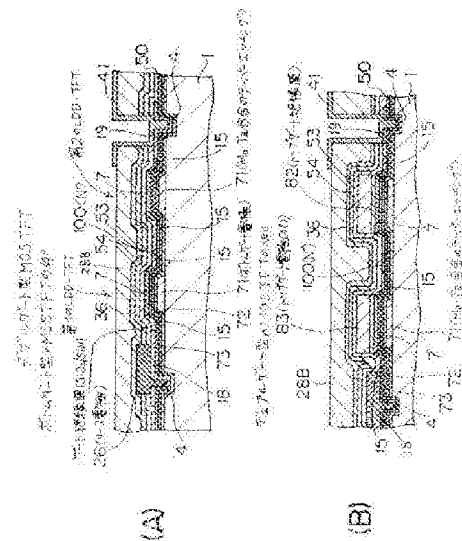
【図38】



【図39】



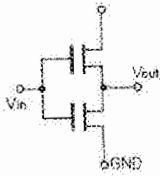
【図40】



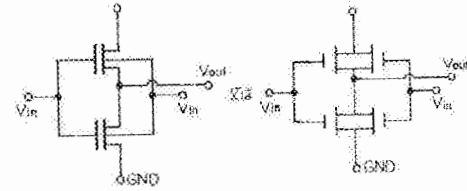
【図41】

ダブルゲート型MOSFETの等価回路

トップゲート型又はボトムゲート型

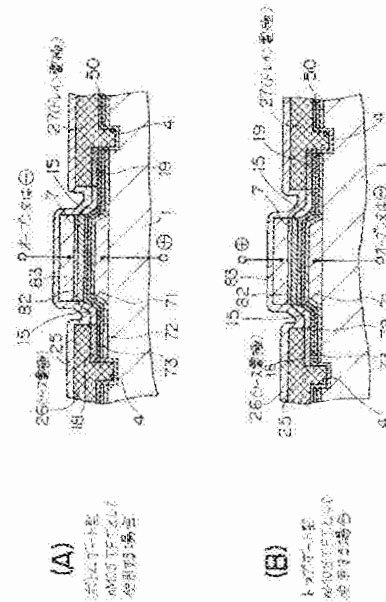


デュアルゲート型

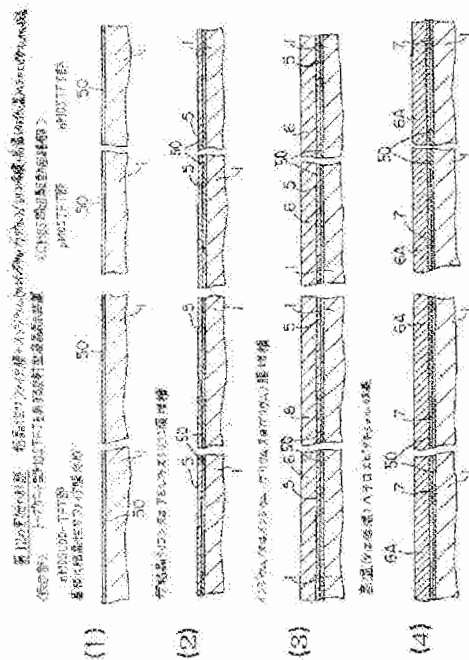


【図42】

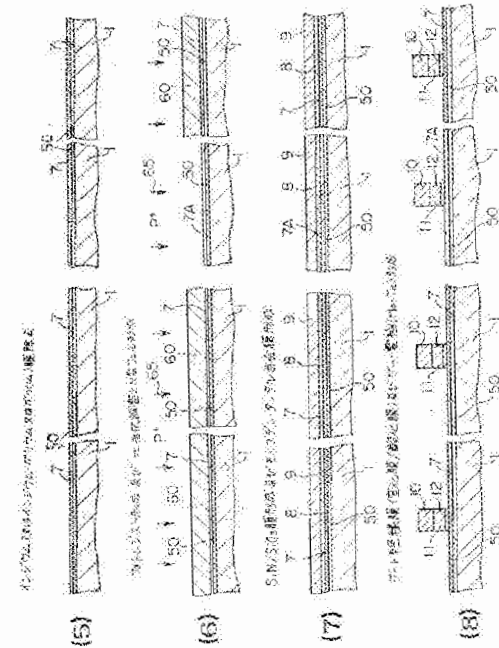
図42は、図41のダブルゲート型MOSFETの構造の断面図



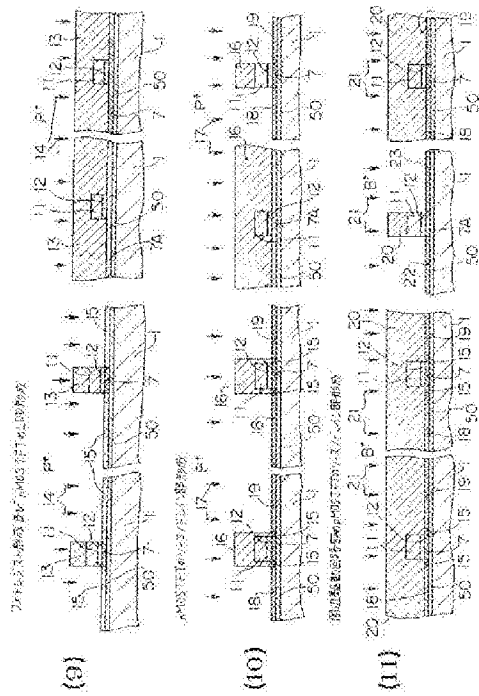
【図43】



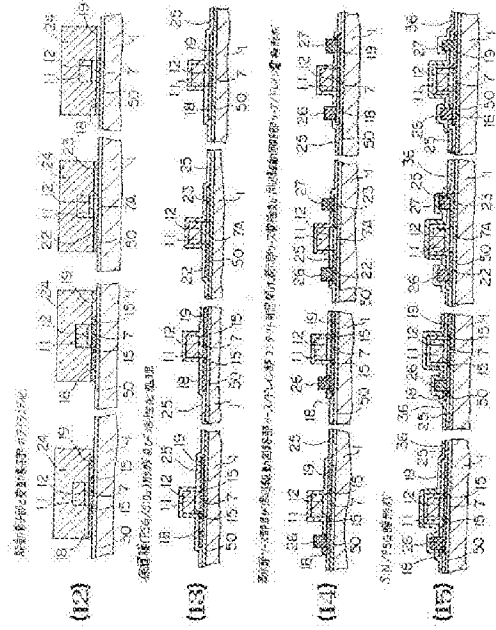
【図44】



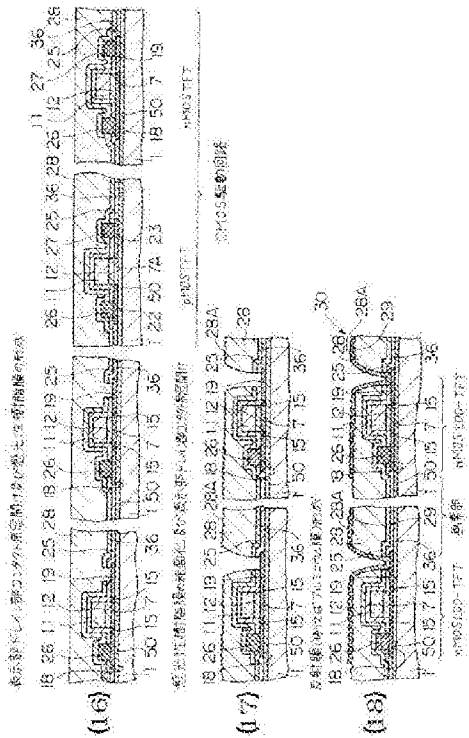
【図45】



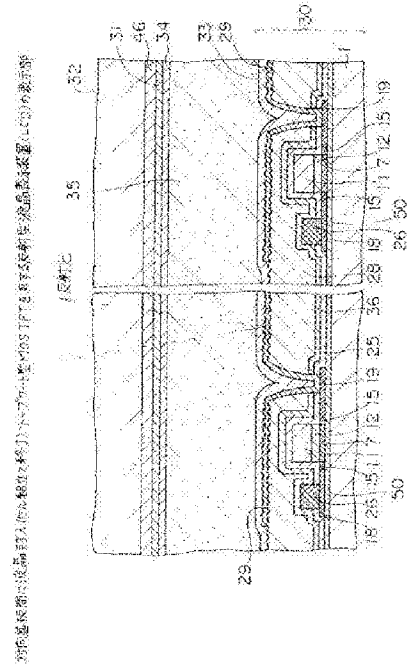
【図46】



【図47】

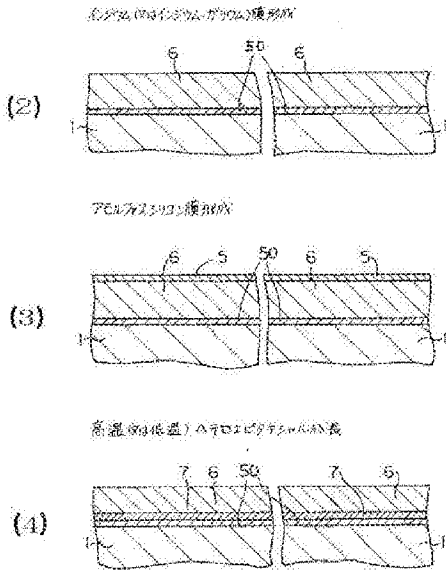


【図48】



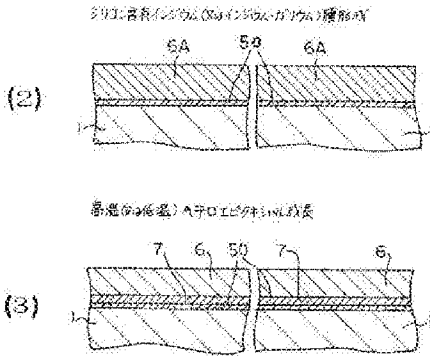
【図49】

第13の製造工程 結晶性シリコン膜+シリコン酸/インジウム
150℃インジウム-ガリウム浴+高温(250℃)
メタロエポキシ樹脂成長



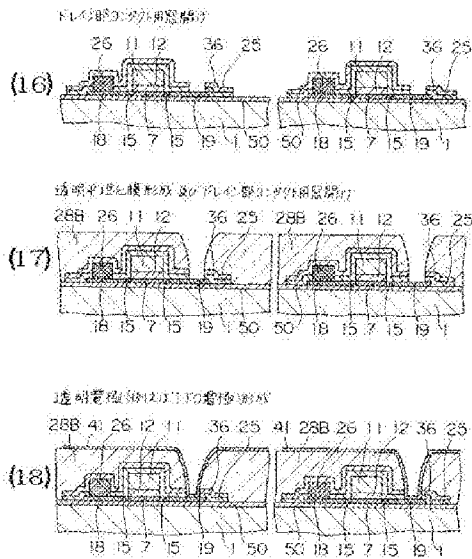
【図50】

第14の製造工程 結晶性シリコン膜+シリコン酸/インジウム
(又はインジウム-ガリウム)浴+高温(250℃)
メタロエポキシ樹脂成長

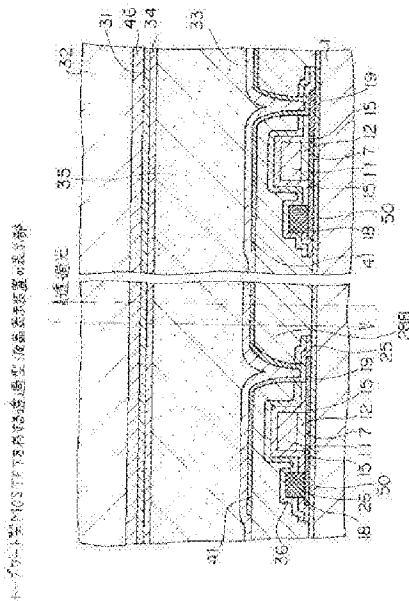


【図51】

第15の製造工程 トランジスタ用材料透過型液晶素子装置の製造工程



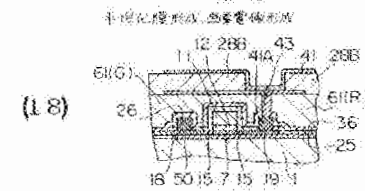
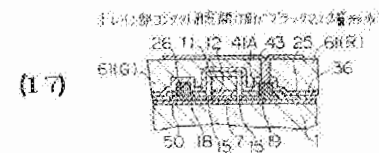
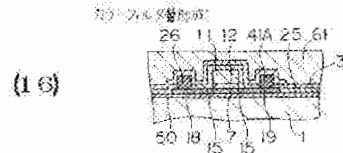
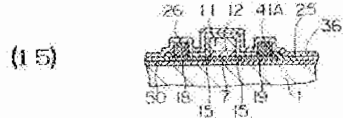
【図52】



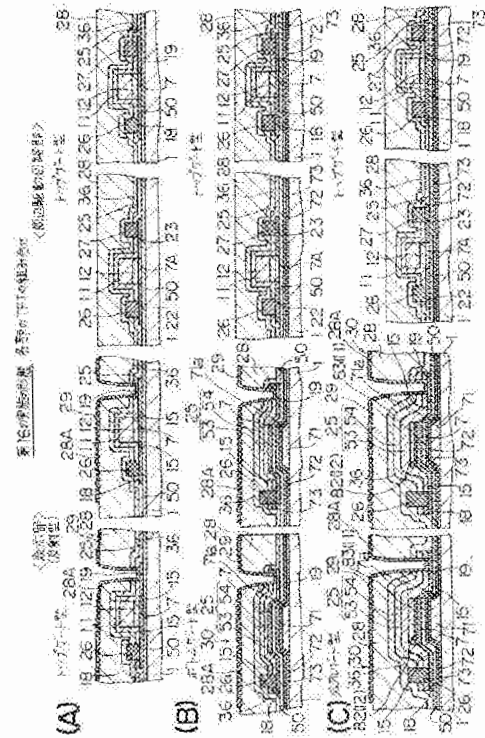
【図53】

ガラス基板にプラズマ処理を施す(図53a)の装置の断面図

ガラス(1)にプラズマ処理を施す(図53a)の装置の断面図

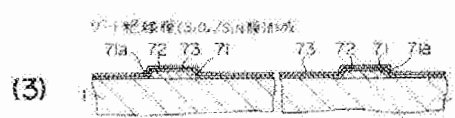
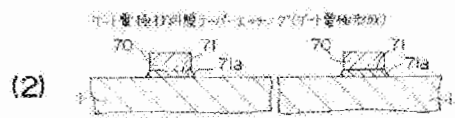
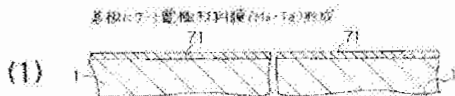


【図54】



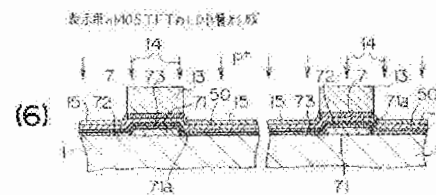
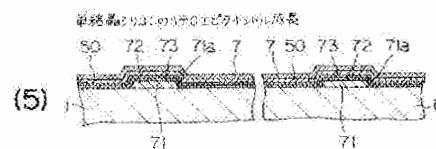
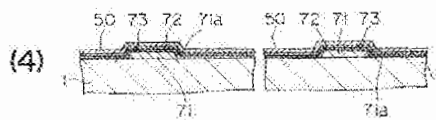
【図55】

ガラス(1)にプラズマ処理を施す(図55a)の装置の断面図
+ ガラス(1)にプラズマ処理を施す(図55b)の装置の断面図
+ ガラス(1)にプラズマ処理を施す(図55c)の装置の断面図

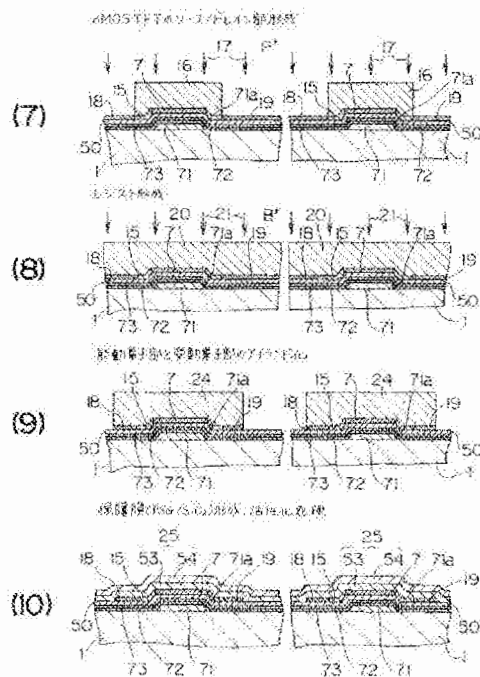


【図56】

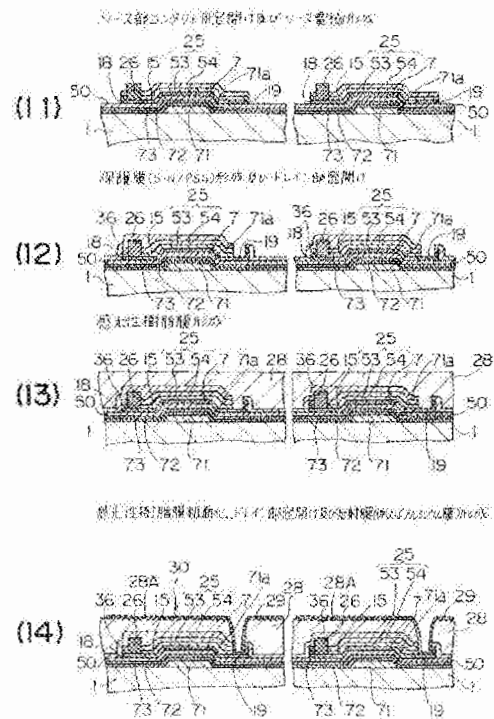
ガラス(1)にプラズマ処理を施す(図56a)の装置の断面図



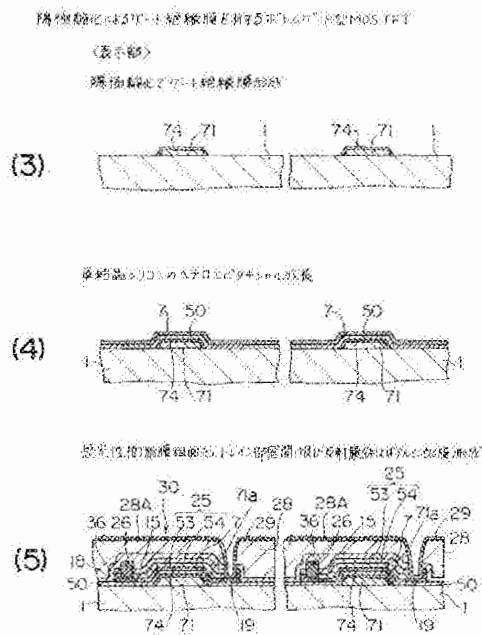
【図57】



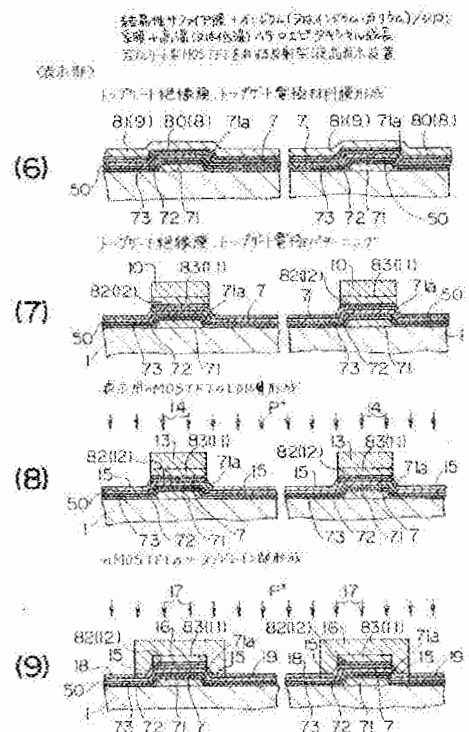
【図58】



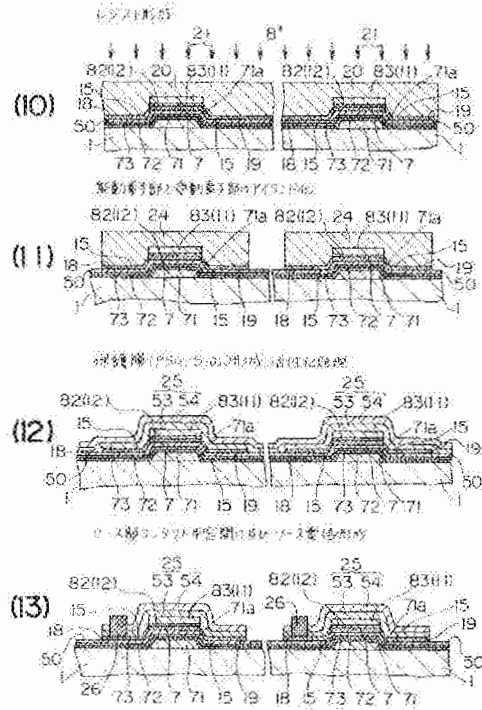
【図59】



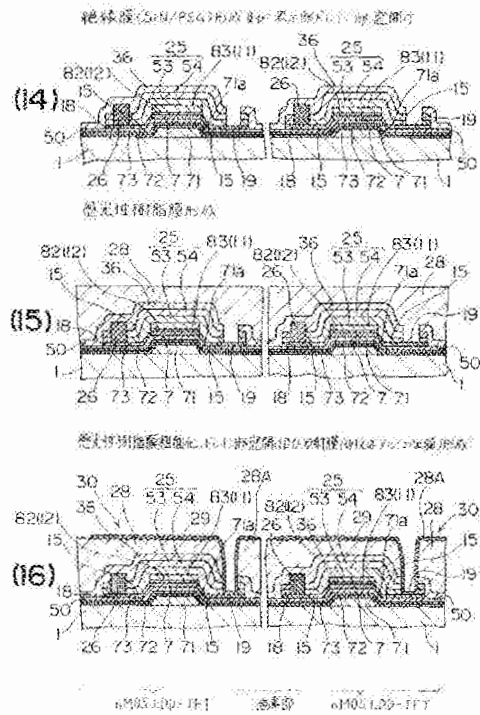
【図60】



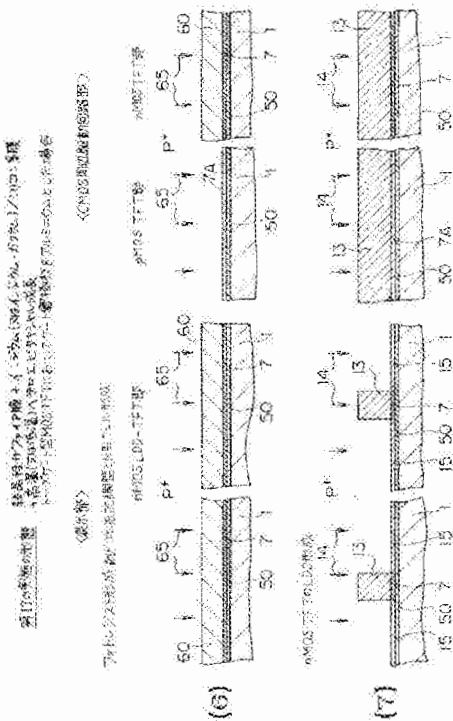
【図61】



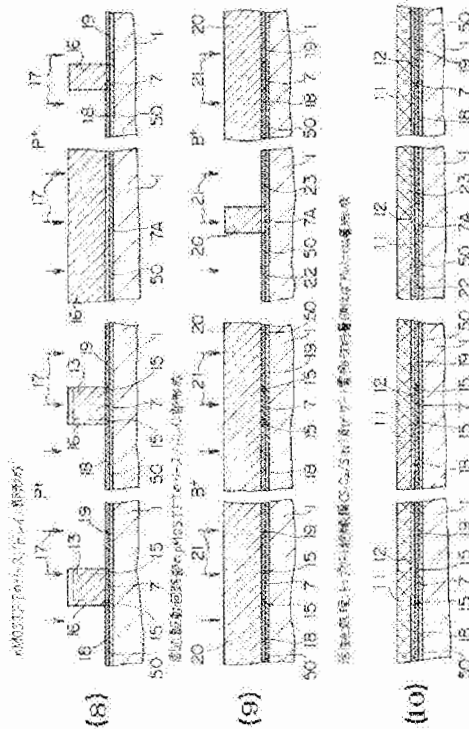
【図62】



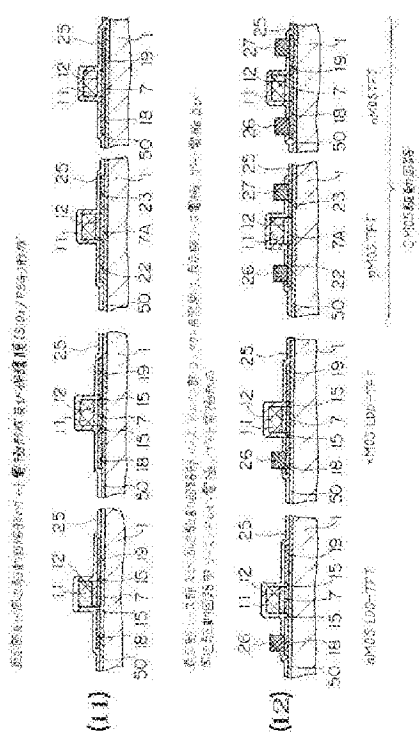
【図63】



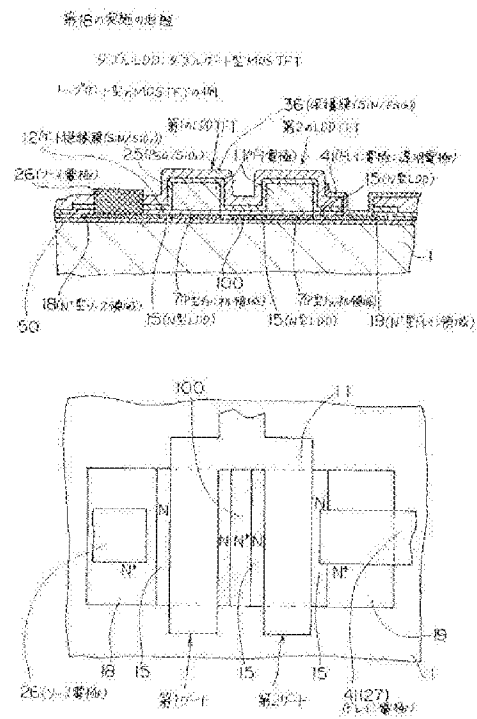
【図64】



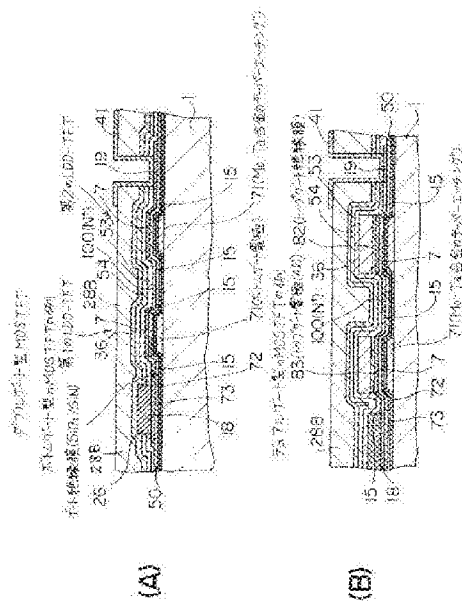
【 265 】



【图66】



【图67】



【图68】

第19の東北の鉄道		
各駅のMOS、FFI類お任せ		
No.	周辺駅間距離部	表示部
1	トップゲート型	トップゲート型
2	トップゲート型	トップゲート型
3	トップゲート型	トップゲート型
4	トップゲート型+ボトムゲート型	トップゲート型
5	トップゲート型+ボトムゲート型	ボトムゲート型
6	トップゲート型+ボトムゲート型	ボトムゲート型
7	トップゲート型+ボトムゲート型	トップゲート型
8	トップゲート型+ボトムゲート型	ボトムゲート型
9	トップゲート型+ボトムゲート型	ボトムゲート型
10	トップゲート型+ボトムゲート型	ボトムゲート型
11	トップゲート型+ボトムゲート型	ボトムゲート型
12	トップゲート型+ボトムゲート型	ボトムゲート型

【図69】

〈表示部MOS TFT-LCD構造例〉

No.	駆動回路のTFT	表示部のTFT		
	ゲート構造	チャンネル電圧	ゲート構造	チャンネル電圧
1	トープゲート	P	トープゲート	P
2	トープゲート	P	トープゲート	n
3	トープゲート	n	トープゲート	n
4	トープゲート	n	トープゲート	P
5	トープゲート	C	トープゲート	P
6	トープゲート	C	トープゲート	n
7	トープゲート	C	トープゲート	C
8	トープゲート	P	トープゲート	C
9	トープゲート	n	トープゲート	C
10	トープゲート	P	ボトムゲート	P
11	トープゲート	P	ボトムゲート	n
12	トープゲート	n	ボトムゲート	n
13	トープゲート	n	ボトムゲート	P
14	トープゲート	C	ボトムゲート	P
15	トープゲート	C	ボトムゲート	n
16	トープゲート	C	ボトムゲート	C
17	トープゲート	P	ボトムゲート	C
18	トープゲート	n	ボトムゲート	C
19	トープゲート	P	デュアルゲート	P
20	トープゲート	P	デュアルゲート	n
21	トープゲート	n	デュアルゲート	n
22	トープゲート	n	デュアルゲート	P
23	トープゲート	C	デュアルゲート	P
24	トープゲート	C	デュアルゲート	n
25	トープゲート	C	デュアルゲート	C
26	トープゲート	P	デュアルゲート	C
27	トープゲート	n	デュアルゲート	C

P: P型、n: n型

C: 共通電圧

トープゲートとボトムゲートが異なるゲート構造型 (n+1, 同様)

【図70】

〈表示部MOS TFT-LCD構造例〉

No.	駆動回路のTFT	表示部のTFT		
	ゲート構造	チャンネル電圧	ゲート構造	チャンネル電圧
28	トープゲート	C+n	トープゲート	P
29	トープゲート	C+n	トープゲート	n
30	トープゲート	C+n	トープゲート	C
31	トープゲート	C+p	トープゲート	P
32	トープゲート	C+p	トープゲート	n
33	トープゲート	C+p	トープゲート	C
34	トープゲート	C+n+p	トープゲート	P
35	トープゲート	C+n+p	トープゲート	n
36	トープゲート	C+n+p	トープゲート	C
37	トープゲート	C+n	ボトムゲート	P
38	トープゲート	C+n	ボトムゲート	n
39	トープゲート	C+n	ボトムゲート	C
40	トープゲート	C+p	ボトムゲート	P
41	トープゲート	C+p	ボトムゲート	n
42	トープゲート	C+p	ボトムゲート	C
43	トープゲート	C+n+p	ボトムゲート	P
44	トープゲート	C+n+p	ボトムゲート	n
45	トープゲート	C+n+p	ボトムゲート	C
46	トープゲート	C+n	デュアルゲート	P
47	トープゲート	C+n	デュアルゲート	n
48	トープゲート	C+n	デュアルゲート	C
49	トープゲート	C+p	デュアルゲート	P
50	トープゲート	C+p	デュアルゲート	n
51	トープゲート	C+p	デュアルゲート	C
52	トープゲート	C+n+p	デュアルゲート	P
53	トープゲート	C+n+p	デュアルゲート	n
54	トープゲート	C+n+p	デュアルゲート	C

【図71】

〈表示部MOS TFT-LCD構造例〉

No.	駆動回路のTFT	表示部のTFT		
	ゲート構造	チャンネル電圧	ゲート構造	チャンネル電圧
55	トップゲート	P	トップゲート	P
56	トップゲート	P	トップゲート	n
57	トップゲート	n	トップゲート	n
58	トップゲート	n	トップゲート	P
59	トップゲート	C	トップゲート	P
60	トップゲート	C	トップゲート	n
61	トップゲート	C	トップゲート	C
62	トップゲート	P	トップゲート	C
63	トップゲート	n	トップゲート	C
64	トップゲート	P	ボトムゲート	P
65	トップゲート	P	ボトムゲート	n
66	トップゲート	n	ボトムゲート	n
67	トップゲート	n	ボトムゲート	P
68	トップゲート	C	ボトムゲート	P
69	トップゲート	C	ボトムゲート	n
70	トップゲート	C	ボトムゲート	C
71	トップゲート	P	ボトムゲート	C
72	トップゲート	n	ボトムゲート	C
73	トップゲート	P	デュアルゲート	P
74	トップゲート	P	デュアルゲート	n
75	トップゲート	n	デュアルゲート	n
76	トップゲート	n	デュアルゲート	P
77	トップゲート	C	デュアルゲート	P
78	トップゲート	C	デュアルゲート	n
79	トップゲート	C	デュアルゲート	C
80	トップゲート	P	デュアルゲート	C
81	トップゲート	n	デュアルゲート	C

【図72】

〈表示部MOS TFT-LCD構造例〉

No.	駆動回路のTFT	表示部のTFT		
	ゲート構造	チャンネル電圧	ゲート構造	チャンネル電圧
82	トープゲート	C+n	トープゲート	P
83	トープゲート	C+n	トープゲート	n
84	トープゲート	C+n	トープゲート	C
85	トープゲート	C+p	トープゲート	P
86	トープゲート	C+p	トープゲート	n
87	トープゲート	C+p	トープゲート	C
88	トープゲート	C+n+p	トープゲート	P
89	トープゲート	C+n+p	トープゲート	n
90	トープゲート	C+n+p	トープゲート	C
91	トープゲート	C+n	ボトムゲート	P
92	トープゲート	C+n	ボトムゲート	n
93	トープゲート	C+n	ボトムゲート	C
94	トープゲート	C+p	ボトムゲート	P
95	トープゲート	C+p	ボトムゲート	n
96	トープゲート	C+p	ボトムゲート	C
97	トープゲート	C+n+p	ボトムゲート	P
98	トープゲート	C+n+p	ボトムゲート	n
99	トープゲート	C+n+p	ボトムゲート	C
100	トープゲート	C+n	デュアルゲート	P
101	トープゲート	C+n	デュアルゲート	n
102	トープゲート	C+n	デュアルゲート	C
103	トープゲート	C+p	デュアルゲート	P
104	トープゲート	C+p	デュアルゲート	n
105	トープゲート	C+p	デュアルゲート	C
106	トープゲート	C+n+p	デュアルゲート	P
107	トープゲート	C+n+p	デュアルゲート	n
108	トープゲート	C+n+p	デュアルゲート	C

【図73】

＜周辺駆動回路部MOS-TFTの一部にLED構造有＞

No.	周辺駆動回路部のTFTs	表示部のTFT		
	ゲート構造	チャネル構造型	ゲート構造	チャネル構造型
109	トップゲート	p	トップゲート	p
110	トップゲート	p	トップゲート	n
111	トップゲート	n	トップゲート	n
112	トップゲート	n	トップゲート	p
113	トップゲート	c	トップゲート	p
114	トップゲート	c	トップゲート	n
115	トップゲート	c	トップゲート	c
116	トップゲート	p	トップゲート	c
117	トップゲート	n	トップゲート	c
118	トップゲート	p	ボトムゲート	p
119	トップゲート	p	ボトムゲート	n
120	トップゲート	n	ボトムゲート	n
121	トップゲート	n	ボトムゲート	p
122	トップゲート	c	ボトムゲート	p
123	トップゲート	c	ボトムゲート	n
124	トップゲート	c	ボトムゲート	c
125	トップゲート	p	ボトムゲート	c
126	トップゲート	n	ボトムゲート	c
127	トップゲート	p	デュアルゲート	p
128	トップゲート	p	デュアルゲート	n
129	トップゲート	n	デュアルゲート	n
130	トップゲート	n	デュアルゲート	p
131	トップゲート	c	デュアルゲート	p
132	トップゲート	c	デュアルゲート	n
133	トップゲート	c	デュアルゲート	c
134	トップゲート	p	デュアルゲート	c
135	トップゲート	n	デュアルゲート	c

【図74】

＜周辺駆動回路部MOS-TFTの一部にLED構造有＞

No.	周辺駆動回路部のTFTs	表示部のTFT		
	ゲート構造	チャネル構造型	ゲート構造	チャネル構造型
136	トップゲート	c+n	トップゲート	p
137	トップゲート	c+n	トップゲート	n
138	トップゲート	c+n	トップゲート	c
139	トップゲート	c+p	トップゲート	p
140	トップゲート	c+p	トップゲート	n
141	トップゲート	c+p	トップゲート	c
142	トップゲート	c+n+p	トップゲート	p
143	トップゲート	c+n+p	トップゲート	n
144	トップゲート	c+n+p	トップゲート	c
145	トップゲート	c+n	ボトムゲート	p
146	トップゲート	c+n	ボトムゲート	n
147	トップゲート	c+p	ボトムゲート	c
148	トップゲート	c+p	ボトムゲート	p
149	トップゲート	c+p	ボトムゲート	n
150	トップゲート	c+p	ボトムゲート	c
151	トップゲート	c+n+p	ボトムゲート	p
152	トップゲート	c+n+p	ボトムゲート	n
153	トップゲート	c+n+p	ボトムゲート	c
154	トップゲート	c+n	デュアルゲート	p
155	トップゲート	c+n	デュアルゲート	n
156	トップゲート	c+n	デュアルゲート	c
157	トップゲート	c+p	デュアルゲート	p
158	トップゲート	c+p	デュアルゲート	n
159	トップゲート	c+p	デュアルゲート	c
160	トップゲート	c+n+p	デュアルゲート	p
161	トップゲート	c+n+p	デュアルゲート	n
162	トップゲート	c+n+p	デュアルゲート	c

【図75】

＜周辺駆動回路部MOS-TFTと表示部MOS-TFTが共にLED構造有＞

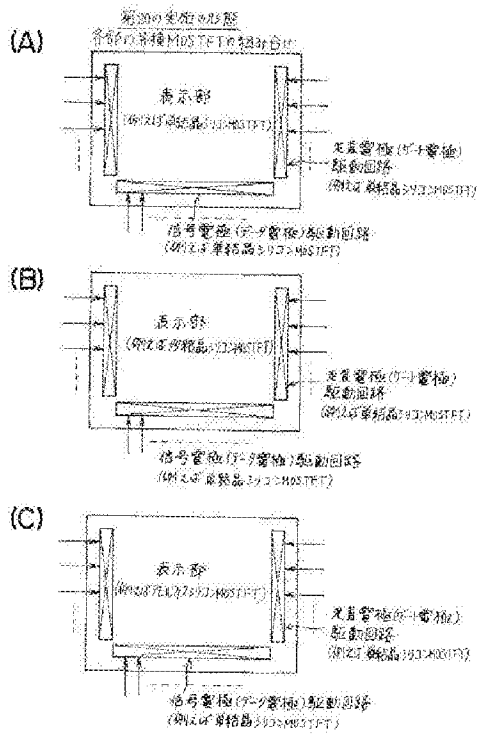
No.	周辺駆動回路部のTFTs	表示部のTFT		
	ゲート構造	チャネル構造型	ゲート構造	チャネル構造型
163	トップゲート	p	トップゲート	p
164	トップゲート	p	トップゲート	n
165	トップゲート	n	トップゲート	n
166	トップゲート	n	トップゲート	p
167	トップゲート	c	トップゲート	p
168	トップゲート	c	トップゲート	n
169	トップゲート	c	トップゲート	c
170	トップゲート	p	トップゲート	c
171	トップゲート	n	トップゲート	c
172	トップゲート	p	ボトムゲート	p
173	トップゲート	p	ボトムゲート	n
174	トップゲート	n	ボトムゲート	n
175	トップゲート	n	ボトムゲート	p
176	トップゲート	c	ボトムゲート	p
177	トップゲート	c	ボトムゲート	n
178	トップゲート	c	ボトムゲート	c
179	トップゲート	p	ボトムゲート	c
180	トップゲート	n	ボトムゲート	c
181	トップゲート	p	デュアルゲート	p
182	トップゲート	p	デュアルゲート	n
183	トップゲート	n	デュアルゲート	n
184	トップゲート	n	デュアルゲート	p
185	トップゲート	c	デュアルゲート	p
186	トップゲート	c	デュアルゲート	n
187	トップゲート	c	デュアルゲート	c
188	トップゲート	p	デュアルゲート	c
189	トップゲート	n	デュアルゲート	c

【図76】

＜周辺駆動回路部MOS-TFTと表示部MOS-TFTが共にLED構造有＞

No.	周辺駆動回路部のTFTs	表示部のTFT		
	ゲート構造	チャネル構造型	ゲート構造	チャネル構造型
190	トップゲート	c+n	トップゲート	p
191	トップゲート	c+n	トップゲート	n
192	トップゲート	c+n	トップゲート	c
193	トップゲート	c+p	トップゲート	p
194	トップゲート	c+p	トップゲート	n
195	トップゲート	c+p	トップゲート	c
196	トップゲート	c+n+p	トップゲート	p
197	トップゲート	c+n+p	トップゲート	n
198	トップゲート	c+n+p	トップゲート	c
199	トップゲート	c+n	ボトムゲート	p
200	トップゲート	c+n	ボトムゲート	n
201	トップゲート	c+n	ボトムゲート	c
202	トップゲート	c+p	ボトムゲート	p
203	トップゲート	c+p	ボトムゲート	n
204	トップゲート	c+p	ボトムゲート	c
205	トップゲート	c+n+p	ボトムゲート	p
206	トップゲート	c+n+p	ボトムゲート	n
207	トップゲート	c+n+p	ボトムゲート	c
208	トップゲート	c+n	デュアルゲート	p
209	トップゲート	c+n	デュアルゲート	n
210	トップゲート	c+n	デュアルゲート	c
211	トップゲート	c+p	デュアルゲート	p
212	トップゲート	c+p	デュアルゲート	n
213	トップゲート	c+p	デュアルゲート	c
214	トップゲート	c+n+p	デュアルゲート	p
215	トップゲート	c+n+p	デュアルゲート	n
216	トップゲート	c+n+p	デュアルゲート	c

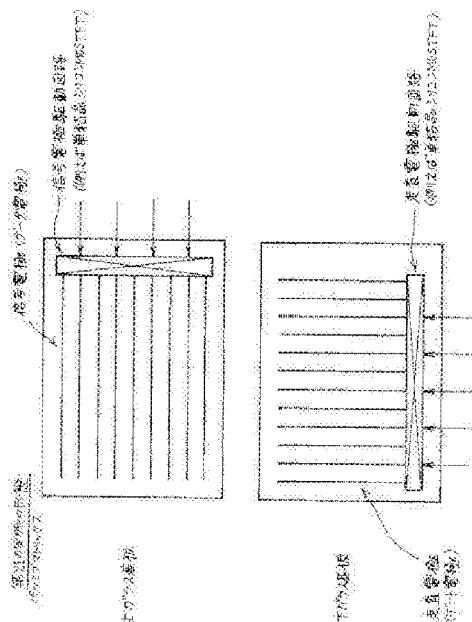
【圖77】



【图78】

MES F F T a 製品種	MOS T F T aタイプ	
	周辺距離絶縁部	表示部
準製品タイプ	CMOS S12a + PMOS CMOS + PMOS + PMOS	CMOS PMOS CMOS CMOS
特製品タイプ	CMOS X12a + PMOS + PMOS CMOS + PMOS + PMOS	CMOS PMOS CMOS CMOS
7047タイプ	---	CMOS PMOS CMOS CMOS

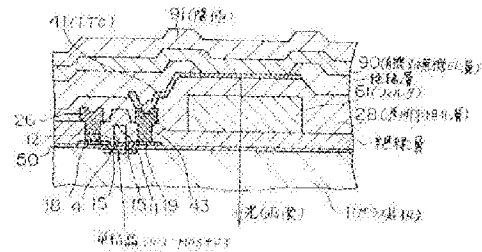
【图79】



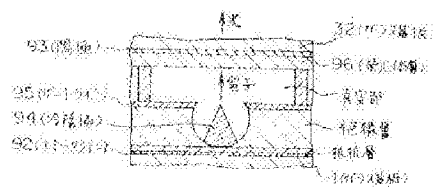
【图80】

第22章 串、列、形變 153 以外、の範圍

(A) E1.1797, 7/24/97 (6/28/97)



(B) FEB 03 2009 12:28 PM



(51) Int. Cl. F I
G 0 9 F 9/33 (2006.01) G 0 9 F 9/33 M

(72) 発明者 矢本 肇
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 河本 充雄

(56) 参考文献 特開平04-349618 (JP, A)
特開平07-235488 (JP, A)

(58) 調査した分野(Int. Cl., DB名)

H01L 29/786
H01L 21/336
H01L 21/20
G02F 1/1368
G09F 9/00
G09F 9/33

Electronic Acknowledgement Receipt

EFS ID:	36991719
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Jennifer Colwell
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	27-AUG-2019
Filing Date:	17-JUL-2017
Time Stamp:	14:51:26
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Amendment/Req. Reconsideration-After Non-Final Reject	5367-694PCON_Amendment. pdf	125068	no	11
			f7c81b73eca82ac66f75efddeac9f80f5eb19 d34		

Warnings:

Information:	
Total Files Size (in bytes):	125068
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.	

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Kastner-Jung, Ulrich et al.

Serial No.: 15/651,508

Filed: July 17, 2017

For: Organic-Light-Emitting Diode

Examiner: CHO, James H.

Group Art Unit: 2844

Conf. No.: 2349

Mail Stop **Amendment**
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RESPONSE AFTER NON-FINAL OFFICE ACTION

SIR:

In response to the non-final Office Action dated May 31, 2019, please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper;

Remarks/Arguments begin on page 6 of this paper.

Listing of Claims:

1. (Previously Presented) An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,
 - wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,
 - wherein the carrier forms a radiation exit area,
 - wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,
 - wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,
 - wherein the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another,
 - wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and
 - wherein the functional layers, which are arranged on different areas, are driven separately from one another.
2. (Cancelled).
3. (Previously Presented) The organic light-emitting diode according to claim 1,
 - wherein the prisms comprises a length and width which are arranged parallel to the main plane of the organic layer sequence,
 - wherein the length is at least 1 cm, and
 - wherein the width is bigger than the wavelength of the electromagnetic radiation which is induced by the organic light-emitting diode.
4. (Currently amended) The organic light-emitting diode according to claim 1, wherein the directional emission profile is a symmetrical cardioid in one direction or

asymmetrical in at least one of the directions.

5. (Previously presented) The organic light-emitting diode according to claim 1, wherein the first areas are transparent, and the second areas are reflective, so that the directional emission profile has a tilt angle which depends on an angle α .
6. (Cancelled).
7. (Previously presented) The organic light-emitting diode according to claim 1, wherein the structured radiation exit area comprises a multiplicity of the parallel prisms,
wherein the parallel prisms comprise a length and width which are arranged parallel to the main plane of the organic layer sequence,
wherein the parallel prisms form in side view an isosceles triangle,
wherein the directional emission profile is symmetrical and has two main radiation directions, wherein the two main radiation directions are inclined from the z-axis by an angle $\alpha = \beta$ in positive and negative x-directions, and
wherein the main plane forms an x-y-plane.
8. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the first areas and/or the second areas are nonplanar.
9. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the first areas and/or the second areas are formed in the manner of cylinder sections.

10. (Previously Presented) The organic light-emitting diode according to claim 1,
wherein the directional emission profile has a maximum in the direction perpendicular
to the first areas.
11. (Previously Presented) The organic light-emitting diode according to claim 1,
wherein the second areas are reflective, which is induced by metallization with metal particles.
12. (Previously Presented) The organic light-emitting diode according to claim 1,
wherein the structured radiation exit area is embodied as a separate structured foil, which is
arranged on a carrier.
13. (Currently amended) The organic light-emitting diode according to claim 1,
wherein the organic light-emitting diode comprises [[a]] the carrier which is
structured,
wherein the radiation exit area is arranged on the carrier, and
wherein the structuring of the radiation exit area is induced by the structuring of the
carrier.
14. (Cancelled).
15. (Cancelled).
16. (Cancelled).
17. (Previously Presented) The organic light-emitting diode according to claim 1,
wherein the organic light-emitting diode is an organic light-emitting diode emitting on
both sides, which comprises two radiation exit areas,
wherein the two radiation exit areas are arranged on opposite sides of the organic light-
emitting diode, and
wherein the radiation exit areas are structured.

18. (Previously Presented) A luminaire having at least one light-emitting diode according to claim 1 as a light source,

wherein the luminaire is one of the following devices or is at least part of one of the following devices: alarm clock, shower cubicle, shower head, solar protection, rain protection, lamp, bag, signaling light, changing cubicle, vision protection, housing, emergency lighting, mirror, tile, ceiling light, radiator cladding, louver, noise protection, umbrella, warning light.

19. (Cancelled).

20. (New) An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,

wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,

wherein the carrier forms a radiation exit area,

wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,

wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,

wherein the carrier comprises a multiplicity of first areas and second areas which are arranged in a tilted manner with respect to one another,

wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and

wherein the functional layers each comprise a first electrode, an organic layer sequence, and a second electrode.

REMARKS/ARGUMENTS

Status of claims

Claims 1, 3-5, 7-13, and 17-19 have been examined.

Claims 4 and 13 are being modified for better format as suggested by the Examiner.

Claim 19 is being canceled, without prejudice.

Claim 20 has been newly added. Support for new claim 20 can be found at, e.g., originally-filed claim 1 and paragraph [0048] of the specification.

Upon entry of the amendments, claims 1, 3-5, 7-13, 17, 18, and 20 are presented for examination. Wit claims 1 and 20 being the only independent claims.

Summary of Office Action

Claims 4 and 13 have been objected to.

Claims 1, 3-5, 7-13, and 17-19 have been rejected under pre-AIA 35 USC 103(a) as being unpatentable over Cina et al. (US 2009/0072711 A1) in view of Garditz (US 2007/0114520 A1).

Reconsideration and withdrawal of these rejections are respectfully requested in view of the claim modifications made herein and in light of the following remarks.

Remarks

Objection to the claims

Claims 4 and 13 have been objected to due to several informalities, which have now been corrected as suggested by the Examiner. Therefore, this objection to the claims is moot.

Rejection under 35 U.S.C. § 103

Claims 1, 3-5, 7-13, and 17-19 have been rejected under pre-AIA 35 USC 103(a) as being unpatentable over Cina et al. (US 20019/0072711 A1) in view of Garditz (US 2007/0114520 A1).

Reconsideration and withdrawal of this rejection are respectfully requested.

Independent claim 1 of the present application recites:

1. An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,
wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,
wherein the carrier forms a radiation exit area,
wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,
wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,
wherein the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another,
wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and
wherein the functional layers, which are arranged on different areas, are driven separately from one another.

(Emphasis added.)

According to the Examiner, the primary reference Cina discloses an organic light-emitting diode (OLED) in connection with the exemplary embodiment of Figure 1. The OLED comprises a substrate (2) on which are arranged a rear electrode (3), a light-emitting organic layer (4), a transparent organic layer (5) and a transparent electrode (6).

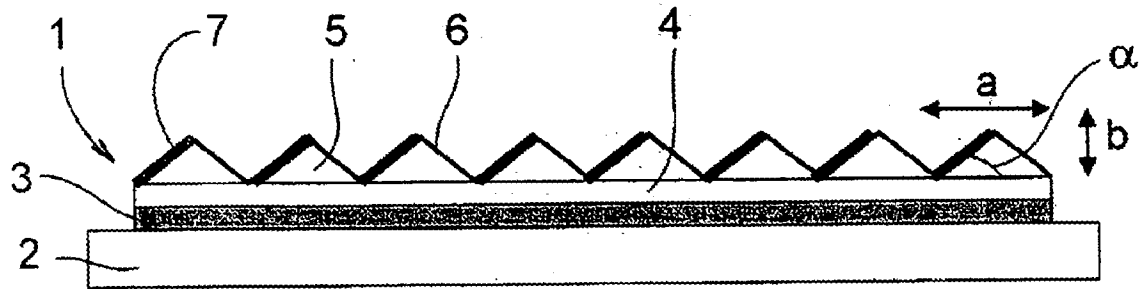


FIG. 1

The Examiner acknowledges that Cina does not teach an encapsulation wherein the encapsulation forms a seal of the organic layer sequence against environmental influences and an OLED generating electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation. To remedy Cina's deficiencies, the Examiner further cites Garditz which, according to the Examiner, discloses encapsulation. Therefore, the Examiner argues that "it would have been obvious to one ordinary skill in the art at the time of invention was made to utilize the encapsulation of Garditz et al. in order to provide protections for reliable operation as well as the teaching of Garditz et al. where a typical OLED would emit light in the spectral range from infrared to UV radiation." See page 3, last paragraph of the Office Action.

Regarding the feature "wherein the functional layers, which are arranged on different areas, are driven separately from one another" recited in independent claim 1, the Examiner argues that "functional layers" according to Cina can be driven separately from one another by referring to the rear electrode (3) on "the bottom" and the transparent electrode (6) on "the top." Applicant respectfully disagrees, as explained below.

First, Cina discloses at paragraphs [0079] to [0081] as follows (emphasis added):

The front electrode of the second front type 6 comprises two layers:
a very thin and conductive transparent layer with a thickness of the order of 5 nm, **covering the entire surface of the embossed organic layer** while matching its relief patterns, and thicker metallic strips with a thickness of the order of 500 nm forming the opaque reflective zones 7, these strips therefore covering only a part of the surface of the embossed organic layer, also while matching its relief patterns.

Thus, the transparent electrode (6) is formed continuously and is not structured. If a current is applied to the transparent electrode (6) and to the rear electrode (3), the light-emitting organic layer (4) is supplied with a current over its entire surface. Thus, Cina fails to teach, disclose, or suggest the feature of claim 1 of the present application "wherein the functional layers, which are arranged on different areas, are driven separately from one another."

Furthermore, Cina discloses at paragraph [0097] that the "plurality of extraction zones corresponding in practice to a single 'pixel' of the OLED diode." Therefore, Cina has explicitly taught away from an OLED that has areas that can be operated separately from one another.

The secondary reference Garditz, which, as stated above, is merely cited in connection with encapsulation and spectral range, cannot remedy Cina's deficiencies that are pointed out above. Therefore, combining the teachings of Cina and Garditz, as proposed by the Examiner, would not arrive at the invention as recited in claim 1 of the present application.

Based on the foregoing, claim 1 is patentable under pre-AIA 35 U.S.C. § 103(a) over Cina in view of Garditz.

Each of claims 3-5, 7-13, 17 and 18 depends, either directly or indirectly, on claim 1 and, thus, is allowable therewith under pre-AIA 35 U.S.C. § 103(a) over Garditz in view of Chen.

Regarding independent claim 19, it has now been cancelled. Therefore, the rejection of claim 19 is moot.

Withdrawal of the rejection of claims 1, 3-5, 7-13, 17, and 18 under pre-AIA 35 U.S.C. § 103(a) over Cina in view of Garditz is respectfully requested.

Concerning new claim 20, the cited prior art does not teach the features wherein "functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and wherein the functional layers comprise each a first electrode, an organic layer sequence, and a second electrode". The cited prior art discloses organic layer sequences intended to generate electromagnetic radiation, which are formed continuously and, therefore, not structured according to new claim 20. Thus, claim 20 is allowable under pre-AIA 35 U.S.C. § 103(a) over Garditz in view of Chen.

Conclusion

Based on all of the above, the present application is now in proper condition for allowance. Prompt and favorable action to this effect and early passing of this application to issue are respectfully solicited.

It is believed that no additional fees or charges are required at this time in connection with the present application. However, if any additional fees or charges are required at this time, they may be charged to our U.S. Patent and Trademark Office Deposit Account No. 50-3111.

Respectfully submitted,
COZEN O'CONNOR

By /Thomas Langer/
Thomas Langer
Reg. No. 27,264
277 Park Avenue
New York, New York 10172
(212) 883-4900

Dated: August 27, 2019

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 15/651,508		Filing Date 07/17/2017		☐ To be Mailed		
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO										
APPLICATION AS FILED - PART I										
		(Column 1)	(Column 2)							
FOR		NUMBER FILED	NUMBER EXTRA	RATE (\$)		FEE (\$)				
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A	N/A						
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))		N/A	N/A	N/A						
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A	N/A						
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =	*	x \$80 =						
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*	x \$420 =						
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).								
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL						
APPLICATION AS AMENDED - PART II										
		(Column 1)		(Column 2)	(Column 3)					
AMENDMENT	08/27/2019	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))	* 14	Minus	** 20	= 0	x \$100 =		0		
	Independent (37 CFR 1.16(h))	* 2	Minus	*** 3	= 0	x \$460 =		0		
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE		0		
		(Column 1)		(Column 2)	(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))	*	Minus	**	=	x \$0 =				
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x \$0 =				
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
						TOTAL ADD'L FEE				
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.						LIE				
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".						/TINA M. BELL/				
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".										
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.										

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

27799 7590 12/02/2019
Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

EXAMINER

CHO, JAMES HYONCHOL

ART UNIT

PAPER NUMBER

2844

DATE MAILED: 12/02/2019

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CONV409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	03/02/2020

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

27799 7590 12/02/2019
Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CONV409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	03/02/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHO, JAMES HYONCHOL	2844	315-360000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☐ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CON\409926	2349
27799	7590	12/02/2019	EXAMINER	
Cozen O'Connor			CHO, JAMES HYONCHOL	
277 Park Avenue, 20th floor				
NEW YORK, NY 10172				
			ART UNIT	PAPER NUMBER
			2844	
DATE MAILED: 12/02/2019				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 15/651,508	Applicant(s) KASTNER-JUNG et al.	
	Examiner James H Cho	Art Unit 2844	AIA (FITF) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the response filed 8/27/2019.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1,3-5,7-13,17-18 and 20. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov**.

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a) ☒ All b) ☐ Some *c) ☐ None of the:

1. ☐ Certified copies of the priority documents have been received.

2. ☒ Certified copies of the priority documents have been received in Application No. 13/139514.

3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892) 2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____. 3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____. 4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____.	5. ☐ Examiner's Amendment/Comment 6. ☒ Examiner's Statement of Reasons for Allowance 7. ☐ Other _____.
--	--

/JAMES H CHO/ Examiner, Art Unit 2844	/MINH D A/ Primary Examiner, Art Unit 2844
--	---

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application is being examined under the pre-AIA first to invent provisions.

Receipt is acknowledged of the Amendment filed August 27, 2019.

Allowable Subject Matter

Claims 1, 3-5, 7-13, 17-18 and 20 are allowable over the prior art of record.

The following is an examiner's statement of reasons for allowance:

one of ordinary skill in the art would not have been motivated to modify the teaching of Cina et al. and/or Garditz et al. to further includes, among other things, the specific of an organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation where the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another, functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and the functional layers, which are arranged on different areas, are driven separately from one another (claim 1), and the specific of an organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation where the carrier comprises a multiplicity of first areas and second areas which are arranged in a tilted manner with respect to one another, functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and the functional layers each comprise a first electrode, an organic layer sequence, and a second electrode (claim 20).

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to James H Cho whose telephone number is (571)272-1802. The examiner can normally be reached on M-F 8-5.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alex Taningco can be reached on 571-272-8048. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/JAMES H CHO/
Examiner, Art Unit 2844

/MINH D A/
Primary Examiner, Art Unit 2844

<i>Search Notes</i> 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.
	Examiner James H Cho	Art Unit 2844

CPC - Searched*		
Symbol	Date	Examiner
B60Q3/30,745 B05B1/18,268 B60Q7/00 F21S10/02 F21V23/0442,0016,004,0052,006 F21Y2113/20,10 F21Y2115/15 F21Y2105/00 (text search, see the search history printout)	2/1/2018	JC
F21S8/033,04,061 F21S9/03 G04C19/02 G04G11/00 G04G13/023 H05B33/0896,22 H05B37/00,0281 H01L2251/5361 Y02B20/36,42 (text search, see the search history printout)	2/1/201	JC

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
BRS text search, see the search history printout	2/1/2018	JC
updated search	03/15/2019	JC
updated search	05/13/2019	JC
inventors search	11/23/2019	JC

--	--

<i>Search Notes</i> 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.
	Examiner James H Cho	Art Unit 2844

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
PGPub	text search	11/23/2019	JC

--	--

Issue Classification 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.	
	Examiner James H Cho	Art Unit 2844	

CPC						
Symbol					Type	Version
F21S	/	10	/	02	F	2013-01-01
F21V	/	23	/	0442	I	2013-01-01
F21V	/	33	/	0016	I	2013-01-01
F21V	/	33	/	004	I	2013-01-01
F21V	/	33	/	0052	I	2013-01-01
F21V	/	33	/	006	I	2013-01-01
G04C	/	19	/	02	I	2013-01-01
G04G	/	11	/	00	I	2013-01-01
G04G	/	13	/	023	I	2013-01-01
H05B	/	33	/	0896	I	2013-01-01
H05B	/	33	/	22	I	2013-01-01
H05B	/	37	/	00	I	2013-01-01
H05B	/	37	/	0281	I	2013-01-01
B60Q	/	3	/	745	I	2017-02-01
B60Q	/	3	/	30	I	2017-02-01
B60Q	/	1	/	268	I	2013-01-01
B60Q	/	7	/	00	I	2013-01-01
B05B	/	1	/	18	I	2013-01-01
F24D	/	19	/	06	I	2013-01-01
F21S	/	8	/	033	A	2013-01-01
F21S	/	8	/	04	A	2013-01-01
F21S	/	8	/	061	A	2013-01-01
F21S	/	9	/	03	A	2013-01-01
Y02B	/	20	/	42	A	2013-01-01
F21Y	/	2105	/	00	A	2013-01-01
F21Y	/	2115	/	15	A	2016-08-01
F21Y	/	2113	/	10	A	2016-08-01
F21Y	/	2113	/	20	A	2016-08-01
H01L	/	2251	/	5361	A	2013-01-01
Y02B	/	20	/	36	A	2013-01-01
H01L	/	51	/	504	A	2013-01-01

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	Total Claims Allowed: 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

<i>Issue Classification</i> 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.
	Examiner James H Cho	Art Unit 2844

CPC						
Symbol					Type	Version
H01L	/	51	/	5076	A	2013-01-01
H01L	/	51	/	506	A	2013-01-01

CPC Combination Sets					
Symbol				Type	Version
	/		/		

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	Total Claims Allowed: 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

Issue Classification 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.	
	Examiner James H Cho	Art Unit 2844	

INTERNATIONAL CLASSIFICATION				
CLAIMED				
F21S10/02	/	10	/	02
F21V23/04	/	23	/	04
F21V33/00	/	33	/	00
G04C19/02	/	19	/	02
G04G11/00	/	11	/	00
G04G13/02	/	13	/	02
H05B33/08	/	33	/	08
H05B33/22	/	33	/	22
H05B37/00	/	37	/	00
H05B37/02	/	37	/	02
B60Q3/74	/	3	/	74
B60Q3/30	/	3	/	30
B60Q1/26	/	1	/	26
B60Q7/00	/	7	/	00
B05B1/18	/	1	/	18
F24D19/06	/	19	/	06
F21S8/00	/	8	/	00
F21S8/04	/	8	/	04
F21S8/06	/	8	/	06
F21S9/03	/	9	/	03

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	SUBCLASS

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	Total Claims Allowed: 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

<i>Issue Classification</i> 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.
	Examiner James H Cho	Art Unit 2844

CROSS REFERENCES(S)						
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	Total Claims Allowed: 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

Issue Classification 	Application/Control No. 15/651,508	Applicant(s)/Patent Under Reexamination KASTNER-JUNG et al.
	Examiner James H Cho	Art Unit 2844

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
CLAIMS															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	8	10	-	19										
-	2	9	11	14	20										
2	3	10	12												
3	4	11	13												
4	5	-	14												
-	6	-	15												
5	7	-	16												
6	8	12	17												
7	9	13	18												

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	Total Claims Allowed: 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

Attorney Docket # 5367-694P/CON/409926

Patent

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Kastner-Jung, Ulrich et al.

Serial No.: 15/651,508

Filed: July 17, 2017

For: Organic-Light-Emitting Diode

Examiner: CHO, JAMES H.

Group Art: 2844

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

INFORMATION DISCLOSURE STATEMENT

S I R:

In compliance with the duty of disclosure under 37 C.F.R. §1.56 and in accordance with the practice under 37 C.F.R. §§1.97 and 1.98, the Examiner's attention is directed to the documents listed on the enclosed Form PTO/SB/08a. Copies of the listed non-US documents are also enclosed.

Enclosed is a copy of a Notice of Allowance (and a partial English translation) dated July 9, 2019 issued in Korean Patent Application No. 10-2017-7026128 which corresponds to the present application. The references from the Korean Notice of Allowance that are not listed on the attached Form PTO/SB/08a were submitted to the USPTO in a previously filed IDS.

This information is being submitted subsequent to the later of three months after the filing date of the present application or the mailing of the first Office Action on the merits, but before the mailing of a final Office Action or the Notice of Allowance.

STATEMENT

Each item of information contained in the Information Disclosure Statement was first cited in any communication received from a foreign Patent Office in a counterpart foreign application not more than three months prior to the filing of the Information Disclosure Statement.

Attorney Docket # 5367-694P/CON/409926

In accordance with 37 C.F.R §§1.97(g) and (h), the filing of this Information Disclosure Statement should not be construed as a representation that a search has been made or that information cited is, or is considered to be, material to patentability as defined in §1.56(b), or that any cited document listed or attached is (or constitutes) prior art. Unless otherwise indicated, the date of publication indicated for an item is taken from the face of the item and Applicant(s) reserve(s) the right to prove that the date of publication is in fact different.

It is believed that no additional fees or charges are required at this time in connection with the present application. However, if any fees or charges are required at this time, they may be charged to our Patent and Trademark Office Deposit Account No. 503111.

It is respectfully requested that the above information be considered by the Examiner and that a copy of the enclosed Form PTO/SB/08a be returned indicating that such information has been considered.

Respectfully submitted,
COZEN O'CONNOR

By /Thomas Langer/
Thomas Langer
Reg. No. 27,264
277 Park Avenue
New York, New York 10172
(212) 883-4900

Dated: July 25, 2019

Attorney Docket # 5367-694P/CON/409926

PTO/SB/08A (04-03)

Approved for use through 04/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for Form 1449/PTO		Complete if Known	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Use as many sheets as necessary)		Application Number	15/651,508
		Filing Date	July 17, 2017
		First Named Inventor	Kastner-Jung, Ulrich
		Art Unit	2844
		Examiner Name	CHO, JAMES H.
		Attorney Docket	5367-694P/CON/409926
Sheet	1	of	1

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number Number-Kind-Code ² (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document Country Code ³ Number ⁴ Kind-Code ⁵ (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		JP 2007-200887	08-09-2007	Dong-Soo et al.		Abs.
		JP 2004-296423	10-21-2004	Toshitaka et al.		Abs.
		JP 2008-538155	10-09-2008	Cok et al.		Abs.
		JP 4182467B2	11-19-2008	Takashi		Abs.
		JP 4228248B2	02-25-2009	Hideo et al.		Abs.
		JP 4637390B2	02-23-2011	Shunpei et al.		Abs.
		JP 4713010B2	06-29-2011	Kenji		Abs.
		JP 4742880B2	08-10-2011	Osamu et al.		Abs.
		JP 4828881B2	11-30-2011	Satoshi		Abs.
		JP 2003-195775	07-09-2003	Takashi		Abs.
		JP 2004-047179	02-12-2004	Tamotsu et al.		Abs.

Examiner Signature	/JAMES H CHO/	Date Considered	11/23/2019
--------------------	---------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, Washington, DC 20231.** If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

LEGAL:42104196\1 14560.0001.000/409926.000

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

SDC EX. 1026 - 949/959

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L4	4	("7733011").URPN.	USPAT	OR	ON	2019/11/23 20:13
L3	1	("7733011").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2019/11/23 20:13
L5	37	(US-20100076527-\$ or US-20080138624-\$ or US-20020003403-\$ or US-20110133628-\$ or US-20090173957-\$ or US-20090091258-\$ or US-20080188156-\$ or US-20080138539-\$ or US-20070114520-\$ or US-20060128042-\$ or US-20090039272-\$ or US-20010043046-\$ or US-20050156520-\$ or US-20050242709-\$ or US-20040080938-\$ or US-20090167981-\$ or US-20070230211-\$ or US-20070176195-\$ or US-20070153543-\$ or US-20090072711-\$ or US-20120256534-\$ or US-20100044730-\$).did. or (US-6926572-\$ or US-6884465-\$ or US-7922358-\$ or US-7733008-\$ or US-6331063-\$ or US-6575584-\$ or US-8987711-\$ or US-7560727-\$ or US-7358663-\$ or US-7205714-\$ or US-8123391-\$ or US-8653548-\$ or US-9797567-\$ or US-7733011-\$ or US-6703780-\$).did.	US-PGPUB; USPAT	OR	ON	2019/11/23 20:21
L8	36	7 and organic and LED.u/c.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/11/23 21:39
L7	994	kastner\$2jung.ulrich\$.in. klein-markus\$.in. maes-stan\$.in. sign-romana\$.in. haid-annette\$.in. lintner-stephan\$.in. herget-julian\$.in. matjan-gregor\$.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/11/23 21:39

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L6	2	"Term Removed"	US-PGPUB	OR	ON	2019/11/23 20:21
L9	462	(organic and (LED.u/c. light\$4 lamp bulb luminair\$4) and layer and (radiat\$4 exit\$4) and carrier).clm.	US-PGPUB; USPAT	OR	ON	2019/11/23 21:51
L10	213	9 and (tilt\$4 prism angl\$4)	US-PGPUB;	OR	ON	2019/11/23 21:52

			USPAT			
L12	114	10 and 11	US-PGPUB; USPAT	OR	ON	2019/11/23 21:53
L11	248	9 and @ad<"20081211"	US-PGPUB; USPAT	OR	ON	2019/11/23 21:53
L13	6	("7940340").URPN.	USPAT	OR	ON	2019/11/23 22:07
L14	134	11 not 12	US-PGPUB; USPAT	OR	ON	2019/11/23 22:10
L15	551	(organic and (LED.u/c. light\$4 lamp bulb luminair\$4) and layer and prism).clm.	US-PGPUB; USPAT	OR	ON	2019/11/23 22:20
L16	370	15 and organic with layer	US-PGPUB; USPAT	OR	ON	2019/11/23 22:21
L19	77	18 and @ad<"20081211"	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22
L18	149	17 not 9	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22
L17	156	16 and radiat\$4	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22

11/ 23/ 2019 10:39:53 PM
C:\ Users\ jcho\ Documents\ EAST\ Workspaces\ 15651508.wsp

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

27799 7590 12/02/2019
Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CONV409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	03/02/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHO, JAMES HYONCHOL	2844	315-360000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

Cozen O'Connor

1	_____
2	_____
3	_____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

OSRAM Opto Semiconductors GmbH

Regensburg, Germany

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☒ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. **503111**

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Edward M. Weisz/

Date February 14, 2020

Typed or printed name Edward M. Weisz

Registration No. 37,257

Electronic Patent Application Fee Transmittal

Application Number:	15651508			
Filing Date:	17-Jul-2017			
Title of Invention:	Organic-Light-Emitting Diode			
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG			
Filer:	Edward M. Weisz/Sheri Michals			
Attorney Docket Number:	5367-694P/CON\409926			
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1000

Electronic Acknowledgement Receipt

EFS ID:	38588811
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Sheri Michals
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	14-FEB-2020
Filing Date:	17-JUL-2017
Time Stamp:	10:37:28
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$ 1000
RAM confirmation Number	E20202DA37498987
Deposit Account	503111
Authorized User	Sheri Michals

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

37 CFR 1.16 (National application filing, search, and examination fees)

37 CFR 1.17 (Patent application and reexamination processing fees)

37 CFR 1.19 (Document supply fees)
 37 CFR 1.20 (Post Issuance fees)
 37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	5367-694PCON-Issue-Fee-.pdf	134654	no	1
			4a4f7796847536eebc373df2ec065c0667bc48b4		

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	30625	no	2
			657bdd544d70787eb42b3689eb3e4340e827151f		

Warnings:

Information:

Total Files Size (in bytes):			165279
------------------------------	--	--	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Use as many sheets as necessary)		Complete if Known	
		Application Number	15/651,508
		Filing Date	July 17, 2017
		First Named Inventor	Kastner-Jung, Ulrich
		Art Unit	2811
Examiner Name		Not Yet Assigned	
Sheet	1 of 1	Attorney Docket	5367-694P/CON/409926

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Document Number Number-Kind-Code ² (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
Change(s) applied to document, /S.B./ 1/24/2020	1	US-7,733,008	06-08-2010	Agency for Science, ~~Technology and Research~~	Ke et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. ¹	Foreign Patent Document Country Code ³ -Number ⁴ - Kind-Code ⁵ (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
	2	JP 2005-510851	04-21-2005	Agency for Science, Technology and Research		See 1
	3	KR 100743545	07-23-2007	Lee Young Jong		Abs.
	4	KR 1020050065948	11-11-2013	LG Electronics Inc.		Abs.

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ⁶
	5	Notice of Allowance dated July 20, 2017 which issued in the corresponding Korean Patent Application No. 10-2011-7015909.	✓

Examiner Signature	/JAMES H CHO/	Date Considered	01/31/2018
--------------------	---------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for Form 1449/PTO		Complete if Known	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Use as many sheets as necessary)		Application Number	
		Filing Date	
		First Named Inventor	Ulrich KASTNER-JUNG
		Art Unit	
		Examiner Name	
Sheet 1 of 3	Attorney Docket No.	5367-694PCON	

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. 1	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind-Code 2 (if known)			
		US-2007/0278937	12-06-2007	Forrest et al.	
		US-2003/0064540	04-03-2003	Auch et al.	
		US-7,280,439	10-09-2007	Shaddox	
		US-2003/0231495	12-18-2003	Searfoss, III	
		US-6,236,622	05-22-2001	Blackman	
Change(s) applied to document, /S.B./ 1/24/2020		US-2008/0219013	09-11-2008	Budinger et al.	
		US-7,317,210	01-08-2008	Osram Opto ~~Semiconductors GmbH~~	Brabec et al.
		US-2009/0039272	02-12-2009	Osram Opto ~~Semiconductors GmbH~~	Krummacker et al.
		US-7,922,358	04-12-2011	Osram Opto ~~Semiconductors GmbH~~	von Malm
		US-2001/0052752	12-2001	Ghosh	
		US-2002/0125822	09-2002	Graff	
		US-2002/0167270	11-2002	Siwinski	
		US-2003/0071804	04-2003	Yamazaki	
		US-2003/0121767	07-2003	Caldwell	
		US-2003/0175553	09-2003	Thompson	
		US-2003/0222577	12-2003	Lu	
		US-2004/0113542	06-2004	Hsiao	
		US-2005/0099824	05-2005	Dowling	
		US-2006/0049381	03-2006	Klein	
		US-2007/0278937	12-2007	Forrest	
		US-2008/0248191	10-2008	Daniels	
		US-2010/0157585	06-2010	Diekmann	
		US-2012/0258294	10-2012	Leyder	
		US-5,734,225	03-1998	Biebuyck et al.	
		US-5,895,228	04-1999	Biebuyck	

Examiner Signature		Date Considered	
-----------------------	--	--------------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. * Applicant's unique citation designation number (optional). * See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. * Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). * For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. * Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. * Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	03/31/2020	10605422	5367-694P/CONV409926	2349

27799 7590 03/11/2020
COZEN O'CONNOR
277 PARK AVENUE , 20TH FLOOR
NEW YORK, NY 10172

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Ulrich KASTNER-JUNG, Munich, GERMANY;
OSRAM OLED GmbH, Regensburg, GERMANY;
Markus KLEIN, Tegernheim, GERMANY;
Stan MAES, Dilsen-Stokken, BELGIUM;
Romana SIGL, Salzburg, AUSTRIA;
Annette HAID, Salzburg, AUSTRIA;
Stephan LINTNER, Salzburg, AUSTRIA;
Julian HERGET, Marktschellenberg, GERMANY;
Gregor MATJAN, Bergheim, AUSTRIA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.