



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	02/16/2016	9263509	48842-US-PA	1086

31561 7590 01/27/2016
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Yi-Hsuan Lee, Taipei City, TAIWAN;
Au Optonics Corporation, Hsinchu, TAIWAN;
Peng-Bo Xi, Taipei City, TAIWAN;
Wei-Chu Hsu, Taipei City, TAIWAN;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or **Fax** (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

31561 7590 10/07/2015
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086

TITLE OF INVENTION: PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	01/07/2016

EXAMINER	ART UNIT	CLASS-SUBCLASS
SOWARD, IDA M	2822	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 **Jiang Chyun IP Office**
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

Au Optronics Corporation

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Hsinchu, Taiwan, R.O.C.

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☒ Issue Fee
☐ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☒ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number **50-2620** (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
☐ Applicant asserting small entity status. See 37 CFR 1.27
☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Belinda Lee/
Typed or printed name Belinda Lee

Date JAN 06 2016
Registration No. 46,863

Electronic Patent Application Fee Transmittal				
Application Number:		14447620		
Filing Date:		31-Jul-2014		
Title of Invention:		PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE		
First Named Inventor/Applicant Name:		Yi-Hsuan Lee		
Filer:		Belinda Lee/Yilin Yen		
Attorney Docket Number:		48842-US-PA		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl Issue Fee	1501	1	960	960

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				960

Electronic Acknowledgement Receipt	
EFS ID:	24536338
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	06-JAN-2016
Filing Date:	31-JUL-2014
Time Stamp:	04:08:54
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$ 960
RAM confirmation Number	6555
Deposit Account	502620
Authorized User	LEE, BELINDA
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

Charge any Additional Fees required under 37 CFR 1.19 (Document supply fees)
Charge any Additional Fees required under 37 CFR 1.20 (Post Issuance fees)
Charge any Additional Fees required under 37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	48842_Fee-Trans.pdf	128569	no	1
			39cc941181256b69fbd1563de17edbb45090f7c9		

Warnings:**Information:**

2	Fee Worksheet (SB06)	fee-info.pdf	30601	no	2
			6fc367d170d378450553822194ee4b13fe0a23cc		

Warnings:**Information:**

Total Files Size (in bytes):	159170
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086
31561 7590 11/10/2015 JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN			EXAMINER SOWARD, IDA M	
			ART UNIT 2822	PAPER NUMBER
			NOTIFICATION DATE 11/10/2015	DELIVERY MODE ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USA@JCIPGROUP.COM.TW
Belinda@JCIPGROUP.COM.TW

Supplemental Notice of Allowability	Application No. 14/447,620	Applicant(s) LEE ET AL.	
	Examiner IDA M. SOWARD	Art Unit 2822	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the Information Disclosure Statement (IDS) filed October 30, 2015.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-13. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
Certified copies:
a) ☒ All b) ☐ Some *c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892) 2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date <u>10/30/2015</u> 3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material 4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____.	5. ☐ Examiner's Amendment/Comment 6. ☐ Examiner's Statement of Reasons for Allowance 7. ☒ Other <u>PTO-90C</u> .
--	--

/IDA M SOWARD/ Primary Examiner, Art Unit 2822	
---	--



UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office

Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
14/447,620	31 July, 2014	LEE ET AL.	48842-US-PA

JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, TAIWAN 100		EXAMINER	
		IDA M. SOWARD	
		ART UNIT	PAPER
		2822	20151104

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The Information Disclosure Statement (IDS) filed October 30, 2015 has been considered.

/IDA M SOWARD/
Primary Examiner, Art Unit 2822

Receipt date: 10/30/2015

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

14447620 - GAU: 2822

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620
	Filing Date		2014-07-31
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit	2822	
	Examiner Name	SOWARD, IDA M	
	Attorney Docket Number	48842-US-PA	

U.S.PATENTS						Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	8664662		2014-03-04	Ono , et al.	Correspond to CN103155019
	2	8878226		2014-11-04	Yan , et al.	Correspond to TW201332174
	3	8482010		2013-07-09	Kanegae	Correspond to CN102741905

If you wish to add additional U.S. Patent citation information please click the Add button.

Add

U.S.PATENT APPLICATION PUBLICATIONS						Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20130082270		2013-04-04	ONO; Shinya ; et al.	Correspond to CN103155019
	2	20130187135		2013-07-25	YAN; Jing-Yi ; et al.	Correspond to TW201332174
	3	20120074423		2012-03-29	KANEGAE; Arinobu	Correspond to CN102741905

If you wish to add additional U.S. Published Application citation information please click the Add button.

Add

FOREIGN PATENT DOCUMENTS						Remove
--------------------------	--	--	--	--	--	--------

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. //I.S./

Receipt date: 10/30/2015 INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620	14447620 - GAU: 2822
	Filing Date		2014-07-31	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit	2822		
	Examiner Name	SOWARD, IDA M		
	Attorney Docket Number	48842-US-PA		

Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	103155019	CN		2013-06-12	PANASONIC CORP ET AL.	Correspond to US8664662 and US20130082270	☐
	2	201332174	TW		2013-08-01	IND TECH RES INST	Correspond to US8878226 and US20130187135	☐
	3	102741905	CN		2012-10-17	PANASONIC CORP	Correspond to US8482010 and US20120074423	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
			☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Ida Soward/	Date Considered	11/04/2015
--------------------	--------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /I.S./

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620
	Filing Date		2014-07-31
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit	2822	
	Examiner Name	SOWARD, IDA M	
	Attorney Docket Number	48842-US-PA	

U.S.PATENTS							Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	8664662		2014-03-04	Ono , et al.	Correspond to CN103155019	
	2	8878226		2014-11-04	Yan , et al.	Correspond to TW201332174	
	3	8482010		2013-07-09	Kanegae	Correspond to CN102741905	
If you wish to add additional U.S. Patent citation information please click the Add button.							Add
U.S.PATENT APPLICATION PUBLICATIONS							Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	20130082270		2013-04-04	ONO; Shinya ; et al.	Correspond to CN103155019	
	2	20130187135		2013-07-25	YAN; Jing-Yi ; et al.	Correspond to TW201332174	
	3	20120074423		2012-03-29	KANEGAE; Arinobu	Correspond to CN102741905	
If you wish to add additional U.S. Published Application citation information please click the Add button.							Add
FOREIGN PATENT DOCUMENTS							Remove

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620	
	Filing Date		2014-07-31	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit	2822		
	Examiner Name	SOWARD, IDA M		
Attorney Docket Number		48842-US-PA		

Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ² ;	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	103155019	CN		2013-06-12	PANASONIC CORP ET AL.	Correspond to US8664662 and US20130082270	☐
	2	201332174	TW		2013-08-01	IND TECH RES INST	Correspond to US8878226 and US20130187135	☐
	3	102741905	CN		2012-10-17	PANASONIC CORP	Correspond to US8482010 and US20120074423	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number	14447620
	Filing Date	2014-07-31
	First Named Inventor	Yi-Hsuan Lee
	Art Unit	2822
	Examiner Name	SOWARD, IDA M
	Attorney Docket Number	48842-US-PA

CERTIFICATION STATEMENT			
Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):			
☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).			
OR			
☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).			
☐ See attached certification statement.			
☒ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.			
☐ A certification statement is not submitted herewith.			
SIGNATURE			
A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.			
Signature	/Belinda Lee/	Date (YYYY-MM-DD)	2015-10-29
Name/Print	Belinda Lee	Registration Number	46863
<p>This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.</p>			

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.



Espacenet

Bibliographic data: CN103155019 (A) — 2013-06-12

Thin film transistor array device, el display panel, el display apparatus, method for manufacturing thin film transistor array device, and method for manufacturing el display panel

Inventor(s): ONO SHINYA; KANEGAE ARINOBU; KAWACHI GENSHIROU ±
(ONO SHINYA, ; KANEGAE ARINOBU, ; KAWACHI GENSHIROU)

Applicant(s): PANASONIC CORP; PANASONIC LIQUID CRYSTAL DISPL ±
(PANASONIC CORPORATION, ; PANASONIC LIQUID CRYSTAL
DISPLAY CO., LTD)

Classification: - international: G09F9/30; H01L27/32
- cooperative: H01L27/124; H01L27/1248; H01L27/3262

Application number: CN2011804126 20110930

Priority number (s): WO2011JP05534 20110930

Also published as: US2013082270 (A1) US8664662 (B2) JPWO2013046280 (A1)
JP5724105 (B2) WO2013046280 (A1)

Abstract of CN103155019 (A)

This thin film transistor array device includes: bottom gate-type first and second transistors; a passivation film; a conductive oxide film laminated under the passivation film; and a relay electrode (55), which performs relaying between a first conductive member (53), which is a part of a layer where the first electrode (42) is formed, and a second conductive member of an EL layer. First wiring (21) is wiring disposed in a layer lower than the passivation film, and second wiring (22) is wiring disposed on the passivation film. A terminal section having external signals inputted thereto is disposed at the peripheral portion of the substrate, said portion being a part of the layer where the first electrode (42) is formed, the conductive oxide film covers the upper surface of the terminal section, and is disposed between the relay electrode (55) and the first conductive member (53), and the relay electrode (55) is formed as a part of the layer where the second wiring (22) is formed, and is composed of a material same as that of the second wiring (22).

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 103155019 A

(43) 申请公布日 2013.06.12

(21) 申请号 201180004126.0

(74) 专利代理机构 北京市中咨律师事务所

(22) 申请日 2011.09.30

11247

代理人 徐健 段承恩

(85) PCT申请进入国家阶段日

2012.04.05

(51) Int. Cl.

G09F 9/30 (2006.01)

(86) PCT申请的申请数据

PCT/JP2011/005534 2011.09.30

H01L 27/32 (2006.01)

(87) PCT申请的公布数据

W02013/046280 JA 2013.04.04

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

申请人 松下液晶显示器株式会社

(72) 发明人 小野晋也 钟江有宣 河内玄士朗

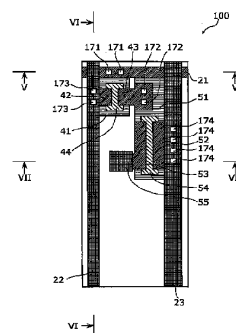
权利要求书4页 说明书26页 附图41页

(54) 发明名称

薄膜晶体管阵列装置、EL显示面板、EL显示装置、薄膜晶体管阵列装置的制造方法以及EL显示面板的制造方法

(57) 摘要

本发明提供一种薄膜晶体管阵列装置、EL显示面板、EL显示装置、薄膜晶体管阵列装置的制造方法以及EL显示面板的制造方法。薄膜晶体管阵列装置包括底栅型的第一晶体管和第二晶体管、钝化膜、层叠在钝化膜下的导电氧化物膜以及对与第一电极(42)同层的第一导电性部件(53)和EL层的第二导电性部件进行中继的中继电极(55)，第一布线(21)是相比于钝化膜配置于下层的布线，第二布线(22)是配置在钝化膜上的布线，在与第一电极(42)相同的层且基板的周缘部配置有被输入外部信号的端子部，导电氧化物膜覆盖端子部的上面，并且介于中继电极(55)与第一导电性部件(53)之间，中继电极(55)与第二布线(22)形成在同一层，由与第二布线(22)相同的材料形成。



CN 103155019 A

1. 一种薄膜晶体管阵列装置,其是与 EL 层隔着层间绝缘膜而层叠的装置,所述薄膜晶体管阵列装置包括:

基板;

第一布线,其配置在所述基板的上方;

第二布线,其与所述第一布线交叉;

第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;

第二晶体管,其形成于所述基板上;

钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;

导电氧化物膜,其层叠在所述钝化膜下;以及

中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接,

所述第一晶体管和第二晶体管是底栅型晶体管,

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方,

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方,

在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号,

所述导电氧化物膜覆盖所述端子部的上面,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接,

所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

2. 根据权利要求 1 所述的薄膜晶体管阵列装置,

所述第一布线是与所述栅电极电连接的布线,

所述第二布线是与所述第一电极电连接的布线。

3. 根据权利要求 1 所述的薄膜晶体管阵列装置,

所述第一布线是与所述第一电极电连接的布线,

所述第二布线是与所述栅电极电连接的布线。

4. 根据权利要求 1 ~ 3 中的任一项所述的薄膜晶体管阵列装置,

所述第二导电性部件是以铝为主要成分的金属。

5. 根据权利要求 1 ~ 4 中的任一项所述的薄膜晶体管阵列装置,

所述中继电极的与所述导电氧化物膜接触的面由至少包含铜、钼、钛以及钨中的任一一种的金属形成。

6. 根据权利要求 1 ~ 5 中的任一项所述的薄膜晶体管阵列装置,

所述中继电极为层叠构造。

7. 根据权利要求 1 ~ 6 中的任一项所述的薄膜晶体管阵列装置,

所述层间绝缘膜包括有机膜和无机膜这两层,

所述无机膜覆盖所述第二布线和所述中继电极。

8. 根据权利要求 1 ~ 7 中的任一项所述的薄膜晶体管阵列装置，

分别包含于所述第一晶体管和所述第二晶体管的半导体层是结晶半导体层，

所述第一晶体管和所述第二晶体管各自所包括的栅电极由耐热性比所述第一布线和第二布线中的与所述栅电极电连接的布线所使用的金属的耐热性高的金属形成。

9. 根据权利要求 8 所述的薄膜晶体管阵列装置，

耐热性比与所述栅电极电连接的布线所使用的金属的耐热性高的金属是包含钼、钨、钛、钽、镍中的任一种的金属。

10. 根据权利要求 1 ~ 9 中的任一项所述的薄膜晶体管阵列装置，

所述导电氧化物膜是包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一方。

11. 一种 EL 显示面板，包括：上部电极；下部电极；包括具有介于所述上部电极与所述下部电极之间的发光功能层的 EL 发光元件的 EL 单元；对所述 EL 发光元件进行控制的薄膜晶体管阵列装置；以及介于所述 EL 单元与所述薄膜晶体管阵列装置之间的层间绝缘膜，

所述薄膜晶体管阵列装置包括：

基板；

第一布线，其配置在所述基板的上方；

第二布线，其与所述第一布线交叉；

第一晶体管，其包括形成于所述基板上的栅电极以及第一电极和第二电极；

第二晶体管，其形成于所述基板上；

钝化膜，其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间；

导电氧化物膜，其层叠在所述钝化膜下；以及

中继电极，其形成于所述钝化膜上，对与所述第一电极设置在同层的第一导电性部件和所述 EL 单元所包括的第二导电性部件进行中继，经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接，

所述第一晶体管和所述第二晶体管是底栅型晶体管，

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层，并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方，

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层，并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方，

在与所述第一电极相同的层且所述基板的周缘部配置有端子部，所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号，

所述导电氧化物膜覆盖所述端子部的上面端部，并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间，使所述中继电极和所述第一导电性部件电连接，

所述中继电极与所述钝化膜上的所述第二布线形成在同一层，由与所述第二布线相同的材料形成。

12. 根据权利要求 11 所述的 EL 显示面板，

所述第二导电性部件是以铝为主要成分的金属。

13. 根据权利要求 11 或者 12 所述的 EL 显示面板，

所述第二导电性部件与所述中继电极在设置于所述层间绝缘膜的孔部的上部周缘的平坦区域连接。

14. 一种 EL 显示装置，搭载了权利要求 11 ~ 13 中的任一项所述的 EL 显示面板。

15. 一种薄膜晶体管阵列装置的制造方法，所述薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置，所述制造方法包括：

第一工序，准备基板；

第二工序，在所述基板上形成第一布线；

第三工序，在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管，并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜；

第四工序，在所述导电氧化物膜上形成钝化膜；以及

第五工序，在所述钝化膜上形成中继电极，所述中继电极对与所述第一布线交叉的第二布线、与所述第一电极设置在同层的第一导电性部件以及设置于所述 EL 层的第二导电性部件进行中继，经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接，

所述第一晶体管和所述第二晶体管是底栅型晶体管，

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层，并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方，

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层，并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方，

在所述第三工序中，形成所述导电氧化物膜以使得覆盖端子部的上面，所述端子部是与所述第一电极设置在同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部，

在所述第四工序中，使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出，

所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间，使所述中继电极和所述第一导电性部件电连接，

在所述第五工序中，所述中继电极使用与所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成在同一层。

16. 根据权利要求 15 所述的薄膜晶体管阵列装置的制造方法，

所述第二导电性部件是以铝为主要成分的金属。

17. 根据权利要求 15 或者 16 所述的薄膜晶体管阵列装置的制造方法，

所述中继电极的与所述导电氧化物膜接触的面由至少包含铜、钼、钛以及钨中的任一方的金属形成。

18. 根据权利要求 15 ~ 17 中的任一项所述的薄膜晶体管阵列装置的制造方法，

分别包含于所述第一晶体管和所述第二晶体管的半导体层是结晶半导体层，

由耐热性比所述第一布线和所述第二布线中的与所述栅电极电连接的布线所使用的金属的耐热性高的金属形成所述第一晶体管和所述第二晶体管各自所包括的栅电极。

19. 根据权利要求 15 ~ 18 中的任一项所述的薄膜晶体管阵列装置的制造方法，

由包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜形成所述导电氧化物膜。

20. 一种 EL 显示面板的制造方法,包括:

第一工序,准备基板;

第二工序,在所述基板上形成第一布线;

第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;

第四工序,在所述导电氧化物膜上形成钝化膜;

第五工序,在所述钝化膜上形成中继电极,所述中继电极经由设置于所述钝化膜的第一孔部电连接于与所述第一布线交叉的第二布线和与所述第一电极设置于同一层的第一导电性部件;

第六工序,在所述钝化膜上形成层间绝缘膜;

第七工序,在所述层间绝缘膜上形成下部电极;

第八工序,在所述下部电极的上方形成发光功能层;以及

第九工序,在所述发光功能层的上方形成上部电极,

所述中继电极对所述第一导电性部件和相比于所述层间绝缘膜形成于上方的第二导电性部件进行中继,

所述第一晶体管和所述第二晶体管是底栅型晶体管,

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方,

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方,

在所述第二工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置于同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部,

在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出,

所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极与所述第一导电性部件电连接,

在所述第五工序中,所述中继电极使用与形成于所述钝化膜上的所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成于同一层。

薄膜晶体管阵列装置、EL 显示面板、EL 显示装置、薄膜晶体管阵列装置的制造方法以及 EL 显示面板的制造方法

技术领域

[0001] 本发明涉及在基板上集成形成有将多晶硅、微晶硅等作为活性层的薄膜晶体管的图像显示装置用的薄膜晶体管阵列装置、使用该薄膜晶体管阵列装置的 EL 显示面板以及 EL 显示装置。

背景技术

[0002] 薄膜晶体管被使用于有机 EL 显示器、液晶显示器等显示装置的驱动基板，当前，盛行着面向高性能化的开发。特别是，在随着显示器的大型化、高精细化而对薄膜晶体管要求高电流驱动能力的情况下，在活性层使用结晶化的半导体薄膜（多晶硅、微晶硅）的方法受到关注。

[0003] 作为半导体薄膜的结晶化工艺，代替已经确立的采用 1000℃ 以上的处理温度的高温工艺技术，开发了采用 600℃ 以下的处理温度的低温工艺。在低温工艺中，不需要使用耐热性优异的石英等昂贵的基板，能够实现降低制造成本。

[0004] 作为低温工艺的一环，使用激光束进行加热的激光退火受到关注。该激光退火是：在对玻璃等低耐热性绝缘基板上成膜的非晶硅、多晶硅等非单晶的半导体薄膜照射激光束而将其局部加热熔融之后，在其冷却过程中使半导体薄膜结晶化。将该结晶化的半导体薄膜作为活性层（沟道区域）来集成形成薄膜晶体管。由于结晶化的半导体薄膜的载流子的迁移率高，因此能够提高薄膜晶体管的性能（例如，参照专利文献 1）。

[0005] 另外，作为薄膜晶体管的构造，主流是栅电极相比于半导体层配置于下方的底栅型构造。参照图 32～图 36 来说明底栅型薄膜晶体管 1000 的构造。

[0006] 如图 32～图 36 所示，薄膜晶体管 1000 为基板 1010、第一金属层 1020、栅极绝缘膜 1030、半导体膜 1040、第二金属层 1050 以及钝化膜 1060 的层叠构造体。

[0007] 在层叠于基板 1010 上的第一金属层 1020 形成有栅极布线 1021 和从栅极布线 1021 延伸设置的栅电极 1022。另外，栅极绝缘膜 1030 形成于基板 1010 和第一金属层 1020 上，以使得覆盖栅极布线 1021 和栅电极 1022。进一步，半导体膜 1040 层叠在栅极绝缘膜 1030 上，以使得与栅电极 1022 重叠。

[0008] 在层叠于栅极绝缘膜 1030 和半导体膜 1040 上的第二金属层 1050 形成有源极布线 1051、从源极布线 1051 延伸设置的源电极 1052 以及漏电极 1053。源电极 1052 和漏电极 1053 被配置在相互相对的位置且分别与半导体膜 1040 的一部分重叠。另外，钝化膜 1060 层叠在栅极绝缘膜 1030、半导体膜 1040 以及第二金属层 1050 上，以使得覆盖源极布线 1051、源电极 1052 以及漏电极 1053。

[0009] 在如上所述的底栅型薄膜晶体管 1000 中，栅极布线 1021 和栅电极 1022 形成于半导体膜 1040 下层的第二金属层 1020。也即是，在半导体膜 1040 的激光结晶化工序时已经形成了栅极布线 1021 和栅电极 1022。即，栅极布线 1021 和栅电极 1022 需要能耐受激光结晶化工序中的温度（600℃ 左右）的高耐热性。

[0010] 在先技术文献

[0011] 专利文献 1 : 日本特开平 07-235490 号公报

发明内容

[0012] 发明要解决的问题

[0013] 然而, 作为一般的电极材料使用的金属具有耐热性越高则导电性越低的趋势。因此, 在使用耐热性高的材料来作为栅电极 1022 的材料、且在与栅电极 1022 相同的层以相同的金属材料形成了栅极布线 1021 的情况下, 栅极布线 1021 的布线电阻会变高。高布线电阻会成为产生信号延迟、由电压下降引起的显示器的斑块的原因。特别是, 当面板面积变大、驱动频率增加时, 布线电阻的影响会变大。

[0014] 另外, 如图 36 所示, 形成于第一金属层 1020 的栅极布线 1021 与形成于第二金属层 1050 的源极布线 1051 隔着膜厚 200nm 左右的栅极绝缘膜 1030 相交叉。因此, 也存在以下问题: 当为了提高薄膜晶体管 1000 的性能而要使栅极绝缘膜 1030 薄膜化时, 栅极布线 1021 与源极布线 1051 之间的间隔会进一步变窄, 布线间的寄生电容会增加。

[0015] 而且, 构成薄膜晶体管 1000 的电极、布线所使用的金属有可能会由于与空气中的水分或者构成薄膜晶体管 1000 的氧化物膜等接触而氧化, 有可能会使薄膜晶体管 1000 的功能劣化。

[0016] 本发明是为了解决上述问题而完成的发明, 目的在于提供一种薄膜晶体管阵列装置, 其分别由具有适当的特性的材料来形成栅电极和栅极布线, 降低栅极布线与源极布线之间的寄生电容, 进而防止了金属的氧化。

[0017] 用于解决问题的手段

[0018] 本发明的一种方式所涉及的薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置。所述薄膜晶体管阵列装置包括: 基板; 第一布线, 其配置在所述基板的上方; 第二布线, 其与所述第一布线交叉; 第一晶体管, 其包括形成于所述基板上的栅电极以及第一电极和第二电极; 第二晶体管, 其形成于所述基板上; 钝化膜, 其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间; 导电氧化物膜, 其层叠在所述钝化膜下; 以及中继电极, 其形成于所述钝化膜上, 对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继, 经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接, 所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层, 并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层, 并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部, 所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面, 并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间, 使所述中继电极和所述第一导电性部件电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层, 由与所述第二布线相同的材料形成。

[0019] 发明的效果

[0020] 根据本发明,能够在维持栅电极的耐热性的状态下实现栅极布线的低电阻化。另外,即使为了提高薄膜晶体管的特性而使栅极绝缘膜的厚度变薄,第一布线与第二布线之间的寄生电容也不会变大。即,能够抑制由寄生电容的增加引起的图像信号的延迟等。进一步,通过防止使用于各电极和各布线的金属的氧化,能够防止薄膜晶体管阵列装置的功能下降。

[0021] “第一电极”是指源电极和漏电极中的一方,“第二电极”是指源电极和漏电极中的另一方。具体由第一晶体管的类型(P型或者N型)和“第一电极”与“第二电极”之间的电压关系来决定。

附图说明

[0022] 图1是表示薄膜半导体阵列基板的图。

[0023] 图2A是实施方式1所涉及的有机EL显示器的立体图。

[0024] 图2B是更具体地表示图2A的层叠构造的局部立体图,是表示线堤的示例的图。

[0025] 图2C是更具体地表示图2A的层叠构造的局部立体图,是表示像素堤的示例的图。

[0026] 图3是表示像素电路的电路结构的图。

[0027] 图4是表示实施方式1所涉及的像素的结构的主视图。

[0028] 图5是图4的V-V处的剖视图。

[0029] 图6是图4的VI-VI处的剖视图。

[0030] 图7是图4的VII-VII处的剖视图。

[0031] 图8是从图4的V-V剖面观察到的主要部分的立体图。

[0032] 图9A是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(a)对应的图4的V-V剖面的构造的图。

[0033] 图9B是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(b)对应的图4的V-V剖面的构造的图。

[0034] 图9C是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(c)对应的图4的V-V剖面的构造的图。

[0035] 图9D是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(d)对应的图4的V-V剖面的构造的图。

[0036] 图9E是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(e)的一部分对应的图4的V-V剖面的构造的图。

[0037] 图9F是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(e)的另一部分对应的图4的V-V剖面的构造的图。

[0038] 图10A是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图4的V-V剖面的构造的图。

[0039] 图10B是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图4的V-V剖面的构造的图。

[0040] 图10C是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图4的V-V剖面的构造的图。

[0041] 图11A是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(a)对应的

图 4 的 VII-VII 剖面的构造的图。

[0042] 图 11B 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 4 的 VII-VII 剖面的构造的图。

[0043] 图 11C 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0044] 图 11D 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (d) 的另一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0045] 图 11E 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的其他一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0046] 图 11F 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 4 的 VII-VII 剖面的构造的图。

[0047] 图 11G 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (e) 对应的图 4 的 VII-VII 剖面的构造的图。

[0048] 图 11H 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 4 的 VII-VII 剖面的构造的图。

[0049] 图 12A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0050] 图 12B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0051] 图 12C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0052] 图 13 是表示实施方式 1 的变形例所涉及的薄膜晶体管阵列装置的与图 6 对应的剖面的构造的图。

[0053] 图 14A 是表示图 13 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0054] 图 14B 是表示图 13 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0055] 图 15 是表示图 7 的变形例的图。

[0056] 图 16 是表示图 7 的另一变形例的图。

[0057] 图 17 是表示图 7 的其他一变形例的图。

[0058] 图 18 是表示实施方式 2 所涉及的像素的结构的主视图。

[0059] 图 19 是图 18 的 XIX-XIX 处的剖视图。

[0060] 图 20 是图 18 的 XX-XX 处的剖视图。

[0061] 图 21 是图 18 的 XXI-XXI 处的剖视图。

[0062] 图 22 是从图 18 的 XIX-XIX 剖面观察到的主要部分的立体图。

[0063] 图 23A 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (a) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0064] 图 23B 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0065] 图 23C 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 对应的图 18 的 XIX-XIX 剖面的构造的图。

- [0066] 图 23D 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0067] 图 23E 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的一部分对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0068] 图 23F 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的另一部分对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0069] 图 23G 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0070] 图 24A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0071] 图 24B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0072] 图 24C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 18 的 XIX-XIX 剖面的构造的图。
- [0073] 图 25A 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (a) 对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0074] 图 25B 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0075] 图 25C 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的一部分对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0076] 图 25D 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的另一部分对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0077] 图 25E 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的其他一部分对应的图 18 的 XXI-XXI 剖面的结构的图。
- [0078] 图 25F 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0079] 图 25G 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0080] 图 25H 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0081] 图 26A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0082] 图 26B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0083] 图 26C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 18 的 XXI-XXI 剖面的构造的图。
- [0084] 图 27 是表示实施方式 2 的变形例所涉及的薄膜晶体管阵列装置的与图 19 对应的剖面的构造的图。
- [0085] 图 28A 是表示图 27 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0086] 图 28B 是表示图 27 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0087] 图 29 是表示图 21 的变形例的图。

[0088] 图 30 是表示图 21 的另一变形例的图。

[0089] 图 31 是表示图 21 的其他一变形例的图。

[0090] 图 32 是表示以往的像素的结构的主视图。

[0091] 图 33 是图 32 的 XXXIII-XXXIII 处的剖视图。

[0092] 图 34 是图 32 的 XXXIV-XXXIV 处的剖视图。

[0093] 图 35 是图 32 的 XXXV-XXXV 处的剖视图。

[0094] 图 36 是从图 32 的 XXXIII-XXXIII 剖面观察到的主要部分的立体图。

[0095] 标号说明

[0096] 1:薄膜半导体阵列基板;10:有机 EL 显示器;11:层间绝缘膜;12:阳极;13:有机 EL 层;14:透明阴极;15:堤;20:薄膜晶体管阵列装置;21、1021:栅极布线;22、1051:源极布线;23:电源布线;30:像素电路;40:第一晶体管;41、51、1022:栅电极;42、53、1052:源电极;43、52、1053:漏电极;44、54、1040:半导体膜;50:第二晶体管;55:中继电极;56:第二中继电极;57:第三中继电极;60:电容器;70、80、80a、80b:端子部;71、75、81、81a、81b、85:端子;82、76:中继布线;82b:弹性体;72、77、78、83、84、86:孔部;90:辅助布线;91:辅助电极;100:像素;100R、100G、100B:子像素;110、1010:基板;120、1020:第一金属层;130、1030:栅极绝缘膜;140、1050:第二金属层;150、1060:钝化膜;160:导电氧化物膜;170:第三金属层;171、191:第一接触孔;172、192:第二接触孔;173、193:第三接触孔;173a、193a:第三贯通孔;174、194:第四接触孔;175、195:第五接触孔;176、196:第六接触孔;177、197:第七接触孔;178:第八接触孔;179:第九接触孔;180:感光性抗蚀剂膜;181:第一感光性抗蚀剂膜;182:第二感光性抗蚀剂膜;1000:薄膜晶体管。

具体实施方式

[0097] 本发明的一种方式所涉及的薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置。所述薄膜晶体管阵列装置包括:基板;第一布线,其配置在所述基板的上方;第二布线,其与所述第一布线交叉;第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;第二晶体管,其形成于所述基板上;钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;导电氧化物膜,其层叠在所述钝化膜下;以及中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接,所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件

电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

[0098] 作为一例,可以为所述第一布线是与所述栅电极电连接的布线,所述第二布线是与所述第一电极电连接的布线。

[0099] 作为其它例,可以为所述第一布线是与所述第一电极电连接的布线,所述第二布线是与所述栅电极电连接的布线。

[0100] 在上述薄膜晶体管阵列装置中,将与栅电极电连接的布线和与第一电极电连接的布线中的一方相比于钝化膜配置于下层,将与栅电极电连接的布线和与第一电极电连接的布线中的另一方配置在与形成于基板上的第一电极不同层的钝化膜上。因此,第一布线和第二布线之间的间隔不是栅电极与第一电极之间的间隔,而是与形成于第一电极上的钝化膜的膜厚对应。在此,钝化膜是保护薄膜晶体管阵列装置的表面的膜,因此即使将使膜厚增加也不会对作为薄膜晶体管阵列装置的性能带来影响。其结果,通过调整钝化膜的膜厚而确保第一布线和第二布线之间的距离,能够减少第一布线和第二布线之间的寄生电容。

[0101] 另外,与第一电极相同的层且基板的周缘部从设置于钝化膜的开口部露出,能够作为与装置外部的栅极驱动电路或者源极驱动电路(或者漏极驱动电路)之间的连接部即端子来加以利用。在该情况下,露出的端子容易与空气或者空气中的水分接触而氧化。当被氧化时,氧化的端子与外部的驱动电路会成为经由电阻高的氧化层而电连接,因此存在端子与外部的驱动电路之间的连接电阻会变高的问题。

[0102] 因此,在上述结构的薄膜晶体管阵列装置中,在钝化膜下层叠导电氧化物膜,通过导电氧化物膜来覆盖端子所露出的区域(上面)。由此,导电氧化物膜能够防止露出的端子被氧化。其结果,能够使端子与外部的驱动电路之间的连接电阻长期低电阻化。

[0103] 如上所述,在钝化膜下层叠导电氧化物膜(Indium Tin Oxide:ITO)的情况下,在与第一电极同层的第一导电性部件和EL层所包含的第二导电性部件之间存在导电氧化物膜,会产生因导电氧化物膜而第二导电性部件氧化的问题。对此,根据上述结构,在与第一导电性部件重叠的钝化膜上的区域形成中继电极,使中继电极对第一导电性部件和第二导电性部件进行中继。另外,导电氧化物膜介于中继电极与第一导电性部件之间。由此,在第二导电性部件与导电氧化物膜之间存在中继电极,因此能够防止因导电氧化物膜而第二导电性部件氧化。

[0104] 进一步,中继电极与钝化膜上的第二布线形成于同一层,由与第二布线相同的材料形成。这样,通过将第二布线配置于钝化膜上,能够在与第二布线相同的层使用与第二布线相同的材料来形成中继电极。因此,能够在同一工序中形成第二布线和中继电极。其结果,能够通过简单的结构,减少第一布线和第二布线之间的寄生电容的同时防止因导电氧化物膜而第二导电性部件氧化。

[0105] 另外,所述第二导电性部件可以是以铝为主要成分的金属。在第二导电性部件与导电氧化物膜之间存在中继电极,因此即使在对第二导电性部件中采用以铝为主要成分的金属的情况下,也能够防止因导电氧化物膜而第二导电性部件氧化。

[0106] 另外,所述中继电极的与所述导电氧化物膜接触的面可以由至少包含铜、钼、钛以及钨中的任一种的金属形成。

[0107] 另外,所述中继电极可以为层叠构造。

[0108] 另外,所述层间绝缘膜可以包括有机膜和无机膜这两层。并且,所述无机膜可以覆盖所述第二布线和所述中继电极。

[0109] 另外,分别包含在所述第一晶体管和所述第二晶体管的半导体层可以是结晶半导体层。并且,所述第一晶体管和所述第二晶体管各自所包括的栅电极可以由耐热性比与所述栅电极电连接的布线(即栅极布线)所使用的金属的耐热性高的金属形成。

[0110] 根据上述结构,分别包含在第一晶体管和第二晶体管的半导体层也可以为结晶半导体层。在该情况下,为了将半导体层形成结晶半导体层,需要对非晶半导体层进行激光照射而使非晶半导体层的温度上升到 1100℃~1414℃的范围,使非晶半导体层结晶化。在底栅型薄膜晶体管阵列装置中,首先在基板上形成栅电极,之后形成半导体层,因此在通过如上所述的高热处理使非晶半导体层结晶化的情况下,要求构成栅电极的金属的耐热性较高。另一方面,耐热性高的金属的电阻也高,因此在使用相同材料形成栅电极和栅极布线的情况下,栅极布线也使用高电阻的金属来形成,会产生栅极布线高电阻化的问题。

[0111] 然而,根据上述结构的薄膜晶体管阵列装置,通过将栅电极和栅极布线形成于不同层,能够从不同材料选择栅电极和栅极布线。由此,能够在提高构成栅电极的金属的耐热性的同时,从低电阻的金属选择构成栅极布线的金属来使栅极布线低电阻化。

[0112] 另外,耐热性比与所述栅电极电连接的布线所使用的金属的耐热性高的金属可以是包含钼、钨、钛、钽、镍中的任一种的金属。

[0113] 另外,所述导电氧化物膜可以是包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一种。

[0114] 本发明的一种方式所涉及的 EL 显示面板包括:上部电极;下部电极;包括具有介于所述上部电极与所述下部电极之间的发光功能层的 EL 发光元件的 EL 单元;对所述 EL 发光元件进行控制的薄膜晶体管阵列装置;以及介于所述 EL 单元与所述薄膜晶体管阵列装置之间的层间绝缘膜,所述薄膜晶体管阵列装置包括:基板;第一布线,其配置在所述基板的上方;第二布线,其与所述第一布线交叉;第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;第二晶体管,其形成于所述基板上;钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;导电氧化物膜,其层叠在所述钝化膜下;以及中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 单元所包括的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面端部,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

[0115] EL 显示面板中,由于在对显示面板的 EL 元件单元的发光进行控制的薄膜晶体管

阵列装置所形成的栅极信号的延迟,随着显示面板大型化到 20 英寸、30 英寸、40 英寸,用于对显示面板进行驱动的容限 (margin) 会减小。

[0116] 因此,当采用上述结构的薄膜晶体管阵列装置时,即使是大画面的 EL 显示面板,也能够减少第一布线和第二布线之间的寄生电容,因此能够实现减少栅极信号的延迟和栅极信号波形的减弱的 EL 显示面板,因此通过使其以高帧频进行动作,能够实现运动图像析像度优异的 EL 显示面板。另外,能够使薄膜晶体管阵列装置与 EL 元件之间的电连接长期为低电阻,因此能够实现 EL 元件的发光电流不减少而低功耗且发光亮度高、寿命长的 EL 面板。并且,能够通过简单的结构,在减少第一布线和第二布线之间的寄生电容的同时,防止因导电氧化物膜而第二导电性部件氧化,因此能够实现制造材料利用率高的 EL 显示面板。

[0117] 另外,所述第二导电性部件可以是以铝为主要成分的金属。

[0118] 另外,所述第二导电性部件与所述中继电极可以在设置于所述层间绝缘膜的孔部的上部周缘的平坦区域连接。

[0119] 本发明的一种方式所涉及的 EL 显示装置搭载上述记载的 EL 显示面板。

[0120] 通过搭载上述 EL 显示面板,能够实现不会使图像信号劣化而显现高像质的图像的 EL 显示装置。

[0121] 本发明的一种方式涉及制造与 EL 层隔着层间绝缘膜而层叠的薄膜晶体管阵列装置的方法。具体而言,包括:第一工序,准备基板;第二工序,在所述基板上形成第一布线;第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;第四工序,在所述导电氧化物膜上形成钝化膜;以及第五工序,在所述钝化膜上形成中继电极,所述中继电极对与所述第一布线交叉的第二布线、与所述第一电极设置在同层的第一导电性部件以及设置于所述 EL 层的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在所述第三工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置在同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部。在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出。所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接。在所述第五工序中,所述中继电极使用与所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成在同一层。

[0122] 另外,所述第二导电性部件可以是以铝为主要成分的金属。

[0123] 另外,所述中继电极的与所述导电氧化物膜接触的面可以由至少包含铜、钼、钛以及钨中的任一种的金属形成。

[0124] 另外,分别包含在所述第一晶体管和所述第二晶体管的半导体层可以是结晶半导体层。并且,所述第一晶体管和所述第二晶体管各自所包括的栅电极可以由耐热性比与所述栅电极电连接的布线(即栅极布线)所使用的金属的耐热性高的金属形成。

[0125] 根据上述制造方法,通过将栅电极和栅极布线形成于不同层,能够从不同材料选择栅电极和栅极布线。由此,能够在提高构成栅电极的金属的耐热性的同时,从低电阻的金属选择构成栅极布线的金属来使栅极布线低电阻化。其结果,能够形成迁移率高的半导体层,并且能够形成低电阻的栅极布线。

[0126] 另外,可以由包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜来形成所述导电氧化物膜。

[0127] 本发明的一种方式所涉及的 EL 显示面板的制造方法包括:第一工序,准备基板;第二工序,在所述基板上形成第一布线;第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;第四工序,在所述导电氧化物膜上形成钝化膜;第五工序,在所述钝化膜上形成中继电极,所述中继电极经由设置于所述钝化膜的第一孔部电连接于与所述第一布线交叉的第二布线和与所述第一电极设置于同一层的第一导电性部件;第六工序,在所述钝化膜上形成层间绝缘膜;第七工序,在所述层间绝缘膜上形成下部电极;第八工序,在所述下部电极的上方形成发光功能层;以及第九工序,在所述发光功能层的上方形成上部电极。所述中继电极对所述第一导电性部件和相比于所述层间绝缘膜形成于上方的第二导电性部件进行中继。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的所述钝化膜的下层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在所述第三工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置于同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部。在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出。所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极与所述第一导电性部件电连接。在所述第五工序中,所述中继电极使用与形成于所述钝化膜上的所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成于同一层。

[0128] 以下,参照附图详细说明本发明的实施方式。

[0129] (实施方式 1)

[0130] 参照图 1~图 3 说明本发明的实施方式 1 所涉及的有机 EL(Electro Luminescence:电致发光)显示器(有机 EL 显示面板)10 以及图像显示装置用的薄膜晶体管阵列装置(以下简记为“薄膜晶体管阵列装置”)20。图 1 是表示薄膜半导体阵列基板 1 的图。图 2A 是作为本发明的实施方式 1 所涉及的显示装置的一例的有机 EL 显示器 10 的立体图。图 2B 是更具体地表示图 2A 的层叠构造的局部立体图,是表示线堤的示例的图。图 2C 是更具体地表示图 2A 的层叠构造的局部立体图,是表示像素堤的示例的图。图 3 是表示驱动像素 100 的像素电路 30 的电路结构的图。

[0131] 首先,如图 1 所示,薄膜半导体阵列基板 1 由多个(在图 1 中为两个)有机 EL 显示器 10 构成。另外,如图 2A 所示,有机 EL 显示器 10 从下层起为薄膜晶体管阵列装置 20、层间绝缘膜(平坦化膜)11(在图 2A 中省略图示)、阳极(下部电极)12、有机 EL 层(有机发光层)13 以及透明阴极(上部电极)14 的层叠构造体。另外,在阳极 12 与有机 EL 层 13

之间层叠有空穴输送层（省略图示），在有机 EL 层 13 与透明阴极 14 之间层叠有电子输送层（省略图示）。

[0132] 在薄膜晶体管阵列装置 20 呈矩阵状配置有多个像素 100。各像素 100 由分别设置的像素电路 30 来驱动。另外，薄膜晶体管阵列装置 20 具备：呈行状配置的多条栅极布线 21；呈列状配置以使得与栅极布线 21 交叉的多条源极布线（信号布线）22；以及与源极布线 22 平行地延伸的多条电源布线 23（在图 2A 中省略图示）。

[0133] 该栅极布线 21 按各行而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的栅电极 41（在图 2A 中省略图示）。源极布线 22 按各列而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的源电极 42（在图 2A 中省略图示）。电源布线 23 按各列而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的漏电极 52（在图 2A 中省略图示）。

[0134] 更具体而言，如图 2B 和图 2C 所示，有机 EL 显示器 10 的各像素 100 由三色（红色、绿色、蓝色）的子像素 100R、100G、100B 构成。子像素 100R、100G、100B 分别在图 2B 的内侧方向上排列有多个（将其标记为“子像素列”）。

[0135] 图 2B 是表示线堤的示例的图，各子像素列通过堤 15 相互分离。图 2B 示出的堤 15 是在相互相邻的子像素列之间沿与源极布线 22 平行的方向延伸的突条，形成于薄膜晶体管阵列装置 20 上。换言之，各子像素列分别形成于相互相邻的突条之间（即，堤 15 的开口部）。

[0136] 阳极 12 按各子像素 100R、100G、100B 而形成于薄膜晶体管阵列装置 20 上（更具体而言为层间绝缘膜 11 上）且堤 15 的开口部内。有机 EL 层 13 按各子像素列（即覆盖各列的多个阳极 12）而形成在阳极 12 上且堤 15 的开口部内。透明阴极 14 在多个有机 EL 层 13 和堤 15（多个突条）上连续形成成为覆盖全部子像素 100R、100G、100B。

[0137] 另一方面，图 2C 是表示像素堤的示例的图，各子像素 100R、100G、100B 通过堤 15 相互分离。图 2C 示出的堤 15 形成为与栅极布线 21 平行地延伸的突条和与源极布线 22 平行地延伸的突条相互交叉。并且，在由该突条包围的部分（即堤 15 的开口部）形成有子像素 100R、100G、100B。

[0138] 阳极 12 按各子像素 100R、100G、100B 而形成在薄膜晶体管阵列装置 20 上（更具体而言为层间绝缘膜 11 上）且堤 15 的开口部内。同样地，有机 EL 层 13 按各子像素 100R、100G、100B 而形成在阳极 12 上且堤 15 的开口部内。透明阴极 14 在多个有机 EL 层 13 和堤 15（多个突条）上连续形成成为覆盖全部子像素 100R、100G、100B。

[0139] 而且，虽然在图 2B 和图 2C 中省略图示，但在薄膜晶体管阵列装置 20 按各子像素 100R、100G、100B 而形成有像素电路 30。并且，如图 7 所示，各子像素 100R、100G、100B 和与之对应的像素电路 30 通过中继电极 55 电连接。

[0140] 除了有机 EL 层 13 的特性（发光色）不同之外，子像素 100R、100G、100B 具有相同的结构。因此，在以下的说明中，不区别子像素 100R、100G、100B 而全部标记为“像素 100”。另外，本发明可以应用于图 2B 示出的线堤，同样也可以应用于图 2C 示出的像素堤。

[0141] 如图 3 所示，像素电路 30 包括：第一晶体管 40，其作为开关元件而进行动作；第二晶体管 50，其作为驱动元件而进行动作；以及电容器 60，其存储在对应的像素中显示的数据。

[0142] 第一晶体管 40 由与栅极布线 21 连接的栅电极 41、与源极布线 22 连接的源电极 42、与电容器 60 和第二晶体管 50 的栅电极 51 连接的漏电极 43、以及半导体膜 44（在图 3 中省略图示）。当对所连接的栅极布线 21 和源极布线 22 施加电压时，该第一晶体管 40 将施加于该源极布线 22 的电压值作为显示数据而保存到电容器 60。

[0143] 第二晶体管 50 由与第一晶体管 40 的漏电极 43 连接的栅电极 51、与电源布线 23 和电容器 60 连接的漏电极 52、与阳极 12 连接的源电极 53、以及半导体膜 54（在图 3 中省略图示）。该第二晶体管 50 将与电容器 60 所保持的电压值对应的电流从电源布线 23 通过源电极 53 提供给阳极 12。

[0144] 即，上述结构的有机 EL 显示器 10 采用按位于栅极布线 21 与源极布线 22 的交点的各像素 100 来进行显示控制的有源矩阵方式。

[0145] 接着，参照图 4～图 8，说明构成薄膜晶体管阵列装置 20 的像素 100 的构造（图 5 和图 6 的破断线右侧的构造）。图 4 是表示像素 100 的结构的主视图。图 5 是图 4 的 V-V 处的剖视图。图 6 是图 4 的 VI-VI 处的剖视图。图 7 是图 4 的 VII-VII 处的剖视图。图 8 是从图 4 的 V-V 剖面观察到的主要部分的立体图。在图 7 中还图示了层间绝缘膜 11 和阳极 12。

[0146] 如图 4～图 7 所示，像素 100 是基板 110、第一金属层（导电层）120、栅极绝缘膜 130、半导体膜 44、54、第二金属层（导电层）140、导电氧化物膜（Indium Tin Oxide:ITO，氧化铟锡）160、钝化膜 150 以及第三金属层（导电层）170 的层叠构造体。

[0147] 在层叠于基板 110 上的第一金属层 120 形成有第一晶体管 40 的栅电极 41 以及第二晶体管 50 的栅电极 51。另外，在基板 110 和第一金属层 120 上形成有栅极绝缘膜 130 以覆盖栅电极 41、51。

[0148] 半导体膜 44 被配置在栅极绝缘膜 130 上（栅极绝缘膜 130 与第二金属层 140 之间）且与栅电极 41 重叠的区域内。同样地，半导体膜 54 被配置在栅极绝缘膜 130 上（栅极绝缘膜 130 与第二金属层 140 之间）且与栅电极 51 重叠的区域内。本说明书中的“重叠”是指从上下方向观察时处于相互重合的位置关系。

[0149] 在层叠于栅极绝缘膜 130 和半导体膜 44、54 上的第二金属层 140 形成有栅极布线 21、第一晶体管 40 的源电极 42 和漏电极 43 以及第二晶体管 50 的漏电极 52 和源电极 53。也即是，第一晶体管 40 和第二晶体管 50 是其栅电极 41、51 相比于源电极 42、53 和漏电极 43、52 形成于下层的底栅型晶体管。

[0150] 更具体而言，源电极 42 和漏电极 43 形成于相互相对的位置且分别与半导体膜 44 的一部分重叠。同样地，漏电极 52 和源电极 53 形成于相互相对的位置且分别与半导体膜 54 的一部分重叠。

[0151] 另外，在栅极绝缘膜 130 的与栅极布线 21 和栅电极 41 重叠的位置形成有在厚度方向上贯通的第一接触孔（孔部）171。并且，栅极布线 21 经由第一接触孔 171 与形成于第一金属层 120 的栅电极 41 电连接。

[0152] 另外，在栅极绝缘膜 130 的与漏电极 43 和栅电极 51 重叠的位置形成有在厚度方向上贯通的第二接触孔（孔部）172。并且，漏电极 43 经由第二接触孔 172 与形成于第一金属层 120 的栅电极 51 电连接。

[0153] 进一步，在栅极绝缘膜 130 和第二金属膜 140 上形成有导电氧化物膜 160 以覆盖

源电极 42、53 和漏电极 43、52。也即是,导电氧化物膜 160 形成为介于钝化膜 150 与第一晶体管 40 及第二晶体管 50 之间。导电氧化物膜 160 选择性地形成于与栅极布线 21、源电极 42、53 以及漏电极 43、52 等(即,第二金属层 140 的各构成要素)重叠的位置。

[0154] 在导电氧化物膜 160 上层叠有钝化膜 150。进一步,在钝化膜 150 上层叠有第三金属层 170。在层叠于钝化膜 150 上的第三金属层 170 形成有源极布线 22、电源布线 23 以及中继电极 55。

[0155] 另外,在钝化膜 150 的与源极布线 22 和源电极 42 重叠的位置形成有在厚度方向上贯通的第二接触孔(孔部)173。并且,源极布线 22 经由第二接触孔 173 与形成于第二金属层 140 的源电极 42 电连接。源极布线 22 与源电极 42 不直接接触,在两者之间夹有导电氧化物膜 160。

[0156] 另外,在钝化膜 150 的与电源布线 23 和源电极 52 重叠的位置形成有在厚度方向上贯通的第四接触孔(孔部)174。并且,电源布线 23 经由第四接触孔 174 与形成于第二金属层 140 的源电极 52 电连接。电源布线 23 与源电极 52 不直接接触,在两者之间夹有导电氧化物膜 160。

[0157] 进一步,在钝化膜 150 的与第二晶体管 50 的源电极 53 和中继电极 55 重叠的位置形成有在厚度方向上贯通的第五接触孔(孔部)175。并且,中继电极 55 经由第五接触孔 175 与形成于第二金属层 140 的源电极 53 电连接。源电极 53 与中继电极 55 不直接接触,在两者之间夹有导电氧化物膜 160。

[0158] 进一步,在钝化膜 150 和第三金属层 170 上形成有层间绝缘膜 11 以覆盖源极布线 22、电源布线 23 以及中继电极 55。在层间绝缘膜 11 上的与相邻的像素 100 的边界部分形成有堤 15。并且,在堤 15 的开口部形成有以像素 100 为单位形成的阳极 12 以及以颜色(子像素列)为单位或者以子像素为单位形成的有机 EL 层 13。进一步,在有机 EL 层 13 和堤 15 上形成有透明阴极 14。

[0159] 进一步,在与阳极 12 和中继电极 55 重叠的位置形成有在厚度方向上贯通层间绝缘膜 11 的第六接触孔(孔部)176。并且,阳极 12 经由第六接触孔 176 与形成于第二金属层 170 的中继电极 55 电连接。图 7 示出的中继电极 55 由填充到第五接触孔 175 的中央区域以及在第五接触孔 175 的上部周缘延伸的平坦区域构成。并且,阳极 12 在中继电极 55 的平坦区域电连接。

[0160] 如图 8 所示,在上述结构的像素 100 中,栅极布线 21 形成于比钝化膜 150 靠下层的第二金属层 140。另一方面,源极布线 22 和电源布线 23 形成于与栅极布线 21 不同层的第三金属层 170。并且,栅极布线 21 与源极布线 22、以及栅极布线 21 与电源布线 23 隔着钝化膜 150 和导电氧化物膜 160 相互交叉。

[0161] 如上述结构,通过将各布线(栅极布线 21、源极布线 22 以及电源布线 23)设置于比形成有栅电极 41、51 的第一金属层 120 靠上方的金属层(第二金属层 140 和第三金属层 170),能够分别使用适当的材料来构成栅电极 41、51 和各布线。另外,与栅极绝缘膜 130 相比,钝化膜 150 的厚度可以自由地进行设定。因此,通过隔着该钝化膜 150 而将各布线配置于在层叠方向上相邻的第二金属层 140 和第三金属层 170,能够降低寄生电容。

[0162] 接着,参照图 5 和图 6 说明形成于薄膜晶体管阵列装置 20 的端部(周缘部)的端子部 70、80 的构造(图 5 和图 6 的破断线左侧的构造)。

[0163] 图 5 示出的端子部（破断线左侧的部分）70 形成于在行方向上毗连的多个像素 100 的两端的两个部位。在端子部 70，通过使用导电氧化物膜 160 来覆盖栅极布线 21 的端部的上面来形成了端子 71。并且，该端子 71 通过在厚度方向上贯通钝化膜 150 的孔部 72 而向外部露出。

[0164] 也即是，端子部 70 设置于按各行对呈矩阵状配置的像素 100 进行连接的栅极布线 21 的两端，作为将栅极布线 21 和外部的驱动电路连接、从外部的驱动电路向栅极布线 21 输入信号的连接部发挥功能。在此，导电氧化物膜 160 被配置成覆盖从孔部 72 露出的栅极布线 21 的端部，因此能够防止栅极布线 21 与空气中的水分等接触而氧化。

[0165] 同样地，图 6 示出的端子部（破断线左侧的部分）80 形成于在列方向上毗连的多个像素 100 的两端的两个部位。该端子部 80 由形成于第二金属层 140 的中继布线 82 以及在厚度方向上贯通钝化膜 150 的孔部 83、84 构成。另外，中继布线 82 的上面被导电氧化物膜 160 覆盖，其端部（图 6 的左侧的端部）作为端子 81 发挥功能。孔部 83 形成于与中继布线 82 的一侧端部重叠的位置，使端子 81 露出。同样地，孔部 84 形成于与中继布线 82 的另一侧端部重叠的位置，将源极布线 22 的端部和中继布线 82 的另一侧端部电连接。

[0166] 也即是，端子部 80 设置于按各列对呈矩阵状配置的像素 100 进行连接的源极布线 22 的两端，作为将源极布线 22 和外部的驱动电路连接、从外部的驱动电路向源极布线 22 输入信号的连接部而发挥功能。在此，导电氧化物膜 160 被配置成覆盖从孔部 83 露出的中继布线 82 的端部，因此能够防止中继布线 82 与空气中的水分等接触而氧化。

[0167] 接着，参照图 9A～图 12C 说明制造本实施方式 1 所涉及的薄膜晶体管阵列装置 20 的方法。图 9A～图 9F 是表示与制造工序 (a)～(f) 对应的图 4 的 V-V 剖面的构造的图。图 10A～图 10C 是详细表示图 9E 与图 9F 之间的制造工序的图。图 11A～图 11H 是表示与制造工序 (a)～(f) 对应的图 4 的 VII-VII 剖面的构造的图。图 12A～图 12C 是详细表示图 11G 与图 11H 之间的制造工序的图。

[0168] 首先，如图 9A 和图 11A 所示的制造工序 (a)，准备基板 110。基板 110 通常使用玻璃、石英等绝缘性材料。为了防止来自基板 110 的杂质扩散，也可以在基板 110 的上面形成未图示的氧化硅膜或者氮化硅膜。膜厚为 100nm 左右。

[0169] 接着，如图 11B 所示的制造工序 (b)，在基板 110 上形成具有耐热性的第一金属层 120 之后，通过光刻法、蚀刻法等进行图案形成，形成栅电极 41、51。作为材料可举出具有耐热性的 Mo、W、Ta、Ti、Ni 中的任一种或者它们的合金。在本实施方式 1 中使用了 Mo。厚度优选为 100nm 左右。

[0170] 接着，图 9B 以及图 11C～图 11E 所示的制造工序 (c)，在基板 110 和第一金属层 120 上形成栅极绝缘膜 130，在栅极绝缘膜 130 上形成半导体层。栅极绝缘膜 130 和半导体层通过等离子体 CVD 法等不破坏真空而连续地形成。作为栅极绝缘膜 130 而形成氧化硅膜、氮化硅膜或者其复合膜。厚度为 200nm 左右。另外，半导体层为 50nm 左右的非晶硅膜。

[0171] 之后，例如如图 11D 的箭头所示，通过在半导体层上照射准分子激光等，将半导体层从非晶半导体层改性为多晶半导体层。作为结晶化方法，例如在 400℃～500℃的炉内进行脱氢之后，使用准分子激光使之结晶化，之后，在真空中进行几秒钟～几十秒钟的氢等离子体处理。更具体而言，照射准分子激光等，使非晶半导体层的温度上升至预定的温度范围，由此使之结晶化。在此，预定的温度范围例如是 1100℃～1414℃。另外，多晶半导体

层内的平均结晶粒径为 20nm ~ 60nm。

[0172] 在此,构成栅电极 41、51 的第一金属层 120 在上述工序中被暴露于高温中,因此需要由熔点高于上述温度范围的上限值(1414℃)的金属形成。另一方面,在后续工序中层叠的第二金属层 140 和第三金属层 170 可以由熔点低于上述温度范围的下限值(1100℃)的金属形成。

[0173] 接着,如图 11E 所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体膜 44、54。进而,通过相同的光刻法、蚀刻法等,在栅极绝缘膜 130 形成第一贯通孔和第二贯通孔(省略图示)。该第一贯通孔将在后面成为第一接触孔 171,第二贯通孔将在后面成为第二接触孔 172。

[0174] 之后,如图 9C 和图 11F 所示的制造工序(d),在栅极绝缘膜 130 和半导体膜 44、54 上形成第二金属层 140 和导电氧化物膜 160,通过图案形成而分别加工栅极布线 21、源电极 42、53、漏电极 43、52 以及中继布线 82。此时,构成第二金属层 140 的材料也被填充到第一贯通孔和第二贯通孔(省略图示),形成第一接触孔 171 和第二接触孔 172。通过该工序,栅极布线 21 与栅电极 41 经由第一接触孔 171 电连接。同样地,栅电极 51 与漏电极 43 经由第二接触孔 172 电连接。

[0175] 作为构成第二金属层 140 的材料可举出作为低电阻金属的 Al、Cu、Ag 中的任一种或者它们的合金。在本实施方式 1 中使用 Al,厚度为 300nm 左右。

[0176] 另外,在此形成的栅极布线 21、源电极 42、53、漏电极 43、52 以及中继布线 82 的上面被导电氧化物膜 160 覆盖。因此,第二金属层 140 的与导电氧化物膜 160 接触的面由至少包含铜、钼、钛以及钨中的任一种的金属形成。例如,可以使第二金属层 140 为层叠构造,在作为势垒金属形成 50nm 的 Mo 之后形成 300nm 的 Al。在进一步要求低电阻的情况下,有时也使用 Cu(在该情况下,不需要势垒金属)来代替 Al。另外,通过增加厚度也能够实现更低的电阻。

[0177] 另外,构成导电氧化物膜 160 的材料为包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一种。进一步,构成后述的第二金属层 170 的材料被要求具有低电阻,因此可以是与第二金属层 140 相同的金属。

[0178] 另外,在源电极 42 与半导体膜 44 之间、以及漏电极 43 与半导体膜 44 之间通常形成有未图示的低电阻半导体层。该低电阻半导体层通常使用掺杂了磷等 n 型掺杂物的非晶硅层或者掺杂了硼等 p 型掺杂物的非晶硅层。厚度为 20nm 左右。在结晶化的半导体膜 44 与掺杂后的非晶硅层之间还可以存在非晶硅等半导体层。有时为了提高器件特性而需要这些膜。对于半导体膜 54 也是同样的。

[0179] 之后,如图 9D、图 9E 以及图 11G 所示的制造工序(e),将由氧化膜(例如氧化硅膜)、氮化膜(例如氮化硅膜)或者这些膜的层叠膜形成的钝化膜 150 形成于栅极绝缘膜 130、半导体膜 44、54 以及被导电氧化物膜 160 覆盖的第二金属层 140 上。钝化膜 150 不限于上述的氧化膜、氮化膜等无机膜,也可以是由丙烯酸类、酰亚胺类的感光树脂形成的有机膜。

[0180] 另外,通过光刻法、蚀刻法等,在钝化膜 150 形成在厚度方向上贯通钝化膜 150 的第三~第五贯通孔 173a(第四贯通孔和第五贯通孔省略图示)以及孔部 72、83、84。该第二贯通孔 173a 将在后面成为第三接触孔 173,第四贯通孔将在后面成为第四接触孔 174,第五贯

通孔将在后面成为第五接触孔 175。

[0181] 在此,决定栅极绝缘膜 130 和钝化膜 150 的材料、膜厚,以使得由第二金属层 140 和第三金属层 170 夹着的钝化膜 150 所形成的每单位面积的电容小于由介于第一金属层 120 和第二金属层 140 之间的栅极绝缘膜 130 形成的每单位面积的电容。更具体而言,在钝化膜 150 所形成的每单位面积的电容优选小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,在栅极绝缘膜 130 所形成的每单位面积的电容优选为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0182] 进一步,如图 9F 和图 11H 所示的制造工序 (f),在钝化膜 150 上形成第三金属层 170。并且,第二金属层 170 通过图案形成而被加工成源极布线 22、电源布线 23 以及中继电极 55。后面使用图 10A ~ 图 10C 以及图 12A ~ 图 12C 来描述形成源极布线 22、电源布线 23 以及中继电极 55 的工序。

[0183] 此时,构成第三金属层 170 的材料也被填充到第三~第五贯通孔 173a(第四贯通孔和第五贯通孔省略图示),形成第三~第五接触孔 173、174、175。由此,源极布线 22 与源电极 42 经由第三接触孔 173 电连接,电源布线 23 与漏电极 52 经由第四接触孔 174 电连接,源电极 53 与中继电极 55 经由第五接触孔 175 电连接。

[0184] 接着,参照图 10A ~ 图 10C 以及图 12A ~ 图 12C 详细说明形成源极布线 22、电源布线 23 以及中继电极 55 的工序。

[0185] 首先,如图 10A 和图 12A 所示,在钝化膜 150 上形成第三金属层 170。在该工序中,第三金属层 170 形成于像素 100 的整个面。

[0186] 接着,如图 10B 和图 12B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。感光性抗蚀剂膜 180 形成于与加工后成为源极布线 22、电源布线 23 以及中继电极 55 的部分重叠的位置。另一方面,在除此以外的区域、即最终除去第三金属层 170 的部分,不形成感光性抗蚀剂膜 180。

[0187] 如图 10C 和图 12C 所示,通过蚀刻法对源极布线 22、电源布线 23 以及中继电极 55 进行图案形成。具体而言,在感光性抗蚀剂膜 180 的位置残留第三金属层 170。在此所残留的第三金属层 170 成为源极布线 22、电源布线 23 以及中继电极 55。也即是,源极布线 22、电源布线 23 以及中继电极 55 由相同的材料形成。另一方面,在不形成感光性抗蚀剂膜 180 的区域除去第三金属层 170。

[0188] 接着,省略图示,说明制造本实施方式 1 所涉及的有机 EL 显示器 10 的方法。具体而言,说明在上述薄膜晶体管阵列装置 20 上依次层叠层间绝缘膜 11、堤 15、阳极 12、有机 EL 层 13 以及透明阴极 14 的方法。

[0189] 首先,在第三金属层 170 上形成层间绝缘膜 11。之后,通过光刻法、蚀刻法,形成贯通层间绝缘膜 11 的第六贯通孔(省略图示)。该第六贯通孔将在后面成为第六接触孔 176。

[0190] 接着,堤 15 形成于层间绝缘膜 11 上的与各像素 100 的边界对应的位置。进一步,阳极 12 按各像素 100 而形成在层间绝缘膜 11 上且堤 15 的开口部内。此时,构成阳极 12 的材料被填充到第六贯通孔,形成第六接触孔 176。阳极 12 与中继电极 55 经由该第六接触孔 176 电连接。

[0191] 阳极 12 的材料例如为钼、铝、金、银、铜等的导电性金属或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌或者铅添加氧化铟中的任一种材料。通过真空蒸镀

法、电子束蒸镀法、RF 溅射法或者印刷法等来制作由这些材料形成的膜,形成电极图案。

[0192] 有机 EL 层 13 按各颜色(子像素列)或者各子像素而形成在阳极 12 上且堤 15 的开口部内。该有机 EL 层 13 是层叠空穴注入层、空穴输送层、发光层、电子输送层以及电子注入层等各层而构成的。例如,作为空穴注入层可以使用铜酞菁,作为空穴输送层可以使用 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine),作为发光层可以使用 Alq₃(tris(8-hydroxyquinoline)aluminum),作为电子输送层可以使用恶唑衍生物,作为电子注入层可以使用 Alq₃。这些材料仅仅是一例,也可以使用其它材料。

[0193] 透明阴极 14 是在有机 EL 层 13 上连续形成的具有透射性的电极。透明阴极 14 的材料例如为 ITO、SnO₂、In₂O₃、ZnO 或者它们的组合等。

[0194] (变形例)

[0195] 接着,参照图 13、图 14A 以及图 14B 说明本实施方式 1 所涉及的薄膜晶体管阵列装置 20 的变形例。图 13 是变形例所涉及的薄膜晶体管阵列装置的剖视图,是与图 6 对应的图。图 14A 和图 14B 是表示变形例所涉及的薄膜晶体管阵列装置的制造方法的图,是与图 10A 和图 10B 对应的图。

[0196] 在图 13 示出的薄膜晶体管阵列装置中,钝化膜 150 和导电氧化物膜 160 的位置关系与图 6 不同。即,在图 13 中,在钝化膜 150 上形成有导电氧化物膜 160。但是,与图 6 同样地,端子部 80 被导电氧化物膜 160 覆盖。另外,虽然省略图示,但在源电极 53 与中继电极 55 之间也存在导电氧化物膜 160。即,即使采用图 13 示出的结构,也能够得到与图 6 同样的效果。

[0197] 在制造图 13 示出的薄膜晶体管阵列装置的情况下,如图 14A 和图 14B 所示,具有使用半色调掩模同时加工导电氧化物膜 160 和第三金属层 170 的方法(半色调工艺)。

[0198] 首先,如图 14A 所示,在钝化膜 150 上形成导电氧化物膜 160 和第三金属层 170。在该工序中,导电氧化物膜 160 和第三金属层 170 形成于像素 100 的整个面。

[0199] 接着,如图 14B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。该感光性抗蚀剂膜 180 由厚度尺寸相对小的第一感光性抗蚀剂膜 181 以及厚度尺寸相对大的第二感光性抗蚀剂膜 182 构成。

[0200] 第一感光性抗蚀剂膜 181 形成于与加工后成为端子 71、81 的部分(端子 71 省略图示)重叠的位置。另一方面,第二感光性抗蚀剂膜 182 形成于与加工后成为源极布线 22、电源布线 23 以及中继电极 55 的部分(电源布线 23 和中继电极 55 省略图示)重叠的位置。另一方面,在除此以外的区域、也即是最终除去导电氧化物膜 160 和第三金属层 170 的部分,不形成感光性抗蚀剂膜 180。

[0201] 并且,在图 14B 示出的层叠构造体中,通过蚀刻法对端子 71、81、源极布线 22、电源布线 23 以及中继电极 55 进行图案形成。具体而言,在第一感光性抗蚀剂膜 181 的位置,除去第三金属层 170,仅残留导电氧化物膜 160。在此所残留的导电氧化物膜 160 成为端子 71、81。另一方面,在第二感光性抗蚀剂膜 182 的位置,残留导电氧化物膜 160 和第三金属层 170。在此所残留的导电氧化物膜 160 和第三金属层 170 成为源极布线 22、电源布线 23 以及中继电极 55。也即是,源极布线 22、电源布线 23 以及中继电极 55 由相同的材料形成。

[0202] 这样,当要制造变形例所涉及的薄膜晶体管阵列装置时,需要使用如半色调工艺的复杂的方法。另一方面,当要分别加工导电氧化物膜 160 和第三金属层 170 时,制造工作

量会进一步增加。这是因为：混合存在着如图 13 示出的像素 100 那样层叠有导电氧化物膜 160 和第三金属层 170 的区域、和如图 13 示出的端子部 80 那样仅由导电氧化物膜 160 构成的区域。

[0203] 与此相对，在本实施方式所涉及的薄膜晶体管阵列装置 20 中，在全部区域中层叠有第二金属层 140 和导电氧化物膜 160。换言之，在残留着第二金属层 140 的区域总是还残留着导电氧化物膜 160。另一方面，在除去了第二金属层 140 的区域总是也将导电氧化物膜 160 去除。因此，即使不使用图 14A 和图 14B 所说明的半色调工艺等，也能够简单地进行制造。

[0204] 即，将本实施方式 1 与变形例进行比较可知，通过层叠导电氧化物膜 160 而得到的效果是共同的，但是本实施方式 1 的制造要更简单。

[0205] 接着，参照图 15～图 17 说明图 7 的变形例。在图 15 中示出了阳极 12 以中继电极 55 的中央区域电连接的示例。另外，在图 16 中示出了层间绝缘膜 11 由有机膜 11a 与无机膜 11b 这两层构成的示例。在此，有机膜 11a 被配置于与阳极 12 接触的一侧（上层），无机膜 11b 被配置于与源极布线 22、电源布线 23 以及中继电极 55 接触的一侧（下层）。

[0206] 进一步，图 17 示出的薄膜晶体管阵列装置除了图 7 的结构以外还具备第二中继电极 56、第三中继电极 57、辅助布线 90 以及辅助电极 91。另外，在图 17 中，为了明确位置关系，图示了有机 EL 层 13、透明阴极 14 以及堤 15。

[0207] 辅助布线 90 由第二金属层 140 形成。另外，该辅助布线 90 呈列状被配置成与源极布线 22 平行，在两端部分别连接着辅助布线 90。进一步，辅助布线 90 的上面被导电氧化物膜 160 覆盖。

[0208] 第二中继电极 56 按各像素而形成于第二金属层 170。并且，第二中继电极 56 经由在厚度方向上贯通钝化膜 150 的第七接触孔 177 与辅助布线 90 电连接。

[0209] 第三中继电极 57 由与阳极 12 相同的材料按各像素而形成于与阳极 12 相同的层。并且，第三中继电极 57 经由在厚度方向上贯通层间绝缘膜 11 的第八接触孔 178 与第二中继电极 56 电连接。

[0210] 进一步，透明阴极 14 经由在厚度方向上贯通堤 15 的第九接触孔 179 与第三中继电极 57 电连接。即，第二中继电极和第三中继电极 57 对辅助布线 90 和透明阴极 14 进行中继。由此，能够长期降低透明阴极 14 向辅助布线 90 的连接电阻。

[0211] 在图 17 的示例中，中继电极 55（第一中继电极）与源电极 53 不直接连接而与辅助电极 91 连接。辅助电极 91 按各像素而形成于第二金属层 140。另外，辅助电极 91 的上面被导电氧化物膜 160 覆盖。并且，辅助电极 91 与中继电极 55 电连接，并且在与图 17 不同的剖面中与源电极 53 电连接。但是，辅助电极 91 的连接目标也可以是漏电极 52。

[0212] 这样，不限于在第二金属层 140 设置将阳极 12 和源电极 53 或者漏电极 52 直接或者间接地连接的中继电极 55，也可以在第二金属层 140 设置将透明阴极 14 和辅助布线 90 直接或者间接地连接的第二中继电极 56。即，形成于第二金属层 140 的中继电极是对形成于第二金属层 140 的第一导电性部件（图 17 的示例中为源电极 53 或者辅助布线 90）和形成于比层间绝缘膜 11 靠上方的层的第二导电性部件（在图 17 的示例中为阳极 12 或者透明阴极 14）进行连接（中继）的电极即可。

[0213] 第二中继电极 56 和第三中继电极 57 中的任一方或者两方例如也可以为在图 17

的纸面的外侧和内侧沿行方向延伸的布线。由此,第二中继电极 56 和第三中继电极 57 能够与呈列状配置的辅助布线 90 配合而发挥作为二维延伸的辅助布线的功能。其结果,作为通过超大型显示面板中的电源布线的低电阻化实现降低功耗、减少窗口图案(window pattern)显示时的串扰的方式是更合适的。

[0214] (实施方式 2)

[0215] 接着,说明本发明的实施方式 2 所涉及的薄膜晶体管阵列装置 20。在实施方式 1 与实施方式 2 中,主要是栅极布线 21、源极布线 22 以及电源布线 23 之间的位置关系不同。即,在实施方式 1 中,栅极布线 21 配置于第二金属层 140,源极布线 22 和电源布线 23 配置于第三金属层 170。与此相对,在实施方式 2 中,源极布线 22 和电源布线 23 配置于第二金属层 140,栅极布线 21 配置于第三金属层 170。因此,在以下的说明中,对与实施方式 1 共同的构成要素标记相同的标号。

[0216] 参照图 18~图 22 说明构成薄膜晶体管阵列装置 20 的像素 100 的构造(图 19 和图 20 的破断线右侧的构造)。图 18 是表示像素 100 的结构的主视图。图 19 是图 18 的 XIX-XIX 处的剖视图。图 20 是图 18 的 XX-XX 处的剖视图。图 21 是图 18 的 XXI-XXI 处的剖视图。图 22 是从图 18 的 XIX-XIX 剖面观察到的主要部分的立体图。在图 21 中,还图示出层间绝缘膜 11 和阳极 12。

[0217] 如图 18~图 21 所示,像素 100 是基板 110、第一金属层(导电层)120、栅极绝缘膜 130、半导体膜 44、54、第二金属层(导电层)140、导电氧化物膜(Indium Tin Oxide: ITO)160、钝化膜 150 以及第三金属层(导电层)170 的层叠构造体。

[0218] 在层叠于基板 110 上的第一金属层 120 形成有第一晶体管 40 的栅电极 41 以及第二晶体管 50 的栅电极 51。另外,在基板 110 和第一金属层 120 上形成有栅极绝缘膜 130 以覆盖栅电极 41、51。

[0219] 半导体膜 44 被配置在栅极绝缘膜 130 上(栅极绝缘膜 130 与第二金属层 140 之间)且与栅电极 41 重叠的区域内。同样地,半导体膜 54 被配置在栅极绝缘膜 130 上(栅极绝缘膜 130 与第二金属层 140 之间)且与栅电极 51 重叠的区域内。本说明书中的“重叠”是指从上下方向观察时处于相互重合的位置关系。

[0220] 在层叠于栅极绝缘膜 130 和半导体膜 44、54 上的第二金属层 140 形成有源极布线 22、电源布线 23、第一晶体管 40 的源电极 42 和漏电极 43 以及第二晶体管 50 的漏电极 52 和源电极 53。也即是,第一晶体管 40 和第二晶体管 50 是其栅电极 41、51 相比于源电极 42、53 和漏电极 43、52 形成于下层的底栅型晶体管。

[0221] 更具体而言,源电极 42 和漏电极 43 形成于相互相对的位置且分别与半导体膜 44 的一部分重叠。另外,源电极 42 从形成于同一层的源极布线 22 延伸设置。同样地,漏电极 52 和源电极 53 形成于相互相对的位置且分别与半导体膜 54 的一部分重叠。另外,漏电极 52 从形成于同一层的电源布线 23 延伸设置。

[0222] 另外,在栅极绝缘膜 130 的与漏电极 43 和栅电极 51 重叠的位置形成有在厚度方向上贯通的第一接触孔(孔部)192。并且,漏电极 43 经由第二接触孔 192 与形成于第一金属层 120 的栅电极 51 电连接。

[0223] 进一步,在栅极绝缘膜 130 和第二金属层 140 上形成有导电氧化物膜 160 以覆盖源电极 42、53 和漏电极 43、52。也即是,导电氧化物膜 160 形成为介于钝化膜 150 与第一晶

体管 40 及第二晶体管 50 之间。导电氧化物膜 160 选择性地形成于与栅极布线 21、源电极 42、53 以及漏电极 43、52 等（即，第二金属层 140 的各构成要素）重叠的位置。

[0224] 在导电氧化物膜 160 上层叠有钝化膜 150。进一步，在钝化膜 150 上层叠有第三金属层 170。在层叠于钝化膜 150 上的第三金属层 170 形成有栅极布线 21 和中继电极 55。

[0225] 另外，在栅极绝缘膜 130 和钝化膜 150 的与栅极布线 21 和栅电极 41 重叠的位置形成有在厚度方向上贯通的第一接触孔（孔部）191。并且，栅极布线 21 经由第一接触孔 191 与形成于第二金属层 120 的栅电极 41 电连接。

[0226] 同样地，在钝化膜 150 的与第二晶体管 50 的源电极 53 和中继电极 55 重叠的位置形成有在厚度方向上贯通的第三接触孔（孔部）193。并且，中继电极 55 经由第三接触孔 193 与形成于第二金属层 140 的源电极 53 电连接。源电极 53 与中继电极 55 不直接接触，在两者之间存在导电氧化物膜 160。

[0227] 进一步，在钝化膜 150 和第三金属层 170 上形成有层间绝缘膜 11 以覆盖栅极布线 21 和中继电极 55。在层间绝缘膜 11 上的与相邻的像素 100 的边界部分形成有堤 15。并且，在堤 15 的开口部形成有以像素 100 为单位形成的阳极 12 以及以颜色（子像素列）为单位或者以子像素为单位形成的有机 EL 层 13。进一步，在有机 EL 层 13 和堤 15 上形成有透明阴极 14。

[0228] 进一步，在与阳极 12 和中继电极 55 重叠的位置形成有在厚度方向上贯通层间绝缘膜 11 的第四接触孔（孔部）194。并且，阳极 12 经由第四接触孔 194 与形成于第三金属层 170 的中继电极 55 电连接。图 7 示出的中继电极 55 由填充到第三接触孔 193 的中央区域以及在第三接触孔 193 的上部周缘延伸的平坦区域构成。并且，阳极 12 在中继电极 55 的平坦区域电连接。

[0229] 如图 22 所示，在上述结构的像素 100 中，源极布线 22 和电源布线 23 形成于与源电极 42、53 以及漏电极 43、52 相同层的第二金属层 140。另一方面，栅极布线 21 形成于与源极布线 22 和电源布线 23 不同层的第三金属层 170。并且，栅极布线 21 与源极布线 22、以及栅极布线 21 与电源布线 23 隔着钝化膜 150 和导电氧化物膜 160 相互交叉。

[0230] 如上述结构那样，通过将各布线（栅极布线 21、源极布线 22 以及电源布线 23）设置于比形成有栅电极 41、51 的第一金属层 120 靠上方的金属层（第二金属层 140 和第三金属层 170），能够分别使用适当的材料来构成栅电极 41、51 和各布线。另外，与栅极绝缘膜 130 相比，钝化膜 150 的膜厚可以自由地进行设定。因此，通过将各布线隔着该钝化膜 150 而配置于在层叠方向上相邻的第二金属层 140 和第三金属层 170，能够减少寄生电容。

[0231] 接着，参照图 19 和图 20 说明形成于薄膜晶体管阵列装置 20 的端部（周缘部）的端子部 70、80 的构造（图 19 和图 20 的破断线左侧的构造）。

[0232] 图 19 示出的端子部（破断线左侧的部分）70 形成于在行方向上毗连的多个像素 100 的两端的两个部位。端子部 70 由通过与导电氧化物膜 160 相同的材料形成的端子 75、形成于第二金属层 140 的中继布线 76 以及在厚度方向上贯通钝化膜 150 的孔部 77、78 构成。孔部 77 形成于与中继布线 76 的一侧端部重叠的位置，使端子 75 向外部露出。同样地，孔部 78 形成于与中继布线 76 的另一侧端部重叠的位置，对栅极布线 21 的端部和中继布线 76 的另一侧端部进行电连接。

[0233] 也即是，端子部 70 设置于按各行对呈矩阵状配置的像素 100 进行连接的栅极布线

21的两端,作为将栅极布线21和外部的驱动电路连接、从外部的驱动电路向栅极布线21输入信号的连接部而发挥功能。在此,端子75被配置成覆盖从孔部77露出的中继布线76的一侧端部,因此能够防止中继布线76与空气中的水分等接触而氧化。

[0234] 同样地,图20示出的端子部(破断线左侧的部分)80形成于在列方向上毗连的多个像素100的两端的两个部位。通过使用导电氧化物膜160来覆盖源极布线22的端部的上表面,从而在端子部80形成端子85。并且,该端子85通过在厚度方向上贯通钝化膜150的孔部86而向外部露出。

[0235] 也即是,端子部80设置于按各列对呈矩阵状配置的像素100进行连接的源极布线22的两端,作为将源极布线22和外部的驱动电路连接、从外部的驱动电路向源极布线22输入信号的连接部而发挥功能。在此,端子85被配置成覆盖从孔部86露出的源极布线22的端部,因此能够防止源极布线22与空气中的水分等接触而氧化。

[0236] 接着,参照图23A~图26C说明制造本实施方式2所涉及的薄膜晶体管阵列装置20的方法。图23A~图23G是表示与制造工序(a)~(f)对应的图18的XIX-XIX剖面的构造的图。图24A~图24C是详细表示图23F与图23G之间的制造工序的图。图25A~图25H是表示与制造工序(a)~(f)对应的图18的XXI-XXI剖面的构造的图。图26A~图26C是详细表示图25G与图25H之间的制造工序的图。

[0237] 首先,如图23A和图25A所示的制造工序(a),准备基板110。基板110通常使用玻璃、石英等绝缘性的材料。为了防止来自基板110的杂质扩散,也可以在基板110的上面形成未图示的氧化硅膜或者氮化硅膜。膜厚为100nm左右。

[0238] 接着,如图23B和图25B所示的制造工序(b),在基板110上形成具有耐热性的第一金属层120之后,通过光刻法、蚀刻法等进行图案形成,形成栅电极41、51。作为材料可举出具有耐热性的Mo、W、Ta、Ti、Ni中的任一种或者它们的合金。在本实施方式2中使用了Mo。厚度优选为100nm左右。

[0239] 接着,如图23C以及图25C~图25E所示的制造工序(c),在基板110和第一金属层120上形成栅极绝缘膜130,在栅极绝缘膜130上形成半导体层。栅极绝缘膜130和半导体层通过等离子体CVD法等不破坏真空而连续地形成。作为栅极绝缘膜130形成氧化硅膜、氮化硅膜或者其复合膜。厚度为200nm左右。另外,半导体层为50nm左右的非晶硅膜。

[0240] 之后,例如如图25D的箭头所示,通过在半导体层上照射准分子激光等,将半导体层从非晶半导体层改性为多晶半导体层。作为结晶化方法,例如在400℃~500℃的炉内进行脱氢之后,通过准分子激光使之结晶化,之后,在真空中进行几秒钟~几十秒钟的氢等离子体处理。更具体而言,照射准分子激光等,使非晶半导体层的温度上升至预定的温度范围,由此使之结晶化。在此,预定的温度范围例如是1100℃~1414℃。另外,多晶半导体层内的平均结晶粒径为20nm~60nm。

[0241] 在此,构成栅电极41、51的第一金属层120在上述工序中被暴露于高温中,因此需要由熔点高于上述温度范围的上限值(1414℃)的金属形成。另一方面,在后续工序中层叠的第二金属层140和第三金属层170可以由熔点低于上述温度范围的下限值(1100℃)的金属形成。

[0242] 接着,如图25E所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体膜44、54。进一步,通过相同的光刻法、蚀刻法等,在栅极绝缘膜130形成第二贯通孔(未图示)。

该第二贯通孔将在后面成为第二接触孔 192。

[0243] 之后,如图 23D 和图 25F 所示的制造工序 (d),在栅极绝缘膜 130 和半导体膜 44、54 上形成第二金属层 140 和导电氧化物膜 160,通过图案形成来分别加工源极布线 22、电源布线 23、源电极 42、53、漏电极 43、52 以及中继布线 76。此时,构成第二金属层 140 的材料也被填充到第二贯通孔 (未图示),形成第二接触孔 192。通过该工序,栅电极 51 与漏电极 43 经由第二接触孔 192 电连接。

[0244] 作为构成第二金属层 140 的材料可举出作为低电阻金属的 Al、Cu、Ag 中的任一种或者它们的合金。在本实施方式 2 中使用 Al,厚度为 300nm 左右。

[0245] 另外,在此所形成的源极布线 22、电源布线 23、源电极 42、53、漏电极 43、52 以及中继布线 76 的上面被导电氧化物膜 160 覆盖。因此,第二金属层 140 的与导电氧化物膜 160 接触的面由至少包含铜、钼、钛以及钨中的任一种的金属形成。例如,可以使第二金属层 140 为层叠构造,在作为势垒金属而形成 50nm 的 Mo 之后,形成 300nm 的 Al。在进一步要求低电阻的情况下,有时也使用 Cu (在该情况下,不需要势垒金属) 来代替 Al。另外,通过增加厚度也能够实现更低的电阻。

[0246] 另外,构成导电氧化物膜 160 的材料为包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一方。进一步,构成后述的第三金属层 170 的材料被要求低电阻,因此可以是与第二金属层 140 相同的金属。

[0247] 另外,在源电极 42 与半导体膜 44 之间、以及漏电极 43 与半导体膜 44 之间通常形成有未图示的低电阻半导体层。该低电阻半导体层通常使用掺杂了磷等 n 型掺杂物的非晶硅层或者掺杂了硼等 p 型掺杂物的非晶硅层。厚度为 20nm 左右。在结晶化的半导体膜 44 与掺杂后的非晶硅层之间还可以存在非晶硅等半导体层。有时为了提高器件特性而需要这些膜。对于半导体膜 54 也是同样的。

[0248] 之后,如图 23E、图 23F 以及图 25G 所示的制造工序 (e),将由氧化膜 (例如氧化硅膜)、氮化膜 (例如氮化硅膜) 或者这些膜的层叠膜形成的钝化膜 150 形成于栅极绝缘膜 130、半导体膜 44、54 以及被导电氧化物膜 160 覆盖的第二金属层 140 上。另外,通过光刻法、蚀刻法等,在钝化膜 150 形成连续贯通栅极绝缘膜 130 和钝化膜 150 的第一贯通孔 171a、在厚度方向上贯通钝化膜 150 的第三贯通孔 (未图示) 以及孔部 77、78、86。该第一贯通孔 191a 将在后面成为第一接触孔 191,第三贯通孔将在后面成为第三接触孔 193。钝化膜 150 不限于上述的氧化膜、氮化膜等无机膜,也可以是由丙烯类、酰亚胺类的感光树脂形成的有机膜。

[0249] 在此,决定栅极绝缘膜 130 和钝化膜 150 的材料、膜厚,以使得在由第二金属层 140 和第三金属层 170 夹着的钝化膜 150 所形成的每单位面积的电容小于由介于第一金属层 120 和第二金属层 140 之间的栅极绝缘膜 130 形成的每单位面积的电容。更具体而言,在钝化膜 150 所形成的每单位面积的电容优选为小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,在栅极绝缘膜 130 所形成的每单位面积的电容优选为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0250] 进一步,如图 23G 和图 25H 所示的制造工序 (f),在钝化膜 150 上形成第三金属层 170。并且,第三金属层 170 通过图案形成而被加工成栅极布线 21 和中继电极 55。下面使用图 24A ~ 图 24C 以及图 26A ~ 图 26C 来描述形成栅极布线 21 和中继电极 55 的工序。

[0251] 此时,构成第三金属层 170 的材料也被填充到第一贯通孔以及第三贯通孔 (省略

图示),形成第一接触孔 191 和第三接触孔 193。由此,栅极布线 21 与栅电极 41 经由第一接触孔 191 电连接,源电极 53 与中继电极 55 经由第三接触孔 193 电连接。

[0252] 接着,参照图 24A~图 24C 以及图 26A~图 26C 详细说明形成栅极布线 21 和中继电极 55 的工序。

[0253] 首先,如图 24A 和图 26A 所示,在钝化膜 150 上形成第三金属层 170。在该工序中,第三金属层 170 形成于像素 100 的整个面。

[0254] 接着,如图 24B 和图 26B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。感光性抗蚀剂膜 180 形成于与加工后成为栅极布线 21 和中继电极 55 的部分重叠的位置。另一方面,在除此以外的区域、也即是最终除去第三金属层 170 的部分不形成感光性抗蚀剂膜 180。

[0255] 接着,如图 24C 和图 26C 所示,通过蚀刻法对栅极布线 21 和中继电极 55 进行图案形成。具体而言,在感光性抗蚀剂膜 180 的位置残留第三金属层 170。在此所残留的第三金属层 170 成为栅极布线 21 和中继电极 55。也即是,栅极布线 21 和中继电极 55 由相同的材料形成。另一方面,在不形成感光性抗蚀剂膜 180 的区域,除去第三金属层 170。

[0256] 接着,省略图示,说明制造本实施方式 2 所涉及的有机 EL 显示器 10 的方法。具体而言,说明在上述薄膜晶体管阵列装置 20 上依次层叠层间绝缘膜 11、堤 15、阳极 12、有机 EL 层 13 以及透明阴极 14 的方法。

[0257] 首先,在第三金属层 170 上形成层间绝缘膜 11。之后,通过光刻法、蚀刻法,形成贯通层间绝缘膜 11 的第四贯通孔(省略图示)。该第四贯通孔将在后面成为第四接触孔 194。

[0258] 接着,堤 15 形成于层间绝缘膜 11 上的与各像素 100 的边界对应的位置。进一步,阳极 12 按各像素 100 而形成在层间绝缘膜 11 上且堤 15 的开口部内。此时,构成阳极 12 的材料被填充到第四贯通孔,形成第四接触孔 194。阳极 12 与中继电极 55 经由该第四接触孔 194 电连接。

[0259] 阳极 12 的材料例如为钼、铝、金、银、铜等的导电性金属或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌或者铅添加氧化铟中的任一种材料。通过真空蒸镀法、电子束蒸镀法、RF 溅射法或者印刷法等来制作由这些材料形成的膜,形成电极图案。

[0260] 有机 EL 层 13 按各颜色(子像素列)或者各子像素而形成在阳极 12 上且堤 15 的开口部内。该有机 EL 层 13 是层叠空穴注入层、空穴输送层、发光层、电子输送层以及电子注入层等各层而构成的。例如,作为空穴注入层可以使用铜酞菁,作为空穴输送层可以使用 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine),作为发光层可以使用 Alq_3 (tris(8-hydroxyquinoline)aluminum),作为电子输送层可以使用恶唑衍生物,作为电子注入层可以使用 Alq_3 。这些材料仅仅是一例,也可以使用其它材料。

[0261] 透明阴极 14 是在有机 EL 层 13 上连续形成的具有透射性的电极。透明阴极 14 的材料例如为 ITO 、 SnO_2 、 In_2O_3 、 ZnO 或者它们的组合等。

[0262] (变形例)

[0263] 接着,参照图 27、图 28A 以及图 28B 说明本实施方式 2 所涉及的薄膜晶体管阵列装置 20 的变形例。图 27 是变形例所涉及的薄膜晶体管阵列装置的剖视图,是与图 19 对应的图。图 28A 和图 28B 是表示变形例所涉及的薄膜晶体管阵列装置的制造方法的图,是与图

24A 和图 24B 对应的图。

[0264] 在图 27 示出的薄膜晶体管阵列装置中,钝化膜 150 和导电氧化物膜 160 的位置关系与图 19 不同。即,在图 27 中,在钝化膜 150 上形成导电氧化物膜 160。但是,与图 19 同样地,端子部 80 被导电氧化物膜 160 覆盖。另外,虽然省略了图示,但在源电极 53 与中继电极 55 之间也存在导电氧化物膜 160。即,即使是采用图 27 示出的结构,也能够得到与图 19 同样的效果。

[0265] 在制造图 27 示出的薄膜晶体管阵列装置的情况下,如图 28A 和图 28B 所示,具有使用半色调掩模同时加工导电氧化物膜 160 和第三金属层 170 的方法(半色调工艺)。

[0266] 首先,如图 28A 所示,在钝化膜 150 上形成导电氧化物膜 160 和第三金属层 170。在该工序中,导电氧化物膜 160 和第三金属层 170 形成于像素 100 的整个面。

[0267] 接着,如图 28B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。该感光性抗蚀剂膜 180 由厚度尺寸相对小的第一感光性抗蚀剂膜 181 以及厚度尺寸相对大的第二感光性抗蚀剂膜 182 构成。

[0268] 第一感光性抗蚀剂膜 181 形成于与加工后成为端子 75、85 的部分(端子 85 省略图示)重叠的位置。另一方面,第二感光性抗蚀剂膜 182 形成于与加工后成为栅极布线 21 和中继电极 55 的部分(中继电极 55 省略图示)重叠的位置。另一方面,在除此以外的区域、也即是最终除去导电氧化物膜 160 和第三金属层 170 的部分不形成感光性抗蚀剂膜 180。

[0269] 并且,在图 28B 示出的层叠构造体,通过蚀刻法对端子 75、85、栅极布线以及中继电极 55 进行图案形成。具体而言,在第一感光性抗蚀剂膜 181 的位置,除去第三金属层 170,仅残留导电氧化物膜 160。在此所残留的导电氧化物膜 160 成为端子 75、85。另一方面,在第二感光性抗蚀剂膜 182 的位置,残留导电氧化物膜 160 和第三金属层 170。在此所残留的导电氧化物膜 160 和第三金属层 170 成为栅极布线 21 和中继电极 55。也即是,栅极布线 21 和中继电极 55 由相同的材料形成。

[0270] 这样,当要制造变形例所涉及的薄膜晶体管阵列装置时,需要使用如半色调工艺的复杂的方法。另一方面,当要分别加工导电氧化物膜 160 和第三金属层 170 时,制造工作量会进一步增加。这是因为:混合存在着如图 27 所示的像素 100 那样层叠有导电氧化物膜 160 和第三金属层 170 的区域、和如图 27 所示的端子部 80 那样仅由导电氧化物膜 160 构成的区域。

[0271] 与此相对,在本实施方式 2 所涉及的薄膜晶体管阵列装置 20 中,在全部区域中层叠有第二金属层 140 和导电氧化物膜 160。换言之,在残留着第二金属层 140 的区域总是还残留着导电氧化物膜 160。另一方面,在除去了第二金属层 140 的区域总是也除去了导电氧化物膜 160。因此,即使不使用图 28A 和图 28B 所说明的半色调工艺等,也能够简单地进行制造。

[0272] 即,将本实施方式 2 与变形例进行比较可知,通过层叠导电氧化物膜 160 而得到的效果是共同的,但是本实施方式 2 的制造更为简单。

[0273] 接着,参照图 29 ~ 图 31 说明图 21 的变形例。在图 29 中示出阳极 12 以中继电极 55 的中央区域电连接的示例。另外,在图 30 中示出层间绝缘膜 11 由有机膜 11a 与无机膜 11b 这两层构成的示例。在此,有机膜 11a 被配置于与阳极 12 接触的一侧(上层),无机膜 11b 被配置于与栅极布线 21 和中继电极 55 接触的一侧(下层)。

[0274] 进一步,图 31 示出的薄膜晶体管阵列装置除了图 21 的结构以外还具备第二中继电极 56、第三中继电极 57、辅助布线 90 以及辅助电极 91。另外,在图 31 中,为了明确位置关系,图示出有机 EL 层 13、透明阴极 14 以及堤 15。

[0275] 辅助布线 90 由第二金属层 140 形成。另外,该辅助布线 90 呈列状被配置成与源极布线 22 平行,在两端部分别连接着辅助布线 90。进一步,辅助布线 90 的上面被导电氧化物膜 160 覆盖。

[0276] 第二中继电极 56 按各像素而形成于第三金属层 170。并且,第二中继电极 56 经由在厚度方向上贯通钝化膜 150 的第五接触孔 195 与辅助布线 90 电连接。

[0277] 第三中继电极 57 在与阳极 12 相同的层由与阳极 12 相同的材料按各像素而形成。并且,第三中继电极 57 经由在厚度方向上贯通层间绝缘膜 11 的第六接触孔 196 与第二中继电极 56 电连接。

[0278] 进一步,透明阴极 14 经由在厚度方向上贯通堤 15 的第七接触孔 197 与第三中继电极 57 电连接。即,第二中继电极和第三中继电极 57 对辅助布线 90 和透明阴极 14 进行中继。由此,能够长期降低透明阴极 14 向辅助布线 90 的连接电阻。

[0279] 在图 31 的示例中,中继电极 55(第一中继电极)与源电极 53 不直接连接而与辅助电极 91 连接。辅助电极 91 按各像素而形成于第二金属层 140。另外,辅助电极 91 的上面被导电氧化物膜 160 覆盖。并且,辅助电极 91 与中继电极 55 电连接,并且在与图 31 不同的剖面中与源电极 53 电连接。但是,辅助电极 91 的连接目标也可以是漏电极 52。

[0280] 这样,不限于在第二金属层 140 设置将阳极 12 和源电极 53 或者漏电极 52 直接或者间接地连接的中继电极 55,也可以在第二金属层 140 设置将透明阴极 14 和辅助布线 90 直接或者间接地连接的中继电极 56。即,形成于第二金属层 140 的中继电极是对形成于第二金属层 140 的第一导电性部件(图 31 的示例中为源电极 53 或者辅助布线 90)和形成在层间绝缘膜 11 上方的层的第二导电性部件(在图 31 的示例中为阳极 12 或者透明阴极 14)进行连接(中继)的电极即可。

[0281] 第二中继电极 56 和第三中继电极 57 中的任一方或者两者也可以为例如在图 31 的纸面的外侧和内侧沿行方向延伸的布线。由此,第二中继电极和第三中继电极 57 能够与呈列状配置的辅助布线 90 配合而发挥作为二维延伸的辅助布线的功能。其结果,作为通过超大型显示面板中的电源布线的低电阻化实现降低功耗、实现降低窗口图案显示时的串扰的方式是更合适的。

[0282] 在本实施方式 1、2 中,示出构成像素 100 的 TFT 为两个的情况,但本发明的应用范围不限于此。在为了补偿像素 100 内的 TFT 的不匀而由多个(三个以上)TFT 构成的情况下,也可以采用同样的结构。

[0283] 另外,在本实施方式 1、2 中,示出了用于驱动有机 EL 元件的像素结构,但不限于此。也可以应用于所有使用液晶、无机 EL 等、TFT 而构成的薄膜晶体管阵列装置 20。

[0284] 另外,搭载了本实施方式 1、2 的有机 EL 显示面板的 EL 显示装置能够不会使图像信号劣化地显示的高像质的图像。即,本发明也可以应用于 EL 显示装置。

[0285] 另外,在本实施方式 1 中,示出了以下示例:在层叠方向上相互相邻的第一~第三金属层 120、140、170 中的第一金属层 120 形成栅电极 41、51,在第二金属层 140 形成栅极布线 21(第一布线),在第三金属层 170 形成源极布线 22 和电源布线 23(第二布线)。另

外,在本实施方式 2 中,示出了以下示例:在层叠方向上相互相邻的第一~第三金属层 120、140、170 中的第一金属层 120 形成栅电极 41、51,在第二金属层 140 形成源极布线 22 和电源布线 23(第一布线),在第三金属层 170 形成栅极布线 21(第二布线)。但是,本发明的应用范围不限于此。也即是,即使在第一金属层 120 和第二金属层 140 之间、以及第二金属层 140 和第三金属层 170 之间还形成有金属层,只要栅极布线 21、源极布线 22 以及电源布线 23 位于栅电极 41、51 上方的金属层,则也能够得到本发明的效果。

[0286] 另外,在本实施方式 1、2 中,示出了底栅型薄膜晶体管的示例,但是本发明的应用范围不限于此。即,本发明也可以应用于顶栅型薄膜晶体管。

[0287] 另外,在本实施方式 1、2 中,示出了顶部发射型有机 EL 显示器 10 的示例,但本发明的应用范围不限于此。例如,也可以是使上部电极为反射电极、使下部电极为透明电极(=ITO 等透明导电膜)的底部发射型有机 EL 显示器。

[0288] 另外,图 7、图 15~图 17、图 21、图 29~图 31 等示出的中继电极 55 也可以形成于阳极 12 下的全个面。即,可以使中继电极 55 介于层间绝缘膜 11 与阳极 12 之间,使得层间绝缘膜 11 与阳极 12 不直接接触。由此,能够防止阳极 12 由于来自树脂构成的层间绝缘膜 11 的氧、水分等而氧化、腐蚀等。通过采用上述结构,例如在阳极 12 由 Al 形成的情况下,能够防止由氧化、腐蚀等引起的阳极 12 的反射率降低以及电阻增加。其结果,能够实现寿命更长的显示面板。

[0289] 以上,参照附图说明了本发明的实施方式,但本发明不限于图示的实施方式。可以在与本发明相同的范围内或者均等的范围内对图示的实施方式加以各种修改和/或变形。

[0290] 产业上的可利用性

[0291] 本发明的图像显示装置用薄膜晶体管阵列装置作为有机 EL 显示装置、液晶显示装置等中使用的驱动用底板(backplane)是有用的。

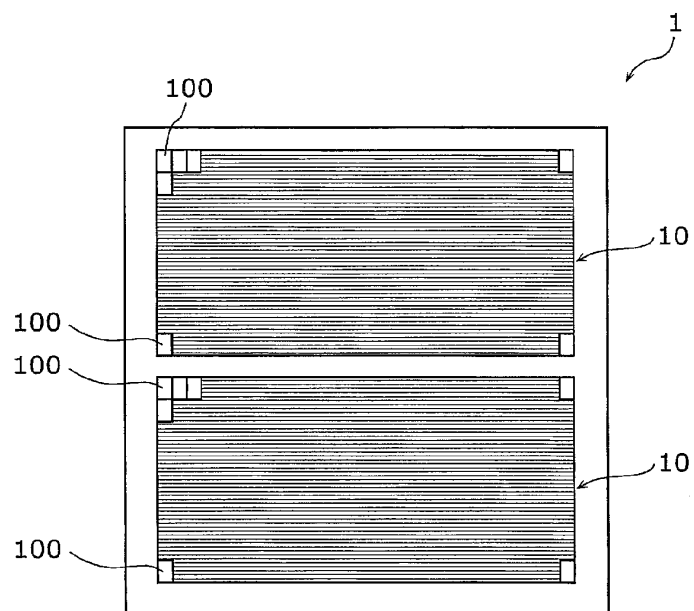


图 1

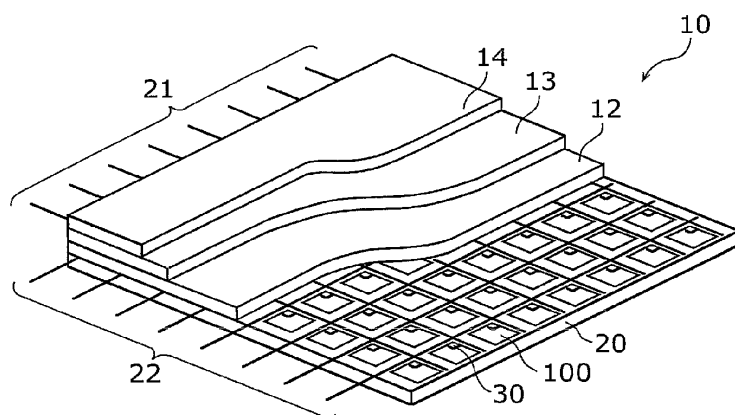


图 2A

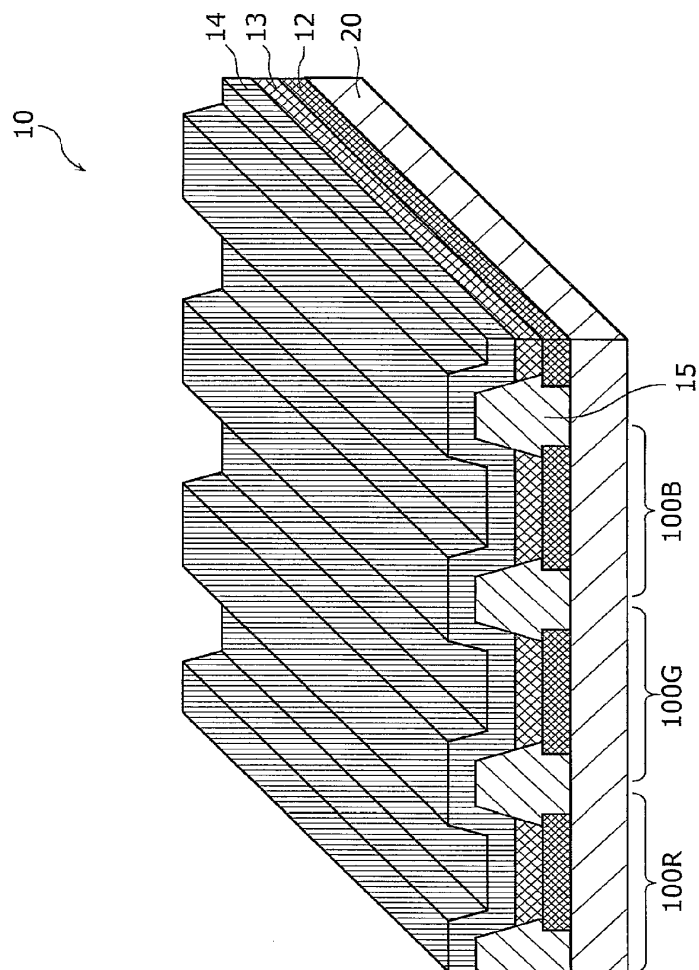


图 2B

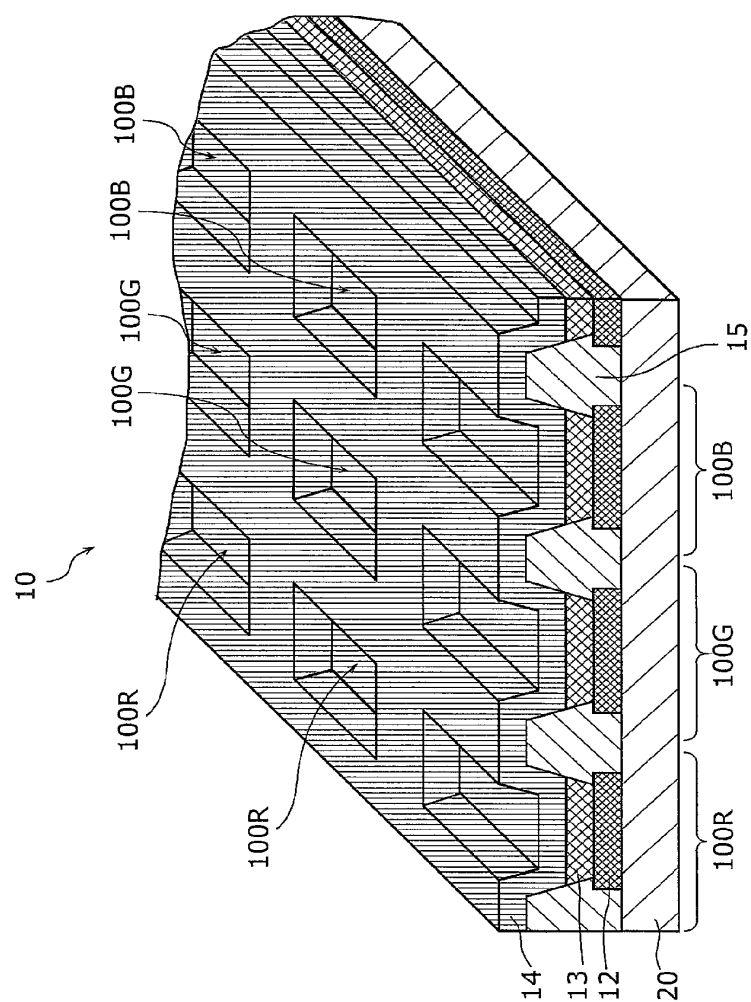


图 2C

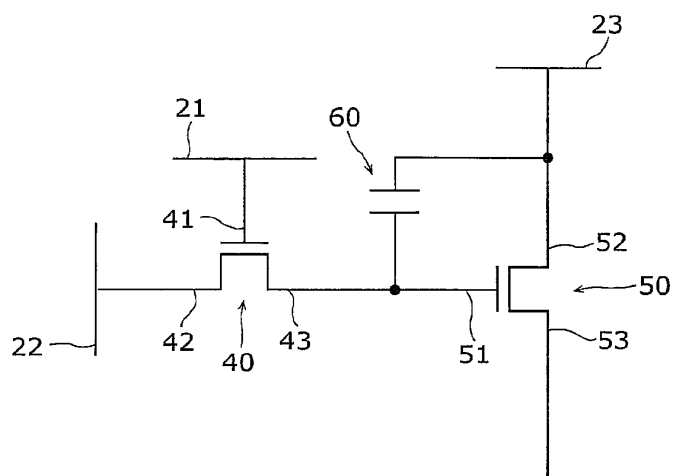


图 3

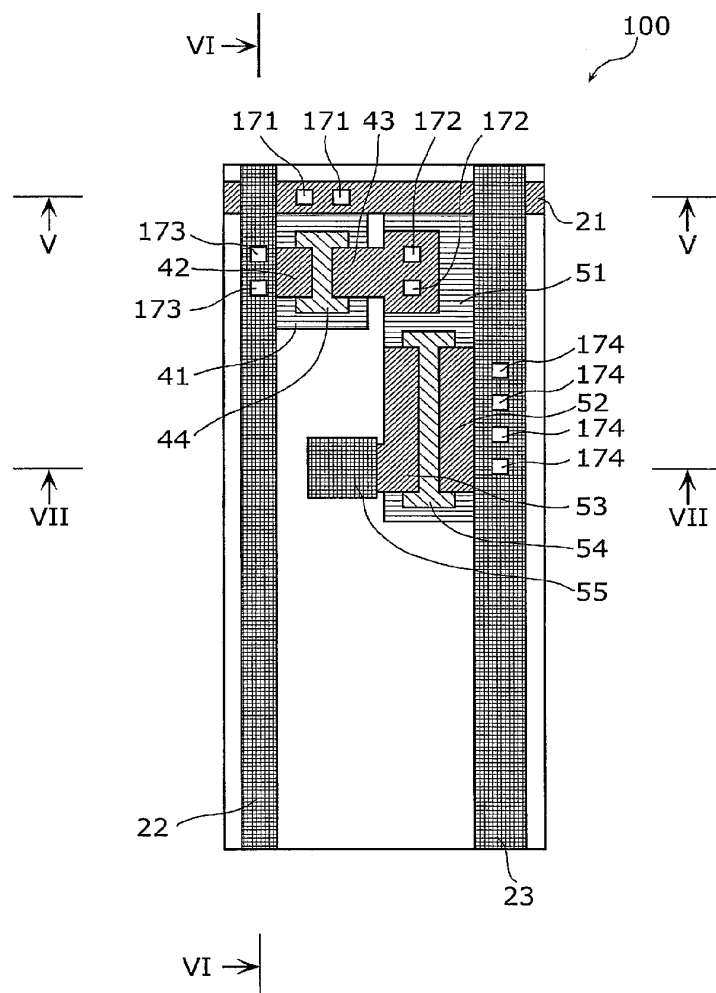


图 4

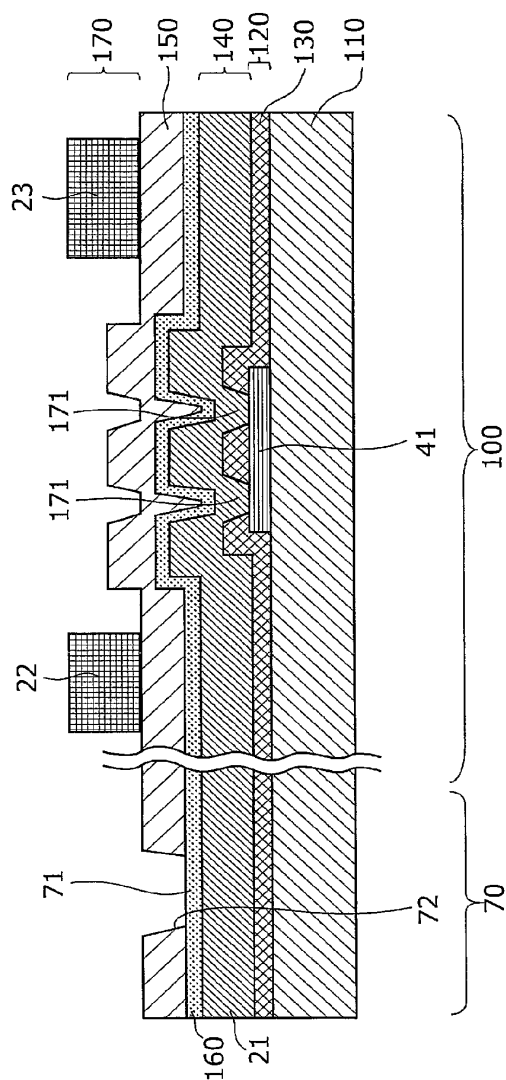


图 5

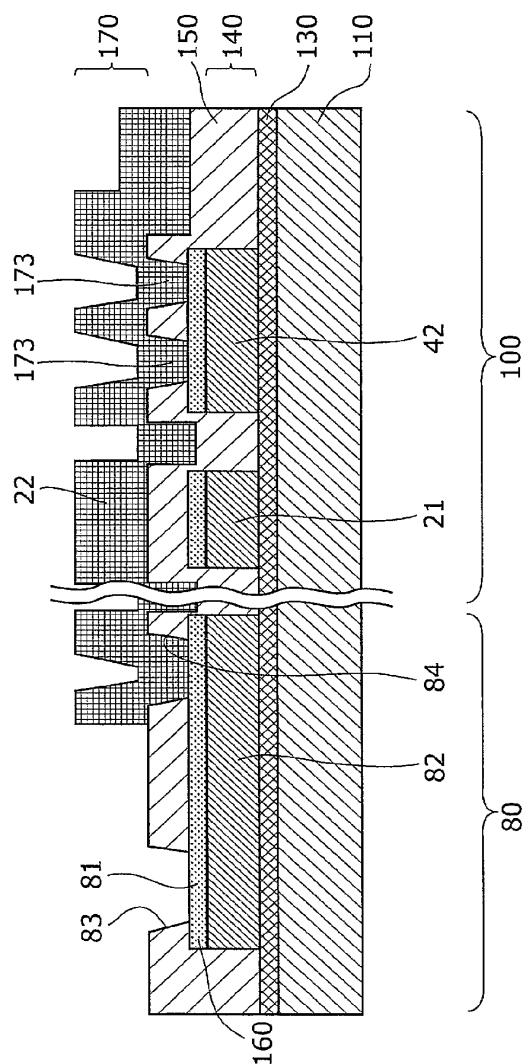


图 6

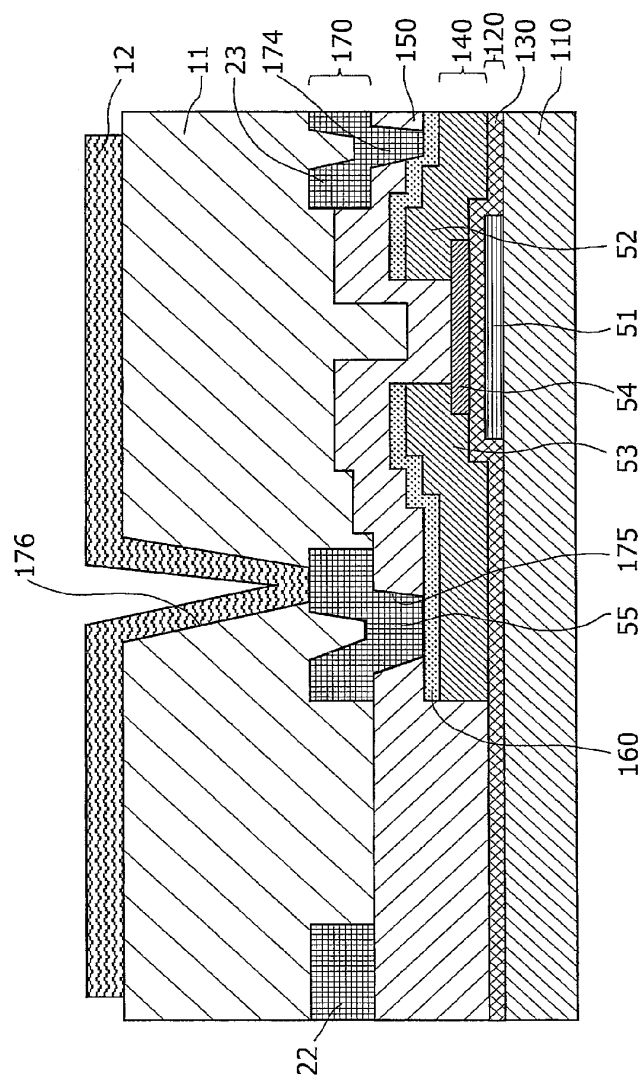


图 7

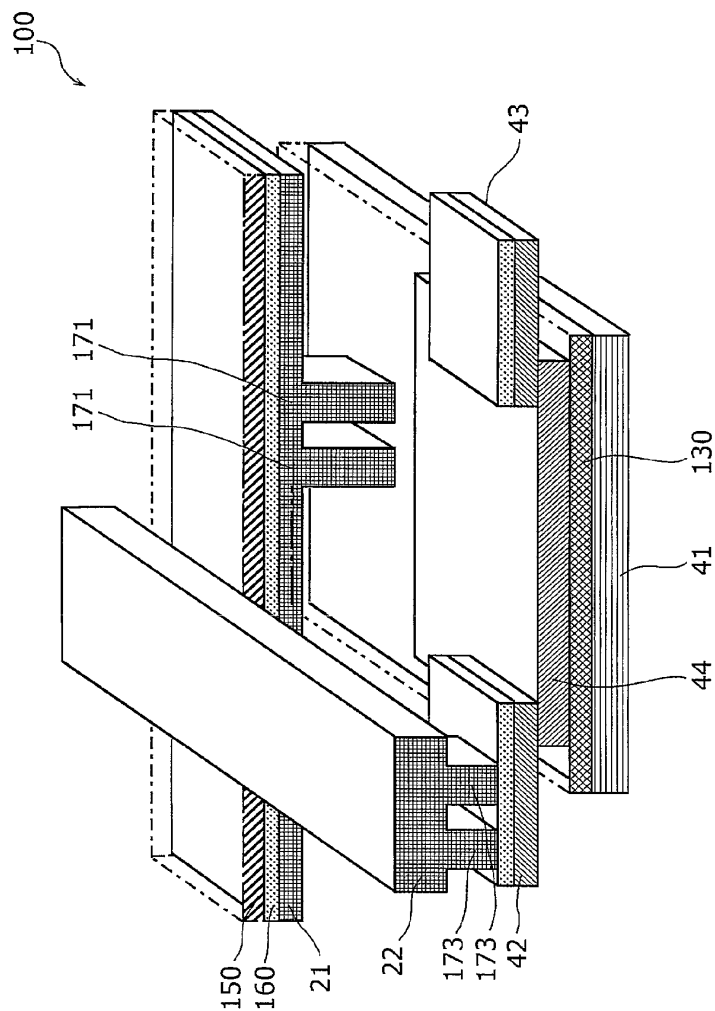


图 8



图 9A

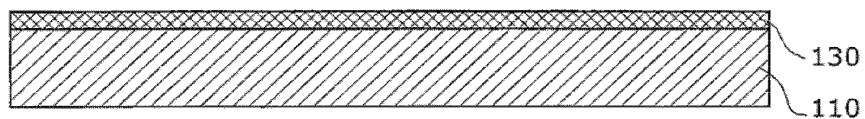


图 9B

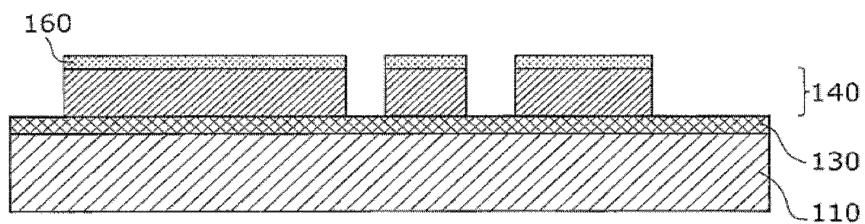


图 9C

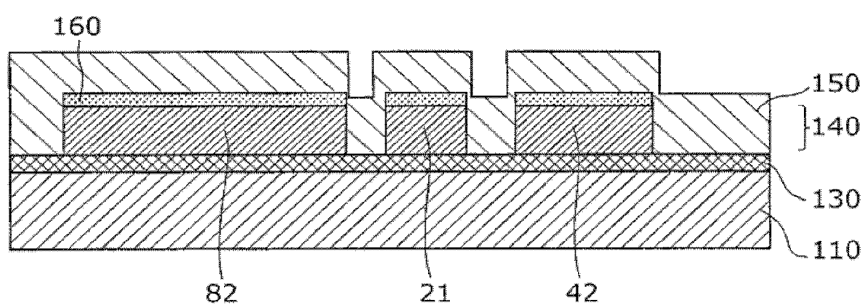


图 9D

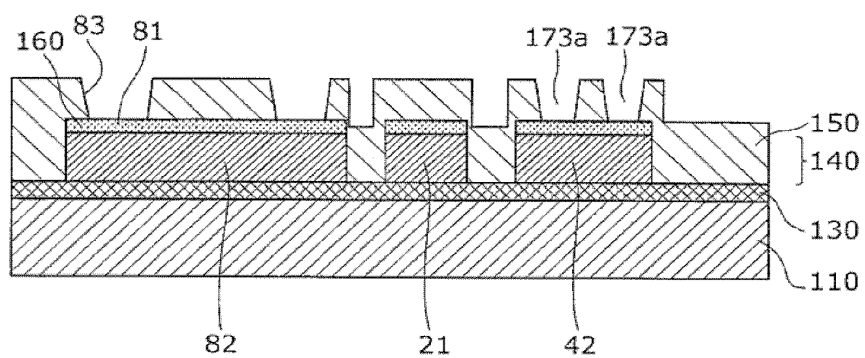


图 9E

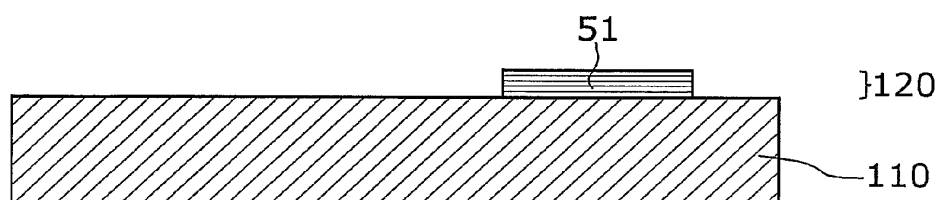


图 11B

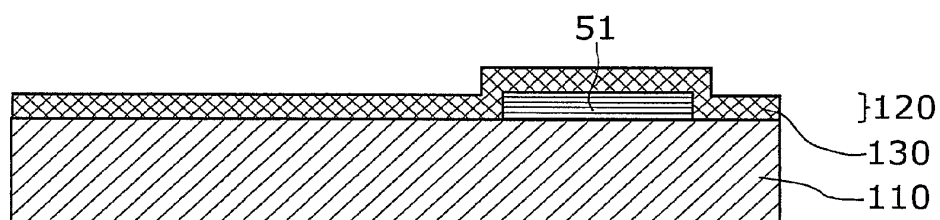


图 11C

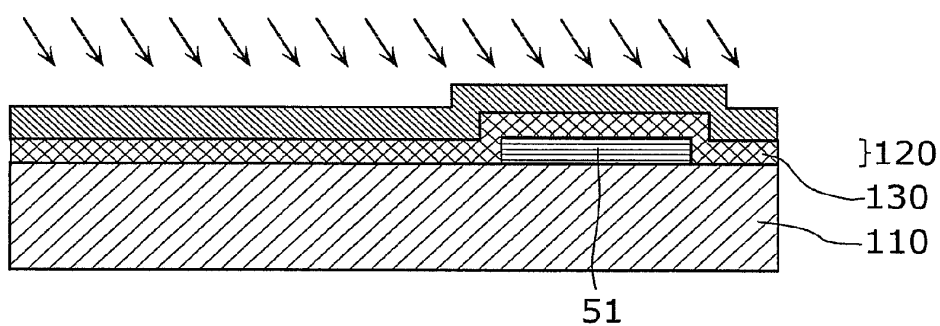


图 11D

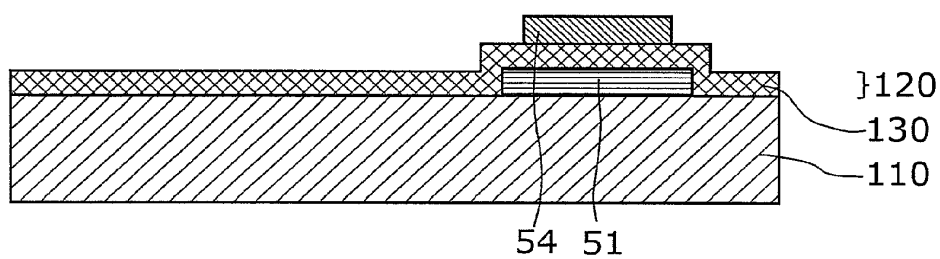


图 11E

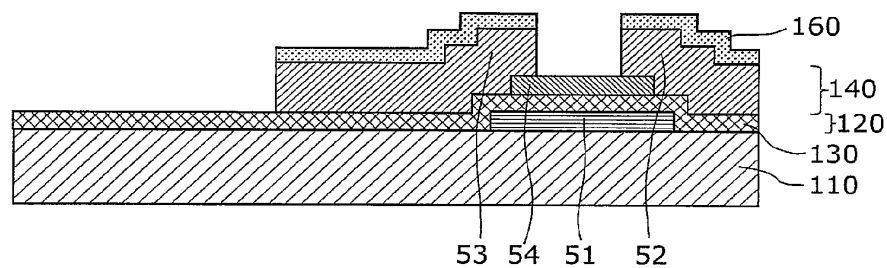


图 11F

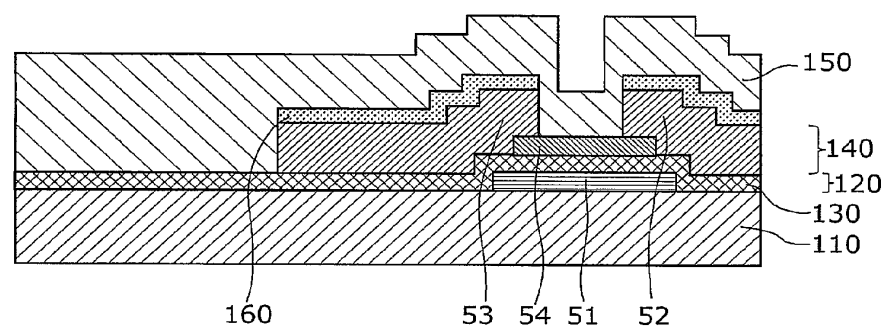


图 11G

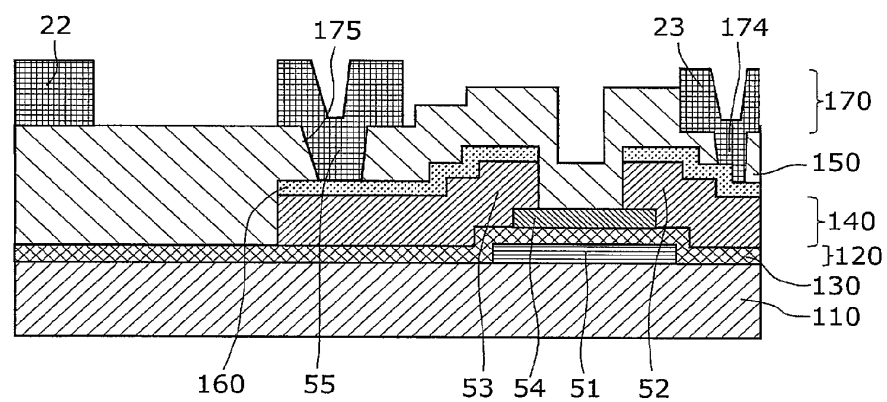


图 11H

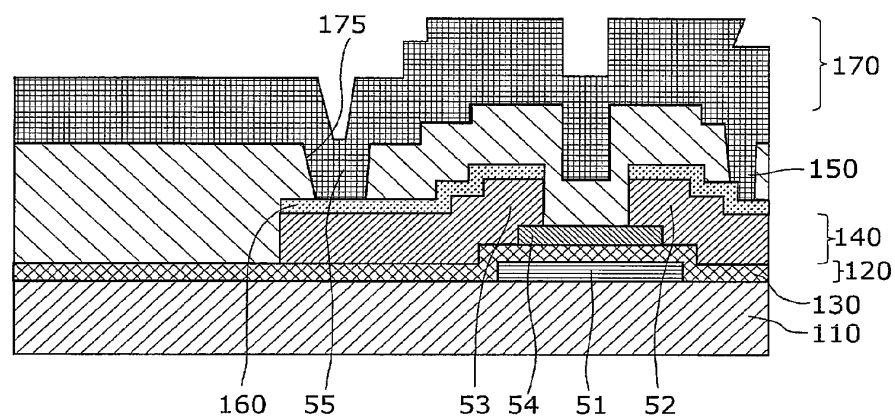


图 12A

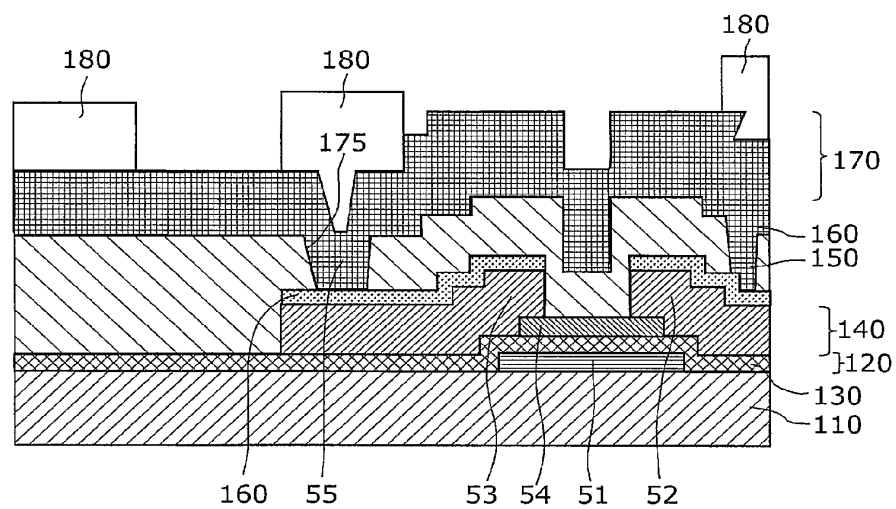


图 12B

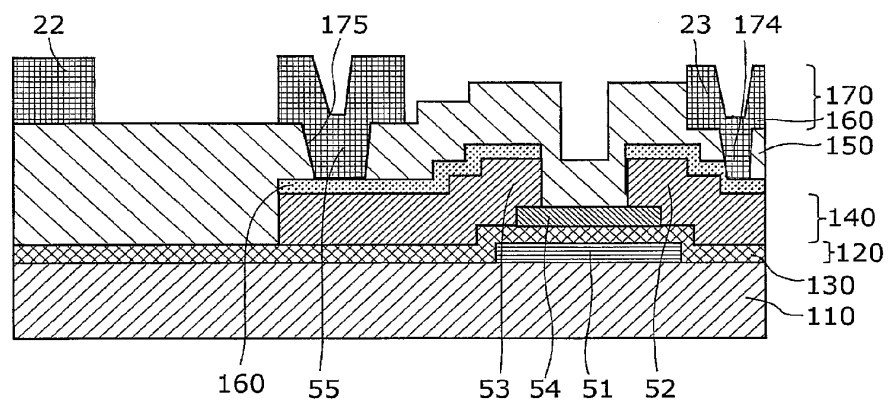


图 12C

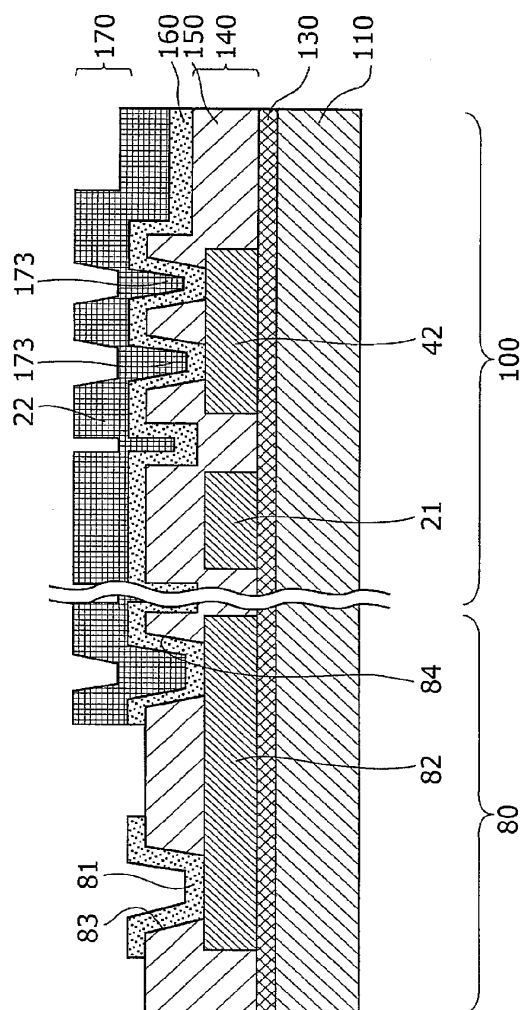


图 13

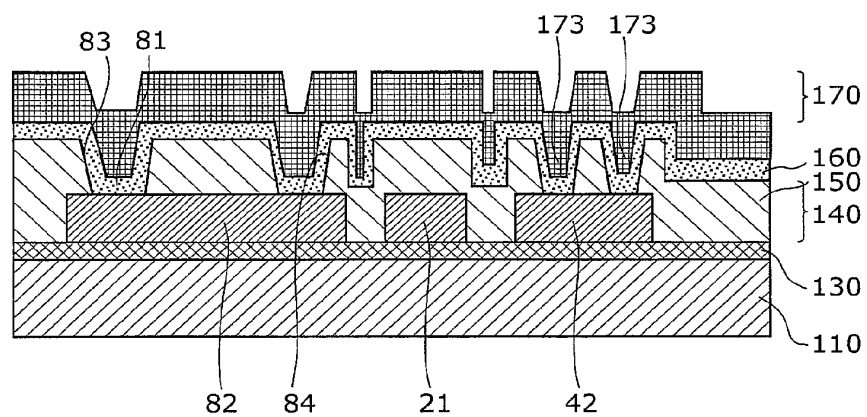


图 14A

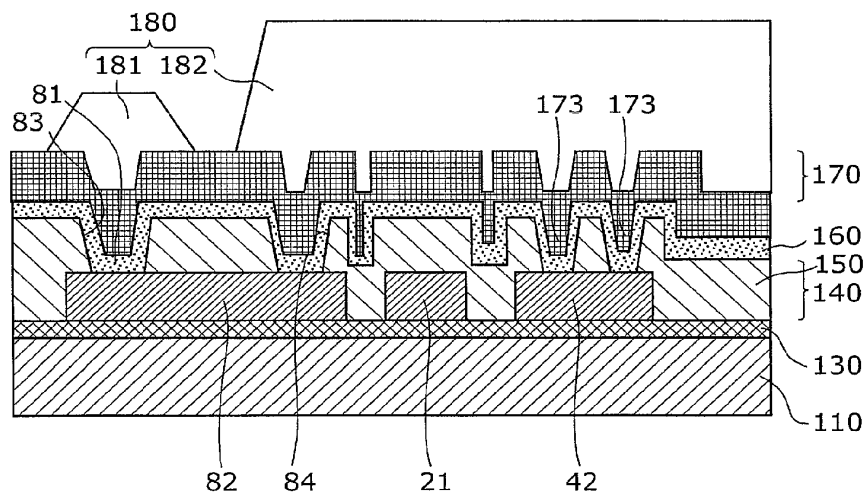


图 14B

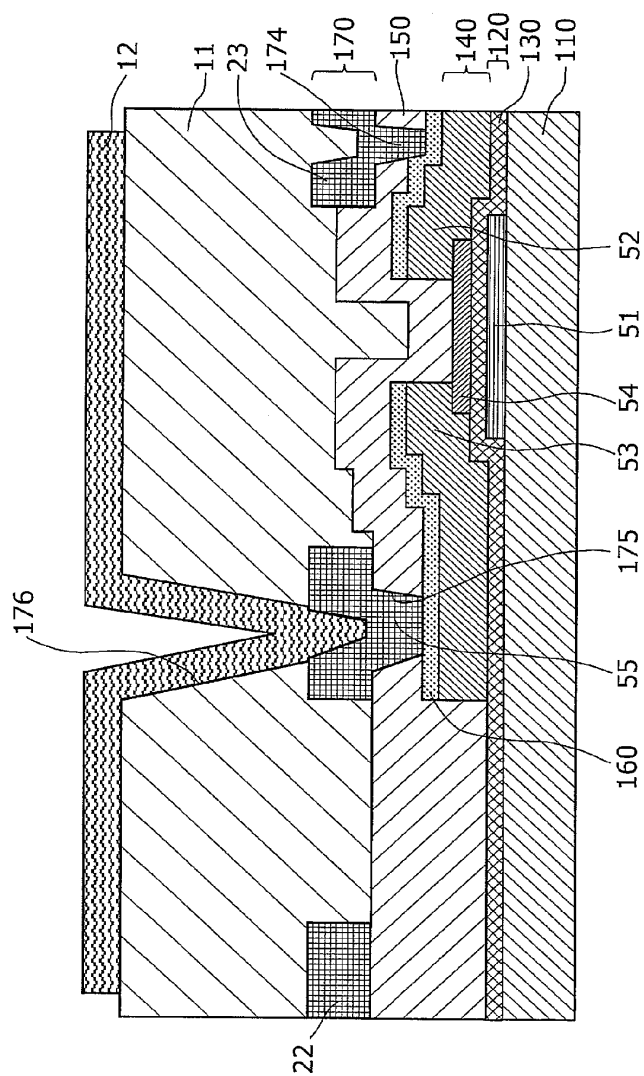


图 15

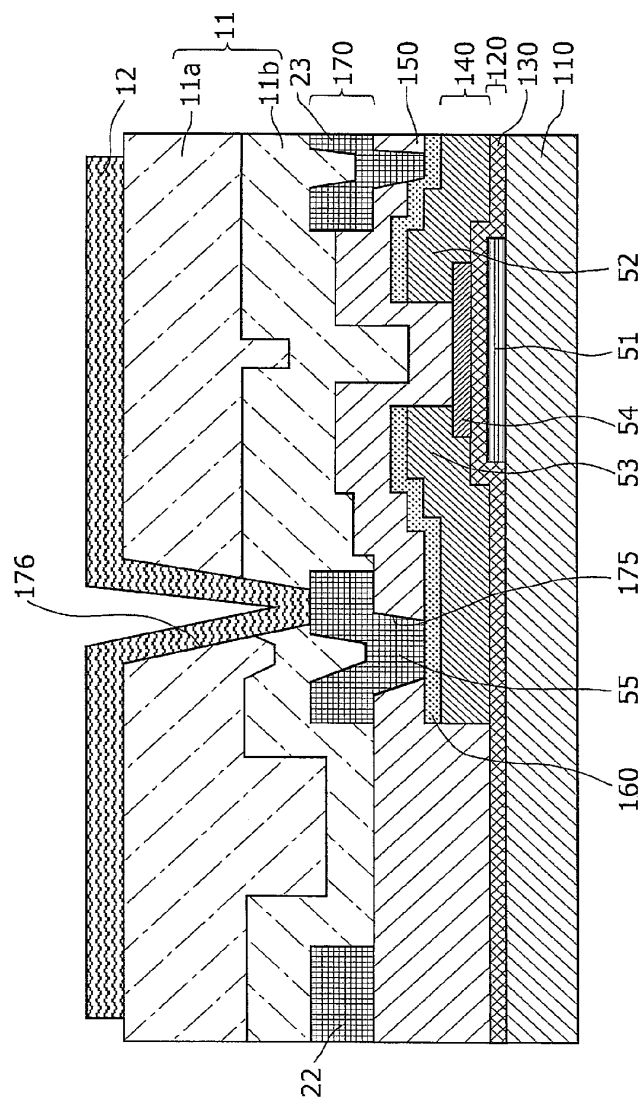


图 16

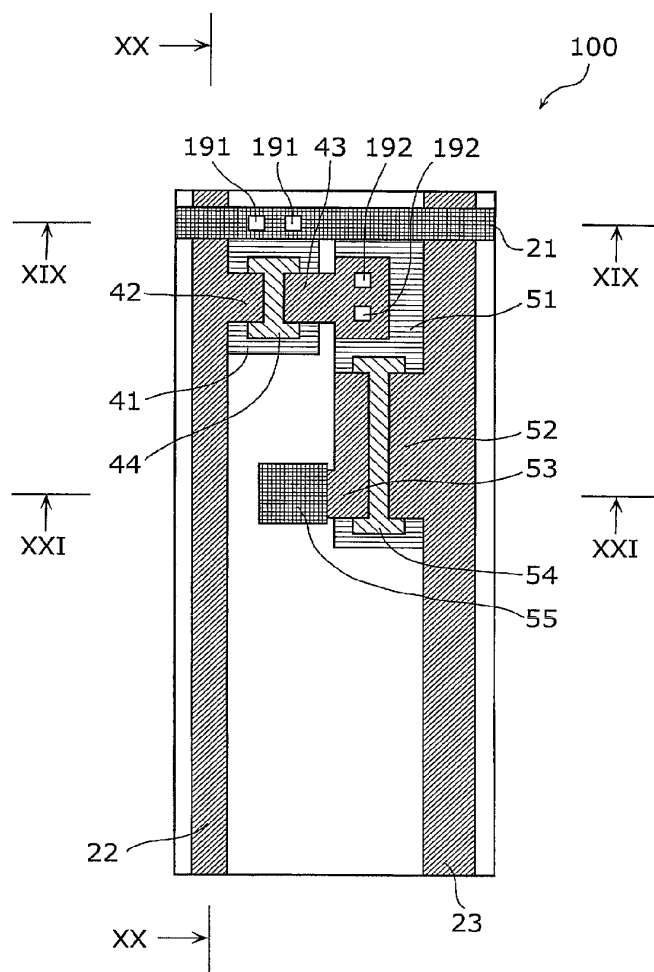


图 18

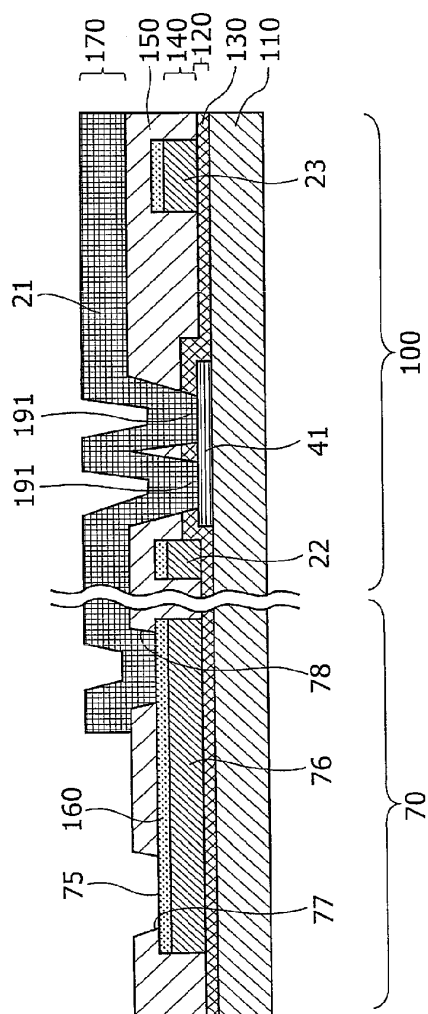


图 19

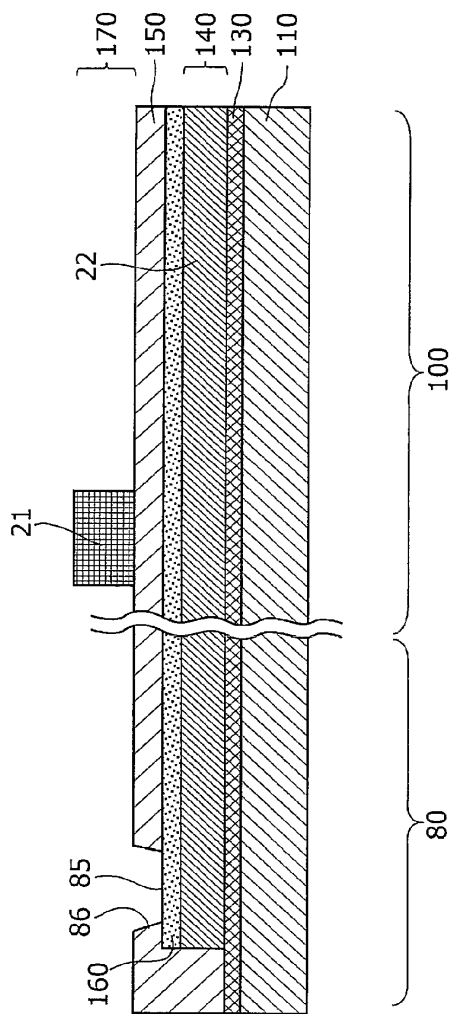


图 20

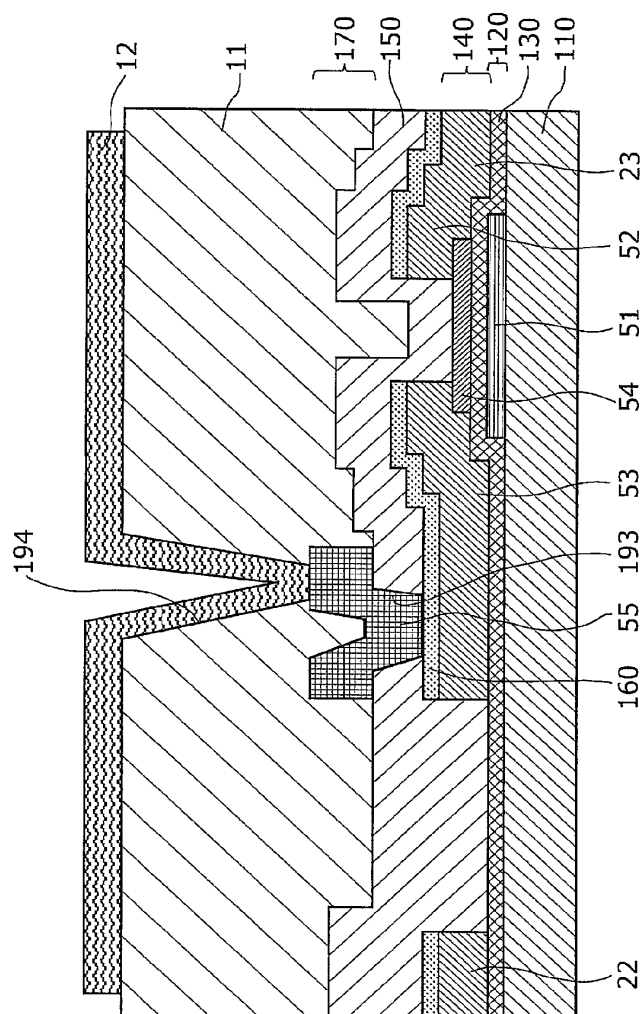


图 21

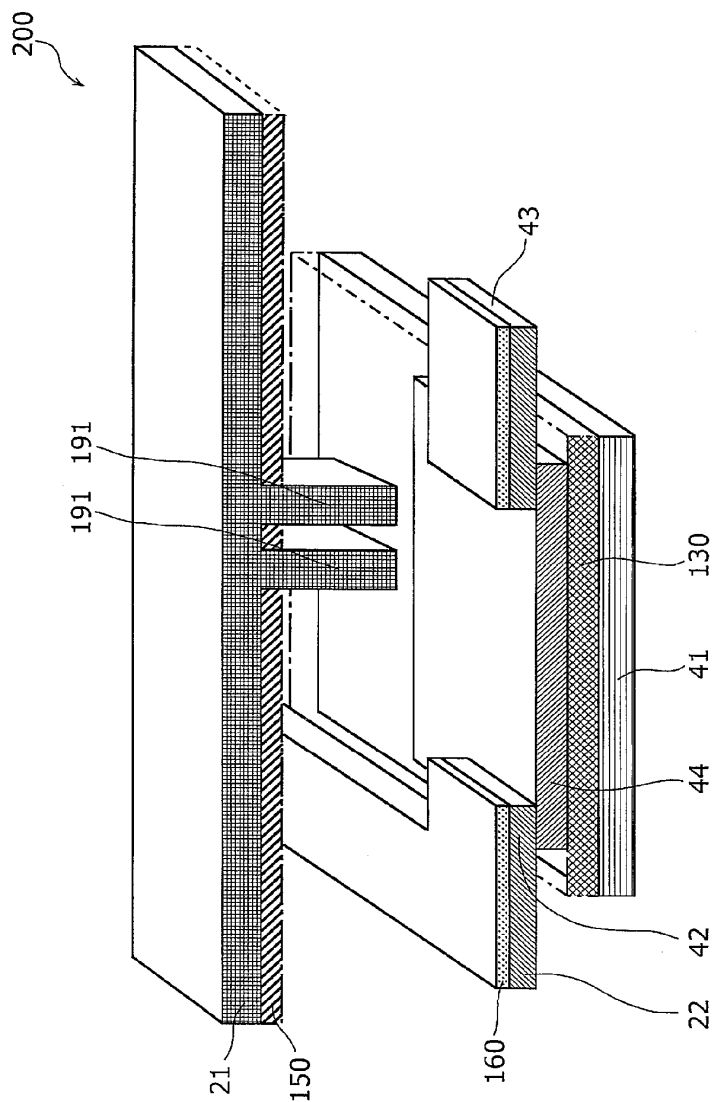


图 22

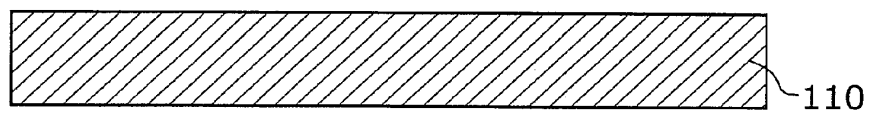


图 23A

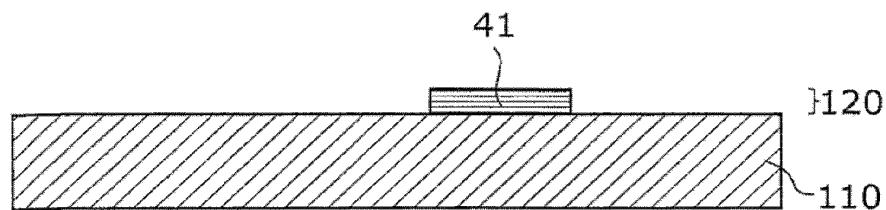


图 23B

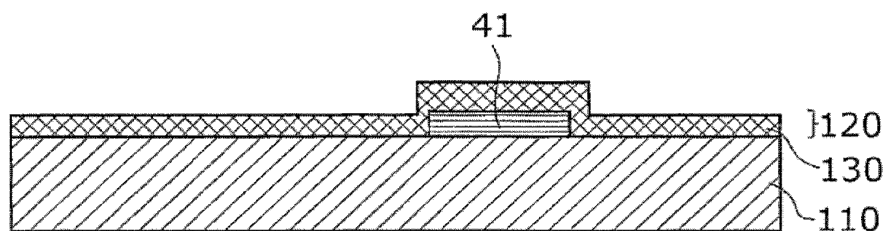


图 23C

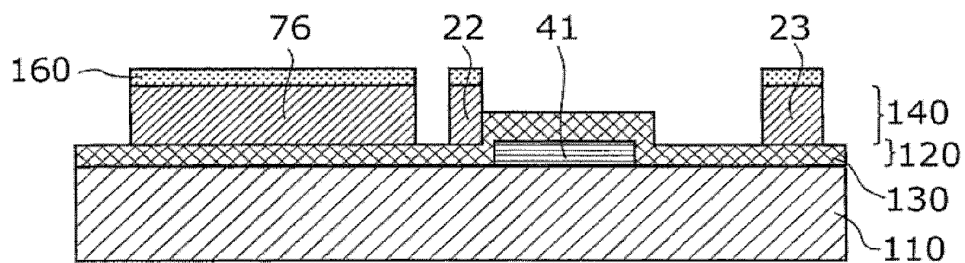


图 23D

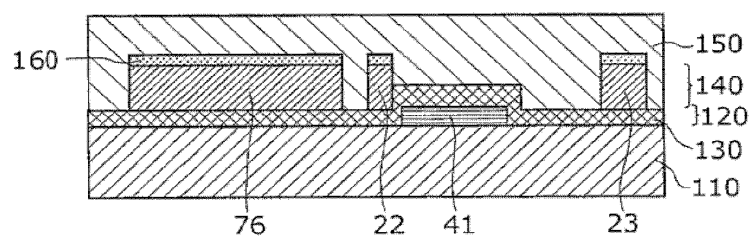


图 23E

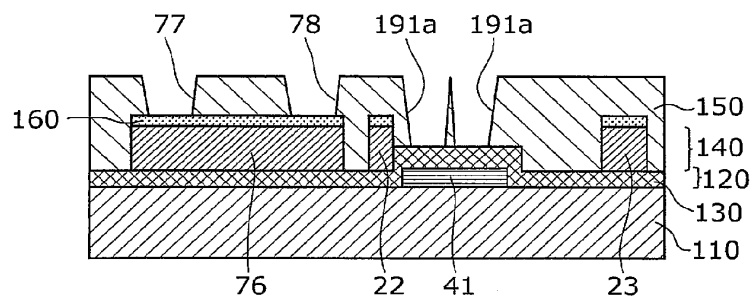


图 23F

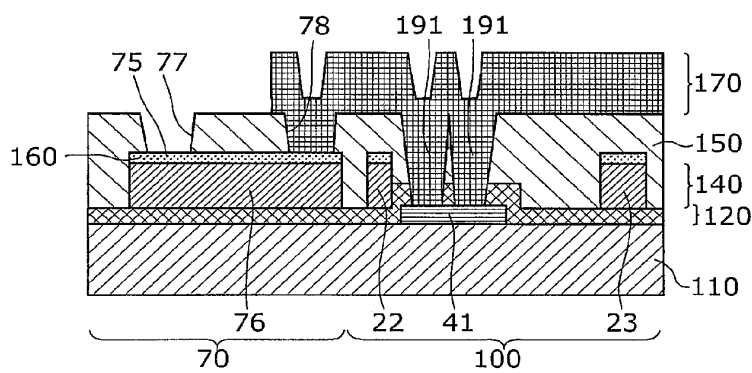


图 23G

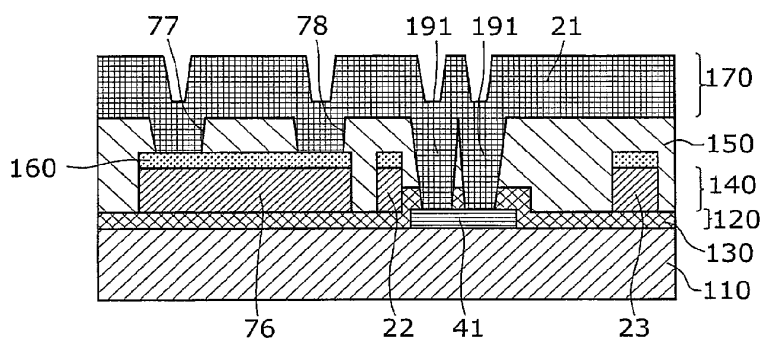


图 24A

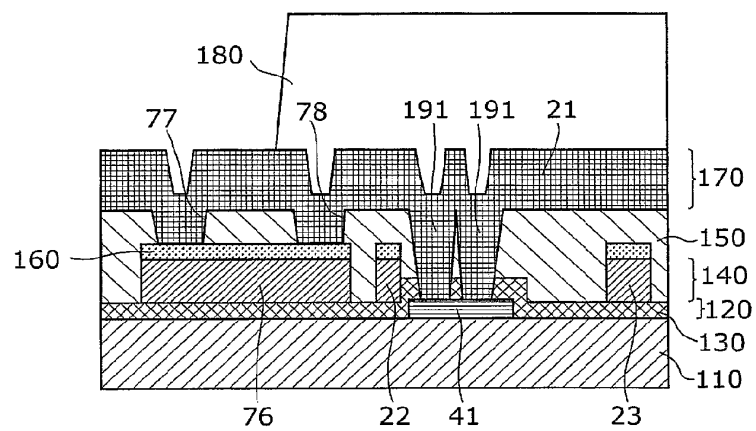


图 24B

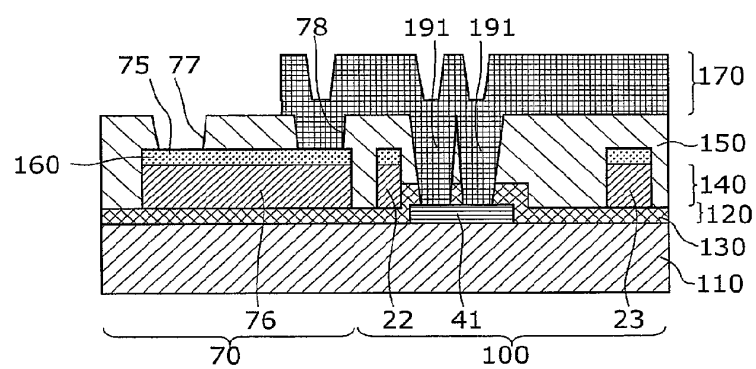


图 24C



图 25A

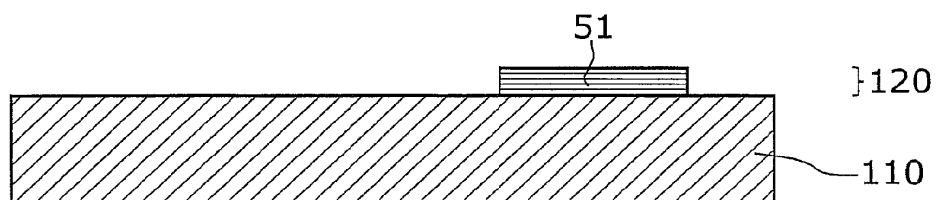


图 25B

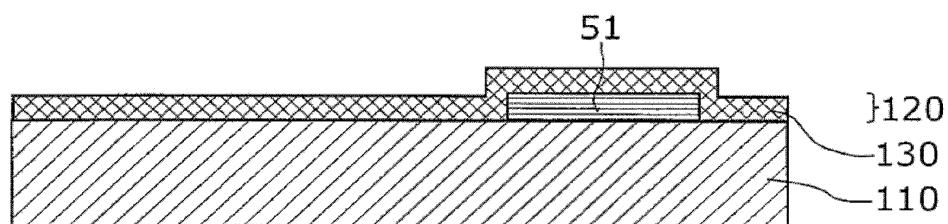


图 25C

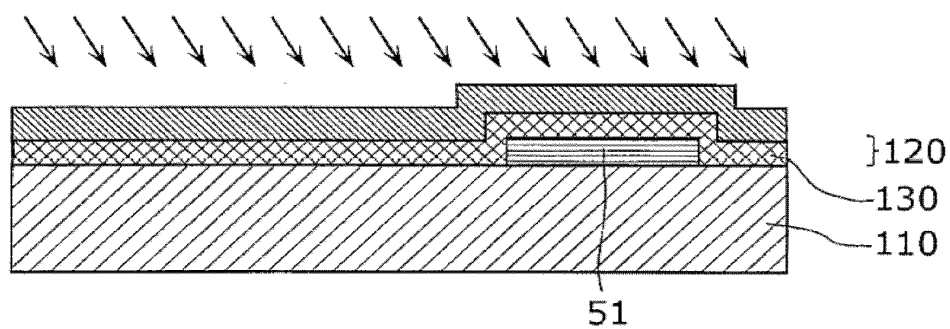


图 25D

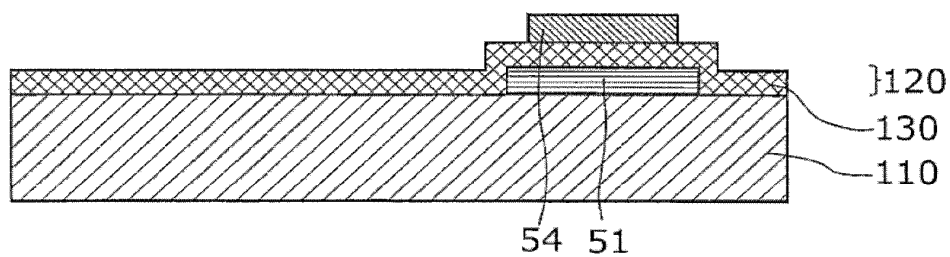


图 25E

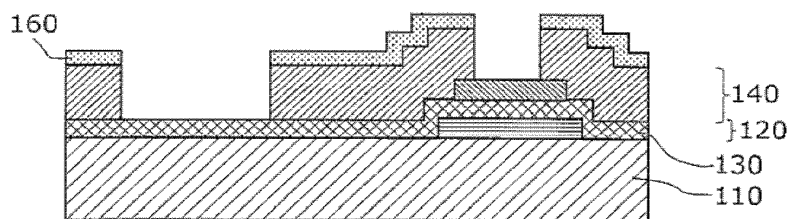


图 25F

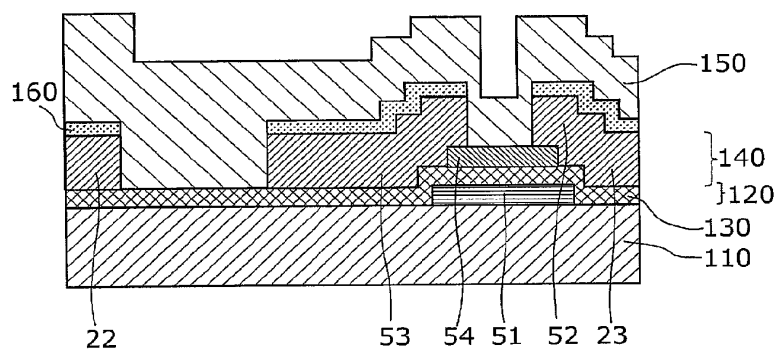


图 25G

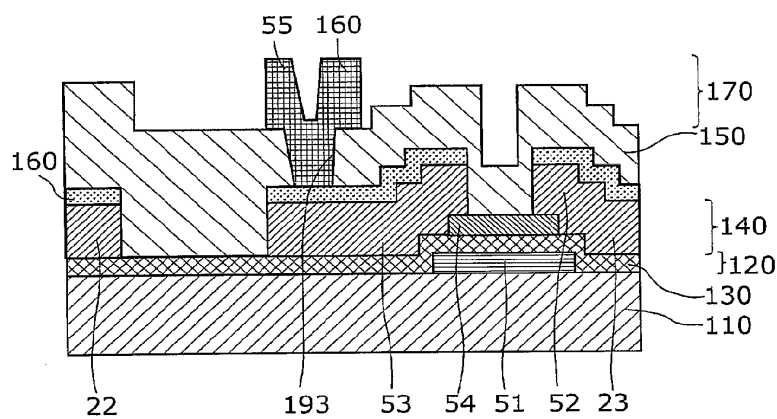


图 25H

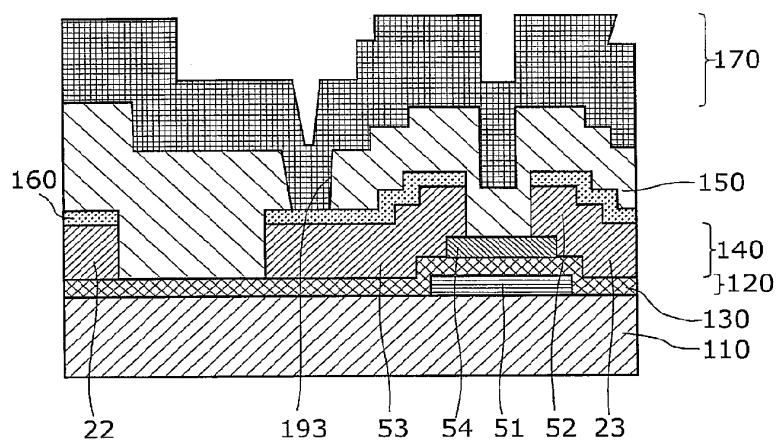


图 26A

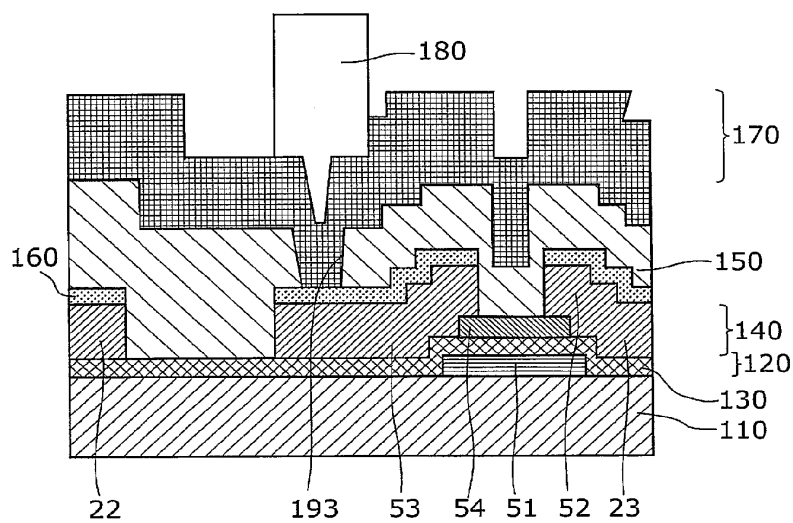


图 26B

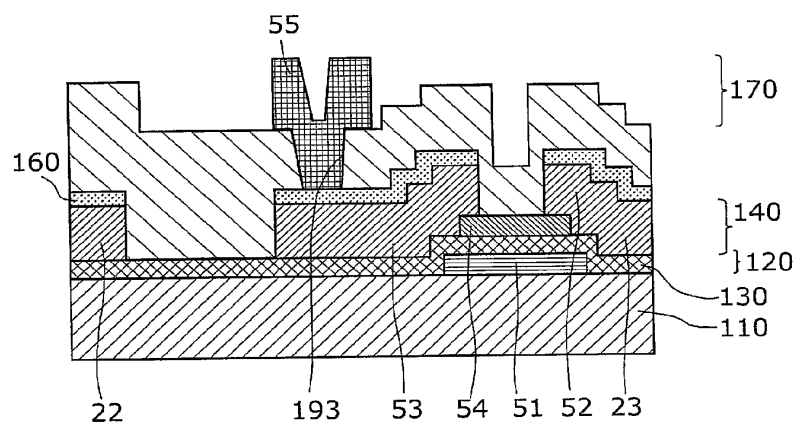


图 26C

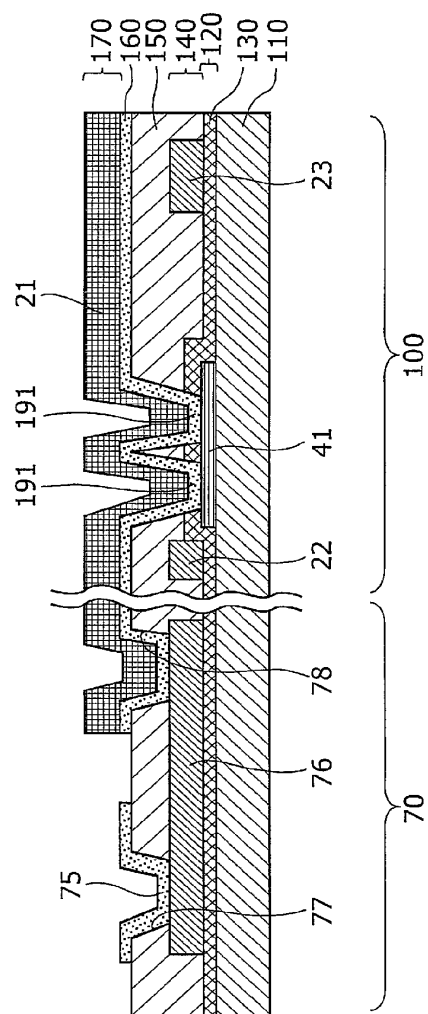


图 27

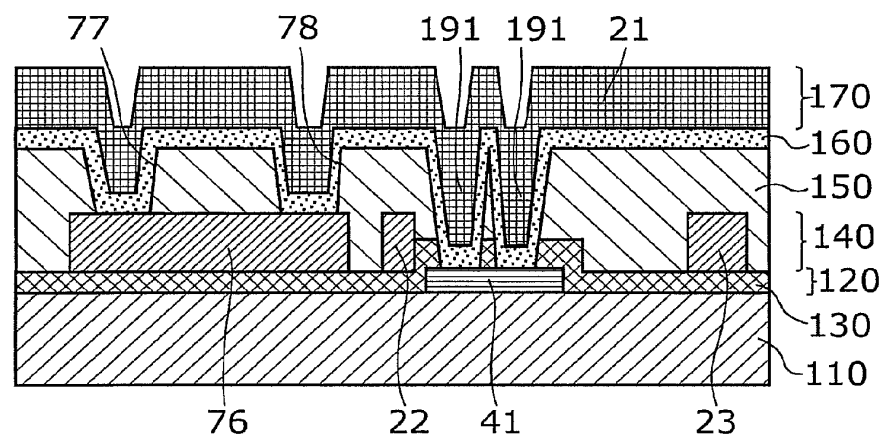


图 28A

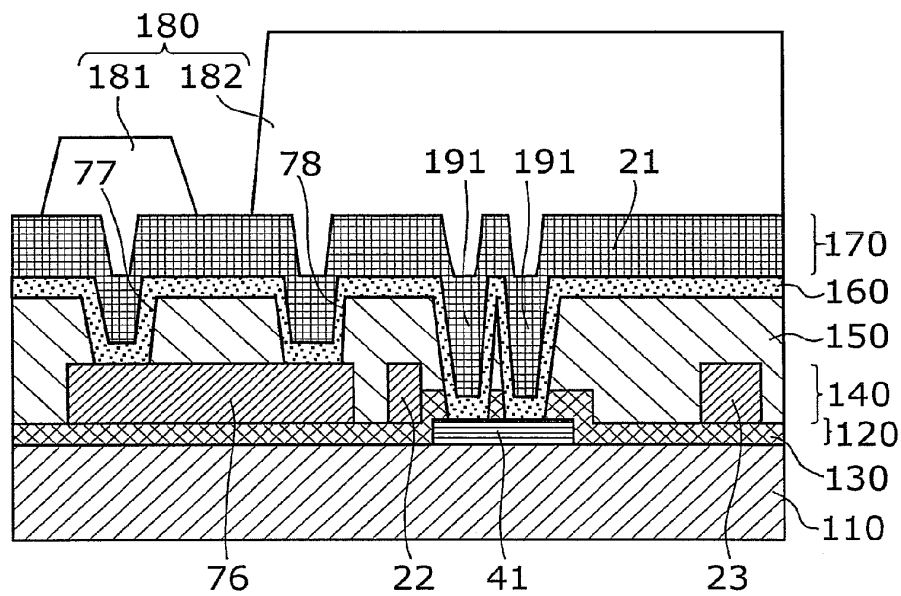


图 28B

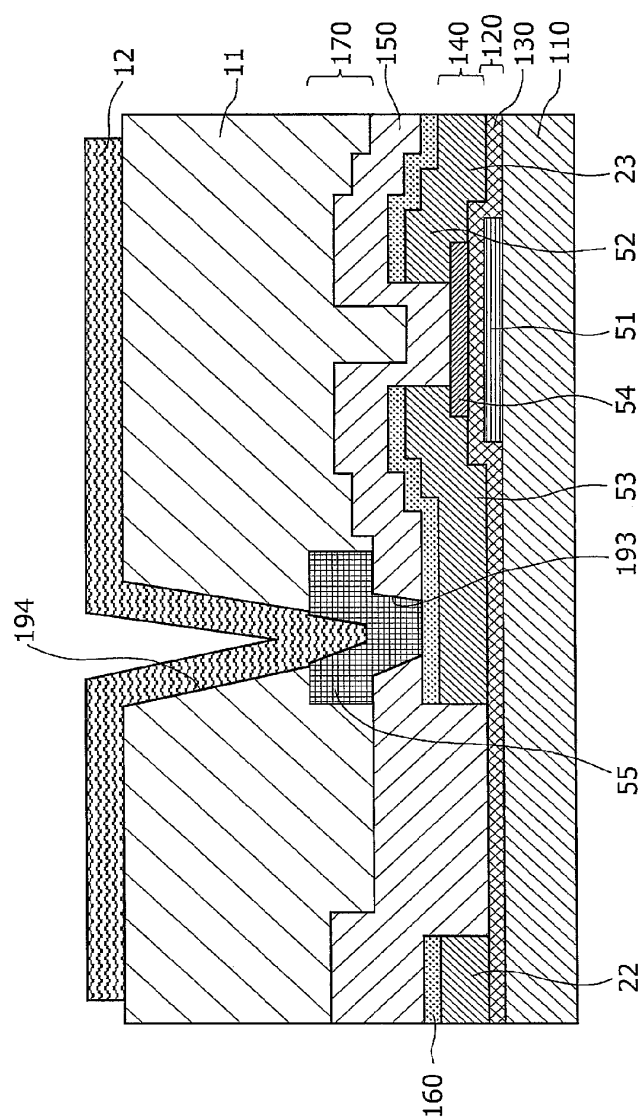


图 29

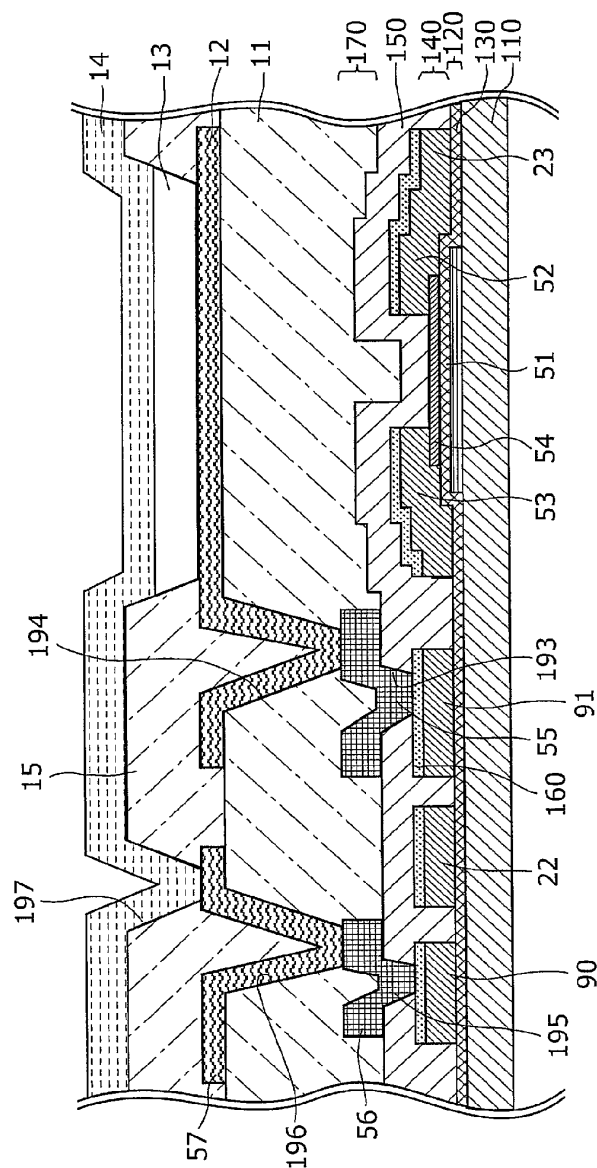


图 31

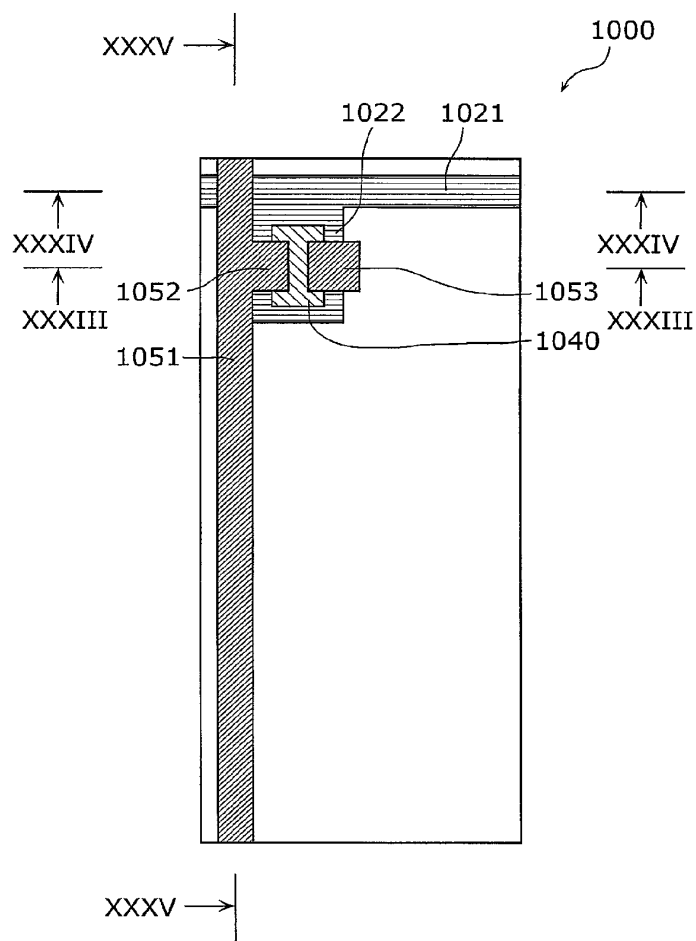


图 32

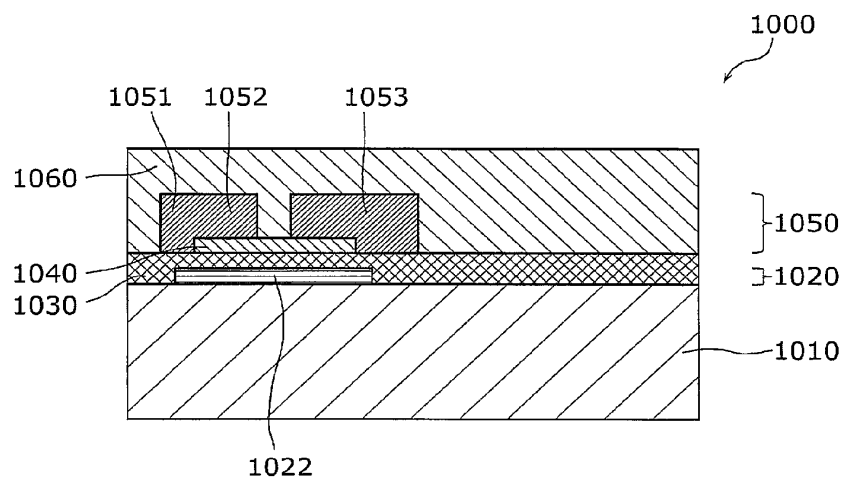


图 33

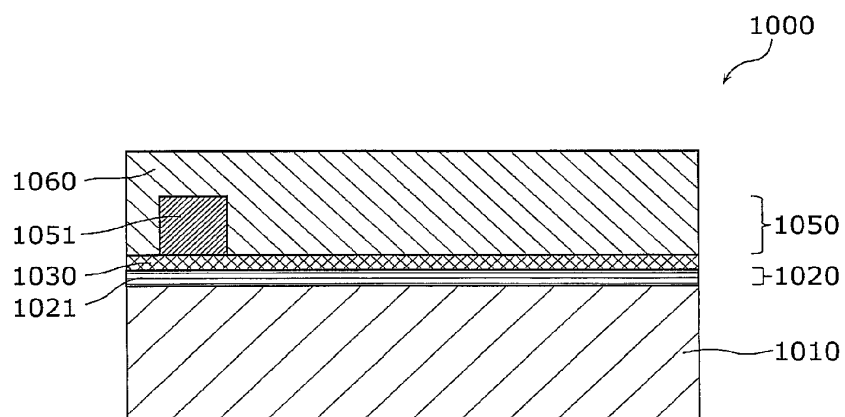


图 34

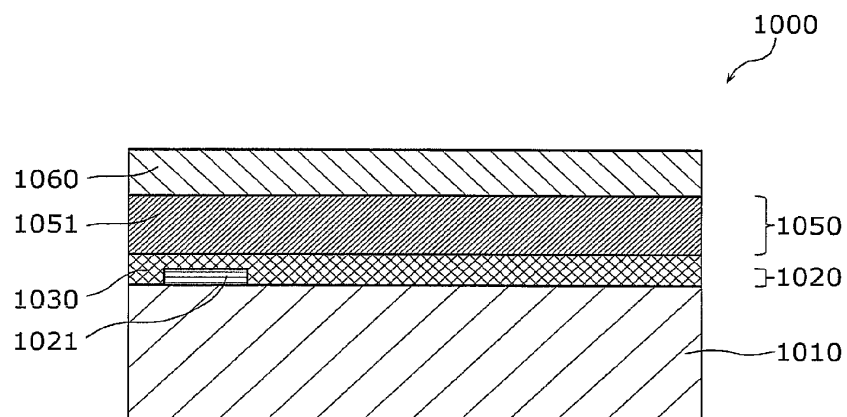


图 35

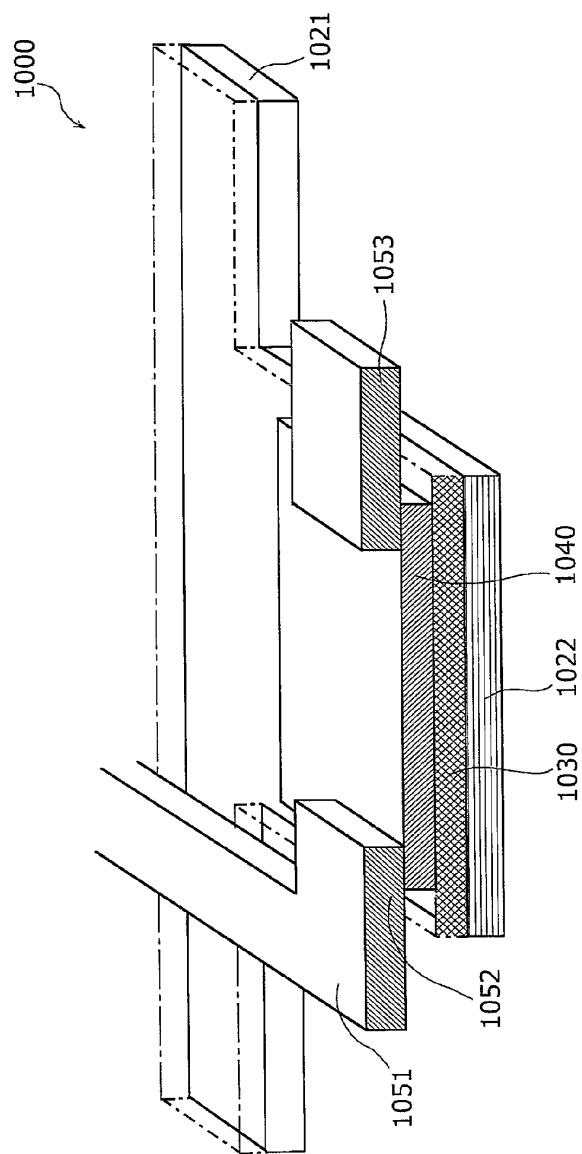


图 36



Espacenet

Bibliographic data: TW201332174 (A) — 2013-08-01

Light emitting device

Inventor(s): YAN JING-YI [TW]; YEH SHU-TANG [TW]; HSU CHIH-CHIEH [TW]; LIN CHEN-WEI [TW]; CHEN KUANG-JUNG [TW] ± (YAN, JING-YI, ; YEH, SHU-TANG, ; HSU, CHIH-CHIEH, ; LIN, CHEN-WEI, ; CHEN, KUANG-JUNG, ; YAN, JING YI, ; YEH, SHU TANG, ; HSU, CHIH CHIEH, ; LIN, CHEN WEI, ; CHEN, KUANG JUNG)

Applicant(s): IND TECH RES INST [TW] ± (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE)

Classification: - international: H01L51/50; H01L51/56
- cooperative: H01L27/3244; H01L51/5228

Application number: TW20120102437 20120120

Priority number(s): TW20120102437 20120120

Also published as: TWI470849 (B) US2013187135 (A1) US8878226 (B2)
CN103219469 (A)

Abstract of TW201332174 (A)

An embodiment of the invention provides a light emitting device including a substrate, and a plurality of light emitting structures disposed thereon. Each of the light emitting structures includes an auxiliary electrode disposed on the substrate and suitable to be used as a cathode, a first insulating layer disposed on the substrate and covering the auxiliary electrode, an electrode disposed on the first insulating layer and suitable to be used as an anode, a second insulating layer disposed on the first insulating layer and having a first opening exposing the electrode, an organic light emitting layer disposed in the first opening to connect the electrode, a cathode disposed on the organic light emitting layer, at least a conducting structure penetrating through the first insulating layer and the second insulating layer and connecting the cathode and the auxiliary electrode,; and a closed ring structure disposed on the second insulating layer and surrounding the cathode, wherein a thickness of the closed ring structure is larger than that of the cathode.



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201332174 A1

(43)公開日：中華民國 102 (2013) 年 08 月 01 日

(21)申請案號：101102437

(22)申請日：中華民國 101 (2012) 年 01 月 20 日

(51)Int. Cl.：

H01L51/50 (2006.01)

H01L51/56 (2006.01)

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：顏精一 YAN, JING YI (TW)；葉樹棠 YEH, SHU TANG (TW)；許智傑 HSU, CHIH CHIEH (TW)；林政偉 LIN, CHEN WEI (TW)；陳光榮 CHEN, KUANG JUNG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：20 項 圖式數：9 共 32 頁

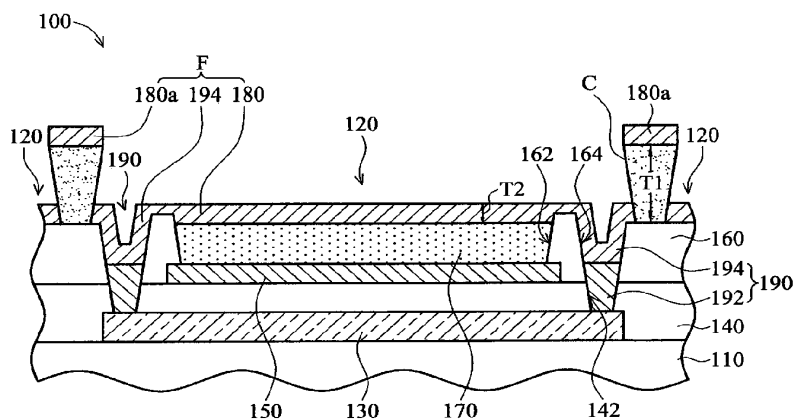
(54)名稱

發光元件

LIGHT EMITTING DEVICE

(57)摘要

本發明一實施例提供一種發光元件，包括：一基板；多個發光結構，配置於基板上，各發光結構包括：一輔助電極，配置於基板上，且適於作為陰極；一第一絕緣層，配置於基板上並覆蓋輔助電極；一電極，配置於第一絕緣層上，且適於作為陽極；一第二絕緣層，配置於第一絕緣層上，且具有一第一開口暴露出電極；一有機發光層，配置於第一開口中以連接電極；一陰極，配置於有機發光層上；至少一導通結構，貫穿第一絕緣層與第二絕緣層，並連接陰極與輔助電極；以及一封閉環形結構，配置於第二絕緣層上且圍繞陰極，其中封閉環形結構的厚度大於陰極的厚度。



100：發光元件

110：基板

120：發光結構

130：輔助電極

140：第一絕緣層

142：第一貫孔

150：第一電極

160：第二絕緣層

162：第一開口

164：第二貫孔

170：第一有機發光層

180：陰極

180a：導電層

190：導通結構

192：第一導電插塞

194：第二導電插塞

TW 201332174 A1

C：封閉環形結構

F：膜層

T1：厚度

T2：厚度

六、發明說明：

【發明所屬之技術領域】

本發明有關於發光元件，且特別是有關於有機發光元件。

【先前技術】

有機發光二極體具有輕、薄、自發光、廣視角、解析度佳、高亮度、低耗電及高應答速度等優點，因此廣泛地應用在平面顯示器。有機發光二極體之基本構造包括陰極、陽極、以及夾於陰極與陽極之間的有機層。

習知的有機發光二極體顯示器中的多個有機發光二極體係共用一個陰極。當將有機發光二極體應用於大面積的顯示器時，由於陰極的面積相當大，因此，位於不同位置的陰極電阻值差異大，容易產生壓降的問題，以致於畫面顯示效果不佳。此外，由於陰極的面積相當大，因此，需要對陰極施加相當大的電流才能驅動有機發光二極體，然而，大電流容易導致元件壽命減少。

【發明內容】

本發明一實施例提供一種發光元件，包括：一基板；多個發光結構，配置於基板上，各發光結構包括：一輔助電極，配置於基板上，且適於作為陰極；一第一絕緣層，配置於基板上並覆蓋輔助電極；一第一電極，配置於第一絕緣層上，且適於作為陽極；一第二絕緣層，配置於第一絕緣層上，且具有一第一開口暴露出第一電極；一第一有

機發光層，配置於第一開口中以連接第一電極；一陰極，配置於第一有機發光層上；至少一導通結構，貫穿第一絕緣層與第二絕緣層，並連接陰極與輔助電極；以及一封閉環形結構，配置於第二絕緣層上且圍繞陰極，其中封閉環形結構的厚度大於陰極的厚度。

【實施方式】

以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本發明，不代表所討論之不同實施例及/或結構之間具有任何關連性。再者，當述及一第一材料層位於一第二材料層上或之上時，包括第一材料層與第二材料層直接接觸或間隔有一或更多其他材料層之情形。在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。再者，圖中未繪示或描述之元件，為所屬技術領域中具有通常知識者所知的形式。

第 1A 圖繪示本發明一實施例之發光元件的剖面圖，第 1B 圖繪示第 1A 圖的上視圖。請同時參照第 1A 圖與第 1B 圖，本實施例之發光元件 100 包括一基板 110 以及多個配置於基板 110 上的發光結構 120，其中各發光結構 120 包括一輔助電極 130、一第一絕緣層 140、一第一電極 150、一第二絕緣層 160、一第一有機發光層 170、一陰極 180、

多個導通結構 190、以及一封閉環形結構 C。

輔助電極 130 配置於基板 110 上，且適於作為陰極。輔助電極 130 的材質例如為銦錫氧化物、銦鋅氧化物、或是其他導電性質良好的材料。在一實施例中，輔助電極 130 係位於第一電極 150 的正下方。

第一絕緣層 140 配置於基板 110 上並覆蓋輔助電極 130。第一電極 150 配置於第一絕緣層 140 上，且適於作為陽極。第二絕緣層 160 配置於第一絕緣層 140 上，且具有一第一開口 162 暴露出第一電極 150。第一有機發光層 170 配置於第一開口 162 中以連接第一電極 150。

陰極 180 配置於第一有機發光層 170 上。陰極 180 的材質例如為鋁、銀、或是其他導電性質良好的材料。在一實施例中，一導電層 180a 係位於封閉環形結構 C 上，且導電層 180a 與陰極 180 係於同一沉積製程中形成，故兩者材質相同。

導通結構 190 係貫穿第一絕緣層 140 與第二絕緣層 160，並連接陰極 180 與輔助電極 130。詳細而言，在一實施例中，第一絕緣層 140 具有第一貫孔 142，第二絕緣層 160 具有第二貫孔 164 連通第一貫孔 142，且導通結構 190 具有一位於第一貫孔 142 中的第一導電插塞 192 與一位於第二貫孔 164 中的第二導電插塞 194。在一實施例中，第一導電插塞 192 與第一電極 150 係於同一沉積製程中形成，第二導電插塞 194 與陰極 180 係於同一沉積製程中形成。

封閉環形結構 C 配置於第二絕緣層 160 上且圍繞陰極

180，其中封閉環形結構 C 的厚度 T1 大於陰極 180 的厚度 T2。在一實施例中，封閉環形結構 C 的截面形狀係呈倒梯狀。封閉環形結構 C 的材質包括感光性的有機材料。在其他實施例中，封閉環形結構 C 的截面形狀亦可呈方形或是其他適合的形狀。

值得注意的是，本實施例的多個發光結構 120 係藉由封閉環形結構 C 斷開彼此的陰極 180，以使這些發光結構 120 的陰極 180 彼此獨立。由於各陰極 180 係與對應的輔助電極 130 電性連接，因此，可藉由輔助電極 130 對各陰極 180 施加電壓（或電流）。換言之，本實施例是以多個獨立的小面積陰極 180 以及（與陰極 180 相連的）輔助電極 130 取代習知大面積的共用陰極。因此，本實施例可有效減少各個陰極 180 的面積，進而避免習知因陰極面積偏大而產生的壓降問題以及需高驅動電流的問題，進而可提昇畫面顯示效果以及提高元件壽命。

在一實施例中，發光元件 100 係為一底發光式的發光元件，其輔助電極 130 與第一電極 150 的材質例如為透明導電材料（如銦錫氧化物、或銦鋅氧化物）。

在另一實施例中，發光元件 100 係為一雙面發光式的發光元件，其輔助電極 130、第一電極 150、與陰極 180 係為透明膜層。陰極 180 可為一厚度相當薄（約 1000 埃）的導電膜層（材質為鋁或銀）。

在又一實施例中，發光元件 100 係為一頂發光式的發光元件，其陰極 180 係為一透明膜層，且其電極的材質例如為高反射性材料（如銀、或鋁）。

以下將介紹本實施例之發光元件 100 的製作方法。

第 2 圖係繪示本發明一實施例之發光元件的製程剖面圖。請參照第 2 圖，首先，提供基板 110。接著，於基板 110 上形成多個發光結構 120。詳細而言，各發光結構 120 的形成方法例如為以濺鍍的方式在基板 110 上形成輔助電極 130。之後，於基板 110 上形成第一絕緣層 140 並圖案化第一絕緣層 140，以使第一絕緣層 140 具有暴露出輔助電極 130 的第一貫孔 142。

然後，於第一絕緣層 140 上形成一導電層（未繪示），該導電層延伸入第一貫孔 142 中。之後，圖案化該導電層，以形成第一電極 150 與位於第一貫孔 142 中的第一導電插塞 192。接著，於第一絕緣層 140 上形成第二絕緣層 160，並圖案化第二絕緣層 160，以使其具有暴露出第一電極 150 的第一開口 162 與暴露出第一導電插塞 192 的第二貫孔 164。然後，於第二絕緣層 160 上形成同時圍繞第二貫孔 164 與第一開口 162 的封閉環形結構 C。然後，例如以蒸鍍或是噴墨的方式於第一開口 162 中形成第一有機發光層 170。

接著，請參照第 1A 圖，例如以蒸鍍的方式在第一有機發光層 170、第二絕緣層 160、第一導電插塞 192、以及封閉環形結構 C 的頂面上全面形成一膜層 F，膜層 F 包括位於第一有機發光層 170 上的陰極 180、位於第一導電插塞 192 上的第二導電插塞 194、以及位於封閉環形結構 C 上的導電層 180a。在本實施例中，第二導電插塞 194 係順應性地覆蓋第二貫孔 164 的側壁與底部。由於封閉環形結構 C

的厚度 $T1$ 大於陰極 180 的厚度 $T2$ ，因此，可有效斷開兩相鄰發光結構 120 的陰極 180。

第 3 圖繪示本發明一實施例之發光元件的製程剖面圖。請參照第 3 圖，在形成膜層 F 之後，可選擇性地在第二貫孔 164 內的第二單元 194 上沉積一厚金屬層 310，其中厚金屬層 310 的厚度 $T3$ 大於陰極 180 的厚度 $T2$ 。此外，在形成厚金屬層 310 的同時，亦可選擇性地在封閉環形結構 C 上沉積導電層 310a。此時，由於封閉環形結構 C 的厚度 $T1$ 可大於厚金屬層 310 的厚度 $T3$ ，因此，仍可有效斷開厚金屬層 310 與導電層 310a。

由於以蒸鍍的方式形成的膜層 F 的厚度較薄，因此，於第二單元 194 上形成厚金屬層 310 可有效確保輔助電極 130 與陰極 180 之間的電性連接品質不受膜層 F 的第二單元 194 覆蓋性不佳的影響。在本實施例中，厚金屬層 310 係位於第二導電插塞 194 上。

第 4 圖繪示本發明另一實施例之發光元件的製程剖面圖。請參照第 4 圖，在另一實施例中，可在形成第二導電插塞 194 之前，先在第二貫孔 164 內形成厚金屬層 410，因此，第二導電插塞 194 可位於厚金屬層 410 上。在一實施例中，厚金屬層 410 可至少填滿一半的第二貫孔 164。由於膜層 F 不易均勻地覆蓋高深寬比的第二貫孔 164（尤其是貫孔內壁），因此，先於第二貫孔 164 內形成厚金屬層 410 可降低其深寬比，而有助於在第二貫孔 164 內形成厚度均勻的膜層 F，以使陰極 180 可良好地電性連接至輔助電極 130。

此外，在形成厚金屬層 410 的同時，亦可選擇性地在封閉環形結構 C 上沉積導電層 410a。此時，與陰極 180 於同一蒸鍍製程中形成的導電層 180a 可形成在導電層 410a 上。

第 5A 圖繪示本發明另一實施例之發光元件的上視圖，第 5B 圖繪示第 5A 圖之發光元件沿 I-I 線段的剖面圖。請同時參照第 5A 圖與第 5B 圖，本實施例之發光元件 500 係相似於第 1A 圖的發光元件 100，兩者的差異之處在於本實施例之發光元件 500 的發光結構 510 更包括一第二電極 520 以及一第二有機發光層 530。

詳細而言，第二電極 520 配置於第一絕緣層 140 上且與第一電極 150 彼此分離，且第二電極 520 適於作為陽極，且第二絕緣層 160 更具有一第二開口 166 暴露出第二電極 520。第二有機發光層 530 配置於第二開口 166 中以連接第二電極 520，且陰極 180 亦配置於第二有機發光層 530 上。

換言之，本實施例之封閉環形結構 C 係圍繞多個共用陰極 180 但不共用電極的發光單元（第一發光單元 L1 與第二發光單元 L2）。第一發光單元 L1 包括第一電極 150、第一有機發光層 170、與陰極 180，而第二發光單元 L2 包括第二電極 520、第二有機發光層 530、與陰極 180。由於第一電極 150 與第二電極 520 係彼此分離，因此，可分開控制第一發光單元 L1 與第二發光單元 L2。

第 6 圖係繪示本發明另一實施例之發光元件的剖面圖。請參照第 6 圖，本實施例之發光元件 600 係相似於第 1A 圖的發光元件 100，兩者的差異之處在於本實施例之發

光元件 600 更包括一配置於陰極 180 上的上蓋 610，且封閉環形結構 C 係支撐於上蓋 610 與第二絕緣層 160 之間，以於上蓋 610 與陰極 180 之間形成一封閉空腔 B。此外，可選擇性地在於上蓋 610 與封閉環形結構 C 之間形成一黏著層 A。

值得注意的是，由於本實施例之陰極 180 與上蓋 610 之間隔有封閉空腔 B，因此，當將發光元件 600 用於軟性顯示器時，受到彎折的陰極 180 可自由地釋放應力，而不會因為受到上蓋 610 的拉扯而破裂。

第 7 圖係繪示本發明一實施例之發光元件的剖面圖。請參照第 7 圖，在本實施例中，多個發光結構 120 的輔助電極 130 係彼此分離且電性絕緣。

第 8 圖係繪示本發明另一實施例之發光元件的剖面圖。請參照第 8 圖，在另一實施例中，多個發光結構 120 的輔助電極 130 係彼此相連。

第 9 圖係繪示本發明一實施例之發光元件的剖面圖。請參照第 9 圖，本實施例之發光元件 900 係相似於第 1A 圖的發光元件 100，兩者的差異之處在於本實施例之發光元件 900 係為一主動式有機發光二極體元件，其發光結構 910 更包括一第一薄膜電晶體 920 以及一第二薄膜電晶體 930。

詳細而言，第一薄膜電晶體 920 與第二薄膜電晶體 930 配置於基板 110 上。第一薄膜電晶體 920 的一第三電極（源極或汲極）922 係電性連接第二薄膜電晶體 930 的一閘極 932。第四電極 934 與第五電極 936 係為第二薄膜電晶體

930 的一源極與一汲極其中之一與另一。第五電極 936 與第一電極 150 電性連接。

綜上所述，由於本發明的多個發光結構已藉由封閉環形結構斷開彼此的陰極，且各陰極係與對應的輔助電極電性連接，因此，本發明可以多個獨立的小面積陰極以及輔助電極取代習知大面積的共用陰極，故可避免習知因陰極面積偏大而產生的壓降問題以及需要高驅動電流的問題，進而可提昇畫面顯示效果以及提高元件壽命。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖繪示本發明一實施例之發光元件的剖面圖。

第 1B 圖繪示第 1A 圖的上視圖。

第 2 圖係繪示本發明一實施例之發光元件的製程剖面圖。

第 3 圖繪示本發明一實施例之發光元件的製程剖面圖。

第 4 圖繪示本發明另一實施例之發光元件的製程剖面圖。

第 5A 圖繪示本發明一實施例之發光元件的上視圖。

第 5B 圖繪示第 5A 圖之發光元件沿 I-I 線段的剖面圖。

第 6 圖係繪示本發明另一實施例之發光元件的剖面圖。

第 7 圖係繪示本發明一實施例之發光元件的剖面圖。

第 8 圖係繪示本發明另一實施例之發光元件的剖面圖。

第 9 圖係繪示本發明一實施例之發光元件的剖面圖。

【主要元件符號說明】

100、500、600、900~發光元件； 110~基板；

120、510、910~發光結構； 130~輔助電極；

140~第一絕緣層； 142~第一貫孔；

150~第一電極； 160~第二絕緣層；

162~第一開口； 164~第二貫孔；

166~第二開口； 170~第一有機發光層；

180~陰極； 180a~導電層；

190~導通結構； 192~第一導電插塞；

194~第二導電插塞； 310、410~厚金屬層；

201332174

310a、410a~導電層；
530~第二有機發光層；
920~第一薄膜電晶體；
930~第二薄膜電晶體；
934~第四電極；
A~黏著層；
C~封閉環形結構；
L1~第一發光單元；
T1、T2、T3~厚度。

520~第二電極；
610~上蓋；
922~第三電極；
932~閘極；
936~第五電極；
B~封閉空腔；
F~膜層；
L2~第二發光單元；

201332174

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101102437

※ 申請日：101.1.20 ※IPC 分類：H01L 51/50 :2006.01

一、發明名稱：(中文/英文) H01L 51/50 :2006.01

發光元件 / Light emitting device

二、中文發明摘要：

本發明一實施例提供一種發光元件，包括：一基板；多個發光結構，配置於基板上，各發光結構包括：一輔助電極，配置於基板上，且適於作為陰極；一第一絕緣層，配置於基板上並覆蓋輔助電極；一電極，配置於第一絕緣層上，且適於作為陽極；一第二絕緣層，配置於第一絕緣層上，且具有一第一開口暴露出電極；一有機發光層，配置於第一開口中以連接電極；一陰極，配置於有機發光層上；至少一導通結構，貫穿第一絕緣層與第二絕緣層，並連接陰極與輔助電極；以及一封閉環形結構，配置於第二絕緣層上且圍繞陰極，其中封閉環形結構的厚度大於陰極的厚度。

三、英文發明摘要：

An embodiment of the invention provides a light emitting device including a substrate, and a plurality of light emitting structures disposed thereon. Each of the light emitting structures includes an auxiliary electrode disposed

201332174

on the substrate and suitable to be used as a cathode, a first insulating layer disposed on the substrate and covering the auxiliary electrode, an electrode disposed on the first insulating layer and suitable to be used as an anode, a second insulating layer disposed on the first insulating layer and having a first opening exposing the electrode, an organic light emitting layer disposed in the first opening to connect the electrode, a cathode disposed on the organic light emitting layer, at least a conducting structure penetrating through the first insulating layer and the second insulating layer and connecting the cathode and the auxiliary electrode, and a closed ring structure disposed on the second insulating layer and surrounding the cathode, wherein a thickness of the closed ring structure is larger than that of the cathode.

七、申請專利範圍：

1. 一種發光元件，包括：

一基板；

多個發光結構，配置於該基板上，各該發光結構包括：

一輔助電極，配置於該基板上，且適於作為陰極；

一第一絕緣層，配置於該基板上並覆蓋該輔助電極；

一第一電極，配置於該第一絕緣層上，且適於作為陽極；

一第二絕緣層，配置於該第一絕緣層上，且具有一第一開口暴露出該第一電極；

一第一有機發光層，配置於該第一開口中以連接該第一電極；

一陰極，配置於該第一有機發光層上；

至少一導通結構，貫穿該第一絕緣層與該第二絕緣層，並連接該陰極與該輔助電極；以及

一封閉環形結構，配置於該第二絕緣層上且圍繞該陰極，其中該封閉環形結構的厚度大於該陰極的厚度。

2. 如申請專利範圍第 1 項所述之發光元件，更包括：

一導電層，位於該封閉環形結構上，其中該導電層與該陰極係於同一沉積製程中形成。

3. 如申請專利範圍第 1 項所述之發光元件，其中該輔助電極係位於該第一電極的正下方。

4. 如申請專利範圍第 1 項所述之發光元件，其中該第一絕緣層具有一第一貫孔，該第二絕緣層具有一第二貫孔連通該第一貫孔，且該導通結構具有一位於該第一貫孔中

的第一導電插塞與一位於該第二貫孔中的第二導電插塞。

5. 如申請專利範圍第 4 項所述之發光元件，其中該第一導電插塞與該第一電極係於同一沉積製程中形成，該第二導電插塞與該陰極係於同一沉積製程中形成。

6. 如申請專利範圍第 4 項所述之發光元件，更包括：
一厚金屬層，配置於該第二貫孔內，且該厚金屬層的厚度大於該陰極的厚度。

7. 如申請專利範圍第 6 項所述之發光元件，其中該厚金屬層係位於該第二導電插塞上。

8. 如申請專利範圍第 6 項所述之發光元件，其中該第二導電插塞係位於該厚金屬層上。

9. 如申請專利範圍第 6 項所述之發光元件，更包括：
一導電層，位於該封閉環形結構上，其中該導電層與該厚金屬層係於同一沉積製程中形成。

10. 如申請專利範圍第 1 項所述之發光元件，其中該封閉環形結構的截面形狀係呈倒梯狀。

11. 如申請專利範圍第 1 項所述之發光元件，其中該發光結構更包括：

一第二電極，配置於該第一絕緣層上且與該第一電極彼此分離，該第二電極適於作為陽極，其中該第二絕緣層更具有一第二開口暴露出該第二電極；以及

一第二有機發光層，配置於該第二開口中以連接該第二電極，其中該陰極亦配置於該第二有機發光層上，

其中一第一發光單元包括該第一電極、該第一有機發光層、與該陰極，一第二發光單元包括該第二電極、該第

二有機發光層、與該陰極。

12. 如申請專利範圍第 1 項所述之發光元件，更包括：
一上蓋，配置於該陰極上，且該封閉環形結構係支撐於該上蓋與該第二絕緣層之間，以於該上蓋與該陰極之間形成一封閉空腔。

13. 如申請專利範圍第 1 項所述之發光元件，其中該些發光結構中的至少二個發光結構的輔助電極相連。

14. 如申請專利範圍第 1 項所述之發光元件，其中該些發光結構中的至少二個發光結構的輔助電極彼此電性絕緣。

15. 如申請專利範圍第 1 項所述之發光元件，其中該輔助電極與該第一電極的材質包括一透明導電材料。

16. 如申請專利範圍第 15 項所述之發光元件，其中該陰極係為一透明膜層。

17. 如申請專利範圍第 1 項所述之發光元件，其中該陰極係為一透明膜層。

18. 如申請專利範圍第 17 項所述之發光元件，其中該第一電極的材質包括一高反射性材料。

19. 如申請專利範圍第 1 項所述之發光元件，其中該發光元件係為一主動式有機發光二極體元件。

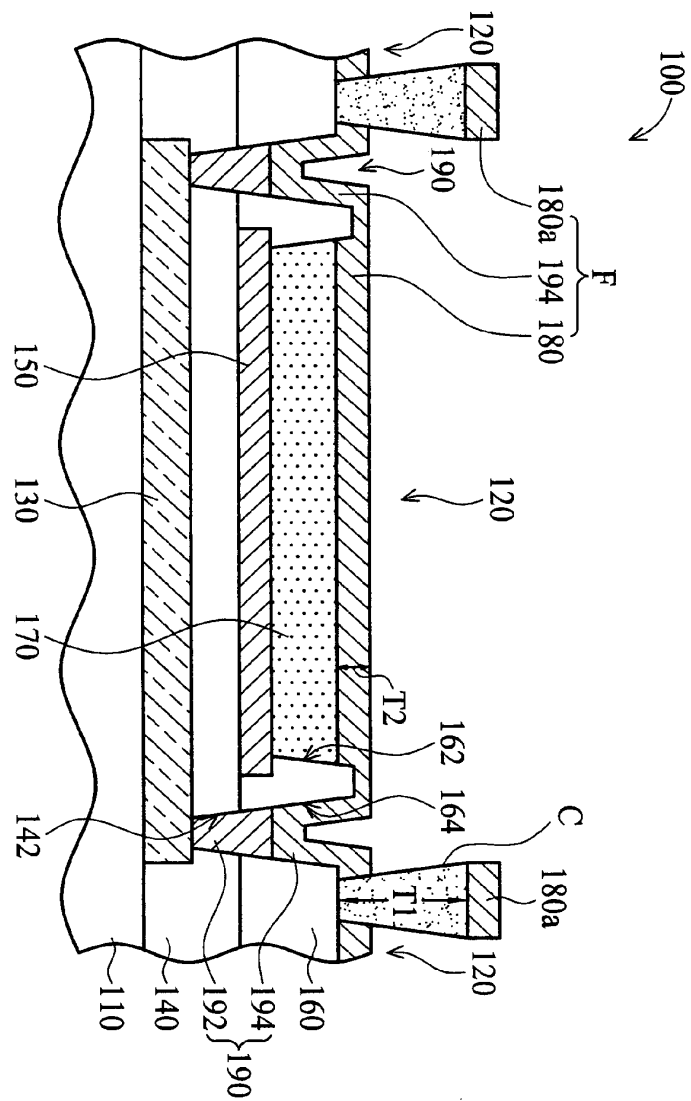
20. 如申請專利範圍第 19 項所述之發光元件，更包括：
一第一薄膜電晶體，配置於該基板上；以及
一第二薄膜電晶體，配置於該基板上，且該第一薄膜電晶體的一第三電極係電性連接該第二薄膜電晶體的一閘極，該第三電極係為該第一薄膜電晶體的一源極或是一汲

201332174

極，該第四電極與該第五電極係為該第二薄膜電晶體的一源極與一汲極其中之一與另一，該第五電極與該第一電極電性連接。

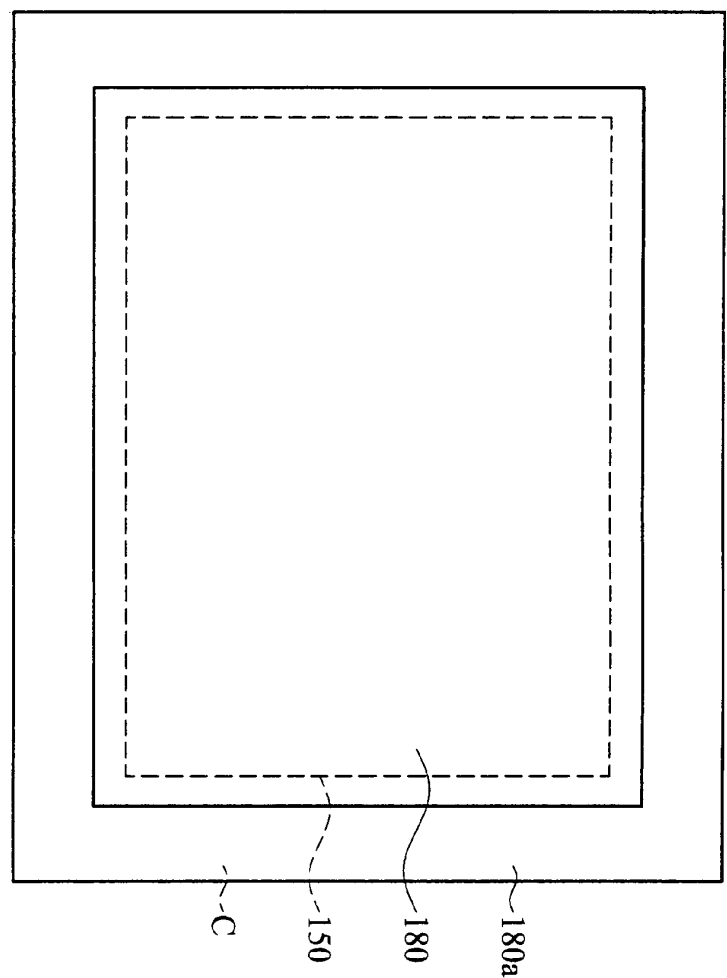
201332174

八、圖式：(如後所示)

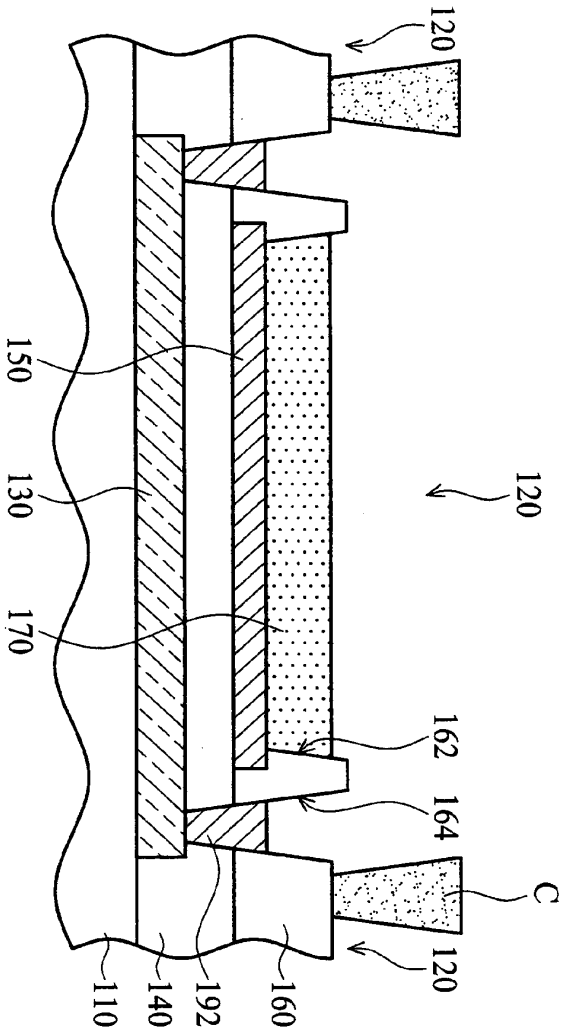


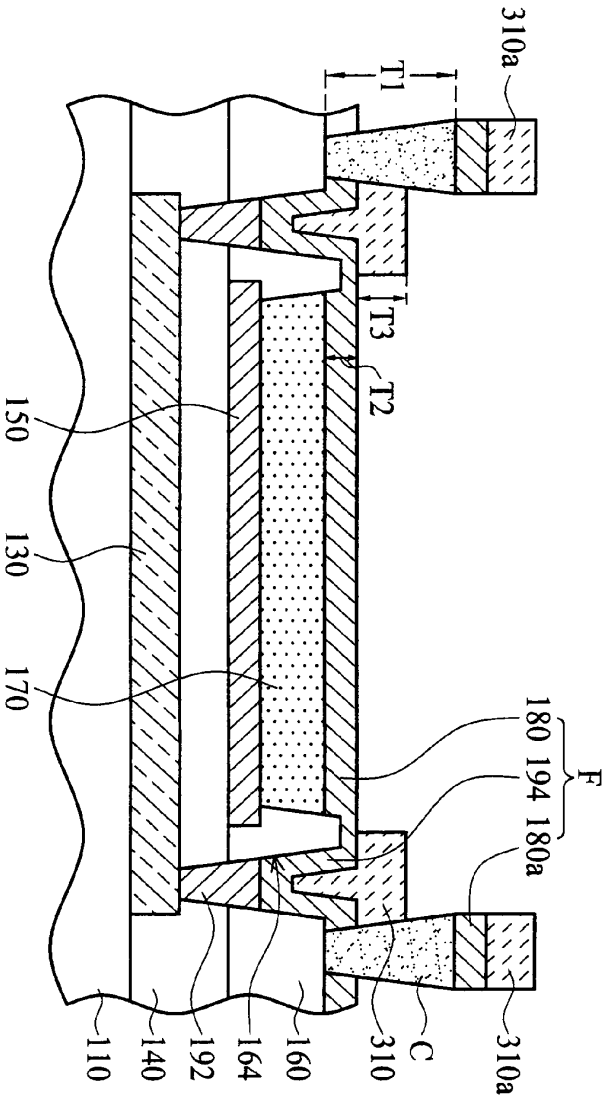
第 1A 圖

第1B圖

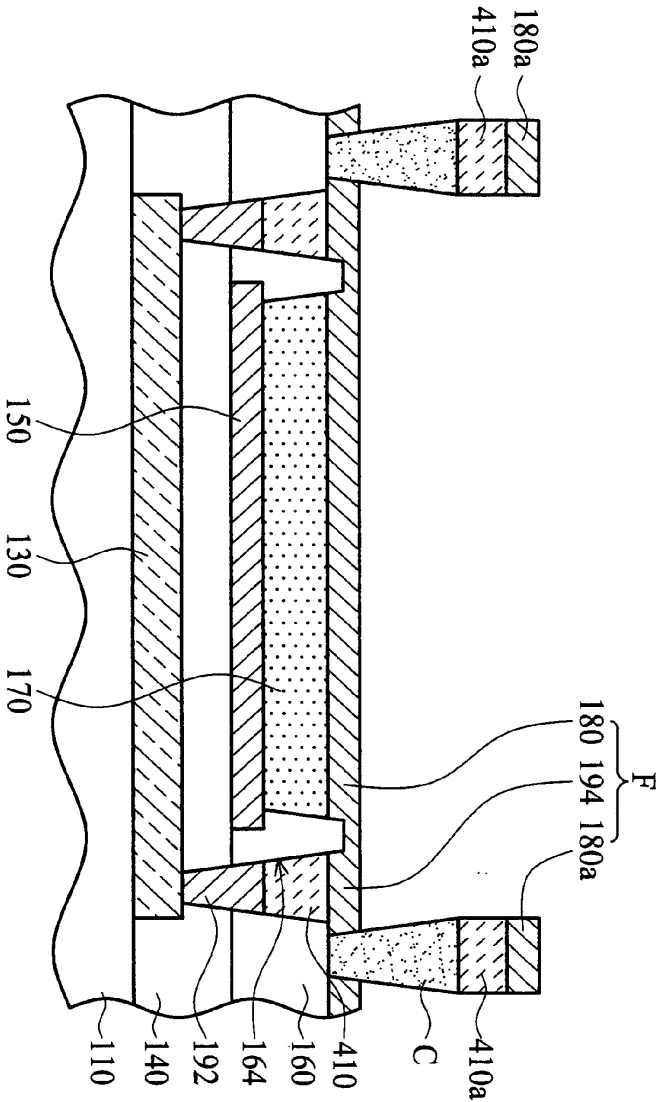


第 2 圖

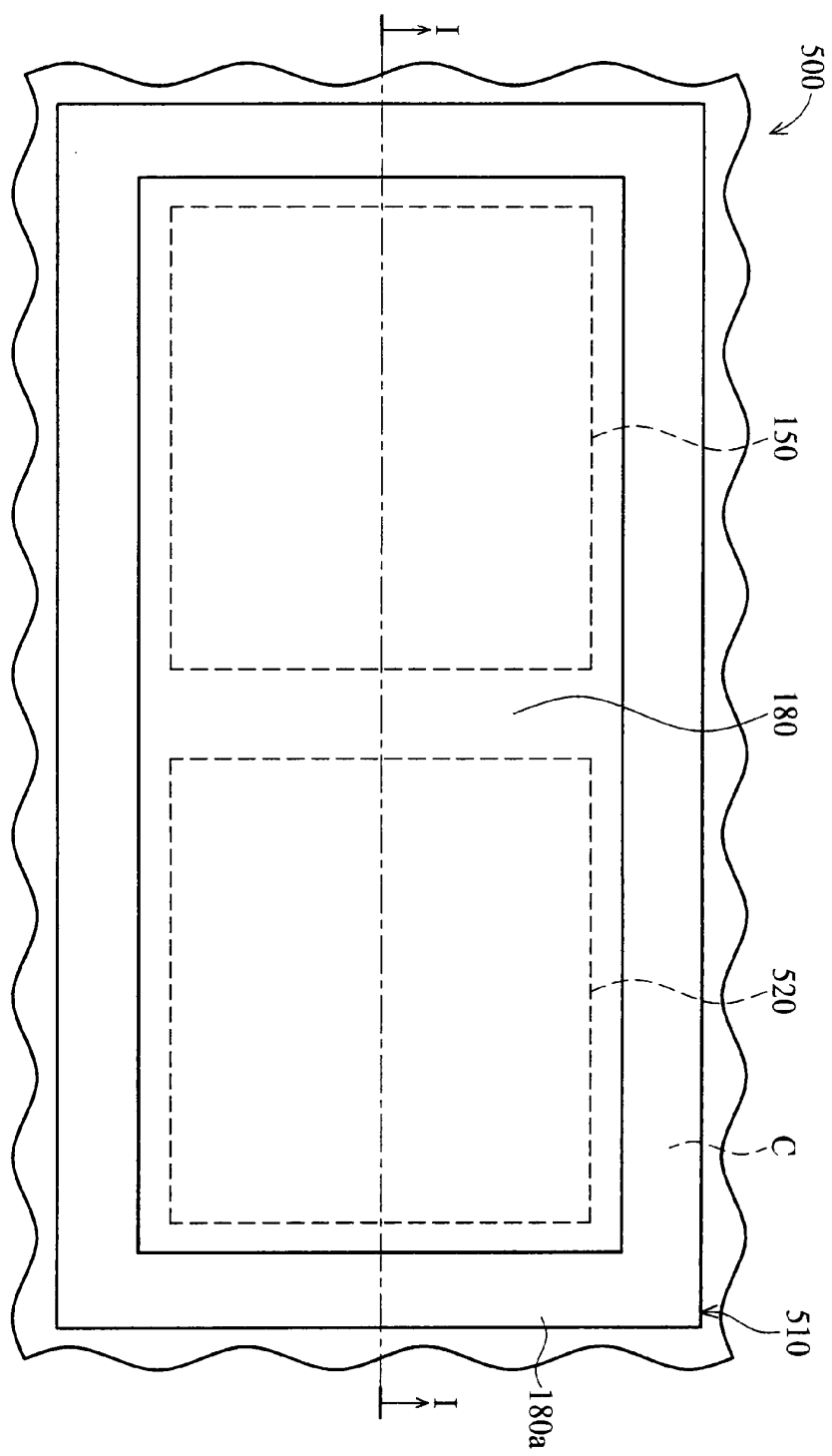




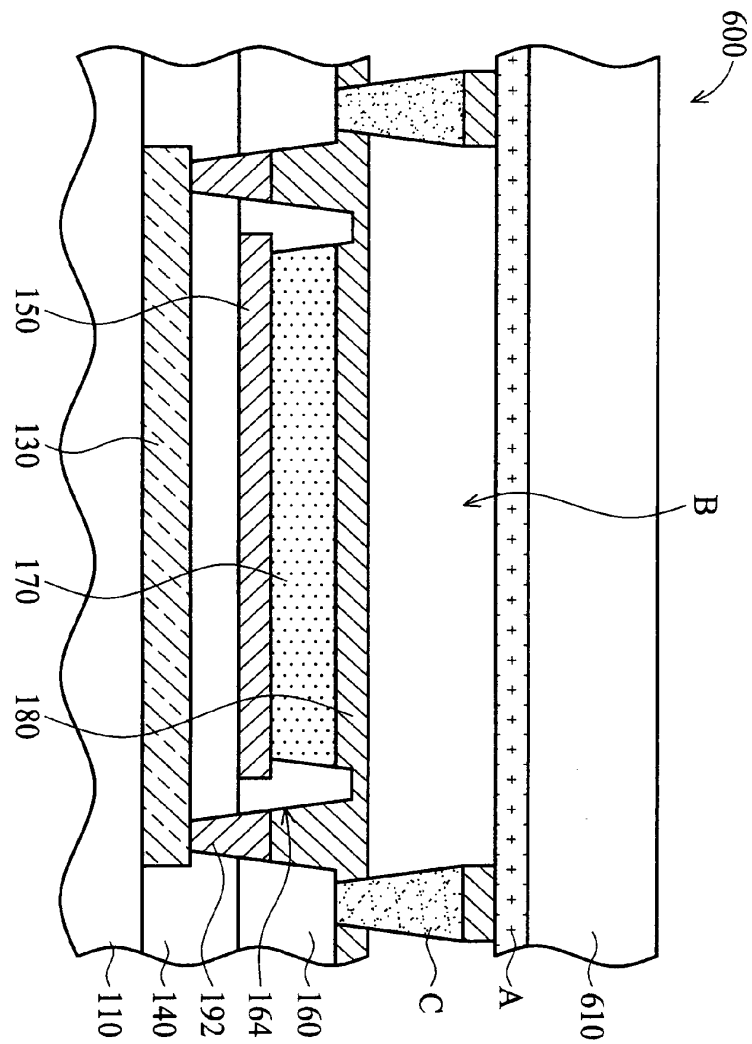
第 3 圖



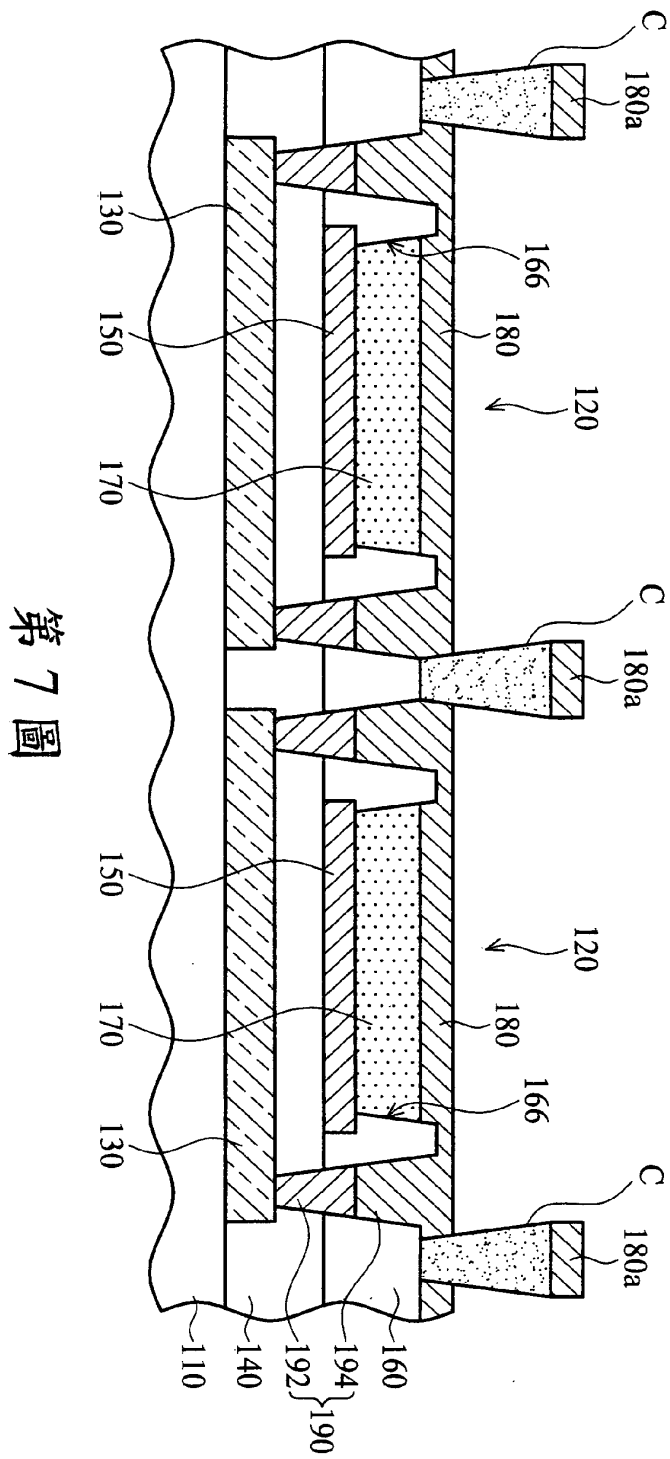
第 4 圖

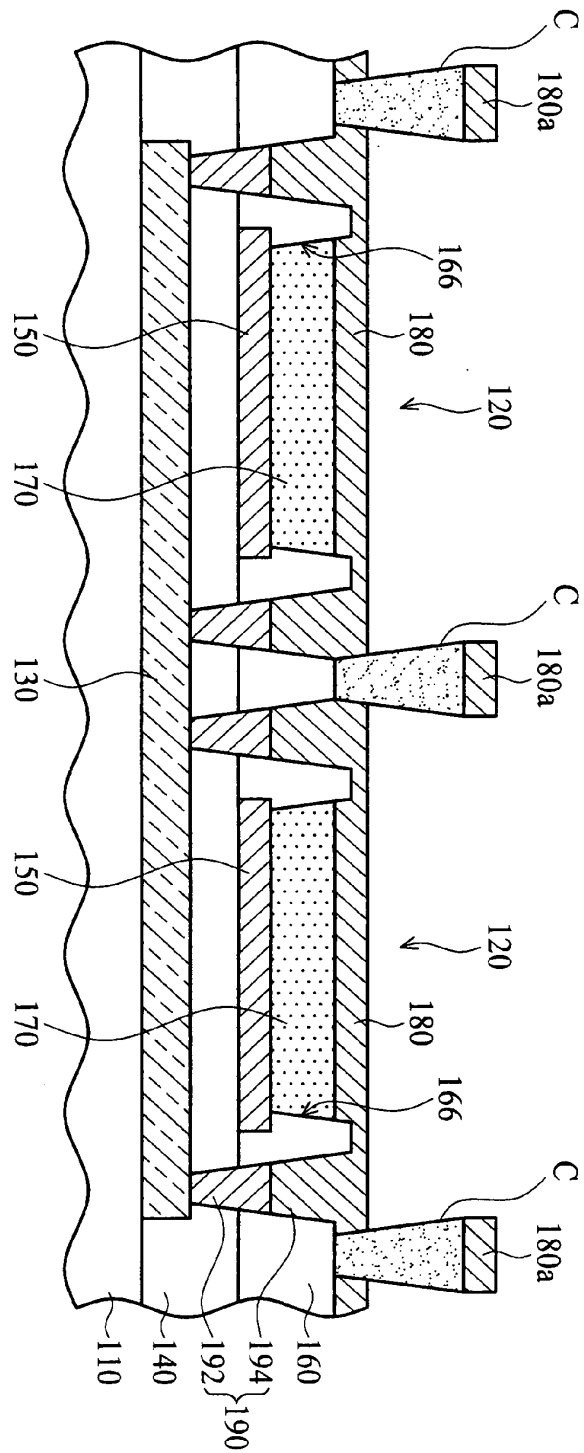


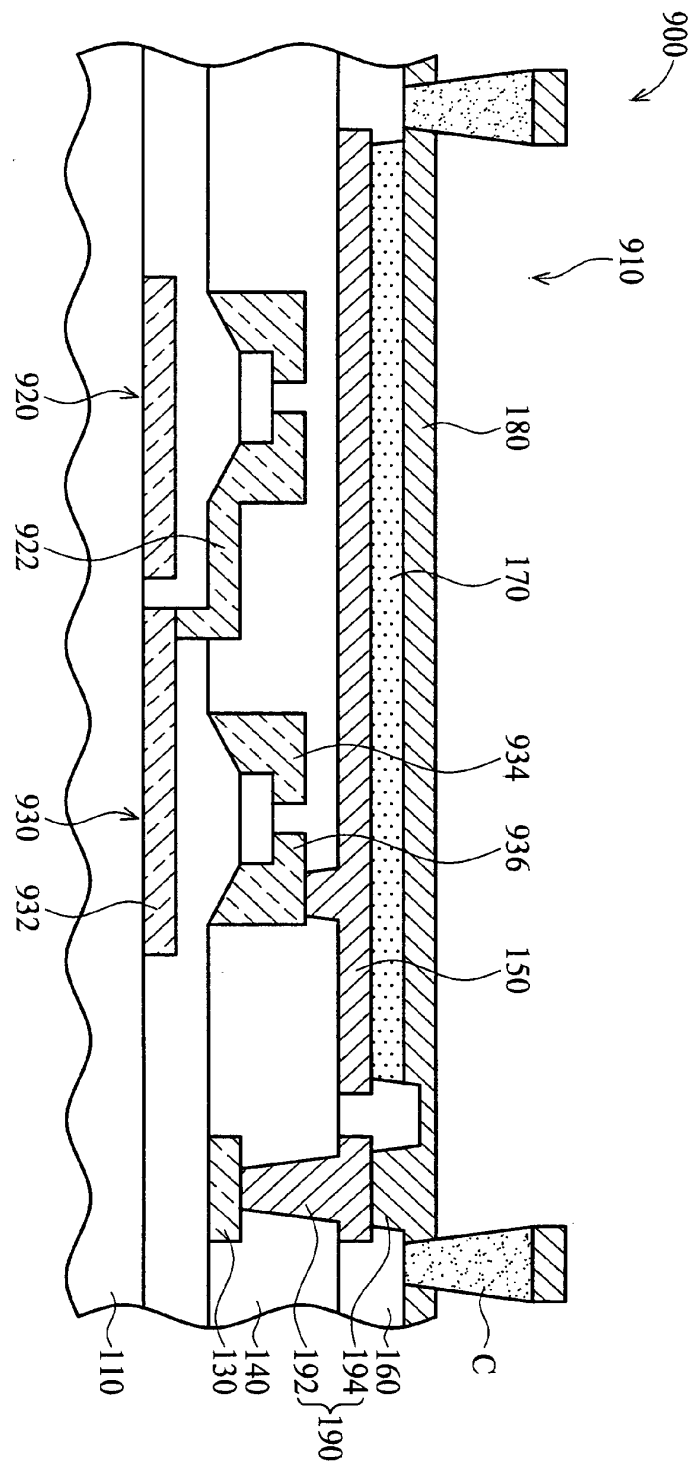
第5A圖



第 6 圖







第 9 圖

201332174

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

100~發光元件；
110~基板；
120~發光結構；
130~輔助電極；
140~第一絕緣層；
142~第一貫孔；
150~第一電極；
160~第二絕緣層；
162~第一開口；
164~第二貫孔；
170~第一有機發光層；
180~陰極；
180a~導電層；
190~導通結構；
192~第一導電插塞；
194~第二導電插塞；
C~封閉環形結構；
F~膜層；
T1、T2~厚度。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。



Espacenet

Bibliographic data: CN102741905 (A) — 2012-10-17

EL display panel, EL display device and method for producing EL display panel

Inventor(s): ARINOBU KANEGAE ± (KANEGAE ARINOBU)

Applicant(s): PANASONIC CORP ± (PANASONIC CORP)

Classification: - international: G09F9/30; H01L27/32; H01L51/50; H05B33/10
- cooperative: H01L27/3276; H01L27/3279; H01L51/5228;
H01L27/3262

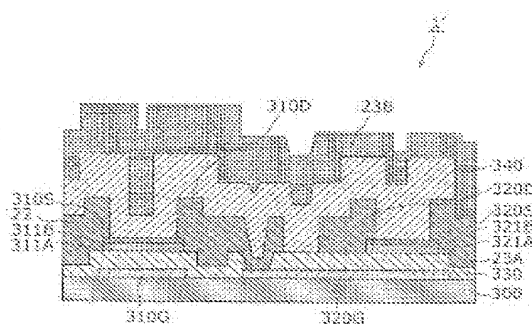
Application number: CN2010803324 20100929

Priority number (s): WO2010JP05850 20100929

Also published as: CN102741905 (B) US2012074423 (A1) US8482010 (B2)
KR20120048531 (A) KR101348537 (B1) more

Abstract of CN102741905 (A)

An EL display panel (1) of the present invention is provided with an organic EL element (10) and a thin-film semiconductor part for controlling the light emission of the organic EL element (10). The organic EL part includes a lower electrode (12), an organic light emission layer (13), and an upper electrode (14). The thin-film semiconductor includes: a substrate (300); a first gate electrode (310G); a gate insulating film (330); a first semiconductor layer (311); a first source electrode (310S); a second drain electrode (320D) formed in the same layer as the first source electrode (310S); a first power wiring (23A) positioned in the same layer as and electrically connected to the second drain electrode; and a first interlayer insulating film (340) formed so as to cover the first source electrode and the second drain electrode. Further provided thereto are: a gate wiring (21) positioned on the first interlayer insulating film and connected to the first gate electrode; a second power wiring (23B) positioned in the same layer as the gate wiring and connected to the first power wiring; and an auxiliary wiring (25) positioned in the same layer as the second power wiring and connected to the upper electrode.



(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 102741905 A

(43) 申请公布日 2012. 10. 17

(21) 申请号 201080003324. 0

(51) Int. Cl.

(22) 申请日 2010. 09. 29

G09F 9/30 (2006. 01)

(85) PCT 申请进入国家阶段日
2011. 05. 26

H01L 27/32 (2006. 01)

H01L 51/50 (2006. 01)

H05B 33/10 (2006. 01)

(86) PCT 申请的申请数据
PCT/JP2010/005850 2010. 09. 29

(87) PCT 申请的公布数据
W02012/042567 JA 2012. 04. 05

(71) 申请人 松下电器产业株式会社
地址 日本大阪府

(72) 发明人 钟之江有宣

(74) 专利代理机构 北京市中咨律师事务所
11247

代理人 周春燕 段承恩

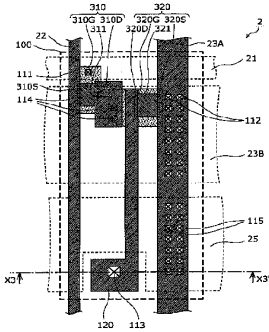
权利要求书 3 页 说明书 25 页 附图 23 页

(54) 发明名称

EL 显示面板、EL 显示装置及 EL 显示面板的制造方法

(57) 摘要

本发明的 EL 显示面板 (1) 具备有机 EL 元件 (10) 和对有机 EL 元件 (10) 的发光进行控制的薄膜半导体部。有机 EL 元件包括下部电极 (12)、有机发光层 (13) 及上部电极 (14)。薄膜半导体部包括基板 (300)、第 1 栅电极 (310G)、栅极绝缘膜 (330)、第 1 半导体层 (311)、第 1 源电极 (310S)、与第 1 源电极 (310S) 形成于相同的层的第 2 漏电极 (320D)、与第 2 漏电极同层且电连接的第 1 电源布线 (23A) 及形成覆盖第 1 源电极和第 2 漏电极的第 1 层间绝缘膜 (340)。进而,具备:配置于第 1 层间绝缘膜上且与第 1 栅电极连接的栅极布线 (21)、与栅极布线同层且与第 1 电源布线连接的第 2 电源布线 (23B) 及与第 2 电源布线同层且与上部电极连接的辅助布线 (25)。



CN 102741905 A

1. 一种 EL 显示面板,其具备 EL 部和对所述 EL 部的发光进行控制的薄膜半导体部,所述 EL 部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;

所述薄膜半导体部包含:

基板;

栅电极,其形成于所述基板上;

栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;

半导体层,其形成在所述栅极绝缘膜上所述栅电极的上方;

第 1 电极,其形成于所述半导体层的上方;

第 2 电极,其形成于与所述第 1 电极相同的层;

第 1 电源布线,其与所述第 2 电极电连接,形成于与所述第 2 电极相同的层;

第 1 层间绝缘膜,其覆盖所述第 1 电极及所述第 2 电极而形成于所述栅极绝缘膜的上方;

栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第 1 层间绝缘膜上,配置为与所述第 1 电源布线交叉;

第 2 电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及

辅助布线,其与所述第 2 电源布线形成于相同的层并且与所述第 2 电源布线并行地配置;

所述栅电极与所述栅极布线经由第 1 导电部电连接,所述第 1 导电部设置为贯通所述栅极绝缘膜及所述第 1 层间绝缘膜;

所述第 1 电源布线与所述第 2 电源布线经由第 2 导电部电连接,所述第 2 导电部设置为贯通所述第 1 层间绝缘膜;

所述辅助布线与所述阴极电极电连接。

2. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;

所述第 2 电源布线及所述辅助布线配置于相邻的 2 条所述栅极布线之间;

所述第 2 电源布线及所述辅助布线双方组合而得到的宽度与所述相邻的 2 条栅极布线之间的宽度对应。

3. 根据权利要求 2 所述的 EL 显示面板,

所述第 2 电源布线或所述辅助布线与所述相邻的 2 条栅极布线的距离分别为 $4\mu\text{m}$ 以上。

4. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;

所述第 2 电源布线及所述辅助布线以填埋相邻的 2 条所述栅极布线之间的方式,与所述栅极布线接近地配置。

5. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度；

所述第 2 电源布线及所述辅助布线是具有比所述第 1 电源布线的宽度宽阔的宽度的布线。

6. 根据权利要求 2～5 中的任意一项所述的 EL 显示面板，

所述第 2 电源布线及所述辅助布线都具有均匀的膜厚，并且按照所述电源布线及所述辅助布线的下层的表面形状而形成。

7. 根据权利要求 1～6 中的任意一项所述的 EL 显示面板，

所述半导体层为 n 沟道型；

所述第 2 电源布线的至少一部分配置为与与所述半导体层不重叠。

8. 根据权利要求 1～6 中的任意一项所述的 EL 显示面板，

所述半导体层为 p 沟道型；

所述第 2 电源布线的至少一部分配置为与与所述半导体层重叠。

9. 根据权利要求 1～8 中的任意一项所述的 EL 显示面板，

所述第 1 电极为源电极，所述第 2 电极为漏电极。

10. 根据权利要求 1～8 中的任意一项所述的 EL 显示面板，

所述第 1 电极为漏电极，所述第 2 电极为源电极。

11. 根据权利要求 1～10 中的任意一项所述的 EL 显示面板，

通过由形成有所述栅极布线的层和形成有所述第 1 电源布线的层所夹的所述第 1 层间绝缘膜形成的单位面积的电容，比通过由形成有所述栅电极的层和形成有所述第 1 电源布线的层所夹的所述栅极绝缘膜形成的单位面积的电容小。

12. 根据权利要求 11 所述的 EL 显示面板，

通过所述第 2 层间绝缘膜形成的电容小于 $1.5 \times 10^{-4} \text{F/m}^2$ ；

由所述栅极绝缘膜形成的电容为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

13. 根据权利要求 1～12 中的任意一项所述的 EL 显示面板，

所述半导体层包含多结晶性半导体层。

14. 根据权利要求 1～13 中的任意一项所述的 EL 显示面板，

构成所述第 2 电源布线及所述辅助布线的材料包含从 Al、Cu、Ag 中选择的任意一种元素。

15. 根据权利要求 14 所述的 EL 显示面板，

所述第 2 电源布线及所述辅助布线为多层布线；

构成所述第 2 电源布线及所述辅助布线的主布线由从 Al、Cu、Ag 中选择的任意一种构成。

16. 根据权利要求 1～15 中的任意一项所述的 EL 显示面板，

所述 EL 部是所述发光层为有机发光层的有机 EL 部。

17. 一种 EL 显示装置，具备：

权利要求 1～16 中的任意一项所述的 EL 显示面板。

18. 一种 EL 显示面板的制造方法，包括：

第 1 工序，准备基板；

第 2 工序,在所述基板上形成栅电极;

第 3 工序,覆盖所述栅电极而在所述基板上形成栅极绝缘膜;

第 4 工序,在所述栅极绝缘膜上、在所述栅电极的上方形成半导体层;

第 5 工序,在所述半导体层的上方形成第 1 电极,并且在与所述第 1 电极相同的层形成第 2 电极及与所述第 2 电极电连接的第 1 电源布线;

第 6 工序,覆盖所述第 1 电极及所述第 2 电极而在所述栅极绝缘膜的上方形成第 1 层间绝缘膜;

第 7 工序,形成贯通所述栅极绝缘膜及所述第 1 层间绝缘膜的第 1 接触孔及贯通所述第 1 层间绝缘膜的第 2 接触孔;

第 8 工序,通过在所述第 1 层间绝缘膜上进行金属膜的成膜并对所述金属膜进行图案形成,而以与所述第 1 电源布线交叉的方式形成经由所述第 1 接触孔与所述栅电极电连接的栅极布线,并且以与所述栅极布线并行的方式形成经由所述第 2 接触孔与所述第 1 电源布线电连接的第 2 电源布线,进而以与所述第 2 电源布线并行的方式形成辅助布线;

第 9 工序,以覆盖所述第 1 层间绝缘膜、所述第 2 电源布线及所述辅助布线的上面的方式形成第 2 层间绝缘膜;

第 10 工序,形成贯通所述辅助电极上的所述第 2 层间绝缘膜的第 3 接触孔;以及

第 11 工序,在所述第 2 层间绝缘膜的上方,形成包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层的 EL 部;

在所述第 11 工序中,经由所述第 3 接触孔将所述阴极电极与所述辅助布线电连接。

19. 根据权利要求 18 所述的 EL 显示面板的制造方法,

由所述第 4 工序形成的半导体层为非结晶性半导体膜;

在所述第 4 工序与所述第 5 工序之间,包含对于所述非结晶性半导体膜照射预定的激光,通过所述预定的激光的照射将所述非结晶性半导体膜的温度设为预定的温度范围,使所述非结晶性半导体膜结晶化的工序。

20. 根据权利要求 18 或 19 所述的 EL 显示面板的制造方法,所述 EL 部是由有机发光层形成了所述发光层的有机 EL 部。

EL 显示面板、EL 显示装置及 EL 显示面板的制造方法

技术领域

[0001] 本发明涉及 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法,尤其涉及用于有源矩阵方式的显示装置的 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法。

背景技术

[0002] 在液晶显示装置或有机 EL 显示装置等有源矩阵驱动型的显示装置中,作为对像素进行选择开关元件或对显示元件进行驱动的驱动元件,使用薄膜晶体管(TFT:Thin Film Transistor)。

[0003] 薄膜晶体管用于显示装置的有源矩阵基板,当前,正被积极地进行面向高性能化的开发。尤其是,随着与显示装置的大型化和/或高精细化相伴、要求薄膜晶体管的高驱动能力,作为沟道层(有源层)使用了结晶化的半导体薄膜(多晶硅、微晶硅)的薄膜晶体管受到关注。

[0004] 作为半导体薄膜的结晶化工艺,代替已经确立的采用了 1000℃ 以上的处理温度的高温工艺,开发出采用了 600℃ 以下的处理温度的低温工艺。在低温工艺中,不需要使用耐热性优异的石英等高价格的基板,能够实现制造成本的降低化。

[0005] 作为低温工艺的一环节,使用激光束进行加热的激光退火受到关注。这是下述过程:在对成膜于玻璃等低耐热性绝缘基板上的非晶质硅等非单晶性的半导体薄膜照射激光束而局部进行了加热熔融之后,在其冷却过程中使半导体薄膜结晶化。结晶化了的半导体薄膜因为载流子的迁移率升高,所以能够使薄膜晶体管高性能化(例如,参照专利文献 1)。

[0006] 可是,作为薄膜晶体管的结构,主流为栅电极配置于沟道层之下的底栅型的结构。以下,关于以往的底栅型的薄膜晶体管,使用图 23、图 24A ~ 图 24C 及图 25 进行说明。图 23 是显示装置的一个像素中以往的显示装置用薄膜半导体装置的俯视图。此外,图 24A 是沿图 23 的 X1-X1' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 24B 是沿图 23 的 X2-X2' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 24C 是沿图 23 的 Y-Y' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 25 对应于图 24A,是从图 23 的 X1-X1' 的剖面看时的表示以往的显示装置用薄膜半导体装置的主要部分的立体图。

[0007] 如图 23、图 24A ~ 图 24C 及图 25 所示,以往的显示装置用薄膜半导体装置 9 具备沿像素的行方向形成的栅极布线 921、沿像素的列方向形成的源极布线 922 和设置于栅极布线 921 与源极布线 922 交叉的位置的薄膜晶体管 910。

[0008] 如图 24A 所示,薄膜晶体管 910 是底栅型的薄膜晶体管,是包括依次形成于基板 900 上的栅电极 910G、栅极绝缘膜 930、半导体层 911(沟道层)以及一对源电极 910S 及漏电极 910D 的层叠结构体。

[0009] 如图 23 及图 24A 所示,栅电极 910G 从栅极布线 921 延伸设置,形成于与栅极布线 921 相同的层的第 1 金属层 M1'。栅极绝缘膜 930 以覆盖栅极布线 921 及栅电极 910G 的方式形成于基板 900 上。半导体层 911 以与栅电极 910G 重叠的方式在栅极绝缘膜 930 上

形成为岛状。一对源电极 910S 及漏电极 910D 形成为与半导体层 911 的一部分重叠,此外以相互相对的方式分离配置。源电极 910S 及漏电极 910D 形成于与源极布线 922 相同的层的第 2 金属层 ML2'。另外,以覆盖薄膜晶体管 910、栅极布线 921 及源极布线 922 的方式层叠有层间绝缘膜 940。

[0010] 在此,在底栅型的薄膜晶体管 910 中,通过在栅电极 910G 上形成非晶硅并通过激光退火使其结晶化而形成半导体层 911 的情况下,在非晶硅的熔融时激光退火的热在栅电极 910G 中传递而扩散。从而,为了抑制半导体层 911 的结晶化时的激光退火的热的扩散,优选:栅电极 910G 由热传导率小的材料构成。

[0011] 另一方面,关于栅极布线 921,若布线电阻高,则信号会延迟、由于电压下降而产生显示不均。尤其是,若面板面积大型化而驱动频率增大,则布线电阻的影响变大。从而,优选:栅极布线 921 由电阻率(比电阻)低的材料构成。

[0012] 栅电极 910G 及栅极布线 921 因为如上所述形成于同一层,所以大多由同一材料构成。从而,若从上述半导体层 911 的结晶化的观点出发由热传导率小的材料构成栅电极 910G,则栅极布线 921 也由相同的热传导率小的材料构成。另一方面,若从栅极布线 921 的布线电阻的观点出发由电阻率低的材料构成栅极布线 921,则栅电极 910G 也由相同的电阻率低的材料构成。

[0013] 但是,热传导率小的金属材料几乎都是电阻率高的物质,难以同时满足半导体层 911 的结晶化的观点和栅极布线 921 的布线电阻的观点这两种观点。

[0014] 因此,以往,有人提出同时满足两种观点的显示装置用薄膜半导体装置(参照专利文献 2)。在专利文献 2 中,以兼顾栅电极的热传导性和栅极布线的低电阻化为目的,公开了将栅极布线分为 2 个部分的结构。

[0015] 即,在专利文献 2 的显示装置用薄膜半导体装置中,栅极布线由与栅电极形成为一体的一体部和以接触孔与该一体部连接的分体部构成。此外,栅极布线的一体部与源极布线为夹着栅极绝缘膜而立体交叉的结构。而且,关于栅电极与栅极布线的一体部,使用具有比栅极布线的分体部低的热传导率的材料,另一方面,关于栅极布线的分体部,使用具有比栅电极低的电阻率的材料。

[0016] 专利文献 1:特开平 07-235490 号公报

[0017] 专利文献 2:特开 2007-047808 号公报

发明内容

[0018] 但是,在专利文献 2 所公开的显示装置用薄膜半导体装置中,栅电极与栅极布线的一体部依然由相同的材料构成。从而,若从半导体层的结晶化的观点出发,由热传导率低的材料构成栅电极,则栅极布线的一体部的电阻率变高而栅极布线的一体部会高电阻化。其结果,存在作为包含一体部的栅极布线整体而无法充分地降低布线电阻的问题。

[0019] 此外,因为栅极布线的一体部与分体部在每像素中以 2 处的接触孔连接,所以还存在着在一体部与分体部的连接部分产生 IR 压降(由产生于布线上的电流 I 与电阻 R 之积引起的电压下降)的问题。而且,因为 1 行的栅极布线是一体部与分体部交替连接而成的结构,所以还存在着下述问题:即使在一体部与分体部的连接部分之中的一处存在接触不良,沿栅极布线的 1 行全部的像素也都成为不良。

[0020] 进而,栅极布线与连接于薄膜晶体管的电源布线隔着膜厚为 200nm 左右的栅极绝缘膜立体交叉。因此,还存在着下述问题:若为使薄膜晶体管的高性能化而欲将栅极绝缘膜薄膜化,栅极布线与电源布线的间隔就变为更窄,则布线间的寄生电容增加。

[0021] 进而,在使用显示装置用薄膜半导体装置的显示装置例如为 EL 显示装置的情况下,在各像素中,在形成有机 EL 元件的 EL 层,形成有电连接于上部电极(阴极)的辅助布线。因此,还存在着由于辅助布线,像素的开口率下降的问题。

[0022] 本发明是为了解决这样的问题而提出的,其目的在于提供可以分别以适合于栅电极及栅极布线的材料构成、并且还可以降低栅极布线与电源布线之间的寄生电容的 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法。

[0023] 为了解决上述问题,本发明的 EL 显示面板的一种方式 EL 显示面板,其具备 EL 部和对所述 EL 部的发光进行控制的薄膜半导体部,所述 EL 部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;所述薄膜半导体部包含:基板;栅电极,其形成于所述基板上;栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;半导体层,其形成在所述栅极绝缘膜上、所述栅电极的上方;第 1 电极,其形成于所述半导体层的上方;第 2 电极,其形成于与所述第 1 电极相同的层;第 1 电源布线,其与所述第 2 电极电连接,与所述第 2 电极形成于相同的层;第 1 层间绝缘膜,其覆盖所述第 1 电极及所述第 2 电极而形成于所述栅极绝缘膜的上方;栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第 1 层间绝缘膜上,配置为与所述第 1 电源布线交叉;第 2 电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及辅助布线,其与所述第 2 电源布线形成于相同的层并且与所述第 2 电源布线并行地配置;所述栅电极与所述栅极布线经由第 1 导电部电连接,所述第 1 导电部设置为贯通所述栅极绝缘膜及所述第 1 层间绝缘膜;所述第 1 电源布线与所述第 2 电源布线经由第 2 导电部电连接,所述第 2 导电部设置为贯通所述第 1 层间绝缘膜;所述辅助布线与所述阴极电极电连接。

[0024] 根据本发明的 EL 显示面板,因为能够用单独的层构成栅极布线和栅电极,所以能够分别选择适合于它们的材料。

[0025] 进而,因为栅极布线形成于第 1 层间绝缘膜的上层,第 1 电源布线形成于比第 1 层间绝缘膜的下层,所以能够通过增大第 1 层间绝缘膜的膜厚而确保栅极布线与第 1 电源布线的膜厚间距离。由此,能够降低栅极布线与第 1 电源布线之间的寄生电容。

[0026] 进而,第 2 电极与第 1 电源布线电连接并且第 1 电源布线与第 2 电源布线电连接,此外,第 1 电源布线与第 2 电源布线配置为交叉。由此,因为第 2 电极能够从第 1 电源布线和第 2 电源布线双方向接受电源供给,所以对于伴随着大画面化而在显示区域的中央区域产生的 TR 压降,能够降低 TR 压降量。

[0027] 进而,因为第 2 电源布线及辅助布线形成于与栅极布线相同的层并且与栅极布线并行地配置,所以能够通过第 2 电源布线及辅助布线减轻由于第 1 层间绝缘膜上的栅极布线而产生的凹凸。由此,能够使 EL 部下层的平坦性提高。

[0028] 进而,对于第 2 电极能够通过第 1 电源布线及第 2 电源布线两条电源布线供给电力。由此,能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0029] 进而,辅助布线与栅极布线形成于相同的层,不需要在 EL 部另行形成辅助布线。由此,能够使像素的开口率提高,所以能够使显示面板的寿命提高。

附图说明

- [0030] 图 1 是本发明的第 1 实施方式的有机 EL 显示面板的部分剖切立体图。
- [0031] 图 2 是表示本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的母基板的图。
- [0032] 图 3 是本发明的第 1 实施方式的 EL 显示面板的一像素的电路结构图。
- [0033] 图 4A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含薄膜晶体管的剖面的剖面图。
- [0034] 图 4B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含辅助布线的剖面的剖面图。
- [0035] 图 5 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0036] 图 6 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0037] 图 7 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0038] 图 8 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0039] 图 9 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0040] 图 10 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0041] 图 11A 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 9 的 X1-X1' 线剖面图）。
- [0042] 图 11B 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 9 的 X2-X2' 线剖面图）。
- [0043] 图 11C 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 8 的 X3-X3' 线剖面图）。
- [0044] 图 12A 是从图 9 的 X4-X4' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。
- [0045] 图 12B 是从图 10 的 X3-X3' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。
- [0046] 图 13A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的基板准备工序的剖面图。
- [0047] 图 13B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 1 金属层（栅电极）形成工序的剖面图。
- [0048] 图 13C 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的栅极绝缘膜形成工序的剖面图。
- [0049] 图 13D 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的非结晶性半导体膜形成工序及结晶性半导体膜形成工序（激光照射工序）的剖面图。
- [0050] 图 13E 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的半导体层形成工序（岛化工序）的剖面图。
- [0051] 图 13F 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 4 接触孔形成工序的剖面图。
- [0052] 图 13G 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第

2 金属层形成工序的剖面图。

[0053] 图 13H 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 1 层间绝缘膜形成工序的剖面图。

[0054] 图 13I 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 2 接触孔形成工序的剖面图。

[0055] 图 13J 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 3 金属层工序的剖面图。

[0056] 图 14 是用于说明本发明的第 1 实施方式的 EL 显示面板中的薄膜晶体管的 TFT 特性的图。

[0057] 图 15 是本发明的第 1 实施方式的变形例的 EL 显示面板的剖面图。

[0058] 图 16 是本发明的第 2 实施方式的 EL 显示面板（部分透过）的俯视图。

[0059] 图 17 是本发明的第 2 实施方式的 EL 显示面板（部分透过）的俯视图。

[0060] 图 18 是本发明的第 2 实施方式的 EL 显示面板的剖面图（图 16 的 X2-X2' 线剖面图）。

[0061] 图 19 是用于说明本发明的第 2 实施方式的 EL 显示面板中的薄膜晶体管的 TFT 特性的图。

[0062] 图 20 是本发明的第 2 实施方式的变形例的 EL 显示面板的剖面图。

[0063] 图 21A 是表示本发明的有机 EL 显示面板的一例的剖面立体图。

[0064] 图 21B 是表示本发明的有机 EL 显示面板的另一例的剖面立体图。

[0065] 图 22 是表示本发明的 EL 显示装置的一例的外观立体图。

[0066] 图 23 是显示装置的一个像素中的以往的显示装置用薄膜半导体装置的俯视图。

[0067] 图 24A 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 X1-X1' 线剖面图）。

[0068] 图 24B 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 X2-X2' 线剖面图）。

[0069] 图 24C 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 Y-Y' 线剖面图）。

[0070] 图 25 是表示从图 23 的 X1-X1' 的剖面看时的以往的显示装置用薄膜半导体装置的主要部分的立体图。

[0071] 符号说明

[0072] 1、1'、2、2' EL 显示面板, 9 显示装置用薄膜半导体装置, 10 有机 EL 元件, 12 下部电极, 13 有机发光层, 14 上部电极, 15 堤栏, 20 显示装置用薄膜半导体阵列装置, 21、921 栅极布线, 22、922 源极布线, 23A 第 1 电源布线, 23B 第 2 电源布线, 25 辅助布线, 30 像素电路, 100 像素, 100R、100G、100B 子像素, 111 第 1 接触部, 112 第 2 接触部, 113 第 3 接触部, 114 第 4 接触部, 115 第 5 接触部, 120 电极部, 131、132 开口部, 200 显示部, 300、900 基板, 300C 电容器, 301 非结晶性半导体膜, 310 第 1 薄膜晶体管, 310D 第 1 漏电极, 310G 第 1 栅电极, 310S 第 1 源电极, 311、321、911 半导体层, 311A、321A 第 1 沟道层, 311B、321B 第 2 沟道层, 320 第 2 薄膜晶体管, 320D 第 2 漏电极, 320G 第 2 栅电极, 320S 第 2 源电极, 330、930 栅极绝缘膜, 340 第 1 层间绝缘膜, 350 第 2 层间绝缘膜, 400 电视机, 910 薄膜晶体管, 910D 漏电极, 910G 栅电极, 910S 源电极, 940 层间绝缘膜。

具体实施方式

[0073] 本发明的EL显示面板的一种方式EL显示面板,其具备EL部和对所述EL部的发光进行控制的薄膜半导体部,所述EL部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;所述薄膜半导体部包含:基板;栅电极,其形成于所述基板上;栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;半导体层,其形成在所述栅极绝缘膜上、所述栅电极的上方;第1电极,其形成于所述半导体层的上方;第2电极,其与所述第1电极形成于相同的层;第1电源布线,其与所述第2电极电连接,形成于与所述第2电极相同的层;第1层间绝缘膜,其覆盖所述第1电极及所述第2电极而形成于所述栅极绝缘膜的上方;栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第1层间绝缘膜上,配置为与所述第1电源布线交叉;第2电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及辅助布线,其与所述第2电源布线形成于相同的层并且与所述第2电源布线并行地配置;所述栅电极与所述栅极布线经由第1导电部电连接,所述第1导电部设置为贯通所述栅极绝缘膜及所述第1层间绝缘膜;所述第1电源布线与所述第2电源布线经由第2导电部电连接,所述第2导电部设置为贯通所述第1层间绝缘膜;所述辅助布线与所述阴极电极电连接。

[0074] 根据本方式,因为栅极布线配置于与形成有栅电极的层不同的层、即第1层间绝缘膜上,所以栅极布线和栅电极能够分别选择适合于各自的材料。

[0075] 此外,根据本方式,因为栅极布线形成于第1层间绝缘膜的上层,第1电源布线形成于比第1层间绝缘膜的下层,所以能够通过增大第1层间绝缘膜的膜厚而确保栅极布线与第1电源布线的膜厚间距离。由此,能够降低栅极布线与第1电源布线之间的寄生电容。

[0076] 进而,根据本方式,第2电极与第1电源布线电连接并且第1电源布线与第2电源布线电连接,此外,第1电源布线与第2电源布线配置为交叉。由此,因为第2电极能够从第1电源布线和第2电源布线双方向接受电源供给,所以对于伴随着人画面化而在显示区域的中央区域产生的IR压降,能够降低IR压降量。

[0077] 进而,因为第2电源布线及辅助布线形成于与栅极布线相同的层并且与栅极布线并行地配置,所以能够通过第2电源布线减轻由于第1层间绝缘膜上的栅极布线而产生的凹凸。由此,能够使薄膜半导体部的平坦度提高。

[0078] 进而,对于第2电极能够通过第1电源布线及第2电源布线两条电源布线供给电力。由此,能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0079] 此外,根据本方式,辅助布线不配置于EL部而配置于薄膜半导体部,并且与栅极布线及第2电源布线并行地配置。即,辅助布线在EL部以外的层,配置于为了配置栅极布线及第2电源布线而已经利用的层。由此,不会对薄膜半导体部增加空间上的负担,能够扩大EL部的设计的自由度。此外,因为辅助布线不需要配置于EL部,所以能够使各像素的开口率增大,作为EL显示面板能够增大发光量。此外,因为能够增大发光量,所以即使单位面积的发光强度减小,作为EL显示面板也能够实现与由以往的技术制造的EL显示面板同等的辉度,所以其结果,能够实现寿命长的EL显示面板。

[0080] 进而,在本发明的EL显示面板的一种方式中,优选:所述第2电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度;所述第2电源布线及所述辅助布

线配置于相邻的 2 条所述栅极布线之间;所述第 2 电源布线及所述辅助布线双方组合而得到的宽度与所述相邻的 2 条栅极布线之间的宽度对应。

[0081] 根据本方式,能够使 EL 显示面板的平坦性进一步提高。即,若栅极布线形成于第 1 层间绝缘膜上,则直接这样会比没有形成栅极布线的区域突出栅极布线的膜厚量。相对于此,根据本方式,第 2 电源布线及辅助布线是下述布线:第 2 电源布线及辅助布线双方组合得到的宽度为与相邻的 2 条栅极布线之间的宽度对应的宽度。从而,因为能够将第 2 电源布线及辅助布线也作为平坦化用的结构而进行利用,所以能够用简易的结构确保半导体薄膜部的平坦性。

[0082] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线或所述辅助布线与所述相邻的 2 条栅极布线的距离分别为 $4\mu\text{m}$ 以上。

[0083] 根据本方式,能够使第 2 电源布线或辅助布线与栅极布线不相影响地配置,并且能够使薄膜半导体部的平坦性提高。

[0084] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;所述第 2 电源布线及所述辅助布线以填埋相邻的 2 条所述栅极布线之间的方式,与该栅极布线接近地配置。

[0085] 根据本方式,能够使薄膜半导体部的平坦性进一步提高。

[0086] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;所述第 2 电源布线及所述辅助布线是具有比所述第 1 电源布线的宽度宽阔的宽度的布线。

[0087] 根据本方式,能够使薄膜半导体部的平坦性进一步提高。此外,能够使第 2 电源布线比第 1 电源布线低电阻化,能够大幅地降低 IR 压降。

[0088] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线都具有均匀的膜厚,并且按照该电源布线及该辅助布线的下层的表面形状而形成。

[0089] 根据本方式,能够使第 2 电源布线的俯视形状成为基本平板形状。由此,能够使第 2 电源布线成为具有比第 1 电源布线的宽度宽阔的宽度的平板形状的布线,能够使第 2 电源布线成为低电阻布线。从而,因为从布线电阻低的第 2 电源布线经由第 1 电源布线对于第 2 电极进行电源供给,所以对于伴随着大画面化而在显示区域的中央区域产生的 IR 压降,能够大幅地降低该压降量。

[0090] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层为 n 沟道型;所述第 2 电源布线的至少一部分配置为与所述半导体层不重叠。

[0091] 根据本方式,因为 n 沟道型的半导体层构成为与第 2 电源布线不重叠,所以能够抑制在背沟道诱发载流子的情况。由此,能够抑制截止泄漏电流的产生,所以能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板。

[0092] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层为 p 沟道型;所述第 2 电源布线的至少一部分配置为与所述半导体层重叠。

[0093] 根据本方式,因为 p 沟道型的半导体层构成为与第 2 电源布线重叠,所以能够使背沟道的电位稳定。由此,因为能够减小截止泄漏电流,所以能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板。

[0094] 进而,在本发明的 EL 显示面板的一种方式中,所述第 1 电极为源电极,所述第 2 电

极为漏电极。此外,在本发明的 EL 显示面板的一种方式中,所述第 1 电极也可以为漏电极,所述第 2 电极也可以为源电极。

[0095] 进而,在本发明的 EL 显示面板的一种方式中,优选:通过由形成有所述栅极布线的层和形成有所述第 1 电源布线的层所夹的所述第 1 层间绝缘膜形成的单位面积的电容,比通过由形成有所述栅电极的层和形成有所述第 1 电源布线的层所夹的所述栅极绝缘膜形成的单位面积的电容小。在该情况下,在本发明的 EL 显示面板的一种方式中,优选:通过所述第 2 层间绝缘膜形成的电容小于 $1.5 \times 10^{-4} \text{F/m}^2$;由所述栅极绝缘膜形成的电容为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

[0096] 根据本方式,在第 1 层间绝缘膜和栅极绝缘膜为同一材料的情况下,第 1 层间绝缘膜的膜厚比栅极绝缘膜的膜厚要厚。由此,因为能够使第 1 层间绝缘膜上的栅极布线与第 1 层间绝缘膜下的第 1 电源布线之间的间隔分离为栅极绝缘膜的膜厚以上,所以能够进一步降低栅极布线与第 1 电源布线之间的寄生电容。

[0097] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层包含多结晶性半导体层。

[0098] 根据本方式,因为能够通过多结晶性半导体层提高载流子的迁移率,所以能够实现具备导通特性优异的薄膜晶体管的 EL 显示面板。

[0099] 进而,在本发明的 EL 显示面板的一种方式中,优选:构成所述第 2 电源布线及所述辅助布线的材料包含从 Al、Cu、Ag 中选择的任意一种元素。进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线为多层布线;构成所述第 2 电源布线及所述辅助布线的主布线由从 Al、Cu、Ag 中选择的任意一种构成。

[0100] 根据本方式,因为在布线用材料之中也能够用电阻率小的金属材料来构成,所以能够进一步减小第 2 电源布线的电阻。

[0101] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述 EL 部是所述发光层为有机发光层的有机 EL 部。

[0102] 根据本方式,能够实现显示性能优异的有机 EL 显示面板。

[0103] 此外,本发明的 EL 显示装置的一种方式具备上述的 EL 显示面板的方式。

[0104] 根据本方式,能够实现显示性能优异的 EL 显示装置。

[0105] 此外,本发明的 EL 显示面板的制造方法的一种方式包括:第 1 工序,准备基板;第 2 工序,在所述基板上形成栅电极;第 3 工序,覆盖所述栅电极而在所述基板上形成栅极绝缘膜;第 4 工序,在所述栅极绝缘膜上、在所述栅电极的上方形成半导体层;第 5 工序,在所述半导体层的上方形成第 1 电极,并且在与所述第 1 电极相同的层形成第 2 电极及与该第 2 电极电连接的第 1 电源布线;第 6 工序,覆盖所述第 1 电极及所述第 2 电极而在所述栅极绝缘膜的上方形成第 1 层间绝缘膜;第 7 工序,形成贯通所述栅极绝缘膜及所述第 1 层间绝缘膜的第 1 接触孔及贯通所述第 1 层间绝缘膜的第 2 接触孔;第 8 工序,通过在所述第 1 层间绝缘膜上进行金属膜的成膜并对该金属膜进行图案形成,而以与所述第 1 电源布线交叉的方式形成经由所述第 1 接触孔与所述栅电极电连接的栅极布线,并且以与所述栅极布线并行的方式形成经由所述第 2 接触孔与所述第 1 电源布线电连接的第 2 电源布线,进而以与所述第 2 电源布线并行的方式形成辅助布线;第 9 工序,以覆盖所述第 1 层间绝缘膜、所述第 2 电源布线及所述辅助布线的上面的方式形成第 2 层间绝缘膜;第 10 工序,形成贯通

所述辅助电极上的所述第 2 层间绝缘膜的所述第 3 接触孔；以及第 11 工序，在所述第 2 层间绝缘膜的上方，形成包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层的 EL 部；在所述第 11 工序中，经由所述第 3 接触孔将所述阴极电极与所述辅助布线电连接。

[0106] 根据本方式，能够容易地制造上述的本发明的 EL 显示面板。

[0107] 进而，在本发明的 EL 显示面板的制造方法的一种方式中，优选：由所述第 4 工序形成的半导体层为非结晶性半导体膜；在所述第 4 工序与所述第 5 工序之间，包含对于所述非结晶性半导体膜照射预定的激光，通过所述预定的激光的照射将所述非结晶性半导体膜的温度设为预定的温度范围，使所述非结晶性半导体膜结晶化的工序。

[0108] 根据本方式，能够形成包含多结晶性半导体膜的半导体层，能够制造包含导通特性优异的薄膜晶体管的 EL 显示面板。

[0109] 进而，在本发明的 EL 显示面板的制造方法的一种方式中，优选：所述 EL 部是由有机发光层形成了所述发光层的有机 EL 部。

[0110] 根据本方式，能够制造显示性能优异的有机 EL 显示面板。

[0111] 以下，关于本发明的 EL 显示面板、EL 显示面板的制造方法以及 EL 显示装置的实施方式及实施例，参照附图进行说明。另外，各附图是用于说明的示意图，膜厚及各部分的大小之比等未必是严格地表示的膜厚及各部分的大小之比。

[0112] （第 1 实施方式）

[0113] 首先，关于本发明的第 1 实施方式的 EL (Electro Luminescence, 电致发光) 面板，使用图 1 进行说明。图 1 是本发明的第 1 实施方式的有机 EL 显示面板的部分剖切立体图。

[0114] 如图 1 所示，本发明的第 1 实施方式的 EL 显示面板 1，是有机 EL 显示面板（有机 EL 显示器），具备自发光型显示元件即有机 EL 元件 10、包括形成有薄膜晶体管及各种布线等的有源矩阵基板的显示装置用薄膜半导体阵列装置 20。

[0115] 有机 EL 元件 10 具备依次形成于显示装置用薄膜半导体阵列装置 20 上的下部电极 12、有机发光层 13 及上部电极 14。有机发光层 13 通过层叠电子迁移层、发光层、空穴迁移层所构成。

[0116] 显示装置用薄膜半导体阵列装置 20 具备矩阵状（行列状）地配置有多个像素 100 的像素部，在各像素 100 设置有包含薄膜晶体管（未图示）的像素电路 30。此外，显示装置用薄膜半导体阵列装置 20 具备配置为矩阵状的栅极布线 21 及源极布线 22。栅极布线 21 在行方向排列多条，源极布线 22 在列方向排列多条。此外，栅极布线 21 及源极布线 22 构成正交，分别将各像素电路 30 与控制电路（未图示）连接。

[0117] 在各像素电路 30，作为用于选择像素 100 的开关元件及用于对有机 EL 元件 10 进行驱动的驱动元件，至少设置有 2 个薄膜晶体管。

[0118] 另外，虽然在图 1 中未图示，但是显示装置用薄膜半导体阵列装置 20 具备在列方向排列的多条第 1 电源布线 23A 及在行方向排列的多条第 2 电源布线 23B。多条第 1 电源布线 23A 与源极布线 22 平行地配置，并连接于各像素 100 的驱动元件。

[0119] 这样，本实施方式的有机 EL 显示面板 1 采用有源矩阵方式，该有源矩阵方式按由栅极布线 21 和源极布线 22 划分成的每像素 100 进行显示控制。

[0120] 接着，关于制作本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的一

例,使用图 2 进行说明。图 2 表示本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的母基板。如图 2 所示,母基板包含 2 个显示部 200,通过将该母基板切割为 2 块,可以得到 2 个显示装置用薄膜半导体阵列装置 20。各显示部 200 如上所述,矩阵状(行列状)地配置像素 100 而构成。另外,在图 2 中,对像素 100,仅图示了显示部 200 的角部的像素。此外,在图 2 中,设母基板包含 2 个显示部 200,示出了取得两块例子,但是显示部 200 也可以设为 2 个以上的多个,此外,也可以将显示部 200 设为仅 1 个。

[0121] 接着,关于本发明的第 1 实施方式的 EL 显示面板的像素的电路结构,使用图 3 进行说明。图 3 是本发明的第 1 实施方式的 EL 显示面板的一像素的电路结构图。以下,在图 3~图 15 所示的本发明的第 1 实施方式中,第 1 薄膜晶体管及第 2 薄膜晶体管作为 p 沟道型的 TFT 进行说明。

[0122] 如图 3 所示,各像素 100 具备像素电路 30 和有机 EL 元件 10,所述像素电路 30 包括第 1 薄膜晶体管 310、第 2 薄膜晶体管 320 及电容器 300C。第 1 薄膜晶体管 310 是用于选择像素 100 的选择晶体管(开关晶体管),第 2 薄膜晶体管 320 是用于对有机 EL 元件 10 进行驱动的驱动晶体管。

[0123] 第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 及第 1 栅电极 310G。第 1 源电极 310S 连接于源极布线 22,第 1 栅电极 310G 连接于栅极布线 21。此外,第 1 漏电极 310D 连接于电容器 300C 及第 2 薄膜晶体管 320 的第 2 栅电极 320G。当对栅极布线 21 及源极布线 22 施加电压时,第 1 薄膜晶体管 310 将施加于源极布线 22 的电压值作为显示数据保存于电容器 300C。

[0124] 第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏电极 320D 及第 2 栅电极 320G。第 2 漏电极 320D 连接于有机 EL 元件 10 的阳极(下部电极),第 2 源电极 320S 连接于第 1 电源布线 23A。此外,第 2 栅电极 320G 连接于第 1 薄膜晶体管 310 的第 1 漏电极 310D。第 2 薄膜晶体管 320 将与电容器 300C 所保持的电压值对应的电流从第 1 电源布线 23A 通过第 2 漏电极 320D 供给至有机 EL 元件 10 的阳极。

[0125] 在这样构成的像素 100 中,当对栅极布线 21 输入栅信号,将第 1 薄膜晶体管 310 设为导通状态时,经由源极布线 22 供给的信号电压被写入至电容器 300C。并且,写入至电容器 300C 的保持电压经过 1 帧期间而保持。通过该保持电压,第 2 薄膜晶体管 320 的电导模拟性地发生变化,与发光等级对应的驱动电流从有机 EL 元件 10 的阳极流向阴极(负极)。由此,有机 EL 元件 10 发光,作为图像而显示。

[0126] 接着,关于本发明的第 1 实施方式的 EL 显示面板 1 的像素的结构,使用图 4A 及图 4B 进行说明。图 4A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含薄膜晶体管的剖面的剖面图。图 4B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含辅助布线的剖面的剖面图。

[0127] 如图 4A 所示,本发明的第 1 实施方式的 EL 显示面板 1 的各像素,具备用于选择像素的开关晶体管即第 1 薄膜晶体管 310 和驱动有机 EL 元件 10 的驱动晶体管即第 2 薄膜晶体管 320。如上所述,第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 及第 1 栅电极 310G。此外,第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏电极 320D 及第 2 栅电极 320G。

[0128] 如图 4A 所示,在各像素中,在基板 300 上,形成第 1 栅电极 310G 及第 2 栅电极

320G。此外,以覆盖第1栅电极310G及第2栅电极320G的方式,形成栅极绝缘膜330。

[0129] 在第1栅电极310G的上方、栅极绝缘膜330之上,形成第1半导体层311。此外,在第2栅电极320G的上方、栅极绝缘膜330之上,形成第2半导体层321。

[0130] 一对第1源电极310S及第1漏电极310D覆盖第1半导体层311的一部分而以相互相对的方式分离配置。此外,一对第2源电极320S及第2漏电极320D覆盖第2半导体层321的一部分而以相互相对的方式分离配置。

[0131] 第1薄膜晶体管310的第1源电极310S与源极布线22电连接。此外,第2薄膜晶体管320的第2源电极320S与第1电源布线23A电连接。

[0132] 进而,以覆盖第1薄膜晶体管310及第2薄膜晶体管320的方式,形成第1层间绝缘膜340(下部层间绝缘膜)。第1层间绝缘膜340例如作为用于保护第1薄膜晶体管310及第2薄膜晶体管320的钝化膜而起作用。

[0133] 在第1层间绝缘膜340上,形成第2电源布线23B。第2电源布线23B经由形成于第1层间绝缘膜340的接触孔与第1电源布线23A电连接。

[0134] 以覆盖第2电源布线23B的方式在第1层间绝缘膜340上形成第2层间绝缘膜350(上部层间绝缘膜)。第2层间绝缘膜350例如作为用于使显示装置用薄膜半导体装置(薄膜半导体部)的上面变得平坦的平坦化膜而起作用。由此,能够平坦地形成上层的有机EL元件10。

[0135] 在第2层间绝缘膜350上,形成依次层叠有下部电极12、有机发光层13及上部电极14的有机EL元件10。在第2层间绝缘膜350上,在与相邻像素的边界部分形成堤栏(bank)15。在通过相邻的堤栏15构成的开口,形成下部电极12及有机发光层13。

[0136] 下部电极12是以像素为单位配置的阳极电极(正极),其形成于第2层间绝缘膜350上。下部电极12经由贯通第1层间绝缘膜340及第2层间绝缘膜350的接触孔,与第2薄膜晶体管的第2漏电极320D电连接。

[0137] 有机发光层13(有机EL层)以颜色(子像素列)为单位或以子像素为单位形成,由预定的有机发光材料构成。

[0138] 上部电极14配置于有机发光层13的上方,是以跨多个像素的方式形成的阴极电极(负极),其通过ITO等透明电极构成。在本实施方式中,上部电极14是全部像素所共用的共用电极。另外,在本实施方式中,上部电极14是接地电位。

[0139] 此外,如图4B所示,在第1层间绝缘膜340上,形成有辅助布线25。辅助布线25与有机EL元件10的上部电极14电连接,防止上部电极14在显示画面的中央区域产生的电压下降。辅助布线25作为对上部电极14供给预定的电源的EL电源线而起作用。

[0140] 另外,在本实施方式中,在有机EL层L3,不形成与上部电极14电连接的辅助布线。

[0141] 电极部120构成为,从第2薄膜晶体管320的第2漏电极320D延伸设置。如图4B所示,电极部120经由中继电极与有机EL元件10的下部电极12电连接。由此,第2薄膜晶体管320的第2漏电极320D与下部电极12电连接。

[0142] 在这样构成的EL显示面板1中,将最下层的形成薄膜晶体管的层设为TFT层(TFT部)L1,将最上层的形成有机EL元件10的层设为有机EL层(有机EL部)L3,将TFT层L1与有机EL层L3之间的层、即形成各种布线的层设为布线层(布线部)L2。在该布线层L2,如图4A及图4B所示,例如形成第2电源布线23B及辅助布线25等。此外,在本实施方式

中,通过 TFT 层 L1 和布线层 L2 构成薄膜半导体部。

[0143] 此外,在 TFT 层 L1 中,将形成第 1 栅电极 310G 及第 2 栅电极 320G 的层设为第 1 金属层 ML1。此外,将形成一对第 1 源电极 310S 及第 1 漏电极 310D 和一对第 2 源电极 320S 及第 2 漏电极 320D 的层设为第 2 金属层 ML2。从而,如图 4A 及图 4B 所示,在本实施方式中,源极布线 22 形成于第 2 金属层 ML2。

[0144] 此外,在布线层 L2 中,将形成电源布线 23 的层设为第 3 金属层 ML3。另外,虽然后面描述,但是在第 3 金属层 ML3,除了第 2 电源布线 23B 及辅助布线 25 以外,还形成栅极布线 21。

[0145] 在这些第 1 金属层 ML1 ~ 第 3 金属层 ML3 中,形成于同一金属层的电极及布线等金属部件,能够通过同一金属膜进行图案形成而同时形成。

[0146] 接着,关于本发明的第 1 实施方式的 EL 显示面板 1,使用图 5 ~ 图 7 进行说明。图 5 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 元件 10 的上部电极及发光层的状态。图 6 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 层 L1 及第 2 层间绝缘膜的状态。此外,图 7 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 层 L1、布线层 L2 及第 1 层间绝缘膜的状态。

[0147] 如图 5 所示,本发明的第 1 实施方式的 EL 显示面板 1,具备排列为矩阵状(行列状)的像素 100,在各像素 100,配置下部电极 12。

[0148] 此外,如图 6 所示,沿像素 100 的行方向,互相平行地配置多条栅极布线 21、多条第 2 电源布线 23B 及多条辅助布线 25。

[0149] 在相邻的栅极布线 21 之间,配置第 2 电源布线 23B 及辅助布线 25,第 2 电源布线 23B 及辅助布线 25 与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置。

[0150] 另外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25,形成于图 4A 及图 4B 所示的布线层 L2 的第 3 金属层 ML3。此外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25 形成于第 1 层间绝缘膜 340(未图示)上。

[0151] 图 7 是在图 6 中透过了栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的状态的图。另外,在图 6 中,关于形成栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的区域,由虚线进行表示。

[0152] 如图 7 所示,本发明的第 1 实施方式的 EL 显示装置 1,具备沿像素 100 的列方向互相平行地配置的多条源极布线 22 及多条第 1 电源布线 23A。

[0153] 第 1 电源布线 23A 和源极布线 22,形成于图 4A 所示的 TFT 层 L1 的第 2 金属层 ML2,且配置为与形成于上层的布线层 L2 的栅极布线 21、第 2 电源布线 23B 及辅助布线 25 立体交叉。

[0154] 接着,关于图 5 ~ 图 7 中的各像素 100 的详细结构,使用图 8 ~ 图 10、图 11A、图 11B、图 11C、图 12A 及图 12B 进行说明。图 8 ~ 图 10 分别对应于图 5 ~ 图 7 的各像素 100,是本发明的第 1 实施方式的 EL 显示面板的俯视图。图 11A 是沿图 9 的 X1-X1' 线剖切而得到的剖面图,图 11B 是沿图 9 的 X2-X2' 线剖切而得到的剖面图,图 11C 是沿图 8 的 X3-X3' 线剖切而得到的剖面图。此外,图 12A 是从图 9 的 X4-X4' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。图 12B 是从图 10 的 X3-X3' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。

[0155] 如图 8～图 10 所示,本发明的第 1 实施方式的 EL 显示面板 1 具备显示装置用薄膜半导体装置,所述显示装置用薄膜半导体装置具有基板 300、第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320、栅极布线 21、源极布线 22、第 1 电源布线 23A、第 2 电源布线 23B、辅助布线 25 和第 1 层间绝缘膜 340。

[0156] 第 1 薄膜晶体管 310 是第 1 栅电极 310G、栅极绝缘膜 330、第 1 半导体层 311(沟道层)、一对第 1 源电极 310S 及第 1 漏电极 310D 的层叠结构体。此外,第 2 薄膜晶体管 320 是第 2 栅电极 320G、栅极绝缘膜 330、第 2 半导体层 321(沟道层)、一对第 2 源电极 320S 及第 2 漏电极 320D 的层叠结构体。

[0157] 在本实施方式中,第 1 薄膜晶体管 310、第 2 薄膜晶体管 320、源极布线 22 及第 1 电源布线 23A 形成于图 4A 所示的 TFT 层 L1。此外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25 形成于图 4A 及图 4B 所示的布线层 L2。

[0158] 以下,关于本发明的第 1 实施方式的 EL 显示面板 1 的各构成要素,从下层的构成要素开始按顺序进行详述。

[0159] 第 1 栅电极 310G 及第 2 栅电极 320G,如图 10、图 11A、图 11B 及图 12B 所示,在基板 300 上图案形成成为岛状。第 1 栅电极 310G 及第 2 栅电极 320G 形成于图 4A 所示的第 1 金属层 ML1。

[0160] 栅极绝缘膜 330,如图 11A 及图 11B 所示,以覆盖第 1 栅电极 310G 及第 2 栅电极 320G 的方式在基板 300 上形成。此外,栅极绝缘膜 330 在形成接触孔的区域以外的区域,形成于基板 300 上的整面。

[0161] 第 1 半导体层 311,如图 10 及图 11B 所示,在栅极绝缘膜 330 上、第 1 栅电极 310G 的上方图案形成成为岛状。此外,第 2 半导体层 321 在栅极绝缘膜 330 上、第 2 栅电极 320G 的上方图案形成成为岛状。

[0162] 另外,第 1 半导体层 311 及第 2 半导体层 321 能够设为 n 沟道型或 p 沟道型。在本实施方式中,因为第 1 半导体层 311 及第 2 半导体层 321 由正电位的第 2 电源布线 23B 覆盖,所以第 1 半导体层 311 及第 2 半导体层 321 都设为 p 沟道型。

[0163] 第 1 薄膜晶体管 310 中的一对第 1 源电极 310S 及第 1 漏电极 310D,如图 10 及图 11B 所示,形成成为在第 1 半导体层 311 的上方与第 1 半导体层 311 重叠,此外形成成为相互相对。这些第 1 源电极 310S 及第 1 漏电极 310D 形成于图 4A 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0164] 另外,在本说明书中,所谓“重叠”,指从上下方向看处于互相重合的位置关系。

[0165] 进而,第 1 漏电极 310D,如图 10 及图 11B 所示,形成成为与第 2 薄膜晶体管 320 的第 2 栅电极 320G 重叠。第 1 漏电极 310D 与第 2 栅电极 320G 通过第 4 接触部 114(第 4 导电部)电连接。第 4 接触部 114,通过在第 1 漏电极 310D 与第 2 栅电极 320G 重叠的位置、在形成于厚度方向的第 4 接触孔埋入导电部件而构成。在本实施方式中,如图 11B 所示,第 4 接触部 114,通过在贯通栅极绝缘膜 330 而形成的第 4 接触孔埋入第 1 漏电极 310D 的一部分而构成。

[0166] 另外,如图 11B 所示,对应于第 4 接触部 114 的第 4 接触孔,形成于栅极绝缘膜 330。在本实施方式中,第 4 接触部 114 如图 10 所示形成有 3 个。

[0167] 此外,第 2 薄膜晶体管 320 中的一对第 2 源电极 320S 及第 2 漏电极 320D,如图 10

及图 11B 所示,形成为在第 2 半导体层 321 的上方与第 2 半导体层 321 重叠,此外形成为相互相对。这些第 1 源电极 310S 及第 1 漏电极 310D 形成于处于 TFT 层 L1 的第 2 金属层 ML2。

[0168] 进而,如图 10 及图 12B 所示,第 2 漏电极 320D 沿列方向(纵向方向)直线状地延伸设置,在与第 2 半导体层 321 的相反侧部分形成有比延伸设置部分幅度宽的岛状的电极部 120。

[0169] 电极部 120 经由第 3 接触部 113(第 3 导电部)及与栅极布线 21 同层的中继电极与有机 EL 元件 10 的下部电极 12 电连接。第 3 接触部 113 通过在第 3 接触孔(孔部)埋入导电材料而构成,所述第 3 接触孔形成为贯通形成于电极部 120 的上层的第 1 层间绝缘膜 340 及第 2 层间绝缘膜 350。

[0170] 源极布线 22,如图 10、图 11A、图 11B 及图 12B 所示,沿像素 100 的列方向(纵向方向)形成为线状。源极布线 22,配置为通过第 1 薄膜晶体管 310 的附近,构成为与第 1 源电极 310S 电连接。

[0171] 在本实施方式中,形成为:线状的源极布线 22 的一部分作为第 1 源电极 310S 而起作用,源极布线 22 与第 1 半导体层 311 重叠。在本实施方式中,源极布线 22 形成于图 4A 及图 4B 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0172] 另外,源极布线 22,关于与第 1 薄膜晶体管 310 重叠的部分以外的部分,形成于栅极绝缘膜 330 上。此外,源极布线 22 构成为,与后述的栅极布线 21、第 2 电源布线 23B 及辅助布线 25 隔着第 1 层间绝缘膜 340 立体交叉。

[0173] 第 1 电源布线 23A 与源极布线 22 同样,沿像素 100 的列方向(纵向方向)形成为线状。第 1 电源布线 23A,配置为通过第 2 薄膜晶体管 320 的附近,构成为与第 2 源电极 320S 电连接。

[0174] 在本实施方式中,形成为:线状的第 1 电源布线 23A 的一部分作为第 2 源电极 320S 而起作用,第 1 电源布线 23A 与第 2 半导体层 321 重叠。第 1 电源布线 23A 为正电位,对于第 2 薄膜晶体管 320 的第 2 源电极 320S 供给电源。在本实施方式中,第 1 电源布线 23A 形成于图 4A 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0175] 另外,第 1 电源布线 23A,关于与第 2 薄膜晶体管 320 重叠的部分以外的部分,形成于栅极绝缘膜 330 上。此外,第 1 电源布线 23A 构成为,与后述的栅极布线 21 及第 2 电源布线 23B 隔着第 1 层间绝缘膜 340 立体交叉。

[0176] 这样构成的源极布线 22 与第 1 电源布线 23A,配置为互相平行。此外,如上所述,源极布线 22 及第 1 电源布线 23A 形成于与一对第 1 源电极 310S 及第 1 漏电极 310D 以及一对第 2 源电极 320S 及第 2 漏电极 320D 相同的层的第 2 金属层 ML2,通过对同一金属膜进行图案形成而形成。

[0177] 第 1 层间绝缘膜 340,如图 11A 及图 11B 所示,形成为覆盖第 1 薄膜晶体管 310、第 2 薄膜晶体管 320、源极布线 22 及第 1 电源布线 23A。第 1 层间绝缘膜 340 构成为,是 TFT 层 L1 的最上层,覆盖形成于下部的电极和/或布线整体。

[0178] 栅极布线 21,如图 9 所示,沿像素 100 的行方向(横向方向)形成为线状。进而,栅极布线 21,如图 11A 所示,形成于第 1 层间绝缘膜 340 上,形成于图 4A 所示的处于布线层 L2 的第 3 金属层 ML3。即,栅极布线 21 形成于与形成有第 1 栅电极 310G 等的层(第 1 金

属层 ML1) 及形成有第 1 电源布线 23A 和 / 或源极布线 22 等的层 (第 2 金属层 ML2) 不同的层。

[0179] 此外,栅极布线 21,配置为通过第 1 薄膜晶体管 310 的附近,构成为与第 1 栅电极 310G 电连接。在本实施方式中,如图 10 及图 11A 所示,配置为栅极布线 21 与第 1 栅电极 310G 立体交叉,在该立体交叉部 (重叠部分),栅极布线 21 与第 1 栅电极 310G 经由第 1 接触部 111 (第 1 导电部) 电连接。

[0180] 第 1 接触部 111,通过在栅极布线 21 与第 1 栅电极 310G 重叠的位置、在形成于厚度方向的第 1 接触孔埋入导电部件而构成。在本实施方式中,如图 11A 所示,第 1 接触部 111,通过在贯通第 1 层间绝缘膜 340 及栅极绝缘膜 330 而形成的第 1 接触孔埋入栅极布线 21 的一部分而构成。

[0181] 第 2 电源布线 23B,如图 9 所示,沿像素 100 的行方向 (横向方向) 形成为线状。此外,如图 11B 所示,第 2 电源布线 23B,形成于第 1 层间绝缘膜 340 上,形成于图 4A 所示的处于布线层 L2 的第 3 金属层 ML3。即,第 2 电源布线 23B,如图 12A 所示,与栅极布线 21 形成于相同的层。

[0182] 此外,第 2 电源布线 23B,如图 9 所示,以与栅极布线 21 及辅助布线 25 并行的方式,配置于栅极布线 21 与辅助布线 25 之间。进而,第 2 电源布线 23B 配置为与第 1 电源布线 23A 立体交叉,在该立体交叉部分 (重叠部分),第 2 电源布线 23B 与第 1 电源布线 23A 经由形成于厚度方向的第 2 接触部 112 (第 2 导电部) 电连接。从而,在本实施方式中,第 2 电源布线 23B 的电位为与第 1 电源布线 23A 相同的正电位。

[0183] 第 2 接触部 112,如图 11B 所示,通过在以贯通第 1 层间绝缘膜 340 的方式形成的第 2 接触孔埋入导电材料而构成。在本实施方式中,第 2 接触部 112,通过在第 2 接触孔埋入第 2 电源布线 23B 的一部分而构成。此外,在本实施方式中,第 2 接触部 112,如图 9 及图 10 所示,形成有 16 个 (8 行 2 列)。

[0184] 另外,在本实施方式中,构成第 2 电源布线 23B 的材料,能够由从 Al (铝)、Cu (铜)、Ag (银) 选择的任意一种元素构成。此外,还能够构成为,将第 2 电源布线 23B 设为多层布线,构成第 2 电源布线 23B 的主布线由从 Al、Cu、Ag 选择的任意一种元素构成。

[0185] 辅助布线 25,如图 9 所示,沿像素 100 的行方向 (横向方向) 形成为线状。此外,如图 11C 所示,辅助布线 25,形成于第 1 层间绝缘膜 340 上,形成于图 4B 所示的处于布线层 L2 的第 3 金属层 ML3。即,辅助布线 25,如图 12A 所示,与栅极布线 21 及第 2 电源布线 23B 形成于相同的层。

[0186] 此外,辅助布线 25,如图 9 所示,配置为与第 2 电源布线 23B 并行。进而,辅助布线 25,配置为与第 1 电源布线 23A 立体交叉,经由形成于该立体交叉部分 (重叠部分) 的第 5 接触部 115 (第 5 导电部),如图 11C 所示,与在比辅助布线 25 靠上层形成的上部电极 14 电连接。从而,在本实施方式中,辅助布线 25 的电位为与上部电极 14 相同的电位。

[0187] 第 5 接触部 115,如图 11C 所示,通过在以贯通辅助布线 25 上的第 2 层间绝缘膜 350 的方式形成的第 5 接触孔埋入导电材料而构成。在本实施方式中,第 5 接触部 115,通过在第 5 接触孔埋入上部电极 14 的一部分而构成。此外,在本实施方式中,第 5 接触部 115,如图 8 ~ 图 10 所示,形成有 16 个 (8 行 2 列)。

[0188] 如图 11C 所示,在第 2 层间绝缘膜 350 上,形成有机 EL 元件 10。在本实施方式中,

在第 2 层间绝缘膜 350 上,形成有机 EL 元件 10 的下部电极 12。下部电极 12,如图 8 所示,按每像素 100 而形成,以除去形成第 5 接触部 115 的部分的方式进行图案形成。另外,在下部电极 12 上,依次形成有机发光层 13 及上部电极 14。

[0189] 这样,本实施方式的 EL 显示面板 1 配置为,栅极布线 21、第 2 电源布线 23B 及辅助布线 25,与源极布线 22 及第 1 电源布线 23A 正交并且立体交叉。此外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25,形成于第 1 层间绝缘膜 340 上的处于布线层 L2 的第 3 金属层 ML3,与形成于 TFT 层 L1 的第 1 金属层 ML1 的第 1 栅电极 310G 及第 2 栅电极 320G,形成于不同的层。进而,栅极布线 21、第 2 电源布线 23B 及辅助布线 25,即与形成于 TFT 层 L1 的第 2 金属层 ML2 的源极布线 22 及第 1 电源布线 23A 形成于不同的层、此外也与有机 EL 层 L1 形成于不同的层。

[0190] 接着,关于本发明的第 1 实施方式的 EL 显示面板 1 的制造方法,使用图 13A ~ 图 13J 进行说明。图 13A ~ 图 13J 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法的各工序的剖面图。另外,图 13A ~ 图 13J 对应于图 9 的 X2-X2' 线剖面。

[0191] 首先,如图 13A 所示,准备基板 300。作为基板 300,能够使用通过石英玻璃等玻璃材料构成的绝缘性的基板。另外,为了防止从基板 300 的杂质的扩散,也可以将由氧化硅膜或氮化硅膜构成的底涂层形成于基板 300 的上面。底涂层的膜厚为 100nm 左右。

[0192] 接着,在用纯水等进行了清洗之后,通过溅射等将具有耐热性的第 1 金属膜成膜于基板 300 上的整面,此后,通过光刻及湿法蚀刻等将第 1 金属膜图案形成成为预定形状,由此如图 13B 所示,形成第 1 栅电极 G 及第 2 栅电极 320G。作为第 1 金属膜的材料,能够使用有耐热性的 Mo、W、Ta、Ti、Ni 中的任一金属或它们的合金。在本实施方式中,使用 Mo,以 100nm 左右的膜厚对第 1 金属膜进行成膜。

[0193] 接着,如图 13C 所示,以覆盖第 1 栅电极 310G 及第 2 栅电极 320G 的方式,在基板 300 上的整面形成栅极绝缘膜 330。作为栅极绝缘膜 330 的材料,能够使用氧化硅膜 (SiO_2)、氮化硅膜 (SiN) 或它们的复合膜。此外,在本实施方式中,作为栅极绝缘膜 330 的膜厚,以 200nm 左右的膜厚进行了成膜。

[0194] 接着,如图 13D 所示,在栅极绝缘膜 330 上,进行非结晶性半导体膜 301 的成膜。在本实施方式中,作为非结晶性半导体膜 301,使用非晶质硅膜(非晶硅膜),通过等离子体 CVD,以 50nm 左右进行了成膜。另外,栅极绝缘膜 330 及非结晶性半导体膜 301,能够不破坏真空地通过连续等离子体 CVD 等进行成膜。

[0195] 此后,如由图 13D 的箭头所示,通过对非结晶性半导体膜 301 实施由受激准分子激光等进行的激光照射,使非结晶性半导体膜 301 结晶化而改质为多结晶性半导体膜。具体地,例如,通过对非晶质硅膜照射受激准分子激光等,使非晶质硅膜的温度上升至预定的温度范围,由此使非晶质硅膜结晶化而扩大晶体粒径而成为多结晶性半导体膜。在此,所谓预定的温度范围,例如为 $1100^{\circ}\text{C} \sim 1414^{\circ}\text{C}$ 。此外,多结晶性半导体内的平均晶体粒径为 $20\text{nm} \sim 60\text{nm}$ 。

[0196] 在此,第 1 栅电极 310G 及第 2 栅电极 320G,因为在该激光照射工序中暴露于高温,所以优选由熔点比所述温度范围的上限值 (1414°C) 高的金属构成。另一方面,在以后的工序中形成于第 2 金属层 ML2 及第 3 金属层 ML3 的布线及电极,也可以由熔点比所述温度范围的下限值 (1100°C) 低的金属构成。

[0197] 另外,在激光的照射之前,作为预处理,优选以 400℃~500℃进行 30 分钟的退火处理。此外,在激光的照射之后,优选在真空中进行数秒~数十秒的氢等离子体处理。

[0198] 接着,如图 13E 所示,通过光刻及湿法蚀刻等,将结晶化了的非结晶性半导体膜 301 图案形成为岛状,形成第 1 半导体层 311 及第 2 半导体层 321。

[0199] 接着,如图 13F 所示,为了将第 1 漏电极 310D 与第 2 栅电极 320G 电连接,通过光刻及湿法蚀刻等,形成贯通栅极绝缘膜 330 的第 4 接触孔 CH4。

[0200] 接着,如图 13G 所示,通过溅射等,以覆盖栅极绝缘膜 330 和第 1 半导体层 311 及第 2 半导体层 321 的方式进行第 2 金属膜(未图示)的成膜,通过光刻及湿法蚀刻等对第 2 金属膜进行图案形成,由此将源极布线 22、第 1 电源布线 23A、第 1 源电极 310S 及第 1 漏电极 310D 以及第 2 源电极 320S 及第 2 漏电极 320D 形成为预定形状。此时,在第 4 接触孔 CH4 也填充构成第 2 金属膜的材料,形成第 4 接触部 114。

[0201] 另外,作为构成源极布线 22、第 1 电源布线 23A、第 1 源电极 310S 及第 1 漏电极 310D 以及第 2 源电极 320S 及第 2 漏电极 320D 的第 2 金属膜的材料,优选是低电阻金属,能够使用 Al、Cu、Ag 中的任一金属或它们的合金。在本实施方式中,使用 Al,以 300nm 左右的膜厚进行了第 2 金属膜的成膜。进而,优选在 Al 的上部、下部或双方形成 Mo 等高耐热性的金属作为势垒金属。势垒金属的厚度为 50nm 左右。此外,在进一步要求布线的低电阻化的情况下,优选不用 Al 而使用 Cu。另外,通过不改变材料而使第 2 金属膜的厚度增加也能够实现低电阻化。

[0202] 此外,优选在第 1 源电极 310S 与第 1 半导体层 311 之间及第 1 漏电极 310D 与第 1 半导体层 311 之间,形成低电阻半导体膜。该低电阻半导体膜一般使用作为杂质而掺杂有磷等 n 型掺杂剂的非晶质硅膜、或作为杂质而掺杂有硼等 p 型掺杂剂的非晶质硅膜。作为低电阻半导体膜的膜厚,能够设为 20nm 左右。进而,在结晶化了的第 1 半导体层 311 与低电阻半导体膜(掺杂有杂质的非晶质硅膜)之间,也可以形成由非晶质硅构成的未掺杂(刻意不掺杂杂质)的半导体膜。通过形成这些膜,能够使 TFT 特性提高等得到期望的 TFT 特性。另外,关于第 2 薄膜晶体管 320 也同样。

[0203] 接着,如图 13H 所示,通过等离子体 CVD,以覆盖第 1 源电极 310S、第 1 漏电极 310D、第 2 源电极 320S 及第 2 漏电极 320D 等露出的电极及布线的方式,在基板 300 上的整面形成第 1 层间绝缘膜 340。第 1 层间绝缘膜 340 能够由氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0204] 接着,如图 13I 所示,为了将第 1 电源布线 23A 与第 2 电源布线 23B 连接,通过光刻及蚀刻等,形成贯通第 1 层间绝缘膜 340 的第 2 接触孔 CH2。此时,虽然未图示,但是为了将第 1 栅电极 310G 与栅极布线 21 连接,也形成连续贯通第 1 层间绝缘膜 340 及栅极绝缘膜 330 的第 1 接触孔。

[0205] 接着,如图 13J 所示,通过溅射等在第 1 层间绝缘膜 340 上形成第 3 金属膜,并通过光刻及蚀刻等将第 3 金属膜图案形成为预定形状,由此形成栅极布线 21、第 2 电源布线 23B 及辅助布线 25。此时,在第 2 接触孔 CH2 及第 1 接触孔(未图示)也填充构成第 3 金属膜的材料,形成第 2 接触部 112 及第 1 接触部 111。

[0206] 另外,构成栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的第 3 金属膜的材料,优选是低电阻材料,能够由与第 2 金属层相同的金属材料构成。例如,通过在作为势垒金属而

形成了 50nm 的 Mo 之后,形成 300nm 的 Al,能够构成第 3 金属膜。

[0207] 虽然未图示,但是此后,通过等离子体 CVD 等形成第 2 层间绝缘膜 350。第 2 层间绝缘膜 350 能够由与第 1 层间绝缘膜 340 同样的材料构成,例如,能够由氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0208] 然后,在第 2 层间绝缘膜 350 上,依次形成下部电极 12、有机发光层 13 及上部电极 14。另外,在中途,以使辅助布线 25 露出的方式在第 2 层间绝缘膜 350 形成第 5 接触孔,使辅助布线 25 与上部电极 14 经由第 5 接触孔电连接。

[0209] 通过以上,能够制造本发明的第 1 实施方式的 EL 显示面板 1。

[0210] 以上,根据本发明的第 1 实施方式的 EL 显示面板 1,栅极布线 21 形成于第 1 层间绝缘膜 340 上的 TFT 层 L2,配置于与第 1 栅电极 310G(及第 2 栅电极 320G)单独的层(不同的层)。由此,栅极布线 21 与第 1 栅电极 310G(及第 2 栅电极 320G)能够分别选择适合的材料。

[0211] 进而,根据本实施方式的 EL 显示面板 1,栅极布线 21 配置于第 1 层间绝缘膜 340 的上层,另一方面,第 1 电源布线 23A(或源极布线 22)在第 1 层间绝缘膜 340 的下层配置于与第 1 漏电极 310D 及第 2 源电极 320S 相同的层的第 2 金属层 ML2(TFT 层 L1)。由此,栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的间隔不依赖于第 1 栅电极 310G(或第 2 栅电极 320G)与第 1 漏电极 310D(或第 2 源电极 320S)之间的间隔,而对应于形成于第 1 漏电极 310D(或第 2 源电极 320S)上的第 1 层间绝缘膜 340 的膜厚。

[0212] 在此,形成于第 1 漏电极 310D(或第 2 源电极 320S)上的第 1 层间绝缘膜 340,由于是对薄膜半导体部(显示装置用薄膜半导体装置)的表面进行保护的膜,所以即使将其膜厚加厚对薄膜半导体部的性能也不产生影响。从而,通过增大第 1 层间绝缘膜 340 的膜厚,能够增大栅极布线 21 与第 1 漏电极 310D(或第 2 源电极 320S)之间的间隔。由此,因为能够确保栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的膜厚间距离,所以能够降低栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的寄生电容。

[0213] 进而,根据本实施方式的 EL 显示面板 1,电连接于第 2 源电极 320S 的第 1 电源布线 23A 与第 2 电源布线 23B 配置为立体交叉,这些第 1 电源布线 23A 与第 2 电源布线 23B 经由第 2 接触部 112 电连接。由此,第 2 薄膜晶体管 320 的第 2 源电极 320S 能够从纵向方向的第 1 电源布线 23A 和横向方向的第 2 电源布线 23B 双方向接受电源供给。从而,对于伴随着显示装置大画面化而在显示区域的中央区域产生的 IR 压降,能够降低 IR 压降量。其结果,能够减轻显示装置的辉度不均。尤其是,因为有机 EL 显示面板是电流驱动型的显示面板,所以为了抑制辉度不均,优选降低布线电阻而减小 IR 压降。

[0214] 进而,根据本实施方式的 EL 显示面板 1,第 2 电源布线 23B 及辅助布线 25,在第 1 层间绝缘膜 340 上与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置。由此,能够通过第 2 电源布线 23B 及辅助布线 25 填埋由于在第 1 层间绝缘膜 340 上配置栅极布线 21 而形成的凹凸的凹部。

[0215] 即,通过第 2 电源布线 23B 及辅助布线 25,能够减轻第 1 层间绝缘膜 340 上的凹凸,能够使薄膜半导体部的平坦度提高。其结果,能够减轻第 1 层间绝缘膜 340 上的凹凸对上层产生的影响。从而,因为能够提高形成于薄膜半导体部上的有机 EL 元件 10 的平坦性,所以能够抑制 EL 显示面板的发光辉度不均等。而且,在该情况下,因为不需要使形成于有

机 EL 元件 10 的下层的第 2 层间绝缘膜等平坦化膜厚膜化,所以能够实现更薄型的 EL 显示面板。

[0216] 进而,根据本实施方式的 EL 显示面板 1,对于特定的 1 个像素的第 2 薄膜晶体管 320,能够从列方向的第 1 电源布线 23A 及行方向的第 2 电源布线 23B 双方向供给电力。由此,例如,即使假设与某像素的第 2 薄膜晶体管 320 连接的第 1 电源布线 23A 存在断线不良等,也能够通过作为另一方电源布线的第 2 电源布线 23B 对于该像素的第 2 薄膜晶体管 320 供给电力。即,对于 1 个像素能够通过 2 条电源布线供给电力。从而,因为能够抑制像素不良,所以能够抑制 EL 显示面板的显示不均。

[0217] 这样,在本实施方式中,第 2 电源布线 23B 具有作为电源供给用的后备布线的功能,并且也具有作为平坦化膜的功能。

[0218] 进而,根据本实施方式的 EL 显示面板 1,用于防止伴随着 EL 显示面板的大画面化而在显示画面的中央区域产生的电压下降的辅助布线 25(EL 电源线),不配置于 EL 部(有机 EL 层 L3),而配置于布线层 L2、即薄膜半导体部。而且,该辅助布线 25 在第 1 层间绝缘膜 340 的上面,与栅极布线 21 及第 2 电源布线 23B 一起并行地配置。由此,能够有效活用在栅极布线 21 及第 2 电源布线 23B 的配置中所利用的已有层,来配置辅助布线 25。这样,通过将配置于 EL 部的辅助布线 25 移至薄膜半导体部的已有层,不会对薄膜半导体部增加空间上的负担,而能够释放以往为了配置 EL 部的辅助布线而利用的空间。从而,能够扩大 EL 部的设计的自由度,并且能够增大各像素的开口率。

[0219] 以上,在本实施方式的 EL 显示面板 1 中,若将通过栅极布线 21、第 1 电源布线 23A、由栅极布线 21 和第 1 电源布线 23A 所夹的第 1 层间绝缘膜 340 形成的单位面积的电容设为 C_{PAS} ,将通过第 1 栅电极 310G、第 1 电源布线 23A、由第 1 栅电极 310G 和第 1 电源布线 23A 所夹的栅极绝缘膜 330 形成的单位面积的电容设为 C_{GI} ,则优选 $C_{PAS} < C_{GI}$ 。

[0220] 即,优选:通过由形成有栅极布线 21 的层、即第 3 金属层 ML3 和形成有第 1 电源布线 23A 的层、即第 2 金属层 ML2 所夹的第 1 层间绝缘膜 340 形成的单位面积的电容 C_{PAS} ,比通过由形成有第 1 栅电极 310G 的层、即第 1 金属层 ML1 和形成有第 1 电源布线 23A 的层、即第 2 金属层 ML2 所夹的栅极绝缘膜 330 形成的单位面积的电容 C_{GI} 小。

[0221] 由此,若将第 1 层间绝缘膜 340 的膜厚设为 d_{PAS} ,将栅极绝缘膜 33 的膜厚设为 d_{GI} ,则第 1 层间绝缘膜 340 与栅极绝缘膜 330 为同一材料的情况下,能够设为 $d_{PAS} > d_{GI}$ 。由此,因为能够使第 1 层间绝缘膜 340 上的栅极布线 21 与第 1 层间绝缘膜 340 之下的第 1 电源布线 23A 之间的间隔分离为栅极绝缘膜 330 的膜厚以上,所以能够进一步降低栅极布线 21 与第 1 电源布线 23A 之间的寄生电容。此外,同样地,因为关于栅极布线 21 与源极布线 22 之间的间隔也能够使其分离为栅极绝缘膜 330 的膜厚以上,所以关于栅极布线 21 与源极布线 22 之间的寄生电容也能够进一步降低。

[0222] 更具体地,优选:通过第 1 层间绝缘膜 340 形成的电容 C_{PAS} 小于 $1.5 \times 10^{-4} \text{F/m}^2$ 。此外,优选:通过栅极绝缘膜 330 形成的电容 C_{GI} 为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

[0223] 此外,在本实施方式的 EL 显示面板 1 中,因为第 2 电源布线 23B 如图 9 所示,构成为覆盖第 1 半导体层 311 及第 2 半导体层 321,所以优选第 1 半导体层 311 及第 2 半导体层 321 都构成为 p 沟道型。

[0224] 在薄膜晶体管的半导体层(沟道区域)中,在半导体层的表面和被覆薄膜晶体管

的层间绝缘膜的表面,有时在制造时会产生晶格缺陷。若产生该晶格缺陷,则会产生不稳定的界面能级,半导体层的背沟道的电位会变得不稳定。

[0225] 在本实施方式中,p 沟道型的第 1 半导体层 311 及第 2 半导体层 321 构成为与正电位的第 2 电源布线 23B 重叠,因为能够构成具有背栅的 p 沟道 TFT,所以能够使背沟道的电位变得稳定。其结果,如图 14 所示,关于作为具有背栅的 p 沟道 TFT 的第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320,与没有背栅的 p 沟道 TFT 同等地,能够实现抑制截止泄漏电流并进一步降低来自外部噪音的影响的效果。这是因为,由于所述背栅覆盖沟道区域的上方,所以作为对于外部噪音的电磁波屏蔽层而起作用。从而,能够实现具有截止特性优异又抗外部噪音强的薄膜晶体管的 EL 显示面板。

[0226] 另外,虽然只要构成为第 2 电源布线 23B 的至少一部分与第 1 半导体层 311 或第 2 半导体层 321 重叠便有效果,但是优选构成为第 2 电源布线 23B 与第 1 半导体层 311 或第 2 半导体层 321 完全重叠。

[0227] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 形成为与栅极布线 21 基本相同的膜厚、即与栅极布线 21 相同的高度或近似值的高度,并且形成为使第 2 电源布线 23B 及辅助布线 25 双方组合得到的宽度是与相邻的 2 条栅极布线 21 之间的宽度对应的宽度。进而,优选第 2 电源布线 23B 或辅助布线 25 与相邻的 2 条栅极布线 21 的距离设为 $4\mu\text{m}$ 以上。此外,优选第 2 电源布线 23B 与辅助布线 25 的距离也设为 $4\mu\text{m}$ 以上。

[0228] 在本实施方式中,因为栅极布线 21 形成于第 1 层间绝缘膜 340 上,所以直接这样会比不形成栅极布线 21 的区域突出栅极布线 21 的膜厚度,在相邻的栅极布线 21 间形成凹部。

[0229] 相对于此,如上所述,通过将第 2 电源布线 23B 及辅助布线 25 设为与栅极布线 21 基本相同的高度,并且设为与相邻的 2 条栅极布线 21 之间的宽度对应的宽度,能够通过第 2 电源布线 23B 及辅助布线 25 确保平坦性。由此,因为能够提高形成于上层的有机 EL 元件 10 的平坦性,所以能够抑制产生于 EL 显示面板的发光不均。

[0230] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 形成为与栅极布线 21 基本相同的高度,并且以填埋相邻的 2 条栅极布线 21 之间的方式与相邻的 2 条栅极布线 21 接近地配置。此外,优选第 2 电源布线 23B 及辅助布线 25 也以填埋互相的间隔的方式互相接近地配置。

[0231] 由此,因为能够通过第 2 电源布线 23B 填埋相邻的栅极布线 21 间的凹部,所以能够确保平坦性。

[0232] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 形成为与栅极布线 21 基本相同的高度,并且成为具有比第 1 电源布线 23A 的宽度宽阔的宽度的布线。

[0233] 由此,能够使薄膜半导体部的平坦性提高。而且,因为能够使第 2 电源布线 23B 比第 1 电源布线 23A 低电阻化,所以对于伴随着大画面化而在显示区域的中央区域产生的 IR 压降,能够大幅地降低该压降量。

[0234] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 以均匀的膜厚构成,并且按照形成于第 2 电源布线 23B 的下层的结构的表面形状而形成。

[0235] 由此,因为能够使第 2 电源布线 23B 及辅助布线 25 成为具有比第 1 电源布线 23A

的宽度宽阔的宽度的平板形状的布线,所以能够使第2电源布线23B及辅助布线25成为低电阻布线。从而,因为能够从布线电阻更低的第2电源布线23B经由第1电源布线23A对第2源电极320S进行电源供给,所以能够大幅地降低所述的IR压降量。

[0236] (第1实施方式的变形例)

[0237] 接着,关于本发明的第1实施方式的变形例的EL显示面板1',使用图15进行说明。图15是本发明的第1实施方式的变形例的EL显示面板1'的剖面图。另外,图15对应于图11B的本发明的第1实施方式的EL显示面板1的剖面图。

[0238] 本变形例的EL显示面板1'与本发明的第1实施方式的EL显示面板1基本的结构相同。从而,在图15中,关于与图11B所示的构成要素相同的构成要素,附加相同的符号,并省略化或简略化详细的说明。此外,图11B所示的结构以外的结构,与第1实施方式相同。

[0239] 本变形例的EL显示面板1',与本发明的第1实施方式的EL显示面板1不同之处是第1薄膜晶体管310的第1半导体层及第2薄膜晶体管320的第2半导体层的结构。

[0240] 如图15所示,本变形例的EL显示面板1',其第1薄膜晶体管310的第1半导体层由第1沟道层311A和第2沟道层311B构成,所述第1沟道层311A由多结晶性半导体膜构成,所述第2沟道层311B由非结晶性半导体膜构成。此外,第2薄膜晶体管320的第2半导体层也由第1沟道层321A和第2沟道层321B构成,所述第1沟道层321A由多结晶性半导体膜构成,所述第2沟道层321B由非结晶性半导体膜构成。

[0241] 第1沟道层311A及第1沟道层321A,能够由通过使非晶质硅膜(非晶硅膜)结晶化而形成的多结晶性半导体膜构成。

[0242] 第2沟道层311B及第2沟道层321B,与图11B所示的第1半导体层311及第2半导体层321同样地,能够由非晶质硅膜(非晶硅膜)构成。

[0243] 由多结晶性半导体膜构成的第1沟道层311A及第1沟道层321A,能够通过利用激光照射使非晶质硅膜(非晶硅膜)结晶化而形成。此外,第1沟道层311A(或第1沟道层321A)与第2沟道层311B(或第2沟道层321B),在俯视时成为相同的形状,都在栅极绝缘膜330上形成为岛状。

[0244] 本变形例的EL显示面板1',可产生与上述的本发明的第1实施方式的EL显示面板1同样的作用效果。

[0245] 进而,本变形例的EL显示面板1',其薄膜晶体管中的第1半导体层及第2半导体层,在由非晶质硅膜构成的第2沟道层311B(或第2沟道层321B)的下方,形成由多结晶性半导体膜构成的第1沟道层311A(或第1沟道层321A)。

[0246] 由此,在第1薄膜晶体管310及第2薄膜晶体管320中,通过由多结晶性半导体膜构成的第1沟道层311A及第1沟道层321A,因为能够使载流子迁移率升高,所以能够使导通特性提高。此外,因为在半导体层的上层形成由非晶质硅膜构成的第2沟道层311B及第2沟道层321B,所以能够维持截止特性。

[0247] (第2实施方式)

[0248] 接着,关于本发明的第2实施方式的EL显示面板2,使用图16~图18进行说明。图16是本发明的第2实施方式的EL显示面板的俯视图,表示透过有机EL层L1及第2层间绝缘膜的状态。此外,图17是本发明的第2实施方式的EL显示面板的俯视图,表示透

过了有机 EL 层 L1、布线层 L2 及第 1 层间绝缘膜的状态。图 18 是沿图 16 的 X2-X2' 线剖切而得到的剖面图。另外,沿图 16 的 X1-X1' 线剖切而得到的剖面,与图 11A 相同。此外,在各图中,关于形成于有机 EL 层 L3 的结构,进行了省略。

[0249] 本发明的第 2 实施方式的 EL 显示面板 2,与本发明的第 1 实施方式的 EL 显示面板 1 基本的结构相同。从而,在图 16 ~ 图 18 中,关于与图 8 ~ 图 10 所示的构成要素相同的构成要素,附加相同的符号,并省略化或简化详细的说明。

[0250] 本发明的第 2 实施方式的 EL 显示面板 2,与本发明的第 1 实施方式的 EL 显示面板 1 不同之处是:第 1 半导体层 311 及第 2 半导体层的沟道类型都是 n 沟道型;其结果,第 1 实施方式中的源电极及漏电极的各个在第 2 实施方式中相反地成为漏电极及源电极;以及电源布线 23 的结构。另外,除此以外的结构,与第 1 实施方式相同。

[0251] 如图 16 ~ 图 18 所示,在本发明的第 2 实施方式的 EL 显示面板 2 中,第 2 电源布线 23B 构成为与第 1 半导体层 311 及第 2 半导体层 321 不重叠,具备形成于第 1 半导体层 311 上的第 1 开口部 131 和形成于第 2 半导体层 321 上的第 2 开口部 132。

[0252] 此外,在本实施方式中,第 1 半导体层 311 及第 2 半导体层 321 都构成为 n 沟道型。

[0253] 这样构成的本发明的第 2 实施方式的 EL 显示面板 2,能够与第 1 实施方式同样地进行制造。但是,在本实施方式中,需要在第 2 电源布线 23B 形成第 1 开口部 131 及第 2 开口部 132。这通过在对第 3 金属膜进行图案形成时,在第 2 电源布线 23B 与第 1 半导体层 311 及第 2 半导体层 321 重叠的部分形成开口,能够形成上述的第 1 开口部 131 及第 2 开口部 132。

[0254] 以上,根据本发明的第 2 实施方式的 EL 显示面板 2,因为与第 1 实施方式同样,能够用单独的层构成栅极布线 21 和第 1 栅电极 310G,所以能够分别选择适合的材料。此外,因为能够确保栅极布线 21 与第 1 电源布线 23A 之间的膜厚间距离,所以能够降低栅极布线 21 与第 1 电源布线 23A 之间的寄生电容。

[0255] 此外,因为第 1 电源布线 23A 与第 2 电源布线 23B 配置为交叉,所以第 2 源电极 320S 能够从纵向方向的第 1 电源布线 23A 和横向方向的第 2 电源布线 23B 双方向接受电源供给。因此,能够降低伴随着大画面化而在显示区域的中央区域产生的 1R 压降。

[0256] 进而,因为第 2 电源布线 23B 及辅助布线 25 与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置,所以能够减轻由于在第 1 层间绝缘膜 340 上形成的栅极布线 21 而产生的凹凸,能够使平坦度提高。

[0257] 进而,对于 1 个像素能够通过第 1 电源布线 23A 及第 2 电源布线 23B 两条电源布线供给电力。由此,因为能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0258] 进而,辅助布线 25 不配置于 EL 部,而配置于薄膜半导体部。从而,能够扩大 EL 部的设计的自由度,并且能够增大各像素的开口率。

[0259] 进而,根据本实施方式的 EL 显示面板 2,可产生以下的作用效果。

[0260] 当在 n 沟道型的第 1 半导体层 311 及第 2 半导体层 321 的上方,正电位的第 2 电源布线 23B 覆盖第 1 层间绝缘膜 340 之上的情况下,在第 1 半导体层 311 及第 2 半导体层 321 的背沟道会诱发负的载流子,由此产生截止泄漏电流。从而,因为即使不施加栅极电压也会产生电流,所以会使第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 的截止特性下降。

[0261] 相对于此,本实施方式的 EL 显示面板 2,构成为 n 沟道型的第 1 半导体层 311 及

第 2 半导体层 321 与正电位的第 2 电源布线 23B 不重叠,作为无背栅的 n 沟道 TFT 而构成。其结果,如图 19 所示,通过正电位的第 2 电源布线 23B,关于作为无背栅的 n 沟道型 TFT 的第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320,与有背栅的 n 沟道型 TFT 相比,能够抑制在背沟道诱发载流子的情况。其结果,能够减小第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 的截止泄漏电流。从而,能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板 2。

[0262] 另外,虽然只要构成为第 2 电源布线 23B 的至少一部分与第 1 半导体层 311 或第 2 半导体层 321 不重叠便有效果,但是优选构成为第 2 电源布线 23B 与第 1 半导体层 311 或第 2 半导体层 321 毫不重叠。

[0263] (第 2 实施方式的变形例)

[0264] 接着,关于本发明的第 2 实施方式的变形例的 EL 显示面板 2',使用图 20 进行说明。图 20 是本发明的第 2 实施方式的变形例的 EL 显示面板 2' 的剖面图。另外,图 20 对应于图 18 的本发明的第 2 实施方式的 EL 显示面板 2 的剖面图。

[0265] 本变形例的 EL 显示面板 2' 与本发明的第 2 实施方式的 EL 显示面板 2 基本的结构相同。从而,在图 20 中,关于与图 18 所示的构成要素相同的构成要素,附加相同的符号,并省略化或简略化详细的说明。此外,图 18 所示的结构以外的结构,与第 2 实施方式相同。

[0266] 本变形例的 EL 显示面板 2',与本发明的第 2 实施方式的 EL 显示面板 2 不同之处是第 1 薄膜晶体管 310 的第 1 半导体层及第 2 薄膜晶体管 320 的第 2 半导体层的结构。

[0267] 如图 20 所示,本变形例的 EL 显示面板 2',其第 1 薄膜晶体管 310 的第 1 半导体层由第 1 沟道层 311A 和第 2 沟道层 311B 构成,所述第 1 沟道层 311A 由多结晶性半导体膜构成,所述第 2 沟道层 311B 由非结晶性半导体膜构成。此外,第 2 薄膜晶体管 320 的第 2 半导体层也由第 1 沟道层 321A 和第 2 沟道层 321B 构成,所述第 1 沟道层 321A 由多结晶性半导体膜构成,所述第 2 沟道层 321B 由非结晶性半导体膜构成。

[0268] 第 1 沟道层 311A 及第 1 沟道层 321A,能够由通过使非晶质硅膜(非晶硅膜)结晶化而形成的多结晶性半导体膜构成。

[0269] 第 2 沟道层 311B 及第 2 沟道层 321B,能够由非晶质硅膜(非晶硅膜)构成。

[0270] 由多结晶性半导体膜构成的第 1 沟道层 311A 及第 1 沟道层 321A,能够通过利用激光照射使非晶质硅膜(非晶硅膜)结晶化而形成。此外,第 1 沟道层 311A(或第 1 沟道层 321A)与第 2 沟道层 311B(或第 2 沟道层 321B),在俯视时成为相同的形状,都在栅极绝缘膜 330 上形成为岛状。

[0271] 本变形例的 EL 显示面板 2',可产生与上述的本发明的第 2 实施方式的 EL 显示面板 2 同样的作用效果。

[0272] 进而,本变形例的 EL 显示面板 2',其薄膜晶体管中的第 1 半导体层及第 2 半导体层,在由非晶质硅膜构成的第 2 沟道层 311B(或第 2 沟道层 321B)的下方,形成由多结晶性半导体膜构成的第 1 沟道层 311A(或第 1 沟道层 321A)。

[0273] 由此,在第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 中,通过由多结晶性半导体膜构成的第 1 沟道层 311A 及第 1 沟道层 321A,因为能够使载流子迁移率升高,所以能够使导通特性提高。此外,因为在半导体层的上层形成由非晶质硅膜构成的第 2 沟道层 311B 及第 2 沟道层 321B,所以能够维持截止特性。

[0274] (实施例 1)

[0275] 接着,关于作为本发明的各实施方式的EL显示面板的一例的有机EL显示面板,使用图21A及图21B进行说明。图21A是表示本发明的有机EL显示面板的一例的剖面立体图。图21B是表示本发明的有机EL显示面板的另一例的剖面立体图。

[0276] 如图21A及图21B所示,有机EL显示面板的多个像素100通过3色(红色、绿色、蓝色)的子像素100R、100G、100B构成。子像素100R、100G、100B分别在图21A及图21B的进深方向排列有多个(将其表示为“子像素列”)。

[0277] 图21A是表示线堤栏的例子图,各子像素列通过堤栏15互相分离。图21A所示的堤栏15,由在相互相邻的子像素列之间、在与源极布线22平行的方向延伸的凸部构成,形成于显示装置用薄膜半导体阵列装置20上。换言之,各子像素列分别形成于相互相邻的凸部之间(即,堤栏15的开口部)。

[0278] 下部电极12,在显示装置用薄膜半导体阵列装置20上(更具体地,第2层间绝缘膜350上)且堤栏15的开口部内,按每子像素100R、100G、100B而形成。有机发光层13,在下部电极20上且堤栏15的开口部内,按每子像素列(即,以覆盖各列的多个下部电极12的方式)而形成。上部电极14,在多个有机发光层13及堤栏15上且以覆盖全部的子像素100R、100G、100B的方式,连续地形成。

[0279] 另一方面,图21B是表示像素堤栏的例子图,各子像素100R、100G、100B通过堤栏15互相分离。图21B所示的堤栏15,形成为平行于栅极布线21延伸的突部与平行于源极布线22延伸的突部互相交叉。而且,在由该突部包围的部分(即,堤栏15的开口部)形成子像素100R、100G、100B。

[0280] 下部电极12,在显示装置用薄膜半导体阵列装置20上(更具体地,第2层间绝缘膜350上)且堤栏15的开口部内,按每子像素100R、100G、100B而形成。同样地,有机发光层13在下部电极20上且堤栏15的开口部内,按每子像素100R、100G、100B而形成。上部电极14,在多个有机发光层13及堤栏15(多个突条)上且以覆盖全部的子像素100R、100G、100B的方式,连续地形成。

[0281] 另外,虽然在图21A及图21B中进行了省略,但是在显示装置用薄膜半导体阵列装置20,按每子像素100R、100G、100B而形成有像素电路30。此外,子像素100R、100G、100B除了有机发光层13的特性(发光色)不同之外,是同一结构。

[0282] (实施例2)

[0283] 接着,关于应用了本发明的EL显示面板的EL显示装置的一例,使用图22进行说明。图22是表示本发明的EL显示装置的一例的外观立体图。

[0284] 如图22所示,本发明的EL显示装置是电视机400,其内置本发明的EL显示面板。

[0285] 这样,本发明的EL显示面板,能够作为平板显示器等进行利用。另外,本发明的EL显示面板,除了电视机以外,还能够应用于便携电话机或个人计算机等所有的显示装置。

[0286] 以上,虽然关于本发明的EL显示面板、EL显示面板的制造方法及EL显示装置,基于实施方式及实施例进行了说明,但是本发明并非限定于这些实施方式及实施例。

[0287] 例如,在本实施方式中,也可以调换构成第1源电极310S和第1漏电极310D。具体地,是下述结构:图3及图4等所示的第1源电极310S是第1漏电极,图3及图4等所示的第1漏电极310D是第1源电极。同样地,也可以调换构成第2源电极320S和第2漏电极320D。具体地,是下述结构:图3及图4等所示的第2源电极320S是第2漏电极,图3及

图 4 等所示的第 2 漏电极 320D 是第 2 源电极。

[0288] 此外,虽然在本实施方式中,第 1 源电极 310S 成为线状的源极布线 22 的一部分,但是并非限定于此。例如,也可以构成为,在源极布线 22 的图案形成时,图案形成从源极布线 22 的一部分开始在行方向延伸设置的延伸设置部,并将该延伸设置部与另行形成的第 1 源电极 310S 电连接。

[0289] 同样地,虽然在本实施方式中,第 2 漏电极 320D 成为线状的第 1 电源布线 23A 的一部分,但是并非限定于此。例如,也可以构成为,在第 1 电源布线 23A 的图案形成时,图案形成从第 1 电源布线 23A 的一部分开始在行方向延伸设置的延伸设置部,并将该延伸设置部与另行形成的第 2 漏电极 320D 电连接。

[0290] 此外,虽然在本实施方式中,第 2 电源布线 23B 在相邻的栅极布线 21 间排列有 1 条,但是并不限于此。例如,也可以在相邻的栅极布线 21 间,排列多条第 2 电源布线 23B。

[0291] 此外,虽然在本实施方式中,在 1 像素形成有 2 个薄膜晶体管,但是并不限于此。例如,也可以在 1 像素形成 3 个以上的薄膜晶体管。在该情况下,也可以与薄膜晶体管的个数一致而排列多条第 2 电源布线 23B。由此,能够通过多条第 2 电源布线 23B,对于需要电力供给的薄膜晶体管预期地供给电力。

[0292] 此外,虽然在本实施方式中,作为本发明的 EL 显示面板,例示了有机 EL 面板,但是并不限于此。例如,作为本发明的 EL 显示面板,也可以是无机 EL 面板。

[0293] 此外,本领域技术人员对于各实施方式及实施例实施所想到的各种变形而得到的方式和 / 或通过在不脱离本发明的主旨的范围任意组合各实施方式及实施例中的构成要素及功能而实现的方式也包括在本发明中。

[0294] 本发明的 EL 显示面板能够在电视机、个人计算机、便携电话机等显示装置等中广泛地利用。

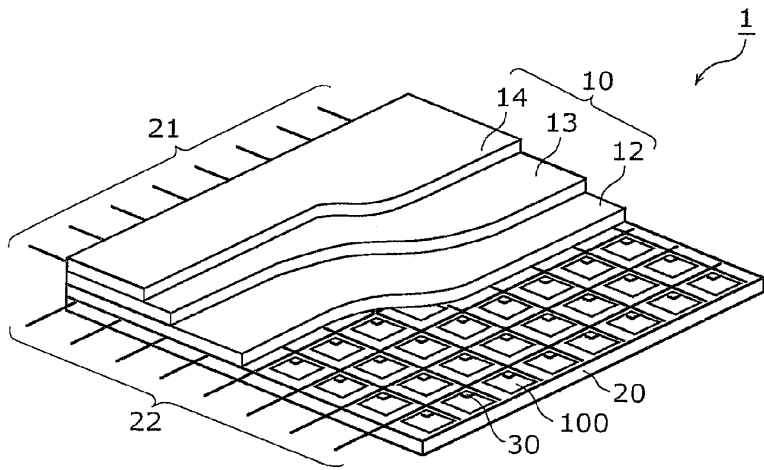


图 1

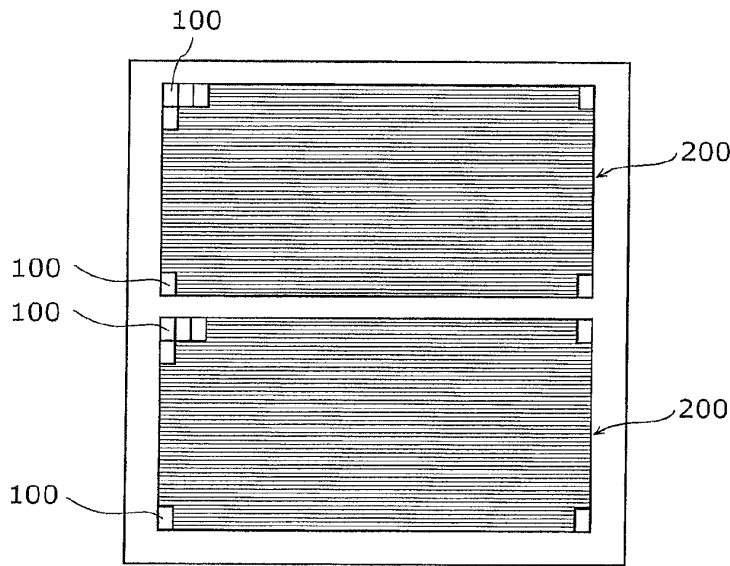


图 2

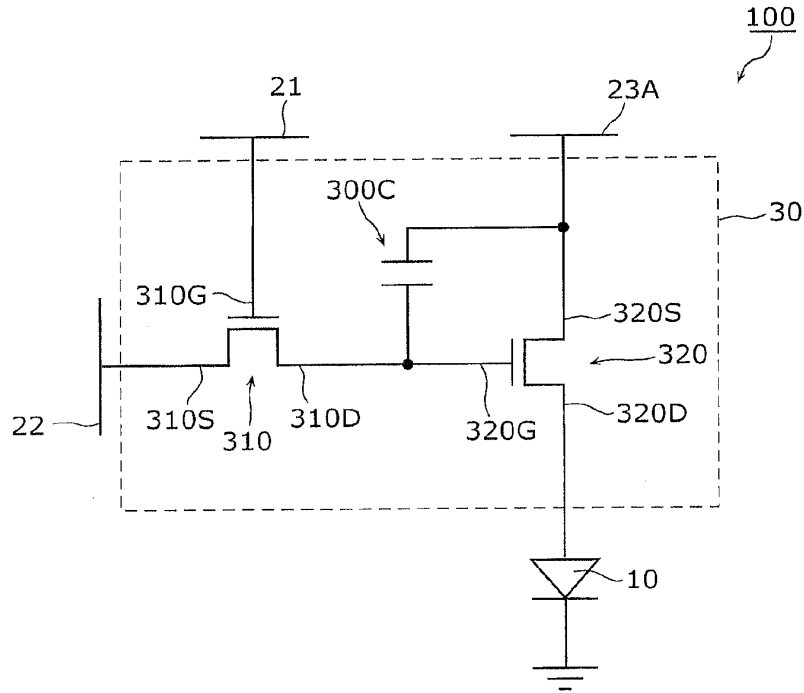


图 3

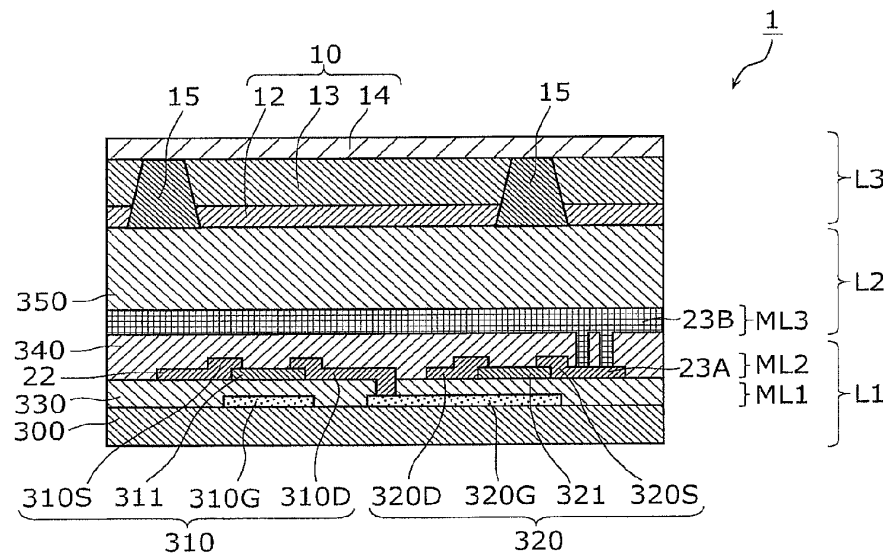


图 4A

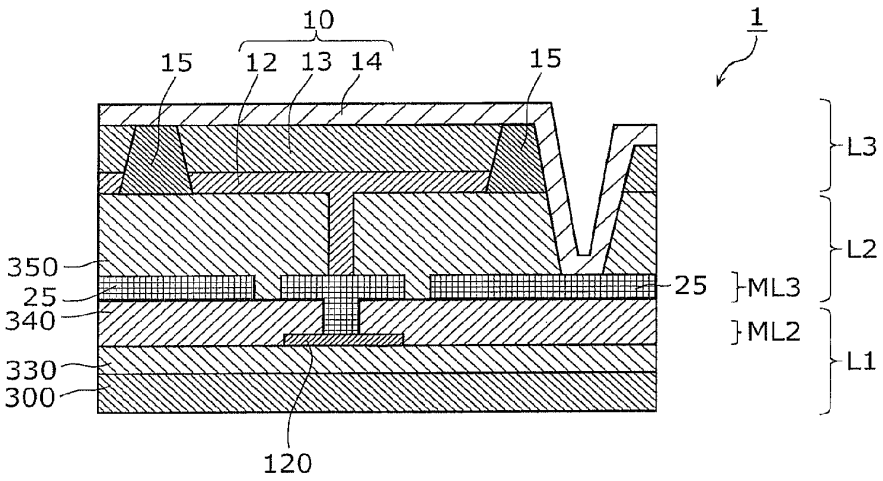


图 1B

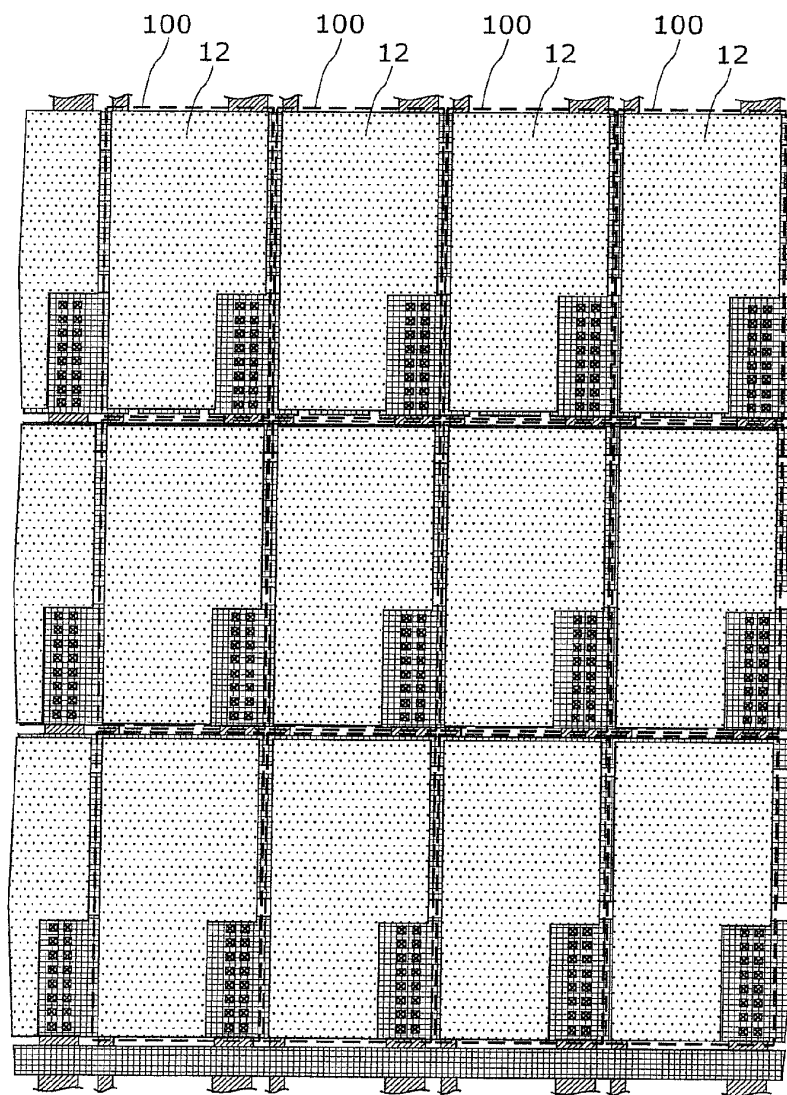


图 5

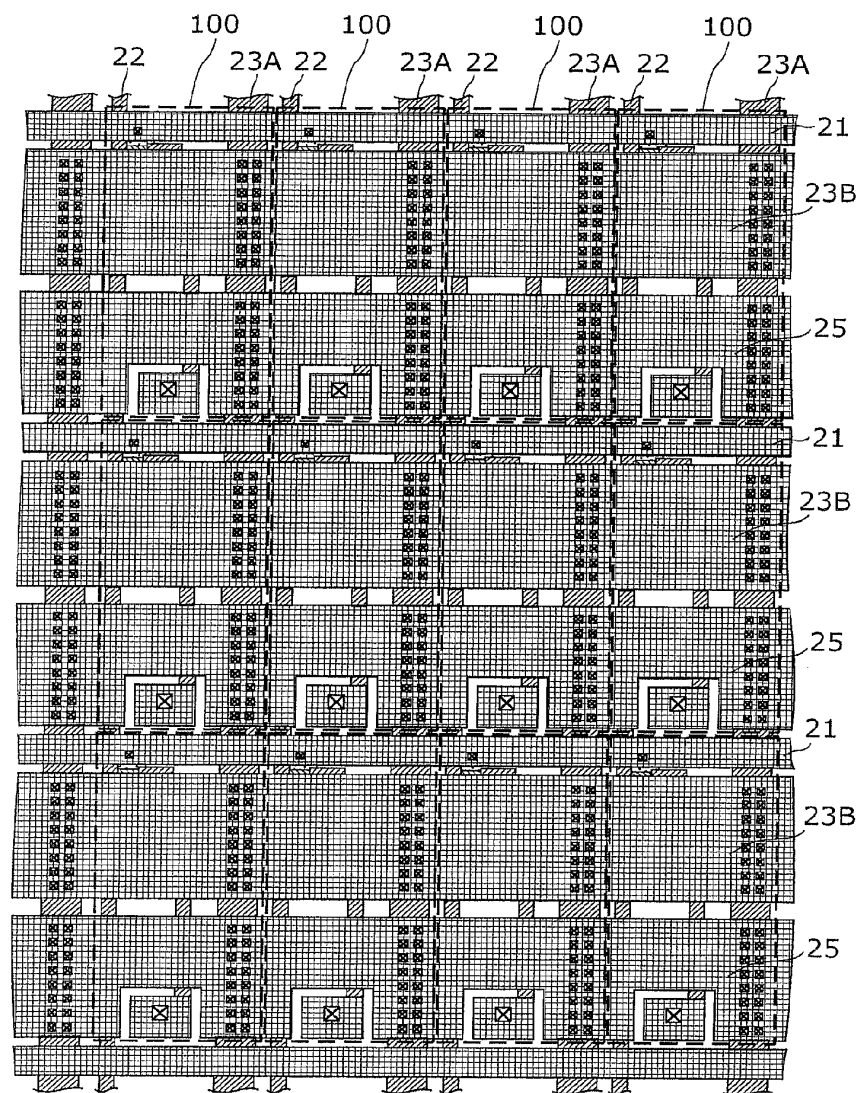


图 6

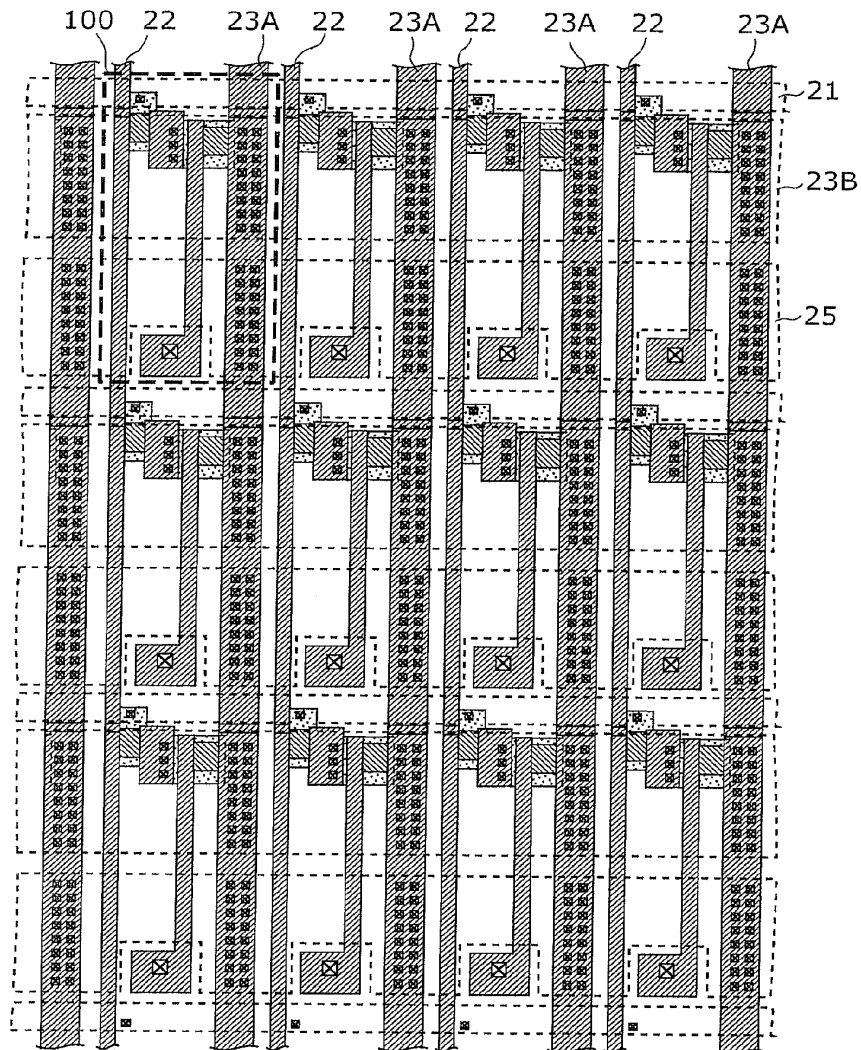


图 7

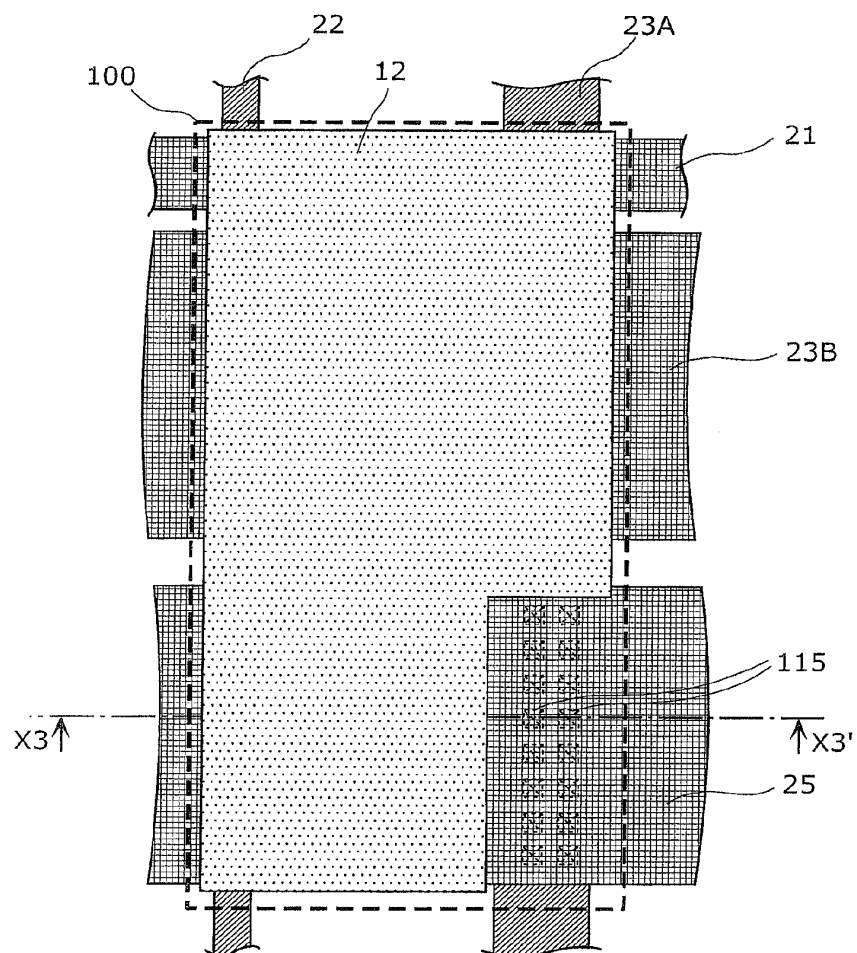


图 8

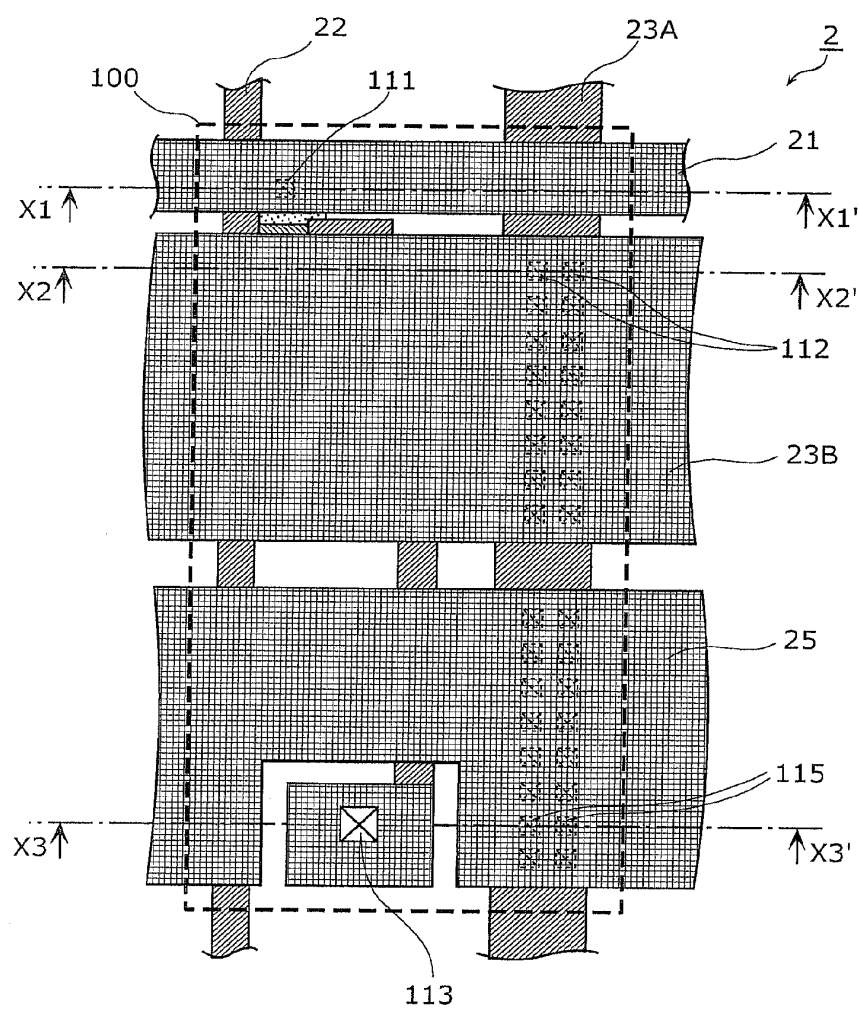


图 9

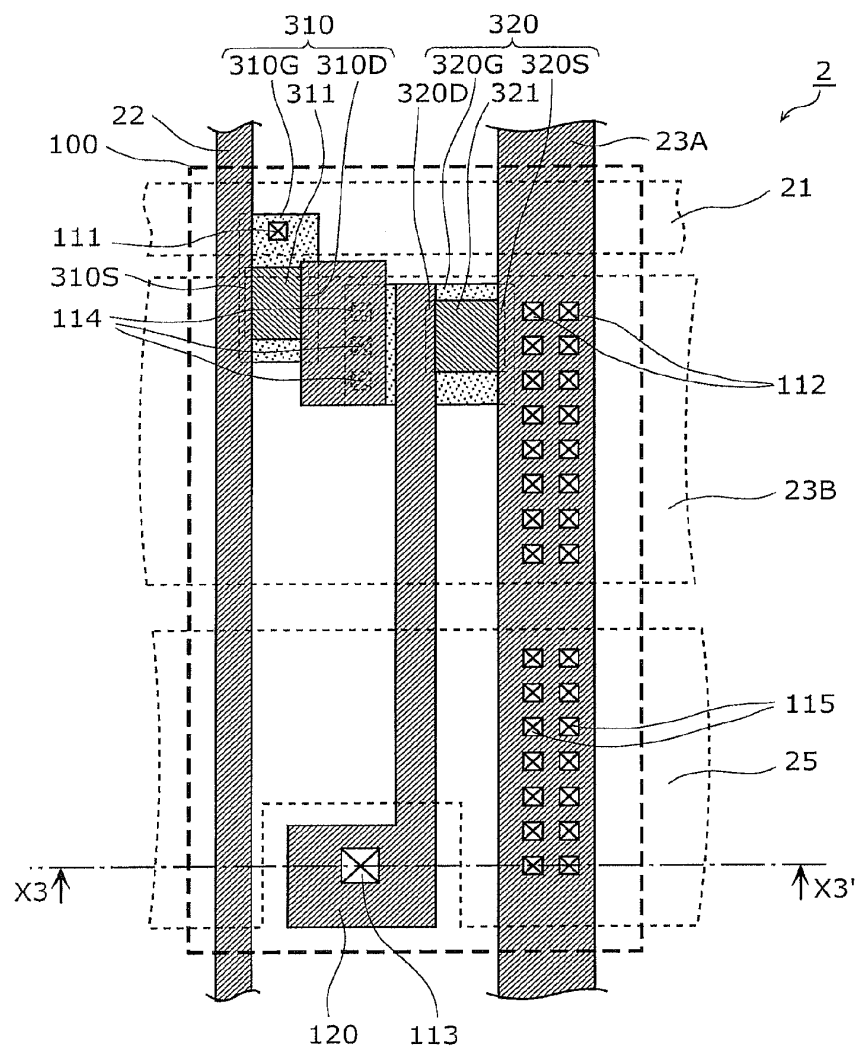


图 10

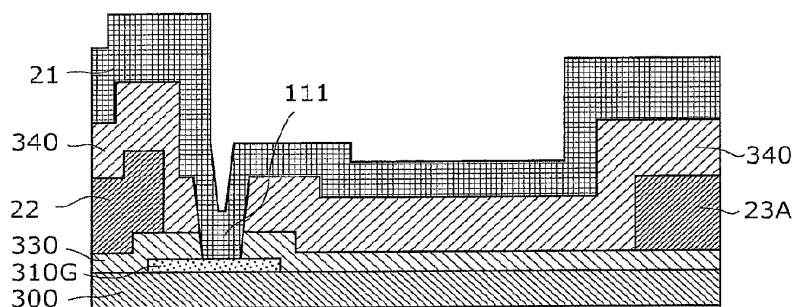


图 11A

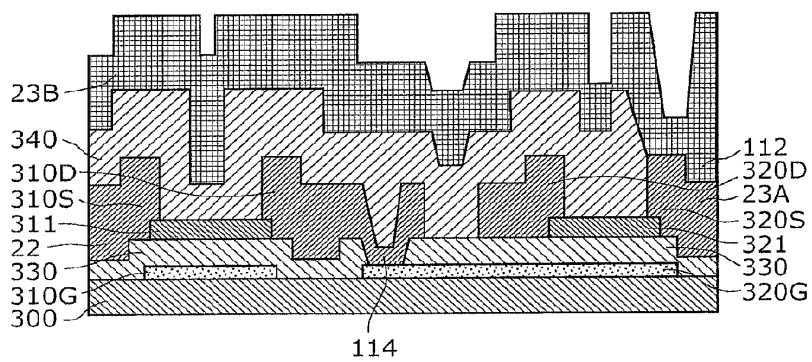


图 11B

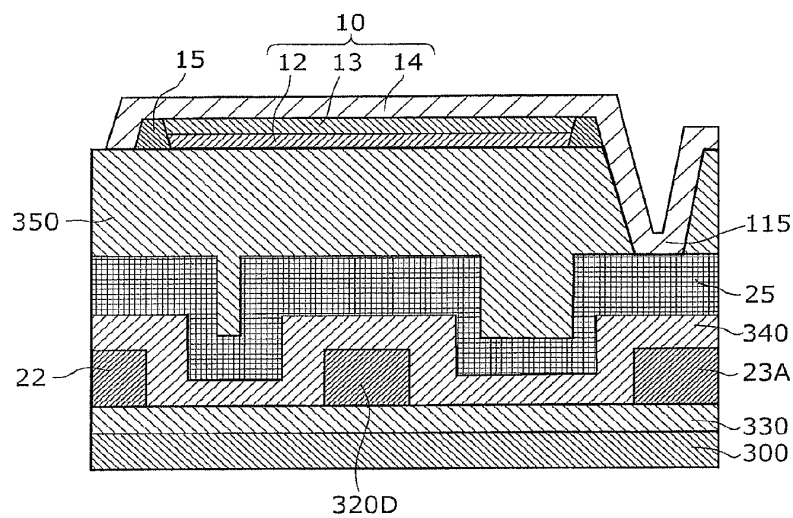


图 11C

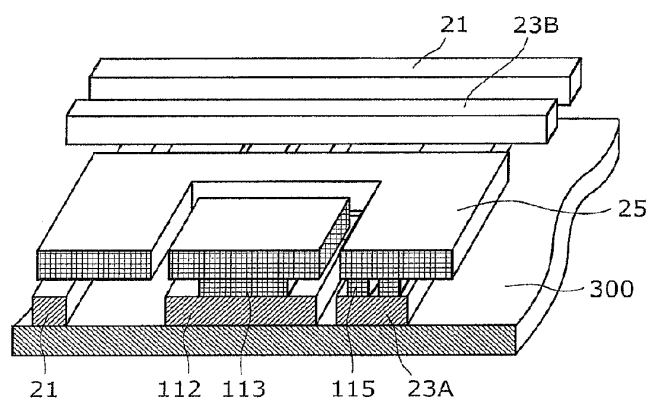


图 12A

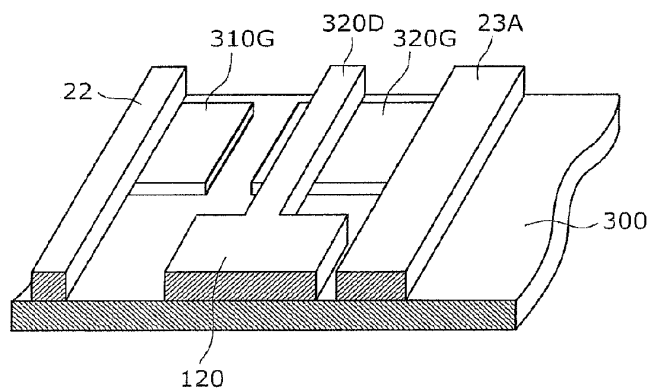


图 12B



图 13A



图 13B

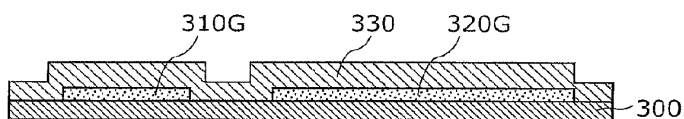


图 13C

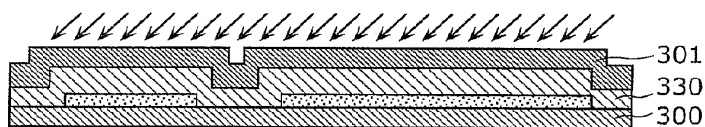


图 13D

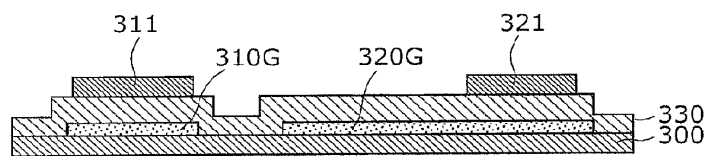


图 13E

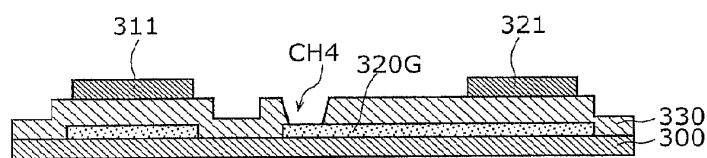


图 13F

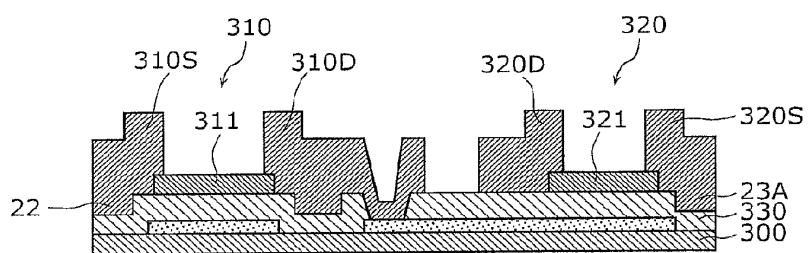


图 13G

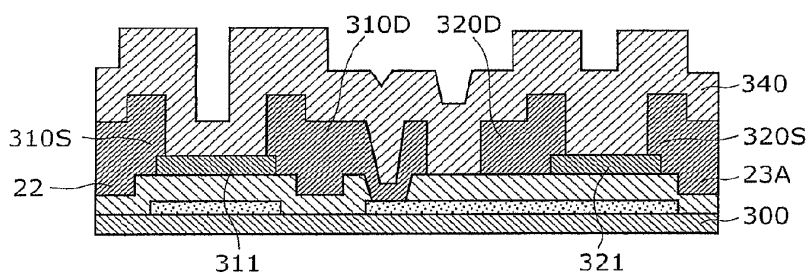


图 13H

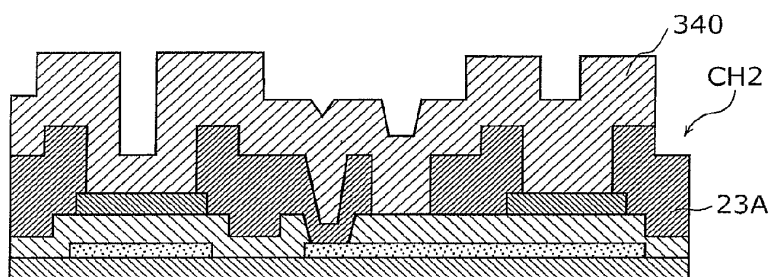


图 13I

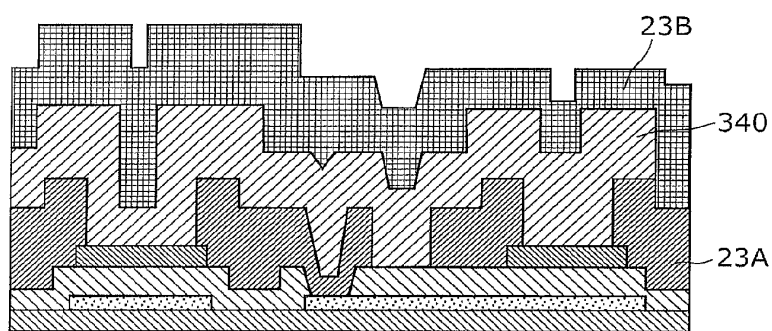


图 13J

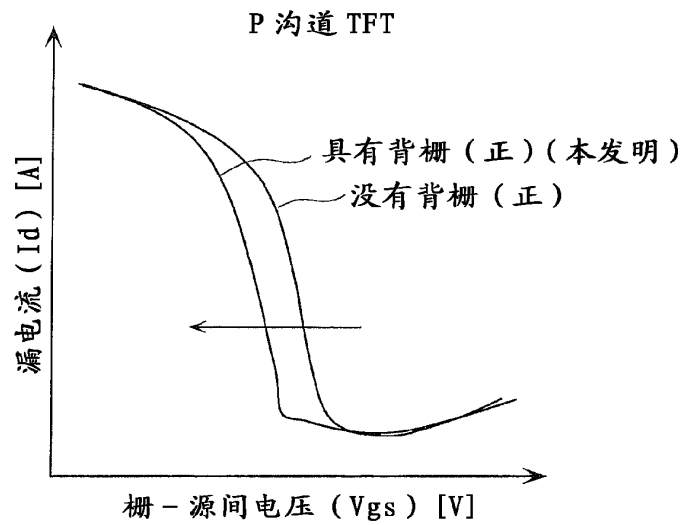


图 14

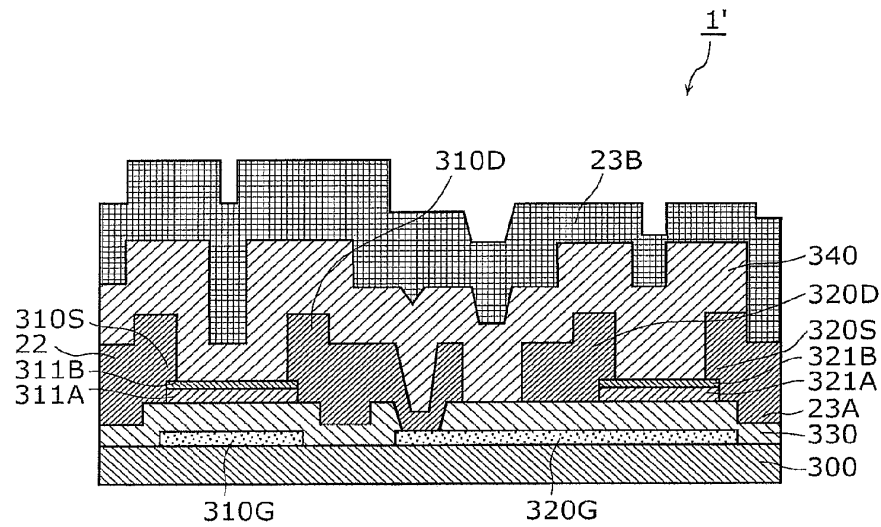


图 15

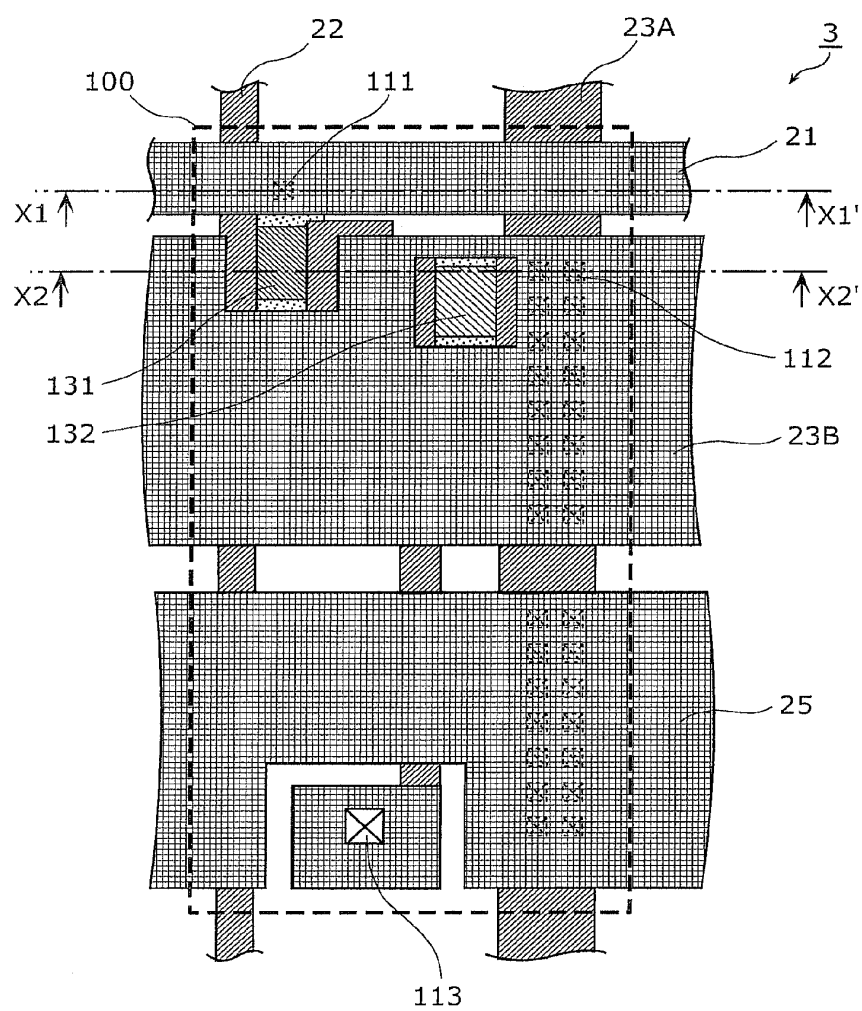


图 16

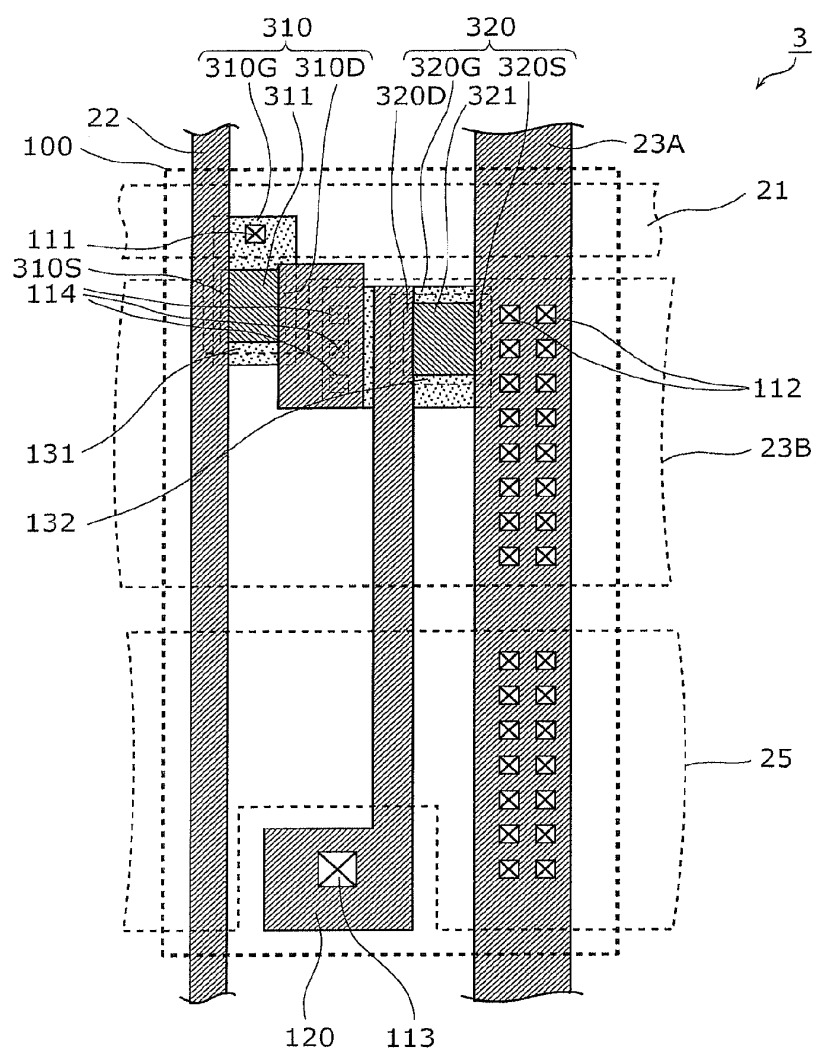


图 17

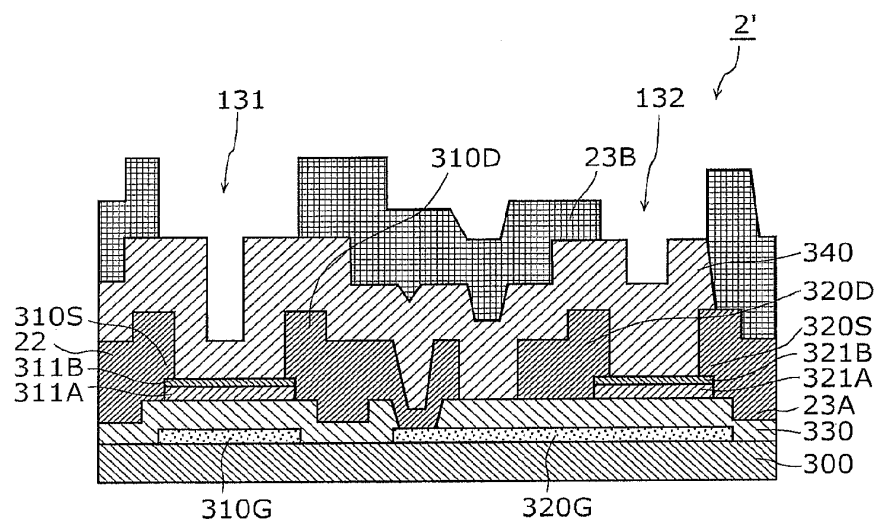


图 20

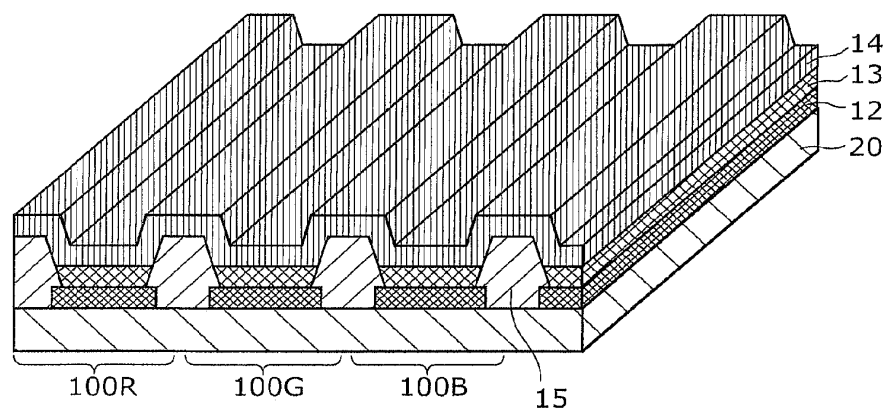


图 21A

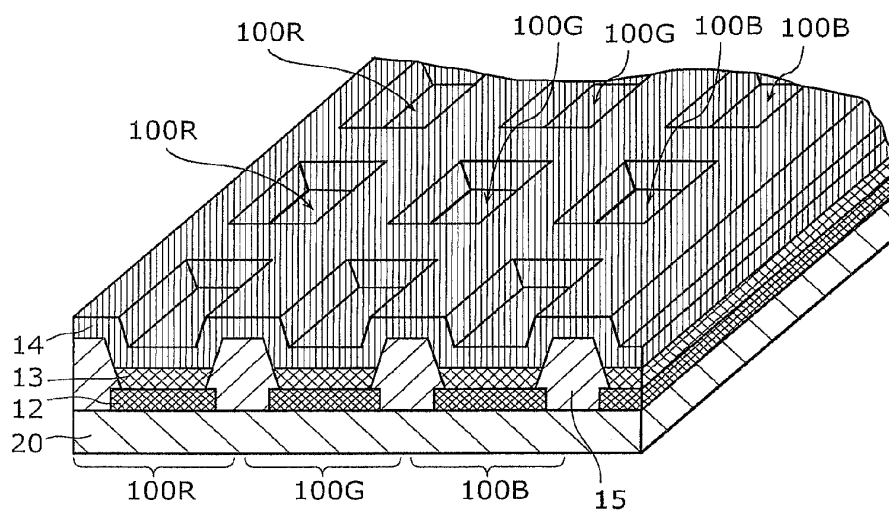


图 21B

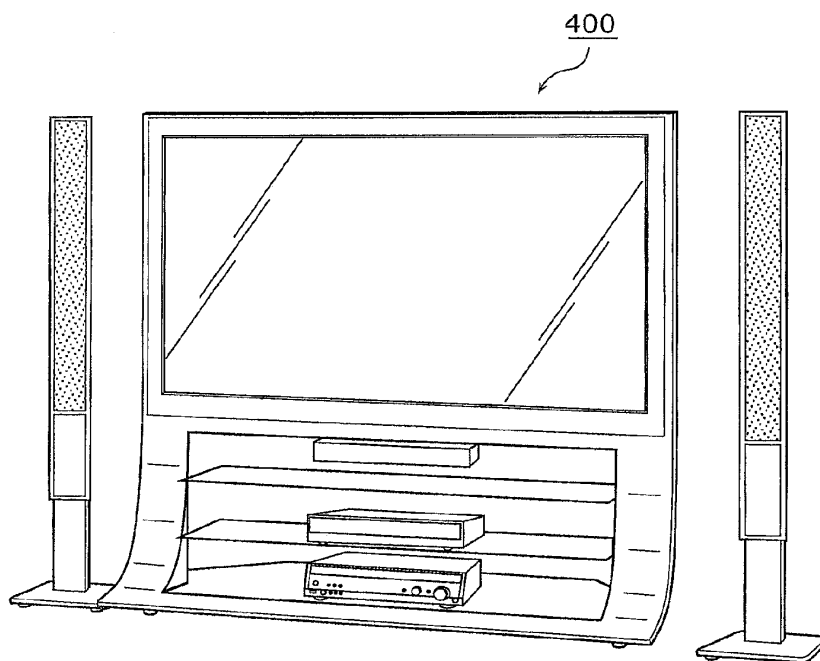


图 22

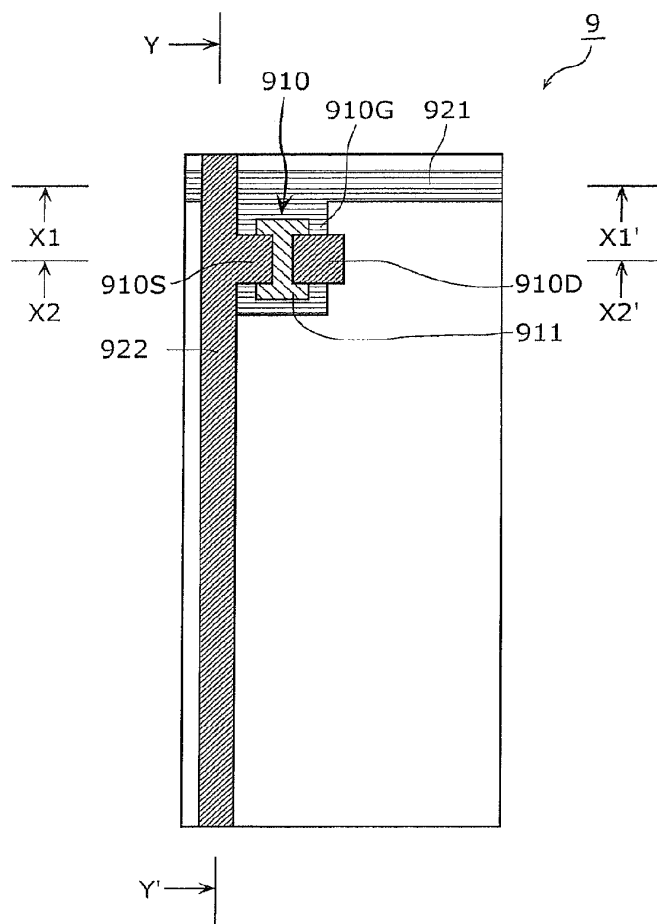


图 23

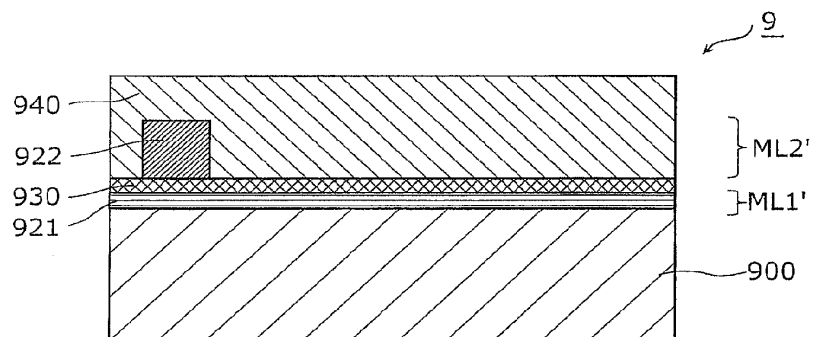


图 24A

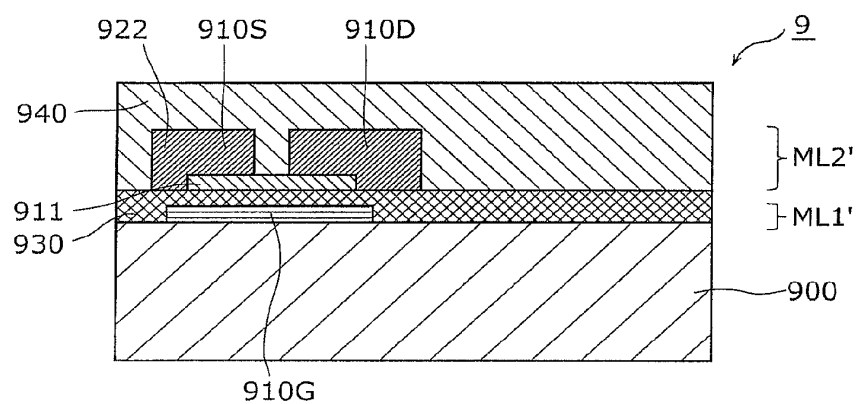


图 24B

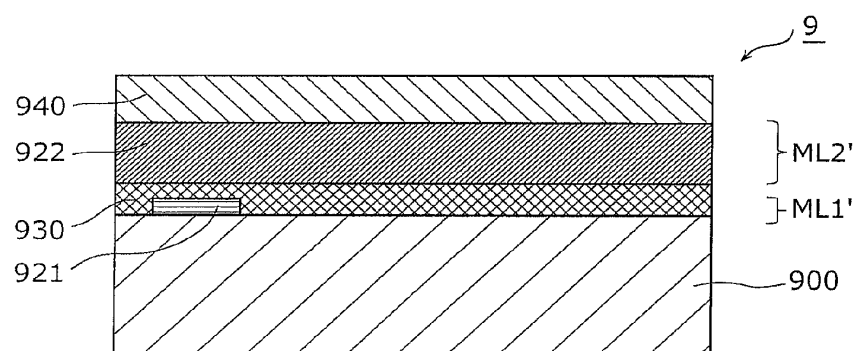


图 24C

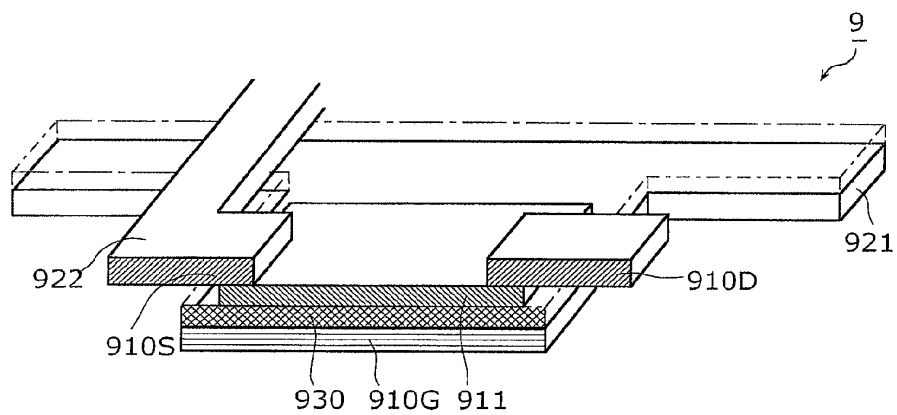


图 25

Electronic Patent Application Fee Transmittal				
Application Number:		14447620		
Filing Date:		31-Jul-2014		
Title of Invention:		PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE		
First Named Inventor/Applicant Name:		Yi-Hsuan Lee		
Filer:		Belinda Lee/Yilin Yen		
Attorney Docket Number:		48842-US-PA		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt	
EFS ID:	23924154
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	30-OCT-2015
Filing Date:	31-JUL-2014
Time Stamp:	22:32:58
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$ 180
RAM confirmation Number	7137
Deposit Account	502620
Authorized User	HUAI-LU, LEE-
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	48842_IDS-Form.pdf	615946	no	4
			cdef8f989d41ecc07fc2248a8223c6fae11407bf		
Warnings:					
Information:					
2	Foreign Reference	CN103155019.pdf	7061604	no	73
			ed3d703e580c4253afba162eadf1c9b0f489abc9		
Warnings:					
Information:					
3	Foreign Reference	TW201332174.pdf	2320714	no	33
			69a295bbae6ccaadc89db433bce8fc8b1f2956cc		
Warnings:					
Information:					
4	Foreign Reference	CN102741905.pdf	5932696	no	53
			7e63e0da96c08494503680e915e0ba0ea701dc39		
Warnings:					
Information:					
5	Fee Worksheet (SB06)	fee-info.pdf	30614	no	2
			525acf80db614e1c9eba8ed47a5b2b7f0c10c1ea		
Warnings:					
Information:					
Total Files Size (in bytes):			15961574		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

31561 7590 10/07/2015
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

EXAMINER

SOWARD, IDA M

ART UNIT

PAPER NUMBER

2822

DATE MAILED: 10/07/2015

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086

TITLE OF INVENTION: PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	01/07/2016

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

31561 7590 10/07/2015
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086

TITLE OF INVENTION: PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	01/07/2016

EXAMINER	ART UNIT	CLASS-SUBCLASS
SOWARD, IDA M	2822	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
 (1) The names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____
 (2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____
 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
☐ Publication Fee (No small entity discount permitted)
☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
☐ Payment by credit card. Form PTO-2038 is attached.
☐ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
☐ Applicant asserting small entity status. See 37 CFR 1.27
☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086

EXAMINER	
SOWARD, IDA M	

ART UNIT	PAPER NUMBER
2822	

31561 7590 10/07/2015
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

DATE MAILED: 10/07/2015

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 14/447,620	Applicant(s) LEE ET AL.	
	Examiner IDA M. SOWARD	Art Unit 2822	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the Applicant's amendment filed August 21, 2015.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-13. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
Certified copies:
a) ☒ All b) ☐ Some *c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)	5. ☐ Examiner's Amendment/Comment
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date <u>09/21/2015</u>	6. ☒ Examiner's Statement of Reasons for Allowance
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material	7. ☐ Other _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____.	

/IDA M SOWARD/ Primary Examiner, Art Unit 2822	
---	--

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

This Office Action is in response to the Applicant's amendment filed August 21, 2015.

Specification

The objection to the title of the invention has been withdrawn due to the amendment filed.

Allowable Subject Matter

Claims 1-13 are allowed.

The following is an examiner's statement of reasons for allowance: The prior art of record does not disclose, make obvious, or otherwise suggest the structure of the applicant's together with the other limitations of the independent claims, such as "a first auxiliary electrode electrically insulated from the active device; and a light emitting device disposed above the first auxiliary electrode, wherein the light emitting device comprises: a first electrode layer electrically connected with the first auxiliary electrode; a light emitting layer disposed on the first electrode layer; and a second electrode layer

disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device”.

The dependent claims being further limiting and definite are also allowable.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled “Comments on Statement of Reasons for Allowance.”

Conclusion

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

The following patents are cited to further show the state of the art with respect to pixel structures:

Hasumi et al. (US 2014/0022230 A1)

Kim (US 7,919,918 B2).

Any inquiry concerning this communication or earlier communications from the examiner should be directed to IDA M. SOWARD whose telephone number is (571)272-1845. The examiner can normally be reached on Monday - Thursday 6:00am to 4:30pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Brett A. Feeney can be reached on 571-270-5484. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

IMS
September 24, 2015
/IDA M SOWARD/
Primary Examiner, Art Unit 2822

Notice of References Cited	Application/Control No. 14/447,620	Applicant(s)/Patent Under Reexamination LEE ET AL.	
	Examiner IDA M. SOWARD	Art Unit 2822	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-2014/0022230	01-2014	HASUMI et al.	345/212
*	B	US-7,919,918	04-2011	Kim, Eun-Ah	313/506
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1086

SERIAL NUMBER 14/447,620	FILING or 371(c) DATE 07/31/2014 RULE	CLASS 257	GROUP ART UNIT 2822	ATTORNEY DOCKET NO. 48842-US-PA		
APPLICANTS Au Optonics Corporation, Hsinchu, TAIWAN; INVENTORS Yi-Hsuan Lee, Taipei City, TAIWAN; Peng-Bo Xi, Taipei City, TAIWAN; Wei-Chu Hsu, Taipei City, TAIWAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** TAIWAN 102133040 09/12/2013 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 08/08/2014						
Foreign Priority claimed ☒ Yes ☐ No 35 USC 119(a-d) conditions met ☒ Yes ☐ No Verified and Acknowledged <u>/IDA M SOWARD/</u> Examiner's Signature		☐ Met after Allowance IMS Initials	STATE OR COUNTRY TAIWAN	SHEETS DRAWINGS 4	TOTAL CLAIMS 18	INDEPENDENT CLAIMS 2
ADDRESS JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN						
TITLE PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE AUXILIARY ELECTRODE						
FILING FEE RECEIVED 1600	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			☐ All Fees		
				☐ 1.16 Fees (Filing)		
				☐ 1.17 Fees (Processing Ext. of time)		
				☐ 1.18 Fees (Issue)		
				☐ Other _____		
			☐ Credit			

Search Notes 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

CPC- SEARCHED		
Symbol	Date	Examiner
H01L 27/326	6/16/2015	IMS

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES		
Search Notes	Date	Examiner
EAST (See Search History Printout), PLUS Search	6/16/2015	IMS
EAST (See Search History Printout), PLUS Search	9/24/2015	IMS

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
	See Interference Search Printout	9/24/2015	IMS

	/IDA M SOWARD/ Primary Examiner.Art Unit 2822
--	--

Receipt date: 09/21/2015

14447620 - GAU: 2

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620	
	Filing Date		2014-07-31	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit	2822		
	Examiner Name	SOWARD, IDA M		
	Attorney Docket Number	48842-US-PA		

U.S.PATENTS							Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	8664662		2014-03-04	ONO SHINYA, et al.	Correspond to CN103155019	
	2	8482010		2013-07-09	KANEGAE ARINOBU	Correspond to CN102741905	
	3	7821198		2010-10-26	KIM JEONG HYUN, et al.	Correspond to CN101097911	
If you wish to add additional U.S. Patent citation information please click the Add button.							Add
U.S.PATENT APPLICATION PUBLICATIONS							Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	
	1	20130082270		2013-04-04	ONO SHINYA, et al.	Correspond to CN103155019	
	2	20120074423		2012-03-29	KANEGAE ARINOBU	Correspond to CN102741905	
	3	20080018245		2008-01-24	KIM JEONG HYUN, et al.	Correspond to CN101097911	
If you wish to add additional U.S. Published Application citation information please click the Add button.							Add
FOREIGN PATENT DOCUMENTS							Remove

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /I.S./

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620	
	Filing Date		2014-07-31	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit	2822		
	Examiner Name	SOWARD, IDA M		
Attorney Docket Number		48842-US-PA		

Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ² i	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	103155019	CN		2013-06-12	PANASONIC CORP, et al.	Correspond to US8664662, and US20130082270	☐
	2	102741905	CN		2012-10-17	PANASONIC CORP	Correspond to US8482010, and US20120074423	☐
	3	101097911	CN		2008-01-02	LG PHILIPS LCD CO LTD	Correspond to US7821198, and US20080018245	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
			☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Ida Soward/	Date Considered	09/24/2015
--------------------	--------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. //S./

<p align="center"><i>Index of Claims</i></p> 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant					☐ CPA		☐ T.D.		☐ R.1.47	
CLAIM		DATE								
Final	Original	03/05/2015	06/16/2015	09/24/2015						
1	1	÷	=	=						
2	2	÷	=	=						
3	3	÷	=	=						
4	4	÷	=	=						
5	5	÷	=	=						
6	6	÷	=	=						
7	7	÷	=	=						
8	8	÷	=	=						
9	9	÷	=	=						
10	10	÷	N	=						
11	11	÷	N	=						
12	12	÷	=	=						
13	13	÷	=	=						
	14	÷	N	-						
	15	÷	N	-						
	16	÷	N	-						
	17	÷	N	-						
	18	÷	N	-						

EAST Search History**EAST Search History (Prior Art)**

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L5	3	("20150069356").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/09/24 10:54
S1	33	("7432885" "20050179374" "20070063936" "20130082270" "20100026167" "8482010" "20080158137" "7279714" "8062695" "20080018245" "7821198" "8664662" "20130187135" "20120074423").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/09/24 07:51
S2	16	(scan adj line) and (data adj line) and (first adj auxiliary adj electrode) and (second adj auxiliary adj electrode) and (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/09/24 08:06
S3	211	(scan adj line) and (data adj line) and (auxiliary adj electrode) and (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/09/24 08:20

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L2	5	(scan adj line) and (data adj line) and (first adj auxiliary adj electrode) and (second adj auxiliary adj electrode) and (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	USPAT; UPAD	OR	ON	2015/09/24 10:40
L3	82	(scan adj line) and (data adj line) and (auxiliary adj electrode) and (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	USPAT; UPAD	OR	ON	2015/09/24 10:40

9/ 24/ 2015 10:56:48 AM**C:\ Users\ isoward\ Documents\ EAST\ Workspaces\ 14447620AQu.wsp**

Issue Classification 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1		17												
2	2		18												
3	3														
4	4														
5	5														
6	6														
7	7														
8	8														
9	9														
10	10														
11	11														
12	12														
13	13														
	14														
	15														
	16														

NONE	Total Claims Allowed: 13	
(Assistant Examiner)	(Date)	
/IDA M SOWARD/ Primary Examiner.Art Unit 2822	09/24/2015	O.G. Print Claim(s) 1
(Primary Examiner)	(Date)	O.G. Print Figure 1 and 2

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620
	Filing Date		2014-07-31
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit	2822	
	Examiner Name	SOWARD, IDA M	
	Attorney Docket Number	48842-US-PA	

U.S.PATENTS							Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	
	1	8664662		2014-03-04	ONO SHINYA, et al.	Correspond to CN103155019	
	2	8482010		2013-07-09	KANEGAE ARINOBU	Correspond to CN102741905	
	3	7821198		2010-10-26	KIM JEONG HYUN, et al.	Correspond to CN101097911	
If you wish to add additional U.S. Patent citation information please click the Add button.							Add
U.S.PATENT APPLICATION PUBLICATIONS							Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	
	1	20130082270		2013-04-04	ONO SHINYA, et al.	Correspond to CN103155019	
	2	20120074423		2012-03-29	KANEGAE ARINOBU	Correspond to CN102741905	
	3	20080018245		2008-01-24	KIM JEONG HYUN, et al.	Correspond to CN101097911	
If you wish to add additional U.S. Published Application citation information please click the Add button.							Add
FOREIGN PATENT DOCUMENTS							Remove

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620	
	Filing Date		2014-07-31	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit	2822		
	Examiner Name	SOWARD, IDA M		
Attorney Docket Number		48842-US-PA		

Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ² i	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	103155019	CN		2013-06-12	PANASONIC CORP, et al.	Correspond to US8664662, and US20130082270	☐
	2	102741905	CN		2012-10-17	PANASONIC CORP	Correspond to US8482010, and US20120074423	☐
	3	101097911	CN		2008-01-02	LG PHILIPS LCD CO LTD	Correspond to US7821198, and US20080018245	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620
	Filing Date		2014-07-31
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit	2822	
	Examiner Name	SOWARD, IDA M	
	Attorney Docket Number	48842-US-PA	

CERTIFICATION STATEMENT			
Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):			
☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).			
OR			
☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).			
☐ See attached certification statement.			
☒ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.			
☐ A certification statement is not submitted herewith.			
SIGNATURE			
A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.			
Signature	/Belinda Lee/	Date (YYYY-MM-DD)	2015-09-17
Name/Print	Belinda Lee	Registration Number	46863
<p>This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.</p>			

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.



Espacenet

Bibliographic data: CN103155019 (A) — 2013-06-12

Thin film transistor array device, el display panel, el display apparatus, method for manufacturing thin film transistor array device, and method for manufacturing el display panel

Inventor(s): ONO SHINYA; KANEGAE ARINOBU; KAWACHI GENSHIROU +
(ONO SHINYA, ; KANEGAE ARINOBU, ; KAWACHI GENSHIROU)

Applicant(s): PANASONIC CORP; PANASONIC LIQUID CRYSTAL DISPL +
(PANASONIC CORPORATION, ; PANASONIC LIQUID CRYSTAL
DISPLAY CO., LTD)

Classification: - **international:** G09F9/30; H01L27/32
- **cooperative:** H01L27/124; H01L27/1248; H01L27/3262

Application number: CN2011804126 20110930

Priority number (s): WO2011JP05534 20110930

Also published as: US2013082270 (A1) US8664662 (B2) JPWO2013046280 (A1)
JP5724105 (B2) WO2013046280 (A1)

Abstract of CN103155019 (A)

This thin film transistor array device includes: bottom gate-type first and second transistors; a passivation film; a conductive oxide film laminated under the passivation film; and a relay electrode (55), which performs relaying between a first conductive member (53), which is a part of a layer where the first electrode (42) is formed, and a second conductive member of an EL layer. First wiring (21) is wiring disposed in a layer lower than the passivation film, and second wiring (22) is wiring disposed on the passivation film. A terminal section having external signals inputted thereto is disposed at the peripheral portion of the substrate, said portion being a part of the layer where the first electrode (42) is formed, the conductive oxide film covers the upper surface of the terminal section, and is disposed between the relay electrode (55) and the first conductive member (53), and the relay electrode (55) is formed as a part of the layer where the second wiring (22) is formed, and is composed of a material same as that of the second wiring (22).

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 103155019 A

(43) 申请公布日 2013.06.12

(21) 申请号 201180004126.0

(74) 专利代理机构 北京市中咨律师事务所

(22) 申请日 2011.09.30

11247

代理人 徐健 段承恩

(85) PCT申请进入国家阶段日

2012.04.05

(51) Int. Cl.

G09F 9/30 (2006.01)

(86) PCT申请的申请数据

PCT/JP2011/005534 2011.09.30

H01L 27/32 (2006.01)

(87) PCT申请的公布数据

W02013/046280 JA 2013.04.04

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

申请人 松下液晶显示器株式会社

(72) 发明人 小野晋也 钟江有宣 河内玄士朗

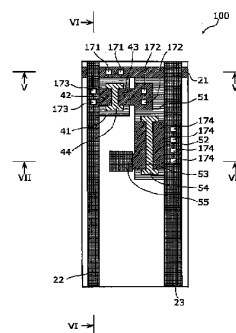
权利要求书4页 说明书26页 附图41页

(54) 发明名称

薄膜晶体管阵列装置、EL显示面板、EL显示装置、薄膜晶体管阵列装置的制造方法以及EL显示面板的制造方法

(57) 摘要

本发明提供一种薄膜晶体管阵列装置、EL显示面板、EL显示装置、薄膜晶体管阵列装置的制造方法以及EL显示面板的制造方法。薄膜晶体管阵列装置包括底栅型的第一晶体管和第二晶体管、钝化膜、层叠在钝化膜下的导电氧化物膜以及对与第一电极(42)同层的第一导电性部件(53)和EL层的第二导电性部件进行中继的中继电极(55)，第一布线(21)是相比于钝化膜配置于下层的布线，第二布线(22)是配置在钝化膜上的布线，在与第一电极(42)相同的层且基板的周缘部配置有被输入外部信号的端子部，导电氧化物膜覆盖端子部的上面，并且介于中继电极(55)与第一导电性部件(53)之间，中继电极(55)与第二布线(22)形成在同一层，由与第二布线(22)相同的材料形成。



CN 103155019 A

1. 一种薄膜晶体管阵列装置,其是与 EL 层隔着层间绝缘膜而层叠的装置,所述薄膜晶体管阵列装置包括:

基板;

第一布线,其配置在所述基板的上方;

第二布线,其与所述第一布线交叉;

第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;

第二晶体管,其形成于所述基板上;

钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;

导电氧化物膜,其层叠在所述钝化膜下;以及

中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接,

所述第一晶体管和第二晶体管是底栅型晶体管,

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方,

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方,

在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号,

所述导电氧化物膜覆盖所述端子部的上面,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接,

所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

2. 根据权利要求 1 所述的薄膜晶体管阵列装置,

所述第一布线是与所述栅电极电连接的布线,

所述第二布线是与所述第一电极电连接的布线。

3. 根据权利要求 1 所述的薄膜晶体管阵列装置,

所述第一布线是与所述第一电极电连接的布线,

所述第二布线是与所述栅电极电连接的布线。

4. 根据权利要求 1~3 中的任一项所述的薄膜晶体管阵列装置,

所述第二导电性部件是以铝为主要成分的金属。

5. 根据权利要求 1~4 中的任一项所述的薄膜晶体管阵列装置,

所述中继电极的与所述导电氧化物膜接触的面由至少包含铜、钼、钛以及钨中的任一一种的金属形成。

6. 根据权利要求 1~5 中的任一项所述的薄膜晶体管阵列装置,

所述中继电极为层叠构造。

7. 根据权利要求 1~6 中的任一项所述的薄膜晶体管阵列装置,

所述层间绝缘膜包括有机膜和无机膜这两层,

所述无机膜覆盖所述第二布线和所述中继电极。

8. 根据权利要求 1 ~ 7 中的任一项所述的薄膜晶体管阵列装置，

分别包含于所述第一晶体管和所述第二晶体管的半导体层是结晶半导体层，

所述第一晶体管和所述第二晶体管各自所包括的栅电极由耐热性比所述第一布线和第二布线中的与所述栅电极电连接的布线所使用的金属的耐热性高的金属形成。

9. 根据权利要求 8 所述的薄膜晶体管阵列装置，

耐热性比与所述栅电极电连接的布线所使用的金属的耐热性高的金属是包含钼、钨、钛、钽、镍中的任一种的金属。

10. 根据权利要求 1 ~ 9 中的任一项所述的薄膜晶体管阵列装置，

所述导电氧化物膜是包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一方。

11. 一种 EL 显示面板，包括：上部电极；下部电极；包括具有介于所述上部电极与所述下部电极之间的发光功能层的 EL 发光元件的 EL 单元；对所述 EL 发光元件进行控制的薄膜晶体管阵列装置；以及介于所述 EL 单元与所述薄膜晶体管阵列装置之间的层间绝缘膜，

所述薄膜晶体管阵列装置包括：

基板；

第一布线，其配置在所述基板的上方；

第二布线，其与所述第一布线交叉；

第一晶体管，其包括形成于所述基板上的栅电极以及第一电极和第二电极；

第二晶体管，其形成于所述基板上；

钝化膜，其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间；

导电氧化物膜，其层叠在所述钝化膜下；以及

中继电极，其形成于所述钝化膜上，对与所述第一电极设置在同层的第一导电性部件和所述 EL 单元所包括的第二导电性部件进行中继，经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接，

所述第一晶体管和所述第二晶体管是底栅型晶体管，

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层，并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方，

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层，并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方，

在与所述第一电极相同的层且所述基板的周缘部配置有端子部，所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号，

所述导电氧化物膜覆盖所述端子部的上面端部，并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间，使所述中继电极和所述第一导电性部件电连接，

所述中继电极与所述钝化膜上的所述第二布线形成在同一层，由与所述第二布线相同的材料形成。

12. 根据权利要求 11 所述的 EL 显示面板，

所述第二导电性部件是以铝为主要成分的金属。

13. 根据权利要求 11 或者 12 所述的 EL 显示面板，

所述第二导电性部件与所述中继电极在设置于所述层间绝缘膜的孔部的上部周缘的平坦区域连接。

14. 一种 EL 显示装置，搭载了权利要求 11 ~ 13 中的任一项所述的 EL 显示面板。

15. 一种薄膜晶体管阵列装置的制造方法，所述薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置，所述制造方法包括：

第一工序，准备基板；

第二工序，在所述基板上形成第一布线；

第三工序，在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管，并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜；

第四工序，在所述导电氧化物膜上形成钝化膜；以及

第五工序，在所述钝化膜上形成中继电极，所述中继电极对与所述第一布线交叉的第二布线、与所述第一电极设置在同层的第一导电性部件以及设置于所述 EL 层的第二导电性部件进行中继，经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接，

所述第一晶体管和所述第二晶体管是底栅型晶体管，

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层，并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方，

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层，并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方，

在所述第三工序中，形成所述导电氧化物膜以使得覆盖端子部的上面，所述端子部是与所述第一电极设置在同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部，

在所述第四工序中，使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出，

所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间，使所述中继电极和所述第一导电性部件电连接，

在所述第五工序中，所述中继电极使用与所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成在同一层。

16. 根据权利要求 15 所述的薄膜晶体管阵列装置的制造方法，

所述第二导电性部件是以铝为主要成分的金属。

17. 根据权利要求 15 或者 16 所述的薄膜晶体管阵列装置的制造方法，

所述中继电极的与所述导电氧化物膜接触的面由至少包含铜、钼、钛以及钨中的任一一种的金属形成。

18. 根据权利要求 15 ~ 17 中的任一项所述的薄膜晶体管阵列装置的制造方法，

分别包含于所述第一晶体管和所述第二晶体管的半导体层是结晶半导体层，

由耐热性比所述第一布线和所述第二布线中的与所述栅电极电连接的布线所使用的金属的耐热性高的金属形成所述第一晶体管和所述第二晶体管各自所包括的栅电极。

19. 根据权利要求 15 ~ 18 中的任一项所述的薄膜晶体管阵列装置的制造方法，

由包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜形成所述导电氧化物膜。

20. 一种 EL 显示面板的制造方法,包括:

第一工序,准备基板;

第二工序,在所述基板上形成第一布线;

第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;

第四工序,在所述导电氧化物膜上形成钝化膜;

第五工序,在所述钝化膜上形成中继电极,所述中继电极经由设置于所述钝化膜的第一孔部电连接于与所述第一布线交叉的第二布线和与所述第一电极设置于同一层的第一导电性部件;

第六工序,在所述钝化膜上形成层间绝缘膜;

第七工序,在所述层间绝缘膜上形成下部电极;

第八工序,在所述下部电极的上方形成发光功能层;以及

第九工序,在所述发光功能层的上方形成上部电极,

所述中继电极对所述第一导电性部件和相比于所述层间绝缘膜形成于上方的第二导电性部件进行中继,

所述第一晶体管和所述第二晶体管是底栅型晶体管,

所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方,

所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方,

在所述第二工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置于同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部,

在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出,

所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极与所述第一导电性部件电连接,

在所述第五工序中,所述中继电极使用与形成于所述钝化膜上的所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成于同一层。

薄膜晶体管阵列装置、EL 显示面板、EL 显示装置、薄膜晶体管阵列装置的制造方法以及 EL 显示面板的制造方法

技术领域

[0001] 本发明涉及在基板上集成形成有将多晶硅、微晶硅等作为活性层的薄膜晶体管的图像显示装置用的薄膜晶体管阵列装置、使用该薄膜晶体管阵列装置的 EL 显示面板以及 EL 显示装置。

背景技术

[0002] 薄膜晶体管被使用于有机 EL 显示器、液晶显示器等显示装置的驱动基板，当前，盛行着面向高性能化的开发。特别是，在随着显示器的大型化、高精细化而对薄膜晶体管要求高电流驱动能力的情况下，在活性层使用结晶化的半导体薄膜（多晶硅、微晶硅）的方法受到关注。

[0003] 作为半导体薄膜的结晶化工艺，代替已经确立的采用 1000℃ 以上的处理温度的高温工艺技术，开发了采用 600℃ 以下的处理温度的低温工艺。在低温工艺中，不需要使用耐热性优异的石英等昂贵的基板，能够实现降低制造成本。

[0004] 作为低温工艺的一环，使用激光束进行加热的激光退火受到关注。该激光退火是：在对玻璃等低耐热性绝缘基板上成膜的非晶硅、多晶硅等非单晶的半导体薄膜照射激光束而将其局部加热熔融之后，在其冷却过程中使半导体薄膜结晶化。将该结晶化的半导体薄膜作为活性层（沟道区域）来集成形成薄膜晶体管。由于结晶化的半导体薄膜的载流子的迁移率高，因此能够提高薄膜晶体管的性能（例如，参照专利文献 1）。

[0005] 另外，作为薄膜晶体管的构造，主流是栅电极相比于半导体层配置于下方的底栅型构造。参照图 32～图 36 来说明底栅型薄膜晶体管 1000 的构造。

[0006] 如图 32～图 36 所示，薄膜晶体管 1000 为基板 1010、第一金属层 1020、栅极绝缘膜 1030、半导体膜 1040、第二金属层 1050 以及钝化膜 1060 的层叠构造体。

[0007] 在层叠于基板 1010 上的第一金属层 1020 形成有栅极布线 1021 和从栅极布线 1021 延伸设置的栅电极 1022。另外，栅极绝缘膜 1030 形成于基板 1010 和第一金属层 1020 上，以使得覆盖栅极布线 1021 和栅电极 1022。进一步，半导体膜 1040 层叠在栅极绝缘膜 1030 上，以使得与栅电极 1022 重叠。

[0008] 在层叠于栅极绝缘膜 1030 和半导体膜 1040 上的第二金属层 1050 形成有源极布线 1051、从源极布线 1051 延伸设置的源电极 1052 以及漏电极 1053。源电极 1052 和漏电极 1053 被配置在相互相对的位置且分别与半导体膜 1040 的一部分重叠。另外，钝化膜 1060 层叠在栅极绝缘膜 1030、半导体膜 1040 以及第二金属层 1050 上，以使得覆盖源极布线 1051、源电极 1052 以及漏电极 1053。

[0009] 在如上所述的底栅型薄膜晶体管 1000 中，栅极布线 1021 和栅电极 1022 形成于半导体膜 1040 下层的第二金属层 1020。也即是，在半导体膜 1040 的激光结晶化工序时已经形成了栅极布线 1021 和栅电极 1022。即，栅极布线 1021 和栅电极 1022 需要能耐受激光结晶化工序中的温度（600℃ 左右）的高耐热性。

[0010] 在先技术文献

[0011] 专利文献 1 : 日本特开平 07-235490 号公报

发明内容

[0012] 发明要解决的问题

[0013] 然而, 作为一般的电极材料使用的金属具有耐热性越高则导电性越低的趋势。因此, 在使用耐热性高的材料来作为栅电极 1022 的材料、且在与栅电极 1022 相同的层以相同的金属材料形成了栅极布线 1021 的情况下, 栅极布线 1021 的布线电阻会变高。高布线电阻会成为产生信号延迟、由电压下降引起的显示器的斑块的原因。特别是, 当面板面积变大、驱动频率增加时, 布线电阻的影响会变大。

[0014] 另外, 如图 36 所示, 形成于第一金属层 1020 的栅极布线 1021 与形成于第二金属层 1050 的源极布线 1051 隔着膜厚 200nm 左右的栅极绝缘膜 1030 相交叉。因此, 也存在以下问题: 当为了提高薄膜晶体管 1000 的性能而要使栅极绝缘膜 1030 薄膜化时, 栅极布线 1021 与源极布线 1051 之间的间隔会进一步变窄, 布线间的寄生电容会增加。

[0015] 而且, 构成薄膜晶体管 1000 的电极、布线所使用的金属有可能会由于与空气中的水分或者构成薄膜晶体管 1000 的氧化物膜等接触而氧化, 有可能会使薄膜晶体管 1000 的功能劣化。

[0016] 本发明是为了解决上述问题而完成的发明, 目的在于提供一种薄膜晶体管阵列装置, 其分别由具有适当的特性的材料来形成栅电极和栅极布线, 降低栅极布线与源极布线之间的寄生电容, 进而防止了金属的氧化。

[0017] 用于解决问题的手段

[0018] 本发明的一种方式所涉及的薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置。所述薄膜晶体管阵列装置包括: 基板; 第一布线, 其配置在所述基板的上方; 第二布线, 其与所述第一布线交叉; 第一晶体管, 其包括形成于所述基板上的栅电极以及第一电极和第二电极; 第二晶体管, 其形成于所述基板上; 钝化膜, 其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间; 导电氧化物膜, 其层叠在所述钝化膜下; 以及中继电极, 其形成于所述钝化膜上, 对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继, 经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接, 所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层, 并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层, 并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部, 所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面, 并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间, 使所述中继电极和所述第一导电性部件电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层, 由与所述第二布线相同的材料形成。

[0019] 发明的效果

[0020] 根据本发明,能够在维持栅电极的耐热性的状态下实现栅极布线的低电阻化。另外,即使为了提高薄膜晶体管的特性而使栅极绝缘膜的厚度变薄,第一布线与第二布线之间的寄生电容也不会变大。即,能够抑制由寄生电容的增加引起的图像信号的延迟等。进一步,通过防止使用于各电极和各布线的金属的氧化,能够防止薄膜晶体管阵列装置的功能下降。

[0021] “第一电极”是指源电极和漏电极中的一方,“第二电极”是指源电极和漏电极中的另一方。具体由第一晶体管的类型(P型或者N型)和“第一电极”与“第二电极”之间的电压关系来决定。

附图说明

[0022] 图1是表示薄膜半导体阵列基板的图。

[0023] 图2A是实施方式1所涉及的有机EL显示器的立体图。

[0024] 图2B是更具体地表示图2A的层叠构造的局部立体图,是表示线堤的示例的图。

[0025] 图2C是更具体地表示图2A的层叠构造的局部立体图,是表示像素堤的示例的图。

[0026] 图3是表示像素电路的电路结构的图。

[0027] 图4是表示实施方式1所涉及的像素的结构的主视图。

[0028] 图5是图4的V-V处的剖视图。

[0029] 图6是图4的VI-VI处的剖视图。

[0030] 图7是图4的VII-VII处的剖视图。

[0031] 图8是从图4的V-V剖面观察到的主要部分的立体图。

[0032] 图9A是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(a)对应的图4的V-V剖面的构造的图。

[0033] 图9B是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(b)对应的图4的V-V剖面的构造的图。

[0034] 图9C是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(c)对应的图4的V-V剖面的构造的图。

[0035] 图9D是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(d)对应的图4的V-V剖面的构造的图。

[0036] 图9E是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(e)的一部分对应的图4的V-V剖面的构造的图。

[0037] 图9F是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(e)的另一部分对应的图4的V-V剖面的构造的图。

[0038] 图10A是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图4的V-V剖面的构造的图。

[0039] 图10B是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图4的V-V剖面的构造的图。

[0040] 图10C是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图4的V-V剖面的构造的图。

[0041] 图11A是表示与实施方式1所涉及的薄膜晶体管阵列装置的制造工序(a)对应的

图 4 的 VII-VII 剖面的构造的图。

[0042] 图 11B 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 4 的 VII-VII 剖面的构造的图。

[0043] 图 11C 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0044] 图 11D 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (d) 的另一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0045] 图 11E 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的其他一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0046] 图 11F 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 4 的 VII-VII 剖面的构造的图。

[0047] 图 11G 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (e) 对应的图 4 的 VII-VII 剖面的构造的图。

[0048] 图 11H 是表示与实施方式 1 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 4 的 VII-VII 剖面的构造的图。

[0049] 图 12A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0050] 图 12B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0051] 图 12C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 4 的 VII-VII 剖面的构造的图。

[0052] 图 13 是表示实施方式 1 的变形例所涉及的薄膜晶体管阵列装置的与图 6 对应的剖面的构造的图。

[0053] 图 14A 是表示图 13 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0054] 图 14B 是表示图 13 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0055] 图 15 是表示图 7 的变形例的图。

[0056] 图 16 是表示图 7 的另一变形例的图。

[0057] 图 17 是表示图 7 的其他一变形例的图。

[0058] 图 18 是表示实施方式 2 所涉及的像素的结构的主视图。

[0059] 图 19 是图 18 的 XIX-XIX 处的剖视图。

[0060] 图 20 是图 18 的 XX-XX 处的剖视图。

[0061] 图 21 是图 18 的 XXI-XXI 处的剖视图。

[0062] 图 22 是从图 18 的 XIX-XIX 剖面观察到的主要部分的立体图。

[0063] 图 23A 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (a) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0064] 图 23B 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0065] 图 23C 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0066] 图 23D 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0067] 图 23E 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的一部分对应的图 18 的 XIX-XIX 剖面的构造的图。

[0068] 图 23F 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 的另一部分对应的图 18 的 XIX-XIX 剖面的构造的图。

[0069] 图 23G 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 18 的 XIX-XIX 剖面的构造的图。

[0070] 图 24A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 18 的 XIX-XIX 剖面的构造的图。

[0071] 图 24B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 18 的 XIX-XIX 剖面的构造的图。

[0072] 图 24C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 18 的 XIX-XIX 剖面的构造的图。

[0073] 图 25A 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (a) 对应的图 18 的 XXI-XXI 剖面的构造的图。

[0074] 图 25B 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (b) 对应的图 18 的 XXI-XXI 剖面的构造的图。

[0075] 图 25C 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的一部分对应的图 18 的 XXI-XXI 剖面的构造的图。

[0076] 图 25D 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的另一部分对应的图 18 的 XXI-XXI 剖面的构造的图。

[0077] 图 25E 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (c) 的其他一部分对应的图 18 的 XXI-XXI 剖面的结构的图。

[0078] 图 25F 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (d) 对应的图 18 的 XXI-XXI 剖面的构造的图。

[0079] 图 25G 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (e) 对应的图 18 的 XXI-XXI 剖面的构造的图。

[0080] 图 25H 是表示与实施方式 2 所涉及的薄膜晶体管阵列装置的制造工序 (f) 对应的图 18 的 XXI-XXI 剖面的构造的图。

[0081] 图 26A 是表示与形成端子、栅极布线以及中继电极的工序的一部分对应的图 18 的 XXI-XXI 剖面的构造的图。

[0082] 图 26B 是表示与形成端子、栅极布线以及中继电极的工序的另一部分对应的图 18 的 XXI-XXI 剖面的构造的图。

[0083] 图 26C 是表示与形成端子、栅极布线以及中继电极的工序的其他一部分对应的图 18 的 XXI-XXI 剖面的构造的图。

[0084] 图 27 是表示实施方式 2 的变形例所涉及的薄膜晶体管阵列装置的与图 19 对应的剖面的构造的图。

[0085] 图 28A 是表示图 27 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0086] 图 28B 是表示图 27 示出的薄膜晶体管阵列装置的制造工序的一部分的图。

[0087] 图 29 是表示图 21 的变形例的图。

[0088] 图 30 是表示图 21 的另一变形例的图。

[0089] 图 31 是表示图 21 的其他一变形例的图。

[0090] 图 32 是表示以往的像素的结构的主视图。

[0091] 图 33 是图 32 的 XXXIII-XXXIII 处的剖视图。

[0092] 图 34 是图 32 的 XXXIV-XXXIV 处的剖视图。

[0093] 图 35 是图 32 的 XXXV-XXXV 处的剖视图。

[0094] 图 36 是从图 32 的 XXXIII-XXXIII 剖面观察到的主要部分的立体图。

[0095] 标号说明

[0096] 1:薄膜半导体阵列基板;10:有机 EL 显示器;11:层间绝缘膜;12:阳极;13:有机 EL 层;14:透明阴极;15:堤;20:薄膜晶体管阵列装置;21、1021:栅极布线;22、1051:源极布线;23:电源布线;30:像素电路;40:第一晶体管;41、51、1022:栅电极;42、53、1052:源电极;43、52、1053:漏电极;44、54、1040:半导体膜;50:第二晶体管;55:中继电极;56:第二中继电极;57:第三中继电极;60:电容器;70、80、80a、80b:端子部;71、75、81、81a、81b、85:端子;82、76:中继布线;82b:弹性体;72、77、78、83、84、86:孔部;90:辅助布线;91:辅助电极;100:像素;100R、100G、100B:子像素;110、1010:基板;120、1020:第一金属层;130、1030:栅极绝缘膜;140、1050:第二金属层;150、1060:钝化膜;160:导电氧化物膜;170:第三金属层;171、191:第一接触孔;172、192:第二接触孔;173、193:第三接触孔;173a、193a:第三贯通孔;174、194:第四接触孔;175、195:第五接触孔;176、196:第六接触孔;177、197:第七接触孔;178:第八接触孔;179:第九接触孔;180:感光性抗蚀剂膜;181:第一感光性抗蚀剂膜;182:第二感光性抗蚀剂膜;1000:薄膜晶体管。

具体实施方式

[0097] 本发明的一种方式所涉及的薄膜晶体管阵列装置是与 EL 层隔着层间绝缘膜而层叠的装置。所述薄膜晶体管阵列装置包括:基板;第一布线,其配置在所述基板的上方;第二布线,其与所述第一布线交叉;第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;第二晶体管,其形成于所述基板上;钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;导电氧化物膜,其层叠在所述钝化膜下;以及中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 层所包含的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接,所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件

电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

[0098] 作为一例,可以为所述第一布线是与所述栅电极电连接的布线,所述第二布线是与所述第一电极电连接的布线。

[0099] 作为其它例,可以为所述第一布线是与所述第一电极电连接的布线,所述第二布线是与所述栅电极电连接的布线。

[0100] 在上述薄膜晶体管阵列装置中,将与栅电极电连接的布线和与第一电极电连接的布线中的一方相比于钝化膜配置于下层,将与栅电极电连接的布线和与第一电极电连接的布线中的另一方配置在与形成于基板上的第一电极不同层的钝化膜上。因此,第一布线和第二布线之间的间隔不是栅电极与第一电极之间的间隔,而是与形成于第一电极上的钝化膜的膜厚对应。在此,钝化膜是保护薄膜晶体管阵列装置的表面的膜,因此即使将使膜厚增加也不会对作为薄膜晶体管阵列装置的性能带来影响。其结果,通过调整钝化膜的膜厚而确保第一布线和第二布线之间的距离,能够减少第一布线和第二布线之间的寄生电容。

[0101] 另外,与第一电极相同的层且基板的周缘部从设置于钝化膜的开口部露出,能够作为与装置外部的栅极驱动电路或者源极驱动电路(或者漏极驱动电路)之间的连接部即端子来加以利用。在该情况下,露出的端子容易与空气或者空气中的水分接触而氧化。当被氧化时,氧化的端子与外部的驱动电路会成为经由电阻高的氧化层而电连接,因此存在端子与外部的驱动电路之间的连接电阻会变高的问题。

[0102] 因此,在上述结构的薄膜晶体管阵列装置中,在钝化膜下层叠导电氧化物膜,通过导电氧化物膜来覆盖端子所露出的区域(上面)。由此,导电氧化物膜能够防止露出的端子被氧化。其结果,能够使端子与外部的驱动电路之间的连接电阻长期低电阻化。

[0103] 如上所述,在钝化膜下层叠导电氧化物膜(Indium Tin Oxide:ITO)的情况下,在与第一电极同层的第一导电性部件和EL层所包含的第二导电性部件之间存在导电氧化物膜,会产生因导电氧化物膜而第二导电性部件氧化的问题。对此,根据上述结构,在与第一导电性部件重叠的钝化膜上的区域形成中继电极,使中继电极对第一导电性部件和第二导电性部件进行中继。另外,导电氧化物膜介于中继电极与第一导电性部件之间。由此,在第二导电性部件与导电氧化物膜之间存在中继电极,因此能够防止因导电氧化物膜而第二导电性部件氧化。

[0104] 进一步,中继电极与钝化膜上的第二布线形成于同一层,由与第二布线相同的材料形成。这样,通过将第二布线配置于钝化膜上,能够在与第二布线相同的层使用与第二布线相同的材料来形成中继电极。因此,能够在同一工序中形成第二布线和中继电极。其结果,能够通过简单的结构,减少第一布线和第二布线之间的寄生电容的同时防止因导电氧化物膜而第二导电性部件氧化。

[0105] 另外,所述第二导电性部件可以是以铝为主要成分的金属。在第二导电性部件与导电氧化物膜之间存在中继电极,因此即使在对第二导电性部件中采用以铝为主要成分的金属的情况下,也能够防止因导电氧化物膜而第二导电性部件氧化。

[0106] 另外,所述中继电极的与所述导电氧化物膜接触的面可以由至少包含铜、钼、钛以及钨中的任一种的金属形成。

[0107] 另外,所述中继电极可以为层叠构造。

[0108] 另外,所述层间绝缘膜可以包括有机膜和无机膜这两层。并且,所述无机膜可以覆盖所述第二布线和所述中继电极。

[0109] 另外,分别包含在所述第一晶体管和所述第二晶体管的半导体层可以是结晶半导体层。并且,所述第一晶体管和所述第二晶体管各自所包括的栅电极可以由耐热性比与所述栅电极电连接的布线(即栅极布线)所使用的金属的耐热性高的金属形成。

[0110] 根据上述结构,分别包含在第一晶体管和第二晶体管的半导体层也可以为结晶半导体层。在该情况下,为了将半导体层形成结晶半导体层,需要对非晶半导体层进行激光照射而使非晶半导体层的温度上升到 1100℃~1414℃的范围,使非晶半导体层结晶化。在底栅型薄膜晶体管阵列装置中,首先在基板上形成栅电极,之后形成半导体层,因此在通过如上所述的高热处理使非晶半导体层结晶化的情况下,要求构成栅电极的金属的耐热性较高。另一方面,耐热性高的金属的电阻也高,因此在使用相同材料形成栅电极和栅极布线的情况下,栅极布线也使用高电阻的金属来形成,会产生栅极布线高电阻化的问题。

[0111] 然而,根据上述结构的薄膜晶体管阵列装置,通过将栅电极和栅极布线形成于不同层,能够从不同材料选择栅电极和栅极布线。由此,能够在提高构成栅电极的金属的耐热性的同时,从低电阻的金属选择构成栅极布线的金属来使栅极布线低电阻化。

[0112] 另外,耐热性比与所述栅电极电连接的布线所使用的金属的耐热性高的金属可以是包含钼、钨、钛、钽、镍中的任一种的金属。

[0113] 另外,所述导电氧化物膜可以是包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一种。

[0114] 本发明的一种方式所涉及的 EL 显示面板包括:上部电极;下部电极;包括具有介于所述上部电极与所述下部电极之间的发光功能层的 EL 发光元件的 EL 单元;对所述 EL 发光元件进行控制的薄膜晶体管阵列装置;以及介于所述 EL 单元与所述薄膜晶体管阵列装置之间的层间绝缘膜,所述薄膜晶体管阵列装置包括:基板;第一布线,其配置在所述基板的上方;第二布线,其与所述第一布线交叉;第一晶体管,其包括形成于所述基板上的栅电极以及第一电极和第二电极;第二晶体管,其形成于所述基板上;钝化膜,其介于所述层间绝缘膜与所述第一晶体管之间、以及所述层间绝缘膜与所述第二晶体管之间;导电氧化物膜,其层叠在所述钝化膜下;以及中继电极,其形成于所述钝化膜上,对与所述第一电极设置在同层的第一导电性部件和所述 EL 单元所包括的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在与所述第一电极相同的层且所述基板的周缘部配置有端子部,所述端子部被输入对所述薄膜晶体管阵列装置的所述第一布线或者所述第二布线进行驱动的外部信号。所述导电氧化物膜覆盖所述端子部的上面端部,并且至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接。所述中继电极与所述钝化膜上的所述第二布线形成在同一层,由与所述第二布线相同的材料形成。

[0115] EL 显示面板中,由于在对显示面板的 EL 元件单元的发光进行控制的薄膜晶体管

阵列装置所形成的栅极信号的延迟,随着显示面板大型化到 20 英寸、30 英寸、40 英寸,用于对显示面板进行驱动的容限 (margin) 会减小。

[0116] 因此,当采用上述结构的薄膜晶体管阵列装置时,即使是大画面的 EL 显示面板,也能够减少第一布线和第二布线之间的寄生电容,因此能够实现减少栅极信号的延迟和栅极信号波形的减弱的 EL 显示面板,因此通过使其以高帧频进行动作,能够实现运动图像析像度优异的 EL 显示面板。另外,能够使薄膜晶体管阵列装置与 EL 元件之间的电连接长期为低电阻,因此能够实现 EL 元件的发光电流不减少而低功耗且发光亮度高、寿命长的 EL 面板。并且,能够通过简单的结构,在减少第一布线和第二布线之间的寄生电容的同时,防止因导电氧化物膜而第二导电性部件氧化,因此能够实现制造材料利用率高的 EL 显示面板。

[0117] 另外,所述第二导电性部件可以是以铝为主要成分的金属。

[0118] 另外,所述第二导电性部件与所述中继电极可以在设置于所述层间绝缘膜的孔部的上部周缘的平坦区域连接。

[0119] 本发明的一种方式所涉及的 EL 显示装置搭载上述记载的 EL 显示面板。

[0120] 通过搭载上述 EL 显示面板,能够实现不会使图像信号劣化而显现高像质的图像的 EL 显示装置。

[0121] 本发明的一种方式涉及制造与 EL 层隔着层间绝缘膜而层叠的薄膜晶体管阵列装置的方法。具体而言,包括:第一工序,准备基板;第二工序,在所述基板上形成第一布线;第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;第四工序,在所述导电氧化物膜上形成钝化膜;以及第五工序,在所述钝化膜上形成中继电极,所述中继电极对与所述第一布线交叉的第二布线、与所述第一电极设置在同层的第一导电性部件以及设置于所述 EL 层的第二导电性部件进行中继,经由设置于所述钝化膜的第一孔部与所述第一导电性部件电连接。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的、所述钝化膜的下层,并且是与所述栅电极电连接的布线和与第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的、所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在所述第三工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置在同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部。在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出。所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极和所述第一导电性部件电连接。在所述第五工序中,所述中继电极使用与所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成在同一层。

[0122] 另外,所述第二导电性部件可以是以铝为主要成分的金属。

[0123] 另外,所述中继电极的与所述导电氧化物膜接触的面可以由至少包含铜、钼、钛以及钨中的任一种的金属形成。

[0124] 另外,分别包含在所述第一晶体管和所述第二晶体管的半导体层可以是结晶半导体层。并且,所述第一晶体管和所述第二晶体管各自所包括的栅电极可以由耐热性比与所述栅电极电连接的布线(即栅极布线)所使用的金属的耐热性高的金属形成。

[0125] 根据上述制造方法,通过将栅电极和栅极布线形成于不同层,能够从不同材料选择栅电极和栅极布线。由此,能够在提高构成栅电极的金属的耐热性的同时,从低电阻的金属选择构成栅极布线的金属来使栅极布线低电阻化。其结果,能够形成迁移率高的半导体层,并且能够形成低电阻的栅极布线。

[0126] 另外,可以由包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜来形成所述导电氧化物膜。

[0127] 本发明的一种方式所涉及的 EL 显示面板的制造方法包括:第一工序,准备基板;第二工序,在所述基板上形成第一布线;第三工序,在所述基板上形成包括栅电极和第一电极及第二电极的第一晶体管以及第二晶体管,并且在所述第一晶体管和所述第二晶体管上形成导电氧化物膜;第四工序,在所述导电氧化物膜上形成钝化膜;第五工序,在所述钝化膜上形成中继电极,所述中继电极经由设置于所述钝化膜的第一孔部电连接于与所述第一布线交叉的第二布线和与所述第一电极设置于同一层的第一导电性部件;第六工序,在所述钝化膜上形成层间绝缘膜;第七工序,在所述层间绝缘膜上形成下部电极;第八工序,在所述下部电极的上方形成发光功能层;以及第九工序,在所述发光功能层的上方形成上部电极。所述中继电极对所述第一导电性部件和相比于所述层间绝缘膜形成于上方的第二导电性部件进行中继。所述第一晶体管和所述第二晶体管是底栅型晶体管。所述第一布线配置在与所述第一电极同层的所述钝化膜的下层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的一方。所述第二布线配置在与所述第一电极不同层的所述钝化膜的上层,并且是与所述栅电极电连接的布线和与所述第一电极电连接的布线中的另一方。在所述第三工序中,形成所述导电氧化物膜以使得覆盖端子部的上面,所述端子部是与所述第一电极设置于同一层、被输入对所述第一布线或者所述第二布线进行驱动的外部信号的端子部。在所述第四工序中,使被所述导电氧化物膜覆盖的所述端子部的上面从设置于所述钝化膜的开口部露出。所述导电氧化物膜至少在所述第一孔部的底面部介于所述中继电极与所述第一导电性部件之间,使所述中继电极与所述第一导电性部件电连接。在所述第五工序中,所述中继电极使用与形成于所述钝化膜上的所述第二布线相同的材料而与所述钝化膜上的所述第二布线形成于同一层。

[0128] 以下,参照附图详细说明本发明的实施方式。

[0129] (实施方式 1)

[0130] 参照图 1~图 3 说明本发明的实施方式 1 所涉及的有机 EL(Electro Luminescence:电致发光)显示器(有机 EL 显示面板)10 以及图像显示装置用的薄膜晶体管阵列装置(以下简记为“薄膜晶体管阵列装置”)20。图 1 是表示薄膜半导体阵列基板 1 的图。图 2A 是作为本发明的实施方式 1 所涉及的显示装置的一例的有机 EL 显示器 10 的立体图。图 2B 是更具体地表示图 2A 的层叠构造的局部立体图,是表示线堤的示例的图。图 2C 是更具体地表示图 2A 的层叠构造的局部立体图,是表示像素堤的示例的图。图 3 是表示驱动像素 100 的像素电路 30 的电路结构的图。

[0131] 首先,如图 1 所示,薄膜半导体阵列基板 1 由多个(在图 1 中为两个)有机 EL 显示器 10 构成。另外,如图 2A 所示,有机 EL 显示器 10 从下层起为薄膜晶体管阵列装置 20、层间绝缘膜(平坦化膜)11(在图 2A 中省略图示)、阳极(下部电极)12、有机 EL 层(有机发光层)13 以及透明阴极(上部电极)14 的层叠构造体。另外,在阳极 12 与有机 EL 层 13

之间层叠有空穴输送层（省略图示），在有机 EL 层 13 与透明阴极 14 之间层叠有电子输送层（省略图示）。

[0132] 在薄膜晶体管阵列装置 20 呈矩阵状配置有多个像素 100。各像素 100 由分别设置的像素电路 30 来驱动。另外，薄膜晶体管阵列装置 20 具备：呈行状配置的多条栅极布线 21；呈列状配置以使得与栅极布线 21 交叉的多条源极布线（信号布线）22；以及与源极布线 22 平行地延伸的多条电源布线 23（在图 2A 中省略图示）。

[0133] 该栅极布线 21 按各行而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的栅电极 41（在图 2A 中省略图示）。源极布线 22 按各列而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的源电极 42（在图 2A 中省略图示）。电源布线 23 按各列而连接作为像素电路 30 各自所包括的开关元件动作的薄膜晶体管的漏电极 52（在图 2A 中省略图示）。

[0134] 更具体而言，如图 2B 和图 2C 所示，有机 EL 显示器 10 的各像素 100 由三色（红色、绿色、蓝色）的子像素 100R、100G、100B 构成。子像素 100R、100G、100B 分别在图 2B 的内侧方向上排列有多个（将其标记为“子像素列”）。

[0135] 图 2B 是表示线堤的示例的图，各子像素列通过堤 15 相互分离。图 2B 示出的堤 15 是在相互相邻的子像素列之间沿与源极布线 22 平行的方向延伸的突条，形成于薄膜晶体管阵列装置 20 上。换言之，各子像素列分别形成于相互相邻的突条之间（即，堤 15 的开口部）。

[0136] 阳极 12 按各子像素 100R、100G、100B 而形成于薄膜晶体管阵列装置 20 上（更具体而言为层间绝缘膜 11 上）且堤 15 的开口部内。有机 EL 层 13 按各子像素列（即覆盖各列的多个阳极 12）而形成在阳极 12 上且堤 15 的开口部内。透明阴极 14 在多个有机 EL 层 13 和堤 15（多个突条）上连续形成成为覆盖全部子像素 100R、100G、100B。

[0137] 另一方面，图 2C 是表示像素堤的示例的图，各子像素 100R、100G、100B 通过堤 15 相互分离。图 2C 示出的堤 15 形成为与栅极布线 21 平行地延伸的突条和与源极布线 22 平行地延伸的突条相互交叉。并且，在由该突条包围的部分（即堤 15 的开口部）形成有子像素 100R、100G、100B。

[0138] 阳极 12 按各子像素 100R、100G、100B 而形成在薄膜晶体管阵列装置 20 上（更具体而言为层间绝缘膜 11 上）且堤 15 的开口部内。同样地，有机 EL 层 13 按各子像素 100R、100G、100B 而形成在阳极 12 上且堤 15 的开口部内。透明阴极 14 在多个有机 EL 层 13 和堤 15（多个突条）上连续形成成为覆盖全部子像素 100R、100G、100B。

[0139] 而且，虽然在图 2B 和图 2C 中省略图示，但在薄膜晶体管阵列装置 20 按各子像素 100R、100G、100B 而形成有像素电路 30。并且，如图 7 所示，各子像素 100R、100G、100B 和与之对应的像素电路 30 通过中继电极 55 电连接。

[0140] 除了有机 EL 层 13 的特性（发光色）不同之外，子像素 100R、100G、100B 具有相同的结构。因此，在以下的说明中，不区别子像素 100R、100G、100B 而全部标记为“像素 100”。另外，本发明可以应用于图 2B 示出的线堤，同样也可以应用于图 2C 示出的像素堤。

[0141] 如图 3 所示，像素电路 30 包括：第一晶体管 40，其作为开关元件而进行动作；第二晶体管 50，其作为驱动元件而进行动作；以及电容器 60，其存储在对应的像素中显示的数据。

[0142] 第一晶体管 40 由与栅极布线 21 连接的栅电极 41、与源极布线 22 连接的源电极 42、与电容器 60 和第二晶体管 50 的栅电极 51 连接的漏电极 43、以及半导体膜 44（在图 3 中省略图示）。当对所连接的栅极布线 21 和源极布线 22 施加电压时，该第一晶体管 40 将施加于该源极布线 22 的电压值作为显示数据而保存到电容器 60。

[0143] 第二晶体管 50 由与第一晶体管 40 的漏电极 43 连接的栅电极 51、与电源布线 23 和电容器 60 连接的漏电极 52、与阳极 12 连接的源电极 53、以及半导体膜 54（在图 3 中省略图示）。该第二晶体管 50 将与电容器 60 所保持的电压值对应的电流从电源布线 23 通过源电极 53 提供给阳极 12。

[0144] 即，上述结构的有机 EL 显示器 10 采用按位于栅极布线 21 与源极布线 22 的交点的各像素 100 来进行显示控制的有源矩阵方式。

[0145] 接着，参照图 4～图 8，说明构成薄膜晶体管阵列装置 20 的像素 100 的构造（图 5 和图 6 的破断线右侧的构造）。图 4 是表示像素 100 的结构的主视图。图 5 是图 4 的 V-V 处的剖视图。图 6 是图 4 的 VI-VI 处的剖视图。图 7 是图 4 的 VII-VII 处的剖视图。图 8 是从图 4 的 V-V 剖面观察到的主要部分的立体图。在图 7 中还图示了层间绝缘膜 11 和阳极 12。

[0146] 如图 4～图 7 所示，像素 100 是基板 110、第一金属层（导电层）120、栅极绝缘膜 130、半导体膜 44、54、第二金属层（导电层）140、导电氧化物膜（Indium Tin Oxide:ITO，氧化铟锡）160、钝化膜 150 以及第三金属层（导电层）170 的层叠构造体。

[0147] 在层叠于基板 110 上的第一金属层 120 形成有第一晶体管 40 的栅电极 41 以及第二晶体管 50 的栅电极 51。另外，在基板 110 和第一金属层 120 上形成有栅极绝缘膜 130 以覆盖栅电极 41、51。

[0148] 半导体膜 44 被配置在栅极绝缘膜 130 上（栅极绝缘膜 130 与第二金属层 140 之间）且与栅电极 41 重叠的区域内。同样地，半导体膜 54 被配置在栅极绝缘膜 130 上（栅极绝缘膜 130 与第二金属层 140 之间）且与栅电极 51 重叠的区域内。本说明书中的“重叠”是指从上下方向观察时处于相互重合的位置关系。

[0149] 在层叠于栅极绝缘膜 130 和半导体膜 44、54 上的第二金属层 140 形成有栅极布线 21、第一晶体管 40 的源电极 42 和漏电极 43 以及第二晶体管 50 的漏电极 52 和源电极 53。也即是，第一晶体管 40 和第二晶体管 50 是其栅电极 41、51 相比于源电极 42、53 和漏电极 43、52 形成于下层的底栅型晶体管。

[0150] 更具体而言，源电极 42 和漏电极 43 形成于相互相对的位置且分别与半导体膜 44 的一部分重叠。同样地，漏电极 52 和源电极 53 形成于相互相对的位置且分别与半导体膜 54 的一部分重叠。

[0151] 另外，在栅极绝缘膜 130 的与栅极布线 21 和栅电极 41 重叠的位置形成有在厚度方向上贯通的第一接触孔（孔部）171。并且，栅极布线 21 经由第一接触孔 171 与形成于第一金属层 120 的栅电极 41 电连接。

[0152] 另外，在栅极绝缘膜 130 的与漏电极 43 和栅电极 51 重叠的位置形成有在厚度方向上贯通的第二接触孔（孔部）172。并且，漏电极 43 经由第二接触孔 172 与形成于第一金属层 120 的栅电极 51 电连接。

[0153] 进一步，在栅极绝缘膜 130 和第二金属膜 140 上形成有导电氧化物膜 160 以覆盖

源电极 42、53 和漏电极 43、52。也即是,导电氧化物膜 160 形成为介于钝化膜 150 与第一晶体管 40 及第二晶体管 50 之间。导电氧化物膜 160 选择性地形成于与栅极布线 21、源电极 42、53 以及漏电极 43、52 等(即,第二金属层 140 的各构成要素)重叠的位置。

[0154] 在导电氧化物膜 160 上层叠有钝化膜 150。进一步,在钝化膜 150 上层叠有第三金属层 170。在层叠于钝化膜 150 上的第三金属层 170 形成有源极布线 22、电源布线 23 以及中继电极 55。

[0155] 另外,在钝化膜 150 的与源极布线 22 和源电极 42 重叠的位置形成有在厚度方向上贯通的第二接触孔(孔部)173。并且,源极布线 22 经由第二接触孔 173 与形成于第二金属层 140 的源电极 42 电连接。源极布线 22 与源电极 42 不直接接触,在两者之间夹有导电氧化物膜 160。

[0156] 另外,在钝化膜 150 的与电源布线 23 和源电极 52 重叠的位置形成有在厚度方向上贯通的第四接触孔(孔部)174。并且,电源布线 23 经由第四接触孔 174 与形成于第二金属层 140 的源电极 52 电连接。电源布线 23 与源电极 52 不直接接触,在两者之间夹有导电氧化物膜 160。

[0157] 进一步,在钝化膜 150 的与第二晶体管 50 的源电极 53 和中继电极 55 重叠的位置形成有在厚度方向上贯通的第五接触孔(孔部)175。并且,中继电极 55 经由第五接触孔 175 与形成于第二金属层 140 的源电极 53 电连接。源电极 53 与中继电极 55 不直接接触,在两者之间夹有导电氧化物膜 160。

[0158] 进一步,在钝化膜 150 和第三金属层 170 上形成有层间绝缘膜 11 以覆盖源极布线 22、电源布线 23 以及中继电极 55。在层间绝缘膜 11 上的与相邻的像素 100 的边界部分形成有堤 15。并且,在堤 15 的开口部形成有以像素 100 为单位形成的阳极 12 以及以颜色(子像素列)为单位或者以子像素为单位形成的有机 EL 层 13。进一步,在有机 EL 层 13 和堤 15 上形成有透明阴极 14。

[0159] 进一步,在与阳极 12 和中继电极 55 重叠的位置形成有在厚度方向上贯通层间绝缘膜 11 的第六接触孔(孔部)176。并且,阳极 12 经由第六接触孔 176 与形成于第二金属层 170 的中继电极 55 电连接。图 7 示出的中继电极 55 由填充到第五接触孔 175 的中央区域以及在第五接触孔 175 的上部周缘延伸的平坦区域构成。并且,阳极 12 在中继电极 55 的平坦区域电连接。

[0160] 如图 8 所示,在上述结构的像素 100 中,栅极布线 21 形成于比钝化膜 150 靠下层的第二金属层 140。另一方面,源极布线 22 和电源布线 23 形成于与栅极布线 21 不同层的第三金属层 170。并且,栅极布线 21 与源极布线 22、以及栅极布线 21 与电源布线 23 隔着钝化膜 150 和导电氧化物膜 160 相互交叉。

[0161] 如上述结构,通过将各布线(栅极布线 21、源极布线 22 以及电源布线 23)设置于比形成有栅电极 41、51 的第一金属层 120 靠上方的金属层(第二金属层 140 和第三金属层 170),能够分别使用适当的材料来构成栅电极 41、51 和各布线。另外,与栅极绝缘膜 130 相比,钝化膜 150 的厚度可以自由地进行设定。因此,通过隔着该钝化膜 150 而将各布线配置于在层叠方向上相邻的第二金属层 140 和第三金属层 170,能够降低寄生电容。

[0162] 接着,参照图 5 和图 6 说明形成于薄膜晶体管阵列装置 20 的端部(周缘部)的端子部 70、80 的构造(图 5 和图 6 的破断线左侧的构造)。

[0163] 图 5 示出的端子部（破断线左侧的部分）70 形成于在行方向上毗连的多个像素 100 的两端的两个部位。在端子部 70，通过使用导电氧化物膜 160 来覆盖栅极布线 21 的端部的上面来形成了端子 71。并且，该端子 71 通过在厚度方向上贯通钝化膜 150 的孔部 72 而向外部露出。

[0164] 也即是，端子部 70 设置于按各行对呈矩阵状配置的像素 100 进行连接的栅极布线 21 的两端，作为将栅极布线 21 和外部的驱动电路连接、从外部的驱动电路向栅极布线 21 输入信号的连接部发挥功能。在此，导电氧化物膜 160 被配置成覆盖从孔部 72 露出的栅极布线 21 的端部，因此能够防止栅极布线 21 与空气中的水分等接触而氧化。

[0165] 同样地，图 6 示出的端子部（破断线左侧的部分）80 形成于在列方向上毗连的多个像素 100 的两端的两个部位。该端子部 80 由形成于第二金属层 140 的中继布线 82 以及在厚度方向上贯通钝化膜 150 的孔部 83、84 构成。另外，中继布线 82 的上面被导电氧化物膜 160 覆盖，其端部（图 6 的左侧的端部）作为端子 81 发挥功能。孔部 83 形成于与中继布线 82 的一侧端部重叠的位置，使端子 81 露出。同样地，孔部 84 形成于与中继布线 82 的另一侧端部重叠的位置，将源极布线 22 的端部和中继布线 82 的另一侧端部电连接。

[0166] 也即是，端子部 80 设置于按各列对呈矩阵状配置的像素 100 进行连接的源极布线 22 的两端，作为将源极布线 22 和外部的驱动电路连接、从外部的驱动电路向源极布线 22 输入信号的连接部而发挥功能。在此，导电氧化物膜 160 被配置成覆盖从孔部 83 露出的中继布线 82 的端部，因此能够防止中继布线 82 与空气中的水分等接触而氧化。

[0167] 接着，参照图 9A～图 12C 说明制造本实施方式 1 所涉及的薄膜晶体管阵列装置 20 的方法。图 9A～图 9F 是表示与制造工序 (a)～(f) 对应的图 4 的 V-V 剖面的构造的图。图 10A～图 10C 是详细表示图 9E 与图 9F 之间的制造工序的图。图 11A～图 11H 是表示与制造工序 (a)～(f) 对应的图 4 的 VII-VII 剖面的构造的图。图 12A～图 12C 是详细表示图 11G 与图 11H 之间的制造工序的图。

[0168] 首先，如图 9A 和图 11A 所示的制造工序 (a)，准备基板 110。基板 110 通常使用玻璃、石英等绝缘性材料。为了防止来自基板 110 的杂质扩散，也可以在基板 110 的上面形成未图示的氧化硅膜或者氮化硅膜。膜厚为 100nm 左右。

[0169] 接着，如图 11B 所示的制造工序 (b)，在基板 110 上形成具有耐热性的第一金属层 120 之后，通过光刻法、蚀刻法等进行图案形成，形成栅电极 41、51。作为材料可举出具有耐热性的 Mo、W、Ta、Ti、Ni 中的任一种或者它们的合金。在本实施方式 1 中使用了 Mo。厚度优选为 100nm 左右。

[0170] 接着，图 9B 以及图 11C～图 11E 所示的制造工序 (c)，在基板 110 和第一金属层 120 上形成栅极绝缘膜 130，在栅极绝缘膜 130 上形成半导体层。栅极绝缘膜 130 和半导体层通过等离子体 CVD 法等不破坏真空而连续地形成。作为栅极绝缘膜 130 而形成氧化硅膜、氮化硅膜或者其复合膜。厚度为 200nm 左右。另外，半导体层为 50nm 左右的非晶硅膜。

[0171] 之后，例如如图 11D 的箭头所示，通过在半导体层上照射准分子激光等，将半导体层从非晶半导体层改性为多晶半导体层。作为结晶化方法，例如在 400℃～500℃的炉内进行脱氢之后，使用准分子激光使之结晶化，之后，在真空中进行几秒钟～几十秒钟的氢等离子体处理。更具体而言，照射准分子激光等，使非晶半导体层的温度上升至预定的温度范围，由此使之结晶化。在此，预定的温度范围例如是 1100℃～1414℃。另外，多晶半导体

层内的平均结晶粒径为 20nm ~ 60nm。

[0172] 在此,构成栅电极 41、51 的第一金属层 120 在上述工序中被暴露于高温中,因此需要由熔点高于上述温度范围的上限值 (1414℃) 的金属形成。另一方面,在后续工序中层叠的第二金属层 140 和第三金属层 170 可以由熔点低于上述温度范围的下限值 (1100℃) 的金属形成。

[0173] 接着,如图 11E 所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体膜 44、54。进而,通过相同的光刻法、蚀刻法等,在栅极绝缘膜 130 形成第一贯通孔和第二贯通孔(省略图示)。该第一贯通孔将在后面成为第一接触孔 171,第二贯通孔将在后面成为第二接触孔 172。

[0174] 之后,如图 9C 和图 11F 所示的制造工序 (d),在栅极绝缘膜 130 和半导体膜 44、54 上形成第二金属层 140 和导电氧化物膜 160,通过图案形成而分别加工栅极布线 21、源电极 42、53、漏电极 43、52 以及中继布线 82。此时,构成第二金属层 140 的材料也被填充到第一贯通孔和第二贯通孔(省略图示),形成第一接触孔 171 和第二接触孔 172。通过该工序,栅极布线 21 与栅电极 41 经由第一接触孔 171 电连接。同样地,栅电极 51 与漏电极 43 经由第二接触孔 172 电连接。

[0175] 作为构成第二金属层 140 的材料可举出作为低电阻金属的 Al、Cu、Ag 中的任一种或者它们的合金。在本实施方式 1 中使用 Al,厚度为 300nm 左右。

[0176] 另外,在此形成的栅极布线 21、源电极 42、53、漏电极 43、52 以及中继布线 82 的上面被导电氧化物膜 160 覆盖。因此,第二金属层 140 的与导电氧化物膜 160 接触的面由至少包含铜、钼、钛以及钨中的任一种的金属形成。例如,可以使第二金属层 140 为层叠构造,在作为势垒金属形成 50nm 的 Mo 之后形成 300nm 的 Al。在进一步要求低电阻的情况下,有时也使用 Cu(在该情况下,不需要势垒金属)来代替 Al。另外,通过增加厚度也能够实现更低的电阻。

[0177] 另外,构成导电氧化物膜 160 的材料为包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一种。进一步,构成后述的第二金属层 170 的材料被要求具有低电阻,因此可以是与第二金属层 140 相同的金属。

[0178] 另外,在源电极 42 与半导体膜 44 之间、以及漏电极 43 与半导体膜 44 之间通常形成有未图示的低电阻半导体层。该低电阻半导体层通常使用掺杂了磷等 n 型掺杂物的非晶硅层或者掺杂了硼等 p 型掺杂物的非晶硅层。厚度为 20nm 左右。在结晶化的半导体膜 44 与掺杂后的非晶硅层之间还可以存在非晶硅等半导体层。有时为了提高器件特性而需要这些膜。对于半导体膜 54 也是同样的。

[0179] 之后,如图 9D、图 9E 以及图 11G 所示的制造工序 (e),将由氧化膜(例如氧化硅膜)、氮化膜(例如氮化硅膜)或者这些膜的层叠膜形成的钝化膜 150 形成于栅极绝缘膜 130、半导体膜 44、54 以及被导电氧化物膜 160 覆盖的第二金属层 140 上。钝化膜 150 不限于上述的氧化膜、氮化膜等无机膜,也可以是由丙烯酸类、酰亚胺类的感光树脂形成的有机膜。

[0180] 另外,通过光刻法、蚀刻法等,在钝化膜 150 形成在厚度方向上贯通钝化膜 150 的第三~第五贯通孔 173a(第四贯通孔和第五贯通孔省略图示)以及孔部 72、83、84。该第二贯通孔 173a 将在后面成为第三接触孔 173,第四贯通孔将在后面成为第四接触孔 174,第五贯

通孔将在后面成为第五接触孔 175。

[0181] 在此,决定栅极绝缘膜 130 和钝化膜 150 的材料、膜厚,以使得由第二金属层 140 和第三金属层 170 夹着的钝化膜 150 所形成的每单位面积的电容小于由介于第一金属层 120 和第二金属层 140 之间的栅极绝缘膜 130 形成的每单位面积的电容。更具体而言,在钝化膜 150 所形成的每单位面积的电容优选小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,在栅极绝缘膜 130 所形成的每单位面积的电容优选为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0182] 进一步,如图 9F 和图 11H 所示的制造工序 (f),在钝化膜 150 上形成第三金属层 170。并且,第二金属层 170 通过图案形成而被加工成源极布线 22、电源布线 23 以及中继电极 55。后面使用图 10A ~ 图 10C 以及图 12A ~ 图 12C 来描述形成源极布线 22、电源布线 23 以及中继电极 55 的工序。

[0183] 此时,构成第三金属层 170 的材料也被填充到第三~第五贯通孔 173a(第四贯通孔和第五贯通孔省略图示),形成第三~第五接触孔 173、174、175。由此,源极布线 22 与源电极 42 经由第三接触孔 173 电连接,电源布线 23 与漏电极 52 经由第四接触孔 174 电连接,源电极 53 与中继电极 55 经由第五接触孔 175 电连接。

[0184] 接着,参照图 10A ~ 图 10C 以及图 12A ~ 图 12C 详细说明形成源极布线 22、电源布线 23 以及中继电极 55 的工序。

[0185] 首先,如图 10A 和图 12A 所示,在钝化膜 150 上形成第三金属层 170。在该工序中,第三金属层 170 形成于像素 100 的整个面。

[0186] 接着,如图 10B 和图 12B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。感光性抗蚀剂膜 180 形成于与加工后成为源极布线 22、电源布线 23 以及中继电极 55 的部分重叠的位置。另一方面,在除此以外的区域、即最终除去第三金属层 170 的部分,不形成感光性抗蚀剂膜 180。

[0187] 如图 10C 和图 12C 所示,通过蚀刻法对源极布线 22、电源布线 23 以及中继电极 55 进行图案形成。具体而言,在感光性抗蚀剂膜 180 的位置残留第三金属层 170。在此所残留的第三金属层 170 成为源极布线 22、电源布线 23 以及中继电极 55。也即是,源极布线 22、电源布线 23 以及中继电极 55 由相同的材料形成。另一方面,在不形成感光性抗蚀剂膜 180 的区域除去第三金属层 170。

[0188] 接着,省略图示,说明制造本实施方式 1 所涉及的有机 EL 显示器 10 的方法。具体而言,说明在上述薄膜晶体管阵列装置 20 上依次层叠层间绝缘膜 11、堤 15、阳极 12、有机 EL 层 13 以及透明阴极 14 的方法。

[0189] 首先,在第三金属层 170 上形成层间绝缘膜 11。之后,通过光刻法、蚀刻法,形成贯通层间绝缘膜 11 的第六贯通孔(省略图示)。该第六贯通孔将在后面成为第六接触孔 176。

[0190] 接着,堤 15 形成于层间绝缘膜 11 上的与各像素 100 的边界对应的位置。进一步,阳极 12 按各像素 100 而形成在层间绝缘膜 11 上且堤 15 的开口部内。此时,构成阳极 12 的材料被填充到第六贯通孔,形成第六接触孔 176。阳极 12 与中继电极 55 经由该第六接触孔 176 电连接。

[0191] 阳极 12 的材料例如为钼、铝、金、银、铜等的导电性金属或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌或者铅添加氧化铟中的任一种材料。通过真空蒸镀

法、电子束蒸镀法、RF 溅射法或者印刷法等来制作由这些材料形成的膜,形成电极图案。

[0192] 有机 EL 层 13 按各颜色(子像素列)或者各子像素而形成在阳极 12 上且堤 15 的开口部内。该有机 EL 层 13 是层叠空穴注入层、空穴输送层、发光层、电子输送层以及电子注入层等各层而构成的。例如,作为空穴注入层可以使用铜酞菁,作为空穴输送层可以使用 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine),作为发光层可以使用 Alq₃(tris(8-hydroxyquinoline)aluminum),作为电子输送层可以使用恶唑衍生物,作为电子注入层可以使用 Alq₃。这些材料仅仅是一例,也可以使用其它材料。

[0193] 透明阴极 14 是在有机 EL 层 13 上连续形成的具有透射性的电极。透明阴极 14 的材料例如为 ITO、SnO₂、In₂O₃、ZnO 或者它们的组合等。

[0194] (变形例)

[0195] 接着,参照图 13、图 14A 以及图 14B 说明本实施方式 1 所涉及的薄膜晶体管阵列装置 20 的变形例。图 13 是变形例所涉及的薄膜晶体管阵列装置的剖视图,是与图 6 对应的图。图 14A 和图 14B 是表示变形例所涉及的薄膜晶体管阵列装置的制造方法的图,是与图 10A 和图 10B 对应的图。

[0196] 在图 13 示出的薄膜晶体管阵列装置中,钝化膜 150 和导电氧化物膜 160 的位置关系与图 6 不同。即,在图 13 中,在钝化膜 150 上形成有导电氧化物膜 160。但是,与图 6 同样地,端子部 80 被导电氧化物膜 160 覆盖。另外,虽然省略图示,但在源电极 53 与中继电极 55 之间也存在导电氧化物膜 160。即,即使采用图 13 示出的结构,也能够得到与图 6 同样的效果。

[0197] 在制造图 13 示出的薄膜晶体管阵列装置的情况下,如图 14A 和图 14B 所示,具有使用半色调掩模同时加工导电氧化物膜 160 和第三金属层 170 的方法(半色调工艺)。

[0198] 首先,如图 14A 所示,在钝化膜 150 上形成导电氧化物膜 160 和第三金属层 170。在该工序中,导电氧化物膜 160 和第三金属层 170 形成于像素 100 的整个面。

[0199] 接着,如图 14B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。该感光性抗蚀剂膜 180 由厚度尺寸相对小的第一感光性抗蚀剂膜 181 以及厚度尺寸相对大的第二感光性抗蚀剂膜 182 构成。

[0200] 第一感光性抗蚀剂膜 181 形成于与加工后成为端子 71、81 的部分(端子 71 省略图示)重叠的位置。另一方面,第二感光性抗蚀剂膜 182 形成于与加工后成为源极布线 22、电源布线 23 以及中继电极 55 的部分(电源布线 23 和中继电极 55 省略图示)重叠的位置。另一方面,在除此以外的区域、也即是最终除去导电氧化物膜 160 和第三金属层 170 的部分,不形成感光性抗蚀剂膜 180。

[0201] 并且,在图 14B 示出的层叠构造体中,通过蚀刻法对端子 71、81、源极布线 22、电源布线 23 以及中继电极 55 进行图案形成。具体而言,在第一感光性抗蚀剂膜 181 的位置,除去第三金属层 170,仅残留导电氧化物膜 160。在此所残留的导电氧化物膜 160 成为端子 71、81。另一方面,在第二感光性抗蚀剂膜 182 的位置,残留导电氧化物膜 160 和第三金属层 170。在此所残留的导电氧化物膜 160 和第三金属层 170 成为源极布线 22、电源布线 23 以及中继电极 55。也即是,源极布线 22、电源布线 23 以及中继电极 55 由相同的材料形成。

[0202] 这样,当要制造变形例所涉及的薄膜晶体管阵列装置时,需要使用如半色调工艺的复杂的方法。另一方面,当要分别加工导电氧化物膜 160 和第三金属层 170 时,制造工作

量会进一步增加。这是因为：混合存在着如图 13 示出的像素 100 那样层叠有导电氧化物膜 160 和第三金属层 170 的区域、和如图 13 示出的端子部 80 那样仅由导电氧化物膜 160 构成的区域。

[0203] 与此相对，在本实施方式所涉及的薄膜晶体管阵列装置 20 中，在全部区域中层叠有第二金属层 140 和导电氧化物膜 160。换言之，在残留着第二金属层 140 的区域总是还残留着导电氧化物膜 160。另一方面，在除去了第二金属层 140 的区域总是也将导电氧化物膜 160 去除。因此，即使不使用图 14A 和图 14B 所说明的半色调工艺等，也能够简单地进行制造。

[0204] 即，将本实施方式 1 与变形例进行比较可知，通过层叠导电氧化物膜 160 而得到的效果是共同的，但是本实施方式 1 的制造要更简单。

[0205] 接着，参照图 15～图 17 说明图 7 的变形例。在图 15 中示出了阳极 12 以中继电极 55 的中央区域电连接的示例。另外，在图 16 中示出了层间绝缘膜 11 由有机膜 11a 与无机膜 11b 这两层构成的示例。在此，有机膜 11a 被配置于与阳极 12 接触的一侧（上层），无机膜 11b 被配置于与源极布线 22、电源布线 23 以及中继电极 55 接触的一侧（下层）。

[0206] 进一步，图 17 示出的薄膜晶体管阵列装置除了图 7 的结构以外还具备第二中继电极 56、第三中继电极 57、辅助布线 90 以及辅助电极 91。另外，在图 17 中，为了明确位置关系，图示了有机 EL 层 13、透明阴极 14 以及堤 15。

[0207] 辅助布线 90 由第二金属层 140 形成。另外，该辅助布线 90 呈列状被配置成与源极布线 22 平行，在两端部分别连接着辅助布线 90。进一步，辅助布线 90 的上面被导电氧化物膜 160 覆盖。

[0208] 第二中继电极 56 按各像素而形成于第二金属层 170。并且，第二中继电极 56 经由在厚度方向上贯通钝化膜 150 的第七接触孔 177 与辅助布线 90 电连接。

[0209] 第三中继电极 57 由与阳极 12 相同的材料按各像素而形成于与阳极 12 相同的层。并且，第三中继电极 57 经由在厚度方向上贯通层间绝缘膜 11 的第八接触孔 178 与第二中继电极 56 电连接。

[0210] 进一步，透明阴极 14 经由在厚度方向上贯通堤 15 的第九接触孔 179 与第三中继电极 57 电连接。即，第二中继电极和第三中继电极 57 对辅助布线 90 和透明阴极 14 进行中继。由此，能够长期降低透明阴极 14 向辅助布线 90 的连接电阻。

[0211] 在图 17 的示例中，中继电极 55（第一中继电极）与源电极 53 不直接连接而与辅助电极 91 连接。辅助电极 91 按各像素而形成于第二金属层 140。另外，辅助电极 91 的上面被导电氧化物膜 160 覆盖。并且，辅助电极 91 与中继电极 55 电连接，并且在与图 17 不同的剖面中与源电极 53 电连接。但是，辅助电极 91 的连接目标也可以是漏电极 52。

[0212] 这样，不限于在第二金属层 140 设置将阳极 12 和源电极 53 或者漏电极 52 直接或者间接地连接的中继电极 55，也可以在第二金属层 140 设置将透明阴极 14 和辅助布线 90 直接或者间接地连接的第二中继电极 56。即，形成于第二金属层 140 的中继电极是对形成于第二金属层 140 的第一导电性部件（图 17 的示例中为源电极 53 或者辅助布线 90）和形成于比层间绝缘膜 11 靠上方的层的第二导电性部件（在图 17 的示例中为阳极 12 或者透明阴极 14）进行连接（中继）的电极即可。

[0213] 第二中继电极 56 和第三中继电极 57 中的任一方或者两方例如也可以为在图 17

的纸面的外侧和内侧沿行方向延伸的布线。由此,第二中继电极 56 和第三中继电极 57 能够与呈列状配置的辅助布线 90 配合而发挥作为二维延伸的辅助布线的功能。其结果,作为通过超大型显示面板中的电源布线的低电阻化实现降低功耗、减少窗口图案(window pattern)显示时的串扰的方式是更合适的。

[0214] (实施方式 2)

[0215] 接着,说明本发明的实施方式 2 所涉及的薄膜晶体管阵列装置 20。在实施方式 1 与实施方式 2 中,主要是栅极布线 21、源极布线 22 以及电源布线 23 之间的位置关系不同。即,在实施方式 1 中,栅极布线 21 配置于第二金属层 140,源极布线 22 和电源布线 23 配置于第三金属层 170。与此相对,在实施方式 2 中,源极布线 22 和电源布线 23 配置于第二金属层 140,栅极布线 21 配置于第三金属层 170。因此,在以下的说明中,对与实施方式 1 共同的构成要素标记相同的标号。

[0216] 参照图 18~图 22 说明构成薄膜晶体管阵列装置 20 的像素 100 的构造(图 19 和图 20 的破断线右侧的构造)。图 18 是表示像素 100 的结构的主视图。图 19 是图 18 的 XIX-XIX 处的剖视图。图 20 是图 18 的 XX-XX 处的剖视图。图 21 是图 18 的 XXI-XXI 处的剖视图。图 22 是从图 18 的 XIX-XIX 剖面观察到的主要部分的立体图。在图 21 中,还图示出层间绝缘膜 11 和阳极 12。

[0217] 如图 18~图 21 所示,像素 100 是基板 110、第一金属层(导电层)120、栅极绝缘膜 130、半导体膜 44、54、第二金属层(导电层)140、导电氧化物膜(Indium Tin Oxide: ITO)160、钝化膜 150 以及第三金属层(导电层)170 的层叠构造体。

[0218] 在层叠于基板 110 上的第一金属层 120 形成有第一晶体管 40 的栅电极 41 以及第二晶体管 50 的栅电极 51。另外,在基板 110 和第一金属层 120 上形成有栅极绝缘膜 130 以覆盖栅电极 41、51。

[0219] 半导体膜 44 被配置在栅极绝缘膜 130 上(栅极绝缘膜 130 与第二金属层 140 之间)且与栅电极 41 重叠的区域内。同样地,半导体膜 54 被配置在栅极绝缘膜 130 上(栅极绝缘膜 130 与第二金属层 140 之间)且与栅电极 51 重叠的区域内。本说明书中的“重叠”是指从上下方向观察时处于相互重合的位置关系。

[0220] 在层叠于栅极绝缘膜 130 和半导体膜 44、54 上的第二金属层 140 形成有源极布线 22、电源布线 23、第一晶体管 40 的源电极 42 和漏电极 43 以及第二晶体管 50 的漏电极 52 和源电极 53。也即是,第一晶体管 40 和第二晶体管 50 是其栅电极 41、51 相比于源电极 42、53 和漏电极 43、52 形成于下层的底栅型晶体管。

[0221] 更具体而言,源电极 42 和漏电极 43 形成于相互相对的位置且分别与半导体膜 44 的一部分重叠。另外,源电极 42 从形成于同一层的源极布线 22 延伸设置。同样地,漏电极 52 和源电极 53 形成于相互相对的位置且分别与半导体膜 54 的一部分重叠。另外,漏电极 52 从形成于同一层的电源布线 23 延伸设置。

[0222] 另外,在栅极绝缘膜 130 的与漏电极 43 和栅电极 51 重叠的位置形成有在厚度方向上贯通的第一接触孔(孔部)192。并且,漏电极 43 经由第二接触孔 192 与形成于第一金属层 120 的栅电极 51 电连接。

[0223] 进一步,在栅极绝缘膜 130 和第二金属层 140 上形成有导电氧化物膜 160 以覆盖源电极 42、53 和漏电极 43、52。也即是,导电氧化物膜 160 形成为介于钝化膜 150 与第一晶

体管 40 及第二晶体管 50 之间。导电氧化物膜 160 选择性地形成于与栅极布线 21、源电极 42、53 以及漏电极 43、52 等（即，第二金属层 140 的各构成要素）重叠的位置。

[0224] 在导电氧化物膜 160 上层叠有钝化膜 150。进一步，在钝化膜 150 上层叠有第三金属层 170。在层叠于钝化膜 150 上的第三金属层 170 形成有栅极布线 21 和中继电极 55。

[0225] 另外，在栅极绝缘膜 130 和钝化膜 150 的与栅极布线 21 和栅电极 41 重叠的位置形成有在厚度方向上贯通的第一接触孔（孔部）191。并且，栅极布线 21 经由第一接触孔 191 与形成于第二金属层 120 的栅电极 41 电连接。

[0226] 同样地，在钝化膜 150 的与第二晶体管 50 的源电极 53 和中继电极 55 重叠的位置形成有在厚度方向上贯通的第三接触孔（孔部）193。并且，中继电极 55 经由第三接触孔 193 与形成于第二金属层 140 的源电极 53 电连接。源电极 53 与中继电极 55 不直接接触，在两者之间存在导电氧化物膜 160。

[0227] 进一步，在钝化膜 150 和第三金属层 170 上形成有层间绝缘膜 11 以覆盖栅极布线 21 和中继电极 55。在层间绝缘膜 11 上的与相邻的像素 100 的边界部分形成有堤 15。并且，在堤 15 的开口部形成有以像素 100 为单位形成的阳极 12 以及以颜色（子像素列）为单位或者以子像素为单位形成的有机 EL 层 13。进一步，在有机 EL 层 13 和堤 15 上形成有透明阴极 14。

[0228] 进一步，在与阳极 12 和中继电极 55 重叠的位置形成有在厚度方向上贯通层间绝缘膜 11 的第四接触孔（孔部）194。并且，阳极 12 经由第四接触孔 194 与形成于第三金属层 170 的中继电极 55 电连接。图 7 示出的中继电极 55 由填充到第三接触孔 193 的中央区域以及在第三接触孔 193 的上部周缘延伸的平坦区域构成。并且，阳极 12 在中继电极 55 的平坦区域电连接。

[0229] 如图 22 所示，在上述结构的像素 100 中，源极布线 22 和电源布线 23 形成于与源电极 42、53 以及漏电极 43、52 相同层的第二金属层 140。另一方面，栅极布线 21 形成于与源极布线 22 和电源布线 23 不同层的第三金属层 170。并且，栅极布线 21 与源极布线 22、以及栅极布线 21 与电源布线 23 隔着钝化膜 150 和导电氧化物膜 160 相互交叉。

[0230] 如上述结构那样，通过将各布线（栅极布线 21、源极布线 22 以及电源布线 23）设置于比形成有栅电极 41、51 的第一金属层 120 靠上方的金属层（第二金属层 140 和第三金属层 170），能够分别使用适当的材料来构成栅电极 41、51 和各布线。另外，与栅极绝缘膜 130 相比，钝化膜 150 的膜厚可以自由地进行设定。因此，通过将各布线隔着该钝化膜 150 而配置于在层叠方向上相邻的第二金属层 140 和第三金属层 170，能够减少寄生电容。

[0231] 接着，参照图 19 和图 20 说明形成于薄膜晶体管阵列装置 20 的端部（周缘部）的端子部 70、80 的构造（图 19 和图 20 的破断线左侧的构造）。

[0232] 图 19 示出的端子部（破断线左侧的部分）70 形成于在行方向上毗连的多个像素 100 的两端的两个部位。端子部 70 由通过与导电氧化物膜 160 相同的材料形成的端子 75、形成于第二金属层 140 的中继布线 76 以及在厚度方向上贯通钝化膜 150 的孔部 77、78 构成。孔部 77 形成于与中继布线 76 的一侧端部重叠的位置，使端子 75 向外部露出。同样地，孔部 78 形成于与中继布线 76 的另一侧端部重叠的位置，对栅极布线 21 的端部和中继布线 76 的另一侧端部进行电连接。

[0233] 也即是，端子部 70 设置于按各行对呈矩阵状配置的像素 100 进行连接的栅极布线

21的两端,作为将栅极布线21和外部的驱动电路连接、从外部的驱动电路向栅极布线21输入信号的连接部而发挥功能。在此,端子75被配置成覆盖从孔部77露出的中继布线76的一侧端部,因此能够防止中继布线76与空气中的水分等接触而氧化。

[0234] 同样地,图20示出的端子部(破断线左侧的部分)80形成于在列方向上毗连的多个像素100的两端的两个部位。通过使用导电氧化物膜160来覆盖源极布线22的端部的上表面,从而在端子部80形成端子85。并且,该端子85通过在厚度方向上贯通钝化膜150的孔部86而向外部露出。

[0235] 也即是,端子部80设置于按各列对呈矩阵状配置的像素100进行连接的源极布线22的两端,作为将源极布线22和外部的驱动电路连接、从外部的驱动电路向源极布线22输入信号的连接部而发挥功能。在此,端子85被配置成覆盖从孔部86露出的源极布线22的端部,因此能够防止源极布线22与空气中的水分等接触而氧化。

[0236] 接着,参照图23A~图26C说明制造本实施方式2所涉及的薄膜晶体管阵列装置20的方法。图23A~图23G是表示与制造工序(a)~(f)对应的图18的XIX-XIX剖面的构造的图。图24A~图24C是详细表示图23F与图23G之间的制造工序的图。图25A~图25H是表示与制造工序(a)~(f)对应的图18的XXI-XXI剖面的构造的图。图26A~图26C是详细表示图25G与图25H之间的制造工序的图。

[0237] 首先,如图23A和图25A所示的制造工序(a),准备基板110。基板110通常使用玻璃、石英等绝缘性的材料。为了防止来自基板110的杂质扩散,也可以在基板110的上面形成未图示的氧化硅膜或者氮化硅膜。膜厚为100nm左右。

[0238] 接着,如图23B和图25B所示的制造工序(b),在基板110上形成具有耐热性的第一金属层120之后,通过光刻法、蚀刻法等进行图案形成,形成栅电极41、51。作为材料可举出具有耐热性的Mo、W、Ta、Ti、Ni中的任一种或者它们的合金。在本实施方式2中使用了Mo。厚度优选为100nm左右。

[0239] 接着,如图23C以及图25C~图25E所示的制造工序(c),在基板110和第一金属层120上形成栅极绝缘膜130,在栅极绝缘膜130上形成半导体层。栅极绝缘膜130和半导体层通过等离子体CVD法等不破坏真空而连续地形成。作为栅极绝缘膜130形成氧化硅膜、氮化硅膜或者其复合膜。厚度为200nm左右。另外,半导体层为50nm左右的非晶硅膜。

[0240] 之后,例如如图25D的箭头所示,通过在半导体层上照射准分子激光等,将半导体层从非晶半导体层改性为多晶半导体层。作为结晶化方法,例如在400℃~500℃的炉内进行脱氢之后,通过准分子激光使之结晶化,之后,在真空中进行几秒钟~几十秒钟的氢等离子体处理。更具体而言,照射准分子激光等,使非晶半导体层的温度上升至预定的温度范围,由此使之结晶化。在此,预定的温度范围例如是1100℃~1414℃。另外,多晶半导体层内的平均结晶粒径为20nm~60nm。

[0241] 在此,构成栅电极41、51的第一金属层120在上述工序中被暴露于高温中,因此需要由熔点高于上述温度范围的上限值(1414℃)的金属形成。另一方面,在后续工序中层叠的第二金属层140和第三金属层170可以由熔点低于上述温度范围的下限值(1100℃)的金属形成。

[0242] 接着,如图25E所示,通过光刻法、蚀刻法等将半导体层加工成岛状的半导体膜44、54。进一步,通过相同的光刻法、蚀刻法等,在栅极绝缘膜130形成第二贯通孔(未图示)。

该第二贯通孔将在后面成为第二接触孔 192。

[0243] 之后,如图 23D 和图 25F 所示的制造工序 (d),在栅极绝缘膜 130 和半导体膜 44、54 上形成第二金属层 140 和导电氧化物膜 160,通过图案形成来分别加工源极布线 22、电源布线 23、源电极 42、53、漏电极 43、52 以及中继布线 76。此时,构成第二金属层 140 的材料也被填充到第二贯通孔 (未图示),形成第二接触孔 192。通过该工序,栅电极 51 与漏电极 43 经由第二接触孔 192 电连接。

[0244] 作为构成第二金属层 140 的材料可举出作为低电阻金属的 Al、Cu、Ag 中的任一种或者它们的合金。在本实施方式 2 中使用 Al,厚度为 300nm 左右。

[0245] 另外,在此所形成的源极布线 22、电源布线 23、源电极 42、53、漏电极 43、52 以及中继布线 76 的上面被导电氧化物膜 160 覆盖。因此,第二金属层 140 的与导电氧化物膜 160 接触的面由至少包含铜、钼、钛以及钨中的任一种的金属形成。例如,可以使第二金属层 140 为层叠构造,在作为势垒金属而形成 50nm 的 Mo 之后,形成 300nm 的 Al。在进一步要求低电阻的情况下,有时也使用 Cu (在该情况下,不需要势垒金属) 来代替 Al。另外,通过增加厚度也能够实现更低的电阻。

[0246] 另外,构成导电氧化物膜 160 的材料为包含铟和锡的氧化物膜或者包含铟和锌的氧化物膜中的任一方。进一步,构成后述的第三金属层 170 的材料被要求低电阻,因此可以是与第二金属层 140 相同的金属。

[0247] 另外,在源电极 42 与半导体膜 44 之间、以及漏电极 43 与半导体膜 44 之间通常形成有未图示的低电阻半导体层。该低电阻半导体层通常使用掺杂了磷等 n 型掺杂物的非晶硅层或者掺杂了硼等 p 型掺杂物的非晶硅层。厚度为 20nm 左右。在结晶化的半导体膜 44 与掺杂后的非晶硅层之间还可以存在非晶硅等半导体层。有时为了提高器件特性而需要这些膜。对于半导体膜 54 也是同样的。

[0248] 之后,如图 23E、图 23F 以及图 25G 所示的制造工序 (e),将由氧化膜 (例如氧化硅膜)、氮化膜 (例如氮化硅膜) 或者这些膜的层叠膜形成的钝化膜 150 形成于栅极绝缘膜 130、半导体膜 44、54 以及被导电氧化物膜 160 覆盖的第二金属层 140 上。另外,通过光刻法、蚀刻法等,在钝化膜 150 形成连续贯通栅极绝缘膜 130 和钝化膜 150 的第一贯通孔 171a、在厚度方向上贯通钝化膜 150 的第三贯通孔 (未图示) 以及孔部 77、78、86。该第一贯通孔 191a 将在后面成为第一接触孔 191,第三贯通孔将在后面成为第三接触孔 193。钝化膜 150 不限于上述的氧化膜、氮化膜等无机膜,也可以是由丙烯类、酰亚胺类的感光树脂形成的有机膜。

[0249] 在此,决定栅极绝缘膜 130 和钝化膜 150 的材料、膜厚,以使得在由第二金属层 140 和第三金属层 170 夹着的钝化膜 150 所形成的每单位面积的电容小于由介于第一金属层 120 和第二金属层 140 之间的栅极绝缘膜 130 形成的每单位面积的电容。更具体而言,在钝化膜 150 所形成的每单位面积的电容优选为小于 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 。另一方面,在栅极绝缘膜 130 所形成的每单位面积的电容优选为 $1.5 \times 10^{-4} (\text{F}/\text{m}^2)$ 以上。

[0250] 进一步,如图 23G 和图 25H 所示的制造工序 (f),在钝化膜 150 上形成第三金属层 170。并且,第三金属层 170 通过图案形成而被加工成栅极布线 21 和中继电极 55。下面使用图 24A ~ 图 24C 以及图 26A ~ 图 26C 来描述形成栅极布线 21 和中继电极 55 的工序。

[0251] 此时,构成第三金属层 170 的材料也被填充到第一贯通孔以及第三贯通孔 (省略

图示),形成第一接触孔 191 和第三接触孔 193。由此,栅极布线 21 与栅电极 41 经由第一接触孔 191 电连接,源电极 53 与中继电极 55 经由第三接触孔 193 电连接。

[0252] 接着,参照图 24A~图 24C 以及图 26A~图 26C 详细说明形成栅极布线 21 和中继电极 55 的工序。

[0253] 首先,如图 24A 和图 26A 所示,在钝化膜 150 上形成第三金属层 170。在该工序中,第三金属层 170 形成于像素 100 的整个面。

[0254] 接着,如图 24B 和图 26B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。感光性抗蚀剂膜 180 形成于与加工后成为栅极布线 21 和中继电极 55 的部分重叠的位置。另一方面,在除此以外的区域、也即是最终除去第三金属层 170 的部分不形成感光性抗蚀剂膜 180。

[0255] 接着,如图 24C 和图 26C 所示,通过蚀刻法对栅极布线 21 和中继电极 55 进行图案形成。具体而言,在感光性抗蚀剂膜 180 的位置残留第三金属层 170。在此所残留的第三金属层 170 成为栅极布线 21 和中继电极 55。也即是,栅极布线 21 和中继电极 55 由相同的材料形成。另一方面,在不形成感光性抗蚀剂膜 180 的区域,除去第三金属层 170。

[0256] 接着,省略图示,说明制造本实施方式 2 所涉及的有机 EL 显示器 10 的方法。具体而言,说明在上述薄膜晶体管阵列装置 20 上依次层叠层间绝缘膜 11、堤 15、阳极 12、有机 EL 层 13 以及透明阴极 14 的方法。

[0257] 首先,在第三金属层 170 上形成层间绝缘膜 11。之后,通过光刻法、蚀刻法,形成贯通层间绝缘膜 11 的第四贯通孔(省略图示)。该第四贯通孔将在后面成为第四接触孔 194。

[0258] 接着,堤 15 形成于层间绝缘膜 11 上的与各像素 100 的边界对应的位置。进一步,阳极 12 按各像素 100 而形成在层间绝缘膜 11 上且堤 15 的开口部内。此时,构成阳极 12 的材料被填充到第四贯通孔,形成第四接触孔 194。阳极 12 与中继电极 55 经由该第四接触孔 194 电连接。

[0259] 阳极 12 的材料例如为钼、铝、金、银、铜等的导电性金属或者它们的合金、PEDOT:PSS 等有机导电性材料、氧化锌或者铅添加氧化铟中的任一种材料。通过真空蒸镀法、电子束蒸镀法、RF 溅射法或者印刷法等来制作由这些材料形成的膜,形成电极图案。

[0260] 有机 EL 层 13 按各颜色(子像素列)或者各子像素而形成在阳极 12 上且堤 15 的开口部内。该有机 EL 层 13 是层叠空穴注入层、空穴输送层、发光层、电子输送层以及电子注入层等各层而构成的。例如,作为空穴注入层可以使用铜酞菁,作为空穴输送层可以使用 α -NPD(Bis[N-(1-Naphthyl)-N-Phenyl]benzidine),作为发光层可以使用 Alq_3 (tris(8-hydroxyquinoline)aluminum),作为电子输送层可以使用恶唑衍生物,作为电子注入层可以使用 Alq_3 。这些材料仅仅是一例,也可以使用其它材料。

[0261] 透明阴极 14 是在有机 EL 层 13 上连续形成的具有透射性的电极。透明阴极 14 的材料例如为 ITO 、 SnO_2 、 In_2O_3 、 ZnO 或者它们的组合等。

[0262] (变形例)

[0263] 接着,参照图 27、图 28A 以及图 28B 说明本实施方式 2 所涉及的薄膜晶体管阵列装置 20 的变形例。图 27 是变形例所涉及的薄膜晶体管阵列装置的剖视图,是与图 19 对应的图。图 28A 和图 28B 是表示变形例所涉及的薄膜晶体管阵列装置的制造方法的图,是与图

24A 和图 24B 对应的图。

[0264] 在图 27 示出的薄膜晶体管阵列装置中,钝化膜 150 和导电氧化物膜 160 的位置关系与图 19 不同。即,在图 27 中,在钝化膜 150 上形成导电氧化物膜 160。但是,与图 19 同样地,端子部 80 被导电氧化物膜 160 覆盖。另外,虽然省略了图示,但在源电极 53 与中继电极 55 之间也存在导电氧化物膜 160。即,即使是采用图 27 示出的结构,也能够得到与图 19 同样的效果。

[0265] 在制造图 27 示出的薄膜晶体管阵列装置的情况下,如图 28A 和图 28B 所示,具有使用半色调掩模同时加工导电氧化物膜 160 和第三金属层 170 的方法(半色调工艺)。

[0266] 首先,如图 28A 所示,在钝化膜 150 上形成导电氧化物膜 160 和第三金属层 170。在该工序中,导电氧化物膜 160 和第三金属层 170 形成于像素 100 的整个面。

[0267] 接着,如图 28B 所示,在第三金属层 170 上成膜感光性抗蚀剂膜 180。该感光性抗蚀剂膜 180 由厚度尺寸相对小的第一感光性抗蚀剂膜 181 以及厚度尺寸相对大的第二感光性抗蚀剂膜 182 构成。

[0268] 第一感光性抗蚀剂膜 181 形成于与加工后成为端子 75、85 的部分(端子 85 省略图示)重叠的位置。另一方面,第二感光性抗蚀剂膜 182 形成于与加工后成为栅极布线 21 和中继电极 55 的部分(中继电极 55 省略图示)重叠的位置。另一方面,在除此以外的区域、也即是最终除去导电氧化物膜 160 和第三金属层 170 的部分不形成感光性抗蚀剂膜 180。

[0269] 并且,在图 28B 示出的层叠构造体,通过蚀刻法对端子 75、85、栅极布线以及中继电极 55 进行图案形成。具体而言,在第一感光性抗蚀剂膜 181 的位置,除去第三金属层 170,仅残留导电氧化物膜 160。在此所残留的导电氧化物膜 160 成为端子 75、85。另一方面,在第二感光性抗蚀剂膜 182 的位置,残留导电氧化物膜 160 和第三金属层 170。在此所残留的导电氧化物膜 160 和第三金属层 170 成为栅极布线 21 和中继电极 55。也即是,栅极布线 21 和中继电极 55 由相同的材料形成。

[0270] 这样,当要制造变形例所涉及的薄膜晶体管阵列装置时,需要使用如半色调工艺的复杂的方法。另一方面,当要分别加工导电氧化物膜 160 和第三金属层 170 时,制造工作量会进一步增加。这是因为:混合存在着如图 27 所示的像素 100 那样层叠有导电氧化物膜 160 和第三金属层 170 的区域、和如图 27 所示的端子部 80 那样仅由导电氧化物膜 160 构成的区域。

[0271] 与此相对,在本实施方式 2 所涉及的薄膜晶体管阵列装置 20 中,在全部区域中层叠有第二金属层 140 和导电氧化物膜 160。换言之,在残留着第二金属层 140 的区域总是还残留着导电氧化物膜 160。另一方面,在除去了第二金属层 140 的区域总是也除去了导电氧化物膜 160。因此,即使不使用图 28A 和图 28B 所说明的半色调工艺等,也能够简单地进行制造。

[0272] 即,将本实施方式 2 与变形例进行比较可知,通过层叠导电氧化物膜 160 而得到的效果是共同的,但是本实施方式 2 的制造更为简单。

[0273] 接着,参照图 29 ~ 图 31 说明图 21 的变形例。在图 29 中示出阳极 12 以中继电极 55 的中央区域电连接的示例。另外,在图 30 中示出层间绝缘膜 11 由有机膜 11a 与无机膜 11b 这两层构成的示例。在此,有机膜 11a 被配置于与阳极 12 接触的一侧(上层),无机膜 11b 被配置于与栅极布线 21 和中继电极 55 接触的一侧(下层)。

[0274] 进一步,图 31 示出的薄膜晶体管阵列装置除了图 21 的结构以外还具备第二中继电极 56、第三中继电极 57、辅助布线 90 以及辅助电极 91。另外,在图 31 中,为了明确位置关系,图示出有机 EL 层 13、透明阴极 14 以及堤 15。

[0275] 辅助布线 90 由第二金属层 140 形成。另外,该辅助布线 90 呈列状被配置成与源极布线 22 平行,在两端部分别连接着辅助布线 90。进一步,辅助布线 90 的上面被导电氧化物膜 160 覆盖。

[0276] 第二中继电极 56 按各像素而形成于第三金属层 170。并且,第二中继电极 56 经由在厚度方向上贯通钝化膜 150 的第五接触孔 195 与辅助布线 90 电连接。

[0277] 第三中继电极 57 在与阳极 12 相同的层由与阳极 12 相同的材料按各像素而形成。并且,第三中继电极 57 经由在厚度方向上贯通层间绝缘膜 11 的第六接触孔 196 与第二中继电极 56 电连接。

[0278] 进一步,透明阴极 14 经由在厚度方向上贯通堤 15 的第七接触孔 197 与第三中继电极 57 电连接。即,第二中继电极和第三中继电极 57 对辅助布线 90 和透明阴极 14 进行中继。由此,能够长期降低透明阴极 14 向辅助布线 90 的连接电阻。

[0279] 在图 31 的示例中,中继电极 55(第一中继电极)与源电极 53 不直接连接而与辅助电极 91 连接。辅助电极 91 按各像素而形成于第二金属层 140。另外,辅助电极 91 的上面被导电氧化物膜 160 覆盖。并且,辅助电极 91 与中继电极 55 电连接,并且在与图 31 不同的剖面中与源电极 53 电连接。但是,辅助电极 91 的连接目标也可以是漏电极 52。

[0280] 这样,不限于在第二金属层 140 设置将阳极 12 和源电极 53 或者漏电极 52 直接或者间接地连接的中继电极 55,也可以在第二金属层 140 设置将透明阴极 14 和辅助布线 90 直接或者间接地连接的中继电极 56。即,形成于第二金属层 140 的中继电极是对形成于第二金属层 140 的第一导电性部件(图 31 的示例中为源电极 53 或者辅助布线 90)和形成在层间绝缘膜 11 上方的层的第二导电性部件(在图 31 的示例中为阳极 12 或者透明阴极 14)进行连接(中继)的电极即可。

[0281] 第二中继电极 56 和第三中继电极 57 中的任一方或者两者也可以为例如在图 31 的纸面的外侧和内侧沿行方向延伸的布线。由此,第二中继电极和第三中继电极 57 能够与呈列状配置的辅助布线 90 配合而发挥作为二维延伸的辅助布线的功能。其结果,作为通过超大型显示面板中的电源布线的低电阻化实现降低功耗、实现降低窗口图案显示时的串扰的方式是更合适的。

[0282] 在本实施方式 1、2 中,示出构成像素 100 的 TFT 为两个的情况,但本发明的应用范围不限于此。在为了补偿像素 100 内的 TFT 的不匀而由多个(三个以上)TFT 构成的情况下,也可以采用同样的结构。

[0283] 另外,在本实施方式 1、2 中,示出了用于驱动有机 EL 元件的像素结构,但不限于此。也可以应用于所有使用液晶、无机 EL 等、TFT 而构成的薄膜晶体管阵列装置 20。

[0284] 另外,搭载了本实施方式 1、2 的有机 EL 显示面板的 EL 显示装置能够不会使图像信号劣化地显示的高像质的图像。即,本发明也可以应用于 EL 显示装置。

[0285] 另外,在本实施方式 1 中,示出了以下示例:在层叠方向上相互相邻的第一~第三金属层 120、140、170 中的第一金属层 120 形成栅电极 41、51,在第二金属层 140 形成栅极布线 21(第一布线),在第三金属层 170 形成源极布线 22 和电源布线 23(第二布线)。另

外,在本实施方式 2 中,示出了以下示例:在层叠方向上相互相邻的第一~第三金属层 120、140、170 中的第一金属层 120 形成栅电极 41、51,在第二金属层 140 形成源极布线 22 和电源布线 23(第一布线),在第三金属层 170 形成栅极布线 21(第二布线)。但是,本发明的应用范围不限于此。也即是,即使在第一金属层 120 和第二金属层 140 之间、以及第二金属层 140 和第三金属层 170 之间还形成有金属层,只要栅极布线 21、源极布线 22 以及电源布线 23 位于栅电极 41、51 上方的金属层,则也能够得到本发明的效果。

[0286] 另外,在本实施方式 1、2 中,示出了底栅型薄膜晶体管的示例,但是本发明的应用范围不限于此。即,本发明也可以应用于顶栅型薄膜晶体管。

[0287] 另外,在本实施方式 1、2 中,示出了顶部发射型有机 EL 显示器 10 的示例,但本发明的应用范围不限于此。例如,也可以是使上部电极为反射电极、使下部电极为透明电极(=ITO 等透明导电膜)的底部发射型有机 EL 显示器。

[0288] 另外,图 7、图 15~图 17、图 21、图 29~图 31 等示出的中继电极 55 也可以形成于阳极 12 下的全个面。即,可以使中继电极 55 介于层间绝缘膜 11 与阳极 12 之间,使得层间绝缘膜 11 与阳极 12 不直接接触。由此,能够防止阳极 12 由于来自树脂构成的层间绝缘膜 11 的氧、水分等而氧化、腐蚀等。通过采用上述结构,例如在阳极 12 由 Al 形成的情况下,能够防止由氧化、腐蚀等引起的阳极 12 的反射率降低以及电阻增加。其结果,能够实现寿命更长的显示面板。

[0289] 以上,参照附图说明了本发明的实施方式,但本发明不限于图示的实施方式。可以在与本发明相同的范围内或者均等的范围内对图示的实施方式加以各种修改和/或变形。

[0290] 产业上的可利用性

[0291] 本发明的图像显示装置用薄膜晶体管阵列装置作为有机 EL 显示装置、液晶显示装置等中使用的驱动用底板(backplane)是有用的。

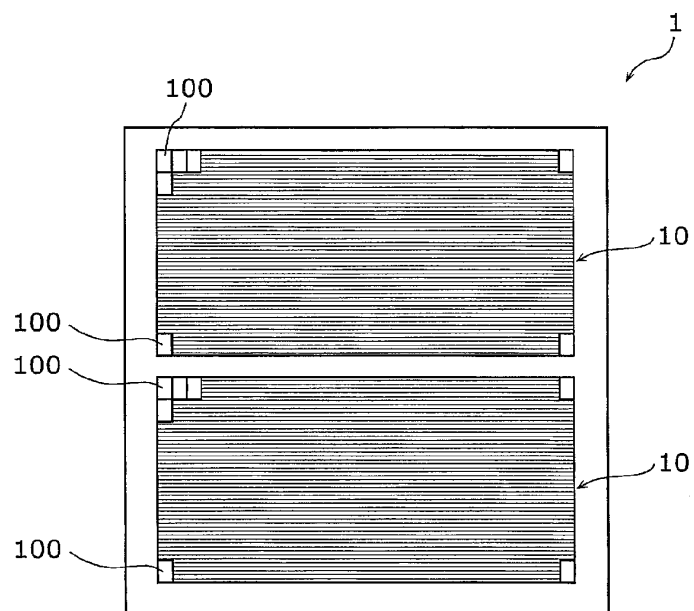


图 1

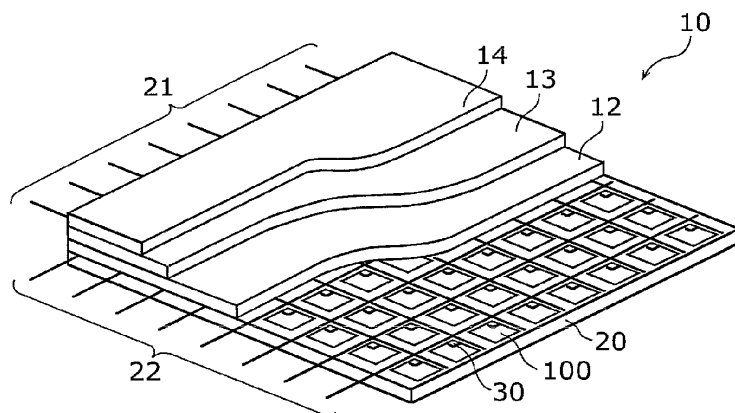


图 2A

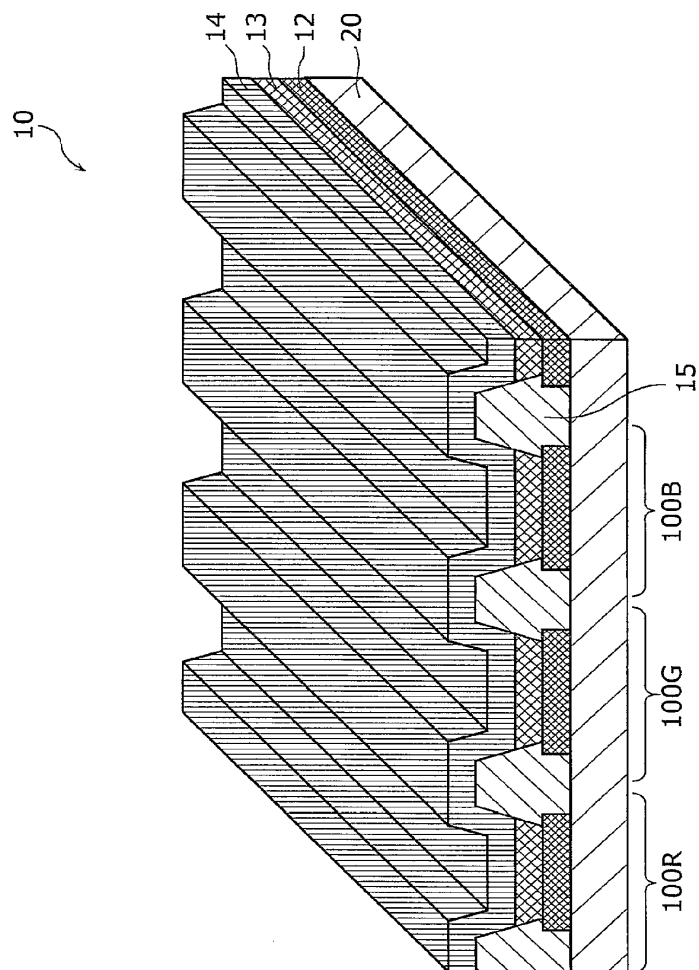


图 2B

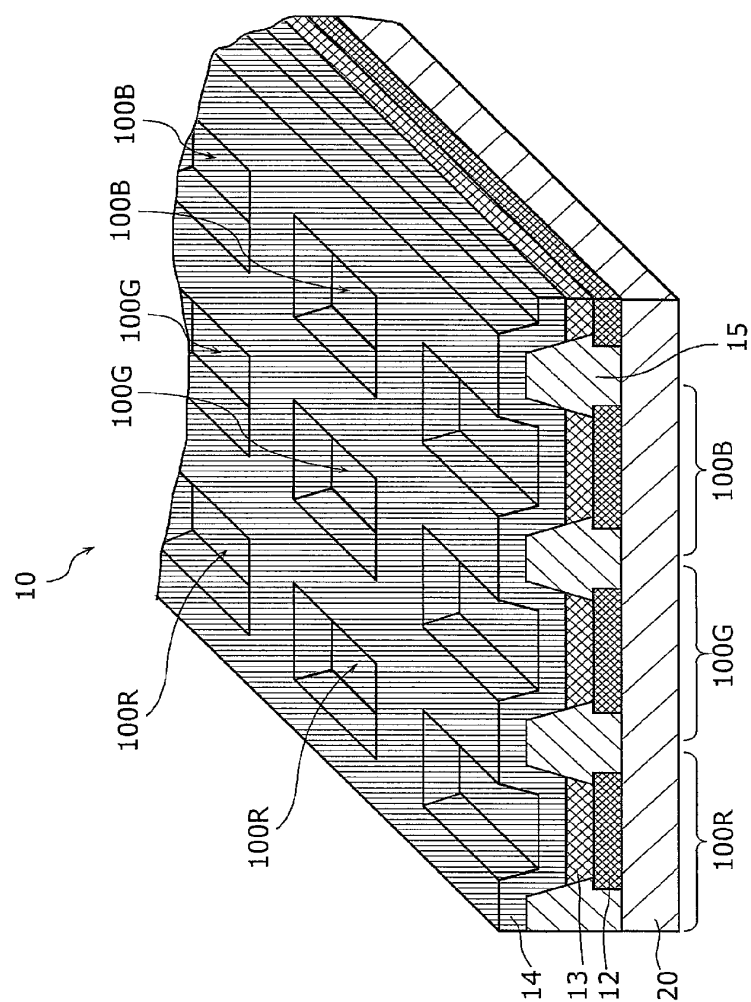


图 2C

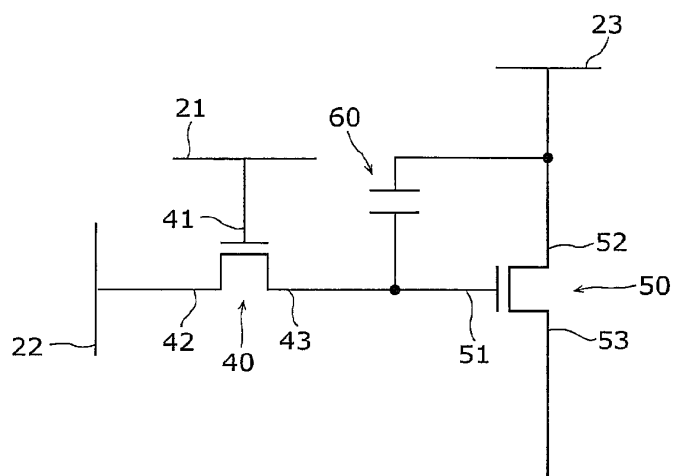


图 3

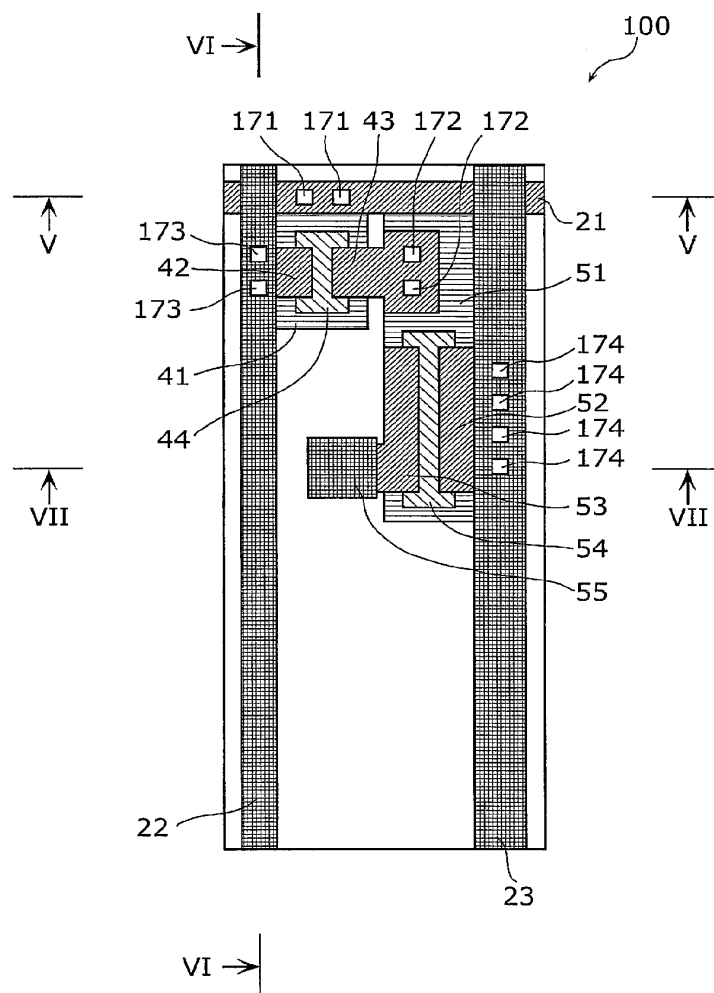


图 4

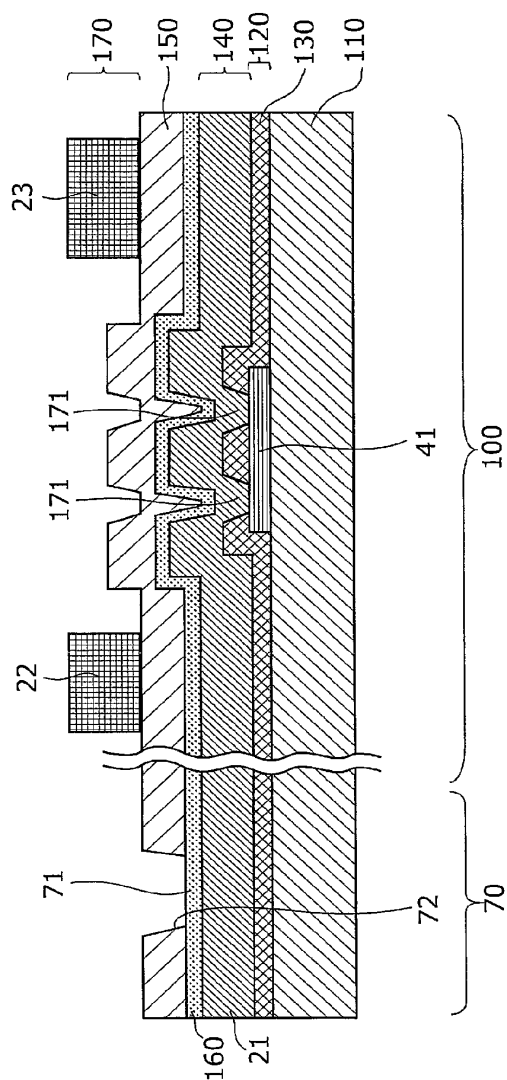


图 5

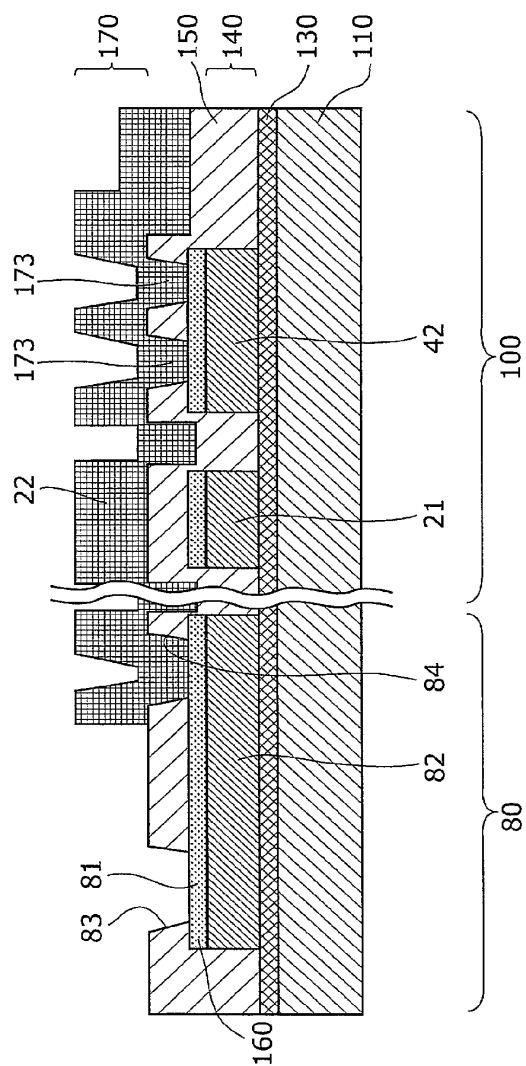


图 6

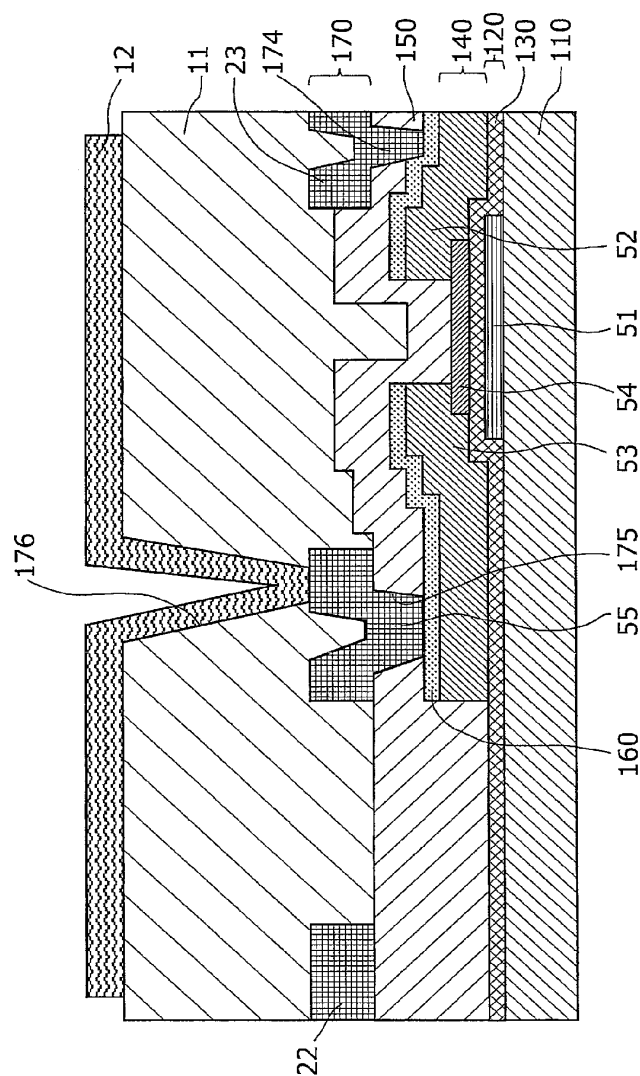


图 7

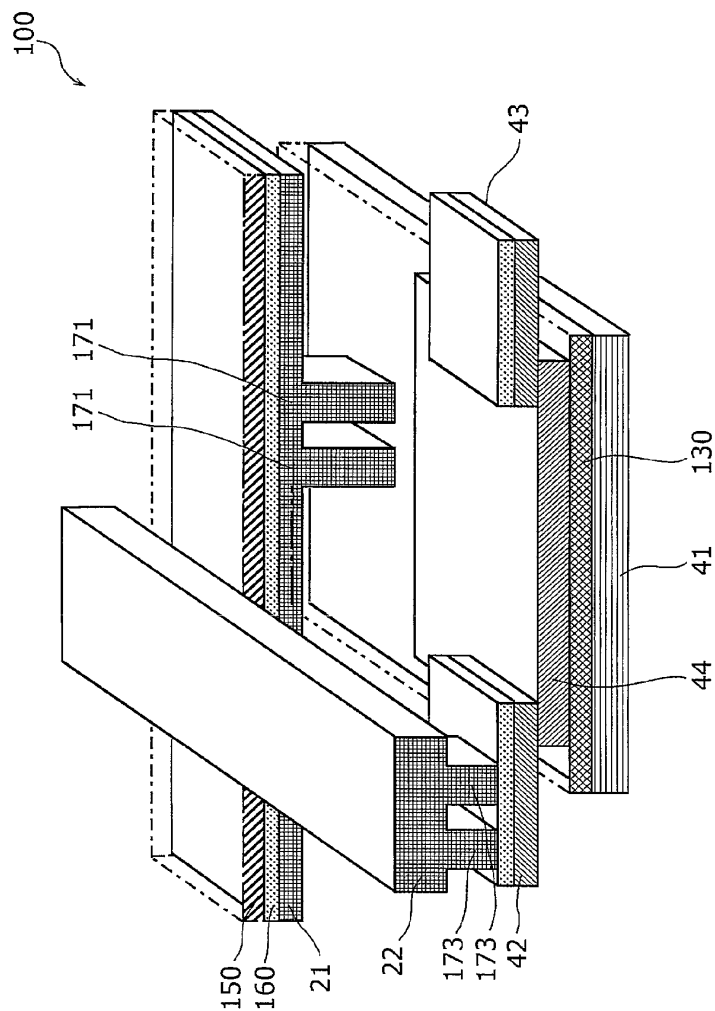


图 8



图 9A

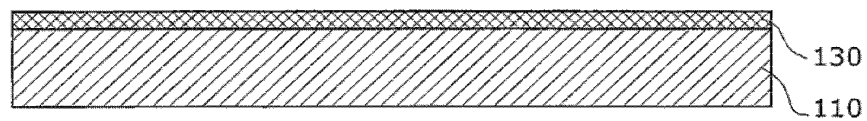


图 9B

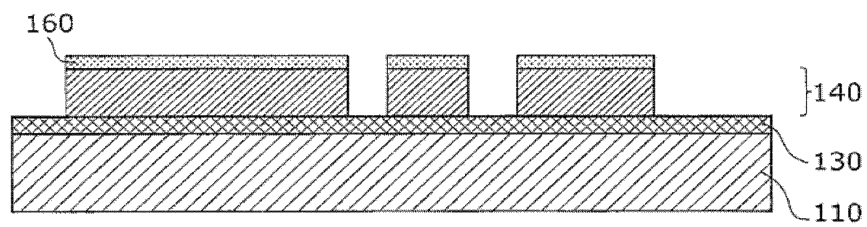


图 9C

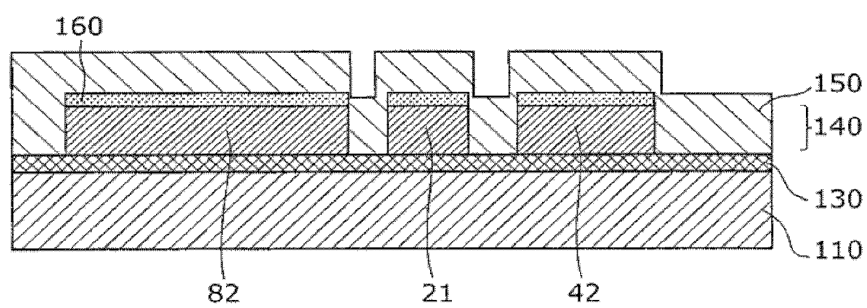


图 9D

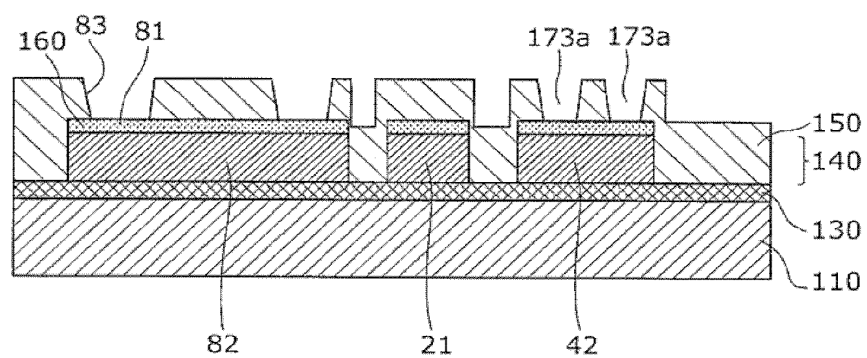


图 9E

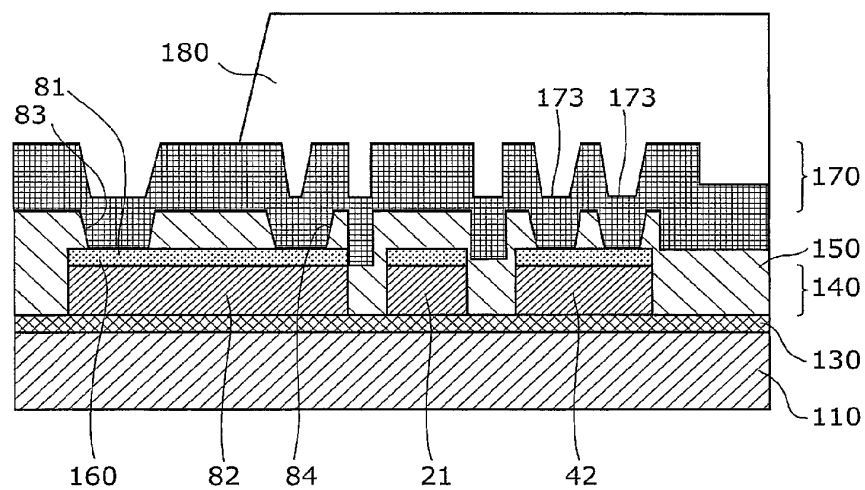


图 10B

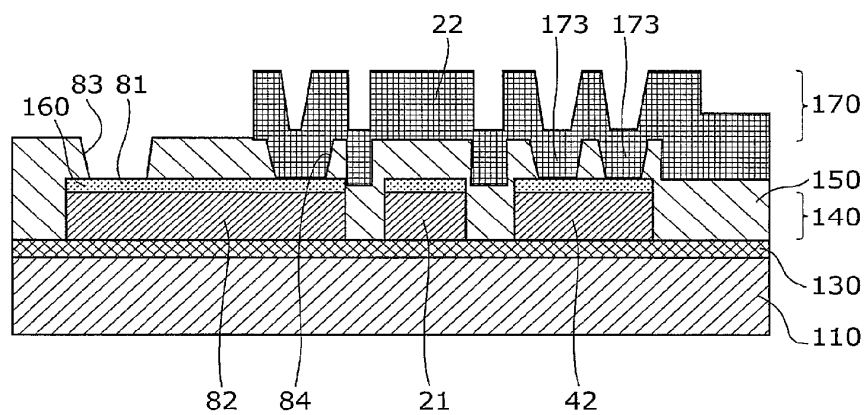


图 10C

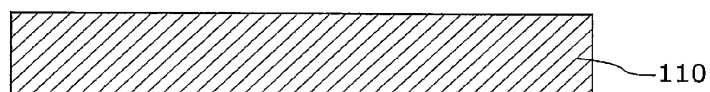


图 11A

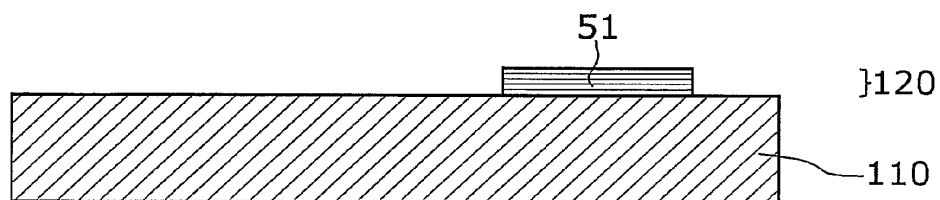


图 11B

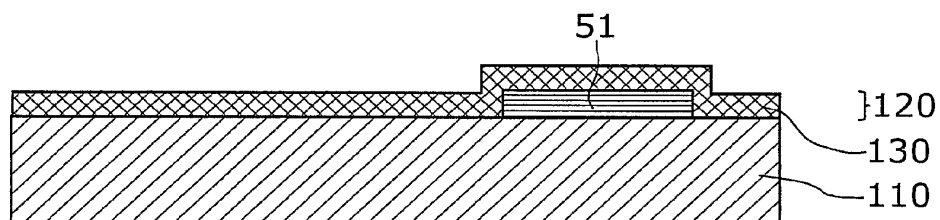


图 11C

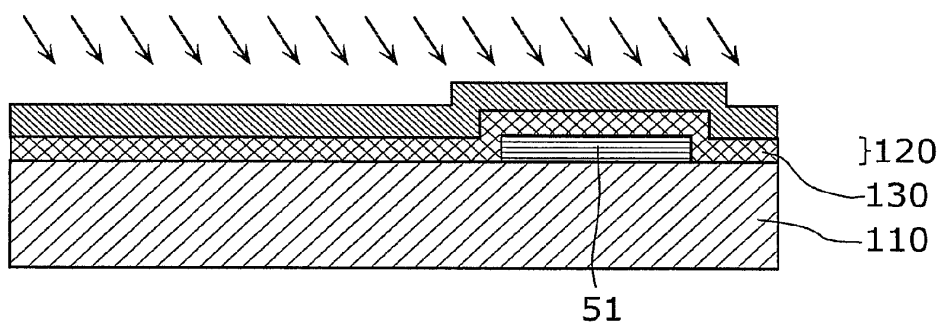


图 11D

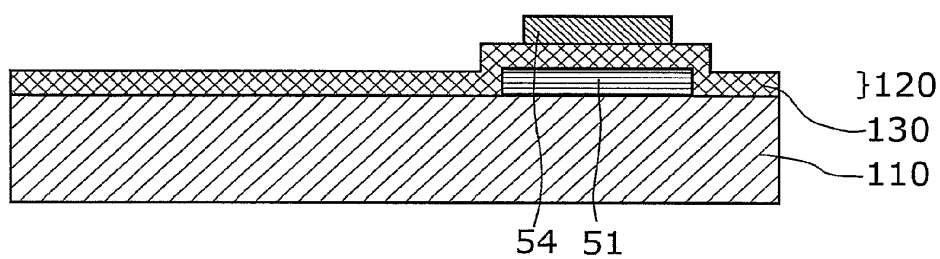


图 11E

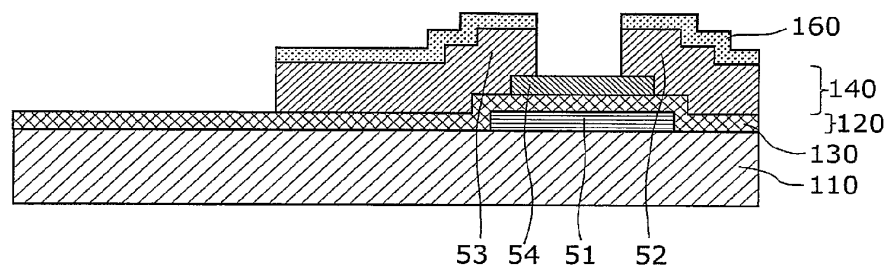


图 11F

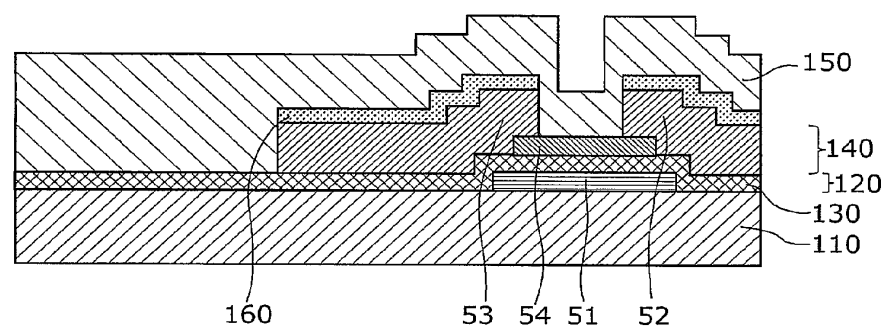


图 11G

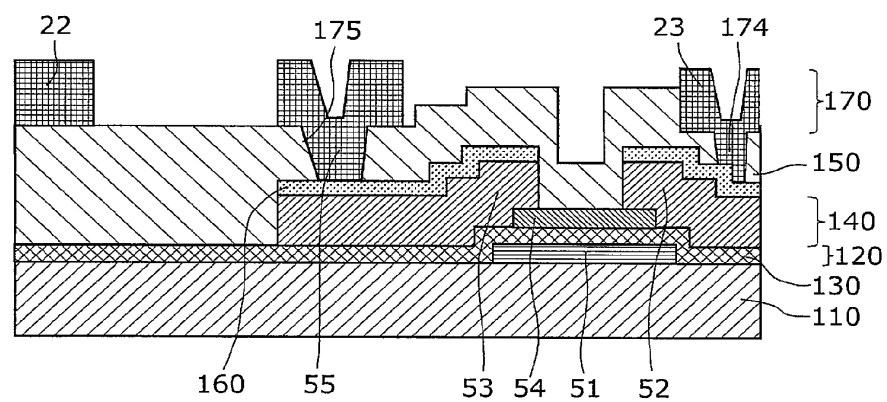


图 11H

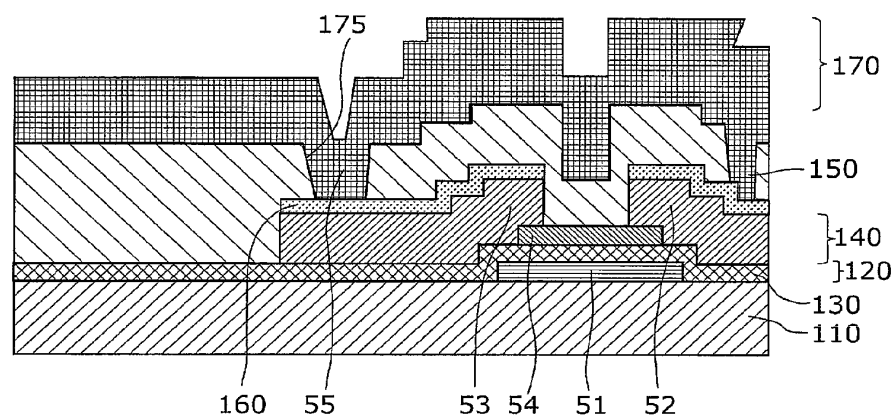


图 12A

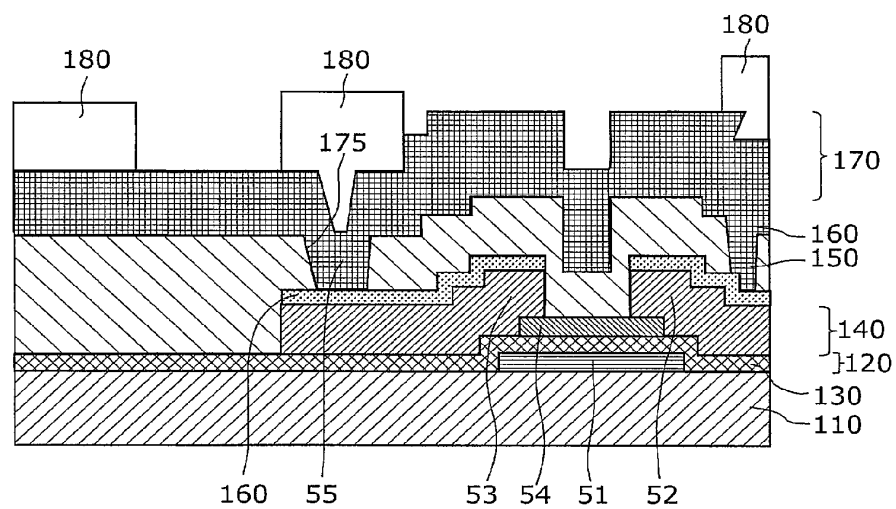


图 12B

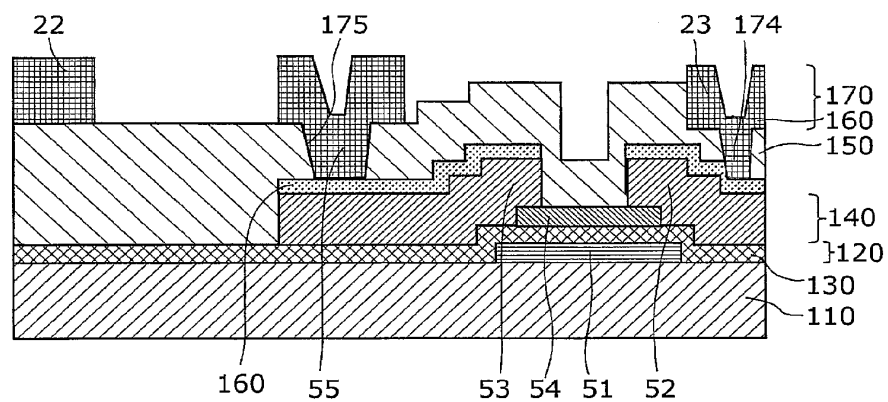


图 12C

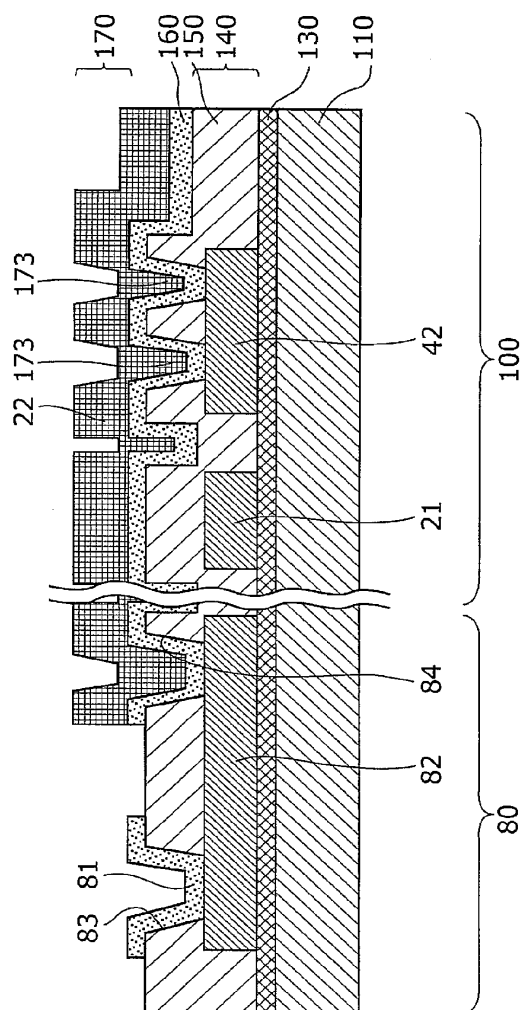


图 13

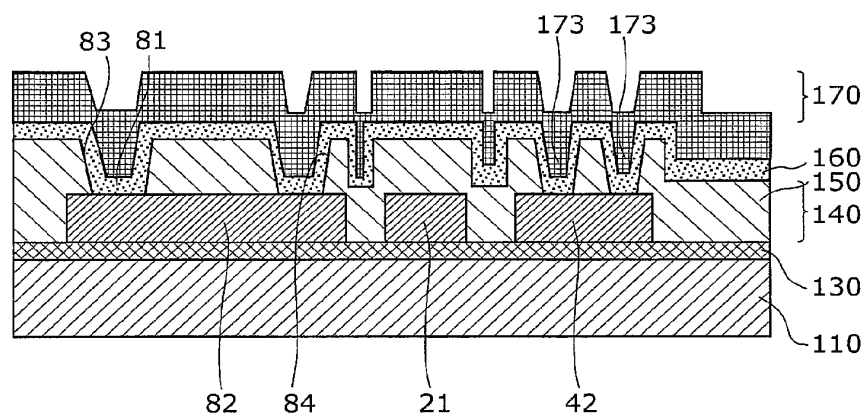


图 14A

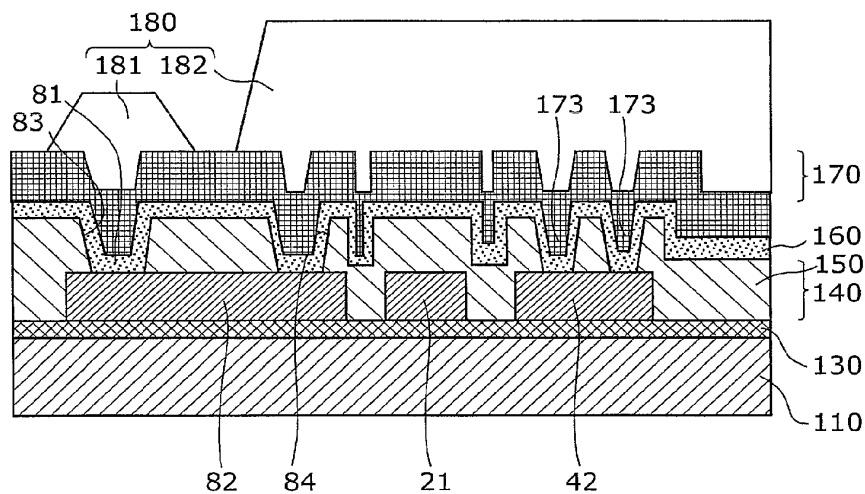


图 14B

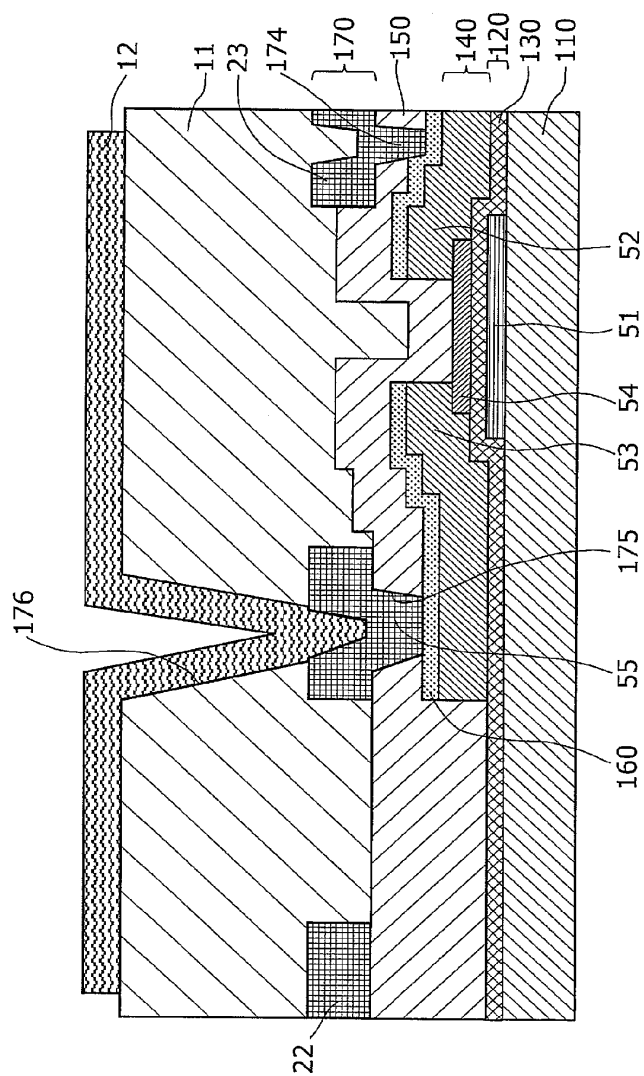


图 15

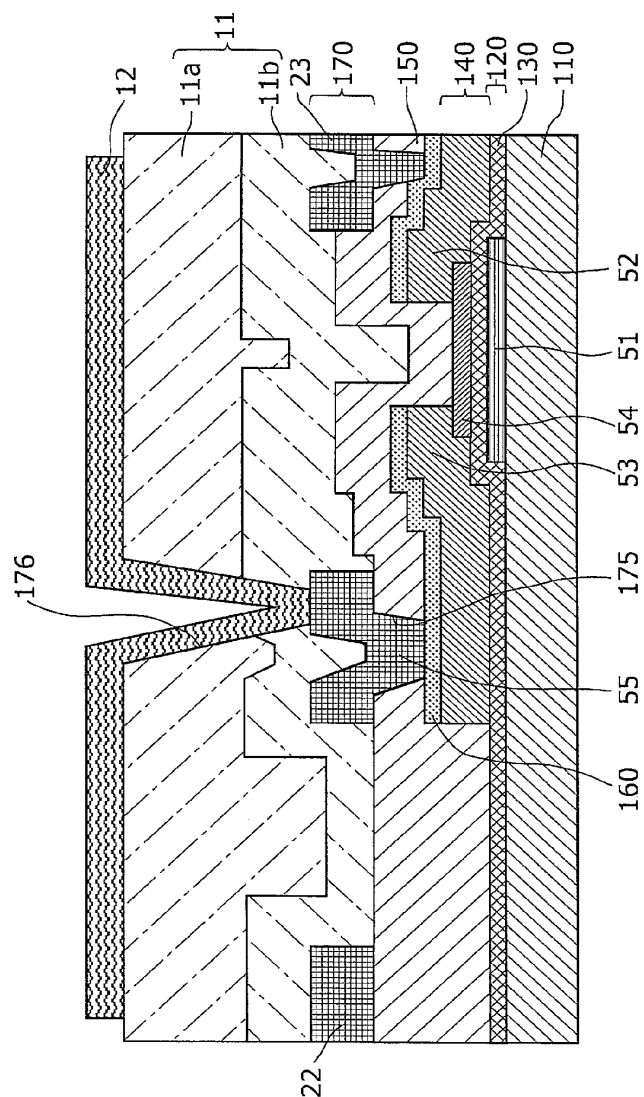


图 16

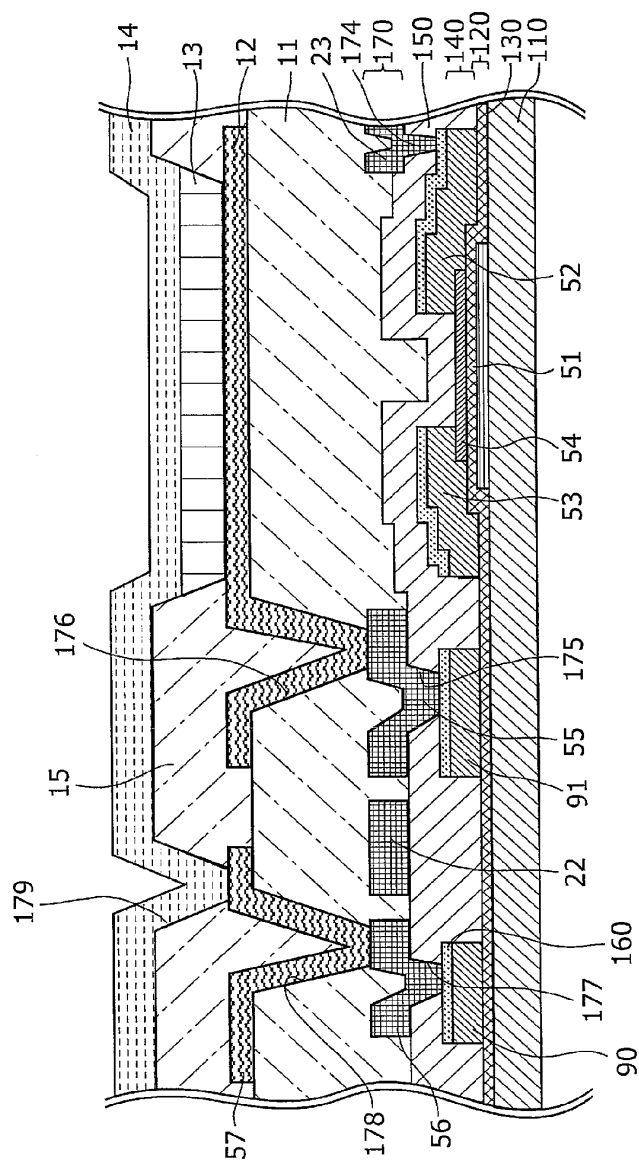


图 17

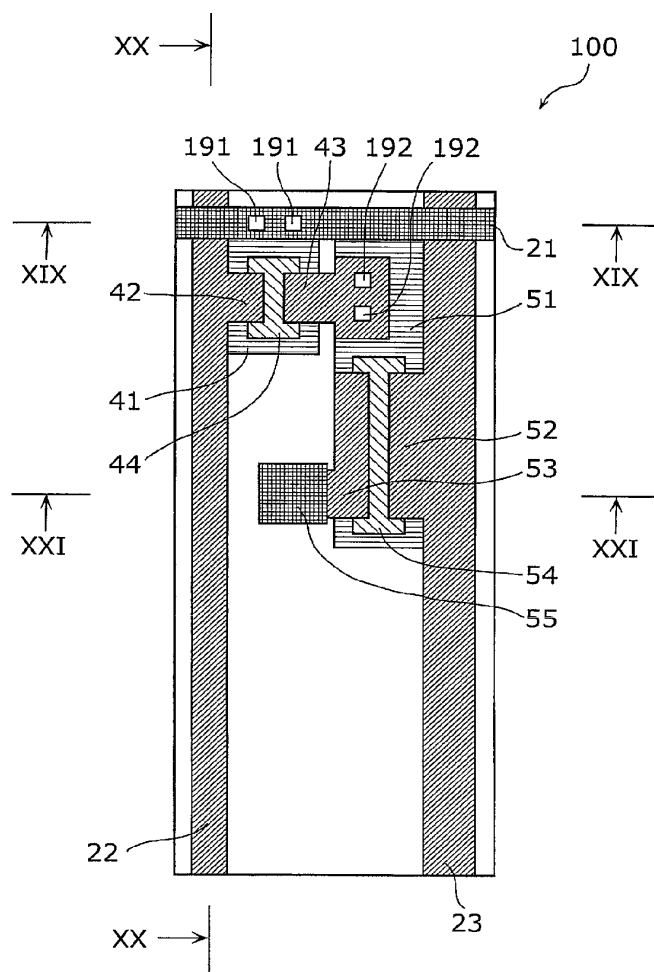


图 18

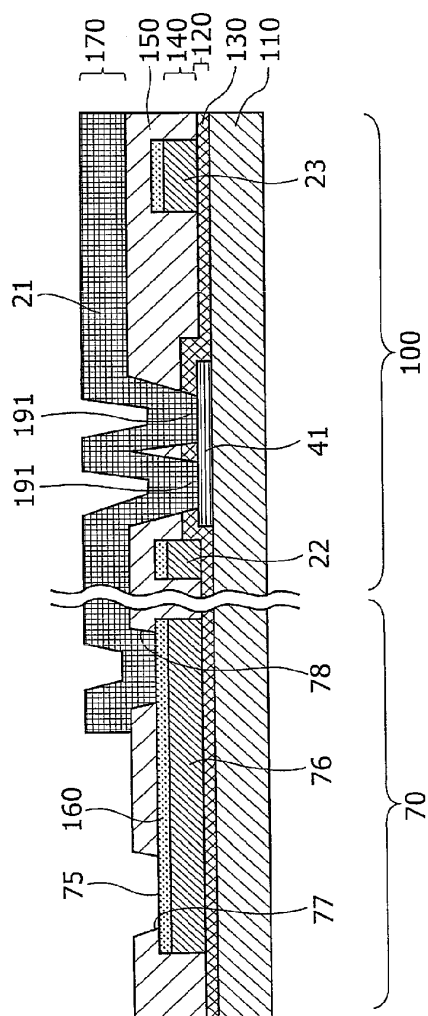


图 19

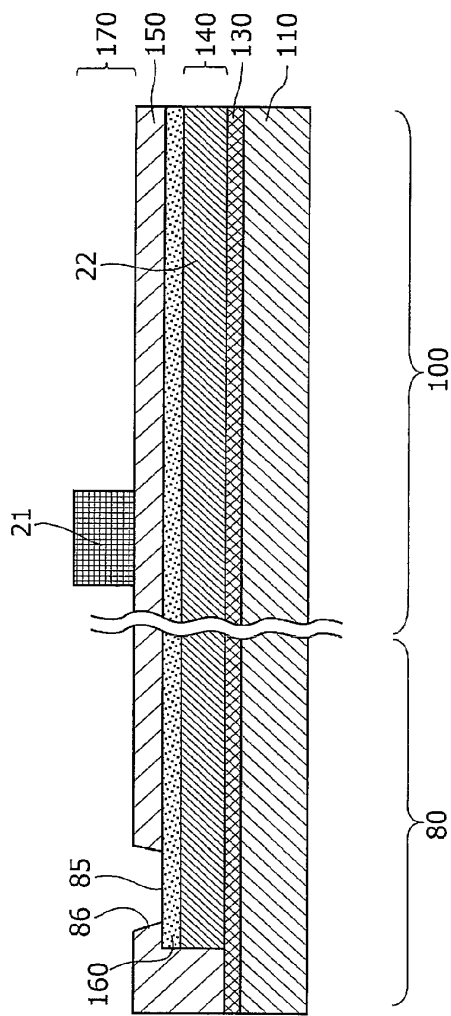


图 20

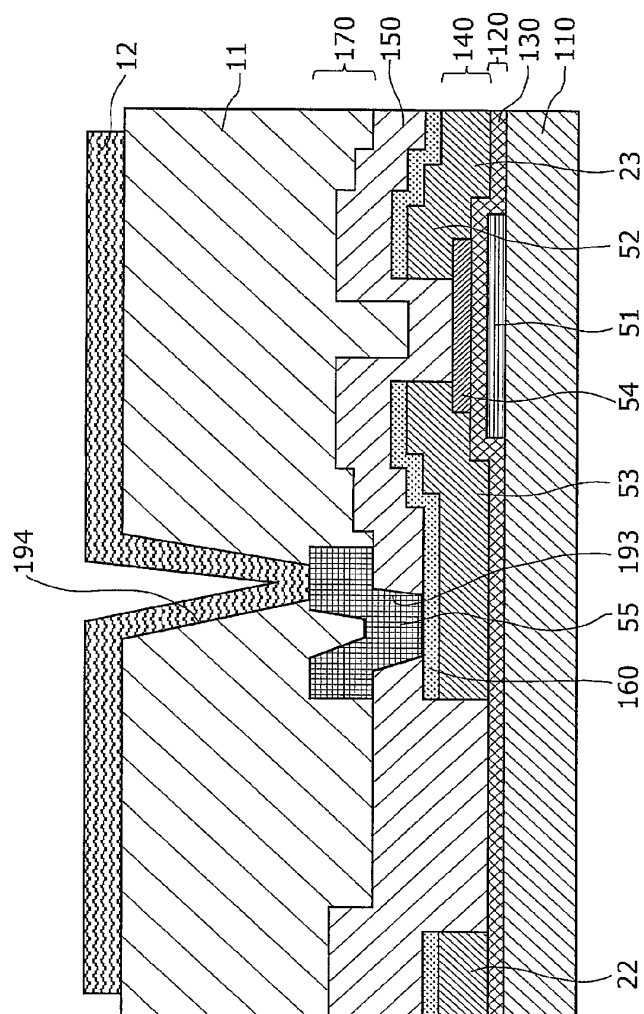


图 21

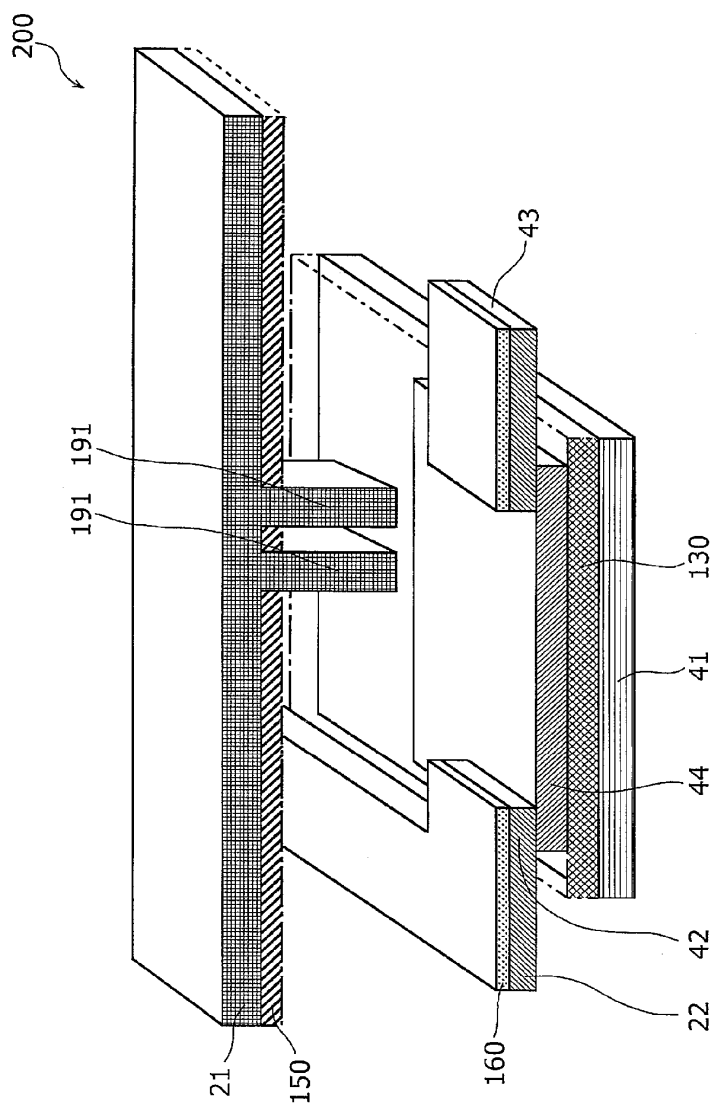


图 22

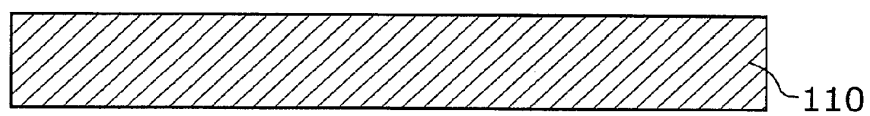


图 23A

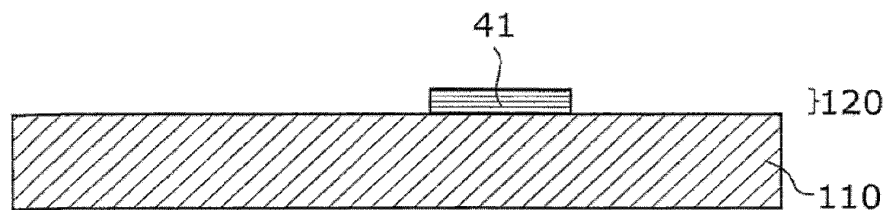


图 23B

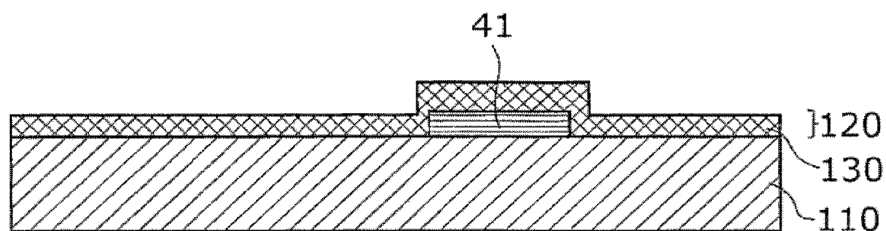


图 23C

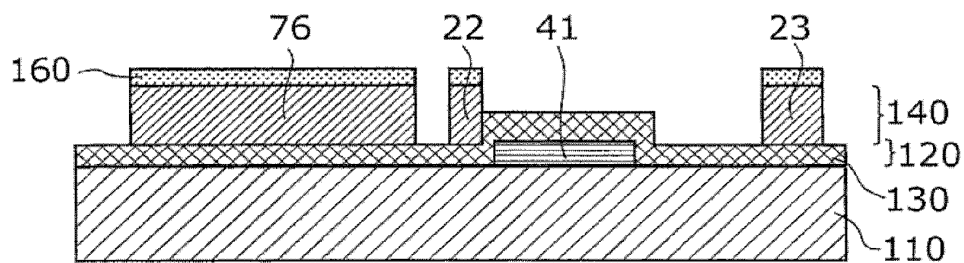


图 23D

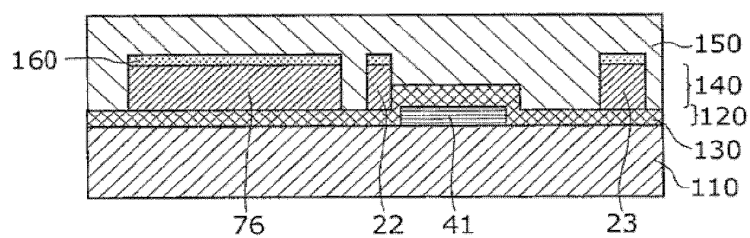


图 23E

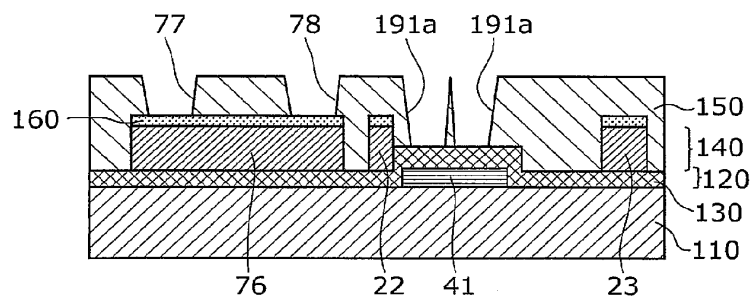


图 23F

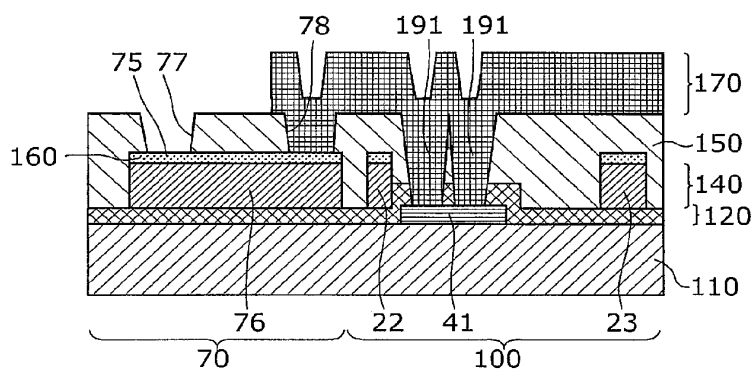


图 23G

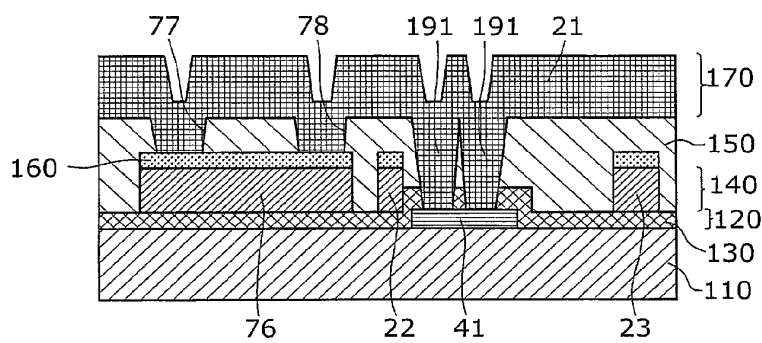


图 24A

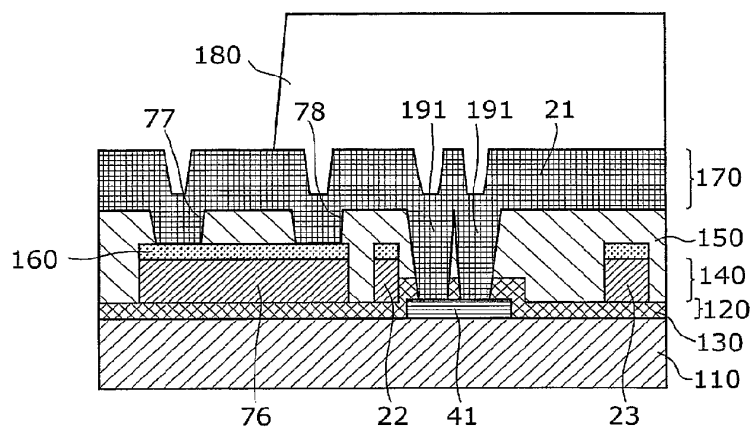


图 24B

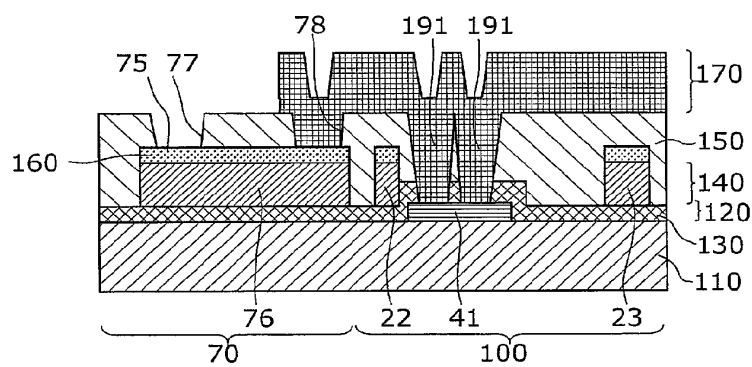


图 24C

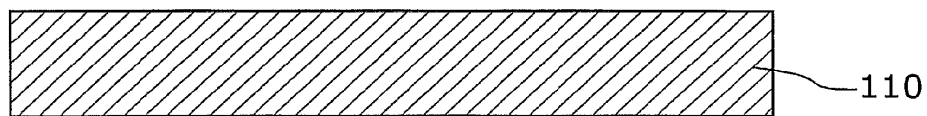


图 25A

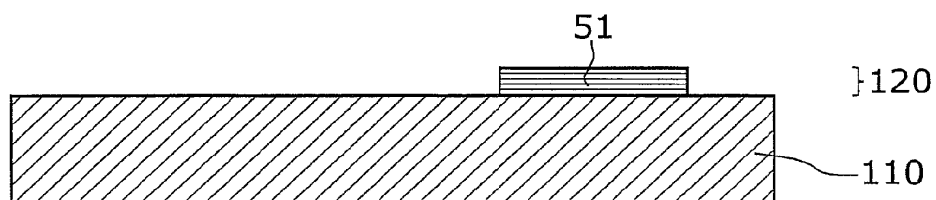


图 25B

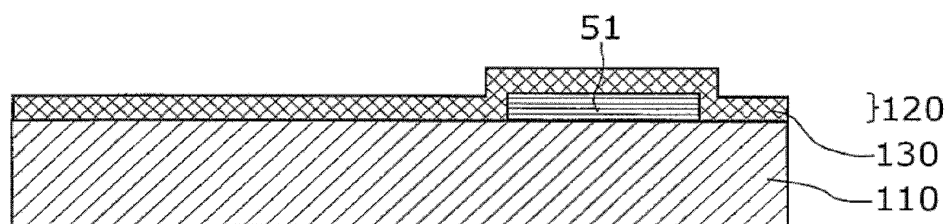


图 25C

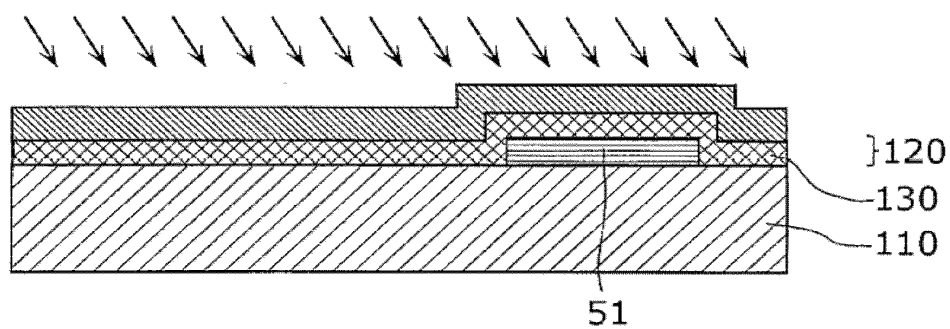


图 25D

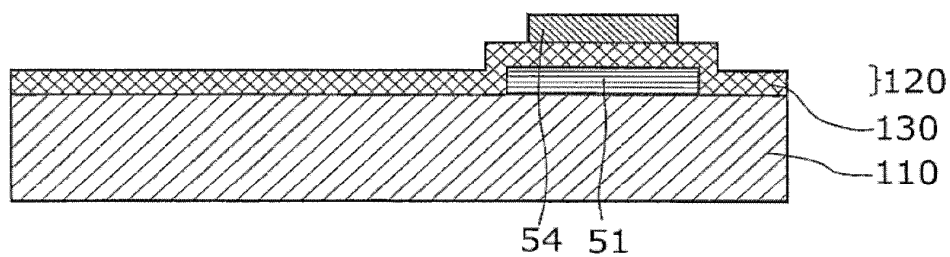


图 25E

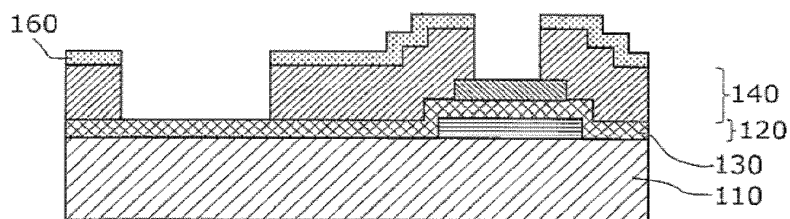


图 25F

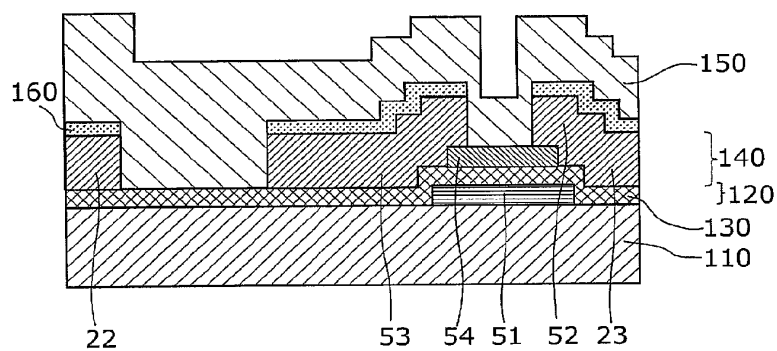


图 25G

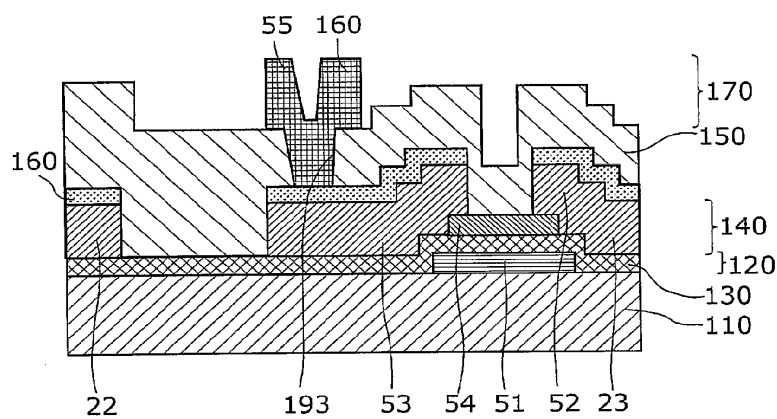


图 25H

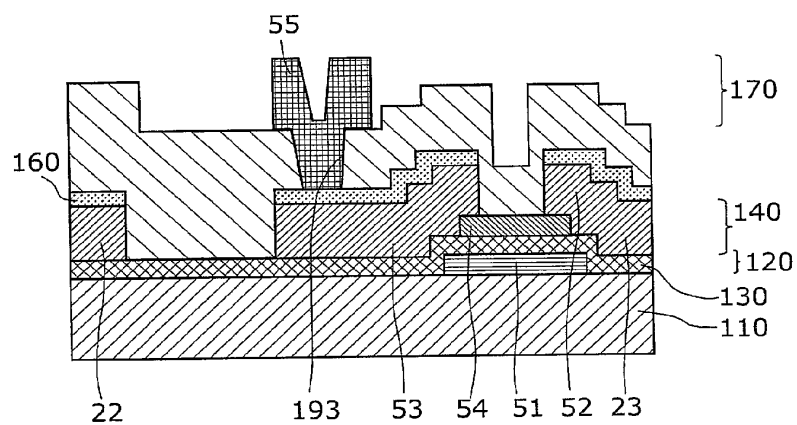


图 26C

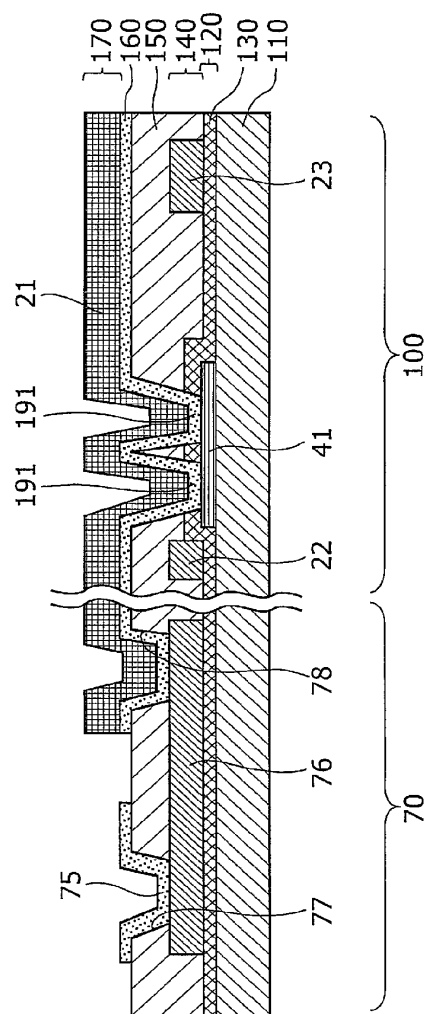


图 27

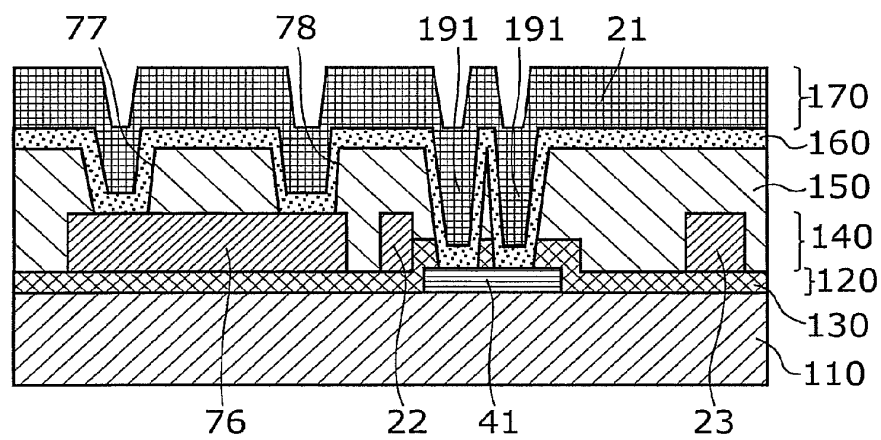


图 28A

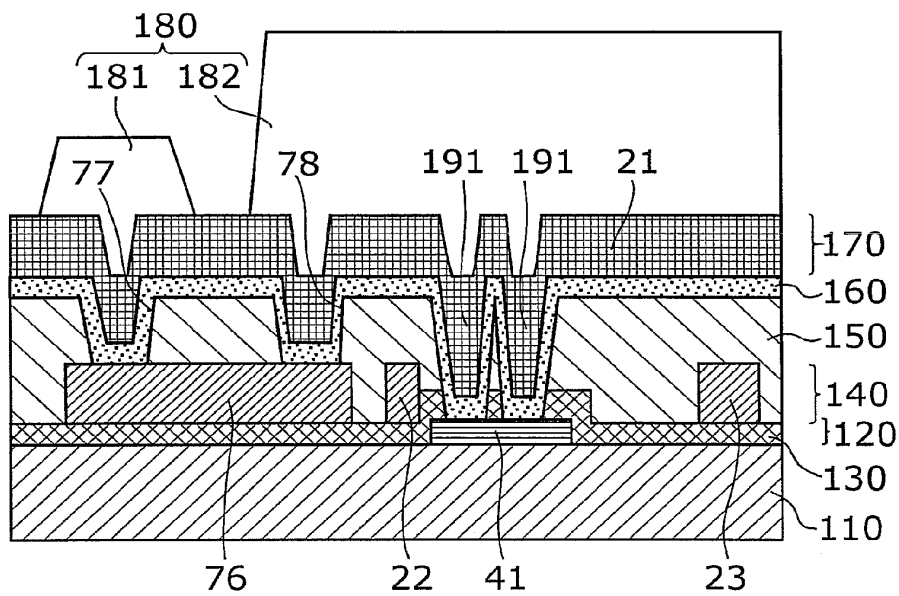


图 28B

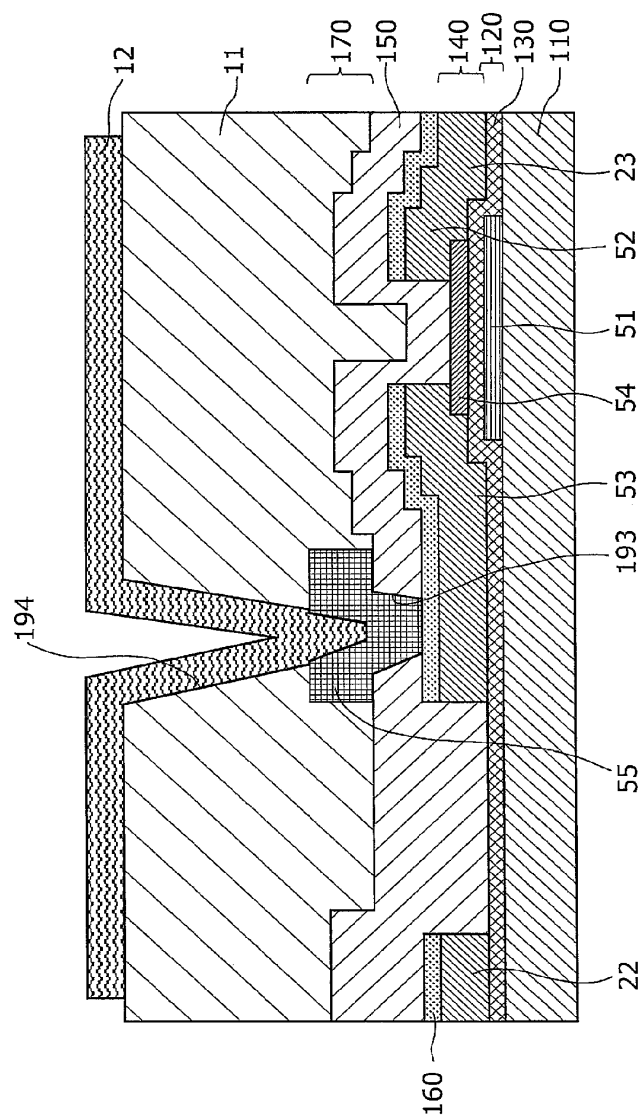


图 29

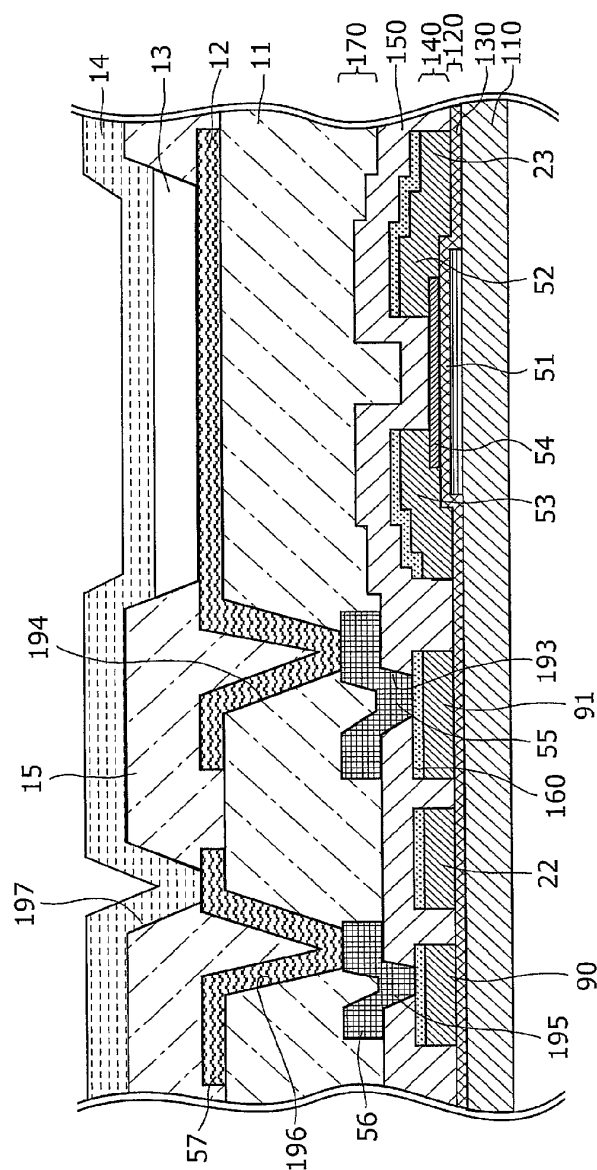


图 31

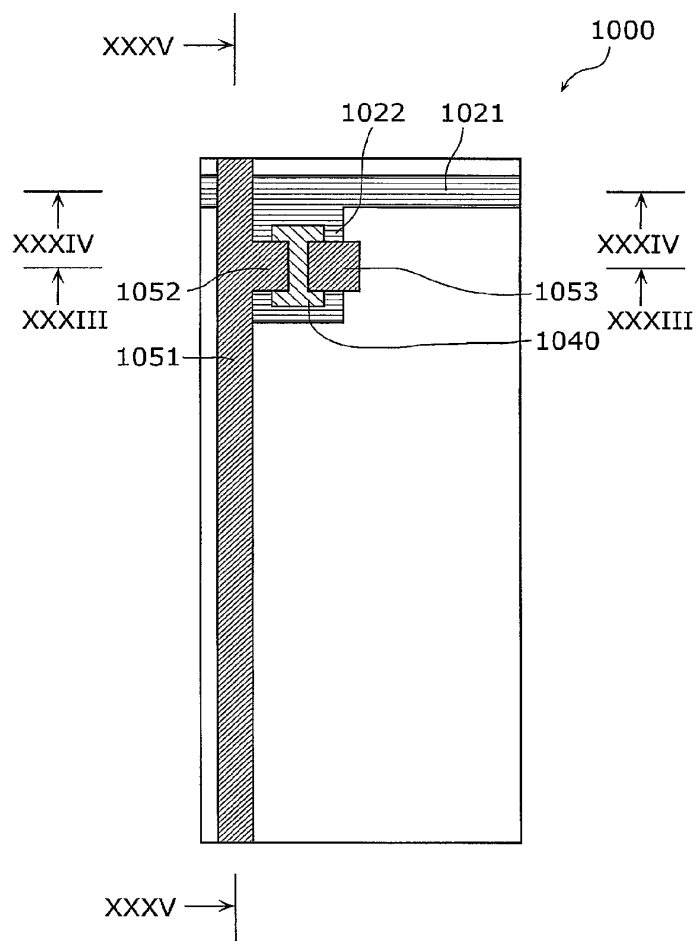


图 32

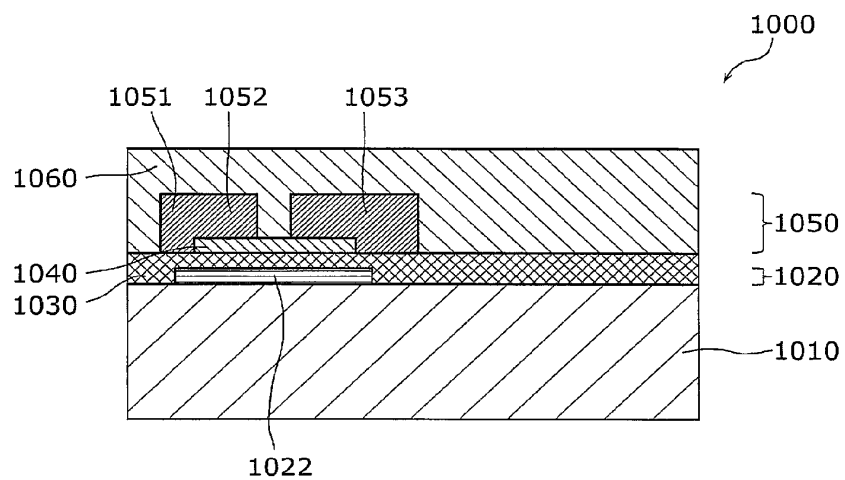


图 33

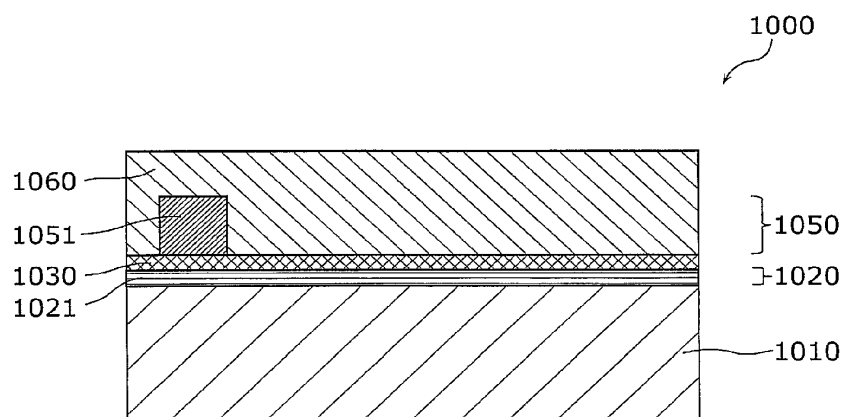


图 34

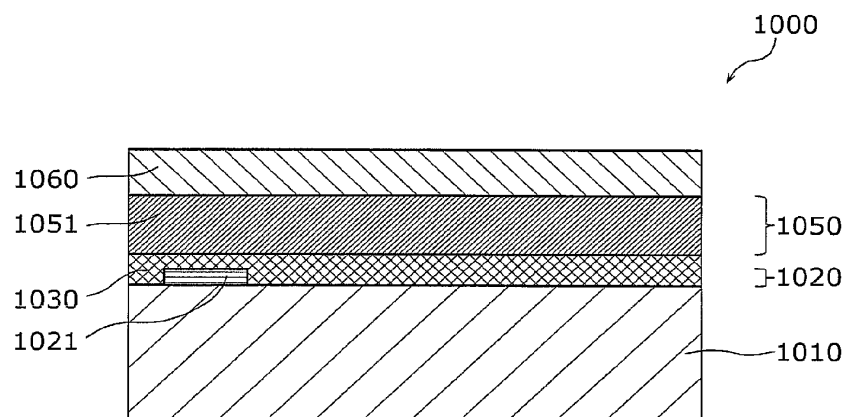


图 35

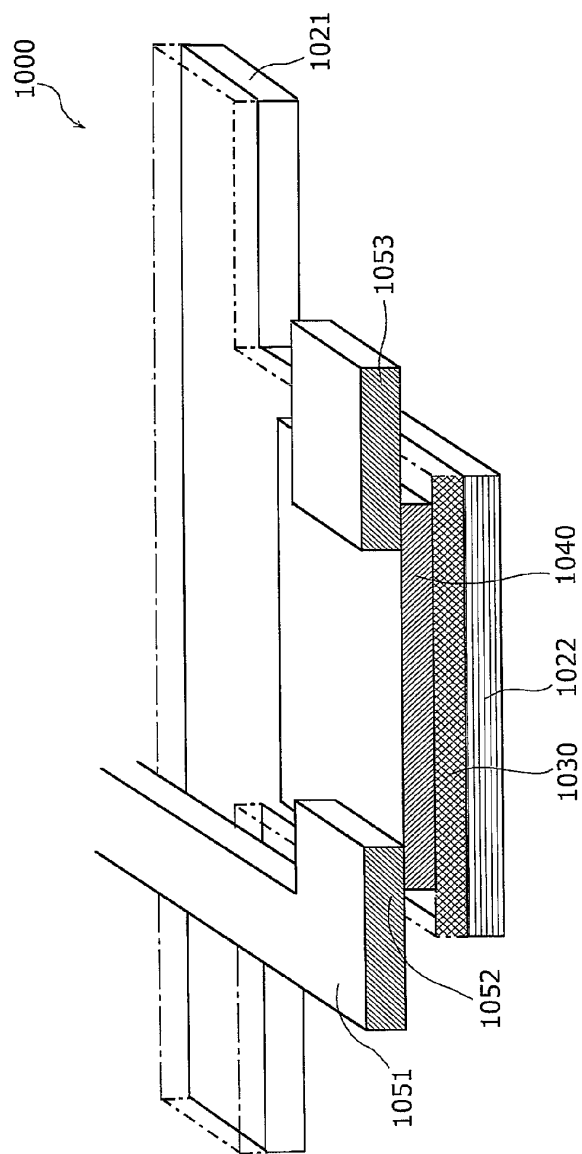


图 36



Espacenet

Bibliographic data: CN102741905 (A) — 2012-10-17

EL display panel, EL display device and method for producing EL display panel

Inventor(s): ARINOBU KANEGAE ± (KANEGAE ARINOBU)

Applicant(s): PANASONIC CORP ± (PANASONIC CORP)

Classification: - international: G09F9/30; H01L27/32; H01L51/50; H05B33/10
- cooperative: H01L27/3276; H01L27/3279; H01L51/5228;
H01L27/3262

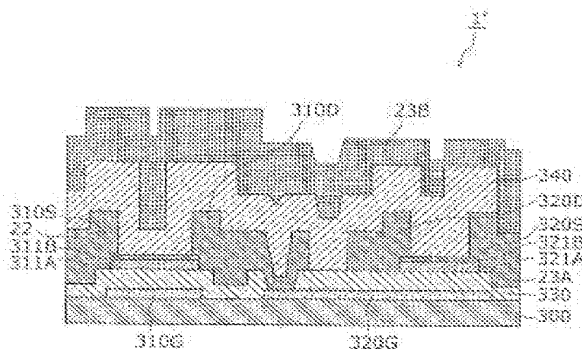
Application number: CN2010803324 20100929

Priority number (s): WO2010JP05850 20100929

Also published as: CN102741905 (B) US2012074423 (A1) US8482010 (B2)
KR20120048531 (A) KR101348537 (B1) more

Abstract of CN102741905 (A)

An EL display panel (1) of the present invention is provided with an organic EL element (10) and a thin-film semiconductor part for controlling the light emission of the organic EL element (10). The organic EL part includes a lower electrode (12), an organic light emission layer (13), and an upper electrode (14). The thin-film semiconductor includes: a substrate (300); a first gate electrode (310G); a gate insulating film (330); a first semiconductor layer (311); a first source electrode (310S); a second drain electrode (320D) formed in the same layer as the first source electrode (310S); a first power wiring (23A) positioned in the same layer as and electrically connected to the second drain electrode; and a first interlayer insulating film (340) formed so as to cover the first source electrode and the second drain electrode. Further provided thereto are: a gate wiring (21) positioned on the first interlayer insulating film and connected to the first gate electrode; a second power wiring (23B) positioned in the same layer as the gate wiring and connected to the first power wiring; and an auxiliary wiring (25) positioned in the same layer as the second power wiring and connected to the upper electrode.



(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 102741905 A

(43) 申请公布日 2012. 10. 17

(21) 申请号 201080003324. 0

(51) Int. Cl.

(22) 申请日 2010. 09. 29

G09F 9/30 (2006. 01)

(85) PCT申请进入国家阶段日
2011. 05. 26

H01L 27/32 (2006. 01)

H01L 51/50 (2006. 01)

H05B 33/10 (2006. 01)

(86) PCT申请的申请数据
PCT/JP2010/005850 2010. 09. 29

(87) PCT申请的公布数据
W02012/042567 JA 2012. 04. 05

(71) 申请人 松下电器产业株式会社
地址 日本大阪府

(72) 发明人 钟之江有宣

(74) 专利代理机构 北京市中咨律师事务所
11247

代理人 周春燕 段承恩

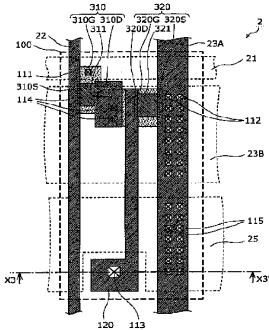
权利要求书 3 页 说明书 25 页 附图 23 页

(54) 发明名称

EL 显示面板、EL 显示装置及 EL 显示面板的制造方法

(57) 摘要

本发明的 EL 显示面板 (1) 具备有机 EL 元件 (10) 和对有机 EL 元件 (10) 的发光进行控制的薄膜半导体部。有机 EL 元件包括下部电极 (12)、有机发光层 (13) 及上部电极 (14)。薄膜半导体部包括基板 (300)、第 1 栅电极 (310G)、栅极绝缘膜 (330)、第 1 半导体层 (311)、第 1 源电极 (310S)、与第 1 源电极 (310S) 形成于相同的层的第 2 漏电极 (320D)、与第 2 漏电极同层且电连接的第 1 电源布线 (23A) 及形成覆盖第 1 源电极和第 2 漏电极的第 1 层间绝缘膜 (340)。进而,具备:配置于第 1 层间绝缘膜上且与第 1 栅电极连接的栅极布线 (21)、与栅极布线同层且与第 1 电源布线连接的第 2 电源布线 (23B) 及与第 2 电源布线同层且与上部电极连接的辅助布线 (25)。



CN 102741905 A

1. 一种 EL 显示面板,其具备 EL 部和对所述 EL 部的发光进行控制的薄膜半导体部,所述 EL 部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;

所述薄膜半导体部包含:

基板;

栅电极,其形成于所述基板上;

栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;

半导体层,其形成在所述栅极绝缘膜上所述栅电极的上方;

第 1 电极,其形成于所述半导体层的上方;

第 2 电极,其形成于与所述第 1 电极相同的层;

第 1 电源布线,其与所述第 2 电极电连接,形成于与所述第 2 电极相同的层;

第 1 层间绝缘膜,其覆盖所述第 1 电极及所述第 2 电极而形成于所述栅极绝缘膜的上方;

栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第 1 层间绝缘膜上,配置为与所述第 1 电源布线交叉;

第 2 电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及

辅助布线,其与所述第 2 电源布线形成于相同的层并且与所述第 2 电源布线并行地配置;

所述栅电极与所述栅极布线经由第 1 导电部电连接,所述第 1 导电部设置为贯通所述栅极绝缘膜及所述第 1 层间绝缘膜;

所述第 1 电源布线与所述第 2 电源布线经由第 2 导电部电连接,所述第 2 导电部设置为贯通所述第 1 层间绝缘膜;

所述辅助布线与所述阴极电极电连接。

2. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;

所述第 2 电源布线及所述辅助布线配置于相邻的 2 条所述栅极布线之间;

所述第 2 电源布线及所述辅助布线双方组合而得到的宽度与所述相邻的 2 条栅极布线之间的宽度对应。

3. 根据权利要求 2 所述的 EL 显示面板,

所述第 2 电源布线或所述辅助布线与所述相邻的 2 条栅极布线的距离分别为 $4\mu\text{m}$ 以上。

4. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成为与所述栅极布线同一或预定的近似值的高度;

所述第 2 电源布线及所述辅助布线以填埋相邻的 2 条所述栅极布线之间的方式,与所述栅极布线接近地配置。

5. 根据权利要求 1 所述的 EL 显示面板,

所述第 2 电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度；

所述第 2 电源布线及所述辅助布线是具有比所述第 1 电源布线的宽度宽阔的宽度的布线。

6. 根据权利要求 2～5 中的任意一项所述的 EL 显示面板，

所述第 2 电源布线及所述辅助布线都具有均匀的膜厚，并且按照所述电源布线及所述辅助布线的下层的表面形状而形成。

7. 根据权利要求 1～6 中的任意一项所述的 EL 显示面板，

所述半导体层为 n 沟道型；

所述第 2 电源布线的至少一部分配置为与与所述半导体层不重叠。

8. 根据权利要求 1～6 中的任意一项所述的 EL 显示面板，

所述半导体层为 p 沟道型；

所述第 2 电源布线的至少一部分配置为与与所述半导体层重叠。

9. 根据权利要求 1～8 中的任意一项所述的 EL 显示面板，

所述第 1 电极为源电极，所述第 2 电极为漏电极。

10. 根据权利要求 1～8 中的任意一项所述的 EL 显示面板，

所述第 1 电极为漏电极，所述第 2 电极为源电极。

11. 根据权利要求 1～10 中的任意一项所述的 EL 显示面板，

通过由形成有所述栅极布线的层和形成有所述第 1 电源布线的层所夹的所述第 1 层间绝缘膜形成的单位面积的电容，比通过由形成有所述栅电极的层和形成有所述第 1 电源布线的层所夹的所述栅极绝缘膜形成的单位面积的电容小。

12. 根据权利要求 11 所述的 EL 显示面板，

通过所述第 2 层间绝缘膜形成的电容小于 $1.5 \times 10^{-4} \text{F/m}^2$ ；

由所述栅极绝缘膜形成的电容为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

13. 根据权利要求 1～12 中的任意一项所述的 EL 显示面板，

所述半导体层包含多结晶性半导体层。

14. 根据权利要求 1～13 中的任意一项所述的 EL 显示面板，

构成所述第 2 电源布线及所述辅助布线的材料包含从 Al、Cu、Ag 中选择的任意一种元素。

15. 根据权利要求 14 所述的 EL 显示面板，

所述第 2 电源布线及所述辅助布线为多层布线；

构成所述第 2 电源布线及所述辅助布线的主布线由从 Al、Cu、Ag 中选择的任意一种构成。

16. 根据权利要求 1～15 中的任意一项所述的 EL 显示面板，

所述 EL 部是所述发光层为有机发光层的有机 EL 部。

17. 一种 EL 显示装置，具备：

权利要求 1～16 中的任意一项所述的 EL 显示面板。

18. 一种 EL 显示面板的制造方法，包括：

第 1 工序，准备基板；

第 2 工序,在所述基板上形成栅电极;

第 3 工序,覆盖所述栅电极而在所述基板上形成栅极绝缘膜;

第 4 工序,在所述栅极绝缘膜上、在所述栅电极的上方形成半导体层;

第 5 工序,在所述半导体层的上方形成第 1 电极,并且在与所述第 1 电极相同的层形成第 2 电极及与所述第 2 电极电连接的第 1 电源布线;

第 6 工序,覆盖所述第 1 电极及所述第 2 电极而在所述栅极绝缘膜的上方形成第 1 层间绝缘膜;

第 7 工序,形成贯通所述栅极绝缘膜及所述第 1 层间绝缘膜的第 1 接触孔及贯通所述第 1 层间绝缘膜的第 2 接触孔;

第 8 工序,通过在所述第 1 层间绝缘膜上进行金属膜的成膜并对所述金属膜进行图案形成,而以与所述第 1 电源布线交叉的方式形成经由所述第 1 接触孔与所述栅电极电连接的栅极布线,并且以与所述栅极布线并行的方式形成经由所述第 2 接触孔与所述第 1 电源布线电连接的第 2 电源布线,进而以与所述第 2 电源布线并行的方式形成辅助布线;

第 9 工序,以覆盖所述第 1 层间绝缘膜、所述第 2 电源布线及所述辅助布线的上面的方式形成第 2 层间绝缘膜;

第 10 工序,形成贯通所述辅助电极上的所述第 2 层间绝缘膜的第 3 接触孔;以及

第 11 工序,在所述第 2 层间绝缘膜的上方,形成包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层的 EL 部;

在所述第 11 工序中,经由所述第 3 接触孔将所述阴极电极与所述辅助布线电连接。

19. 根据权利要求 18 所述的 EL 显示面板的制造方法,

由所述第 4 工序形成的半导体层为非结晶性半导体膜;

在所述第 4 工序与所述第 5 工序之间,包含对于所述非结晶性半导体膜照射预定的激光,通过所述预定的激光的照射将所述非结晶性半导体膜的温度设为预定的温度范围,使所述非结晶性半导体膜结晶化的工序。

20. 根据权利要求 18 或 19 所述的 EL 显示面板的制造方法,所述 EL 部是由有机发光层形成了所述发光层的有机 EL 部。

EL 显示面板、EL 显示装置及 EL 显示面板的制造方法

技术领域

[0001] 本发明涉及 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法,尤其涉及用于有源矩阵方式的显示装置的 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法。

背景技术

[0002] 在液晶显示装置或有机 EL 显示装置等有源矩阵驱动型的显示装置中,作为对像素进行选择开关元件或对显示元件进行驱动的驱动元件,使用薄膜晶体管(TFT:Thin Film Transistor)。

[0003] 薄膜晶体管用于显示装置的有源矩阵基板,当前,正被积极地进行面向高性能化的开发。尤其是,随着与显示装置的大型化和/或高精细化相伴、要求薄膜晶体管的高驱动能力,作为沟道层(有源层)使用了结晶化的半导体薄膜(多晶硅、微晶硅)的薄膜晶体管受到关注。

[0004] 作为半导体薄膜的结晶化工艺,代替已经确立的采用了 1000℃ 以上的处理温度的高温工艺,开发出采用了 600℃ 以下的处理温度的低温工艺。在低温工艺中,不需要使用耐热性优异的石英等高价格的基板,能够实现制造成本的降低化。

[0005] 作为低温工艺的一环节,使用激光束进行加热的激光退火受到关注。这是下述过程:在对成膜于玻璃等低耐热性绝缘基板上的非晶质硅等非单晶性的半导体薄膜照射激光束而局部进行了加热熔融之后,在其冷却过程中使半导体薄膜结晶化。结晶化了的半导体薄膜因为载流子的迁移率升高,所以能够使薄膜晶体管高性能化(例如,参照专利文献 1)。

[0006] 可是,作为薄膜晶体管的结构,主流为栅电极配置于沟道层之下的底栅型的结构。以下,关于以往的底栅型的薄膜晶体管,使用图 23、图 24A ~ 图 24C 及图 25 进行说明。图 23 是显示装置的一个像素中以往的显示装置用薄膜半导体装置的俯视图。此外,图 24A 是沿图 23 的 X1-X1' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 24B 是沿图 23 的 X2-X2' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 24C 是沿图 23 的 Y-Y' 进行剖切而得到的以往的显示装置用薄膜半导体装置的剖面图。图 25 对应于图 24A,是从图 23 的 X1-X1' 的剖面看时的表示以往的显示装置用薄膜半导体装置的主要部分的立体图。

[0007] 如图 23、图 24A ~ 图 24C 及图 25 所示,以往的显示装置用薄膜半导体装置 9 具备沿像素的行方向形成的栅极布线 921、沿像素的列方向形成的源极布线 922 和设置于栅极布线 921 与源极布线 922 交叉的位置的薄膜晶体管 910。

[0008] 如图 24A 所示,薄膜晶体管 910 是底栅型的薄膜晶体管,是包括依次形成于基板 900 上的栅电极 910G、栅极绝缘膜 930、半导体层 911(沟道层)以及一对源电极 910S 及漏电极 910D 的层叠结构体。

[0009] 如图 23 及图 24A 所示,栅电极 910G 从栅极布线 921 延伸设置,形成于与栅极布线 921 相同的层的第 1 金属层 M1'。栅极绝缘膜 930 以覆盖栅极布线 921 及栅电极 910G 的方式形成于基板 900 上。半导体层 911 以与栅电极 910G 重叠的方式在栅极绝缘膜 930 上

形成为岛状。一对源电极 910S 及漏电极 910D 形成为与半导体层 911 的一部分重叠,此外以相互相对的方式分离配置。源电极 910S 及漏电极 910D 形成于与源极布线 922 相同的层的第 2 金属层 ML2'。另外,以覆盖薄膜晶体管 910、栅极布线 921 及源极布线 922 的方式层叠有层间绝缘膜 940。

[0010] 在此,在底栅型的薄膜晶体管 910 中,通过在栅电极 910G 上形成非晶硅并通过激光退火使其结晶化而形成半导体层 911 的情况下,在非晶硅的熔融时激光退火的热在栅电极 910G 中传递而扩散。从而,为了抑制半导体层 911 的结晶化时的激光退火的热的扩散,优选:栅电极 910G 由热传导率小的材料构成。

[0011] 另一方面,关于栅极布线 921,若布线电阻高,则信号会延迟、由于电压下降而产生显示不均。尤其是,若面板面积大型化而驱动频率增大,则布线电阻的影响变大。从而,优选:栅极布线 921 由电阻率(比电阻)低的材料构成。

[0012] 栅电极 910G 及栅极布线 921 因为如上所述形成于同一层,所以大多由同一材料构成。从而,若从上述半导体层 911 的结晶化的观点出发由热传导率小的材料构成栅电极 910G,则栅极布线 921 也由相同的热传导率小的材料构成。另一方面,若从栅极布线 921 的布线电阻的观点出发由电阻率低的材料构成栅极布线 921,则栅电极 910G 也由相同的电阻率低的材料构成。

[0013] 但是,热传导率小的金属材料几乎都是电阻率高的物质,难以同时满足半导体层 911 的结晶化的观点和栅极布线 921 的布线电阻的观点这两种观点。

[0014] 因此,以往,有人提出同时满足两种观点的显示装置用薄膜半导体装置(参照专利文献 2)。在专利文献 2 中,以兼顾栅电极的热传导性和栅极布线的低电阻化为目的,公开了将栅极布线分为 2 个部分的结构。

[0015] 即,在专利文献 2 的显示装置用薄膜半导体装置中,栅极布线由与栅电极形成为一体的一体部和以接触孔与该一体部连接的分体部构成。此外,栅极布线的一体部与源极布线为夹着栅极绝缘膜而立体交叉的结构。而且,关于栅电极与栅极布线的一体部,使用具有比栅极布线的分体部低的热传导率的材料,另一方面,关于栅极布线的分体部,使用具有比栅电极低的电阻率的材料。

[0016] 专利文献 1:特开平 07-235490 号公报

[0017] 专利文献 2:特开 2007-047808 号公报

发明内容

[0018] 但是,在专利文献 2 所公开的显示装置用薄膜半导体装置中,栅电极与栅极布线的一体部依然由相同的材料构成。从而,若从半导体层的结晶化的观点出发,由热传导率低的材料构成栅电极,则栅极布线的一体部的电阻率变高而栅极布线的一体部会高电阻化。其结果,存在作为包含一体部的栅极布线整体而无法充分地降低布线电阻的问题。

[0019] 此外,因为栅极布线的一体部与分体部在每像素中以 2 处的接触孔连接,所以还存在着在一体部与分体部的连接部分产生 IR 压降(由产生于布线上的电流 I 与电阻 R 之积引起的电压下降)的问题。而且,因为 1 行的栅极布线是一体部与分体部交替连接而成的结构,所以还存在着下述问题:即使在一体部与分体部的连接部分之中的一处存在接触不良,沿栅极布线的 1 行全部的像素也都成为不良。

[0020] 进而,栅极布线与连接于薄膜晶体管的电源布线隔着膜厚为 200nm 左右的栅极绝缘膜立体交叉。因此,还存在着下述问题:若为使薄膜晶体管的高性能化而欲将栅极绝缘膜薄膜化,栅极布线与电源布线的间隔就变为更窄,则布线间的寄生电容增加。

[0021] 进而,在使用显示装置用薄膜半导体装置的显示装置例如为 EL 显示装置的情况下,在各像素中,在形成有机 EL 元件的 EL 层,形成有电连接于上部电极(阴极)的辅助布线。因此,还存在着由于辅助布线,像素的开口率下降的问题。

[0022] 本发明是为了解决这样的问题而提出的,其目的在于提供可以分别以适合于栅电极及栅极布线的材料构成、并且还可以降低栅极布线与电源布线之间的寄生电容的 EL 显示面板、EL 显示装置及 EL 显示面板的制造方法。

[0023] 为了解决上述问题,本发明的 EL 显示面板的一种方式 EL 显示面板,其具备 EL 部和对所述 EL 部的发光进行控制的薄膜半导体部,所述 EL 部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;所述薄膜半导体部包含:基板;栅电极,其形成于所述基板上;栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;半导体层,其形成在所述栅极绝缘膜上、所述栅电极的上方;第 1 电极,其形成于所述半导体层的上方;第 2 电极,其形成于与所述第 1 电极相同的层;第 1 电源布线,其与所述第 2 电极电连接,与所述第 2 电极形成于相同的层;第 1 层间绝缘膜,其覆盖所述第 1 电极及所述第 2 电极而形成于所述栅极绝缘膜的上方;栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第 1 层间绝缘膜上,配置为与所述第 1 电源布线交叉;第 2 电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及辅助布线,其与所述第 2 电源布线形成于相同的层并且与所述第 2 电源布线并行地配置;所述栅电极与所述栅极布线经由第 1 导电部电连接,所述第 1 导电部设置为贯通所述栅极绝缘膜及所述第 1 层间绝缘膜;所述第 1 电源布线与所述第 2 电源布线经由第 2 导电部电连接,所述第 2 导电部设置为贯通所述第 1 层间绝缘膜;所述辅助布线与所述阴极电极电连接。

[0024] 根据本发明的 EL 显示面板,因为能够用单独的层构成栅极布线和栅电极,所以能够分别选择适合于它们的材料。

[0025] 进而,因为栅极布线形成于第 1 层间绝缘膜的上层,第 1 电源布线形成于比第 1 层间绝缘膜的下层,所以能够通过增大第 1 层间绝缘膜的膜厚而确保栅极布线与第 1 电源布线的膜厚间距离。由此,能够降低栅极布线与第 1 电源布线之间的寄生电容。

[0026] 进而,第 2 电极与第 1 电源布线电连接并且第 1 电源布线与第 2 电源布线电连接,此外,第 1 电源布线与第 2 电源布线配置为交叉。由此,因为第 2 电极能够从第 1 电源布线和第 2 电源布线双方向接受电源供给,所以对于伴随着大画面化而在显示区域的中央区域产生的 TR 压降,能够降低 TR 压降量。

[0027] 进而,因为第 2 电源布线及辅助布线形成于与栅极布线相同的层并且与栅极布线并行地配置,所以能够通过第 2 电源布线及辅助布线减轻由于第 1 层间绝缘膜上的栅极布线而产生的凹凸。由此,能够使 EL 部下层的平坦性提高。

[0028] 进而,对于第 2 电极能够通过第 1 电源布线及第 2 电源布线两条电源布线供给电力。由此,能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0029] 进而,辅助布线与栅极布线形成于相同的层,不需要在 EL 部另行形成辅助布线。由此,能够使像素的开口率提高,所以能够使显示面板的寿命提高。

附图说明

- [0030] 图 1 是本发明的第 1 实施方式的有机 EL 显示面板的部分剖切立体图。
- [0031] 图 2 是表示本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的母基板的图。
- [0032] 图 3 是本发明的第 1 实施方式的 EL 显示面板的一像素的电路结构图。
- [0033] 图 4A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含薄膜晶体管的剖面的剖面图。
- [0034] 图 4B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含辅助布线的剖面的剖面图。
- [0035] 图 5 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0036] 图 6 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0037] 图 7 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的俯视图。
- [0038] 图 8 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0039] 图 9 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0040] 图 10 是本发明的第 1 实施方式的 EL 显示面板（部分透过）的一像素的俯视图。
- [0041] 图 11A 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 9 的 X1-X1' 线剖面图）。
- [0042] 图 11B 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 9 的 X2-X2' 线剖面图）。
- [0043] 图 11C 是本发明的第 1 实施方式的 EL 显示面板的剖面图（图 8 的 X3-X3' 线剖面图）。
- [0044] 图 12A 是从图 9 的 X4-X4' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。
- [0045] 图 12B 是从图 10 的 X3-X3' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。
- [0046] 图 13A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的基板准备工序的剖面图。
- [0047] 图 13B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 1 金属层（栅电极）形成工序的剖面图。
- [0048] 图 13C 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的栅极绝缘膜形成工序的剖面图。
- [0049] 图 13D 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的非结晶性半导体膜形成工序及结晶性半导体膜形成工序（激光照射工序）的剖面图。
- [0050] 图 13E 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的半导体层形成工序（岛化工序）的剖面图。
- [0051] 图 13F 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 4 接触孔形成工序的剖面图。
- [0052] 图 13G 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第

2 金属层形成工序的剖面图。

[0053] 图 13H 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 1 层间绝缘膜形成工序的剖面图。

[0054] 图 13I 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 2 接触孔形成工序的剖面图。

[0055] 图 13J 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的制造方法中的第 3 金属层工序的剖面图。

[0056] 图 14 是用于说明本发明的第 1 实施方式的 EL 显示面板中的薄膜晶体管的 TFT 特性的图。

[0057] 图 15 是本发明的第 1 实施方式的变形例的 EL 显示面板的剖面图。

[0058] 图 16 是本发明的第 2 实施方式的 EL 显示面板（部分透过）的俯视图。

[0059] 图 17 是本发明的第 2 实施方式的 EL 显示面板（部分透过）的俯视图。

[0060] 图 18 是本发明的第 2 实施方式的 EL 显示面板的剖面图（图 16 的 X2-X2' 线剖面图）。

[0061] 图 19 是用于说明本发明的第 2 实施方式的 EL 显示面板中的薄膜晶体管的 TFT 特性的图。

[0062] 图 20 是本发明的第 2 实施方式的变形例的 EL 显示面板的剖面图。

[0063] 图 21A 是表示本发明的有机 EL 显示面板的一例的剖面立体图。

[0064] 图 21B 是表示本发明的有机 EL 显示面板的另一例的剖面立体图。

[0065] 图 22 是表示本发明的 EL 显示装置的一例的外观立体图。

[0066] 图 23 是显示装置的一个像素中的以往的显示装置用薄膜半导体装置的俯视图。

[0067] 图 24A 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 X1-X1' 线剖面图）。

[0068] 图 24B 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 X2-X2' 线剖面图）。

[0069] 图 24C 是以往的显示装置用薄膜半导体装置的剖面图（图 23 的 Y-Y' 线剖面图）。

[0070] 图 25 是表示从图 23 的 X1-X1' 的剖面看时的以往的显示装置用薄膜半导体装置的主要部分的立体图。

[0071] 符号说明

[0072] 1、1'、2、2' EL 显示面板, 9 显示装置用薄膜半导体装置, 10 有机 EL 元件, 12 下部电极, 13 有机发光层, 14 上部电极, 15 堤栏, 20 显示装置用薄膜半导体阵列装置, 21、921 栅极布线, 22、922 源极布线, 23A 第 1 电源布线, 23B 第 2 电源布线, 25 辅助布线, 30 像素电路, 100 像素, 100R、100G、100B 子像素, 111 第 1 接触部, 112 第 2 接触部, 113 第 3 接触部, 114 第 4 接触部, 115 第 5 接触部, 120 电极部, 131、132 开口部, 200 显示部, 300、900 基板, 300C 电容器, 301 非结晶性半导体膜, 310 第 1 薄膜晶体管, 310D 第 1 漏电极, 310G 第 1 栅电极, 310S 第 1 源电极, 311、321、911 半导体层, 311A、321A 第 1 沟道层, 311B、321B 第 2 沟道层, 320 第 2 薄膜晶体管, 320D 第 2 漏电极, 320G 第 2 栅电极, 320S 第 2 源电极, 330、930 栅极绝缘膜, 340 第 1 层间绝缘膜, 350 第 2 层间绝缘膜, 400 电视机, 910 薄膜晶体管, 910D 漏电极, 910G 栅电极, 910S 源电极, 940 层间绝缘膜。

具体实施方式

[0073] 本发明的EL显示面板的一种方式EL显示面板,其具备EL部和对所述EL部的发光进行控制的薄膜半导体部,所述EL部包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层;所述薄膜半导体部包含:基板;栅电极,其形成于所述基板上;栅极绝缘膜,其覆盖所述栅电极而形成于所述基板上;半导体层,其形成在所述栅极绝缘膜上、所述栅电极的上方;第1电极,其形成于所述半导体层的上方;第2电极,其与所述第1电极形成于相同的层;第1电源布线,其与所述第2电极电连接,形成于与所述第2电极相同的层;第1层间绝缘膜,其覆盖所述第1电极及所述第2电极而形成于所述栅极绝缘膜的上方;栅极布线,其形成于与形成有所述栅电极的层不同的层即所述第1层间绝缘膜上,配置为与所述第1电源布线交叉;第2电源布线,其与所述栅极布线形成于相同的层并且与所述栅极布线并行地配置;以及辅助布线,其与所述第2电源布线形成于相同的层并且与所述第2电源布线并行地配置;所述栅电极与所述栅极布线经由第1导电部电连接,所述第1导电部设置为贯通所述栅极绝缘膜及所述第1层间绝缘膜;所述第1电源布线与所述第2电源布线经由第2导电部电连接,所述第2导电部设置为贯通所述第1层间绝缘膜;所述辅助布线与所述阴极电极电连接。

[0074] 根据本方式,因为栅极布线配置于与形成有栅电极的层不同的层、即第1层间绝缘膜上,所以栅极布线和栅电极能够分别选择适合于各自的材料。

[0075] 此外,根据本方式,因为栅极布线形成于第1层间绝缘膜的上层,第1电源布线形成于比第1层间绝缘膜的下层,所以能够通过增大第1层间绝缘膜的膜厚而确保栅极布线与第1电源布线的膜厚间距离。由此,能够降低栅极布线与第1电源布线之间的寄生电容。

[0076] 进而,根据本方式,第2电极与第1电源布线电连接并且第1电源布线与第2电源布线电连接,此外,第1电源布线与第2电源布线配置为交叉。由此,因为第2电极能够从第1电源布线和第2电源布线双方向接受电源供给,所以对于伴随着人画面化而在显示区域的中央区域产生的IR压降,能够降低IR压降量。

[0077] 进而,因为第2电源布线及辅助布线形成于与栅极布线相同的层并且与栅极布线并行地配置,所以能够通过第2电源布线减轻由于第1层间绝缘膜上的栅极布线而产生的凹凸。由此,能够使薄膜半导体部的平坦度提高。

[0078] 进而,对于第2电极能够通过第1电源布线及第2电源布线两条电源布线供给电力。由此,能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0079] 此外,根据本方式,辅助布线不配置于EL部而配置于薄膜半导体部,并且与栅极布线及第2电源布线并行地配置。即,辅助布线在EL部以外的层,配置于为了配置栅极布线及第2电源布线而已经利用的层。由此,不会对薄膜半导体部增加空间上的负担,能够扩大EL部的设计的自由度。此外,因为辅助布线不需要配置于EL部,所以能够使各像素的开口率增大,作为EL显示面板能够增大发光量。此外,因为能够增大发光量,所以即使单位面积的发光强度减小,作为EL显示面板也能够实现与由以往的技术制造的EL显示面板同等的辉度,所以其结果,能够实现寿命长的EL显示面板。

[0080] 进而,在本发明的EL显示面板的一种方式中,优选:所述第2电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度;所述第2电源布线及所述辅助布

线配置于相邻的 2 条所述栅极布线之间;所述第 2 电源布线及所述辅助布线双方组合而得到的宽度与所述相邻的 2 条栅极布线之间的宽度对应。

[0081] 根据本方式,能够使 EL 显示面板的平坦性进一步提高。即,若栅极布线形成于第 1 层间绝缘膜上,则直接这样会比没有形成栅极布线的区域突出栅极布线的膜厚量。相对于此,根据本方式,第 2 电源布线及辅助布线是下述布线:第 2 电源布线及辅助布线双方组合得到的宽度为与相邻的 2 条栅极布线之间的宽度对应的宽度。从而,因为能够将第 2 电源布线及辅助布线也作为平坦化用的结构而进行利用,所以能够用简易的结构确保半导体薄膜部的平坦性。

[0082] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线或所述辅助布线与所述相邻的 2 条栅极布线的距离分别为 $4\mu\text{m}$ 以上。

[0083] 根据本方式,能够使第 2 电源布线或辅助布线与栅极布线不相影响地配置,并且能够使薄膜半导体部的平坦性提高。

[0084] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度;所述第 2 电源布线及所述辅助布线以填埋相邻的 2 条所述栅极布线之间的方式,与该栅极布线接近地配置。

[0085] 根据本方式,能够使薄膜半导体部的平坦性进一步提高。

[0086] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线形成与与所述栅极布线同一或预定的近似值的高度;所述第 2 电源布线及所述辅助布线是具有比所述第 1 电源布线的宽度宽阔的宽度的布线。

[0087] 根据本方式,能够使薄膜半导体部的平坦性进一步提高。此外,能够使第 2 电源布线比第 1 电源布线低电阻化,能够大幅地降低 IR 压降。

[0088] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线都具有均匀的膜厚,并且按照该电源布线及该辅助布线的下层的表面形状而形成。

[0089] 根据本方式,能够使第 2 电源布线的俯视形状成为基本平板形状。由此,能够使第 2 电源布线成为具有比第 1 电源布线的宽度宽阔的宽度的平板形状的布线,能够使第 2 电源布线成为低电阻布线。从而,因为从布线电阻低的第 2 电源布线经由第 1 电源布线对于第 2 电极进行电源供给,所以对于伴随着大画面化而在显示区域的中央区域产生的 IR 压降,能够大幅地降低该压降量。

[0090] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层为 n 沟道型;所述第 2 电源布线的至少一部分配置为与所述半导体层不重叠。

[0091] 根据本方式,因为 n 沟道型的半导体层构成为与第 2 电源布线不重叠,所以能够抑制在背沟道诱发载流子的情况。由此,能够抑制截止泄漏电流的产生,所以能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板。

[0092] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层为 p 沟道型;所述第 2 电源布线的至少一部分配置为与所述半导体层重叠。

[0093] 根据本方式,因为 p 沟道型的半导体层构成为与第 2 电源布线重叠,所以能够使背沟道的电位稳定。由此,因为能够减小截止泄漏电流,所以能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板。

[0094] 进而,在本发明的 EL 显示面板的一种方式中,所述第 1 电极为源电极,所述第 2 电

极为漏电极。此外,在本发明的 EL 显示面板的一种方式中,所述第 1 电极也可以为漏电极,所述第 2 电极也可以为源电极。

[0095] 进而,在本发明的 EL 显示面板的一种方式中,优选:通过由形成有所述栅极布线的层和形成有所述第 1 电源布线的层所夹的所述第 1 层间绝缘膜形成的单位面积的电容,比通过由形成有所述栅电极的层和形成有所述第 1 电源布线的层所夹的所述栅极绝缘膜形成的单位面积的电容小。在该情况下,在本发明的 EL 显示面板的一种方式中,优选:通过所述第 2 层间绝缘膜形成的电容小于 $1.5 \times 10^{-4} \text{F/m}^2$;由所述栅极绝缘膜形成的电容为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

[0096] 根据本方式,在第 1 层间绝缘膜和栅极绝缘膜为同一材料的情况下,第 1 层间绝缘膜的膜厚比栅极绝缘膜的膜厚要厚。由此,因为能够使第 1 层间绝缘膜上的栅极布线与第 1 层间绝缘膜下的第 1 电源布线之间的间隔分离为栅极绝缘膜的膜厚以上,所以能够进一步降低栅极布线与第 1 电源布线之间的寄生电容。

[0097] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述半导体层包含多结晶性半导体层。

[0098] 根据本方式,因为能够通过多结晶性半导体层提高载流子的迁移率,所以能够实现具备导通特性优异的薄膜晶体管的 EL 显示面板。

[0099] 进而,在本发明的 EL 显示面板的一种方式中,优选:构成所述第 2 电源布线及所述辅助布线的材料包含从 Al、Cu、Ag 中选择的任意一种元素。进而,在本发明的 EL 显示面板的一种方式中,优选:所述第 2 电源布线及所述辅助布线为多层布线;构成所述第 2 电源布线及所述辅助布线的主布线由从 Al、Cu、Ag 中选择的任意一种构成。

[0100] 根据本方式,因为在布线用材料之中也能够用电阻率小的金属材料来构成,所以能够进一步减小第 2 电源布线的电阻。

[0101] 进而,在本发明的 EL 显示面板的一种方式中,优选:所述 EL 部是所述发光层为有机发光层的有机 EL 部。

[0102] 根据本方式,能够实现显示性能优异的有机 EL 显示面板。

[0103] 此外,本发明的 EL 显示装置的一种方式具备上述的 EL 显示面板的方式。

[0104] 根据本方式,能够实现显示性能优异的 EL 显示装置。

[0105] 此外,本发明的 EL 显示面板的制造方法的一种方式包括:第 1 工序,准备基板;第 2 工序,在所述基板上形成栅电极;第 3 工序,覆盖所述栅电极而在所述基板上形成栅极绝缘膜;第 4 工序,在所述栅极绝缘膜上、在所述栅电极的上方形成半导体层;第 5 工序,在所述半导体层的上方形成第 1 电极,并且在与所述第 1 电极相同的层形成第 2 电极及与该第 2 电极电连接的第 1 电源布线;第 6 工序,覆盖所述第 1 电极及所述第 2 电极而在所述栅极绝缘膜的上方形成第 1 层间绝缘膜;第 7 工序,形成贯通所述栅极绝缘膜及所述第 1 层间绝缘膜的第 1 接触孔及贯通所述第 1 层间绝缘膜的第 2 接触孔;第 8 工序,通过在所述第 1 层间绝缘膜上进行金属膜的成膜并对该金属膜进行图案形成,而以与所述第 1 电源布线交叉的方式形成经由所述第 1 接触孔与所述栅电极电连接的栅极布线,并且以与所述栅极布线并行的方式形成经由所述第 2 接触孔与所述第 1 电源布线电连接的第 2 电源布线,进而以与所述第 2 电源布线并行的方式形成辅助布线;第 9 工序,以覆盖所述第 1 层间绝缘膜、所述第 2 电源布线及所述辅助布线的上面的方式形成第 2 层间绝缘膜;第 10 工序,形成贯通

所述辅助电极上的所述第 2 层间绝缘膜的所述第 3 接触孔；以及第 11 工序，在所述第 2 层间绝缘膜的上方，形成包含阳极电极、阴极电极和介于所述阳极电极与所述阴极电极之间的发光层的 EL 部；在所述第 11 工序中，经由所述第 3 接触孔将所述阴极电极与所述辅助布线电连接。

[0106] 根据本方式，能够容易地制造上述的本发明的 EL 显示面板。

[0107] 进而，在本发明的 EL 显示面板的制造方法的一种方式中，优选：由所述第 4 工序形成的半导体层为非结晶性半导体膜；在所述第 4 工序与所述第 5 工序之间，包含对于所述非结晶性半导体膜照射预定的激光，通过所述预定的激光的照射将所述非结晶性半导体膜的温度设为预定的温度范围，使所述非结晶性半导体膜结晶化的工序。

[0108] 根据本方式，能够形成包含多结晶性半导体膜的半导体层，能够制造包含导通特性优异的薄膜晶体管的 EL 显示面板。

[0109] 进而，在本发明的 EL 显示面板的制造方法的一种方式中，优选：所述 EL 部是由有机发光层形成了所述发光层的有机 EL 部。

[0110] 根据本方式，能够制造显示性能优异的有机 EL 显示面板。

[0111] 以下，关于本发明的 EL 显示面板、EL 显示面板的制造方法以及 EL 显示装置的实施方式及实施例，参照附图进行说明。另外，各附图是用于说明的示意图，膜厚及各部分的大小之比等未必是严格地表示的膜厚及各部分的大小之比。

[0112] （第 1 实施方式）

[0113] 首先，关于本发明的第 1 实施方式的 EL (Electro Luminescence, 电致发光) 面板，使用图 1 进行说明。图 1 是本发明的第 1 实施方式的有机 EL 显示面板的部分剖切立体图。

[0114] 如图 1 所示，本发明的第 1 实施方式的 EL 显示面板 1，是有机 EL 显示面板（有机 EL 显示器），具备自发光型显示元件即有机 EL 元件 10、包括形成有薄膜晶体管及各种布线等的有源矩阵基板的显示装置用薄膜半导体阵列装置 20。

[0115] 有机 EL 元件 10 具备依次形成于显示装置用薄膜半导体阵列装置 20 上的下部电极 12、有机发光层 13 及上部电极 14。有机发光层 13 通过层叠电子迁移层、发光层、空穴迁移层所构成。

[0116] 显示装置用薄膜半导体阵列装置 20 具备矩阵状（行列状）地配置有多个像素 100 的像素部，在各像素 100 设置有包含薄膜晶体管（未图示）的像素电路 30。此外，显示装置用薄膜半导体阵列装置 20 具备配置为矩阵状的栅极布线 21 及源极布线 22。栅极布线 21 在行方向排列多条，源极布线 22 在列方向排列多条。此外，栅极布线 21 及源极布线 22 构成正交，分别将各像素电路 30 与控制电路（未图示）连接。

[0117] 在各像素电路 30，作为用于选择像素 100 的开关元件及用于对有机 EL 元件 10 进行驱动的驱动元件，至少设置有 2 个薄膜晶体管。

[0118] 另外，虽然在图 1 中未图示，但是显示装置用薄膜半导体阵列装置 20 具备在列方向排列的多条第 1 电源布线 23A 及在行方向排列的多条第 2 电源布线 23B。多条第 1 电源布线 23A 与源极布线 22 平行地配置，并连接于各像素 100 的驱动元件。

[0119] 这样，本实施方式的有机 EL 显示面板 1 采用有源矩阵方式，该有源矩阵方式按由栅极布线 21 和源极布线 22 划分成的每像素 100 进行显示控制。

[0120] 接着，关于制作本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的一

例,使用图 2 进行说明。图 2 表示本发明的第 1 实施方式的显示装置用薄膜半导体阵列装置的母基板。如图 2 所示,母基板包含 2 个显示部 200,通过将该母基板切割为 2 块,可以得到 2 个显示装置用薄膜半导体阵列装置 20。各显示部 200 如上所述,矩阵状(行列状)地配置像素 100 而构成。另外,在图 2 中,对像素 100,仅图示了显示部 200 的角部的像素。此外,在图 2 中,设母基板包含 2 个显示部 200,示出了取得两块例子,但是显示部 200 也可以设为 2 个以上的多个,此外,也可以将显示部 200 设为仅 1 个。

[0121] 接着,关于本发明的第 1 实施方式的 EL 显示面板的像素的电路结构,使用图 3 进行说明。图 3 是本发明的第 1 实施方式的 EL 显示面板的一像素的电路结构图。以下,在图 3~图 15 所示的本发明的第 1 实施方式中,第 1 薄膜晶体管及第 2 薄膜晶体管作为 p 沟道型的 TFT 进行说明。

[0122] 如图 3 所示,各像素 100 具备像素电路 30 和有机 EL 元件 10,所述像素电路 30 包括第 1 薄膜晶体管 310、第 2 薄膜晶体管 320 及电容器 300C。第 1 薄膜晶体管 310 是用于选择像素 100 的选择晶体管(开关晶体管),第 2 薄膜晶体管 320 是用于对有机 EL 元件 10 进行驱动的驱动晶体管。

[0123] 第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 及第 1 栅电极 310G。第 1 源电极 310S 连接于源极布线 22,第 1 栅电极 310G 连接于栅极布线 21。此外,第 1 漏电极 310D 连接于电容器 300C 及第 2 薄膜晶体管 320 的第 2 栅电极 320G。当对栅极布线 21 及源极布线 22 施加电压时,第 1 薄膜晶体管 310 将施加于源极布线 22 的电压值作为显示数据保存于电容器 300C。

[0124] 第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏电极 320D 及第 2 栅电极 320G。第 2 漏电极 320D 连接于有机 EL 元件 10 的阳极(下部电极),第 2 源电极 320S 连接于第 1 电源布线 23A。此外,第 2 栅电极 320G 连接于第 1 薄膜晶体管 310 的第 1 漏电极 310D。第 2 薄膜晶体管 320 将与电容器 300C 所保持的电压值对应的电流从第 1 电源布线 23A 通过第 2 漏电极 320D 供给至有机 EL 元件 10 的阳极。

[0125] 在这样构成的像素 100 中,当对栅极布线 21 输入栅信号,将第 1 薄膜晶体管 310 设为导通状态时,经由源极布线 22 供给的信号电压被写入至电容器 300C。并且,写入至电容器 300C 的保持电压经过 1 帧期间而保持。通过该保持电压,第 2 薄膜晶体管 320 的电导模拟性地发生变化,与发光等级对应的驱动电流从有机 EL 元件 10 的阳极流向阴极(负极)。由此,有机 EL 元件 10 发光,作为图像而显示。

[0126] 接着,关于本发明的第 1 实施方式的 EL 显示面板 1 的像素的结构,使用图 4A 及图 4B 进行说明。图 4A 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含薄膜晶体管的剖面的剖面图。图 4B 是示意性地表示本发明的第 1 实施方式的 EL 显示面板的一像素的包含辅助布线的剖面的剖面图。

[0127] 如图 4A 所示,本发明的第 1 实施方式的 EL 显示面板 1 的各像素,具备用于选择像素的开关晶体管即第 1 薄膜晶体管 310 和驱动有机 EL 元件 10 的驱动晶体管即第 2 薄膜晶体管 320。如上所述,第 1 薄膜晶体管 310 具有第 1 源电极 310S、第 1 漏电极 310D 及第 1 栅电极 310G。此外,第 2 薄膜晶体管 320 具有第 2 源电极 320S、第 2 漏电极 320D 及第 2 栅电极 320G。

[0128] 如图 4A 所示,在各像素中,在基板 300 上,形成第 1 栅电极 310G 及第 2 栅电极

320G。此外,以覆盖第1栅电极310G及第2栅电极320G的方式,形成栅极绝缘膜330。

[0129] 在第1栅电极310G的上方、栅极绝缘膜330之上,形成第1半导体层311。此外,在第2栅电极320G的上方、栅极绝缘膜330之上,形成第2半导体层321。

[0130] 一对第1源电极310S及第1漏电极310D覆盖第1半导体层311的一部分而以相互相对的方式分离配置。此外,一对第2源电极320S及第2漏电极320D覆盖第2半导体层321的一部分而以相互相对的方式分离配置。

[0131] 第1薄膜晶体管310的第1源电极310S与源极布线22电连接。此外,第2薄膜晶体管320的第2源电极320S与第1电源布线23A电连接。

[0132] 进而,以覆盖第1薄膜晶体管310及第2薄膜晶体管320的方式,形成第1层间绝缘膜340(下部层间绝缘膜)。第1层间绝缘膜340例如作为用于保护第1薄膜晶体管310及第2薄膜晶体管320的钝化膜而起作用。

[0133] 在第1层间绝缘膜340上,形成第2电源布线23B。第2电源布线23B经由形成于第1层间绝缘膜340的接触孔与第1电源布线23A电连接。

[0134] 以覆盖第2电源布线23B的方式在第1层间绝缘膜340上形成第2层间绝缘膜350(上部层间绝缘膜)。第2层间绝缘膜350例如作为用于使显示装置用薄膜半导体装置(薄膜半导体部)的上面变得平坦的平坦化膜而起作用。由此,能够平坦地形成上层的有机EL元件10。

[0135] 在第2层间绝缘膜350上,形成依次层叠有下部电极12、有机发光层13及上部电极14的有机EL元件10。在第2层间绝缘膜350上,在与相邻像素的边界部分形成堤栏(bank)15。在通过相邻的堤栏15构成的开口,形成下部电极12及有机发光层13。

[0136] 下部电极12是以像素为单位配置的阳极电极(正极),其形成于第2层间绝缘膜350上。下部电极12经由贯通第1层间绝缘膜340及第2层间绝缘膜350的接触孔,与第2薄膜晶体管的第2漏电极320D电连接。

[0137] 有机发光层13(有机EL层)以颜色(子像素列)为单位或以子像素为单位形成,由预定的有机发光材料构成。

[0138] 上部电极14配置于有机发光层13的上方,是以跨多个像素的方式形成的阴极电极(负极),其通过ITO等透明电极构成。在本实施方式中,上部电极14是全部像素所共用的共用电极。另外,在本实施方式中,上部电极14是接地电位。

[0139] 此外,如图4B所示,在第1层间绝缘膜340上,形成有辅助布线25。辅助布线25与有机EL元件10的上部电极14电连接,防止上部电极14在显示画面的中央区域产生的电压下降。辅助布线25作为对上部电极14供给预定的电源的EL电源线而起作用。

[0140] 另外,在本实施方式中,在有机EL层L3,不形成与上部电极14电连接的辅助布线。

[0141] 电极部120构成为,从第2薄膜晶体管320的第2漏电极320D延伸设置。如图4B所示,电极部120经由中继电极与有机EL元件10的下部电极12电连接。由此,第2薄膜晶体管320的第2漏电极320D与下部电极12电连接。

[0142] 在这样构成的EL显示面板1中,将最下层的形成薄膜晶体管的层设为TFT层(TFT部)L1,将最上层的形成有机EL元件10的层设为有机EL层(有机EL部)L3,将TFT层L1与有机EL层L3之间的层、即形成各种布线的层设为布线层(布线部)L2。在该布线层L2,如图4A及图4B所示,例如形成第2电源布线23B及辅助布线25等。此外,在本实施方式

中,通过 TFT 层 L1 和布线层 L2 构成薄膜半导体部。

[0143] 此外,在 TFT 层 L1 中,将形成第 1 栅电极 310G 及第 2 栅电极 320G 的层设为第 1 金属层 ML1。此外,将形成一对第 1 源电极 310S 及第 1 漏电极 310D 和一对第 2 源电极 320S 及第 2 漏电极 320D 的层设为第 2 金属层 ML2。从而,如图 4A 及图 4B 所示,在本实施方式中,源极布线 22 形成于第 2 金属层 ML2。

[0144] 此外,在布线层 L2 中,将形成电源布线 23 的层设为第 3 金属层 ML3。另外,虽然后面描述,但是在第 3 金属层 ML3,除了第 2 电源布线 23B 及辅助布线 25 以外,还形成栅极布线 21。

[0145] 在这些第 1 金属层 ML1 ~ 第 3 金属层 ML3 中,形成于同一金属层的电极及布线等金属部件,能够通过同一金属膜进行图案形成而同时形成。

[0146] 接着,关于本发明的第 1 实施方式的 EL 显示面板 1,使用图 5 ~ 图 7 进行说明。图 5 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 元件 10 的上部电极及发光层的状态。图 6 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 层 L1 及第 2 层间绝缘膜的状态。此外,图 7 是本发明的第 1 实施方式的 EL 显示面板的俯视图,表示透过了有机 EL 层 L1、布线层 L2 及第 1 层间绝缘膜的状态。

[0147] 如图 5 所示,本发明的第 1 实施方式的 EL 显示面板 1,具备排列为矩阵状(行列状)的像素 100,在各像素 100,配置下部电极 12。

[0148] 此外,如图 6 所示,沿像素 100 的行方向,互相平行地配置多条栅极布线 21、多条第 2 电源布线 23B 及多条辅助布线 25。

[0149] 在相邻的栅极布线 21 之间,配置第 2 电源布线 23B 及辅助布线 25,第 2 电源布线 23B 及辅助布线 25 与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置。

[0150] 另外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25,形成于图 4A 及图 4B 所示的布线层 L2 的第 3 金属层 ML3。此外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25 形成于第 1 层间绝缘膜 340(未图示)上。

[0151] 图 7 是在图 6 中透过了栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的状态的图。另外,在图 6 中,关于形成栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的区域,由虚线进行表示。

[0152] 如图 7 所示,本发明的第 1 实施方式的 EL 显示装置 1,具备沿像素 100 的列方向互相平行地配置的多条源极布线 22 及多条第 1 电源布线 23A。

[0153] 第 1 电源布线 23A 和源极布线 22,形成于图 4A 所示的 TFT 层 L1 的第 2 金属层 ML2,且配置为与形成于上层的布线层 L2 的栅极布线 21、第 2 电源布线 23B 及辅助布线 25 立体交叉。

[0154] 接着,关于图 5 ~ 图 7 中的各像素 100 的详细结构,使用图 8 ~ 图 10、图 11A、图 11B、图 11C、图 12A 及图 12B 进行说明。图 8 ~ 图 10 分别对应于图 5 ~ 图 7 的各像素 100,是本发明的第 1 实施方式的 EL 显示面板的俯视图。图 11A 是沿图 9 的 X1-X1' 线剖切而得到的剖面图,图 11B 是沿图 9 的 X2-X2' 线剖切而得到的剖面图,图 11C 是沿图 8 的 X3-X3' 线剖切而得到的剖面图。此外,图 12A 是从图 9 的 X4-X4' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。图 12B 是从图 10 的 X3-X3' 剖面看时的本发明的第 1 实施方式的 EL 显示面板的立体图。

[0155] 如图 8～图 10 所示,本发明的第 1 实施方式的 EL 显示面板 1 具备显示装置用薄膜半导体装置,所述显示装置用薄膜半导体装置具有基板 300、第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320、栅极布线 21、源极布线 22、第 1 电源布线 23A、第 2 电源布线 23B、辅助布线 25 和第 1 层间绝缘膜 340。

[0156] 第 1 薄膜晶体管 310 是第 1 栅电极 310G、栅极绝缘膜 330、第 1 半导体层 311(沟道层)、一对第 1 源电极 310S 及第 1 漏电极 310D 的层叠结构体。此外,第 2 薄膜晶体管 320 是第 2 栅电极 320G、栅极绝缘膜 330、第 2 半导体层 321(沟道层)、一对第 2 源电极 320S 及第 2 漏电极 320D 的层叠结构体。

[0157] 在本实施方式中,第 1 薄膜晶体管 310、第 2 薄膜晶体管 320、源极布线 22 及第 1 电源布线 23A 形成于图 4A 所示的 TFT 层 L1。此外,栅极布线 21、第 2 电源布线 23B 及辅助布线 25 形成于图 4A 及图 4B 所示的布线层 L2。

[0158] 以下,关于本发明的第 1 实施方式的 EL 显示面板 1 的各构成要素,从下层的构成要素开始按顺序进行详述。

[0159] 第 1 栅电极 310G 及第 2 栅电极 320G,如图 10、图 11A、图 11B 及图 12B 所示,在基板 300 上图案形成成为岛状。第 1 栅电极 310G 及第 2 栅电极 320G 形成于图 4A 所示的第 1 金属层 ML1。

[0160] 栅极绝缘膜 330,如图 11A 及图 11B 所示,以覆盖第 1 栅电极 310G 及第 2 栅电极 320G 的方式在基板 300 上形成。此外,栅极绝缘膜 330 在形成接触孔的区域以外的区域,形成于基板 300 上的整面。

[0161] 第 1 半导体层 311,如图 10 及图 11B 所示,在栅极绝缘膜 330 上、第 1 栅电极 310G 的上方图案形成成为岛状。此外,第 2 半导体层 321 在栅极绝缘膜 330 上、第 2 栅电极 320G 的上方图案形成成为岛状。

[0162] 另外,第 1 半导体层 311 及第 2 半导体层 321 能够设为 n 沟道型或 p 沟道型。在本实施方式中,因为第 1 半导体层 311 及第 2 半导体层 321 由正电位的第 2 电源布线 23B 覆盖,所以第 1 半导体层 311 及第 2 半导体层 321 都设为 p 沟道型。

[0163] 第 1 薄膜晶体管 310 中的一对第 1 源电极 310S 及第 1 漏电极 310D,如图 10 及图 11B 所示,形成成为在第 1 半导体层 311 的上方与第 1 半导体层 311 重叠,此外形成成为相互相对。这些第 1 源电极 310S 及第 1 漏电极 310D 形成于图 4A 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0164] 另外,在本说明书中,所谓“重叠”,指从上下方向看处于互相重合的位置关系。

[0165] 进而,第 1 漏电极 310D,如图 10 及图 11B 所示,形成成为与第 2 薄膜晶体管 320 的第 2 栅电极 320G 重叠。第 1 漏电极 310D 与第 2 栅电极 320G 通过第 4 接触部 114(第 4 导电部)电连接。第 4 接触部 114,通过在第 1 漏电极 310D 与第 2 栅电极 320G 重叠的位置、在形成于厚度方向的第 4 接触孔埋入导电部件而构成。在本实施方式中,如图 11B 所示,第 4 接触部 114,通过在贯通栅极绝缘膜 330 而形成的第 4 接触孔埋入第 1 漏电极 310D 的一部分而构成。

[0166] 另外,如图 11B 所示,对应于第 4 接触部 114 的第 4 接触孔,形成于栅极绝缘膜 330。在本实施方式中,第 4 接触部 114 如图 10 所示形成有 3 个。

[0167] 此外,第 2 薄膜晶体管 320 中的一对第 2 源电极 320S 及第 2 漏电极 320D,如图 10

及图 11B 所示,形成为在第 2 半导体层 321 的上方与第 2 半导体层 321 重叠,此外形成为相互相对。这些第 1 源电极 310S 及第 1 漏电极 310D 形成于处于 TFT 层 L1 的第 2 金属层 ML2。

[0168] 进而,如图 10 及图 12B 所示,第 2 漏电极 320D 沿列方向(纵向方向)直线状地延伸设置,在与第 2 半导体层 321 的相反侧部分形成有比延伸设置部分幅度宽的岛状的电极部 120。

[0169] 电极部 120 经由第 3 接触部 113(第 3 导电部)及与栅极布线 21 同层的中继电极与有机 EL 元件 10 的下部电极 12 电连接。第 3 接触部 113 通过在第 3 接触孔(孔部)埋入导电材料而构成,所述第 3 接触孔形成为贯通形成于电极部 120 的上层的第 1 层间绝缘膜 340 及第 2 层间绝缘膜 350。

[0170] 源极布线 22,如图 10、图 11A、图 11B 及图 12B 所示,沿像素 100 的列方向(纵向方向)形成为线状。源极布线 22,配置为通过第 1 薄膜晶体管 310 的附近,构成为与第 1 源电极 310S 电连接。

[0171] 在本实施方式中,形成为:线状的源极布线 22 的一部分作为第 1 源电极 310S 而起作用,源极布线 22 与第 1 半导体层 311 重叠。在本实施方式中,源极布线 22 形成于图 4A 及图 4B 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0172] 另外,源极布线 22,关于与第 1 薄膜晶体管 310 重叠的部分以外的部分,形成于栅极绝缘膜 330 上。此外,源极布线 22 构成为,与后述的栅极布线 21、第 2 电源布线 23B 及辅助布线 25 隔着第 1 层间绝缘膜 340 立体交叉。

[0173] 第 1 电源布线 23A 与源极布线 22 同样,沿像素 100 的列方向(纵向方向)形成为线状。第 1 电源布线 23A,配置为通过第 2 薄膜晶体管 320 的附近,构成为与第 2 源电极 320S 电连接。

[0174] 在本实施方式中,形成为:线状的第 1 电源布线 23A 的一部分作为第 2 源电极 320S 而起作用,第 1 电源布线 23A 与第 2 半导体层 321 重叠。第 1 电源布线 23A 为正电位,对于第 2 薄膜晶体管 320 的第 2 源电极 320S 供给电源。在本实施方式中,第 1 电源布线 23A 形成于图 4A 所示的处于 TFT 层 L1 的第 2 金属层 ML2。

[0175] 另外,第 1 电源布线 23A,关于与第 2 薄膜晶体管 320 重叠的部分以外的部分,形成于栅极绝缘膜 330 上。此外,第 1 电源布线 23A 构成为,与后述的栅极布线 21 及第 2 电源布线 23B 隔着第 1 层间绝缘膜 340 立体交叉。

[0176] 这样构成的源极布线 22 与第 1 电源布线 23A,配置为互相平行。此外,如上所述,源极布线 22 及第 1 电源布线 23A 形成于与一对第 1 源电极 310S 及第 1 漏电极 310D 以及一对第 2 源电极 320S 及第 2 漏电极 320D 相同的层的第 2 金属层 ML2,通过对同一金属膜进行图案形成而形成。

[0177] 第 1 层间绝缘膜 340,如图 11A 及图 11B 所示,形成为覆盖第 1 薄膜晶体管 310、第 2 薄膜晶体管 320、源极布线 22 及第 1 电源布线 23A。第 1 层间绝缘膜 340 构成为,是 TFT 层 L1 的最上层,覆盖形成于下部的电极和/或布线整体。

[0178] 栅极布线 21,如图 9 所示,沿像素 100 的行方向(横向方向)形成为线状。进而,栅极布线 21,如图 11A 所示,形成于第 1 层间绝缘膜 340 上,形成于图 4A 所示的处于布线层 L2 的第 3 金属层 ML3。即,栅极布线 21 形成于与形成有第 1 栅电极 310G 等的层(第 1 金

属层 ML1) 及形成有第 1 电源布线 23A 和 / 或源极布线 22 等的层 (第 2 金属层 ML2) 不同的层。

[0179] 此外,栅极布线 21,配置为通过第 1 薄膜晶体管 310 的附近,构成为与第 1 栅电极 310G 电连接。在本实施方式中,如图 10 及图 11A 所示,配置为栅极布线 21 与第 1 栅电极 310G 立体交叉,在该立体交叉部 (重叠部分),栅极布线 21 与第 1 栅电极 310G 经由第 1 接触部 111 (第 1 导电部) 电连接。

[0180] 第 1 接触部 111,通过在栅极布线 21 与第 1 栅电极 310G 重叠的位置、在形成于厚度方向的第 1 接触孔埋入导电部件而构成。在本实施方式中,如图 11A 所示,第 1 接触部 111,通过在贯通第 1 层间绝缘膜 340 及栅极绝缘膜 330 而形成的第 1 接触孔埋入栅极布线 21 的一部分而构成。

[0181] 第 2 电源布线 23B,如图 9 所示,沿像素 100 的行方向 (横向方向) 形成为线状。此外,如图 11B 所示,第 2 电源布线 23B,形成于第 1 层间绝缘膜 340 上,形成于图 4A 所示的处于布线层 L2 的第 3 金属层 ML3。即,第 2 电源布线 23B,如图 12A 所示,与栅极布线 21 形成于相同的层。

[0182] 此外,第 2 电源布线 23B,如图 9 所示,以与栅极布线 21 及辅助布线 25 并行的方式,配置于栅极布线 21 与辅助布线 25 之间。进而,第 2 电源布线 23B 配置为与第 1 电源布线 23A 立体交叉,在该立体交叉部分 (重叠部分),第 2 电源布线 23B 与第 1 电源布线 23A 经由形成于厚度方向的第 2 接触部 112 (第 2 导电部) 电连接。从而,在本实施方式中,第 2 电源布线 23B 的电位为与第 1 电源布线 23A 相同的正电位。

[0183] 第 2 接触部 112,如图 11B 所示,通过在以贯通第 1 层间绝缘膜 340 的方式形成的第 2 接触孔埋入导电材料而构成。在本实施方式中,第 2 接触部 112,通过在第 2 接触孔埋入第 2 电源布线 23B 的一部分而构成。此外,在本实施方式中,第 2 接触部 112,如图 9 及图 10 所示,形成有 16 个 (8 行 2 列)。

[0184] 另外,在本实施方式中,构成第 2 电源布线 23B 的材料,能够由从 Al (铝)、Cu (铜)、Ag (银) 选择的任意一种元素构成。此外,还能够构成为,将第 2 电源布线 23B 设为多层布线,构成第 2 电源布线 23B 的主布线由从 Al、Cu、Ag 选择的任意一种元素构成。

[0185] 辅助布线 25,如图 9 所示,沿像素 100 的行方向 (横向方向) 形成为线状。此外,如图 11C 所示,辅助布线 25,形成于第 1 层间绝缘膜 340 上,形成于图 4B 所示的处于布线层 L2 的第 3 金属层 ML3。即,辅助布线 25,如图 12A 所示,与栅极布线 21 及第 2 电源布线 23B 形成于相同的层。

[0186] 此外,辅助布线 25,如图 9 所示,配置为与第 2 电源布线 23B 并行。进而,辅助布线 25,配置为与第 1 电源布线 23A 立体交叉,经由形成于该立体交叉部分 (重叠部分) 的第 5 接触部 115 (第 5 导电部),如图 11C 所示,与在比辅助布线 25 靠上层形成的上部电极 14 电连接。从而,在本实施方式中,辅助布线 25 的电位为与上部电极 14 相同的电位。

[0187] 第 5 接触部 115,如图 11C 所示,通过在以贯通辅助布线 25 上的第 2 层间绝缘膜 350 的方式形成的第 5 接触孔埋入导电材料而构成。在本实施方式中,第 5 接触部 115,通过在第 5 接触孔埋入上部电极 14 的一部分而构成。此外,在本实施方式中,第 5 接触部 115,如图 8 ~ 图 10 所示,形成有 16 个 (8 行 2 列)。

[0188] 如图 11C 所示,在第 2 层间绝缘膜 350 上,形成有机 EL 元件 10。在本实施方式中,

在第2层间绝缘膜350上,形成有机EL元件10的下部电极12。下部电极12,如图8所示,按每像素100而形成,以除去形成第5接触部115的部分的方式进行图案形成。另外,在下部电极12上,依次形成有机发光层13及上部电极14。

[0189] 这样,本实施方式的EL显示面板1配置为,栅极布线21、第2电源布线23B及辅助布线25,与源极布线22及第1电源布线23A正交并且立体交叉。此外,栅极布线21、第2电源布线23B及辅助布线25,形成于第1层间绝缘膜340上的处于布线层L2的第3金属层ML3,与形成于TFT层L1的第1金属层ML1的第1栅电极310G及第2栅电极320G,形成于不同的层。进而,栅极布线21、第2电源布线23B及辅助布线25,即与形成于TFT层L1的第2金属层ML2的源极布线22及第1电源布线23A形成于不同的层、此外也与有机EL层L1形成于不同的层。

[0190] 接着,关于本发明的第1实施方式的EL显示面板1的制造方法,使用图13A~图13J进行说明。图13A~图13J是示意性地表示本发明的第1实施方式的EL显示面板的制造方法的各工序的剖面图。另外,图13A~图13J对应于图9的X2-X2'线剖面。

[0191] 首先,如图13A所示,准备基板300。作为基板300,能够使用通过石英玻璃等玻璃材料构成的绝缘性的基板。另外,为了防止从基板300的杂质的扩散,也可以将由氧化硅膜或氮化硅膜构成的底涂层形成于基板300的上面。底涂层的膜厚为100nm左右。

[0192] 接着,在用纯水等进行了清洗之后,通过溅射等将具有耐热性的第1金属膜成膜于基板300上的整面,此后,通过光刻及湿法蚀刻等将第1金属膜图案形成成为预定形状,由此如图13B所示,形成第1栅电极G及第2栅电极320G。作为第1金属膜的材料,能够使用有耐热性的Mo、W、Ta、Ti、Ni中的任一金属或它们的合金。在本实施方式中,使用Mo,以100nm左右的膜厚对第1金属膜进行成膜。

[0193] 接着,如图13C所示,以覆盖第1栅电极310G及第2栅电极320G的方式,在基板300上的整面形成栅极绝缘膜330。作为栅极绝缘膜330的材料,能够使用氧化硅膜(SiO_2)、氮化硅膜(SiN)或它们的复合膜。此外,在本实施方式中,作为栅极绝缘膜330的膜厚,以200nm左右的膜厚进行了成膜。

[0194] 接着,如图13D所示,在栅极绝缘膜330上,进行非结晶性半导体膜301的成膜。在本实施方式中,作为非结晶性半导体膜301,使用非晶质硅膜(非晶硅膜),通过等离子体CVD,以50nm左右进行了成膜。另外,栅极绝缘膜330及非结晶性半导体膜301,能够不破坏真空地通过连续等离子体CVD等进行成膜。

[0195] 此后,如由图13D的箭头所示,通过对非结晶性半导体膜301实施由受激准分子激光等进行的激光照射,使非结晶性半导体膜301结晶化而改质为多结晶性半导体膜。具体地,例如,通过对非晶质硅膜照射受激准分子激光等,使非晶质硅膜的温度上升至预定的温度范围,由此使非晶质硅膜结晶化而扩大晶体粒径而成为多结晶性半导体膜。在此,所谓预定的温度范围,例如为 $1100^{\circ}\text{C}\sim 1414^{\circ}\text{C}$ 。此外,多结晶性半导体内的平均晶体粒径为 $20\text{nm}\sim 60\text{nm}$ 。

[0196] 在此,第1栅电极310G及第2栅电极320G,因为在该激光照射工序中暴露于高温,所以优选由熔点比所述温度范围的上限值(1414°C)高的金属构成。另一方面,在以后的工序中形成于第2金属层ML2及第3金属层ML3的布线及电极,也可以由熔点比所述温度范围的下限值(1100°C)低的金属构成。

[0197] 另外,在激光的照射之前,作为预处理,优选以 400℃~500℃进行 30 分钟的退火处理。此外,在激光的照射之后,优选在真空中进行数秒~数十秒的氢等离子体处理。

[0198] 接着,如图 13E 所示,通过光刻及湿法蚀刻等,将结晶化了的非结晶性半导体膜 301 图案形成为岛状,形成第 1 半导体层 311 及第 2 半导体层 321。

[0199] 接着,如图 13F 所示,为了将第 1 漏电极 310D 与第 2 栅电极 320G 电连接,通过光刻及湿法蚀刻等,形成贯通栅极绝缘膜 330 的第 4 接触孔 CH4。

[0200] 接着,如图 13G 所示,通过溅射等,以覆盖栅极绝缘膜 330 和第 1 半导体层 311 及第 2 半导体层 321 的方式进行第 2 金属膜(未图示)的成膜,通过光刻及湿法蚀刻等对第 2 金属膜进行图案形成,由此将源极布线 22、第 1 电源布线 23A、第 1 源电极 310S 及第 1 漏电极 310D 以及第 2 源电极 320S 及第 2 漏电极 320D 形成为预定形状。此时,在第 4 接触孔 CH4 也填充构成第 2 金属膜的材料,形成第 4 接触部 114。

[0201] 另外,作为构成源极布线 22、第 1 电源布线 23A、第 1 源电极 310S 及第 1 漏电极 310D 以及第 2 源电极 320S 及第 2 漏电极 320D 的第 2 金属膜的材料,优选是低电阻金属,能够使用 Al、Cu、Ag 中的任一金属或它们的合金。在本实施方式中,使用 Al,以 300nm 左右的膜厚进行了第 2 金属膜的成膜。进而,优选在 Al 的上部、下部或双方形成 Mo 等高耐热性的金属作为势垒金属。势垒金属的厚度为 50nm 左右。此外,在进一步要求布线的低电阻化的情况下,优选不用 Al 而使用 Cu。另外,通过不改变材料而使第 2 金属膜的厚度增加也能够实现低电阻化。

[0202] 此外,优选在第 1 源电极 310S 与第 1 半导体层 311 之间及第 1 漏电极 310D 与第 1 半导体层 311 之间,形成低电阻半导体膜。该低电阻半导体膜一般使用作为杂质而掺杂有磷等 n 型掺杂剂的非晶质硅膜、或作为杂质而掺杂有硼等 p 型掺杂剂的非晶质硅膜。作为低电阻半导体膜的膜厚,能够设为 20nm 左右。进而,在结晶化了的第 1 半导体层 311 与低电阻半导体膜(掺杂有杂质的非晶质硅膜)之间,也可以形成由非晶质硅构成的未掺杂(刻意不掺杂杂质)的半导体膜。通过形成这些膜,能够使 TFT 特性提高等得到期望的 TFT 特性。另外,关于第 2 薄膜晶体管 320 也同样。

[0203] 接着,如图 13H 所示,通过等离子体 CVD,以覆盖第 1 源电极 310S、第 1 漏电极 310D、第 2 源电极 320S 及第 2 漏电极 320D 等露出的电极及布线的方式,在基板 300 上的整面形成第 1 层间绝缘膜 340。第 1 层间绝缘膜 340 能够由氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0204] 接着,如图 13I 所示,为了将第 1 电源布线 23A 与第 2 电源布线 23B 连接,通过光刻及蚀刻等,形成贯通第 1 层间绝缘膜 340 的第 2 接触孔 CH2。此时,虽然未图示,但是为了将第 1 栅电极 310G 与栅极布线 21 连接,也形成连续贯通第 1 层间绝缘膜 340 及栅极绝缘膜 330 的第 1 接触孔。

[0205] 接着,如图 13J 所示,通过溅射等在第 1 层间绝缘膜 340 上形成第 3 金属膜,并通过光刻及蚀刻等将第 3 金属膜图案形成为预定形状,由此形成栅极布线 21、第 2 电源布线 23B 及辅助布线 25。此时,在第 2 接触孔 CH2 及第 1 接触孔(未图示)也填充构成第 3 金属膜的材料,形成第 2 接触部 112 及第 1 接触部 111。

[0206] 另外,构成栅极布线 21、第 2 电源布线 23B 及辅助布线 25 的第 3 金属膜的材料,优选是低电阻材料,能够由与第 2 金属层相同的金属材料构成。例如,通过在作为势垒金属而

形成了 50nm 的 Mo 之后,形成 300nm 的 Al,能够构成第 3 金属膜。

[0207] 虽然未图示,但是此后,通过等离子体 CVD 等形成第 2 层间绝缘膜 350。第 2 层间绝缘膜 350 能够由与第 1 层间绝缘膜 340 同样的材料构成,例如,能够由氧化硅膜、氮化硅膜或这些膜的层叠膜构成。

[0208] 然后,在第 2 层间绝缘膜 350 上,依次形成下部电极 12、有机发光层 13 及上部电极 14。另外,在中途,以使辅助布线 25 露出的方式在第 2 层间绝缘膜 350 形成第 5 接触孔,使辅助布线 25 与上部电极 14 经由第 5 接触孔电连接。

[0209] 通过以上,能够制造本发明的第 1 实施方式的 EL 显示面板 1。

[0210] 以上,根据本发明的第 1 实施方式的 EL 显示面板 1,栅极布线 21 形成于第 1 层间绝缘膜 340 上的 TFT 层 L2,配置于与第 1 栅电极 310G(及第 2 栅电极 320G)单独的层(不同的层)。由此,栅极布线 21 与第 1 栅电极 310G(及第 2 栅电极 320G)能够分别选择适合的材料。

[0211] 进而,根据本实施方式的 EL 显示面板 1,栅极布线 21 配置于第 1 层间绝缘膜 340 的上层,另一方面,第 1 电源布线 23A(或源极布线 22)在第 1 层间绝缘膜 340 的下层配置于与第 1 漏电极 310D 及第 2 源电极 320S 相同的层的第 2 金属层 ML2(TFT 层 L1)。由此,栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的间隔不依赖于第 1 栅电极 310G(或第 2 栅电极 320G)与第 1 漏电极 310D(或第 2 源电极 320S)之间的间隔,而对应于形成于第 1 漏电极 310D(或第 2 源电极 320S)上的第 1 层间绝缘膜 340 的膜厚。

[0212] 在此,形成于第 1 漏电极 310D(或第 2 源电极 320S)上的第 1 层间绝缘膜 340,由于是对薄膜半导体部(显示装置用薄膜半导体装置)的表面进行保护的膜,所以即使将其膜厚加厚对薄膜半导体部的性能也不产生影响。从而,通过增大第 1 层间绝缘膜 340 的膜厚,能够增大栅极布线 21 与第 1 漏电极 310D(或第 2 源电极 320S)之间的间隔。由此,因为能够确保栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的膜厚间距离,所以能够降低栅极布线 21 与第 1 电源布线 23A(或源极布线 22)之间的寄生电容。

[0213] 进而,根据本实施方式的 EL 显示面板 1,电连接于第 2 源电极 320S 的第 1 电源布线 23A 与第 2 电源布线 23B 配置为立体交叉,这些第 1 电源布线 23A 与第 2 电源布线 23B 经由第 2 接触部 112 电连接。由此,第 2 薄膜晶体管 320 的第 2 源电极 320S 能够从纵向方向的第 1 电源布线 23A 和横向方向的第 2 电源布线 23B 双方向接受电源供给。从而,对于伴随着显示装置大画面化而在显示区域的中央区域产生的 IR 压降,能够降低 IR 压降量。其结果,能够减轻显示装置的辉度不均。尤其是,因为有机 EL 显示面板是电流驱动型的显示面板,所以为了抑制辉度不均,优选降低布线电阻而减小 IR 压降。

[0214] 进而,根据本实施方式的 EL 显示面板 1,第 2 电源布线 23B 及辅助布线 25,在第 1 层间绝缘膜 340 上与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置。由此,能够通过第 2 电源布线 23B 及辅助布线 25 填埋由于在第 1 层间绝缘膜 340 上配置栅极布线 21 而形成的凹凸的凹部。

[0215] 即,通过第 2 电源布线 23B 及辅助布线 25,能够减轻第 1 层间绝缘膜 340 上的凹凸,能够使薄膜半导体部的平坦度提高。其结果,能够减轻第 1 层间绝缘膜 340 上的凹凸对上层产生的影响。从而,因为能够提高形成于薄膜半导体部上的有机 EL 元件 10 的平坦性,所以能够抑制 EL 显示面板的发光辉度不均等。而且,在该情况下,因为不需要使形成于有

机 EL 元件 10 的下层的第 2 层间绝缘膜等平坦化膜厚膜化,所以能够实现更薄型的 EL 显示面板。

[0216] 进而,根据本实施方式的 EL 显示面板 1,对于特定的 1 个像素的第 2 薄膜晶体管 320,能够从列方向的第 1 电源布线 23A 及行方向的第 2 电源布线 23B 双方向供给电力。由此,例如,即使假设与某像素的第 2 薄膜晶体管 320 连接的第 1 电源布线 23A 存在断线不良等,也能够通过作为另一方电源布线的第 2 电源布线 23B 对于该像素的第 2 薄膜晶体管 320 供给电力。即,对于 1 个像素能够通过 2 条电源布线供给电力。从而,因为能够抑制像素不良,所以能够抑制 EL 显示面板的显示不均。

[0217] 这样,在本实施方式中,第 2 电源布线 23B 具有作为电源供给用的后备布线的功能,并且也具有作为平坦化膜的功能。

[0218] 进而,根据本实施方式的 EL 显示面板 1,用于防止伴随着 EL 显示面板的大画面化而在显示画面的中央区域产生的电压下降的辅助布线 25(EL 电源线),不配置于 EL 部(有机 EL 层 L3),而配置于布线层 L2、即薄膜半导体部。而且,该辅助布线 25 在第 1 层间绝缘膜 340 的上面,与栅极布线 21 及第 2 电源布线 23B 一起并行地配置。由此,能够有效活用在栅极布线 21 及第 2 电源布线 23B 的配置中所利用的已有层,来配置辅助布线 25。这样,通过将配置于 EL 部的辅助布线 25 移至薄膜半导体部的已有层,不会对薄膜半导体部增加空间上的负担,而能够释放以往为了配置 EL 部的辅助布线而利用的空间。从而,能够扩大 EL 部的设计的自由度,并且能够增大各像素的开口率。

[0219] 以上,在本实施方式的 EL 显示面板 1 中,若将通过栅极布线 21、第 1 电源布线 23A、由栅极布线 21 和第 1 电源布线 23A 所夹的第 1 层间绝缘膜 340 形成的单位面积的电容设为 C_{PAS} ,将通过第 1 栅电极 310G、第 1 电源布线 23A、由第 1 栅电极 310G 和第 1 电源布线 23A 所夹的栅极绝缘膜 330 形成的单位面积的电容设为 C_{GI} ,则优选 $C_{PAS} < C_{GI}$ 。

[0220] 即,优选:通过由形成有栅极布线 21 的层、即第 3 金属层 ML3 和形成有第 1 电源布线 23A 的层、即第 2 金属层 ML2 所夹的第 1 层间绝缘膜 340 形成的单位面积的电容 C_{PAS} ,比通过由形成有第 1 栅电极 310G 的层、即第 1 金属层 ML1 和形成有第 1 电源布线 23A 的层、即第 2 金属层 ML2 所夹的栅极绝缘膜 330 形成的单位面积的电容 C_{GI} 小。

[0221] 由此,若将第 1 层间绝缘膜 340 的膜厚设为 d_{PAS} ,将栅极绝缘膜 33 的膜厚设为 d_{GI} ,则第 1 层间绝缘膜 340 与栅极绝缘膜 330 为同一材料的情况下,能够设为 $d_{PAS} > d_{GI}$ 。由此,因为能够使第 1 层间绝缘膜 340 上的栅极布线 21 与第 1 层间绝缘膜 340 之下的第 1 电源布线 23A 之间的间隔分离为栅极绝缘膜 330 的膜厚以上,所以能够进一步降低栅极布线 21 与第 1 电源布线 23A 之间的寄生电容。此外,同样地,因为关于栅极布线 21 与源极布线 22 之间的间隔也能够使其分离为栅极绝缘膜 330 的膜厚以上,所以关于栅极布线 21 与源极布线 22 之间的寄生电容也能够进一步降低。

[0222] 更具体地,优选:通过第 1 层间绝缘膜 340 形成的电容 C_{PAS} 小于 $1.5 \times 10^{-4} \text{F/m}^2$ 。此外,优选:通过栅极绝缘膜 330 形成的电容 C_{GI} 为 $1.5 \times 10^{-4} \text{F/m}^2$ 以上。

[0223] 此外,在本实施方式的 EL 显示面板 1 中,因为第 2 电源布线 23B 如图 9 所示,构成为覆盖第 1 半导体层 311 及第 2 半导体层 321,所以优选第 1 半导体层 311 及第 2 半导体层 321 都构成为 p 沟道型。

[0224] 在薄膜晶体管的半导体层(沟道区域)中,在半导体层的表面和被覆薄膜晶体管

的层间绝缘膜的表面,有时在制造时会产生晶格缺陷。若产生该晶格缺陷,则会产生不稳定的界面能级,半导体层的背沟道的电位会变得不稳定。

[0225] 在本实施方式中,p 沟道型的第 1 半导体层 311 及第 2 半导体层 321 构成为与正电位的第 2 电源布线 23B 重叠,因为能够构成具有背栅的 p 沟道 TFT,所以能够使背沟道的电位变得稳定。其结果,如图 14 所示,关于作为具有背栅的 p 沟道 TFT 的第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320,与没有背栅的 p 沟道 TFT 同等地,能够实现抑制截止泄漏电流并进一步降低来自外部噪音的影响的效果。这是因为,由于所述背栅覆盖沟道区域的上方,所以作为对于外部噪音的电磁波屏蔽层而起作用。从而,能够实现具有截止特性优异又抗外部噪音强的薄膜晶体管的 EL 显示面板。

[0226] 另外,虽然只要构成为第 2 电源布线 23B 的至少一部分与第 1 半导体层 311 或第 2 半导体层 321 重叠便有效果,但是优选构成为第 2 电源布线 23B 与第 1 半导体层 311 或第 2 半导体层 321 完全重叠。

[0227] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 形成为与栅极布线 21 基本相同的膜厚、即与栅极布线 21 相同的高度或近似值的高度,并且形成为使第 2 电源布线 23B 及辅助布线 25 双方组合得到的宽度是与相邻的 2 条栅极布线 21 之间的宽度对应的宽度。进而,优选第 2 电源布线 23B 或辅助布线 25 与相邻的 2 条栅极布线 21 的距离设为 $4\mu\text{m}$ 以上。此外,优选第 2 电源布线 23B 与辅助布线 25 的距离也设为 $4\mu\text{m}$ 以上。

[0228] 在本实施方式中,因为栅极布线 21 形成于第 1 层间绝缘膜 340 上,所以直接这样会比不形成栅极布线 21 的区域突出栅极布线 21 的膜厚度,在相邻的栅极布线 21 间形成凹部。

[0229] 相对于此,如上所述,通过将第 2 电源布线 23B 及辅助布线 25 设为与栅极布线 21 基本相同的高度,并且设为与相邻的 2 条栅极布线 21 之间的宽度对应的宽度,能够通过第 2 电源布线 23B 及辅助布线 25 确保平坦性。由此,因为能够提高形成于上层的有机 EL 元件 10 的平坦性,所以能够抑制产生于 EL 显示面板的发光不均。

[0230] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 形成为与栅极布线 21 基本相同的高度,并且以填埋相邻的 2 条栅极布线 21 之间的方式与相邻的 2 条栅极布线 21 接近地配置。此外,优选第 2 电源布线 23B 及辅助布线 25 也以填埋互相的间隔的方式互相接近地配置。

[0231] 由此,因为能够通过第 2 电源布线 23B 填埋相邻的栅极布线 21 间的凹部,所以能够确保平坦性。

[0232] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 形成为与栅极布线 21 基本相同的高度,并且成为具有比第 1 电源布线 23A 的宽度宽阔的宽度的布线。

[0233] 由此,能够使薄膜半导体部的平坦性提高。而且,因为能够使第 2 电源布线 23B 比第 1 电源布线 23A 低电阻化,所以对于伴随着大画面化而在显示区域的中央区域产生的 IR 压降,能够大幅地降低该压降量。

[0234] 此外,在本实施方式的 EL 显示面板 1 中,优选:第 2 电源布线 23B 及辅助布线 25 以均匀的膜厚构成,并且按照形成于第 2 电源布线 23B 的下层的结构的表面形状而形成。

[0235] 由此,因为能够使第 2 电源布线 23B 及辅助布线 25 成为具有比第 1 电源布线 23A

的宽度宽阔的宽度的平板形状的布线,所以能够使第2电源布线23B及辅助布线25成为低电阻布线。从而,因为能够从布线电阻更低的第2电源布线23B经由第1电源布线23A对第2源电极320S进行电源供给,所以能够大幅地降低所述的IR压降量。

[0236] (第1实施方式的变形例)

[0237] 接着,关于本发明的第1实施方式的变形例的EL显示面板1',使用图15进行说明。图15是本发明的第1实施方式的变形例的EL显示面板1'的剖面图。另外,图15对应于图11B的本发明的第1实施方式的EL显示面板1的剖面图。

[0238] 本变形例的EL显示面板1'与本发明的第1实施方式的EL显示面板1基本的结构相同。从而,在图15中,关于与图11B所示的构成要素相同的构成要素,附加相同的符号,并省略化或简略化详细的说明。此外,图11B所示的结构以外的结构,与第1实施方式相同。

[0239] 本变形例的EL显示面板1',与本发明的第1实施方式的EL显示面板1不同之处是第1薄膜晶体管310的第1半导体层及第2薄膜晶体管320的第2半导体层的结构。

[0240] 如图15所示,本变形例的EL显示面板1',其第1薄膜晶体管310的第1半导体层由第1沟道层311A和第2沟道层311B构成,所述第1沟道层311A由多结晶性半导体膜构成,所述第2沟道层311B由非结晶性半导体膜构成。此外,第2薄膜晶体管320的第2半导体层也由第1沟道层321A和第2沟道层321B构成,所述第1沟道层321A由多结晶性半导体膜构成,所述第2沟道层321B由非结晶性半导体膜构成。

[0241] 第1沟道层311A及第1沟道层321A,能够由通过使非晶质硅膜(非晶硅膜)结晶化而形成的多结晶性半导体膜构成。

[0242] 第2沟道层311B及第2沟道层321B,与图11B所示的第1半导体层311及第2半导体层321同样地,能够由非晶质硅膜(非晶硅膜)构成。

[0243] 由多结晶性半导体膜构成的第1沟道层311A及第1沟道层321A,能够通过利用激光照射使非晶质硅膜(非晶硅膜)结晶化而形成。此外,第1沟道层311A(或第1沟道层321A)与第2沟道层311B(或第2沟道层321B),在俯视时成为相同的形状,都在栅极绝缘膜330上形成为岛状。

[0244] 本变形例的EL显示面板1',可产生与上述的本发明的第1实施方式的EL显示面板1同样的作用效果。

[0245] 进而,本变形例的EL显示面板1',其薄膜晶体管中的第1半导体层及第2半导体层,在由非晶质硅膜构成的第2沟道层311B(或第2沟道层321B)的下方,形成由多结晶性半导体膜构成的第1沟道层311A(或第1沟道层321A)。

[0246] 由此,在第1薄膜晶体管310及第2薄膜晶体管320中,通过由多结晶性半导体膜构成的第1沟道层311A及第1沟道层321A,因为能够使载流子迁移率升高,所以能够使导通特性提高。此外,因为在半导体层的上层形成由非晶质硅膜构成的第2沟道层311B及第2沟道层321B,所以能够维持截止特性。

[0247] (第2实施方式)

[0248] 接着,关于本发明的第2实施方式的EL显示面板2,使用图16~图18进行说明。图16是本发明的第2实施方式的EL显示面板的俯视图,表示透过有机EL层L1及第2层间绝缘膜的状态。此外,图17是本发明的第2实施方式的EL显示面板的俯视图,表示透

过了有机 EL 层 L1、布线层 L2 及第 1 层间绝缘膜的状态。图 18 是沿图 16 的 X2-X2' 线剖切而得到的剖面图。另外,沿图 16 的 X1-X1' 线剖切而得到的剖面,与图 11A 相同。此外,在各图中,关于形成于有机 EL 层 L3 的结构,进行了省略。

[0249] 本发明的第 2 实施方式的 EL 显示面板 2,与本发明的第 1 实施方式的 EL 显示面板 1 基本的结构相同。从而,在图 16 ~ 图 18 中,关于与图 8 ~ 图 10 所示的构成要素相同的构成要素,附加相同的符号,并省略化或简化详细的说明。

[0250] 本发明的第 2 实施方式的 EL 显示面板 2,与本发明的第 1 实施方式的 EL 显示面板 1 不同之处是:第 1 半导体层 311 及第 2 半导体层的沟道类型都是 n 沟道型;其结果,第 1 实施方式中的源电极及漏电极的各个在第 2 实施方式中相反地成为漏电极及源电极;以及电源布线 23 的结构。另外,除此以外的结构,与第 1 实施方式相同。

[0251] 如图 16 ~ 图 18 所示,在本发明的第 2 实施方式的 EL 显示面板 2 中,第 2 电源布线 23B 构成为与第 1 半导体层 311 及第 2 半导体层 321 不重叠,具备形成于第 1 半导体层 311 上的第 1 开口部 131 和形成于第 2 半导体层 321 上的第 2 开口部 132。

[0252] 此外,在本实施方式中,第 1 半导体层 311 及第 2 半导体层 321 都构成为 n 沟道型。

[0253] 这样构成的本发明的第 2 实施方式的 EL 显示面板 2,能够与第 1 实施方式同样地进行制造。但是,在本实施方式中,需要在第 2 电源布线 23B 形成第 1 开口部 131 及第 2 开口部 132。这通过在对第 3 金属膜进行图案形成时,在第 2 电源布线 23B 与第 1 半导体层 311 及第 2 半导体层 321 重叠的部分形成开口,能够形成上述的第 1 开口部 131 及第 2 开口部 132。

[0254] 以上,根据本发明的第 2 实施方式的 EL 显示面板 2,因为与第 1 实施方式同样,能够用单独的层构成栅极布线 21 和第 1 栅电极 310G,所以能够分别选择适合的材料。此外,因为能够确保栅极布线 21 与第 1 电源布线 23A 之间的膜厚间距离,所以能够降低栅极布线 21 与第 1 电源布线 23A 之间的寄生电容。

[0255] 此外,因为第 1 电源布线 23A 与第 2 电源布线 23B 配置为交叉,所以第 2 源电极 320S 能够从纵向方向的第 1 电源布线 23A 和横向方向的第 2 电源布线 23B 双方向接受电源供给。因此,能够降低伴随着大画面化而在显示区域的中央区域产生的 1R 压降。

[0256] 进而,因为第 2 电源布线 23B 及辅助布线 25 与栅极布线 21 形成于相同的层并且与栅极布线 21 并行地配置,所以能够减轻由于在第 1 层间绝缘膜 340 上形成的栅极布线 21 而产生的凹凸,能够使平坦度提高。

[0257] 进而,对于 1 个像素能够通过第 1 电源布线 23A 及第 2 电源布线 23B 两条电源布线供给电力。由此,因为能够抑制像素不良,所以能够抑制显示装置的显示不均。

[0258] 进而,辅助布线 25 不配置于 EL 部,而配置于薄膜半导体部。从而,能够扩大 EL 部的设计的自由度,并且能够增大各像素的开口率。

[0259] 进而,根据本实施方式的 EL 显示面板 2,可产生以下的作用效果。

[0260] 当在 n 沟道型的第 1 半导体层 311 及第 2 半导体层 321 的上方,正电位的第 2 电源布线 23B 覆盖第 1 层间绝缘膜 340 之上的情况下,在第 1 半导体层 311 及第 2 半导体层 321 的背沟道会诱发负的载流子,由此产生截止泄漏电流。从而,因为即使不施加栅极电压也会产生电流,所以会使第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 的截止特性下降。

[0261] 相对于此,本实施方式的 EL 显示面板 2,构成为 n 沟道型的第 1 半导体层 311 及

第 2 半导体层 321 与正电位的第 2 电源布线 23B 不重叠,作为无背栅的 n 沟道 TFT 而构成。其结果,如图 19 所示,通过正电位的第 2 电源布线 23B,关于作为无背栅的 n 沟道型 TFT 的第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320,与有背栅的 n 沟道型 TFT 相比,能够抑制在背沟道诱发载流子的情况。其结果,能够减小第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 的截止泄漏电流。从而,能够实现具有截止特性优异的薄膜晶体管的 EL 显示面板 2。

[0262] 另外,虽然只要构成为第 2 电源布线 23B 的至少一部分与第 1 半导体层 311 或第 2 半导体层 321 不重叠便有效果,但是优选构成为第 2 电源布线 23B 与第 1 半导体层 311 或第 2 半导体层 321 毫不重叠。

[0263] (第 2 实施方式的变形例)

[0264] 接着,关于本发明的第 2 实施方式的变形例的 EL 显示面板 2',使用图 20 进行说明。图 20 是本发明的第 2 实施方式的变形例的 EL 显示面板 2' 的剖面图。另外,图 20 对应于图 18 的本发明的第 2 实施方式的 EL 显示面板 2 的剖面图。

[0265] 本变形例的 EL 显示面板 2' 与本发明的第 2 实施方式的 EL 显示面板 2 基本的结构相同。从而,在图 20 中,关于与图 18 所示的构成要素相同的构成要素,附加相同的符号,并省略化或简略化详细的说明。此外,图 18 所示的结构以外的结构,与第 2 实施方式相同。

[0266] 本变形例的 EL 显示面板 2',与本发明的第 2 实施方式的 EL 显示面板 2 不同之处是第 1 薄膜晶体管 310 的第 1 半导体层及第 2 薄膜晶体管 320 的第 2 半导体层的结构。

[0267] 如图 20 所示,本变形例的 EL 显示面板 2',其第 1 薄膜晶体管 310 的第 1 半导体层由第 1 沟道层 311A 和第 2 沟道层 311B 构成,所述第 1 沟道层 311A 由多结晶性半导体膜构成,所述第 2 沟道层 311B 由非结晶性半导体膜构成。此外,第 2 薄膜晶体管 320 的第 2 半导体层也由第 1 沟道层 321A 和第 2 沟道层 321B 构成,所述第 1 沟道层 321A 由多结晶性半导体膜构成,所述第 2 沟道层 321B 由非结晶性半导体膜构成。

[0268] 第 1 沟道层 311A 及第 1 沟道层 321A,能够由通过使非晶质硅膜(非晶硅膜)结晶化而形成的多结晶性半导体膜构成。

[0269] 第 2 沟道层 311B 及第 2 沟道层 321B,能够由非晶质硅膜(非晶硅膜)构成。

[0270] 由多结晶性半导体膜构成的第 1 沟道层 311A 及第 1 沟道层 321A,能够通过利用激光照射使非晶质硅膜(非晶硅膜)结晶化而形成。此外,第 1 沟道层 311A(或第 1 沟道层 321A)与第 2 沟道层 311B(或第 2 沟道层 321B),在俯视时成为相同的形状,都在栅极绝缘膜 330 上形成为岛状。

[0271] 本变形例的 EL 显示面板 2',可产生与上述的本发明的第 2 实施方式的 EL 显示面板 2 同样的作用效果。

[0272] 进而,本变形例的 EL 显示面板 2',其薄膜晶体管中的第 1 半导体层及第 2 半导体层,在由非晶质硅膜构成的第 2 沟道层 311B(或第 2 沟道层 321B)的下方,形成由多结晶性半导体膜构成的第 1 沟道层 311A(或第 1 沟道层 321A)。

[0273] 由此,在第 1 薄膜晶体管 310 及第 2 薄膜晶体管 320 中,通过由多结晶性半导体膜构成的第 1 沟道层 311A 及第 1 沟道层 321A,因为能够使载流子迁移率升高,所以能够使导通特性提高。此外,因为在半导体层的上层形成由非晶质硅膜构成的第 2 沟道层 311B 及第 2 沟道层 321B,所以能够维持截止特性。

[0274] (实施例 1)

[0275] 接着,关于作为本发明的各实施方式的EL显示面板的一例的有机EL显示面板,使用图21A及图21B进行说明。图21A是表示本发明的有机EL显示面板的一例的剖面立体图。图21B是表示本发明的有机EL显示面板的另一例的剖面立体图。

[0276] 如图21A及图21B所示,有机EL显示面板的多个像素100通过3色(红色、绿色、蓝色)的子像素100R、100G、100B构成。子像素100R、100G、100B分别在图21A及图21B的进深方向排列有多个(将其表示为“子像素列”)。

[0277] 图21A是表示线堤栏的例子图,各子像素列通过堤栏15互相分离。图21A所示的堤栏15,由在相互相邻的子像素列之间、在与源极布线22平行的方向延伸的凸部构成,形成于显示装置用薄膜半导体阵列装置20上。换言之,各子像素列分别形成于相互相邻的凸部之间(即,堤栏15的开口部)。

[0278] 下部电极12,在显示装置用薄膜半导体阵列装置20上(更具体地,第2层间绝缘膜350上)且堤栏15的开口部内,按每子像素100R、100G、100B而形成。有机发光层13,在下部电极20上且堤栏15的开口部内,按每子像素列(即,以覆盖各列的多个下部电极12的方式)而形成。上部电极14,在多个有机发光层13及堤栏15上且以覆盖全部的子像素100R、100G、100B的方式,连续地形成。

[0279] 另一方面,图21B是表示像素堤栏的例子图,各子像素100R、100G、100B通过堤栏15互相分离。图21B所示的堤栏15,形成为平行于栅极布线21延伸的突部与平行于源极布线22延伸的突部互相交叉。而且,在由该突部包围的部分(即,堤栏15的开口部)形成子像素100R、100G、100B。

[0280] 下部电极12,在显示装置用薄膜半导体阵列装置20上(更具体地,第2层间绝缘膜350上)且堤栏15的开口部内,按每子像素100R、100G、100B而形成。同样地,有机发光层13在下部电极20上且堤栏15的开口部内,按每子像素100R、100G、100B而形成。上部电极14,在多个有机发光层13及堤栏15(多个突条)上且以覆盖全部的子像素100R、100G、100B的方式,连续地形成。

[0281] 另外,虽然在图21A及图21B中进行了省略,但是在显示装置用薄膜半导体阵列装置20,按每子像素100R、100G、100B而形成有像素电路30。此外,子像素100R、100G、100B除了有机发光层13的特性(发光色)不同之外,是同一结构。

[0282] (实施例2)

[0283] 接着,关于应用了本发明的EL显示面板的EL显示装置的一例,使用图22进行说明。图22是表示本发明的EL显示装置的一例的外观立体图。

[0284] 如图22所示,本发明的EL显示装置是电视机400,其内置本发明的EL显示面板。

[0285] 这样,本发明的EL显示面板,能够作为平板显示器等进行利用。另外,本发明的EL显示面板,除了电视机以外,还能够应用于便携电话机或个人计算机等所有的显示装置。

[0286] 以上,虽然关于本发明的EL显示面板、EL显示面板的制造方法及EL显示装置,基于实施方式及实施例进行了说明,但是本发明并非限定于这些实施方式及实施例。

[0287] 例如,在本实施方式中,也可以调换构成第1源电极310S和第1漏电极310D。具体地,是下述结构:图3及图4等所示的第1源电极310S是第1漏电极,图3及图4等所示的第1漏电极310D是第1源电极。同样地,也可以调换构成第2源电极320S和第2漏电极320D。具体地,是下述结构:图3及图4等所示的第2源电极320S是第2漏电极,图3及

图 4 等所示的第 2 漏电极 320D 是第 2 源电极。

[0288] 此外,虽然在本实施方式中,第 1 源电极 310S 成为线状的源极布线 22 的一部分,但是并非限定于此。例如,也可以构成为,在源极布线 22 的图案形成时,图案形成从源极布线 22 的一部分开始在行方向延伸设置的延伸设置部,并将该延伸设置部与另行形成的第 1 源电极 310S 电连接。

[0289] 同样地,虽然在本实施方式中,第 2 漏电极 320D 成为线状的第 1 电源布线 23A 的一部分,但是并非限定于此。例如,也可以构成为,在第 1 电源布线 23A 的图案形成时,图案形成从第 1 电源布线 23A 的一部分开始在行方向延伸设置的延伸设置部,并将该延伸设置部与另行形成的第 2 漏电极 320D 电连接。

[0290] 此外,虽然在本实施方式中,第 2 电源布线 23B 在相邻的栅极布线 21 间排列有 1 条,但是并不限于此。例如,也可以在相邻的栅极布线 21 间,排列多条第 2 电源布线 23B。

[0291] 此外,虽然在本实施方式中,在 1 像素形成有 2 个薄膜晶体管,但是并不限于此。例如,也可以在 1 像素形成 3 个以上的薄膜晶体管。在该情况下,也可以与薄膜晶体管的个数一致而排列多条第 2 电源布线 23B。由此,能够通过多条第 2 电源布线 23B,对于需要电力供给的薄膜晶体管预期地供给电力。

[0292] 此外,虽然在本实施方式中,作为本发明的 EL 显示面板,例示了有机 EL 面板,但是并不限于此。例如,作为本发明的 EL 显示面板,也可以是无机 EL 面板。

[0293] 此外,本领域技术人员对于各实施方式及实施例实施所想到的各种变形而得到的方式和 / 或通过在不脱离本发明的主旨的范围任意组合各实施方式及实施例中的构成要素及功能而实现的方式也包括在本发明中。

[0294] 本发明的 EL 显示面板能够在电视机、个人计算机、便携电话机等显示装置等中广泛地利用。

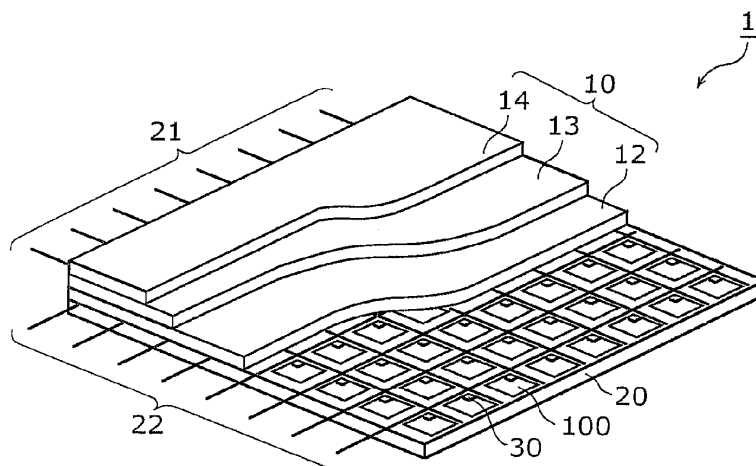


图 1

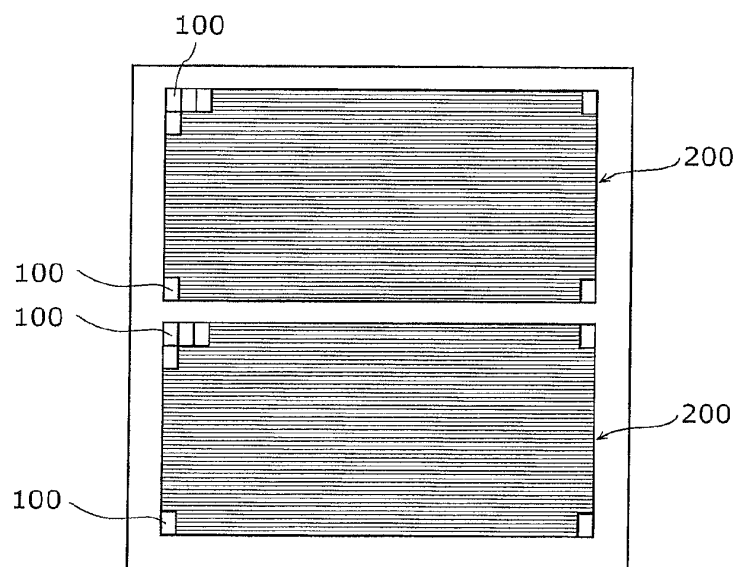


图 2

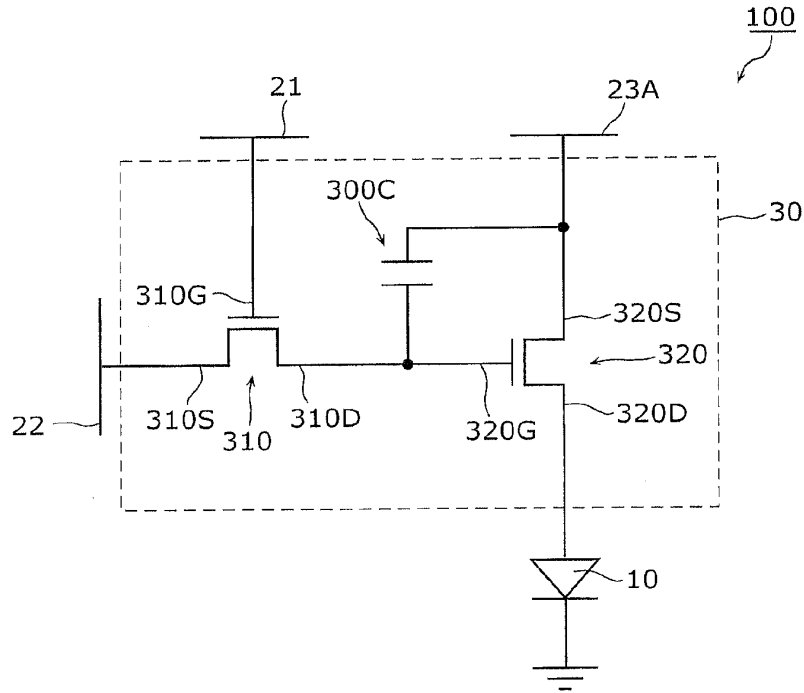


图 3

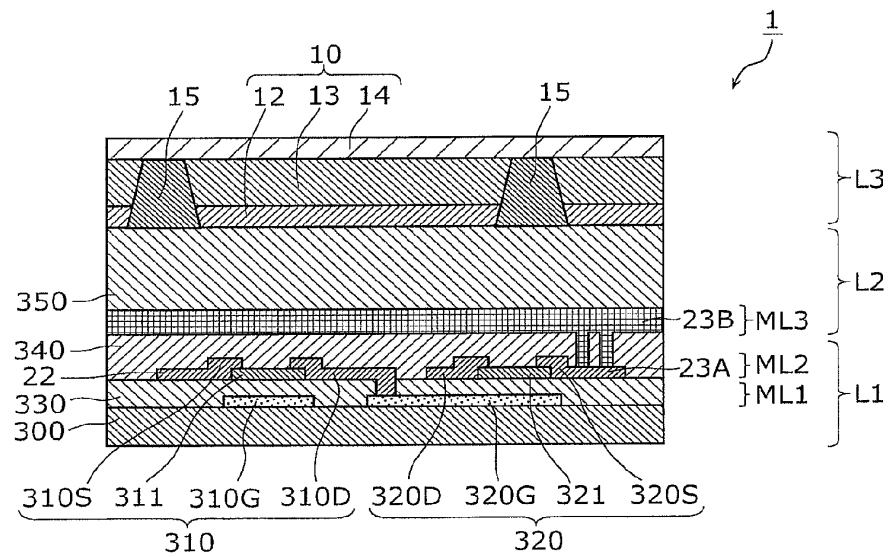


图 4A

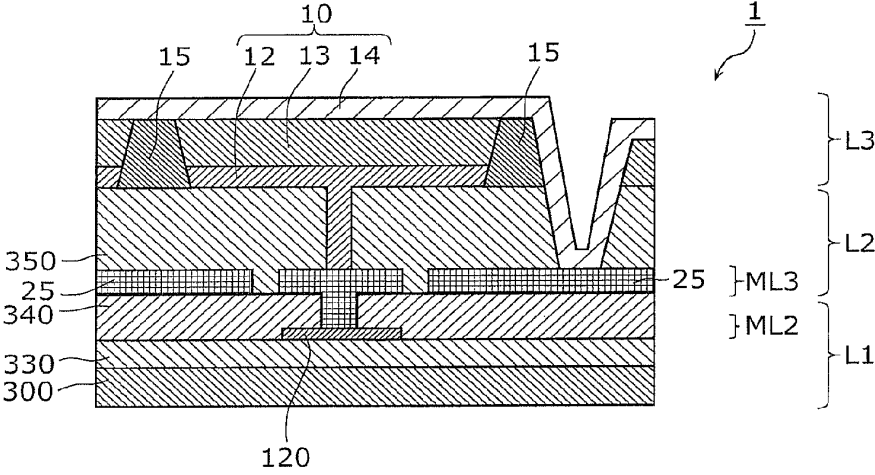


图 1B

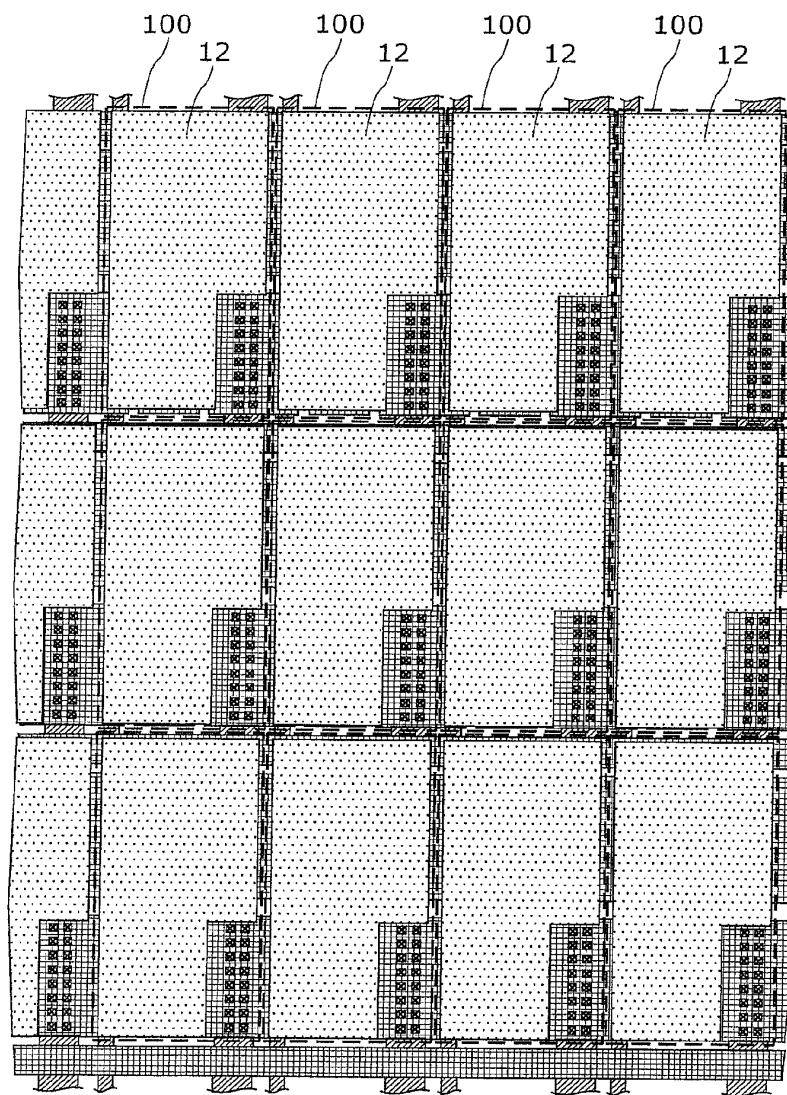


图 5

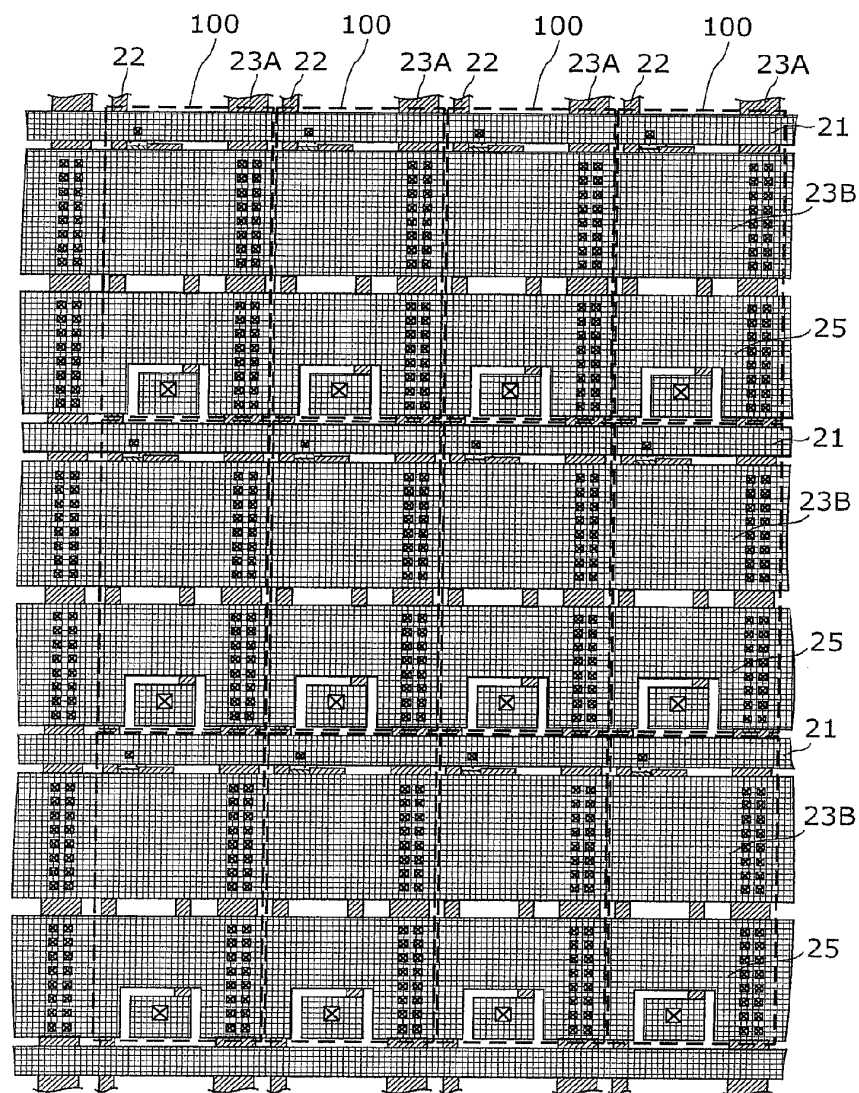


图6

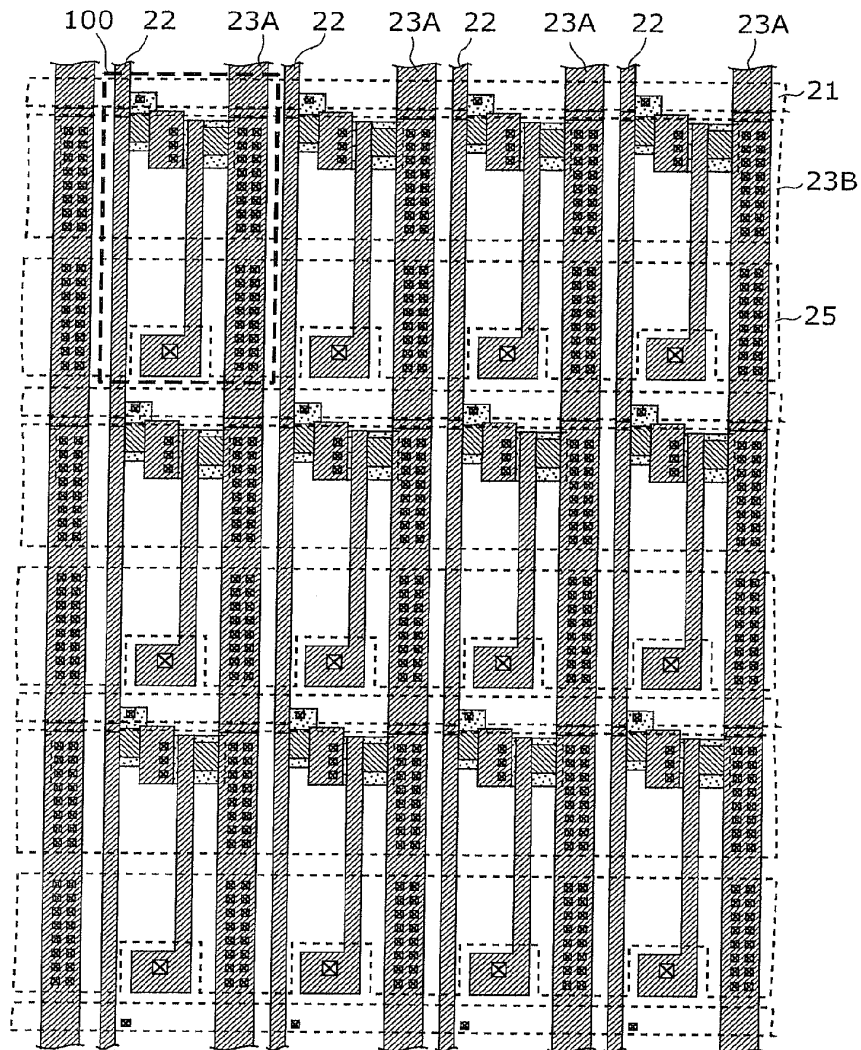


图 7

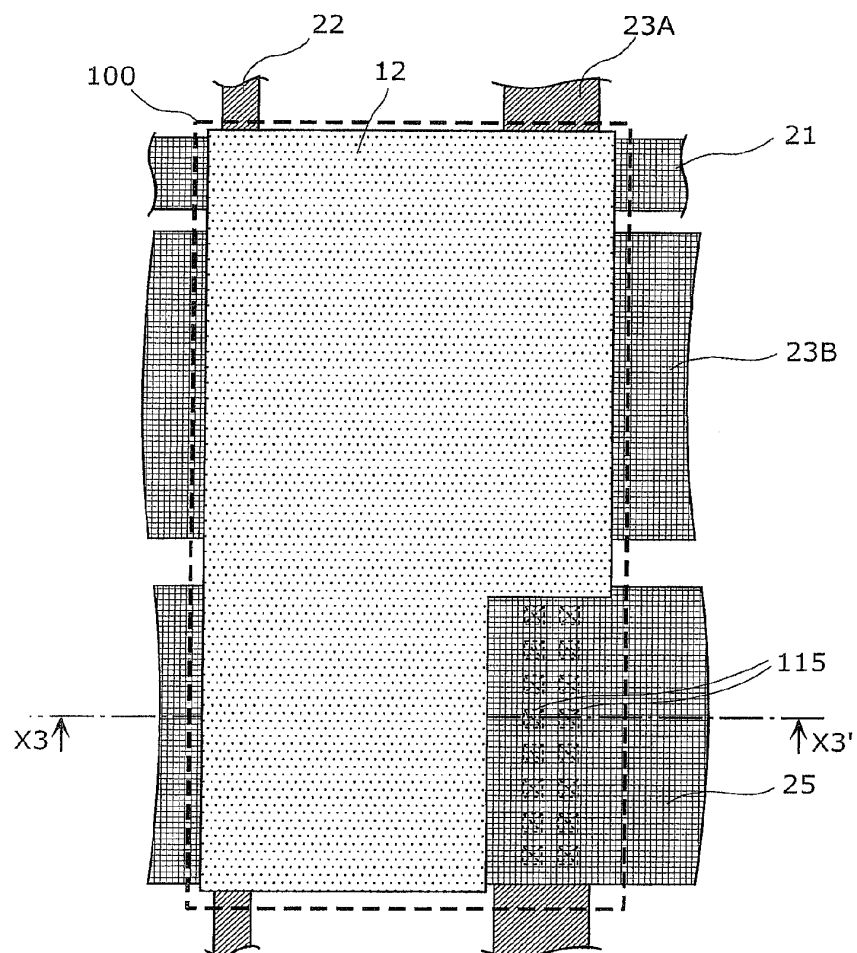


图 8

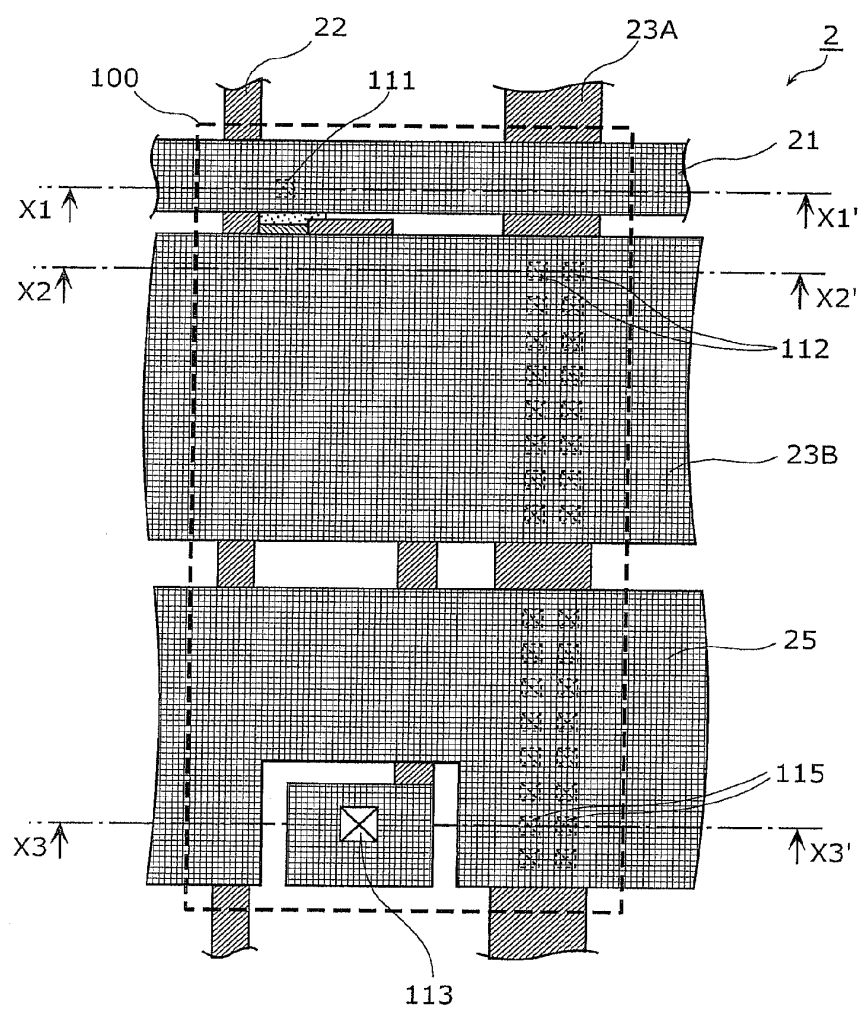


图 9

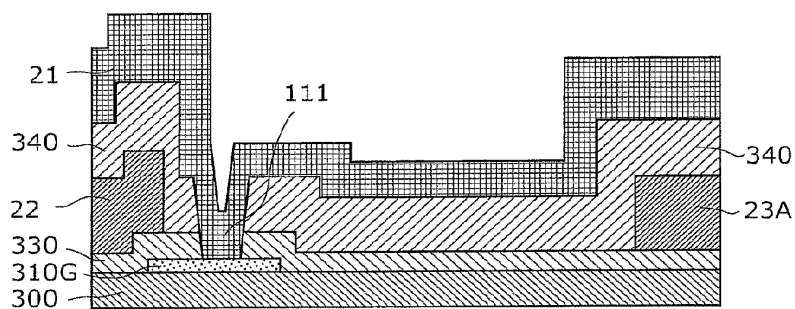


图 11A

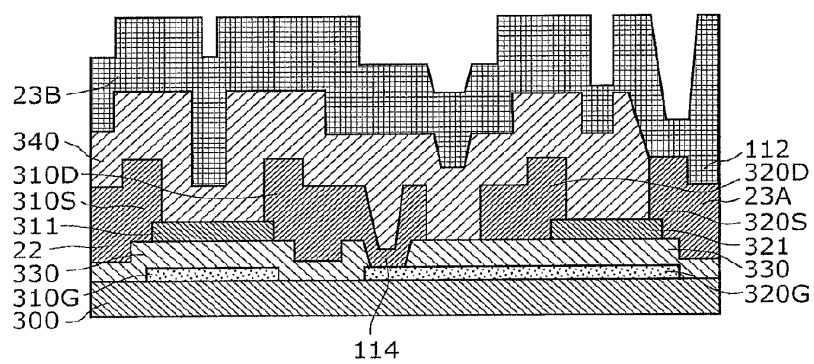


图 11B

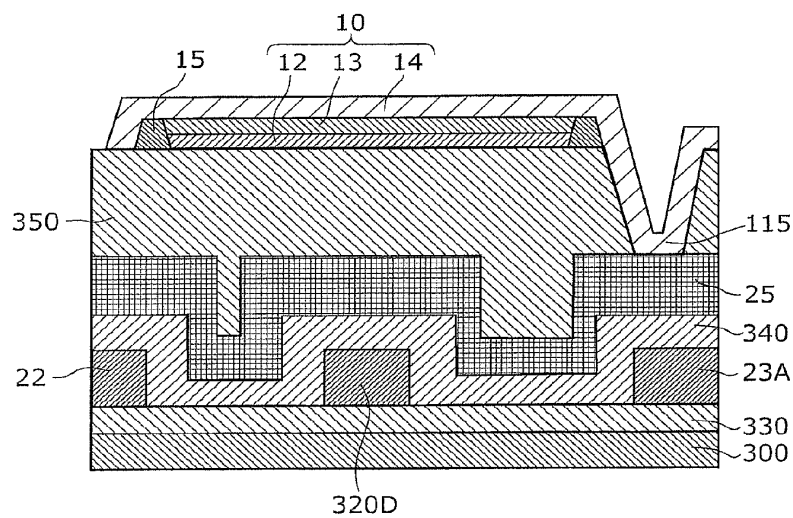


图 11C

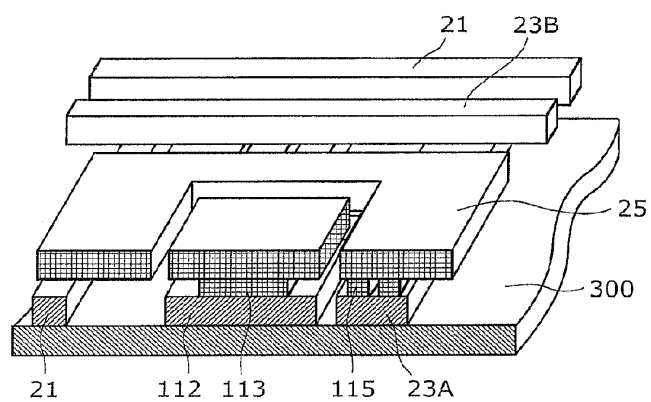


图 12A

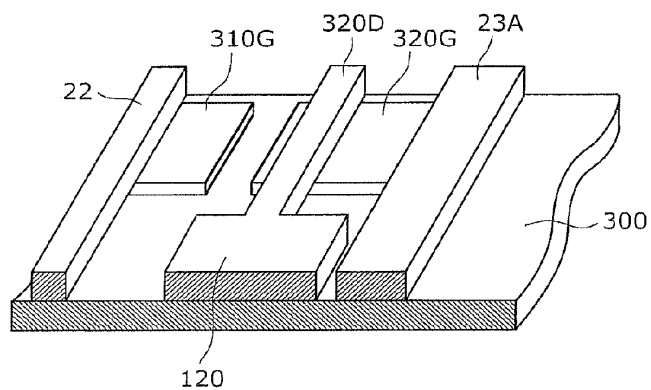


图 12B



图 13A



图 13B

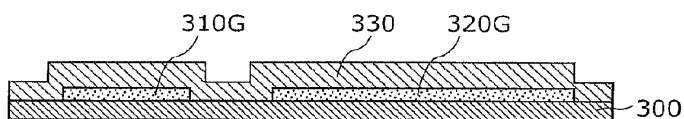


图 13C

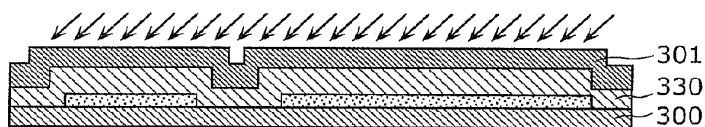


图 13D

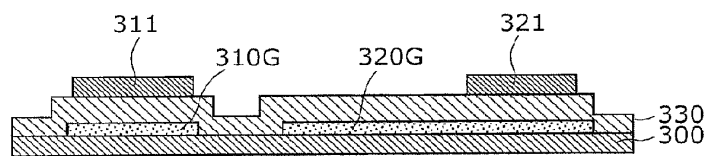


图 13E

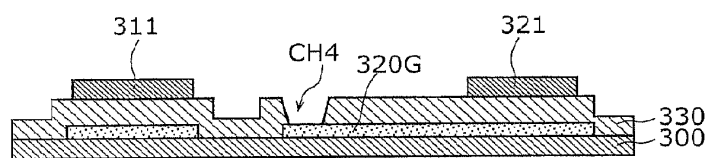


图 13F

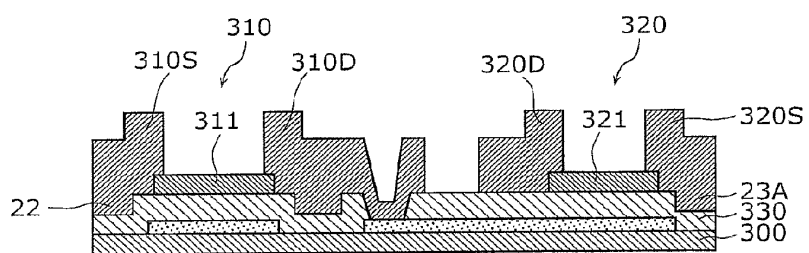


图 13G

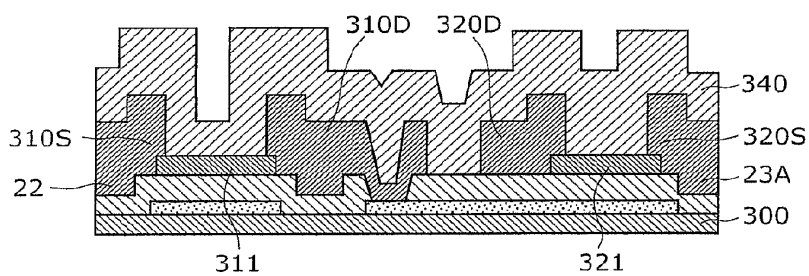


图 13H

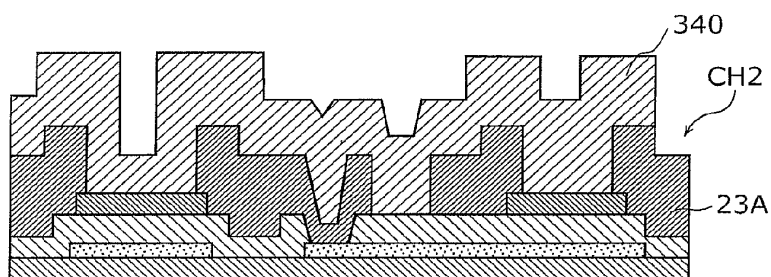


图 13I

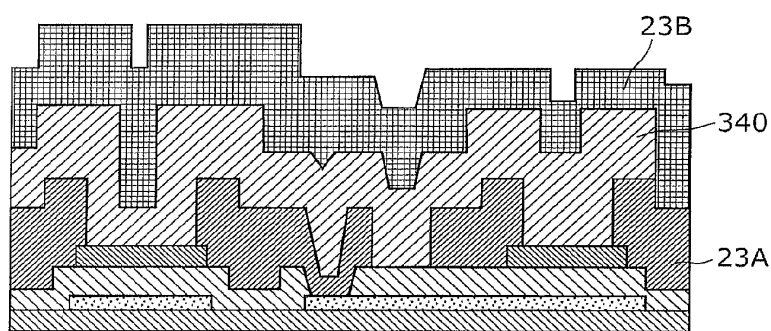


图 13J

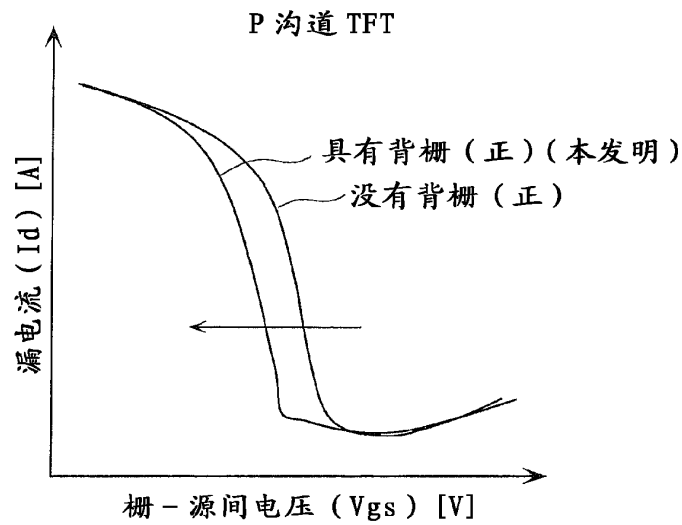


图 14

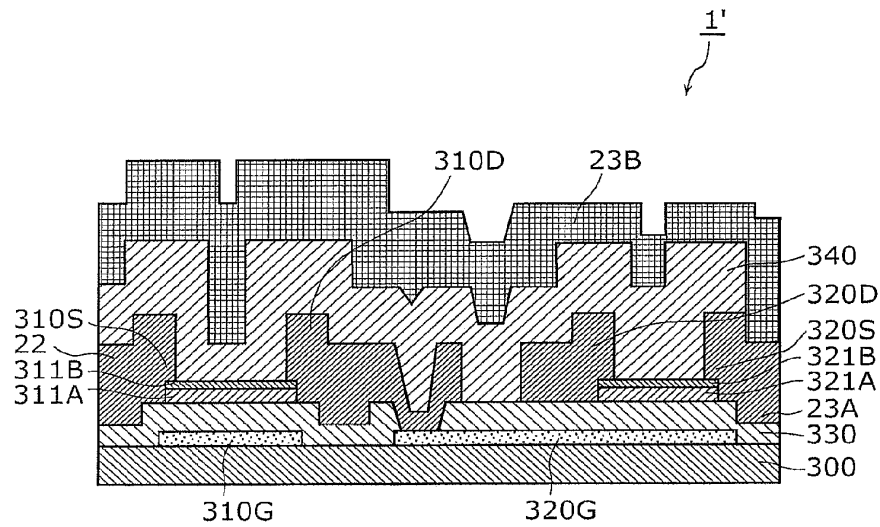


图 15

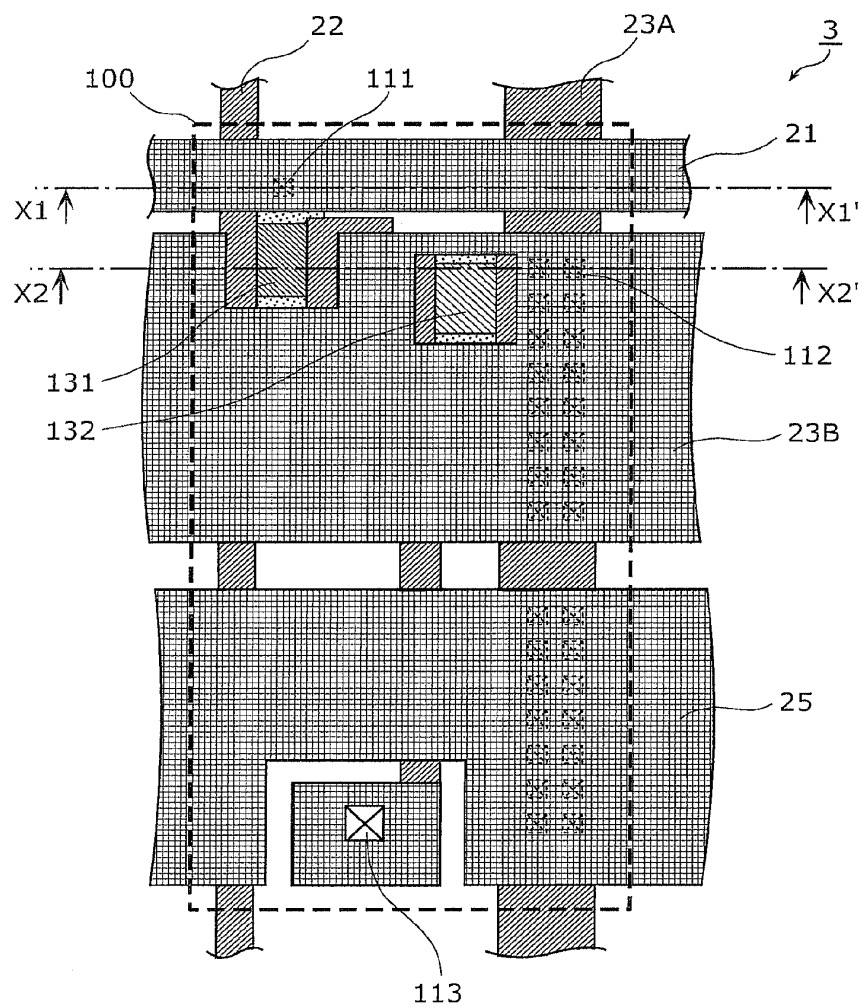


图 16

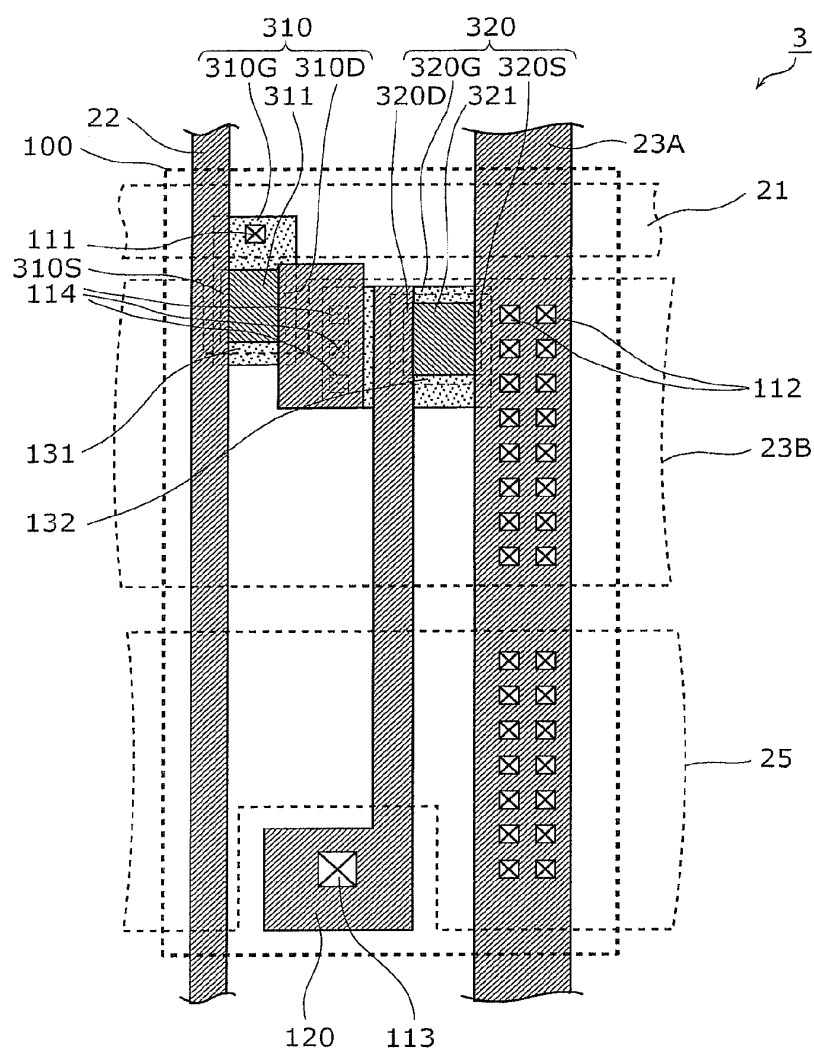


图 17

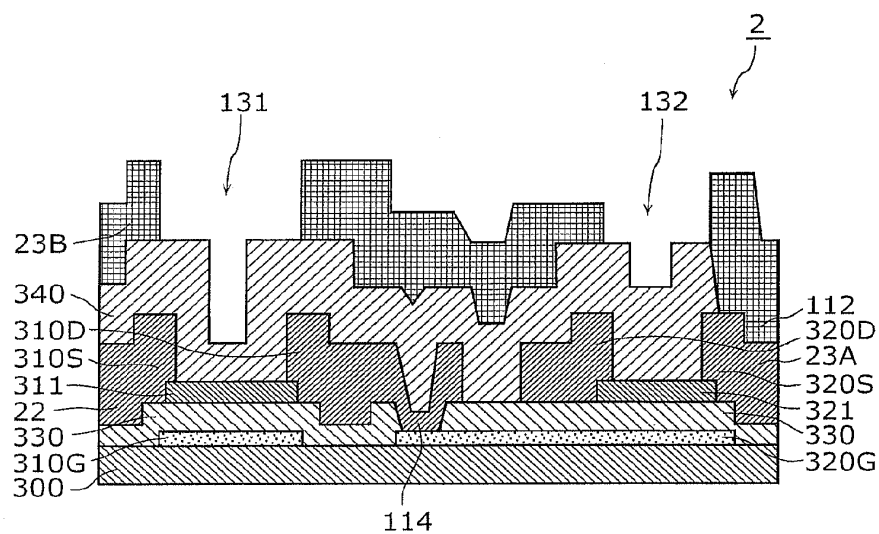


图 18

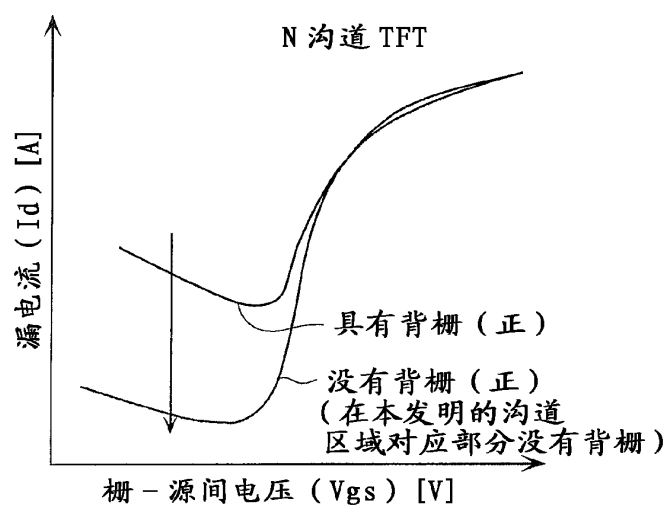


图 19

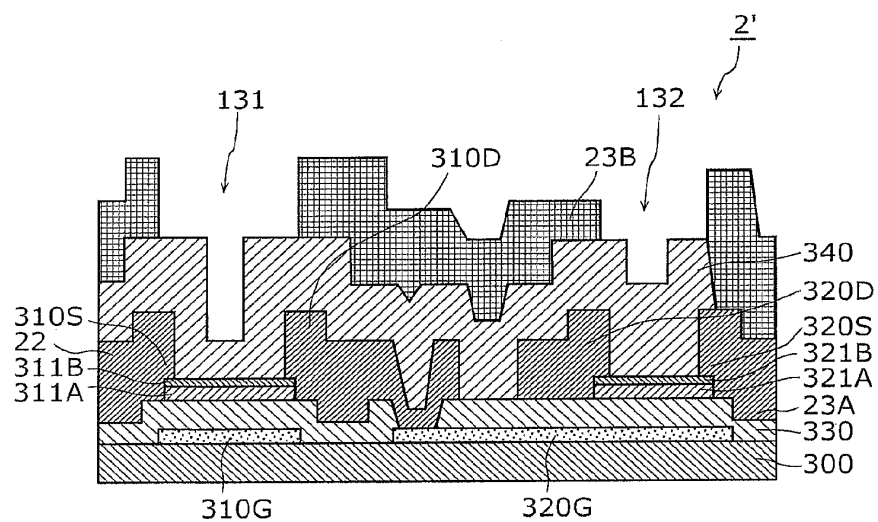


图 20

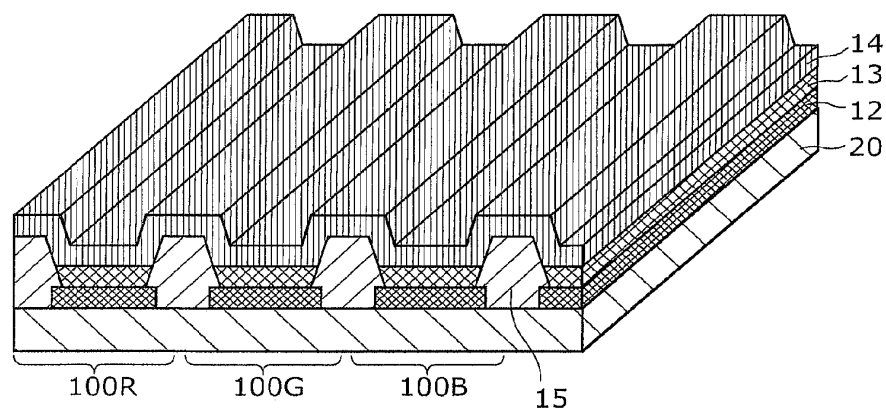


图 21A

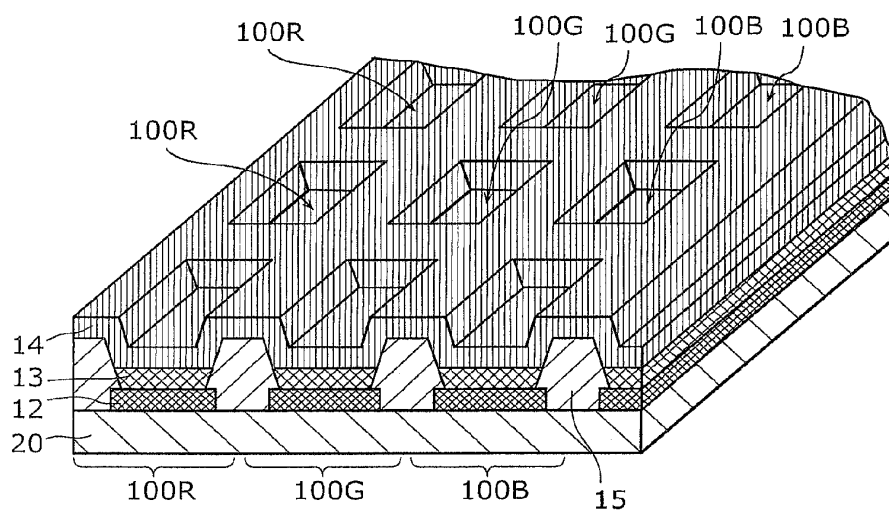


图 21B

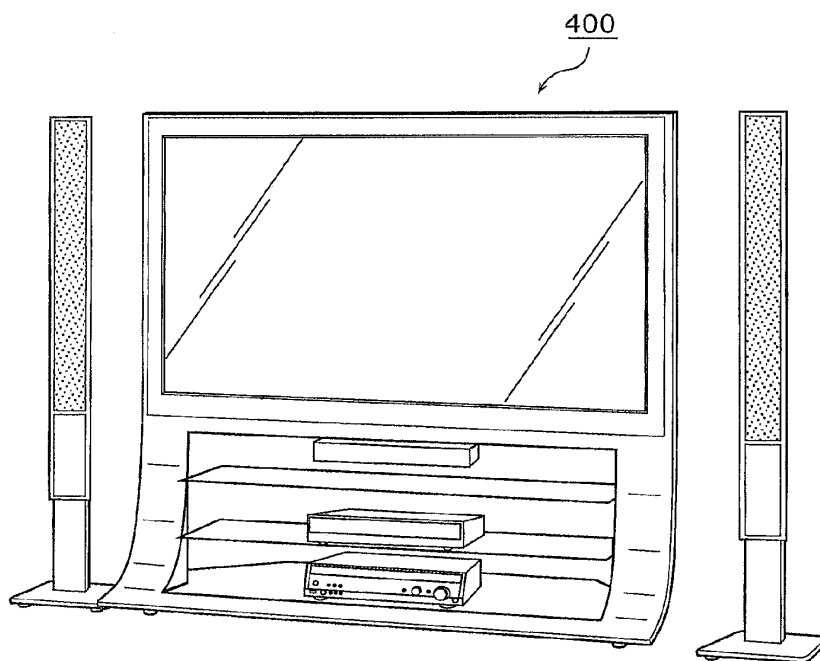


图 22

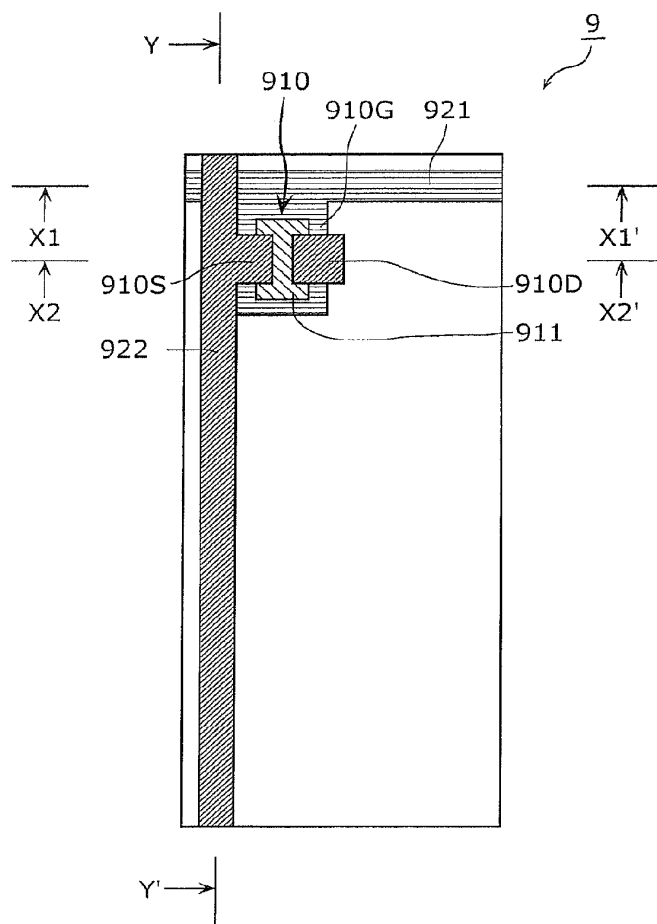


图 23

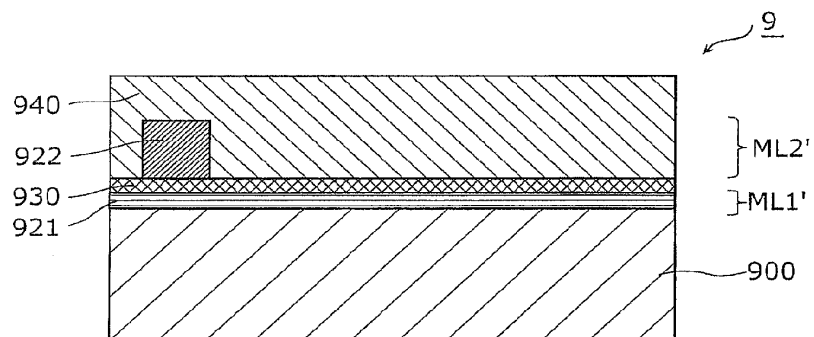


图 24A

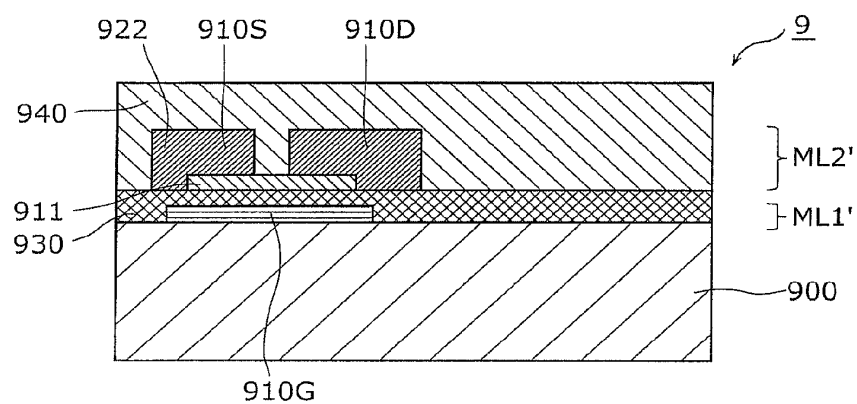


图 24B

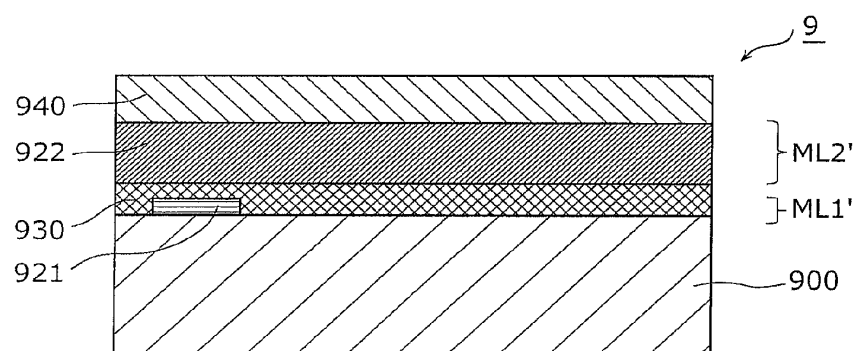


图 24C

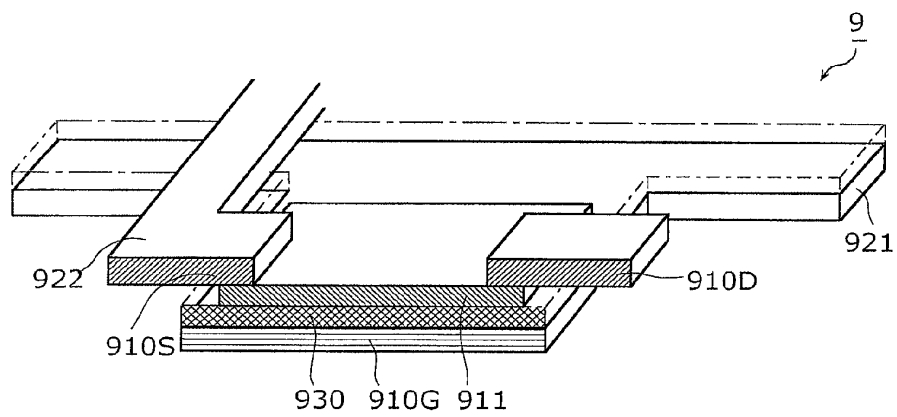


图 25



Espacenet

Bibliographic data: CN101097911 (A) — 2008-01-02

Organic light-emitting diode display device and method of fabricating the same

Inventor(s): HYUN KIM JEONG [KR]; YOON LEE JAE [KR]; MI KIM YOUNG [KR]; YUN BAE KYEONG [KR] $\pm$ (KIM JEONG HYUN, ; LEE JAE YOON, ; KIM YOUNG MI, ; BAE KYEONG YUN)

Applicant(s): LG PHILIPS LCD CO LTD [KR] $\pm$ (LG PHILIPS LCD CO., LTD)

Classification: - **international:** H01L21/60; H01L23/488; H01L25/18; H01L27/32; H05B33/10; H05B33/12

- **cooperative:** H01L27/3253; H01L27/3258; H01L51/5259

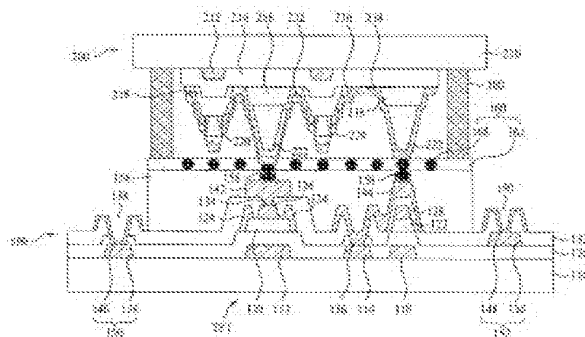
Application number: CN20071112620 20070625

Priority number (s): KR20060061113 20060630

Also published as: CN100592514 (C) US2008018245 (A1) US7821198 (B2)
KR20080002338 (A)

Abstract of CN101097911 (A)

An organic light-emitting display device and a method of fabricating the same is disclosed, to prevent contact defects, the organic light-emitting display device comprising a first substrate formed a sub-pixel driving array; a second substrate formed an OLED array; a sealant to bond the first and second substrates to each other; and a conductive material deformed when bonding the first and second substrates to each other so as to electrically connect the sub-pixel driving array and the OLED array to each other, the conductive material formed on the sub-pixel driving array.



[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710112620.4

[51] Int. Cl.

H01L 25/18 (2006.01)
H01L 27/32 (2006.01)
H01L 23/488 (2006.01)
H01L 21/60 (2006.01)
H05B 33/12 (2006.01)
H05B 33/10 (2006.01)

[43] 公开日 2008 年 1 月 2 日

[11] 公开号 CN 101097911A

[22] 申请日 2007. 6. 25
[21] 申请号 200710112620. 4
[30] 优先权
[32] 2006. 6. 30 [33] KR [31] 10-2006-0061113
[71] 申请人 LG. 飞利浦 LCD 株式会社
地址 韩国首尔
[72] 发明人 金廷炫 李在允 金英美 裴憬润

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 李 辉

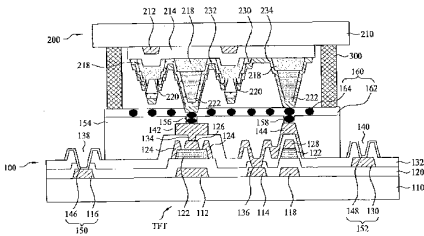
权利要求书 5 页 说明书 15 页 附图 6 页

[54] 发明名称

有机发光二极管显示装置及其制造方法

[57] 摘要

本发明公开了一种有机发光二极管显示装置及其制造方法，用于防止接触缺陷，该有机发光二极管显示装置包括：形成有子像素驱动阵列的第一基板；形成有有机发光二极管阵列的第二基板；将所述第一基板与所述第二基板相互接合的密封胶；以及在将所述第一基板与所述第二基板相互接合时发生变形以将所述子像素驱动阵列与所述有机发光二极管阵列相互电连接的导电材料，该导电材料形成在所述子像素驱动阵列上。



- 1、一种有机发光二极管显示装置，该有机发光二极管显示装置包括：
形成有子像素驱动阵列的第一基板；
形成有有机发光二极管阵列的第二基板；
将所述第一基板与所述第二基板相互接合的密封胶；以及
在将所述第一基板与所述第二基板相互接合时发生变形以将所述子像素驱动阵列与所述有机发光二极管阵列相互电连接的导电材料，该导电材料形成在所述子像素驱动阵列上。
- 2、根据权利要求1所述的有机发光二极管显示装置，该有机发光二极管显示装置还包括形成在所述子像素驱动阵列与所述导电材料之间的有机绝缘层，其中，所述有机绝缘层具有露出所述第一基板上的电极的预定部分的接触孔。
- 3、根据权利要求2所述的有机发光二极管显示装置，其中，所述有机绝缘层设置在所述第一基板的由所述密封胶密封的内区中距所述密封胶预定间隔处。
- 4、根据权利要求3所述的有机发光二极管显示装置，该有机发光二极管显示装置还包括所述有机绝缘层上的导电膜，其中，所述导电材料由具有弹性并被包括在所述导电膜中的导电球组成。
- 5、根据权利要求4所述的有机发光二极管显示装置，其中，所述导电膜对应于包括所述导电球和树脂的各向异性导电膜。
- 6、根据权利要求4所述的有机发光二极管显示装置，其中，所述导电膜还包括吸收水分和气体的吸附材料。
- 7、根据权利要求3所述的有机发光二极管显示装置，其中，所述导电膜形成在所述有机绝缘层的整个表面上，或者仅部分地形成在将所述子像素驱动阵列与所述有机发光二极管阵列相互电连接的预定部分上。
- 8、根据权利要求3所述的有机发光二极管显示装置，其中，所述导电材料包括被插入到所述接触孔中的具有弹性的导电球。
- 9、根据权利要求3所述的有机发光二极管显示装置，其中，形成在

所述接触孔中的导电材料粘合到所述子像素驱动阵列和所述有机发光二极管阵列。

10、根据权利要求 1 所述的有机发光二极管显示装置，其中，包括在所述子像素驱动阵列中的每个子像素驱动器都包括：

至少两个薄膜晶体管；以及

将所述至少两个薄膜晶体管中的任一个与所述导电材料电连接的第一接触电极。

11、根据权利要求 10 所述的有机发光二极管显示装置，其中，包括在所述有机发光二极管阵列中的每一个有机发光二极管都包括：

经由所述导电材料而与所述第一基板的所述第一接触电极相连接的第一电极；

第二电极；以及

形成在所述第一电极与所述第二电极之间的有机发光层。

12、根据权利要求 11 所述的有机发光二极管显示装置，其中，所述第二电极共通地形成在所述有机发光二极管阵列中，

其中，所述有机发光二极管阵列还包括：

形成在所述第二电极上以制备针对各子像素的有机发光二极管的一部分的缓冲层；

形成在所述缓冲层上以将所述有机发光层和所述第一电极分成多个子像素单元的隔离物；以及

形成在所述缓冲层上以支承与所述第一基板相接触的所述第一电极的接触间隔物。

13、根据权利要求 12 所述的有机发光二极管显示装置，其中，所述第一基板包括：

提供电源信号的供电线；以及

与所述供电线相连接并经由所述导电材料与所述第二基板的所述第二电极相连接的第二接触电极。

14、根据权利要求 13 所述的有机发光二极管显示装置，其中，所述第二基板还包括：

经由所述导电材料将所述第二接触电极与所述第二电极电连接的第三接触电极；以及

形成在所述第二电极与所述第三接触电极之间以支承与所述第一基板相接触的所述第三接触电极的缓冲层和接触间隔物。

15、根据权利要求 1 所述的有机发光二极管显示装置，其中，所述第一基板包括形成在所述密封胶的周界上的多个焊盘。

16、一种制造有机发光二极管显示装置的方法，该方法包括以下步骤：

在第一基板上形成子像素驱动阵列；

在第二基板上形成有机发光二极管阵列；

在所述子像素驱动阵列上形成导电材料；以及

由密封胶将所述第一基板与所述第二基板相互接合，并由变形的导电材料将所述子像素驱动阵列与所述有机发光二极管阵列相互电连接。

17、根据权利要求 16 所述的方法，该方法还包括以下步骤：在形成所述导电材料之前，在所述子像素驱动阵列上形成有机绝缘层，并在所述有机绝缘层中形成接触孔，以露出所述子像素驱动阵列中的电极的预定部分。

18、根据权利要求 17 所述的方法，其中，将所述有机绝缘层形成在所述第一基板的待由所述密封胶密封的内区中距所述密封胶预定间隔处。

19、根据权利要求 18 所述的方法，其中，所述形成导电材料的步骤包括以下步骤：在所述有机绝缘层上形成包括具有弹性的导电球的导电膜。

20、根据权利要求 19 所述的方法，其中，所述导电膜对应于包括所述导电球和树脂的各向异性导电膜。

21、根据权利要求 19 所述的方法，其中，所述导电膜还包括吸收水分和气体的吸附材料。

22、根据权利要求 19 所述的方法，其中，将所述导电膜形成在所述有机绝缘层的整个表面上，或者仅将其部分地形成在将所述子像素驱动

阵列与所述有机发光二极管阵列相互电连接的预定部分上。

23、根据权利要求 18 所述的方法，其中，所述形成导电材料的步骤包括以下步骤：形成待插入在所述接触孔中的导电球。

24、根据权利要求 23 所述的方法，其中，所述形成导电球的步骤包括以下步骤：

向所述有机绝缘层提供包括所述导电球的溶液；以及

通过摇摆所述第一基板将所述导电球插入到所述接触孔中。

25、根据权利要求 18 所述的方法，其中，所述形成导电材料的步骤包括以下步骤：将包括可熔金属的球插入到所述接触孔中。

26、根据权利要求 25 所述的方法，其中，当将所述第一基板与所述第二基板相互接合时，所述可熔金属从由于所施加的热和压力而破裂的所述球中流出来，并粘合到所述子像素驱动阵列和所述有机发光二极管阵列，然后固化。

27、根据权利要求 16 所述的方法，其中，所述在第一基板上形成子像素驱动阵列的步骤包括以下步骤：形成多个子像素驱动器和多条信号线，其中，每个子像素驱动器都包括：至少两个薄膜晶体管；以及将所述至少两个薄膜晶体管中的任一个与所述导电材料电连接的第一接触电极。

28、根据权利要求 27 所述的方法，其中，所述在第二基板上形成有机发光二极管阵列的步骤包括以下步骤：形成多个有机发光二极管，其中，每个有机发光二极管都具有位于第一电极与第二电极之间的有机发光层。

29、根据权利要求 28 所述的方法，其中，在所述有机发光二极管阵列中共通地形成所述第二电极，

其中，所述形成有机发光二极管阵列的步骤包括以下步骤：

在所述第二电极上形成缓冲层，以制备针对各子像素的有机发光二极管的一部分；

在所述缓冲层上形成隔离物，以将所述有机发光层和所述第一电极分成多个子像素单元；以及

在所述缓冲层上形成接触间隔物，以支承经由所述导电材料与所述第一基板相接触的所述第一电极。

30、根据权利要求 29 所述的方法，该方法还包括以下步骤：

形成用于向所述第一基板提供电源信号的供电线；以及

形成与所述供电线电连接并经由所述导电材料而与所述第二基板的所述第二电极电连接的第二接触电极。

31、根据权利要求 30 所述的方法，该方法还包括以下步骤：

形成与所述第二基板上的所述第二电极相连接的第三接触电极；以及

在所述第二电极与所述第三接触电极之间形成缓冲层和接触间隔物，以将所述第三接触电极与所述子像素驱动阵列电连接。

有机发光二极管显示装置及其制造方法

技术领域

本发明涉及有机发光二极管（OLED）显示装置，更具体地说，涉及防止接触缺陷的 OLED 显示装置及其制造方法。

背景技术

在将信息表现为图像的各种显示装置中，有机发光显示装置由于其与纸相当的薄外形而吸引了很大的注意。有机发光显示装置利用形成在电极之间的薄有机发光层来自身发光，将其称为电致发光显示装置或有机发光二极管显示装置（以下将其称为 OLED 显示装置）。与液晶显示装置相比，OLED 显示装置具有功耗更低、外形更薄以及自发光更强的有利性质。

正在按适合于显示运动图像的有源矩阵型对 OLED 显示装置进行开发，以独立地驱动包括在一个像素中的红色子像素、绿色子像素以及蓝色子像素。有源矩阵 OLED（AMOLED）显示装置包括：多个子像素，其中每个子像素都由包括阴极、阳极以及形成在该阴极与该阳极之间的有机发光层的 OLED 组成；以及独立地驱动所述 OLED 的子像素驱动器。所述子像素驱动器包括至少两个薄膜晶体管和一存储电容器，其中，所述子像素驱动器基于提供给所述 OLED 的电流来控制 OLED 的亮度。并且，所述 OLED 包括设置在阴极与阳极之间并由有机材料形成的空穴注入层、空穴输运层、发光层、电子输运层以及电子注入层。当在阴极与阳极之间施加正向电压时，阴极的电子经由电子注入层和电子输运层移动到发光层。并且，阳极的空穴经由空穴注入层和空穴输运层移动到发光层。由于经由电子输运层提供的电子与经由空穴输运层提供的空穴的复合，发光层发射光。此时，所发射的光的亮度与在阴极与阳极之间流动的电流成正比。

现有技术 AMOLED 显示装置被形成为封装结构，在该封装结构中，包括子像素驱动阵列和 OLED 阵列的基板被接合到封装板，其中透过该包括子像素驱动阵列和 OLED 阵列的基板来发射光。如果在完成了子像素驱动阵列的工艺之后在 OLED 阵列工艺中出现了缺陷，则该基板被废弃，因而降低了成品率。而且，由于封装板限制了孔径比，因此难以将封装板应用于高分辨率显示装置。

为了克服这些问题，最新发展是将子像素驱动阵列与 OLED 阵列形成在不同基板上的双板型 AMOLED 显示装置。在该双板型 AMOLED 显示装置中，当将这些不同基板相互接合时，通过间隔物将各子像素驱动器与 OLED 简单地相连接，因而子像素驱动器与 OLED 之间的接触部分不稳定。因此，如果基板由于该基板的台阶差、间隔物的不均匀厚度、水分或外力而变形，则会由于子像素驱动器与 OLED 之间的不稳定接触而出现断路缺陷。

发明内容

因此，本发明旨在提供一种 OLED 显示装置及其制造方法，其基本上消除了由于现有技术的局限和缺点而导致的一个或更多问题。

本发明的一个目的是提供防止接触缺陷的 OLED 显示装置及其制造方法。

本发明的其他优点、目的以及特征的一部分将在下面的说明中加以阐述，而一部分在由本领域普通技术人员研究了以下内容后变得清楚，或者可以通过实施本发明而获知。通过说明书及其权利要求书以及附图中具体指出的结构，可以实现并获得本发明的上述目的和其他优点。

为实现这些目的和其他优点，并且根据本文中所具体体现和广泛描述的本发明的宗旨，提供了一种 OLED 显示装置，其包括：形成有子像素驱动阵列的第一基板；形成有 OLED 阵列的第二基板；将所述第一基板与所述第二基板相互接合的密封胶；以及在将所述第一基板与所述第二基板相互接合时发生变形以将所述子像素驱动阵列与所述 OLED 阵列相互电连接的导电材料，该导电材料形成在所述子像素驱动阵列上。并

且，所要求保护的 OLED 显示装置还包括形成在所述子像素驱动阵列与所述导电材料之间的有机绝缘层，其中，所述有机绝缘层具有露出所述第一基板上的电极的预定部分的多个接触孔。所述有机绝缘层设置在所述第一基板的由所述密封胶密封的内区中距所述密封胶预定间隔处。

所述导电材料由具有弹性并被包括在导电膜中的多个导电球组成。所述导电膜对应于包括所述导电球和树脂的各向异性导电膜。此外，所述导电膜还包括吸收水分和气体的吸附材料。所述导电膜形成在所述有机绝缘层的整个表面上，或者仅部分地形成在预定部分上，以将所述第一基板与所述第二基板相互电连接。

所述导电材料包括被插入到所述第一基板的所述多个接触孔中的具有弹性的多个导电球。

形成在所述第一基板的接触孔中的导电材料粘合到所述子像素驱动阵列和所述 OLED 阵列。

提供了一种制造 OLED 显示装置的方法，该方法包括以下步骤：在第一基板上形成子像素驱动阵列；在第二基板上形成 OLED 阵列；在所述子像素驱动阵列上形成导电材料；以及通过密封胶将所述第一基板与所述第二基板相互接合，并由变形的导电材料将所述子像素驱动阵列与所述 OLED 阵列相互电连接。

应当明白，以上对本发明的概述和以下对本发明的详述都是示例性和说明性的，旨在提供对所要求保护的本发明的进一步说明。

附图说明

附图被包含进来以提供对本发明的进一步理解，其被并入且构成本申请的一部分，附图示出了本发明的（多个）实施例，并且与说明书一起用于解释本发明的原理。在附图中：

图 1 是例示根据本发明一个优选实施例的 OLED 显示装置的剖面图；

图 2 是例示根据本发明一个优选实施例的 OLED 显示装置的制造方法的流程图；

图 3 是例示根据本发明另一优选实施例的 OLED 显示装置的剖面图；

图4是例示根据本发明第三优选实施例的OLED显示装置的剖面图；
图5是例示根据本发明第四优选实施例的OLED显示装置的剖面图；
以及
图6是例示根据本发明其它优选实施例的OLED显示装置的剖面图。

具体实施方式

下面将详细描述本发明的多个优选实施例，附图中示出了这些优选实施例的示例。只要有可能，就在所有附图中使用相同的标号来表示相同或相似的部分。

以下，将参照图1到图6对根据本发明优选实施例的OLED显示装置进行描述。

图1是例示根据本发明一个优选实施例的OLED显示装置的剖面图。

如图1所示，根据本发明一个优选实施例的OLED显示装置包括：包括子像素驱动阵列的下基板100；包括OLED阵列的上基板200；以及将下基板100与上基板200相互接合的密封胶300。所述子像素驱动阵列包括对设置在图像显示部中的多个子像素进行驱动的多个子像素驱动器，所述OLED阵列包括针对这些子像素的多个OLED。

下基板100包括：包括多条信号线和多个薄膜晶体管TFT的子像素驱动阵列，该子像素驱动阵列形成在绝缘基板110上；覆盖该子像素驱动阵列的有机绝缘层154；以及形成在有机绝缘层154上的导电膜160。密封胶300的密封部分将下基板100划分成内区和外区。子像素驱动阵列位于下基板的内区中。

形成在各子像素中的子像素驱动器都包括两个薄膜晶体管和一个电容器。例如，这两个薄膜晶体管中的一个对应于响应于从选通线输出的扫描信号而提供从数据线输出的数据信号的开关薄膜晶体管，另一个对应于响应于从该开关薄膜晶体管输出的数据信号而对经过OLED的电流进行控制的驱动薄膜晶体管。所述存储电容器使得即使所述开关薄膜晶体管截止也会有恒定电流流过所述驱动薄膜晶体管。在该子像素驱动器中，图1的薄膜晶体管对应于与OLED相连接的驱动薄膜晶体管，并且

开关薄膜晶体管在剖面结构上与该驱动薄膜晶体管相同，因此略去开关薄膜晶体管的图。

图1中所示的薄膜晶体管包括：形成在绝缘基板110上的栅极112；与栅极112相交叠的半导体层122，在它们之间插入有栅绝缘层120；以及使用半导体层122作为沟道的源极124和漏极126。另外，该薄膜晶体管包括形成在半导体层122与源极124和漏极126之间的掺杂半导体层，即，欧姆接触层（未示出）。驱动薄膜晶体管的栅极112与开关薄膜晶体管的漏极（未示出）相连接，驱动薄膜晶体管的源极124与第二电源线（未示出）相连接。漏极126经由第一接触电极142和导电膜160而与OLED（即，形成在上基板200上的OLED的第一电极232）相连接。此时，开关薄膜晶体管的栅极（未示出）与选通线（未示出）相连接，开关薄膜晶体管的源极与数据线（未示出）相连接。

第一接触电极142经由形成在保护薄膜晶体管TFT的钝化层132中的接触孔134而与漏极126相连接。并且，第一接触电极142经由穿透有机绝缘层154的接触孔156而与包括在导电膜160中的导电球相连接。

在下基板100的由密封胶300密封的内区内的子像素驱动阵列的周界上与栅极112一起形成有第二供电线114。第二接触电极144与第二供电线114电连接。第二供电线114经由形成在下基板上的第二接触电极144和导电膜160及形成在上基板200上的第三接触电极234而与形成在上基板200上的OLED的第二电极214电连接。

第二接触电极144经由形成在钝化层132和栅绝缘层120中的接触孔136而与第二供电线114相连接。并且，第二接触电极144经由形成在有机绝缘层154中的接触孔158而与包括在导电膜160中的导电球164相连接。为了使第二接触电极144与第一接触电极142在同一高度上，在与导电球164相连接的第二接触电极144的下方存在多个伪图案118、122及128。例如，所述多个伪图案118、122及128包括：与栅极112一起形成的伪图案118；形成在栅绝缘层120上的半导体层122；以及与钝化层132下方的源极124和漏极126一起形成的伪图案128。另外，可以在半导体层122与伪图案128之间形成掺杂半导体层（未示出）。

在下基板 100 的由密封胶 300 形成的密封部分的外区中, 存在焊盘区, 该焊盘区包括与选通线(未示出)相连接的选通焊盘 150 和与数据线(未示出)相连接的数据焊盘 152。选通焊盘 150 包括: 与栅极 112 一起形成并从选通线延伸的下选通焊盘 116; 以及经由形成在钝化层 132 和栅绝缘层 120 中的接触孔 138 而与下选通焊盘 116 相连接的上选通焊盘 146。数据焊盘 152 包括: 与源极 124 和漏极 126 一起形成并从数据线延伸的下数据焊盘 130; 以及经由形成在钝化层 132 中的接触孔 140 而与下数据焊盘 130 相连接的上数据焊盘 148。上选通焊盘 146 和上数据焊盘 148 由透明导电层形成。

在包括第一接触电极 142 和第二接触电极 144 的钝化层 132 上形成具有平坦上表面的有机绝缘层 154。有机绝缘层 154 包括分别露出第一接触电极 142 和第二接触电极 144 的预定部分的接触孔 156 和接触孔 158。在该情况下, 不在焊盘区中形成有机绝缘层 154, 以由此露出选通焊盘 150 和数据焊盘 152。

在有机绝缘层 154 上形成有导电膜 160。并且, 包括在导电膜 160 中的导电球 164 分别经由接触孔 156 和接触孔 158 而与第一接触电极 142 和第二接触电极 144 相连接。导电膜 160 由具有弹性的导电球 164 和树脂 162 组成。例如, 通过对具有弹性的绝缘球涂覆导电层来形成导电球 164。导电球 164 将下基板 100 与上基板 200 相互电连接, 树脂 162 充当下基板 100 与上基板 200 之间的粘合剂。导电膜 160 由各向异性导电膜(ACF)形成。并且, 导电膜 160 可以包括吸收从外部提供或在内部产生的水分和氧气的吸附材料。该吸附材料使用二氧化硅、钙(Ca)、钡(Ba)、氧化钙(CaO)、氧化钡(BaO)等形成。

上基板 200 包括形成在绝缘基板 210 上的 OLED 阵列。OLED 阵列包括: 与下基板 100 的子像素驱动器相连接的第一电极 232; 与第二供电线 114 相连接的第二电极 214; 以及形成在第一电极 232 与第二电极 214 之间的有机发光层 230。OLED 阵列会由于水分和气体而导致劣化。考虑到这一点, 将 OLED 阵列形成在上基板 200 的由密封胶 300 密封的内区中。

在绝缘基板 210 上形成 OLED 的第二电极 214，其中，第二电极 214 由透明导电层形成，以透过从有机发光层 230 发出的光。将第二电极 214 形成为包括 OLED 阵列的板的形状。第二电极 214 将通过第二供电线 114 提供的第二电源共同提供给 OLED 阵列。然后，在第二电极 214 与绝缘基板 210 之间形成辅助电极 212，其中，由金属层制成的辅助电极 212 补偿了透明导电层的电阻元件。将辅助电极 212 形成在有机发光层 230 的非发射区中。

在第二电极 214 上形成有缓冲层 218，以按各子像素形成有机发光层 230 的发光区。将缓冲层 218 形成在有机发光层 230 的非发射区中。按矩阵结构布置有机发光层 230 的由缓冲层 218 提供的发光区。换句话说，缓冲层 218 提供各子像素中的 OLED 的部分。

在缓冲层 218 上形成有隔离物 220 和接触间隔物 222，其中，隔离物 220 将有机发光层 230 和第一电极 232 划分成多个子像素，接触间隔物 222 相对较高以将第一电极 232 与下基板 100 相连接。将隔离物 220 形成为包围各子像素的壁的形状。在用于将下基板 100 与上基板 200 相互电连接的预定部分（例如各子像素驱动器与 OLED 之间的接触部分）处将接触间隔物 222 形成为柱形。

为了将第三接触电极 234 与第一电极 232 隔离开，隔离物 220 的侧面沿与接触间隔物 222 逐渐变细的方向相反的方向逐渐变细。即，从接触间隔物 222 的与缓冲层 218 相接触的底部到其端部，接触间隔物 222 的截面积逐渐减小，因而接触间隔物 222 具有正向斜面。同时，从隔离物 220 的与缓冲层 218 相接触的底部到其端部，隔离物 220 的截面积逐渐增大，因而隔离物 220 具有反向斜面。

在形成有缓冲层 218、隔离物 220 以及接触间隔物 222 的第二电极 214 上形成有机发光层 230。然后，在有机发光层 230 上形成第一电极 232。隔离物 220 的反向斜面将有机发光层 230 和第一电极 232 分成多个子像素单元。有机发光层 230 包括空穴注入层、空穴输运层、发光层、电子输运层以及电子注入层。有机发光层 230 按各子像素单元发出红光、绿光和蓝光。

第一电极 232 具有这样的高度，即，该高度使得当将下基板 100 接合到上基板 200 时下基板 100 与上基板 200 可以相互接触。接触间隔物 222 与露出下基板 100 的第一接触电极 142 的接触孔 156 相对准。这样，覆盖接触间隔物 222 的第一电极 232 经由下基板 100 的导电球 164 而与第一接触电极 142 相连接。结果，通过第一接触电极 142 和导电球 164 向各子像素的第一电极 232 提供从薄膜晶体管（TFT）输出的驱动信号。

上基板 200 的第二电极 214 延伸到 OLED 阵列的周界，从而通过第三接触电极 234 将来自下基板 100 的第二电源信号提供给上基板 200 的第二电极 214。为了使得当第三接触电极 234 与下基板 100 的导电膜 160 相接触时与第二电极 214 相连接的第三接触电极 234 与第一电极 232 一样高，在第二电极 214 与第三接触电极 234 之间形成缓冲层 218 和接触间隔物 222。缓冲层 218 和接触间隔物 222 与露出下基板 100 的第二接触电极 144 的接触孔 158 相对准。因此，当将下基板 100 与上基板 200 相互接合时，覆盖缓冲层 218 和接触间隔物 222 的第三接触电极 234 经由下基板的导电球 164 而与第二接触电极 144 电连接。结果，经由第二接触电极 144、导电球 164 和第三接触电极 234 向第二电极 214 提供从第二供电线 114 提供的第二电源信号。与第一电极 232 一起形成第三接触电极 234。由隔离物 220 将第三接触电极 234 与第一电极 232 隔离开。

下基板 100 的第一供电线（未示出）向薄膜晶体管 TFT 的源极 124 提供驱动电压（VDD）和接地电压（GND）中的任一个作为电源信号；第二供电线向源极 124 提供驱动电压（VDD）和接地电压（GND）中的另一个作为电源信号。因此，形成在上基板 200 上的 OLED 阵列的第一电极 232 用作阴极和阳极中的任一个；而第二电极 214 用作阴极和阳极中的另一个。

在下基板 100 或上基板 200 的密封部分中形成密封胶 300，以由此将下基板 100 与上基板 200 相互接合。通过紫外线使密封胶 300 固化。此时，密封胶 300 粘合到上基板 200 的绝缘基板 210，并且还粘合到下基板 100 的导电膜 160 或有机绝缘层 154。

将包括子像素驱动阵列的下基板 100 接合到包括 OLED 阵列的上基

板 200。当将下基板 100 与上基板 200 接合时，对其施加热和压力。由此，下基板 100 与上基板 200 通过导电膜 160 相互电连接，并且由于所施加的热和压力而稳定地相互粘着。此时，导电膜 160 的树脂 162 和导电球 164 具有弹性。因此，当将下基板 100 与上基板 200 相互接合时，所施加的压力将下基板 100 的导电膜 160 下压在其与上基板 200 的接触间隔物 222 相接触的部分上，从而使位于与下基板 100 的接触孔 156 和接触孔 158 相对应的位置处的导电球 164 变形。经由这些变形的导电球 164，形成在接触间隔物 222 上的第一电极 232 和第三接触电极 234 分别与形成在下基板 100 上的第一接触电极 142 和第二接触电极 144 相连接。这样，具有弹性的导电膜 160 补偿了接触间隔物 222 的不均匀高度，从而使下基板 100 与上基板 200 稳定地相互电连接。并且，导电膜 160 还包括吸收从外部提供或在内部产生的水分和氧气的吸附材料，以由此通过防止有机发光层 230 的劣化来延长有机发光层 230 的使用寿命。

图 2 是例示根据本发明一个优选实施例的 OLED 显示装置的制造方法的流程图。

在步骤 2 (S2) 中，在下基板 100 的绝缘基板 110 上形成第一金属图案组，其中，该第一金属图案组包括选通线（未示出）、栅极 112、第二供电线 114、伪图案 118 以及下选通焊盘 116。详细地说，通过溅射在绝缘基板 110 上淀积第一金属层，然后通过光刻和刻蚀对该第一金属层进行构图，从而形成第一金属图案组。第一金属层由钼 (Mo)、钛 (Ti)、铜 (Cu)、铝 (Al)、铬 (Cr) 或它们的合金形成，其中，可以将第一金属层形成成为单层结构或多层结构。

在步骤 4 (S4) 中，在形成有第一金属图案组的绝缘基板 110 上形成栅绝缘层 120。在栅绝缘层 120 上依次淀积半导体层 122 和掺杂半导体层（未示出）。详细地说，通过 PECVD（等离子体增强化学汽相淀积）来淀积栅绝缘层 120、半导体层 122 和掺杂半导体层。栅绝缘层 120 由无机绝缘材料氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成。半导体层 122 由非晶硅层 (a-Si) 形成，掺杂半导体层由掺杂有 n⁺ 离子的硅层形成。然后，通过光刻和刻蚀对掺杂半导体层和半导体层 122 进行构图，由此半导体层

122 和掺杂半导体层部分地留在栅绝缘层 120 上。

在步骤 6 (S6) 中, 在形成有半导体层 122 的栅绝缘层 120 上形成第二金属图案组, 其中, 该第二金属图案组包括数据线 (未示出)、第一供电线 (未示出)、源极 124、漏极 126、伪图案 128 以及下数据焊盘 130。详细地说, 通过溅射淀积第二金属层, 然后通过光刻和刻蚀对该第二金属层进行构图, 从而形成第二金属图案组。然后, 使用源极 124 和漏极 126 作为掩模, 通过刻蚀工艺去除掺杂半导体层的暴露部分。第二金属层由钼 (Mo)、钛 (Ti)、铜 (Cu)、铝 (Al)、铬 (Cr) 或它们的合金形成, 其中, 可以将第二金属层形成为单层结构或多层结构。同时, 可以使用衍射曝光的衍射曝光掩模或具有半透射性的灰阶掩模, 通过一个掩模工艺来形成半导体层 122、掺杂半导体层和第二金属图案组。

在步骤 8 (S8) 中, 在包括有第二金属图案组的栅绝缘层 120 上形成包括有多个接触孔 134、136、138 及 140 的钝化层 132。可以通过 CVD 在形成有第二金属图案组的栅绝缘层 120 上形成钝化层 132。然后, 通过光刻和刻蚀对钝化层 132 进行构图, 从而形成露出漏极 126 的预定部分的接触孔 134、穿过栅绝缘层 120 露出第二供电线 114 的预定部分的接触孔 136、露出下选通焊盘 116 的接触孔 138 以及露出下数据焊盘 130 的接触孔 140。钝化层 132 由无机绝缘材料氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成。另一方面, 可以通过旋涂方法或无旋涂覆方法由有机绝缘材料形成钝化层 132。

在步骤 10 (S10) 中, 在钝化层 132 上形成第一接触电极 142 和第二接触电极 144。为了形成第一接触电极 142 和第二接触电极 144, 通过溅射在钝化层 132 上淀积第三金属层, 然后通过光刻和刻蚀对第三金属层进行构图。第一接触电极 142 经由接触孔 134 而与薄膜晶体管 TFT 的漏极 126 相连接, 第二接触电极 144 经由接触孔 136 而与第二供电线 114 相连接。第三金属层由钼 (Mo)、钛 (Ti)、铜 (Cu)、铝 (Al)、铬 (Cr) 或它们的合金形成, 其中, 可以将第三金属层形成为单层结构或多层结构。

在步骤 12 (S12) 中, 在钝化层 132 上方的接触孔 138 的表面上形

成上选通焊盘 146, 并在钝化层 132 上方的接触孔 140 的表面上形成上数据焊盘 148。为了形成上选通焊盘 146 和上数据焊盘 148, 通过溅射在钝化层 132 上淀积透明导电层, 然后通过光刻和刻蚀对该透明导电层进行构图。上选通焊盘 146 经由接触孔 138 而与下选通焊盘 116 相连接, 上数据焊盘 148 经由接触孔 140 而与下数据焊盘 130 相连接。该透明导电层由 ITO (铟锡氧化物)、TO (氧化锡)、IZO (铟锌氧化物) 或 ITZO (铟锡锌氧化物) 形成。

在步骤 14 (S14) 中, 在形成有第一接触电极 142 和第二接触电极 144 的钝化层 132 上形成包括有接触孔 156 和接触孔 158 的有机绝缘层 154。通过旋涂方法或无旋涂覆方法在钝化层 132 上形成有机绝缘层 154。然后, 通过光刻和刻蚀对有机绝缘层 154 进行构图, 由此接触孔 156 和接触孔 158 穿透有机绝缘层 154。具有相同高度的接触孔 156 和接触孔 158 分别露出第一接触电极 142 和第二接触电极 144 的预定部分。同时, 可以在形成上选通焊盘 146 和上数据焊盘 148 之前在钝化层 132 上形成有机绝缘层 154。

通过步骤 2 到 14 (S2 到 S14) 完成了图 1 的下基板 100。此时, 在将下基板 100 与上基板 200 接合之前形成图 1 中所示的下基板 100 的导电膜 160, 因此对导电膜 160 进行如下说明。

在步骤 20 (S20) 中, 在上基板 200 的绝缘基板 210 上形成辅助电极 212。为了形成辅助电极 212, 通过溅射在绝缘基板 210 上淀积金属层, 然后通过光刻和刻蚀对该金属层进行构图。辅助电极 212 的金属层由钼 (Mo)、钛 (Ti)、铜 (Cu)、铝 (Al)、铬 (Cr) 或它们的合金形成, 其中, 可以将辅助电极 212 形成成为单层结构或多层结构。

在步骤 22 (S22) 中, 在形成有辅助电极 212 的绝缘基板 210 上形成第二电极 214。为了形成第二电极 214, 在形成有辅助电极 212 的绝缘基板 210 上淀积透明导电层, 然后通过光刻和刻蚀对该透明导电层进行构图。该透明导电层可以由 ITO (铟锡氧化物)、TO (氧化锡)、IZO (铟锌氧化物) 或 ITZO (铟锡锌氧化物) 形成。

在步骤 24 (S24) 中, 在第二电极 214 上形成缓冲层 218。为了形成

缓冲层 218, 通过 PECVD 在第二电极 214 上淀积绝缘层, 然后通过光刻和刻蚀对该绝缘层进行构图。缓冲层 218 可以由无机绝缘材料氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成。另一方面, 可以通过旋涂方法或无旋涂覆方法由有机绝缘材料形成缓冲层 218。

在步骤 26 (S26) 中, 在缓冲层 218 上形成隔离物 220。为了形成隔离物 220, 通过旋涂方法或无旋涂覆方法在缓冲层 218 上涂覆有机绝缘材料, 然后通过光刻和刻蚀对该有机绝缘材料进行构图, 由此隔离物 220 具有反向斜面。

在步骤 28 (S28) 中, 在缓冲层 218 上形成接触间隔物 222。为了形成接触间隔物 222, 通过旋涂方法或无旋涂覆方法在缓冲层 218 上涂覆有机绝缘材料, 然后通过光刻和刻蚀对该有机绝缘材料进行构图。同时, 可以在形成隔离物 220 之前在缓冲层 218 上形成接触间隔物 222。

在步骤 30 (S30) 中, 在形成有接触间隔物 222、隔离物 220 及缓冲层 218 的第二电极 214 上形成有机发光层 230。使用遮蔽掩模 (shadow mask), 通过重复的淀积工艺在红色、绿色和蓝色的对应部分中依次形成有机发光层 230。隔离物 220 将有机发光层 230 分成多个子像素单元。

在步骤 32 (S32) 中, 在有机发光层 230 上形成第一电极 232, 并在第二电极 214 上形成第三接触电极 234。为了形成第一电极 232 和第三接触电极 234, 通过热蒸镀在有机发光层 230 上淀积金属材料。隔离物 220 将第一电极 232 分成多个子像素单元。同时, 隔离物 220 将第三接触电极 234 与第一电极 232 隔离开。第一电极 232 和第三接触电极 234 可以由 Al、MgAg、Ca 或 Ba 形成。

通过步骤 20 到 32 (S20 到 S32) 完成了图 1 的上基板 200。

在步骤 40 (S40) 中, 在形成有有机绝缘层 154 的下基板 100 上形成导电膜 160。此时, 可以将去除了保护膜的导电膜 160 粘合到有机绝缘层 154, 或者可以通过掩模来印刷包括有导电球 164 的树脂 162。并且, 导电膜 160 包括吸收水分和气体的吸附材料。

在步骤 42 (S42) 中, 在下基板 100 上形成密封胶 300, 并将上基板 200 与下基板 100 相对地放置。然后, 利用真空将下基板 100 与上基板

200 相互接合。此时，当将下基板 100 与上基板 200 相互接合时，所施加的压力将下基板 100 的导电膜 160 下压在其与上基板 200 的接触间隔物 222 相接触的部分上，从而使位于与下基板 100 的接触孔 156 和接触孔 158 相对应的位置处的导电球 164 变形。经由这些变形的导电球 164，形成在接触间隔物 222 上的第二电极 232 和第三接触电极 234 分别与形成在下基板 100 上的第一接触电极 142 和第二接触电极 144 相连接。此时，具有弹性的导电膜 160 补偿了接触间隔物 222 的不均匀高度，使下基板 100 与上基板 200 稳定地相互电连接。并且，导电膜 160 还包括吸收从外部提供或在内部产生的水分和氧气的吸附材料，以由此防止有机发光层 230 劣化。

图 3 是例示根据本发明另一优选实施例的 OLED 显示装置的剖面图。

除了仅在由密封胶 300 形成的密封部分的内区中形成有机绝缘层 174 和导电膜 180 以外，图 3 的 OLED 显示装置在结构上与图 1 的 OLED 显示装置相同。因此，将略去对在图 1 中已描述的要素的说明。

在下基板 100 上，有机绝缘层 174 和导电膜 180 位于由密封胶 300 形成的密封部分的内区中。因此，将密封胶 300 粘合到由无机绝缘材料制成的钝化层 132，这与图 1 中所示的将导电膜 160 粘合到保护膜或有机绝缘层 154 相比具有更好的粘合性。结果，可以防止水分经由密封胶 300 与下基板 100 之间的界面和密封胶 300 与上基板 200 之间的界面渗透到密封部分的内区中。

图 4 是例示根据本发明第三优选实施例的 OLED 显示装置的剖面图。

除了仅在将下基板 100 与上基板 200 相互电连接的预定部分上部分地形成导电膜 190 以外，图 4 的 OLED 显示装置在结构上与图 3 的 OLED 显示装置相同。因此，将略去对在图 1 和图 3 中已描述的要素的说明。

如图 4 所示，仅在将下基板 100 与上基板 200 相互电连接的预定部分上部分地形成导电膜 190。即，在下基板 100 上与露出第一接触电极 142 和第二接触电极 144 的接触孔相对应地形成导电膜 190。例如，可以将导电膜 190 独立地设置在各子像素的子像素驱动器上，或者可以将导电膜 190 设置成穿过所述多个子像素驱动器的线的形状。此外，可以将

导电膜 190 仅独立地形成在第二接触电极 144 的位于子像素驱动器的周界的部分上，或者可以将导电膜 190 形成为穿过所述多个第二接触电极 144 的线的形状。

可以通过掩模印刷方法或者通过对覆盖有保护膜的导电膜 190 进行处理和粘合来形成导电膜 190。由于仅在将下基板 100 与上基板 200 相互电连接的预定部分上部分地形成导电膜 190，因此可以防止不必要地浪费导电膜 190。

图 5 是例示根据本发明第四优选实施例的 OLED 显示装置的剖面图。

除了仅在将下基板 100 与上基板 200 相互电连接所需的预定部分上设置具有弹性的导电球 184 以外，图 5 的 OLED 显示装置在结构上与图 3 的 OLED 显示装置相同。因此，将略去对在图 1 和图 3 中已描述的要素的说明。

如图 5 所示，将导电球 184 插入到露出下基板 100 的第一接触电极 142 和第二接触电极 144 的接触孔 156 和接触孔 158 中。详细地说，将包括导电球 184 的溶液滴在下基板 100 上，然后摇摆下基板 100，由此将导电球 184 插入到有机绝缘层 154 的接触孔 156 和接触孔 158 中。至少一个导电球 184 足够小，使得可以将该导电球 184 插入到接触孔 156 和接触孔 158 中，其中，每个导电球 184 的直径都为几微米 (μm)。另外，导电球的尺寸适合于稳定地固定在接触孔中。经由插入到接触孔 156 中的导电球 184，上基板 200 的第一电极 232 与下基板 100 的第一接触电极 142 电连接。并且，插入到接触孔 158 中的具有弹性的另一导电球 184 将上基板 200 的第三接触电极 234 与下基板 100 的第二接触电极 144 电连接。

例如，为了使导电球 184 具有弹性，将具有弹性的绝缘球的外表面涂覆以导电膜。因此，导电球 184 由于施加给下基板 100 的力而变形，使得变形的导电球 184 补偿接触间隔物 222 的高度差，从而防止断路缺陷。

除了图 5 的导电球 184 以外，还可以使用通过将可熔金属球涂覆以绝缘材料而形成的球 194。如图 6 所示，将包括球 194 的溶液滴在下基板

100 上, 然后摇摆下基板 100, 由此将球 194 插入到有机绝缘层 154 的接触孔 156 和接触孔 158 中。由于在将下基板 100 与上基板 200 相互接合时球 194 会由于施加给下基板 100 的热和压力而破裂, 因此使得可熔金属从球 194 中流出来。因而, 接触孔 156 和接触孔 158 充满可熔金属。在该状态下, 无论接触间隔物 222 的不均匀高度如何, 可熔金属都会粘合到下基板和上基板, 然后固化。经由填充在接触孔 156 和接触孔 158 中的导电层 196, 下基板 100 的第一接触电极 142 与上基板 200 的第一电极 232 电连接, 下基板 100 的第二接触电极 144 与上基板 200 的第三接触电极 234 电连接。

如上所述, 根据本发明的 OLED 显示装置及其制造方法具有以下优点。

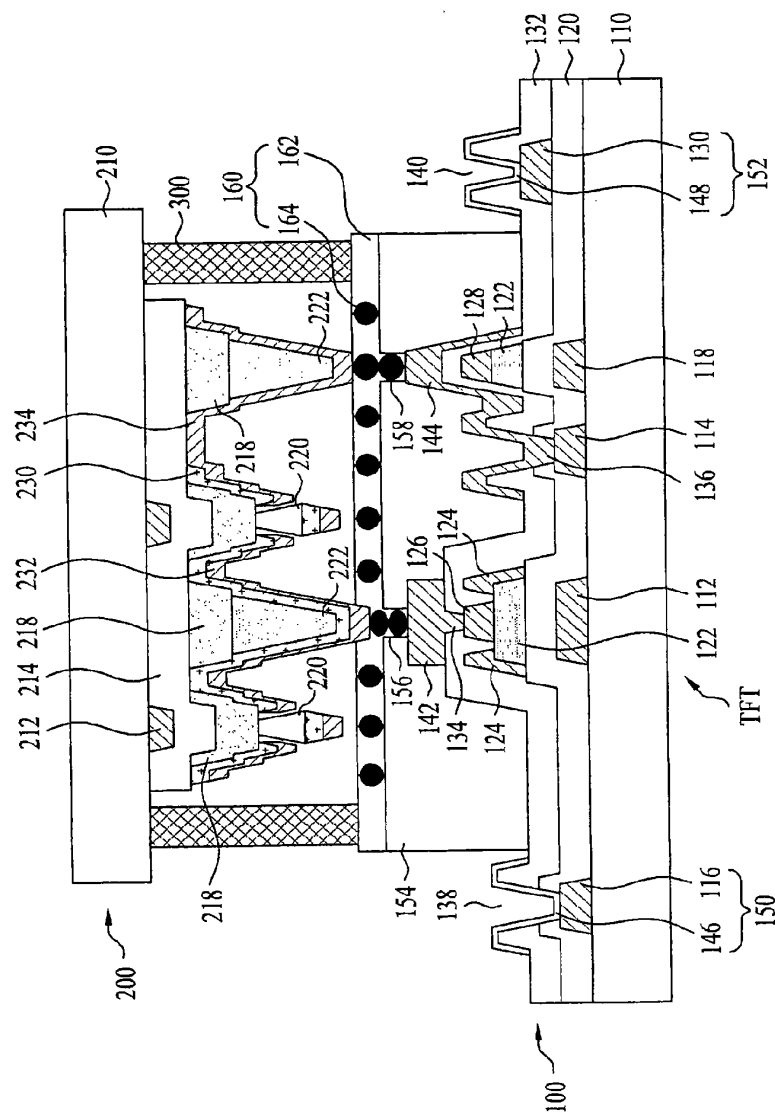
在根据本发明的 OLED 显示装置中, 通过具有弹性的导电膜或导电球将下基板与上基板相互电连接。这样, 可以防止出现由于接触间隔物的不均匀高度或外部施加的力而可能出现的断路缺陷。

并且, 导电膜包括吸收水分或气体的吸附材料, 从而防止有机发光层劣化。

此外, OLED 显示装置可以使用包括有可熔金属的球。这样, 当将下基板与上基板相互接合时, 由于所施加的热和压力而熔化的可熔金属会粘着到下基板和上基板, 然后固化, 使得可以防止由接触间隔物的不均匀高度或外部施加的力所导致的断路缺陷。

对于本领域的技术人员, 很明显, 可以在不脱离本发明的精神或范围的情况下对本发明进行各种修改和变型。因此, 本发明旨在涵盖落在所附权利要求及其等同物的范围内的对本发明的这些修改和变型。

本申请要求于 2006 年 6 月 30 日提交的韩国专利申请 2006-61113 号的优先权, 通过引用将其合并于此, 如同在此对其进行充分阐述一样。



一
[X]

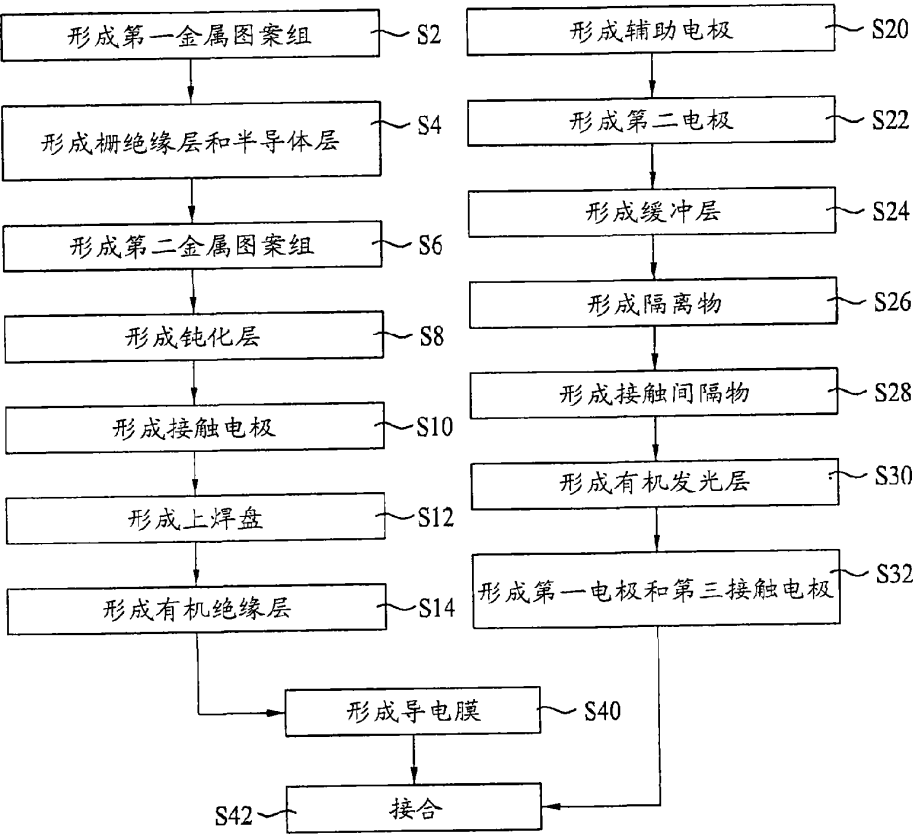
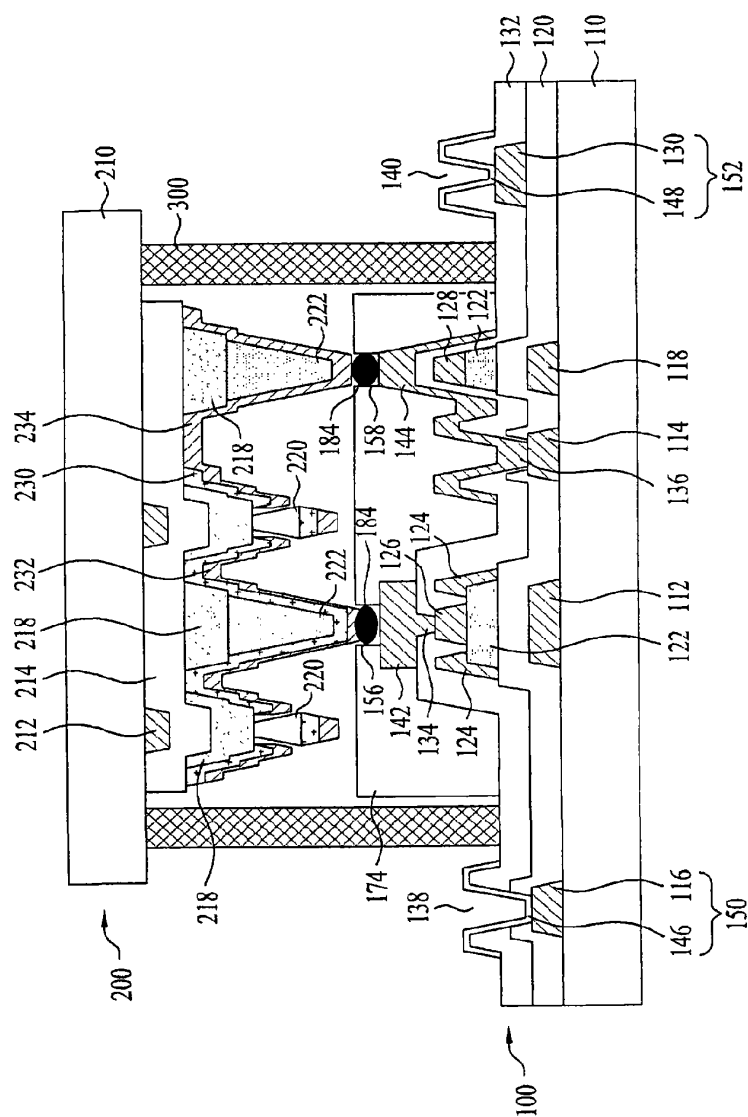


图 2



五

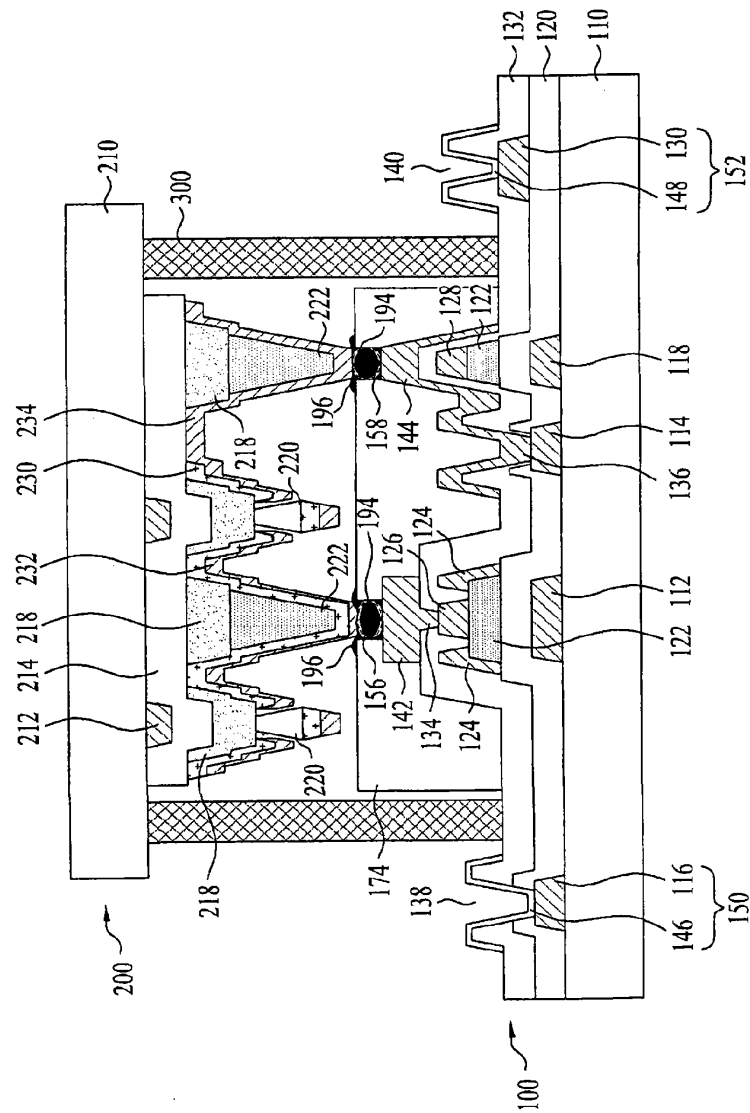


图 6

Electronic Patent Application Fee Transmittal				
Application Number:		14447620		
Filing Date:		31-Jul-2014		
Title of Invention:		PIXEL STRUCTURE		
First Named Inventor/Applicant Name:		Yi-Hsuan Lee		
Filer:		Belinda Lee/Tammy Liu		
Attorney Docket Number:		48842-US-PA		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt	
EFS ID:	23517218
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	21-SEP-2015
Filing Date:	31-JUL-2014
Time Stamp:	01:23:45
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$ 180
RAM confirmation Number	8180
Deposit Account	502620
Authorized User	HUAI-LU, LEE-
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	48842_IDS_Form.pdf	615987	no	4
			fa07c7574fb6810e9023fd6410e6e7396a9d6a47		
Warnings:					
Information:					
2	Foreign Reference	CN103155019.pdf	7040939	no	73
			a51149ab484a352fbc56eb18bd6c274134fd953e		
Warnings:					
Information:					
3	Foreign Reference	CN102741905.pdf	5911944	no	53
			de3a37c21ecd22bb5a706df2036db81bf187700a		
Warnings:					
Information:					
4	Foreign Reference	CN101097911.pdf	2847156	no	28
			987e344db50ff30208a8afc47f581cac57fd5a7		
Warnings:					
Information:					
5	Fee Worksheet (SB06)	fee-info.pdf	30135	no	2
			ccd6e34285fe8be4b06fc22179b2b6a416cd37e8		
Warnings:					
Information:					
Total Files Size (in bytes):			16446161		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PLUS Search Results for S/N 14447620, Searched Thu Sep 17 10:30:36 EDT 2015
 The Patent Linguistics Utility System (PLUS) is a USPTO automated search system for U.S. Patents from 1971 to the present PLUS is a query-by-example search system which produces a list of patents that are most closely related linguistically to the application searched. This search was prepared by the staff of the Scientific and Technical Information Center, SIRA.

5395493 99	4500402 75	5920148 75
4591687 93	4540002 75	5923119 75
5625382 93	4577640 75	6022470 75
4772851 87	4589119 75	6033056 75
5538620 87	4847171 75	6037708 75
5583527 87	4891485 75	6051454 75
5628663 87	4901725 75	6091380 75
5666019 87	4939425 75	6091745 75
5973655 87	4955960 75	6101014 75
6116257 87	4960718 75	6104516 75
4290474 81	4965142 75	6110169 75
4300091 81	5225660 75	6117304 75
4440726 81	5230849 75	6132477 75
4488029 81	5248371 75	6149789 75
4491951 81	5284566 75	6150920 75
4536636 81	5318572 75	6207981 75
4566950 81	5325382 75	6219013 75
4780663 81	5341807 75	6219013 75
5187371 81	5349159 75	6242985 75
5231422 81	5382469 75	6249264 75
5298146 81	5408156 75	4246579 68
5574311 81	5446430 75	4247804 68
5616061 81	5454377 75	4251336 68
5637952 81	5498489 75	4254033 68
5654114 81	5502318 75	4254356 68
5745085 81	5518590 75	4267484 68
5786794 81	5523177 75	4284856 68
5825345 81	5552239 75	4292209 68
5843798 81	5567641 75	4293832 68
5879308 81	5576868 75	4292968 68
5953583 81	5607541 75	4296269 68
6023258 81	5618216 75	4302659 68
6107728 81	5618450 75	4307279 68
4245233 75	5630741 75	4307720 68
4248243 75	5644188 75	4310563 68
4255238 75	5644190 75	4326142 68
4266263 75	5683430 75	4326932 68
4291321 75	5700176 75	4327163 68
4303073 75	5707755 75	4329403 68
4326927 75	5736029 75	4335936 68
4341944 75	5789659 75	4339624 68
4347478 75	5811929 75	4345156 68
4348685 75	5825047 75	4349749 68
4382826 75	5834133 75	4350902 68
4394239 75	5842983 75	4357497 68
4394765 75	5866873 75	4365137 68
4427052 75	5874932 75	4365200 68
4442340 75	5905277 75	4368405 68
4494541 75	5905489 75	4370697 68

4371432 68	4613209 68	5004050 68
4374719 68	4620102 68	5004657 68
4386297 68	4621261 68	5004951 68
4387354 68	4628227 68	5005587 68
4390223 68	4755721 68	5007424 68
4393373 68	4758481 68	5013400 68
4392926 68	4762136 68	5015354 68
4396823 68	4762599 68	5020541 68
4399007 68	4763659 68	5020544 68
4400611 68	4776019 68	5021810 68
4403018 68	4785669 68	5022977 68
4402806 68	4791035 68	5182228 68
4407912 68	4791388 68	5184344 68
4408604 68	4805182 68	5184616 68
4415426 68	4818359 68	5186808 68
4418300 68	4829209 68	5196369 68
4417959 68	4829833 68	5198771 68
4419200 68	4832805 68	5200741 68
4419995 68	4836907 68	5201808 68
4422172 68	4839492 68	5203330 68
4424026 68	4846950 68	5205905 68
4424932 68	4851309 68	5221870 68
4425027 68	4853590 68	5228974 68
4429308 68	4865039 68	5233985 68
4430544 68	4866330 68	5236536 68
4433359 68	4868791 68	5255677 68
4436981 68	4870321 68	5256856 68
4440835 68	4871440 68	5258628 68
RE31605 68	4895169 68	5260148 68
4455210 68	4898699 68	5260560 68
4458190 68	4900405 68	5265601 68
4458537 68	4902088 68	5270137 68
4467274 68	4903277 68	5272588 68
4474839 68	4904195 68	5274664 68
4479044 68	4912327 68	5278388 68
4486724 68	4919145 68	5284571 68
4490733 68	4920979 68	5285043 68
4498478 68	4922504 68	5288965 68
4501051 68	4935105 68	5290323 68
4501938 68	4937041 68	5291037 68
4502214 68	4937694 68	5291050 68
4505991 68	4942337 68	
4508598 68	4945045 68	
4510516 68	4946548 68	
4510210 68	4957614 68	
4511838 68	4959748 68	
4519771 68	4965151 68	
4554928 68	4966131 68	
4555453 68	4968569 68	
4561449 68	4973141 68	
4573481 68	4975171 68	
4579119 68	4985663 68	
4583026 68	4992703 68	
4586188 68	4994167 68	
4591240 68	5000180 68	
4603696 68	5002642 68	

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Examiner: SOWARD, IDA M

Group Art Unit: 2822

In re PATENT APPLICATION of
Applicants : Au Optronics Corporation)

Serial No. : 14/447,620)

Filed : July 31, 2014)

For : PIXEL STRUCTURE)

AMENDMENT

) Attorney Docket: 48842-US-PA

The Commissioner is authorized to charge any fees required in connection with the filing of this paper to account No. 50-2620 (Order No.: 48842-US-PA).

AMENDMENT AND RESPONSE TO OFFICE ACTION

United States Patent and Trademark Office
Customer Service Window
Mail Stop Amendment
Randolph Building
401 Dulany Street
Alexandria, VA 22314
|

Dear Sir:

The Office Action electronically delivered on June 24, 2015 has been carefully considered. In response thereto, please enter the following amendments and consider the following remarks.

AMENDMENTS

In The Claims:

1. (original) A pixel structure, comprising:
 - a data line and a scan line;
 - at least one active device electrically connected with the data line and the scan line,
 - and each active device comprising a gate, a channel layer, a source, and a drain;
 - a first auxiliary electrode electrically insulated from the active device; and
 - a light emitting device disposed above the first auxiliary electrode, wherein the light emitting device comprises:
 - a first electrode layer electrically connected with the first auxiliary electrode;
 - a light emitting layer disposed on the first electrode layer; and
 - a second electrode layer disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device.
2. (original) The pixel structure according to claim 1, further comprising a first insulating layer covering the active device and the first auxiliary electrode, and the first electrode layer of the light emitting device being disposed on the first insulating layer, wherein the first insulating layer has a first contact window opening that exposes the first auxiliary electrode, and the first electrode layer is electrically connected with the first auxiliary electrode via the first contact window opening.
3. (original) The pixel structure according to claim 2, further comprising a second insulating layer covering the first insulating layer and the first electrode layer of the light

emitting device, and the second electrode layer of the light emitting device being disposed on the second insulating layer, wherein the second insulating layer has an opening that exposes the first electrode layer, and the light emitting layer of the light emitting device is disposed in the opening.

4. (original) The pixel structure according to claim 3, wherein the first insulating layer and the second insulating layer further comprise a second contact window opening that exposes a portion of the active device, and the second electrode layer of the light emitting device is electrically connected with the active device via the second contact window opening.

5. (original) The pixel structure according to claim 1, wherein the first auxiliary electrode is a single electrode layer.

6. (original) The pixel structure according to claim 1, wherein the first auxiliary electrode comprises:

a bottom electrode layer; and

a top electrode layer electrically connected with the bottom electrode layer, wherein the first electrode layer of the light emitting device is electrically connected with the top electrode layer of the first auxiliary electrode.

7. (original) The pixel structure according to claim 6, wherein the bottom electrode layer and the gate of the active device belong to the same layer.

8. (original) The pixel structure according to claim 6, wherein the top electrode layer and the source and the drain of the active device belong to the same layer.

9. (original) The pixel structure according to claim 1, further comprising an isolating structure disposed around the second electrode layer of the light emitting device, wherein a gap exists between the second electrode layer and the isolating structure.

10. (original) The pixel structure according to claim 1, further comprising a second auxiliary electrode electrically insulated from the active device and disposed at a side of the light emitting device, wherein the second auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

11. (original) The pixel structure according to claim 10, wherein the second auxiliary electrode and the second electrode layer of the light emitting device belong to the same layer, and the second auxiliary electrode and the second electrode layer of the light emitting device are electrically insulated from each other.

12. (original) The pixel structure according to claim 1, wherein the light emitting device is a top-emission organic electroluminescent device.

13. (original) The pixel structure according to claim 1, wherein a vertical projection of the light emitting layer of the light emitting device at least partially overlaps the first auxiliary electrode.

Claims 14-18. (cancelled)

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

In The Specification:

Please amend the title as follows:

PIXEL STRUCTURE HAVING LIGHT EMITTING DEVICE ABOVE
AUXILIARY ELECTRODE

REMARKS

Present Status of the Application

The Office Action electronically delivered on June 24, 2015 has been received and carefully noted. The amendments made herein and the following remarks are submitted as a full and complete response to the Office Action.

In the Office Action, the Examiner pointed out that the title of the invention is not descriptive and a new title is required that is clearly indicative of the invention to which the claims are directed.

In response thereto, Applicants have amended the title of the invention based on the suggestion proposed by the Examiner.

In addition, in the Office Action, claims 1-9 and 12-13 are allowed. Claims 10-11 and 14-18 are in withdrawn condition and the Office Action requires cancellation of these claims.

In response thereto, Applicants have cancelled claims 14-18. However, Applicants respectfully request the rejoinder of claims 10-11.

Interview Summary

An interview was conducted between the undersigned and Examiner Ida M. Soward on July 16, 2015. During the interview, the rejoinder with respect to claims 10-11 were discussed. The Examiner agrees that claims 10-11 shall also be allowed.

Discussion of rejoinder of claims 10-11

Claims 1-9 and 12-13 are allowed. The Office Action required the cancellation of claims 10-11. However, Applicants respectfully traverse the request to cancel claims 10-11 for at least the reasons set forth below.

As stated in the previous Restriction Requirement, the limitation recites in claims 10-11 cannot be read on either FIG. 2 (Species I) or FIG. 6 (Species II). More specifically, the limitation with respect to “second auxiliary electrode” and its configuration recited in claims 10-11 can only be found in FIG. 5 of the present application. Thus, claims 10-11 are currently not being examined. However, since the limitation recited in claim 1 can be read on FIG. 5, Applicants respectfully submit that claim 1 is a generic claim between FIG. 5 (corresponding to claims 10-11) and Species I.

According to MPEP 806.04, “37 CFR 1.141 provides that an allowable generic claim may link a reasonable number of species embraced thereby.” That is, upon the allowance of a generic claim, Applicant will be entitled to consideration of claims to additional species which are written in dependent form or otherwise include all of the limitations of an allowed generic claim as provided by 37 CFR 1.141. **Although FIG. 5 had not been identified as a species, the embodiment corresponding to FIG. 5 can be read on by at least claims 1, 10, and 11.** Thus, upon the allowance of claim 1, Applicants respectfully submit that claims 10-11 would be allowed for rejoinder.

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

CONCLUSION

For at least the foregoing reasons, it is believed that the pending claims 1-13 are in proper condition for allowance. If the Examiner believes that a telephone conference would expedite the examination of the above-identified patent application, the Examiner is invited to call the undersigned.

Date :

August 21, 2015

Respectfully submitted,

/Belinda Lee/

Belinda Lee

Registration No. 46,863

Jianq Chyun Intellectual Property Office
7th Floor-1, No. 100 Roosevelt Road, Section 2, Taipei,
100, Taiwan
eVoice No.: 877-504-5885 ext. 1
Tel: 011-886-2-2369-2800
Fax: 011-886-2-2369-7233
Email: belinda@jcipgroup.com.tw
usa@jcipgroup.com.tw

Electronic Acknowledgement Receipt	
EFS ID:	23271821
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	21-AUG-2015
Filing Date:	31-JUL-2014
Time Stamp:	05:19:35
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment		no			
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		48842-RESPONSE-EQ.pdf	274179	yes	8
			af12a00358ab354347033cfac93ca7ead4580649		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Response after Ex Parte Quayle Action	1	1
	Claims	2	4
	Specification	5	5
	Applicant Arguments/Remarks Made in an Amendment	6	8
Warnings:			
Information:			
Total Files Size (in bytes):		274179	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 14/447,620		Filing Date 07/31/2014		☐ To be Mailed	
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO									
APPLICATION AS FILED – PART I									
(Column 1)		(Column 2)							
FOR		NUMBER FILED		NUMBER EXTRA		RATE (\$)		FEE (\$)	
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A		N/A		N/A			
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A		N/A		N/A			
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A		N/A		N/A			
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =		*		X \$ =			
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =		*		X \$ =			
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).							
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))									
* If the difference in column 1 is less than zero, enter "0" in column 2.						TOTAL			
APPLICATION AS AMENDED – PART II									
(Column 1)		(Column 2)		(Column 3)					
AMENDMENT	08/21/2015	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 13	Minus	** 20	= 0	X \$80 =		0	
	Independent (37 CFR 1.16(h))	* 1	Minus	***3	= 0	X \$420 =		0	
	☐ Application Size Fee (37 CFR 1.16(s))								
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
						TOTAL ADD'L FEE		0	
(Column 1)		(Column 2)		(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =			
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =			
	☐ Application Size Fee (37 CFR 1.16(s))								
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
						TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.									

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086
31561 7590 07/23/2015 JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN			EXAMINER SOWARD, IDA M	
			ART UNIT 2822	PAPER NUMBER
			NOTIFICATION DATE 07/23/2015	DELIVERY MODE ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USA@JCIPGROUP.COM.TW
Belinda@JCIPGROUP.COM.TW

<i>Applicant-Initiated Interview Summary</i>	Application No. 14/447,620	Applicant(s) LEE ET AL.	
	Examiner IDA M. SOWARD	Art Unit 2822	

All participants (applicant, applicant's representative, PTO personnel):

(1) IDA M. SOWARD. (3) _____.

(2) Belinda Lee. (4) _____.

Date of Interview: 16 July 2015.

Type: ☒ Telephonic ☐ Video Conference
 ☐ Personal [copy given to: ☐ applicant ☒ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☒ No.
 If Yes, brief description: _____.

Issues Discussed ☐101 ☐112 ☐102 ☐103 ☒Others
 (For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: 10 and 11.

Identification of prior art discussed: N/A.

Substance of Interview
 (For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Claim 1 is generic therefore, claims 10-11 will be rejoined.

Applicant recordation instructions: The formal written reply to the last Office action must include the substance of the interview. (See MPEP section 713.04). If a reply to the last Office action has already been filed, applicant is given a non-extendable period of the longer of one month or thirty days from this interview date, or the mailing date of this interview summary form, whichever is later, to file a statement of the substance of the interview

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☐ Attachment

/IDA M SOWARD/ Primary Examiner, Art Unit 2822	
---	--

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record

A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews

Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.

All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:

- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:

- 1) A brief description of the nature of any exhibit shown or any demonstration conducted,
- 2) an identification of the claims discussed,
- 3) an identification of the specific prior art discussed,
- 4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
- 5) a brief identification of the general thrust of the principal arguments presented to the examiner,
(The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
- 6) a general indication of any other pertinent matters discussed, and
- 7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

INTERVIEW SUMMARY

In re application of	: AU OPTRONICS CORPORATION
Application No.	: 14/447,620
Filed	: July 31, 2014
For	: PIXEL STRUCTURE
Examiner	: SOWARD, IDA M
Date of Interview	: July 16, 2015

The examiner agrees that claims 10-11 shall also be allowed. The examiner suggests presenting our arguments/explanations in the next Response and she will proceed accordingly.

Interview Agenda

As stated in the previous Restriction Requirement, the limitation recites in claims 10-11 cannot be read on either FIG. 2 (Species I) or FIG. 6 (Species II). More specifically, the limitation with respect to “second auxiliary electrode” and its configuration recited in claims 10-11 can only be found in FIG. 5 of the present application. Thus, claims 10-11 are currently not being examined. However, since the limitation recited in claim 1 can be read on FIG. 5, Applicants respectfully submit that claim 1 is a generic claim between FIG. 5 (corresponding to claims 10-11) and Species I.

According to MPEP 806.04, “37 CFR 1.141 provides that an allowable generic claim may link a reasonable number of species embraced thereby.” That is, upon the allowance of a generic claim, Applicant will be entitled to consideration of claims to additional species which are written in dependent form or otherwise include all of the limitations of an allowed generic claim as provided by 37 CFR 1.141. **Although FIG. 5 had not been identified as a species, the embodiment corresponding to FIG. 5 can be read on by at least claims 1, 10, and 11.** Thus,

Docket No. 48842-US-PA
Application No.: 14/447,620

upon the allowance of claim 1, Applicants respectfully submit that claims 10-11 would be allowed for rejoinder.

I may be contacted via email at Belinda@jcipgroup.com.tw or by leaving an evoice message at 8775045885, ext 1.

Respectfully submitted

Date: July 21, 2015

/Belinda Lee/
Belinda Lee
Registration No. 46,863

Correspondence Address:

JCIP Group
7F-1, No. 100, Roosevelt Road Section 2
Taipei, Taiwan R.O.C. 10084
Tel: 886-2-23692800
eVoice: 8775045885, ext 1
Fax: 886-2-23698454

Electronic Acknowledgement Receipt	
EFS ID:	22971095
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	21-JUL-2015
Filing Date:	31-JUL-2014
Time Stamp:	02:28:43
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment		no			
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Applicant summary of interview with examiner	48842.pdf	29577	no	2
			1f4014ef4d54161308f547fb5dddec97f24b07ae0		
Warnings:					
Information:					

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086
31561 7590 06/24/2015 JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN			EXAMINER SOWARD, IDA M	
			ART UNIT 2822	PAPER NUMBER
			NOTIFICATION DATE 06/24/2015	DELIVERY MODE ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USA@JCIPGROUP.COM.TW
Belinda@JCIPGROUP.COM.TW

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

This Office Action is in response to the election filed May 7, 2015.

Election/Restrictions

Applicant's election with traverse of claims 1-9 and 12-13 in the reply filed on May 7, 2015 is acknowledged. The traversal is on the ground(s) that the groupings of patentably indistinct species are incorrect. This is found to be persuasive because. However, there are no generic claims

The requirement is still deemed proper and is therefore made FINAL.

This application is in condition for allowance except for the presence of claims 10-11 and 14-18 directed to an invention non-elected with traverse in the reply filed on 05/07/2015. Applicant is given TWO MONTHS from the date of this letter to cancel the noted claims or take other appropriate action (37 CFR 1.144). Failure to take action during this period will be treated as authorization to cancel the noted claims by Examiner's Amendment and pass the case to issue. Extensions of time under 37 CFR 1.136(a) will not be permitted since this application will be passed to issue.

The prosecution of this case is closed except for consideration of the above matter.

Priority

Receipt is acknowledged of certified copies of papers required by 37 CFR 1.55.

Specification

The title of the invention is not descriptive. A new title is required that is clearly indicative of the invention to which the claims are directed.

The following title is suggested: PIXEL STRUCTURE **HAVING A LIGHT
EMITTING DEVICE ABOVE AN AUXILIARY ELECTRODE.**

Allowable Subject Matter

Claims 1-9 and 12-13 are allowed.

The following is a statement of reasons for the indication of allowable subject matter: The prior art of record does not disclose, make obvious, or otherwise suggest the structure of the applicant's together with the other limitations of the independent claims, such as "a first auxiliary electrode electrically insulated from the active device; and a light emitting device disposed above the first auxiliary electrode, wherein the light emitting device comprises: a first electrode layer electrically connected with the first auxiliary electrode; a light emitting layer disposed on the first electrode layer; and a

second electrode layer disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device”.

The dependent claims being further limiting and definite are also allowable.

Conclusion

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

The following patents are cited to further show the state of the art with respect to pixel structures:

Asano et al. (US 7,432,885 B2)	Jung et al. (US 2007/0063936 A1)
Koo et al. (US 7,279,714 B2)	Kwak (US 2005/0179374 A1)
Matsuda (US 8,062,695 B2)	Park et al. (US 2010/0026167 A1)
Yan et al. (US 2013/0187135 A1)	Yoshida (US 2008/0158137 A1).

This application is in condition for allowance except for the above formal matters.

Prosecution on the merits is closed in accordance with the practice under *Ex parte Quayle*, 25 USPQ 74, 453 O.G. 213, (Comm'r Pat. 1935).

A shortened statutory period for reply to this action is set to expire **TWO MONTHS** from the mailing date of this letter.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to IDA M. SOWARD whose telephone number is (571)272-

1845. The examiner can normally be reached on Monday - Thursday 6:00am to 4:30pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Brett A. Feeney can be reached on 571-270-5484. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

IMS
June 16, 2015
/IDA M SOWARD/
Primary Examiner, Art Unit 2822

Notice of References Cited	Application/Control No. 14/447,620	Applicant(s)/Patent Under Reexamination LEE ET AL.	
	Examiner IDA M. SOWARD	Art Unit 2822	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,432,885	10-2008	Asano et al.	345/76
*	B	US-2007/0063936	03-2007	Jung et al.	345/076
*	C	US-7,279,714	10-2007	Koo et al.	257/72
*	D	US-2005/0179374	08-2005	Kwak, Won-Kyu	313/506
*	E	US-8,062,695	11-2011	Matsuda, Eisuke	427/66
*	F	US-2010/0026167	02-2010	Park et al.	313/504
*	G	US-2013/0187135	07-2013	YAN et al.	257/40
*	H	US-2008/0158137	07-2008	Yoshida, Yasunori	345/102
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<p align="center"><i>Index of Claims</i></p> 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant		☐ CPA		☐ T.D.		☐ R.1.47			
CLAIM		DATE							
Final	Original	03/05/2015	06/16/2015						
	1	÷	=						
	2	÷	=						
	3	÷	=						
	4	÷	=						
	5	÷	=						
	6	÷	=						
	7	÷	=						
	8	÷	=						
	9	÷	=						
	10	÷	N						
	11	÷	N						
	12	÷	=						
	13	÷	=						
	14	÷	N						
	15	÷	N						
	16	÷	N						
	17	÷	N						
	18	÷	N						

Search Notes 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

CPC- SEARCHED		
Symbol	Date	Examiner
H01L 27/326	6/16/2015	IMS

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES		
Search Notes	Date	Examiner
EAST (See Search History Printout), PLUS Search	6/16/2015	IMS

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

	/IDA M SOWARD/ Primary Examiner.Art Unit 2822
--	--

Receipt date: 07/31/2014

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

14447620 - GAU: 2822

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number			
	Filing Date		07/31/2014	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit			
	Examiner Name	Soward		
	Attorney Docket Number	48842-US-PA		

U.S.PATENTS						Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

Add

U.S.PATENT APPLICATION PUBLICATIONS						Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button.

Add

FOREIGN PATENT DOCUMENTS								Remove
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	201342588	TW		2013-10-16	AU OPTRONICS CORPORATION		☐
	2	I413441	TW		2013-10-21	AU OPTRONICS CORPORATION		☐

If you wish to add additional Foreign Patent Document citation information please click the Add button

Add

NON-PATENT LITERATURE DOCUMENTS								Remove
---------------------------------	--	--	--	--	--	--	--	--------

Receipt date: 07/31/2014 INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		14447620 - GAU: 2822	
	Filing Date		07/31/2014	
	First Named Inventor	Yi-Hsuan Lee		
	Art Unit			
	Examiner Name	Soward		
	Attorney Docket Number	48842-US-PA		

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Ida Soward/	Date Considered	06/10/2015
--------------------	--------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1086

SERIAL NUMBER 14/447,620	FILING or 371(c) DATE 07/31/2014	CLASS 257	GROUP ART UNIT 2822	ATTORNEY DOCKET NO. 48842-US-PA		
APPLICANTS Au Optonics Corporation, Hsinchu, TAIWAN; INVENTORS Yi-Hsuan Lee, Taipei City, TAIWAN; Peng-Bo Xi, Taipei City, TAIWAN; Wei-Chu Hsu, Taipei City, TAIWAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** TAIWAN 102133040 09/12/2013 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 08/08/2014						
Foreign Priority claimed ☒ Yes ☐ No 35 USC 119(a-d) conditions met ☒ Yes ☐ No Verified and Acknowledged <u>/IDA M SOWARD/</u> Examiner's Signature		☐ Met after Allowance IMS Initials	STATE OR COUNTRY TAIWAN	SHEETS DRAWINGS 4	TOTAL CLAIMS 18	INDEPENDENT CLAIMS 2
ADDRESS JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN						
TITLE PIXEL STRUCTURE						
FILING FEE RECEIVED 1600	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			☐ All Fees		
				☐ 1.16 Fees (Filing)		
				☐ 1.17 Fees (Processing Ext. of time)		
				☐ 1.18 Fees (Issue)		
				☐ Other _____		
			☐ Credit			

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	37	au-optronics.as.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:07
S2	20	lee-yi-hsuan.inv.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:07
S3	27	xi-peng-bo.inv.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:07
S4	4	hsu-wei-chu.inv.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:08
S5	1348	(H01L27/326).CPC.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:13
S6	285	(data adj line) and (scan adj line) and (auxiliary adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 16:21
S7	0	(led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3))) adj (overlying or overlaying or above or over or connect\$3 or coupl\$3) adj (auxiliary adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16: 17:25

S8	3	(led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3))) near (overlying or overlaying or above or over or connect\$3 or coupl\$3) near (auxiliary adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:27
S9	2170	(led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3))) same (overlying or overlaying or above or over or connect\$3 or coupl\$3) same ((supplementary or supplemental or secondary or auxiliary) adj electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:28
S10	1	((supplementary or supplemental or secondary or auxiliary) adj electrode) adj (joined or connect\$3 or coupl\$3) adj (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:42
S11	3	((supplementary or supplemental or secondary or auxiliary) adj electrode) adj2 (joined or connect\$3 or coupl\$3) adj2 (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:45
S12	9	((supplementary or supplemental or secondary or auxiliary) adj electrode) near (joined or connect\$3 or coupl\$3) near (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:45
S13	1717	((supplementary or supplemental or secondary or auxiliary) adj electrode) same (joined or connect\$3 or coupl\$3) same (led or (light adj (emitting or emiss\$3 or generat\$3 or irradiat\$3 or radiat\$3 or creat\$3 or produc\$4 or discharg\$3 or emanat\$3 or releas\$3 or secret\$3 or extract\$3 or transmit\$4 or transmiss\$3)))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 17:48
S14	21	("6407408" "20080287028" "20020167280" "20070194699" "7034457" "20090021134" "20030096446" "6876007").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/06/16 18:04

EAST Search History (Interference)

< This search history is empty >

6/ 16/ 2015 6:50:23 PM

C:\ Users\ isoward\ Documents\ EAST\ Workspaces\ 14447620.wsp

PLUS Search Results for S/N 14447620, Searched Thu Jun 11 09:31:46 EDT 2015
 The Patent Linguistics Utility System (PLUS) is a USPTO automated search system for U.S. Patents from 1971 to the present PLUS is a query-by-example search system which produces a list of patents that are most closely related linguistically to the application searched. This search was prepared by the staff of the Scientific and Technical Information Center, SIRA.

5395493 99	4500402 75	5920148 75
4591687 93	4540002 75	5923119 75
5625382 93	4577640 75	6022470 75
4772851 87	4589119 75	6033056 75
5538620 87	4847171 75	6037708 75
5583527 87	4891485 75	6051454 75
5628663 87	4901725 75	6091380 75
5666019 87	4939425 75	6091745 75
5973655 87	4955960 75	6101014 75
6116257 87	4960718 75	6104516 75
4290474 81	4965142 75	6110169 75
4300091 81	5225660 75	6117304 75
4440726 81	5230849 75	6132477 75
4488029 81	5248371 75	6149789 75
4491951 81	5284566 75	6150920 75
4536636 81	5318572 75	6207981 75
4566950 81	5325382 75	6219013 75
4780663 81	5341807 75	6219013 75
5187371 81	5349159 75	6242985 75
5231422 81	5382469 75	6249264 75
5298146 81	5408156 75	4246579 68
5574311 81	5446430 75	4247804 68
5616061 81	5454377 75	4251336 68
5637952 81	5498489 75	4254033 68
5654114 81	5502318 75	4254356 68
5745085 81	5518590 75	4267484 68
5786794 81	5523177 75	4284856 68
5825345 81	5552239 75	4292209 68
5843798 81	5567641 75	4293832 68
5879308 81	5576868 75	4292968 68
5953583 81	5607541 75	4296269 68
6023258 81	5618216 75	4302659 68
6107728 81	5618450 75	4307279 68
4245233 75	5630741 75	4307720 68
4248243 75	5644188 75	4310563 68
4255238 75	5644190 75	4326142 68
4266263 75	5683430 75	4326932 68
4291321 75	5700176 75	4327163 68
4303073 75	5707755 75	4329403 68
4326927 75	5736029 75	4335936 68
4341944 75	5789659 75	4339624 68
4347478 75	5811929 75	4345156 68
4348685 75	5825047 75	4349749 68
4382826 75	5834133 75	4350902 68
4394239 75	5842983 75	4357497 68
4394765 75	5866873 75	4365137 68
4427052 75	5874932 75	4365200 68
4442340 75	5905277 75	4368405 68
4494541 75	5905489 75	4370697 68

4371432 68	4613209 68	5004050 68
4374719 68	4620102 68	5004657 68
4386297 68	4621261 68	5004951 68
4387354 68	4628227 68	5005587 68
4390223 68	4755721 68	5007424 68
4393373 68	4758481 68	5013400 68
4392926 68	4762136 68	5015354 68
4396823 68	4762599 68	5020541 68
4399007 68	4763659 68	5020544 68
4400611 68	4776019 68	5021810 68
4403018 68	4785669 68	5022977 68
4402806 68	4791035 68	5182228 68
4407912 68	4791388 68	5184344 68
4408604 68	4805182 68	5184616 68
4415426 68	4818359 68	5186808 68
4418300 68	4829209 68	5196369 68
4417959 68	4829833 68	5198771 68
4419200 68	4832805 68	5200741 68
4419995 68	4836907 68	5201808 68
4422172 68	4839492 68	5203330 68
4424026 68	4846950 68	5205905 68
4424932 68	4851309 68	5221870 68
4425027 68	4853590 68	5228974 68
4429308 68	4865039 68	5233985 68
4430544 68	4866330 68	5236536 68
4433359 68	4868791 68	5255677 68
4436981 68	4870321 68	5256856 68
4440835 68	4871440 68	5258628 68
RE31605 68	4895169 68	5260148 68
4455210 68	4898699 68	5260560 68
4458190 68	4900405 68	5265601 68
4458537 68	4902088 68	5270137 68
4467274 68	4903277 68	5272588 68
4474839 68	4904195 68	5274664 68
4479044 68	4912327 68	5278388 68
4486724 68	4919145 68	5284571 68
4490733 68	4920979 68	5285043 68
4498478 68	4922504 68	5288965 68
4501051 68	4935105 68	5290323 68
4501938 68	4937041 68	5291037 68
4502214 68	4937694 68	5291050 68
4505991 68	4942337 68	
4508598 68	4945045 68	
4510516 68	4946548 68	
4510210 68	4957614 68	
4511838 68	4959748 68	
4519771 68	4965151 68	
4554928 68	4966131 68	
4555453 68	4968569 68	
4561449 68	4973141 68	
4573481 68	4975171 68	
4579119 68	4985663 68	
4583026 68	4992703 68	
4586188 68	4994167 68	
4591240 68	5000180 68	
4603696 68	5002642 68	

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Examiner: SOWARD, IDA M

Group Art Unit: 2822

In re PATENT APPLICATION of
Applicants : Au Optronics Corporation)

Serial No. : 14/447,620)

Filed : July 31, 2014)

For : PIXEL STRUCTURE)

AMENDMENT

) Attorney Docket: 48842-US-PA

The Commissioner is authorized to charge any fees required in connection with the filing of this paper to account No. 50-2620 (Order No.: 48842-US-PA).

AMENDMENT AND RESPONSE TO RESTRICTION REQUIREMENT

United States Patent and Trademark Office
Customer Service Window
Mail Stop Amendment
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Dear Sir:

The Office Action electronically delivered on March 16, 2015 has been carefully considered. In response thereto, please enter the following amendments and consider the following remarks.

AMENDMENTS

In The Claims:

1. (original) A pixel structure, comprising:

a data line and a scan line;

at least one active device electrically connected with the data line and the scan line,

and each active device comprising a gate, a channel layer, a source, and a drain;

a first auxiliary electrode electrically insulated from the active device; and

a light emitting device disposed above the first auxiliary electrode, wherein the light emitting device comprises:

a first electrode layer electrically connected with the first auxiliary electrode;

a light emitting layer disposed on the first electrode layer; and

a second electrode layer disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device.
2. (original) The pixel structure according to claim 1, further comprising a first insulating layer covering the active device and the first auxiliary electrode, and the first electrode layer of the light emitting device being disposed on the first insulating layer, wherein the first insulating layer has a first contact window opening that exposes the first auxiliary electrode, and the first electrode layer is electrically connected with the first auxiliary electrode via the first contact window opening.
3. (original) The pixel structure according to claim 2, further comprising a second insulating layer covering the first insulating layer and the first electrode layer of the light

emitting device, and the second electrode layer of the light emitting device being disposed on the second insulating layer, wherein the second insulating layer has an opening that exposes the first electrode layer, and the light emitting layer of the light emitting device is disposed in the opening.

4. (original) The pixel structure according to claim 3, wherein the first insulating layer and the second insulating layer further comprise a second contact window opening that exposes a portion of the active device, and the second electrode layer of the light emitting device is electrically connected with the active device via the second contact window opening.

5. (original) The pixel structure according to claim 1, wherein the first auxiliary electrode is a single electrode layer.

6. (original) The pixel structure according to claim 1, wherein the first auxiliary electrode comprises:

a bottom electrode layer; and

a top electrode layer electrically connected with the bottom electrode layer, wherein the first electrode layer of the light emitting device is electrically connected with the top electrode layer of the first auxiliary electrode.

7. (original) The pixel structure according to claim 6, wherein the bottom electrode layer and the gate of the active device belong to the same layer.

8. (original) The pixel structure according to claim 6, wherein the top electrode layer and the source and the drain of the active device belong to the same layer.

9. (original) The pixel structure according to claim 1, further comprising an isolating structure disposed around the second electrode layer of the light emitting device, wherein a gap exists between the second electrode layer and the isolating structure.

10. (withdrawn) The pixel structure according to claim 1, further comprising a second auxiliary electrode electrically insulated from the active device and disposed at a side of the light emitting device, wherein the second auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

11. (withdrawn) The pixel structure according to claim 10, wherein the second auxiliary electrode and the second electrode layer of the light emitting device belong to the same layer, and the second auxiliary electrode and the second electrode layer of the light emitting device are electrically insulated from each other.

12. (original) The pixel structure according to claim 1, wherein the light emitting device is a top-emission organic electroluminescent device.

13. (original) The pixel structure according to claim 1, wherein a vertical projection of the light emitting layer of the light emitting device at least partially overlaps the first auxiliary electrode.

14. (withdrawn) A pixel structure, comprising:
a data line and a scan line;
at least one active device electrically connected with the data line and the scan line;
a light emitting device electrically connected with the active device, wherein the light emitting device comprises:

a first electrode layer;

a light emitting layer disposed on the first electrode layer; and

a second electrode layer disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device; and

an auxiliary electrode electrically insulated from the active device and disposed at a side of the light emitting device, wherein the auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

15. (withdrawn) The pixel structure according to claim 14, further comprising:

a first insulating layer covering the active device, and the first electrode layer of the light emitting device being disposed on the first insulating layer;

a second insulating layer covering the first insulating layer and the first electrode layer of the light emitting device, and the second electrode layer of the light emitting device being disposed on the second insulating layer, wherein the second insulating layer has an opening and a first contact window opening that expose the first electrode layer, and the light emitting layer of the light emitting device is disposed in the opening and the auxiliary electrode is electrically connected with the first electrode layer via the first contact window opening.

16. (withdrawn) The pixel structure according to claim 15, wherein the first insulating layer and the second insulating layer further comprise a second contact window opening that exposes a portion of the active device, and the second electrode layer of the light emitting device is electrically connected with the active device via the second contact

window opening.

17. (withdrawn) The pixel structure according to claim 14, further comprising:

a first isolating structure disposed around the second electrode layer of the light emitting device, wherein a first gap exists between the second electrode layer and the first isolating structure; and

a second isolating structure disposed at a side of the first isolating structure, wherein the auxiliary electrode is disposed between the first isolating structure and the second isolating structure, and the auxiliary electrode is electrically insulated from the first isolating structure and the auxiliary electrode is electrically insulated from the second isolating structure.

18. (withdrawn) The pixel structure according to claim 14, wherein the auxiliary electrode and the second electrode layer of the light emitting device belong to the same layer, and the auxiliary electrode is electrically insulated from the second electrode layer of the light emitting device.

REMARKS

Present Status of the Application

Claims 1-18 are subjected to restriction and/or election. In addition, the Office Action stated currently, there are no generic claims.

Applicant preliminarily elects Species I, corresponding to FIG. 2, with respect to claims 1-9, 12-13 for examination, with traverse.

Discussion of Restriction and/or Election

The Office considers the application as having two species:

Species I - corresponding to FIG. 2 and claims 1-13

Species II - corresponding to FIG. 6 and claims 14-18

Applicant respectfully traverses the groupings of patentably indistinct species for at least the reasons set forth below. In detail, the limitation recites in claims 10-11 cannot be read on either FIG. 2 or FIG. 6. More specifically, the limitation with respect to “second auxiliary electrode” and its configuration recited in claims 10-11 can only be found in FIG. 5 of the present application. Thus, it should be noted that that these claims 10-11 are not being elected for examination and are in withdrawn condition. However, since the limitation recited in claim 1 can be read on FIG. 5, Applicants respectfully submit that claim 1 is a generic claim between FIG. 5 (corresponding to claims 10-11) and Species I.

Upon the allowance of a generic claim, Applicant will be entitled to consideration of claims to additional species which are written in dependent form or otherwise include all of

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

the limitations of an allowed generic claim as provided by 37 CFR 1.141. Thus, upon the allowance of claim 1, Applicants respectfully submit that claims 10-11 would be allowed for rejoinder.

Customer No.: 31561
Docket No.: 48842-US-PA
Application No.: 14/447,620

CONCLUSION

If the Examiner believes that a telephone conference would expedite the examination of the above-identified patent application, the Examiner is invited to call the undersigned.

Date :

May 7, 2015

Respectfully submitted,


James J. Kong

Registration No. 68,665

Jianq Chyun Intellectual Property Office
7th Floor-1, No. 100 Roosevelt Road, Section 2,
Taipei, 100, Taiwan
eVoice No.: 877-504-5885 ext. 3
Tel: 011-886-2-2369-2800
Fax: 011-886-2-2369-7233
Email: usa@jcipgroup.com.tw

Electronic Acknowledgement Receipt	
EFS ID:	22277641
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee/Shihmei Lin
Filer Authorized By:	Belinda Lee
Attorney Docket Number:	48842-US-PA
Receipt Date:	07-MAY-2015
Filing Date:	31-JUL-2014
Time Stamp:	05:17:42
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment		no			
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		48842US_RR.pdf	310941	yes	9
			27f6c4f074be8464f4ecbcb8b8bbcebb3f6b6858fa		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Response to Election / Restriction Filed	1	1
	Claims	2	6
	Applicant Arguments/Remarks Made in an Amendment	7	9
Warnings:			
Information:			
Total Files Size (in bytes):		310941	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 14/447,620		Filing Date 07/31/2014		☐ To be Mailed	
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO									
APPLICATION AS FILED – PART I									
(Column 1)		(Column 2)							
FOR	NUMBER FILED	NUMBER EXTRA				RATE (\$)	FEE (\$)		
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A				N/A			
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A				N/A			
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A				N/A			
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =		*			X \$	=		
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =		*			X \$	=		
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).								
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))									
* If the difference in column 1 is less than zero, enter "0" in column 2.						TOTAL			
APPLICATION AS AMENDED – PART II									
(Column 1)		(Column 2)		(Column 3)					
AMENDMENT	05/07/2015	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 18	Minus	** 20	= 0	x \$80 =		0	
	Independent (37 CFR 1.16(h))	* 2	Minus	***3	= 0	x \$420 =		0	
	☐ Application Size Fee (37 CFR 1.16(s))								
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
						TOTAL ADD'L FEE		0	
(Column 1)		(Column 2)		(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$			
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$			
	☐ Application Size Fee (37 CFR 1.16(s))								
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
						TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.									

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA	1086
31561 7590 03/16/2015 JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE 7 FLOOR-1, NO. 100 ROOSEVELT ROAD, SECTION 2 TAIPEI, 100 TAIWAN			EXAMINER SOWARD, IDA M	
			ART UNIT 2822	PAPER NUMBER
			NOTIFICATION DATE 03/16/2015	DELIVERY MODE ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USA@JCIPGROUP.COM.TW
Belinda@JCIPGROUP.COM.TW

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

Election/Restrictions

This application contains claims directed to the following patentably distinct species: species I, Figure 2 corresponding to claims 1-13; and species II, Figure 6 corresponding to claims 14-18. The species are independent or distinct because it would require a search of the devices that are structurally distinct. In addition, these species are not obvious variants of each other based on the current record.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species, or a single grouping of patentably indistinct species, for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, there are no generic claims.

There is a search and/or examination burden for the patentably distinct species as set forth above because at least the following reason(s) apply: it would require a different knowledge base and a different thought processes for a search.

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a species to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected species or grouping of patentably indistinct species**, including any

claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

The election may be made with or without traverse. To preserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the election of species requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable on the elected species or grouping of patentably indistinct species.

Should applicant traverse on the ground that the species, or groupings of patentably indistinct species from which election is required, are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing them to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the species unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other species.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which depend from or otherwise require all the limitations of an allowable generic claim as provided by 37 CFR 1.141.

Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one

or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims

should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to IDA M. SOWARD whose telephone number is (571)272-1845. The examiner can normally be reached on Monday - Thursday 6:00am to 4:30pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Brett A. Feeney can be reached on 571-270-5484. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

Application/Control Number: 14/447,620
Art Unit: 2822

Page 6

IMS
March 5, 2015
/IDA M SOWARD/
Primary Examiner, Art Unit 2822

<p align="center"><i>Index of Claims</i></p> 	Application/Control No. 14447620	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner IDA M SOWARD	Art Unit 2822

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant										☐ CPA										☐ T.D.										☐ R.1.47									
CLAIM			DATE																																				
Final	Original	03/05/2015																																					
	1	÷																																					
	2	÷																																					
	3	÷																																					
	4	÷																																					
	5	÷																																					
	6	÷																																					
	7	÷																																					
	8	÷																																					
	9	÷																																					
	10	÷																																					
	11	÷																																					
	12	÷																																					
	13	÷																																					
	14	÷																																					
	15	÷																																					
	16	÷																																					
	17	÷																																					
	18	÷																																					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/447,620	07/31/2014	Yi-Hsuan Lee	48842-US-PA

CONFIRMATION NO. 1086

PUBLICATION NOTICE

31561
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN



OC000000073918691

Title:PIXEL STRUCTURE

Publication No.US-2015-0069356-A1

Publication Date:03/12/2015

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

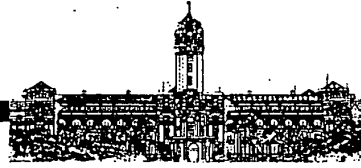
The publication may be accessed through the USPTO's publicly available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <http://pair.uspto.gov/>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of
the application as originally filed which is identified hereunder：

申請日：西元 2013 年 09 月 12 日
Application Date Sep. 12, 2013

申請案號：102133040
Application No.

申請人：友達光電股份有限公司
Applicant(s)

發明人：李宜璇、奚鵬博、許文曲
Inventor(s)

局長

Director General

王美花

西元 2013 年 09 月 25 日
Sep. 25, 2013

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】畫素結構

PIXEL STRUCTURE

【中文】

一種畫素結構，包括資料線、掃描線、至少一主動元件、第一輔助電極以及發光元件。至少一主動元件與資料線以及掃描線電性連接，且每一主動元件包括閘極、通道層、源極以及汲極。第一輔助電極與主動元件電性絕緣。發光元件位於第一輔助電極之上方，其中發光元件包括第一電極層、發光層以及第二電極層。第一電極層與第一輔助電極電性連接。發光層配置於第一電極層上。第二電極層配置於發光層上，其中第二電極層與主動元件電性連接。

【英文】

A pixel structure including a data line, a scan line, at least one active element, a first auxiliary electrode and a light emitting element is provided. The at least one active element is electrically connected with the data line and the scan line, and each active element includes a gate, a channel layer, a source and a drain. The first auxiliary electrode is electrically isolated from the active element. The light emitting element is disposed above the first

auxiliary electrode, wherein the light emitting element includes a first electrode layer, a light emitting layer and a second electrode layer. The first electrode layer is electrically connected with the first auxiliary electrode. The light emitting layer is disposed on the first electrode layer. The second electrode layer is disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active element.

【代表圖】

【本案指定代表圖】：圖 5。

【本代表圖之符號簡單說明】：

102：基板

104：絕緣層

104a：接觸窗開口

106：第一絕緣層

106a：第一接觸窗開口

110：第二接觸窗開口

120：第一輔助電極

122：下電極層

124：上電極層

130：發光元件

132：第一電極層

134：發光層

136：第二電極層

138：電極層

140：第一隔離結構

140'：第二隔離結構

150：第一間隙

400：畫素結構

408：第二絕緣層

408a：開口

408b：接觸窗開口

450、450'：第二間隙

460：第二輔助電極

CH₂：通道層

D₂：汲極

G₂：閘極

S₂：源極

T₂：主動元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】畫素結構

PIXEL STRUCTURE

【技術領域】

【0001】 本發明是有關於一種畫素結構，且特別是有關於一種可改善顯示面板的整體發光均勻度的畫素結構。

【先前技術】

【0002】 電致發光裝置是一種自發光性(emissive)之裝置。由於電致發光裝置具有無視角限制、低製造成本、高應答速度(約為液晶的百倍以上)、省電、可使用於可攜式機器的直流驅動、工作溫度範圍大以及重量輕且可隨硬體設備小型化及薄型化等等。因此，電致發光裝置具有極大的發展潛力，可望成為下一世代的新穎平面顯示器。

【0003】 上發光(top emission)顯示為目前普遍應用在電致發光裝置的顯示技術之一，以提高畫素的開口率。然而，傳統的上發光顯示技術具有薄電極厚度的製作難度高、穿透度差、電極阻值高以及當電致發光裝置朝向大尺寸發展時有嚴重 IR 壓降(IR drop)等問題。再者，傳統的上發光顯示技術的電路設計容易受到電致發光裝置的元件的衰退而影響到電流。而由於電致發光裝置中各畫素的發光亮度與流經此畫素的電流大小有關。因此，將使得此電

致發光裝置之整體發光均勻度不佳。

【發明內容】

【0004】 本發明提供一種畫素結構，其可以解決傳統電致發光裝置之整體發光均勻度不佳的問題。

【0005】 本發明提出一種畫素結構，其包括資料線、掃描線、至少一主動元件、第一輔助電極以及發光元件。至少一主動元件與資料線以及掃描線電性連接，且每一主動元件包括閘極、通道層、源極以及汲極。第一輔助電極與主動元件電性絕緣。發光元件位於第一輔助電極之上方，其中發光元件包括第一電極層、發光層以及第二電極層。第一電極層與第一輔助電極電性連接。發光層配置於第一電極層上。第二電極層配置於發光層上，其中第二電極層與主動元件電性連接。

【0006】 本發明另提出一種畫素結構，其包括資料線、掃描線、至少一主動元件、發光元件以及輔助電極。至少一主動元件與資料線以及掃描線電性連接。發光元件與主動元件電性連接，其中發光元件包括第一電極層、發光層以及第二電極層。發光層配置於第一電極層上。第二電極層配置於發光層上，其中第二電極層與主動元件電性連接。輔助電極與主動元件電性絕緣且位於發光元件的一側，其中輔助電極與發光元件之第一電極層電性連接。

【0007】 基於上述，在本發明的畫素結構中，由於發光元件之第一電極層與輔助電極電性連接，因此本發明的發光元件的第一電

極層搭配輔助電極的設計可使第一電極層的電阻經過並聯後下降，以使畫素結構的總電阻大幅減少，進而可改善顯示面板的整體發光均勻度。

【0008】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0009】

圖 1 為依照本發明的畫素結構的等效電路圖。

圖 2 為依照本發明的第一實施例的畫素結構的剖面示意圖。

圖 3 為依照本發明的第二實施例的畫素結構的剖面示意圖。

圖 4 為依照本發明的第三實施例的畫素結構的剖面示意圖。

圖 5 為依照本發明的第四實施例的畫素結構的剖面示意圖。

圖 6 為依照本發明的第五實施例的畫素結構的剖面示意圖。

【實施方式】

【0010】 圖 1 為依照本發明的畫素結構的等效電路圖。本發明的畫素結構例如是可應用於電致發光裝置的畫素陣列中。為了詳細地說明本發明之畫素結構的設計，以下之說明是以單一畫素結構為例來作說明。此領域技術人員應可以瞭解電致發光裝置之畫素陣列是由多個相同或相似的畫素結構所組成。因此，此領域技術人員可以根據以下針對單一畫素結構的說明，而瞭解電致發光裝

置中之畫素陣列的結構或佈局。

【0011】 請參照圖 1，畫素結構 100 包括資料線 DL、掃描線 SL、至少一主動元件 T_1 及 T_2 、電容器 CS、電源線 PL 以及發光元件 130。在本實施例中，每一畫素結構 100 是以兩個主動元件搭配一個電容器(2T1C)為例來說明，但並非用以限定本發明，本發明不限每一畫素結構 100 內的主動元件與電容器的個數。

【0012】 在本實施例中，主動元件 T_1 與資料線 DL 以及掃描線 SL 電性連接，主動元件 T_2 與主動元件 T_1 以及發光元件 130 電性連接，發光元件 130 與主動元件 T_2 以及電源線 PL 電性連接，且電容器 CS 與主動元件 T_1 、 T_2 電性連接。

【0013】 更詳細來說，在 2T1C 形式的畫素結構中，主動元件 T_1 具有閘極 G_1 、源極 S_1 、汲極 D_1 以及通道層 CH_1 ，且源極 S_1 與資料線 DL 電性連接，閘極 G_1 與掃描線 SL 電性連接，且汲極 D_1 與主動元件 T_2 電性連接；主動元件 T_2 具有閘極 G_2 、源極 S_2 、汲極 D_2 以及通道層 CH_2 ，且主動元件 T_2 的閘極 G_2 是與主動元件 T_1 的汲極 D_1 電性連接，主動元件 T_2 的汲極 D_2 是與發光元件 130 電性連接。再者，發光元件 130 是與主動元件 T_2 的汲極 D_2 以及電源線 PL 電性連接。電容器 CS 的一電極端 E_1 是與主動元件 T_1 的汲極 D_1 以及主動元件 T_2 的閘極 G_2 電性連接，而電容器 CS 的另一電極端 E_2 是與主動元件 T_2 的源極 S_2 電性連接且連接至接地電壓。

【0014】 圖 2 為依照本發明的第一實施例的畫素結構的剖面示意圖。為了清楚地說明本發明之實施例，圖 2 僅繪示出畫素結構 100

的主動元件 T_2 以及發光元件 130 等部分構件。也就是說，爲了清楚起見，圖 2 省略資料線 DL、掃描線 SL、主動元件 T_1 、電容器 CS 以及電源線 PL 等構件未繪示，其中這些省略未繪示的構件可以具有所屬技術領域中具有通常知識者所周知的結構，故在此不再贅述。

【0015】請參照圖 2，畫素結構 100 包括了基板 102、主動元件 T_2 、第一輔助電極 120、第一絕緣層 106、第二絕緣層 108、發光元件 130 以及第一隔離結構 140。

【0016】基板 102 之材質例如是玻璃、石英、有機聚合物或是金屬等等。

【0017】主動元件 T_2 包括閘極 G_2 、通道層 CH_2 、源極 S_2 以及汲極 D_2 。通道層 CH_2 位於閘極 G_2 之上方並且位於源極 S_2 與汲極 D_2 的下方。本實施例之主動元件 T_2 是以底部閘極型薄膜電晶體爲例來說明，但本發明不限於此。在其他實施例中，主動元件 T_2 也可以是頂部閘極型薄膜電晶體，通道層 CH_2 的材料可以是非晶矽薄膜或是多晶矽薄膜，本發明不加以限定。再者，在主動元件 T_2 的閘極 G_2 上更覆蓋有絕緣層 104，其又可稱爲閘極絕緣層。絕緣層 104 的材料例如是無機材料、有機材料或上述之組合。無機材料包括氧化矽、氮化矽、氮氧化矽或上述至少二種材料的堆疊層。另外，主動元件 T_2 可更包括蝕刻終止層(未繪示)。蝕刻終止層配置在通道層 CH_2 上，而源極 S_2 與汲極 D_2 配置於蝕刻終止層上。蝕刻終止層的材料包括氧化矽、氮化矽、氮氧化矽或其他合適的材

料。

【0018】 第一輔助電極 120 與主動元件 T_1 及 T_2 電性絕緣。第一輔助電極 120 包括下電極層 122 以及上電極層 124。下電極層 122 與主動元件 T_2 的閘極 G_2 例如是屬於相同膜層。上電極層 124 與主動元件 T_2 的源極 S_2 以及汲極 D_2 例如是屬於相同膜層。因此，絕緣層 104 位於下電極層 122 與上電極層 124 之間。再者，絕緣層 104 具有暴露出下電極層 122 的接觸窗開口 104a，且上電極層 124 填入接觸窗開口 104a 中，以使上電極層 124 與下電極層 122 電性連接。

【0019】 值得一提的是，由於第一輔助電極 120 具有下電極層 122 以及上電極層 124，因此上述雙層輔助電極的設計有助於維持畫素結構 100 的平坦度。

【0020】 第一絕緣層 106 覆蓋主動元件 T_2 以及第一輔助電極 120。第一絕緣層 106 的材料例如是無機材料、有機材料或上述之組合。無機材料包括氧化矽、氮化矽、氮氧化矽或上述至少二種材料的堆疊層。再者，第一絕緣層 106 具有第一接觸窗開口 106a，且第一接觸窗開口 106a 暴露出第一輔助電極 120 的上電極層 124。

【0021】 發光元件 130 位於第一輔助電極 120 之上方。發光元件 130 包括第一電極層 132、發光層 134 以及第二電極層 136。在本實施例中，發光元件 130 例如是上發光式有機電致發光元件，因此第一電極層 132 與第二電極層 136 分別例如是陽極以及陰極。

【0022】 發光元件 130 的第一電極層 132 位於第一絕緣層 106 上。

第一電極層 132 的材料例如是鋁、銦錫氧化物(ITO)或其他可作為陽極的合適的材料。

【0023】 值得一提的是，第一電極層 132 與第一輔助電極 120 電性連接。更詳細來說，發光元件 130 之第一電極層 132 與第一輔助電極 120 之上電極層 124 電性連接。第一電極層 132 填入第一絕緣層 106 的第一接觸窗開口 106a 中，以使第一電極層 132 藉由第一接觸窗開口 106a 與第一輔助電極 120 的上電極層 124 電性連接。

【0024】 第二絕緣層 108 覆蓋第一絕緣層 106 以及發光元件 130 的第一電極層 132。第二絕緣層 108 的材料例如是無機材料、有機材料或上述之組合。無機材料包括氧化矽、氮化矽、氮氧化矽或上述至少二種材料的堆疊層。再者，第二絕緣層 108 具有開口 108a，且開口 108a 暴露出第一電極層 132。此外，第一絕緣層 106 與第二絕緣層 108 中更包括第二接觸窗開口 110。第二接觸窗開口 110 暴露出部分主動元件 T_2 。更詳細來說，第二接觸窗開口 110 暴露出主動元件 T_2 的部分汲極 D_2 。

【0025】 發光元件 130 的發光層 134 位於第二絕緣層 108 的開口 108a 內，且發光層 134 配置於第一電極層 132 上。再者，發光元件 130 之發光層 134 的垂直投影至少部份與第一輔助電極 120 重疊。發光層 134 可為有機發光層或無機發光層。根據發光層 134 所使用之材質，此電致發光裝置可稱為有機電致發光裝置或是無機電致發光裝置。另外，每一畫素結構 100 之發光元件 130 的發

光層 134 可為紅色有機發光圖案、綠色有機發光圖案、藍色有機發光圖案或是混合各頻譜的光產生的不同顏色(例如白、橘、紫、...等)發光圖案。此外，根據其他實施例，上述之發光元件 130 的發光層 134 中可更包括電子輸入層、電洞輸入層、電子傳輸層以及電洞傳輸層等等。

【0026】發光元件 130 的第二電極層 136 位於第二絕緣層 108 上，且填入第二絕緣層 108 的開口 108a 中並配置於發光層 134 上。第二電極層 136 的材料例如是銀、薄銀或其他可作為陰極的合適的材料。再者，第二電極層 136 與主動元件 T_2 電性連接。更詳細來說，第二電極層 136 填入第二接觸窗開口 110 中，以使發光元件 130 之第二電極層 136 藉由第二接觸窗開口 110 與主動元件 T_2 的汲極 D_2 電性連接。

【0027】第一隔離結構 140 位於發光元件 130 之第二電極層 136 的周圍，其中第二電極層 136 與第一隔離結構 140 之間具有第一間隙 150。第一隔離結構 140 的材料例如是光阻或其他合適的材料。再者，第一隔離結構 140 的形狀例如是倒三角形，因此第一間隙 150 的形成方法包法在第二絕緣層 108 以及第一隔離結構 140 上沉積第二電極層材料(未繪示)，並可藉由倒三角形的第一隔離結構 140 使第二電極層材料斷開。如此一來，第一間隙 150 形成在第一隔離結構 140 的底部周圍，以使第二電極層 136 與第一隔離結構 140 分離開來。另外，電極層 138 形成在第一隔離結構 140 上，且電極層 138 與第二電極層 136 屬於相同膜層。

【0028】 值得一提的是，由於發光元件 130 之第二電極層 136 是藉由倒三角形的第一隔離結構 140 斷開的方式形成，因此可以簡易的製程來製作出厚度較薄的第二電極層 136，以使畫素結構 100 具有較高的穿透度以及第二電極層 136 的阻值較低等優點，進而可改善 IR 壓降的問題。

【0029】 還值得一提的是，由於第一電極層 132 與第一輔助電極 120 電性連接，因此本發明的發光元件 130 的第一電極層 132 搭配輔助電極的設計可使第一電極層 132 的電阻經過並聯後下降，以使畫素結構 100 的總電阻減少約 40%，進而可改善顯示面板的整體發光均勻度。舉例來說，上述電極層搭配輔助電極的設計可應用於上發光式有機電致發光元件的陽極，以使陽極的電阻經過並聯後下降，但本發明不限於此。在其他實施例中，上述電極層搭配輔助電極的設計亦可以應用在其他合適的電極層或導電層中。

【0030】 在上述圖 2 之實施例中，第一輔助電極 120 為雙層電極層。然而，本發明不限於此。在本發明的其他實施例(如圖 3 與圖 4 之實施例所示)中，第一輔助電極亦可以是單一電極層。在此，單一電極層並非限定為單一膜層的電極層，而是單一電極層亦可以是指具有多層膜堆疊結構的電極層。

【0031】 圖 3 與圖 4 分別為依照本發明的第二以及第三實施例的畫素結構的剖面示意圖。圖 3 與圖 4 之實施例與上述圖 2 之實施例相似，因此相同或相似的元件以相同或相似的符號表示，且不再重複說明。

● 【0032】 請參照圖 3，圖 3 之實施例與上述圖 2 之實施例的不同之處在於，在畫素結構 200 中，第一輔助電極 220 僅包括下電極層 222，且下電極層 222 與主動元件 T_2 的閘極 G_2 例如是屬於相同膜層。因此，絕緣層 204 覆蓋下電極層 222。再者，絕緣層 204 與第一絕緣層 206 中更包括第一接觸窗開口 206a，且第一接觸窗開口 206a 暴露出下電極層 222。第一電極層 132 填入絕緣層 204 與第一絕緣層 206 的第一接觸窗開口 206a 中，以使第一電極層 132 藉由第一接觸窗開口 206a 與第一輔助電極 220 的下電極層 222 電性連接。

【0033】 請參照圖 4，圖 4 之實施例與上述圖 2 之實施例的不同之處在於，在畫素結構 300 中，第一輔助電極 320 僅包括上電極層 324，且上電極層 324 與主動元件 T_2 的源極 S_2 以及汲極 D_2 例如是屬於相同膜層。因此，上電極層 324 位於絕緣層 304 上。再者，第一絕緣層 306 具有第一接觸窗開口 306a，且第一接觸窗開口 306a 暴露出第一輔助電極 320 的上電極層 324。第一電極層 132 填入第一絕緣層 306 的第一接觸窗開口 306a 中，以使第一電極層 132 藉由第一接觸窗開口 306a 與第一輔助電極 320 的上電極層 324 電性連接。

【0034】 圖 5 為依照本發明的第四實施例的畫素結構的剖面示意圖。圖 5 之實施例與上述圖 2 之實施例相似，因此相同或相似的元件以相同或相似的符號表示，且不再重複說明。圖 5 之實施例與上述圖 2 之實施例的不同之處在於畫素結構 400 更包括第二輔

助電極 460。

【0035】請參照圖 5，第二輔助電極 460 與主動元件 T_2 電性絕緣且位於發光元件 130 的一側，其中第二輔助電極 460 與發光元件 130 之第一電極層 132 電性連接。更詳細來說，第二絕緣層 408 具有暴露出第一電極層 132 的開口 408a 以及接觸窗開口 408b。發光元件 130 的發光層 134 位於第二絕緣層 408 的開口 408a 內。第二輔助電極 460 填入第二絕緣層 408 的接觸窗開口 408b 中，以使第二輔助電極 460 藉由接觸窗開口 408b 與發光元件 130 之第一電極層 132 電性連接。

【0036】再者，第二輔助電極 460 與發光元件 130 之第二電極層 136 例如是屬於相同膜層，且第二輔助電極 460 與發光元件 130 之第二電極層 136 彼此電性絕緣。更詳細來說，畫素結構 400 更包括第二隔離結構 140'。第二隔離結構 140' 位於第一隔離結構 140 的一側，其中第二輔助電極 460 位於第一隔離結構 140 與第二隔離結構 140' 之間。第二輔助電極 460 與第一隔離結構 140 之間具有第二間隙 450，且第二輔助電極 460 與第二隔離結構 140' 之間具有第二間隙 450'。因此，第二輔助電極 460 與第一隔離結構 140 電性絕緣，且第二輔助電極 460 與第二隔離結構 140' 電性絕緣。此外，第二隔離結構 140' 與第一隔離結構 140 例如是屬於相同膜層。

【0037】值得一提的是，由於發光元件 130 之第二電極層 136 以及第二輔助電極 460 可使用片電阻較低且導電性較高的金屬，因

此在降低第二電極層 136 的阻值上有更佳的效果，進而可改善 IR 壓降的問題。

【0038】 還值得一提的是，由於第一電極層 132 與第一輔助電極 120 以及第二輔助電極 460 電性連接，因此本發明的發光元件 130 的第一電極層 132 搭配兩種輔助電極的設計可使第一電極層 132 的電阻經過並聯後下降，以使畫素結構 400 的總電阻減少約 90%，進而可改善顯示面板的整體發光均勻度。舉例來說，上述電極層搭配兩種輔助電極的設計可應用於上發光式有機電致發光元件的陽極，以使陽極的電阻經過並聯後下降，但本發明不限於此。在其他實施例中，上述電極層搭配輔助電極的設計亦可以應用在其他合適的電極層或導電層中。

【0039】 圖 6 為依照本發明的第五實施例的畫素結構的剖面示意圖。圖 6 之實施例與上述圖 5 之實施例相似，因此相同或相似的元件以相同或相似的符號表示，且不再重複說明。圖 6 之實施例與上述圖 5 之實施例的不同之處在於畫素結構 500 僅包括第二輔助電極 460，而不包括第一輔助電極 120。

【0040】 請參照圖 6，第二輔助電極 460 與主動元件 T_2 電性絕緣且位於發光元件 130 的一側，其中第二輔助電極 460 與發光元件 130 之第一電極層 132 電性連接。再者，絕緣層 504 覆蓋主動元件 T_2 的閘極 G_2 以及基板 102。第一絕緣層 506 覆蓋主動元件 T_2 以及絕緣層 504。發光元件 130 的第一電極層 132 位於第一絕緣層 506 上。

【0041】 綜上所述，在本發明的畫素結構中，發光元件之第一電極層與第一輔助電極或第二輔助電極或兩者電性連接，其中第一輔助電極與主動元件的閘極屬於相同膜層，或者與源極以及汲極屬於相同膜層，或者為雙層電極的結構，而第二輔助電極與第二電極層屬於相同膜層。因此，在不用增加光罩數目及成本的情況下，本發明的發光元件的第一電極層搭配輔助電極的設計可使第一電極層的電阻經過並聯後下降，以使畫素結構的總電阻大幅減少，進而可改善顯示面板的整體發光均勻度。再者，本發明的上發光顯示技術的電路設計亦可避免因電致發光裝置的元件的衰退而影響到電流的問題。

【0042】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0043】

100、200、300、400、500：畫素結構

102：基板

104、504、204、304：絕緣層

104a、408b：接觸窗開口

106、506、206、306：第一絕緣層

106a、206a、306a：第一接觸窗開口

108、408：第二絕緣層

108a、408a：開口

110：第二接觸窗開口

120、220、320：第一輔助電極

122、222：下電極層

124、324：上電極層

130：發光元件

132：第一電極層

134：發光層

136：第二電極層

138：電極層

140：第一隔離結構

140'：第二隔離結構

150：第一間隙

450、450'：第二間隙

460：第二輔助電極

CH₁、CH₂：通道層

CS：電容器

D₁、D₂：汲極

DL：資料線

E₁、E₂：電極端

G_1 、 G_2 ：閘極

PL：電源線

S_1 、 S_2 ：源極

SL：掃描線

T_1 、 T_2 ：主動元件

申請專利範圍

1. 一種畫素結構，包括：

一資料線以及一掃描線；

至少一主動元件，與該資料線以及該掃描線電性連接，且每一主動元件包括一閘極、一通道層、一源極以及一汲極；

一第一輔助電極，與該主動元件電性絕緣；以及

一發光元件，位於該第一輔助電極之上方，其中該發光元件包括：

一第一電極層，與該第一輔助電極電性連接；

一發光層，配置於該第一電極層上；以及

一第二電極層，配置於該發光層上，其中該第二電極層與該主動元件電性連接。

2. 如申請專利範圍第 1 項所述的畫素結構，更包括一第一絕緣層，覆蓋該主動元件以及該第一輔助電極，該發光元件的該第一電極層位於該第一絕緣層上，其中該第一絕緣層具有暴露出該第一輔助電極的一第一接觸窗開口，且該第一電極層藉由該第一接觸窗開口與該第一輔助電極電性連接。

3. 如申請專利範圍第 2 項所述的畫素結構，更包括一第二絕緣層，覆蓋該第一絕緣層以及該發光元件的該第一電極層，該發光元件的該第二電極層位於該第二絕緣層上，其中該第二絕緣層具有暴露出該第一電極層的一開口，該發光元件的該發光層位於該開口內。

4. 如申請專利範圍第 3 項所述的畫素結構，其中該第一絕緣層與該第二絕緣層中更包括一第二接觸窗開口，暴露出部分該主動元件，該發光元件之該第二電極層藉由該第二接觸窗開口與該主動元件電性連接。

5. 如申請專利範圍第 1 項所述的畫素結構，其中該第一輔助電極為單一電極層。

6. 如申請專利範圍第 1 項所述的畫素結構，其中該第一輔助電極包括：

一下電極層；以及

一上電極層，與該下電極層電性連接，其中該發光元件之該第一電極層與該第一輔助電極之該上電極層電性連接。

7. 如申請專利範圍第 6 項所述的畫素結構，其中該下電極層與該主動元件的該閘極屬於相同膜層。

8. 如申請專利範圍第 6 項所述的畫素結構，其中該上電極層與該主動元件的該源極以及該汲極屬於相同膜層。

9. 如申請專利範圍第 1 項所述的畫素結構，更包括一隔離結構，位於該發光元件之該第二電極層的周圍，其中該第二電極層與該隔離結構之間具有一間隙。

10. 如申請專利範圍第 1 項所述的畫素結構，更包括一第二輔助電極，與該主動元件電性絕緣且位於該發光元件的一側，其中該第二輔助電極與該發光元件之該第一電極層電性連接。

11. 如申請專利範圍第 10 項所述的畫素結構，其中該第二輔

助電極與該發光元件之該第二電極層屬於相同膜層，且該第二輔助電極與該發光元件之該第二電極層彼此電性絕緣。

12. 如申請專利範圍第 1 項所述的畫素結構，其中該發光元件為上發光式有機電致發光元件。

13. 如申請專利範圍第 1 項所述的畫素結構，其中該發光元件之該發光層的垂直投影至少部份與該第一輔助電極重疊。

14. 一種畫素結構，包括：

一資料線以及一掃描線；

至少一主動元件，與該資料線以及該掃描線電性連接；

一發光元件，與該主動元件電性連接，其中該發光元件包括：

一第一電極層；

一發光層，配置於該第一電極層上；以及

一第二電極層，配置於該發光層上，其中該第二電極層與該主動元件電性連接；以及

一輔助電極，與該主動元件電性絕緣且位於該發光元件的一側，其中該輔助電極與該發光元件之該第一電極層電性連接。

15. 如申請專利範圍第 14 項所述的畫素結構，更包括：

一第一絕緣層，覆蓋該主動元件，該發光元件的該第一電極層位於該第一絕緣層上；

一第二絕緣層，覆蓋該第一絕緣層以及該發光元件的該第一電極層，該發光元件的該第二電極層位於該第二絕緣層上，其中該第二絕緣層具有暴露出該第一電極層的一開口以及一第一接觸

窗開口，該發光元件的該發光層位於該開口內，且該輔助電極藉由該第一接觸窗開口與該第一電極層電性連接。

16. 如申請專利範圍第 15 項所述的畫素結構，其中該第一絕緣層與該第二絕緣層中更包括一第二接觸窗開口，暴露出部分該主動元件，該發光元件之該第二電極層藉由該第二接觸窗開口與該主動元件電性連接。

17. 如申請專利範圍第 14 項所述的畫素結構，更包括：

一第一隔離結構，位於該發光元件之該第二電極層的周圍，其中該第二電極層與該第一隔離結構之間具有一第一間隙；

一第二隔離結構，位於該第一隔離結構的一側，其中該輔助電極位於該第一隔離結構與該第二隔離結構之間，該輔助電極與該第一隔離結構電性絕緣，且該輔助電極與該第二隔離結構電性絕緣。

18. 如申請專利範圍第 14 項所述的畫素結構，其中該輔助電極與該發光元件之該第二電極層屬於相同膜層，且該輔助電極與該發光元件之該第二電極層彼此電性絕緣。

圖式

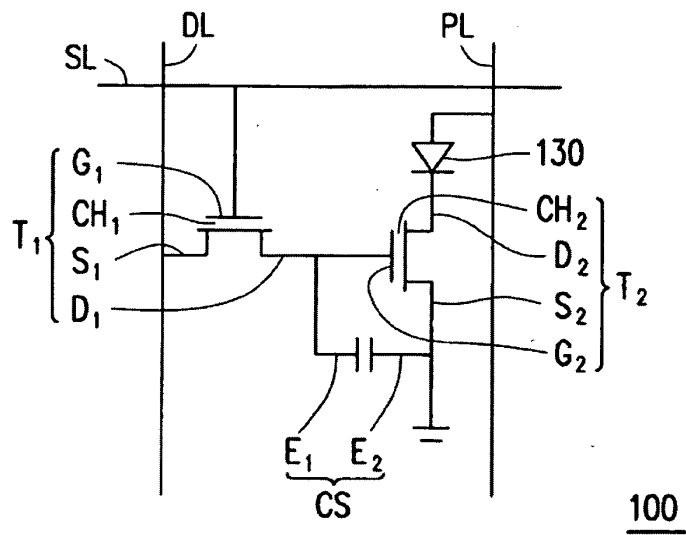


圖 1

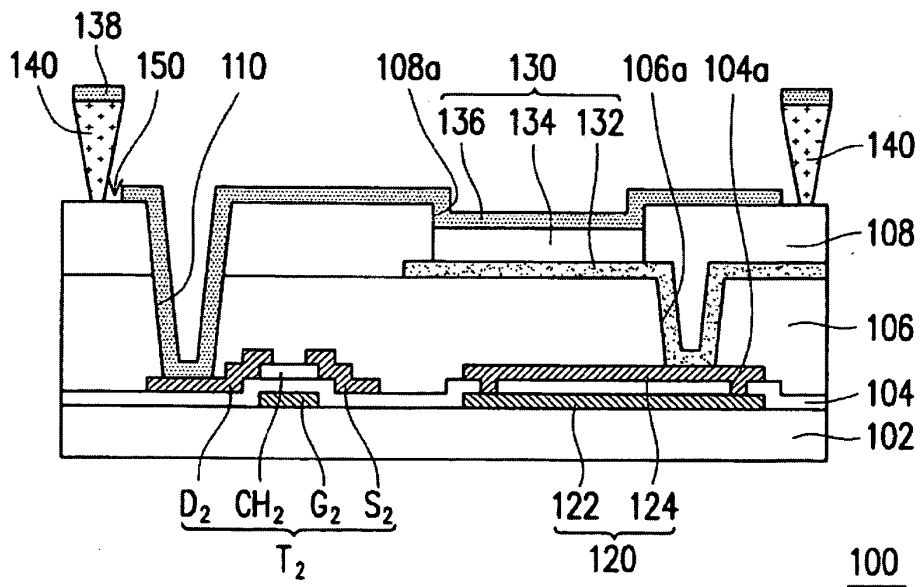


圖 2

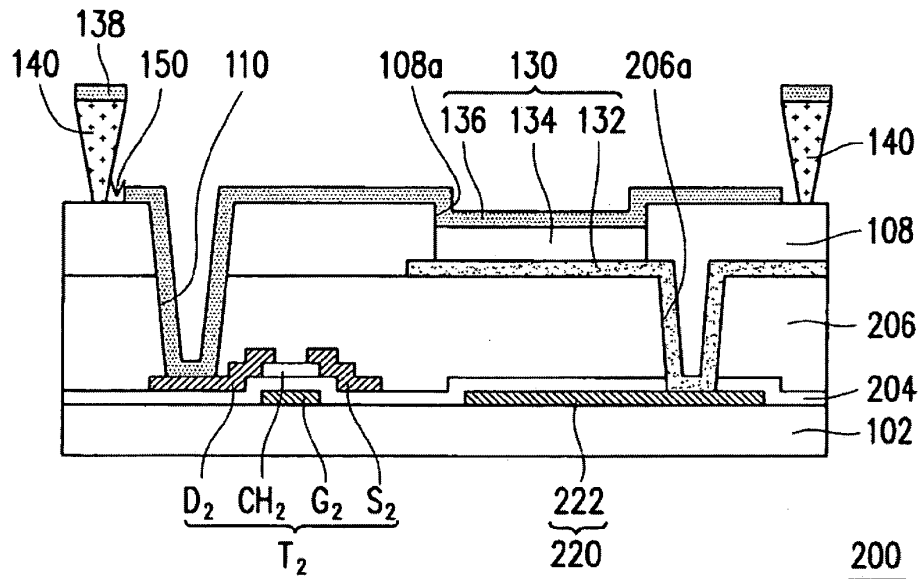


圖 3

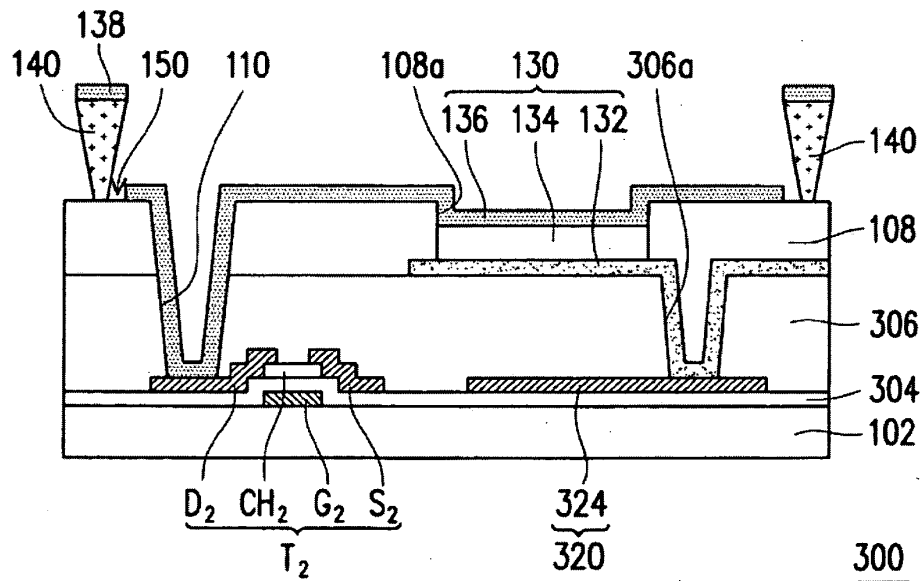


圖 4

Patent



Customer No. 31561
Application No.: 14/447,620
Docket No. 48842-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Inventor(s) : Lee et al.
Application No. : 14/447,620
Filed on : Jul 31, 2014
Title : PIXEL STRUCTURE
Examiner :
Art Unit : 2879

ASSISTANT COMMISSIONER FOR PATENTS

Alexandria, VA22314

Dear Sirs:

Transmitted herewith is a certified copy of TW Application No.: 102133040, filed on: 2013/9/12.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: September. 26, 2014

By: /Belinda Lee/
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 14/447,620	
APPLICATION AS FILED - PART I						
(Column 1)		(Column 2)		SMALL ENTITY		OR
FOR	NUMBER FILED	NUMBER EXTRA	RATE(\$)	FEE(\$)		
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			
TOTAL CLAIMS (37 CFR 1.16(j))	18	minus 20 = *			OR	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2	minus 3 = *			OR	
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).					
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))						
			TOTAL		TOTAL	
APPLICATION AS AMENDED - PART II						
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY
AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)	
	Total (37 CFR 1.16(j))	*	Minus **	=		OR
	Independent (37 CFR 1.16(h))	*	Minus ***	=		OR
	Application Size Fee (37 CFR 1.16(s))					OR
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					OR
				TOTAL ADD'L FEE		OR
(Column 1)		(Column 2)		(Column 3)		OTHER THAN SMALL ENTITY
RATE(\$)	FEE(\$)			RATE(\$)	FEE(\$)	
N/A	280			N/A	600	
N/A	720			N/A	0.00	
x 80 =	0.00			x 420 =	0.00	
				0.00		
				0.00		
				TOTAL	1600	
AMENDMENT B						
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY
AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)	
	Total (37 CFR 1.16(j))	*	Minus **	=		OR
	Independent (37 CFR 1.16(h))	*	Minus ***	=		OR
	Application Size Fee (37 CFR 1.16(s))					OR
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					OR
				TOTAL ADD'L FEE		OR
(Column 1)		(Column 2)		(Column 3)		OTHER THAN SMALL ENTITY
RATE(\$)	FEE(\$)			RATE(\$)	FEE(\$)	
x	=			x	=	
x	=			x	=	
				0.00		
				0.00		
				TOTAL ADD'L FEE	TOTAL ADD'L FEE	

* If the difference in column 1 is less than zero, enter "0" in column 2.

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO.	TOT CLAIMS	IND CLAIMS
14/447,620	07/31/2014	2879	1600	48842-US-PA	18	2

CONFIRMATION NO. 1086

FILING RECEIPT



OC000000070092674

31561
JIANQ CHYUN INTELLECTUAL PROPERTY OFFICE
7 FLOOR-1, NO. 100
ROOSEVELT ROAD, SECTION 2
TAIPEI, 100
TAIWAN

Date Mailed: 08/11/2014

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Yi-Hsuan Lee, Taipei City, TAIWAN;
Peng-Bo Xi, Taipei City, TAIWAN;
Wei-Chu Hsu, Taipei City, TAIWAN;

Applicant(s)

Au Optronics Corporation, Hsinchu, TAIWAN

Power of Attorney: The patent practitioners associated with Customer Number 31561

Domestic Applications for which benefit is claimed - None.

A proper domestic benefit claim must be provided in an Application Data Sheet in order to constitute a claim for domestic benefit. See 37 CFR 1.76 and 1.78.

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see <http://www.uspto.gov> for more information.)
TAIWAN 102133040 09/12/2013

If Required, Foreign Filing License Granted: 08/08/2014

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 14/447,620**

Projected Publication Date: 03/12/2015

Non-Publication Request: No

Early Publication Request: No

Title

PIXEL STRUCTURE

Preliminary Class

313

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No**PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES**

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit <http://www.SelectUSA.gov> or call +1-202-482-6800.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY TO PROSECUTE APPLICATIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 CFR 3.73(c).

I hereby appoint:



Practitioners associated with the Customer Number:

31561

OR



Practitioner(s) named below (if more than ten patent practitioners are to be named, then a customer number must be used):

Name Registration	Number	Name Registration	Number

as attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignment documents attached to this form in accordance with 37 CFR 3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 CFR 3.73(c) to:



The address associated with Customer Number:

31561

OR

☐ Firm or Individual Name			
Address			
City	State	Zip	
Country			
Telephone			Email

Assignee Name and Address:

AU Optronics Corp.

No.1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.

A copy of this form, together with a statement under 37 CFR 3.73(c) (Form PTO/SB/96 or equivalent) is required to be filed in each application in which this form is used. The statement under 37 CFR 3.73(c) may be completed by one of the practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.**SIGNATURE of Assignee of Record**

The individual whose signature and title is supplied below is authorized to act on behalf of the assignee

Signature	<i>Kai Ti Chen</i>	Date	2012.9.17
Name	Kai-Ti Chen	Telephone	+886-3-5008800
Title	Senior Manager		

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: Au Optronics Corporation

Application No./Patent No.: _____ Filed/Issue Date: _____

Titled: PIXEL STRUCTURE

Au Optronics Corporation, a corporation

(Name of Assignee)

(Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. ☒ The assignee of the entire right, title, and interest.
2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):
- ☐ The extent (by percentage) of its ownership interest is _____. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
- ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

- A. ☒ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

- B. ☐ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

[Page 1 of 2]

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Belinda Lee/

2014-07-29

Signature

Date

Belinda Lee

46863

Printed or Typed Name

Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		
<p>The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.</p> <p>This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.</p>			

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1					Remove
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Yi-Hsuan		Lee		
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service					
City	Taipei City	Country of Residence i	TW		
Mailing Address of Inventor:					
Address 1		c/o No. 1, Li-Hsin Rd. II,			
Address 2		Science-Based Industrial Park,			
City	Hsinchu	State/Province			
Postal Code		Country i	TW		
Inventor 2					Remove
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Peng-Bo		Xi		
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service					
City	Taipei City	Country of Residence i	TW		
Mailing Address of Inventor:					
Address 1		c/o No. 1, Li-Hsin Rd. II,			
Address 2		Science-Based Industrial Park,			
City	Hsinchu	State/Province			
Postal Code		Country i	TW		
Inventor 3					Remove
Legal Name					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wei-Chu		Hsu	
Residence Information (Select One) ☐ US Residency ☒ Non US Residency ☐ Active US Military Service				
City	Taipei City	Country of Residence i	TW	
Mailing Address of Inventor:				
Address 1	c/o No. 1, Li-Hsin Rd. II,			
Address 2	Science-Based Industrial Park,			
City	Hsinchu	State/Province		
Postal Code		Country i	TW	
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button.				<input type="button" value="Add"/>

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).			
☐ An Address is being provided for the correspondence Information of this application.			
Customer Number	31561		
Email Address	USA@JCIPGROUP.COM.TW	<input type="button" value="Add Email"/>	<input type="button" value="Remove Email"/>
Email Address	BELINDA@JCIPGROUP.COM.TW	<input type="button" value="Add Email"/>	<input type="button" value="Remove Email"/>

Application Information:

Title of the Invention	PIXEL STRUCTURE		
Attorney Docket Number	48842-US-PA	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	4	Suggested Figure for Publication (if any)	

Filing By Reference :

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country i

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.			
Please Select One:	☒ Customer Number	☐ US Patent Practitioner	☐ Limited Recognition (37 CFR 11.9)
Customer Number	31561		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78. When referring to the current application, please leave the application number blank.			
Prior Application Status		Remove	
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.			Add

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(d). When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX) ⁱ the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(h)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).			
Remove			
Application Number	Country ⁱ	Filing Date (YYYY-MM-DD)	Access Code ⁱ (if applicable)
102133040	TW	2013-09-12	

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		
Additional Foreign Priority Data may be generated within this form by selecting the Add button. <div style="float: right; border: 1px solid black; padding: 2px 5px;">Add</div>			

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013. NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Authorization to Permit Access:

☐ Authorization to Permit Access to the Instant Application by the Participating Offices
<p>If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.</p> <p>In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.</p> <p>In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.</p>

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		

Applicant 1				Remove	
<p>If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.</p>					
Clear					
☒ Assignee		☐ Legal Representative under 35 U.S.C. 117		☐ Joint Inventor	
☐ Person to whom the inventor is obligated to assign.			☐ Person who shows sufficient proprietary interest		
If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:					
Name of the Deceased or Legally Incapacitated Inventor :					
If the Applicant is an Organization check here. ☒					
Organization Name		Au Optronics Corporation			
Mailing Address Information:					
Address 1		No. 1, Li-Hsin Rd. II,			
Address 2		Science-Based Industrial Park,			
City		Hsinchu		State/Province	
Country ⁱ	TW	Postal Code			
Phone Number		Fax Number			
Email Address					
Additional Applicant Data may be generated within this form by selecting the Add button.					
Add					

Assignee Information including Non-Applicant Assignee Information:

<p>Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.</p>	
Assignee 1	
<p>Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.</p>	
Remove	
<p>If the Assignee or Non-Applicant Assignee is an Organization check here. ☐</p>	

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	48842-US-PA
		Application Number	
Title of Invention	PIXEL STRUCTURE		

Prefix	Given Name	Middle Name	Family Name	Suffix

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1			
Address 2			
City		State/Province	
Country i		Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button.

Signature:

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Belinda Lee/		Date (YYYY-MM-DD)	2014-07-29
First Name	Belinda	Last Name	Lee	Registration Number
				46863

Additional Signature may be generated within this form by selecting the Add button.

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit		
	Examiner Name		
Attorney Docket Number		48842-US-PA	

U.S.PATENTS							Remove	
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear		
	1							
If you wish to add additional U.S. Patent citation information please click the Add button.							Add	
U.S.PATENT APPLICATION PUBLICATIONS							Remove	
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear		
	1							
If you wish to add additional U.S. Published Application citation information please click the Add button.							Add	
FOREIGN PATENT DOCUMENTS							Remove	
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	201342588	TW		2013-10-16	AU OPTRONICS CORPORATION		☐
	2	I413441	TW		2013-10-21	AU OPTRONICS CORPORATION		☐
If you wish to add additional Foreign Patent Document citation information please click the Add button								Add
NON-PATENT LITERATURE DOCUMENTS								Remove

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit		
	Examiner Name		
Attorney Docket Number		48842-US-PA	

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		
	First Named Inventor	Yi-Hsuan Lee	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	48842-US-PA	

CERTIFICATION STATEMENT			
Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):			
☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).			
OR			
☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).			
☐ See attached certification statement.			
☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.			
☒ None			
SIGNATURE			
A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.			
Signature	/Belinda Lee/	Date (YYYY-MM-DD)	2014-07-29
Name/Print	Belinda Lee	Registration Number	46863
<p>This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.</p>			

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Patent/Publication Number	TWI413441
Title	Pixel structure and electroluminescence device
Issued/Publication Date	2013/10/21
Application Date	2009/12/29
Application Number	098145642
Certification Number	I413441
IPC	H05B-033/00(2006.01)
Inventor	CHOU, CHIA LING TW; WU, YUAN CHUN TW; CHANG, LEE HSUN TW
Applicant	AU OPTRONICS CORPORATIONTW
Individual	F

Abstract

A pixel structure and an electroluminescence device are provided. The pixel structure is disposed in a display region including a light-emitting region and a non-light-emitting region and has a first active device, a second active device, a light emitting device and an auxiliary electrode layer. The first active device is electrically connected to a scan line and a data line. The second active device is electrically connected to the first active device and a power line. The light emitting device is disposed in the light-emitting region and includes a first electrode layer electrically connected to the second active device, a light emitting layer disposed on the first electrode layer and a second electrode layer disposed on the light emitting layer. The auxiliary electrode layer is electrically connected to the power line.

I413441



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I413441 B

(45)公告日：中華民國 102 (2013) 年 10 月 21 日

(21)申請案號：098145642

(22)申請日：中華民國 98 (2009) 年 12 月 29 日

(51)Int. Cl. : **H05B33/00 (2006.01)**

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)
新竹市新竹科學工業園區力行二路 1 號

(72)發明人：周佳伶 CHOU, CHIA LING (TW)；吳元均 WU, YUAN CHUN (TW)；張立勳
CHANG, LEE HSUN (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW 543342

TW 200620208A

CN 1658726A

US 2008/0230770A1

審查人員：楊鴻偉

申請專利範圍項數：18 項 圖式數：6 共 24 頁

(54)名稱

畫素結構及電致發光裝置

PIXEL STRUCTURE AND ELECTROLUMINESCENCE DEVICE

(57)摘要

一種畫素結構，其位於一顯示區內，顯示區具有一發光區以及一非發光區，且電致發光裝置之畫素結構包括一第一主動元件、一第二主動元件、一發光元件以及一輔助電極層。第一主動元件與一掃描線以及一資料線電性連接。第二主動元件與第一主動元件以及一電源線電性連接。發光元件位於發光區內，並且與第二主動元件電性連接，且發光元件包括一第一電極層，其與第二主動元件電性連接；一發光層，其位於第一電極層上；以及一第二電極層，其位於該發光層上。輔助電極層與電源線電性連接。

A pixel structure and an electroluminescence device are provided. The pixel structure is disposed in a display region including a light-emitting region and a non-light-emitting region and has a first active device, a second active device, a light emitting device and an auxiliary electrode layer. The first active device is electrically connected to a scan line and a data line. The second active device is electrically connected to the first active device and a power line. The light emitting device is disposed in the light-emitting region and includes a first electrode layer electrically connected to the second active device, a light emitting layer disposed on the first electrode layer and a second electrode layer disposed on the light emitting layer. The auxiliary electrode layer is electrically connected to the power line.

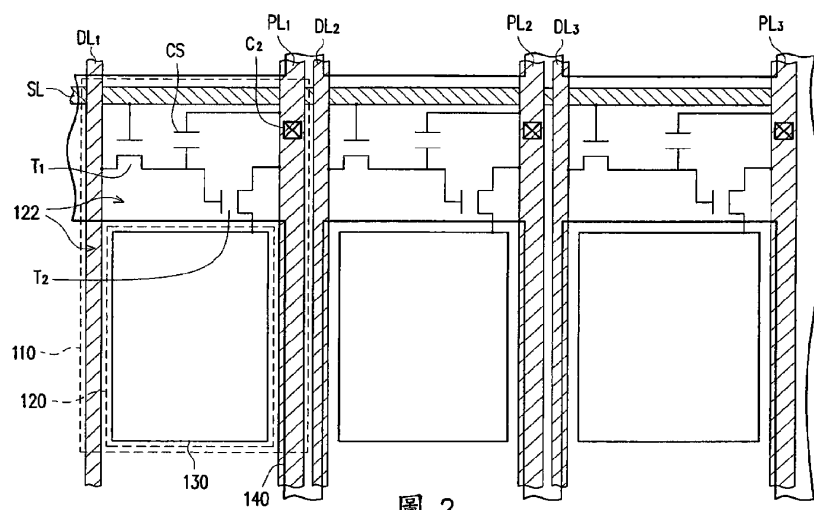


圖 2

- 110 . . . 畫素區
- 120 . . . 發光區
- 122 . . . 非發光區
- 140 . . . 輔助電極層
- 130 . . . 第一電極層
- SL . . . 掃描線
- DL₁~DL₃ . . . 資料線
- PL₁~PL₃ . . . 電源線
- T₁ . . . 第一主動元件
- T₂ . . . 第二主動元件
- CS . . . 電容器
- C₂ . . . 接觸窗

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：98145642

※申請日：98.12.29

※IPC 分類：H05B 33/00 (2006.01)

一、發明名稱：

畫素結構及電致發光裝置/PIXEL STRUCTURE AND
ELECTROLUMINESCENCE DEVICE

二、中文發明摘要：

一種畫素結構，其位於一顯示區內，顯示區具有一發光區以及一非發光區，且電致發光裝置之畫素結構包括一第一主動元件、一第二主動元件、一發光元件以及一輔助電極層。第一主動元件與一掃描線以及一資料線電性連接。第二主動元件與第一主動元件以及一電源線電性連接。發光元件位於發光區內，並且與第二主動元件電性連接，且發光元件包括一第一電極層，其與第二主動元件電性連接；一發光層，其位於第一電極層上；以及一第二電極層，其位於該發光層上。輔助電極層與電源線電性連接。

三、英文發明摘要：

A pixel structure and an electroluminescence device are provided. The pixel structure is disposed in a display region including a light-emitting region and a non-light-emitting region and has a first active device, a second active device, a

light emitting device and an auxiliary electrode layer. The first active device is electrically connected to a scan line and a data line. The second active device is electrically connected to the first active device and a power line. The light emitting device is disposed in the light-emitting region and includes a first electrode layer electrically connected to the second active device, a light emitting layer disposed on the first electrode layer and a second electrode layer disposed on the light emitting layer. The auxiliary electrode layer is electrically connected to the power line.

四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

110：畫素區

120：發光區

122：非發光區

140：輔助電極層

130：第一電極層

SL：掃描線

DL₁~DL₃：資料線

PL₁~PL₃：電源線

T₁：第一主動元件

T₂：第二主動元件

CS：電容器

C₂：接觸窗

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種畫素結構，且特別是有關於一種電致發光裝置之畫素結構及具有此畫素結構之電致發光裝置。

【先前技術】

電致發光裝置是一種自發光性（Emissive）之裝置。由於電致發光裝置具有無視角限制、低製造成本、高應答速度、省電、可使用於可攜式機器的直流驅動、工作溫度範圍大以及重量輕且可隨硬體設備小型化及薄型化等等。因此，電致發光裝置具有極大的發展潛力，可望成為下一世代的新穎平面顯示器。

一般來說，電致發光裝置是由一上電極層、一下電極層以及夾於兩電極層之間之一發光層所組成、其中下電極層一般是採用透明導電材質，以使發光層所產生的光線可以穿透出。然而，由於當電致發光裝置朝向大尺寸發展時，因電源線上的阻抗而產生的壓降會使得靠近電源輸入端與遠離電源輸入端的畫素的電壓有明顯的不同。而由於電致發光裝置中各畫素的發光亮度與流經此畫素的電流大小有關。因此，將使得此電致發光裝置之整體發光均勻度不佳。

【發明內容】

本發明提供一種電致發光裝置之畫素結構，其位於一

顯示區內，顯示區具有一發光區以及一非發光區，且電致發光裝置之畫素結構包括一第一主動元件、一第二主動元件、一發光元件以及一輔助電極層。第一主動元件與一掃描線以及一資料線電性連接。第二主動元件與第一主動元件以及一電源線電性連接。發光元件位於發光區內，並且與第二主動元件電性連接，且發光元件包括一第一電極層，其與第二主動元件電性連接；一發光層，其位於第一電極層上；以及一第二電極層，其位於該發光層上。輔助電極層與電源線電性連接。

本發明提出一種電致發光裝置，其包括一基板、多條掃描線以及多條資料線、至少一電源線以及多個畫素結構。基板具有一顯示區，且顯示區具有一發光區以及一非發光區。掃描線以及資料線位於非發光區內。畫素結構位於顯示區內，其中每一畫素結構包括一第一主動元件，其對應地與掃描線之一以及資料線之一電性連接；第二主動元件，其與第一主動元件以及電源線電性連接；發光元件位於發光區內並且與第二主動元件電性連接；以及一輔助電極層，其與電源線電性連接。上述之發光元件包括一第一電極層，其與第二主動元件電性連接；一發光層，其位於第一電極層上；以及一第二電極層，其位於發光層上。

本發明提出一種畫素結構，其包括一第一主動元件、一第二主動元件、一電極層以及一輔助電極層。第一主動元件與掃描線以及資料線電性連接。第二主動元件與第一主動元件以及一電源線電性連接。電極層與第二主動元件

電性連接。輔助電極層與電源線電性連接。

基於上述，由於本發明在畫素結構中設置輔助電極層，且輔助電極層與電源線電性連接，以使輔助電極層與電源線呈現並聯關係。此種設計相較於傳統單純使用電源線之方式可以降低電源線的等效電阻值，以解決電源線在不同位置的壓降明顯不同的問題。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 是根據本發明一實施例之電致發光裝置之上視示意圖。圖 2 是圖 1 之電致發光裝置中畫素陣列的局部示意圖。圖 3A 是根據本發明一實施例之其中一個畫素結構的局部剖面示意圖。為了詳細說明，圖 2 以及圖 3A 所繪示之畫素結構沒有繪示出其發光元件的發光層及第二電極層。完整的畫素結構之剖面是繪示於圖 3B 中。

請先參照圖 1 以及圖 2，本實施例之電致發光裝置具有一顯示區 101，且顯示區 101 內具有多個畫素區 110，每一畫素區 110 內設置一個畫素結構，以構成一畫素陣列。在顯示區 101 周圍則因不作為顯示之用，因此又可稱為非顯示區或者是周邊電路區。

特別是，每一畫素區 110 具有一發光區 120 以及一非發光區 122 (如圖 2 所示)。一般來說，發光區 120 內會設置透明電極以使光線可以穿透射出。而非發光區 122 內則

是設置此畫素結構的驅動元件、線路等等構件。在本實施例之畫素區 110 中，非發光區 122 是包圍發光區 120，因此發光區 120 是設置在非發光區 122 的內部。此外，本發明不限制非發光區 122 內的元件所設置的位置。雖然在圖 2 所繪示的圖式中，非發光區 122 內的元件是集中於畫素區 110 的上半部。然，根據其他實施例，非發光區 122 內的元件也可以設置在畫素區 110 的上半部及下半部，而發光區 120 則是設置在畫素區 110 的中間。

為了詳細說明本發明之畫素結構的設計，以下之說明是以單一畫素結構為例來作說明。此領域技術人員應可以瞭解電致發光裝置之畫素陣列是由多個相同或相似的畫素結構所組成。因此，此領域技術人員可以根據以下針對單一畫素結構的說明，而瞭解電致發光裝置中之畫素陣列的結構或佈局。

請參照圖 2、圖 3A 以及圖 3B，畫素區 110 中的畫素結構包括設置在基板 100 上之元件層 200 以及發光元件層 250(如圖 3B 所示)。特別是，元件層 200 包括掃描線 SL、資料線 DL₁、電源線 PL₁、第一主動元件 T₁ 以及第二主動元件 T₂。發光元件層 250 包括發光元件 180 以及輔助電極層 140。

更詳細而言，基板 100 可為透明基板，其例如是透明玻璃基板或是透明軟質基板。基板 100 主要是作為承載電致發光裝置之組成元件之用。為了使電致發光元件所產生的光可以從基板 100 透射出，基板 100 是採用透明或是透

光材質。一般來說，從基板 100 出光之電致發光裝置又稱為底部發光型電致發光裝置。

在元件層 200 中，各畫素區 110 之畫素結構是與其中一條掃描線 SL、其中一條資料線 DL₁ 以及其中一條電源線 PL₁ 電性連接，以控制此畫素結構。換言之，由多個畫素結構所構成的畫素陣列包含多條掃描線 SL、多條資料線 DL₁~DL₃ 以及多條電源線 PL₁~PL₃。此外，在每一個畫素區 110 中還包括主動元件 T₁、T₂，較佳的是，在每一個畫素區 110 中更包括一電容器 CS。在本實施例中，畫素區 110 內的元件是以兩個主動元件搭配一個電容器(2T1C)為例來說明，但並非用以限定本發明，本發明不限每一畫素區 110 內的主動元件與電容器的個數。在 2T1C 形式的畫素結構中，主動元件 T₁ 具有閘極 G₁、源極 S₁、汲極 D₁ 以及通道區 CH₁，且源極 S₁ 與資料線 DL₁ 電性連接，閘極 G₁ 與掃描線 SL 電性連接，且汲極 D₁ 與主動元件 T₂ 電性連接；主動元件 T₂ 具有閘極 G₂、源極 S₂、汲極 D₂ 以及通道區 CH₂，且主動元件 T₂ 的閘極 G₂ 是與主動元件 T₁ 的汲極 D₁ 電性連接，主動元件 T₂ 的源極 S₂ 是與電源線 PL₁ 電性連接。電容器 CS 的一電極端 E₁ 是與主動元件 T₁ 的汲極 D₁ 以及主動元件 T₂ 的閘極 G₂ 電性連接，電容器 CS 的另一電極端 E₂ 藉由絕緣層 104 之一接觸窗 C' 與電源線 PL₁ 電性連接。

在本實施例中，主動元件 T₁、T₂ 是以頂部閘極型薄膜電晶體（又可稱為多晶矽薄膜電晶體）為例來說明。換言

之，主動元件 T_1 之源極 S_1 、汲極 D_1 以及通道區 CH_1 是形成在一半導體層(多晶矽層)中，且在源極 S_1 以及通道區 CH_1 之間以及汲極 D_1 與通道區 CH_1 之間可進一步包括形成淺摻雜汲極區(lightly doped drain region, LDD)。在上述半導體層與閘極 G_1 之間夾有一層閘極絕緣層 102，且在閘極 G_1 上另覆蓋有一層絕緣層 104。源極 S_1 透過貫穿絕緣層 104、106 的源極金屬層 SM_1 而與資料線 DL_1 電性連接，汲極 D_1 可透過貫穿絕緣層 104、106 的汲極金屬層 DM_1 而與主動元件 T_2 的閘極 G_2 電性連接(未繪示)。此外，主動元件 T_2 之源極 S_2 、汲極 D_2 以及通道區 CH_2 是形成在一半導體層(多晶矽層)中。類似地，在上述半導體層與閘極 G_2 之間夾有一層閘極絕緣層 102，且在閘極 G_2 上覆蓋有一層絕緣層 104。源極 S_2 透過貫穿絕緣層 104、106 的源極金屬層 SM_2 與電源線 PL_1 電性連接，汲極 D_2 亦與貫穿絕緣層 104、106 的汲極金屬層 DM_2 電性連接。

在本實施例中，是以頂部閘極型薄膜電晶體(又可稱為多晶矽薄膜電晶體)為例來說，但本發明不限於此。根據其他實施例，主動元件 T_1 、 T_2 也可以是底部閘極型薄膜電晶體(又可稱為非晶矽薄膜電晶體)。另外，上述圖 2 以及圖 3A 與圖 3B 所繪示之元件層 200 的佈局及設計僅用來說明本發明，以使本領域技術人員可以瞭解本發明並據以實施，但其並非用以限定本發明。在其他的實施例中，亦可以採用其他種形式的佈局設計。

在上述元件層 200 上方是另覆蓋一層絕緣層 106。而

在絕緣層 106 上則是設置發光元件層 250，其中發光元件層 250 包括發光元件 180 以及輔助電極層 140。

在發光元件層 250 中的發光元件 180 包括第一電極層 130、發光層 160 以及第二電極層 170。

第一電極層 130 設置於絕緣層 106 之表面上，且與主動元件 T_2 之汲極 D_2 電性連接。在本實施例中，第一電極層 130 是透過形成在絕緣層 106 中之接觸窗 C_1 而與主動元件 T_2 之汲極金屬層 DM_2 電性連接。第一電極層 130 為透明電極層，其材質可為金屬氧化物，如銦錫氧化物或是銦鋅氧化物等等。此外，在第一電極層 130 上更覆蓋有一層絕緣層 108，且絕緣層 108 具有一開口 150，其暴露出第一電極層 130。在每一畫素區 110 中，開口 150 所佔的區域相當於第一電極層 130 所在的區域，或者是略小於第一電極層 130 所在的區域。

發光層 160 位於開口 150 所暴露出的第一電極層 130 上。發光層 160 可為有機發光層或無機發光層。根據發光層 160 所使用之材質，此電致發光裝置可稱為有機電致發光裝置或是無機電致發光裝置。另外，每一畫素區 110 內的發光層 160 可為紅色有機發光圖案、綠色有機發光圖案、藍色有機發光圖案或是混合各頻譜的光產生的不同顏色(例如白、橘、紫、…等)發光圖案。

第二電極層 170 覆蓋於發光層 160 上，並且延伸至絕緣層 108 之表面上。在本實施例中，第二電極層 170 為未圖案化之電極層，因而所有畫素區 110 的第二電極層 170

都彼此電性連接在一起。第二電極層 170 可為金屬電極層或是透明導電層。

根據其他實施例，上述之發光元件 180 中可更包括電子輸入層、電洞輸入層、電子傳輸層以及電洞傳輸層等等。

此外，輔助電極層 140 與電源線 PL_1 電性連接。在本實施例中，輔助電極層 140 是設置於絕緣層 106 的表面上，且透過形成在絕緣層 106 中之接觸窗 C_2 而與電源線 PL_1 電性連接。特別是，輔助電極層 140 不與發光元件 180 之第一電極層 130 接觸。此外，輔助電極層 140 可與發光元件 180 之第一電極層 130 以同一膜層形成。換言之，輔助電極層 140 與發光元件 180 之第一電極層 130 是屬於同一膜層，但彼此分離開來。因此，輔助電極層 140 的材質可與發光元件 180 之第一電極層 130 的材質相同。此外，根據本實施例，因輔助電極層 140 與發光元件 180 之第一電極層 130 是屬於同一膜層且彼此不互相接觸。由於第一電極層 130 會與主動元件 T_2 局部重疊，因而輔助電極層 140 可設置在畫素區 110 中不設置有第一電極層 130 的位置，例如是主動元件 T_1 的上方、電源線 PL_1 上方、資料線 DL_1 上方、掃描線 SL 上方或是其組合。因此，輔助電極層 140 大致上可遮蔽主動元件 T_1 、電源線 PL_1 、資料線 DL_1 、掃描線 SL 上方或是其組合。當然，每一畫素區 110 內之輔助電極層 140 也可以延伸至鄰接的畫素區內。

值得一提的是，由圖 2 可知，位於所有畫素區 110 之輔助電極層 140 是彼此電性連接在一起。此外，畫素區 110

中之輔助電極層 140 皆各自與電源線 $PL_1 \sim PL_3$ 電性連接。換言之，電源線 $PL_1 \sim PL_3$ 的電流除了可以從電源線 $PL_1 \sim PL_3$ 本身傳遞之外，還可以由輔助電極層 140 來傳遞，使得輔助電極層 140 與電源線 $PL_1 \sim PL_3$ 等同於上下兩層並聯的走線。因此，本發明加入了輔助電極層 140 可以使得電源線 $PL_1 \sim PL_3$ 的等效阻抗降低。如此可以降低電致發光裝置中各畫素區的壓降差異，進而改善電致發光裝置之整體發光均勻度。

上述於基板 100 上完成電致發光裝置之畫素結構的製作之後，可以接著進行電致發光裝置的密封程序，以完成電致發光裝置的製作。而電致發光裝置的密封程序例如是如圖 4 所示之方式，也就是在已形成有電致發光裝置之畫素陣列 300 的基板 100 上設置一蓋板 400。蓋板 400 可藉由封膠 500 而固定於基板 100 上，以使畫素陣列 300(由上述畫素結構構成)密封於基板 100 與蓋板 400 之間。當然，在基板 100 與蓋板 400 之間還可以根據實際所需而填充其他材質，例如乾燥劑、填充膠等等。

根據另一實施例，電致發光裝置的密封程序還可以是如圖 5 所示，其是直接基板 100 上沈積或塗佈一層保護層 600，其覆蓋住畫素陣列 300(由上述畫素結構構成)。所述保護層 600 可以是有機材料、無機材料或是有機與無機材料之組合。

當然，根據本發明之又一實施例，亦可以將圖 4 與圖 5 之實施例組合，也就是先在畫素陣列 300(由上述畫素結

構成)上覆蓋保護層 600，再於基板 100 上設置蓋板 400。

上述於圖 2、圖 3A 以及圖 3B 所揭露的是應用於電致發光裝置的畫素設計。然，本發明在畫素結構中加入輔助電極層降低電源線的等效阻抗的方法不限於僅能應用於電致發光裝置的畫素結構中。換言之，本發明在畫素結構中加入輔助電極層降低電源線的等效阻抗的方法也可使用在其他會使用電源線且會因為電源線壓降而有顯示或發光均勻度不佳問題的畫素結構中。

綜上所述，本發明在畫素結構中設置輔助電極層，且輔助電極層與電源線電性連接。如此一來，輔助電極層與電源線等同於上下兩層並聯的走線，因而輔助電極層可以使得電源線的等效阻抗降低。如此可以降低電致發光裝置中各畫素區的壓降差異，進而改善電致發光裝置之整體發光均勻度。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是根據本發明一實施例之電致發光裝置之上視示意圖。

圖 2 是圖 1 之電致發光裝置中畫素陣列的局部示意圖。

圖 3A 是根據本發明一實施例之其中一個畫素結構的局部剖面示意圖。

圖 3B 是根據本發明一實施例之其中一個畫素結構的完整剖面示意圖。

圖 4 是根據本發明一實施例之電致發光裝置的示意圖。

圖 5 是根據本發明另一實施例之電致發光裝置的示意圖。

【主要元件符號說明】

- 100：基板
- 101：顯示區
- 110：畫素區
- 120：發光區
- 122：非發光區
- 180：發光元件
- 140：輔助電極層
- 102、104、106：絕緣層
- 130：第一電極層
- 150：開口
- 160：發光層
- 170：第二電極層
- 180：發光元件
- 200：元件層

250：發光元件層
300：畫素陣列
400：蓋板
500：封膠
600：保護層
SL：掃描線
DL₁~DL₃：資料線
PL₁~PL₃：電源線
T₁：第一主動元件
T₂：第二主動元件
CS：電容器
G₁、G₁：閘極
S₁、S₂：源極
D₁、D₂：汲極
CH₁、CH₂：通道區
E₁、E₂：電極端
SM₁、SM₂：源極金屬層
DM₁、DM₂：汲極金屬層
C'、C₁、C₂：接觸窗

七、申請專利範圍：

1.一種電致發光裝置之畫素結構，位於一顯示區內，該顯示區具有一發光區以及一非發光區，該電致發光裝置之畫素結構包括：

一第一主動元件，與一掃描線以及一資料線電性連接；

一第二主動元件，與該第一主動元件以及一電源線電性連接；

一發光元件，位於該發光區內，並且與該第二主動元件電性連接，該發光元件包括：

一第一電極層，其與該第二主動元件電性連接；

一發光層，位於該第一電極層上；以及

一第二電極層，位於該發光層上；以及

一輔助電極層，與該電源線電性連接，其中該輔助電極層遮蔽該第一主動元件、至少部份該資料線、至少部份該電源線以及至少部份該掃描線，且該輔助電極層的一部份與該掃描線垂直。

2.如申請專利範圍第1項所述之電致發光裝置之畫素結構，其中該發光元件之第一電極層係不與該輔助電極層接觸。

3.如申請專利範圍第1項所述之電致發光裝置之畫素結構，其中該發光元件之第一電極層與該輔助電極層係以同一膜層形成。

4.如申請專利範圍第1項所述之電致發光裝置之畫素

結構，其中該發光元件之第一電極層的材質與該輔助電極層的材質相同。

5.如申請專利範圍第 1 項所述之電致發光裝置之畫素結構，更包括一電容器，該電容器之一端與該第一主動元件電性連接，該電容器之另一端與該電源線及該第二主動元件電性連接。

6.如申請專利範圍第 1 項所述之電致發光裝置之畫素結構，更包括：

一第一絕緣層，覆蓋該第一主動元件以及第二主動元件，且該發光元件之第一電極層以及該輔助電極層分別位於該第一絕緣層的表面上；以及

一第二絕緣層，位於該第一絕緣層上，其中該第二絕緣層具有一開口，暴露出該發光元件之該第一電極層，且該發光元件之發光層位於該開口所暴露出的該第一電極層上，

其中該發光元件之該第二電極層覆蓋該第二絕緣層以及該發光元件之該發光層。

7.如申請專利範圍第 6 項所述之電致發光裝置之畫素結構，其中該第一絕緣層具有：

一第一接觸窗，以使該第二主動元件與該發光元件之該第一電極層電性連接；以及

一第二接觸窗，以使該電源線與該輔助電極層電性連接。

8. 如申請專利範圍第 1 項所述之電致發光裝置之畫

素結構，其中該發光層係為有機發光層或無機發光層。

9.一種電致發光裝置，包括：

一基板，具有一顯示區，該顯示區具有一發光區以及一非發光區；

多條掃描線以及多條資料線，位於該非發光區內；

至少一電源線；以及

多個畫素結構，位於該顯示區內，其中每一畫素結構包括：

一第一主動元件，對應地與該些掃描線之一以及該些資料線之一電性連接；

一第二主動元件，與該第一主動元件以及該電源線電性連接；

一發光元件，位於該發光區內，並且與該第二主動元件電性連接，該發光元件包括：

一第一電極層，其與該第二主動元件電性連接；

一發光層，位於該第一電極層上；以及

一第二電極層，位於該發光層上；以及

一輔助電極層，與該電源線電性連接，其中該輔助電極層遮蔽該第一主動元件、至少部份該資料線、至少部份該電源線以及至少部份該掃描線，且該輔助電極層的一部份與該掃描線垂直。

10.如申請專利範圍第9項所述之電致發光裝置，更包括一蓋板，位於該基板上，且該些畫素結構密封於該基板

與該蓋板之間。

11.如申請專利範圍第 9 項所述之電致發光裝置，更包括一保護層，位於該基板上，並且覆蓋住該些畫素結構。

12.一種畫素結構，包括：

一第一主動元件，其與一掃描線以及一資料線電性連接；

一第二主動元件，其與該第一主動元件以及一電源線電性連接；

一電極層，其與該第二主動元件電性連接；以及

一輔助電極層，其與該電源線電性連接，其中該輔助電極層遮蔽該第一主動元件、至少部份該資料線、至少部份該電源線以及至少部份該掃描線，且該輔助電極層的一部份與該掃描線垂直。

13.如申請專利範圍第 12 項所述之畫素結構，其中該電極層係不與該輔助電極層接觸。

14.如申請專利範圍第 12 項所述之畫素結構，其中該電極層與該輔助電極層係以同一膜層形成。

15.如申請專利範圍第 12 項所述之畫素結構，其中該電極層的材質與該輔助電極層的材質相同。

16.如申請專利範圍第 12 項所述之畫素結構，更包括一電容器，該電容器之一端與該第一主動元件電性連接，該電容器之另一端與該電源線及該第二主動元件電性連接。

17.如申請專利範圍第 12 項所述之畫素結構，更包括

一絕緣層，覆蓋該第一主動元件以及第二主動元件，且該電極層以及該輔助電極層位於該絕緣層的表面上。

18.如申請專利範圍第 17 項所述之畫素結構，其中該絕緣層具有：

一第一接觸窗，以使該第二主動元件與該電極層電性連接；以及

一第二接觸窗，以使該電源線與該輔助電極層電性連接。

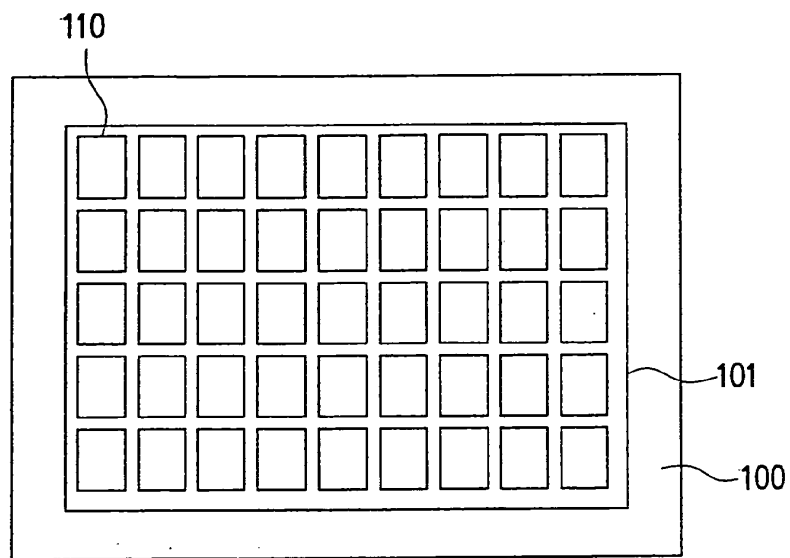


圖 1

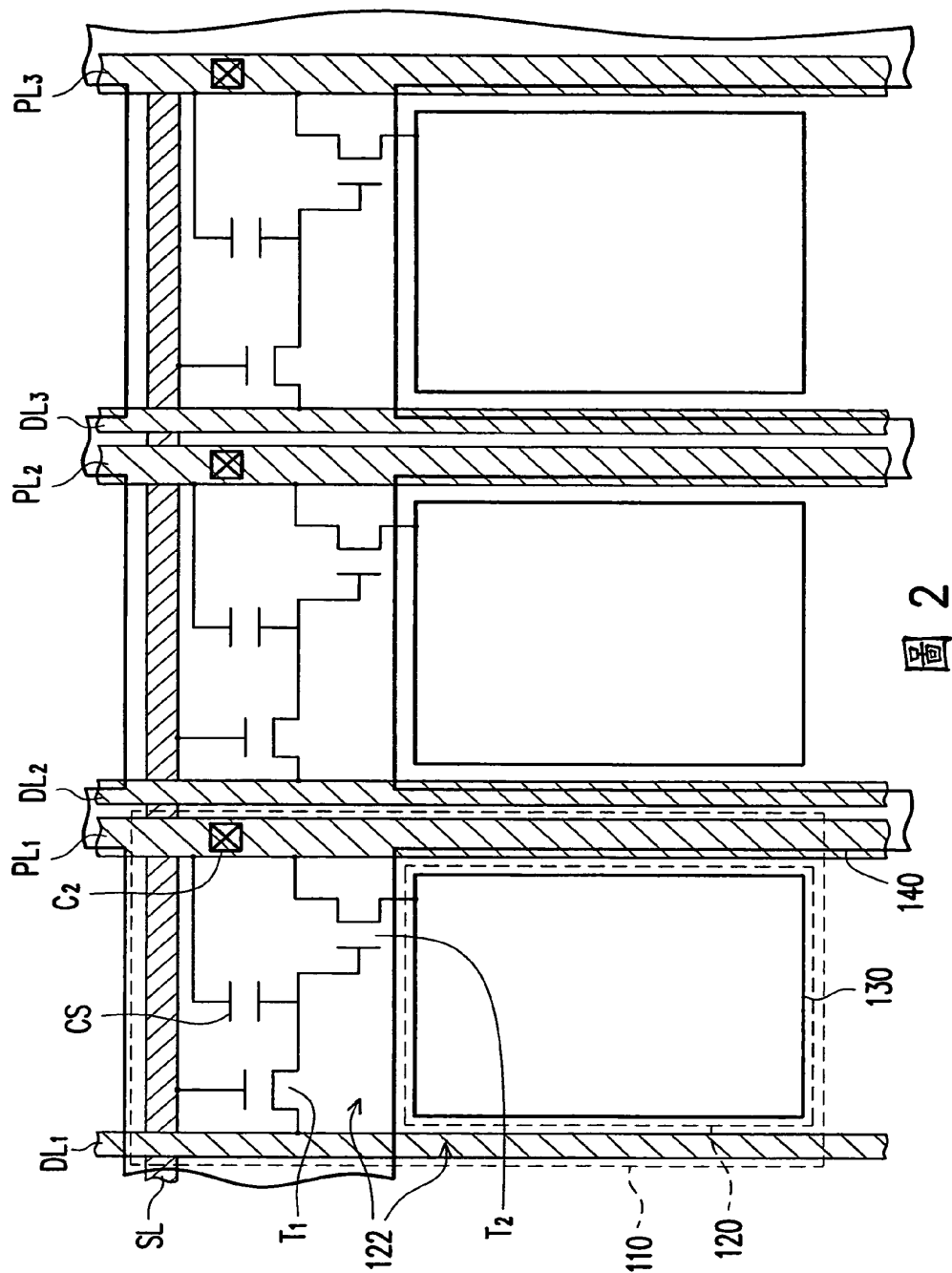


圖 2

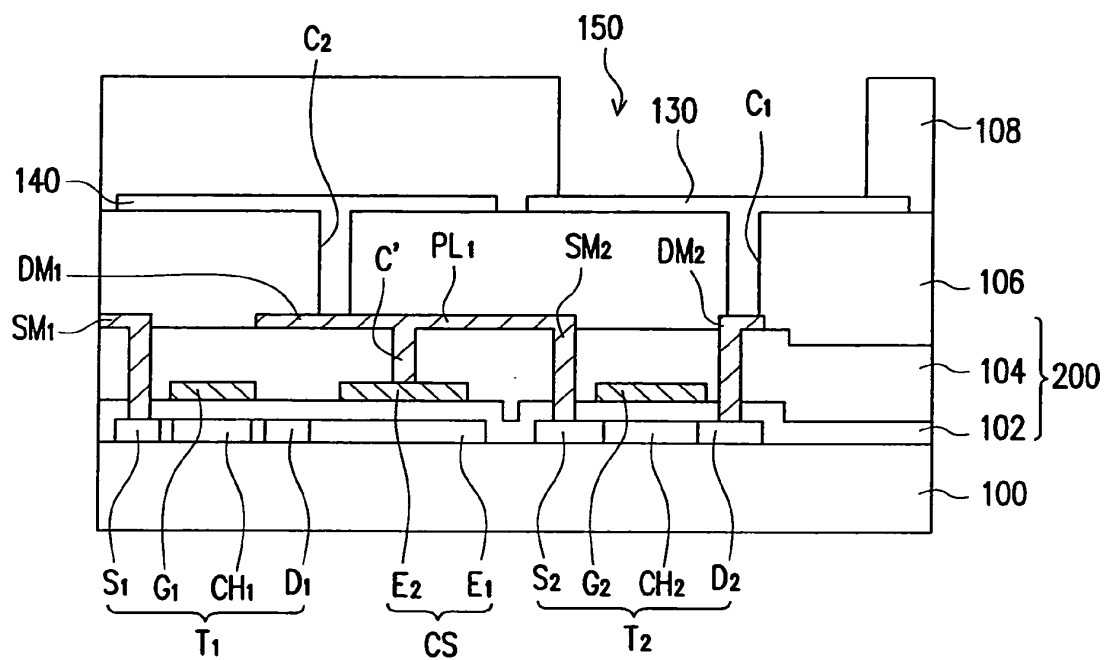


圖 3A

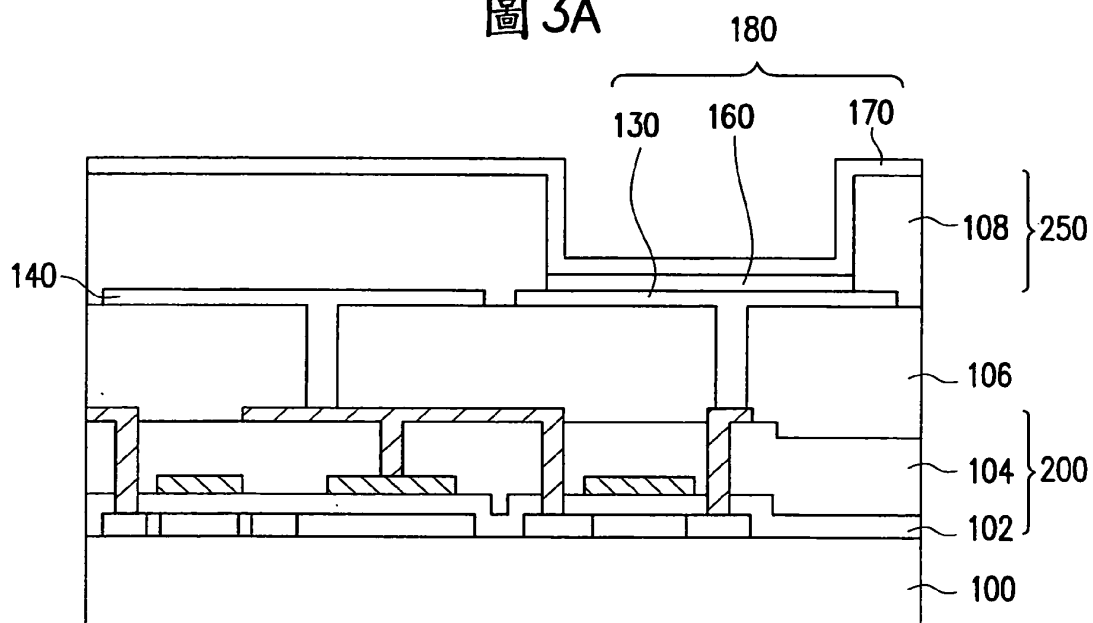


圖 3B

I413441

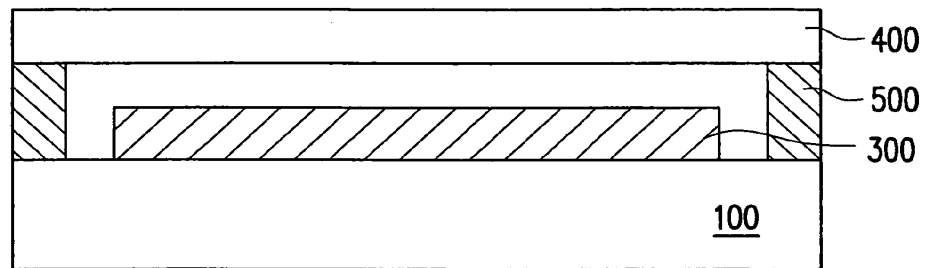


圖 4

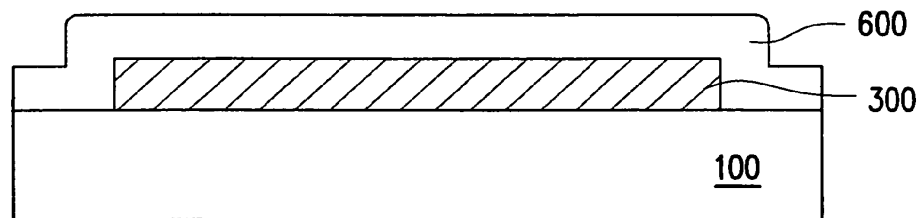


圖 5

Search terms : (1) (102103529)@AN

【 印出 】

Patent/Publication Number	201342588
Title	Amoled
Issued/Publication Date	2013/10/16
Application Date	2013/01/30
Application Number	102103529 
IPC	H01L-027/32(2006.01);H01L-051/56(2006.01)
Inventor	HSIEH, HSING-HUNG TW
Applicant	AU OPTRONICS CORPORATIONTW
Priority Number	20120403 US 201213438071
Abstract	<p>A stratified organic light-emitting diode structure includes a thin-film transistor and an organic light-emitting diode (OLED). The OLED is fabricated on a planarization layer that has a top surface substantially parallel to the substrate, and the layers in the organic light-emitting diode (OLED) are substantially parallel to each other. The major part of each OLED layer has a uniform thickness so that the OLED produces a uniform brightness. The planarization layer covers the thin-film transistor and the planarization layer on top of the thin-film transistor is also covered by an insulation layer. In order to electrically connect the top electrode of the OLED to the drain terminal of the thin-film transistor, an opening is made through both the top insulating layer and the planarization layer to expose part of the drain terminal. Spacers with uniform height are fabricated on the top insulating layer to protect the pixel structure.</p>
Individual	F



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201342588 A

(43)公開日：中華民國 102 (2013) 年 10 月 16 日

(21)申請案號：102103529

(22)申請日：中華民國 102 (2013) 年 01 月 30 日

(51)Int. Cl.：H01L27/32 (2006.01)

H01L51/56 (2006.01)

(30)優先權：2012/04/03 美國

13/438,071

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：謝信弘 HSIEH, HSINGHUNG (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 42 頁

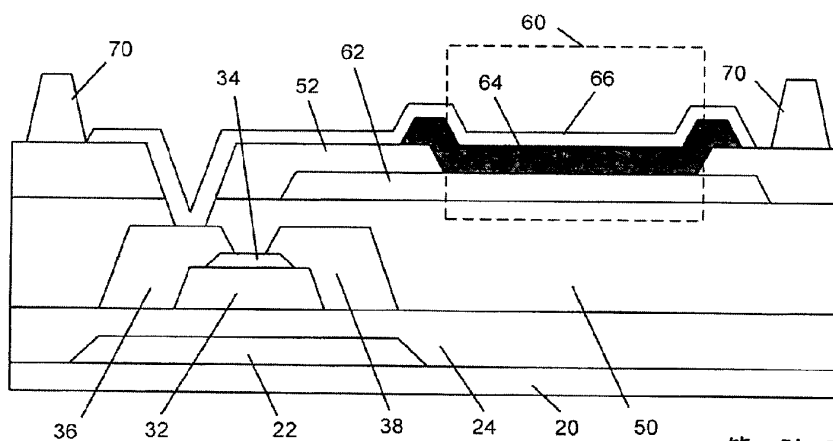
(54)名稱

主動式矩陣有機發光二極體

AMOLED

(57)摘要

本發明提供一種有機發光二極體，其包含薄膜電晶體以及有機發光二極體。有機發光二極體係製作於平坦化層上且具有上表面，上表面係實質上與基板平行且有機發光二極體中各層亦彼此實質上平行。有機發光二極體之各層的大部分皆具有均勻之厚度，以使有機發光二極體可表現均勻之亮度。平坦化層覆蓋薄膜電晶體，而位於薄膜電晶體之上的平坦化層亦為一絕緣層所覆蓋。製作一開口，開口穿透位於薄膜電晶體之上的平坦化層和絕緣層以露出薄膜電晶體之部分汲極，使有機發光二極體之上電極與薄膜電晶體的汲極電性連接。此外在薄膜電晶體之上的絕緣層，亦設置有複數個具均一高度的間隙子以保護畫素結構。



第 5i 圖

- 20：基板
- 22：閘極
- 24：絕緣層
- 32：通道層
- 34：保護層
- 36：汲極
- 38：源極
- 50：平坦化層
- 52：絕緣層
- 60：有機發光二極體
- 62：陽極層
- 64：有機主動層
- 66：陰極層
- 70：間隙子

201342588

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：102102529

※申請日：102.1.30

※IPC 分類：

一、發明名稱：(中文/英文)

主動式矩陣有機發光二極體

AMOLED

H01L 27/32 2006.01

H01L 51/56 2006.01

二、中文發明摘要：

本發明提供一種有機發光二極體，其包含薄膜電晶體以及有機發光二極體。有機發光二極體係製作於平坦化層上且具有上表面，上表面係實質上與基板平行且有機發光二極體中各層亦彼此實質上平行。有機發光二極體之各層的大部分皆具有均勻之厚度，以使有機發光二極體可表現均勻之亮度。平坦化層覆蓋薄膜電晶體，而位於薄膜電晶體之上的平坦化層亦為一絕緣層所覆蓋。製作一開口，開口穿透位於薄膜電晶體之上的平坦化層和絕緣層以露出薄膜電晶體之部分汲極，使有機發光二極體之上電極與薄膜電晶體的汲極電性連接。此外在薄膜電晶體之上的絕緣層，亦設置有複數個具均一高度的間隙子以保護畫素結構。

三、英文發明摘要：

A stratified organic light-emitting diode structure includes a thin-film transistor and an organic light-emitting diode (OLED). The OLED is fabricated on a planarization

201342588

layer that has a top surface substantially parallel to the substrate, and the layers in the organic light-emitting diode (OLED) are substantially parallel to each other. The major part of each OLED layer has a uniform thickness so that the OLED produces a uniform brightness. The planarization layer covers the thin-film transistor and the planarization layer on top of the thin-film transistor is also covered by an insulation layer. In order to electrically connect the top electrode of the OLED to the drain terminal of the thin-film transistor, an opening is made through both the top insulating layer and the planarization layer to expose part of the drain terminal. Spacers with uniform height are fabricated on the top insulating layer to protect the pixel structure.

201342588

四、指定代表圖：

(一)本案指定代表圖為：第(5i)圖。

(二)本代表圖之元件符號簡單說明：

20：基板	50：平坦化層
22：閘極	52：絕緣層
24：絕緣層	60：有機發光二極體
32：通道層	62：陽極層
34：保護層	64：有機主動層
36：汲極	66：陰極層
38：源極	70：間隙子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種主動式矩陣有機發光二極體 (AMOLED)，特別是關於一種被應用在顯示面板上，具有 N 型薄膜電晶體的主動式矩陣有機發光二極體。

【先前技術】

主動式矩陣有機發光二極體 (active-matrix organic light-emitting diode, AMOLED) 是一種應用於行動裝置、電視和其它顯示面板之顯示技術，其主動式矩陣意指背板之像素定址技術。於習知技藝中，有機發光二極體 (OLED) 通常包含陰極層、電子傳輸層 (ETL)、發光層 (EML)、電洞傳輸層 (HTL)、電洞注入層 (HIL) 以及陽極層。

如第 1a 圖所示之標準型有機發光二極體 (normal OLED)，其可被製作於基板或是薄膜電晶體 (TFT) 上，包含電子傳輸層、發光層、電洞傳輸層以及電洞注入層之層狀結構亦可稱為有機主動層。如第 2a 圖所示係為標準型有機發光二極體之畫素電路製作於 N 型薄膜電晶體上，而應用該畫素電路之影像顯示器通常具有「影像殘存」(image sticking) 之缺陷。

是故，一種以相反順序製作之倒置型有機發光二極體 (inverted OLED) 亦被發展出來，如第 1b 圖所示，先在基板上形成陰極，接著以不同於標準型之相反順序製作其有機主動層，最後製作陽極於有機主動層上。如第 2b 圖中係為

倒置型有機發光二極體之畫素電路製作於 N 型薄膜電晶體上。

目前在製造倒置型有機發光二極體仍有許多技術上的困難。由於在製作順序中最先形成的陰極通常使用低功函數之材料，其化學活性高容易被氧化，而在製作順序中最後形成的陽極之濺鍍製程亦會損傷下層之有機主動層。再者，第 1b 圖中所示之倒置型有機發光二極體相較於第 1a 圖中所示的標準型有機發光二極體，需要較高的操作電壓，而較高的操作電壓會降低有機發光二極體的使用壽命。

標準型有機發光二極體和倒置型有機發光二極體皆應用在顯示面板上。如第 3 圖所示之典型的顯示面板，顯示面板 1 具有顯示區域 100，且顯示區域 100 具有許多畫素 10 形成陣列。顯示區域接收由資料驅動器 200 傳送之資料訊號，以及由閘極驅動器 300 傳送之閘極線訊號。每一個畫素 10 陣列具有複數個彩色次畫素。如第 4 圖所示，畫素 10 陣列具有三個彩色次畫素 20R、20G、20B 分別接受來自資料線 221、222、223 以及來自閘極線 231 的閘極線訊號。其中資料線 224 是對應於下一行的畫素，而閘極線 232 是對應於下一列的畫素。在習知技術中每一個彩色次畫素包含如第 2a 圖或第 2b 圖中所示的一個畫素電路。

【發明內容】

本發明之一態樣係提供一種在基板上製作有機發光二極體結構的方法，其中該基板具有一開關結構，該開關結構包含一薄膜電晶體，該薄膜電晶體具有一源極、一閘極、

以及一汲極。該方法包含以下步驟：

形成一第一絕緣層在該開關結構上；

形成一第一電極層於部分之該第一絕緣層上；

形成一第二絕緣層於該第一電極層和另一部分之該第一絕緣層上；

提供一第一開口，其穿透該第二絕緣層以露出部分之該第一電極層；以及提供一第二開口，其穿透該第一絕緣層和該第二絕緣層以露出部分之該汲極；

形成一有機主動層，其通過該第一開口而覆蓋於所露出的部分該第一電極層上；以及

形成一第二電極層於該第二絕緣層和該有機主動層上，以使部分之該第二電極層和該有機主動層電性連接，進而與該第一電極層形成一發光二極體，而另一部分之該第二電極層透過第二開口和露出的該汲極電性連接。

根據本發明之不同實施例，該開關結構包含：

一第一金屬層，配置於部分該基板上，以形成該閘極；

一第三絕緣層，配置於該基板以及該第一金屬層上；

一半導體層，其配置於該第一金屬層上方之部分該第三絕緣層上，以形成一通道層；以及

一第二金屬層，配置於該第三絕緣層上，以分別形成該汲極和該源極在該第一金屬層上方，且該汲極和該源極分別電性連接於該通道層，在該通道層和該汲極之間、以及該通道層和該源極之間有一保護層。

根據本發明的不同實施例，該有機主動層包含：

一電子傳輸層，其相鄰於該第二電極層、一電洞傳輸層，其相鄰於該第一電極層、一發光層，其位於該電子傳輸層及該電洞傳輸層之間、以及一電洞注入層，其位於該電洞傳輸層及該第一電極層之間。

根據本發明的不同實施例，該製作有機發光二極體結構的方法更包含配置一個或多個間隙子於該第二絕緣層上。

根據本發明的一個實施例，該開關結構包含：

一半導體層，配置於部分該基板上以形成一通道層；

一第三絕緣層，覆蓋於該基板及該半導體層；

一第一金屬層，配置於部分該第三絕緣層上，以形成該閘極；

一第四絕緣層，覆蓋該第一金屬層以及其他部分之該第三絕緣層，其中一第一開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第一部分、以及一第二開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層一第二部分；以及

一第二金屬層，配置於該第四絕緣層之一第一部分與一第二部分，以分別形成該汲極和該源極，且該汲極通過該第一開口而與露出的該通道層之第一部分電性連接，而該源極通過該第二開口與露出的該通道層之該第二部分電性連接。

本發明之另一態樣係提供一有機發光二極體結構，包含：

一開關結構位於一基板上，其中該開關結構包含一薄

膜電晶體，該薄膜電晶體包含一源極、一閘極、以及一汲極；

一第一絕緣層，配置於該開關結構上；

一第一電極層，配置於部分之該第一絕緣層上；

一第二絕緣層，覆蓋該第一電極層和另一部分之該第一絕緣層，其中一第一開口穿透該第二絕緣層，以露出部分之該第一電極層、以及一第二開口穿透該第一絕緣層和該第二絕緣層，以露出部分之該汲極；

一有機主動層，通過該第一開口而配置於露出之部分之該第一電極層上；以及

一第二電極層，配置於該第二絕緣層以及該有機主動層上，以使部分之該第二電極層與該有機主動層電性連接，且另一部分之該第二電極層之透過該第二開口與露出之該汲極電性連接。

根據本發明之不同實施例，該開關結構包含：

一第一金屬層，配置於部分該基板上以形成該閘極；

一第三絕緣層，覆蓋該基板以及該第一金屬層；

一半導體層，配置於該第一金屬層上方之部分該第三絕緣層上，以形成一通道層；以及

一第二金屬層，配置於該第三絕緣層上，用以分別形成該汲極和該源極於該第一金屬層上方，該汲極和該源極分別和該通道層具有電性連接。根據本發明之不同實施例，該開關結構更包含一保護層，其位於該通道層和該汲極之間、以及該通道層和該源極之間。

根據本發明的不同實施例，該有機主動層包含：

一電子傳輸層，其鄰接於該第二電極層、一電洞傳輸層，其鄰接於該第一電極層、一發光層，其配置於該電子傳輸層及該電洞傳輸層之間、以及一電洞注入層，其配置於該電洞傳輸層及該第一電極層之間。

根據本發明之不同實施例，該有機發光二極體結構更包含一或多個間隙子，其配置於該第二絕緣層上。

根據本發明之不同實施例，該開關結構包含：

一半導體層，其配置於部分該基板上以形成一通道層；

一第三絕緣層，覆蓋該基板以及該半導體層；

一第一金屬層，其配置於該第三絕緣層上，以形成該閘極；

一第四絕緣層，覆蓋該第一金屬層以及其他部分之該第三絕緣層上，其中一第一開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第一部分、以及一第二開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第二部分；以及

一第二金屬層，其配置於該第四絕緣層之一第一部分與第二部分上，以分別形成該汲極和該源極，且該汲極通過該第一開口與露出的該通道層之該第一部分電性連接，而該源極通過該第二開口與露出的該通道層之第二部分電性連接。

本發明之又一態樣係提供一種顯示面板，該顯示面板包含：

一基板；以及

複數個有機發光二極體結構，配置於該基板上，其中

每個該有機發光二極體結構包含：

一開關結構配置於一基板上，該開關結構包含一薄膜電晶體，該薄膜電晶體包含一源極、一閘極、以及一汲極；

一第一絕緣層，配置於該開關結構上；

一第一電極層，其配置於部分該第一絕緣層上；

一第二絕緣層，覆蓋該第一電極層和另一部分該第一絕緣層，其中一第一開口穿透該第二絕緣層，以露出部分之該第一電極層、以及一第二開口穿透該第一絕緣層和該第二絕緣層，以露出部分該汲極；

一有機主動層，其通過該第一開口配置於露出的部分該第一電極層上；

一第二電極層，配置於該第二絕緣層以及該有機主動層上，其中部分該第二電極層與該有機主動層電性連接，且另一部分該第二電極層透過該第二開口與露出的部分該汲極電性連接；以及

一或多個間隙子，其位於該第二絕緣層上，其中該有機主動層包含：

一電子傳輸層，其相鄰於該第二電極層；

一電洞傳輸層，其相鄰於該第一電極層；

一發光層，其配置於該電子傳輸層和該電洞傳輸層之間；以及

一電洞注入層，其配置於該電洞傳輸層和該第一電極層之間。

根據本發明的一實施例，該開關結構包含：

一第一金屬層，配置於該基板之一部分上，以形成該閘極；

一第三絕緣層，覆蓋該基板和該第一金屬層；

一半導體層，配置於該第一金屬層上方之部分該第三絕緣層上，以形成一通道層；

一第二金屬層，配置於該第三絕緣層上，以分別形成該汲極和該源極於該第一金屬層上方，該汲極和該源極分別和該通道層具有電性連接；以及

一保護層，配置於該通道層和該汲極之間、以及該通道層和該源極之間。

根據本發明之一實施例，該開關結構包含：

一半導體層，配置於部分該基板上，以形成一通道層；

一第三絕緣層，覆蓋該基板及該半導體層；

一第一金屬層，配置於部分之該第三絕緣層上，以形成該閘極；

一第四絕緣層，覆蓋該第一金屬層和其他部分之該第三絕緣層上，其中一第一開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第一部分、以及一第二開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層一第二部分；以及

一第二金屬層，配置於該第四絕緣層之一第一部分與一第二部分上，以分別形成該汲極和該源極，且該汲極通過該第一開口與露出的該通道層之該第一部分電性連接，而該源極通過該第二開口與露出的該通道層之該第二部分

電性連接。

為讓本發明之上述特徵和其他目的、特徵和優點能更明顯易懂，下文特舉比較例與實施例，並配合所附圖式作詳細說明如下。

【實施方式】

本發明之目的及優點，藉由下列實施例中伴隨圖式與元件符號之詳細敘述後，將更為顯著。

為了使本發明內容之敘述更加詳盡與完備，可參照所附之圖式及以下所述各種實施例，圖式中相同之號碼代表相同或相似之元件，並且為求清楚說明，元件之大小或厚度可能誇大顯示，並未依照原尺寸作圖。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。然而，應瞭解到所提供之實施例並非用以限制本發明所涵蓋的範圍。這些實務上的細節不應用以限制本發明。

本發明中之「上」、「下」、「前」、「後」等用語，均為便於說明根據本發明之實施例中元件的相對位置或時間順序所採的描述，而非用限制之目的。而結構運作之描述非用以限制其執行之順序，任何由元件重新組合之結構，所產生具有均等功效的裝置，皆為本發明所涵蓋的範圍。

本發明提供一種畫素元件之製造流程。如第 2b 圖所示，有機發光二極體之陰極係連接至 N 型電晶體之汲極 (D)。如第 5c 圖所示，N 型薄膜電晶體 40 包含閘極 22、汲極 36 以及源極 38。薄膜電晶體 40 進一步包含通道層 32

以及保護層 34。如第 5i、5k 圖所示，有機發光二極體 60 包含陽極層 62、陰極層 66 以及配置於陽極層 62 和陰極層 66 之間的有機主動層 64。陰極層 66 和 N 型薄膜電晶體 40 之汲極 36 電性連接。有機主動層 64 如第 1a 圖中有機發光二極體所示，有機主動層 64 可包含配置於陽極層上的電洞注入層(HIL)、配置於電洞注入層上的電洞傳輸層(HTL)、配置於電洞傳輸層上的發光層(EML)以及位於發光層和陰極層之間的電子傳輸層(ETL)。

相較於第 2a 圖中所示之畫素電路，第 2b 圖中所示之畫素電路其具有可以減少或消除殘影 (image sticking) 現象之優點。本發明所提供之畫素結構係依據第 2b 圖所示之畫素電路。

本發明提供一種畫素電路，其被製作於基板 20 上，基板 20 可為硬質基材或可撓式基板，硬質基材例如玻璃基板。根據本發明之實施例，第一金屬層 22 配置於部分之基材 20 上，以形成薄膜電晶體 40 之閘極，參見第 5a 圖到第 5c 圖。絕緣層 24 配置於基材 20 和第一金屬層 22 上(見第 5b 圖)。N 型半導體層 32 配置於第一金屬層 22 之上方之部分絕緣層 24 上，以形成薄膜電晶體 40 之通道層。N 型半導體層 32 可由例如氧化物半導體、矽半導體或有機物半導體所組成。氧化物半導體可包含氧化鋅、氧化銦、氧化鎵、氧化錫或氧化鋂等其中之一或多者。矽半導體可包含結晶型半導體或非晶型半導體。保護層 34 其配置於通道層 32 之一部分上。提供第二金屬層，其置於該絕緣層 24 之一部分、通道層 32、以及保護層 34 上，以分別形成薄膜電晶

體 40 之汲極 36 以及源極 38(見第 5c 圖)。如第 5d 圖所示，平坦化層 50，其置於絕緣層 24 和薄膜電晶體 40 上，完全覆蓋電晶體以提供與基板 20 之上表面實質平行的平坦表面。平坦化層 50 可由有機材料、有機及無機複合材料，如矽氧化物、矽氮化物、矽氮氧化物、鈦氧化物以及鋁氧化物所組成。

如第 5e 圖和第 5f 圖所示，導電層配置於部分平坦化層 50 上，以形成有機發光二極體 60(見第 5i 圖)之陽極層 62，以及另一絕緣層 52 配置於陽極層 62 之頂部以及剩餘部份之平坦層 50 上。導電層(陽極層 62)係氧化銦錫(ITO)、銀、鋁、氧化銦錫(IZO)或該等之組合所組成。如第 5g 圖所示，製作穿透絕緣層 52 之第一開口 152，以露出部份之陽極層 62，藉此定義發光二極體 60 之有效發光區。另製作穿透絕緣層 52 和平坦化層 50 之第二開口 150，以露出部份汲極 36。二個或二個以上之間隙子 70 配置於絕緣層 52 之頂部，以保護畫素結構不被位於上方的基材(圖示中未繪出)損傷。有機主動層 64 配置於露出的部分陽極層 62 上，如圖 5h 所示。為完成畫素結構，電性連接層 66 配置於有機主動層 64 之頂部上，作為發光二極體 60 之陰極層，同時亦作為由發光二極體 60 到薄膜電晶體 40 之汲極 36 的電性連接者，如第 5i 圖所示。

值得注意的是，因為間隙子 70 具有較寬的底部，可搭配用以沉積導電層 66 之沉積罩，使得導電層 66 不會沉積到間隙子 70 上方，如此便避免了導電層 66 與其相鄰畫素之間的電性連接。或者，亦可以藉由沉積導電性之薄膜於

絕緣層 52、有機主動層 64、以及間隙子 70 之上，然後再將導電性之薄膜以圖案化製作成所需的形狀，以作為導電層 66。根據本發明之另一實施例，間隙子具有較寬之頂部，如第 5j 圖及第 5k 圖所示。因為間隙子 71 具有如第 5j 圖及第 5k 圖所示之形狀，使配置導電層 66 之沉積製程可在真空下進行。因為間隙子 71 具有較寬之頂部，所以就算沉積導電層時在間隙子之頂部沉積有導電層，當導電層 66 沉積後，在相鄰畫素之間亦不會形成連續之導電路徑。又或者，導電層 66 可經由細金屬罩(fine metal mask, FMM)進行沉積、以噴墨方式(inkjet printing, IJP)印刷、或以雷射致熱顯影(laser-induced thermal imaging, LITI)方式製作。

在本發明之不同實施例中，配置於基材 20 上的第一層為 N 型半導體層 32，其形成薄膜電晶體之通道層，如第 6a 圖所示。然後第一絕緣層 24 配置於基板 20 上，以覆蓋通道層 32 (見第 6b 圖)，第一金屬層 22 配置於部分絕緣層 24 上，以形成薄膜電晶體之閘極，如第 6c 圖所示。接著第二絕緣層 26 配置於第一絕緣層 24 上，以覆蓋第一金屬層 22，如第 6d 圖所示。如第 6e 圖所示，製作第一開口 161，其穿透第一絕緣層 24 和第二絕緣層 26，以露出通道層 32 之第一部分，以及製作第二開口 162，其亦穿透第一絕緣層 24 和第二絕緣層 26，以露出通道層 32 之第二部分。如第 6f 圖所示，第二金屬層通過第一開口 161 配置於露出的通道層 32 之第一部分，以形成薄膜電晶體 41 之汲極 36；而第二金屬層通過第二開口 162 配置於露出的通道層 32 之第二部分，以形成薄膜電晶體 41 之源極 38。平坦化層 50

配置於第二絕緣層 26 以及薄膜電晶體 41 上，其完全覆蓋該電晶體，如第 6g 圖所示。

如第 6h 圖和第 6i 圖所示，導體層配置於部分平坦化層 50 上，以作為發光二極體 60(見第 6m 圖和第 6n 圖)之陽極層 62，以及第三絕緣層 52 配置於陽極層 62 之頂部以及剩餘部份之平坦化層 50 之上。如第 6j 圖所示，製作第一開口 152 穿透第三絕緣層 52，形成陽極層 62 之露出部分並將其定義為發光二極體 60 之有效發光區。製作第二開口 150 穿透第三絕緣層 52 和平坦化層 60，使汲極 36 具有一露出部分。二個或二個以上之具有較寬的頂部之間隙子 71 配置於第三絕緣層 52 之頂部(見第 6k 圖)，以保護畫素結構而不被位於其上方之基材損害(圖未繪製)。有機主動層 64 配置於陽極層 62 之露出部分上，如第 6l 圖所示。為完成畫素結構，電性連接層 66 配置於有機主動層 64 之頂部，以作為發光二極體 60 之陰極層，同時亦作為由發光二極體 60 至薄膜電晶體 41 之汲極 36 的電性連接者，如第 6m 圖所示。或者，一個或多個具有較寬的底部之間隙子 70 配置於該絕緣層 52 之頂部，如第 6n 圖所示。

值得注意的是，間隙子 70、71 可由配置於第三絕緣層 52 上之光阻材料所組成。舉例來說，間隙子 70 可由正型光阻材料所組成，而間隙子 71 則可由負型光阻所組成。更進一步來說，有機主動層 64 以及電性連接層 66 可經由數種方法製作，舉例來說，有機主動層 64 以及電性連接層 66 可透過細金屬罩(fine metal mask, FMM)以陰影罩方法(shadow-mask method)進行沉積、或以噴墨方式(inkjet

printing, IJP)印刷製作。有機主動層 64 以及電性連接層 66 亦可由雷射致熱顯影(laser-induced thermal imaging, LITI)方法製作。保護層 34(第 5c 圖)、絕緣層 26(第 6d 圖)、以及絕緣層 50(第 5f 圖及第 6i 圖)可由有機材料、有機和無機之複合材料、矽氧化物、矽氮化物、矽氮氧化物、鈦氧化物、以及鋁氧化物所組成。汲極 36 和源極 38(第 5c 圖)可經由第二金屬層沉積於絕緣層 24 之後，以蝕刻第二金屬層之方式製作。為了保護通道層(N 型半導體層)32 不至於被過度蝕刻，在部分之通道層 32 上提供保護層 34，如第 5c 圖所示。

綜上所述，本發明提供層狀之有機發光二極體(OLED)結構，其中在有機發光二極體之各層，實質上相互平行。有機發光二極體於平坦層上製作，平坦層之頂部表面與基材平行。據此，有機發光二極體之每一層的主要部份，可以均勻厚度製作，使有機發光二極體發出均勻亮度。更進一步來說，既然有機發光二極體之頂部絕緣層為平坦化之平面，間隙子亦能以統一之高度，製作於絕緣層之頂部，以保護畫素結構不被其位於上方之基材損害。當有機發光二極體應用於主動式矩陣有機發光二極體顯示器時，每一個有機發光二極體結構均具有開關元件，如薄膜電晶體(TFT)，作為啟動或關閉有機發光二極體之用。根據本發明之不同實施例，平坦化層完整覆蓋開關元件，甚至，部分之平坦化層亦被頂部絕緣層所覆蓋。有機發光二極體之陽極形成於平坦化層上，並未與薄膜電晶體具有電性連接。據此，為了使有機發光二極體之先前形成之陰極，與薄膜

電晶體之汲極具有電性連接，故製作開口，其穿透頂部絕緣層以及平坦化層，使得汲極具有露出的部分，有機發光二極體之陰極和薄膜電晶體之汲極，透過開口而具有電性連接。據此，本發明之有機發光二極體係以標準型有機發光二極體之順序被製作，而其實際操作方式卻如同倒置型有機發光二極體。

有機發光二極體結構更包含一或多個間隙子，其形成於第二絕緣層上。間隙子可為多種形狀，舉例來說，可為具有較寬的頂部或為具有較寬的底部，亦可頂部與底部之寬度相同。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

本案之上述和其他態樣、特徵及其他優點參照說明書內容並配合附加圖式得到更清楚的了解，其中：

第 1a 圖 係為一般有機發光二極體。

第 1b 圖 係為倒置型有機發光二極體。

第 2a 圖 係具有第 1a 圖中之標準型有機發光二極體的典型畫素內電路。

第 2b 圖 係具有第 1b 圖中之倒置型有機發光二極體的典型畫素內電路。

第 3 圖係典型顯示面板之示意圖，其具有顯示區域，

其畫素內部使用有機發光二極體。

第 4 圖示意一個畫素之示意圖，該畫素具有三色之次畫素。

第 5a 圖至第 5k 圖 顯示根據本發明之實施例，製作具有 N 型薄膜電晶體之有機發光二極體之流程。

第 6a 圖至第 6n 圖 顯示根據本發明之另一實施例，製作具有 N 型薄膜電晶體之有機發光二極體之流程。

【主要元件符號說明】

1：顯示面板	32：通道層
10：畫素陣列	34：保護層
100：顯示區域	36：汲極
200：資料驅動器	38：源極
300：閘極驅動器	40：N 型薄膜電晶體
221：資料線	41：薄膜電晶體
222：資料線	50：平坦化層
223：資料線	60：有機發光二極體
224：資料線	62：陽極層
231：閘極線	64：有機主動層
232：閘極線	66：陰極層
20R：彩色次畫素	70：間隙子
20G：彩色次畫素	71：間隙子
20B：彩色次畫素	150：第二開口
20：基板	152：第一開口
22：閘極	161：第一開口

201342588

24：絕緣層

162：第二開口

26：第二絕緣層

.

.

:

.

七、申請專利範圍：

1. 一種在一基板上製作一有機發光二極體的方法，包含：

提供一開關結構於該基板上，其中該開關結構包含一薄膜電晶體，該薄膜電晶體包含一源極、一閘極、以及一汲極；

形成一第一絕緣層於該開關結構上；

形成一第一電極層於部分之該第一絕緣層上；

形成一第二絕緣層於該第一電極層和另一部分之該第一絕緣層上；

形成一第一開口，其穿透該第二絕緣層，以露出部分之該第一電極層，以及形成一第二開口，其穿透該第一絕緣層和第二絕緣層，以露出部分之該汲極；

形成一有機主動層，其通過該第一開口而覆蓋於所露出的部分該第一電極層上；以及

形成一第二電極層於該第二絕緣層和該有機主動層上，以使部分之該第二電極層和該有機主動層電性連接，進而與該第一電極層形成一發光二極體，而另一部分之該第二電極層透過該第二開口和露出的部分該汲極電性連接。

2. 如請求項 1 所述之方法，更包含：

配置一個或多個間隙子於該第二絕緣層上。

3. 如請求項 2 所述之方法，其中該一個或多個間隙子具有

一較寬的底部。

4. 如請求項 2 所述之方法，其中該一個或多個間隙子具有一較寬的頂部。

5. 如請求項 3 所述之方法，其中形成該第二電極層之步驟包含：

形成一導電層於該一個或多個間隙子、該第二絕緣層、以及該有機主動層之上；以及

圖案化該導電層以形成該第二電極層於該第二絕緣層和該有機主動層之上。

6. 如請求項 4 所述之方法，其中形成該第二電極層之步驟包含：

形成一導電層於該一個或多個間隙子、該第二絕緣層、以及該有機主動層之上，以形成該第二電極層。

7. 如請求項 1 所述之方法，其中該有機主動層包含：

一電子傳輸層，其相鄰於該第二電極層；

一電洞傳輸層，其相鄰於該第一電極層；以及

一發光層，其位於該電子傳輸層和該電洞傳輸層之間。

8. 如請求項 7 所述之方法，其中該有機主動層更包含一電洞注入層，其位於該電洞傳輸層與該第一電極層之間。

9. 一種有機發光二極體結構，包含：

一開關結構位於一基板上，其中該開關結構包含一薄膜電晶體，該薄膜電晶體包含一源極、一閘極、以及一汲極；

一第一絕緣層，配置於該開關結構上；

一第一電極層，配置於部分該第一絕緣層上；

一第二絕緣層，覆蓋該第一電極層以及另一部分該第一絕緣層，其中一第一開口穿透該第二絕緣層，以露出部分之該第一電極層、以及一第二開口穿透該第一絕緣層以及該第二絕緣層，以露出部分之該汲極；

一有機主動層，通過該第一開口而配置於露出之部分該第一電極層上；以及

一第二電極層，配置於該第二絕緣層以及該有機主動層上，以使部分該第二電極層與該有機主動層電性連接，且另一部分之該第二電極層透過該第二開口與露出的部分該汲極電性連接。

10. 如請求項 9 所述之有機發光二極體結構，其中該開關結構包含：

一第一金屬層，配置於部分該基板上，以形成該閘極；

一第三絕緣層，配置於該基板以及該第一金屬層上；

一半導體層，配置於該第一金屬層上方之部分該第三絕緣層上，以形成一通道層；以及

一第二金屬層，配置於不同部分之該第三絕緣層上，用

201342588

以分別形成該汲極和該源極在該第一金屬層上方，且該汲極和該源極分別電性連接於該通道層。

11.如請求項 10 所述之有機發光二極體結構，其中該開關結構更包含：

一保護層，其位於部分該汲極和該通道層之間以及部分該源極和該通道層之間。

12.如請求項 9 所述之有機發光二極體結構，其中該有機主動層包含：

一電子傳輸層，其相鄰於該第二電極層；

一電洞傳輸層，其相鄰於該第一電極層；以及

一發光層，其配置於該電子傳輸層及該電洞傳輸層之間。

13.如請求項 12 所述之有機發光二極體結構，其中該有機主動層更包含：

一電洞注入層，其位於該電洞傳輸層和該第一電極層之間。

14.如請求項 9 所述之有機發光二極體結構，更包含：

一個或多個間隙子，配置於該第二絕緣層上，其中該間隙子具有一較寬的頂部。

15.如請求項 9 所述之有機發光二極體結構，更包含：

一個或多個間隙子，配置於該第二絕緣層上，其中該間隙子具有一較寬的底部。

16.如請求項 9 所述之有機發光二極體結構，其中該開關結構包含：

一半導體層，配置於部分該基板上以形成一通道層；

一第三絕緣層，覆蓋該基板以及該半導體層；

一第一金屬層，配置於部分該第三絕緣層上，以形成該閘極於該通道層上方；

一第四絕緣層，覆蓋該第一金屬層以及其他部分之該第三絕緣層，其中一第一開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第一部分、以及一第二開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第二部分；以及

一第二金屬層，配置於該第四絕緣層之一第一部分與一第二部分上，以分別形成該汲極和該源極，且該汲極通過該第一開口與露出的該通道層之該第一部分電性連接，而該源極通過該第二開口與露出的該通道層之該第二部分電性連接。

17.一種顯示面板，其包含；

一基板；以及

複數個有機發光二極體結構，配置於該基板上，其中每

個該有機發光二極體結構包含：

一開關結構配置於該基板上，該開關結構包含一薄膜電晶體，該薄膜電晶體包含一源極、一閘極、以及一汲極；

一第一絕緣層，配置於該開關結構上；

一第一電極層，配置於部分該第一絕緣層上；

一第二絕緣層，覆蓋該第一電極層和另一部分該第一絕緣層，其中一第一開口穿透該第二絕緣層，以露出部分之該第一電極層、以及一第二開口穿透該第一絕緣層和該第二絕緣層，以露出部分該汲極；

一有機主動層，其通過該第一開口配置於露出的部份該第一電極層上；

一第二電極層，配置於該第二絕緣層以及該有機主動層上，其中部分該第二電極層與該有機主動層電性連接，且另一部分該第二電極層透過該第二開口與露出的部分該汲極電性連接；以及

一個或多個間隙子，其位於該第二絕緣層上，其中，該有機主動層包含：

一電子傳輸層，其相鄰於該第二電極層；

一電洞傳輸層，其相鄰於該第一電極層；

一發光層，配置於該電子傳輸層和該電洞傳輸層之間；以及

一電洞注入層，配置於該電洞傳輸層和該第一電極層之間。

18.如請求項 17 所述之顯示面板，其中該開關結構包含；

一第一金屬層，配置於該基板之一部分上以形成該閘極；

一第三絕緣層，覆蓋該基板和該第一金屬層；

一半導體層，配置於該第一金屬層上方之部分該第三絕緣層上，以形成一通道層；

一第二金屬層，配置於該第三絕緣層上，以分別形成該汲極和該源極於該第一金屬層上方，該汲極和該源極分別和該通道層具有電性連接；以及

一保護層，配置於該通道層和部分該汲極之間、以及該通道層和部分該源極之間。

19.如請求項 17 所述之顯示面板，其中該開關結構包含：

一半導體層，配置於部分該基板上，以形成一通道層；

一第三絕緣層，覆蓋該基板以及該半導體層；

一第一金屬層，配置於部分該第三絕緣層上，以形成該閘極；

一第四絕緣層，覆蓋該第一金屬層和其他部分之該第三絕緣層上，其中一第一開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層之一第一部分、以及一第二開口穿透該第四絕緣層和該第三絕緣層，以露出該通道層一第二部分；以及

一第二金屬層，配置於該第四絕緣層之一第一部分與一

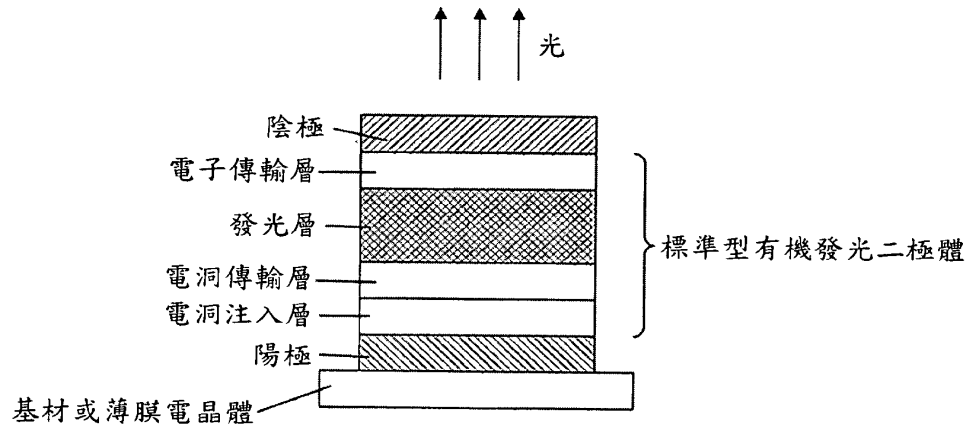
201342588

第二部分上，以分別形成該汲極和該源極，且該汲極通過該第一開口與露出的該通道層之該第一部分電性連接，而該源極通過該第二開口與露出的該通道層之該第二部分電性連接。

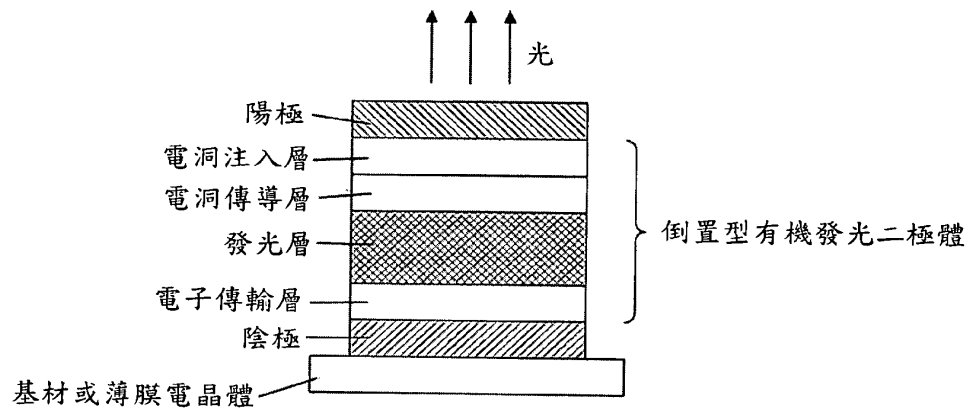
20.如請求項 17 所述之顯示面板，其中該一個或多個間隙子具有一頂部面積以及一底部面積，該底部面積係為大於或小於該頂部面積。

201342588

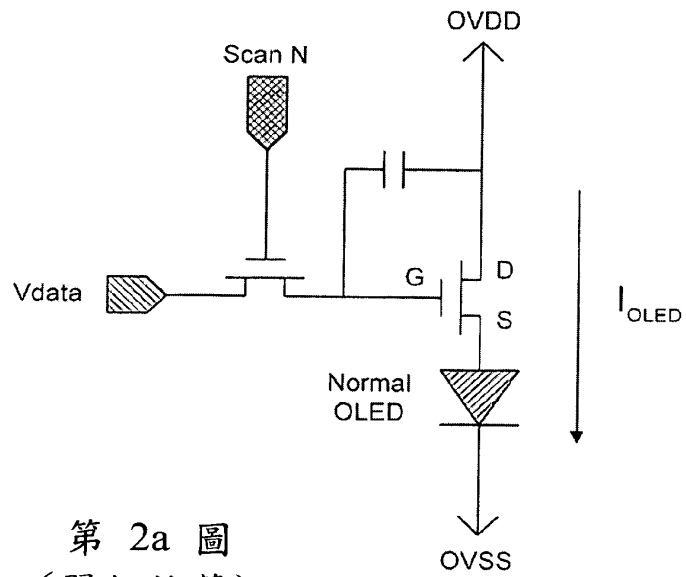
八、圖式：



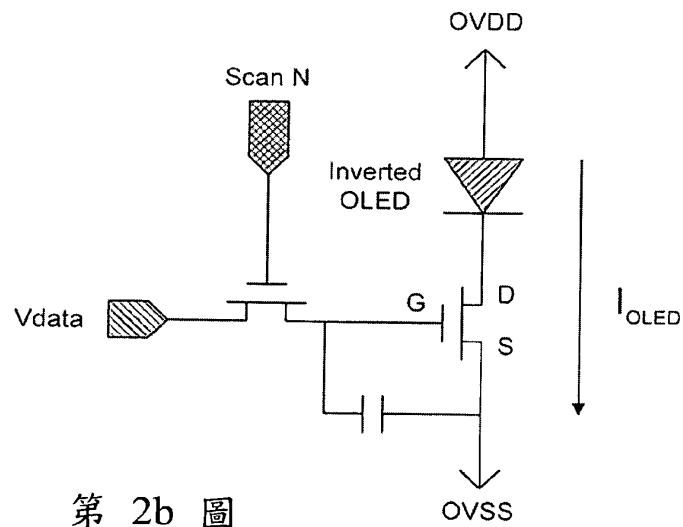
第 1a 圖
(習知技藝)



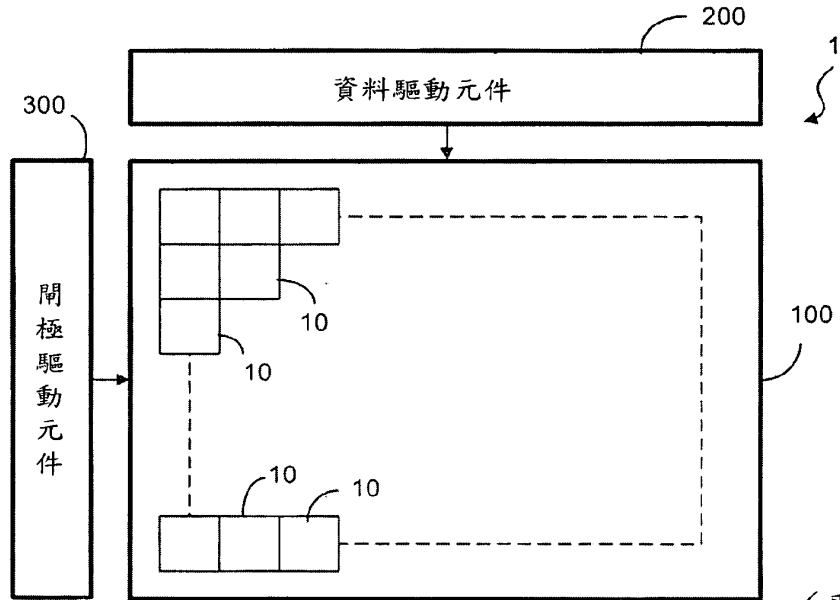
第 1b 圖
(習知技藝)



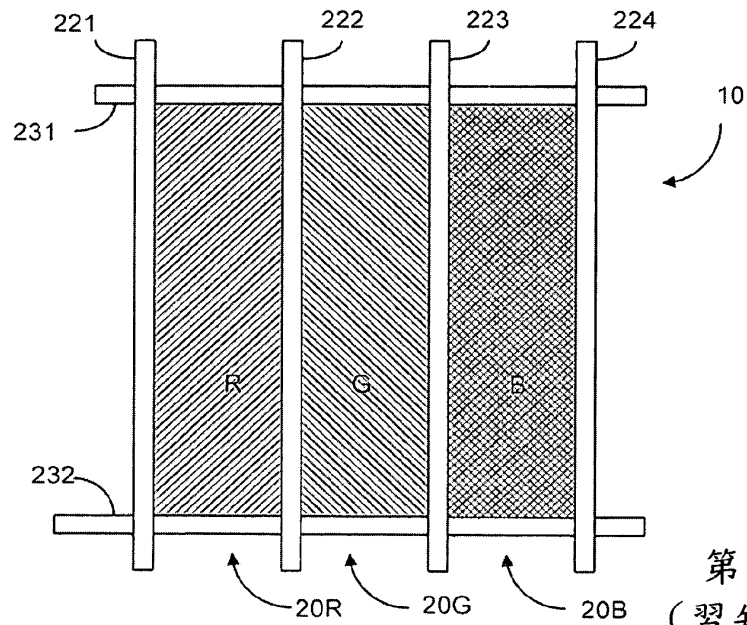
第 2a 圖
(習知技藝)



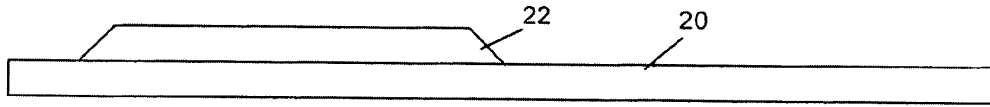
第 2b 圖
(習知技藝)



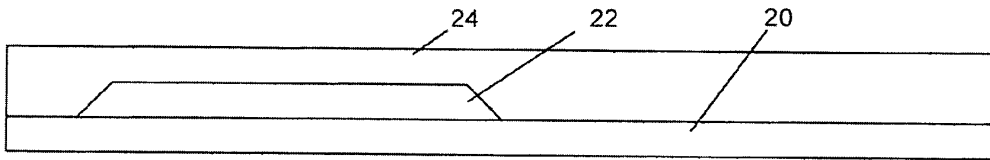
第 3 圖
(習知技藝)



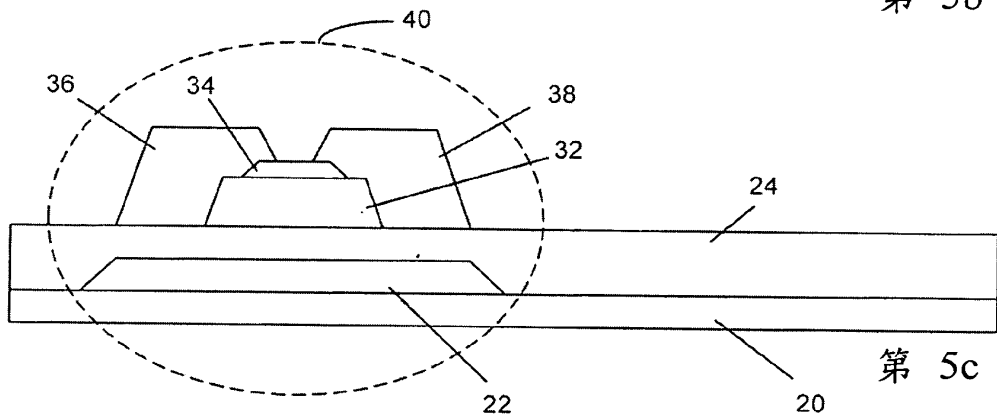
第 4 圖
(習知技藝)



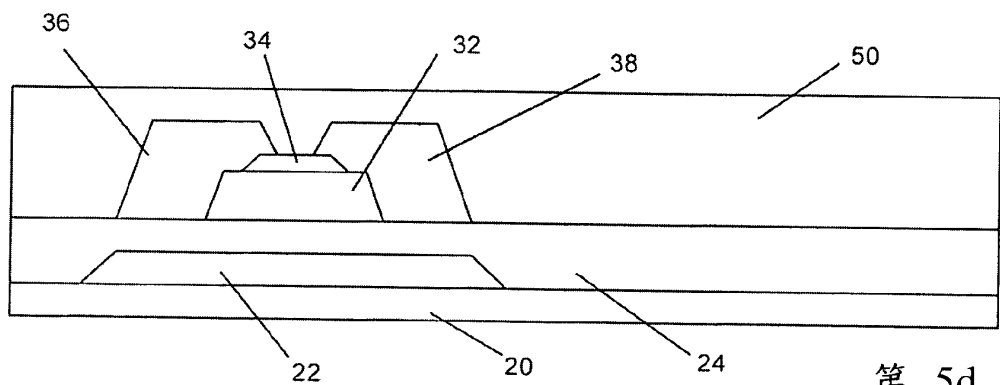
第 5a 圖



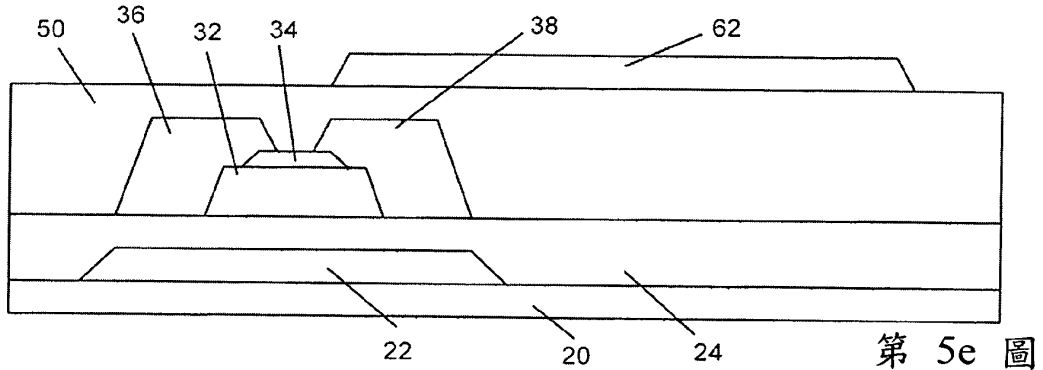
第 5b 圖



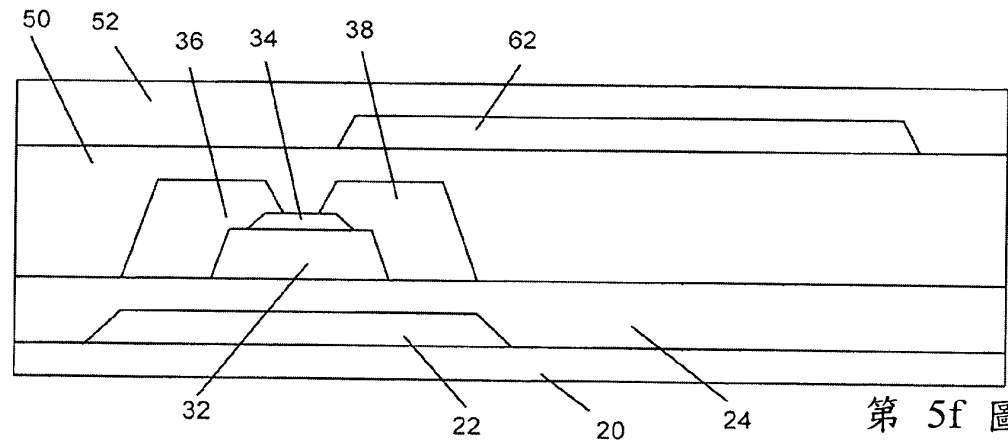
第 5c 圖



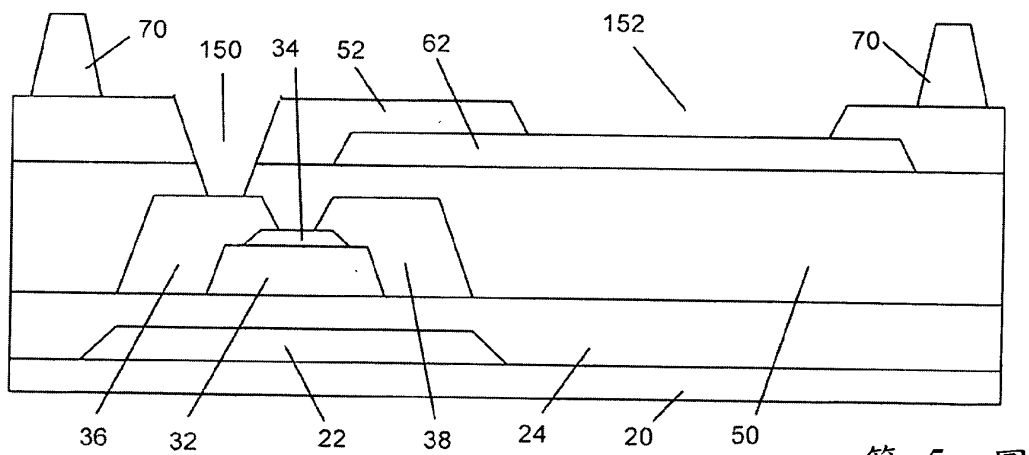
第 5d 圖



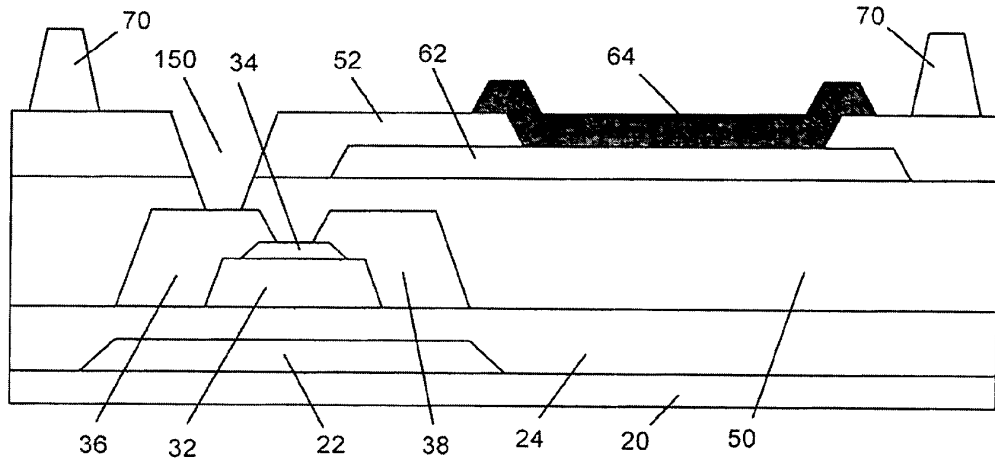
第 5e 圖



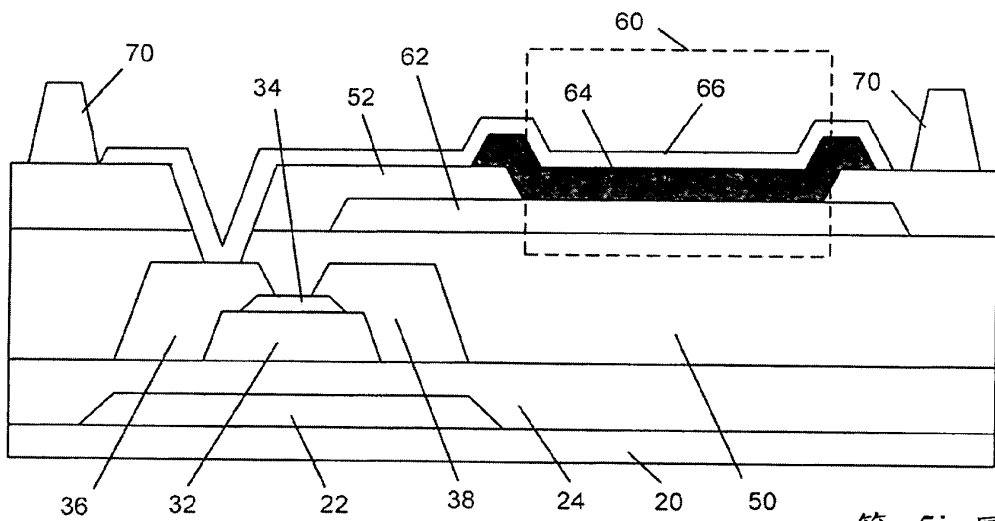
第 5f 圖



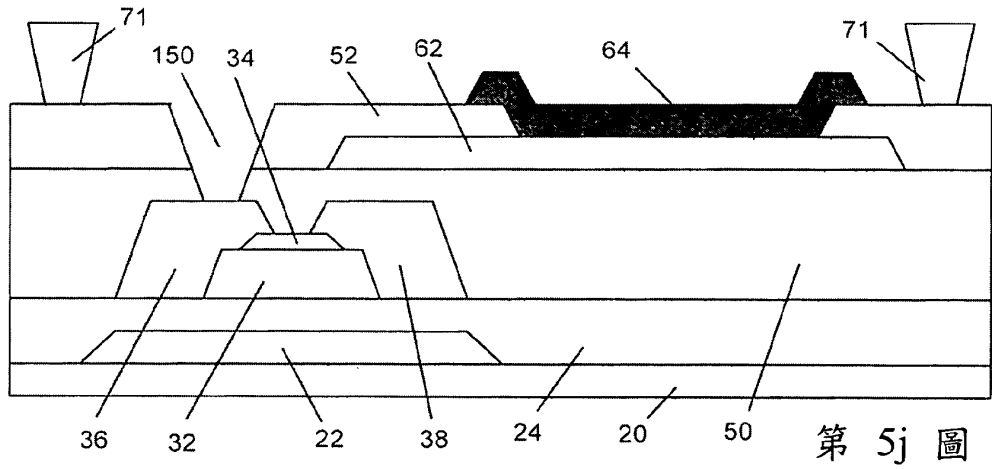
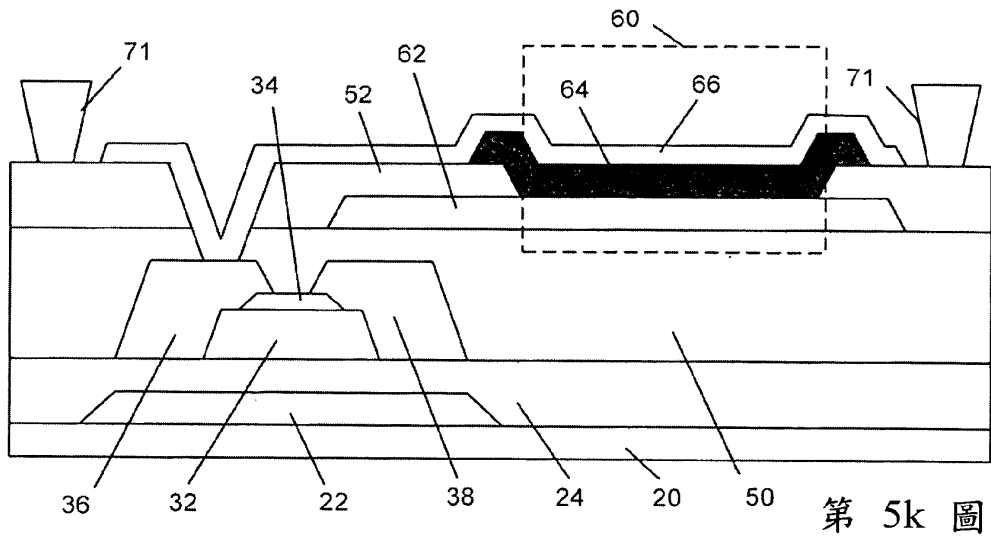
第 5g 圖

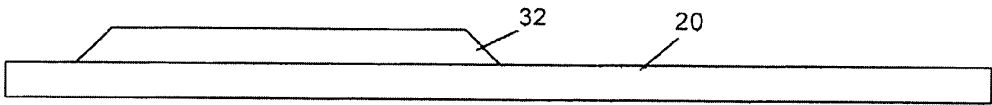


第 5h 圖

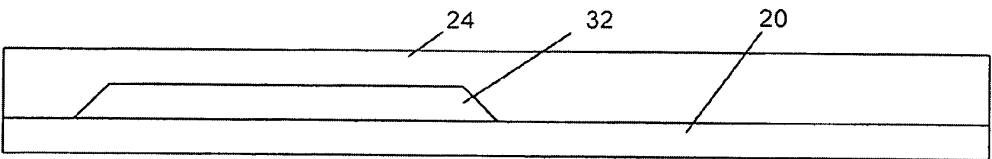


第 5i 圖

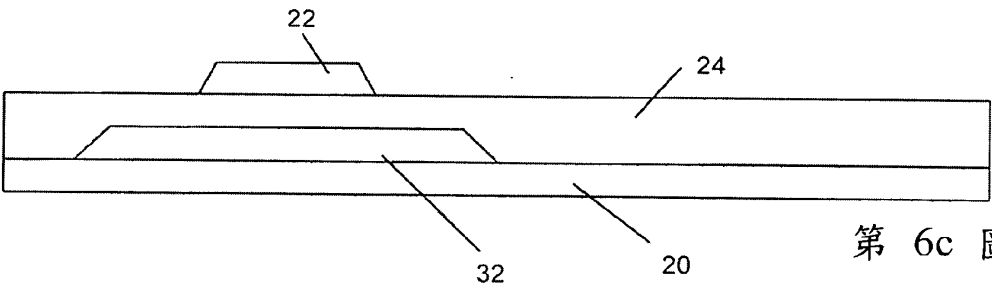




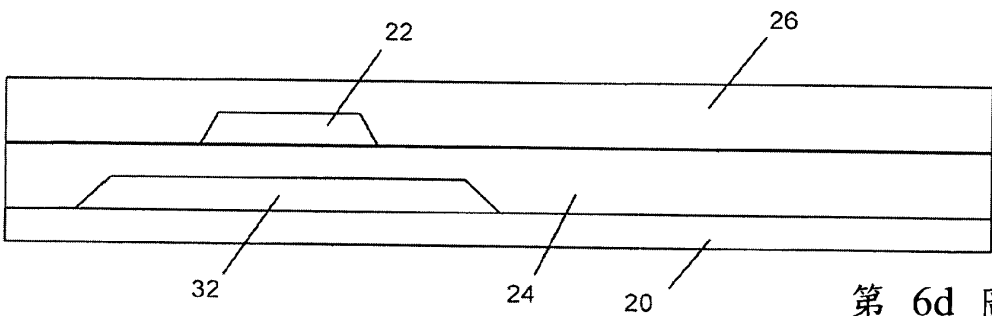
第 6a 圖



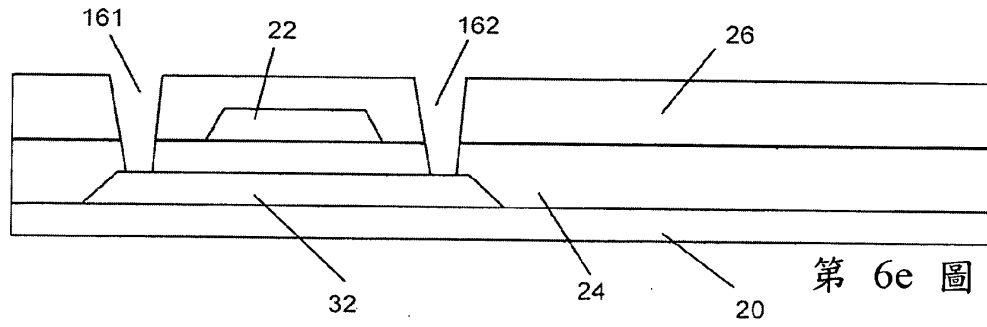
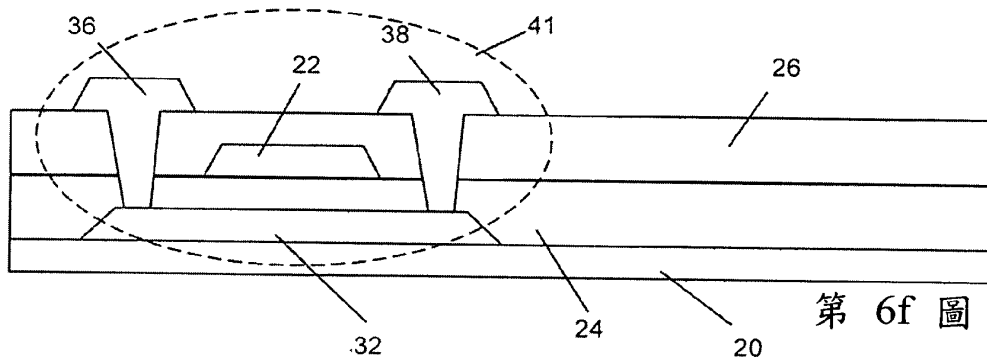
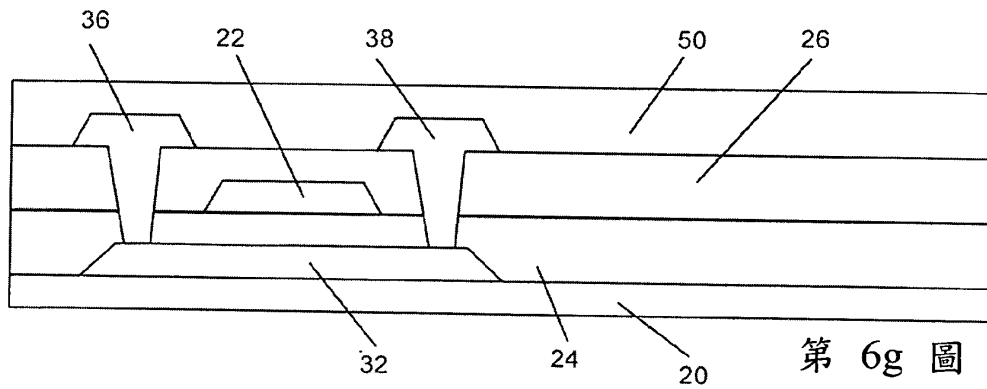
第 6b 圖

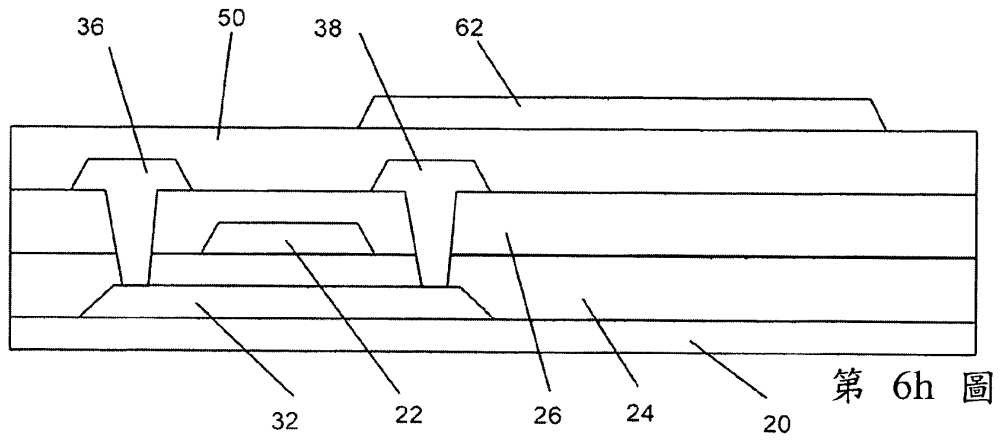
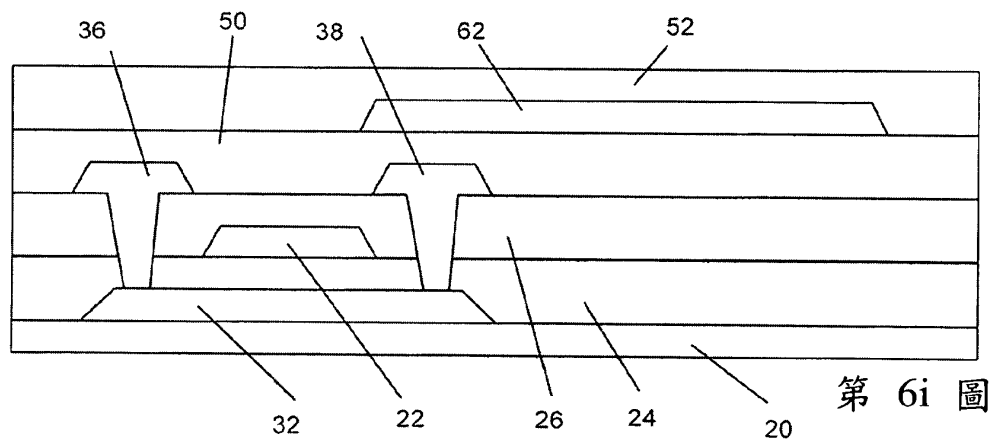
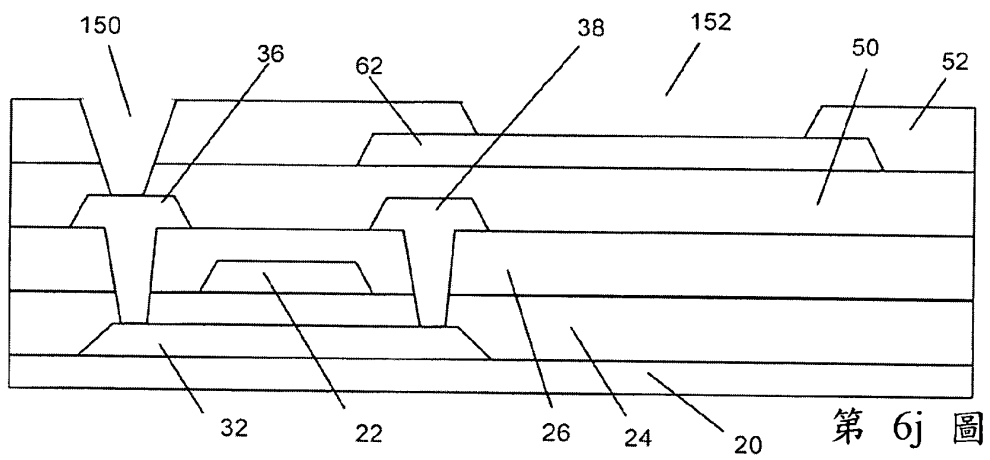


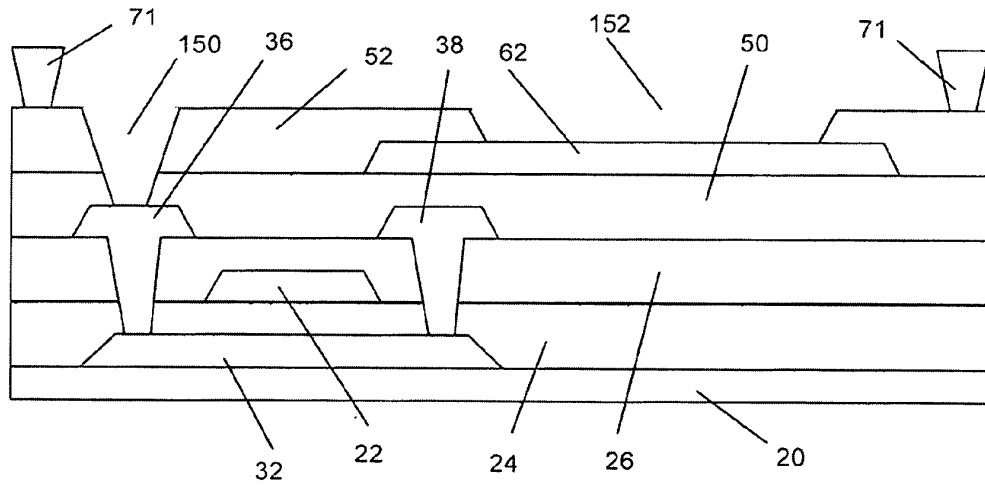
第 6c 圖



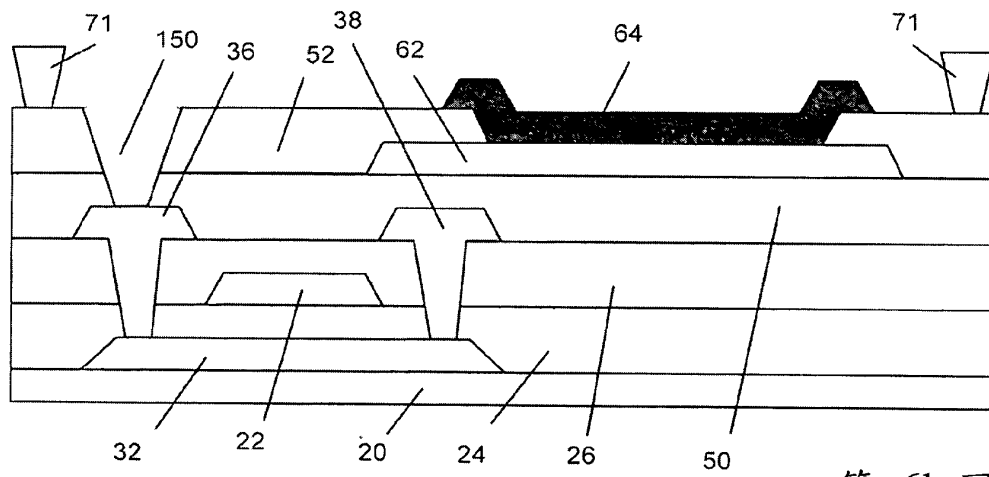
第 6d 圖



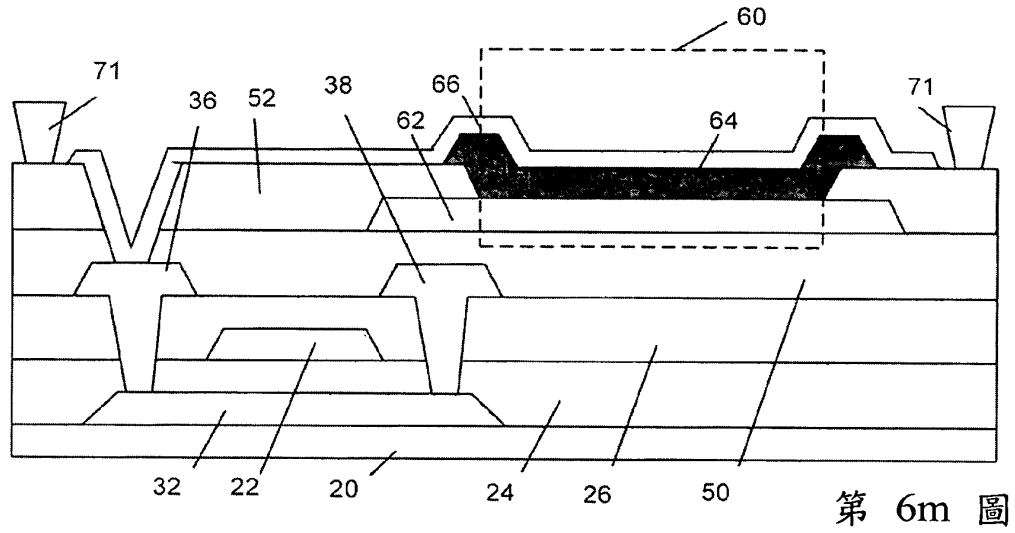
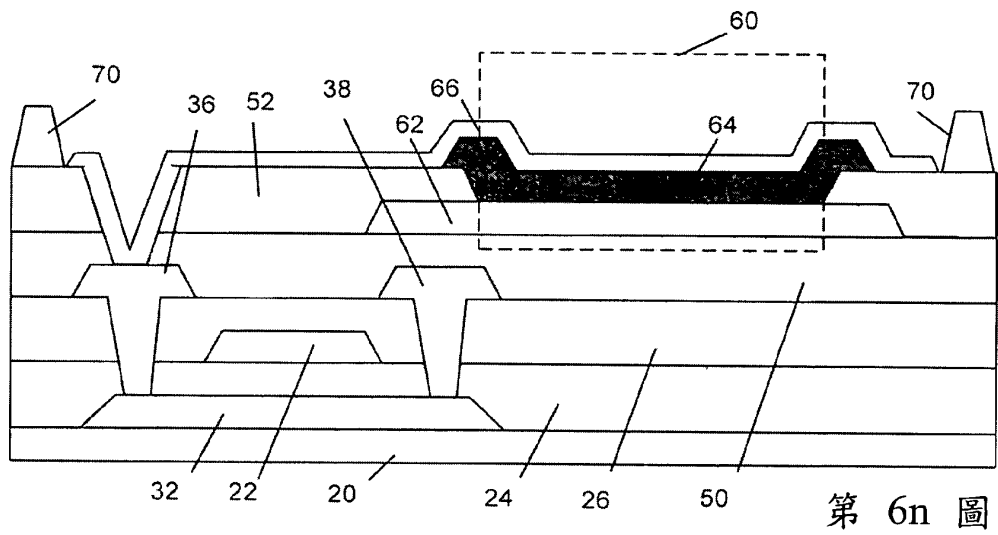




第 6k 圖



第 6l 圖



Electronic Patent Application Fee Transmittal				
Application Number:				
Filing Date:				
Title of Invention:		PIXEL STRUCTURE		
First Named Inventor/Applicant Name:		Yi-Hsuan Lee		
Filer:		Belinda Lee/Sherry Lo		
Attorney Docket Number:		48842-US-PA		
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Utility application filing	1011	1	280	280
Utility Search Fee	1111	1	600	600
Utility Examination Fee	1311	1	720	720
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1600

Electronic Acknowledgement Receipt	
EFS ID:	19708192
Application Number:	14447620
International Application Number:	
Confirmation Number:	1086
Title of Invention:	PIXEL STRUCTURE
First Named Inventor/Applicant Name:	Yi-Hsuan Lee
Customer Number:	31561
Filer:	Belinda Lee
Filer Authorized By:	
Attorney Docket Number:	48842-US-PA
Receipt Date:	31-JUL-2014
Filing Date:	
Time Stamp:	01:42:02
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 1600
RAM confirmation Number	7840
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		48842usf.pdf	913468 b244f93b70533579024d4f72f18fbc95546c6a60	yes	26
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Specification		1	16	
	Claims		17	21	
	Abstract		22	22	
	Drawings-only black and white line drawings		23	26	
Warnings:					
Information:					
2	Oath or Declaration filed	48842_decl_assign.pdf	191951 7bcc5bd3e0ebc759148f395f439f3d9680bb1ce4	no	5
Warnings:					
Information:					
3	Power of Attorney	48842_GPOA.pdf	146560 90f5c8aeb8b62b9df07695a077a0cce125e0b546	no	2
Warnings:					
Information:					
4	Assignee showing of ownership per 37 CFR 3.73.	48842_statement373.pdf	134533 e497a020d97e749fd62728737feb81e97ab70270	no	3
Warnings:					
Information:					
5	Application Data Sheet	48842_ADS.pdf	1561199 3539330d1353c1dd2563b7cc3e31bae768695d86	no	7
Warnings:					
Information:					
6	Information Disclosure Statement (IDS) Form (SB08)	48842_IDS_Form.pdf	612334 a0744f788dfc195c6d89b87c4f35e6e8e43880ce	no	4
Warnings:					
Information:					
A U.S. Patent Number Citation or a U.S. Publication Number Citation is required in the Information Disclosure Statement (IDS) form for autoloading of data into USPTO systems. You may remove the form to add the required data in order to correct the Informational Message if you are citing U.S. References. If you chose not to include U.S. References, the image of the form will be processed and be made available within the Image File Wrapper (IFW) system. However, no data will be extracted from this form. Any additional data such as Foreign Patent Documents or Non Patent Literature will be manually reviewed and keyed into USPTO systems.					

7	Foreign Reference	TWI413441.pdf	1804791 b9815ea0c5f910b53ffa632bda4f30e813cf54	no	27
Warnings:					
Information:					
8	Foreign Reference	TW201342588.pdf	3038030 62a8345bdacee158984fb7dde3070c683aee de24c8	no	42
Warnings:					
Information:					
9	Fee Worksheet (SB06)	fee-info.pdf	32564 3c90efeba09f09fb98f42fe8b1a063bf75489 034	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			8435430		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

PIXEL STRUCTURE

CROSS-REFERENCE TO RELATED APPLICATION

5 This application claims the priority benefit of Taiwan application serial no. 102133040, filed on September 12, 2013. The entirety of the above-mentioned patent application is hereby incorporated by reference herein and made a part of this specification.

10 BACKGROUND OF THE INVENTION

[Field of the Invention]

[0001] The invention relates to a pixel structure and particularly relates to a pixel structure capable of improving the overall luminous uniformity of a display panel.

[Description of Related Art]

15 **[0002]** An electroluminescent device is a self-emissive device, which has the following characteristics: no limit to the viewing angle, low production cost, high response speed (about hundred times faster than liquid crystal), power saving, suitable for DC driven portable machines, large working temperature range, light weight, suitable for being miniaturized/thinned depending on the hardware equipment, and so
20 on. Therefore, electroluminescent devices have great potential and may very likely become the next-generation flat panel display.

[0003] At present, top emission display is one of the display technologies that are extensively applied to electroluminescent devices for improving the pixel aperture ratio.

However, the traditional top emission display technology still faces problems, such as difficulty in fabricating thin electrodes, low transmittance, high electrode resistance, and serious IR drop that occurs on large-sized electroluminescent devices. In addition, according to the traditional circuit design of top emission display technology, the current
5 may be easily affected by decline of elements of the electroluminescent devices. Since the luminance of each pixel of the electroluminescent device is related to the current that flows through the pixel, the overall luminous uniformity of the electroluminescent device is low.

10

SUMMARY OF THE INVENTION

[0004] The invention provides a pixel structure for solving the problem of poor overall luminous uniformity that occurs on the traditional electroluminescent device.

[0005] The invention provides a pixel structure, which includes a data line, a scan line, at least one active device, a first auxiliary electrode, and a light emitting device. The at
15 least one active device is electrically connected with the data line and the scan line. Each active device includes a gate, a channel layer, a source, and a drain. The first auxiliary electrode is electrically insulated from the active device. The light emitting device is disposed above the first auxiliary electrode, wherein the light emitting device includes a first electrode layer, a light emitting layer, and a second electrode layer. The
20 first electrode layer is electrically connected with the first auxiliary electrode. The light emitting layer is disposed on the first electrode layer. The second electrode layer is disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device.

[0006] The invention further provides a pixel structure, which includes a data line, a scan line, at least one active device, a light emitting device, and an auxiliary electrode. The at least one active device is electrically connected with the data line and the scan line. The light emitting device is electrically connected with the active device, wherein
5 the light emitting device includes a first electrode layer, a light emitting layer, and a second electrode layer. The light emitting layer is disposed on the first electrode layer. The second electrode layer is disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device. The auxiliary electrode is electrically insulated from the active device and located at a side of the light emitting
10 device, wherein the auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

[0007] Based on the above, in the pixel structure of the invention, the first electrode layer of the light emitting device is electrically connected with the auxiliary electrode. Therefore, the design of the invention that coordinates the first electrode layer of the
15 light emitting device with the auxiliary electrode decreases the resistance of the first electrode layer through parallel connection, so as to significantly reduce the total resistance of the pixel structure, thereby improving the overall luminous uniformity of the display panel.

[0008] To make the aforementioned and other features and advantages of the
20 invention more comprehensible, several embodiments accompanied with drawings are described in detail as follows.

BRIEF DESCRIPTION OF THE DRAWINGS

[0009] The accompanying drawings are included to provide a further understanding of the invention, and are incorporated in and constitute a part of this specification. The drawings illustrate exemplary embodiments of the invention and, together with the
5 description, serve to explain the principles of the invention.

[0010] FIG. 1 is an equivalent circuit diagram of a pixel structure of the invention.

[0011] FIG. 2 is a schematic cross-sectional view of a pixel structure according to the first embodiment of the invention.

[0012] FIG. 3 is a schematic cross-sectional view of a pixel structure according to the
10 second embodiment of the invention.

[0013] FIG. 4 is a schematic cross-sectional view of a pixel structure according to the third embodiment of the invention.

[0014] FIG. 5 is a schematic cross-sectional view of a pixel structure according to the fourth embodiment of the invention.

15 [0015] FIG. 6 is a schematic cross-sectional view of a pixel structure according to the fifth embodiment of the invention.

DESCRIPTION OF THE EMBODIMENTS

[0016] FIG. 1 is an equivalent circuit diagram of a pixel structure of the invention.

20 The pixel structure of the invention is applicable to a pixel array of an electroluminescent device, for example. In the following descriptions, one single pixel structure is exemplified to explain in detail the design of the pixel structure of the invention. It should be clear to those having ordinary knowledge in the art that the

pixel array of the electroluminescent device is composed of a plurality of identical or similar pixel structures. Therefore, based on the following descriptions of one single pixel structure, those having ordinary knowledge in the art would be able to understand the structure or layout of the pixel array in the electroluminescent device.

5 **[0017]** With reference to FIG. 1, a pixel structure 100 includes a data line DL, a scan line SL, at least one active device T₁ and T₂, a capacitor CS, a power line PL, and a light emitting device 130. In this embodiment, each pixel structure 100 for example has two active devices coordinated with one capacitor (2T1C); however, the invention is not limited thereto. This disclosure is not intended to limit the number of the active
10 devices and the number of the capacitors in each pixel structure 100 of the invention.

[0018] In this embodiment, the active device T₁ is electrically connected with the data line DL and the scan line SL. The active device T₂ is electrically connected with the active device T₁ and the light emitting device 130. The light emitting device 130 is electrically connected with the active device T₂ and the power line PL. Moreover, the
15 capacitor CS is electrically connected with the active devices T₁ and T₂.

[0019] To be more specific, in the pixel structure with 2T1C, the active device T₁ includes a gate G₁, a source S₁, a drain D₁, and a channel layer CH₁. The source S₁ is electrically connected with the data line DL. The gate G₁ is electrically connected with the scan line SL. The drain D₁ is electrically connected with the active device T₂.
20 The active device T₂ includes a gate G₂, a source S₂, a drain D₂, and a channel layer CH₂. The gate G₂ of the active device T₂ is electrically connected with the drain D₁ of the active devices T₁. The drain D₂ of the active device T₂ is electrically connected with the light emitting device 130. Moreover, the light emitting device 130 is electrically

connected with the drain D_2 of the active device T_2 and the power line PL. An electrode end E_1 of the capacitor CS is electrically connected with the drain D_1 of the active device T_1 and the gate G_2 of the active device T_2 . The other electrode end E_2 of the capacitor CS is electrically connected with the source S_2 of the active device T_2 and
5 connected to a ground voltage.

[0020] FIG. 2 is a schematic cross-sectional view of a pixel structure according to the first embodiment of the invention. In order to clearly illustrate this embodiment of the invention, FIG. 2 depicts only a part of the components, such as the active device T_2 and the light emitting device 130 of the pixel structure 100. That is to say, for illustrative
10 purpose, the data line DL, the scan line SL, the active device T_1 , the capacitor CS, the power line PL, and so on are omitted from FIG. 2. Since structures of these omitted components are commonly known to those having ordinary knowledge in the art, details thereof will not be repeated hereinafter.

[0021] Referring to FIG. 2, the pixel structure 100 includes a substrate 102, the active
15 device T_2 , a first auxiliary electrode 120, a first insulating layer 106, a second insulating layer 108, the light emitting device 103, and a first isolating structure 140.

[0022] A material of the substrate 102 is glass, quartz, an organic polymer, or a metal, etc., for example.

[0023] The active device T_2 includes the gate G_2 , the channel layer CH_2 , the source S_2 ,
20 and the drain D_2 . The channel layer CH_2 is located above the gate G_2 and under the source S_2 and the drain D_2 . In this embodiment, the active device T_2 is a bottom gate thin film transistor, for example, but the invention is not limited thereto. In other embodiments, the active device T_2 can also be a top gate thin film transistor, and a

material of the channel layer CH₂ can be an amorphous thin film or a polycrystalline thin film; however, the invention is not limited thereto. In addition, the gate G₂ of the active device T₂ further has an insulating layer 104 covering thereon, which is also called a gate insulating layer. A material of the insulating layer 104 is an inorganic material, an organic material, or a combination of the foregoing, for example. The inorganic material includes silicon oxide, silicon nitride, silicon oxynitride, or a stack layer of at least two of the foregoing. Moreover, the active device T₂ further includes an etch-stop layer (not shown). The etch-stop layer is disposed on the channel layer CH₂, and the source S₂ and the drain D₂ are disposed on the etch-stop layer. A material of the etch-stop layer includes silicon oxide, silicon nitride, silicon oxynitride, or other suitable materials.

[0024] The first auxiliary electrode 120 is electrically insulated from the active devices T₁ and T₂. The first auxiliary electrode 120 includes a bottom electrode layer 122 and a top electrode layer 124. The bottom electrode layer 122 and the gate G₂ of the active device T₂ belong to the same layer, for example. The top electrode layer 124 and the source S₂ and the drain D₂ of the active device T₂ belong to the same layer, for example. Therefore, the insulating layer 104 is located between the bottom electrode layer 122 and the top electrode layer 124. Furthermore, the insulating layer 104 has a contact window opening 104a that exposes the bottom electrode layer 122. The top electrode layer 124 is filled in the contact window opening 104a, so that the top electrode layer 124 and the bottom electrode layer 122 are electrically connected with each other.

[0025] It is worth mentioning that, because the first auxiliary electrode 120 has the

bottom electrode layer 122 and the top electrode layer 124, the design of the dual-layer auxiliary electrode helps to maintain the flatness of the pixel structure 100.

[0026] The first insulating layer 106 covers the active device T_2 and the first auxiliary electrode 120. A material of the first insulating layer 106 is an inorganic material, an
5 organic material, or a combination of the foregoing, for example. The inorganic material includes silicon oxide, silicon nitride, silicon oxynitride, or a stack layer of at least two of the foregoing. In addition, the first insulating layer 106 has a first contact window opening 106a that exposes the top electrode layer 124 of the first auxiliary electrode 120.

10 **[0027]** The light emitting device 130 is located above the first auxiliary electrode 120. The light emitting device 130 includes a first electrode layer 132, a light emitting layer 134, and a second electrode layer 136. In this embodiment, the light emitting device 130 is a top-emission organic electroluminescent device, for example. Therefore, the first electrode layer 132 and the second electrode layer 136 serve as an anode and a
15 cathode respectively.

[0028] The first electrode layer 132 of the light emitting device 130 is disposed on the first insulating layer 106. A material of the first electrode layer 132 is aluminum, ITO, or other materials that are suitable as an anode.

[0029] It should be noted that the first electrode layer 132 and the first auxiliary
20 electrode 120 are electrically connected with each other. To be more specific, the first electrode layer 132 of the light emitting device 130 is electrically connected with the top electrode layer 124 of the first auxiliary electrode 120. The first electrode layer 132 is filled in the first contact window opening 106a of the first insulating layer 106, so that

the first electrode layer 132 is electrically connected with the top electrode layer 124 of the first auxiliary electrode 120 via the first contact window opening 106a.

[0030] The second insulating layer 108 covers the first insulating layer 106 and the first electrode layer 132 of the light emitting device 130. A material of the second
5 insulating layer 108 is an inorganic material, an organic material, or a combination of the foregoing, for example. The inorganic material includes silicon oxide, silicon nitride, silicon oxynitride, or a stack layer of at least two of the foregoing. In addition, the second insulating layer 108 has an opening 108a that exposes the first electrode layer 132. Moreover, the first insulating layer 106 and the second insulating layer 108
10 further have a second contact window opening 110 therein, which exposes a portion of the active device T_2 . More specifically, the second contact window opening 110 exposes a portion of the drain D_2 the active device T_2 .

[0031] The light emitting layer 134 of the light emitting device 130 is disposed in the opening 108a of the second insulating layer 108, and the light emitting layer 134 is
15 disposed on the first electrode layer 132. Moreover, a vertical projection of the light emitting layer 134 of the light emitting device 130 at least partially overlaps the first auxiliary electrode 120. The light emitting layer 134 can be an organic light emitting layer or an inorganic light emitting layer. According to the material used by the light emitting layer 134, the electroluminescent device is called an organic electroluminescent
20 device or an inorganic electroluminescent device. In addition, the light emitting layer 134 of the light emitting device 130 of each pixel structure 100 can be a red organic light emitting pattern, a green organic light emitting pattern, a blue organic light emitting pattern, or a light emitting pattern of different colors (e.g. white, orange,

purple,...etc.) generated by mixing light of each spectrum. Besides, according to other embodiments, the light emitting layer 134 of the aforementioned light emitting device 130 can further include an electron input layer, a hole input layer, an electron transmission layer, and a hole transmission layer, etc.

5 **[0032]** The second electrode layer 136 of the light emitting device 130 is located on the second insulating layer 108 and is filled in the opening 108a of the second insulating layer 108 and disposed on the light emitting layer 134. A material of the second electrode layer 136 is silver, thin silver, or other materials that are suitable as a cathode, for example. The second electrode layer 136 is electrically connected with the active
10 device T₂. More specifically, the second electrode layer 136 is filled in the second contact window opening 110, so that the second electrode layer 136 of the light emitting device 130 is electrically connected with the drain D₂ the active device T₂ via the second contact window opening 110.

[0033] The first isolating structure 140 is located around the second electrode layer
15 136 of the light emitting device 130, wherein a first gap 150 exists between the second electrode layer 136 and the first isolating structure 140. A material of the first isolating structure 140 is a photoresist or other suitable materials, for example. Besides, a shape of the first isolating structure 140 is an inverted triangle, for example. Therefore, a method of forming the first gap 150 includes depositing a second electrode layer
20 material (not shown) on the second insulating layer 108 and the first isolating structure 140, and using the inverted-triangular first isolating structure 140 to break apart the second electrode layer material. As a result, the first gap 150 is formed around a bottom portion of the first isolating structure 140, so as to separate the second electrode

layer 136 and the first isolating structure 140. Moreover, the electrode layer 138 is formed on the first isolating structure 140, and the electrode layer 138 and the second electrode layer 136 belong to the same layer.

5 [0034] It should be noted that, because the second electrode layer 136 of the light emitting device 130 is formed by the breaking-apart of the inverted-triangular first isolating structure 140, the second electrode layer 136 having a thinner thickness can be formed by a simplified fabrication process, so that the pixel structure 100 has higher transmittance and the second electrode layer 136 has lower resistance, and so on, thereby improving the problem of IR drop.

10 [0035] Also, it is worth mentioning that, because the first electrode layer 132 and the first auxiliary electrode 120 are electrically connected, the design of the invention, that coordinates the first electrode layer 132 of the light emitting device 130 with the auxiliary electrode, can reduce the resistance of the first electrode layer 132 through parallel connection, so as to reduce the total resistance of the pixel structure 100 by
15 about 40%, thereby improving the overall luminous uniformity of the display panel. For example, the design of coordinating the aforementioned electrode layer with the auxiliary electrode is applicable to the anode of the top-emission organic electroluminescent device, so as to reduce the resistance of the anode through parallel connection. However, the invention is not limited thereto. In other embodiments, the
20 design of coordinating the aforementioned electrode layer with the auxiliary electrode is also applicable to other suitable electrode layers or conductive layers.

[0036] In the embodiment of FIG. 2, the first auxiliary electrode 120 is a dual-layer electrode layer; however, the invention is not limited thereto. In other embodiments of

the invention (as shown in FIG. 3 and FIG. 4), the first auxiliary electrode can also be a single electrode layer. Here, the single electrode layer is not necessarily an electrode layer with one layer, and the single electrode layer may also refer to an electrode layer having a multi-film stack structure.

5 [0037] FIG. 3 and FIG. 4 are schematic cross-sectional views of pixel structures according to the second and third embodiments of the invention. The embodiments of FIG. 3 and FIG. 4 are similar to the embodiment of FIG. 2. The identical or similar components are assigned with the same or similar reference numerals, and detailed descriptions thereof will not be repeated hereinafter.

10 [0038] With reference to FIG. 3, a difference between the embodiment of FIG. 3 and the embodiment of FIG. 2 lies in that, in a pixel structure 200, a first auxiliary electrode 220 merely includes a bottom electrode layer 222, and the bottom electrode layer 222 and the gate G_2 of the active device T_2 belong to the same layer, for example. Therefore, an insulating layer 204 covers the bottom electrode layer 222. Besides, the
15 insulating layer 204 and a first insulating layer 206 further include a first contact window opening 206a that exposes the bottom electrode layer 222. The first electrode layer 132 is filled in the first contact window opening 206a of the insulating layer 204 and the first insulating layer 206, so that the first electrode layer 132 is electrically connected with the bottom electrode layer 222 of the first auxiliary electrode 220 via the
20 first contact window opening 206a.

[0039] With reference to FIG. 4, a difference between the embodiment of FIG. 4 and the embodiment of FIG. 2 lies in that, in a pixel structure 300, a first auxiliary electrode 320 merely includes a top electrode layer 324, and the top electrode layer 324 and the

source S_2 and the drain D_2 of the active device T_2 belong to the same layer, for example. Therefore, the top electrode layer 324 is located above an insulating layer 304. Moreover, a first insulating layer 306 has a first contact window opening 306a that exposes the top electrode layer 324 of the first auxiliary electrode 320. The first
5 electrode layer 132 is filled in the first contact window opening 306a of the first insulating layer 306, so that the first electrode layer 132 is electrically connected with the top electrode layer 324 of the first auxiliary electrode 320 via the first contact window opening 306a.

[0040] FIG. 5 is a schematic cross-sectional view of a pixel structure according to the
10 fourth embodiment of the invention. The embodiment of FIG. 5 is similar to the embodiment of FIG. 2. Therefore, the identical or similar components are assigned with the same or similar reference numerals, and detailed descriptions thereof will not be repeated hereinafter. A difference between the embodiment of FIG. 5 and the embodiment of FIG. 2 is that a pixel structure 400 further includes a second auxiliary
15 electrode 460.

[0041] With reference to FIG. 5, the second auxiliary electrode 460 is electrically insulated from the active device T_2 and located at a side of the light emitting device 130, wherein the second auxiliary electrode 460 is electrically connected with the first electrode layer 132 of the light emitting device 130. To be more specific, a second
20 insulating layer 408 has an opening 408a and a contact window opening 408b that expose the first electrode layer 132. The light emitting layer 134 of the light emitting device 130 is disposed in the opening 408a of the second insulating layer 408. The second auxiliary electrode 460 is filled in the contact window opening 408b of the

second insulating layer 408, so that the second auxiliary electrode 460 is electrically connected with the first electrode layer 132 of the light emitting device 130 via the contact window opening 408b.

[0042] In addition, the second auxiliary electrode 460 and the second electrode layer 136 of the light emitting device 130 belong to the same layer, for example, and the second auxiliary electrode 460 and the second electrode layer 136 of the light emitting device 130 are electrically insulated from each other. More specifically, the pixel structure 400 further includes a second isolating structure 140' that is located at a side of the first isolating structure 140, wherein the second auxiliary electrode 460 is disposed between the first isolating structure 140 and the second isolating structure 140'. A second gap 450 exists between the second auxiliary electrode 460 and the first isolating structure 140, and a second gap 450' exists between the second auxiliary electrode 460 and the second isolating structure 140'. Therefore, the second auxiliary electrode 460 and the first isolating structure 140 are electrically insulated from each other, and the second auxiliary electrode 460 and the second isolating structure 140' are electrically insulated from each other. In addition, the second isolating structure 140' and the first isolating structure 140 belong to the same layer, for example.

[0043] It should be noted that, because a metal that has lower sheet resistance and higher electric conductivity can be used in the second electrode layer 136 of the light emitting device 130 and the second auxiliary electrode 460, the resistance of the second electrode layer 136 can be reduced more effectively to improve the problem of IR drop.

[0044] Also, it is worth mentioning that the first electrode layer 132 is electrically connected with the first auxiliary electrode 120 and the second auxiliary electrode 460.

Therefore, the design of the invention that coordinates the first electrode layer 132 of the light emitting device 130 with two auxiliary electrodes decreases the resistance of the first electrode layer 132 through parallel connection, so as to reduce the total resistance of the pixel structure 400 by about 90%, thereby improving the overall luminous
5 uniformity of the display panel. For example, the design of coordinating the aforementioned electrode layer with two auxiliary electrodes is applicable to the anode of the top-emission organic electroluminescent device, so as to reduce the resistance of the anode through parallel connection. However, the invention is not limited thereto. In other embodiments, the design of coordinating the aforementioned electrode layer
10 with two auxiliary electrodes is also applicable to other suitable electrode layers or conductive layers.

[0045] FIG. 6 is a schematic cross-sectional view of a pixel structure according to the fifth embodiment of the invention. The embodiment of FIG. 6 is similar to the embodiment of FIG. 5. Therefore, the identical or similar components are assigned
15 with the same or similar reference numerals, and detailed descriptions thereof will not be repeated hereinafter. A difference between the embodiment of FIG. 6 and the embodiment of FIG. 5 lies in that a pixel structure 500 merely includes the second auxiliary electrode 460 and does not include the first auxiliary electrode 120.

[0046] With reference to FIG. 6, the second auxiliary electrode 460 is electrically
20 insulated from the active device T_2 and located at a side of the light emitting device 130, wherein the second auxiliary electrode 460 is electrically connected with the first electrode layer 132 of the light emitting device 130. Moreover, an insulating layer 504 covers the gate G_2 of the active device T_2 and the substrate 102. A first insulating

layer 506 covers the active device T_2 and the insulating layer 504. The first electrode layer 132 of the light emitting device 130 is located on the first insulating layer 506.

[0047] In conclusion of the above, in the pixel structure of the invention, the first electrode layer of the light emitting device is electrically connected with the first auxiliary electrode or the second auxiliary electrode or both, wherein the first auxiliary electrode and the gate of the active device belong to the same layer, or the first auxiliary electrode and the source and the drain belong to the same layer, or has the dual-layer electrode structure. Meanwhile, the second auxiliary electrode and the second electrode layer belong to the same layer. Therefore, without increasing the number of masks and production costs, the design of the invention that coordinates the first electrode layer of the light emitting device with the auxiliary electrodes decreases the resistance of the first electrode layer through parallel connection, so as to significantly reduce the total resistance of the pixel structure, thereby improving the overall luminous uniformity of the display panel. In addition, the circuit design of the top emission display technology of the invention also prevents decline of devices of the electroluminescent device from affecting the current.

[0048] It will be apparent to those having ordinary knowledge in the art that various modifications and variations can be made to the disclosed embodiments without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that the invention covers modifications and variations of this disclosure provided that they fall within the scope of the following claims and their equivalents.

WHAT IS CLAIMED IS:

1. A pixel structure, comprising:
 - a data line and a scan line;
 - at least one active device electrically connected with the data line and the scan line,
 - 5 and each active device comprising a gate, a channel layer, a source, and a drain;
 - a first auxiliary electrode electrically insulated from the active device; and
 - a light emitting device disposed above the first auxiliary electrode, wherein the
 - light emitting device comprises:
 - a first electrode layer electrically connected with the first auxiliary electrode;
 - 10 a light emitting layer disposed on the first electrode layer; and
 - a second electrode layer disposed on the light emitting layer, wherein the
 - second electrode layer is electrically connected with the active device.
2. The pixel structure according to claim 1, further comprising a first insulating layer covering the active device and the first auxiliary electrode, and the first electrode layer of the light emitting device being disposed on the first insulating layer, wherein the
- 15 first insulating layer has a first contact window opening that exposes the first auxiliary electrode, and the first electrode layer is electrically connected with the first auxiliary electrode via the first contact window opening.
3. The pixel structure according to claim 2, further comprising a second insulating
- 20 layer covering the first insulating layer and the first electrode layer of the light emitting device, and the second electrode layer of the light emitting device being disposed on the second insulating layer, wherein the second insulating layer has an opening that exposes the first electrode layer, and the light emitting layer of the light emitting device is

disposed in the opening.

4. The pixel structure according to claim 3, wherein the first insulating layer and the second insulating layer further comprise a second contact window opening that exposes a portion of the active device, and the second electrode layer of the light
5 emitting device is electrically connected with the active device via the second contact window opening.

5. The pixel structure according to claim 1, wherein the first auxiliary electrode is a single electrode layer.

6. The pixel structure according to claim 1, wherein the first auxiliary electrode
10 comprises:

a bottom electrode layer; and

a top electrode layer electrically connected with the bottom electrode layer, wherein the first electrode layer of the light emitting device is electrically connected with the top electrode layer of the first auxiliary electrode.

7. The pixel structure according to claim 6, wherein the bottom electrode layer and the gate of the active device belong to the same layer.

8. The pixel structure according to claim 6, wherein the top electrode layer and the source and the drain of the active device belong to the same layer.

9. The pixel structure according to claim 1, further comprising an isolating
20 structure disposed around the second electrode layer of the light emitting device, wherein a gap exists between the second electrode layer and the isolating structure.

10. The pixel structure according to claim 1, further comprising a second auxiliary electrode electrically insulated from the active device and disposed at a side of the light

emitting device, wherein the second auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

11. The pixel structure according to claim 10, wherein the second auxiliary electrode and the second electrode layer of the light emitting device belong to the same layer, and the second auxiliary electrode and the second electrode layer of the light emitting device are electrically insulated from each other.

12. The pixel structure according to claim 1, wherein the light emitting device is a top-emission organic electroluminescent device.

13. The pixel structure according to claim 1, wherein a vertical projection of the light emitting layer of the light emitting device at least partially overlaps the first auxiliary electrode.

14. A pixel structure, comprising:
a data line and a scan line;
at least one active device electrically connected with the data line and the scan line;
a light emitting device electrically connected with the active device, wherein the light emitting device comprises:

a first electrode layer;
a light emitting layer disposed on the first electrode layer; and
a second electrode layer disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device; and
an auxiliary electrode electrically insulated from the active device and disposed at a side of the light emitting device, wherein the auxiliary electrode is electrically connected with the first electrode layer of the light emitting device.

15. The pixel structure according to claim 14, further comprising:

a first insulating layer covering the active device, and the first electrode layer of the light emitting device being disposed on the first insulating layer;

a second insulating layer covering the first insulating layer and the first electrode layer of the light emitting device, and the second electrode layer of the light emitting device being disposed on the second insulating layer, wherein the second insulating layer has an opening and a first contact window opening that expose the first electrode layer, and the light emitting layer of the light emitting device is disposed in the opening and the auxiliary electrode is electrically connected with the first electrode layer via the first contact window opening.

16. The pixel structure according to claim 15, wherein the first insulating layer and the second insulating layer further comprise a second contact window opening that exposes a portion of the active device, and the second electrode layer of the light emitting device is electrically connected with the active device via the second contact window opening.

17. The pixel structure according to claim 14, further comprising:

a first isolating structure disposed around the second electrode layer of the light emitting device, wherein a first gap exists between the second electrode layer and the first isolating structure; and

a second isolating structure disposed at a side of the first isolating structure, wherein the auxiliary electrode is disposed between the first isolating structure and the second isolating structure, and the auxiliary electrode is electrically insulated from the first isolating structure and the auxiliary electrode is electrically insulated from the

second isolating structure.

18. The pixel structure according to claim 14, wherein the auxiliary electrode and the second electrode layer of the light emitting device belong to the same layer, and the auxiliary electrode is electrically insulated from the second electrode layer of the light emitting device.
- 5

ABSTRACT OF THE DISCLOSURE

A pixel structure, including a data line, a scan line, at least one active device, a first auxiliary electrode, and a light emitting device, is provided. The at least one active device is electrically connected with the data line and the scan line, and each active
5 device includes a gate, a channel layer, a source, and a drain. The first auxiliary electrode is electrically insulated from the active device. The light emitting device is disposed above the first auxiliary electrode, wherein the light emitting device includes a first electrode layer, a light emitting layer, and a second electrode layer. The first electrode layer is electrically connected with the first auxiliary electrode. The light
10 emitting layer is disposed on the first electrode layer. The second electrode layer is disposed on the light emitting layer, wherein the second electrode layer is electrically connected with the active device.

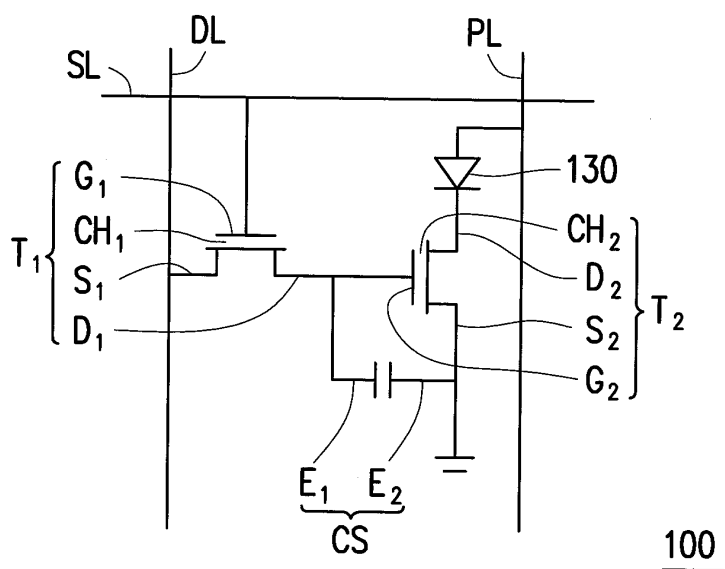


FIG. 1

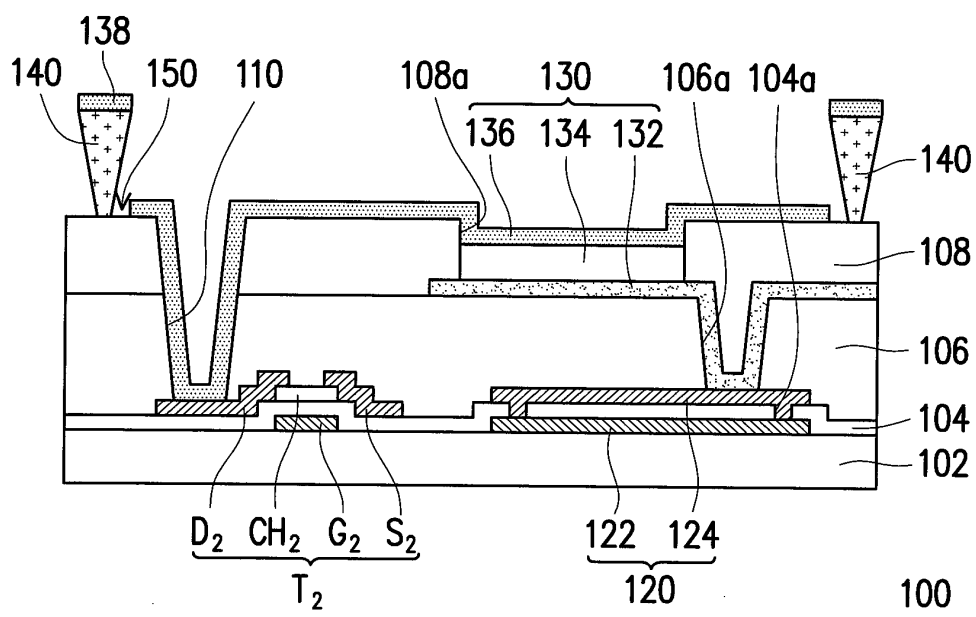


FIG. 2

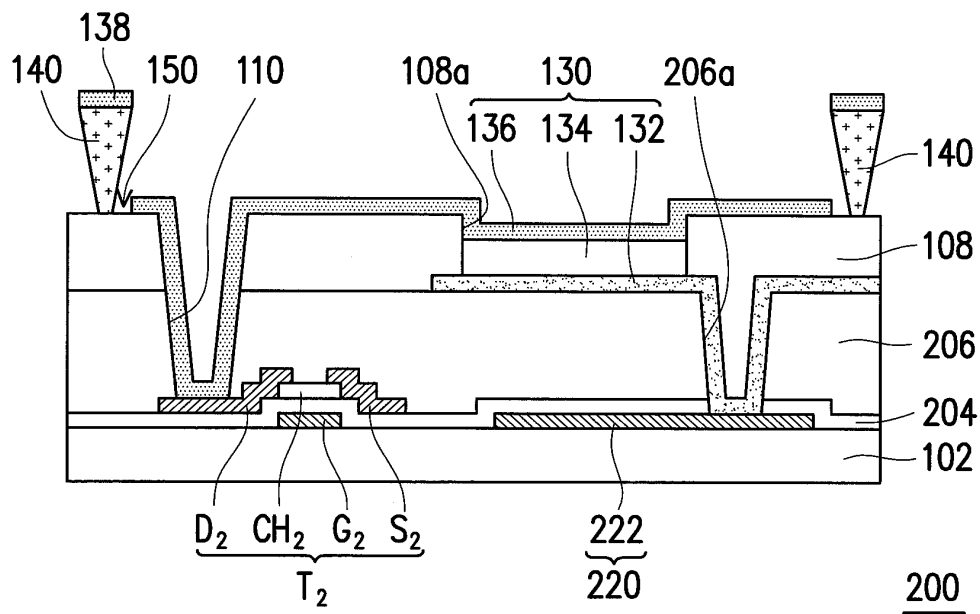


FIG. 3

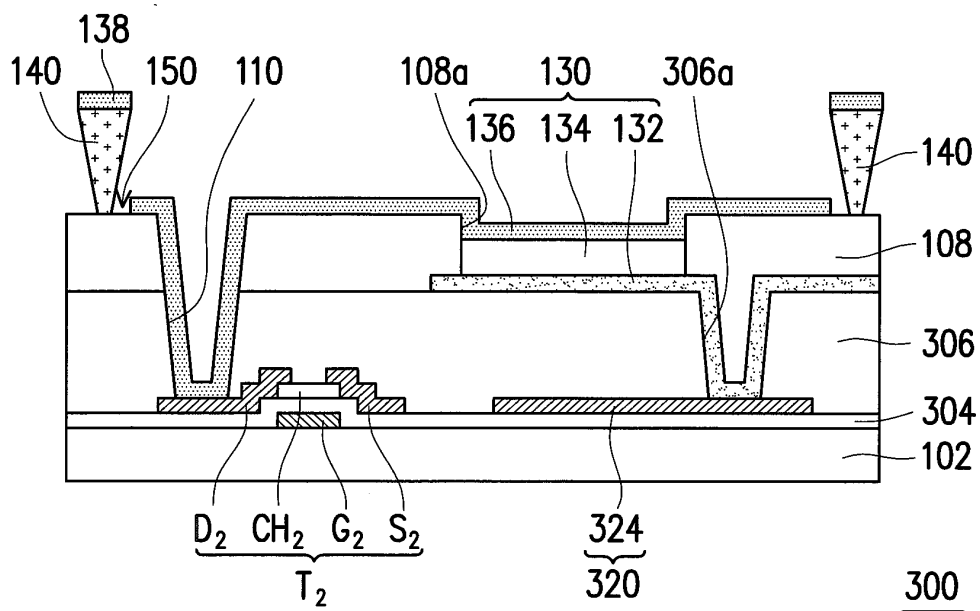


FIG. 4

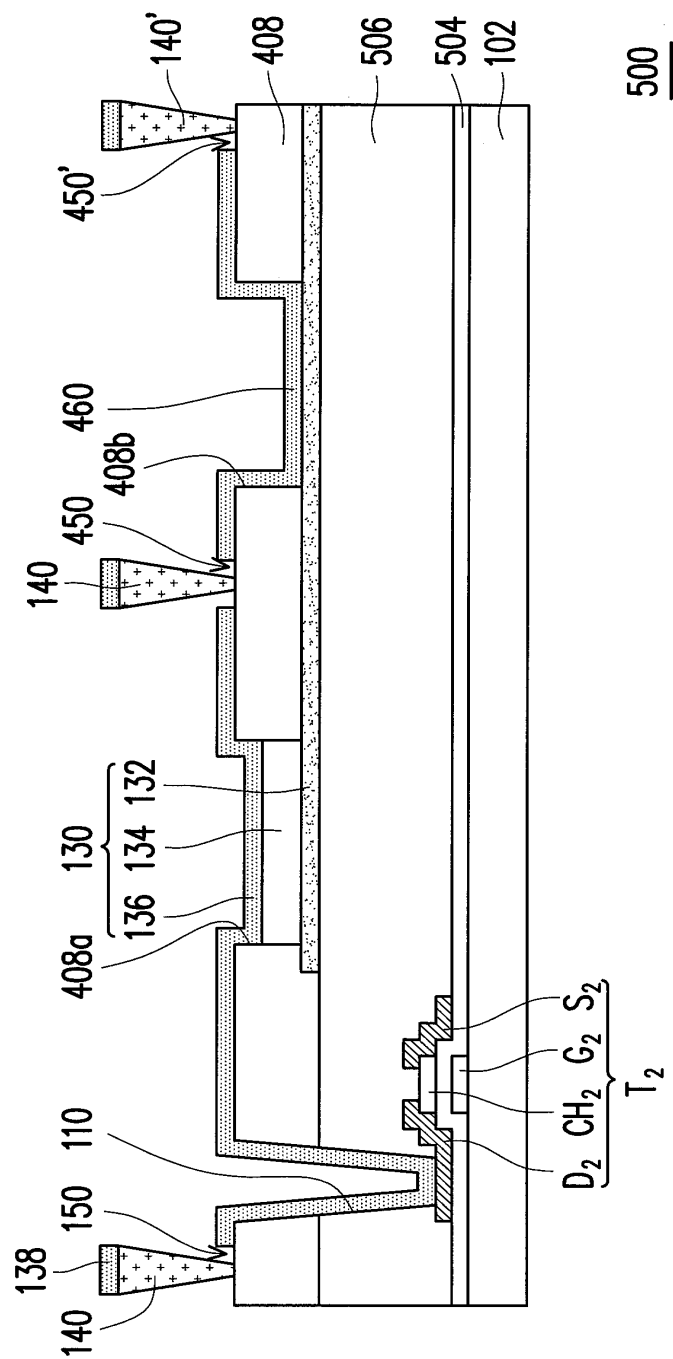


FIG. 6

**DECLARATION AND ASSIGNMENT
FOR UTILITY OR DESIGN PATENT APPLICATION**

☒ Declaration Submitted With Initial Filing

OR

☐ Declaration Submitted After Initial Filing (surcharge 37 CFR 1.16(f) required)

(Title of the Invention)
PIXEL STRUCTURE

As a below named inventor (hereinafter designated as the undersigned), I hereby declare that:

This declaration is directed to:

☒ The attached application,

OR

☐ United States Application Number or PCT International application number

_____ Filed on _____

The above-identified application was made or authorized to be made by me.

I believe I am the original inventor or an original joint inventor of a claimed invention in the application.

**DECLARATION AND ASSIGNMENT
FOR UTILITY OR DESIGN PATENT APPLICATION**

WHEREAS, the undersigned has invented certain new and useful improvements described in the application identified.

WHEREAS 1. Au Optonics Corporation
of No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan,
R.O.C.

hereinafter referred to as ASSIGNEE, is desirous of acquiring the undersigned's interest in the said invention and application and in any U.S. Letters Patent which may be granted on the same:

NOW, THEREFORE, TO ALL WHOM IT MAY CONCERN: Be it known that, for good and valuable consideration, receipt of which is hereby acknowledged by the undersigned, the undersigned has/have sold, assigned and transferred, and by these presents does/do sell, assign and transfer unto the said Assignee, and Assignee's successors and assigns, all his/her/their rights, title and interest in and to the said invention and application and all future improvements thereon, and in and to any Letters Patent which may hereafter be granted on the same in the United States, the said rights, title and interest to be held and enjoyed by said Assignee as fully and exclusively as it would have been held and enjoyed by said the undersigned had this Assignment and transfer not been made, to the full end and term of any Letters Patent which may be granted thereon, or of any division, renewal, continuation in whole or in part, substitution, conversion, reissue, prolongation or extension thereof.

The undersigned further agrees/agree that he/she/they will, without charge to said Assignee, but at Assignee's expense, cooperate with Assignee in the prosecution of said application and/or applications, execute, verify, acknowledge and deliver all such further papers, including applications for Letters Patent and for the reissue thereof, and instruments of assignment and transfer thereof, and will perform such other acts as Assignee Lawfully may request, to obtain or maintain Letters Patent for said invention and improvement, and to vest title thereto in said Assignee, or Assignee's successors and assigns.

The undersigned hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

**DECLARATION AND ASSIGNMENT
FOR UTILITY OR DESIGN PATENT APPLICATION**

Signature: Yi Hsuan Lee Date: July 22, 2014

Legal Name of Sole or First Inventor: Yi-Hsuan Lee

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: _____ Date: _____

Legal Name of Additional Joint Inventor, if any: Peng-Bo Xi

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: _____ Date: _____

Legal Name of Additional Joint Inventor, if any: Wei-Chu Hsu

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

**DECLARATION AND ASSIGNMENT
FOR UTILITY OR DESIGN PATENT APPLICATION**

Signature: _____ Date: _____

Legal Name of Sole or First Inventor: Yi-Hsuan Lee

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: Peng Bo Xi Date: 2014.7.9

Legal Name of Additional Joint Inventor, if any: Peng-Bo Xi

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: _____ Date: _____

Legal Name of Additional Joint Inventor, if any: Wei-Chu Hsu

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

**DECLARATION AND ASSIGNMENT
FOR UTILITY OR DESIGN PATENT APPLICATION**

Signature: _____ Date: _____

Legal Name of Sole or First Inventor: Yi-Hsuan Lee

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: _____ Date: _____

Legal Name of Additional Joint Inventor, if any: Peng-Bo Xi

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

Signature: Wei-chu Hsu Date: 2014/6/24

Legal Name of Additional Joint Inventor, if any: Wei-Chu Hsu

Residence: Taipei City, Taiwan

Mailing Address: c/o No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.