PTO-1390 (05-13)
Approved for use through 6/30/2013. OMB 0651-0021
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL LETTER TO THE UNITED STATES DESIGNATED/ELECTED OFFICE (DO/EO/US) CONCERNING A SUBMISSION UNDER 35 U.S.C. 371

Attorney Docket No.	U.S. Application No. (if known, see 37 CFR 1.5)
P59054US	

International Application No.	International Filing Date	Priority Date Claimed
PCT/EP2013/067348	2013-08-20	2012-09-27

Title of Invention

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

First Named Inventor

Andrew INGLE

Applicant herewith submits to the United States Designated/Elected Office (DO/EO/US) the following items and other information.

1. ☐ This is an express request to begin national examination procedures (35 U.S.C. 371(f)). NOTE: The express request under 35 U.S.C. 371(f) will not be effective unless the requirements under 35 U.S.C. 371(c)(1), (2), and (4) for payment of the basic national fee, copy of the International Application and English translation thereof (if required), and the oath or declaration of the inventor(s) have been received.
2. ☐ A copy of the International Application (35 U.S.C. 371(c)(2)) is attached hereto (not required if the International Application was previously communicated by the International Bureau or was filed in the United States Receiving Office (RO/US)).
3. An English language translation of the International Application (35 U.S.C. 371(c)(2))
   a. ☑ is attached hereto.
   b. ☐ has been previously submitted under 35 U.S.C. 154(d)(4).
4. An oath or declaration of the inventor(s) (35 U.S.C. 371(c)(4))
   a. ☑ is attached.
   b. ☐ was previously filed in the international phase under PCT Rule 4.17(iv).

Items 5 to 8 below concern amendments made in the international phase.

PCT Article 19 and 34 amendments

5. ☐ Amendments to the claims under PCT Article 19 are attached (not required if communicated by the International Bureau) (35 U.S.C. 371(c)(3)).
6. ☐ English translation of the PCT Article 19 amendment is attached (35 U.S.C. 371(c)(3)).
7. ☐ English translation of annexes (Article 19 and/or 34 amendments only) of the International Preliminary Examination Report is attached (35 U.S.C. 371(c)(5)).

Cancellation of amendments made in the international phase

8a. ☐ Do not enter the amendment made in the international phase under PCT Article 19.

8b. ☐ Do not enter the amendment made in the international phase under PCT Article 34.

NOTE: A proper amendment made in English under Article 19 or 34 will be entered in the U.S. national phase application absent a clear instruction from applicant not to enter the amendment(s).

The following items 9 to 17 concern a document(s) or information included.

9. ☐ An Information Disclosure Statement under 37 CFR 1.97 and 1.98.
10. ☑ A preliminary amendment.
11. ☑ An Application Data Sheet under 37 CFR 1.76.
12. ☑ A substitute specification. NOTE: A substitute specification cannot include claims. See 37 CFR 1.125(b).
13. ☑ A power of attorney and/or change of address letter.
14. ☐ A computer-readable form of the sequence listing in accordance with PCT Rule 13*ter*.3 and 37 CFR 1.821-1.825.
15. ☐ Assignment papers *(cover sheet and document(s))*. Name of Assignee: _____
16. ☐ 37 CFR 3.73(c) Statement *(when there is an Assignee)*.

This collection of information is required by 37 CFR 1.414 and 1.491-1.492. The information is required to obtain or retain a benefit by the public, which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 15 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Mail Stop PCT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

U.S. APPLN. No. (if known – see 37 CFR 1.5)	INTERNATIONAL APPLICATION No.	ATTORNEY DOCKET No.
	PCT/EP2013/067348	P59054US

17. ☑ Other items or information:

Statement of Accuracy

The following fees have been submitted.	CALCULATIONS	PTO USE ONLY
18. ☑ Basic national fee (37 CFR 1.492(a)) **$280**	$ 280	
19. ☑ Examination fee (37 CFR 1.492(c)) If the written opinion prepared by ISA/US or the international preliminary examination report prepared by IPEA/US indicates all claims satisfy provisions of PCT Article 33(1)-(4) ..... **$0** All other situations **$720**	$ 720	
20. ☑ Search fee (37 CFR 1.492(b)) If the written opinion prepared by ISA/US or the international preliminary examination report prepared by IPEA/US indicates all claims satisfy provisions of PCT Article 33(1)-(4) ..... **$0** Search fee (37 CFR 1.445(a)(2)) has been paid on the international application to the USPTO as an International Searching Authority .....**$120** International Search Report prepared by an ISA other than the US and provided to the Office or previously communicated to the US by the IB .....**$480** All other situations **$600**	480 $	
TOTAL OF 18, 19, and 20 =	$ 1480	
☐ Additional fee for specification and drawings filed in paper over 100 sheets (excluding sequence listing in compliance with 37 CFR 1.821(c) or (e) in an electronic medium or computer program listing in an electronic medium) (37 CFR 1.492(j)). Fee for each additional 50 sheets of paper or fraction thereof **$400**		

Total Sheets	Extra Sheets	Number of each addition 50 or fraction thereof (round **up** to a whole number)	RATE	
- 100 =	/ 50 =		x **$400**	$

Surcharge of **$140.00** for furnishing any of the search fee, examination fee, or the oath or declaration after the date of commencement of the national stage (37 CFR 1.492(h)).	$	

CLAIMS	NUMBER FILED	NUMBER EXTRA	RATE		
Total claims	- 20 =		x **$80**	$	
Independent claims	- 3 =		x **$420**	$	
MULTIPLE DEPENDENT CLAIM(S) (if applicable)			**+ $780**	$	
Processing fee of **$140.00** for furnishing the English translation later than 30 months from the earliest claimed priority date (37 CFR 1.492(i)). **+**				$	
TOTAL OF ABOVE CALCULATIONS =				$	
☐ **Applicant asserts small entity status.** See 37 CFR 1.27. Fees above are reduced by ½.					
☐ **Applicant certifies micro entity status.** See 37 CFR 1.29. Fees above are reduced by ¾. Applicant must attach form PTO/SB/15A or B or equivalent.					
TOTAL NATIONAL FEE =				$ 1480	
Fee for recording the enclosed assignment (37 CFR 1.21(h)). The assignment must be accompanied by an appropriate cover sheet (37 CFR 3.28, 3.31). **$40.00** per property. **+**				$	
TOTAL FEES ENCLOSED =				$ 1480	
				Amount to be refunded:	$
				Amount to be charged:	$

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

a. ☐ A check in the amount of $_____ to cover the above fees is enclosed.

b. ☐ Please charge my Deposit Account No. _____ in the amount of $_____ to cover the above fees.

c. ☑ The Director is hereby authorized to charge additional fees which may be required, or credit any overpayment, to Deposit Account No. 504666 as follows:

i. ☐ any required fee.

ii. ☐ any required fee except for excess claims fees required under 37 CFR 1.492(d) and (e) and multiple dependent claim fee required under 37 CFR 1.492(f).

d. ☐ Fees are to be charged to a credit card. **WARNING:** Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038. The PTO-2038 should only be mailed or faxed to the USPTO. However, when paying the basic national fee, the PTO-2038 may NOT be faxed to the USPTO.

ADVISORY: If filing by EFS-Web, do **NOT** attach the PTO-2038 form as a PDF along with your EFS-Web submission. Please be advised that this is **not** recommended and by doing so your **credit card information may be displayed via PAIR**. To protect your information, it is recommended to pay fees online by using the electronic payment method.

NOTE: Where an appropriate time limit under 37 CFR 1.495 has not been met, a petition to revive (37 CFR 1.137(a) or (b)) must be filed and granted to restore the International Application to pending status.

Correspondence Address

☑ The address associated with Customer Number: 83956 **OR** ☐ Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone			
Email					

Signature	/Karl J. Kolbinger/	Date	2015-03-25
Name (Print/Type)	Karl J. Kolbinger	Registration No. (Attorney/Agent)	41124

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Description

Method for producing a passive electronic component, method for producing an optoelectronic assembly and passive electronic component

The invention relates to a method for producing a passive electronic component, a method for producing an optoelectronic assembly and a passive electronic component.

In optoelectronic components such as organic light emitting diodes, insulators and/or dielectrics serve, inter alia, to separate and/or electrically insulate two electrode regions from one another.

Suitable insulators or dielectrics such as light-sensitive resists, for example, are usually very expensive and complex to apply, for example in a photolithographic process. By way of example, the resists are applied without structure in a planar fashion to metal layers subsequently to be etched and are exposed with the aid of a mask. Depending on the resist used, the exposed or non-exposed regions can then be removed, as a result of which the resist layer is structured. During the subsequent etching process, the resist structures that remained protect the underlying metal layer or the underlying metal layers.

In various exemplary embodiments, a method for producing a passive electronic component and/or a method for producing an optoelectronic assembly are provided which enable the production of a passive electronic component and/or an optoelectronic assembly simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various exemplary embodiments, a passive electronic component is provided which can be produced simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various exemplary embodiments, a method for producing a passive electronic component is provided. In this case, a first electrically conductive layer is formed on a substrate. A second electrically conductive layer is formed on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers such that the substrate is exposed in the first trench. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion to the second electrically conductive layer in the first contact region and the substrate in the trench such that the dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion to the dielectric above the first contact region and to the second contact region.

The fact that the dielectric and/or the electrode layer and/or subsequently further layers or materials are "applied in a structured fashion" means, in various embodiments, that the desired structure is already formed during the application of the corresponding layer. The area to be coated is thus coated only in partial regions dependent on the desired structure. This is in contrast to planar application of the corresponding layers and subsequent structuring of the layers, as is the case for example in a photolithographic method. The structured application of the layers makes it possible to be able to dispense with the firstly planar application of the corresponding layers and the subsequent complex structuring of the layers, for example the

photolithographic method, and/or an expensive photoresist for the photolithographic method. This contributes to simple and/or cost-effective production of the passive electronic component.

The corresponding materials or layers can be applied in a structured fashion to the substrate for example by means of printing, for example inkjet printing or screen printing, by means of blade coating and/or by deposition with the aid of SAMs (self assembling monolayers) and the like.

A passive electronic component can be for example a capacitor and/or a resistor or a combination, for example a series circuit and/or a series connection of one, two or more capacitors and/or one, two or more resistors.

The substrate can comprise or be a substrate layer, for example. The substrate can be for example a transparent or a non-transparent substrate. By way of example, the substrate can comprise glass, quartz, sapphire, one or a plurality of plastic films, one or a plurality of coated plastic films, metal, one or a plurality of metal films, one or a plurality of films coated with an electrically insulating layer, a silicon wafer or some other suitable substrate material. Substrate can be understood to mean for example the layer to which all other layers are subsequently applied during the production of an optoelectronic assembly. Such subsequent layers can be for example layers required for the radiation emission.

The first electrically conductive layer comprises a first electrically conductive material and the second electrically conductive layer comprises a second electrically conductive material. The first and/or the second electrically conductive material are materials

or substances having the capability of conducting electric current. The first electrically conductive material can differ from the second electrically conductive material, for example. By way of example, the first electrically conductive material can be provided for first electrodes, for example for the anodes or cathodes, of the optoelectronic components.

The first electrically conductive layer can be deposited for example directly on the substrate layer. The first electrically conductive layer can be for example a transparent conductive layer. It can be formed, without being restricted thereto, from a transparent conductive oxide (TCO), e.g. indium-doped tin oxide (ITO) or ZnO, In/ZnO, SnZnO, Al-ZnO and the like. The first electrically conductive layer can be applied to the substrate layer for example by means of sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The second electrically conductive layer can be deposited on the first electrically conductive layer, for example. The second electrically conductive material can include, for example, without being restricted thereto, one or a plurality of metals, for example aluminum, barium, indium, copper, silver, gold, magnesium, calcium and lithium and the like and mixtures or combinations thereof, for example in the form of alloys among one another or with other metals. The second electrically conductive layer can be applied to the first electrically conductive layer for example by means of evaporation, sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The electrically conductive layers can in each case also comprise partial layers, for example, which can also comprise chromium and molybdenum, for example, as

an alternative or in addition to the metals mentioned. Examples of possible layer sequences in an electrically conductive layer or an electrically conductive layer comprising a plurality of partial layers are Mo-Al-Mo, Cr-Al-Cr, Cr-Cu-Cr and Cr-Cu.

The dielectric denotes for example an electrically insulating substance applied in such a way that it prevents a current flow between two electrically conductive regions, for example between the first electrically conductive layer or the second electrically conductive layer in the first component region and the first electrically conductive layer or second electrically conductive layer in the second component region. The dielectric can be a covering or a coating agent, for example a polymer and/or a resist. The resist can comprise for example a coating substance that can be applied in liquid or pulverulent form.

The electrode layer can for example comprise or be formed from aluminum, barium, indium, silver, gold, magnesium, calcium and/or lithium and combinations thereof or a compound thereof, in particular an alloy, and/or transparent conductive oxides, such as, for example metal oxides, such as zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide or indium-doped tin oxide (ITO), aluminum-doped zinc oxide (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$ or mixtures of different transparent conductive oxides. The electrode layer can form cathodes or anodes of the passive electronic component, for example.

The trench can be formed by means of laser ablation, for example. Furthermore, the trench can extend partly or completely around the first contact region and/or the second contact region. Furthermore, even further trenches can be formed and/or the trenches can be part

of a trench structure extending two-dimensionally in a plane.

In various embodiments, a first electrode of a capacitor is formed by the first contact region between the dielectric and the substrate and a second electrode of the capacitor is formed by the electrode layer on a side of the dielectric facing away from the first contact region. When an electrical voltage is applied to the first and second contact regions, the capacitor is charged, in particular the electrodes are charged, and an electric field forms between the electrodes. The electrical energy in the electric field existing between the charged electrodes is stored in the charged capacitor.

In various embodiments, before the dielectric is applied, a second trench and at least one third trench are formed, which delimit a resistance region. The resistance region comprises a part of the first and second electrically conductive layers. The resistance region has a taper in a direction parallel to the electrically conductive layers and leads into the first contact region on a first side of the taper. The resistance region can contribute, for example, to forming an electrical resistor that is integrated in the layer structure of the passive electrical component and/or that forms a part thereof. The electrical resistor can be connected in series or in parallel with the capacitor, for example.

In various embodiments, the resistance region is formed such that it leads into the second contact region on a second side of the taper and thus forms a resistor that is electrically connected in parallel with the capacitor.

In various embodiments, the resistance region is formed such that it forms a third contact region on a second side of the taper and thus forms a resistor that is electrically connected in series with the capacitor.

In various embodiments, two, three or more capacitors and/or resistors as claimed in the preceding claims are formed electrically in parallel with one another and/or electrically in series one after another.

In various embodiments, at least one of the trenches is formed by means of laser ablation. This can contribute to the simple and cost-effective production of the passive electronic component. By way of example, an etching process for etching the trench can be dispensed with.

In various embodiments, the dielectric is applied by means of a printing method. This can contribute simply to applying the dielectric in a structured fashion to the second electrically conductive layer and the substrate. The printing method can comprise for example inkjet printing or screen printing, and/or.

In various embodiments, the dielectric firstly is applied in a structured fashion to the second electrically conductive layer in such a way that the dielectric adjoins the first trench, and is then heated in such a way that it deforms and encapsulates edges and/or side surfaces of the first and second electrically conductive layers in the first trench. The dielectric adjoining the trench flows on account of the heating over these exposed edges and/or side surfaces of the first and second electrically conductive layers and encapsulates them. The fact that the dielectric adjoins the trench can mean, for example, that the dielectric is arranged in a structured fashion near to, directly at or even partly above the first trench such

that it flows at least partly into the first trench upon liquefying. As an alternative thereto, the dielectric can be applied in a structured fashion such that even without the heating and/or before the heating it is arranged at least partly in the first trench and/or encapsulates the edges and/or side surfaces of the electrically conductive layers and/or electrically insulates the first contact region from the second contact region.

In various exemplary embodiments, a method for producing an optoelectronic assembly is provided, wherein a passive electronic component is formed, for example in accordance with the method explained above. The dielectric is applied in a structured fashion to the second layer such that the dielectric demarcates a component region for forming an optoelectronic component relative to the second contact region. An optically functional layer is formed in the component region. The electrode layer is applied in a structured fashion such that a part of the electrode layer covers the optically functional layer.

An optoelectronic component can be for example a component which absorbs or emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various exemplary embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or as an organic transistor which emits electromagnetic radiation. The radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits electromagnetic radiation can be

embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various exemplary embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

The optically functional layers can be for example radiation emitting layers, such as fluorescent and/or phosphorescent emitter layers, for example those of components which emit electromagnetic radiation, for example LEDs or OLEDs.

In various exemplary embodiments, before the optically functional layer is applied, the second electrically conductive layer is removed in the component region. The optically functional layer is applied to the first electrically conductive layer in the component region. The second electrically conductive layer can be removed in an etching method, for example. In this case, the second electrically conductive material can be etched in an etching bath, for example. The etching can comprise for example the removal of the second electrically conductive material on the surface of the first electrically conductive layer by the use of suitable etching substances. The etching substances can be for example chemical substances which can alter (usually oxidize) the material to be removed in a chemical reaction and/or can dissolve said material. Etchants are acids or strong oxidants, for example. Mention may be made of, for example, HNO_3, HCl, H_3PO_4, acetic acid, H_2SO_4, cerium ammonium nitrate (CAN) and H_2O_2. The etching bath can be chosen for example such that the first electrically conductive layer, for example an ITO layer, is not attacked or adversely affected by the etchants used.

In various embodiments, after the structured application of the dielectric and before the removal of the second electrically conductive layer in the component region, a protective layer is applied in a structured fashion to the first contact region and the second contact region and, if appropriate, to the resistance region such that the contact regions and, if appropriate, the resistance region are covered with the material of the protective layer. The protective layer protects the contact regions and, if appropriate, the resistance region during the removal of the second electrically conductive layer, such that the second electrically conductive layer is maintained in the contact regions and, if appropriate, the resistance region. The protective layer is removed after the removal of the second electrically conductive layer in the component region.

The protective layer can comprise for example a material or a substance which serves to protect the second electrically conductive material of the second electrically conductive layer in the partial regions on which it is applied on the second electrically conductive layer, in the further method sequence for producing the optoelectronic assembly, for example in one or a plurality of further process steps. The protective layer can be for example a covering, a resist or the like. By way of example, the protective layer can be an etch stop resist, for example an etch stop resist such as is used in the production of printed circuit boards (PCBs). Said etch stop resist can be crosslinked or cured thermally or by means of UV radiation. The protective layer can be soluble for example in a solvent in which the dielectric is insoluble. By way of example, the protective layer can be alkali soluble or base soluble. By way of example, the protective layer can be soluble in an alkaline

solution, for example a weakly alkaline aqueous solutions of salts (e.g. NaOH, KOH, NH_4OH, or quaternary ammonium salts such as $N(CH_3)_4OH$).

The structured application of the protective layer can be carried out either after the application of the second electrically conductive layer on the first electrically conductive layer and before the structured application of the dielectric on the second electrically conductive layer or after the structured application of the dielectric on the second electrically conductive layer and before the application of the optically functional layer on the second electrically conductive layer. In this case, the structured application of the protective layer can be carried out in such a way that the second electrically conductive layer is covered with the material of the protective layer in the contact regions and is not covered with the material of the protective layer in the component regions. The protective material can be arranged – at least in sections – above or on the dielectric.

By way of example, both the dielectric and the protective layer can be resistant to the chemicals used for etching the second electrically conductive material. The dielectric and the protective layer, in those regions of the second electrically conductive layer on which they are applied, can serve as an etch stop for the second electrically conductive layer or the second electrically conductive material in the corresponding regions. As a result of the etching of the second electrically conductive material, the structures of the second electrically conductive layer which lie below the dielectric and/or below the protective layer and those of the first electrically conductive layer are maintained. The etching process for removing the second electrical layer in the

component region can be, for example, the sole etching process which is carried out for producing the optoelectronic assembly.

In various embodiments, the optically functional layer is formed after the heating of the dielectric.

In various embodiments, a first electrode of an optoelectronic component is formed by the first electrically conductive layer between the optically functional layer and the substrate and a second electrode of the optoelectronic component is formed by the electrode layer on a side of the optically functional layer facing away from the first electrode. The optoelectronic component comprises the organically functional layer between the first and second electrodes of the first optoelectronic component. By way of example, the first electrode forms an anode of the optoelectronic component and the second electrode forms a cathode of the optoelectronic component. As an alternative thereto, the first electrode can form a cathode of the optoelectronic component and the second electrode can form an anode of the optoelectronic component.

In various embodiments, the passive electronic component and the optoelectronic component are connected in series via the second contact region.

In various embodiments, the protective layer is applied by means of a printing method. This can contribute to the protective layer being applied in a structured fashion to the second electrically conductive layer and the substrate. The printing method can comprise for example inkjet printing or screen printing, and/or blade coating.

The dielectric can be acid soluble or base soluble, for example. This can contribute to the dielectric being removed simply by means of an acid or a base. By way of example, the material of the protective layer is base soluble and the dielectric is acid soluble. As an alternative thereto, the material of the protective layer is acid soluble and the dielectric is base soluble. This has the effect that the dielectric remains intact during the removal of the protective layer.

In various embodiments, a passive electronic component is provided. The passive electronic component comprises for example a first electrically conductive layer on a substrate and a second electrically conductive layer on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly on the substrate in the first trench such that said dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion on the dielectric above the first contact region and on the second contact region. By way of example, the dielectric can be applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly in the first trench such that said dielectric encapsulates edges and/or side surfaces of the first and second electrically conductive layers in the first trench.

Exemplary embodiments of the invention are illustrated in the figures and are explained in greater detail below.

In the figures:

Figure 1 shows a first state of one exemplary embodiment of a passive electronic component during a production method for producing the passive electronic component;

Figure 2 shows a second state of the passive electronic component during the production method for producing the passive electronic component;

Figure 3 shows a third state of the passive electronic component during the production method for producing the passive electronic component;

Figure 4 shows a fourth state of the passive electronic component during the production method for producing the passive electronic component;

Figure 5 shows a fifth state of the passive electronic component during the production method for producing the passive electronic component;

Figure 6 shows a sixth state of the passive electronic component during the production method for producing the passive electronic component;

Figure 7 shows one exemplary embodiment of the passive electronic component;

Figure 8 shows a plan view of the passive electronic component in accordance with figure 7;

Figure 9 shows a plan view of one exemplary embodiment of a passive electronic component;

Figure 10 shows a plan view of one exemplary embodiment of a passive electronic component;

Figure 11 shows a plan view of one exemplary embodiment of a passive electronic component;

Figure 12 shows a first state of one exemplary embodiment of an optoelectronic assembly during a production method for producing the optoelectronic assembly;

Figure 13 shows a second state of the optoelectronic assembly in accordance with figure 12 during the production method for producing the optoelectronic assembly;

Figure 14 shows a third state of the optoelectronic assembly in accordance with figure 13 during the production method for producing the optoelectronic assembly;

Figure 15 shows a fourth state of the optoelectronic assembly in accordance with figure 14 during the production method for producing the optoelectronic assembly;

Figure 16 shows a fifth state of the optoelectronic assembly in accordance with figure 15 during the production method for producing the optoelectronic assembly;

Figure 17 shows one exemplary embodiment of a layer structure of an optoelectronic component.

In the following detailed description, reference is made to the accompanying drawings, which form part of this description and show for illustration purposes

specific exemplary embodiments in which the invention can be implemented. In this regard, direction terminology such as, for instance, "at the top", "at the bottom", "at the front", "at the back", "front", "rear", etc. is used with respect to the orientation of the figure(s) described. Since component parts of exemplary embodiments can be positioned in a number of different orientations, the direction terminology serves for illustration and is not restrictive in any way whatsoever. It goes without saying that other exemplary embodiments can be used and structural or logical changes can be made, without departing from the scope of protection of the present invention. It goes without saying that the features of the various exemplary embodiments described herein can be combined with one another, unless specifically indicated otherwise. Therefore, the following detailed description should not be interpreted in a restrictive sense, and the scope of protection of the present invention is defined by the appended claims.

In the context of this description, the terms "connected" and "coupled" are used to describe both a direct and an indirect connection and a direct or indirect coupling. In the figures, identical or similar elements are provided with identical reference signs, insofar as this is expedient.

A passive electronic component can comprise for example one, two or more capacitors and/or one, two or more electrical resistors. By way of example, the passive electronic component can be a combination of one, two or a plurality of capacitors with one, two or a plurality of electrical resistors. By way of example, one, two or more capacitors can be connected in series or in parallel with one, two or more electrical resistors.

An optoelectronic assembly can comprise for example a passive electronic component and one, two or more optoelectronic components. An optoelectronic component can comprise for example a component which absorbs electromagnetic radiation and/or a component which emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various exemplary embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or as an organic transistor which emits electromagnetic radiation. The electromagnetic radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits electromagnetic radiation can be embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various exemplary embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

One exemplary embodiment of a method for producing a passive electronic component is explained with reference to figures 1 to 7. In this case, figures 1 to 7 illustrate exemplary embodiments of component parts of the passive electronic component in different states of the passive electronic component during the production method for producing the passive electronic component.

Figure 1 shows one exemplary embodiment of a substrate 10 of the passive electronic component. The substrate 10 can comprise or be formed from, for example, glass, for example window glass, quartz, a semiconductor material and/or some other suitable material, for example boron silicate, aluminum silicate and/or a standard material from the display industry. Furthermore, the substrate 10 can comprise or be formed from a plastic film or a laminate comprising one or comprising a plurality of plastic films. The plastic can comprise or be formed from one or more polyolefins (for example high or low density polyethylene (PE) or polypropylene (PP)). Furthermore, the plastic can comprise or be formed from polyvinyl chloride (PVC), polystyrene (PS), polyester and/or polycarbonate (PC), polyethylene terephthalate (PET), polyethersulfone (PES) and/or polyethylene naphthalate (PEN).
The substrate 10 can comprise or be formed from a metal or a metal compound, for example copper, silver, gold, platinum or the like. The metal or a metal compound can also be embodied as a metal film or a metal-coated film. The substrate 10 can comprise one or more of the materials mentioned above.

The substrate 10 can be embodied as translucent or even transparent.

In various exemplary embodiments, the term "translucent" or "translucent layer" can be understood to mean that a layer is transmissive to electromagnetic radiation, for example to the radiation emitted by a component which emits electromagnetic radiation, for example in one or more wavelength ranges, for example to light in a wavelength range of visible light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm). By way of example, in various exemplary embodiments, the term "translucent layer" should be understood to mean that substantially

the entire quantity of radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer), wherein part of the light can be scattered in this case.

In various exemplary embodiments, the term "transparent" or "transparent layer" can be understood to mean that a layer is transmissive to light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm), wherein electromagnetic radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer) substantially without scattering or wavelength conversion. Thus, in various exemplary embodiments, "transparent" should be regarded as a special case of "translucent". For the case where, for example, a monochromatic or emission spectrum-limited optoelectronic component is intended to be provided, it may suffice for the optically translucent layer structure to be translucent at least in a partial range of the wavelength range of the desired monochromatic electromagnetic radiation or for the limited emission spectrum.

Figure 2 shows the substrate 10 in accordance with figure 1 and one exemplary embodiment of a first electrically conductive layer 12 formed on the substrate 12. By way of example, a barrier layer, which is not shown in figure 2 and is explained below with reference to figure 20, can be formed between the substrate 10 and the first electrically conductive layer 12.

The first electrically conductive layer 12 can be formed from a first electrically conductive material, such as, for example, from a metal or a transparent conductive oxide (TCO) or a layer stack comprising a plurality of layers of the same metal or different

metals and/or the same TCO or different TCOs. Transparent conductive oxides can be for example transparent conductive substances, for example metal oxides, such as, for example, zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide, or indium tin oxide (ITO), for example ZnO, IN/ZnO, SnZnO or AlZnO. Alongside binary metal-oxygen compounds, such as, for example, ZnO, SnO_2, or In_2O_3, ternary metal-oxygen compounds, such as, for example, AlZnO, Zn_2SnO_4, $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$, or mixtures of different transparent conductive oxides can also belong to the group of TCOs and can be used in various exemplary embodiments. Furthermore, the TCOs do not necessarily correspond to a stoichiometric composition and can furthermore be p-doped or n-doped. In various exemplary embodiments, the first electrically conductive layer 12 can comprise a metal; for example Ag, Pt, Au, Mg, Al, Ba, In, Ag, Au, Mg, Ca, Sm or Li, and compounds, combinations or alloys of these materials. In various exemplary embodiments, the first electrically conductive can be formed by a layer stack of a combination of a layer of a metal on a layer of a TCO, or vice versa. One example is a silver layer applied on an indium tin oxide layer (ITO) (Ag on ITO) or ITO-Ag-ITO multilayers. The first electrically conductive material of the first electrically conductive layer 12 can be chosen for example such that it can withstand an etching process (explained below) for removing a second electrically conductive material (explained below).

In various exemplary embodiments, the first electrically conductive layer 12 can comprise one or a plurality of the following substances as an alternative or in addition to the abovementioned substances: networks composed of metallic nanowires and nanoparticles, for example composed of Ag; networks composed of carbon nanotubes; graphene particles and

graphene layers; networks composed of semiconducting nanowires. Furthermore, the first electrically conductive layer can comprise electrically conductive polymers or transition metal oxides or transparent electrically conductive oxides.

In various exemplary embodiments, the first electrically conductive layer 12 and/or the substrate 10 can be formed as translucent or transparent. In the case where the first electrically conductive layer comprises or is formed from a metal, the first electrically conductive layer 12 can have for example a layer thickness of less than or equal to approximately 25 nm, for example a layer thickness of less than or equal to approximately 20 nm, for example a layer thickness of less than or equal to approximately 18 nm. Furthermore, the electrically conductive layer 12 can have for example a layer thickness of greater than or equal to approximately 10 nm, for example a layer thickness of greater than or equal to approximately 15 nm. In various exemplary embodiments, the first electrically conductive layer 12 can have a layer thickness in a range of approximately 10 nm to approximately 25 nm, for example a layer thickness in a range of approximately 10 nm to approximately 18 nm, for example a layer thickness in a range of approximately 15 nm to approximately 18 nm.

Furthermore, for the case where the first electrically conductive layer 12 comprises or is formed from a transparent conductive oxide (TCO), the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 50 nm to approximately 500 nm, for example a layer thickness in a range of approximately 75 nm to approximately 250 nm, for example a layer thickness in a range of approximately 100 nm to approximately 150 nm.

Furthermore, for the case where the first electrically conductive layer 12 are formed from, for example, a network composed of metallic nanowires, for example composed of Ag, which can be combined with conductive polymers, a network composed of carbon nanotubes which can be combined with conductive polymers, or from graphene layers and composites, the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 1 nm to approximately 500 nm, for example a layer thickness in a range of approximately 10 nm to approximately 400 nm, for example a layer thickness in a range of approximately 40 nm to approximately 250 nm.

The first electrically conductive layer 12 can be designed for forming anodes, that is to say hole-injecting electrodes, or cathodes, that is to say electron-injecting electrodes. The first electrically conductive layer 12 can be applied to the substrate 10 for example by means of sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The first electrically conductive layer 12 can be applied to the substrate 10 for example in a planar fashion, that is to say without structure.

Figure 3 shows the substrate 10, the first electrically conductive layer 12 and one exemplary embodiment of a second electrically conductive layer 14, which is formed on the first electrically conductive layer 12. The second electrically conductive layer 14 can comprise for example chromium, aluminum, molybdenum, copper or silver. By way of example, the second electrically conductive layer 14 can comprise partial layers which comprise alternately different metals. By way of example, the second electrically conductive layer 12 can be formed from a stack Cr-Al-Cr, Mo-Al-Mo, Cr-Cu-Cr. By way of example, the second electrically conductive layer 14 can have a layer thickness of for

example between 600 and 900 nm, for example between 700 and 800 nm. The partial layers can have, if appropriate, thicknesses of for example between 50 and 500 nm, for example between 100 and 400 nm. The second electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example by means of sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The second electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example in a planar fashion, that is to say without structure.

Figure 4 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one exemplary embodiment of a first trench 24 is formed in the two electrically conductive layers 12, 14. The first trench 24 can be formed by means of laser ablation, for example. The material of the substrate 10 is exposed in the first trench 24. In other words, a depth of the first trench 24 corresponds to a common thickness of the two electrically conductive layers 12, 14. By way of example, a laser operated continuously or in a pulsed fashion, for example a femto-, nano- or pico-laser, can be used for the laser ablation. The laser can emit for example electromagnetic radiation in the IR range or in the UV range, for example at 200 to 300 nm, and/or with a power of 0.5 W to 1 W.

The first trench 24 separates a first contact region 16 from a second contact region 18. The first trench 24 can be part of a trench structure, which partly or completely delimit for example the first and/or second contact region 16, 18 in the planes of the two electrically conductive layers 12, 14. The first contact region 16 can serve for example for making electrical contact with the passive electronic component.

Figure 5 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one exemplary embodiment of a dielectric 28 is applied in a structured fashion to the second electrically conductive layer 14 in a manner adjoining the trench 24. The dielectric 28 can be an electrically insulating substance, for example, which can subsequently prevent a direct current flow between the first or second electrically conductive layer 12, 14 in the first contact region 16 and the first or second electrically conductive layer 12, 14 in the second contact region 18. The dielectric 28 can comprise or be formed from, for example, a covering or a coating agent, for example a polymer and/or a resist. The resist can comprise for example a coating substance that can be applied in liquid or in pulverulent form. The fact that the dielectric 28 is applied in a structure fashion means that the desired structure is already formed during the application of the dielectric. Consequently, the area to be coated is coated only in partial regions dependent on the desired structure. The dielectric 28 can be applied in a structured fashion for example by means of a printing method, such as, for example, by means of screen printing, inkjet printing or flexographic printing, or blade coating.

The dielectric 28 can be chosen for example such that it can be softened by a subsequent treatment and/or can be brought to a flowable state. In addition to the electrical insulation, the dielectric 28 can serve as an etch stop in an etching process (explained in greater detail below) for removing the second electrically conductive layer 14 from partial regions. The dielectric 28 can be for example acid soluble and not base soluble. By way of example, the dielectric 28 can be soluble in chloroform and/or an organochlorine compound or a benzine-like compound, for example in

hexyne or heptane. As an alternative thereto, the dielectric 28 can be base soluble and not acid soluble.

Figure 6 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the structure of the dielectric is rounded, such that the dielectric 28 covers and thus encapsulates the free side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The structure of the dielectric can be rounded for example by the dielectric 28 being heated to such an extent until it is liquid or at least of low viscosity and flows over the exposed side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The dielectric 28 can be heated for example by the entire arrangement comprising the dielectric 28 on the electrically conductive layers 12, 14 and the substrate 10 being heated, for example in a furnace, for example a reflow furnace.

Figure 7 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an electrode layer 38 is applied in a structured fashion on the dielectric 28 and a part of the second contact region 18. The first contact region 16 between the substrate 10 and the electrode layer 38 serves as a first electrode, for example as an anode, of the passive electronic component. The electrode layer 38 on a side of the dielectric 28 facing away from the substrate 10 serves as a second electrode, for example as a cathode, of the passive electronic component. Electrical contact can be made with the passive electronic component via the first contact region 18, on the one hand, and electrical contact can be made with the passive electronic component via the second contact region 18, on the other hand. The passive electronic component can form a capacitor, for example.

In figure 7, the capacitor symbol on the substrate 10 symbolizes the function of the passive electronic component as a capacitor.

Figure 8 shows a plan view of the passive electronic component in accordance with figure 7. Figure 8 reveals that the first and second contact regions 16, 18, the dielectric 28 and/or the electrode layer 38 are/is embodied in a rectangular fashion, for example. As an alternative thereto, the first and second contact regions 16, 18 and/or the electrode layer 38 can be embodied in a square or circular fashion, for example. The trench structure (not illustrated in figure 8), which also comprises the trench 24, can be embodied correspondingly.

Figure 9 shows a plan view of one exemplary embodiment of a passive electronic component which comprises for example the capacitor explained above. The passive electronic component comprises for example a second trench 40 and a third trench 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate a resistance region 44, for example, which has a taper. The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into a third contact region 46, on the other hand. The resistance region 44 forms an electrical resistor that is connected in series with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

Figure 10 shows a plan view of one exemplary embodiment of a passive electronic component which comprises for example the capacitor explained above. The passive electronic component comprises for example the second trench 40 and the third trench 42, in which the

substrate 10 is exposed. The second and third trenches 40, 42 can demarcate the resistance region 44, for example, which has the taper. The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the other hand. The resistance region 44 forms an electrical resistor that is connected in parallel with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

Figure 11 shows a plan view of an exemplary embodiment of a passive electronic component which comprises for example two of the capacitors explained above and two of the resistors explained above. The passive electronic component comprises for example two of the second trenches 40 and of the third trenches 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate in pairs one of the resistance regions 44, for example, which have the taper. One of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the third contact region 46, on the other hand, and can be connected in series with the corresponding capacitor. The other of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the other hand, and can be connected in parallel with the corresponding resistance region 44. The pairs of capacitors and resistors are connected in parallel with one another. As an alternative thereto, pairs of capacitors and resistors can be connected in series one after another. Furthermore, further pairs or other combinations of resistors and capacitors can be arranged.

One exemplary embodiment of a method for producing an optoelectronic assembly is explained with reference to figures 12 to 19. In this case, figures 12 to 19 illustrate exemplary embodiments of component parts of the optoelectronic assembly in different states of the optoelectronic assembly during the production method for producing the optoelectronic assembly. The method steps can in principle be, for example, the same as in the method explained above. Therefore, exclusively the formation of the component parts of the optoelectronic assembly that are new in comparison with the method explained above is discussed hereinafter.

Figure 12 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the dielectric 28 is applied in a structured fashion to the second electrically conductive layer 14 such that said dielectric separates a component region 50 from the second contact region 28 and extends at least partly around the component region 50.

Figure 13 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein one exemplary embodiment of a protective layer 52 is applied in a structured fashion to the first and second contact regions 16, 18. Adjoining the first and second contact regions 16, 18, the protective layer 52 partly overlaps the dielectric 28. The protective layer 52 serves as an etch stop for protecting the second electrically conductive layer in the contact regions 16, 18 during a subsequent etching process for removing the second electrically conductive layer 14 in the component region 50.

The fact that the protective layer 52 is applied in a structured fashion means that the desired structure is already formed during the process of applying the

protective layer 52. The area to be coated is thus coated only in partial regions dependent on the desired structure. The protective layer 52 can be applied in a structured fashion for example by means of a printing method, such as, for example, by means of screen printing, inkjet printing or flexographic printing, or blade coating. The material of the protective layer 52 can be, for example, base soluble and not acid soluble, for example if the dielectric 28 is acid soluble. By way of example, the material of the protective layer 52 can be soluble in sodium hydroxide, calcium hydroxide or tetramethylammonium hydroxide. As an alternative thereto, the material of the protective layer 52 can be acid soluble and/ not base soluble, for example if the dielectric 28 is base soluble. The material of the protective layer 52 can comprise or be formed from a resist, for example.

Figure 14 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28 and the protective layer 52, wherein the second electrically conductive layer 14 is removed in the component region 50. The second electrically conductive layer 14 can be removed by means of an etching process, for example. By way of example, an etching bath, such as for example a 3% strength trichloroacetic acid in water, can be used for the etching of the second electrically conductive layer 14.

Figure 15 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the protective layer 52 is removed. The protective layer 52 can be removed by means of a suitable base and/or a basic solvent, for example. The contact regions 16, 18 are exposed by the removal of the protective layer 52.

Figure 16 shows the optoelectronic assembly comprising the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an organically functional layer 54 is formed in the component region 50. By way of example, a part of the electrode layer 38 can be applied in a structured fashion on the organically functional layer 54. The electrode layer 38 is applied in a structured fashion for example such that the organically functional layer 52 is covered with a part of the electrode layer 38. The first electrically conductive layer 12 between the substrate 10 and the organically functional layer 54 can serve for example as a first electrode, for example as an anode, of the optoelectronic component. The electrode layer 38 on the organically functional layer 54 can serve for example as a second electrode, for example as a cathode, of the optoelectronic component. The second electrode of the capacitor and the first electrode of the optoelectronic component can be directly physically contact-connected to one another, for example. By way of example, electrical contact can be made with the optoelectronic assembly via the second electrode of the optoelectronic component, on the one hand, and electrical contact can be made with the optoelectronic assembly via the first electrode of the capacitor, on the other hand, the capacitor and the optoelectronic component then being connected in series.

In figure 17, the capacitor symbol and the diode symbol on the substrate 10 symbolize the series connection of the passive electronic component and the optoelectronic component.

The organically functional layer 54 can constitute for example the optically active region of the optoelectronic component, for example of an LED or OLED. The organically functional layer 54 can be formed

for example in one, two or a plurality of process steps. By way of example, the organically functional layer 54 can be vapor deposited in vacuo. In the case of an OLED as optoelectronic component, the organically functional layer 54 can comprise for example one, two or a plurality of semiconducting, light emitting organic layers. One exemplary embodiment of an OLED and the detailed configuration of the layer structure of the OLED are explained more specifically below with reference to figure 17.

Figure 17 shows a schematic cross-sectional view of a layer structure of one exemplary embodiment of an optoelectronic component, in accordance with various exemplary embodiments. The above-explained optoelectronic component of the optoelectronic assembly can be embodied for example in accordance with the layer structure explained below.

The optoelectronic component can be for example a component which emits electromagnetic radiation, for example a light emitting component 100, for example in the form of an organic light emitting diode. The optoelectronic component can comprise a carrier 102. The carrier 102 can represent a partial section of the substrate 10, for example, and can serve as a carrier element for electronic elements or layers, for example light emitting elements.

In various exemplary embodiments, the organic light emitting diode (or the component 100 which emits electromagnetic radiation in accordance with the exemplary embodiments described above or below) can be designed as a so-called top and bottom emitter. A top and/or bottom emitter can also be designated as an optically transparent component, for example a transparent organic light emitting diode.

In various exemplary embodiments, a barrier layer 104 can optionally be arranged on or above the carrier 102. The barrier layer 104 can for example also be regarded as a partial layer of the carrier 102. The barrier layer 104 can comprise or consist of one or more of the following materials: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc oxide, aluminum-doped zinc oxide, and mixtures and alloys thereof. Furthermore, in various exemplary embodiments, the barrier layer 104 can have a layer thickness in a range of approximately 0.1 nm (one atomic layer) to approximately 5000 nm, for example a layer thickness in a range of approximately 10 nm to approximately 200 nm, for example a layer thickness of approximately 40 nm.

An electrically active region 106 of the light emitting component 100 can be arranged on or above the barrier layer 104. The electrically active region 106 can be understood as the region of the light emitting component 100 wherein an electric current flows for the operation of the light emitting component 100. In various exemplary embodiments, the electrically active region 106 can comprise a first electrode 110 of the optoelectronic component, a second electrode 114 of the optoelectronic component and an organic functional layer structure 112 of the optoelectronic component, as will be explained in even greater detail below.

In this regard, in various exemplary embodiments, the first electrode 110 of the optoelectronic component can be applied on or above the barrier layer 104 (or, if the barrier layer 104 is not present, on or above the carrier 102).

Furthermore, the electrically active region 106 of the light emitting component 100 can have an organic functional layer structure 112, which is applied or is formed on or above the first electrode 110 of the optoelectronic component. By way of example, the organic functional layer structure 112 of the optoelectronic component can represent the organically functional layer 54.

The organic functional layer structure 112 can comprise one or a plurality of emitter layers 118, for example comprising fluorescent and/or phosphorescent emitters, and one or a plurality of hole-conducting layers 116 (also designated as hole transport layer(s) 120). In various exemplary embodiments, one or a plurality of electron-conducting layers 116 (also designated as electron transport layer(s) 116) can alternatively or additionally be provided.

Examples of emitter materials which can be used in the light emitting component 100 in accordance with various exemplary embodiments for the emitter layer(s) 118 include organic or organometallic compounds such as derivatives of polyfluorene, polythiophene and polyphenylene (e.g. 2- or 2,5-substituted poly-p-phenylene vinylene) and metal complexes, for example iridium complexes such as blue phosphorescent FIrPic (bis(3,5-difluoro-2-(2-pyridyl)phenyl(2-carboxypyridyl) iridium III), green phosphorescent $Ir(ppy)_3$ (tris(2-phenylpyridine)iridium III), red phosphorescent $Ru(dtb\text{-}bpy)_{3*}2(PF_6)$ (tris[4,4'-di-tert-butyl(2,2')-bipyridine]ruthenium(III) complex) and blue fluorescent DPAVBi (4,4-bis[4-(di-p-tolylamino)styryl]biphenyl), green fluorescent TTPA (9,10-bis[N,N-di(p-tolyl)amino]anthracene) and red fluorescent DCM2 (4-dicyanomethylene)-2-methyl-6-julolidyl-9-enyl-4H-pyran) as non-polymeric emitters. Such non-polymeric emitters can be deposited by means of thermal

evaporation, for example. Furthermore, it is possible to use polymer emitters, which can be deposited, in particular, by means of a wet-chemical method such as spin coating, for example.

The emitter materials can be embedded in a matrix material in a suitable manner.

It should be pointed out that other suitable emitter materials are likewise provided in other exemplary embodiments.

The emitter materials of the emitter layer(s) 118 of the light emitting component 100 can be selected for example such that the light emitting component 100 emits white light. The emitter layer(s) 118 can comprise a plurality of emitter materials that emit in different colors (for example blue and yellow or blue, green and red); alternatively, the emitter layer(s) 118 can also be constructed from a plurality of partial layers, such as a blue fluorescent emitter layer 118 or blue phosphorescent emitter layer 118, a green phosphorescent emitter layer 118 and a red phosphorescent emitter layer 118. By mixing the different colors, the emission of light having a white color impression can result. Alternatively, provision can also be made for arranging a converter material in the beam path of the primary emission generated by said layers, which converter material at least partly absorbs the primary radiation and emits a secondary radiation having a different wavelength, such that a white color impression results from a (not yet white) primary radiation by virtue of the combination of primary radiation and secondary radiation.

The organic functional layer structure 112 can generally comprise one or a plurality of electroluminescent layers. The one or the plurality of

electroluminescent layers can comprise organic polymers, organic oligomers, organic monomers, organic small, non-polymeric molecules ("small molecules") or a combination of these substances. By way of example, the organic functional layer structure 112 can comprise one or a plurality of electroluminescent layers embodied as a hole transport layer 120, so as to enable for example in the case of an OLED an effective hole injection into an electroluminescent layer or an electroluminescent region. Alternatively, in various exemplary embodiments, the organic functional layer structure 112 can comprise one or a plurality of functional layers embodied as an electron transport layer 116, so as to enable for example in an OLED an effective electron injection into an electroluminescent layer or an electroluminescent region. By way of example, tertiary amines, carbazo derivatives, conductive polyaniline or polyethylene dioxythiophene can be used as material for the hole transport layer 120. In various exemplary embodiments, the one or the plurality of electroluminescent layers can be embodied as an electroluminescent layer.

In various exemplary embodiments, the hole transport layer 120 can be applied, for example deposited, on or above the first electrode 110 of the optoelectronic component, and the emitter layer 118 can be applied, for example deposited, on or above the hole transport layer 120. In various exemplary embodiments, the electron transport layer 116 can be applied, for example deposited, on or above the emitter layer 118.

In various exemplary embodiments, the organic functional layer structure 112 (that is to say for example the sum of the thicknesses of hole transport layer(s) 120 and emitter layer(s) 118 and electron transport layer(s) 116) can have a layer thickness of a maximum of approximately 1.5 µm, for example a layer

thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm.

In various exemplary embodiments, the organic functional layer structure 112 can have for example a stack of a plurality of organic light emitting diodes (OLEDs) arranged directly one above another, wherein each OLED can have for example a layer thickness of a maximum of approximately 1.5 µm, for example a layer thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm. In various exemplary embodiments, the organic functional layer structure 112 can have for example a stack of two, three or four OLEDs arranged directly one above another, in which case for example organic functional layer structure 112 can have a layer thickness of a maximum of approximately 3 µm.

The light emitting component 100 can optionally generally comprise further organic functional layers, for example arranged on or above the one or the plurality of emitter layers 118 or on or above the electron transport layer(s) 116, which serve to further improve the functionality and thus the efficiency of the light emitting component 100.

The second electrode 114 of the optoelectronic component can be applied on or above the organic functional layer structure 112 or, if appropriate, on or above the one or the plurality of further organic functional layer structures. In various exemplary embodiments, the second electrode 114 of the optoelectronic component can comprise or be formed from the same substances as the first electrode 110, metals being particularly suitable in various exemplary embodiments. In various exemplary embodiments, the first electrode 110 of the optoelectronic component and/or the second electrode 114 of the optoelectronic component are formed as translucent or transparent. Consequently, the light emitting component 100 illustrated in figure 1 can be embodied as a top and/or bottom emitter (to put it another way, as a transparent light emitting component 100). The second electrode 114 of the optoelectronic component can be formed as an anode, that is to say as a hole-injecting electrode, or as a cathode, that is to say as an electron-injecting electrode.

An encapsulation 108, for example in the form of a barrier thin-film layer/thin-film encapsulation 108, can optionally also be formed on or above the second electrode 114 of the optoelectronic component and thus on or above the electrically active region 106. In the context of this application, a "barrier thin-film layer" 108 or an "insulator region thin film" 108 can be understood to mean, for example, a layer or a layer structure which is suitable for forming an insulator region against chemical impurities or atmospheric substances, in particular against water (moisture) and oxygen. In other words, the barrier thin-film layer 108 is formed in such a way that OLED-damaging substances such as water, oxygen or solvent cannot penetrate through it or at most very small proportions of said substances can penetrate through it.

In accordance with one configuration, the barrier thin-film layer 108 can be formed as an individual layer (to put it another way, as a single layer). In accordance with an alternative configuration, the barrier thin-film layer 108 can comprise a plurality of partial layers formed one on top of another. In other words, in accordance with one configuration, the barrier thin-film layer 108 can be formed as a layer stack. The barrier thin-film layer 108 or one or a plurality of partial layers of the barrier thin-film layer 108 can be formed for example by means of a suitable deposition method, e.g. by means of an atomic layer deposition (ALD) method in accordance with one configuration, e.g. a plasma enhanced atomic layer deposition (PEALD) method or a plasmaless atomic layer deposition (PLALD) method, or by means of a chemical vapor deposition (CVD) method in accordance with another configuration, e.g. a plasma enhanced chemical vapor deposition (PECVD) method or a plasmaless chemical vapor deposition (PLCVD) method, or alternatively by means of other suitable deposition methods.

By using an atomic layer deposition (ALD) method, it is possible for very thin layers to be deposited. In particular, layers having layer thicknesses in the atomic layer range can be deposited. In accordance with one configuration, in the case of a barrier thin-film layer 108 having a plurality of partial layers, all the partial layers can be formed by means of an atomic layer deposition method. A layer sequence comprising only ALD layers can also be designated as a "nanolaminate". In accordance with an alternative configuration, in the case of a barrier thin-film layer 108 comprising a plurality of partial layers, one or a plurality of partial layers of the barrier thin-film layer 108 can be deposited by means of a different deposition method than an atomic layer deposition

method, for example by means of a vapor deposition method. In accordance with one configuration, the barrier thin-film layer 108 can have a layer thickness of approximately 0.1 nm (one atomic layer) to approximately 1000 nm, for example a layer thickness of approximately 10 nm to approximately 100 nm in accordance with one configuration, for example approximately 40 nm in accordance with one configuration.

In accordance with one configuration in which the barrier thin-film layer 108 comprises a plurality of partial layers, all the partial layers can have the same layer thickness. In accordance with another configuration, the individual partial layers of the barrier thin-film layer 108 can have different layer thicknesses. In other words, at least one of the partial layers can have a different layer thickness than one or more other partial layers. In accordance with one configuration, the barrier thin-film layer 108 or the individual partial layers of the barrier thin-film layer 108 can be formed as a translucent or transparent layer. In other words, the barrier thin-film layer 108 (or the individual partial layers of the barrier thin-film layer 108) can consist of a translucent or transparent substance (or a substance mixture that is translucent or transparent).

In accordance with one configuration, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 can comprise or be formed from one of the following substances: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc oxide, aluminum-doped zinc oxide, and mixtures and

alloys thereof. In various exemplary embodiments, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 can comprise one or a plurality of high refractive index substances, to put it another way one or a plurality of substances having a high refractive index, for example having a refractive index of at least 2.

In one configuration, the cover 126, for example composed of glass, can be applied for example by means of frit bonding (glass frit bonding/glass soldering/seal glass bonding) by means of a conventional glass solder in the geometrical edge regions of the organic optoelectronic component 100 with the barrier thin-film layer 108. The cover 126 can extend for example over all optoelectronic components of the optoelectronic assembly.

In various exemplary embodiments, on or above the barrier thin-film layer 108, it is possible to provide an adhesive and/or a protective lacquer 124, by means of which, for example, a cover 126 (for example a glass cover 126) is fixed, for example adhesively bonded, on the barrier thin-film layer 108. In various exemplary embodiments, the optically translucent layer composed of adhesive and/or protective lacquer 124 can have a layer thickness of greater than 1 µm, for example a layer thickness of several µm. In various exemplary embodiments, the adhesive can comprise or be a lamination adhesive.

In various exemplary embodiments, light-scattering particles can also be embedded into the layer of the adhesive (also designated as adhesive layer), which particles can lead to a further improvement in the color angle distortion and the coupling-out efficiency.

In various exemplary embodiments, the light-scattering particles provided can be dielectric scattering particles, for example, such as metal oxides, for example, such as e.g. silicon oxide (SiO_2), zinc oxide (ZnO), zirconium oxide (ZrO_2), indium tin oxide (ITO) or indium zinc oxide (IZO), gallium oxide (Ga_2O_3), aluminum oxide, or titanium oxide. Other particles may also be suitable provided that they have a refractive index that is different than the effective refractive index of the matrix of the translucent layer structure, for example air bubbles, acrylate, or hollow glass beads. Furthermore, by way of example, metallic nanoparticles, metals such as gold, silver, iron nanoparticles, or the like can be provided as light-scattering particles.

In various exemplary embodiments, between the second electrode 114 of the optoelectronic component and the layer composed of adhesive and/or protective lacquer 124, an electrically insulating layer (not shown) can also be applied, for example SiN, for example having a layer thickness in a range of approximately 300 nm to approximately 1.5 µm, for example having a layer thickness in a range of approximately 500 nm to approximately 1 µm, in order to protect electrically unstable materials, during a wet-chemical process for example.

In various exemplary embodiments, the adhesive can be designed in such a way that it itself has a refractive index which is less than the refractive index of the cover 126. Such an adhesive can be for example a low refractive index adhesive such as, for example, an acrylate which has a refractive index of approximately 1.3. Furthermore, a plurality of different adhesives forming an adhesive layer sequence can be provided. Furthermore, it should be pointed out that, in various exemplary embodiments, an adhesive 124 can also be completely dispensed with, for example in embodiments

in which the cover 126, for example composed of glass, are applied to the barrier thin-film layer 108 by means of plasma spraying, for example. In various exemplary embodiments, the cover 126 and/or the adhesive 124 can have a refractive index (for example at a wavelength of 633 nm) of 1.55.

Furthermore, in various exemplary embodiments, one or a plurality of antireflective layers (for example combined with the encapsulation 108, for example the barrier thin-film layer 108) can additionally be provided in the light emitting component 100.

The invention is not restricted to the exemplary embodiments indicated. By way of example, it is possible to produce more than one, for example two, three or more passive electronic components and/or optoelectronic components, for example connected in series or in parallel, in particular without carrying out a photolithographic process and/or with only one etching process. Furthermore, it is possible to combine one, two or more passive electronic components with the optoelectronic component or the optoelectronic components, for example electrically in series one after the other and/or in parallel with one another.

Patent claims

1. A method for producing a passive electronic component, wherein
- a first electrically conductive layer (12) is formed on a substrate (10),
- a second electrically conductive layer (14) is formed on the first electrically conductive layer (12),
- a first trench (24) is formed in the first and second electrically conductive layers (12, 14) such that the substrate (10) is exposed in the first trench (24), wherein the first trench (24) separates a first contact region (16) from a second contact region (18),
- a dielectric (28) is applied in a structured fashion to the second electrically conductive layer (14) in the first contact region (16) and at least partly to the substrate (10) in the first trench (24) such that the dielectric (28) electrically insulates the first contact region (16) from the second contact region (18),
- an electrically conductive electrode layer (38) is applied in a structured fashion to the dielectric (28) above the first contact region (16) and to the second contact region (18).

2. The method as claimed in claim 1, wherein a first electrode (20) of a capacitor is formed by the first contact region (16) between the dielectric (28) and the substrate (10) and a second electrode of a capacitor is formed by the electrode layer (38) on a side of the dielectric (28) facing away from the first contact region (16).

3. The method as claimed in either of the preceding claims, wherein, before the dielectric (28) is applied, a second trench (40) and at least one third trench (42) are formed, which delimit a resistance region (44), which comprises a part of the first and second

electrically conductive layers (12, 14) and which has a taper in a direction parallel to the electrically conductive layers (12, 14) and which leads into the first contact region (16) on a first side of the taper.

4. The method as claimed in claim 3, wherein the resistance region (44) is formed such that it leads into the second contact region (18) on a second side of the taper and thus forms a resistor that is electrically connected in parallel with the capacitor.

5. The method as claimed in claim 3, wherein the resistance region (44) is formed such that it forms a third contact region (46) on a second side of the taper and thus forms a resistor that is electrically connected in series with the capacitor.

6. The method as claimed in any of the preceding claims, wherein two, three or more capacitors and/or resistors as claimed in the preceding claims are formed electrically in parallel with one another and/or electrically in series one after another.

7. The method as claimed in any of the preceding claims, wherein at least one of the trenches (24, 40, 42) is formed by means of laser ablation.

8. The method as claimed in any of the preceding claims, wherein the dielectric (28) is applied by means of a printing method.

9. The method as claimed in any of the preceding claims, wherein the dielectric (28) firstly is applied in a structured fashion to the second electrically conductive layer (14) in such a way that it adjoins the first trench (24), and wherein then the dielectric (28) is heated in such a way that it deforms and encapsulates edges and/or side surfaces of the first

and second electrically conductive layers (12, 14) in the first trench (24).

10. A method for producing an optoelectronic assembly, wherein
- a passive electronic component as claimed in any of the preceding claims is formed,
- the dielectric (28) is applied in a structured fashion to the second layer (14) such that the dielectric (28) demarcates a component region (50) for forming an optoelectronic component relative to the second contact region (18),
- an optically functional layer (54) is formed in the component region (50),
- the electrode layer (38) is applied in a structured fashion such that a part of the electrode layer (38) covers the optically functional layer (54).

11. The method as claimed in claim 10, wherein before the optically functional layer is applied, the second electrically conductive layer (14) is removed in the component region (50) and the optically functional layer (54) is applied to the first electrically conductive layer (12) in the component region (50).

12. The method as claimed in claim 11, wherein
- after the structured application of the dielectric (28) and before the removal of the second electrically conductive layer (14) in the component region (50), a protective layer (52) is applied in a structured fashion to the first contact region (16) and the second contact region (18) and/or to the resistance region (44) such that the contact regions (16, 18) and/or the resistance region (44) are covered with the material of the protective layer (52),
- the protective layer (52) protects the contact regions (16, 18) and/or the resistance region (44) during the removal of the second electrically

conductive layer (14), such that the second electrically conductive layer (14) is maintained in the contact regions (16, 18) and/or the resistance region (44), and

- the protective layer (40) is removed after the removal of the second electrically conductive layer (14) in the component region (50).

13. The method as claimed in either of claims 11 and 12, wherein a first electrode of an optoelectronic component is formed by the first electrically conductive layer (12) between the optically functional layer (50) and the substrate (10) and a second electrode (38) of the optoelectronic component is formed by the electrode layer (38) on a side of the optically functional layer (50) facing away from the first electrode, wherein the optoelectronic component comprises the organically functional layer (50) between the first and second electrodes of the first optoelectronic component.

14. The method as claimed in claim 13, wherein the passive electronic component and the optoelectronic component are connected in series via the second contact region (18).

15. The method as claimed in any of claims 12 to 14, wherein the protective layer (52) is applied by means of a printing method.

16. A passive electronic component, comprising:

- a first electrically conductive layer (12) on a substrate (10),
- a second electrically conductive layer (14) on the first electrically conductive layer (12),
- a first trench (24) in the first and second electrically conductive layers (12, 14), wherein the

first trench (24) separates a first contact region (16) from a second contact region (18),

- a dielectric (28), which is applied in a structured fashion on the second electrically conductive layer (14) in the first contact region (16) and at least partly on the substrate (10) in the first trench (24) such that said dielectric electrically insulates the first contact region (16) from the second contact region (18),

- an electrically conductive electrode layer (38), which is applied in a structured fashion on the dielectric (28) above the first contact region (16) and at least partly on the second contact region (18).

Abstract
The invention relates, in various embodiments, to a method for producing a passive electronic component. According to the invention, a first electrically conductive layer (12) is designed on a substrate (10). A second electrically conductive layer (14) is designed on the first electrically conductive layer (12). A first trench (24) is designed in the first and second electrically conductive layers (12, 14) such that the substrate (10) is exposed in the first trench (24), wherein the first trench (24) delimits a first contact region (16) from a second contact region (18). A dielectric (28) is structured on the second electrically conductive layer (14) in the first contact region (16) and applied at least partially on the substrate (10) in the first trench (24) such that the dielectric (28) electrically isolates the first contact region (16) from the second contact region (18). An electrically conductive electrode layer (38) is applied in a structured manner over the first contact region (16) to the dielectric (28) and to the second contact region (18).

Attorney Docket No.: P59054US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Andrew Ingle	
Application No.: Filed herewith	Confirmation No.: N/A
International Application No.: PCT/EP2013/067348	Examiner: N/A
International Filing Date: August 20, 2013	
For: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	Art Unit: N/A

PRELIMINARY AMENDMENT

Hon. Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant respectfully requests entry of the following preliminary amendment in the above-referenced application.

Amendments to the Specification begin on page 2 of this paper.

Amendments to the Claims begin on page 3 of this paper.

Remarks begin on page 10 of this paper.

An **Appendix** is attached following the signature page of this paper.

Amendments to the Specification:

Please replace the original specification with the attached Substitute Specification.

Additionally, please cancel the originally-filed Abstract of the Disclosure, and add the accompanying new Abstract of the Disclosure which appears on a separate sheet in the Appendix.

SDC EX. 1002 - 54/486

Amendments to the Claims:

This listing of claims will replace all prior versions, and listing, of claims in the application:

LISTING OF CLAIMS

1. (Currently amended) A method for producing a passive electronic component, ~~wherein~~comprising:

[[-]]forming a first electrically conductive layer ~~(12) is formed~~ on a substrate[[(10)]],

[[-]]forming a second electrically conductive layer ~~(14) is formed~~ on the first electrically conductive layer[[(12)]],

[[-]]forming a first trench ~~(24) is formed~~ in the first and second electrically conductive layers[[(12, 14)]] such that the substrate[[(10)]] is exposed in the first trench[[(24)]], wherein the first trench[[(24)]] separates a first contact region[[(16)]] from a second contact region[[(18)]],

[[-]]applying a dielectric ~~(28) is applied~~ in a structured fashion to the second electrically conductive layer[[(14)]] in the first contact region[[(16)]] and at least partly to the substrate[[(10)]] in the first trench[[(24)]] such that the dielectric[[(28)]] electrically insulates the first contact region[[(16)]] from the second contact region[[(18)]], and

SDC EX. 1002 - 55/486

[[-]]applying an electrically conductive electrode layer ~~(38) is applied~~ in a structured fashion to the dielectric[[(28)]] above the first contact region[[(16)]] and to the second contact region[[(18)]].

2. (Currently amended) The method as claimed in claim 1, wherein a first electrode[[(20)]] of a capacitor is formed by the first contact region [[(16)]] between the dielectric[[(28)]] and the substrate[[(10)]] and a second electrode of a capacitor is formed by the electrode layer[[(38)]] on a side of the dielectric[[(28)]] facing away from the first contact region[[(16)]].

3. (Currently amended) The method as claimed in ~~either of the preceding claims~~ claim 1, wherein, before the dielectric[[(28)]] is applied, a second trench[[(40)]] and at least one third trench[[(42)]] are formed, which delimit a resistance region[[(44)]], which comprises a part of the first and second electrically conductive layers[[(12, 14)]] and which has a taper in a direction parallel to the electrically conductive layers[[(12, 14)]] and which leads into the first contact region[[(16)]] on a first side of the taper.

4. (Currently amended) The method as claimed in claim 3, wherein the resistance region[[(44)]] is formed such that it leads into the second contact region[[(18)]] on a second side of the taper and thus forms a resistor that is electrically connected in parallel with the capacitor.

SDC EX. 1002 - 56/486

5. (Currently amended) The method as claimed in claim 3, wherein the resistance region[[(44)]] is formed such that it forms a third contact region[[(46)]] on a second side of the taper and thus forms a resistor that is electrically connected in series with the capacitor.

6. (Currently amended) The method as claimed in ~~any of the preceding claims~~ claim 2, wherein a plurality of~~two, three or more~~ capacitors and/or resistors ~~as claimed in the preceding claims~~ are formed electrically in parallel with one another and/or electrically in series one after another.

7. (Currently amended) The method as claimed in ~~any of the preceding claims~~ claim 3, wherein at least one of the trenches ~~(24, 40, 42)~~ is formed by laser ablation.

8. (Currently amended) The method as claimed in ~~any of the preceding claims~~ claim 1, wherein the dielectric[[(28)]] is applied by a printing method.

9. (Currently amended) The method as claimed in ~~any of the preceding claims~~ claim 1, wherein the dielectric[[(28)]] firstly is applied in a structured fashion to the second electrically conductive layer[[(14)]] in such a way that it adjoins the first trench[[(24)]], and wherein then the dielectric[[(28)]] is heated in such a way that it deforms and encapsulates edges and/or side surfaces of the first and second electrically conductive layers ~~(12, 14)~~ in the first trench[[(24)]].

SDC EX. 1002 - 57/486

10. (Currently amended) A method for producing an optoelectronic assembly, ~~wherein~~comprising:

[[-]]forming a passive electronic component ~~as claimed in any of the preceding claims is formed~~,

the passive electronic component, comprising:

a first electrically conductive layer on a substrate,

a second electrically conductive layer on the first electrically conductive layer,

a first trench formed in the first and second electrically conductive layers, wherein the first trench separates a first contact region from a second contact region,

a dielectric, which is applied in a structured fashion to the second electrically conductive layer in the first contact region and at least partly on the substrate in the first trench such that the dielectric electrically insulates the first contact region from the second contact region, and

an electrically conductive electrode layer, which is applied in a structured fashion to the dielectric above the first contact region and to the second contact region,

[[-]]applying the dielectric ~~(28) is applied~~ in a structured fashion to the second layer[[(14)]] such that the dielectric[[(28)]] demarcates a component region[[(50)]] for forming an optoelectronic component relative to the second contact region[[(18)]],

SDC EX. 1002 - 58/486

[[-]]forming an optically functional layer ~~(54) is formed~~ in the component region[[(50)]], and

[[-]]applying the electrode layer ~~(38) is applied~~ in a structured fashion such that a part of the electrode layer[[(38)]] covers the optically functional layer[[(54)]).

11. (Currently amended) The method as claimed in claim 10, wherein before the optically functional layer is applied, the second electrically conductive layer[[(14)]] is removed in the component region[[(50)]] and the optically functional layer[[(54)]] is applied to the first electrically conductive layer[[(12)]] in the component region[[(50)]].

12. (Currently amended) The method as claimed in claim 11, wherein

[[-]]after the structured application of the dielectric[[(28)]] and before the removal of the second electrically conductive layer[[(14)]] in the component region[[(50)]], a protective layer[[(52)]] is applied in a structured fashion to the first contact region[[(16)]] and the second contact region[[(18)]] and/or to the resistance region[[(44)]] such that the contact regions[[(16, 18)]] and/or the resistance region[[(44)]] are covered with the material of the protective layer[[(52)]],

[[-]]the protective layer[[(52)]] protects the contact regions[[(16, 18)]] and/or the resistance region[[(44)]] during the removal of the second electrically conductive layer[[(14)]], such that the second electrically conductive

SDC EX. 1002 - 59/486

layer[[(14)]] is maintained in the contact regions[[(16, 18)]] and/or the resistance region[[(44)]], and

[[-]]the protective layer[[(40)]] is removed after the removal of the second electrically conductive layer[[(14)]] in the component region[[(50)]].

13. (Currently amended) The method as claimed in ~~either of claims 11 and 12~~ claim 11, wherein a first electrode of an optoelectronic component is formed by the first electrically conductive layer[[(12)]] between the optically functional layer[[(50)]] and the substrate[[(10)]] and a second electrode[[(38)]] of the optoelectronic component is formed by the electrode layer[[(38)]] on a side of the optically functional layer[[(50)]] facing away from the first electrode, wherein the optoelectronic component comprises the organically functional layer[[(50)]] between the first and second electrodes of the first optoelectronic component.

14. (Currently amended) The method as claimed in claim 13, wherein the passive electronic component and the optoelectronic component are connected in series via the second contact region[[(18)]].

15. (Currently amended) The method as claimed in ~~any of claims 12 to 14~~ claim 12, wherein the protective layer[[(52)]] is applied by a printing method.

16. (Currently amended) A passive electronic component, comprising:

[[-]]a first electrically conductive layer[[(12)]] on a substrate[[(10)]],

SDC EX. 1002 - 60/486

[[-]]a second electrically conductive layer[[(14)]] on the first electrically conductive layer[[(12)]],

[[-]]a first trench[[(24)]] in the first and second electrically conductive layers[[(12, 14)]], wherein the first trench[[(24)]] separates a first contact region[[(16)]] from a second contact region[[(18)]],

[[-]]a dielectric[[(28)]], which is applied in a structured fashion on the second electrically conductive layer[[(14)]] in the first contact region[[(16)]] and at least partly on the substrate[[(10)]] in the first trench[[(24)]] such that said dielectric electrically insulates the first contact region[[(16)]] from the second contact region[[(18)]], and

[[-]]an electrically conductive electrode layer[[(38)]], which is applied in a structured fashion on the dielectric[[(28)]] above the first contact region[[(16)]] and at least partly on the second contact region[[(18)]].

17. (New) The method as claimed in claim 4, wherein two, three or more resistors are formed electrically in parallel with one another and/or electrically in series one after another.

18. (New) The method as claimed in claim 5, wherein two, three or more resistors are formed electrically in parallel with one another and/or electrically in series one after another.

SDC EX. 1002 - 61/486

REMARKS

I. Status of Claims

Claims 1-16 have been amended. Claims 17 and 18 have been added. No new matter has been added.

Claims 3, 6-10, 13 and 15 have been amended to remove multiple dependency. Further Claims 1-16 have been amended to remove reference numerals and to put the claims in a better condition for allowance in terms of style and to correct minor informalities. Claims 17 and 18 have been added. The claims were not amended from their previous versions for reasons of overcoming prior art.

II. Conclusion

The purpose of this Preliminary Amendment is to conform to United States Patent and Trademark Office practice. No new matter has been added by way of this Preliminary Amendment.

Dated: March 25, 2015

Respectfully Submitted,

By /Karl J. Kolbinger/
Karl J. Kolbinger
Reg. No: 41,124

Viering, Jentschura & Partner
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266
Phone: (617) 275-2642
Fax: (617) 849-5451
vjp-us@vjp.de

Attorney for Applicants

SDC EX. 1002 - 62/486

APPENDIX:

The Appendix includes the following item(s):

☒ - a new or amended Abstract of the Disclosure

☒ - marked version of the substitute specification

☒ - clean version of the substitute specification

SDC EX. 1002 - 63/486

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

Abstract

Various embodiments may relate to a method for producing a passive electronic component, including forming a first electrically conductive layer on a substrate, forming a second electrically conductive layer on the first electrically conductive layer, forming a first trench in the first and second electrically conductive layers such that the substrate is exposed in the first trench, wherein the first trench separates a first contact region from a second contact region, applying a dielectric in a structured fashion to the second electrically conductive layer in the first contact region and at least partly to the substrate in the first trench such that the dielectric electrically insulates the first contact region from the second contact region, and applying an electrically conductive electrode layer in a structured fashion to the dielectric above the first contact region and to the second contact region.

SDC EX. 1002 - 64/486

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

Related Applications

The present application is a national stage entry according to 35 U.S.C. §371 of PCT application No.: PCT/EP2013/067348 filed on August 20, 2013, which claims priority from German application No.: 10 2012 109 142.0 filed on September 27, 2012, and is incorporated herein by reference in its entirety.

Technical Field

Various embodiments relate to to a method for producing a passive electronic component, a method for producing an optoelectronic assembly and a passive electronic component.

Background

In optoelectronic components such as organic light emitting diodes, insulators and/or dielectrics serve, inter alia, to separate and/or electrically insulate two electrode regions from one another.

Suitable insulators or dielectrics such as light-sensitive resists, for example, are usually very expensive and complex to apply, for example in a photolithographic process. By way of example, the resists are applied without structure in a planar fashion to metal layers subsequently to be etched and are exposed with the aid of a mask. Depending on the resist used, the exposed or non-exposed regions can then be removed, as a result of which the resist layer is structured. During the subsequent etching process, the resist structures that remained protect the underlying metal layer or the underlying metal layers.

Summary

In various embodiments, a method for producing a passive electronic component and/or a method for producing an optoelectronic assembly are provided which enable the production of a passive electronic component and/or an optoelectronic assembly simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various embodiments, a passive electronic component is provided which can be produced simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various embodiments, a method for producing a passive electronic component is provided. In this case, a first electrically conductive layer is formed on a substrate. A second electrically conductive layer is formed on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers such that the substrate is exposed in the first trench. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion to the second electrically conductive layer in the first contact region and the substrate in the trench such that the dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion to the dielectric above the first contact region and to the second contact region.

The fact that the dielectric and/or the electrode layer and/or subsequently further layers or materials are "applied in a structured fashion" means, in various embodiments, that the desired structure is already formed during the application of the corresponding layer. The area to be coated is thus coated only in partial regions dependent on the desired structure.

This is in contrast to planar application of the corresponding layers and subsequent structuring of the layers, as is the case for example in a photolithographic method. The structured application of the layers makes it possible to be able to dispense with the firstly planar application of the corresponding layers and the subsequent complex structuring of the layers, for example the photolithographic method, and/or an expensive photoresist for the photolithographic method. This contributes to simple and/or cost-effective production of the passive electronic component.

The corresponding materials or layers can be applied in a structured fashion to the substrate for example by printing, for example inkjet printing or screen printing, by blade coating and/or by deposition with the aid of SAMs (self assembling monolayers) and the like.

A passive electronic component can be for example a capacitor and/or a resistor or a combination, for example a series circuit and/or a series connection of one, two or more capacitors and/or one, two or more resistors.

The substrate may include or be a substrate layer, for example. The substrate can be for example a transparent or a non-transparent substrate. By way of example, the substrate may include glass, quartz, sapphire, one or a plurality of plastic films, one or a plurality of coated plastic films, metal, one or a plurality of metal films, one or a plurality of films coated with an electrically insulating layer, a silicon wafer or some other suitable substrate material. Substrate can be understood to mean for example the layer to which all other layers are subsequently applied during the production of an optoelectronic assembly. Such

subsequent layers can be for example layers required for the radiation emission.

The first electrically conductive layer includes a first electrically conductive material and the second electrically conductive layer includes a second electrically conductive material. The first and/or the second electrically conductive material are materials or substances having the capability of conducting electric current. The first electrically conductive material can differ from the second electrically conductive material, for example. By way of example, the first electrically conductive material can be provided for first electrodes, for example for the anodes or cathodes, of the optoelectronic components.

The first electrically conductive layer can be deposited for example directly on the substrate layer. The first electrically conductive layer can be for example a transparent conductive layer. It can be formed, without being restricted thereto, from a transparent conductive oxide (TCO), e.g. indium-doped tin oxide (ITO) or ZnO, In/ZnO, SnZnO, Al-ZnO and the like. The first electrically conductive layer can be applied to the substrate layer for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The second electrically conductive layer can be deposited on the first electrically conductive layer, for example. The second electrically conductive material can include, for example, without being restricted thereto, one or a plurality of metals, for example aluminum, barium, indium, copper, silver, gold, magnesium, calcium and lithium and the like and mixtures or combinations thereof, for example in the form of alloys among one another or with other metals. The second electrically conductive layer can be applied

to the first electrically conductive layer for example by evaporation, sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The electrically conductive layers may in each case also include partial layers, for example, which may also include chromium and molybdenum, for example, as an alternative or in addition to the metals mentioned. Examples of possible layer sequences in an electrically conductive layer or an electrically conductive layer including a plurality of partial layers are Mo-Al-Mo, Cr-Al-Cr, Cr-Cu-Cr and Cr-Cu.

The dielectric denotes for example an electrically insulating substance applied in such a way that it prevents a current flow between two electrically conductive regions, for example between the first electrically conductive layer or the second electrically conductive layer in the first component region and the first electrically conductive layer or second electrically conductive layer in the second component region. The dielectric can be a covering or a coating agent, for example a polymer and/or a resist. The resist may include for example a coating substance that can be applied in liquid or pulverulent form.

The electrode layer may for example include or be formed from aluminum, barium, indium, silver, gold, magnesium, calcium and/or lithium and combinations thereof or a compound thereof, in particular an alloy, and/or transparent conductive oxides, such as, for example metal oxides, such as zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide or indium-doped tin oxide (ITO), aluminum-doped zinc oxide (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$ or mixtures of different transparent conductive oxides. The electrode layer can form cathodes or anodes of the passive electronic component, for example.

The trench can be formed by laser ablation, for example. Furthermore, the trench can extend partly or completely around the first contact region and/or the second contact region. Furthermore, even further trenches can be formed and/or the trenches can be part of a trench structure extending two-dimensionally in a plane.

In various embodiments, a first electrode of a capacitor is formed by the first contact region between the dielectric and the substrate and a second electrode of the capacitor is formed by the electrode layer on a side of the dielectric facing away from the first contact region. When an electrical voltage is applied to the first and second contact regions, the capacitor is charged, in particular the electrodes are charged, and an electric field forms between the electrodes. The electrical energy in the electric field existing between the charged electrodes is stored in the charged capacitor.

In various embodiments, before the dielectric is applied, a second trench and at least one third trench are formed, which delimit a resistance region. The resistance region includes a part of the first and second electrically conductive layers. The resistance region has a taper in a direction parallel to the electrically conductive layers and leads into the first contact region on a first side of the taper. The resistance region can contribute, for example, to forming an electrical resistor that is integrated in the layer structure of the passive electrical component and/or that forms a part thereof. The electrical resistor can be connected in series or in parallel with the capacitor, for example.

In various embodiments, the resistance region is formed such that it leads into the second contact region on a second side of the taper and thus forms a resistor that is electrically connected in parallel with the capacitor.

In various embodiments, the resistance region is formed such that it forms a third contact region on a second side of the taper and thus forms a resistor that is electrically connected in series with the capacitor.

In various embodiments, two, three or more capacitors and/or resistors as claimed in the preceding claims are formed electrically in parallel with one another and/or electrically in series one after another.

In various embodiments, at least one of the trenches is formed by laser ablation. This can contribute to the simple and cost-effective production of the passive electronic component. By way of example, an etching process for etching the trench can be dispensed with.

In various embodiments, the dielectric is applied by a printing method. This can contribute simply to applying the dielectric in a structured fashion to the second electrically conductive layer and the substrate. The printing method may include for example inkjet printing or screen printing, and/or.

In various embodiments, the dielectric firstly is applied in a structured fashion to the second electrically conductive layer in such a way that the dielectric adjoins the first trench, and is then heated in such a way that it deforms and encapsulates edges and/or side surfaces of the first and second electrically conductive layers in the first trench. The dielectric adjoining the trench flows on account of the heating over these exposed edges and/or side surfaces

of the first and second electrically conductive layers and encapsulates them. The fact that the dielectric adjoins the trench can mean, for example, that the dielectric is arranged in a structured fashion near to, directly at or even partly above the first trench such that it flows at least partly into the first trench upon liquefying. As an alternative thereto, the dielectric can be applied in a structured fashion such that even without the heating and/or before the heating it is arranged at least partly in the first trench and/or encapsulates the edges and/or side surfaces of the electrically conductive layers and/or electrically insulates the first contact region from the second contact region.

In various embodiments, a method for producing an optoelectronic assembly is provided, wherein a passive electronic component is formed, for example in accordance with the method explained above. The dielectric is applied in a structured fashion to the second layer such that the dielectric demarcates a component region for forming an optoelectronic component relative to the second contact region. An optically functional layer is formed in the component region. The electrode layer is applied in a structured fashion such that a part of the electrode layer covers the optically functional layer.

An optoelectronic component can be for example a component which absorbs or emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or

as an organic transistor which emits electromagnetic radiation. The radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits electromagnetic radiation can be embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

The optically functional layers can be for example radiation emitting layers, such as fluorescent and/or phosphorescent emitter layers, for example those of components which emit electromagnetic radiation, for example LEDs or OLEDs.

In various embodiments, before the optically functional layer is applied, the second electrically conductive layer is removed in the component region. The optically functional layer is applied to the first electrically conductive layer in the component region. The second electrically conductive layer can be removed in an etching method, for example. In this case, the second electrically conductive material can be etched in an etching bath, for example. The etching may include for example the removal of the second electrically conductive material on the surface of the first electrically conductive layer by the use of suitable etching substances. The etching substances can be for example chemical substances which can alter (usually oxidize) the material to be removed in a chemical reaction and/or can dissolve said material. Etchants are acids or strong oxidants, for example. Mention may be made of, for example, HNO_3, HCl, H_3PO_4, acetic acid, H_2SO_4, cerium ammonium nitrate (CAN) and H_2O_2. The

etching bath can be chosen for example such that the first electrically conductive layer, for example an ITO layer, is not attacked or adversely affected by the etchants used.

In various embodiments, after the structured application of the dielectric and before the removal of the second electrically conductive layer in the component region, a protective layer is applied in a structured fashion to the first contact region and the second contact region and, if appropriate, to the resistance region such that the contact regions and, if appropriate, the resistance region are covered with the material of the protective layer. The protective layer protects the contact regions and, if appropriate, the resistance region during the removal of the second electrically conductive layer, such that the second electrically conductive layer is maintained in the contact regions and, if appropriate, the resistance region. The protective layer is removed after the removal of the second electrically conductive layer in the component region.

The protective layer may include for example a material or a substance which serves to protect the second electrically conductive material of the second electrically conductive layer in the partial regions on which it is applied on the second electrically conductive layer, in the further method sequence for producing the optoelectronic assembly, for example in one or a plurality of further process steps. The protective layer can be for example a covering, a resist or the like. By way of example, the protective layer can be an etch stop resist, for example an etch stop resist such as is used in the production of printed circuit boards (PCBs). Said etch stop resist can be crosslinked or cured thermally or by UV radiation. The protective layer can be soluble for

example in a solvent in which the dielectric is insoluble. By way of example, the protective layer can be alkali soluble or base soluble. By way of example, the protective layer can be soluble in an alkaline solution, for example a weakly alkaline aqueous solutions of salts (e.g. NaOH, KOH, NH_4OH, or quaternary ammonium salts such as $N(CH_3)_4OH$).

The structured application of the protective layer can be carried out either after the application of the second electrically conductive layer on the first electrically conductive layer and before the structured application of the dielectric on the second electrically conductive layer or after the structured application of the dielectric on the second electrically conductive layer and before the application of the optically functional layer on the second electrically conductive layer. In this case, the structured application of the protective layer can be carried out in such a way that the second electrically conductive layer is covered with the material of the protective layer in the contact regions and is not covered with the material of the protective layer in the component regions. The protective material can be arranged - at least in sections - above or on the dielectric.

By way of example, both the dielectric and the protective layer can be resistant to the chemicals used for etching the second electrically conductive material. The dielectric and the protective layer, in those regions of the second electrically conductive layer on which they are applied, can serve as an etch stop for the second electrically conductive layer or the second electrically conductive material in the corresponding regions. As a result of the etching of the second electrically conductive material, the structures of the second electrically conductive layer

which lie below the dielectric and/or below the protective layer and those of the first electrically conductive layer are maintained. The etching process for removing the second electrical layer in the component region can be, for example, the sole etching process which is carried out for producing the optoelectronic assembly.

In various embodiments, the optically functional layer is formed after the heating of the dielectric.

In various embodiments, a first electrode of an optoelectronic component is formed by the first electrically conductive layer between the optically functional layer and the substrate and a second electrode of the optoelectronic component is formed by the electrode layer on a side of the optically functional layer facing away from the first electrode. The optoelectronic component includes the organically functional layer between the first and second electrodes of the first optoelectronic component. By way of example, the first electrode forms an anode of the optoelectronic component and the second electrode forms a cathode of the optoelectronic component. As an alternative thereto, the first electrode can form a cathode of the optoelectronic component and the second electrode can form an anode of the optoelectronic component.

In various embodiments, the passive electronic component and the optoelectronic component are connected in series via the second contact region.

In various embodiments, the protective layer is applied by a printing method. This can contribute to the protective layer being applied in a structured fashion to the second electrically conductive layer and the substrate. The printing method may include for example

inkjet printing or screen printing, and/or blade coating.

The dielectric can be acid soluble or base soluble, for example. This can contribute to the dielectric being removed simply by an acid or a base. By way of example, the material of the protective layer is base soluble and the dielectric is acid soluble. As an alternative thereto, the material of the protective layer is acid soluble and the dielectric is base soluble. This has the effect that the dielectric remains intact during the removal of the protective layer.

In various embodiments, a passive electronic component is provided. The passive electronic component includes for example a first electrically conductive layer on a substrate and a second electrically conductive layer on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly on the substrate in the first trench such that said dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion on the dielectric above the first contact region and on the second contact region. By way of example, the dielectric can be applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly in the first trench such that said dielectric encapsulates edges and/or side surfaces of the first and second electrically conductive layers in the first trench.

Brief Description of the Drawings

In the drawings, like reference characters generally refer to the same parts throughout the different views. The drawings are not necessarily to scale, emphasis instead generally being placed upon illustrating the principles of the disclosed embodiments. In the following description, various embodiments described with reference to the following drawings, in which:

Fig. 1 shows a first state of one embodiment of a passive electronic component during a production method for producing the passive electronic component;

Fig. 2 shows a second state of the passive electronic component during the production method for producing the passive electronic component;

Fig. 3 shows a third state of the passive electronic component during the production method for producing the passive electronic component;

Fig. 4 shows a fourth state of the passive electronic component during the production method for producing the passive electronic component;

Fig. 5 shows a fifth state of the passive electronic component during the production method for producing the passive electronic component;

Fig. 6 shows a sixth state of the passive electronic component during the production method for producing the passive electronic component;

Fig. 7 shows one embodiment of the passive electronic component;

Fig. 8 shows a plan view of the passive electronic component in accordance with Fig. 7;

Fig. 9 shows a plan view of one embodiment of a passive electronic component;

Fig. 10 shows a plan view of one embodiment of a passive electronic component;

Fig. 11 shows a plan view of one embodiment of a passive electronic component;

Fig. 12 shows a first state of one embodiment of an optoelectronic assembly during a production method for producing the optoelectronic assembly;

Fig. 13 shows a second state of the optoelectronic assembly in accordance with Fig. 12 during the production method for producing the optoelectronic assembly;

Fig. 14 shows a third state of the optoelectronic assembly in accordance with Fig. 13 during the production method for producing the optoelectronic assembly;

Fig. 15 shows a fourth state of the optoelectronic assembly in accordance with Fig. 14 during the production method for producing the optoelectronic assembly;

Fig. 16 shows a fifth state of the optoelectronic assembly in accordance with Fig. 15 during the production method for producing the optoelectronic assembly; and

Fig. 17 shows one embodiment of a layer structure of an optoelectronic component.

Detailed Description

In the following detailed description, reference is made to the accompanying drawings, which form part of this description and show for illustration purposes specific embodiments in which the invention can be implemented. In this regard, direction terminology such as, for instance, "at the top", "at the bottom", "at the front", "at the back", "front", "rear", etc. is used with respect to the orientation of the figure(s) described. Since component parts of embodiments can be positioned in a number of different orientations, the direction terminology serves for illustration and is not restrictive in any way whatsoever. It goes without saying that other embodiments can be used and structural or logical changes can be made, without departing from the scope of protection of the present invention. It goes without saying that the features of the various embodiments described herein can be combined with one another, unless specifically indicated otherwise. Therefore, the following detailed description should not be interpreted in a restrictive sense, and the scope of protection of the present invention is defined by the appended claims.

In the context of this description, the terms "connected" and "coupled" are used to describe both a direct and an indirect connection and a direct or indirect coupling. In the figures, identical or similar elements are provided with identical reference signs, insofar as this is expedient.

A passive electronic component may include for example one, two or more capacitors and/or one, two or more electrical resistors. By way of example, the passive electronic component can be a combination of one, two or a plurality of capacitors with one, two or a plurality of electrical resistors. By way of example, one, two or more capacitors can be connected in series

or in parallel with one, two or more electrical resistors.

An optoelectronic assembly may include for example a passive electronic component and one, two or more optoelectronic components. An optoelectronic component may include for example a component which absorbs electromagnetic radiation and/or a component which emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or as an organic transistor which emits electromagnetic radiation. The electromagnetic radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits electromagnetic radiation can be embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

One embodiment of a method for producing a passive electronic component is explained with reference to Figs. 1 to 6. In this case, Figs. 1 to 6 illustrate embodiments of component parts of the passive electronic component in different states of the passive electronic component during the production method for producing the passive electronic component.

Fig. 1 shows one embodiment of a substrate 10 of the passive electronic component. The substrate 10 may include or be formed from, for example, glass, for example window glass, quartz, a semiconductor material and/or some other suitable material, for example boron silicate, aluminum silicate and/or a standard material from the display industry. Furthermore, the substrate 10 may include or be formed from a plastic film or a laminate including one or including a plurality of plastic films. The plastic may include or be formed from one or more polyolefins (for example high or low density polyethylene (PE) or polypropylene (PP)). Furthermore, the plastic may include or be formed from polyvinyl chloride (PVC), polystyrene (PS), polyester and/or polycarbonate (PC), polyethylene terephthalate (PET), polyethersulfone (PES) and/or polyethylene naphthalate (PEN).
The substrate 10 may include or be formed from a metal or a metal compound, for example copper, silver, gold, platinum or the like. The metal or a metal compound can also be embodied as a metal film or a metal-coated film. The substrate 10 may include one or more of the materials mentioned above.

The substrate 10 can be embodied as translucent or even transparent.

In various embodiments, the term "translucent" or "translucent layer" can be understood to mean that a layer is transmissive to electromagnetic radiation, for example to the radiation emitted by a component which emits electromagnetic radiation, for example in one or more wavelength ranges, for example to light in a wavelength range of visible light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm). By way of example, in various embodiments, the term "translucent layer" should be understood to mean that substantially the entire

quantity of radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer), wherein part of the light can be scattered in this case.

In various embodiments, the term "transparent" or "transparent layer" can be understood to mean that a layer is transmissive to light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm), wherein electromagnetic radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer) substantially without scattering or wavelength conversion. Thus, in various embodiments, "transparent" should be regarded as a special case of "translucent". For the case where, for example, a monochromatic or emission spectrum-limited optoelectronic component is intended to be provided, it may suffice for the optically translucent layer structure to be translucent at least in a partial range of the wavelength range of the desired monochromatic electromagnetic radiation or for the limited emission spectrum.

Fig. 2 shows the substrate 10 in accordance with Fig. 1 and one embodiment of a first electrically conductive layer 12 formed on the substrate 10. By way of example, a barrier layer, which is not shown in Fig. 2 and is explained below with reference to Fig. 17, can be formed between the substrate 10 and the first electrically conductive layer 12.

The first electrically conductive layer 12 can be formed from a first electrically conductive material, such as, for example, from a metal or a transparent conductive oxide (TCO) or a layer stack including a plurality of layers of the same metal or different metals and/or the same TCO or different TCOs. Transparent conductive oxides can be for example

transparent conductive substances, for example metal oxides, such as, for example, zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide, or indium tin oxide (ITO), for example ZnO, IN/ZnO, SnZnO or AlZnO. Alongside binary metal-oxygen compounds, such as, for example, ZnO, SnO_2, or In_2O_3, ternary metal-oxygen compounds, such as, for example, AlZnO, Zn_2SnO_4, $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$, or mixtures of different transparent conductive oxides can also belong to the group of TCOs and can be used in various embodiments. Furthermore, the TCOs do not necessarily correspond to a stoichiometric composition and can furthermore be p-doped or n-doped. In various embodiments, the first electrically conductive layer 12 may include a metal; for example Ag, Pt, Au, Mg, Al, Ba, In, Ag, Au, Mg, Ca, Sm or Li, and compounds, combinations or alloys of these materials. In various embodiments, the first electrically conductive can be formed by a layer stack of a combination of a layer of a metal on a layer of a TCO, or vice versa. One example is a silver layer applied on an indium tin oxide layer (ITO) (Ag on ITO) or ITO-Ag-ITO multilayers. The first electrically conductive material of the first electrically conductive layer 12 can be chosen for example such that it can withstand an etching process (explained below) for removing a second electrically conductive material (explained below).

In various embodiments, the first electrically conductive layer 12 may include one or a plurality of the following substances as an alternative or in addition to the abovementioned substances: networks composed of metallic nanowires and nanoparticles, for example composed of Ag; networks composed of carbon nanotubes; graphene particles and graphene layers; networks composed of semiconducting nanowires. Furthermore, the first electrically conductive layer may include electrically conductive polymers or

transition metal oxides or transparent electrically conductive oxides.

In various embodiments, the first electrically conductive layer 12 and/or the substrate 10 can be formed as translucent or transparent. In the case where the first electrically conductive layer includes or is formed from a metal, the first electrically conductive layer 12 can have for example a layer thickness of less than or equal to approximately 25 nm, for example a layer thickness of less than or equal to approximately 20 nm, for example a layer thickness of less than or equal to approximately 18 nm. Furthermore, the electrically conductive layer 12 can have for example a layer thickness of greater than or equal to approximately 10 nm, for example a layer thickness of greater than or equal to approximately 15 nm. In various embodiments, the first electrically conductive layer 12 can have a layer thickness in a range of approximately 10 nm to approximately 25 nm, for example a layer thickness in a range of approximately 10 nm to approximately 18 nm, for example a layer thickness in a range of approximately 15 nm to approximately 18 nm.

Furthermore, for the case where the first electrically conductive layer 12 includes or is formed from a transparent conductive oxide (TCO), the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 50 nm to approximately 500 nm, for example a layer thickness in a range of approximately 75 nm to approximately 250 nm, for example a layer thickness in a range of approximately 100 nm to approximately 150 nm.

Furthermore, for the case where the first electrically conductive layer 12 are formed from, for example, a network composed of metallic nanowires, for example composed of Ag, which can be combined with conductive

polymers, a network composed of carbon nanotubes which can be combined with conductive polymers, or from graphene layers and composites, the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 1 nm to approximately 500 nm, for example a layer thickness in a range of approximately 10 nm to approximately 400 nm, for example a layer thickness in a range of approximately 40 nm to approximately 250 nm.

The first electrically conductive layer 12 can be designed for forming anodes, that is to say hole-injecting electrodes, or cathodes, that is to say electron-injecting electrodes. The first electrically conductive layer 12 can be applied to the substrate 10 for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The first electrically conductive layer 12 can be applied to the substrate 10 for example in a planar fashion, that is to say without structure.

Fig. 3 shows the substrate 10, the first electrically conductive layer 12 and one embodiment of a second electrically conductive layer 14, which is formed on the first electrically conductive layer 12. The second electrically conductive layer 14 may include for example chromium, aluminum, molybdenum, copper or silver. By way of example, the second electrically conductive layer 14 may include partial layers which include alternately different metals. By way of example, the second electrically conductive layer 12 can be formed from a stack Cr-Al-Cr, Mo-Al-Mo, Cr-Cu-Cr. By way of example, the second electrically conductive layer 14 can have a layer thickness of for example between 600 and 900 nm, for example between 700 and 800 nm. The partial layers can have, if appropriate, thicknesses of for example between 50 and 500 nm, for example between 100 and 400 nm. The second

electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The second electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example in a planar fashion, that is to say without structure.

Fig. 4 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one embodiment of a first trench 24 is formed in the two electrically conductive layers 12, 14. The first trench 24 can be formed by laser ablation, for example. The material of the substrate 10 is exposed in the first trench 24. In other words, a depth of the first trench 24 corresponds to a common thickness of the two electrically conductive layers 12, 14. By way of example, a laser operated continuously or in a pulsed fashion, for example a femto-, nano- or pico-laser, can be used for the laser ablation. The laser can emit for example electromagnetic radiation in the IR range or in the UV range, for example at 200 to 300 nm, and/or with a power of 0.5 W to 1 W.

The first trench 24 separates a first contact region 16 from a second contact region 18. The first trench 24 can be part of a trench structure, which partly or completely delimit for example the first and/or second contact region 16, 18 in the planes of the two electrically conductive layers 12, 14. The first contact region 16 can serve for example for making electrical contact with the passive electronic component.

Fig. 5 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one embodiment of a dielectric 28 is applied in a structured fashion to the second electrically

conductive layer 14 in a manner adjoining the trench 24. The dielectric 28 can be an electrically insulating substance, for example, which can subsequently prevent a direct current flow between the first or second electrically conductive layer 12, 14 in the first contact region 16 and the first or second electrically conductive layer 12, 14 in the second contact region 18. The dielectric 28 may include or be formed from, for example, a covering or a coating agent, for example a polymer and/or a resist. The resist may include for example a coating substance that can be applied in liquid or in pulverulent form. The fact that the dielectric 28 is applied in a structure fashion means that the desired structure is already formed during the application of the dielectric. Consequently, the area to be coated is coated only in partial regions dependent on the desired structure. The dielectric 28 can be applied in a structured fashion for example by a printing method, such as, for example, by screen printing, inkjet printing or flexographic printing, or blade coating.

The dielectric 28 can be chosen for example such that it can be softened by a subsequent treatment and/or can be brought to a flowable state. In addition to the electrical insulation, the dielectric 28 can serve as an etch stop in an etching process (explained in greater detail below) for removing the second electrically conductive layer 14 from partial regions. The dielectric 28 can be for example acid soluble and not base soluble. By way of example, the dielectric 28 can be soluble in chloroform and/or an organochlorine compound or a benzine-like compound, for example in hexyne or heptane. As an alternative thereto, the dielectric 28 can be base soluble and not acid soluble.

Fig. 6 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the

dielectric 28, wherein the structure of the dielectric is rounded, such that the dielectric 28 covers and thus encapsulates the free side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The structure of the dielectric can be rounded for example by the dielectric 28 being heated to such an extent until it is liquid or at least of low viscosity and flows over the exposed side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The dielectric 28 can be heated for example by the entire arrangement including the dielectric 28 on the electrically conductive layers 12, 14 and the substrate 10 being heated, for example in a furnace, for example a reflow furnace.

Fig. 7 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an electrode layer 38 is applied in a structured fashion on the dielectric 28 and a part of the second contact region 18. The first contact region 16 between the substrate 10 and the electrode layer 38 serves as a first electrode, for example as an anode, of the passive electronic component. The electrode layer 38 on a side of the dielectric 28 facing away from the substrate 10 serves as a second electrode, for example as a cathode, of the passive electronic component. Electrical contact can be made with the passive electronic component via the first contact region 18, on the one hand, and electrical contact can be made with the passive electronic component via the second contact region 18, on the other hand. The passive electronic component can form a capacitor, for example.

In Fig. 7, the capacitor symbol on the substrate 10 symbolizes the function of the passive electronic component as a capacitor.

Fig. 8 shows a plan view of the passive electronic component in accordance with Fig. 7. Fig. 8 reveals that the first and second contact regions 16, 18, the dielectric 28 and/or the electrode layer 38 are/is embodied in a rectangular fashion, for example. As an alternative thereto, the first and second contact regions 16, 18 and/or the electrode layer 38 can be embodied in a square or circular fashion, for example. The trench structure (not illustrated in Fig. 8), which also includes the trench 24, can be embodied correspondingly.

Fig. 9 shows a plan view of one embodiment of a passive electronic component which includes for example the capacitor explained above. The passive electronic component includes for example a second trench 40 and a third trench 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate a resistance region 44, for example, which has a taper. The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into a third contact region 46, on the other hand. The resistance region 44 forms an electrical resistor that is connected in series with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

Fig. 10 shows a plan view of one embodiment of a passive electronic component which includes for example the capacitor explained above. The passive electronic component includes for example the second trench 40 and the third trench 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate the resistance region 44, for example, which has the taper. The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the

other hand. The resistance region 44 forms an electrical resistor that is connected in parallel with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

Fig. 11 shows a plan view of an embodiment of a passive electronic component which includes for example two of the capacitors explained above and two of the resistors explained above. The passive electronic component includes for example two of the second trenches 40 and of the third trenches 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate in pairs one of the resistance regions 44, for example, which have the taper. One of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the third contact region 46, on the other hand, and can be connected in series with the corresponding capacitor. The other of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the other hand, and can be connected in parallel with the corresponding resistance region 44. The pairs of capacitors and resistors are connected in parallel with one another. As an alternative thereto, pairs of capacitors and resistors can be connected in series one after another. Furthermore, further pairs or other combinations of resistors and capacitors can be arranged.

One embodiment of a method for producing an optoelectronic assembly is explained with reference to Figs. 12 to 16. In this case, Figs. 12 to 16 illustrate embodiments of component parts of the optoelectronic assembly in different states of the optoelectronic assembly during the production method for producing the

optoelectronic assembly. The method steps can in principle be, for example, the same as in the method explained above. Therefore, exclusively the formation of the component parts of the optoelectronic assembly that are new in comparison with the method explained above is discussed hereinafter.

Fig. 12 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the dielectric 28 is applied in a structured fashion to the second electrically conductive layer 14 such that said dielectric separates a component region 50 from the second contact region 28 and extends at least partly around the component region 50.

Fig. 13 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein one embodiment of a protective layer 52 is applied in a structured fashion to the first and second contact regions 16, 18. Adjoining the first and second contact regions 16, 18, the protective layer 52 partly overlaps the dielectric 28. The protective layer 52 serves as an etch stop for protecting the second electrically conductive layer in the contact regions 16, 18 during a subsequent etching process for removing the second electrically conductive layer 14 in the component region 50.

The fact that the protective layer 52 is applied in a structured fashion means that the desired structure is already formed during the process of applying the protective layer 52. The area to be coated is thus coated only in partial regions dependent on the desired structure. The protective layer 52 can be applied in a structured fashion for example by a printing method, such as, for example, by screen printing, inkjet printing or flexographic printing, or blade coating.

The material of the protective layer 52 can be, for example, base soluble and not acid soluble, for example if the dielectric 28 is acid soluble. By way of example, the material of the protective layer 52 can be soluble in sodium hydroxide, calcium hydroxide or tetramethylammonium hydroxide. As an alternative thereto, the material of the protective layer 52 can be acid soluble and/ not base soluble, for example if the dielectric 28 is base soluble. The material of the protective layer 52 may include or be formed from a resist, for example.

Fig. 14 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28 and the protective layer 52, wherein the second electrically conductive layer 14 is removed in the component region 50. The second electrically conductive layer 14 can be removed by an etching process, for example. By way of example, an etching bath, such as for example a 3% strength trichloroacetic acid in water, can be used for the etching of the second electrically conductive layer 14.

Fig. 15 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the protective layer 52 is removed. The protective layer 52 can be removed by a suitable base and/or a basic solvent, for example. The contact regions 16, 18 are exposed by the removal of the protective layer 52.

Fig. 16 shows the optoelectronic assembly including the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an organically functional layer 54 is formed in the component region 50. By way of example, a part of the electrode layer 38 can be applied in a structured fashion on the organically functional layer 54. The

electrode layer 38 is applied in a structured fashion for example such that the organically functional layer 52 is covered with a part of the electrode layer 38. The first electrically conductive layer 12 between the substrate 10 and the organically functional layer 54 can serve for example as a first electrode, for example as an anode, of the optoelectronic component. The electrode layer 38 on the organically functional layer 54 can serve for example as a second electrode, for example as a cathode, of the optoelectronic component. The second electrode of the capacitor and the first electrode of the optoelectronic component can be directly physically contact-connected to one another, for example. By way of example, electrical contact can be made with the optoelectronic assembly via the second electrode of the optoelectronic component, on the one hand, and electrical contact can be made with the optoelectronic assembly via the first electrode of the capacitor, on the other hand, the capacitor and the optoelectronic component then being connected in series.

In Fig. 17, the capacitor symbol and the diode symbol on the substrate 10 symbolize the series connection of the passive electronic component and the optoelectronic component.

The organically functional layer 54 can constitute for example the optically active region of the optoelectronic component, for example of an LED or OLED. The organically functional layer 54 can be formed for example in one, two or a plurality of process steps. By way of example, the organically functional layer 54 can be vapor deposited in vacuo. In the case of an OLED as optoelectronic component, the organically functional layer 54 may include for example one, two or a plurality of semiconducting, light emitting organic layers. One embodiment of an OLED and the detailed

configuration of the layer structure of the OLED are explained more specifically below with reference to Fig. 17.

Fig. 17 shows a schematic cross-sectional view of a layer structure of one embodiment of an optoelectronic component, in accordance with various embodiments. The above-explained optoelectronic component of the optoelectronic assembly can be embodied for example in accordance with the layer structure explained below.

The optoelectronic component can be for example a component which emits electromagnetic radiation, for example a light emitting component 100, for example in the form of an organic light emitting diode. The optoelectronic component may include a carrier 102. The carrier 102 can represent a partial section of the substrate 10, for example, and can serve as a carrier element for electronic elements or layers, for example light emitting elements.

In various embodiments, the organic light emitting diode (or the component 100 which emits electromagnetic radiation in accordance with the embodiments described above or below) can be designed as a so-called top and bottom emitter. A top and/or bottom emitter can also be designated as an optically transparent component, for example a transparent organic light emitting diode.

In various embodiments, a barrier layer 104 can optionally be arranged on or above the carrier 102. The barrier layer 104 can for example also be regarded as a partial layer of the carrier 102. The barrier layer 104 may include or consist of one or more of the following materials: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc

oxide, aluminum-doped zinc oxide, and mixtures and alloys thereof. Furthermore, in various embodiments, the barrier layer 104 can have a layer thickness in a range of approximately 0.1 nm (one atomic layer) to approximately 5000 nm, for example a layer thickness in a range of approximately 10 nm to approximately 200 nm, for example a layer thickness of approximately 40 nm.

An electrically active region 106 of the light emitting component 100 can be arranged on or above the barrier layer 104. The electrically active region 106 can be understood as the region of the light emitting component 100 wherein an electric current flows for the operation of the light emitting component 100. In various embodiments, the electrically active region 106 may include a first electrode 110 of the optoelectronic component, a second electrode 114 of the optoelectronic component and an organic functional layer structure 112 of the optoelectronic component, as will be explained in even greater detail below.

In this regard, in various embodiments, the first electrode 110 of the optoelectronic component can be applied on or above the barrier layer 104 (or, if the barrier layer 104 is not present, on or above the carrier 102).

Furthermore, the electrically active region 106 of the light emitting component 100 can have an organic functional layer structure 112, which is applied or is formed on or above the first electrode 110 of the optoelectronic component. By way of example, the organic functional layer structure 112 of the optoelectronic component can represent the organically functional layer 54.

The organic functional layer structure 112 may include one or a plurality of emitter layers 118, for example

including fluorescent and/or phosphorescent emitters, and one or a plurality of hole-conducting layers 116 (also designated as hole transport layer(s) 120). In various embodiments, one or a plurality of electron-conducting layers 116 (also designated as electron transport layer(s) 116) can alternatively or additionally be provided.

Examples of emitter materials which can be used in the light emitting component 100 in accordance with various embodiments for the emitter layer(s) 118 include organic or organometallic compounds such as derivatives of polyfluorene, polythiophene and polyphenylene (e.g. 2- or 2,5-substituted poly-p-phenylene vinylene) and metal complexes, for example iridium complexes such as blue phosphorescent FIrPic (bis(3,5-difluoro-2-(2-pyridyl)phenyl(2-carboxypyridyl) iridium III), green phosphorescent $Ir(ppy)_3$ (tris(2-phenylpyridine)iridium III), red phosphorescent $Ru(dtb\text{-}bpy)_3*2(PF_6)$ (tris[4,4'-di-tert-butyl(2,2')-bipyridine]ruthenium(III) complex) and blue fluorescent DPAVBi (4,4-bis[4-(di-p-tolylamino)styryl]biphenyl), green fluorescent TTPA (9,10-bis[N,N-di(p-tolyl)amino]anthracene) and red fluorescent DCM2 (4-dicyanomethylene)-2-methyl-6-julolidyl-9-enyl-4H-pyran) as non-polymeric emitters. Such non-polymeric emitters can be deposited by thermal evaporation, for example. Furthermore, it is possible to use polymer emitters, which can be deposited, in particular, by a wet-chemical method such as spin coating, for example.

The emitter materials can be embedded in a matrix material in a suitable manner.

It should be pointed out that other suitable emitter materials are likewise provided in other embodiments.

The emitter materials of the emitter layer(s) 118 of the light emitting component 100 can be selected for example such that the light emitting component 100 emits white light. The emitter layer(s) 118 may include a plurality of emitter materials that emit in different colors (for example blue and yellow or blue, green and red); alternatively, the emitter layer(s) 118 can also be constructed from a plurality of partial layers, such as a blue fluorescent emitter layer 118 or blue phosphorescent emitter layer 118, a green phosphorescent emitter layer 118 and a red phosphorescent emitter layer 118. By mixing the different colors, the emission of light having a white color impression can result. Alternatively, provision can also be made for arranging a converter material in the beam path of the primary emission generated by said layers, which converter material at least partly absorbs the primary radiation and emits a secondary radiation having a different wavelength, such that a white color impression results from a (not yet white) primary radiation by virtue of the combination of primary radiation and secondary radiation.

The organic functional layer structure 112 may generally include one or a plurality of electroluminescent layers. The one or the plurality of electroluminescent layers may include organic polymers, organic oligomers, organic monomers, organic small, non-polymeric molecules ("small molecules") or a combination of these substances. By way of example, the organic functional layer structure 112 may include one or a plurality of electroluminescent layers embodied as a hole transport layer 120, so as to enable for example in the case of an OLED an effective hole injection into an electroluminescent layer or an electroluminescent region. Alternatively, in various embodiments, the organic functional layer structure 112 may include one or a plurality of functional layers embodied as an

electron transport layer 116, so as to enable for example in an OLED an effective electron injection into an electroluminescent layer or an electroluminescent region. By way of example, tertiary amines, carbazo derivatives, conductive polyaniline or polyethylene dioxythiophene can be used as material for the hole transport layer 120. In various embodiments, the one or the plurality of electroluminescent layers can be embodied as an electroluminescent layer.

In various embodiments, the hole transport layer 120 can be applied, for example deposited, on or above the first electrode 110 of the optoelectronic component, and the emitter layer 118 can be applied, for example deposited, on or above the hole transport layer 120. In various embodiments, the electron transport layer 116 can be applied, for example deposited, on or above the emitter layer 118.

In various embodiments, the organic functional layer structure 112 (that is to say for example the sum of the thicknesses of hole transport layer(s) 120 and emitter layer(s) 118 and electron transport layer(s) 116) can have a layer thickness of a maximum of approximately 1.5 µm, for example a layer thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm.

In various embodiments, the organic functional layer structure 112 can have for example a stack of a plurality of organic light emitting diodes (OLEDs) arranged directly one above another, wherein each OLED can have for example a layer thickness of a maximum of

approximately 1.5 µm, for example a layer thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm. In various embodiments, the organic functional layer structure 112 can have for example a stack of two, three or four OLEDs arranged directly one above another, in which case for example organic functional layer structure 112 can have a layer thickness of a maximum of approximately 3 µm.

The light emitting component 100 may optionally generally include further organic functional layers, for example arranged on or above the one or the plurality of emitter layers 118 or on or above the electron transport layer(s) 116, which serve to further improve the functionality and thus the efficiency of the light emitting component 100.

The second electrode 114 of the optoelectronic component can be applied on or above the organic functional layer structure 112 or, if appropriate, on or above the one or the plurality of further organic functional layer structures. In various embodiments, the second electrode 114 of the optoelectronic component may include or be formed from the same substances as the first electrode 110, metals being particularly suitable in various embodiments. In various embodiments, the first electrode 110 of the optoelectronic component and/or the second electrode 114 of the optoelectronic component are formed as translucent or transparent. Consequently, the light emitting component 100 illustrated in Fig. 1 can be embodied as a top and/or bottom emitter (to put it

another way, as a transparent light emitting component 100). The second electrode 114 of the optoelectronic component can be formed as an anode, that is to say as a hole-injecting electrode, or as a cathode, that is to say as an electron-injecting electrode.

An encapsulation 108, for example in the form of a barrier thin-film layer/thin-film encapsulation 108, can optionally also be formed on or above the second electrode 114 of the optoelectronic component and thus on or above the electrically active region 106. In the context of this application, a "barrier thin-film layer" 108 or an "insulator region thin film" 108 can be understood to mean, for example, a layer or a layer structure which is suitable for forming an insulator region against chemical impurities or atmospheric substances, in particular against water (moisture) and oxygen. In other words, the barrier thin-film layer 108 is formed in such a way that OLED-damaging substances such as water, oxygen or solvent cannot penetrate through it or at most very small proportions of said substances can penetrate through it.

In accordance with one configuration, the barrier thin-film layer 108 can be formed as an individual layer (to put it another way, as a single layer). In accordance with an alternative configuration, the barrier thin-film layer 108 may include a plurality of partial layers formed one on top of another. In other words, in accordance with one configuration, the barrier thin-film layer 108 can be formed as a layer stack. The barrier thin-film layer 108 or one or a plurality of partial layers of the barrier thin-film layer 108 can be formed for example by a suitable deposition method, e.g. by an atomic layer deposition (ALD) method in accordance with one configuration, e.g. a plasma enhanced atomic layer deposition (PEALD) method or a plasmaless atomic layer deposition (PLALD) method, or

by a chemical vapor deposition (CVD) method in accordance with another configuration, e.g. a plasma enhanced chemical vapor deposition (PECVD) method or a plasmaless chemical vapor deposition (PLCVD) method, or alternatively by other suitable deposition methods.

By using an atomic layer deposition (ALD) method, it is possible for very thin layers to be deposited. In particular, layers having layer thicknesses in the atomic layer range can be deposited. In accordance with one configuration, in the case of a barrier thin-film layer 108 having a plurality of partial layers, all the partial layers can be formed by an atomic layer deposition method. A layer sequence including only ALD layers can also be designated as a "nanolaminate". In accordance with an alternative configuration, in the case of a barrier thin-film layer 108 including a plurality of partial layers, one or a plurality of partial layers of the barrier thin-film layer 108 can be deposited by a different deposition method than an atomic layer deposition method, for example by a vapor deposition method. In accordance with one configuration, the barrier thin-film layer 108 can have a layer thickness of approximately 0.1 nm (one atomic layer) to approximately 1000 nm, for example a layer thickness of approximately 10 nm to approximately 100 nm in accordance with one configuration, for example approximately 40 nm in accordance with one configuration.

In accordance with one configuration in which the barrier thin-film layer 108 includes a plurality of partial layers, all the partial layers can have the same layer thickness. In accordance with another configuration, the individual partial layers of the barrier thin-film layer 108 can have different layer thicknesses. In other words, at least one of the partial layers can have a different layer thickness

than one or more other partial layers. In accordance with one configuration, the barrier thin-film layer 108 or the individual partial layers of the barrier thin-film layer 108 can be formed as a translucent or transparent layer. In other words, the barrier thin-film layer 108 (or the individual partial layers of the barrier thin-film layer 108) can consist of a translucent or transparent substance (or a substance mixture that is translucent or transparent).

In accordance with one configuration, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 may include or be formed from one of the following substances: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc oxide, aluminum-doped zinc oxide, and mixtures and alloys thereof. In various embodiments, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 may include one or a plurality of high refractive index substances, to put it another way one or a plurality of substances having a high refractive index, for example having a refractive index of at least 2.

In one configuration, the cover 126, for example composed of glass, can be applied for example by frit bonding (glass frit bonding/glass soldering/seal glass bonding) by a conventional glass solder in the geometrical edge regions of the organic optoelectronic component 100 with the barrier thin-film layer 108. The cover 126 can extend for example over all

optoelectronic components of the optoelectronic assembly.

In various embodiments, on or above the barrier thin-film layer 108, it is possible to provide an adhesive and/or a protective lacquer 124, by which, for example, a cover 126 (for example a glass cover 126) is fixed, for example adhesively bonded, on the barrier thin-film layer 108. In various embodiments, the optically translucent layer composed of adhesive and/or protective lacquer 124 can have a layer thickness of greater than 1 µm, for example a layer thickness of several µm. In various embodiments, the adhesive may include or be a lamination adhesive.

In various embodiments, light-scattering particles can also be embedded into the layer of the adhesive (also designated as adhesive layer), which particles can lead to a further improvement in the color angle distortion and the coupling-out efficiency. In various embodiments, the light-scattering particles provided can be dielectric scattering particles, for example, such as metal oxides, for example, such as e.g. silicon oxide (SiO_2), zinc oxide (ZnO), zirconium oxide (ZrO_2), indium tin oxide (ITO) or indium zinc oxide (IZO), gallium oxide (Ga_2O_a), aluminum oxide, or titanium oxide. Other particles may also be suitable provided that they have a refractive index that is different than the effective refractive index of the matrix of the translucent layer structure, for example air bubbles, acrylate, or hollow glass beads. Furthermore, by way of example, metallic nanoparticles, metals such as gold, silver, iron nanoparticles, or the like can be provided as light-scattering particles.

In various embodiments, between the second electrode 114 of the optoelectronic component and the layer composed of adhesive and/or protective lacquer 124, an

electrically insulating layer (not shown) can also be applied, for example SiN, for example having a layer thickness in a range of approximately 300 nm to approximately 1.5 µm, for example having a layer thickness in a range of approximately 500 nm to approximately 1 µm, in order to protect electrically unstable materials, during a wet-chemical process for example.

In various embodiments, the adhesive can be designed in such a way that it itself has a refractive index which is less than the refractive index of the cover 126. Such an adhesive can be for example a low refractive index adhesive such as, for example, an acrylate which has a refractive index of approximately 1.3. Furthermore, a plurality of different adhesives forming an adhesive layer sequence can be provided. Furthermore, it should be pointed out that, in various embodiments, an adhesive 124 can also be completely dispensed with, for example in embodiments in which the cover 126, for example composed of glass, are applied to the barrier thin-film layer 108 by plasma spraying, for example. In various embodiments, the cover 126 and/or the adhesive 124 can have a refractive index (for example at a wavelength of 633 nm) of 1.55.

Furthermore, in various embodiments, one or a plurality of antireflective layers (for example combined with the encapsulation 108, for example the barrier thin-film layer 108) can additionally be provided in the light emitting component 100.

The disclosure is not restricted to the embodiments indicated. By way of example, it is possible to produce more than one, for example two, three or more passive electronic components and/or optoelectronic components, for example connected in series or in parallel, in particular without carrying out a photolithographic

process and/or with only one etching process. Furthermore, it is possible to combine one, two or more passive electronic components with the optoelectronic component or the optoelectronic components, for example electrically in series one after the other and/or in parallel with one another.

While the disclosed embodiments have been particularly shown and described with reference to specific embodiments, it should be understood by those skilled in the art that various changes in form and detail may be made therein without departing from the spirit and scope of the disclosed embodiments as defined by the appended claims. The scope of the disclosed embodiments is thus indicated by the appended claims and all changes which come within the meaning and range of equivalency of the claims are therefore intended to be embraced.

~~Description~~

~~Method for producing a passive electronic component, method for producing an optoelectronic assembly and passive electronic component~~**METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT**

Related Applications

The present application is a national stage entry according to 35 U.S.C. §371 of PCT application No.: PCT/EP2013/067348 filed on August 20, 2013, which claims priority from German application No.: 10 2012 109 142.0 filed on September 27, 2012, and is incorporated herein by reference in its entirety.

Technical Field

~~The invention relates~~ Various embodiments relate to to a method for producing a passive electronic component, a method for producing an optoelectronic assembly and a passive electronic component.

Background

In optoelectronic components such as organic light emitting diodes, insulators and/or dielectrics serve, inter alia, to separate and/or electrically insulate two electrode regions from one another.

Suitable insulators or dielectrics such as light-sensitive resists, for example, are usually very expensive and complex to apply, for example in a photolithographic process. By way of example, the resists are applied without structure in a planar fashion to metal layers subsequently to be etched and are exposed with the aid of a mask. Depending on the resist used, the exposed or non-exposed regions can then be removed, as a result of which the resist layer

is structured. During the subsequent etching process, the resist structures that remained protect the underlying metal layer or the underlying metal layers.

Summary

In various embodiments, a method for producing a passive electronic component and/or a method for producing an optoelectronic assembly are provided which enable the production of a passive electronic component and/or an optoelectronic assembly simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various embodiments, a passive electronic component is provided which can be produced simply and/or in a cost-effective manner and/or without the use of a photolithographic process.

In various embodiments, a method for producing a passive electronic component is provided. In this case, a first electrically conductive layer is formed on a substrate. A second electrically conductive layer is formed on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers such that the substrate is exposed in the first trench. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion to the second electrically conductive layer in the first contact region and the substrate in the trench such that the dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion to the dielectric above the first contact region and to the second contact region.

The fact that the dielectric and/or the electrode layer and/or subsequently further layers or materials are

"applied in a structured fashion" means, in various embodiments, that the desired structure is already formed during the application of the corresponding layer. The area to be coated is thus coated only in partial regions dependent on the desired structure. This is in contrast to planar application of the corresponding layers and subsequent structuring of the layers, as is the case for example in a photolithographic method. The structured application of the layers makes it possible to be able to dispense with the firstly planar application of the corresponding layers and the subsequent complex structuring of the layers, for example the photolithographic method, and/or an expensive photoresist for the photolithographic method. This contributes to simple and/or cost-effective production of the passive electronic component.

The corresponding materials or layers can be applied in a structured fashion to the substrate for example by printing, for example inkjet printing or screen printing, by blade coating and/or by deposition with the aid of SAMs (self assembling monolayers) and the like.

A passive electronic component can be for example a capacitor and/or a resistor or a combination, for example a series circuit and/or a series connection of one, two or more capacitors and/or one, two or more resistors.

The substrate may include or be a substrate layer, for example. The substrate can be for example a transparent or a non-transparent substrate. By way of example, the substrate may include glass, quartz, sapphire, one or a plurality of plastic films, one or a plurality of coated plastic films, metal, one or a plurality of metal films, one or a plurality of films coated with an

electrically insulating layer, a silicon wafer or some other suitable substrate material. Substrate can be understood to mean for example the layer to which all other layers are subsequently applied during the production of an optoelectronic assembly. Such subsequent layers can be for example layers required for the radiation emission.

The first electrically conductive layer includes a first electrically conductive material and the second electrically conductive layer includes a second electrically conductive material. The first and/or the second electrically conductive material are materials or substances having the capability of conducting electric current. The first electrically conductive material can differ from the second electrically conductive material, for example. By way of example, the first electrically conductive material can be provided for first electrodes, for example for the anodes or cathodes, of the optoelectronic components.

The first electrically conductive layer can be deposited for example directly on the substrate layer. The first electrically conductive layer can be for example a transparent conductive layer. It can be formed, without being restricted thereto, from a transparent conductive oxide (TCO), e.g. indium-doped tin oxide (ITO) or ZnO, In/ZnO, SnZnO, Al-ZnO and the like. The first electrically conductive layer can be applied to the substrate layer for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The second electrically conductive layer can be deposited on the first electrically conductive layer, for example. The second electrically conductive material can include, for example, without being restricted thereto, one or a plurality of metals, for

example aluminum, barium, indium, copper, silver, gold, magnesium, calcium and lithium and the like and mixtures or combinations thereof, for example in the form of alloys among one another or with other metals. The second electrically conductive layer can be applied to the first electrically conductive layer for example by evaporation, sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like.

The electrically conductive layers may in each case also include partial layers, for example, which may also include chromium and molybdenum, for example, as an alternative or in addition to the metals mentioned. Examples of possible layer sequences in an electrically conductive layer or an electrically conductive layer including a plurality of partial layers are Mo-Al-Mo, Cr-Al-Cr, Cr-Cu-Cr and Cr-Cu.

The dielectric denotes for example an electrically insulating substance applied in such a way that it prevents a current flow between two electrically conductive regions, for example between the first electrically conductive layer or the second electrically conductive layer in the first component region and the first electrically conductive layer or second electrically conductive layer in the second component region. The dielectric can be a covering or a coating agent, for example a polymer and/or a resist. The resist may include for example a coating substance that can be applied in liquid or pulverulent form.

The electrode layer may for example include or be formed from aluminum, barium, indium, silver, gold, magnesium, calcium and/or lithium and combinations thereof or a compound thereof, in particular an alloy, and/or transparent conductive oxides, such as, for example metal oxides, such as zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide or indium-

doped tin oxide (ITO), aluminum-doped zinc oxide (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$ or mixtures of different transparent conductive oxides. The electrode layer can form cathodes or anodes of the passive electronic component, for example.

The trench can be formed by laser ablation, for example. Furthermore, the trench can extend partly or completely around the first contact region and/or the second contact region. Furthermore, even further trenches can be formed and/or the trenches can be part of a trench structure extending two-dimensionally in a plane.

In various embodiments, a first electrode of a capacitor is formed by the first contact region between the dielectric and the substrate and a second electrode of the capacitor is formed by the electrode layer on a side of the dielectric facing away from the first contact region. When an electrical voltage is applied to the first and second contact regions, the capacitor is charged, in particular the electrodes are charged, and an electric field forms between the electrodes. The electrical energy in the electric field existing between the charged electrodes is stored in the charged capacitor.

In various embodiments, before the dielectric is applied, a second trench and at least one third trench are formed, which delimit a resistance region. The resistance region includes a part of the first and second electrically conductive layers. The resistance region has a taper in a direction parallel to the electrically conductive layers and leads into the first contact region on a first side of the taper. The resistance region can contribute, for example, to forming an electrical resistor that is integrated in the layer structure of the passive electrical component

and/or that forms a part thereof. The electrical resistor can be connected in series or in parallel with the capacitor, for example.

In various embodiments, the resistance region is formed such that it leads into the second contact region on a second side of the taper and thus forms a resistor that is electrically connected in parallel with the capacitor.

In various embodiments, the resistance region is formed such that it forms a third contact region on a second side of the taper and thus forms a resistor that is electrically connected in series with the capacitor.

In various embodiments, two, three or more capacitors and/or resistors as claimed in the preceding claims are formed electrically in parallel with one another and/or electrically in series one after another.

In various embodiments, at least one of the trenches is formed by laser ablation. This can contribute to the simple and cost-effective production of the passive electronic component. By way of example, an etching process for etching the trench can be dispensed with.

In various embodiments, the dielectric is applied by a printing method. This can contribute simply to applying the dielectric in a structured fashion to the second electrically conductive layer and the substrate. The printing method may include for example inkjet printing or screen printing, and/or.

In various embodiments, the dielectric firstly is applied in a structured fashion to the second electrically conductive layer in such a way that the dielectric adjoins the first trench, and is then heated in such a way that it deforms and encapsulates edges

and/or side surfaces of the first and second electrically conductive layers in the first trench. The dielectric adjoining the trench flows on account of the heating over these exposed edges and/or side surfaces of the first and second electrically conductive layers and encapsulates them. The fact that the dielectric adjoins the trench can mean, for example, that the dielectric is arranged in a structured fashion near to, directly at or even partly above the first trench such that it flows at least partly into the first trench upon liquefying. As an alternative thereto, the dielectric can be applied in a structured fashion such that even without the heating and/or before the heating it is arranged at least partly in the first trench and/or encapsulates the edges and/or side surfaces of the electrically conductive layers and/or electrically insulates the first contact region from the second contact region.

In various embodiments, a method for producing an optoelectronic assembly is provided, wherein a passive electronic component is formed, for example in accordance with the method explained above. The dielectric is applied in a structured fashion to the second layer such that the dielectric demarcates a component region for forming an optoelectronic component relative to the second contact region. An optically functional layer is formed in the component region. The electrode layer is applied in a structured fashion such that a part of the electrode layer covers the optically functional layer.

An optoelectronic component can be for example a component which absorbs or emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits

electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or as an organic transistor which emits electromagnetic radiation. The radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits electromagnetic radiation can be embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

The optically functional layers can be for example radiation emitting layers, such as fluorescent and/or phosphorescent emitter layers, for example those of components which emit electromagnetic radiation, for example LEDs or OLEDs.

In various embodiments, before the optically functional layer is applied, the second electrically conductive layer is removed in the component region. The optically functional layer is applied to the first electrically conductive layer in the component region. The second electrically conductive layer can be removed in an etching method, for example. In this case, the second electrically conductive material can be etched in an etching bath, for example. The etching may include for example the removal of the second electrically conductive material on the surface of the first electrically conductive layer by the use of suitable etching substances. The etching substances can be for example chemical substances which can alter (usually oxidize) the material to be removed in a chemical

reaction and/or can dissolve said material. Etchants are acids or strong oxidants, for example. Mention may be made of, for example, HNO_3, HCl, H_3PO_4, acetic acid, H_2SO_4, cerium ammonium nitrate (CAN) and H_2O_2. The etching bath can be chosen for example such that the first electrically conductive layer, for example an ITO layer, is not attacked or adversely affected by the etchants used.

In various embodiments, after the structured application of the dielectric and before the removal of the second electrically conductive layer in the component region, a protective layer is applied in a structured fashion to the first contact region and the second contact region and, if appropriate, to the resistance region such that the contact regions and, if appropriate, the resistance region are covered with the material of the protective layer. The protective layer protects the contact regions and, if appropriate, the resistance region during the removal of the second electrically conductive layer, such that the second electrically conductive layer is maintained in the contact regions and, if appropriate, the resistance region. The protective layer is removed after the removal of the second electrically conductive layer in the component region.

The protective layer may include for example a material or a substance which serves to protect the second electrically conductive material of the second electrically conductive layer in the partial regions on which it is applied on the second electrically conductive layer, in the further method sequence for producing the optoelectronic assembly, for example in one or a plurality of further process steps. The protective layer can be for example a covering, a resist or the like. By way of example, the protective layer can be an etch stop resist, for example an etch

stop resist such as is used in the production of printed circuit boards (PCBs). Said etch stop resist can be crosslinked or cured thermally or by UV radiation. The protective layer can be soluble for example in a solvent in which the dielectric is insoluble. By way of example, the protective layer can be alkali soluble or base soluble. By way of example, the protective layer can be soluble in an alkaline solution, for example a weakly alkaline aqueous solutions of salts (e.g. NaOH, KOH, NH_4OH, or quaternary ammonium salts such as $N(CH_3)_4OH$).

The structured application of the protective layer can be carried out either after the application of the second electrically conductive layer on the first electrically conductive layer and before the structured application of the dielectric on the second electrically conductive layer or after the structured application of the dielectric on the second electrically conductive layer and before the application of the optically functional layer on the second electrically conductive layer. In this case, the structured application of the protective layer can be carried out in such a way that the second electrically conductive layer is covered with the material of the protective layer in the contact regions and is not covered with the material of the protective layer in the component regions. The protective material can be arranged – at least in sections – above or on the dielectric.

By way of example, both the dielectric and the protective layer can be resistant to the chemicals used for etching the second electrically conductive material. The dielectric and the protective layer, in those regions of the second electrically conductive layer on which they are applied, can serve as an etch stop for the second electrically conductive layer or

the second electrically conductive material in the corresponding regions. As a result of the etching of the second electrically conductive material, the structures of the second electrically conductive layer which lie below the dielectric and/or below the protective layer and those of the first electrically conductive layer are maintained. The etching process for removing the second electrical layer in the component region can be, for example, the sole etching process which is carried out for producing the optoelectronic assembly.

In various embodiments, the optically functional layer is formed after the heating of the dielectric.

In various embodiments, a first electrode of an optoelectronic component is formed by the first electrically conductive layer between the optically functional layer and the substrate and a second electrode of the optoelectronic component is formed by the electrode layer on a side of the optically functional layer facing away from the first electrode. The optoelectronic component includes the organically functional layer between the first and second electrodes of the first optoelectronic component. By way of example, the first electrode forms an anode of the optoelectronic component and the second electrode forms a cathode of the optoelectronic component. As an alternative thereto, the first electrode can form a cathode of the optoelectronic component and the second electrode can form an anode of the optoelectronic component.

In various embodiments, the passive electronic component and the optoelectronic component are connected in series via the second contact region.

In various embodiments, the protective layer is applied by a printing method. This can contribute to the protective layer being applied in a structured fashion to the second electrically conductive layer and the substrate. The printing method may include for example inkjet printing or screen printing, and/or blade coating.

The dielectric can be acid soluble or base soluble, for example. This can contribute to the dielectric being removed simply by an acid or a base. By way of example, the material of the protective layer is base soluble and the dielectric is acid soluble. As an alternative thereto, the material of the protective layer is acid soluble and the dielectric is base soluble. This has the effect that the dielectric remains intact during the removal of the protective layer.

In various embodiments, a passive electronic component is provided. The passive electronic component includes for example a first electrically conductive layer on a substrate and a second electrically conductive layer on the first electrically conductive layer. A first trench is formed in the first and second electrically conductive layers. The first trench separates a first contact region from a second contact region. A dielectric is applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly on the substrate in the first trench such that said dielectric electrically insulates the first contact region from the second contact region. An electrically conductive electrode layer is applied in a structured fashion on the dielectric above the first contact region and on the second contact region. By way of example, the dielectric can be applied in a structured fashion on the second electrically conductive layer in the first contact region and at least partly in the first trench

such that said dielectric encapsulates edges and/or side surfaces of the first and second electrically conductive layers in the first trench.

~~Embodiments of the invention are illustrated in the figures and are explained in greater detail below.~~

~~In the figures:~~

Brief Description of the Drawings

In the drawings, like reference characters generally refer to the same parts throughout the different views. The drawings are not necessarily to scale, emphasis instead generally being placed upon illustrating the principles of the disclosed embodiments. In the following description, various embodiments described with reference to the following drawings, in which:

~~Figure~~Fig. 1 shows a first state of one embodiment of a passive electronic component during a production method for producing the passive electronic component;

~~Figure~~Fig. 2 shows a second state of the passive electronic component during the production method for producing the passive electronic component;

~~Figure~~Fig. 3 shows a third state of the passive electronic component during the production method for producing the passive electronic component;

~~Figure~~Fig. 4 shows a fourth state of the passive electronic component during the production method for producing the passive electronic component;

~~Figure~~Fig. 5 shows a fifth state of the passive electronic component during the production method for producing the passive electronic component;

~~Figure~~Fig. 6 shows a sixth state of the passive electronic component during the production method for producing the passive electronic component;

~~Figure~~Fig. 7 shows one embodiment of the passive electronic component;

~~Figure~~Fig. 8 shows a plan view of the passive electronic component in accordance with ~~figure~~Fig. 7;

~~Figure~~Fig. 9 shows a plan view of one embodiment of a passive electronic component;

~~Figure~~Fig. 10 shows a plan view of one embodiment of a passive electronic component;

~~Figure~~Fig. 11 shows a plan view of one embodiment of a passive electronic component;

~~Figure~~Fig. 12 shows a first state of one embodiment of an optoelectronic assembly during a production method for producing the optoelectronic assembly;

~~Figure~~Fig. 13 shows a second state of the optoelectronic assembly in accordance with ~~figure~~Fig. 12 during the production method for producing the optoelectronic assembly;

~~Figure~~Fig. 14 shows a third state of the optoelectronic assembly in accordance with

~~figure~~Fig. 13 during the production method for producing the optoelectronic assembly;

~~Figure~~Fig. 15 shows a fourth state of the optoelectronic assembly in accordance with ~~figure~~Fig. 14 during the production method for producing the optoelectronic assembly;

~~Figure~~Fig. 16 shows a fifth state of the optoelectronic assembly in accordance with ~~figure~~Fig. 15 during the production method for producing the optoelectronic assembly; and

~~Figure~~Fig. 17 shows one embodiment of a layer structure of an optoelectronic component.

Detailed Description

In the following detailed description, reference is made to the accompanying drawings, which form part of this description and show for illustration purposes specific embodiments in which the invention can be implemented. In this regard, direction terminology such as, for instance, "at the top", "at the bottom", "at the front", "at the back", "front", "rear", etc. is used with respect to the orientation of the figure(s) described. Since component parts of embodiments can be positioned in a number of different orientations, the direction terminology serves for illustration and is not restrictive in any way whatsoever. It goes without saying that other embodiments can be used and structural or logical changes can be made, without departing from the scope of protection of the present invention. It goes without saying that the features of the various embodiments described herein can be combined with one another, unless specifically indicated otherwise. Therefore, the following detailed description should not be interpreted in a restrictive

sense, and the scope of protection of the present invention is defined by the appended claims.

In the context of this description, the terms "connected" and "coupled" are used to describe both a direct and an indirect connection and a direct or indirect coupling. In the figures, identical or similar elements are provided with identical reference signs, insofar as this is expedient.

A passive electronic component may include for example one, two or more capacitors and/or one, two or more electrical resistors. By way of example, the passive electronic component can be a combination of one, two or a plurality of capacitors with one, two or a plurality of electrical resistors. By way of example, one, two or more capacitors can be connected in series or in parallel with one, two or more electrical resistors.

An optoelectronic assembly may include for example a passive electronic component and one, two or more optoelectronic components. An optoelectronic component may include for example a component which absorbs electromagnetic radiation and/or a component which emits electromagnetic radiation. A component which absorbs electromagnetic radiation can be a solar cell, for example. In various embodiments, a component which emits electromagnetic radiation can be a semiconductor component which emits electromagnetic radiation and/or can be embodied as a diode which emits electromagnetic radiation, as an organic diode which emits electromagnetic radiation, as a transistor which emits electromagnetic radiation or as an organic transistor which emits electromagnetic radiation. The electromagnetic radiation can be for example light in the visible range, UV light and/or infrared light. In this connection, the component which emits

electromagnetic radiation can be embodied for example as a light emitting diode (LED) as an organic light emitting diode (OLED), as a light emitting transistor or as an organic light emitting transistor. In various embodiments, the light emitting component can be part of an integrated circuit. Furthermore, a plurality of light emitting components can be provided, for example in a manner accommodated in a common housing.

One embodiment of a method for producing a passive electronic component is explained with reference to ~~figures~~Figs. 1 to ~~7~~ 6. In this case, ~~figures~~Figs. 1 to ~~7~~ 6 illustrate embodiments of component parts of the passive electronic component in different states of the passive electronic component during the production method for producing the passive electronic component.

~~Figure~~Fig. 1 shows one embodiment of a substrate 10 of the passive electronic component. The substrate 10 may include or be formed from, for example, glass, for example window glass, quartz, a semiconductor material and/or some other suitable material, for example boron silicate, aluminum silicate and/or a standard material from the display industry. Furthermore, the substrate 10 may include or be formed from a plastic film or a laminate including one or including a plurality of plastic films. The plastic may include or be formed from one or more polyolefins (for example high or low density polyethylene (PE) or polypropylene (PP)). Furthermore, the plastic may include or be formed from polyvinyl chloride (PVC), polystyrene (PS), polyester and/or polycarbonate (PC), polyethylene terephthalate (PET), polyethersulfone (PES) and/or polyethylene naphthalate (PEN).
The substrate 10 may include or be formed from a metal or a metal compound, for example copper, silver, gold, platinum or the like. The metal or a metal compound can also be embodied as a metal film or a metal-coated

film. The substrate 10 may include one or more of the materials mentioned above.

The substrate 10 can be embodied as translucent or even transparent.

In various embodiments, the term "translucent" or "translucent layer" can be understood to mean that a layer is transmissive to electromagnetic radiation, for example to the radiation emitted by a component which emits electromagnetic radiation, for example in one or more wavelength ranges, for example to light in a wavelength range of visible light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm). By way of example, in various embodiments, the term "translucent layer" should be understood to mean that substantially the entire quantity of radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer), wherein part of the light can be scattered in this case.

In various embodiments, the term "transparent" or "transparent layer" can be understood to mean that a layer is transmissive to light (for example at least in a partial range of the wavelength range of from 380 nm to 780 nm), wherein electromagnetic radiation coupled into a structure (for example a layer) is also coupled out from the structure (for example layer) substantially without scattering or wavelength conversion. Thus, in various embodiments, "transparent" should be regarded as a special case of "translucent". For the case where, for example, a monochromatic or emission spectrum-limited optoelectronic component is intended to be provided, it may suffice for the optically translucent layer structure to be translucent at least in a partial range of the wavelength range of

the desired monochromatic electromagnetic radiation or for the limited emission spectrum.

~~Figure~~Fig. 2 shows the substrate 10 in accordance with ~~figure~~Fig. 1 and one embodiment of a first electrically conductive layer 12 formed on the substrate~~—12~~ 10. By way of example, a barrier layer, which is not shown in ~~figure~~Fig. 2 and is explained below with reference to ~~figure 20~~Fig. 17, can be formed between the substrate 10 and the first electrically conductive layer 12.

The first electrically conductive layer 12 can be formed from a first electrically conductive material, such as, for example, from a metal or a transparent conductive oxide (TCO) or a layer stack including a plurality of layers of the same metal or different metals and/or the same TCO or different TCOs. Transparent conductive oxides can be for example transparent conductive substances, for example metal oxides, such as, for example, zinc oxide, tin oxide, cadmium oxide, titanium oxide, indium oxide, or indium tin oxide (ITO), for example ZnO, IN/ZnO, SnZnO or AlZnO. Alongside binary metal-oxygen compounds, such as, for example, ZnO, SnO_2, or In_2O_3, ternary metal-oxygen compounds, such as, for example, AlZnO, Zn_2SnO_4, $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ or $In_4Sn_3O_{12}$, or mixtures of different transparent conductive oxides can also belong to the group of TCOs and can be used in various embodiments. Furthermore, the TCOs do not necessarily correspond to a stoichiometric composition and can furthermore be p-doped or n-doped. In various embodiments, the first electrically conductive layer 12 may include a metal; for example Ag, Pt, Au, Mg, Al, Ba, In, Ag, Au, Mg, Ca, Sm or Li, and compounds, combinations or alloys of these materials. In various embodiments, the first electrically conductive can be formed by a layer stack of a combination of a layer of a metal on a layer of a TCO, or vice versa. One example

is a silver layer applied on an indium tin oxide layer (ITO) (Ag on ITO) or ITO-Ag-ITO multilayers. The first electrically conductive material of the first electrically conductive layer 12 can be chosen for example such that it can withstand an etching process (explained below) for removing a second electrically conductive material (explained below).

In various embodiments, the first electrically conductive layer 12 may include one or a plurality of the following substances as an alternative or in addition to the abovementioned substances: networks composed of metallic nanowires and nanoparticles, for example composed of Ag; networks composed of carbon nanotubes; graphene particles and graphene layers; networks composed of semiconducting nanowires. Furthermore, the first electrically conductive layer may include electrically conductive polymers or transition metal oxides or transparent electrically conductive oxides.

In various embodiments, the first electrically conductive layer 12 and/or the substrate 10 can be formed as translucent or transparent. In the case where the first electrically conductive layer includes or is formed from a metal, the first electrically conductive layer 12 can have for example a layer thickness of less than or equal to approximately 25 nm, for example a layer thickness of less than or equal to approximately 20 nm, for example a layer thickness of less than or equal to approximately 18 nm. Furthermore, the electrically conductive layer 12 can have for example a layer thickness of greater than or equal to approximately 10 nm, for example a layer thickness of greater than or equal to approximately 15 nm. In various embodiments, the first electrically conductive layer 12 can have a layer thickness in a range of approximately 10 nm to approximately 25 nm, for example

a layer thickness in a range of approximately 10 nm to approximately 18 nm, for example a layer thickness in a range of approximately 15 nm to approximately 18 nm.

Furthermore, for the case where the first electrically conductive layer 12 includes or is formed from a transparent conductive oxide (TCO), the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 50 nm to approximately 500 nm, for example a layer thickness in a range of approximately 75 nm to approximately 250 nm, for example a layer thickness in a range of approximately 100 nm to approximately 150 nm.

Furthermore, for the case where the first electrically conductive layer 12 are formed from, for example, a network composed of metallic nanowires, for example composed of Ag, which can be combined with conductive polymers, a network composed of carbon nanotubes which can be combined with conductive polymers, or from graphene layers and composites, the first electrically conductive layer 12 can have for example a layer thickness in a range of approximately 1 nm to approximately 500 nm, for example a layer thickness in a range of approximately 10 nm to approximately 400 nm, for example a layer thickness in a range of approximately 40 nm to approximately 250 nm.

The first electrically conductive layer 12 can be designed for forming anodes, that is to say hole-injecting electrodes, or cathodes, that is to say electron-injecting electrodes. The first electrically conductive layer 12 can be applied to the substrate 10 for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The first electrically conductive layer 12 can be applied to the substrate 10 for example in a planar fashion, that is to say without structure.

~~Figure~~Fig. 3 shows the substrate 10, the first electrically conductive layer 12 and one embodiment of a second electrically conductive layer 14, which is formed on the first electrically conductive layer 12. The second electrically conductive layer 14 may include for example chromium, aluminum, molybdenum, copper or silver. By way of example, the second electrically conductive layer 14 may include partial layers which include alternately different metals. By way of example, the second electrically conductive layer 12 can be formed from a stack Cr-Al-Cr, Mo-Al-Mo, Cr-Cu-Cr. By way of example, the second electrically conductive layer 14 can have a layer thickness of for example between 600 and 900 nm, for example between 700 and 800 nm. The partial layers can have, if appropriate, thicknesses of for example between 50 and 500 nm, for example between 100 and 400 nm. The second electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example by sputtering, for example DC sputtering, physical vapor deposition (PVD) or the like. The second electrically conductive layer 14 can be applied to the first electrically conductive layer 12 for example in a planar fashion, that is to say without structure.

~~Figure~~Fig. 4 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one embodiment of a first trench 24 is formed in the two electrically conductive layers 12, 14. The first trench 24 can be formed by laser ablation, for example. The material of the substrate 10 is exposed in the first trench 24. In other words, a depth of the first trench 24 corresponds to a common thickness of the two electrically conductive layers 12, 14. By way of example, a laser operated continuously or in a pulsed fashion, for example a femto-, nano- or pico-laser, can be used for the laser ablation. The laser can emit for

example electromagnetic radiation in the IR range or in the UV range, for example at 200 to 300 nm, and/or with a power of 0.5 W to 1 W.

The first trench 24 separates a first contact region 16 from a second contact region 18. The first trench 24 can be part of a trench structure, which partly or completely delimit for example the first and/or second contact region 16, 18 in the planes of the two electrically conductive layers 12, 14. The first contact region 16 can serve for example for making electrical contact with the passive electronic component.

~~Figure~~Fig. 5 shows the substrate 10 and the first and second electrically conductive layers 12, 14, wherein one embodiment of a dielectric 28 is applied in a structured fashion to the second electrically conductive layer 14 in a manner adjoining the trench 24. The dielectric 28 can be an electrically insulating substance, for example, which can subsequently prevent a direct current flow between the first or second electrically conductive layer 12, 14 in the first contact region 16 and the first or second electrically conductive layer 12, 14 in the second contact region 18. The dielectric 28 may include or be formed from, for example, a covering or a coating agent, for example a polymer and/or a resist. The resist may include for example a coating substance that can be applied in liquid or in pulverulent form. The fact that the dielectric 28 is applied in a structure fashion means that the desired structure is already formed during the application of the dielectric. Consequently, the area to be coated is coated only in partial regions dependent on the desired structure. The dielectric 28 can be applied in a structured fashion for example by a printing method, such as, for example, by screen

printing, inkjet printing or flexographic printing, or blade coating.

The dielectric 28 can be chosen for example such that it can be softened by a subsequent treatment and/or can be brought to a flowable state. In addition to the electrical insulation, the dielectric 28 can serve as an etch stop in an etching process (explained in greater detail below) for removing the second electrically conductive layer 14 from partial regions. The dielectric 28 can be for example acid soluble and not base soluble. By way of example, the dielectric 28 can be soluble in chloroform and/or an organochlorine compound or a benzine-like compound, for example in hexyne or heptane. As an alternative thereto, the dielectric 28 can be base soluble and not acid soluble.

~~Figure~~Fig. 6 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the structure of the dielectric is rounded, such that the dielectric 28 covers and thus encapsulates the free side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The structure of the dielectric can be rounded for example by the dielectric 28 being heated to such an extent until it is liquid or at least of low viscosity and flows over the exposed side surfaces and/or edges of the first and second electrically conductive layers 12, 14. The dielectric 28 can be heated for example by the entire arrangement including the dielectric 28 on the electrically conductive layers 12, 14 and the substrate 10 being heated, for example in a furnace, for example a reflow furnace.

~~Figure~~Fig. 7 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an electrode layer 38 is applied in a structured fashion on the dielectric 28 and a part

of the second contact region 18. The first contact region 16 between the substrate 10 and the electrode layer 38 serves as a first electrode, for example as an anode, of the passive electronic component. The electrode layer 38 on a side of the dielectric 28 facing away from the substrate 10 serves as a second electrode, for example as a cathode, of the passive electronic component. Electrical contact can be made with the passive electronic component via the first contact region 18, on the one hand, and electrical contact can be made with the passive electronic component via the second contact region 18, on the other hand. The passive electronic component can form a capacitor, for example.

In ~~figure~~Fig. 7, the capacitor symbol on the substrate 10 symbolizes the function of the passive electronic component as a capacitor.

~~Figure~~Fig. 8 shows a plan view of the passive electronic component in accordance with ~~figure~~Fig. 7. ~~Figure~~Fig. 8 reveals that the first and second contact regions 16, 18, the dielectric 28 and/or the electrode layer 38 are/is embodied in a rectangular fashion, for example. As an alternative thereto, the first and second contact regions 16, 18 and/or the electrode layer 38 can be embodied in a square or circular fashion, for example. The trench structure (not illustrated in ~~figure~~Fig. 8), which also includes the trench 24, can be embodied correspondingly.

~~Figure~~Fig. 9 shows a plan view of one embodiment of a passive electronic component which includes for example the capacitor explained above. The passive electronic component includes for example a second trench 40 and a third trench 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate a resistance region 44, for example, which has a taper.

The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into a third contact region 46, on the other hand. The resistance region 44 forms an electrical resistor that is connected in series with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

~~Figure~~Fig. 10 shows a plan view of one embodiment of a passive electronic component which includes for example the capacitor explained above. The passive electronic component includes for example the second trench 40 and the third trench 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate the resistance region 44, for example, which has the taper. The resistance region 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the other hand. The resistance region 44 forms an electrical resistor that is connected in parallel with the capacitor. The resistor is integrated into the layer structure of the passive electronic component and/or forms a part of the passive electronic component.

~~Figure~~Fig. 11 shows a plan view of an embodiment of a passive electronic component which includes for example two of the capacitors explained above and two of the resistors explained above. The passive electronic component includes for example two of the second trenches 40 and of the third trenches 42, in which the substrate 10 is exposed. The second and third trenches 40, 42 can demarcate in pairs one of the resistance regions 44, for example, which have the taper. One of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the third contact region 46, on the other hand, and can be

connected in series with the corresponding capacitor. The other of the resistance regions 44 can lead for example into the first contact region 16, on the one hand, and into the second contact region 18, on the other hand, and can be connected in parallel with the corresponding resistance region 44. The pairs of capacitors and resistors are connected in parallel with one another. As an alternative thereto, pairs of capacitors and resistors can be connected in series one after another. Furthermore, further pairs or other combinations of resistors and capacitors can be arranged.

One embodiment of a method for producing an optoelectronic assembly is explained with reference to ~~figures~~Figs. 12 to ~~19~~ 16. In this case, ~~figures~~ Figs. 12 to ~~19~~ 16 illustrate embodiments of component parts of the optoelectronic assembly in different states of the optoelectronic assembly during the production method for producing the optoelectronic assembly. The method steps can in principle be, for example, the same as in the method explained above. Therefore, exclusively the formation of the component parts of the optoelectronic assembly that are new in comparison with the method explained above is discussed hereinafter.

~~Figure~~Fig. 12 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the dielectric 28 is applied in a structured fashion to the second electrically conductive layer 14 such that said dielectric separates a component region 50 from the second contact region 28 and extends at least partly around the component region 50.

~~Figure~~Fig. 13 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein one embodiment of a protective

layer 52 is applied in a structured fashion to the first and second contact regions 16, 18. Adjoining the first and second contact regions 16, 18, the protective layer 52 partly overlaps the dielectric 28. The protective layer 52 serves as an etch stop for protecting the second electrically conductive layer in the contact regions 16, 18 during a subsequent etching process for removing the second electrically conductive layer 14 in the component region 50.

The fact that the protective layer 52 is applied in a structured fashion means that the desired structure is already formed during the process of applying the protective layer 52. The area to be coated is thus coated only in partial regions dependent on the desired structure. The protective layer 52 can be applied in a structured fashion for example by a printing method, such as, for example, by screen printing, inkjet printing or flexographic printing, or blade coating. The material of the protective layer 52 can be, for example, base soluble and not acid soluble, for example if the dielectric 28 is acid soluble. By way of example, the material of the protective layer 52 can be soluble in sodium hydroxide, calcium hydroxide or tetramethylammonium hydroxide. As an alternative thereto, the material of the protective layer 52 can be acid soluble and/ not base soluble, for example if the dielectric 28 is base soluble. The material of the protective layer 52 may include or be formed from a resist, for example.

~~Figure~~**Fig. 14** shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28 and the protective layer 52, wherein the second electrically conductive layer 14 is removed in the component region 50. The second electrically conductive layer 14 can be removed by an etching process, for example. By way of example, an etching

bath, such as for example a 3% strength trichloroacetic acid in water, can be used for the etching of the second electrically conductive layer 14.

~~Figure~~Fig. 15 shows the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein the protective layer 52 is removed. The protective layer 52 can be removed by a suitable base and/or a basic solvent, for example. The contact regions 16, 18 are exposed by the removal of the protective layer 52.

~~Figure~~Fig. 16 shows the optoelectronic assembly including the substrate 10 and the first and second electrically conductive layers 12, 14 with the dielectric 28, wherein an organically functional layer 54 is formed in the component region 50. By way of example, a part of the electrode layer 38 can be applied in a structured fashion on the organically functional layer 54. The electrode layer 38 is applied in a structured fashion for example such that the organically functional layer 52 is covered with a part of the electrode layer 38. The first electrically conductive layer 12 between the substrate 10 and the organically functional layer 54 can serve for example as a first electrode, for example as an anode, of the optoelectronic component. The electrode layer 38 on the organically functional layer 54 can serve for example as a second electrode, for example as a cathode, of the optoelectronic component. The second electrode of the capacitor and the first electrode of the optoelectronic component can be directly physically contact-connected to one another, for example. By way of example, electrical contact can be made with the optoelectronic assembly via the second electrode of the optoelectronic component, on the one hand, and electrical contact can be made with the optoelectronic assembly via the first electrode of the capacitor, on the other hand, the

capacitor and the optoelectronic component then being connected in series.

In ~~figure~~Fig. 17, the capacitor symbol and the diode symbol on the substrate 10 symbolize the series connection of the passive electronic component and the optoelectronic component.

The organically functional layer 54 can constitute for example the optically active region of the optoelectronic component, for example of an LED or OLED. The organically functional layer 54 can be formed for example in one, two or a plurality of process steps. By way of example, the organically functional layer 54 can be vapor deposited in vacuo. In the case of an OLED as optoelectronic component, the organically functional layer 54 may include for example one, two or a plurality of semiconducting, light emitting organic layers. One embodiment of an OLED and the detailed configuration of the layer structure of the OLED are explained more specifically below with reference to ~~figure~~Fig. 17.

~~Figure~~Fig. 17 shows a schematic cross-sectional view of a layer structure of one embodiment of an optoelectronic component, in accordance with various embodiments. The above-explained optoelectronic component of the optoelectronic assembly can be embodied for example in accordance with the layer structure explained below.

The optoelectronic component can be for example a component which emits electromagnetic radiation, for example a light emitting component 100, for example in the form of an organic light emitting diode. The optoelectronic component may include a carrier 102. The carrier 102 can represent a partial section of the substrate 10, for example, and can serve as a carrier

element for electronic elements or layers, for example light emitting elements.

In various embodiments, the organic light emitting diode (or the component 100 which emits electromagnetic radiation in accordance with the embodiments described above or below) can be designed as a so-called top and bottom emitter. A top and/or bottom emitter can also be designated as an optically transparent component, for example a transparent organic light emitting diode.

In various embodiments, a barrier layer 104 can optionally be arranged on or above the carrier 102. The barrier layer 104 can for example also be regarded as a partial layer of the carrier 102. The barrier layer 104 may include or consist of one or more of the following materials: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc oxide, aluminum-doped zinc oxide, and mixtures and alloys thereof. Furthermore, in various embodiments, the barrier layer 104 can have a layer thickness in a range of approximately 0.1 nm (one atomic layer) to approximately 5000 nm, for example a layer thickness in a range of approximately 10 nm to approximately 200 nm, for example a layer thickness of approximately 40 nm.

An electrically active region 106 of the light emitting component 100 can be arranged on or above the barrier layer 104. The electrically active region 106 can be understood as the region of the light emitting component 100 wherein an electric current flows for the operation of the light emitting component 100. In various embodiments, the electrically active region 106 may include a first electrode 110 of the optoelectronic component, a second electrode 114 of the optoelectronic component and an organic functional layer structure 112

of the optoelectronic component, as will be explained in even greater detail below.

In this regard, in various embodiments, the first electrode 110 of the optoelectronic component can be applied on or above the barrier layer 104 (or, if the barrier layer 104 is not present, on or above the carrier 102).

Furthermore, the electrically active region 106 of the light emitting component 100 can have an organic functional layer structure 112, which is applied or is formed on or above the first electrode 110 of the optoelectronic component. By way of example, the organic functional layer structure 112 of the optoelectronic component can represent the organically functional layer 54.

The organic functional layer structure 112 may include one or a plurality of emitter layers 118, for example including fluorescent and/or phosphorescent emitters, and one or a plurality of hole-conducting layers 116 (also designated as hole transport layer(s) 120). In various embodiments, one or a plurality of electron-conducting layers 116 (also designated as electron transport layer(s) 116) can alternatively or additionally be provided.

Examples of emitter materials which can be used in the light emitting component 100 in accordance with various embodiments for the emitter layer(s) 118 include organic or organometallic compounds such as derivatives of polyfluorene, polythiophene and polyphenylene (e.g. 2- or 2,5-substituted poly-p-phenylene vinylene) and metal complexes, for example iridium complexes such as blue phosphorescent FIrPic (bis(3,5-difluoro-2-(2-pyridyl)phenyl(2-carboxypyridyl) iridium III), green phosphorescent $Ir(ppy)_3$ (tris(2-phenylpyridine)iridium

III), red phosphorescent Ru (dtb-bpy)$_{3}$*2(PF_6) (tris[4,4'-di-tert-butyl(2,2')-bipyridine]ruthenium(III) complex) and blue fluorescent DPAVBi (4,4-bis[4-(di-p-tolylamino)styryl]biphenyl), green fluorescent TTPA (9,10-bis[N,N-di(p-tolyl)amino]anthracene) and red fluorescent DCM2 (4-dicyanomethylene)-2-methyl-6-julolidyl-9-enyl-4H-pyran) as non-polymeric emitters. Such non-polymeric emitters can be deposited by thermal evaporation, for example. Furthermore, it is possible to use polymer emitters, which can be deposited, in particular, by a wet-chemical method such as spin coating, for example.

The emitter materials can be embedded in a matrix material in a suitable manner.

It should be pointed out that other suitable emitter materials are likewise provided in other embodiments.

The emitter materials of the emitter layer(s) 118 of the light emitting component 100 can be selected for example such that the light emitting component 100 emits white light. The emitter layer(s) 118 may include a plurality of emitter materials that emit in different colors (for example blue and yellow or blue, green and red); alternatively, the emitter layer(s) 118 can also be constructed from a plurality of partial layers, such as a blue fluorescent emitter layer 118 or blue phosphorescent emitter layer 118, a green phosphorescent emitter layer 118 and a red phosphorescent emitter layer 118. By mixing the different colors, the emission of light having a white color impression can result. Alternatively, provision can also be made for arranging a converter material in the beam path of the primary emission generated by said layers, which converter material at least partly absorbs the primary radiation and emits a secondary radiation having a different wavelength, such that a

white color impression results from a (not yet white) primary radiation by virtue of the combination of primary radiation and secondary radiation.

The organic functional layer structure 112 may generally include one or a plurality of electroluminescent layers. The one or the plurality of electroluminescent layers may include organic polymers, organic oligomers, organic monomers, organic small, non-polymeric molecules ("small molecules") or a combination of these substances. By way of example, the organic functional layer structure 112 may include one or a plurality of electroluminescent layers embodied as a hole transport layer 120, so as to enable for example in the case of an OLED an effective hole injection into an electroluminescent layer or an electroluminescent region. Alternatively, in various embodiments, the organic functional layer structure 112 may include one or a plurality of functional layers embodied as an electron transport layer 116, so as to enable for example in an OLED an effective electron injection into an electroluminescent layer or an electroluminescent region. By way of example, tertiary amines, carbazo derivatives, conductive polyaniline or polyethylene dioxythiophene can be used as material for the hole transport layer 120. In various embodiments, the one or the plurality of electroluminescent layers can be embodied as an electroluminescent layer.

In various embodiments, the hole transport layer 120 can be applied, for example deposited, on or above the first electrode 110 of the optoelectronic component, and the emitter layer 118 can be applied, for example deposited, on or above the hole transport layer 120. In various embodiments, the electron transport layer 116 can be applied, for example deposited, on or above the emitter layer 118.

In various embodiments, the organic functional layer structure 112 (that is to say for example the sum of the thicknesses of hole transport layer(s) 120 and emitter layer(s) 118 and electron transport layer(s) 116) can have a layer thickness of a maximum of approximately 1.5 µm, for example a layer thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm.

In various embodiments, the organic functional layer structure 112 can have for example a stack of a plurality of organic light emitting diodes (OLEDs) arranged directly one above another, wherein each OLED can have for example a layer thickness of a maximum of approximately 1.5 µm, for example a layer thickness of a maximum of approximately 1.2 µm, for example a layer thickness of a maximum of approximately 1 µm, for example a layer thickness of a maximum of approximately 800 nm, for example a layer thickness of a maximum of approximately 500 nm, for example a layer thickness of a maximum of approximately 400 nm, for example a layer thickness of a maximum of approximately 300 nm. In various embodiments, the organic functional layer structure 112 can have for example a stack of two, three or four OLEDs arranged directly one above another, in which case for example organic functional layer structure 112 can have a layer thickness of a maximum of approximately 3 µm.

The light emitting component 100 may optionally generally include further organic functional layers, for example arranged on or above the one or the plurality of emitter layers 118 or on or above the

electron transport layer(s) 116, which serve to further improve the functionality and thus the efficiency of the light emitting component 100.

The second electrode 114 of the optoelectronic component can be applied on or above the organic functional layer structure 112 or, if appropriate, on or above the one or the plurality of further organic functional layer structures. In various embodiments, the second electrode 114 of the optoelectronic component may include or be formed from the same substances as the first electrode 110, metals being particularly suitable in various embodiments. In various embodiments, the first electrode 110 of the optoelectronic component and/or the second electrode 114 of the optoelectronic component are formed as translucent or transparent. Consequently, the light emitting component 100 illustrated in ~~figure~~Fig. 1 can be embodied as a top and/or bottom emitter (to put it another way, as a transparent light emitting component 100). The second electrode 114 of the optoelectronic component can be formed as an anode, that is to say as a hole-injecting electrode, or as a cathode, that is to say as an electron-injecting electrode.

An encapsulation 108, for example in the form of a barrier thin-film layer/thin-film encapsulation 108, can optionally also be formed on or above the second electrode 114 of the optoelectronic component and thus on or above the electrically active region 106. In the context of this application, a "barrier thin-film layer" 108 or an "insulator region thin film" 108 can be understood to mean, for example, a layer or a layer structure which is suitable for forming an insulator region against chemical impurities or atmospheric substances, in particular against water (moisture) and oxygen. In other words, the barrier thin-film layer 108 is formed in such a way that OLED-damaging substances

such as water, oxygen or solvent cannot penetrate through it or at most very small proportions of said substances can penetrate through it.

In accordance with one configuration, the barrier thin-film layer 108 can be formed as an individual layer (to put it another way, as a single layer). In accordance with an alternative configuration, the barrier thin-film layer 108 may include a plurality of partial layers formed one on top of another. In other words, in accordance with one configuration, the barrier thin-film layer 108 can be formed as a layer stack. The barrier thin-film layer 108 or one or a plurality of partial layers of the barrier thin-film layer 108 can be formed for example by a suitable deposition method, e.g. by an atomic layer deposition (ALD) method in accordance with one configuration, e.g. a plasma enhanced atomic layer deposition (PEALD) method or a plasmaless atomic layer deposition (PLALD) method, or by a chemical vapor deposition (CVD) method in accordance with another configuration, e.g. a plasma enhanced chemical vapor deposition (PECVD) method or a plasmaless chemical vapor deposition (PLCVD) method, or alternatively by other suitable deposition methods.

By using an atomic layer deposition (ALD) method, it is possible for very thin layers to be deposited. In particular, layers having layer thicknesses in the atomic layer range can be deposited. In accordance with one configuration, in the case of a barrier thin-film layer 108 having a plurality of partial layers, all the partial layers can be formed by an atomic layer deposition method. A layer sequence including only ALD layers can also be designated as a "nanolaminate". In accordance with an alternative configuration, in the case of a barrier thin-film layer 108 including a plurality of partial layers, one or a plurality of partial layers of the barrier thin-film layer 108 can

be deposited by a different deposition method than an atomic layer deposition method, for example by a vapor deposition method. In accordance with one configuration, the barrier thin-film layer 108 can have a layer thickness of approximately 0.1 nm (one atomic layer) to approximately 1000 nm, for example a layer thickness of approximately 10 nm to approximately 100 nm in accordance with one configuration, for example approximately 40 nm in accordance with one configuration.

In accordance with one configuration in which the barrier thin-film layer 108 includes a plurality of partial layers, all the partial layers can have the same layer thickness. In accordance with another configuration, the individual partial layers of the barrier thin-film layer 108 can have different layer thicknesses. In other words, at least one of the partial layers can have a different layer thickness than one or more other partial layers. In accordance with one configuration, the barrier thin-film layer 108 or the individual partial layers of the barrier thin-film layer 108 can be formed as a translucent or transparent layer. In other words, the barrier thin-film layer 108 (or the individual partial layers of the barrier thin-film layer 108) can consist of a translucent or transparent substance (or a substance mixture that is translucent or transparent).

In accordance with one configuration, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 may include or be formed from one of the following substances: aluminum oxide, zinc oxide, zirconium oxide, titanium oxide, hafnium oxide, tantalum oxide, lanthanum oxide, silicon oxide, silicon nitride, silicon oxynitride, indium tin oxide, indium zinc

oxide, aluminum-doped zinc oxide, and mixtures and alloys thereof. In various embodiments, the barrier thin-film layer 108 or (in the case of a layer stack having a plurality of partial layers) one or a plurality of the partial layers of the barrier thin-film layer 108 may include one or a plurality of high refractive index substances, to put it another way one or a plurality of substances having a high refractive index, for example having a refractive index of at least 2.

In one configuration, the cover 126, for example composed of glass, can be applied for example by frit bonding (glass frit bonding/glass soldering/seal glass bonding) by a conventional glass solder in the geometrical edge regions of the organic optoelectronic component 100 with the barrier thin-film layer 108. The cover 126 can extend for example over all optoelectronic components of the optoelectronic assembly.

In various embodiments, on or above the barrier thin-film layer 108, it is possible to provide an adhesive and/or a protective lacquer 124, by which, for example, a cover 126 (for example a glass cover 126) is fixed, for example adhesively bonded, on the barrier thin-film layer 108. In various embodiments, the optically translucent layer composed of adhesive and/or protective lacquer 124 can have a layer thickness of greater than 1 µm, for example a layer thickness of several µm. In various embodiments, the adhesive may include or be a lamination adhesive.

In various embodiments, light-scattering particles can also be embedded into the layer of the adhesive (also designated as adhesive layer), which particles can lead to a further improvement in the color angle distortion and the coupling-out efficiency. In various

embodiments, the light-scattering particles provided can be dielectric scattering particles, for example, such as metal oxides, for example, such as e.g. silicon oxide (SiO_2), zinc oxide (ZnO), zirconium oxide (ZrO_2), indium tin oxide (ITO) or indium zinc oxide (IZO), gallium oxide (Ga_2O_a), aluminum oxide, or titanium oxide. Other particles may also be suitable provided that they have a refractive index that is different than the effective refractive index of the matrix of the translucent layer structure, for example air bubbles, acrylate, or hollow glass beads. Furthermore, by way of example, metallic nanoparticles, metals such as gold, silver, iron nanoparticles, or the like can be provided as light-scattering particles.

In various embodiments, between the second electrode 114 of the optoelectronic component and the layer composed of adhesive and/or protective lacquer 124, an electrically insulating layer (not shown) can also be applied, for example SiN, for example having a layer thickness in a range of approximately 300 nm to approximately 1.5 µm, for example having a layer thickness in a range of approximately 500 nm to approximately 1 µm, in order to protect electrically unstable materials, during a wet-chemical process for example.

In various embodiments, the adhesive can be designed in such a way that it itself has a refractive index which is less than the refractive index of the cover 126. Such an adhesive can be for example a low refractive index adhesive such as, for example, an acrylate which has a refractive index of approximately 1.3. Furthermore, a plurality of different adhesives forming an adhesive layer sequence can be provided. Furthermore, it should be pointed out that, in various embodiments, an adhesive 124 can also be completely dispensed with, for example in embodiments in which the

cover 126, for example composed of glass, are applied to the barrier thin-film layer 108 by plasma spraying, for example. In various embodiments, the cover 126 and/or the adhesive 124 can have a refractive index (for example at a wavelength of 633 nm) of 1.55.

Furthermore, in various embodiments, one or a plurality of antireflective layers (for example combined with the encapsulation 108, for example the barrier thin-film layer 108) can additionally be provided in the light emitting component 100.

The ~~invention~~ disclosure is not restricted to the embodiments indicated. By way of example, it is possible to produce more than one, for example two, three or more passive electronic components and/or optoelectronic components, for example connected in series or in parallel, in particular without carrying out a photolithographic process and/or with only one etching process. Furthermore, it is possible to combine one, two or more passive electronic components with the optoelectronic component or the optoelectronic components, for example electrically in series one after the other and/or in parallel with one another.

While the disclosed embodiments have been particularly shown and described with reference to specific embodiments, it should be understood by those skilled in the art that various changes in form and detail may be made therein without departing from the spirit and scope of the disclosed embodiments as defined by the appended claims. The scope of the disclosed embodiments is thus indicated by the appended claims and all changes which come within the meaning and range of equivalency of the claims are therefore intended to be embraced.

PTO/AIA/01 (06-12)
Approved for use through 01/31/2014 OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

DECLARATION (37 CFR 1.63) FOR UTILITY OR DESIGN APPLICATION USING AN APPLICATION DATA SHEET (37 CFR 1.76)

Title of Invention	Method for producing a passive electronic component, method for producing an optoelectronic assembly and passive electronic component

As the below named inventor, I hereby declare that:

This declaration is directed to:

- [■] The attached application, or
- [ ] United States application or PCT international application number _____

filed on _____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

WARNING:

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

LEGAL NAME OF INVENTOR

Inventor: Andrew Ingle Date (Optional): 24 MAR 2015

Signature: _____

Note: An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form or must have been previously filed. Use an additional PTO/AIA/01 form for each additional inventor.

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 1 minute to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/80 (07-12)
Approved for use through 11/30/2014 OMB 0651-0035
U.S. Patent and Trademark Office: U.S DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY TO PROSECUTE APPLICATIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 CFR 3.73(c).

I hereby appoint:

☒ Practitioners associated with Customer Number: 83956

OR

☐ Practitioner(s) named below (if more than ten patent practitioners are to be named, then a customer number must be used):

Name	Registration Number	Name	Registration Number

As attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignments documents attached to this form in accordance with 37 CFR 3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 CFR 3.73(c) to:

☒ The address associated with Customer Number: 83956

OR

☐	Firm or Individual Name			
	Address			
	City		State	Zip
	Country			
	Telephone		Email	

Assignee Name and Address: OSRAM OLED GmbH
Wernerwerkstrasse 2
93049 Regensburg
Germany

A copy of this form, together with a statement under 37 CFR 3.73(c) (Form PTO/AIA/96 or equivalent) is required to be Filed in each application in which this form is used. The statement under 37 CFR 3.73(c) may be completed by one of The practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.

SIGNATURE of Assignee of Record

The individual whose signature and title is supplied below is authorized to act on behalf of the assignee

Signature	ppa K. Dick	Date	29.10.2014
Name	Dr. Marc Lünnemann Dr. Karsten Diekmann	Telephone	
Title	CEO Prokurist		

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

STATEMENT OF ACCURACY

Attorney Docket No.: P59054US

Based on PCT application PCT/EP2013/067348

This is to confirm that the English translation of the above PCT application is an accurate translation of the application as published.

Dated: March 25, 2015

Signature: _____

Kornelia Ihle

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Andrew		Ingle	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Allershausen	Country of Residence i	DE

Mailing Address of Inventor:

Address 1	Anton-Bruckner-Strasse 5		
Address 2			
City	Allershausen	**State/Province**	
Postal Code	85391	**Country** i	DE

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	83956		
Email Address	patint@vjp.de	Add Email	Remove Email

Application Information:

Title of the Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT		
Attorney Docket Number	P59054US	**Small Entity Status Claimed** ☐	
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	6	**Suggested Figure for Publication (if any)**	

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

Filing By Reference :

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	83956		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the application number blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
	a 371 of international	PCT/EP2013/067348	2013-08-20

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(d). When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX) [i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(h)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country [i]	Filing Date (YYYY-MM-DD)	Access Code [i] (if applicable)
10 2012 109 142.0	DE	2012-09-27	

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Authorization to Permit Access:

☒ Authorization to Permit Access to the Instant Application by the Participating Offices

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.

In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.

In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

◉ Assignee	○ Legal Representative under 35 U.S.C. 117	○ Joint Inventor
○ Person to whom the inventor is obligated to assign.	○ Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Applicant is an Organization check here. ☒

Organization Name	OSRAM OLED GmbH		
Mailing Address Information:			
Address 1	Wernerwerkstrasse 2		
Address 2			
City	Regensburg	**State/Province**	
Country [i]	DE	Postal Code	93049
Phone Number		Fax Number	

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

Email Address	

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not subsitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication . An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☐

Prefix	**Given Name**	Middle Name	**Family Name**	Suffix

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1			
Address 2			
City		**State/Province**	
Country i		Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/Karl J. Kolbinger/			Date (YYYY-MM-DD)	2015-03-25
First Name	Karl	Last Name	Kolbinger	Registration Number	41124

Additional Signature may be generated within this form by selecting the Add button. Add

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	P59054US
	Application Number	
Title of Invention	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Filer:	Karl Kolbinger/Lisa Schuffenhauer
Attorney Docket Number:	P59054US

Filed as Large Entity

Filing Fees for U.S. National Stage under 35 USC 371

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
National Stage Fee	1631	1	280	280
Natl Stage Search Fee - Report provided	1642	1	480	480
National Stage Exam - all other cases	1633	1	720	720
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**1480**

Electronic Acknowledgement Receipt

EFS ID:	21869431
Application Number:	14430942
International Application Number:	PCT/EP2013/067348
Confirmation Number:	7550
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Customer Number:	83956
Filer:	Karl Kolbinger/Lisa Schuffenhauer
Filer Authorized By:	Karl Kolbinger
Attorney Docket Number:	P59054US
Receipt Date:	25-MAR-2015
Filing Date:	
Time Stamp:	10:39:31
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1480
RAM confirmation Number	7647
Deposit Account	504666
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. 1.492 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	P59054US_Transmittal.pdf	214289 30ae84b569a612c88af4f713e63a893119152 8ac	no	4
Warnings:					
Information:					
2		P59054US_Specification.pdf	202273 081458f2ada0bb72cdf6eb7209a3b7fee4860 410	yes	48

Multipart Description/PDF files in .zip description		
Document Description	**Start**	**End**
Specification	1	42
Claims	43	47
Abstract	48	48

Warnings:					
Information:					
3		P59054US_Preliminary_Amendment.pdf	84508 7f08cc6ef9aba7b8cfa51d7bc7fec6bc31be90 fd	yes	12

Multipart Description/PDF files in .zip description		
Document Description	**Start**	**End**
Preliminary Amendment	1	1
Specification	2	2
Claims	3	9
Applicant Arguments/Remarks Made in an Amendment	10	11
Abstract	12	12

Warnings:					
Information:					

4	Specification	P59054US_Substitute_specification_clean.pdf	180964 41003fa1a5028b3ca25be13e5b65706b7cb0b57b	no	42
Warnings:					
Information:					
5	Specification	P59054US_Substitute_specification_marked.pdf	183701 8180ab7ed7271efe3e50bdd5bc2953dad8e91f33	no	42
Warnings:					
Information:					
6	Oath or Declaration filed	P59054US_Declaration_Signed.pdf	368401 319e30f351d910b46b383ddb0b2377115026f762	no	1
Warnings:					
Information:					
7	Power of Attorney	PoA_Osram_OLED.pdf	719287 9b40439411c9da74033bb166b5ed872db38749c7	no	2
Warnings:					
Information:					
8	Documents submitted with 371 Applications	P59054US_Statement_of_Accuracy.pdf	11815 deea6fcde1605c66cb55740641fa227930aacfe2	no	1
Warnings:					
Information:					
9	Application Data Sheet	P59054US_ADS.pdf	1561124 259019df4aa40e946592b84b41617192e8f9e4bb	no	7
Warnings:					
Information:					
10	Fee Worksheet (SB06)	fee-info.pdf	35905 09dd657de0951a04f9156dca14f1ea6e5dc59aba	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	3562267	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

BUNDESREPUBLIK DEUTSCHLAND

Prioritätsbescheinigung
DE 10 2012 109 142.0
über die Einreichung einer Patentanmeldung

Aktenzeichen:	10 2012 109 142.0
Anmeldetag:	27. September 2012
Anmelder/Inhaber:	OSRAM Opto Semiconductors GmbH, 93055 Regensburg, DE
Bezeichnung:	Verfahren zum Herstellen eines passiven elektronischen Bauelements, Verfahren zum Herstellen einer optoelektronischen Baugruppe und passives elektronisches Bauelement
IPC:	H01L 21/82; H01L 27/24; H01L 27/06; H01L 27/15; H01L 27/12; H01L 27/32

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der Teile der am 27. September 2012 eingereichten elektronischen Dokumente dieser Patentanmeldung unabhängig von gegebenenfalls durch das Druckverfahren bedingten Farbabweichungen.

München, den 11. September 2013
Deutsches Patent- und Markenamt
Die Präsidentin
Im Auftrag

Niggebaum

Niggebaum

Beschreibung

Verfahren zum Herstellen eines passiven elektronischen Bauelements, Verfahren zum Herstellen einer optoelektronischen Baugruppe und passives elektronisches Bauelement

Die Erfindung betrifft ein Verfahren zum Herstellen eines passiven elektronischen Bauelements, ein Verfahren zum Herstellen einer optoelektronischen Baugruppe und ein passives elektronisches Bauelement.

In optoelektronischen Bauelementen wie organischen Leuchtdioden dienen Isolatoren und/oder Dielektrika unter anderem dazu, zwei Elektrodenbereiche voneinander zu trennen und/oder gegeneinander elektrisch zu isolieren.

Geeignete Isolatoren bzw. Dielektrika wie beispielsweise lichtempfindliche Lacke sind meist sehr teuer und aufwendig, beispielsweise in einem photolithographischen Prozess, aufzubringen. Beispielsweise werden die Lacke ohne Struktur flächig auf nachfolgend zu ätzende Metallschichten aufgebracht und mit Hilfe einer Maske belichtet. Abhängig von dem verwendeten Lack können dann die belichteten oder nicht belichteten Bereiche entfernt werden, wodurch die Lackschicht strukturiert wird. Bei dem nachfolgenden Ätzprozess schützen die verbliebenen Lackstrukturen die darunter liegende Metallschicht oder die darunter liegenden Metallschichten.

In verschiedenen Ausführungsbeispielen werden ein Verfahren zum Herstellen eines passiven elektronischen Bauelements und/oder ein Verfahren zum Herstellen einer optoelektronischen Baugruppe bereitgestellt, die einfach und/oder auf kostengünstige Weise und/oder ohne Verwendung eines photolithographischen Prozesses das Herstellen eines passiven elektronischen Bauelements und/oder einer optoelektronischen Baugruppe ermöglichen.

In verschiedenen Ausführungsbeispielen wird ein passives elektronisches Bauelement bereitgestellt, das einfach und/oder auf kostengünstige Weise und/oder ohne Verwendung eines photolithographischen Prozesses herstellbar ist.

In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen eines passiven elektronischen Bauelements bereitgestellt. Dabei wird eine erste elektrisch leitfähige Schicht auf einem Substrat ausgebildet. Eine zweite elektrisch leitfähige Schicht wird auf der ersten elektrisch leitfähigen Schicht ausgebildet. In der ersten und zweiten elektrisch leitfähigen Schicht wird ein erster Graben so ausgebildet, dass das Substrat in dem ersten Graben frei gelegt ist. Der erste Graben trennt einen ersten Kontaktbereich von einem zweiten Kontaktbereich ab. Ein Dielektrikum wird derart strukturiert auf die zweite elektrisch leitfähige Schicht in dem ersten Kontaktbereich und das Substrat in dem Graben aufgebracht, dass das Dielektrikum den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht wird strukturiert über dem ersten Kontaktbereich auf das Dielektrikum und auf den zweiten Kontaktbereich aufgebracht.

Dass das Dielektrikum und/oder die Elektrodenschicht und/oder nachfolgend weitere Schichten oder Materialien „strukturiert aufgebracht" werden bedeutet in verschiedenen Ausführungsformen, dass die gewünschte Struktur bereits beim Aufbringen der entsprechenden Schicht ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Dies steht im Gegensatz zu einem flächigen Aufbringen der entsprechenden Schichten und einem nachfolgenden Strukturieren der Schichten, wie es beispielsweise bei einem photolithographischen Verfahren der Fall ist. Das strukturierte Aufbringen der Schichten ermöglicht, auf das zunächst flächige Aufbringen der entsprechenden Schichten und das nachfolgende aufwendige Strukturieren der Schichten,

beispielsweise auf das photolithographische Verfahren, und/oder auf einen teuren Photolack für das photolithographische Verfahren verzichten zu können. Dies trägt zu einem einfachen und/oder kostengünstigen Herstellen des passiven elektronischen Bauelements bei.

Die entsprechenden Materialen oder Schichten können beispielweise mittels Druckens, beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, mittels Rakelns und/oder durch Abscheidung unter Zuhilfenahme von SAMs (self assembling monolayers) und dergleichen strukturiert auf das Substrat aufgebracht werden.

Ein passives elektronisches Bauelement kann beispielsweise ein Kondensator und/oder ein Widerstand oder eine Kombination, beispielsweise eine Reihenschaltung und/oder eine Serienschaltung von ein, zwei oder mehr Kondensatoren und/oder ein, zwei oder mehr Widerständen sein.

Das Substrat kann beispielsweise eine Substratschicht aufweisen oder sein. Das Substrat kann beispielsweise ein transparentes oder ein nicht transparentes Substrat sein. Beispielsweise kann das Substrat Glas, Quarz, Saphir, eine oder mehrere Kunststofffolien, eine oder mehrere beschichtete Kunststofffolien, Metall, eine oder mehrere Metallfolien, eine oder mehrere Folien, welche mit einer elektrisch isolierenden Schicht beschichtet sind, ein Siliziumwafer oder ein anderes geeignetes Substratmaterial aufweisen. Als Substrat kann beispielsweise die Schicht verstanden werden, auf die bei der Herstellung einer optoelektronischen Baugruppe nachfolgend alle anderen Schichten aufgebracht werden. Solche nachfolgenden Schichten können beispielsweise für die Strahlungsemission erforderliche Schichten sein.

Die erste elektrisch leitfähige Schicht weist ein erstes elektrisch leitfähiges Material auf und die zweite elektrisch leitfähige Schicht weist ein zweites elektrisch leitfähiges Material auf. Das erste und/oder das zweite elektrisch

leitfähige Material sind Materialien oder Substanzen mit der Fähigkeit, elektrischen Strom zu leiten. Das erste elektrisch leitfähige Material kann beispielsweise von dem zweiten elektrisch leitfähigen Material verschieden sein. Beispielsweise kann das erste elektrisch leitfähige Material für erste Elektroden, beispielsweise für die Anoden oder Kathoden, der optoelektronischen Bauelemente vorgesehen sein.

Die erste elektrisch leitfähige Schicht kann beispielsweise direkt auf der Substratschicht abgeschieden werden. Die erste elektrisch leitfähige Schicht kann beispielsweise eine transparente leitfähige Schicht sein. Sie kann, ohne darauf beschränkt zu sein, aus einem transparenten leitfähigen Oxid (TCO), z. B. Indium-dotiertem Zinnoxid (ITO) oder ZnO, In/ZnO, SnZnO, Al-ZnO und dergleichen gebildet sein. Die erste elektrisch leitfähige Schicht kann beispielsweise mittels Sputterns, beispielsweise DC-Sputterns, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die Substratschicht aufgebracht werden.

Die zweite elektrisch leitfähige Schicht kann beispielsweise auf der ersten elektrisch leitfähigen Schicht abgeschieden werden. Das zweite elektrisch leitfähige Material kann beispielsweise einschließen, ohne darauf beschränkt zu sein, ein oder mehrere Metalle, beispielsweise Aluminium, Barium, Indium, Kupfer, Silber, Gold, Magnesium, Calcium und Lithium und dergleichen sowie deren Mischungen oder Kombinationen, beispielsweise in Form von Legierungen untereinander oder mit anderen Metallen. Die zweite elektrisch leitfähige Schicht kann beispielsweise mittels Verdampfens, Sputterns, beispielsweise DC-Sputterns, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die erste elektrisch leitfähige Schicht aufgebracht werden.

Die elektrisch leitfähigen Schichten können jeweils beispielsweise auch Teilschichten aufweisen, die alternativ oder zusätzlich zu den genannten Metallen beispielsweise auch Chrom und Molybdän aufweisen können. Beispiele für mögliche

Schichtenfolgen in einer oder mehrere Teilschichten aufweisenden elektrisch leitfähigen Schicht sind Mo-Al-Mo, Cr-Al-Cr, Cr-Cu-Cr und Cr-Cu.

Das Dielektrikum bezeichnet beispielsweise eine elektrisch isolierende Substanz, welche derart aufgebracht wird, dass sie einen Stromfluss zwischen zwei elektrisch leitfähigen Bereichen, beispielsweise zwischen der ersten elektrisch leitfähigen Schicht oder der zweiten elektrisch leitfähigen Schicht in dem ersten Bauelementbereich und der ersten elektrisch leitfähigen Schicht oder zweiten elektrisch leitfähigen Schicht in dem zweiten Bauelementbereich, verhindert. Das Dielektrikum kann ein Überzug oder ein Beschichtungsmittel, beispielsweise ein Polymer und/oder ein Lack sein. Der Lack kann beispielsweise einen in flüssiger oder in pulverförmiger Form aufbringbaren Beschichtungsstoff aufweisen.

Die Elektrodenschicht kann beispielsweise aufweisen oder gebildet sein aus Aluminium, Barium, Indium, Silber, Gold, Magnesium, Calcium und/oder Lithium sowie Kombinationen derselben oder einer Verbindung derselben, insbesondere einer Legierung, und/oder transparenten leitfähigen Oxiden, wie beispielsweise Metalloxiden, wie Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid oder Indium-dotiertes Zinnoxid (ITO), Aluminium-dotiertes Zinkoxid (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen unterschiedlicher transparenter leitfähiger Oxide. Die Elektrodenschicht kann beispielsweise Kathoden oder Anoden des passiven elektronischen Bauelements bilden.

Der Graben kann beispielsweise mittels Laserablation ausgebildet werden. Ferner kann der Graben sich teilweise oder vollständig um den ersten Kontaktbereich und/oder den zweiten Kontaktbereich herum erstrecken. Ferner können noch weitere Gräben ausgebildet sein und/oder die Gräben können

Teil einer sich zweidimensional in einer Ebene erstreckenden Grabenstruktur sein.

Bei verschiedenen Ausführungsformen ist von dem ersten Kontaktbereich zwischen dem Dielektrikum und dem Substrat eine erste Elektrode eines Kondensators und von der Elektrodenschicht auf einer von dem ersten Kontaktbereich abgewandten Seite des Dielektrikums eine zweite Elektrode des Kondensators gebildet. Beim Anlegen einer elektrischen Spannung an den ersten und den zweiten Kontaktbereich lädt sich der Kondensator, insbesondere die Elektroden, auf und es bildet sich ein elektrisches Feld zwischen den Elektroden. In dem geladenen Kondensator ist die elektrische Energie in dem elektrischen Feld, das zwischen den geladenen Elektroden besteht, gespeichert.

Bei verschiedenen Ausführungsformen werden vor dem Aufbringen des Dielektrikums ein zweiter Graben und mindestens ein dritter Graben ausgebildet, die einen Widerstandsbereich begrenzen. Der Widerstandsbereich weist einen Teil der ersten und der zweiten elektrisch leitfähigen Schicht auf. Der Widerstandsbereich weist in Richtung parallel zu den elektrisch leitfähigen Schichten eine Verjüngung auf und mündet auf einer ersten Seite der Verjüngung in den ersten Kontaktbereich. Der Widerstandsbereich kann beispielsweise dazu beitragen, einen elektrischen Widerstand zu bilden, der in der Schichtstruktur des passiven elektrischen Bauelements integriert ist und/oder der einen Teil desselben bildet. Der elektrische Widerstand kann beispielsweise in Reihe mit oder parallel zu dem Kondensator geschaltet werden.

Bei verschiedenen Ausführungsformen wird der Widerstandsbereich so ausgebildet, dass er auf einer zweiten Seite der Verjüngung in den zweiten Kontaktbereich mündet und so einen Widerstand bildet, der elektrisch parallel zu dem Kondensator geschaltet ist.

Bei verschiedenen Ausführungsformen wird der Widerstandsbereich so ausgebildet, dass er auf einer zweiten Seite der Verjüngung einen dritten Kontaktbereich bildet und so einen Widerstand bildet, der mit dem Kondensator elektrisch in Reihe geschaltet ist.

Bei verschiedenen Ausführungsformen werden zwei, drei oder mehr Kondensatoren und/oder Widerstände gemäß den vorstehenden Ansprüchen elektrisch parallel zueinander und/oder elektrisch in Reihe nacheinander ausgebildet.

Bei verschiedenen Ausführungsformen wird mindestens einer der Gräben mittels Laserablation ausgebildet. Dies kann zu dem einfachen und kostengünstigen Herstellen des passiven elektronischen Bauelements beitragen. Beispielsweise kann auf einen Ätzprozess zum Ätzen des Grabens verzichtet werden.

Bei verschiedenen Ausführungsformen wird das Dielektrikum mittels eines Druckverfahrens aufgebracht. Dies kann einfach dazu beitragen, das Dielektrikum strukturiert auf die zweite elektrisch leitfähige Schicht und das Substrat aufzubringen. Das Druckverfahren kann beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, und/oder umfassen.

Bei verschiedenen Ausführungsformen wird das Dielektrikum zunächst derart strukturiert auf die zweite elektrisch leitfähige Schicht aufgebracht, dass das Dielektrikum an den ersten Graben grenzt, und dann derart erwärmt, dass es sich verformt und Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht in dem ersten Graben verkapselt. Das Dielektrikum, das an den Graben angrenzt, fließt aufgrund des Erwärmens über diese frei liegenden Kanten und/oder Seitenflächen der ersten und zweiten elektrisch leitfähigen Schicht und verkapselt diese. Dass das Dielektrikum an den Graben angrenzt, kann beispielsweise bedeutet, dass das Dielektrikum derart nah, direkt an oder sogar teilweise über dem ersten Graben strukturiert angeordnet ist, dass es beim Verflüssigen zumindest teilweise

in den ersten Graben fließt. Alternativ dazu kann das Dielektrikum derart strukturiert aufgebracht werden, dass es auch ohne das Erwärmen und/oder vor dem Erwärmen zumindest teilweise in dem ersten Graben angeordnet ist und/oder die Kanten bzw. Seitenflächen der elektrisch leitfähigen Schichten verkapselt und/oder den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert.

In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen einer optoelektronischen Baugruppe bereitgestellt, bei dem ein passives elektronisches Bauelement ausgebildet wird, beispielsweise gemäß dem im Vorhergehenden erläuterten Verfahren. Das Dielektrikum wird derart strukturiert auf die zweite Schicht aufgebracht, dass durch das Dielektrikum ein Bauelementbereich zum Ausbilden eines optoelektronischen Bauelements gegenüber dem zweiten Kontaktbereich abgegrenzt ist. In dem Bauelementbereich wird eine optisch funktionelle Schicht ausgebildet. Die Elektrodenschicht wird derart strukturiert aufgebracht, dass ein Teil der Elektrodenschicht die optisch funktionelle Schicht bedeckt.

Ein optoelektronisches Bauelement kann beispielsweise ein elektromagnetische Strahlung absorbierendes oder emittierendes Bauelement sein. Ein elektromagnetische Strahlung absorbierendes Bauelement kann beispielsweise eine Solarzelle sein. Ein elektromagnetische Strahlung emittierendes Bauelement kann in verschiedenen Ausführungsbeispielen ein elektromagnetische Strahlung emittierendes Halbleiter-Bauelement sein und/oder als eine elektromagnetische Strahlung emittierende Diode, als eine organische elektromagnetische Strahlung emittierende Diode, als ein elektromagnetische Strahlung emittierender Transistor oder als ein organischer elektromagnetische Strahlung emittierender Transistor ausgebildet sein. Die Strahlung kann beispielsweise Licht im sichtbaren Bereich, UV-Licht und/oder Infrarot-Licht sein. In diesem Zusammenhang kann das elektromagnetische Strahlung emittierende Bauelement beispielsweise als Licht emittierende Diode (light emitting

diode, LED) als organische Licht emittierende Diode (organic light emitting diode, OLED), als Licht emittierender Transistor oder als organischer Licht emittierender Transistor ausgebildet sein. Das Licht emittierende Bauelement kann in verschiedenen Ausführungsbeispielen Teil einer integrierten Schaltung sein. Weiterhin kann eine Mehrzahl von Licht emittierenden Bauelementen vorgesehen sein, beispielsweise untergebracht in einem gemeinsamen Gehäuse.

Die optisch funktionellen Schichten können beispielsweise strahlungsemittierende Schichten, wie fluoreszierende und/oder phosphoreszierende Emitterschichten sein, beispielsweise die von elektromagnetische Strahlung emittierenden Bauelementen, beispielsweise LEDs oder OLEDs.

Bei verschiedenen Ausführungsbeispielen wird vor dem Aufbringen der optisch funktionellen Schicht die zweite elektrisch leitfähige Schicht in dem Bauelementbereich entfernt. Die optisch funktionelle Schicht wird auf die erste elektrisch leitfähige Schicht in dem Bauelementbereich aufgebracht. Die zweite elektrisch leitfähige Schicht kann beispielsweise in einem Ätzverfahren entfernt werden. Das Ätzen des zweiten elektrisch leitfähigen Materials kann dabei beispielsweise in einem Ätzbad erfolgen. Das Ätzen kann beispielweise das Abtragen des zweiten elektrisch leitfähigen Materials auf der Oberfläche der ersten elektrisch leitfähigen Schicht durch Anwendung geeigneter ätzender Stoffe aufweisen. Die ätzenden Stoffe können beispielsweise chemische Stoffe sein, die das zu entfernende Material in einer chemischen Reaktion verändern (meistens oxidieren) können und/oder in Lösung bringen können. Ätzmittel sind beispielsweise Säuren oder starke Oxidantien. Zu nennen sind beispielsweise HNO_3, HCl, H_3PO_4, Essigsäure, H_2SO_4, Cerammoniumnitrat (CAN) und H_2O_2. Das Ätzbad kann beispielsweise so ausgewählt sein, dass die erste elektrisch leitfähige Schicht, beispielsweise eine ITO-Schicht, nicht

durch die eingesetzten Ätzmittel angegriffen oder beeinträchtigt wird.

Bei verschiedenen Ausführungsformen wird nach dem strukturierten Aufbringen des Dielektrikums und vor dem Entfernen der zweiten elektrisch leitfähigen Schicht in dem Bauelementbereich eine Schutzschicht derart strukturiert auf den ersten Kontaktbereich und den zweiten Kontaktbereich und gegebenenfalls auf den Widerstandsbereich aufgebracht, dass die Kontaktbereiche und gegebenenfalls der Widerstandsbereich mit dem Material der Schutzschicht bedeckt sind. Die Schutzschicht schützt beim Entfernen der zweiten elektrisch leitfähigen Schicht die Kontaktbereiche und gegebenenfalls den Widerstandsbereich, so dass die zweite elektrisch leitfähige Schicht in den Kontaktbereichen und gegebenenfalls dem Widerstandsbereich erhalten bleibt. Nach dem Entfernen der zweiten elektrisch leitfähigen Schicht in dem Bauelementbereich wird die Schutzschicht entfernt.

Die Schutzschicht kann beispielsweise ein Material oder eine Substanz aufweisen, welche dazu dient, das zweite elektrisch leitfähige Material der zweiten elektrisch leitfähigen Schicht in den Teilbereichen, auf welchen es auf der zweiten elektrisch leitfähigen Schicht aufgebracht ist, im weiteren Verfahrensablauf der Herstellung der optoelektronischen Baugruppe, beispielsweise in einem oder mehreren weiteren Prozessschritten, zu schützen. Die Schutzschicht kann beispielsweise einen Überzug, ein Lack oder dergleichen sein. Beispielsweise kann die Schutzschicht ein Ätzstopplack sein, beispielsweise ein Ätzstopplack wie er bei der Herstellung von Leiterplatten (PCBs) verwendet wird. Dieser Ätzstopplack kann thermisch oder mittels UV-Strahlung vernetzt bzw. gehärtet werden. Die Schutzschicht kann beispielsweise in einem Lösungsmittel löslich sein, in welchem das Dielektrikum nicht löslich ist. Beispielsweise kann die Schutzschicht im alkalischen löslich oder Base-löslich sein. Beispielsweise kann die Schutzschicht in einer alkalischen Lösung, beispielsweise einer schwach alkalischen wässrige Lösungen

von Salzen (z. B. NaOH, KOH, NH_4OH, oder quartäre Ammoniumsalze wie $N(CH_3)_4OH$) löslich sein.

Das strukturierte Aufbringen der Schutzschicht kann sowohl nach dem Aufbringen der zweiten elektrisch leitfähigen Schicht auf der ersten elektrisch leitfähigen Schicht und vor dem strukturierten Aufbringen des Dielektrikums auf der zweiten elektrisch leitfähigen Schicht als auch nach dem strukturierten Aufbringen des Dielektrikums auf der zweiten elektrisch leitfähigen Schicht und vor dem Aufbringen der optisch funktionellen Schicht auf der zweiten elektrisch leitfähigen Schicht erfolgen. Das strukturierte Aufbringen der Schutzschicht kann dabei derart erfolgen, dass die zweite elektrisch leitfähige Schicht in den Kontaktbereichen mit dem Material der Schutzschicht bedeckt ist und in den Bauelementbereichen nicht mit dem Material der Schutzschicht bedeckt ist. Das Schutzmaterial kann - zumindest abschnittsweise - über oder auf dem Dielektrikum angeordnet werden.

Beispielsweise können sowohl das Dielektrikum als auch die Schutzschicht resistent gegenüber den zum Ätzen des zweiten elektrisch leitfähigen Materials verwendeten Chemikalien sein. Das Dielektrikum und die Schutzschicht können in den Bereichen der zweiten elektrisch leitfähigen Schicht, auf denen sie aufgebracht sind, als Ätzstopp für die zweite elektrisch leitfähige Schicht bzw. das zweite elektrisch leitfähige Material in den entsprechenden Bereichen dienen. Durch Ätzen des zweiten elektrisch leitfähigen Materials bleiben die Strukturen der zweiten elektrisch leitenden Schicht, welche unter dem Dielektrikum und/oder unter der Schutzschicht liegen, und der ersten elektrisch leitfähigen Schicht erhalten. Der Ätzprozess zum Entfernen der zweiten elektrischen Schicht in dem Bauelementbereich kann beispielsweise der einzige Ätzprozess sein, der zum Herstellen der optoelektronischen Baugruppe durchgeführt wird.

Bei verschiedenen Ausführungsformen wird die optisch funktionelle Schicht nach dem Erwärmen des Dielektrikums ausgebildet.

Bei verschiedenen Ausführungsformen ist von der ersten elektrisch leitfähigen Schicht zwischen der optisch funktionellen Schicht und dem Substrat eine erste Elektrode eines optoelektronischen Bauelements gebildet und von der Elektrodenschicht auf einer von der ersten Elektrode abgewandten Seite der optisch funktionellen Schicht ist eine zweite Elektrode des optoelektronischen Bauelements gebildet. Das optoelektronische Bauelement weist die organisch funktionelle Schicht zwischen der ersten und der zweiten Elektrode des ersten optoelektronischen Bauelements auf. Beispielsweise bildet die erste Elektrode eine Anode des optoelektronischen Bauelements und die zweite Elektrode eine Kathode des optoelektronischen Bauelements. Alternativ dazu kann die erste Elektrode eine Kathode des optoelektronischen Bauelements und die zweite Elektrode eine Anode des optoelektronischen Bauelements bilden.

Bei verschiedenen Ausführungsformen sind das passive elektronische Bauelement und das optoelektronische Bauelement über den zweiten Kontaktbereich in Reihe geschaltet.

Bei verschiedenen Ausführungsformen wird die Schutzschicht mittels eines Druckverfahrens aufgebracht. Dies kann dazu beitragen, die Schutzschicht strukturiert auf die zweite elektrisch leitfähige Schicht und das Substrat aufzubringen. Das Druckverfahren kann beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, und/oder Rakeln umfassen.

Das Dielektrikum kann beispielsweise säurelöslich oder Base-löslich sein. Dies kann dazu beitragen, das Dielektrikum einfach mit einer Säure bzw. einer Base zu entfernen. Beispielsweise sind das Material der Schutzschicht Base-

löslich und das Dielektrikum säurelöslich. Alternativ dazu sind das Material der Schutzschicht säurelöslich und das Dielektrikum Base-löslich. Dies bewirkt, dass beim Entfernen der Schutzschicht das Dielektrikum unversehrt bleibt.

In verschiedenen Ausführungsformen wird ein passives elektronisches Bauelement bereitgestellt. Das passive elektronische Bauelement weist beispielsweise eine erste elektrisch leitfähige Schicht auf einem Substrat und eine zweite elektrisch leitfähige Schicht auf der ersten elektrisch leitfähigen Schicht auf. Ein erster Graben ist in der ersten und zweiten elektrisch leitfähigen Schicht ausgebildet. Der erste Graben trennt einen ersten Kontaktbereich von einem zweiten Kontaktbereich ab. Ein Dielektrikum ist derart strukturiert auf der zweiten elektrisch leitfähigen Schicht in dem ersten Kontaktbereich und zumindest teilweise auf dem Substrat in dem ersten Graben aufgebracht, dass es den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht ist über dem ersten Kontaktbereich auf dem Dielektrikum und auf dem zweiten Kontaktbereich strukturiert aufgebracht. Beispielsweise kann das Dielektrikum derart strukturiert auf der zweiten elektrisch leitfähigen Schicht in dem ersten Kontaktbereich und zumindest teilweise in dem ersten Graben aufgebracht sein, dass es Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht in dem ersten Graben verkapselt.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Folgenden näher erläutert.

Es zeigen

Figur 1 einen ersten Zustand eines Ausführungsbeispiels eines passiven elektronischen Bauelements während eines Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 2 einen zweiten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 3 einen dritten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 4 einen vierten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 5 einen fünften Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 6 einen sechsten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 7 ein Ausführungsbeispiel des passiven elektronischen Bauelements;

Figur 8 eine Draufsicht auf das passive elektronische Bauelement gemäß Figur 7;

Figur 9 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 10 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 11 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 12 einen ersten Zustand eines Ausführungsbeispiels einer optoelektronischen Baugruppe während eines

Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 13 einen zweiten Zustand der optoelektronischen Baugruppe gemäß Figur 12 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 14 einen dritten Zustand der optoelektronischen Baugruppe gemäß Figur 13 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 15 einen vierten Zustand der optoelektronischen Baugruppe gemäß Figur 14 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 16 einen fünften Zustand der optoelektronischen Baugruppe gemäß Figur 15 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 17 ein Ausführungsbeispiel einer Schichtstruktur eines optoelektronischen Bauelements.

In der folgenden ausführlichen Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die Teil dieser Beschreibung bilden und in denen zur Veranschaulichung spezifische Ausführungsbeispiele gezeigt sind, in denen die Erfindung ausgeübt werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „oben", „unten", „vorne", „hinten", „vorderes", „hinteres", usw. mit Bezug auf die Orientierung der beschriebenen Figur(en) verwendet. Da Komponenten von Ausführungsbeispielen in einer Anzahl verschiedener Orientierungen positioniert werden können, dient die Richtungsterminologie zur Veranschaulichung und ist auf keinerlei Weise einschränkend. Es versteht sich, dass

andere Ausführungsbeispiele benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzumfang der vorliegenden Erfindung abzuweichen. Es versteht sich, dass die Merkmale der hierin beschriebenen verschiedenen Ausführungsbeispiele miteinander kombiniert werden können, sofern nicht spezifisch anders angegeben. Die folgende ausführliche Beschreibung ist deshalb nicht in einschränkendem Sinne aufzufassen, und der Schutzumfang der vorliegenden Erfindung wird durch die angefügten Ansprüche definiert.

Im Rahmen dieser Beschreibung werden die Begriffe "verbunden", "angeschlossen" sowie "gekoppelt" verwendet zum Beschreiben sowohl einer direkten als auch einer indirekten Verbindung, eines direkten oder indirekten Anschlusses sowie einer direkten oder indirekten Kopplung. In den Figuren werden identische oder ähnliche Elemente mit identischen Bezugszeichen versehen, soweit dies zweckmäßig ist.

Ein passives elektronisches Bauelement kann beispielsweise einen, zwei oder mehr Kondensatoren und/oder einen, zwei oder mehr elektrische Widerstände aufweisen. Beispielsweise kann das passive elektronische Bauelement eine Kombination eines, zweier oder mehrerer Kondensatoren mit einem, zweien oder mehreren elektrischen Widerständen sein. Beispielsweise können ein, zwei oder mehr Kondensatoren in Reihe mit oder parallel zu einem, zwei oder mehr elektrischen Widerständen geschaltet sein.

Eine optoelektronische Baugruppe kann beispielsweise ein passives elektronisches Bauelement und ein, zwei oder mehr optoelektronische Bauelemente aufweisen. Ein optoelektronisches Bauelement kann beispielsweise ein elektromagnetische Strahlung absorbierendes und/oder ein elektromagnetische Strahlung emittierendes Bauelement aufweisen. Ein elektromagnetische Strahlung absorbierendes Bauelement kann beispielsweise eine Solarzelle sein. Ein elektromagnetische Strahlung emittierendes Bauelement kann in

verschiedenen Ausführungsbeispielen ein elektromagnetische Strahlung emittierendes Halbleiter-Bauelement sein und/oder als eine elektromagnetische Strahlung emittierende Diode, als eine organische elektromagnetische Strahlung emittierende Diode, als ein elektromagnetische Strahlung emittierender Transistor oder als ein organischer elektromagnetische Strahlung emittierender Transistor ausgebildet sein. Die elektromagnetische Strahlung kann beispielsweise Licht im sichtbaren Bereich, UV-Licht und/oder Infrarot-Licht sein. In diesem Zusammenhang kann das elektromagnetische Strahlung emittierende Bauelement beispielsweise als Licht emittierende Diode (light emitting diode, LED) als organische Licht emittierende Diode (organic light emitting diode, OLED), als Licht emittierender Transistor oder als organischer Licht emittierender Transistor ausgebildet sein. Das Licht emittierende Bauelement kann in verschiedenen Ausführungsbeispielen Teil einer integrierten Schaltung sein. Weiterhin kann eine Mehrzahl von Licht emittierenden Bauelementen vorgesehen sein, beispielsweise untergebracht in einem gemeinsamen Gehäuse.

Anhand von Figuren 1 bis 7 wird ein Ausführungsbeispiel eines Verfahrens zum Herstellen eines passiven elektronischen Bauelements erläutert. Dabei sind in den Figuren 1 bis 7 Ausführungsbeispiele von Komponenten des passiven elektronischen Bauelements in unterschiedlichen Zuständen des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements dargestellt.

Fig. 1 zeigt ein Ausführungsbeispiel eines Substrats 10 des passiven elektronischen Bauelements. Das Substrat 10 kann beispielsweise Glas, beispielsweise Fensterglas, Quarz, ein Halbleitermaterial und/oder ein anderes geeignetes Material, beispielsweise Bor-Silikat, Aluminium-Silikat und/oder ein Standard-Material aus der Display-Industrie, aufweisen oder daraus gebildet sein. Ferner kann das Substrat 10 eine Kunststofffolie oder ein Laminat mit einer oder mit mehreren

Kunststofffolien aufweisen oder daraus gebildet sein. Der Kunststoff kann ein oder mehrere Polyolefine (beispielsweise Polyethylen (PE) mit hoher oder niedriger Dichte oder Polypropylen (PP)) aufweisen oder daraus gebildet sein. Ferner kann der Kunststoff Polyvinylchlorid (PVC), Polystyrol (PS), Polyester und/oder Polycarbonat (PC), Polyethylenterephthalat (PET), Polyethersulfon (PES) und/oder Polyethylennaphthalat (PEN) aufweisen oder daraus gebildet sein. Das Substrat 10 kann ein Metall oder eine Metallverbindung aufweisen oder daraus gebildet sein, beispielsweise Kupfer, Silber, Gold, Platin oder ähnliches. Das Metall oder eine Metallverbindung kann auch als eine Metallfolie oder eine Metallbeschichtete Folie ausgebildet sein. Das Substrat 10 kann eines oder mehrere der oben genannten Materialien aufweisen.

Das Substrat 10 kann transluzent oder sogar transparent ausgebildet sein.

Unter dem Begriff „transluzent" bzw. „transluzente Schicht" kann in verschiedenen Ausführungsbeispielen verstanden werden, dass eine Schicht für elektromagnetische Strahlung durchlässig ist, beispielsweise für die von einem elektromagnetische Strahlung emittierenden Bauelement emittierte Strahlung, beispielsweise einer oder mehrerer Wellenlängenbereiche, beispielsweise für Licht in einem Wellenlängenbereich des sichtbaren Lichts (beispielsweise zumindest in einem Teilbereich des Wellenlängenbereichs von 380 nm bis 780 nm). Beispielsweise ist unter dem Begriff „transluzente Schicht" in verschiedenen Ausführungsbeispielen zu verstehen, dass im Wesentlichen die gesamte in eine Struktur (beispielsweise eine Schicht) eingekoppelte Strahlungsmenge auch aus der Struktur (beispielsweise Schicht) ausgekoppelt wird, wobei ein Teil des Licht hierbei gestreut werden kann.

Unter dem Begriff „transparent" oder „transparente Schicht" kann in verschiedenen Ausführungsbeispielen verstanden

werden, dass eine Schicht für Licht durchlässig ist (beispielsweise zumindest in einem Teilbereich des Wellenlängenbereichs von 380 nm bis 780 nm), wobei in eine Struktur (beispielsweise eine Schicht) eingekoppelte elektromagnetische Strahlung im Wesentlichen ohne Streuung oder Wellenlängenkonversion auch aus der Struktur (beispielsweise Schicht) ausgekoppelt wird. Somit ist „transparent" in verschiedenen Ausführungsbeispielen als ein Spezialfall von „transluzent" anzusehen. Für den Fall, dass beispielsweise ein monochromes oder im Emissionsspektrum begrenztes optoelektronisches Bauelement bereitgestellt werden soll, kann es ausreichen, dass die optisch transluzente Schichtenstruktur zumindest in einem Teilbereich des Wellenlängenbereichs der gewünschten monochromen elektromagnetischen Strahlung oder für das begrenzte Emissionsspektrum transluzent ist.

Fig. 2 zeigt das Substrat 10 gemäß Figur 1 und ein Ausführungsbeispiel einer ersten elektrisch leitfähigen Schicht 12, die auf dem Substrat 12 ausgebildet ist. Zwischen dem Substrat 10 und der ersten elektrisch leitfähigen Schicht 12 kann beispielsweise eine in Figur 2 nicht gezeigte und im Folgenden mit Bezug zu Figur 20 erläuterte Barrierenschicht ausgebildet sein.

Die erste elektrisch leitfähige Schicht 12 kann aus einem ersten elektrisch leitfähigen Material gebildet werden oder sein, wie beispielsweise aus einem Metall oder einem leitfähigen transparenten Oxid (transparent conductive oxide, TCO) oder einem Schichtenstapel mehrerer Schichten desselben Metalls oder unterschiedlicher Metalle und/oder desselben TCO oder unterschiedlicher TCOs. Transparente leitfähige Oxide können beispielsweise transparente, leitfähige Stoffe, beispielsweise Metalloxide, wie beispielsweise Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid, oder Indium-Zinn-Oxid (ITO), beispielsweise ZnO, IN/ZnO, SnZnO oder Al-ZnO, sein. Neben binären Metallsauerstoffverbindungen, wie

beispielsweise ZnO, SnO_2, oder In_2O_3 können auch ternäre Metallsauerstoffverbindungen, wie beispielsweise AlZnO, Zn_2SnO_4, $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen unterschiedlicher transparenter leitfähiger Oxide zu der Gruppe der TCOs gehören und können in verschiedenen Ausführungsbeispielen eingesetzt werden. Weiterhin entsprechen die TCOs nicht zwingend einer stöchiometrischen Zusammensetzung und können ferner p-dotiert oder n-dotiert sein. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 ein Metall aufweisen; beispielsweise Ag, Pt, Au, Mg, Al, Ba, In, Ag, Au, Mg, Ca, Sm oder Li, sowie Verbindungen, Kombinationen oder Legierungen dieser Stoffe. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige gebildet werden von einem Schichtenstapel einer Kombination einer Schicht eines Metalls auf einer Schicht eines TCOs, oder umgekehrt. Ein Beispiel ist eine Silberschicht, die auf einer Indium-Zinn-Oxid-Schicht (ITO) aufgebracht ist (Ag auf ITO) oder ITO-Ag-ITO Multischichten. Das erste elektrisch leitfähige Material der ersten elektrisch leitfähigen Schicht 12 kann beispielsweise so gewählt werden, dass es einem im Folgenden erläuterten Ätzprozess zum Entfernen eines im Folgenden erläuterten zweiten elektrisch leitfähigen Materials widerstehen kann.

In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 eines oder mehrere der folgenden Stoffe alternativ oder zusätzlich zu den oben genannten Stoffen aufweisen: Netzwerke aus metallischen Nanodrähten und -teilchen, beispielsweise aus Ag; Netzwerke aus Kohlenstoff-Nanoröhren; Graphen-Teilchen und -Schichten; Netzwerke aus halbleitfähigen Nanodrähten. Ferner kann die erste elektrisch leitfähige Schicht elektrisch leitfähige Polymere oder Übergangsmetalloxide oder elektrisch leitfähige transparente Oxide aufweisen.

In verschiedenen Ausführungsbeispielen können die erste elektrisch leitfähige Schicht 12 und/oder das Substrat 10 transluzent oder transparent ausgebildet sein. In dem Fall, dass die erste elektrisch leitfähige Schicht ein Metall aufweist oder daraus gebildet ist, kann die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen von kleiner oder gleich ungefähr 25 nm, beispielsweise eine Schichtdicke von kleiner oder gleich ungefähr 20 nm, beispielsweise eine Schichtdicke von kleiner oder gleich ungefähr 18 nm. Weiterhin kann die elektrisch leitfähige Schicht 12 beispielsweise Schichtdicke aufweisen von größer oder gleich ungefähr 10 nm, beispielsweise eine Schichtdicke von größer oder gleich ungefähr 15 nm. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 eine Schichtdicke aufweisen in einem Bereich von ungefähr 10 nm bis ungefähr 25 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 18 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 15 nm bis ungefähr 18 nm.

Weiterhin kann für den Fall, dass die erste elektrisch leitfähige Schicht 12 ein leitfähiges transparentes Oxid (TCO) aufweist oder daraus gebildet ist, die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen in einem Bereich von ungefähr 50 nm bis ungefähr 500 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 75 nm bis ungefähr 250 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 100 nm bis ungefähr 150 nm.

Ferner kann für den Fall, dass die erste elektrisch leitfähige Schicht 12 aus beispielsweise einem Netzwerk aus metallischen Nanodrähten, beispielsweise aus Ag, die mit leitfähigen Polymeren kombiniert sein können, einem Netzwerk aus Kohlenstoff-Nanoröhren, die mit leitfähigen Polymeren kombiniert sein können, oder aus Graphen-Schichten und Kompositen gebildet werden, die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen in

einem Bereich von ungefähr 1 nm bis ungefähr 500 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 400 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 40 nm bis ungefähr 250 nm.

Die erste elektrisch leitfähige Schicht 12 kann zum Ausbilden von Anoden, also Löcher injizierenden Elektroden, ausgebildet sein oder von Kathoden, also Elektronen injizierende Elektroden. Die erste elektrisch leitfähige Schicht 12 kann beispielsweise mittels Sputtern, beispielsweise DC-Sputtern, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf das Substrat 10 aufgebracht werden. Die erste elektrisch leitfähige Schicht 12 kann beispielsweise flächig, also ohne Struktur auf das Substrat 10 aufgebracht werden.

Fig. 3 zeigt das Substrat 10, die erste elektrisch leitfähige Schicht 12 und ein Ausführungsbeispiel einer zweiten elektrisch leitfähigen Schicht 14, die auf der ersten elektrisch leitfähigen Schicht 12 ausgebildet ist. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise Chrom, Aluminium, Molybdän, Kupfer oder Silber aufweisen. Beispielsweise kann die zweite elektrisch leitfähige Schicht 14 Teilschichten aufweisen, die alternierend unterschiedliche Metalle aufweisen. Beispielsweise kann die zweite elektrisch leitfähige Schicht 12 gebildet sein aus einem Stapel Cr-Al-Cr, Mo-Al-Mo, Cr-Cu-Cr. Beispielsweise kann die zweite elektrisch leitfähige Schicht 14 eine Schichtdicke beispielsweise zwischen 600 und 900 nm, beispielsweise zwischen 700 und 800 nm aufweisen. Die Teilschichten können gegebenenfalls Dicken beispielsweise zwischen 50 und 500 nm, beispielsweise zwischen 100 und 400 nm aufweisen. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise mittels Sputtern, beispielsweise DC-Sputtern, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die erste elektrisch leitfähige Schicht 12 aufgebracht werden. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise

flächig, also ohne Struktur auf die erste elektrisch leitfähige Schicht 12 aufgebracht werden.

Fig. 4 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14, wobei in den beiden elektrisch leitfähigen Schichten 12, 14 ein Ausführungsbeispiel eines ersten Grabens 24 ausgebildet ist. Der erste Graben 24 kann beispielsweise mittels Laserablation ausgebildet werden. In dem ersten Graben 24 ist das Material des Substrats 10 frei gelegt. In anderen Worten entspricht eine Tiefe des ersten Grabens 24 einer gemeinsamen Dicke der beiden elektrisch leitfähigen Schichten 12, 14. Für die Laserablation kann beispielsweise ein kontinuierlich oder gepulst betriebener Laser verwendet werden, beispielsweise ein Femto-, Nano- oder Pico-Laser. Der Laser kann beispielsweise elektromagnetische Strahlung im IR-Bereich oder im UV-Bereich, beispielsweise bei 200 bis 300 nm, und/oder mit einer Leistung von 0,5 W bis 1 W emittieren.

Der erste Graben 24 trennt einen ersten Kontaktbereich 16 von einem zweiten Kontaktbereich 18 ab. Der erste Graben 24 kann Teil einer Grabenstruktur sein, die beispielsweise den ersten und/oder zweiten Kontaktbereich 16, 18 in den Ebenen der beiden elektrisch leitfähigen Schichten 12, 14 teilweise oder vollständig begrenzen. Der erste Kontaktbereich 16 kann beispielsweise zum elektrischen Kontaktieren des passiven elektronischen Bauelements dienen.

Fig. 5 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14, wobei ein Ausführungsbeispiel eines Dielektrikums 28 auf die zweite elektrisch leitfähige Schicht 14 angrenzend an den Graben 24 strukturiert aufgebracht ist. Das Dielektrikum 28 kann beispielsweise eine elektrisch isolierende Substanz sein, welche nachfolgend einen direkten Stromfluss zwischen der ersten oder zweiten elektrisch leitfähigen Schicht 12, 14 in dem ersten Kontaktbereich 16 und der ersten oder zweiten elektrisch leitfähigen Schicht 12, 14 in dem zweiten

Kontaktbereich 18, verhindern kann. Das Dielektrikum 28 kann beispielsweise einen Überzug oder ein Beschichtungsmittel, beispielsweise ein Polymer und/oder einen Lack aufweisen oder daraus gebildet sein. Der Lack kann beispielsweise einen in flüssiger oder in pulverförmiger Form aufbringbaren Beschichtungsstoff aufweisen. Dass das Dielektrikum 28 strukturiert aufgebracht ist, bedeutet, dass die gewünschte Struktur bereits beim Aufbringen des Dielektrikums ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Das Dielektrikum 28 kann beispielsweise mittels eines Druckverfahrens, wie beispielsweise mittels Siebdrucks, Tintenstrahldrucks oder Flexodruckens, oder Rakelns strukturiert aufgebracht werden.

Das Dielektrikum 28 kann beispielsweise so gewählt werden, dass es durch eine nachträgliche Behandlung erweichbar ist und/oder in einen fließfähigen Zustand gebracht werden kann. Zusätzlich zu der elektrischen Isolierung kann das Dielektrikum 28 in einem im Folgenden näher erläuterten Ätzprozess zum Entfernen der zweiten elektrisch leitfähigen Schicht 14 aus Teilbereichen als Ätzstopp dienen. Das Dielektrikum 28 kann beispielsweise säurelöslich und nicht Base-löslich sein. Beispielsweise kann das Dielektrikum 28 in Chloroform und/oder einer Chlororganischen Verbindung oder einer Benzinartigen Verbindung, beispielsweise in Hexin oder Heptan, lösbar sein. Alternativ dazu kann das Dielektrikum 28 Base-löslich und nicht säurelöslich sein.

Fig. 6 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei die Struktur des Dielektrikums verrundet ist, so dass das Dielektrikum 28 die freien Seitenflächen und/oder Kanten der ersten und der zweiten elektrisch leitfähigen Schicht 12, 14 bedeckt und so verkapselt. Die Struktur des Dielektrikums kann beispielsweise verrundet werden, indem das Dielektrikum 28 so stark erwärmt wird, bis es flüssig oder zumindest zähflüssig ist und über die frei gelegten Seitenflächen bzw.

Kanten der ersten und zweiten elektrisch leitfähigen Schicht 12, 14 fließt. Das Dielektrikum 28 kann beispielsweise erhitzt werden, indem die gesamte Anordnung mit dem Dielektrikum 28 auf den elektrisch leitfähigen Schichten 12, 14 und dem Substrat 10 erhitzt wird, beispielsweise in einem Ofen, beispielsweise einem Reflow-Ofen.

Fig. 7 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei auf dem Dielektrikum 28 und einem Teil des zweiten Kontaktbereichs 18 eine Elektrodenschicht 38 strukturiert aufgebracht ist. Der erste Kontaktbereich 16 zwischen dem Substrat 10 und der Elektrodenschicht 38 dient als erste Elektrode, beispielsweise als Anode, des passiven elektronischen Bauelements. Die Elektrodenschicht 38 auf einer von dem Substrat 10 abgewandten Seite des Dielektrikums 28 dient als zweite Elektrode, beispielsweise als Kathode, des passiven elektronischen Bauelements. Das passive elektronische Bauelement kann einerseits über den ersten Kontaktbereich 18 elektrisch kontaktiert werden und kann andererseits über den zweiten Kontaktbereich 18 elektrisch kontaktiert werden. Das passive elektronische Bauelement kann beispielsweise einen Kondensator bilden.

In Figur 7 symbolisiert das Kondensatorsymbol auf dem Substrat 10 die Funktion des passiven elektronischen Bauelements als Kondensator.

Fig. 8 zeigt eine Draufsicht auf das passive elektronische Bauelement gemäß Figur 7. Aus Figur 8 geht hervor, dass der erste und der zweite Kontaktbereich 16, 18, das Dielektrikum 28 und/oder die Elektrodenschicht 38 beispielsweise rechteckförmig ausgebildet sind. Alternativ dazu können der erste und der zweite Kontaktbereich 16, 18 und/oder die Elektrodenschicht 38 beispielsweise quadratisch oder kreisförmig ausgebildet sein. Die in Figur 8 nicht

dargestellte Grabenstruktur, die auch den Graben 24 aufweist, kann entsprechend ausgebildet sein.

Fig. 9 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise den im Vorhergehenden erläuterten Kondensator aufweist. Das passive elektronische Bauelement weist beispielsweise einen zweiten Graben 40 und einen dritten Graben 42 auf, in denen das Substrat 10 frei gelegt ist. Der zweite und der dritte Graben 40, 42 können beispielsweise einen Widerstandsbereich 44 abgrenzen, der eine Verjüngung aufweist. Der Widerstandsbereich 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in einen dritten Kontaktbereich 46 münden. Der Widerstandsbereich 44 bildet einen elektrischen Widerstand, der mit dem Kondensator in Reihe geschaltet ist. Der Widerstand ist in die Schichtstruktur des passiven elektronischen Bauelements integriert und/oder bildet einen Teil des passiven elektronischen Bauelements.

Fig. 10 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise den im Vorhergehenden erläuterten Kondensator aufweist. Das passive elektronische Bauelement weist beispielsweise den zweiten Graben 40 und den dritten Graben 42 auf, in denen das Substrat 10 frei gelegt ist. Der zweite und der dritte Graben 40, 42 können beispielsweise den Widerstandsbereich 44 abgrenzen, der die Verjüngung aufweist. Der Widerstandsbereich 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den zweiten Kontaktbereich 18 münden. Der Widerstandsbereich 44 bildet einen elektrischen Widerstand, der parallel zu dem Kondensator geschaltet ist. Der Widerstand ist in die Schichtstruktur des passiven elektronischen Bauelements integriert und/oder bildet einen Teil des passiven elektronischen Bauelements.

Fig. 11 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise zwei der im Vorhergehenden erläuterten Kondensatoren und zwei der im Vorhergehenden erläuterten Widerstände aufweist. Das passive elektronische Bauelement weist beispielsweise zwei der zweiten Gräben 40 und der dritten Gräben 42 auf, in denen das Substrat 10 frei gelegt ist. Die zweiten und die dritten Gräben 40, 42 können beispielsweise paarweise einen der Widerstandsbereiche 44 abgrenzen, die die Verjüngung aufweisen. Einer der Widerstandsbereiche 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den dritten Kontaktbereich 46 münden und in Reihe mit dem entsprechenden Kondensator geschaltet sein. Der andere der Widerstandsbereiche 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den zweiten Kontaktbereich 18 münden und parallel zu dem entsprechenden Widerstandsbereich 44 geschaltet sein. Die Paare von Kondensatoren und Widerständen sind zu einander parallel geschaltet. Alternativ dazu können Paare von Kondensatoren und Widerständen nacheinander in Reihe geschaltet sein. Ferner können weitere Paare oder andere Kombinationen von Widerständen und Kondensatoren angeordnet sein.

Anhand von Figuren 12 bis 19 wird ein Ausführungsbeispiel eines Verfahrens zum Herstellen einer optoelektronischen Baugruppe erläutert. Dabei sind in den Figuren 12 bis 19 Ausführungsbeispiele von Komponenten der optoelektronischen Baugruppe in unterschiedlichen Zuständen der optoelektronischen Baugruppe während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe dargestellt. Die Verfahrensschritte können beispielsweise grundsätzlich die gleichen wie bei dem im Vorhergehenden erläuterten Verfahren sein. Daher wird im Folgenden ausschließlich auf das Ausbilden der im Vergleich mit dem im Vorhergehenden erläuterten Verfahren neuen Komponenten der optoelektronischen Baugruppe eingegangen.

Fig. 12 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei das Dielektrikum 28 derart strukturiert auf die zweite elektrisch leitfähige Schicht 14 aufgebracht ist, dass es einen Bauelementbereich 50 von dem zweiten Kontaktbereich 28 abtrennt und zumindest teilweise um den Bauelementbereich 50 herum verläuft.

Fig. 13 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei auf den ersten und den zweiten Kontaktbereich 16, 18 ein Ausführungsbeispiel einer Schutzschicht 52 strukturiert aufgebracht ist. Angrenzend an den ersten und den zweiten Kontaktbereich 16, 18 überlappt die Schutzschicht 52 das Dielektrikum 28 teilweise. Die Schutzschicht 52 dient als Ätzstopp zum Schützen der zweiten elektrisch leitfähigen Schicht in den Kontaktbereichen 16, 18 bei einem nachfolgenden Ätzprozess zum Entfernen der zweiten elektrisch leitfähigen Schicht 14 in dem Bauelementbereich 50.

Dass die Schutzschicht 52 strukturiert aufgebracht ist, bedeutet, dass die gewünschte Struktur bereits beim Aufbringen der Schutzschicht 52 ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Die Schutzschicht 52 kann beispielsweise mittels eines Druckverfahrens, wie beispielsweise mittels Siebdruck, Tintenstrahldruck oder Flexodruck, oder Rakeln strukturiert aufgebracht werden. Das Material der Schutzschicht 52 kann beispielsweise Base-löslich und nicht säurelöslich sein, beispielsweise wenn das Dielektrikum 28 säurelöslich ist. Beispielsweise kann das Material der Schutzschicht 52 in Natriumhydroxid, Kalziumhydroxid oder Tetramethylammoniumhydroxid lösbar sein. Alternativ dazu kann das Material der Schutzschicht 52 säurelöslich und/ nicht Base-löslich sein, beispielsweise wenn das Dielektrikum 28 Base-löslich ist. Das Material der Schutzschicht 52 kann

beispielsweise einen Lack aufweisen oder daraus gebildet sein.

Fig. 14 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28 und der Schutzschicht 52, wobei die zweite elektrisch leitfähige Schicht 14 in dem Bauelementbereich 50 entfernt ist. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise mittels eines Ätzprozesses entfernt werden. Für das Ätzen der zweiten elektrisch leitfähigen Schicht 14 kann beispielsweise ein Ätzbad, wie beispielsweise eine 3%-ige Trichloressigsäure in Wasser verwendet werden.

Fig. 15 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei die Schutzschicht 52 entfernt ist. Die Schutzschicht 52 kann beispielsweise mittels einer geeigneten Base und/oder einem basischen Lösungsmittel entfernt werden. Durch das Entfernen der Schutzschicht 52 werden die Kontaktbereiche 16, 18 frei gelegt.

Fig. 16 zeigt die optoelektronische Baugruppe, die das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28 aufweist, wobei in dem Bauelementbereich 50 eine organisch funktionelle Schicht 54 ausgebildet ist. Auf der organisch funktionellen Schicht 54 kann beispielsweise ein Teil der Elektrodenschicht 38 strukturiert aufgebracht sein. Die Elektrodenschicht 38 wird beispielsweise derart strukturiert aufgebracht, dass die organisch funktionelle Schicht 52 mit einem Teil der Elektrodenschicht 38 bedeckt ist. Die erste elektrisch leitfähige Schicht 12 zwischen dem Substrat 10 und der organisch funktionellen Schicht 54 kann beispielsweise als erste Elektrode, beispielsweise als Anode, des optoelektronischen Bauelements dienen. Die Elektrodenschicht 38 auf der organisch funktionellen Schicht 54 kann beispielsweis als zweite Elektrode, beispielsweise als Kathode, des optoelektronischen Bauelements dienen. Die

zweite Elektrode des Kondensators und die erste Elektrode des optoelektronischen Bauelements können beispielsweise direkt körperlich miteinander kontaktiert sein. Die optoelektronische Baugruppe kann beispielsweise einerseits über die zweite Elektrode des optoelektronischen Bauelements und andererseits über die erste Elektrode des Kondensators elektrisch kontaktiert werden, wobei dann der Kondensator und das optoelektronische Bauelement in Reihe geschaltet sind.

In Figur 17 symbolisieren das Kondensatorsymbol und das Diodensymbol auf dem Substrat 10 die Reihenschaltung des passiven elektronischen Bauelements und des optoelektronischen Bauelements.

Die organisch funktionelle Schicht 54 kann beispielsweise den optisch aktiven Bereich des optoelektronischen Bauelements, beispielsweise einer LED oder OLED, darstellen. Die organisch funktionelle Schicht 54 kann beispielsweise in einem, zwei oder mehreren Prozessschritten ausgebildet werden. Beispielsweise kann die organisch funktionelle Schicht 54 im Vakuum aufgedampft werden. Im Falle einer OLED als optoelektronisches Bauelement kann die organisch funktionelle Schicht 54 beispielsweise eine, zwei oder mehrere halbleitende, lichtemittierende organische Schichten aufweisen. Ein Ausführungsbeispiel einer OLED und die detaillierte Ausgestaltung der Schichtenstruktur der OLED sind im Folgenden mit Bezug zu Figur 17 näher erläutert.

Fig. 17 zeigt eine schematische Querschnittsansicht einer Schichtenstruktur eines Ausführungsbeispiels eines optoelektronischen Bauelementes, gemäß verschiedenen Ausführungsbeispielen. Das im Vorhergehenden erläuterte optoelektronische Bauelement der optoelektronischen Baugruppe kann beispielsweise gemäß der im Folgenden erläuterten Schichtenstruktur ausgebildet sein.

Das optoelektronische Bauelement kann beispielsweise ein elektromagnetische Strahlung emittierendes Bauelement, beispielsweise ein lichtemittierendes Bauelement 100, beispielsweise in Form einer organischen Leuchtdiode, sein. Das optoelektronische Bauelement kann einen Träger 102 aufweisen. Der Träger 102 kann beispielsweise einen Teilabschnitt des Substrats 10 repräsentieren und kann als ein Trägerelement für elektronische Elemente oder Schichten, beispielsweise lichtemittierende Elemente, dienen.

In verschiedenen Ausführungsbeispielen kann die organische Leuchtdiode (oder das elektromagnetische Strahlung emittierende Bauelement 100 gemäß den im Vorhergehenden oder im Folgenden beschriebenen Ausführungsbeispielen) als ein so genannter Top- und Bottom-Emitter eingerichtet sein. Ein Top- und/oder Bottom-Emitter kann auch als optisch transparentes Bauelement, beispielsweise eine transparente organische Leuchtdiode, bezeichnet werden.

Auf oder über dem Träger 102 kann in verschiedenen Ausführungsbeispielen optional eine Barriereschicht 104 angeordnet sein. Die Barrierenschicht 104 kann beispielsweise auch als Teilschicht des Trägers 102 angesehen werden. Die Barriereschicht 104 kann eines oder mehrere der folgenden Stoffe aufweisen oder daraus bestehen: Aluminiumoxid, Zinkoxid, Zirkoniumoxid, Titanoxid, Hafniumoxid, Tantaloxid Lanthaniumoxid, Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Indiumzinnoxid, Indiumzinkoxid, Aluminium-dotiertes Zinkoxid, sowie Mischungen und Legierungen derselben. Ferner kann die Barriereschicht 104 in verschiedenen Ausführungsbeispielen eine Schichtdicke aufweisen in einem Bereich von ungefähr 0,1 nm (eine Atomlage) bis ungefähr 5000 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 200 nm, beispielsweise eine Schichtdicke von ungefähr 40 nm.

Auf oder über der Barriereschicht 104 kann ein elektrisch aktiver Bereich 106 des lichtemittierenden Bauelements 100

angeordnet sein. Der elektrisch aktive Bereich 106 kann als der Bereich des lichtemittierenden Bauelements 100 verstanden werden, in dem ein elektrischer Strom zum Betrieb des lichtemittierenden Bauelements 100 fließt. In verschiedenen Ausführungsbeispielen kann der elektrisch aktive Bereich 106 eine erste Elektrode 110 des optoelektronischen Bauelements, eine zweite Elektrode 114 des optoelektronischen Bauelements und eine organische funktionelle Schichtenstruktur 112 des optoelektronischen Bauelements aufweisen, wie sie im Folgenden noch näher erläutert werden.

So kann in verschiedenen Ausführungsbeispielen auf oder über der Barriereschicht 104 (oder, wenn die Barriereschicht 104 nicht vorhanden ist, auf oder über dem Träger 102) die erste Elektrode 110 des optoelektronischen Bauelements aufgebracht sein.

Weiterhin kann der elektrisch aktive Bereich 106 des lichtemittierenden Bauelements 100 eine organische funktionelle Schichtenstruktur 112 aufweisen, die auf oder über der ersten Elektrode 110 des optoelektronischen Bauelements aufgebracht ist oder ausgebildet wird. Beispielsweise kann die organisch funktionelle Schichtenstruktur 112 des optoelektronischen Bauelements die organisch funktionelle Schicht 54 repräsentieren.

Die organisch funktionelle Schichtenstruktur 112 kann eine oder mehrere Emitterschichten 118 aufweisen, beispielsweise mit fluoreszierenden und/oder phosphoreszierenden Emittern, sowie eine oder mehrere Lochleitungsschichten 116 (auch bezeichnet als Lochtransportschicht(en) 120). In verschiedenen Ausführungsbeispielen können alternativ oder zusätzlich eine oder mehrere Elektronenleitungsschichten 116 (auch bezeichnet als Elektronentransportschicht(en) 116) vorgesehen sein.

Beispiele für Emittermaterialien, die in dem lichtemittierenden Bauelement 100 gemäß verschiedenen

Ausführungsbeispielen für die Emitterschicht(en) 118 eingesetzt werden können, schließen organische oder organometallische Verbindungen, wie Derivate von Polyfluoren, Polythiophen und Polyphenylen (z.B. 2- oder 2,5-substituiertes Poly-p-phenylenvinylen) sowie Metallkomplexe, beispielsweise Iridium-Komplexe wie blau phosphoreszierendes FIrPic (Bis(3,5-difluoro-2-(2-pyridyl)phenyl-(2-carboxypyridyl)-iridium III), grün phosphoreszierendes $Ir(ppy)_3$ (Tris(2-phenylpyridin)iridium III), rot phosphoreszierendes $Ru(dtb\text{-}bpy)_3*2(PF_6)$ (Tris[4,4'-di-tert-butyl-(2,2')-bipyridin]ruthenium(III)komplex) sowie blau fluoreszierendes DPAVBi (4,4-Bis[4-(di-p-tolylamino)styryl]biphenyl), grün fluoreszierendes TTPA (9,10-Bis[N,N-di-(p-tolyl)-amino]anthracen) und rot fluoreszierendes DCM2 (4-Dicyanomethylen)-2-methyl-6-julolidyl-9-enyl-4H-pyran) als nichtpolymere Emitter ein. Solche nichtpolymeren Emitter sind beispielsweise mittels thermischen Verdampfens abscheidbar. Ferner können Polymeremitter eingesetzt werden, welche insbesondere mittels eines nasschemischen Verfahrens, wie beispielsweise einem Aufschleuderverfahren (auch bezeichnet als Spin Coating), abscheidbar sind.

Die Emittermaterialien können in geeigneter Weise in einem Matrixmaterial eingebettet sein.

Es ist darauf hinzuweisen, dass andere geeignete Emittermaterialien in anderen Ausführungsbeispielen ebenfalls vorgesehen sind.

Die Emittermaterialien der Emitterschicht(en) 118 des lichtemittierenden Bauelements 100 können beispielsweise so ausgewählt sein, dass das lichtemittierende Bauelement 100 Weißlicht emittiert. Die Emitterschicht(en) 118 kann/können mehrere verschiedenfarbig (zum Beispiel blau und gelb oder blau, grün und rot) emittierende Emittermaterialien aufweisen, alternativ kann/können die Emitterschicht(en) 118

auch aus mehreren Teilschichten aufgebaut sein, wie einer blau fluoreszierenden Emitterschicht 118 oder blau phosphoreszierenden Emitterschicht 118 , einer grün phosphoreszierenden Emitterschicht 118 und einer rot phosphoreszierenden Emitterschicht 118. Durch die Mischung der verschiedenen Farben kann die Emission von Licht mit einem weißen Farbeindruck resultieren. Alternativ kann auch vorgesehen sein, im Strahlengang der durch diese Schichten erzeugten Primäremission ein Konvertermaterial anzuordnen, das die Primärstrahlung zumindest teilweise absorbiert und eine Sekundärstrahlung anderer Wellenlänge emittiert, so dass sich aus einer (noch nicht weißen) Primärstrahlung durch die Kombination von primärer Strahlung und sekundärer Strahlung ein weißer Farbeindruck ergibt.

Die organische funktionelle Schichtenstruktur 112 kann allgemein eine oder mehrere elektrolumineszente Schichten aufweisen. Die eine oder mehreren elektrolumineszenten Schichten kann oder können organische Polymere, organische Oligomere, organische Monomere, organische kleine, nicht-polymere Moleküle („small molecules") oder eine Kombination dieser Stoffe aufweisen. Beispielsweise kann die organische funktionelle Schichtenstruktur 112 eine oder mehrere elektrolumineszente Schichten aufweisen, die als Lochtransportschicht 120 ausgeführt ist oder sind, so dass beispielsweise in dem Fall einer OLED eine effektive Löcherinjektion in eine elektrolumineszierende Schicht oder einen elektrolumineszierenden Bereich ermöglicht wird. Alternativ kann in verschiedenen Ausführungsbeispielen die organisch funktionelle Schichtenstruktur 112 eine oder mehrere funktionelle Schichten aufweisen, die als Elektronentransportschicht 116 ausgeführt ist oder sind, so dass beispielsweise in einer OLED eine effektive Elektroneninjektion in eine elektrolumineszierende Schicht oder einen elektrolumineszierenden Bereich ermöglicht wird. Als Stoff für die Lochtransportschicht 120 können beispielsweise tertiäre Amine, Carbazoderivate, leitfähiges Polyanilin oder Polythylendioxythiophen verwendet werden. In

verschiedenen Ausführungsbeispielen kann oder können die eine oder die mehreren elektrolumineszenten Schichten als elektrolumineszierende Schicht ausgeführt sein.

In verschiedenen Ausführungsbeispielen kann die Lochtransportschicht 120 auf oder über der ersten Elektrode 110 des optoelektronischen Bauelements aufgebracht, beispielsweise abgeschieden, sein, und die Emitterschicht 118 kann auf oder über der Lochtransportschicht 120 aufgebracht sein, beispielsweise abgeschieden sein. In verschiedenen Ausführungsbeispielen kann die Elektronentransportschicht 116 auf oder über der Emitterschicht 118 aufgebracht, beispielsweise abgeschieden, sein.

In verschiedenen Ausführungsbeispielen kann die organische funktionelle Schichtenstruktur 112 (also beispielsweise die Summe der Dicken von Lochtransportschicht(en) 120 und Emitterschicht(en) 118 und Elektronentransportschicht(en) 116) eine Schichtdicke aufweisen von maximal ungefähr 1,5 µm, beispielsweise eine Schichtdicke von maximal ungefähr 1,2 µm, beispielsweise eine Schichtdicke von maximal ungefähr 1 µm, beispielsweise eine Schichtdicke von maximal ungefähr 800 nm, beispielsweise eine Schichtdicke von maximal ungefähr 500 nm, beispielsweise eine Schichtdicke von maximal ungefähr 400 nm, beispielsweise eine Schichtdicke von maximal ungefähr 300 nm.

In verschiedenen Ausführungsbeispielen kann die organische funktionelle Schichtenstruktur 112 beispielsweise einen Stapel von mehreren direkt übereinander angeordneten organischen Leuchtdioden (OLEDs) aufweisen, wobei jede OLED beispielsweise eine Schichtdicke aufweisen kann von maximal ungefähr 1,5 µm, beispielsweise eine Schichtdicke von maximal ungefähr 1,2 µm, beispielsweise eine Schichtdicke von maximal ungefähr 1 µm, beispielsweise eine Schichtdicke von maximal ungefähr 800 nm, beispielsweise eine Schichtdicke von maximal ungefähr 500 nm, beispielsweise eine Schichtdicke von maximal ungefähr 400 nm, beispielsweise eine Schichtdicke von maximal ungefähr 300 nm. In verschiedenen Ausführungsbeispielen kann

die organische funktionelle Schichtenstruktur 112 beispielsweise einen Stapel von zwei, drei oder vier direkt übereinander angeordneten OLEDs aufweisen, in welchem Fall beispielsweise organische funktionelle Schichtenstruktur 112 eine Schichtdicke aufweisen kann von maximal ungefähr 3 µm.

Das lichtemittierende Bauelement 100 kann optional allgemein weitere organische Funktionsschichten, beispielsweise angeordnet auf oder über der einen oder mehreren Emitterschichten 118 oder auf oder über der oder den Elektronentransportschicht(en) 116 aufweisen, die dazu dienen, die Funktionalität und damit die Effizienz des lichtemittierenden Bauelements 100 weiter zu verbessern.

Auf oder über der organischen funktionellen Schichtenstruktur 112 oder gegebenenfalls auf oder über der einen oder den mehreren weiteren organischen funktionellen Schichtenstrukturen kann die zweite Elektrode 114 des optoelektronischen Bauelements aufgebracht sein. In verschiedenen Ausführungsbeispielen kann die zweite Elektrode 114 des optoelektronischen Bauelements die gleichen Stoffe aufweisen oder daraus gebildet sein wie die erste Elektrode 110, wobei in verschiedenen Ausführungsbeispielen Metalle besonders geeignet sind. In verschiedenen Ausführungsbeispielen sind die erste Elektrode 110 des optoelektronischen Bauelements und/oder die zweite Elektrode 114 des optoelektronischen Bauelements transluzent oder transparent ausgebildet. Somit kann das in Fig.1 dargestellte lichtemittierende Bauelement 100 als Top- und/oder Bottom-Emitter (anders ausgedrückt als transparentes lichtemittierendes Bauelement 100) ausgebildet sein. Die zweite Elektrode 114 des optoelektronischen Bauelements kann als Anode, also als Löcher injizierende Elektrode, ausgebildet sein oder als Kathode, also als eine Elektronen injizierende Elektrode.

Auf oder über der zweiten Elektrode 114 des optoelektronischen Bauelements und damit auf oder über dem

elektrisch aktiven Bereich 106 kann optional noch eine Verkapselung 108, beispielsweise in Form einer Barrierendünnschicht/Dünnschichtverkapselung 108 gebildet werden oder sein. Unter einer „Barrierendünnschicht" 108 bzw. einem „Isolatorbereich-Dünnfilm" 108 kann im Rahmen dieser Anmeldung beispielsweise eine Schicht oder eine Schichtenstruktur verstanden werden, die dazu geeignet ist, eine Isolatorbereich gegenüber chemischen Verunreinigungen bzw. atmosphärischen Stoffen, insbesondere gegenüber Wasser (Feuchtigkeit) und Sauerstoff, zu bilden. Mit anderen Worten ist die Barrierendünnschicht 108 derart ausgebildet, dass sie von OLED-schädigenden Stoffen wie Wasser, Sauerstoff oder Lösemittel nicht oder höchstens zu sehr geringen Anteilen durchdrungen werden kann.

Gemäß einer Ausgestaltung kann die Barrierendünnschicht 108 als eine einzelne Schicht (anders ausgedrückt, als Einzelschicht) ausgebildet sein. Gemäß einer alternativen Ausgestaltung kann die Barrierendünnschicht 108 eine Mehrzahl von aufeinander ausgebildeten Teilschichten aufweisen. Mit anderen Worten kann gemäß einer Ausgestaltung die Barrierendünnschicht 108 als Schichtstapel (Stack) ausgebildet sein. Die Barrierendünnschicht 108 oder eine oder mehrere Teilschichten der Barrierendünnschicht 108 können beispielsweise mittels eines geeigneten Abscheideverfahrens gebildet werden, z.B. mittels eines Atomlagenabscheideverfahrens (Atomic Layer Deposition (ALD)) gemäß einer Ausgestaltung, z.B. eines plasmaunterstützten Atomlagenabscheideverfahrens (Plasma Enhanced Atomic Layer Deposition (PEALD)) oder eines plasmalosen Atomlageabscheideverfahrens (Plasma-less Atomic Layer Deposition (PLALD)), oder mittels eines chemischen Gasphasenabscheideverfahrens (Chemical Vapor Deposition (CVD)) gemäß einer anderen Ausgestaltung, z.B. eines plasmaunterstützten Gasphasenabscheideverfahrens (Plasma Enhanced Chemical Vapor Deposition (PECVD)) oder eines plasmalosen Gasphasenabscheideverfahrens (Plasma-less

Chemical Vapor Deposition (PLCVD)), oder alternativ mittels anderer geeigneter Abscheideverfahren.

Durch Verwendung eines Atomlagenabscheideverfahrens (ALD) können sehr dünne Schichten abgeschieden werden. Insbesondere können Schichten abgeschieden werden, deren Schichtdicken im Atomlagenbereich liegen. Gemäß einer Ausgestaltung können bei einer Barrierendünnschicht 108, die mehrere Teilschichten aufweist, alle Teilschichten mittels eines Atomlagenabscheideverfahrens gebildet werden. Eine Schichtenfolge, die nur ALD-Schichten aufweist, kann auch als „Nanolaminat" bezeichnet werden. Gemäß einer alternativen Ausgestaltung können bei einer Barrierendünnschicht 108, die mehrere Teilschichten aufweist, eine oder mehrere Teilschichten der Barrierendünnschicht 108 mittels eines anderen Abscheideverfahrens als einem Atomlagenabscheideverfahren abgeschieden werden, beispielsweise mittels eines Gasphasenabscheideverfahrens. Die Barrierendünnschicht 108 kann gemäß einer Ausgestaltung eine Schichtdicke von ungefähr 0.1 nm (eine Atomlage) bis ungefähr 1000 nm aufweisen, beispielsweise eine Schichtdicke von ungefähr 10 nm bis ungefähr 100 nm gemäß einer Ausgestaltung, beispielsweise ungefähr 40 nm gemäß einer Ausgestaltung.

Gemäß einer Ausgestaltung, bei der die Barrierendünnschicht 108 mehrere Teilschichten aufweist, können alle Teilschichten dieselbe Schichtdicke aufweisen. Gemäß einer anderen Ausgestaltung können die einzelnen Teilschichten der Barrierendünnschicht 108 unterschiedliche Schichtdicken aufweisen. Mit anderen Worten kann mindestens eine der Teilschichten eine andere Schichtdicke aufweisen als eine oder mehrere andere der Teilschichten. Die Barrierendünnschicht 108 oder die einzelnen Teilschichten der Barrierendünnschicht 108 können gemäß einer Ausgestaltung als transluzente oder transparente Schicht ausgebildet sein. Mit anderen Worten kann die Barrierendünnschicht 108 (oder die einzelnen Teilschichten der Barrierendünnschicht 108) aus

einem transluzenten oder transparenten Stoff (oder einem Stoffgemisch, die transluzent oder transparent ist) bestehen.

Gemäß einer Ausgestaltung kann die Barrierendünnschicht 108 oder (im Falle eines Schichtenstapels mit einer Mehrzahl von Teilschichten) eine oder mehrere der Teilschichten der Barrierendünnschicht 108 einen der nachfolgenden Stoffe aufweisen oder daraus gebildet sein: Aluminiumoxid, Zinkoxid, Zirkoniumoxid, Titanoxid, Hafniumoxid, Tantaloxid Lanthaniumoxid, Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Indiumzinnoxid, Indiumzinkoxid, Aluminium-dotiertes Zinkoxid, sowie Mischungen und Legierungen derselben. In verschiedenen Ausführungsbeispielen kann die Barrierendünnschicht 108 oder (im Falle eines Schichtenstapels mit einer Mehrzahl von Teilschichten) eine oder mehrere der Teilschichten der Barrierendünnschicht 108 ein oder mehrere hochbrechende Stoffe aufweisen, anders ausgedrückt ein oder mehrere Stoffe mit einem hohen Brechungsindex, beispielsweise mit einem Brechungsindex von mindestens 2.

In einer Ausgestaltung kann die Abdeckung 126, beispielsweise aus Glas, beispielsweise mittels einer Fritten-Verbindung (engl. glass frit bonding/glass soldering/seal glass bonding) mittels eines herkömmlichen Glaslotes in den geometrischen Randbereichen des organischen optoelektronischen Bauelementes 100 mit der Barrieredünnschicht 108 aufgebracht werden. Die Abdeckung 126 kann sich beispielsweise über alle optoelektronischen Bauelemente der optoelektronischen Baugruppe erstrecken.

In verschiedenen Ausführungsbeispielen kann auf oder über der Barrierendünnschicht 108 ein Klebstoff und/oder ein Schutzlack 124 vorgesehen sein, mittels dessen beispielsweise eine Abdeckung 126 (beispielsweise eine Glasabdeckung 126) auf der Barrierendünnschicht 108 befestigt, beispielsweise aufgeklebt ist. In verschiedenen Ausführungsbeispielen kann die optisch transluzente Schicht aus Klebstoff und/oder

Schutzlack 124 eine Schichtdicke von größer als 1 µm aufweisen, beispielsweise eine Schichtdicke von mehreren µm. In verschiedenen Ausführungsbeispielen kann der Klebstoff einen Laminations-Klebstoff aufweisen oder ein solcher sein.

In die Schicht des Klebstoffs (auch bezeichnet als Kleberschicht) können in verschiedenen Ausführungsbeispielen noch lichtstreuende Partikel eingebettet sein, die zu einer weiteren Verbesserung des Farbwinkelverzugs und der Auskoppeleffizienz führen können. In verschiedenen Ausführungsbeispielen können als lichtstreuende Partikel beispielsweise dielektrische Streupartikel vorgesehen sein wie beispielsweise Metalloxide wie z.B. Siliziumoxid (SiO2), Zinkoxid (ZnO), Zirkoniumoxid (ZrO2), Indium-Zinn-Oxid (ITO) oder Indium-Zink-Oxid (IZO), Galliumoxid (Ga2Oa) Aluminiumoxid, oder Titanoxid. Auch andere Partikel können geeignet sein, sofern sie einen Brechungsindex haben, der von dem effektiven Brechungsindex der Matrix der transluzenten Schichtenstruktur verschieden ist, beispielsweise Luftblasen, Acrylat, oder Glashohlkugeln. Ferner können beispielsweise metallische Nanopartikel, Metalle wie Gold, Silber, Eisen-Nanopartikel, oder dergleichen als lichtstreuende Partikel vorgesehen sein.

In verschiedenen Ausführungsbeispielen kann zwischen der zweiten Elektrode 114 des optoelektronischen Bauelements und der Schicht aus Klebstoff und/oder Schutzlack 124 noch eine elektrisch isolierende Schicht (nicht dargestellt) aufgebracht werden oder sein, beispielsweise SiN, beispielsweise mit einer Schichtdicke in einem Bereich von ungefähr 300 nm bis ungefähr 1,5 µm, beispielsweise mit einer Schichtdicke in einem Bereich von ungefähr 500 nm bis ungefähr 1 µm, um elektrisch instabile Stoffe zu schützen, beispielsweise während eines nasschemischen Prozesses.

In verschiedenen Ausführungsbeispielen kann der Klebstoff derart eingerichtet sein, dass er selbst einen Brechungsindex aufweist, der kleiner ist als der Brechungsindex der

Abdeckung 126. Ein solcher Klebstoff kann beispielsweise ein niedrigbrechender Klebstoff sein wie beispielsweise ein Acrylat, der einen Brechungsindex von ungefähr 1,3 aufweist. Weiterhin können mehrere unterschiedliche Kleber vorgesehen sein, die eine Kleberschichtenfolge bilden. Ferner ist darauf hinzuweisen, dass in verschiedenen Ausführungsbeispielen auch ganz auf einen Klebstoff 124 verzichtet werden kann, beispielsweise in Ausgestaltungen, in denen die Abdeckung 126, beispielsweise aus Glas, mittels beispielsweise Plasmaspritzens auf die Barrierendünnschicht 108 aufgebracht werden. In verschiedenen Ausführungsbeispielen können/kann die Abdeckung 126 und/oder der Klebstoff 124 einen Brechungsindex (beispielsweise bei einer Wellenlänge von 633 nm) von 1,55 aufweisen.

Ferner können in verschiedenen Ausführungsbeispielen zusätzlich eine oder mehrere Entspiegelungsschichten (beispielsweise kombiniert mit der Verkapselung 108, beispielsweise der Barrierendünnschicht 108) in dem lichtemittierenden Bauelement 100 vorgesehen sein.

Die Erfindung ist nicht auf die angegebenen Ausführungsbeispiele beschränkt. Beispielsweise können mehr als ein, beispielsweise zwei, drei oder mehr passive elektronische Bauelemente und/oder optoelektronische Bauelemente, beispielsweise in Reihe oder parallel geschaltet, hergestellt werden, insbesondere ohne einen photolithographischen Prozess durchzuführen und/oder mit lediglich einem Ätzprozess. Ferner können ein, zwei oder mehr passive elektronische Bauelemente mit dem bzw. den optoelektronischen Bauelementen kombiniert werden, beispielswiese elektrisch in Reihe nach einander und/oder parallel zu einander.

Patentansprüche

1. Verfahren zum Herstellen eines passiven elektronischen Bauelements, bei dem

- eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10) ausgebildet wird,
- eine zweite elektrisch leitfähige Schicht (14), auf der ersten elektrisch leitfähigen Schicht (12) ausgebildet wird,
- in der ersten und zweiten elektrisch leitfähigen Schicht (12, 14) ein erster Graben (24) so ausgebildet wird, dass das Substrat (10) in dem ersten Graben (24) frei gelegt ist, wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abtrennt,
- ein Dielektrikum (28) derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) in dem ersten Kontaktbereich (16) und zumindest teilweise auf das Substrat (10) in dem ersten Graben (24) aufgebracht wird, dass das Dielektrikum (28) den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert,
- eine elektrisch leitfähige Elektrodenschicht (38) strukturiert über dem ersten Kontaktbereich (16) auf das Dielektrikum (28) und auf den zweiten Kontaktbereich (18) aufgebracht wird.

2. Verfahren nach Anspruch 1, bei dem von dem ersten Kontaktbereich (16) zwischen dem Dielektrikum (28) und dem Substrat (10) eine erste Elektrode (20) eines Kondensators und von der Elektrodenschicht (38) auf einer von dem ersten Kontaktbereich (16) abgewandten Seite des Dielektrikums (28) eine zweite Elektrode eines Kondensators gebildet ist.

3. Verfahren nach einem der vorstehenden Ansprüche, bei dem vor dem Aufbringen des Dielektrikums (28) ein zweiter Graben (40) und mindestens ein dritter Graben (42) ausgebildet werden, die einen Widerstandsbereich (44) begrenzen, der einen Teil der ersten und der zweiten elektrisch leitfähigen Schicht (12, 14) aufweist und der in Richtung parallel zu den

elektrisch leitfähigen Schichten (12, 14) eine Verjüngung aufweist und der auf einer ersten Seite der Verjüngung in den ersten Kontaktbereich (16) mündet.

4. Verfahren nach Anspruch 3, bei dem der Widerstandsbereich (44) so ausgebildet wird, dass er auf einer zweiten Seite der Verjüngung in den zweiten Kontaktbereich (18) mündet und so einen Widerstand bildet, der elektrisch parallel zu dem Kondensator geschaltet ist.

5. Verfahren nach Anspruch 3, bei dem der Widerstandsbereich (44) so ausgebildet wird, dass er auf einer zweiten Seite der Verjüngung einen dritten Kontaktbereich (46) bildet und so einen Widerstand bildet, der mit dem Kondensator elektrisch in Reihe geschaltet ist.

6. Verfahren nach einem der vorstehenden Ansprüche, bei dem zwei, drei oder mehr Kondensatoren und/oder Widerstände gemäß den vorstehenden Ansprüchen elektrisch parallel zueinander und/oder elektrisch in Reihe nacheinander ausgebildet werden.

7. Verfahren nach einem der vorstehenden Ansprüche, bei dem mindestens einer der Gräben (24, 40, 42) mittels Laserablation ausgebildet wird.

8. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Dielektrikum (28) mittels eines Druckverfahrens aufgebracht wird.

9. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Dielektrikum (28) zunächst derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) aufgebracht wird, dass es an den ersten Graben (24) grenzt und bei dem dann das Dielektrikum (28) derart erwärmt wird, dass es sich verformt und Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht (12, 14) in dem ersten Graben (24) verkapselt.

10. Verfahren zum Herstellen einer optoelektronischen Baugruppe, bei dem

- ein passives elektronisches Bauelement nach einem der vorstehenden Ansprüche ausgebildet wird,
- das Dielektrikum (28) derart strukturiert auf die zweite Schicht (14) aufgebracht wird, dass durch das Dielektrikum (28) ein Bauelementbereich (50) zum Ausbilden eines optoelektronischen Bauelements gegenüber dem zweiten Kontaktbereich (18) abgegrenzt ist,
- eine optisch funktionelle Schicht (54) in dem Bauelementbereich (50) ausgebildet wird,
- die Elektrodenschicht (38) derart strukturiert aufgebracht wird, dass ein Teil der Elektrodenschicht (38) die optisch funktionelle Schicht (54) bedeckt.

11. Verfahren nach Anspruch 10, bei dem vor dem Aufbringen der optisch funktionellen Schicht die zweite elektrisch leitfähige Schicht (14) in dem Bauelementbereich (50) entfernt wird und die optisch funktionelle Schicht (54) auf die erste elektrisch leitfähige Schicht (12) in dem Bauelementbereich (50) aufgebracht wird.

12. Verfahren nach Anspruch 11, bei dem

- nach dem strukturierten Aufbringen des Dielektrikums (28) und vor dem Entfernen der zweiten elektrisch leitfähigen Schicht (14) in dem Bauelementbereich (50) eine Schutzschicht (52) derart strukturiert auf den ersten Kontaktbereich (16) und den zweiten Kontaktbereich (18) und/oder auf den Widerstandsbereich (44) aufgebracht wird, dass die Kontaktbereiche (16, 18) und/oder der Widerstandsbereich (44) mit dem Material der Schutzschicht (52) bedeckt sind,
- die Schutzschicht (52) beim Entfernen der zweiten elektrisch leitfähigen Schicht (14) die Kontaktbereiche (16, 18) und/oder den Widerstandsbereich (44) schützt, so dass die zweite elektrisch leitfähige Schicht (14) in den

Kontaktbereichen (16, 18) und/oder dem Widerstandsbereich (44) erhalten bleibt, und

- nach dem Entfernen der zweiten elektrisch leitfähigen Schicht (14) in dem Bauelementbereich (50) die Schutzschicht (40) entfernt wird.

13. Verfahren nach einem der Ansprüche 11 oder 12, bei dem von der ersten elektrisch leitfähigen Schicht (12) zwischen der optisch funktionellen Schicht (50) und dem Substrat (10) eine erste Elektrode eines optoelektronischen Bauelements gebildet ist und von der Elektrodenschicht (38) auf einer von der ersten Elektrode abgewandten Seite der optisch funktionellen Schicht (50) eine zweite Elektrode (38) des optoelektronischen Bauelements gebildet ist, wobei das optoelektronische Bauelement die organisch funktionelle Schicht (50) zwischen der ersten und der zweiten Elektrode des ersten optoelektronischen Bauelements aufweist.

14. Verfahren nach Anspruch 13, bei dem das passive elektronische Bauelement und das optoelektronische Bauelement über den zweiten Kontaktbereich (18) in Reihe geschaltet sind.

15. Verfahren nach einem der Ansprüche 12 bis 14, bei dem die Schutzschicht (52) mittels eines Druckverfahrens aufgebracht wird.

16. Passives elektronisches Bauelement, aufweisend:

- eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10),

- eine zweite elektrisch leitfähige Schicht (14) auf der ersten elektrisch leitfähigen Schicht (12),

- einen ersten Graben (24) in der ersten und zweiten elektrisch leitfähigen Schicht (12, 14), wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abtrennt,

- ein Dielektrikum (28), das derart strukturiert auf der zweiten elektrisch leitfähigen Schicht (14) in dem ersten

Kontaktbereich (16) und zumindest teilweise auf dem Substrat (10) in dem ersten Graben (24) so aufgebracht ist, dass es den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert,

- eine elektrisch leitfähige Elektrodenschicht (38), die über dem ersten Kontaktbereich (16) auf dem Dielektrikum (28) und zumindest teilweise auf dem zweiten Kontaktbereich (18) strukturiert aufgebracht ist.

Zusammenfassung

Verfahren zum Herstellen eines passiven elektronischen Bauelements, Verfahren zum Herstellen einer optoelektronischen Baugruppe und passives elektronisches Bauelement

In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen eines passiven elektronischen Bauelements bereitgestellt. Dabei wird eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10) ausgebildet. Eine zweite elektrisch leitfähige Schicht (14) wird auf der ersten elektrisch leitfähigen Schicht (12) ausgebildet. In der ersten und zweiten elektrisch leitfähigen Schicht (12, 14) wird ein erster Graben (24) so ausgebildet, dass das Substrat (10) in dem ersten Graben (24) frei gelegt ist, wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abgrenzt. Ein Dielektrikum (28) wird derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) in dem ersten Kontaktbereich (16) und zumindest teilweise auf das Substrat (10) in dem ersten Graben (24) aufgebracht, dass das Dielektrikum (28) den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht (38) wird über dem ersten Kontaktbereich (16) auf das Dielektrikum (28) und auf den zweiten Kontaktbereich (18) strukturiert aufgebracht.

Signifikante Figur

Fig. 1



Fig. 2

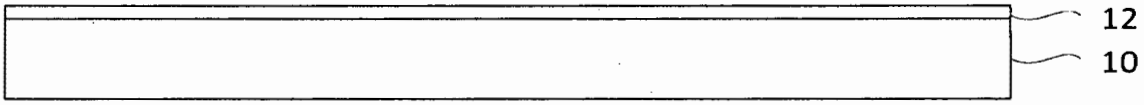


Fig. 3

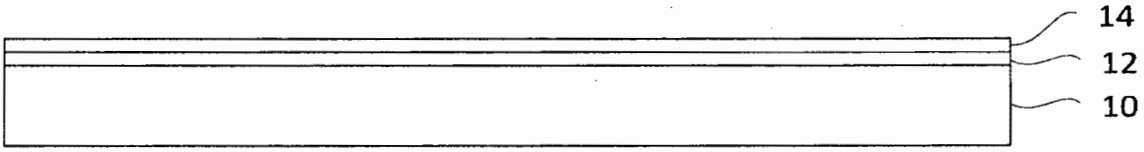


Fig. 4

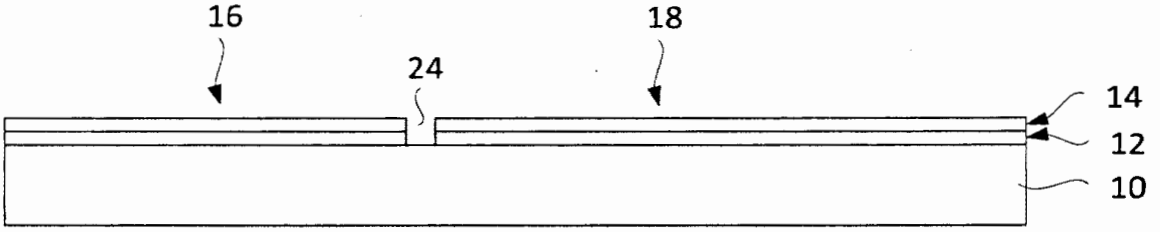


Fig. 5

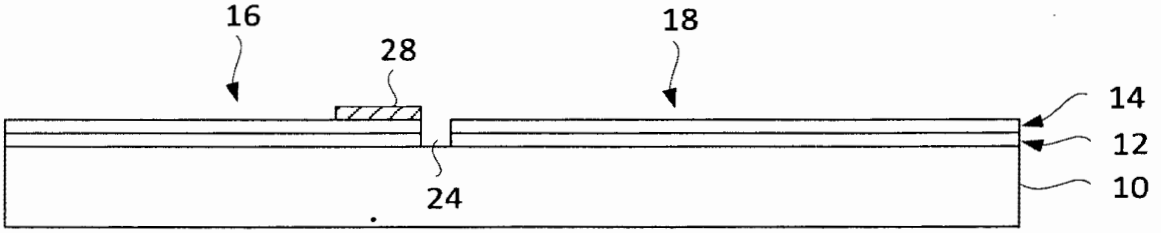


Fig. 6

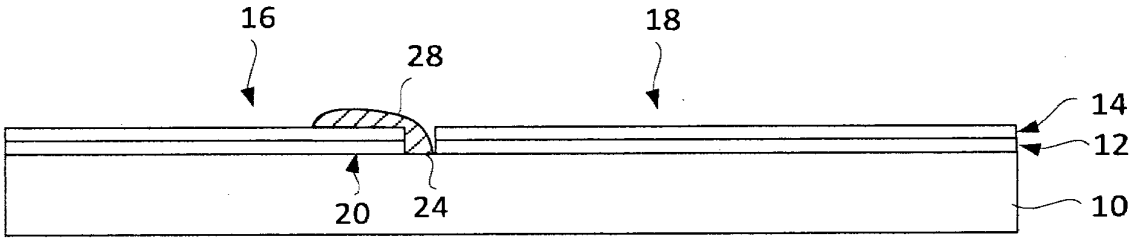


Fig. 7

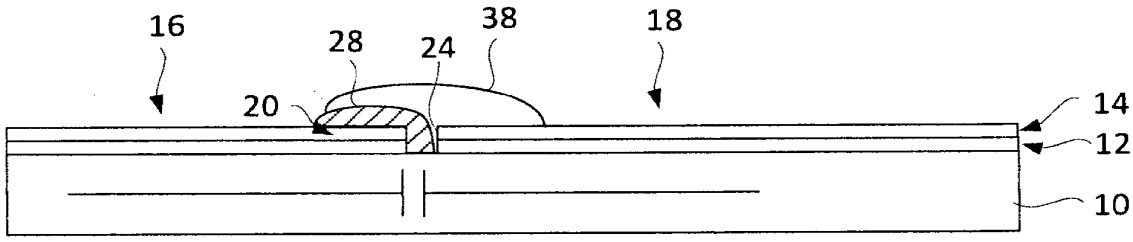


Fig. 8

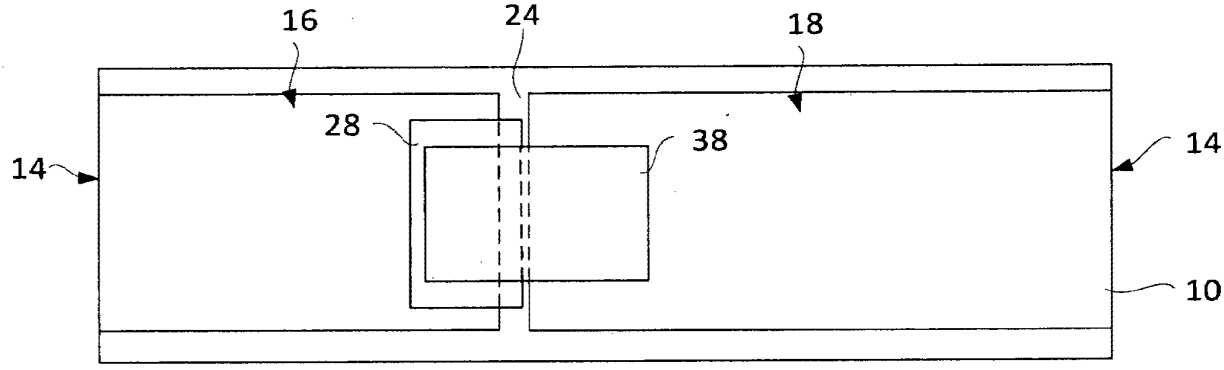


Fig. 9

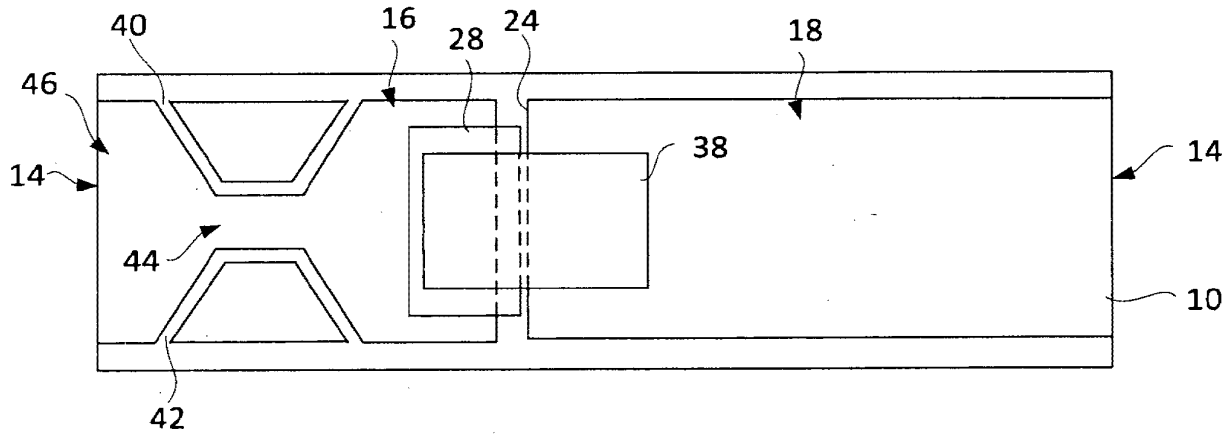


Fig. 10

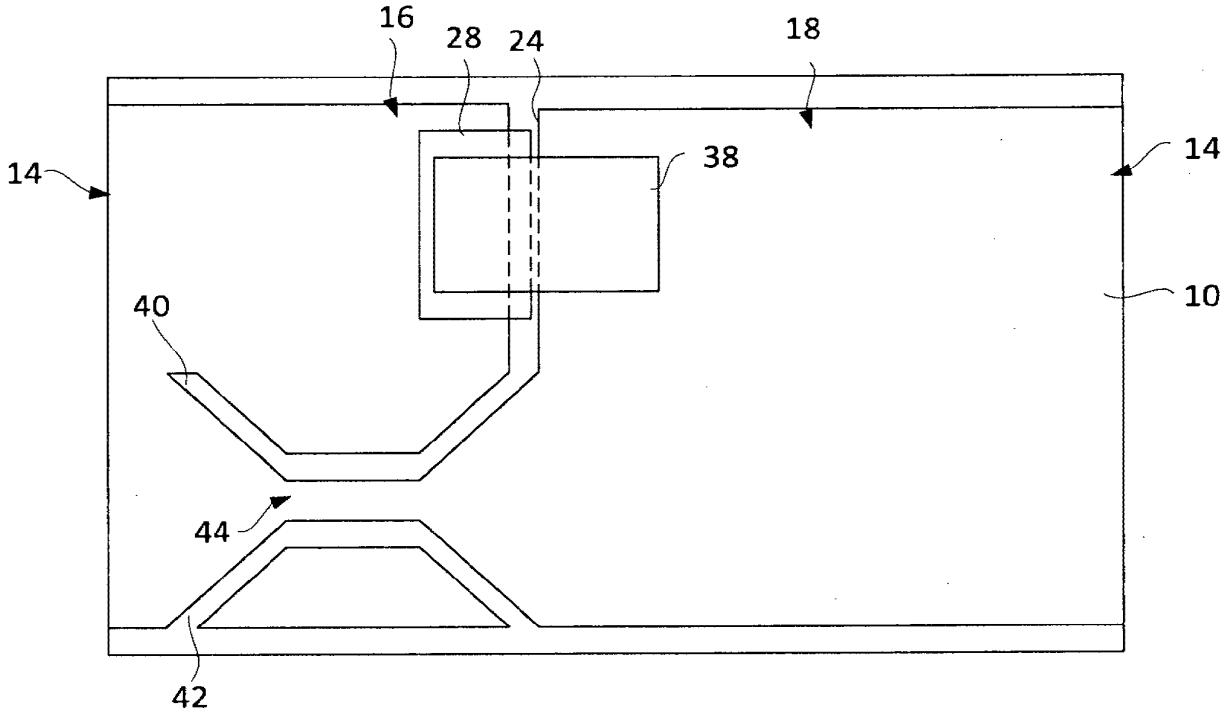


Fig. 11

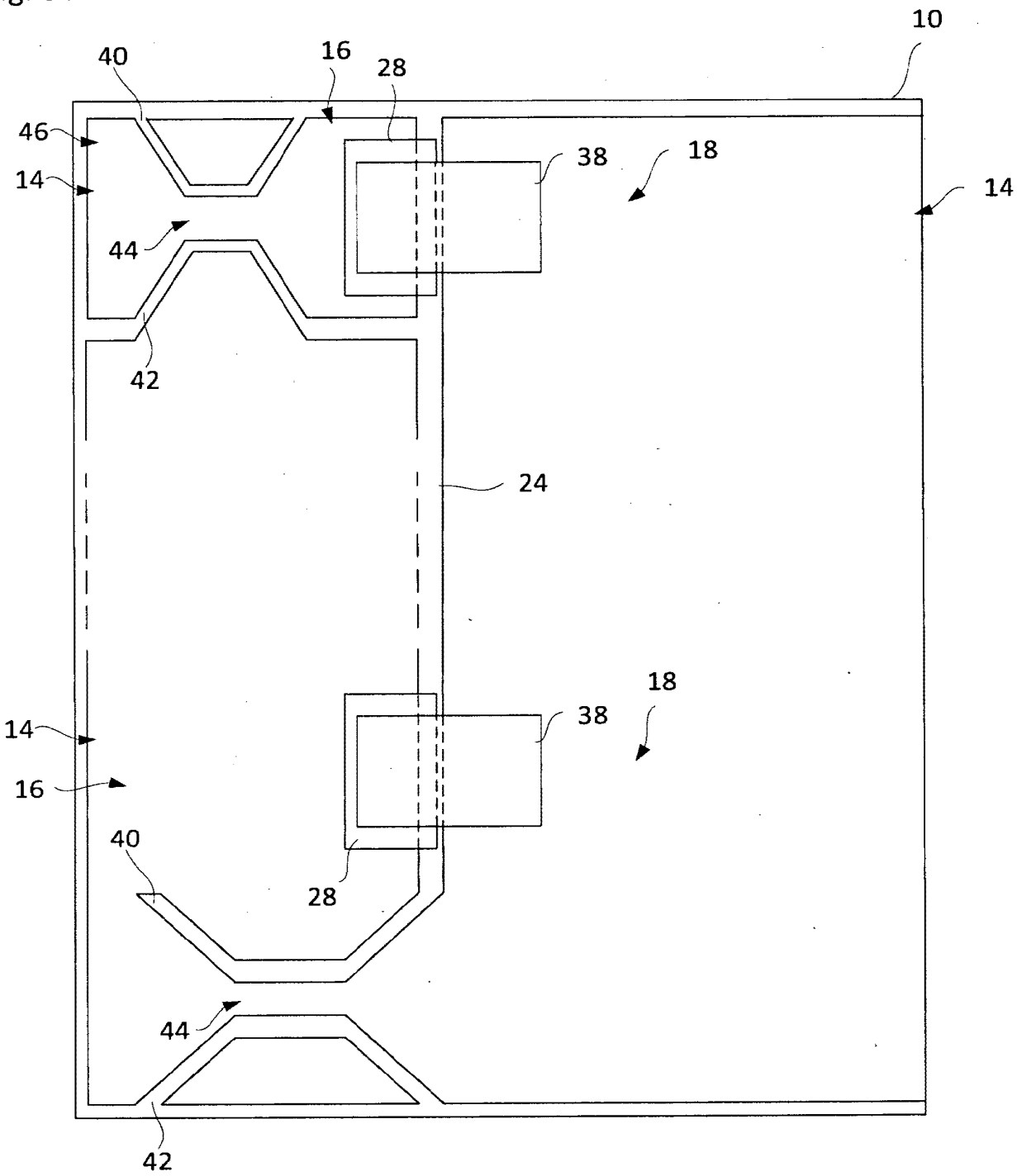


Fig. 12

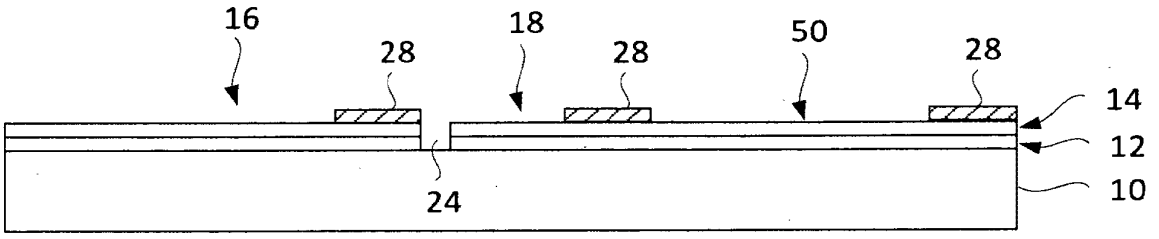


Fig. 13

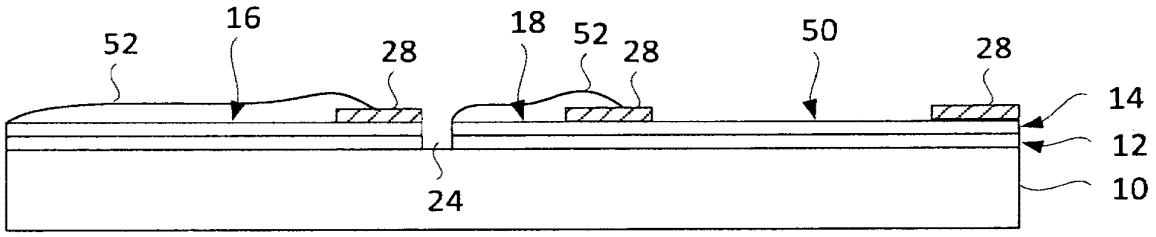


Fig. 14

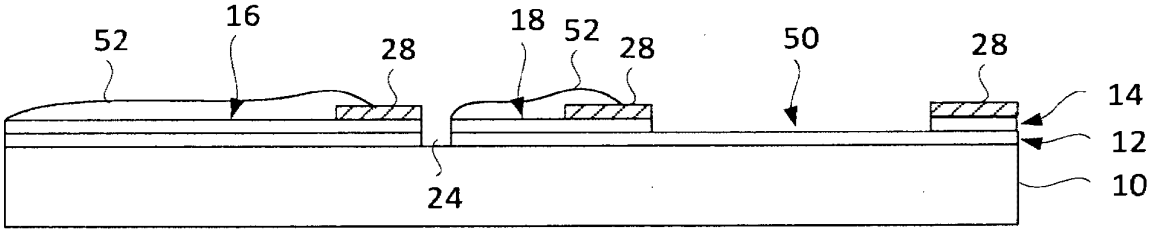


Fig. 15

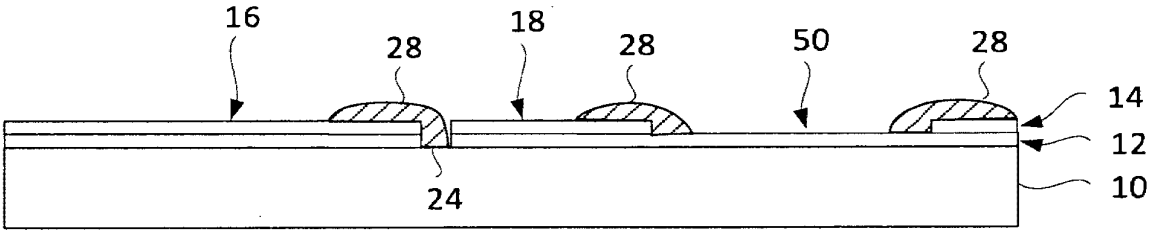


Fig. 16

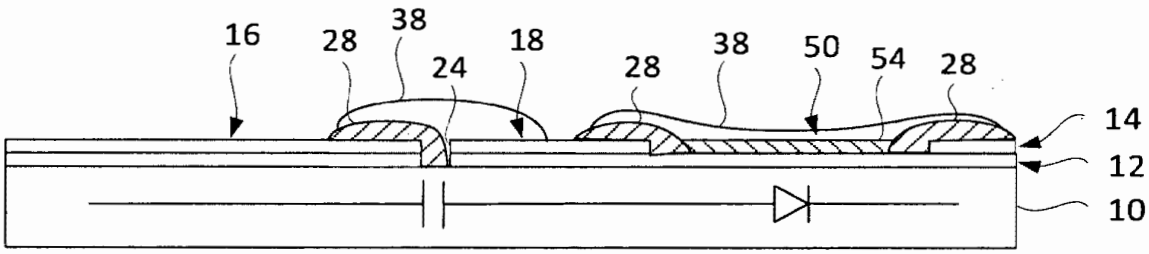
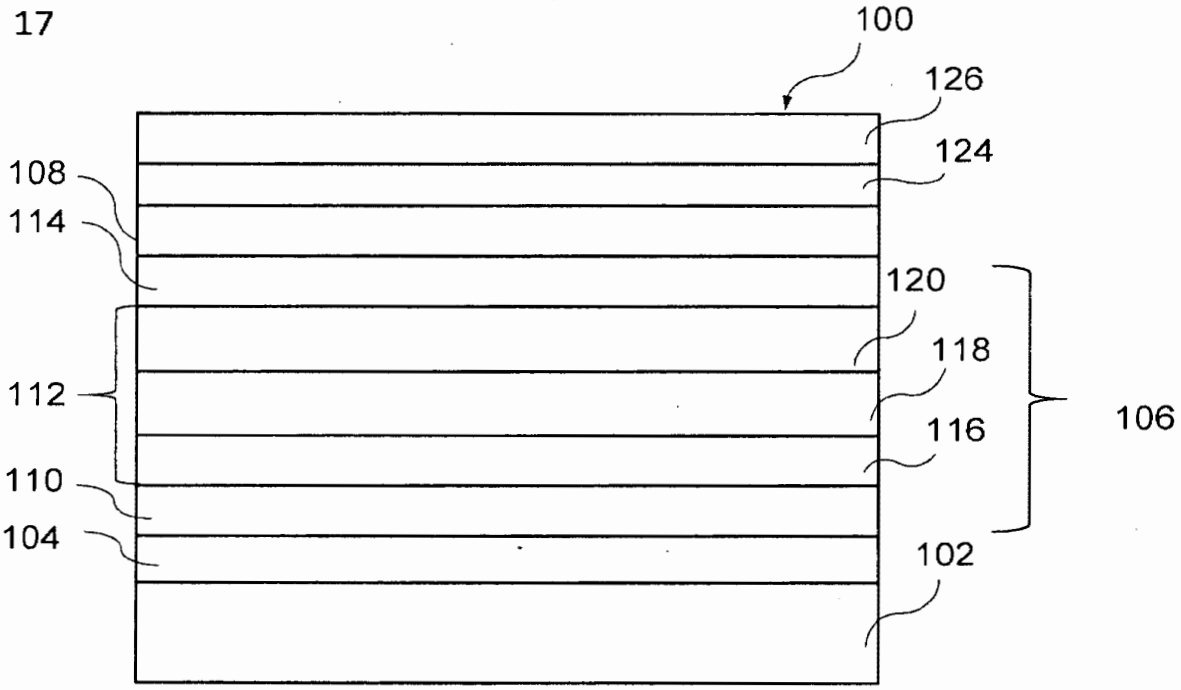

16
28
38
24
18
28
38
50
54
28
14
12
10

Fig. 17


100
126
124
108
114
120
118
112
116
106
110
104
102

WIPO
WORLD
INTELLECTUAL PROPERTY
ORGANIZATION

DOCUMENT MADE AVAILABLE UNDER THE PATENT COOPERATION TREATY (PCT)

International application number:		**PCT/EP2013/067348**
International filing date:		**20 August 2013 (20.08.2013)**
Document type:		**Certified copy of priority document**
Document details:	Country/Office:	**DE**
	Number:	**10 2012 109 142.0**
	Filing date:	**27 September 2012 (27.09.2012)**
Date of receipt at the International Bureau:		**23 September 2013 (23.09.2013)**

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a),(b) or (b-*bis*)

34, chemin des Colombettes
1211 Geneva 20, Switzerland
www.wipo.int

PCT-ANTRAG

Ausdruck (Original in elektronischem Format)

0	**Vom Anmeldeamt auszufüllen**	
0-1	Internationales Aktenzeichen	**PCT/EP2013/067348**
0-2	Internationales Anmeldedatum	**20 AUG 2013 (20.08.2013)**
0-3	Name des Anmeldeamts und "PCT International Application"	**RO/EP**

0-4	**Formular PCT/RO/101 PCT-Antrag**	
0-4-1	Erstellt mit	PCT-SAFE Version 3.51.059.235 MT/FOP 20130401/0.20.5.21
0-5	**Antragsersuchen** Der Unterzeichnete beantragt, daß die vorliegende internationale Anmeldung nach dem Vertrag über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens behandelt wird	
0-6	**(Vom Anmelder gewähltes) Anmeldeamt**	Europäisches Patentamt (EPA) (RO/EP)
0-7	**Aktenzeichen des Anmelders oder Anwalts**	54145
I	**Bezeichnung der Erfindung**	VERFAHREN ZUM HERSTELLEN EINES PASSIVEN ELEKTRONISCHEN BAUELEMENTS, VERFAHREN ZUM HERSTELLEN EINER OPTOELEKTRONISCHEN BAUGRUPPE UND PASSIVES ELEKTRONISCHES BAUELEMENT
II	**Anmelder**	
II-1	Diese Person ist	Nur Anmelder
II-2	Anmelder für	Alle Bestimmungsstaaten
II-4	Name	OSRAM OPTO SEMICONDUCTORS GMBH
II-5	Anschrift	Leibnizstraße 4 93055 Regensburg Deutschland
II-6	Staatsangehörigkeit (Staat)	DE
II-7	Sitz/Wohnsitz (Staat)	DE
III-1	**Anmelder und/oder Erfinder**	
III-1-1	Diese Person ist	Erfinder nur
III-1-3	Erfinder für	
III-1-4	Name (FAMILIENNAME, Vorname)	INGLE, Andrew
III-1-5	Anschrift	Anton-Bruckner-Str. 5 85391 Allershausen Deutschland

PCT-ANTRAG

Ausdruck (Original in elektronischem Format)

IV-1	**Anwalt oder gemeinsamer Vertreter oder besondere Zustellanschrift**	
	Die unten bezeichnete Person ist/wird hiermit bestellt, um für den (die) Anmelder vor den zuständigen internationalen Behörden zu handeln, und zwar in folgender Eigenschaft:	Anwalt
IV-1-1	Name	VIERING, JENTSCHURA & PARTNER
IV-1-2	Anschrift	Grillparzerstr. 14 81675 München Deutschland
IV-1-3	Telefonnr.	089/2106 970
IV-1-4	Telefaxnr.	089/2106 9757
IV-1-5	E-Mail	vjp-mu@vjp.de
IV-1-5(a)	E-Mail-Ermächtigung Das Anmeldeamt, die Internationale Recherchenbehörde, das Internationale Büro und die mit der internationalen vorläufigen Prüfung beauftragte Behörde werden ermächtigt, diese E-Mail-Adresse zu benutzen, um Mitteilungen bezüglich dieser internationalen Anmeldung zu übersenden, soweit das Amt oder die Behörde dazu bereit ist:	ausschließlich in elektronischer Form (Mitteilungen werden nicht in Papierform versandt)
V	**BESTIMMUNGEN**	
V-1	**Die Einreichung dieses Antrags umfaßt gemäß Regel 4.9 Absatz a die Bestimmung aller Vertragsstaaten, für die der PCT am internationalen Anmeldedatum verbindlich ist, und, insoweit verfügbar, für jede Art von Schutzrecht und sowohl für ein regionales als auch für ein nationales Patent**	
VI-1	**Priorität einer früheren nationalen Anmeldung beansprucht**	
VI-1-1	Anmeldedatum	27. September 2012 (27.09.2012)
VI-1-2	Nummer	10 2012 109 142.0
VI-1-3	Staat	DE

PCT-ANTRAG

Ausdruck (Original in elektronischem Format)

VI-2	**Einbeziehung durch Verweis :** Ist ein in Artikel 11 Absatz 1 Ziffer iii Buchstabe d oder e genannter Bestandteil der internationalen Anmeldung oder ein in Regel 20.5 Absatz a genannter Teil der Beschreibung, der Ansprüche oder der Zeichnungen nicht anderswo in der internationalen Anmeldung, aber vollständig in einer früheren Anmeldung enthalten, deren Priorität, zu dem Datum, an dem ein oder mehrere in Artikel 11 Absatz 1 Ziffer iii genannte Bestandteile zuerst beim Anmeldeamt eingegangen sind, beansprucht wird, so wird dieser Bestandteil oder Teil, vorbehaltlich der Bestätigung nach Regel 20.6, für die Zwecke der Regel 20.6 in diese internationale Anmeldung einbezogen.		
VII-1	**Gewählte Internationale Recherchenbehörde**	Europäisches Patentamt (EPA) (ISA/EP)	
VIII	**Erklärungen**	Anzahl der Erklärungen	
VIII-1	Erklärung hinsichtlich der Identität des Erfinders	–	
VIII-2	Erklärung hinsichtlich der Berechtigung des Anmelders, zum Zeitpunkt des internationalen Anmeldedatums, ein Patent zu beantragen und zu erhalten	–	
VIII-3	Erklärung hinsichtlich der Berechtigung des Anmelders, zum Zeitpunkt des internationalen Anmeldedatums, die Priorität einer früheren Anmeldung zu beanspruchen	–	
VIII-4	Erfindererklärung (nur im Hinblick auf die Bestimmung der Vereinigten Staaten von Amerika)	–	
VIII-5	Erklärung hinsichtlich unschädlicher Offenbarungen oder Ausnahmen von der Neuheitsschädlichkeit	–	
IX	**Kontrolliste**	Anzahl der Blätter	Elektronische Datei(en) beigefügt
IX-1	Antrag (inklusive Erklärungsblätter)	4	✓
IX-2	Beschreibung	41	✓
IX-3	Ansprüche	5	✓
IX-4	Zusammenfassung	1	✓
IX-5	Zeichnung(en)	6	✓
IX-7	INSGESAMT	57	
	Beigefügte Unterlagen	Unterlage(n) in Papierform beigefügt	Elektronische Datei(en) beigefügt
IX-8	Blatt für die Gebührenberechnung	–	✓
IX-18	PCT-SAFE Datenträger	–	–
IX-20	**Nr. der Abb. der Zeichn., die mit der Zusammenf. veröffentlicht werden soll**		
IX-21	**Sprache der int. Anmeldung**	Deutsch	

PCT-ANTRAG

Ausdruck (Original in elektronischem Format)

X-1	**Unterschrift des Anmelders, des Anwalts oder des Gemeinsamen Vertreters**	(PKCS7 digitale Unterschrift)
X-1-1	Name	VIERING, JENTSCHURA & PARTNER
X-1-2	Name der unterzeichnenden Person	Eric Dokter
X-1-3	Eigenschaft (sofern sich dies nicht eindeutig aus dem Antrag ergibt)	Vertreter

VOM ANMELDEAMT AUSZUFÜLLEN

10-1	**Datum des tatsächlichen Eingangs dieser internationalen Anmeldung**	**20 AUG 2013 (20.08.2013)**
10-2	**Zeichnung(en):**	X
10-2-1	Eingegangen	
10-2-2	~~Nicht eingegangen~~	
10-3	**Geändertes Eingangsdatum aufgrund nachträglich, jedoch fristgerecht eingeg. Unterlage(n) oder Zeichnung(en) zur Vervollständigung dieser int. Anmeldung**	
10-4	**Datum des fristgerechten Eingangs der Berichtigung nach PCT Artikel 11(2)**	
10-5	**Internationale Recherchenbehörde**	ISA/EP
10-6	**Übermittlung des Recherchenexemplars bis zur Zahlung der Recherchengebühr aufgeschoben**	

VOM INTERNATIONALEN BÜRO AUSZUFÜLLEN

11-1	**Datum des Eingangs des Aktenexemplars beim Internationalen Büro**	

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF THE RECORDING OF A CHANGE

(PCT Rule 92*bis*.1 and Administrative Instructions, Section 422)

To:

VIERING, JENTSCHURA & PARTNER
Grillparzerstr. 14
81675 München
ALLEMAGNE

Date of mailing *(day/month/year)*
14 October 2014 (14.10.2014)

Applicant's or agent's file reference
54145

IMPORTANT NOTIFICATION

International application No.
PCT/EP2013/067348

International filing date *(day/month/year)*
20 August 2013 (20.08.2013)

1. The following indications appeared on record concerning:

☒ the applicant ☐ the inventor ☐ the agent ☐ the common representative

Name and Address
OSRAM OPTO SEMICONDUCTORS GMBH
Leibnizstraße 4
93055 Regensburg
Germany

State of Nationality: DE
State of Residence: DE
Telephone No.:
Facsimile No.:
E-mail address:

2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

☒ the person ☐ the name ☐ the address ☐ the nationality ☐ the residence

Name and Address
OSRAM OLED GMBH
Wernerwerkstrasse 2
93049 Regensburg
Germany

State of Nationality: DE
State of Residence: DE
Telephone No.:
Facsimile No.:
E-mail address:
☐ Notifications by e-mail authorized

3. Further observations, if necessary:

4. A copy of this notification has been sent to:

☒ the receiving Office
☐ the International Searching Authority
☐ the Authority(ies) specified for supplementary search
☐ the International Preliminary Examining Authority
☒ the designated Offices concerned
☐ the elected Offices concerned
☐ other:

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 82 70

Authorized officer
Blanc Veronique
e-mail pt05.pct@wipo.int
Telephone No. +41 22 338 74 05

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
3. April 2014 (03.04.2014)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2014/048639 A1

(51) Internationale Patentklassifikation:
H01L 27/01 (2006.01) *H01G 4/33* (2006.01)
H01L 23/522 (2006.01) *H01G 4/005* (2006.01)
H01L 49/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2013/067348

(22) Internationales Anmeldedatum:
20. August 2013 (20.08.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2012 109 142.0
27. September 2012 (27.09.2012) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg (DE).

(72) Erfinder: **INGLE, Andrew**; Anton-Bruckner-Str. 5, 85391 Allershausen (DE).

(74) Anwalt: **VIERING, JENTSCHURA & PARTNER**; Grillparzerstr. 14, 81675 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

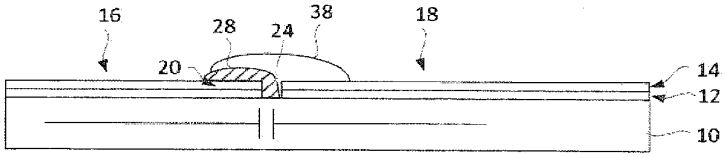
— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

— *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)*

(54) **Title**: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

(54) **Bezeichnung** : VERFAHREN ZUM HERSTELLEN EINES PASSIVEN ELEKTRONISCHEN BAUELEMENTS, VERFAHREN ZUM HERSTELLEN EINER OPTOELEKTRONISCHEN BAUGRUPPE UND PASSIVES ELEKTRONISCHES BAUELEMENT

Fig. 7



(57) **Abstract**: The invention relates, in various embodiments, to a method for producing a passive electronic component. According to the invention, a first electrically conductive layer (12) is designed on a substrate (10). A second electrically conductive layer (14) is designed on the first electrically conductive layer (12). A first trench (24) is designed in the first and second electrically conductive layers (12, 14) such that the substrate (10) is exposed in the first trench (24), wherein the first trench (24) delimits a first contact region (16) from a second contact region (18). A dielectric (28) is structured on the second electrically conductive layer (14) in the first contact region (16) and applied at least partially on the substrate (10) in the first trench (24) such that the dielectric (28) electrically isolates the first contact region (16) from the second contact region (18). An electrically conductive electrode layer (38) is applied in a structured manner over the first contact region (16) to the dielectric (28) and to the second contact region (18).

(57) **Zusammenfassung**: In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen eines passiven elektronischen Bauelements bereitgestellt. Dabei wird eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10) ausgebildet. Eine zweite elektrisch leitfähige Schicht (14) wird auf der ersten elektrisch leitfähigen Schicht (12) ausgebildet. In der ersten und zweiten

[Fortsetzung auf der nächsten Seite]

WO 2014/048639 A1

elektrisch leitfähigen Schicht (12, 14) wird ein erster Graben (24) so ausgebildet, dass das Substrat (10) in dem ersten Graben (24) frei gelegt ist, wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abgrenzt. Ein Dielektrikum (28) wird derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) in dem ersten Kontaktbereich (16) und zumindest teilweise auf das Substrat (10) in dem ersten Graben (24) aufgebracht, dass das Dielektrikum (28) den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht (38) wird über dem ersten Kontaktbereich (16) auf das Dielektrikum (28) und auf den zweiten Kontaktbereich (18) strukturiert aufgebracht.

Beschreibung

Verfahren zum Herstellen eines passiven elektronischen Bauelements, Verfahren zum Herstellen einer optoelektronischen Baugruppe und passives elektronisches Bauelement

Die Erfindung betrifft ein Verfahren zum Herstellen eines passiven elektronischen Bauelements, ein Verfahren zum Herstellen einer optoelektronischen Baugruppe und ein passives elektronisches Bauelement.

In optoelektronischen Bauelementen wie organischen Leuchtdioden dienen Isolatoren und/oder Dielektrika unter anderem dazu, zwei Elektrodenbereiche voneinander zu trennen und/oder gegeneinander elektrisch zu isolieren.

Geeignete Isolatoren bzw. Dielektrika wie beispielsweise lichtempfindliche Lacke sind meist sehr teuer und aufwendig, beispielsweise in einem photolithographischen Prozess, aufzubringen. Beispielsweise werden die Lacke ohne Struktur flächig auf nachfolgend zu ätzende Metallschichten aufgebracht und mit Hilfe einer Maske belichtet. Abhängig von dem verwendeten Lack können dann die belichteten oder nicht belichteten Bereiche entfernt werden, wodurch die Lackschicht strukturiert wird. Bei dem nachfolgenden Ätzprozess schützen die verbliebenen Lackstrukturen die darunter liegende Metallschicht oder die darunter liegenden Metallschichten.

In verschiedenen Ausführungsbeispielen werden ein Verfahren zum Herstellen eines passiven elektronischen Bauelements und/oder ein Verfahren zum Herstellen einer optoelektronischen Baugruppe bereitgestellt, die einfach und/oder auf kostengünstige Weise und/oder ohne Verwendung eines photolithographischen Prozesses das Herstellen eines passiven elektronischen Bauelements und/oder einer optoelektronischen Baugruppe ermöglichen.

In verschiedenen Ausführungsbeispielen wird ein passives elektronisches Bauelement bereitgestellt, das einfach und/oder auf kostengünstige Weise und/oder ohne Verwendung eines photolithographischen Prozesses herstellbar ist.

In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen eines passiven elektronischen Bauelements bereitgestellt. Dabei wird eine erste elektrisch leitfähige Schicht auf einem Substrat ausgebildet. Eine zweite elektrisch leitfähige Schicht wird auf der ersten elektrisch leitfähigen Schicht ausgebildet. In der ersten und zweiten elektrisch leitfähigen Schicht wird ein erster Graben so ausgebildet, dass das Substrat in dem ersten Graben frei gelegt ist. Der erste Graben trennt einen ersten Kontaktbereich von einem zweiten Kontaktbereich ab. Ein Dielektrikum wird derart strukturiert auf die zweite elektrisch leitfähige Schicht in dem ersten Kontaktbereich und das Substrat in dem Graben aufgebracht, dass das Dielektrikum den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht wird strukturiert über dem ersten Kontaktbereich auf das Dielektrikum und auf den zweiten Kontaktbereich aufgebracht.

Dass das Dielektrikum und/oder die Elektrodenschicht und/oder nachfolgend weitere Schichten oder Materialien „strukturiert aufgebracht" werden bedeutet in verschiedenen Ausführungsformen, dass die gewünschte Struktur bereits beim Aufbringen der entsprechenden Schicht ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Dies steht im Gegensatz zu einem flächigen Aufbringen der entsprechenden Schichten und einem nachfolgenden Strukturieren der Schichten, wie es beispielsweise bei einem photolithographischen Verfahren der Fall ist. Das strukturierte Aufbringen der Schichten ermöglicht, auf das zunächst flächige Aufbringen der entsprechenden Schichten und das nachfolgende aufwendige Strukturieren der Schichten,

beispielsweise auf das photolithographische Verfahren, und/oder auf einen teuren Photolack für das photolithographische Verfahren verzichten zu können. Dies trägt zu einem einfachen und/oder kostengünstigen Herstellen des passiven elektronischen Bauelements bei.

Die entsprechenden Materialen oder Schichten können beispielweise mittels Druckens, beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, mittels Rakelns und/oder durch Abscheidung unter Zuhilfenahme von SAMs (self assembling monolayers) und dergleichen strukturiert auf das Substrat aufgebracht werden.

Ein passives elektronisches Bauelement kann beispielsweise ein Kondensator und/oder ein Widerstand oder eine Kombination, beispielsweise eine Reihenschaltung und/oder eine Serienschaltung von ein, zwei oder mehr Kondensatoren und/oder ein, zwei oder mehr Widerständen sein.

Das Substrat kann beispielsweise eine Substratschicht aufweisen oder sein. Das Substrat kann beispielsweise ein transparentes oder ein nicht transparentes Substrat sein. Beispielsweise kann das Substrat Glas, Quarz, Saphir, eine oder mehrere Kunststofffolien, eine oder mehrere beschichtete Kunststofffolien, Metall, eine oder mehrere Metallfolien, eine oder mehrere Folien, welche mit einer elektrisch isolierenden Schicht beschichtet sind, ein Siliziumwafer oder ein anderes geeignetes Substratmaterial aufweisen. Als Substrat kann beispielsweise die Schicht verstanden werden, auf die bei der Herstellung einer optoelektronischen Baugruppe nachfolgend alle anderen Schichten aufgebracht werden. Solche nachfolgenden Schichten können beispielsweise für die Strahlungsemission erforderliche Schichten sein.

Die erste elektrisch leitfähige Schicht weist ein erstes elektrisch leitfähiges Material auf und die zweite elektrisch leitfähige Schicht weist ein zweites elektrisch leitfähiges Material auf. Das erste und/oder das zweite elektrisch

leitfähige Material sind Materialien oder Substanzen mit der Fähigkeit, elektrischen Strom zu leiten. Das erste elektrisch leitfähige Material kann beispielsweise von dem zweiten elektrisch leitfähigen Material verschieden sein. Beispielsweise kann das erste elektrisch leitfähige Material für erste Elektroden, beispielsweise für die Anoden oder Kathoden, der optoelektronischen Bauelemente vorgesehen sein.

Die erste elektrisch leitfähige Schicht kann beispielsweise direkt auf der Substratschicht abgeschieden werden. Die erste elektrisch leitfähige Schicht kann beispielsweise eine transparente leitfähige Schicht sein. Sie kann, ohne darauf beschränkt zu sein, aus einem transparenten leitfähigen Oxid (TCO), z. B. Indium-dotiertem Zinnoxid (ITO) oder ZnO, In/ZnO, SnZnO, Al-ZnO und dergleichen gebildet sein. Die erste elektrisch leitfähige Schicht kann beispielsweise mittels Sputterns, beispielsweise DC-Sputterns, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die Substratschicht aufgebracht werden.

Die zweite elektrisch leitfähige Schicht kann beispielsweise auf der ersten elektrisch leitfähigen Schicht abgeschieden werden. Das zweite elektrisch leitfähige Material kann beispielsweise einschließen, ohne darauf beschränkt zu sein, ein oder mehrere Metalle, beispielsweise Aluminium, Barium, Indium, Kupfer, Silber, Gold, Magnesium, Calcium und Lithium und dergleichen sowie deren Mischungen oder Kombinationen, beispielsweise in Form von Legierungen untereinander oder mit anderen Metallen. Die zweite elektrisch leitfähige Schicht kann beispielsweise mittels Verdampfens, Sputterns, beispielsweise DC-Sputterns, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die erste elektrisch leitfähige Schicht aufgebracht werden.

Die elektrisch leitfähigen Schichten können jeweils beispielsweise auch Teilschichten aufweisen, die alternativ oder zusätzlich zu den genannten Metallen beispielsweise auch Chrom und Molybdän aufweisen können. Beispiele für mögliche

Schichtenfolgen in einer oder mehrere Teilschichten aufweisenden elektrisch leitfähigen Schicht sind Mo-Al-Mo, Cr-Al-Cr, Cr-Cu-Cr und Cr-Cu.

Das Dielektrikum bezeichnet beispielsweise eine elektrisch isolierende Substanz, welche derart aufgebracht wird, dass sie einen Stromfluss zwischen zwei elektrisch leitfähigen Bereichen, beispielsweise zwischen der ersten elektrisch leitfähigen Schicht oder der zweiten elektrisch leitfähigen Schicht in dem ersten Bauelementbereich und der ersten elektrisch leitfähigen Schicht oder zweiten elektrisch leitfähigen Schicht in dem zweiten Bauelementbereich, verhindert. Das Dielektrikum kann ein Überzug oder ein Beschichtungsmittel, beispielsweise ein Polymer und/oder ein Lack sein. Der Lack kann beispielsweise einen in flüssiger oder in pulverförmiger Form aufbringbaren Beschichtungsstoff aufweisen.

Die Elektrodenschicht kann beispielsweise aufweisen oder gebildet sein aus Aluminium, Barium, Indium, Silber, Gold, Magnesium, Calcium und/oder Lithium sowie Kombinationen derselben oder einer Verbindung derselben, insbesondere einer Legierung, und/oder transparenten leitfähigen Oxiden, wie beispielsweise Metalloxiden, wie Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid oder Indium-dotiertes Zinnoxid (ITO), Aluminium-dotiertes Zinkoxid (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen unterschiedlicher transparenter leitfähiger Oxide. Die Elektrodenschicht kann beispielsweise Kathoden oder Anoden des passiven elektronischen Bauelements bilden.

Der Graben kann beispielsweise mittels Laserablation ausgebildet werden. Ferner kann der Graben sich teilweise oder vollständig um den ersten Kontaktbereich und/oder den zweiten Kontaktbereich herum erstrecken. Ferner können noch weitere Gräben ausgebildet sein und/oder die Gräben können

Teil einer sich zweidimensional in einer Ebene erstreckenden Grabenstruktur sein.

Bei verschiedenen Ausführungsformen ist von dem ersten Kontaktbereich zwischen dem Dielektrikum und dem Substrat eine erste Elektrode eines Kondensators und von der Elektrodenschicht auf einer von dem ersten Kontaktbereich abgewandten Seite des Dielektrikums eine zweite Elektrode des Kondensators gebildet. Beim Anlegen einer elektrischen Spannung an den ersten und den zweiten Kontaktbereich lädt sich der Kondensator, insbesondere die Elektroden, auf und es bildet sich ein elektrisches Feld zwischen den Elektroden. In dem geladenen Kondensator ist die elektrische Energie in dem elektrischen Feld, das zwischen den geladenen Elektroden besteht, gespeichert.

Bei verschiedenen Ausführungsformen werden vor dem Aufbringen des Dielektrikums ein zweiter Graben und mindestens ein dritter Graben ausgebildet, die einen Widerstandsbereich begrenzen. Der Widerstandsbereich weist einen Teil der ersten und der zweiten elektrisch leitfähigen Schicht auf. Der Widerstandsbereich weist in Richtung parallel zu den elektrisch leitfähigen Schichten eine Verjüngung auf und mündet auf einer ersten Seite der Verjüngung in den ersten Kontaktbereich. Der Widerstandsbereich kann beispielsweise dazu beitragen, einen elektrischen Widerstand zu bilden, der in der Schichtstruktur des passiven elektrischen Bauelements integriert ist und/oder der einen Teil desselben bildet. Der elektrische Widerstand kann beispielsweise in Reihe mit oder parallel zu dem Kondensator geschaltet werden.

Bei verschiedenen Ausführungsformen wird der Widerstandsbereich so ausgebildet, dass er auf einer zweiten Seite der Verjüngung in den zweiten Kontaktbereich mündet und so einen Widerstand bildet, der elektrisch parallel zu dem Kondensator geschaltet ist.

Bei verschiedenen Ausführungsformen wird der Widerstandsbereich so ausgebildet, dass er auf einer zweiten Seite der Verjüngung einen dritten Kontaktbereich bildet und so einen Widerstand bildet, der mit dem Kondensator elektrisch in Reihe geschaltet ist.

Bei verschiedenen Ausführungsformen werden zwei, drei oder mehr Kondensatoren und/oder Widerstände gemäß den vorstehenden Ansprüchen elektrisch parallel zueinander und/oder elektrisch in Reihe nacheinander ausgebildet.

Bei verschiedenen Ausführungsformen wird mindestens einer der Gräben mittels Laserablation ausgebildet. Dies kann zu dem einfachen und kostengünstigen Herstellen des passiven elektronischen Bauelements beitragen. Beispielsweise kann auf einen Ätzprozess zum Ätzen des Grabens verzichtet werden.

Bei verschiedenen Ausführungsformen wird das Dielektrikum mittels eines Druckverfahrens aufgebracht. Dies kann einfach dazu beitragen, das Dielektrikum strukturiert auf die zweite elektrisch leitfähige Schicht und das Substrat aufzubringen. Das Druckverfahren kann beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, und/oder umfassen.

Bei verschiedenen Ausführungsformen wird das Dielektrikum zunächst derart strukturiert auf die zweite elektrisch leitfähige Schicht aufgebracht, dass das Dielektrikum an den ersten Graben grenzt, und dann derart erwärmt, dass es sich verformt und Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht in dem ersten Graben verkapselt. Das Dielektrikum, das an den Graben angrenzt, fließt aufgrund des Erwärmens über diese frei liegenden Kanten und/oder Seitenflächen der ersten und zweiten elektrisch leitfähigen Schicht und verkapselt diese. Dass das Dielektrikum an den Graben angrenzt, kann beispielsweise bedeutet, dass das Dielektrikum derart nah, direkt an oder sogar teilweise über dem ersten Graben strukturiert angeordnet ist, dass es beim Verflüssigen zumindest teilweise

in den ersten Graben fließt. Alternativ dazu kann das Dielektrikum derart strukturiert aufgebracht werden, dass es auch ohne das Erwärmen und/oder vor dem Erwärmen zumindest teilweise in dem ersten Graben angeordnet ist und/oder die Kanten bzw. Seitenflächen der elektrisch leitfähigen Schichten verkapselt und/oder den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert.

In verschiedenen Ausführungsbeispielen wird ein Verfahren zum Herstellen einer optoelektronischen Baugruppe bereitgestellt, bei dem ein passives elektronisches Bauelement ausgebildet wird, beispielsweise gemäß dem im Vorhergehenden erläuterten Verfahren. Das Dielektrikum wird derart strukturiert auf die zweite Schicht aufgebracht, dass durch das Dielektrikum ein Bauelementbereich zum Ausbilden eines optoelektronischen Bauelements gegenüber dem zweiten Kontaktbereich abgegrenzt ist. In dem Bauelementbereich wird eine optisch funktionelle Schicht ausgebildet. Die Elektrodenschicht wird derart strukturiert aufgebracht, dass ein Teil der Elektrodenschicht die optisch funktionelle Schicht bedeckt.

Ein optoelektronisches Bauelement kann beispielsweise ein elektromagnetische Strahlung absorbierendes oder emittierendes Bauelement sein. Ein elektromagnetische Strahlung absorbierendes Bauelement kann beispielsweise eine Solarzelle sein. Ein elektromagnetische Strahlung emittierendes Bauelement kann in verschiedenen Ausführungsbeispielen ein elektromagnetische Strahlung emittierendes Halbleiter-Bauelement sein und/oder als eine elektromagnetische Strahlung emittierende Diode, als eine organische elektromagnetische Strahlung emittierende Diode, als ein elektromagnetische Strahlung emittierender Transistor oder als ein organischer elektromagnetische Strahlung emittierender Transistor ausgebildet sein. Die Strahlung kann beispielsweise Licht im sichtbaren Bereich, UV-Licht und/oder Infrarot-Licht sein. In diesem Zusammenhang kann das elektromagnetische Strahlung emittierende Bauelement beispielsweise als Licht emittierende Diode (light emitting

diode, LED) als organische Licht emittierende Diode (organic light emitting diode, OLED), als Licht emittierender Transistor oder als organischer Licht emittierender Transistor ausgebildet sein. Das Licht emittierende Bauelement kann in verschiedenen Ausführungsbeispielen Teil einer integrierten Schaltung sein. Weiterhin kann eine Mehrzahl von Licht emittierenden Bauelementen vorgesehen sein, beispielsweise untergebracht in einem gemeinsamen Gehäuse.

Die optisch funktionellen Schichten können beispielsweise strahlungsemittierende Schichten, wie fluoreszierende und/oder phosphoreszierende Emitterschichten sein, beispielsweise die von elektromagnetische Strahlung emittierenden Bauelementen, beispielsweise LEDs oder OLEDs.

Bei verschiedenen Ausführungsbeispielen wird vor dem Aufbringen der optisch funktionellen Schicht die zweite elektrisch leitfähige Schicht in dem Bauelementbereich entfernt. Die optisch funktionelle Schicht wird auf die erste elektrisch leitfähige Schicht in dem Bauelementbereich aufgebracht. Die zweite elektrisch leitfähige Schicht kann beispielsweise in einem Ätzverfahren entfernt werden. Das Ätzen des zweiten elektrisch leitfähigen Materials kann dabei beispielsweise in einem Ätzbad erfolgen. Das Ätzen kann beispielweise das Abtragen des zweiten elektrisch leitfähigen Materials auf der Oberfläche der ersten elektrisch leitfähigen Schicht durch Anwendung geeigneter ätzender Stoffe aufweisen. Die ätzenden Stoffe können beispielsweise chemische Stoffe sein, die das zu entfernende Material in einer chemischen Reaktion verändern (meistens oxidieren) können und/oder in Lösung bringen können. Ätzmittel sind beispielsweise Säuren oder starke Oxidantien. Zu nennen sind beispielsweise HNO_3, HCl, H_3PO_4, Essigsäure, H_2SO_4, Cerammoniumnitrat (CAN) und H_2O_2. Das Ätzbad kann beispielsweise so ausgewählt sein, dass die erste elektrisch leitfähige Schicht, beispielsweise eine ITO-Schicht, nicht

durch die eingesetzten Ätzmittel angegriffen oder beeinträchtigt wird.

Bei verschiedenen Ausführungsformen wird nach dem strukturierten Aufbringen des Dielektrikums und vor dem Entfernen der zweiten elektrisch leitfähigen Schicht in dem Bauelementbereich eine Schutzschicht derart strukturiert auf den ersten Kontaktbereich und den zweiten Kontaktbereich und gegebenenfalls auf den Widerstandsbereich aufgebracht, dass die Kontaktbereiche und gegebenenfalls der Widerstandsbereich mit dem Material der Schutzschicht bedeckt sind. Die Schutzschicht schützt beim Entfernen der zweiten elektrisch leitfähigen Schicht die Kontaktbereiche und gegebenenfalls den Widerstandsbereich, so dass die zweite elektrisch leitfähige Schicht in den Kontaktbereichen und gegebenenfalls dem Widerstandsbereich erhalten bleibt. Nach dem Entfernen der zweiten elektrisch leitfähigen Schicht in dem Bauelementbereich wird die Schutzschicht entfernt.

Die Schutzschicht kann beispielsweise ein Material oder eine Substanz aufweisen, welche dazu dient, das zweite elektrisch leitfähige Material der zweiten elektrisch leitfähigen Schicht in den Teilbereichen, auf welchen es auf der zweiten elektrisch leitfähigen Schicht aufgebracht ist, im weiteren Verfahrensablauf der Herstellung der optoelektronischen Baugruppe, beispielsweise in einem oder mehreren weiteren Prozessschritten, zu schützen. Die Schutzschicht kann beispielsweise einen Überzug, ein Lack oder dergleichen sein. Beispielsweise kann die Schutzschicht ein Ätzstopplack sein, beispielsweise ein Ätzstopplack wie er bei der Herstellung von Leiterplatten (PCBs) verwendet wird. Dieser Ätzstopplack kann thermisch oder mittels UV-Strahlung vernetzt bzw. gehärtet werden. Die Schutzschicht kann beispielsweise in einem Lösungsmittel löslich sein, in welchem das Dielektrikum nicht löslich ist. Beispielsweise kann die Schutzschicht im alkalischen löslich oder Base-löslich sein. Beispielsweise kann die Schutzschicht in einer alkalischen Lösung, beispielsweise einer schwach alkalischen wässrige Lösungen

von Salzen (z. B. NaOH, KOH, NH_4OH, oder quartäre Ammoniumsalze wie $N(CH_3)_4OH$) löslich sein.

Das strukturierte Aufbringen der Schutzschicht kann sowohl nach dem Aufbringen der zweiten elektrisch leitfähigen Schicht auf der ersten elektrisch leitfähigen Schicht und vor dem strukturierten Aufbringen des Dielektrikums auf der zweiten elektrisch leitfähigen Schicht als auch nach dem strukturierten Aufbringen des Dielektrikums auf der zweiten elektrisch leitfähigen Schicht und vor dem Aufbringen der optisch funktionellen Schicht auf der zweiten elektrisch leitfähigen Schicht erfolgen. Das strukturierte Aufbringen der Schutzschicht kann dabei derart erfolgen, dass die zweite elektrisch leitfähige Schicht in den Kontaktbereichen mit dem Material der Schutzschicht bedeckt ist und in den Bauelementbereichen nicht mit dem Material der Schutzschicht bedeckt ist. Das Schutzmaterial kann - zumindest abschnittsweise - über oder auf dem Dielektrikum angeordnet werden.

Beispielsweise können sowohl das Dielektrikum als auch die Schutzschicht resistent gegenüber den zum Ätzen des zweiten elektrisch leitfähigen Materials verwendeten Chemikalien sein. Das Dielektrikum und die Schutzschicht können in den Bereichen der zweiten elektrisch leitfähigen Schicht, auf denen sie aufgebracht sind, als Ätzstopp für die zweite elektrisch leitfähige Schicht bzw. das zweite elektrisch leitfähige Material in den entsprechenden Bereichen dienen. Durch Ätzen des zweiten elektrisch leitfähigen Materials bleiben die Strukturen der zweiten elektrisch leitenden Schicht, welche unter dem Dielektrikum und/oder unter der Schutzschicht liegen, und der ersten elektrisch leitfähigen Schicht erhalten. Der Ätzprozess zum Entfernen der zweiten elektrischen Schicht in dem Bauelementbereich kann beispielsweise der einzige Ätzprozess sein, der zum Herstellen der optoelektronischen Baugruppe durchgeführt wird.

Bei verschiedenen Ausführungsformen wird die optisch funktionelle Schicht nach dem Erwärmen des Dielektrikums ausgebildet.

Bei verschiedenen Ausführungsformen ist von der ersten elektrisch leitfähigen Schicht zwischen der optisch funktionellen Schicht und dem Substrat eine erste Elektrode eines optoelektronischen Bauelements gebildet und von der Elektrodenschicht auf einer von der ersten Elektrode abgewandten Seite der optisch funktionellen Schicht ist eine zweite Elektrode des optoelektronischen Bauelements gebildet. Das optoelektronische Bauelement weist die organisch funktionelle Schicht zwischen der ersten und der zweiten Elektrode des ersten optoelektronischen Bauelements auf. Beispielsweise bildet die erste Elektrode eine Anode des optoelektronischen Bauelements und die zweite Elektrode eine Kathode des optoelektronischen Bauelements. Alternativ dazu kann die erste Elektrode eine Kathode des optoelektronischen Bauelements und die zweite Elektrode eine Anode des optoelektronischen Bauelements bilden.

Bei verschiedenen Ausführungsformen sind das passive elektronische Bauelement und das optoelektronische Bauelement über den zweiten Kontaktbereich in Reihe geschaltet.

Bei verschiedenen Ausführungsformen wird die Schutzschicht mittels eines Druckverfahrens aufgebracht. Dies kann dazu beitragen, die Schutzschicht strukturiert auf die zweite elektrisch leitfähige Schicht und das Substrat aufzubringen. Das Druckverfahren kann beispielsweise Tintenstrahl-Druck (Inkjet-Printing) oder Siebdruck, und/oder Rakeln umfassen.

Das Dielektrikum kann beispielsweise säurelöslich oder Base-löslich sein. Dies kann dazu beitragen, das Dielektrikum einfach mit einer Säure bzw. einer Base zu entfernen. Beispielsweise sind das Material der Schutzschicht Base-

löslich und das Dielektrikum säurelöslich. Alternativ dazu sind das Material der Schutzschicht säurelöslich und das Dielektrikum Base-löslich. Dies bewirkt, dass beim Entfernen der Schutzschicht das Dielektrikum unversehrt bleibt.

In verschiedenen Ausführungsformen wird ein passives elektronisches Bauelement bereitgestellt. Das passive elektronische Bauelement weist beispielsweise eine erste elektrisch leitfähige Schicht auf einem Substrat und eine zweite elektrisch leitfähige Schicht auf der ersten elektrisch leitfähigen Schicht auf. Ein erster Graben ist in der ersten und zweiten elektrisch leitfähigen Schicht ausgebildet. Der erste Graben trennt einen ersten Kontaktbereich von einem zweiten Kontaktbereich ab. Ein Dielektrikum ist derart strukturiert auf der zweiten elektrisch leitfähigen Schicht in dem ersten Kontaktbereich und zumindest teilweise auf dem Substrat in dem ersten Graben aufgebracht, dass es den ersten Kontaktbereich gegenüber dem zweiten Kontaktbereich elektrisch isoliert. Eine elektrisch leitfähige Elektrodenschicht ist über dem ersten Kontaktbereich auf dem Dielektrikum und auf dem zweiten Kontaktbereich strukturiert aufgebracht. Beispielsweise kann das Dielektrikum derart strukturiert auf der zweiten elektrisch leitfähigen Schicht in dem ersten Kontaktbereich und zumindest teilweise in dem ersten Graben aufgebracht sein, dass es Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht in dem ersten Graben verkapselt.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Folgenden näher erläutert.

Es zeigen

Figur 1 einen ersten Zustand eines Ausführungsbeispiels eines passiven elektronischen Bauelements während eines Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 2 einen zweiten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 3 einen dritten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 4 einen vierten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 5 einen fünften Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 6 einen sechsten Zustand des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements;

Figur 7 ein Ausführungsbeispiel des passiven elektronischen Bauelements;

Figur 8 eine Draufsicht auf das passive elektronische Bauelement gemäß Figur 7;

Figur 9 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 10 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 11 eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements;

Figur 12 einen ersten Zustand eines Ausführungsbeispiels einer optoelektronischen Baugruppe während eines

Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 13 einen zweiten Zustand der optoelektronischen Baugruppe gemäß Figur 12 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 14 einen dritten Zustand der optoelektronischen Baugruppe gemäß Figur 13 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 15 einen vierten Zustand der optoelektronischen Baugruppe gemäß Figur 14 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 16 einen fünften Zustand der optoelektronischen Baugruppe gemäß Figur 15 während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe;

Figur 17 ein Ausführungsbeispiel einer Schichtstruktur eines optoelektronischen Bauelements.

In der folgenden ausführlichen Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die Teil dieser Beschreibung bilden und in denen zur Veranschaulichung spezifische Ausführungsbeispiele gezeigt sind, in denen die Erfindung ausgeübt werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „oben", „unten", „vorne", „hinten", „vorderes", „hinteres", usw. mit Bezug auf die Orientierung der beschriebenen Figur(en) verwendet. Da Komponenten von Ausführungsbeispielen in einer Anzahl verschiedener Orientierungen positioniert werden können, dient die Richtungsterminologie zur Veranschaulichung und ist auf keinerlei Weise einschränkend. Es versteht sich, dass

andere Ausführungsbeispiele benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzumfang der vorliegenden Erfindung abzuweichen. Es versteht sich, dass die Merkmale der hierin beschriebenen verschiedenen Ausführungsbeispiele miteinander kombiniert werden können, sofern nicht spezifisch anders angegeben. Die folgende ausführliche Beschreibung ist deshalb nicht in einschränkendem Sinne aufzufassen, und der Schutzumfang der vorliegenden Erfindung wird durch die angefügten Ansprüche definiert.

Im Rahmen dieser Beschreibung werden die Begriffe "verbunden", "angeschlossen" sowie "gekoppelt" verwendet zum Beschreiben sowohl einer direkten als auch einer indirekten Verbindung, eines direkten oder indirekten Anschlusses sowie einer direkten oder indirekten Kopplung. In den Figuren werden identische oder ähnliche Elemente mit identischen Bezugszeichen versehen, soweit dies zweckmäßig ist.

Ein passives elektronisches Bauelement kann beispielsweise einen, zwei oder mehr Kondensatoren und/oder einen, zwei oder mehr elektrische Widerstände aufweisen. Beispielsweise kann das passive elektronische Bauelement eine Kombination eines, zweier oder mehrerer Kondensatoren mit einem, zweien oder mehreren elektrischen Widerständen sein. Beispielsweise können ein, zwei oder mehr Kondensatoren in Reihe mit oder parallel zu einem, zwei oder mehr elektrischen Widerständen geschaltet sein.

Eine optoelektronische Baugruppe kann beispielsweise ein passives elektronisches Bauelement und ein, zwei oder mehr optoelektronische Bauelemente aufweisen. Ein optoelektronisches Bauelement kann beispielsweise ein elektromagnetische Strahlung absorbierendes und/oder ein elektromagnetische Strahlung emittierendes Bauelement aufweisen. Ein elektromagnetische Strahlung absorbierendes Bauelement kann beispielsweise eine Solarzelle sein. Ein elektromagnetische Strahlung emittierendes Bauelement kann in

verschiedenen Ausführungsbeispielen ein elektromagnetische Strahlung emittierendes Halbleiter-Bauelement sein und/oder als eine elektromagnetische Strahlung emittierende Diode, als eine organische elektromagnetische Strahlung emittierende Diode, als ein elektromagnetische Strahlung emittierender Transistor oder als ein organischer elektromagnetische Strahlung emittierender Transistor ausgebildet sein. Die elektromagnetische Strahlung kann beispielsweise Licht im sichtbaren Bereich, UV-Licht und/oder Infrarot-Licht sein. In diesem Zusammenhang kann das elektromagnetische Strahlung emittierende Bauelement beispielsweise als Licht emittierende Diode (light emitting diode, LED) als organische Licht emittierende Diode (organic light emitting diode, OLED), als Licht emittierender Transistor oder als organischer Licht emittierender Transistor ausgebildet sein. Das Licht emittierende Bauelement kann in verschiedenen Ausführungsbeispielen Teil einer integrierten Schaltung sein. Weiterhin kann eine Mehrzahl von Licht emittierenden Bauelementen vorgesehen sein, beispielsweise untergebracht in einem gemeinsamen Gehäuse.

Anhand von Figuren 1 bis 7 wird ein Ausführungsbeispiel eines Verfahrens zum Herstellen eines passiven elektronischen Bauelements erläutert. Dabei sind in den Figuren 1 bis 7 Ausführungsbeispiele von Komponenten des passiven elektronischen Bauelements in unterschiedlichen Zuständen des passiven elektronischen Bauelements während des Herstellungsverfahrens zum Herstellen des passiven elektronischen Bauelements dargestellt.

Fig. 1 zeigt ein Ausführungsbeispiel eines Substrats 10 des passiven elektronischen Bauelements. Das Substrat 10 kann beispielsweise Glas, beispielsweise Fensterglas, Quarz, ein Halbleitermaterial und/oder ein anderes geeignetes Material, beispielsweise Bor-Silikat, Aluminium-Silikat und/oder ein Standard-Material aus der Display-Industrie, aufweisen oder daraus gebildet sein. Ferner kann das Substrat 10 eine Kunststofffolie oder ein Laminat mit einer oder mit mehreren

Kunststofffolien aufweisen oder daraus gebildet sein. Der Kunststoff kann ein oder mehrere Polyolefine (beispielsweise Polyethylen (PE) mit hoher oder niedriger Dichte oder Polypropylen (PP)) aufweisen oder daraus gebildet sein. Ferner kann der Kunststoff Polyvinylchlorid (PVC), Polystyrol (PS), Polyester und/oder Polycarbonat (PC), Polyethylenterephthalat (PET), Polyethersulfon (PES) und/oder Polyethylennaphthalat (PEN) aufweisen oder daraus gebildet sein. Das Substrat 10 kann ein Metall oder eine Metallverbindung aufweisen oder daraus gebildet sein, beispielsweise Kupfer, Silber, Gold, Platin oder ähnliches. Das Metall oder eine Metallverbindung kann auch als eine Metallfolie oder eine Metallbeschichtete Folie ausgebildet sein. Das Substrat 10 kann eines oder mehrere der oben genannten Materialien aufweisen.

Das Substrat 10 kann transluzent oder sogar transparent ausgebildet sein.

Unter dem Begriff „transluzent" bzw. „transluzente Schicht" kann in verschiedenen Ausführungsbeispielen verstanden werden, dass eine Schicht für elektromagnetische Strahlung durchlässig ist, beispielsweise für die von einem elektromagnetische Strahlung emittierenden Bauelement emittierte Strahlung, beispielsweise einer oder mehrerer Wellenlängenbereiche, beispielsweise für Licht in einem Wellenlängenbereich des sichtbaren Lichts (beispielsweise zumindest in einem Teilbereich des Wellenlängenbereichs von 380 nm bis 780 nm). Beispielsweise ist unter dem Begriff „transluzente Schicht" in verschiedenen Ausführungsbeispielen zu verstehen, dass im Wesentlichen die gesamte in eine Struktur (beispielsweise eine Schicht) eingekoppelte Strahlungsmenge auch aus der Struktur (beispielsweise Schicht) ausgekoppelt wird, wobei ein Teil des Licht hierbei gestreut werden kann.

Unter dem Begriff „transparent" oder „transparente Schicht" kann in verschiedenen Ausführungsbeispielen verstanden

werden, dass eine Schicht für Licht durchlässig ist (beispielsweise zumindest in einem Teilbereich des Wellenlängenbereichs von 380 nm bis 780 nm), wobei in eine Struktur (beispielsweise eine Schicht) eingekoppelte elektromagnetische Strahlung im Wesentlichen ohne Streuung oder Wellenlängenkonversion auch aus der Struktur (beispielsweise Schicht) ausgekoppelt wird. Somit ist „transparent" in verschiedenen Ausführungsbeispielen als ein Spezialfall von „transluzent" anzusehen. Für den Fall, dass beispielsweise ein monochromes oder im Emissionsspektrum begrenztes optoelektronisches Bauelement bereitgestellt werden soll, kann es ausreichen, dass die optisch transluzente Schichtenstruktur zumindest in einem Teilbereich des Wellenlängenbereichs der gewünschten monochromen elektromagnetischen Strahlung oder für das begrenzte Emissionsspektrum transluzent ist.

Fig. 2 zeigt das Substrat 10 gemäß Figur 1 und ein Ausführungsbeispiel einer ersten elektrisch leitfähigen Schicht 12, die auf dem Substrat 12 ausgebildet ist. Zwischen dem Substrat 10 und der ersten elektrisch leitfähigen Schicht 12 kann beispielsweise eine in Figur 2 nicht gezeigte und im Folgenden mit Bezug zu Figur 20 erläuterte Barrierenschicht ausgebildet sein.

Die erste elektrisch leitfähige Schicht 12 kann aus einem ersten elektrisch leitfähigen Material gebildet werden oder sein, wie beispielsweise aus einem Metall oder einem leitfähigen transparenten Oxid (transparent conductive oxide, TCO) oder einem Schichtenstapel mehrerer Schichten desselben Metalls oder unterschiedlicher Metalle und/oder desselben TCO oder unterschiedlicher TCOs. Transparente leitfähige Oxide können beispielsweise transparente, leitfähige Stoffe, beispielsweise Metalloxide, wie beispielsweise Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid, oder Indium-Zinn-Oxid (ITO), beispielsweise ZnO, IN/ZnO, SnZnO oder Al-ZnO, sein. Neben binären Metallsauerstoffverbindungen, wie

beispielsweise ZnO, SnO_2, oder In_2O_3 können auch ternäre Metallsauerstoffverbindungen, wie beispielsweise AlZnO, Zn_2SnO_4, $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen unterschiedlicher transparenter leitfähiger Oxide zu der Gruppe der TCOs gehören und können in verschiedenen Ausführungsbeispielen eingesetzt werden. Weiterhin entsprechen die TCOs nicht zwingend einer stöchiometrischen Zusammensetzung und können ferner p-dotiert oder n-dotiert sein. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 ein Metall aufweisen; beispielsweise Ag, Pt, Au, Mg, Al, Ba, In, Ag, Au, Mg, Ca, Sm oder Li, sowie Verbindungen, Kombinationen oder Legierungen dieser Stoffe. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige gebildet werden von einem Schichtenstapel einer Kombination einer Schicht eines Metalls auf einer Schicht eines TCOs, oder umgekehrt. Ein Beispiel ist eine Silberschicht, die auf einer Indium-Zinn-Oxid-Schicht (ITO) aufgebracht ist (Ag auf ITO) oder ITO-Ag-ITO Multischichten. Das erste elektrisch leitfähige Material der ersten elektrisch leitfähigen Schicht 12 kann beispielsweise so gewählt werden, dass es einem im Folgenden erläuterten Ätzprozess zum Entfernen eines im Folgenden erläuterten zweiten elektrisch leitfähigen Materials widerstehen kann.

In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 eines oder mehrere der folgenden Stoffe alternativ oder zusätzlich zu den oben genannten Stoffen aufweisen: Netzwerke aus metallischen Nanodrähten und -teilchen, beispielsweise aus Ag; Netzwerke aus Kohlenstoff-Nanoröhren; Graphen-Teilchen und -Schichten; Netzwerke aus halbleitfähigen Nanodrähten. Ferner kann die erste elektrisch leitfähige Schicht elektrisch leitfähige Polymere oder Übergangsmetalloxide oder elektrisch leitfähige transparente Oxide aufweisen.

In verschiedenen Ausführungsbeispielen können die erste elektrisch leitfähige Schicht 12 und/oder das Substrat 10 transluzent oder transparent ausgebildet sein. In dem Fall, dass die erste elektrisch leitfähige Schicht ein Metall aufweist oder daraus gebildet ist, kann die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen von kleiner oder gleich ungefähr 25 nm, beispielsweise eine Schichtdicke von kleiner oder gleich ungefähr 20 nm, beispielsweise eine Schichtdicke von kleiner oder gleich ungefähr 18 nm. Weiterhin kann die elektrisch leitfähige Schicht 12 beispielsweise Schichtdicke aufweisen von größer oder gleich ungefähr 10 nm, beispielsweise eine Schichtdicke von größer oder gleich ungefähr 15 nm. In verschiedenen Ausführungsbeispielen kann die erste elektrisch leitfähige Schicht 12 eine Schichtdicke aufweisen in einem Bereich von ungefähr 10 nm bis ungefähr 25 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 18 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 15 nm bis ungefähr 18 nm.

Weiterhin kann für den Fall, dass die erste elektrisch leitfähige Schicht 12 ein leitfähiges transparentes Oxid (TCO) aufweist oder daraus gebildet ist, die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen in einem Bereich von ungefähr 50 nm bis ungefähr 500 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 75 nm bis ungefähr 250 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 100 nm bis ungefähr 150 nm.

Ferner kann für den Fall, dass die erste elektrisch leitfähige Schicht 12 aus beispielsweise einem Netzwerk aus metallischen Nanodrähten, beispielsweise aus Ag, die mit leitfähigen Polymeren kombiniert sein können, einem Netzwerk aus Kohlenstoff-Nanoröhren, die mit leitfähigen Polymeren kombiniert sein können, oder aus Graphen-Schichten und Kompositen gebildet werden, die erste elektrisch leitfähige Schicht 12 beispielsweise eine Schichtdicke aufweisen in

einem Bereich von ungefähr 1 nm bis ungefähr 500 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 400 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 40 nm bis ungefähr 250 nm.

Die erste elektrisch leitfähige Schicht 12 kann zum Ausbilden von Anoden, also Löcher injizierenden Elektroden, ausgebildet sein oder von Kathoden, also Elektronen injizierende Elektroden. Die erste elektrisch leitfähige Schicht 12 kann beispielsweise mittels Sputtern, beispielsweise DC-Sputtern, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf das Substrat 10 aufgebracht werden. Die erste elektrisch leitfähige Schicht 12 kann beispielsweise flächig, also ohne Struktur auf das Substrat 10 aufgebracht werden.

Fig. 3 zeigt das Substrat 10, die erste elektrisch leitfähige Schicht 12 und ein Ausführungsbeispiel einer zweiten elektrisch leitfähigen Schicht 14, die auf der ersten elektrisch leitfähigen Schicht 12 ausgebildet ist. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise Chrom, Aluminium, Molybdän, Kupfer oder Silber aufweisen. Beispielsweise kann die zweite elektrisch leitfähige Schicht 14 Teilschichten aufweisen, die alternierend unterschiedliche Metalle aufweisen. Beispielsweise kann die zweite elektrisch leitfähige Schicht 12 gebildet sein aus einem Stapel Cr-Al-Cr, Mo-Al-Mo, Cr-Cu-Cr. Beispielsweise kann die zweite elektrisch leitfähige Schicht 14 eine Schichtdicke beispielsweise zwischen 600 und 900 nm, beispielsweise zwischen 700 und 800 nm aufweisen. Die Teilschichten können gegebenenfalls Dicken beispielsweise zwischen 50 und 500 nm, beispielsweise zwischen 100 und 400 nm aufweisen. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise mittels Sputtern, beispielsweise DC-Sputtern, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die erste elektrisch leitfähige Schicht 12 aufgebracht werden. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise

flächig, also ohne Struktur auf die erste elektrisch leitfähige Schicht 12 aufgebracht werden.

Fig. 4 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14, wobei in den beiden elektrisch leitfähigen Schichten 12, 14 ein Ausführungsbeispiel eines ersten Grabens 24 ausgebildet ist. Der erste Graben 24 kann beispielsweise mittels Laserablation ausgebildet werden. In dem ersten Graben 24 ist das Material des Substrats 10 frei gelegt. In anderen Worten entspricht eine Tiefe des ersten Grabens 24 einer gemeinsamen Dicke der beiden elektrisch leitfähigen Schichten 12, 14. Für die Laserablation kann beispielsweise ein kontinuierlich oder gepulst betriebener Laser verwendet werden, beispielsweise ein Femto-, Nano- oder Pico-Laser. Der Laser kann beispielsweise elektromagnetische Strahlung im IR-Bereich oder im UV-Bereich, beispielsweise bei 200 bis 300 nm, und/oder mit einer Leistung von 0,5 W bis 1 W emittieren.

Der erste Graben 24 trennt einen ersten Kontaktbereich 16 von einem zweiten Kontaktbereich 18 ab. Der erste Graben 24 kann Teil einer Grabenstruktur sein, die beispielsweise den ersten und/oder zweiten Kontaktbereich 16, 18 in den Ebenen der beiden elektrisch leitfähigen Schichten 12, 14 teilweise oder vollständig begrenzen. Der erste Kontaktbereich 16 kann beispielsweise zum elektrischen Kontaktieren des passiven elektronischen Bauelements dienen.

Fig. 5 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14, wobei ein Ausführungsbeispiel eines Dielektrikums 28 auf die zweite elektrisch leitfähige Schicht 14 angrenzend an den Graben 24 strukturiert aufgebracht ist. Das Dielektrikum 28 kann beispielsweise eine elektrisch isolierende Substanz sein, welche nachfolgend einen direkten Stromfluss zwischen der ersten oder zweiten elektrisch leitfähigen Schicht 12, 14 in dem ersten Kontaktbereich 16 und der ersten oder zweiten elektrisch leitfähigen Schicht 12, 14 in dem zweiten

Kontaktbereich 18, verhindern kann. Das Dielektrikum 28 kann beispielsweise einen Überzug oder ein Beschichtungsmittel, beispielsweise ein Polymer und/oder einen Lack aufweisen oder daraus gebildet sein. Der Lack kann beispielsweise einen in flüssiger oder in pulverförmiger Form aufbringbaren Beschichtungsstoff aufweisen. Dass das Dielektrikum 28 strukturiert aufgebracht ist, bedeutet, dass die gewünschte Struktur bereits beim Aufbringen des Dielektrikums ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Das Dielektrikum 28 kann beispielsweise mittels eines Druckverfahrens, wie beispielsweise mittels Siebdrucks, Tintenstrahldrucks oder Flexodruckens, oder Rakelns strukturiert aufgebracht werden.

Das Dielektrikum 28 kann beispielsweise so gewählt werden, dass es durch eine nachträgliche Behandlung erweichbar ist und/oder in einen fließfähigen Zustand gebracht werden kann. Zusätzlich zu der elektrischen Isolierung kann das Dielektrikum 28 in einem im Folgenden näher erläuterten Ätzprozess zum Entfernen der zweiten elektrisch leitfähigen Schicht 14 aus Teilbereichen als Ätzstopp dienen. Das Dielektrikum 28 kann beispielsweise säurelöslich und nicht Base-löslich sein. Beispielsweise kann das Dielektrikum 28 in Chloroform und/oder einer Chlororganischen Verbindung oder einer Benzinartigen Verbindung, beispielsweise in Hexin oder Heptan, lösbar sein. Alternativ dazu kann das Dielektrikum 28 Base-löslich und nicht säurelöslich sein.

Fig. 6 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei die Struktur des Dielektrikums verrundet ist, so dass das Dielektrikum 28 die freien Seitenflächen und/oder Kanten der ersten und der zweiten elektrisch leitfähigen Schicht 12, 14 bedeckt und so verkapselt. Die Struktur des Dielektrikums kann beispielsweise verrundet werden, indem das Dielektrikum 28 so stark erwärmt wird, bis es flüssig oder zumindest zähflüssig ist und über die frei gelegten Seitenflächen bzw.

Kanten der ersten und zweiten elektrisch leitfähigen Schicht 12, 14 fließt. Das Dielektrikum 28 kann beispielsweise erhitzt werden, indem die gesamte Anordnung mit dem Dielektrikum 28 auf den elektrisch leitfähigen Schichten 12, 14 und dem Substrat 10 erhitzt wird, beispielsweise in einem Ofen, beispielsweise einem Reflow-Ofen.

Fig. 7 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei auf dem Dielektrikum 28 und einem Teil des zweiten Kontaktbereichs 18 eine Elektrodenschicht 38 strukturiert aufgebracht ist. Der erste Kontaktbereich 16 zwischen dem Substrat 10 und der Elektrodenschicht 38 dient als erste Elektrode, beispielsweise als Anode, des passiven elektronischen Bauelements. Die Elektrodenschicht 38 auf einer von dem Substrat 10 abgewandten Seite des Dielektrikums 28 dient als zweite Elektrode, beispielsweise als Kathode, des passiven elektronischen Bauelements. Das passive elektronische Bauelement kann einerseits über den ersten Kontaktbereich 18 elektrisch kontaktiert werden und kann andererseits über den zweiten Kontaktbereich 18 elektrisch kontaktiert werden. Das passive elektronische Bauelement kann beispielsweise einen Kondensator bilden.

In Figur 7 symbolisiert das Kondensatorsymbol auf dem Substrat 10 die Funktion des passiven elektronischen Bauelements als Kondensator.

Fig. 8 zeigt eine Draufsicht auf das passive elektronische Bauelement gemäß Figur 7. Aus Figur 8 geht hervor, dass der erste und der zweite Kontaktbereich 16, 18, das Dielektrikum 28 und/oder die Elektrodenschicht 38 beispielsweise rechteckförmig ausgebildet sind. Alternativ dazu können der erste und der zweite Kontaktbereich 16, 18 und/oder die Elektrodenschicht 38 beispielsweise quadratisch oder kreisförmig ausgebildet sein. Die in Figur 8 nicht

dargestellte Grabenstruktur, die auch den Graben 24 aufweist, kann entsprechend ausgebildet sein.

Fig. 9 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise den im Vorhergehenden erläuterten Kondensator aufweist. Das passive elektronische Bauelement weist beispielsweise einen zweiten Graben 40 und einen dritten Graben 42 auf, in denen das Substrat 10 frei gelegt ist. Der zweite und der dritte Graben 40, 42 können beispielsweise einen Widerstandsbereich 44 abgrenzen, der eine Verjüngung aufweist. Der Widerstandsbereich 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in einen dritten Kontaktbereich 46 münden. Der Widerstandsbereich 44 bildet einen elektrischen Widerstand, der mit dem Kondensator in Reihe geschaltet ist. Der Widerstand ist in die Schichtstruktur des passiven elektronischen Bauelements integriert und/oder bildet einen Teil des passiven elektronischen Bauelements.

Fig. 10 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise den im Vorhergehenden erläuterten Kondensator aufweist. Das passive elektronische Bauelement weist beispielsweise den zweiten Graben 40 und den dritten Graben 42 auf, in denen das Substrat 10 frei gelegt ist. Der zweite und der dritte Graben 40, 42 können beispielsweise den Widerstandsbereich 44 abgrenzen, der die Verjüngung aufweist. Der Widerstandsbereich 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den zweiten Kontaktbereich 18 münden. Der Widerstandsbereich 44 bildet einen elektrischen Widerstand, der parallel zu dem Kondensator geschaltet ist. Der Widerstand ist in die Schichtstruktur des passiven elektronischen Bauelements integriert und/oder bildet einen Teil des passiven elektronischen Bauelements.

Fig. 11 zeigt eine Draufsicht auf ein Ausführungsbeispiel eines passiven elektronischen Bauelements, das beispielsweise zwei der im Vorhergehenden erläuterten Kondensatoren und zwei der im Vorhergehenden erläuterten Widerstände aufweist. Das passive elektronische Bauelement weist beispielsweise zwei der zweiten Gräben 40 und der dritten Gräben 42 auf, in denen das Substrat 10 frei gelegt ist. Die zweiten und die dritten Gräben 40, 42 können beispielsweise paarweise einen der Widerstandsbereiche 44 abgrenzen, die die Verjüngung aufweisen. Einer der Widerstandsbereiche 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den dritten Kontaktbereich 46 münden und in Reihe mit dem entsprechenden Kondensator geschaltet sein. Der andere der Widerstandsbereiche 44 kann einerseits beispielsweise in den ersten Kontaktbereich 16 und andererseits in den zweiten Kontaktbereich 18 münden und parallel zu dem entsprechenden Widerstandsbereich 44 geschaltet sein. Die Paare von Kondensatoren und Widerständen sind zu einander parallel geschaltet. Alternativ dazu können Paare von Kondensatoren und Widerständen nacheinander in Reihe geschaltet sein. Ferner können weitere Paare oder andere Kombinationen von Widerständen und Kondensatoren angeordnet sein.

Anhand von Figuren 12 bis 19 wird ein Ausführungsbeispiel eines Verfahrens zum Herstellen einer optoelektronischen Baugruppe erläutert. Dabei sind in den Figuren 12 bis 19 Ausführungsbeispiele von Komponenten der optoelektronischen Baugruppe in unterschiedlichen Zuständen der optoelektronischen Baugruppe während des Herstellungsverfahrens zum Herstellen der optoelektronischen Baugruppe dargestellt. Die Verfahrensschritte können beispielsweise grundsätzlich die gleichen wie bei dem im Vorhergehenden erläuterten Verfahren sein. Daher wird im Folgenden ausschließlich auf das Ausbilden der im Vergleich mit dem im Vorhergehenden erläuterten Verfahren neuen Komponenten der optoelektronischen Baugruppe eingegangen.

Fig. 12 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei das Dielektrikum 28 derart strukturiert auf die zweite elektrisch leitfähige Schicht 14 aufgebracht ist, dass es einen Bauelementbereich 50 von dem zweiten Kontaktbereich 28 abtrennt und zumindest teilweise um den Bauelementbereich 50 herum verläuft.

Fig. 13 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei auf den ersten und den zweiten Kontaktbereich 16, 18 ein Ausführungsbeispiel einer Schutzschicht 52 strukturiert aufgebracht ist. Angrenzend an den ersten und den zweiten Kontaktbereich 16, 18 überlappt die Schutzschicht 52 das Dielektrikum 28 teilweise. Die Schutzschicht 52 dient als Ätzstopp zum Schützen der zweiten elektrisch leitfähigen Schicht in den Kontaktbereichen 16, 18 bei einem nachfolgenden Ätzprozess zum Entfernen der zweiten elektrisch leitfähigen Schicht 14 in dem Bauelementbereich 50.

Dass die Schutzschicht 52 strukturiert aufgebracht ist, bedeutet, dass die gewünschte Struktur bereits beim Aufbringen der Schutzschicht 52 ausgebildet wird. Die zu beschichtende Fläche wird somit nur in Teilbereichen, die von der gewünschten Struktur abhängen, beschichtet. Die Schutzschicht 52 kann beispielsweise mittels eines Druckverfahrens, wie beispielsweise mittels Siebdruck, Tintenstrahldruck oder Flexodruck, oder Rakeln strukturiert aufgebracht werden. Das Material der Schutzschicht 52 kann beispielsweise Base-löslich und nicht säurelöslich sein, beispielsweise wenn das Dielektrikum 28 säurelöslich ist. Beispielsweise kann das Material der Schutzschicht 52 in Natriumhydroxid, Kalziumhydroxid oder Tetramethylammoniumhydroxid lösbar sein. Alternativ dazu kann das Material der Schutzschicht 52 säurelöslich und/ nicht Base-löslich sein, beispielsweise wenn das Dielektrikum 28 Base-löslich ist. Das Material der Schutzschicht 52 kann

beispielsweise einen Lack aufweisen oder daraus gebildet sein.

Fig. 14 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28 und der Schutzschicht 52, wobei die zweite elektrisch leitfähige Schicht 14 in dem Bauelementbereich 50 entfernt ist. Die zweite elektrisch leitfähige Schicht 14 kann beispielsweise mittels eines Ätzprozesses entfernt werden. Für das Ätzen der zweiten elektrisch leitfähigen Schicht 14 kann beispielsweise ein Ätzbad, wie beispielsweise eine 3%-ige Trichloressigsäure in Wasser verwendet werden.

Fig. 15 zeigt das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28, wobei die Schutzschicht 52 entfernt ist. Die Schutzschicht 52 kann beispielsweise mittels einer geeigneten Base und/oder einem basischen Lösungsmittel entfernt werden. Durch das Entfernen der Schutzschicht 52 werden die Kontaktbereiche 16, 18 frei gelegt.

Fig. 16 zeigt die optoelektronische Baugruppe, die das Substrat 10 und die erste und die zweite elektrisch leitfähige Schicht 12, 14 mit dem Dielektrikum 28 aufweist, wobei in dem Bauelementbereich 50 eine organisch funktionelle Schicht 54 ausgebildet ist. Auf der organisch funktionellen Schicht 54 kann beispielsweise ein Teil der Elektrodenschicht 38 strukturiert aufgebracht sein. Die Elektrodenschicht 38 wird beispielsweise derart strukturiert aufgebracht, dass die organisch funktionelle Schicht 52 mit einem Teil der Elektrodenschicht 38 bedeckt ist. Die erste elektrisch leitfähige Schicht 12 zwischen dem Substrat 10 und der organisch funktionellen Schicht 54 kann beispielsweise als erste Elektrode, beispielsweise als Anode, des optoelektronischen Bauelements dienen. Die Elektrodenschicht 38 auf der organisch funktionellen Schicht 54 kann beispielsweis als zweite Elektrode, beispielsweise als Kathode, des optoelektronischen Bauelements dienen. Die

zweite Elektrode des Kondensators und die erste Elektrode des optoelektronischen Bauelements können beispielsweise direkt körperlich miteinander kontaktiert sein. Die optoelektronische Baugruppe kann beispielsweise einerseits über die zweite Elektrode des optoelektronischen Bauelements und andererseits über die erste Elektrode des Kondensators elektrisch kontaktiert werden, wobei dann der Kondensator und das optoelektronische Bauelement in Reihe geschaltet sind.

In Figur 17 symbolisieren das Kondensatorsymbol und das Diodensymbol auf dem Substrat 10 die Reihenschaltung des passiven elektronischen Bauelements und des optoelektronischen Bauelements.

Die organisch funktionelle Schicht 54 kann beispielsweise den optisch aktiven Bereich des optoelektronischen Bauelements, beispielsweise einer LED oder OLED, darstellen. Die organisch funktionelle Schicht 54 kann beispielsweise in einem, zwei oder mehreren Prozessschritten ausgebildet werden. Beispielsweise kann die organisch funktionelle Schicht 54 im Vakuum aufgedampft werden. Im Falle einer OLED als optoelektronisches Bauelement kann die organisch funktionelle Schicht 54 beispielsweise eine, zwei oder mehrere halbleitende, lichtemittierende organische Schichten aufweisen. Ein Ausführungsbeispiel einer OLED und die detaillierte Ausgestaltung der Schichtenstruktur der OLED sind im Folgenden mit Bezug zu Figur 17 näher erläutert.

Fig. 17 zeigt eine schematische Querschnittsansicht einer Schichtenstruktur eines Ausführungsbeispiels eines optoelektronischen Bauelementes, gemäß verschiedenen Ausführungsbeispielen. Das im Vorhergehenden erläuterte optoelektronische Bauelement der optoelektronischen Baugruppe kann beispielsweise gemäß der im Folgenden erläuterten Schichtenstruktur ausgebildet sein.

Das optoelektronische Bauelement kann beispielsweise ein elektromagnetische Strahlung emittierendes Bauelement, beispielsweise ein lichtemittierendes Bauelement 100, beispielsweise in Form einer organischen Leuchtdiode, sein. Das optoelektronische Bauelement kann einen Träger 102 aufweisen. Der Träger 102 kann beispielsweise einen Teilabschnitt des Substrats 10 repräsentieren und kann als ein Trägerelement für elektronische Elemente oder Schichten, beispielsweise lichtemittierende Elemente, dienen.

In verschiedenen Ausführungsbeispielen kann die organische Leuchtdiode (oder das elektromagnetische Strahlung emittierende Bauelement 100 gemäß den im Vorhergehenden oder im Folgenden beschriebenen Ausführungsbeispielen) als ein so genannter Top- und Bottom-Emitter eingerichtet sein. Ein Top- und/oder Bottom-Emitter kann auch als optisch transparentes Bauelement, beispielsweise eine transparente organische Leuchtdiode, bezeichnet werden.

Auf oder über dem Träger 102 kann in verschiedenen Ausführungsbeispielen optional eine Barriereschicht 104 angeordnet sein. Die Barrierenschicht 104 kann beispielsweise auch als Teilschicht des Trägers 102 angesehen werden. Die Barriereschicht 104 kann eines oder mehrere der folgenden Stoffe aufweisen oder daraus bestehen: Aluminiumoxid, Zinkoxid, Zirkoniumoxid, Titanoxid, Hafniumoxid, Tantaloxid Lanthaniumoxid, Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Indiumzinnoxid, Indiumzinkoxid, Aluminium-dotiertes Zinkoxid, sowie Mischungen und Legierungen derselben. Ferner kann die Barriereschicht 104 in verschiedenen Ausführungsbeispielen eine Schichtdicke aufweisen in einem Bereich von ungefähr 0,1 nm (eine Atomlage) bis ungefähr 5000 nm, beispielsweise eine Schichtdicke in einem Bereich von ungefähr 10 nm bis ungefähr 200 nm, beispielsweise eine Schichtdicke von ungefähr 40 nm.

Auf oder über der Barriereschicht 104 kann ein elektrisch aktiver Bereich 106 des lichtemittierenden Bauelements 100

angeordnet sein. Der elektrisch aktive Bereich 106 kann als der Bereich des lichtemittierenden Bauelements 100 verstanden werden, in dem ein elektrischer Strom zum Betrieb des lichtemittierenden Bauelements 100 fließt. In verschiedenen Ausführungsbeispielen kann der elektrisch aktive Bereich 106 eine erste Elektrode 110 des optoelektronischen Bauelements, eine zweite Elektrode 114 des optoelektronischen Bauelements und eine organische funktionelle Schichtenstruktur 112 des optoelektronischen Bauelements aufweisen, wie sie im Folgenden noch näher erläutert werden.

So kann in verschiedenen Ausführungsbeispielen auf oder über der Barriereschicht 104 (oder, wenn die Barriereschicht 104 nicht vorhanden ist, auf oder über dem Träger 102) die erste Elektrode 110 des optoelektronischen Bauelements aufgebracht sein.

Weiterhin kann der elektrisch aktive Bereich 106 des lichtemittierenden Bauelements 100 eine organische funktionelle Schichtenstruktur 112 aufweisen, die auf oder über der ersten Elektrode 110 des optoelektronischen Bauelements aufgebracht ist oder ausgebildet wird. Beispielsweise kann die organisch funktionelle Schichtenstruktur 112 des optoelektronischen Bauelements die organisch funktionelle Schicht 54 repräsentieren.

Die organisch funktionelle Schichtenstruktur 112 kann eine oder mehrere Emitterschichten 118 aufweisen, beispielsweise mit fluoreszierenden und/oder phosphoreszierenden Emittern, sowie eine oder mehrere Lochleitungsschichten 116 (auch bezeichnet als Lochtransportschicht(en) 120). In verschiedenen Ausführungsbeispielen können alternativ oder zusätzlich eine oder mehrere Elektronenleitungsschichten 116 (auch bezeichnet als Elektronentransportschicht(en) 116) vorgesehen sein.

Beispiele für Emittermaterialien, die in dem lichtemittierenden Bauelement 100 gemäß verschiedenen

Ausführungsbeispielen für die Emitterschicht(en) 118 eingesetzt werden können, schließen organische oder organometallische Verbindungen, wie Derivate von Polyfluoren, Polythiophen und Polyphenylen (z.B. 2- oder 2,5-substituiertes Poly-p-phenylenvinylen) sowie Metallkomplexe, beispielsweise Iridium-Komplexe wie blau phosphoreszierendes FIrPic (Bis(3,5-difluoro-2-(2-pyridyl)phenyl-(2-carboxypyridyl)-iridium III), grün phosphoreszierendes $Ir(ppy)_3$ (Tris(2-phenylpyridin)iridium III), rot phosphoreszierendes Ru (dtb-bpy)$_3$*2(PF_6) (Tris[4,4'-di-tert-butyl-(2,2')-bipyridin]ruthenium(III)komplex) sowie blau fluoreszierendes DPAVBi (4,4-Bis[4-(di-p-tolylamino)styryl]biphenyl), grün fluoreszierendes TTPA (9,10-Bis[N,N-di-(p-tolyl)-amino]anthracen) und rot fluoreszierendes DCM2 (4-Dicyanomethylen)-2-methyl-6-julolidyl-9-enyl-4H-pyran) als nichtpolymere Emitter ein. Solche nichtpolymeren Emitter sind beispielsweise mittels thermischen Verdampfens abscheidbar. Ferner können Polymeremitter eingesetzt werden, welche insbesondere mittels eines nasschemischen Verfahrens, wie beispielsweise einem Aufschleuderverfahren (auch bezeichnet als Spin Coating), abscheidbar sind.

Die Emittermaterialien können in geeigneter Weise in einem Matrixmaterial eingebettet sein.

Es ist darauf hinzuweisen, dass andere geeignete Emittermaterialien in anderen Ausführungsbeispielen ebenfalls vorgesehen sind.

Die Emittermaterialien der Emitterschicht(en) 118 des lichtemittierenden Bauelements 100 können beispielsweise so ausgewählt sein, dass das lichtemittierende Bauelement 100 Weißlicht emittiert. Die Emitterschicht(en) 118 kann/können mehrere verschiedenfarbig (zum Beispiel blau und gelb oder blau, grün und rot) emittierende Emittermaterialien aufweisen, alternativ kann/können die Emitterschicht(en) 118

auch aus mehreren Teilschichten aufgebaut sein, wie einer blau fluoreszierenden Emitterschicht 118 oder blau phosphoreszierenden Emitterschicht 118 , einer grün phosphoreszierenden Emitterschicht 118 und einer rot phosphoreszierenden Emitterschicht 118. Durch die Mischung der verschiedenen Farben kann die Emission von Licht mit einem weißen Farbeindruck resultieren. Alternativ kann auch vorgesehen sein, im Strahlengang der durch diese Schichten erzeugten Primäremission ein Konvertermaterial anzuordnen, das die Primärstrahlung zumindest teilweise absorbiert und eine Sekundärstrahlung anderer Wellenlänge emittiert, so dass sich aus einer (noch nicht weißen) Primärstrahlung durch die Kombination von primärer Strahlung und sekundärer Strahlung ein weißer Farbeindruck ergibt.

Die organische funktionelle Schichtenstruktur 112 kann allgemein eine oder mehrere elektrolumineszente Schichten aufweisen. Die eine oder mehreren elektrolumineszenten Schichten kann oder können organische Polymere, organische Oligomere, organische Monomere, organische kleine, nicht-polymere Moleküle („small molecules") oder eine Kombination dieser Stoffe aufweisen. Beispielsweise kann die organische funktionelle Schichtenstruktur 112 eine oder mehrere elektrolumineszente Schichten aufweisen, die als Lochtransportschicht 120 ausgeführt ist oder sind, so dass beispielsweise in dem Fall einer OLED eine effektive Löcherinjektion in eine elektrolumineszierende Schicht oder einen elektrolumineszierenden Bereich ermöglicht wird. Alternativ kann in verschiedenen Ausführungsbeispielen die organisch funktionelle Schichtenstruktur 112 eine oder mehrere funktionelle Schichten aufweisen, die als Elektronentransportschicht 116 ausgeführt ist oder sind, so dass beispielsweise in einer OLED eine effektive Elektroneninjektion in eine elektrolumineszierende Schicht oder einen elektrolumineszierenden Bereich ermöglicht wird. Als Stoff für die Lochtransportschicht 120 können beispielsweise tertiäre Amine, Carbazoderivate, leitfähiges Polyanilin oder Polythylendioxythiophen verwendet werden. In

verschiedenen Ausführungsbeispielen kann oder können die eine oder die mehreren elektrolumineszenten Schichten als elektrolumineszierende Schicht ausgeführt sein.

In verschiedenen Ausführungsbeispielen kann die Lochtransportschicht 120 auf oder über der ersten Elektrode 110 des optoelektronischen Bauelements aufgebracht, beispielsweise abgeschieden, sein, und die Emitterschicht 118 kann auf oder über der Lochtransportschicht 120 aufgebracht sein, beispielsweise abgeschieden sein. In verschiedenen Ausführungsbeispielen kann die Elektronentransportschicht 116 auf oder über der Emitterschicht 118 aufgebracht, beispielsweise abgeschieden, sein.

In verschiedenen Ausführungsbeispielen kann die organische funktionelle Schichtenstruktur 112 (also beispielsweise die Summe der Dicken von Lochtransportschicht(en) 120 und Emitterschicht(en) 118 und Elektronentransportschicht(en) 116) eine Schichtdicke aufweisen von maximal ungefähr 1,5 μm, beispielsweise eine Schichtdicke von maximal ungefähr 1,2 μm, beispielsweise eine Schichtdicke von maximal ungefähr 1 μm, beispielsweise eine Schichtdicke von maximal ungefähr 800 nm, beispielsweise eine Schichtdicke von maximal ungefähr 500 nm, beispielsweise eine Schichtdicke von maximal ungefähr 400 nm, beispielsweise eine Schichtdicke von maximal ungefähr 300 nm.

In verschiedenen Ausführungsbeispielen kann die organische funktionelle Schichtenstruktur 112 beispielsweise einen Stapel von mehreren direkt übereinander angeordneten organischen Leuchtdioden (OLEDs) aufweisen, wobei jede OLED beispielsweise eine Schichtdicke aufweisen kann von maximal ungefähr 1,5 μm, beispielsweise eine Schichtdicke von maximal ungefähr 1,2 μm, beispielsweise eine Schichtdicke von maximal ungefähr 1 μm, beispielsweise eine Schichtdicke von maximal ungefähr 800 nm, beispielsweise eine Schichtdicke von maximal ungefähr 500 nm, beispielsweise eine Schichtdicke von maximal ungefähr 400 nm, beispielsweise eine Schichtdicke von maximal ungefähr 300 nm. In verschiedenen Ausführungsbeispielen kann

die organische funktionelle Schichtenstruktur 112 beispielsweise einen Stapel von zwei, drei oder vier direkt übereinander angeordneten OLEDs aufweisen, in welchem Fall beispielsweise organische funktionelle Schichtenstruktur 112 eine Schichtdicke aufweisen kann von maximal ungefähr 3 μm.

Das lichtemittierende Bauelement 100 kann optional allgemein weitere organische Funktionsschichten, beispielsweise angeordnet auf oder über der einen oder mehreren Emitterschichten 118 oder auf oder über der oder den Elektronentransportschicht(en) 116 aufweisen, die dazu dienen, die Funktionalität und damit die Effizienz des lichtemittierenden Bauelements 100 weiter zu verbessern.

Auf oder über der organischen funktionellen Schichtenstruktur 112 oder gegebenenfalls auf oder über der einen oder den mehreren weiteren organischen funktionellen Schichtenstrukturen kann die zweite Elektrode 114 des optoelektronischen Bauelements aufgebracht sein. In verschiedenen Ausführungsbeispielen kann die zweite Elektrode 114 des optoelektronischen Bauelements die gleichen Stoffe aufweisen oder daraus gebildet sein wie die erste Elektrode 110, wobei in verschiedenen Ausführungsbeispielen Metalle besonders geeignet sind. In verschiedenen Ausführungsbeispielen sind die erste Elektrode 110 des optoelektronischen Bauelements und/oder die zweite Elektrode 114 des optoelektronischen Bauelements transluzent oder transparent ausgebildet. Somit kann das in Fig.1 dargestellte lichtemittierende Bauelement 100 als Top- und/oder Bottom-Emitter (anders ausgedrückt als transparentes lichtemittierendes Bauelement 100) ausgebildet sein. Die zweite Elektrode 114 des optoelektronischen Bauelements kann als Anode, also als Löcher injizierende Elektrode, ausgebildet sein oder als Kathode, also als eine Elektronen injizierende Elektrode.

Auf oder über der zweiten Elektrode 114 des optoelektronischen Bauelements und damit auf oder über dem

elektrisch aktiven Bereich 106 kann optional noch eine Verkapselung 108, beispielsweise in Form einer Barrierendünnschicht/Dünnschichtverkapselung 108 gebildet werden oder sein. Unter einer „Barrierendünnschicht" 108 bzw. einem „Isolatorbereich-Dünnfilm" 108 kann im Rahmen dieser Anmeldung beispielsweise eine Schicht oder eine Schichtenstruktur verstanden werden, die dazu geeignet ist, eine Isolatorbereich gegenüber chemischen Verunreinigungen bzw. atmosphärischen Stoffen, insbesondere gegenüber Wasser (Feuchtigkeit) und Sauerstoff, zu bilden. Mit anderen Worten ist die Barrierendünnschicht 108 derart ausgebildet, dass sie von OLED-schädigenden Stoffen wie Wasser, Sauerstoff oder Lösemittel nicht oder höchstens zu sehr geringen Anteilen durchdrungen werden kann.

Gemäß einer Ausgestaltung kann die Barrierendünnschicht 108 als eine einzelne Schicht (anders ausgedrückt, als Einzelschicht) ausgebildet sein. Gemäß einer alternativen Ausgestaltung kann die Barrierendünnschicht 108 eine Mehrzahl von aufeinander ausgebildeten Teilschichten aufweisen. Mit anderen Worten kann gemäß einer Ausgestaltung die Barrierendünnschicht 108 als Schichtstapel (Stack) ausgebildet sein. Die Barrierendünnschicht 108 oder eine oder mehrere Teilschichten der Barrierendünnschicht 108 können beispielsweise mittels eines geeigneten Abscheideverfahrens gebildet werden, z.B. mittels eines Atomlagenabscheideverfahrens (Atomic Layer Deposition (ALD)) gemäß einer Ausgestaltung, z.B. eines plasmaunterstützten Atomlagenabscheideverfahrens (Plasma Enhanced Atomic Layer Deposition (PEALD)) oder eines plasmalosen Atomlageabscheideverfahrens (Plasma-less Atomic Layer Deposition (PLALD)), oder mittels eines chemischen Gasphasenabscheideverfahrens (Chemical Vapor Deposition (CVD)) gemäß einer anderen Ausgestaltung, z.B. eines plasmaunterstützten Gasphasenabscheideverfahrens (Plasma Enhanced Chemical Vapor Deposition (PECVD)) oder eines plasmalosen Gasphasenabscheideverfahrens (Plasma-less

Chemical Vapor Deposition (PLCVD)), oder alternativ mittels anderer geeigneter Abscheideverfahren.

Durch Verwendung eines Atomlagenabscheideverfahrens (ALD) können sehr dünne Schichten abgeschieden werden. Insbesondere können Schichten abgeschieden werden, deren Schichtdicken im Atomlagenbereich liegen. Gemäß einer Ausgestaltung können bei einer Barrierendünnschicht 108, die mehrere Teilschichten aufweist, alle Teilschichten mittels eines Atomlagenabscheideverfahrens gebildet werden. Eine Schichtenfolge, die nur ALD-Schichten aufweist, kann auch als „Nanolaminat" bezeichnet werden. Gemäß einer alternativen Ausgestaltung können bei einer Barrierendünnschicht 108, die mehrere Teilschichten aufweist, eine oder mehrere Teilschichten der Barrierendünnschicht 108 mittels eines anderen Abscheideverfahrens als einem Atomlagenabscheideverfahren abgeschieden werden, beispielsweise mittels eines Gasphasenabscheideverfahrens. Die Barrierendünnschicht 108 kann gemäß einer Ausgestaltung eine Schichtdicke von ungefähr 0.1 nm (eine Atomlage) bis ungefähr 1000 nm aufweisen, beispielsweise eine Schichtdicke von ungefähr 10 nm bis ungefähr 100 nm gemäß einer Ausgestaltung, beispielsweise ungefähr 40 nm gemäß einer Ausgestaltung.

Gemäß einer Ausgestaltung, bei der die Barrierendünnschicht 108 mehrere Teilschichten aufweist, können alle Teilschichten dieselbe Schichtdicke aufweisen. Gemäß einer anderen Ausgestaltung können die einzelnen Teilschichten der Barrierendünnschicht 108 unterschiedliche Schichtdicken aufweisen. Mit anderen Worten kann mindestens eine der Teilschichten eine andere Schichtdicke aufweisen als eine oder mehrere andere der Teilschichten. Die Barrierendünnschicht 108 oder die einzelnen Teilschichten der Barrierendünnschicht 108 können gemäß einer Ausgestaltung als transluzente oder transparente Schicht ausgebildet sein. Mit anderen Worten kann die Barrierendünnschicht 108 (oder die einzelnen Teilschichten der Barrierendünnschicht 108) aus

einem transluzenten oder transparenten Stoff (oder einem Stoffgemisch, die transluzent oder transparent ist) bestehen.

Gemäß einer Ausgestaltung kann die Barrierendünnschicht 108 oder (im Falle eines Schichtenstapels mit einer Mehrzahl von Teilschichten) eine oder mehrere der Teilschichten der Barrierendünnschicht 108 einen der nachfolgenden Stoffe aufweisen oder daraus gebildet sein: Aluminiumoxid, Zinkoxid, Zirkoniumoxid, Titanoxid, Hafniumoxid, Tantaloxid Lanthaniumoxid, Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Indiumzinnoxid, Indiumzinkoxid, Aluminium-dotiertes Zinkoxid, sowie Mischungen und Legierungen derselben. In verschiedenen Ausführungsbeispielen kann die Barrierendünnschicht 108 oder (im Falle eines Schichtenstapels mit einer Mehrzahl von Teilschichten) eine oder mehrere der Teilschichten der Barrierendünnschicht 108 ein oder mehrere hochbrechende Stoffe aufweisen, anders ausgedrückt ein oder mehrere Stoffe mit einem hohen Brechungsindex, beispielsweise mit einem Brechungsindex von mindestens 2.

In einer Ausgestaltung kann die Abdeckung 126, beispielsweise aus Glas, beispielsweise mittels einer Fritten-Verbindung (engl. glass frit bonding/glass soldering/seal glass bonding) mittels eines herkömmlichen Glaslotes in den geometrischen Randbereichen des organischen optoelektronischen Bauelementes 100 mit der Barrieredünnschicht 108 aufgebracht werden. Die Abdeckung 126 kann sich beispielsweise über alle optoelektronischen Bauelemente der optoelektronischen Baugruppe erstrecken.

In verschiedenen Ausführungsbeispielen kann auf oder über der Barrierendünnschicht 108 ein Klebstoff und/oder ein Schutzlack 124 vorgesehen sein, mittels dessen beispielsweise eine Abdeckung 126 (beispielsweise eine Glasabdeckung 126) auf der Barrierendünnschicht 108 befestigt, beispielsweise aufgeklebt ist. In verschiedenen Ausführungsbeispielen kann die optisch transluzente Schicht aus Klebstoff und/oder

Schutzlack 124 eine Schichtdicke von größer als 1 µm aufweisen, beispielsweise eine Schichtdicke von mehreren µm. In verschiedenen Ausführungsbeispielen kann der Klebstoff einen Laminations-Klebstoff aufweisen oder ein solcher sein.

In die Schicht des Klebstoffs (auch bezeichnet als Kleberschicht) können in verschiedenen Ausführungsbeispielen noch lichtstreuende Partikel eingebettet sein, die zu einer weiteren Verbesserung des Farbwinkelverzugs und der Auskoppeleffizienz führen können. In verschiedenen Ausführungsbeispielen können als lichtstreuende Partikel beispielsweise dielektrische Streupartikel vorgesehen sein wie beispielsweise Metalloxide wie z.B. Siliziumoxid (SiO2), Zinkoxid (ZnO), Zirkoniumoxid (ZrO2), Indium-Zinn-Oxid (ITO) oder Indium-Zink-Oxid (IZO), Galliumoxid (Ga2Oa) Aluminiumoxid, oder Titanoxid. Auch andere Partikel können geeignet sein, sofern sie einen Brechungsindex haben, der von dem effektiven Brechungsindex der Matrix der transluzenten Schichtenstruktur verschieden ist, beispielsweise Luftblasen, Acrylat, oder Glashohlkugeln. Ferner können beispielsweise metallische Nanopartikel, Metalle wie Gold, Silber, Eisen-Nanopartikel, oder dergleichen als lichtstreuende Partikel vorgesehen sein.

In verschiedenen Ausführungsbeispielen kann zwischen der zweiten Elektrode 114 des optoelektronischen Bauelements und der Schicht aus Klebstoff und/oder Schutzlack 124 noch eine elektrisch isolierende Schicht (nicht dargestellt) aufgebracht werden oder sein, beispielsweise SiN, beispielsweise mit einer Schichtdicke in einem Bereich von ungefähr 300 nm bis ungefähr 1,5 µm, beispielsweise mit einer Schichtdicke in einem Bereich von ungefähr 500 nm bis ungefähr 1 µm, um elektrisch instabile Stoffe zu schützen, beispielsweise während eines nasschemischen Prozesses.

In verschiedenen Ausführungsbeispielen kann der Klebstoff derart eingerichtet sein, dass er selbst einen Brechungsindex aufweist, der kleiner ist als der Brechungsindex der

Abdeckung 126. Ein solcher Klebstoff kann beispielsweise ein niedrigbrechender Klebstoff sein wie beispielsweise ein Acrylat, der einen Brechungsindex von ungefähr 1,3 aufweist. Weiterhin können mehrere unterschiedliche Kleber vorgesehen sein, die eine Kleberschichtenfolge bilden. Ferner ist darauf hinzuweisen, dass in verschiedenen Ausführungsbeispielen auch ganz auf einen Klebstoff 124 verzichtet werden kann, beispielsweise in Ausgestaltungen, in denen die Abdeckung 126, beispielsweise aus Glas, mittels beispielsweise Plasmaspritzens auf die Barrierendünnschicht 108 aufgebracht werden. In verschiedenen Ausführungsbeispielen können/kann die Abdeckung 126 und/oder der Klebstoff 124 einen Brechungsindex (beispielsweise bei einer Wellenlänge von 633 nm) von 1,55 aufweisen.

Ferner können in verschiedenen Ausführungsbeispielen zusätzlich eine oder mehrere Entspiegelungsschichten (beispielsweise kombiniert mit der Verkapselung 108, beispielsweise der Barrierendünnschicht 108) in dem lichtemittierenden Bauelement 100 vorgesehen sein.

Die Erfindung ist nicht auf die angegebenen Ausführungsbeispiele beschränkt. Beispielsweise können mehr als ein, beispielsweise zwei, drei oder mehr passive elektronische Bauelemente und/oder optoelektronische Bauelemente, beispielsweise in Reihe oder parallel geschaltet, hergestellt werden, insbesondere ohne einen photolithographischen Prozess durchzuführen und/oder mit lediglich einem Ätzprozess. Ferner können ein, zwei oder mehr passive elektronische Bauelemente mit dem bzw. den optoelektronischen Bauelementen kombiniert werden, beispielswiese elektrisch in Reihe nach einander und/oder parallel zu einander.

Patentansprüche

1. Verfahren zum Herstellen eines passiven elektronischen Bauelements, bei dem

- eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10) ausgebildet wird,
- eine zweite elektrisch leitfähige Schicht (14), auf der ersten elektrisch leitfähigen Schicht (12) ausgebildet wird,
- in der ersten und zweiten elektrisch leitfähigen Schicht (12, 14) ein erster Graben (24) so ausgebildet wird, dass das Substrat (10) in dem ersten Graben (24) frei gelegt ist, wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abtrennt,
- ein Dielektrikum (28) derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) in dem ersten Kontaktbereich (16) und zumindest teilweise auf das Substrat (10) in dem ersten Graben (24) aufgebracht wird, dass das Dielektrikum (28) den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert,
- eine elektrisch leitfähige Elektrodenschicht (38) strukturiert über dem ersten Kontaktbereich (16) auf das Dielektrikum (28) und auf den zweiten Kontaktbereich (18) aufgebracht wird.

2. Verfahren nach Anspruch 1, bei dem von dem ersten Kontaktbereich (16) zwischen dem Dielektrikum (28) und dem Substrat (10) eine erste Elektrode (20) eines Kondensators und von der Elektrodenschicht (38) auf einer von dem ersten Kontaktbereich (16) abgewandten Seite des Dielektrikums (28) eine zweite Elektrode eines Kondensators gebildet ist.

3. Verfahren nach einem der vorstehenden Ansprüche, bei dem vor dem Aufbringen des Dielektrikums (28) ein zweiter Graben (40) und mindestens ein dritter Graben (42) ausgebildet werden, die einen Widerstandsbereich (44) begrenzen, der einen Teil der ersten und der zweiten elektrisch leitfähigen Schicht (12, 14) aufweist und der in Richtung parallel zu den

elektrisch leitfähigen Schichten (12, 14) eine Verjüngung aufweist und der auf einer ersten Seite der Verjüngung in den ersten Kontaktbereich (16) mündet.

4. Verfahren nach Anspruch 3, bei dem der Widerstandsbereich (44) so ausgebildet wird, dass er auf einer zweiten Seite der Verjüngung in den zweiten Kontaktbereich (18) mündet und so einen Widerstand bildet, der elektrisch parallel zu dem Kondensator geschaltet ist.

5. Verfahren nach Anspruch 3, bei dem der Widerstandsbereich (44) so ausgebildet wird, dass er auf einer zweiten Seite der Verjüngung einen dritten Kontaktbereich (46) bildet und so einen Widerstand bildet, der mit dem Kondensator elektrisch in Reihe geschaltet ist.

6. Verfahren nach einem der vorstehenden Ansprüche, bei dem zwei, drei oder mehr Kondensatoren und/oder Widerstände gemäß den vorstehenden Ansprüchen elektrisch parallel zueinander und/oder elektrisch in Reihe nacheinander ausgebildet werden.

7. Verfahren nach einem der vorstehenden Ansprüche, bei dem mindestens einer der Gräben (24, 40, 42) mittels Laserablation ausgebildet wird.

8. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Dielektrikum (28) mittels eines Druckverfahrens aufgebracht wird.

9. Verfahren nach einem der vorstehenden Ansprüche, bei dem das Dielektrikum (28) zunächst derart strukturiert auf die zweite elektrisch leitfähige Schicht (14) aufgebracht wird, dass es an den ersten Graben (24) grenzt und bei dem dann das Dielektrikum (28) derart erwärmt wird, dass es sich verformt und Kanten und/oder Seitenflächen der ersten und der zweiten elektrisch leitfähigen Schicht (12, 14) in dem ersten Graben (24) verkapselt.

10. Verfahren zum Herstellen einer optoelektronischen Baugruppe, bei dem

- ein passives elektronisches Bauelement nach einem der vorstehenden Ansprüche ausgebildet wird,
- das Dielektrikum (28) derart strukturiert auf die zweite Schicht (14) aufgebracht wird, dass durch das Dielektrikum (28) ein Bauelementbereich (50) zum Ausbilden eines optoelektronischen Bauelements gegenüber dem zweiten Kontaktbereich (18) abgegrenzt ist,
- eine optisch funktionelle Schicht (54) in dem Bauelementbereich (50) ausgebildet wird,
- die Elektrodenschicht (38) derart strukturiert aufgebracht wird, dass ein Teil der Elektrodenschicht (38) die optisch funktionelle Schicht (54) bedeckt.

11. Verfahren nach Anspruch 10, bei dem vor dem Aufbringen der optisch funktionellen Schicht die zweite elektrisch leitfähige Schicht (14) in dem Bauelementbereich (50) entfernt wird und die optisch funktionelle Schicht (54) auf die erste elektrisch leitfähige Schicht (12) in dem Bauelementbereich (50) aufgebracht wird.

12. Verfahren nach Anspruch 11, bei dem

- nach dem strukturierten Aufbringen des Dielektrikums (28) und vor dem Entfernen der zweiten elektrisch leitfähigen Schicht (14) in dem Bauelementbereich (50) eine Schutzschicht (52) derart strukturiert auf den ersten Kontaktbereich (16) und den zweiten Kontaktbereich (18) und/oder auf den Widerstandsbereich (44) aufgebracht wird, dass die Kontaktbereiche (16, 18) und/oder der Widerstandsbereich (44) mit dem Material der Schutzschicht (52) bedeckt sind,
- die Schutzschicht (52) beim Entfernen der zweiten elektrisch leitfähigen Schicht (14) die Kontaktbereiche (16, 18) und/oder den Widerstandsbereich (44) schützt, so dass die zweite elektrisch leitfähige Schicht (14) in den

Kontaktbereichen (16, 18) und/oder dem Widerstandsbereich (44) erhalten bleibt, und

- nach dem Entfernen der zweiten elektrisch leitfähigen Schicht (14) in dem Bauelementbereich (50) die Schutzschicht (40) entfernt wird.

13. Verfahren nach einem der Ansprüche 11 oder 12, bei dem von der ersten elektrisch leitfähigen Schicht (12) zwischen der optisch funktionellen Schicht (50) und dem Substrat (10) eine erste Elektrode eines optoelektronischen Bauelements gebildet ist und von der Elektrodenschicht (38) auf einer von der ersten Elektrode abgewandten Seite der optisch funktionellen Schicht (50) eine zweite Elektrode (38) des optoelektronischen Bauelements gebildet ist, wobei das optoelektronische Bauelement die organisch funktionelle Schicht (50) zwischen der ersten und der zweiten Elektrode des ersten optoelektronischen Bauelements aufweist.

14. Verfahren nach Anspruch 13, bei dem das passive elektronische Bauelement und das optoelektronische Bauelement über den zweiten Kontaktbereich (18) in Reihe geschaltet sind.

15. Verfahren nach einem der Ansprüche 12 bis 14, bei dem die Schutzschicht (52) mittels eines Druckverfahrens aufgebracht wird.

16. Passives elektronisches Bauelement, aufweisend:

- eine erste elektrisch leitfähige Schicht (12) auf einem Substrat (10),

- eine zweite elektrisch leitfähige Schicht (14) auf der ersten elektrisch leitfähigen Schicht (12),

- einen ersten Graben (24) in der ersten und zweiten elektrisch leitfähigen Schicht (12, 14), wobei der erste Graben (24) einen ersten Kontaktbereich (16) von einem zweiten Kontaktbereich (18) abtrennt,

- ein Dielektrikum (28), das derart strukturiert auf der zweiten elektrisch leitfähigen Schicht (14) in dem ersten

Kontaktbereich (16) und zumindest teilweise auf dem Substrat (10) in dem ersten Graben (24) so aufgebracht ist, dass es den ersten Kontaktbereich (16) gegenüber dem zweiten Kontaktbereich (18) elektrisch isoliert,

- eine elektrisch leitfähige Elektrodenschicht (38), die über dem ersten Kontaktbereich (16) auf dem Dielektrikum (28) und zumindest teilweise auf dem zweiten Kontaktbereich (18) strukturiert aufgebracht ist.

Fig. 1

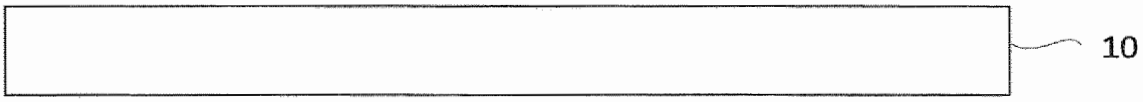


Fig. 2

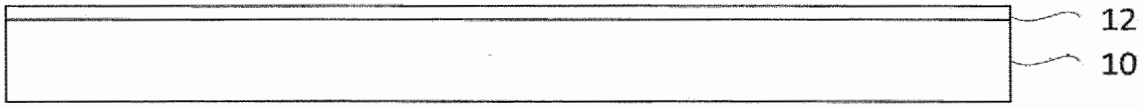


Fig. 3

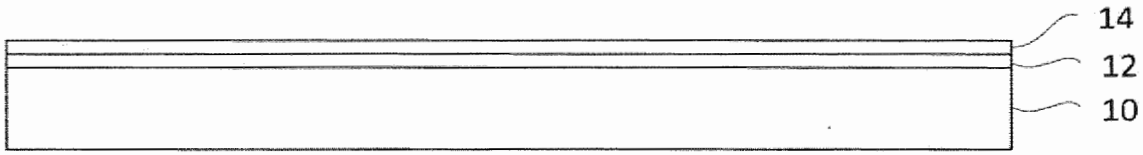


Fig. 4

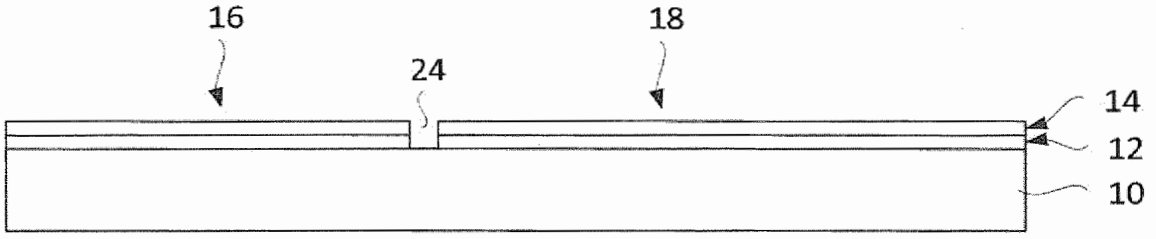


Fig. 5

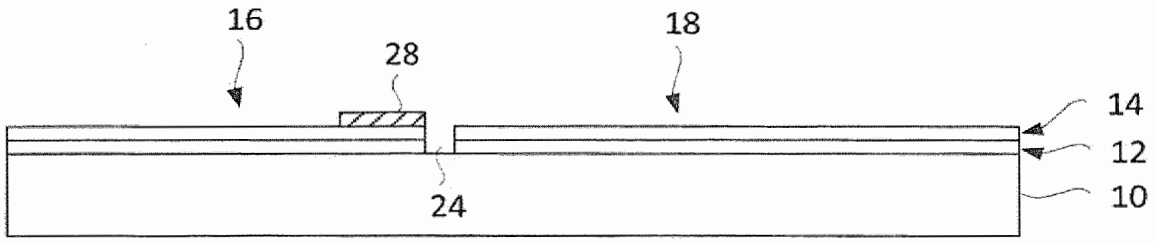


Fig. 6

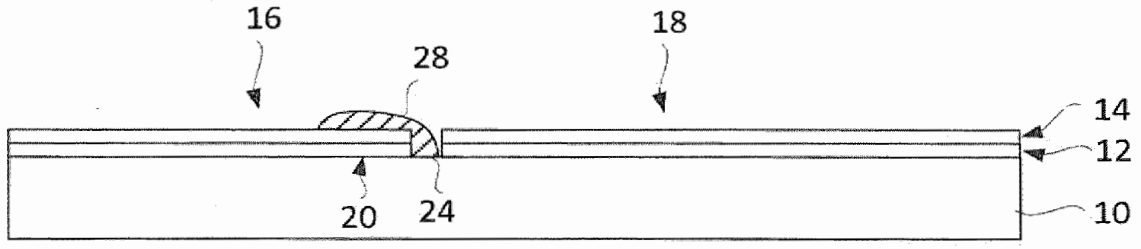


Fig. 7

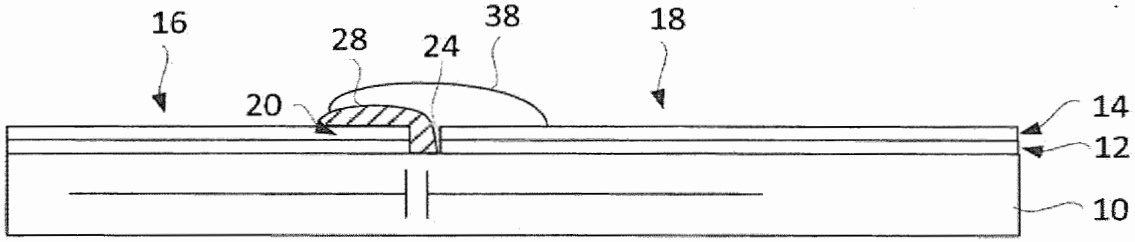


Fig. 8

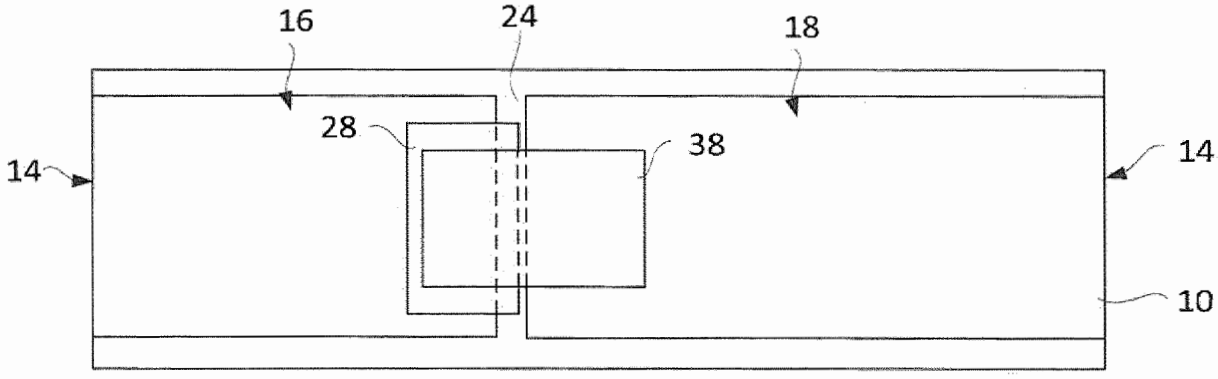


Fig. 9

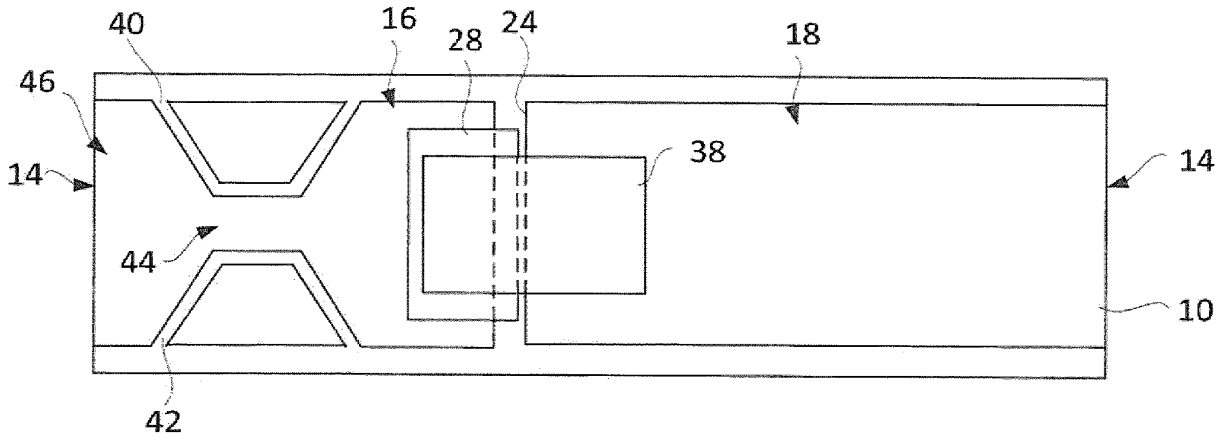


Fig. 10

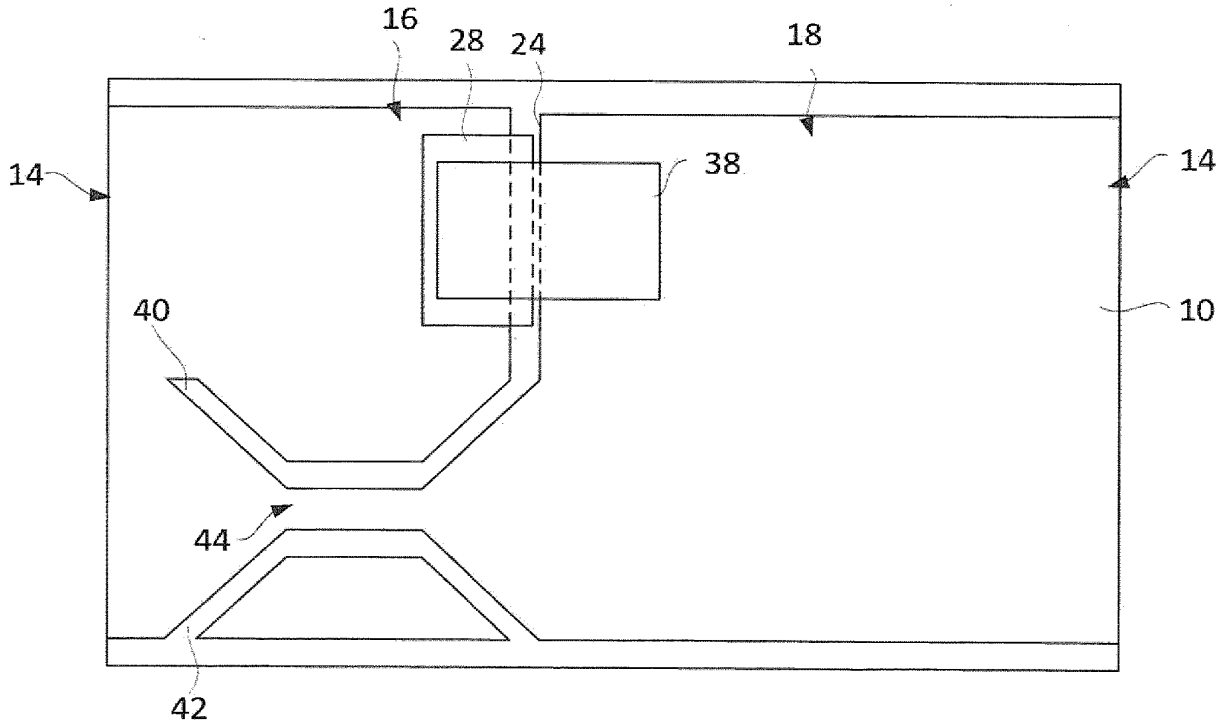


Fig. 11

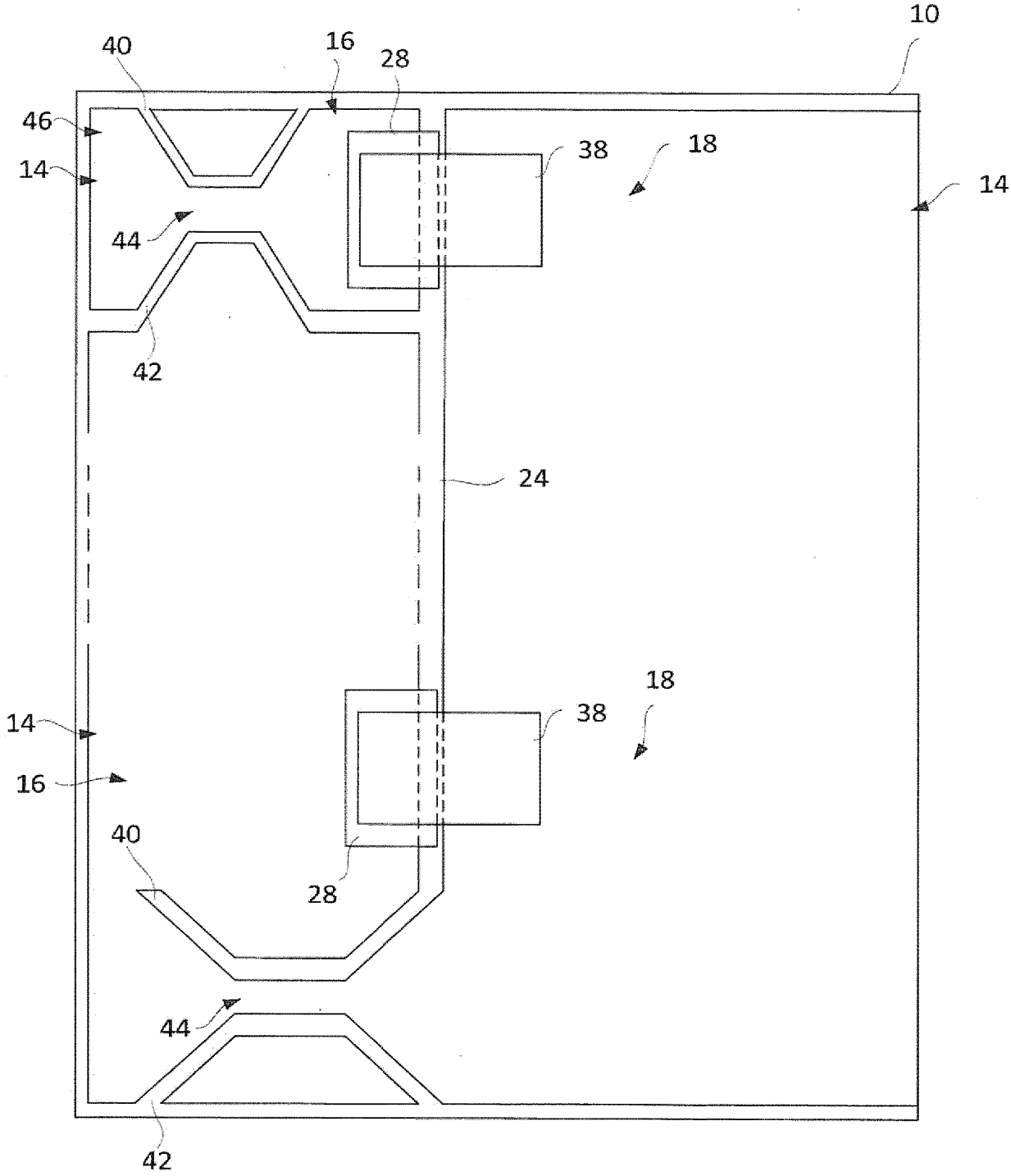


Fig. 12

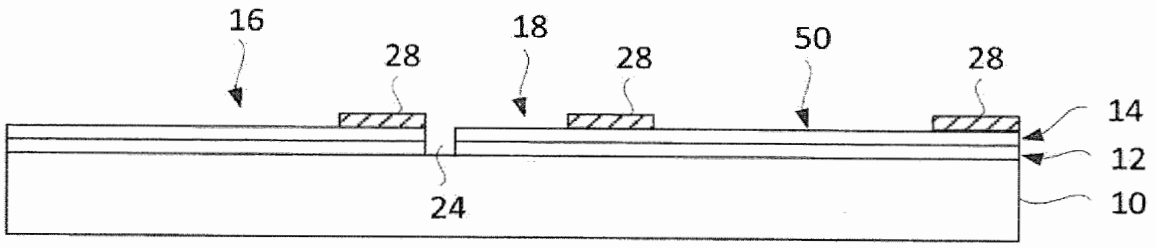


Fig. 13

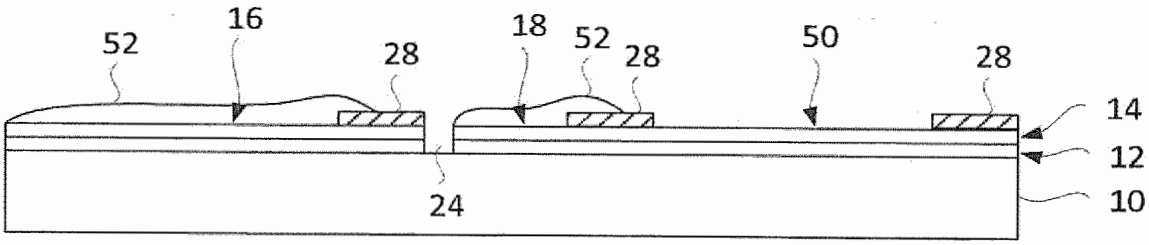


Fig. 14

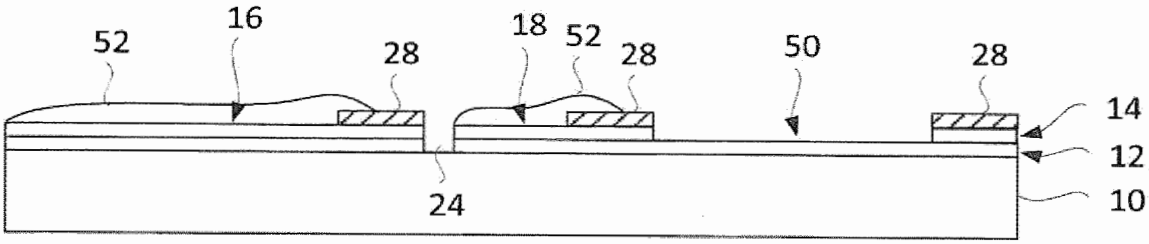


Fig. 15

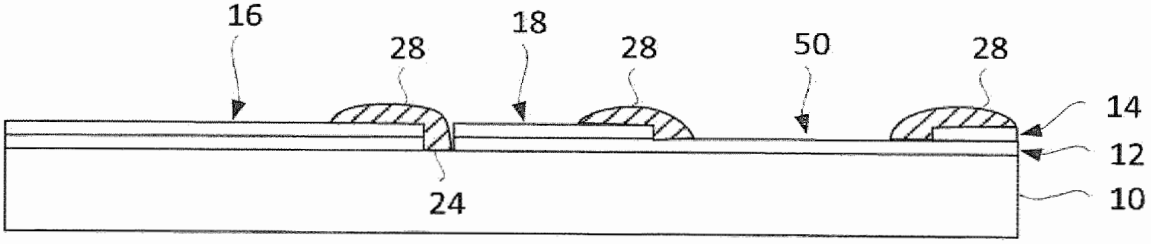


Fig. 16

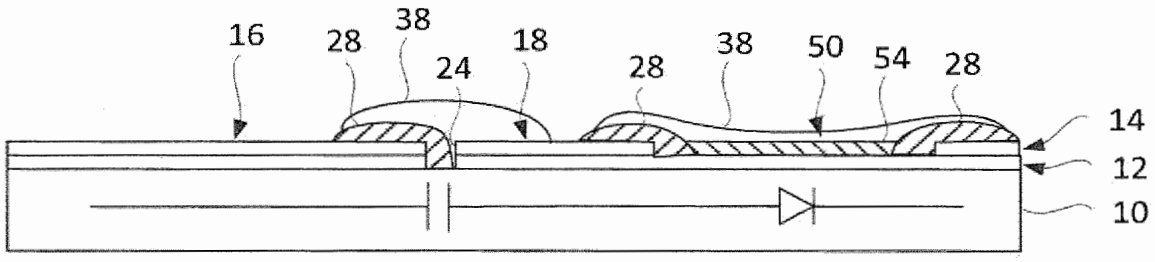
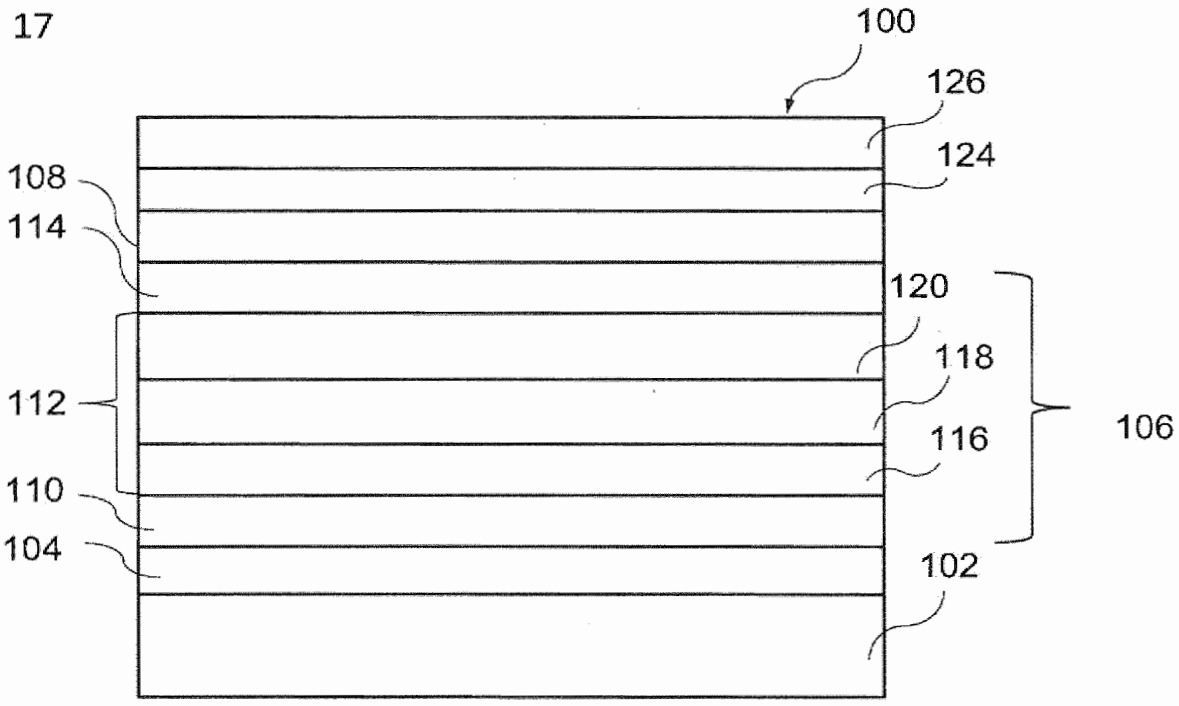

16
28
38
18
24
28
38
50
54
28
14
12
10

Fig. 17


100
126
124
108
114
120
118
112
116
106
110
104
102

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/067348

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/01 H01L23/522 H01L49/02 H01G4/33 H01G4/005
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H01G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/190835 A1 (MA QING [US] ET AL) 19 December 2002 (2002-12-19)	1,6-8,16
A	paragraphs [0038] - [0045]; figures 4-11	2-5
X	US 2003/139016 A1 (WATANABE HISAYOSHI [JP] ET AL) 24 July 2003 (2003-07-24)	1,2,6-8, 16
A	paragraphs [0108] - [0136], [0214] - [0216]; figures 1,5a-6e,16	3-5
A	US 4 410 867 A (ARCIDIACONO FRANK R [US] ET AL) 18 October 1983 (1983-10-18) the whole document	3-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 November 2013	11/02/2014

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Mosig, Karsten

1

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2013/067348

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: **1-8, 16**

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:

1. Claims 1-8, 16

Passive electronic component and method for the production thereof, characterized by the integration with a resistor which is formed by the same electrically conductive layer than one of the electrodes of a capacitor.

---

2. Claim 9

Method for producing a passive component, characterized in that a dielectric is first applied on the edge of an electrically conductive layer and is then introduced into a trench by heating.

---

3. Claims 10-15

Method for producing an optoelectronic assembly, characterized by an optically functional layer below the electrode layer.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2013/067348

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002190835 A1	19-12-2002	TW 584872 B	21-04-2004
		US 2002190835 A1	19-12-2002
US 2003139016 A1	24-07-2003	CN 1465078 A	31-12-2003
		EP 1383146 A1	21-01-2004
		KR 20040002394 A	07-01-2004
		US 2003139016 A1	24-07-2003
		WO 02089161 A1	07-11-2002
US 4410867 A	18-10-1983	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2013/067348

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L27/01 H01L23/522 H01L49/02 H01G4/33 H01G4/005
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L H01G

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/190835 A1 (MA QING [US] ET AL) 19. Dezember 2002 (2002-12-19)	1,6-8,16
A	Absätze [0038] - [0045]; Abbildungen 4-11	2-5
X	US 2003/139016 A1 (WATANABE HISAYOSHI [JP] ET AL) 24. Juli 2003 (2003-07-24)	1,2,6-8, 16
A	Absätze [0108] - [0136], [0214] - [0216]; Abbildungen 1,5a-6e,16	3-5
A	US 4 410 867 A (ARCIDIACONO FRANK R [US] ET AL) 18. Oktober 1983 (1983-10-18) das ganze Dokument	3-5

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
11. November 2013	11/02/2014

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Mosig, Karsten

1

Formblatt PCT/ISA/210 (Blatt 2) (April 2005)

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2013/067348

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchengebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchengebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-8, 16

Bemerkungen hinsichtlich eines Widerspruchs

☐ Der Anmelder hat die zusätzlichen Recherchengebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.

☐ Die zusätzlichen Recherchengebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.

☐ Die Zahlung der zusätzlichen Recherchengebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN **PCT/ISA/** 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-8, 16

   Passives elektronisches Bauelement und Herstellungsverfahren dafür, gekennzeichnet durch die Integration mit einem Widerstand, der aus derselben leitfähigen Schicht wie eine der Elektroden eines Kondensators geformt ist.

   ---

2. Anspruch: 9

   Verfahren zum Herstellen eines passiven Bauelements, gekennzeichnet dadurch, dass ein Dielektrikum zunächst auf die Kante einer leitfähigen Schicht aufgebracht und danach durch Erhitzen in einen Graben eingebracht wird.

   ---

3. Ansprüche: 10-15

   Verfahren zur Herstellung einer optoelektronischen Baugruppe, gekennzeichnet durch eine optisch funktionelle Schicht unter der Elektrodenschicht

   ---

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2013/067348

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002190835 A1	19-12-2002	TW 584872 B	21-04-2004
		US 2002190835 A1	19-12-2002
US 2003139016 A1	24-07-2003	CN 1465078 A	31-12-2003
		EP 1383146 A1	21-01-2004
		KR 20040002394 A	07-01-2004
		US 2003139016 A1	24-07-2003
		WO 02089161 A1	07-11-2002
US 4410867 A	18-10-1983	KEINE	

PTO/SB/06 (09-11)
Approved for use through 1/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 14/430,942	Filing Date 03/25/2015	☐ To be Mailed

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	03/25/2015	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 18	Minus	** 20	= 0	X $80 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0	X $420 =	0
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE
/NICOLE C. LAWRENCE/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	
Examiner Name	
Attorney Docket Number	P59054US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	7012585	B2	2006-03-14	Agostinelli et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20120267147	A1	2012-10-25	Ingle et al.	Corresponds to DE 102009060066 A1

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	102009060066	DE	A1	2011-03-31	OSRAM OPTO SEMICONDUCTORS GMBH	Corresponds to US 20120267147 A1	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	14430942
	Filing Date	2015-03-25
	First Named Inventor	Andrew Ingle
	Art Unit	
	Examiner Name	
	Attorney Docket Number	P59054US

	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	
Examiner Name	
Attorney Docket Number	P59054US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Karl J. Kolbinger/	Date (YYYY-MM-DD)	2015-04-13
Name/Print	Karl J. Kolbinger	Registration Number	41124

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

(19) Deutsches Patent- und Markenamt

(10) **DE 10 2009 060 066 A1** 2011.03.31

(12) # Offenlegungsschrift

(21) Aktenzeichen: **10 2009 060 066.3**
(22) Anmeldetag: **22.12.2009**
(43) Offenlegungstag: **31.03.2011**

(51) Int Cl.[8]: ***H01L 21/283*** (2006.01)
H01L 21/60 (2006.01)
H01L 51/56 (2006.01)

(66) Innere Priorität:
10 2009 043 066.0 25.09.2009

(71) Anmelder:
OSRAM Opto Semiconductors GmbH, 93055 Regensburg, DE

(74) Vertreter:
Epping Hermann Fischer, Patentanwaltsgesellschaft mbH, 80339 München

(72) Erfinder:
Ingle, Andrew, 85391 Allershausen, DE; Heuser, Karsten, Dr., 91056 Erlangen, DE; Schlenker, Tilman, Dr., 93152 Nittendorf, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

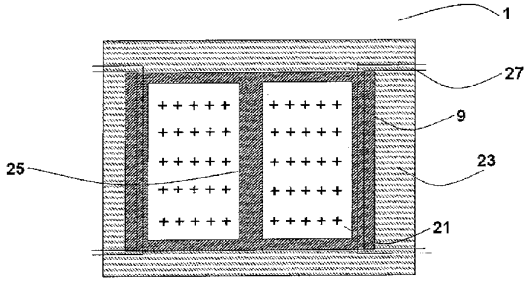
DE	**197 15 048**	**C2**
US	**2009/01 89 151**	**A1**
US	**2007/02 49 111**	**A1**
WO	**93/00 695**	**A1**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Rechercheantrag gemäß § 43 Abs. 1 Satz 1 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Herstellen eines elektronischen Bauelements sowie elektronisches Bauelement**

(57) Zusammenfassung: Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines elektronischen Bauelements mit zumindest einem ersten Elektrodenbereich (21) und einem zweiten Elektrodenbereich (23), die durch einen Isolator (9) voneinander getrennt sind und jeweils zumindest eine Teilschicht eines ersten elektrisch leitfähigen Materials aufweisen. Das erfindungsgemäße Verfahren umfasst das Bereitstellen einer Substratschicht (1) und wenigstens einer auf der Substratschicht angeordneten ersten elektrisch leitfähigen Schicht (3) aus dem ersten elektrisch leitfähigen Material; das Anordnen wenigstens einer zweiten elektrisch leitfähigen Schicht (5) aus einem zweiten elektrisch leitfähigen Material auf der ersten elektrisch leitfähigen Schicht (3); das Anordnen wenigstens eines ersten Isolators (9) auf dem Substrat, so dass die zweite elektrisch leitfähige Schicht (5) zumindest einen ersten Teilbereich (11), welcher mit dem Isolator (9) bedeckt ist, und einen zweiten Teilbereich (13), welcher nicht mit dem Isolator bedeckt ist, aufweist und wobei der Isolator (9) so angeordnet wird, dass er dazu dienen kann, den ersten Elektrodenbereich (21) und den zweiten Elektrodenbereich (23) voneinander zu trennen; und das Anordnen wenigstens einer Funktionsschicht und wenigstens einer zweiten Elektrodenschicht auf der in Schritt C) erhaltenen zweiten elektrisch leitfähigen Schicht (5), welche in Abschnitten mit dem Isolator (9) bedeckt ist. Die vorliegende Erfindung betrifft ferner ein ...



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines elektronischen Bauelements sowie ein elektronisches Bauelement.

[0002] In elektronischen Bauelementen wie organischen Leuchtdioden dienen Isolatoren unter anderem dazu, zwei Elektrodenbereiche voneinander abzutrennen. Geeignete Isolatoren wie beispielsweise lichtempfindliche Lacke sind meist sehr teuer und aufwendig aufzubringen.

[0003] Eine Aufgabe der vorliegenden Erfindung ist, ein gegenüber dem Stand der Technik verbessertes Verfahren zum Herstellen eines elektronischen Bauelements anzugeben, bei welchem der Isolator nur auf bestimmte Bereiche einer elektrisch leitfähigen Schicht aufgebracht wird.

[0004] Die erfindungsgemäße Aufgabe wird durch ein Verfahren mit den Merkmalen des unabhängigen Anspruchs 1 sowie ein elektronisches Bauelement mit den Merkmalen des unabhängigen Anspruchs 15 gelöst.

[0005] Unteransprüche geben weitere Ausführungsformen des erfindungsgemäßen Verfahrens an.

[0006] Das erfindungsgemäße Verfahren ist zum Herstellen eines elektronischen Bauelements mit zumindest einem ersten Elektrodenbereich und einem zweiten Elektrodenbereich, die durch einen Isolator voneinander getrennt sind und jeweils zumindest eine Teilschicht eines ersten elektrisch leitfähigen Materials aufweisen, geeignet.

[0007] Das erfindungsgemäße Verfahren umfasst folgende Schritte:

A) Bereitstellen einer Substratschicht und wenigstens einer auf der Substratschicht angeordneten ersten elektrisch leitfähigen Schicht aus dem ersten elektrisch leitfähigen Material;

B) Anordnen wenigstens einer zweiten elektrisch leitfähigen Schicht aus einem zweiten elektrisch leitfähigen Material auf der ersten elektrisch leitfähigen Schicht;

C) Anordnen wenigstens eines ersten Isolators auf dem Substrat, so dass die zweite elektrisch leitfähige Schicht zumindest einen ersten Teilbereich, welcher mit dem Isolator bedeckt ist, und einen zweiten Teilbereich, welcher nicht mit dem Isolator bedeckt ist, aufweist und wobei der Isolator so angeordnet wird, dass er dazu dienen kann, den ersten Elektrodenbereich und den zweiten Elektrodenbereich voneinander zu trennen; und

D) Anordnen wenigstens einer Funktionsschicht und wenigstens einer zweiten Elektrodenschicht auf der im vorhergehenden Schritt erhaltenen zweiten elektrisch leitfähigen Schicht, welche in Abschnitten mit dem Isolator bedeckt ist.

[0008] Der Begriff „Elektrodenbereich", wie er hierin verwendet wird, bezeichnet einen als Elektrode fungierenden Bereich oder Abschnitt des elektronischen Bauelements bzw. einer Elektrodenschicht desselben. Die Elektrodenschicht kann eine Anodenschicht oder eine Kathodenschicht sein.

[0009] Der erste und der zweite Elektrodenbereich weisen jeweils zumindest eine Teilschicht aus einem ersten elektrisch leitfähigen Material auf. Der Begriff „elektrisch leitfähiges Material", wie er hierin verwendet wird, bezeichnet ein Material oder eine Substanz mit der Fähigkeit, elektrischen Strom zu leiten. Der Begriff „Teilschicht eines ersten elektrisch leitfähigen Materials", wie er hierin verwendet wird, meint, dass die Elektrodenbereiche jeweils einen als Schicht ausgebildeten Abschnitt aus dem ersten elektrisch leitfähigen Material umfassen oder aus einem solchen bestehen. Die aus dem ersten elektrisch leitfähigen Material gebildete Teilschicht ist dabei klar von möglichen weiteren Schichten abgetrennt, so dass beispielsweise das Ausbilden einer Legierung zwischen dem ersten elektrisch leitfähigen Material und jedem weiteren im jeweiligen Elektrodenbereich aufgebrachten Material ausgeschlossen ist.

[0010] Der Begriff „Isolator", wie er hierin verwendet wird, bezeichnet eine isolierende Substanz, welche derart aufgebracht wird, dass sie einen Stromfluss zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich verhindert. Der Isolator kann ein Uberzug oder ein Beschichtungsmittel, wie ein Polymer und insbesondere ein Lack, und dergleichen sein.

[0011] Unter dem Begriff „Lack" ist hierbei ein in flüssiger oder auch in pulverförmiger Form aufbringbarer Beschichtungsstoff zu verstehen.

[0012] Der Begriff „erste elektrisch leitfähige Schicht", wie er hierin verwendet wird, bezeichnet eine das erste elektrisch leitfähige Material aufweisende oder eine aus dem ersten elektrisch leitfähigen Material bestehende Schicht, welche direkt auf der Substratschicht abgeschieden wird. Die erste elektrisch leitfähige Schicht kann eine transparente leitende Schicht sein. Sie kann, ohne darauf beschränkt zu sein, aus einem transparenten leitfähigen Oxid (TCO), z. B. Indium-dotiertem Zinnoxid (ITO) oder ZnO, In/ZnO, SnZnO, Al-ZnO und dergleichen gebildet sein. Die erste elektrisch leitfähige Schicht kann beispielsweise mittels Sputtern auf die Substratschicht aufgebracht werden.

SDC EX. 1002 - 294/486

[0013] Auf der ersten elektrisch leitfähigen Schicht wird eine zweite elektrisch leitfähige Schicht aus einem „zweiten elektrisch leitfähigen Material" abgeschieden, welches üblicherweise von dem ersten elektrisch leitfähigen Material verschieden ist. Beispielsweise kann das erste elektrisch leitfähige Material insbesondere für die Anode der fertigen Vorrichtung vorgesehen sein, das zweite elektrisch leitfähige Material für die Kathode vorgesehen sein und umgekehrt. Beispiele für das zweite elektrisch leitfähige Material schließen, ohne darauf beschränkt zu sein, Metalle, beispielsweise Aluminium, Barium, Indium, Kupfer, Silber, Gold, Magnesium, Calcium und Lithium und dergleichen sowie deren Mischungen oder Kombinationen, insbesondere in Form von Legierungen untereinander oder mit anderen Metallen, ein. Die zweite elektrisch leitfähige Schicht kann nur eine aber auch mehrere Teilschichten umfassen. Die einzelnen Teilschichten können dann unabhängig voneinander jeweils aus den vorgehend genannten Materialien bestehen oder diese enthalten; neben den vorstehend explizit aufgeführten Metallen können diese auch die Metalle Chrom und Molybdän enthalten oder daraus bestehen. Beispiele für Schichtenfolgen in einer mehrere Teilschichten aufweisenden zweiten elektrisch leitfähigen Schicht sind Mo/Al/Mo, Cr/Al/Cr, Cu/Cr und Cr/Cu.

[0014] Die zweite elektrisch leitfähige Schicht kann mittels Sputtern, physikalischer Gasphasenabscheidung (PVD) oder dergleichen auf die erste elektrisch leitfähige Schicht aufgebracht werden.

[0015] Der Begriff „Substratschicht", wie er hierin verwendet wird, bezeichnet eine Schicht aus einem Substrat, wie es beispielsweise im Stand der Technik herkömmlich für ein elektronisches Bauelement verwendet wird. Das Substrat kann ein transparentes oder ein nicht transparentes Substrat sein. Beispielsweise kann das Substrat Glas, Quarz, Saphir, Kunststofffolien, beschichtete Kunststofffolien, Metall, Metallfolien, Metallfolien, Folien, welche mit einer elektrisch isolierenden Schicht beschichtet sind, Siliziumwafer oder ein anderes geeignetes Substratmaterial umfassen. Als Substratschicht wird erfindungsgemäß insbesondere die Schicht verstanden, auf der bei der Herstellung des elektronischen Bauelements nachfolgend alle anderen Schichten aufgebracht werden. Solche nachfolgenden Schichten können z. B. bei einem optischen elektronischen Bauelement, beispielsweise einer strahlungsemittierenden Vorrichtung, für die Strahlungsemission erforderliche Schichten sein.

[0016] Die „zweite Elektrodenschicht" kann ein Material aufweisen oder aus einem Material gebildet sein, das ausgewählt ist aus Metallen wie Aluminium, Barium, Indium, Silber, Gold, Magnesium, Calcium und Lithium sowie Kombinationen derselben oder einer Verbindung derselben, insbesondere einer Legierung, sowie transparenten leitfähigen Oxiden, wie beispielsweise Metalloxiden, wie Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid oder Indium-dotiertem Zinnoxid (ITO), Aluminium-dotiertem Zinkoxid (AZO), Zn_2SnO_4, $CdSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen unterschiedlicher transparenter leitender Oxide. Bevorzugt ist die zweite Elektrodenschicht aus einem Metall gebildet. Die zweite Elektrodenschicht des elektronischen Bauelements kann eine Kathodenschicht sein.

[0017] Eine „Funktionsschicht" des elektronischen Bauelements übt eine für das elektronische Bauelement charakteristische Funktion aus. Beispielsweise können Funktionsschichten strahlungsemittierende Schichten, wie fluoreszierende und/oder phosphoreszierende Emitterschichten einer organischen Leuchtdiode, sein.

[0018] Ein „elektronisches Bauelement", welches mit dem erfindungsgemäßen Verfahren herstellbar ist, kann, ohne darauf beschränkt zu sein, ein Transistor, ein Kondensator, ein Thermistor, ein organisches elektronisches Bauelement, wie eine organische Leuchtdiode, eine Solarzelle, und dergleichen sein.

[0019] Mit dem erfindungsgemäßen Verfahren ist es möglich, zwei Elektrodenbereiche voneinander zu trennen, wobei in eine bereits während des Aufbringens der Schichten der Elektrodenbereiche oder später eine Strukturierung der Elektrodenbereiche an einer vorselektierten Position erfolgt und in dem durch die Strukturierung gebildeten Bereich der auf die zweite elektrisch leitfähige Schicht aufgebrachte Isolator angeordnet wird. Ublicherweise wird die Strukturierung später eingebracht.

[0020] Wenn die Strukturierung schon vorhanden ist (also "früher" eingebracht wird), kann dies erfolgen indem die erste und die zweite elektrisch leitfähige Schicht oder Teilbereiche derselben beispielsweise mittels Drucken, durch Abscheidung unter Zuhilfenahme von SAMs (self assembling monolayers) und dergleichen auf das Substrat aufgebracht werden.

[0021] Der Isolator wird (üblicherweise ausschließlich) auf die zweite elektrisch leitfähige Schicht aufgebracht. Erfindungsgemäß ist vorgesehen, dass der Isolator dabei nur in vorbestimmen Bereichen oder Abschnitten auf der zweiten elektrisch leitfähigen Schicht aufgebracht wird.

[0022] Das Anordnen des Isolators nur in dem ersten Teilbereich der zweiten elektrisch leitfähigen Schicht kann – je nach Zusammensetzung des Isolators – mittels eines Druckverfahrens, mit Hilfe einer Spritze, einer Düse, einer Tülle und dergleichen erfolgen. Der erste Teilbereich kann nach Fertigstellung des elek-

SDC EX. 1002 - 295/486

tronischen Bauelements als Bond pad bzw. als Bus bar zur nachträglichen Kontaktierung des elektronischen Bauelements dienen.

[0023] Die zweite elektrisch leitfähige Schicht wird mittels des auf das Substrat aufgebrachten Isolators in wenigstens zwei Teilbereiche unterteilt, von denen einer mit Isolator bedeckt und der andere nicht bedeckt ist. Gleichzeitig wird der Isolator derart angeordnet, dass er dazu dienen kann, den ersten und den zweiten Elektrodenbereich der ersten elektrisch leitfähigen Schicht voneinander zu trennen. Hierunter ist insbesondere auch zu verstehen, dass in einem späteren Verfahrensschritt der Isolator in einen umformbaren Zustand gebracht wird, der es erlaubt, den Isolator so anzuordnen dass die Elektrodenbereiche durch den Isolator voneinander getrennt werden.

[0024] Das erfindungsgemäße Verfahren zum Herstellen eines elektronischen Bauelements kann dazu eingesetzt werden, elektronische Bauelemente unter Kosten- und Zeitersparnis herzustellen. Da jede Schicht des Bauteils einzeln aufgebracht und gegebenenfalls nach Wunsch oder Zweck strukturiert werden kann (wie den nachfolgenden Weiterbildungen des Verfahrens zu entnehmen ist), können somit aufwendige Beschichtungs- oder Aufbringungsschritte vermieden und ferner (oftmals teures) Material eingespart werden.

[0025] Indem die zweite elektrisch leitfähige Schicht erfindungsgemäß flächig auf die erste elektrisch leitfähige Schicht aufgebracht wird, kann ferner verhindert werden, dass die erste elektrisch leitfähige Schicht, wie beispielsweise eine empfindliche ITO-Schicht, mit dem aufzudruckenden Isolator und/oder dem Schutzmaterial in Kontakt kommt und ggf. beschädigt bzw. beeinträchtigt werden könnte. Ferner gelangt die erste elektrisch leitfähige Schicht nicht in direkten Kontakt mit den Anlagen. Die erste elektrisch leitfähige Schicht kann ferner insbesondere frei von Partikeln, wie Verunreinigungen gehalten werden, da beim Atzen der zweiten elektrisch leitfähigen Schicht darüberliegende Verunreinigungen, wie Reste, welche durch Redeposition eines gegebenenfalls durchgeführten Laserablationsprozesses entstehen können, entfernt werden.

[0026] Mittels des erfindungsgemäßen Verfahrens ist es möglich, ein „Self Aligning" des zweiten elektrisch leitfähigen Materials und des Isolators zu erreichen. Auf diese Weise ist es z. B. möglich, Leiterbahnen oder Bond pads, auf einfache Weise leicht in dem erfindungsgemäß hergestellten elektronischen Bauelement vorzusehen.

[0027] In einer Weiterbildung des erfindungsgemäßen Verfahrens umfasst das Verfahren den folgenden Schritt:

E) Entfernen von erstem elektrisch leitfähigen Material der ersten elektrisch leitfähigen Schicht zumindest entlang eines vorbestimmten Trennbereichs zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich.

[0028] Dieser Schritt des Entfernens wird in der Regel nach Schritt A) und vor Schritt B) durchgeführt.

[0029] Der vorbestimmte Trennbereich kann eine Art Graben oder Spalte zwischen dem ersten und zweiten und jedem weiteren durch Entfernen des ersten elektrisch leitfähigen Materials gebildeten Elektrodenbereich der ersten elektrisch leitfähigen Schicht sein.

[0030] Alternativ ist es möglich, sowohl das erste elektrisch leitfähige Material der ersten elektrisch leitfähigen Schicht als auch das über dem ersten elektrisch leitfähigen Material befindliche zweite elektrisch leitfähige Material der zweiten elektrisch leitfähigen Schicht zumindest entlang eines vorbestimmten Trennbereichs zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich zu entfernen (Schritt F)).

[0031] Dieser Schritt wird in der Regel nach Schritt B) und vor Schritt C) ausgeführt.

[0032] Das Entfernen von sowohl erstem als auch zweitem elektrisch leitfähigen Material kann hierbei bevorzugt gleichzeitig, d. h. in einem Arbeitsschritt erfolgen.

[0033] In einer Weiterbildung des erfindungsgemäßen Verfahrens umfasst das Verfahren gemäß den beiden vorstehenden Alternativen das Entfernen des ersten elektrisch leitfähigen Materials (Schritt E)) oder das Entfernen des ersten elektrisch leitfähigen Materials und des zweiten elektrisch leitfähigen Materials (Schritt F)) mittels Laserablation.

[0034] Der Begriff „Laserablation", wie er hierin verwendet wird, umfasst das Abtragen des ersten elektrisch leitfähigen Materials oder das Abtragen des ersten und des zweiten elektrisch leitfähigen Materials von der Oberfläche der Substratschicht durch Beschuss mit gepulster Laserstrahlung.

[0035] Während des im Wesentlichen abschnittsweisen Entfernens oder Abtragens der zweiten elektrisch leitfähigen Schicht und der ersten elektrisch leitfähigen Schicht mittels Laserablation erwärmt sich insbesondere nur die oberste, d. h. die zweite elektrisch leitfähige Schicht. Dies kann besonders vorteilhaft sein, um die erste elektrisch leitfähige Schicht, zum Beispiel eine ITO-Schicht, die eine in der Regel sehr empfindliche Schicht ist, zu schützen.

SDC EX. 1002 - 296/486

[0036] In einer Weiterbildung des erfindungsgemäßen Verfahrens umfasst das Verfahren ferner den Schritt G) des Anordnens wenigstens eines Schutzmaterials in zumindest einem dritten Teilbereich der zweiten elektrisch leitfähigen Schicht, der im zweiten Teilbereich angeordnet ist.

[0037] Der Begriff „Schutzmaterial", wie er hierin verwendet wird, bezeichnet ein Material oder eine Substanz, welche dazu dient, das zweite elektrisch leitfähige Material der zweiten elektrisch leitfähigen Schicht in den Teilbereichen, auf welchen es auf der zweiten elektrisch leitfähigen Schicht aufgebracht wurde, insbesondere im weiteren Verfahrensablauf der Herstellung des elektronischen Bauelements, d. h. in weiteren Prozessschritten, zu schützen.

[0038] Das Schutzmaterial kann ein Uberzug wie ein Lack und dergleichen sein. Insbesondere kann das Schutzmaterial ein im alkalischen löslicher Atzstopplack sein, beispielsweise ein Atz-stopplack, wie er bei der Herstellung von Leiterplatten (PCBs) verwendet wird. Dieser Atzstopplack kann thermisch oder mittels UV-Strahlung vernetzt bzw. gehärtet sein. Das Schutzmaterial ist bevorzugt in einem Lösungsmittel löslich, in welchem der Isolator nicht löslich ist. Zu nennen sind diesbezüglich etwa alkalische Lösungen beispielsweise schwach alkalische wässrige Lösungen von Salzen u. ä. (z. B. NaOH, KOH, NH4OH, oder quartäre Ammoniumsalze wie N $(CH_3)_4OH$).

[0039] Das Anordnen des Schutzmaterials kann sowohl nach dem Aufbringen der zweiten elektrisch leitfähigen Schicht auf der ersten elektrisch leitfähigen Schicht und vor dem Aufbringen des Isolators auf der zweiten elektrisch leitfähigen Schicht als auch nach dem Aufbringen des Isolators auf der zweiten elektrisch leitfähigen Schicht und vor dem Aufbringen einer Funktionsschicht auf der zweiten elektrisch leitfähigen Schicht erfolgen.

[0040] Das Aufbringen des Schutzmaterials erfolgt dabei derart, dass die zweite elektrisch leitfähige Schicht in dem dritten Teilbereich mit Schutzmaterial bedeckt und in wenigstens einem vierten Teilbereich der im zweiten Teilbereich angeordnet ist, nicht mit dem Schutzmaterial und nicht mit dem Isolator bedeckt ist.

[0041] Das Schutzmaterial kann – zumindest abschnittsweise – über bzw. auf dem Isolator angeordnet werden.

[0042] In einer Weiterbildung des erfindungsgemäßen Verfahrens wird das Schutzmaterial mit einem Abstand zum Isolator auf dem zweiten Teilbereich angeordnet, so dass eine Lücke zwischen dem ersten Teilbereich und dem dritten Teilbereich verbleibt. Das Schutzmaterial wird in dieser Ausführungsform nicht auf dem Isolator angeordnet.

[0043] Ein „Abstand", in welchem das Schutzmaterial zum Isolator angeordnet wird, kann ein vorbestimmter Abstand sein. Die „Lücke", welche durch Anordnen des Schutzmaterials unter Abstand zum Isolator erzeugt wird, kann ein Bereich sein, welcher dem Trennbereich bzw. der Trennlinie zwischen dem ersten und dem zweiten Elektrodenbereich entspricht.

[0044] Gemäß dieser Weiterbildung des erfindungsgemäßen Verfahrens ist vorgesehen, dass zumindest ein Teil des ersten elektrisch leitfähigen Materials der ersten elektrisch leitfähigen Schicht und des zweiten elektrisch leitfähigen Materials der zweiten elektrisch leitfähigen Schicht, welche sich im Bereich des Spalts befinden, wie vorstehend beschrieben ist, entfernt werden. Das abzutragende erste elektrisch leitfähige Material der ersten elektrisch leitfähigen Schicht und das zweite elektrisch leitfähige Material der zweiten elektrisch leitfähigen Schicht befinden sich im Regelfall dabei unterhalb der Lücke.

[0045] In einer Weiterbildung des erfindungsgemäßen Verfahrens zum Herstellen des elektronischen Bauelements umfasst das Verfahren folgenden Schritt:

H) zumindest teilweises Entfernen der zweiten elektrisch leitfähigen Schicht in wenigstens dem vierten Teilbereich.

[0046] Dieser Schritt H) kann sowohl nach Schritt C) und vor Schritt D) als auch nach Schritt G) und vor Schritt D) erfolgen.

[0047] Das zweite elektrisch leitfähige Material wird dabei im Wesentlichen im vierten Teilbereich des zweiten Teilbereichs, d. h. in demjenigen Bereich, welcher weder durch Schutzmaterial noch durch Isolator bedeckt ist, entfernt. Durch das Entfernen von zweitem elektrisch leitfähigem Material wird die unter der zweiten elektrisch leitfähigen Schicht liegende erste elektrisch leitfähige Schicht im Bereich des vierten Teilbereichs der zweiten elektrisch leitfähigen Schicht freigelegt (und nicht abgetragen). Das Entfernen erfolgt also mittels einer Technik, die selektiv nur eine Schicht, z. B. eine Metallschicht, entfernt.

[0048] In einer Weiterbildung des erfindungsgemäßen Verfahrens zum Herstellen des elektronischen Bauelements wird die zweite elektrisch leitfähige Schicht mittels Atzen entfernt. Das Atzen des zweiten elektrisch leitfähigen Materials kann dabei mittels eines Atzbads erfolgen.

[0049] Der Begriff „Atzen", wie er hierin verwendet wird, bezeichnet das Abtragen des zweiten elektrisch leitfähigen Materials auf der Oberfläche der ersten

SDC EX. 1002 - 297/486

elektrisch leitfähigen Schicht durch Anwendung geeigneter ätzende Stoffe; dies können chemische Stoffe sein, die das zu entfernende Material in einer chemischen Reaktion verändern (meistens oxidieren) und so meist in Lösung bringen. Atzmittel sind in der Regel Säuren oder starke Oxidantien. Zu nennen sind beispielsweise HNO_3, HCl, H_3PO_4, Essigsäure, H_2SO_4, Cerammoniumnitrat (CAN) und H_2O_2.

[0050] In einer solchen Ausführungsform sind dabei sowohl der Isolator als auch das Schutzmaterial resistent gegenüber den zum Atzen des zweiten elektrisch leitfähigen Materials verwendeten Chemikalien wie beispielsweise Säuren. Der Isolator und das Schutzmaterial stellen in den Bereichen der zweiten elektrisch leitfähigen Schicht, auf denen sie aufgebracht sind, eine Atzstoppfunktion für die zweite elektrisch leitfähige Schicht bzw. das zweite elektrisch leitfähige Material in den entsprechenden Bereichen der zweiten elektrisch leitfähigen Schicht bereit. Ferner ist das Atzbad so ausgewählt, dass die erste elektrisch leitfähige Schicht, beispielsweise eine empfindliche ITO-Schicht, nicht durch die eingesetzten Atzmittel angegriffen oder beeinträchtigt wird.

[0051] Durch Atzen des zweiten elektrisch leitfähigen Materials bleiben die Strukturen der ersten elektrisch leitfähigen Schicht und der zweiten elektrisch leitfähigen Schicht, welche unter der Isolator- und/oder unter der Schutzmaterialschicht liegen, erhalten.

[0052] Ein Vorteil des erfindungsgemäßen Verfahrens kann darin bestehen, dass nur ein einzelner Atzschritt erforderlich ist, um das zweite elektrisch leitfähige Material in dem im zweiten Teilbereich der zweiten elektrisch leitfähigen Schicht angeordneten vierten Teilbereich der zweiten elektrisch leitfähigen Schicht zu entfernen und so Teile der ersten elektrisch leitfähigen Schicht als ersten und zweiten Elektrodenbereich freizulegen.

[0053] In einer Weiterbildung des erfindungsgemäßen Verfahrens umfasst das Verfahren folgenden Schritt:

I) Entfernen des Schutzmaterials von der zweiten elektrisch leitfähigen Schicht.

[0054] Das Entfernen des Schutzmaterials von der zweiten elektrisch leitfähigen Schicht erfolgt dabei nach Schritt H).

[0055] Da der Isolator nur an bestimmten, vorher festgelegten Stellen auf die zweite elektrisch leitfähige Schicht aufgebracht wird, muss beim erfindungsgemäßen Verfahren gegebenenfalls nur einmal ein nicht elektrisch leitfähiges Material, das Schutzmaterial, entfernt werden. Das verwendete Schutzmaterial kann in der Regel mit Hilfe eines geeigneten Lösungsmittels entfernt werden, anstatt, wie es im Stand der Technik üblich sein kann, mittels Atzen entfernt zu werden.

[0056] Das Schutzmaterial kann z. B. auch mittels Strippen entfernt werden. Der Begriff „Strippen" bezeichnet dabei die Veraschung bzw. Entfernung von Schutzmaterial, wie beispielsweise eines (Foto)lacks. In der Regel wird dabei ein Sauerstoffplasma im sogenannten Stripper oder Verascher eingesetzt, um den (Foto)lack abzubrennen.

[0057] Durch das Entfernen des Schutzmaterials von der zweiten elektrisch leitfähigen Schicht, wird zweites elektrisch leitfähiges Material vollständig freigelegt. Die freigelegten Bereiche der zweiten elektrisch leitfähigen Schicht können als zweite Elektrode des elektronischen Bauelements eingesetzt werden. Sie können einen Teil der zweiten Elektrode bilden oder vollständig als zweite Elektrode dienen.

[0058] In einer Weiterbildung des erfindungsgemäßen Verfahrens wird der Isolator direkt auf die zweite elektrisch leitfähige Schicht aufgebracht und derart auf der zweiten elektrisch leitfähigen Schicht angeordnet, dass er sich in unmittelbarer Nähe des Trennbereichs zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich befindet. Der Begriff „in unmittelbarer Nähe" meint, dass der Isolator derart räumlich auf die zweite elektrisch leitfähige Schicht aufgebracht wird, dass er durch eine nachfolgende Behandlung wie z. B. eine Erweichung in der Lage ist, in den Trennbereich zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich zu fließen. Beispielsweise kann der Isolator so angeordnet sein, dass sein Abstand vom Trennbereich nicht größer ist als die Breite des Trennbereichs.

[0059] Der Isolator kann in einem vorgegebenen Muster auf der zweiten elektrisch leitfähigen Schicht aufgebracht werden. Beispielsweise kann ein solches Muster mittels Koordinaten oder dergleichen vor dem Aufbringen des Isolators vorgegeben werden. Der Isolator kann mittels einer Maske oder einer Schablone oder definierten Koordinaten, welche auf die Oberfläche der zweiten elektrisch leitfähigen Schicht als Bezugsystem bezogen sind, auf die zweite elektrisch leitfähige Schicht aufgebracht werden.

[0060] Durch das Aufbringen des Isolators und des Schutzmaterials an bestimmten Stellen mittels eines Druckverfahrens ist es zudem möglich, die Gefahr von Fehlern durch falsche Ausrichtung der photolithographischen Anlage während des Aufbringens der photoempfindlichen Lacke zu vermindern oder auszuschließen.

[0061] In einer Weiterbildung des erfindungsgemäßen Verfahrens wird der Isolator dabei mittels eines Druckverfahrens auf die zweite elektrisch leitfä-

SDC EX. 1002 - 298/486

hige Schicht aufgebracht. Geeignete Druckverfahren schließen Flach-, Hoch-, Tief- und Durchdruckverfahren sowie Kombinationen derselben ein. Der Isolator kann insbesondere mittels Siebdruck, Tintenstrahldruck, Flexodrucken und dergleichen auf die zweite elektrisch leitfähige Schicht aufgedruckt werden. Weitere geeignete Druckverfahren schließen Tampondruck, Stempeldruck, Pochoir und dergleichen ein.

[0062] In gleicher Weise wie der Isolator kann auch das Schutzmaterial auf die zweite elektrisch leitfähige Schicht aufgedruckt werden. Die vorstehend angegebenen Ausführungen bezüglich geeigneter Druckverfahren gelten daher gleichermaßen für das Aufdrucken des Schutzmaterials.

[0063] Mit dem erfindungsgemäßen Verfahren ist durch Aufdrucken des Isolators und des Schutzmaterials vorteilhaft möglich, gegenüber den im Stand der Technik üblicherweise eingesetzten Verfahren, wie beispielsweise lithographischen Verfahren, sowohl Material als auch Zeit und damit Kosten einzusparen.

[0064] Anders als bei den herkömmlich verwendeten Lithographieverfahren, in denen jeder Beschichtungsschritt individuell aufgebracht und photolithographisch strukturiert wird, ist in dem erfindungsgemäßen Verfahren vorgesehen, nur soviel Materials des Isolators und des Schutzmaterials, welche beide in der Regel teure Materialien sein können, aufzubringen, wie für die Herstellung des elektronischen Bauelements benötigt werden. Auf diese Weise können beispielsweise OLED-Lichtkacheln, welche mit den herkömmlichen Verfahren aufwendig und teuer herzustellen waren, vorteilhaft zeit- und materialsparend produziert werden.

[0065] Da als Isolator und/oder als Schutzmaterial im erfindungsgemäßen Verfahren einfache Lacke eingesetzt werden können, kann ferner vorteilhaft auf die Verwendung teurer Chemikalien, wie beispielsweise photoempfindlicher Lacke, welche in der Regel bei photolithographischen Verfahren verwendet werden, verzichtet werden. Da erfindungsgemäß keine nachträgliche Strukturierung der einzelnen Schichten erforderlich ist, kann zudem vorteilhaft auf teure Anlagen verzichtet werden.

[0066] In einer Weiterbildung des erfindungsgemäßen Verfahrens umfasst das Verfahren den Schritt J) des Einstellens von Bedingungen, bei denen der Isolator zumindest teilweise in einen fließfähigen Zustand gebracht werden kann und den Schritt K) des Einbringen oder Einfließenlassen des Isolators in wenigstens einen Abschnitt des Trennbereichs zwischen dem ersten Elektrodenbereich und dem zweiten Elektrodenbereich.

[0067] Der Isolator ist dabei insbesondere ein verflüssigbarer Isolator, wie z. B. ein Polymer oder ein Lack. Um den Isolator verflüssigen zu können, kann dabei vorgesehen sein eine oder mehrere der folgenden Bedingungen, Temperaturerhöhung, Druck, Licht, Reagenzien, Dampf und dergleichen als Bedingungen für die Verflüssigung des Isolators einzustellen. Beispielsweise kann der Isolator bei geeigneter Materialwahl durch Erwärmen der Substratschicht oder durch direkte Wärmeeinstrahlung auf die zweite elektrisch leitfähige Schicht erweichen. Der Isolator kann dabei über die Kanten der zweiten elektrisch leitfähigen Schicht und/oder der ersten elektrisch leitfähigen Schicht fließen. Ferner kann der Isolator erweicht werden, indem er in eine Atmosphäre eines Lösungsmittels, z. B. Wasser, aber auch eines niedriger siedenden Lösungsmittels, eingebracht wird. Auf diese Weise kann die Struktur des Isolators vorteilhaft verrundet werden.

[0068] In einer weiteren Weiterbildung wird das Verfahren derart ausgeführt, dass auf der ersten elektrisch leitfähigen Schicht im ersten Elektrodenbereich wenigstens eine Leiterbahn aus dem zweiten elektrisch leitfähigen Material angeordnet wird.

[0069] Im fertig hergestellten elektronischen Bauelement ist sowohl mit dem bloßen Auge, als auch unter dem Mikroskop zu erkennen, dass der Isolator aufgedruckt wurde. An den Rändern sind jeweils wellenförmige bzw. zerklüftete Strukturen zu erkennen, welche bei Einsatz eines photolithographischen Verfahrens (deutliche gerade Linie) nicht auftreten.

[0070] Das erfindungsgemäß Verfahren ist üblicherweise frei von photolithographischen Schritten und kann daher ein kostengünstiges Verfahren zum Herstellen eines elektronischen Bauelements, wie beispielsweise einer organischen Leuchtdiode, eingesetzt werden. Mittels des erfindungsgemäßen Verfahrens ist es möglich, ein elektronisches Bauelement mit robustem Design herzustellen. Das erfindungsgemäße Verfahren kann daher auch zur Massenproduktion elektronischer Bauelemente eingesetzt werden.

[0071] In der Summe kann das erfindungsgemäße Verfahren somit ein sehr kostengünstiges Verfahren, beispielsweise zur Herstellung von OLED-Lichtkacheln, bereitstellen.

[0072] Die vorliegende Erfindung wird im Folgenden ohne Einschränkung der Allgemeinheit unter Bezugnahme auf die Figuren veranschaulicht. In der Zeichnung bezeichnen gleiche Bezugszeichen gleiche oder identische Elemente. Es gilt:

[0073] Fig. 1A–I veranschaulichen ein Verfahren zum Herstellen eines elektronischen Bauelements

SDC EX. 1002 - 299/486

gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0074] Fig. 2A–I veranschaulichen ein Verfahren zum Herstellen eines elektronischen Bauelements gemäß einer zweiten Ausführungsform der vorliegenden Erfindung; und

[0075] Fig. 3 zeigt eine Draufsicht auf eine Substratvorlage.

[0076] Fig. 1A bis I zeigen die Vorbereitung eines Substrats zur Herstellung eines elektronischen Bauelements mit dem erfindungsgemäßen Verfahren gemäß einer ersten Ausführungsform.

[0077] Eine Substratschicht **1** (siehe Fig. 1A) kann beispielsweise aus Glas gebildet sein. Alternativ dazu kann die Substratschicht **1** auch aus Kunststofffolien, beschichteten Kunststofffolien, Metallfolien, welche z. B. mit einer elektrisch isolierenden Schicht beschichtet sind, und dergleichen gebildet sein.

[0078] Die Prozessierung beginnt mit der flächigen Beschichtung der Substratschicht **1** mit einer ersten elektrisch leitfähigen Schicht **3** (siehe Fig. 1B).

[0079] Die erste elektrisch leitfähige Schicht **3** kann beispielsweise eine transparente Schicht aus ITO sein. Alternativ kann die erste elektrisch leitfähige Schicht **3** auch aus einem anderen transparenten elektrischen Material gebildet werden, wie beispielsweise ZnO, IN/ZnO, SnZnO, Al-ZnO oder einem anderen geeigneten Material sein, welches dazu ausgelegt ist, dem Atzprozess des zweiten elektrisch leitfähigen Materials zu widerstehen.

[0080] Die Beschichtung kann z. B. mittels Sputtern erfolgen.

[0081] Im nächsten Schritt wird die erste elektrisch leitfähige Schicht **3** flächig mit einer zweiten elektrisch leitfähigen Schicht **5** beschichtet (siehe Fig. 1C). Als zweites elektrisch leitfähiges Material für die zweite elektrisch leitfähige Schicht **5** kann dabei ein Metall eingesetzt werden. Es sind jedoch viele weitere Metalle und Kombinationen derselben möglich. Die zweite elektrisch leitfähige Schicht **5** kann mittels Sputtern, PVD und dergleichen abgeschieden werden.

[0082] Wie in Fig. 1D gezeigt, erfolgt anschließend eine Laserablation, die einen Trennbereich **7** oder einen Graben in der zweiten elektrisch leitfähigen Schicht **5** und der ersten elektrisch leitfähigen Schicht **3** erzeugt. Der Trennbereich **7** stellt die spätere elektrische Isolierung zwischen der Kathode und der Anode des elektronischen Bauelements dar.

[0083] Im nächsten Schritt wird, wie in Fig. 1E gezeigt, ein Isolator **9** strukturiert auf die zweite elektrisch leitfähige Schicht **5** aufgebracht, so dass ein erster Teilbereich **11** entsteht, welcher mit dem Isolator **9** bedeckt ist, und ein zweiter Teilbereich **13**, welcher nicht mit dem Isolator bedeckt ist.

[0084] Der Isolator **9** kann ein Lack sein. Er kann mittels eines Druckverfahrens, wie beispielsweise mittels Siebdruck, Tintenstrahldruck oder Flexodrucken, auf die zweite elektrisch leitfähige Schicht **5** aufgebracht werden. Der Isolator **9** sollte so ausgewählt sein, dass er durch nachträgliche Behandlung erweichbar ist und in einen fließfähigen Zustand gebracht werden kann.

[0085] Die Funktion des Isolators **9** ist vorwiegend die elektrische Isolation in dem späteren elektronischen Bauelement und die Atzstoppfunktion der zweiten elektrisch leitfähigen Schicht **5**.

[0086] Als nächstes wird ein Schutzmaterial **15** auf die zweite elektrisch leitfähige Schicht **5** aufgebracht (siehe Fig. 1F), welches den Isolator **9** teilweise überdecken kann oder auch nicht. Dabei weist die zweite elektrisch leitfähige Schicht **5** nun einen dritten Teilbereich **17** auf, welcher mit Schutzmaterial **15** bedeckt ist, und einen vierten Teilbereich **19**, welcher nicht mit Schutzmaterial bedeckt ist.

[0087] Das Schutzmaterial **15** kann ein Lack sein. Das Schutzmaterial **15** ist vorzugsweise in einem Lösungsmittel löslich, in welchem der Isolator **9** nicht oder zumindest nur schlecht löslich ist.

[0088] Das Schutzmaterial **15** kann mittels eines Druckverfahrens, wie beispielsweise mittels Siebdruck, Tintenstrahldruck oder Flexodrucken, auf die zweite elektrisch leitfähige Schicht **5** aufgebracht werden.

[0089] Die Funktion des Schutzmaterials **15** ist insbesondere die Atzstoppfunktion der zweiten elektrisch leitfähigen Schicht **5**.

[0090] Wie in Fig. 1G gezeigt, erfolgt als nächstes das Entfernen von zweitem elektrisch leitfähigem Material der zweiten elektrisch leitfähigen Schicht **5**, wobei vorzugsweise Atzen eingesetzt wird. Für das Atzen der zweiten elektrisch leitfähigen Schicht **5** wird ein Atzbad, wie beispielsweise 3%-ige Trichloressigsäure in Wasser verwendet. Hierbei werden die Metallstrukturen der zweiten elektrisch leitfähigen Schicht **5** des vierten Teilbereichs **19** entfernt, die des ersten Teilbereichs **11** und des dritten Teilbereichs **17** bleiben im Wesentlichen erhalten.

[0091] In Schritt I) wird das Schutzmaterial **15** (in Fig. 1H ist das Schutzmaterial daher nicht mehr ge-

SDC EX. 1002 - 300/486

zeigt) unter Verwenden eines Lösungsmittels entfernt.

[0092] Anschließend wird die Substratschicht **1** oder der Isolator **9** direkt so erhitzt, dass der Isolator **9** erweicht (Reflow) und über die offenen Kanten der zweiten elektrisch leitfähigen Schicht **5** und der ersten elektrisch leitfähigen Schicht **3** fließt. Wie in Fig. 1I gezeigt, ist die Struktur des Isolators **9** verrundet.

[0093] Auf der so vorbereiteten Substratschicht kann nun in einem üblichen Verfahren das elektronische Bauelement, beispielsweise eine OLED, hergestellt werden. Zu diesem Zweck werden in nachfolgenden Prozessierungsschritten beispielsweise im Vakuum die halbleitenden, lichtgebenden organischen Schichten und die zweite Elektrodenschicht, beispielsweise eine Kathodenschicht, auf die Substratschicht aufgedampft

[0094] Fig. 2A bis I zeigen die Vorbereitung eines Substrats zur Herstellung eines elektronischen Bauelements mit dem erfindungsgemäßen Verfahren gemäß einer zweiten Ausführungsform.

[0095] Die zweite Ausführungsform entspricht im Wesentlichen der ersten Ausführungsform, außer dass die Laserablation der ersten elektrisch leitfähigen Schicht **3** und der zweiten elektrisch leitfähigen Schicht **5** nach Auftragen des Isolators **9** und des Schutzmaterials **15** erfolgt:
Nach dem flächigen Aufbringen der zweiten elektrisch leitfähigen Schicht **5** auf die erste elektrisch leitfähige Schicht **3** wird der Isolator **9** mittels eines Druckverfahrens auf die zweite elektrisch leitfähige Schicht **5** aufgebracht (siehe Fig. 2D), so dass ein erster Teilbereich **11** mit Isolator **9** vorhanden ist.

[0096] Sodann wird das Schutzmaterial **15** auf die die zweite elektrisch leitfähige Schicht **5** aufgebracht (siehe Fig. 2E), dass ein dritter Teilbereich **17** mit Schutzmaterial **15** bedeckt ist.

[0097] Anschließend erfolgt, wie in Fig. 2F dargestellt ist, eine Laserablation, durch welche der Trennbereich **7** in der zweiten elektrisch leitfähigen Schicht **5** und in der ersten elektrisch leitfähigen Schicht **3** erzeugt wird. Ein solcher Trennbereich **7** kann beispielsweise die spätere elektrische Isolierung zwischen Kathode und Anode des elektronischen Bauelements bereitstellen.

[0098] In diesem Fall muss der Laserschnitt in einer Lücke zwischen dem Isolator **9** und dem Schutzmaterial **15** verlaufen. Weiterhin sollte der Laserschnitt so nahe an der Kante des Isolators **9** verlaufen, dass beim Prozessschritt des Erweichens des Isolators **9** der Isolator **9** über die durch den Laser erzeugte Kante der zweiten elektrisch leitfähigen Schicht **5** und der ersten elektrisch leitfähigen Schicht **3** fließt.

[0099] Im weiteren Verfahren wird das zweite elektrisch leitfähige Material wiederum im vierten Teilbereich **19** der zweiten elektrisch leitfähigen Schicht **5** entfernt (siehe Fig. 2G), das Schutzmaterial entfernt (siehe Fig. 2H) der Isolator **9** in einen fließfähigen Zustand gebracht und in den Trennbereich **7** eingebracht (siehe Fig. 2I) und die restlichen Schichten des elektronischen Bauelements auf die so vorbereitete Substratschicht abgeschieden (nicht gezeigt).

[0100] Alternativ ist es auch möglich, die erste elektrisch leitfähige Schicht mittels Laserablation zu strukturieren und sodann zweites elektrisch leitfähiges Material auf die Bereiche der ersten elektrisch leitfähigen Schicht oder flächig auf die erste elektrisch leitfähige Schicht, so dass zweites elektrisch leitfähiges Material in die durch die Strukturierung der ersten elektrisch leitfähigen Schicht erzeugten Lücken eingebracht wird, aufzubringen. Die Strukturierung der ersten elektrisch leitfähigen Schicht kann dann später wieder freigelegt werden, indem der Isolator und das Schichtmaterial so angeordnet werden, dass beim Atzprozess zweites elektrisch leitfähiges Material in dem Bereich entfernt wird, in dem in der ersten elektrisch leitfähigen Schicht Gräben oder Ahnliches eingebracht wurden.

[0101] Wenn die zweite elektrisch leitfähige Schicht und die erste elektrisch leitfähige Schicht gemeinsam strukturiert werden, können jegliche beim Ablationsprozess entstehenden Ablagerungen bzw. Verunreinigungen entfernt werden. Eine solche Vorgehensweise kann dem Reinigen von Siliziumwafern ähneln und vorteilhaft einen sehr sauberen Prozess darstellen. Alternativ kann es auch sinnvoll sein, dass der Laser durch den Isolator, die zweite elektrisch leitfähige Schicht und die erste elektrisch leitfähige Schicht schneidet, so dass beim Erweichen (Reflow) des Isolators von beiden Seiten der Isolator den Trennbereich füllen kann.

[0102] Fig. 3 zeigt eine Draufsicht auf eine vorbereitete Substratschicht **1** zur Herstellung eines elektronischen Bauelements.

[0103] Die Substratschicht **1** weist an ihrer Oberseite einen ersten Elektrodenbereich **21** und einen zweiten Elektrodenbereich **23** auf, welche durch den Isolator **9** voneinander isoliert sind.

[0104] In der Mitte der in Fig. 3 gezeigten Substratvorlage ist eine Leiterbahn **25** vorgesehen. Zuleitungen **27** sind zur elektrischen Kontaktierung des Bauelements angeordnet.

Patentansprüche

1. Verfahren zum Herstellen eines elektronischen Bauelements mit zumindest einem ersten Elektrodenbereich (**21**) und einem zweiten Elektrodenbe-

SDC EX. 1002 - 301/486

reich (**23**), die durch einen Isolator (**9**) voneinander getrennt sind und jeweils zumindest eine Teilschicht eines ersten elektrisch leitfähigen Materials aufweisen, mit den Schritten:
A) Bereitstellen einer Substratschicht (**1**) und wenigstens einer auf der Substratschicht angeordneten ersten elektrisch leitfähigen Schicht (**3**) aus dem ersten elektrisch leitfähigen Material;
B) Anordnen wenigstens einer zweiten elektrisch leitfähigen Schicht (**5**) aus einem zweiten elektrisch leitfähigen Material auf der ersten elektrisch leitfähigen Schicht (**3**);
C) Anordnen wenigstens eines ersten Isolators (**9**) auf dem Substrat, so dass die zweite elektrisch leitfähige Schicht (**5**) zumindest einen ersten Teilbereich (**11**), welcher mit dem Isolator (**9**) bedeckt ist, und einen zweiten Teilbereich (**13**), welcher nicht mit dem Isolator bedeckt ist, aufweist und wobei der Isolator (**9**) so angeordnet wird, dass er dazu dienen kann, den ersten Elektrodenbereich (**21**) und den zweiten Elektrodenbereich (**23**) voneinander zu trennen; und
D) Anordnen wenigstens einer Funktionsschicht und wenigstens einer zweiten Elektrodenschicht auf der in Schritt C) erhaltenen zweiten elektrisch leitfähigen Schicht (**5**), welche in Abschnitten mit dem Isolator (**9**) bedeckt ist.

2. Verfahren nach Anspruch 1, ferner umfassend wenigstens einen der folgenden Schritte:
E) Entfernen von erstem elektrisch leitfähigen Material der ersten elektrisch leitfähigen Schicht (**3**) zumindest entlang eines vorbestimmten Trennbereichs zwischen dem ersten Elektrodenbereich (**21**) und dem zweiten Elektrodenbereich (**23**),
wobei der Schritt E) zwischen Schritt A) und Schritt B) erfolgt; oder
F) Entfernen von erstem elektrisch leitfähigen Material der ersten elektrisch leitfähigen Schicht (**3**) und über dem ersten elektrisch leitfähigen Material befindlichen zweiten elektrisch leitfähigen Material der zweiten elektrisch leitfähigen Schicht (**5**) zumindest entlang eines vorbestimmten Trennbereichs zwischen dem ersten Elektrodenbereich (**21**) und dem zweiten Elektrodenbereich (**23**),
wobei der Schritt F) zwischen Schritt B und Schritt C erfolgt.

3. Verfahren nach Anspruch 2, wobei das Entfernen des ersten elektrisch leitfähigen Materials gemäß Schritt E) oder das Entfernen des ersten elektrisch leitfähigen Materials und des zweiten elektrisch leitfähigen Materials gemäß Schritt F) mittels Laserablation erfolgt.

4. Verfahren nach einem der vorangegangenen Ansprüche, ferner umfassend den Schritt:
G) Anordnen wenigstens eines Schutzmaterials (**15**) in zumindest einem dritten Teilbereich (**17**), der zumindest teilweise im zweiten Teilbereich (**13**) angeordnet ist, zwischen Schritt B) und Schritt C) und/oder zwischen Schritt C) und Schritt D), so dass die zweite elektrisch leitfähige Schicht (**5**) in wenigstens einem vierten Teilbereich (**19**), der zumindest teilweise im zweiten Teilbereich (**13**) angeordnet ist, nicht mit dem Schutzmaterial (**15**) bedeckt ist.

5. Verfahren nach einem der Ansprüche 2 bis 4, wobei das Schutzmaterial (**15**) mit einem Abstand zum Isolator (**9**) auf dem zweiten Teilbereich (**13**) angeordnet wird, so dass ein Spalt zwischen dem ersten Teilbereich (**11**) und dem dritten Teilbereich (**13**) verbleibt, und wobei zumindest ein Teil des ersten elektrisch leitfähigen Materials der ersten elektrisch leitfähigen Schicht (**3**) und des zweiten elektrisch leitfähigen Materials der zweiten elektrisch leitfähigen Schicht (**5**), welche sich im Bereich des Spalts befinden, gemäß der Schritt F) entfernt werden.

6. Verfahren nach einem der vorangegangenen Ansprüche, ferner umfassend den Schritt:
H) zumindest teilweises Entfernen der zweiten elektrisch leitfähigen Schicht (**5**) in wenigstens dem vierten Teilbereich (**19**) des zweiten Teilbereichs (**13**),
wobei der Schritt H) zwischen dem Schritt C und dem Schritt D und/oder zwischen dem Schritt G und dem Schritt D erfolgt.

7. Verfahren nach Anspruch 6, wobei zweite elektrisch leitfähige Schicht (**5**) mittels Atzen entfernt wird.

8. Verfahren nach einem der Ansprüche 6 bis 7, ferner umfassend den Schritt:
I) Entfernen des Schutzmaterials (**15**) von der zweiten elektrisch leitfähigen Schicht (**5**),
wobei der Schritt I) nach dem Schritt H) erfolgt.

9. Verfahren nach einem der vorangegangenen Ansprüche, wobei der Isolator (**9**) in Schritt C) direkt auf die zweite elektrisch leitfähige Schicht (**5**) aufgebracht wird und derart auf der zweiten elektrisch leitfähigen Schicht (**5**) angeordnet wird, dass er sich im Wesentlichen in unmittelbarer Nähe des Trennbereichs zwischen dem ersten Elektrodenbereich (**21**) und dem zweiten Elektrodenbereich (**23**) befindet.

10. Verfahren nach Anspruch 9, wobei der Isolator (**9**) mittels eines Druckverfahrens auf die zweite elektrisch leitfähige Schicht (**5**) aufgebracht wird.

11. Verfahren nach einem der vorangegangenen Ansprüche, ferner umfassend die Schritte:
J) Einstellen von Bedingungen, bei denen der Isolator (**9**) zumindest teilweise in einen fließfähigen Zustand gebracht werden kann; und
K) Einbringen des Isolators (**9**) in wenigstens einen Abschnitt des Trennbereichs zwischen dem ersten Elektrodenbereich (**21**) und dem zweiten Elektrodenbereich (**23**).

SDC EX. 1002 - 302/486

12. Verfahren nach einem der vorangegangenen Ansprüche, wobei das erste elektrisch leitfähige Material ein transparentes leitfähiges Oxid ist.

13. Verfahren nach einem der vorangegangenen Ansprüche, wobei das zweite elektrisch leitfähige Material ein Metall ist.

14. Verfahren nach einem der vorangegangenen Ansprüche, welches derart ausgeführt wird, dass auf der ersten elektrisch leitfähigen Schicht (**3**) im ersten Elektrodenbereich (**21**) wenigstens eine Leiterbahn aus dem zweiten elektrisch leitfähigen Material angeordnet wird.

15. Elektronisches Bauelement, hergestellt mit einem Verfahren gemäß einem der Ansprüche 1 bis 14.

Es folgen 6 Blatt Zeichnungen

SDC EX. 1002 - 303/486

Anhängende Zeichnungen

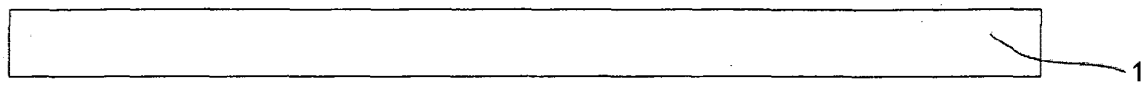


Fig. 1A

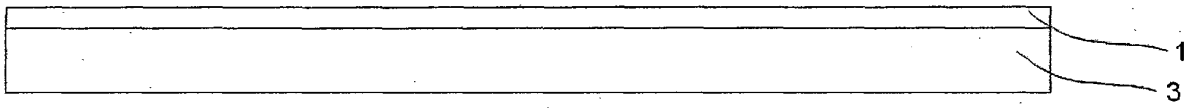


Fig. 1B

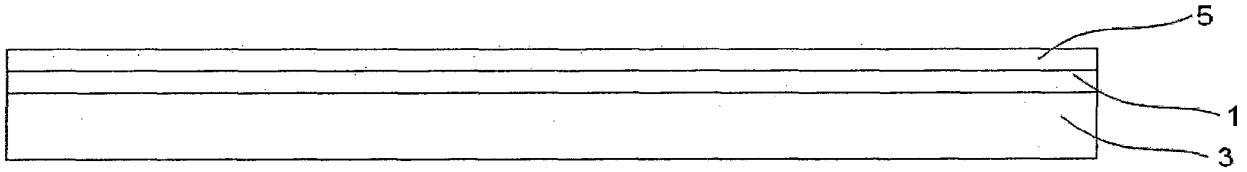


Fig. 1C

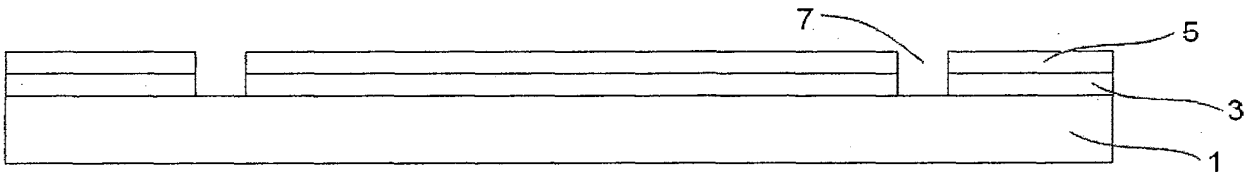


Fig. 1D

SDC EX. 1002 - 304/486

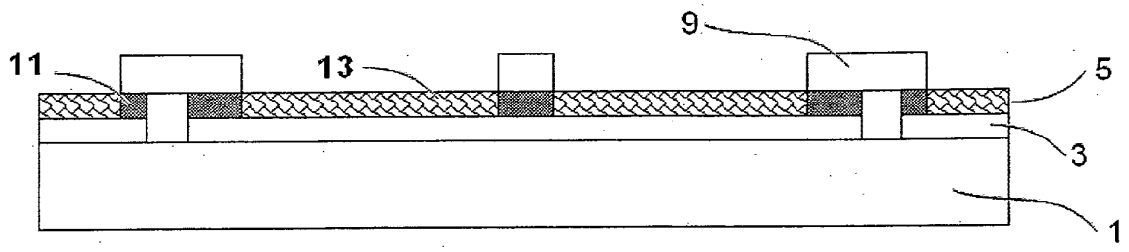


Fig. 1E

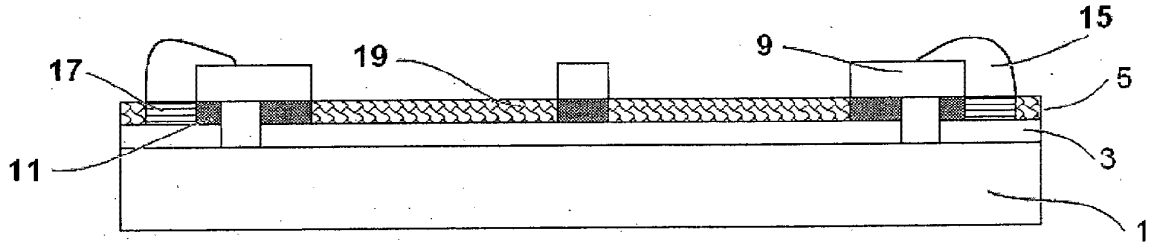


Fig. 1F

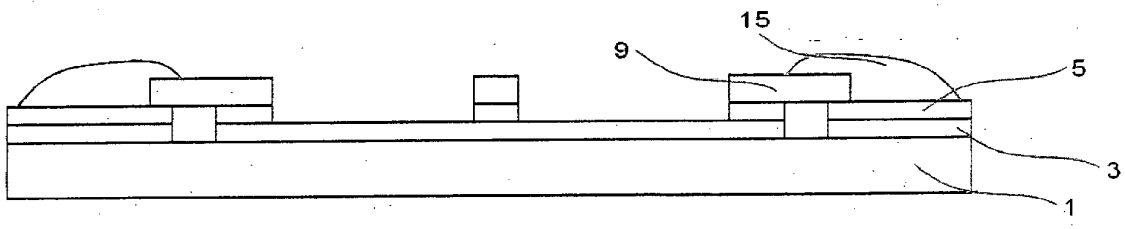


Fig. 1G

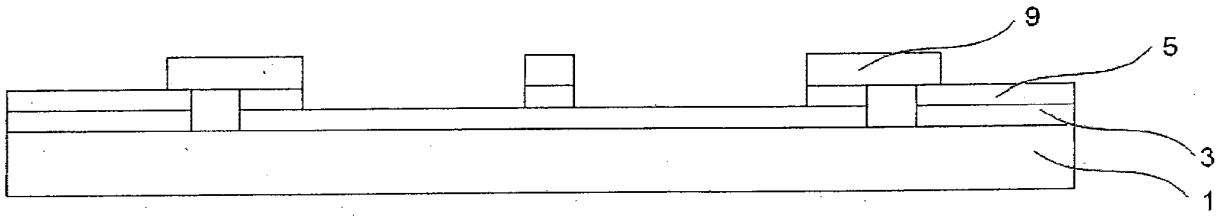


Fig. 1H

SDC EX. 1002 - 305/486

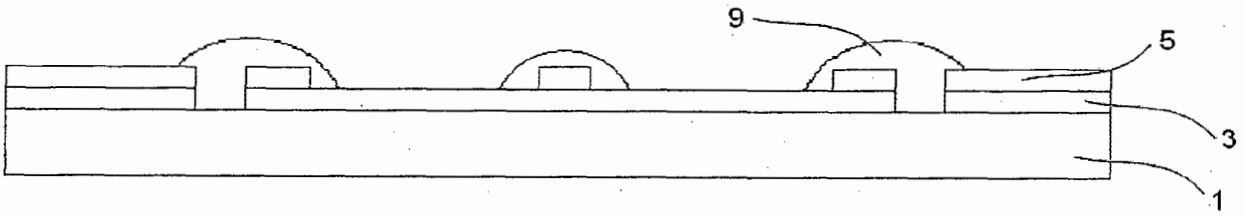


Fig. 1l

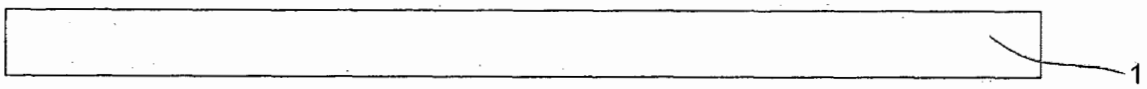


Fig. 2A

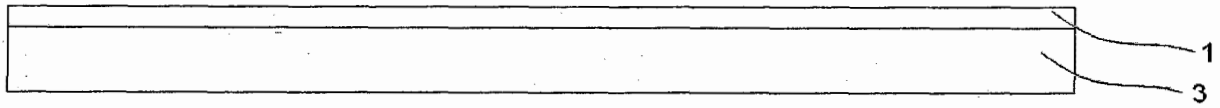


Fig. 2B

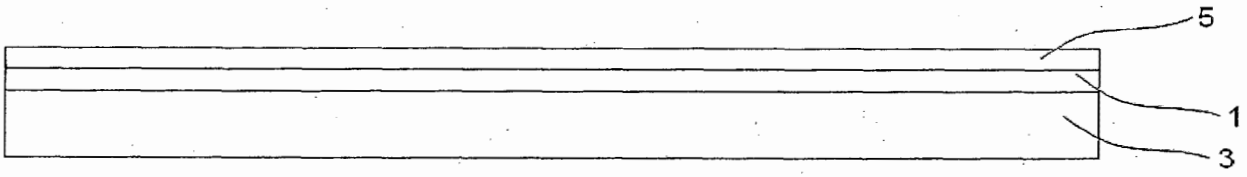


Fig. 2C

SDC EX. 1002 - 306/486

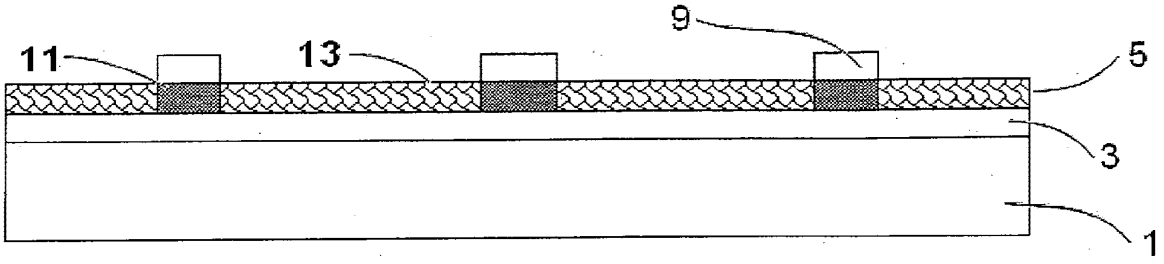


Fig. 2D

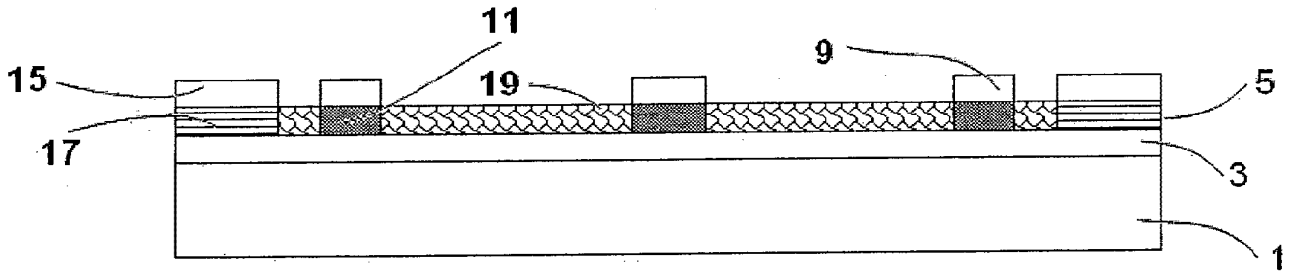


Fig. 2E

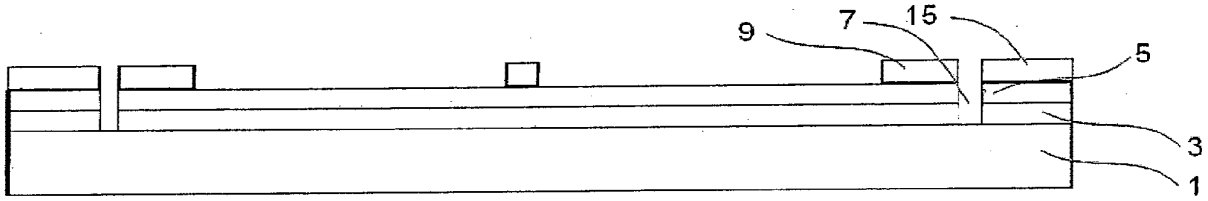


Fig. 2F

SDC EX. 1002 - 307/486

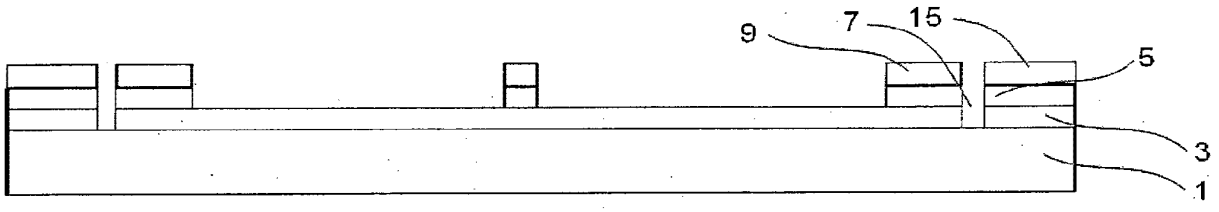


Fig. 2G

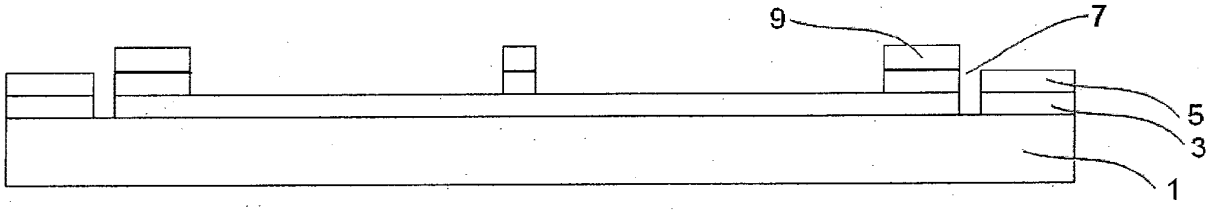


Fig. 2H

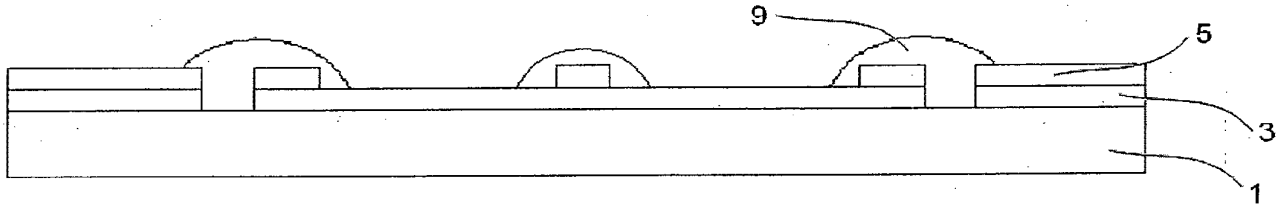


Fig. 2I

SDC EX. 1002 - 308/486

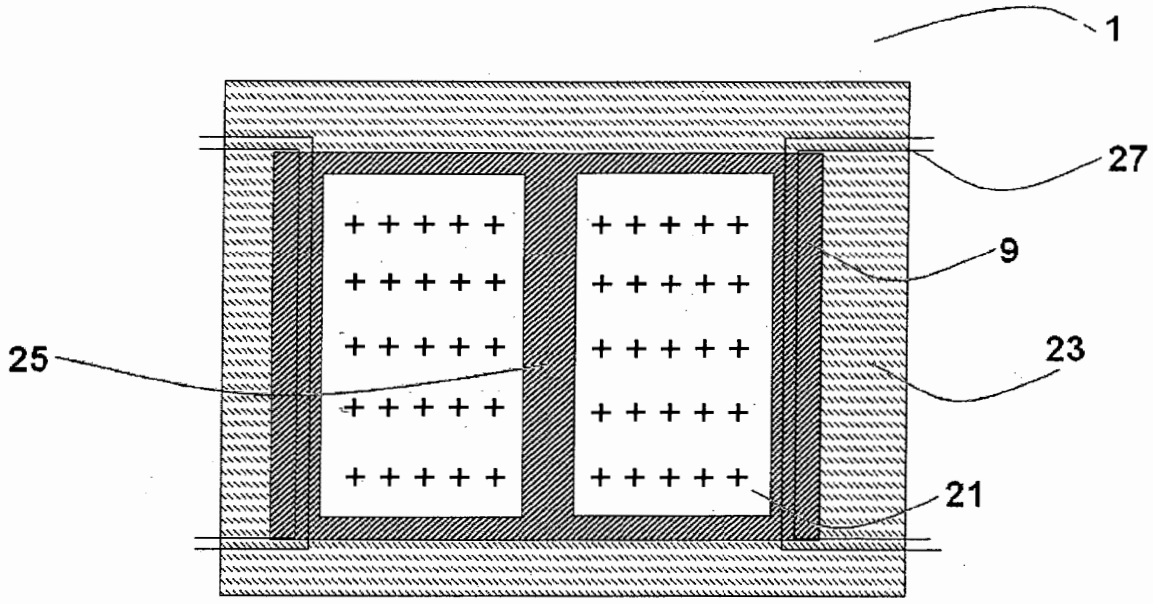


Fig. 3

SDC EX. 1002 - 309/486

Electronic Acknowledgement Receipt

EFS ID:	22023594
Application Number:	14430942
International Application Number:	
Confirmation Number:	7550
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Customer Number:	83956
Filer:	Karl Kolbinger/Lisa Schuffenhauer
Filer Authorized By:	Karl Kolbinger
Attorney Docket Number:	P59054US
Receipt Date:	13-APR-2015
Filing Date:	
Time Stamp:	08:16:55
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	P59054US_IDS.pdf	612338 4729b6265d1a10967c598a46f1d28f0af4c0ceb2	no	4

Warnings:	
Information:	

2	Foreign Reference	FFL_1.pdf	1043665 807ae981cb13ee3a8ebe705c2ef80f9cacbc7e62	no	17

Warnings:	
Information:	
Total Files Size (in bytes):	1656003

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

U.S. APPLICATION NUMBER NO.	FIRST NAMED INVENTOR	ATTY. DOCKET NO.
14/430,942	Andrew Ingle	P59054US

83956
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

INTERNATIONAL APPLICATION NO.	
PCT/EP2013/067348	
I.A. FILING DATE	PRIORITY DATE
08/20/2013	09/27/2012

CONFIRMATION NO. 7550
371 ACCEPTANCE LETTER

OC000000075470846

Date Mailed: 06/04/2015

NOTICE OF ACCEPTANCE OF APPLICATION UNDER 35 U.S.C 371 AND 37 CFR 1.495

The applicant is hereby advised that the United States Patent and Trademark Office, in its capacity as a Designated / Elected Office (37 CFR 1.495), has ACCEPTED the above identified international application for national patentability examination in the United States Patent and Trademark Office.

The United States Application Number assigned to the application is shown above. A Filing Receipt will be issued for the present application in due course. **THE DATE APPEARING ON THE FILING RECEIPT AS THE "FILING DATE or 371(c) DATE" IS THE DATE ON WHICH THE LAST OF THE 35 U.S.C. 371 (c)(1) and (c)(2) REQUIREMENTS HAS BEEN RECEIVED IN THE OFFICE. THIS DATE IS SHOWN BELOW.** The filing date of the above identified application is the international filing date of the international application (Article 11(3) and 35 U.S.C. 363)

03/25/2015
DATE OF RECEIPT OF 35 U.S.C.
371(c)(1) and (c)(2) REQUIREMENTS

The following items have been received:

- Copy of the International Application filed on 03/25/2015
- English Translation of the IA filed on 03/25/2015
- Copy of the International Search Report filed on 03/25/2015
- Preliminary Amendments filed on 03/25/2015
- Information Disclosure Statements filed on 04/13/2015
- Inventor's Oath or Declaration filed on 03/25/2015
- U.S. Basic National Fees filed on 03/25/2015
- Substitute Specification filed on 03/25/2015
- Priority Documents filed on 03/25/2015
- Power of Attorney filed on 03/25/2015
- Authorization to Permit Access filed on 03/25/2015
- Application Data Sheet (37 CFR 1.76) filed on 03/25/2015

SDC EX. 1002 - 312/486

Applicant is reminded that any communications to the United States Patent and Trademark Office must be mailed to the address given in the heading and include the U.S. application no. shown above (37 CFR 1.5)

KAYA L LEWIS BALTIMORE

Telephone: (571) 272-9092

FORM PCT/DO/EO/903 (371 Acceptance Notice)

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
14/430,942	03/25/2015		1480	P59054US	18	3

CONFIRMATION NO. 7550

FILING RECEIPT

83956
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

OC000000075470845

Date Mailed: 06/04/2015

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Andrew Ingle, Allershausen, GERMANY;

Applicant(s)

OSRAM OLED GmbH, Regensburg, GERMANY;

Power of Attorney: The patent practitioners associated with Customer Number 83956

Domestic Priority data as claimed by applicant

This application is a 371 of PCT/EP2013/067348 08/20/2013

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
GERMANY 10 2012 109 142.0 09/27/2012

Permission to Access - A proper **Authorization to Permit Access to Application by Participating Offices** (PTO/SB/39 or its equivalent) has been received by the USPTO.

If Required, Foreign Filing License Granted: 06/01/2015

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 14/430,942**

Projected Publication Date: 09/10/2015

Non-Publication Request: No

Early Publication Request: No

SDC EX. 1002 - 314/486

Title

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

Preliminary Class

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: Yes

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

MULTIPLE DEPENDENT CLAIM FEE CALCULATION SHEET

Substitute for Form PTO-1360
(For use with Form PTO/SB/06)

Application Number	Filing Date
14430942	

Applicant(s) Andrew Ingle

* May be used for additional claims or amendments

CLAIMS	AS FILED		AFTER FIRST AMENDMENT		AFTER SECOND AMENDMENT	
	Indep	Depend	Indep	Depend	Indep	Depend
1	1		1			
2		1		1		
3		2		1		
4		(1)		1		
5		(1)		1		
6		(1)		1		
7		(1)		1		
8		(1)		1		
9		(1)		1		
10		(1)	1			
11		(1)		1		
12		(1)		1		
13		(1)		1		
14		(1)		1		
15		(1)		1		
16	1		1			
17				1		
18				1		
19						
20						
21						
22						
23						
24						
25						
26						
27						
28						
29						
30						
31						
32						
33						
34						
35						
36						
37						
38						
39						
40						
41						
42						
43						
44						
45						
46						
47						
48						
49						
50						
Total Indep	2		3		0	
Total Depend	15	↵	15	↵	0	↵
Total Claims	17		18		0	

	*		*		*	
	Indep	Depend	Indep	Depend	Indep	Depend
51						
52						
53						
54						
55						
56						
57						
58						
59						
60						
61						
62						
63						
64						
65						
66						
67						
68						
69						
70						
71						
72						
73						
74						
75						
76						
77						
78						
79						
80						
81						
82						
83						
84						
85						
86						
87						
88						
89						
90						
91						
92						
93						
94						
95						
96						
97						
98						
99						
100						

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 14/430,942

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	280
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	480
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	720
TOTAL CLAIMS (37 CFR 1.16(i))	18 minus 20 =	*			OR	x 80 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 420 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1480

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

83956 7590 08/19/2015
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

EXAMINER
DOAN, THERESA T

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 08/19/2015

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

TITLE OF INVENTION: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	11/19/2015

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

83956 7590 08/19/2015
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

TITLE OF INVENTION: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	11/19/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
DOAN, THERESA T	2814	257-532000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:
- ❑ Issue Fee
- ❑ Publication Fee (No small entity discount permitted)
- ❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ❑ A check is enclosed.
- ❑ Payment by credit card. Form PTO-2038 is attached.
- ❑ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ❑ Applicant certifying micro entity status. See 37 CFR 1.29 — NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
- ❑ Applicant asserting small entity status. See 37 CFR 1.27 — NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
- ❑ Applicant changing to regular undiscounted fee status. — NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (10-13) Approved for use through 10/31/2013. OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

SDC EX. 1002 - 320/486

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

83956 7590 08/19/2015

Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

EXAMINER	
DOAN, THERESA T	

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 08/19/2015

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 14/430,942	Applicant(s) INGLE, ANDREW	
	Examiner Theresa T. Doan	Art Unit 2814	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *03/25/15*.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on_____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are *1-18*. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov .
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☒ All b) ☐ Some *c) ☐ None of the:
   1. ☒ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 041315
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
5. ☐ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/Theresa T. Doan/
Primary Examiner, Art Unit 2814

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Reasons for Allowance

1. Claims 1-18 are allowed.

2. The following is an examiner's statement of reasons for allowance:

The prior art of record neither anticipates nor renders obvious all the limitations in the base claims 1, 10 and 16. Specifically, the combination of a method for producing a passive electronic component, comprising: forming a second electrically conductive layer on the first electrically conductive layer, forming a first trench formed in the first and second electrically conductive layers such that the substrate is exposed in the first trench, wherein the first trench separates a first contact region from a second contact region, applying a dielectric in a structured fashion to the second electrically conductive layer in the first contact region and at least partly to the substrate in the first trench such that the dielectric electrically insulates the first contact region from the second contact region, and applying an electrically conductive electrode layer in a structured fashion to the dielectric above the first contact region and to the second contact region (claims 1 and 16); or the combination of the method for producing an optoelectronic assembly, comprising: applying the dielectric in a structured fashion to the second layer such that the dielectric demarcates a component region for forming an optoelectronic component relative to the second contact region, forming an optically functional layer in the component region, and applying the electrode layer in a structured fashion such that a part of the electrode layer covers the optically functional layer (in claim 10).

The dependent claims being further limiting and definite are also allowable.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled “Comments on Statement of Reasons for Allowance.”

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Theresa T. Doan whose telephone number is (571) 272-1704. The examiner can normally be reached on Monday, Tuesday and Thursday from 7:00AM - 3:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner’s supervisor, WAEL FAHMY can be reached on (571) 272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Theresa T. Doan/
Primary Examiner, Art Unit 2814

Notice of References Cited	Application/Control No. 14/430,942	Applicant(s)/Patent Under Reexamination INGLE, ANDREW	
	Examiner Theresa T. Doan	Art Unit 2814	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,335,211	01-2002	Lee, Kyung-Nam	438/22
*	B	US-6,800,999	10-2004	Duggal et al.	315/169.1
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

CPC							
Symbol						**Type**	**Version**
H01L		27	/	3225		F	2013-01-01
H01L		28	/	40		I	2013-01-01
H01L		28	/	20		I	2013-01-01
H01L		27	/	0682		I	2013-01-01
H01L		51	/	56		I	2013-01-01
			/				
			/				
			/				
			/				
			/				
			/				
			/				
			/				
			/				
			/				

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
			/					
			/					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	18	
/T.T.D./ Primary Examiner.Art Unit 2814	08/10/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	16

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**
438	329

CROSS REFERENCE(S)

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
438	957				
257	528	532			

INTERNATIONAL CLASSIFICATION														
CLAIMED						**NON-CLAIMED**								
H	0	1	L	21 / 8222 (2006.01.01)										
H	0	1	L	29 / 00 (2006.01.01)										

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	18	
/T.T.D./ Primary Examiner.Art Unit 2814	08/10/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	16

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

☒ **Claims renumbered in the same order as presented by applicant** ☐ **CPA** ☐ **T.D.** ☐ **R.1.47**

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		17												
	2		18												
	3														
	4														
	5														
	6														
	7														
	8														
	9														
	10														
	11														
	12														
	13														
	14														
	15														
	16														

NONE (Assistant Examiner)	(Date)	**Total Claims Allowed:** 18	
/T.T.D./ Primary Examiner.Art Unit 2814 (Primary Examiner)	08/10/2015 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 16

U.S. Patent and Trademark Office

Part of Paper No. 20150810

OK TO ENTER: /TD/

08/10/2015

Amendments to the Specification:

Please replace the original specification with the attached Substitute Specification.

Additionally, please cancel the originally-filed Abstract of the Disclosure, and add the accompanying new Abstract of the Disclosure which appears on a separate sheet in the Appendix.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	
Examiner Name	
Attorney Docket Number	P59054US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	7012585	B2	2006-03-14	Agostinelli et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20120267147	A1	2012-10-25	Ingle et al.	Corresponds to DE 102009060066 A1

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	102009060066	DE	A1	2011-03-31	OSRAM OPTO SEMICONDUCTORS GMBH	Corresponds to US 20120267147 A1	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /TD/

Receipt date: 04/13/2015	Application Number	14430942	14430942 - GAU: 2814
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**	Filing Date	2015-03-25	
	First Named Inventor	Andrew Ingle	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	P59054US	

	1		☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Theresa Doan/	Date Considered	08/10/2015

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /TD/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 7550

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
14/430,942	03/25/2015	257	2814	P59054US

APPLICANTS
OSRAM OLED GmbH, Regensburg, GERMANY;

INVENTORS
Andrew Ingle, Allershausen, GERMANY;

**** CONTINUING DATA ***************************
This application is a 371 of PCT/EP2013/067348 08/20/2013

**** FOREIGN APPLICATIONS ***************************
GERMANY 10 2012 109 142.0 09/27/2012

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****
06/01/2015

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /THERESA T DOAN/ Examiner's Signature	☐ Met after Allowance TD Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		GERMANY	6	18	3

ADDRESS

Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266
UNITED STATES

TITLE

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

FILING FEE RECEIVED		
1480	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	Art Unit
	THERESA T DOAN	2814

CPC- SEARCHED		
Symbol	Date	Examiner
H01L23/5227; H01L27/0658	08/10/15	TD

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
438	329, 957	08/10/15	TD
257	528, 532	08/10/15	TD

SEARCH NOTES		
Search Notes	Date	Examiner
EAST SEARCH (IS&R, BRS)	08/10/15	TD
INVENTOR SEARCH	08/10/15	TD

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
438	329, 957	08/10/15	TD
257	528, 532	08/10/15	TD

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	2	(("7012585") or ("20120267147")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 10:42
L2	3	(("7012585") or ("20120267147") or ("7202502")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:01
L3	30	("20010046016" | "20030085404" | "20030133067" | "20030136971" | "20050082536" | "20060011921" | "20060157712" | "4865945" | "5882827" | "6133977" | "6215541" | "6255130" | "6256077" | "6287899" | "6289899" | "6300152" | "6335211" | "6335276" | "6429057" | "6524876" | "6531392" | "6611309" | "6642074" | "6678018" | "6759281" | "6806937" | "7098480" | "7102168").PN. OR ("7202502").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:05
L4	28	("5821133" | "5825437" | "5990986" | "6022753").PN. OR ("6335211").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:06
L5	36	("20020190661" | "20030010985" | "20030107537" | "20040042205" | "20040095300" | "5828181" | "5844368" | "6392617" | "6433485" | "6476563" | "6594606" | "6605903" | "6800999" | "6870196").PN. OR ("7012585").URPN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:07
L6	1	(("2002190835") or ("2003139016") or ("4410867")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:26
L7	3	(("20020190835") or ("20030139016") or ("4410867")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:26
L8	714	ingle.in.	US-PGPUB; USPAT	OR	OFF	2015/08/10 11:30
L9	45	8 and andrew	US-PGPUB; USPAT	OR	OFF	2015/08/10 11:31
L10	276	(438/329).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:40
L11	239	(438/957).CCLS.	US-PGPUB;	OR	OFF	2015/08/10 11:40

			USPAT; USOCR			
L12	1067	(257/528).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:41
L13	4067	(257/532).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2015/08/10 11:42
L14	552	438/329	US-PGPUB; USPAT	OR	OFF	2015/08/10 11:43
L15	75	14 AND ((H01L23/5227 OR H01L27/0658).CPC.)	US-PGPUB; USPAT	OR	OFF	2015/08/10 11:51

EAST Search History (Interference)

<This search history is empty>

8/10/2015 11:54:14 AM
C:\Users\tdoan1\Documents\EAST\Workspaces\14430942.wsp

PTO/SB/30EFS (07-14)
Approved for use through 07/31/2016. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

REQUEST FOR CONTINUED EXAMINATION(RCE)TRANSMITTAL
(Submitted Only via EFS-Web)

Application Number	14/430,942	Filing Date	2015-03-25	Docket Number (if applicable)	P59054US	Art Unit	2814
First Named Inventor	Andrew Ingle			Examiner Name	DOAN, THERESA T		

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, to any international application that does not comply with the requirements of 35 U.S.C. 371, or to any design application. The Instruction Sheet for this form is located at WWW.USPTO.GOV.

SUBMISSION REQUIRED UNDER 37 CFR 1.114

Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

☐ Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

- ☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____
- ☐ Other _____

☒ Enclosed

- ☐ Amendment/Reply
- ☒ Information Disclosure Statement (IDS)
- ☐ Affidavit(s)/ Declaration(s)
- ☐ Other _____

MISCELLANEOUS

☐ Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of months _____ (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

☐ Other _____

FEES

☒ **The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.**
The Director is hereby authorized to charge any underpayment of fees, or credit any overpayments, to Deposit Account No 504666

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

☒ Patent Practitioner Signature

☐ Applicant Signature

PTO/SB/30EFS (07-14)
Approved for use through 07/31/2016. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Signature of Registered U.S. Patent Practitioner			
Signature	/Karl J. Kolbinger/	Date (YYYY-MM-DD)	2015-08-25
Name	Karl J. Kolbinger	Registration Number	41124

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/SB/08a (03-15)
Approved for use through 07/31/2016. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	2814
Examiner Name	DOAN, THERESA T
Attorney Docket Number	P59054US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20100327313	A1	2010-12-30	Nakamura	Corresponds to DE112008003787T5

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	112008003787	DE	T5	2012-03-01	MITSUBISHI ELECTRIC CORP	Corresponds to US20100327313A1	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	14430942
	Filing Date	2015-03-25
	First Named Inventor	Andrew Ingle
	Art Unit	2814
	Examiner Name	DOAN, THERESA T
	Attorney Docket Number	P59054US

	1	German Search Report based on Application No. 10 2012 109 142.0(5 Pages) dated June 25, 2013 (Reference Purpose Only)	☐

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	2814
Examiner Name	DOAN, THERESA T
Attorney Docket Number	P59054US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Karl J. Kolbinger/	Date (YYYY-MM-DD)	2015-08-25
Name/Print	Karl J. Kolbinger	Registration Number	41,124

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Patent Application Fee Transmittal

Application Number:	14430942
Filing Date:	25-Mar-2015
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Filer:	Karl Kolbinger/Satoko Kamada
Attorney Docket Number:	P59054US

Filed as Large Entity

Filing Fees for U.S. National Stage under 35 USC 371

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Request for Continued Examination	1801	1	1200	1200
		Total in USD ($)		**1200**

Electronic Acknowledgement Receipt

EFS ID:	23299157
Application Number:	14430942
International Application Number:	
Confirmation Number:	7550
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Customer Number:	83956
Filer:	Karl Kolbinger/Satoko Kamada
Filer Authorized By:	Karl Kolbinger
Attorney Docket Number:	P59054US
Receipt Date:	25-AUG-2015
Filing Date:	25-MAR-2015
Time Stamp:	10:19:59
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$1200
RAM confirmation Number	9651
Deposit Account	504666
Authorized User	VIERING, JENTSCHURA & PARTNER

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. 1.492 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Non Patent Literature	DE_Search_Report.pdf	1196787 ade3e7cdb77e921208178cabca424070f735fbd2	no	5
Warnings:					
Information:					
2	Foreign Reference	DE112008003787T5.pdf	4695702 9ba2c0bd4bedb535bdce24ddec0b5e918483d975	no	115
Warnings:					
Information:					
3	Request for Continued Examination (RCE)	RCE.pdf	1349870 fe3eb194fdf380c890e1d065872815671056b5d69	no	3
Warnings:					
Information:					
4	Information Disclosure Statement (IDS) Form (SB08)	updated_IDS.pdf	1035188 04ba3a1486293b221ad7df4144c723faf85d0283	no	4
Warnings:					
Information:					
5	Fee Worksheet (SB06)	fee-info.pdf	30911 92bf6fa62e5f6edf351e7893d87040f6b66526cf	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	8308458		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

(19) Deutsches Patent- und Markenamt

(10) **DE 11 2008 003 787 T5** 2012.03.01

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2009/122486**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2008 003 787.6**
(86) PCT-Aktenzeichen: **PCT/JP2008/056306**
(86) PCT-Anmeldetag: **31.03.2008**
(87) PCT-Veröffentlichungstag: **08.10.2009**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **01.03.2012**

(51) Int Cl.: ***H01L 29/78*** (2006.01)
H01L 21/28 (2006.01)
H01L 29/739 (2006.01)

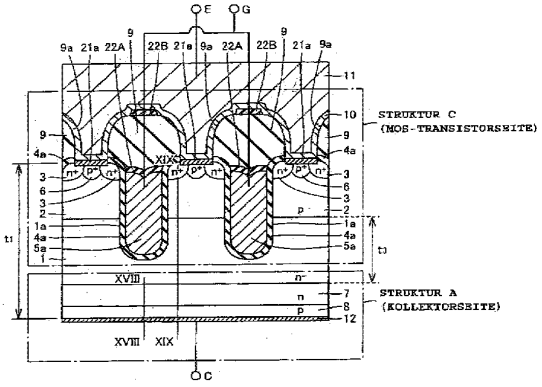
(71) Anmelder:
Mitsubishi Electric Corp., Tokyo, JP

(74) Vertreter:
PRÜFER & PARTNER GbR, 81479, München, DE

(72) Erfinder:
Nakamura, Katsumi, Tokyo, JP

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Zusammenfassung: Eine Halbleitervorrichtung beinhaltet ein Halbleitersubstrat und einen MOS-Transistor. Das Halbleitersubstrat weist die erste Hauptoberfläche und die zweite Hauptoberflache, die einander gegenüberliegen. Der MOS-Transistor beinhaltet eine Gateelektrode (5a), die auf der ersten Hauptoberflächenseite ausgebildet ist, eine Emitterelektrode (11), die auf der ersten Hauptoberflachenseite ausgebildet ist, und eine Kollektorelektrode (12), die in Kontakt zu der zweiten Hauptoberflache ausgebildet ist. Ein Element erzeugt ein elektrisches Feld in einem Kanal durch eine an die Gateelektrode (5a) angelegte Spannung und steuert den Strom zwischen der Emitterelektrode (11) und der Kollektorelektrode (12) durch das elektrische Feld in dem Kanal. Die Spitzendichte in der Grenzflache zwischen dem Halbleitersubsträt und der Kollektorelektrode (12) ist nicht kleiner als 0 und nicht großer als 3×10^8 Einheiten/cm^2. Folglich wird eine Halbleitervorrichtung bereitgestellt, die für einen Parallelbetrieb geeignet ist.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung und insbesondere auf eine Halbleitervorrichtung mit einem IGBT (Bipolartransistor mit isoliertem Gate), welches eine Halbleitervorrichtung mit hoher Spannungsfestigkeit ist.

TECHNISCHER HINTERGRUND

[0002] Auf dem Gebiet der Halbleitervorrichtungen mit hoher Spannungsfestigkeit (Leistungsvorrichtungen), die eine Spannung steuern, die mehrere 100 Volt übersteigt, gibt es eine Notwendigkeit, Elementeigenschaften bereitzustellen, welche die Warmeerzeugung, d. h. den Verlust, herabdrücken, da ebenfalls ein großer Strom angelegt wird. Weiterhin ist es wünschenswert, ein Spannungssteuerelement mit einer Treiberschaltung verhältnismäßig geringer Große zu realisieren, welche als eine Ansteuerung des Gates, das den Strom und die Spannung steuert, einen geringen Verlust erleidet.

[0003] Aus den oben genannten Gründen wurde in den vergangenen Jahren ein Bipolartransistor mit isoliertem Gate, d. h. ein IGBT, hauptsächlich auf diesem Gebiet als ein Element angewendet, das eine Spannungssteuerung mit einem geringen Verlust gestattet. Dieser IGBT ist so aufgebaut, dass er eine verringerte Dotierungskonzentration der Drain eines MOS(Metalloxidhalbleiter)-Transistors erlaubt zum Niedrighalten der Sperrspannung, und das Anordnen einer Diode auf der Drainseite zum Verringern des Drainwiderstandes gestattet.

[0004] Da die Diode in dem oben beschriebenen IGBT ein Bipolarverhalten zeigt, werden die Sourceseite und die Drainseite des MOS-Transistors in dem IGBT in der vorliegenden Anmeldung als eine Emitterseite bzw. Kollektorseite bezeichnet.

[0005] Der IGBT, der als ein Spannungssteuerelement dient, wird allgemein mit einer Spannung von einigen 100 Volt zwischen seinem Kollektor und seinem Emitter verwendet und die angelegte Spannung wird durch eine Gatespannung von ± einigen Volt bis einigen 10 Volt gesteuert. Weiterhin wird der IGBT oft als ein Wechselrichter verwendet, in welchem Falle die Spannung zwischen dem Kollektor und dem Emitter niedrig ist, aber ein großer Strom fließt, wenn das Gate angeschaltet wird und kein Strom fließt, sondern die Spannung zwischen dem Kollektor und dem Emitter hoch ist, wenn das Gate abgeschaltet ist.

[0006] Der IGBT wird gewohnlich in dem oben beschriebenen Modus betrieben. Somit beinhaltet der Verlust einen standigen Verlust, welcher das Produkt aus dem Strom und der Spannung in dem AN-Zustand ist, und einen Schaltverlust während des Übergangszeitraums zwischen dem AN-Zustand und dem AUS-Zustand. Das Produkt aus dem Leckstrom und der Spannung in dem AUS-Zustand ist ziemlich klein, so dass es vernachlassigt werden kann.

[0007] Andererseits ist es ebenfalls wichtig, eine Zerstörung des Elementes zu verhindern, selbst unter abnormalen Bedingungen, beispielsweise in dem Fall, in dem Kurzschluss erzeugt ????. In diesem Falle wird das Gate angeschaltet zum Bewirken eines großen Stromflusses, während eine Versorgungsspannung von einigen 100 Volt zwischen dem Kollektor und dem Emitter anliegt.

[0008] In dem IGBT, der so aufgebaut ist, dass er eine Reihenschaltung aus einem MOS-Transistor und einer Diode aufweist, ist der Maximalstrom durch den Sättigungsstrom des MOS-Transistors begrenzt. Folglich tritt die Strombegrenzung ebenfalls in dem Fall auf, in dem wie oben beschrieben ein Kurzschluss auftritt, was die Verhinderung einer Elementzerstorung erlaubt, die aus der Wärmeerzeugung für einen gewissen Zeitraum resultiert.

[0009] Der Aufbau des bekannten IGBT ist beispielsweise in der japanischen Patentoffenlegungsschrift Nr. 2004-247593 (Patentdokument 1) offenbart. Der IGBT in dem Patentdokument 1 beinhaltet hauptsachlich eine Gateelektrode, eine Source(Emitter)-Elektrode, eine Drain(Kollektor)-Elektrode und ein n-Typ-Substrat. Auf der Deckflache des n-Typ-Substrats ist ein Graben ausgebildet und die Gateelektrode ist in diesem Graben eingegraben. Eine p-Typ-Basisschicht ist auf dem oberen Abschnitt des n-Typ-Substrats ausgebildet und innerhalb der p-Typ-Basisschicht sind eine n^+-Typ-Sourceschicht und eine p^+-Typ-Drainschicht ausgebildet. Die n^+-Typ-Sourceschicht und die p^+-Typ-Drainschicht sind angrenzend aneinander auf der Oberflache des n-Typ-Substrats. Die Gateelektrode liegt der n^+-Typ-Sourceschicht und der p-Typ-Basisschicht innerhalb des n-Typ-Substrats mit der Gateisolationsschicht dazwischen gegenuber. Die Emitterelektrode ist in elektrischem Kontakt mit der n^+-Typ-Sourceschicht und der p^+-Typ-Drainschicht. Die p^+-Typ-Drainschicht ist auf der Unterseite des n-Typ-Substrats ausgebildet und die Kollektorelektrode ist in Kontakt zu der p^+-Typ-Drainschicht auf der Unterseite des n-Typ-Substrats. Eine n^--Typ-Epitaxieschicht und eine n-Typ-Pufferschicht sind zwischen der p^+-Typ-Drainschicht und der p-Typ-Basisschicht innerhalb des n-Typ-Substrats vergraben. Die n^--Typ-Epitaxieschicht ist in Kontakt zu der p-Typ-Basisschicht und der n-Typ-Pufferschicht und die n-Typ-Pufferschicht ist in Kontakt zu der p^+-Typ-Drainschicht.

[0010] Weiterhin ist der IGBT mit der gleichen Konfiguration wie jener in dem Patentdokument 1 beispielsweise in der japanischen Patentoffenlegungs-

SDC EX. 1002 - 351/486

schrift Nr. 2006-49933 (Patentdokument 2), der japanischen Patentoffenlegungsschrift Nr. 2002-359373 (Patentdokument 3), der japanischen Patentoffenlegungsschrift Nr. 09-260662 (Patentdokument 4), in dem US-Patent Nr. 6,815,767 (Patentdokument 5), in dem US-Patent Nr. 6,953,968 (Patentdokument 6) und dem US-Patent Nr. 6,781,199 (Patentdokument 7) offenbart.

Patentdokument 1: japanische Patentoffenlegungsschrift Nr. 2004-247593

Patentdokument 2: japanische Patentoffenlegungsschrift Nr. 2006-049933

Patentdokument 3: japanische Patentoffenlegungsschrift Nr. 2002-359373

Patentdokument 4: japanische Patentoffenlegungsschrift Nr. 09-260662

Patentdokument 5: US-Patent Nr. 6,815,767

Patentdokument 6: US-Patent Nr. 6,953,968

Patentdokument 7: US-Patent Nr. 6,781,199

OFFENBARUNG DER ERFINDUNG

Durch die Erfindung zu losende Probleme

[0011] In der Leistungsvorrichtung sind eine Mehrzahl von IGBT- und Diodenchips in einem Gehäusemodul vorgesehen, in welchem die Mehrzahl von IGBTs parallel zueinander verschaltet ist. Die Temperaturabhangigkeit einer AN-Spannung V_{CE}(sat) ist wichtig als Eigenschaft des IGBT, der für die Leistungsvorrichtung verwendet wird. Die hier beschriebene AN-Spannung V_{CE}(sat) stellt eine Spannung zwischen dem Kollektor und dem Emitter dar, die erforderlich ist zum Erhalt eines beliebigen Nennstroms (einer beliebigen Nennstromdichte) J_C. Hilfreich fur den Betrieb der Mehrzahl von IGBTs, die parallel zueinander geschaltet sind, (mit anderen Worten den Parallelbetrieb der IGBTs), dass die AN-Spannung V_{CE}(sat) eine positive Temperaturabhangigkeit zeigt, d. h., dass die AN-Spannung V_{CE}(sat) entsprechend einem Anstieg der Temperatur des IGBT ansteigt. In dem Fall, in dem die AN-Spannung V_{CE}(sat) eine negative Temperaturabhangigkeit zeigt, konzentriert sich der Stromfluss auf den IGBT mit einer niedrigen AN-Spannung V_{CE}(sat), wenn die IGBTs parallel betrieben werden. Als ein Ergebnis neigt das Gehäusemodul zu einer Fehlfunktion, die zur Verursachung von Problemen, wie einer Zerstörung, neigt.

[0012] Deshalb ist es eine Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung bereitzustellen, die fur den Parallelbetrieb geeignet ist.

Wege zum Lösen der Probleme

[0013] Eine Halbleitervorrichtung gemäß eines Aspektes der vorliegenden Erfindung beinhaltet ein Halbleitersubstrat und ein Element. Das Halbleitersubstrat hat eine erste Hauptoberflache und eine zweite Hauptoberflache, die einander gegenüber liegen. Das Element hat eine Gateelektrode, die auf einer Seite der ersten Hauptoberfläche ausgebildet ist, eine erste Elektrode, die auf der Seite der ersten Hauptoberflache ausgebildet ist, und eine zweite Elektrode, die in Kontakt zu der zweiten Hauptoberflache ausgebildet ist. Das Element erzeugt ein elektrisches Feld in einem Kanal durch eine an die Gateelektrode angelegte Spannung und steuert einen Strom zwischen der ersten Elektrode und der zweiten Elektrode durch das elektrische Feld in dem Kanal. Eine Dichte der Spitzen in einer Grenzflache zwischen dem Halbleitersubstrat und der zweiten Elektrode ist nicht geringer als 0 und nicht größer als 3×10^8 Einheiten/cm^2.

[0014] Eine Halbleitervorrichtung gemaß eines anderen Aspekts der vorliegenden Erfindung beinhaltet ein Halbleitersubstrat und ein Element. Das Halbleitersubstrat hat eine erste Hauptoberfläche und eine zweite Hauptoberflache, die einander gegenüberliegen. Das Element hat eine Gateelektrode, die auf einer Seite der ersten Hauptoberflache ausgebildet ist, eine erste Elektrode, die auf der Seite der ersten Hauptoberflache ausgebildet ist, und eine zweite Elektrode, die in Kontakt zu der zweiten Hauptoberfläche ausgebildet ist. Das Element erzeugt ein elektrisches Feld in einem Kanal durch eine an die Gateelektrode angelegte Spannung und steuert einen Strom zwischen der ersten Elektrode und der zweiten Elektrode durch das elektrische Feld in dem Kanal. Die Halbleitervorrichtung beinhaltet weiterhin eine Kollektorregion, die in der zweiten Hauptoberfläche ausgebildet ist. Die Kollektorregion beinhaltet eine Kollektordiffusionsschicht eines ersten Leitungstyps in Kontakt zu der zweiten Elektrode, eine Pufferdiffusionsschicht eines zweiten Leitungstyps, die naher zu der ersten Hauptoberflache hin als die Kollektordiffusionsschicht ausgebildet ist, und eine Driftdiffusionsschicht des zweiten Leitungstyps. Die Driftdiffusionsschicht hat eine niedrigere Verunreinigungskonzentration als die Pufferdiffusionsschicht und ist angrenzend an die Pufferdiffusionsschicht ausgebildet und naher zu der ersten Hauptoberfläche als die Pufferdiffusionsschicht. Ein Verhältnis der Anzahl der Atome pro Flacheneinheit an Verunreinigungen, die die Pufferdiffusionsschicht ausbilden, zu der Anzahl von Atomen pro Flacheneinheit der Verunreinigungen, die die Driftdiffusionsschicht ausbilden, ist nicht geringer als 0,05 und nicht höher als 100.

SDC EX. 1002 - 352/486

Wirkungen der Erfindung

[0015] Gemaß der vorliegenden Erfindung kann eine Halbleitervorrichtung bereitgestellt werden, die fur einen Parallelbetrieb geeignet ist.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0016] Fig. 1 ist eine schematische Querschnittsansicht, die den Aufbau einer Halbleitervorrichtung gemaß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0017] Fig. 2 ist eine schematische Querschnittsansicht, die den ersten Arbeitsgang eines Verfahrens zum Herstellen der Halbleitervorrichtung gemaß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0018] Fig. 3 ist eine schematische Querschnittsansicht, die den zweiten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemaß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0019] Fig. 4 ist eine schematische Querschnittsansicht, die den dritten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemaß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0020] Fig. 5 ist eine schematische Querschnittsansicht, die den vierten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0021] Fig. 6 ist eine schematische Querschnittsansicht, die den fünften Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemaß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0022] Fig. 7 ist eine schematische Querschnittsansicht, die den sechsten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0023] Fig. 8 ist eine schematische Querschnittsansicht, die den siebten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0024] Fig. 9 ist eine schematische Querschnittsansicht, die den achten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemaß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0025] Fig. 10 ist eine schematische Querschnittsansicht, die den neunten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0026] Fig. 11 ist eine schematische Querschnittsansicht, die den zehnten Arbeitsgang des Verfahrens zum Herstellen der Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0027] Fig. 12 ist eine Querschnittsansicht, die in schematischer Weise den Zustand der Grenzfläche zwischen einer p-Typ-Kollektorregion und einer Kollektorelektrode zeigt, in dem Spitzen ausgebildet sind.

[0028] Fig. 13 ist eine Draufsicht, die in schematischer Weise den Zustand der Grenzfäche zwischen der p-Typ-Kollektorregion und der Kollektorelektrode zeigt, in dem Spitzen ausgebildet sind.

[0029] Fig. 14 ist ein Diagramm, das die Temperaturabhangigkeit in der Beziehung zwischen einer Kollektor-Emitter Spannung V_{CE}(sat) und einer Stromdichte J_C gemäß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0030] Fig. 15 ist ein Diagramm, das die Beziehung der Spitzendichte und dem Schwankungsbetrag der AN-Spannung gemaß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0031] Fig. 16 ist ein Diagramm, das die Spitzendichtenabhangigkeit in der Beziehung zwischen V_{CE}(sat) und der Betriebstemperatur der Vorrichtung gemäß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0032] Fig. 17 ist ein Diagramm, das die Beziehung zwischen der Spitzendichte und der Schichtdicke der Kollektorelektrode gemaß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

[0033] Fig. 18 ist eine Konzentrationsverteilung entlang einer Linie XVIII-XVIII in Fig. 1.

[0034] Fig. 19 ist eine Konzentrationsabhängigkeit entlang einer Linie XIX-XIX in Fig. 1.

[0035] Fig. 20 ist ein Diagramm, das die Beziehung von $C_{P,P}/C_{P,N}$ zu V_{CE}(Sat) und zu einem Energieverlust E_{OFF} gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

[0036] Fig. 21 ist ein Diagramm, das die Beziehung von $C_{P,P}/C_{P,N}$ zu V_{CE}(sat) und einer Leckstromdichte J_{CES} bei dem IGBT mit einer Spannungsfestigkeit der

SDC EX. 1002 - 353/486

1200V-Klasse gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0037] Fig. 22 ist ein Diagramm, das die $C_{P,P}/C_{P,N}$-Abhängigkeit in der Beziehung zwischen $V_{CE}(sat)$ und J_C gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0038] Fig. 23 ist ein Diagramm, das die Beziehung von S_N/S_{N-} zu $V_{CE}(sat)$ und zu einer Durchbruchsspannung BV_{CES} gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0039] Fig. 24 ist ein Diagramm, das die Temperaturabhängigkeit in der Beziehung $C_{S,P}$ und $C_{P,P}$ zu $V_{CE}(sat)$ gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0040] Fig. 25 ist ein Diagramm, das die Abhangigkeit von sowohl $C_{S,P}$ als auch $C_{P,P}$ in der Beziehung zwischen $V_{CE}(sat)$ und der Betriebstemperatur der Vorrichtung gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0041] Fig. 26 ist ein Diagramm, das die Temperaturabhängigkeit der J_C-V_{CE}-Kennlinie unter der Bedingung $5 \times 10^{15} \leq C_{S,P}$ und $1 \times 10^{16} \leq C_{P,P}$ gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0042] Fig. 27 ist ein Diagramm, das die Temperaturabhängigkeit der J_C-V_{CE}-Kennlinie unter der Bedingung $5 \times 10^{15} > C_{S,P}$ und $1 \times 10^{16} > C_{P,P}$ gemäß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

[0043] Fig. 28 ist ein Diagramm, das die Beziehung von $D_{P,N}$ oder D_{N-} zu $V_{CE}(sat)$ und BV_{CES} gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

[0044] Fig. 29 zeigt ein weiteres Beispiel der Konzentrationsverteilung entlang einer Linie XVIII-XVIII in Fig. 1.

[0045] Fig. 30 ist ein Diagramm, das die Beziehung zwischen $S_{N'}/S_N$ und $V_{CE}(sat)$ gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

[0046] Fig. 31 ist ein Diagramm, das die Beziehung zwischen einer Tiefe x ausgehend von der zweiten Hauptoberflache und $V_{CE}(sat)$ gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0047] Fig. 32 ist ein Diagramm, das die Beziehung zwischen τ_x/τ_{N-} und $V_{CE}(sat)$ gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0048] Fig. 33 ist ein Diagramm, das ein Beispiel der Beziehung zwischen der Tiefe x ausgehend von der zweiten Hauptoberfläche und der Ladungsträgerlebensdauer gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0049] Fig. 34 ist ein Diagramm, das die Beziehung der Ladungstragerlebensdauer zu der Ausgangsleistung eines Laser-Annealings und zu der Temperatur in einem Diffusionsofen gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

[0050] Fig. 35 ist ein Diagramm, das die Beziehung des Ionenimplantationsbetrags zu einer Ladungsträgeraktivierungsrate, zu $V_{CE}(sat)$ und zu BV_{CES} gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0051] Fig. 36 ist eine vergroßerte Querschnittsansicht, die in schematischer Weise die zweite Hauptoberflache des Halbleitersubstrats gemaß der dritten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0052] Fig. 37 ist ein Diagramm, das die Beziehung einer Mittellinien-Durchschnittsrauhigkeit bzw. einen Mittenrauhwert R_a und einer Maximalhöhe R_{max} zu sowohl der Bruchfestigkeit als auch der Ladungstragerlebensdauer gemaß der dritten Ausführungsform der vorliegenden Erfindung zeigt.

[0053] Fig. 38 ist ein Diagramm, das die Beziehung von R_a und R_{max} zu sowohl J_{CES} und $V_{CE}(sat)$ gemaß der dritten Ausführungsform der vorliegenden Erfindung zeigt.

[0054] Fig. 39 ist eine Querschnittsansicht, die den Aufbau eines MOS-Transistorabschnitts in der Halbleitervorrichtung gemaß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0055] Fig. 40 ist eine Querschnittsansicht, die den Aufbau der ersten Abwandlung der Halbleitervorrichtung gemaß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0056] Fig. 41 ist eine Querschnittsansicht, die den Aufbau der zweiten Abwandlung der Halbleitervorrichtung gemaß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0057] Fig. 42 ist eine Querschnittsansicht, die den Aufbau der dritten Abwandlung der Halbleitervorrichtung gemaß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0058] Fig. 43 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.
(jetzt kommt wie angekündigt immer der eingefügte Text von Fig. 43 meine Frage: soll es immer bei "gemäß der fünften Ausführungsform" bleiben???

SDC EX. 1002 - 354/486

Manchmal ja anders. ich meine in anderen Anmeldungen...????)

[0059] Fig. 44 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0060] Fig. 45 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0061] Fig. 46 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0062] Fig. 47 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0063] Fig. 48 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0064] Fig. 49 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0065] Fig. 50 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0066] Fig. 51 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0067] Fig. 52 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0068] Fig. 53 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0069] Fig. 54 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0070] Fig. 55 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0071] Fig. 56 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der fünften Ausführungsform der vorliegenden Erfindung zeigt.

[0072] Fig. 57 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0073] Fig. 58 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0074] Fig. 59 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0075] Fig. 60 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0076] Fig. 61 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0077] Fig. 62 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0078] Fig. 63 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0079] Fig. 64 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0080] Fig. 65 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausführungsform der vorliegenden Erfindung zeigt.

[0081] Fig. 66 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0082] Fig. 67 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Tran-

SDC EX. 1002 - 355/486

sistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0083] Fig. 68 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0084] Fig. 69 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der fünften Ausführungsform der vorliegenden Erfindung zeigt.

[0085] Fig. 70 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0086] Fig. 71 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0087] Fig. 72 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0088] Fig. 73 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0089] Fig. 74 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der funften Ausführungsform der vorliegenden Erfindung zeigt.

[0090] Fig. 75 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0091] Fig. 76 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemäß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0092] Fig. 77 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der fünften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0093] Fig. 78 ist eine schematische Querschnittsansicht, die eine abgeleitete Struktur der MOS-Transistorstruktur gemaß der funften Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0094] Fig. 79 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp eines Planargate-Typ-IGBT gemäß der sechsten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0095] Fig. 80 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp des Planar-Gate-Typ-IGBT gemaß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0096] Fig. 81 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp des Planar-Gate-Typ-IGBT gemaß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0097] Fig. 82 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp des Planar-Gate-Typ-IGBT gemäß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0098] Fig. 83 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp des Planar-Gate-Typ-IGBT gemäß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0099] Fig. 84 ist ein Diagramm, das in schematischer Weise die Konzentrationsverteilung der Ladungstrager (n-Typ Verunreinigung) unmittelbar unterhalb einer Gateelektrode **5a** in dem in Fig. 79–Fig. 83 gezeigten Aufbau zeigt.

[0100] Fig. 85 ist ein Diagramm, das die Beziehung zwischen V_{CE} und J_C in jedem Fall, in dem eine n-Typ-Verunreinigungsdiffusionsregion ausgebildet ist und nicht ausgebildet ist, zeigt.

[0101] Fig. 86 ist ein Diagramm, das die Beziehung von S_{N14a}/S_{N-} zu $V_{CE}(sat)$, $J_{C,Break}$ und $V_{G,Break}$ gemaß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0102] Fig. 87 ist eine Draufsicht, die das Layout der Halbleitervorrichtung gemaß der siebten Ausführungsform der vorliegenden Erfindung zeigt.

[0103] Fig. 88 ist eine Querschnittsansicht entlang einer Linie LXXXVIII-LVIII in Fig. 87.

[0104] Fig. 89 ist eine Querschnittsansicht entlang einer Linie LXXXIX-LXXXIX in Fig. 87.

[0105] Fig. 90 zeigt eine Verunreinigungskonzentrationsverteilung entlang einer Linie XC-XC in Fig. 88.

[0106] Fig. 91 ist ein Diagramm, das die Beziehung zwischen Y/X und BV_{CES} gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0107] Fig. 92 ist ein Diagram, das die Beziehung zwischen D_T und BV_{CES} und die Beziehung zwischen D_T und $E_{P/CS}$ oder $E_{P/N-}$ gemaß der siebten Ausführungsform der vorliegenden Erfindung zeigt.

SDC EX. 1002 - 356/486

[0108] Fig. 93 ist ein Diagramm, das die Beziehung von $D_{T,Pwell}$ zu BV_{CES} und ΔBV_{CES} gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0109] Fig. 94 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp eines Planar-Gate-Typ-IGBT gemäß der siebten Ausführungsform der vorliegenden Erfindung zeigt.

[0110] Fig. 95 ist eine schematische Querschnittsansicht, die jeden Konfigurationstyp des Planar-Gate-Typ-IGBT gemäß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0111] Fig. 96 ist ein Diagramm, das die Beziehungen von W_{CS} und X_{CS} zu sowohl V_{CE} als auch zu E_{SC} zeigt.

[0112] Fig. 97 ist eine Draufsicht, die das Layout einer n-Typ-Emitterregion **3** und einer p^+-Verunreinigungsdiffusionsregion **6** in der Halbleitervorrichtung gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0113] Fig. 98 ist eine Draufsicht, die eine Abwandlung des Layouts der n-Typ-Emitterregion **3** und der p^+-Verunreinigungsdiffusionsregion **6** in der Halbleitervorrichtung gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0114] Fig. 99 ist eine Diagramm, das die Beziehung von α zu $V_{CE}(sat)$ und E_{SC} gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0115] Fig. 100 ist eine Draufsicht, die in schematischer Weise das Layout einer Gateanschlussfläche gemaß der achten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0116] Fig. 101 ist ein Diagramm zum Veranschaulichen des Oszillationsphanomens der Gatespannung.

[0117] Fig. 102 ist ein Diagramm zum Veranschaulichen des Oszillationsphanomens der Gatespannung.

[0118] Fig. 103 ist ein Diagramm, das in schematischer Weise dielektrische Feldstarkenverteilung entlang einer Linie XIX-XIX in Fig. 1 zeigt, wenn eine Sperrspannung geringfügig niedriger ist als eine Durchbruchsspannung des Hauptubergangs in dem IGBT entsprechend der neunten Ausführungsform der vorliegenden Erfindung.

[0119] Fig. 104 ist ein Diagramm, das die Beziehung zwischen der Durchbruchsspannung und der elektrischen Feldstärke in der Ubergangsfläche entsprechend der neunten Ausfuhrungsform der vorliegenden Erfindung zeigt.

Bezugszeichenliste

1	n^--Driftschicht,
1a	Gategraben,
1b	Emittergraben,
2	p-Typ-Bodyregion,
3	n-Typ-Emitterregion oder n-Typ-Verunreinigungsdiffusionsregion,
4, 4a	Gateisolationsschicht,
4b	Emitterisolationsschicht,
4b	Emitterisolationsschicht,
5	leitende Schicht,
5a	Gateelektrode,
5b	Emitterleitungsschicht,
6	p^+-Verunreinigungsdiffusionsregion,
7	n-Typ-Pufferregion,
7a	n-Typ-Zwischenschicht,
8	p-Typ-Kollektorregion,
9, 22A, 22B	Isolationsschicht,
9a	Kontaktloch,
10	Barrierenmetallschicht,
11	Emitterelektrode
11a	Gateelektrodenverdrahtung,
12, 12a	Kollektorelektrode,
14, 14a	n-Typ-Verunreinigungsdiffusionsregion,
15	Passivierungsschicht,
21a, 21b	Silizidschicht,
28	Gateanschlussflache,
28a	Widerstandskorper,
31	Maskenschicht,
32, 33	Siliziumoxidschicht,
32a	Opferoxidschicht ????,
41	p-Typ-Verunreinigungsdiffusionsregion.

BESTE WEISEN ZUM AUSFUHREN DER ERFINDUNG

[0120] Die Ausfuhrungsformen der vorliegenden Erfindung werden hier im folgenden unter Bezugnahme auf die beigefugten Zeichnungen beschrieben.

Erste Ausführungsform

[0121] Fig. 1 ist eine schematische Querschnittsansicht, die den Aufbau einer Halbleitervorrichtung gemaß der ersten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 1 ist die Halbleitervorrichtung gemäß der vorliegenden Ausführungsform ein Graben-Typ-IGBT, der auf dem Halbleitersubstrat mit einer Dicke t_1 von beispielsweise 50–800 µm ausgebildet ist, wenn angenommen wird, dass die Halbleitervorrichtung eine Spannungsfestigkeit von 700–6.500 V aufweist. Das Halbleitersubstrat weist die erste Hauptoberfläche (Deckflache) und die zweite Hauptoberflache (Unterseite) auf, die einander gegenuberliegen. Unter der Annahme,

SDC EX. 1002 - 357/486

dass die Halbleitervorrichtung eine Spannungsfestigkeit von beispielsweise 600–6.500 V aufweist, hat eine n^--Driftschicht (Driftduffusionsschicht) **1** eine Konzentration von 1×10^{12} bis 1×10^{15} cm^{-3}. Auf der Seite der ersten Hauptoberflache des Halbleitersubstrates ist eine p-Typ-Bodyregion???? **2** ausgebildet, welche aus einem p-Typ-Halbleiter mit beispielsweise einer Konzentration von ungefähr 1×10^{15} bis 1×10^{18} cm^{-3} und einer Diffusionstiefe von ungefähr 1,0 bis 4,0 µm ausgehend von der ersten Hauptoberflache. Auf der ersten Hauptoberfläche in der p-Typ-Bodyregion **2** (Bodydiffusionsschicht) ist eine n-Typ-Emitterregion **3** ausgebildet, welche aus einem n-Typ-Halbleiter mit beispielsweise einer Konzentration von 1×10^{18} bis 1×10^{20} cm^{-3} und einer Diffusionstiefe von ungefahr 0,3 bis 2,0 µm ausgehend von der ersten Hauptoberflache besteht. An der ersten Hauptoberflache ist eine p^+-Verunreinigungsdiffusionsregion **6** (die erste Emitterdiffusionsschicht) zum Bereitstellen eines Kontakts mit niedrigem Widerstand zu der p-Typ-Bodyregion **2** angrenzend an diese n-Typ-Emitterregion **3** (die zweite Emitterdiffusionsschicht) beispielsweise so ausgebildet, dass sie eine Konzentration von ungefahr 1×10^{18} bis 1×10^{20} cm^{-3} und eine Diffusionstiefe ausgehend von der ersten Hauptoberflache aufweist, die kleiner oder gleich der Tiefe der n-Typ-Emitterregion **3** ist.

[0122] An der ersten Hauptoberfläche ist eine Gatefurche **1a** so ausgebildet, dass sie sich durch die n-Typ-Emitterregion **3** und die p-Typ-Bodyregion **2** bis zu der n^--Driftschicht **1** erstreckt. Diese Gatefurche **1a** hat ausgehend von der ersten Hauptoberflache eine Tiefe von beispielsweise 3 bis 10 µm und ein Abstandsmaß von beispielsweise 2,0 µm bis 6, 0 µm. Die Gatefurche **1a** weist eine Gateisolationsschicht **4a** auf, die auf ihrer inneren Oberflache ausgebildet ist. Zum Zwecke der Verbesserung der Eigenschaften und der Zuverlassigkeit der Gateisolationsschicht – und der Vorrichtungsausbeute – weist diese Gateisolationsschicht **4a** eine Schichtstruktur bestehend aus einer Siliciumoxidschicht, die durch das CVD-Verfahren ausgebildet ist, und einer Siliciumoxidschicht, die durch das thermische Oxidationsverfahren ausgebildet ist, oder eine Siliciumnitrid-Oxidschicht auf, in welcher Stickstoff in der Si/SiO_2-Grenzflache segregiert ist.

[0123] Eine Gateelektrode **5a** beispielsweise bestehend aus polykristallinem Silicium mit darin in hoher Konzentration eingebrachtem Phosphor oder bestehend aus Metallmaterial, wie z. B. $W/TiSi_2$ ist so ausgebildet, dass sie die Gatefurche **1a** fullt. Es soll bemerkt werden, dass eine Silizidschicht (beispielsweise $TiSi_2$, CoSi und dergleichen) an der Oberflache der Gateelektrode **5a** zum Erniedrigen des Widerstands der Gateelektrode **5a** ausgebildet sein kann. Eine Isolationsschicht **22A** aus beispielsweise einer Siliciumoxidschicht ist auf der oberen Oberflache der Gateelektrode **5a** ausgebildet. Weiterhin ist die Gateelektrode **5a** elektrisch mit der Steuerelektrode verbunden, welche ein Gatepotential G anlegt. Es soll erwahnt werden, dass die Gateelektrode **5a** auf der ersten Hauptoberflachenseite ausgebildet sein kann.

[0124] Somit bilden die Gatefurche **1a**, die Gateisolationsschicht **4a** und die Gateelektrode **5a** zusammen einen Gategraben. Weiterhin bilden die n^--Driftschicht **1**, die n-Typ-Emitterregion **3** und die Gateelektrode **5a** zusammen einen Isoliertgate-Typ-Feldeffekttransistor-Abschnitt (in dieser Ausführungsform ein MOS-Transistor), in dem die n^--Driftschicht **1** als eine Drain verwendet wird, die n-Typ-Emitterregion **3** als eine Source verwendet wird und ein Abschnitt der p-Typ-Bodyregion **2**, welcher der Gateelektrode **5a** mit der Gateisolationsschicht **4a** dazwischen gegenuberliegt, als ein Kanal verwendet wird. Mit anderen Worten, dieser MOS-Transistor dient zum Erzeugen eines elektrischen Feldes in dem Kanal durch die an der Gateelektrode **5a** anliegende Spannung und steuert den Strom zwischen einer Emitterelektrode **11** und einer Kollektorelektrode **12** durch das elektrische Feld in dem Kanal. Die erste Hauptoberflache weist eine Mehrzahl von MOS-Transistoren auf, die auf ihr angeordnet sind und von denen jeder den oben beschriebenen Aufbau hat.

[0125] Auf der ersten Hauptoberflache sind beispielsweise eine Isolationsschicht **9** aus Silikatglas und eine Isolationsschicht **228** aus einer Siliciumoxidschicht durch das CVD-Verfahren ausgebildet. Diese Isolationsschichten **9** und **22B** haben ein Kontaktloch **9a**, das sich zu der ersten Hauptoberflache erstreckt. Eine Barrierenmetallschicht **10** ist entlang der inneren Oberflache des Kontaktlochs **9a** und der oberen Oberflache der Isolationsschichen **9** und **228** ausgebildet. Eine Silizidschicht **21a** ist in dem Bereich ausgebildet, in dem die Barrierenmetallschicht **10** und das Halbleitersubstrat in Kontaktmiteinander sind. Die Emitterelektrode **11** (die erste Elektrode), welche ein Emitterpotential E anlegt, ist elektrisch mit der n-Typ-Emitterregion **3** und der p^+-Verunreinigungsdiffusionsregion **6** uber diese Barrierenmetallschicht **10** und Silizidschicht **21a** verbunden. Es soll erwähnt werden, dass die Emitterelektrode **11** auf der ersten Hauptoberflachenseite ausgebildet sein kann.

[0126] Weiterhin sind eine p-Typ-Kollektorregion **8** (Kollektordiffusionsschicht) und eine n-Typ-Pufferregion **7** (Pufferdiffusionsschicht) auf der zweiten Hauptoberflächenseite des Halbleitersubstrats ausgebildet. Die Kollektorelektrode **12** (die zweite Elektrode), welche ein Kollektorpotential C anlegt, ist elektrisch mit der p-Typ-Kollektorregion **8** verbunden. Die Kollektorelektrode **12** ist auf der zweiten Hauptoberflachenseite des Halbleitersubstrats ausgebildet und legt das Kollektorpotential C an. Diese Kollektorelektrode **12** ist beispielsweise aus einer Aluminiumverbindung. Die n-Typ-Pufferregion **7** ist naher zu der ersten Hauptoberflache zu ausgebildet als die p-Typ-

SDC EX. 1002 - 358/486

Kollektorregion **8**. Weiterhin ist die n^--Driftschicht **1** niedriger in der Verunreinigungskonzentration als die n-Typ-Pufferregion **7** und angrenzend an die n-Typ-Pufferregion **7** und naher zu der ersten Hauptoberflache zu als die n-Typ-Pufferregion **7** angeordnet. Die p-Typ-Kollektorregion **8**, die n-Typ-Pufferregion **7** und die n^--Driftschicht **1** bilden zusammen eine Kollektorregion.

[0127] Insbesondere, wenn die n-Typ-Pufferregion **7** bereitgestellt wird, sind die Hauptübergangsleckeigenschaften verringert und die Spannungsfestigkeit ist erhöht verglichen zu dem Fall, in dem die n-Typ-Pufferregion **7** nicht bereitgestellt ist. Zusatzlich nimmt zur Zeit des Abschaltens ein Schwanzstrom (Tailstrom) in der Signalform von I_C ab, was in einem Abfall des Schaltverlusts (E_{OFF}) resultiert.

[0128] Weiterhin ist der Grund dafur, weshalb die Diffusionstiefe der n-Typ-Pufferregion **7** flach ist, dass die n-Typ-Pufferregion **7** ausgebildet wird, nachdem die Verunreinigungsdiffusionsregion auf der MOS-Transistorseite ausgebildet ist. Mit anderen Worten, dies liegt daran, dass das Niedrigtemperatur-Annealing(bzw. Tempern bzw. Gluhen)-Verfahren oder das Annealing-Verfahren zum lokalen Erhohen einer Temperatur wie beim Laser-Annealing angewendet wird, wenn die n-Typ-Pufferregion **7** ausgebildet wird zum Verhindern eines nachteiligen Effekts durch die Hochtemperatur-Warmebehandlung an der Verunreinigungsdiffusionsregion auf der MOS-Transistorseite.

[0129] In der Halbleitervorrichtung gemäß der vorliegenden Ausführungsform wird beispielsweise, wenn der Wechselrichter verschaltet ist, auf der Basis des Emitterpotentials angenommen, dass das Gatepotential G der Steuerelektrode einem gepulsten Steuersignal entspricht, welches in dem AUS-Zustand auf −15 V gesetzt ist und in dem AN-Zustand auf +15 V gesetzt ist, und dass das Kollektorpotential C der Kollektorelektrode **12** einer Spannung ungefahr zwischen der Versorgungsspannung und der Sättigungsspannung entsprechend dem Gatepotential entspricht.

[0130] Das Herstellungsverfahren gemaß der vorliegenden Ausfuhrungsform wird sodann beschrieben.

[0131] Fig. 2 bis Fig. 11 stellen jeweils eine schematische Querschnittsansicht dar, die das Verfahren zum Herstellen der Halbleitervorrichtung in der Reihenfolge der Arbeitsgange entsprechend der ersten Ausfuhrungsform der vorliegenden Erfindung zeigen. Bezug nehmend auf Fig. 2 wird zunachst auf der ersten Hauptoberfläche des Halbleitersubstrats, das die n^--Driftschicht **1** enthalt, eine p-Typ-Bodyregion **2** mit beispielsweise einer Maximalkonzentration von 1×10^{15} bis 1×10^{18} cm^{-3} und einer Diffusionstiefe von 1,0 bis 4,0 µm ausgehend von der ersten Hauptoberfläche ausgebildet. Danach wird uber der ersten Hauptoberfläche eine Maskenschicht **31** ausgebildet.

[0132] Bezug nehmend auf Fig. 3 wird die Maskenschicht **31** strukturiert. Wenn diese strukturierte Maskenschicht **31** als eine Maske zum Durchführen von beispielsweise einer Ionenimplantation verwendet wird, dann wird die n-Typ-Emitterregion **3** mit einer Oberflachenkonzentration von $1{,}0 \times 10^{18}$ bis $1{,}0 \times 10^{20}$ cm^{-3} und einer Diffusionstiefe von 0,3 bis 2,0 µm ausgehend von der ersten Hauptoberfläche an der ersten Hauptoberfläche innerhalb der p-Typ-Bodyregion **2** ausgebildet. Danach wird die Maskenschicht **31** entfernt. Mit Bezug auf Fig. 4 werden beispielsweise eine Siliciumoxidschicht **32**, die durch thermische Oxidation ausgebildet wird, und eine Siliciumoxidschicht **33**, die durch das CVD-Verfahren ausgebildet wird, in dieser Reihenfolge auf der ersten Hauptoberfläche ausgebildet. Diese Siliciumoxidschichten **32** und **33** werden durch die herkommliche Fotogravurtechnik und Ätztechnik strukturiert. Die strukturierten Siliciumoxidschichten **32** und **33** werden jeweils als eine Maske verwendet, um das Halbleitersubstrat einer anisotropen Atzung zu unterziehen. Als eine Folge wird die Gatefurche **1a** so ausgebildet, dass sie sich durch die n-Typ-Emitterregion **3** und die p-Typ-Bodyregion **2** bis zu der n^--Driftschicht **1** erstreckt.

[0133] Bezug nehmend auf Fig. 5 wird ein Arbeitsvorgang wie beispielsweise ein isotropes Plasmaatzen oder eine Opferoxidation durchgefuhrt, um die Offnung und den Boden der Gatefurche **1a** abzurunden und die Seitenwand der Gatefurche **1a** mit Vorsprungen und Vertiefungen abzuflachen.

[0134] Weiterhin bewirkt die oben erwähnte Opferoxidation die einstückige Ausbildung einer Opferoxidschicht **32a** mit der thermischen Oxidschicht **32** auf der Innenflache der Gatefurche **1a**. Dadurch werden eine isotrope Plasmaätzung und eine Opferoxidation durchgeführt, um Verbesserung der Eigenschaften der auf der inneren Oberflache der Gatefurche **1a** ausgebildeten Gateisolationsschicht zu gestatten. Danach werden die Oxidschichten **32**, **32a** und **33** entfernt.

[0135] Bezug nehmend auf Fig. 6 werden die erste Hauptoberfläche des Halbleitersubstrats und die Innenfläche der Gatefurche **1a** durch Entfernen der oben beschriebenen Oxidschichten freigelegt.

[0136] Bezug nehmend auf Fig. 7 wird eine Gateisolationsschicht **4a** aus beispielsweise einer Siliciumoxidschicht entlang der ersten Hauptoberflache und der Innenflache der Gatefurche **1a** ausgebildet. Danach wird eine leitende Schicht **5** auf der gesamten Oberflache so ausgebildet, dass sie die Gatefurche **1a** ausfüllt. Die leitende Schicht **5** besteht aus einem Material wie z. B. polykristallinem Silicium mit darin in

SDC EX. 1002 - 359/486

hoher Konzentration eingebrachtem Phosphor oder polykristallines ???? ohne darin eingebrachte Verunreinigungen aber mit mittels Ionenimplantation eingebrachtem Phosphor, oder aus einem Metallmaterial, wie z. B. W(Wolfram)/$TiSi_2$(Titansilizid).

[0137] Zum Zwecke der Verbesserung der Eigenschaften, der Zuverlassigkeit und der Vorrichtungsausbeute bei der Gateisolationsschicht wird bevorzugt als Gateisolationsschicht **4a** eine Schichtstruktur aus einer mittels des CVD-Verfahrens ausgebildeten Siliciumoxidschicht und einer durch thermische Oxidation ausgebildeten Siliciumoxidschicht oder einer Nitridoxidschicht, in welcher Stickstoff in der Grenzfläche zwischen Silicium und Siliciumoxid segregiert ist, angewendet.

[0138] Danach wird die leitende Schicht **5** durch das herkommliche Fotogravurverfahren und Atzverfahren strukturiert.

[0139] Bezug nehmend auf Fig. 8 resultiert diese Strukturierung in der Ausbildung einer Gateelektrode **5a**, wahrend die leitende Schicht in der Gatefurche **1a** zuruckbleibt. In diesem Fall kann eine Silizidschicht (beispielsweise $TiSi_2$, COSi und dergleichen) auf der Oberfläche der Gateelektrode **5a** ausgebildet werden zum Verringern des Widerstands der Gateelektrode **5a**. Danach wird die obere Oberflache der Gateelektrode **5a** oxidiert zum Ausbilden der Isolationsschicht **22A**, die beispielsweise aus einer Siliciumoxidschicht besteht. Dann wird die p^+-Verunreinigungsdiffusionsregion **6** ausgebildet, welche beispielsweise eine Oberflächenkonzentration von $1{,}0 \times 10^{18}$ bis $1{,}0 \times 10^{20}\ cm^{-3}$ in der ersten Hauptoberflache aufweist und eine Diffusionstiefe ausgehend von der ersten Hauptoberflache aufweist, die geringer ist als jene der n-Typ-Emitterregion **3**.

[0140] Bezug nehmend auf Fig. 9 werden beispielsweise eine Isolationsschicht **9** aus Silikatglas und eine Isolationsschicht **22B** aus einer Siliciumoxidschicht, die durch das CVD-Verfahren ausgebildet ist, in dieser Reihenfolge auf der ersten Hauptoberflache ausgebildet. Ein Kontaktloch **9a** wird in diesen Isolationsschichten **9** und **22B** durch das herkommliche Fotogravurverfahren und das Atzverfahren bereitgestellt.

[0141] Bezug nehmend auf Fig. 10 wird eine Barrierenmetallschicht **10** beispielsweise aus einer Metallschicht durch das Sputterverfahren ausgebildet. Danach wird eine Lampenausheilung (Lampen-Annealing) durchgefuhrt zum Ausbilden einer Silizidschicht **21a** in dem Kontaktbereich zwischen der Barrierenmetallschicht **10** und dem Halbleitersubstrat. Nachfolgend wird die Emitterelektrode **11** ausgebildet.

[0142] Bezug nehmend auf Fig. 11 wird die n^--Driftschicht **1** auf der zweiten Hauptoberflächenseite des Halbleitersubstrats poliert, um dadurch die Dicke t_1 des Halbleitersubstrats entsprechend der fur den MOS-Transistor geforderten Spannungsfestigkeit einzustellen. Beispielsweise sollte zum Herstellen eines IGBT mit einer Spannungsfestigkeit von 600 V bis 6.500 V die n^--Driftschicht **1** eine Dicke t_3 (Fig. 1) von 50 bis 800 µm haben. Nach dem Polieren wird die zweite Hauptoberflache des Halbleitersubstrats einem Atzvorgang und dergleichen unterzogen zum Wiederherstellen der Kristallinitat der polierten Oberflache.

[0143] Nach dem Implantieren von n-Typ-Verunreinigungen und p-Typ-Verunreinigungen in die zweite Hauptoberfläche des Halbleitersubstrats beispielsweise durch das Ionenimplantationsverfahren werden dann die Verunreinigungen diffundiert. Alternativ wird unmittelbar nach dem Implantieren der n-Typ-Verunreinigungen und der p-Typ-Verunreinigungen eine Wärmebehandlung entsprechend der Implantationstiefe jeder der Verunreinigungen durchgeführt. Als eine Folge werden die n-Pufferregion???? und die p-Typ-Kollektorregion **8** ausgebildet. Weiterhin wird die Kollektorelektrode **12** ausgebildet zum Vervollstandigen der Halbleitervorrichtung, wie sie in Fig. 1 gezeigt ist. Die Kollektorelektrode besteht beispielsweise aus einem Metallmaterial wie z. B. Aluminium oder dergleichen, welches die Eigenschaft eines Ohm'schen Kontakts zu der p-Typ-Kollektorregion **8** bereitstellt.

[0144] Bei der vorliegenden Ausfuhrungsform kann nach dem Ausbilden der Emitterelektrode **11**, wie es in Fig. 11 gezeigt ist, die zweite Hauptoberflache der n^--Driftschicht **1** poliert werden zum Ausbildender n-Typ-Pufferregion **7** und der p-Typ-Kollektorregion **8**. Wie in Fig. 2 gezeigt, kann weiterhin die zweite Hauptoberfläche vor der Ausbildung der p-Typ-Bodyregion **2** poliert werden. Wie in Fig. 9 gezeigt ist, kann ferner bevor oder nachdem das Kontaktloch **9a** geoffnet ist, die zweite Hauptoberfläche poliert werden zum Ausbilden der n-Pufferregion **7** und der p-Typ-Kollektorregion **8**.

[0145] Bei der vorliegenden Ausführungsform ist die Spitzendichte in der Grenzfläche zwischen dem Halbleitersubstrat und der Kollektorelektrode **12** (die Dichte an Spitzen aus einer Legierung, die ausgebildet wird durch die Reaktion zwischen dem Halbleitermaterial, das die p-Typ-Kollektorregion **8** bildet, und dem Metallmaterial auf der Seite der p-Typ-Kollektorregion **8** in der Kollektorelektrode **12**) nicht geringer als 0 und nicht größer als 3×10^8 Einheiten/cm^2.

[0146] Fig. 12 und Fig. 13 sind jeweils ein Diagramm, das in schematischer Weise den Zustand der Grenzflache zwischen der p-Typ-Kollektorregion und der Kollektorelektrode, in der Spitzen ausgebildet sind, zeigt. Fig. 12 zeigt eine Querschnittsansicht und Fig. 13 zeigt eine Draufsicht. Bezug nehmend

SDC EX. 1002 - 360/486

auf Fig. 12 und Fig. 13 ist eine Mehrzahl von Spitzen im allgemeinen in der Grenzflache zwischen der p-Typ-Kollektorregion **8** und der Kollektorelektrode **12** ausgebildet. Eine Spitze ist ein Vorsprung (oder eine Vertiefung), die die Gestalt einer beispielsweise vierseitigen oder achtseitigen Pyramide aufweist und aus einer Legierung des Materials, das die Kollektorelektrode **12** bildet, und des Materials, das die p-Typ-Kollektorregion **8** bildet, besteht. In dem Fall, in dem die Kollektorelektrode **12** aus einer mehrlagigen Schicht besteht, ist eine Spitze ausgebildet aus einer Legierung des Materials, das eine Schicht **12a** bildet, welche in direktem Kontakt zu der p-Typ-Kollektorregion **8** ist, und des Materials, das die p-Typ-Kollektorregion **8** bildet.

[0147] Die Spitzendichte wird beispielsweise durch die folgenden Verfahren gemessen. Zunachst wird die Kollektorelektrode **12** durch die Verwendung einer chemischen Losung aufgelöst, um sie von dem Halbleitersubstrat zu entfernen. Die zweite Hauptoberflache des freigelegten Halbleitersubstrats wird dann mit einem Mikroskop beobachtet zum Zahlen der Anzahl an Vertiefungen, die jeweils eine vierseitige oder achtseitige Pyramide aufweisen und in der zweiten Hauptoberflache vorhanden sind. Die resultierende Anzahl wird durch die beobachtete Flache geteilt zum Erhalt eines Wertes, welcher als eine Spitzendichte definiert ist.

[0148] Wenn die Spitzendichte erhöht ist, ist die Ionisationsrate der Verunreinigungen in der p-Typ-Kollektorregion **8** bei niedriger Temperatur (298 K oder niedriger) erniedrigt und die tatsachliche Effizienz der Implantation des Ladungstragers (Loch) von der p-Typ-Kollektorregion **8** in die n-Typ-Pufferregion **7** ist ebenfalls erniedrigt. Somit hangt die J_c-V_{CE}-Kennlinie des IGBT von der Spitzendichte ab.

[0149] Die Spitzendichte, die auf nicht weniger als 0 und nicht mehr als 3×10^8 Einheiten/cm^2 gesetzt ist, erlaubt die Erzielung der folgenden Wirkungen. Fig. 14 ist ein Diagramm, das die Temperaturabhangigkeit in der Beziehung zwischen der Kollektor-Emitter-Spannung und der Stromdichte gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 14 stellt V_{CE}(sat) eine Emitter-Kollektor-Spannung entsprechend einer beliebigen Nennstromdichte dar. Bei Temperaturen von 298 K und 398 K sind die Kurven sowohl in dem Fall, in dem die Spitzendichte nicht geringer als 3×10^8 Einheiten/cm^2 ist, als auch in dem Fall, in dem die Spitzendichte nicht höher als 3×10^8 Einheiten/cm^2 ist, nahezu gleich. Im Gegensatz dazu ist bei einer Temperatur von 233 K die Emitter-Kollektor-Spannung in dem Fall, in dem die Spitzendichte nicht höher als 3×10^8 Einheiten cm^2???? Ist, signifikant erhoht.

[0150] Fig. 15 ist ein Diagramm, das die Beziehung zwischen der Spitzendichte und dem Schwankungsbetrag der AN-Spannung gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt. Fig. 15 zeigt die erhaltenen Ergebnisse, wenn die p-Ty-Kollektorregion **8** und die n-Typ-Pufferregion **8** so gewählt sind, dass sie eine festgelegte Beschaffenheit aufweisen (Konzentration, Tiefe). Weiterhin stellt ein Schwankungsbetrag der AN-Spannung ΔV_{on} in Fig. 15 einen Wert dar, der erhalten wird durch Subtrahieren der Kollektor-Emitter-Spannung V_{CE}(sat) bei 233 K (233 K) von der Kollektor-Emitter-Spannung V_{CE}(sat) bei 298 K (298 K). Wenn eine Spitzendichte D_{spike} nicht größer als 3×10^8 Einheiten/cm^2 ist, dann zeigt, unter Bezugnahme auf Fig. 15, die Kollektor-Emitter-Spannung V_{CE}(sat) bei 298 K einen Wert, der nicht kleiner als die Kollektor-Emitter-Spannung V_{CE}(sat) bei 233 K ist. Wenn im Gegensatz dazu die Spitzendichte D_{spike} 3×10^8 Einheiten/cm^2 übersteigt, dann zeigt die Kollektor-Emitter-Spannung V_{CE}(sat) bei 298 K einen Wert, der kleiner ist als die Kollektor-Emitter-Spannung V_{CE}(sat) bei 233 K.

[0151] Fig. 16 ist ein Diagramm, das die Spitzendichtenabhangigkeit in der Beziehung zwischen der Kollektor-Emitter-Spannung und der Betriebstemperatur der Vorrichtung gemäß der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 16 wird die Temperaturabhangigkeit der Spannung V_{CE}(sat) positiv, wenn die Spitzendichte D_{spike} nicht größer als 3×10^8 Einheiten/cm^2 ist, wohingegen die Temperaturabhangigkeit der Spannung V_{CE}(sat) in einer Region bei einer Temperatur, die niedriger als 298 K ist, negativ wird, wenn die Spitzendichte D_{spike} nicht niedriger als $3 \times 10^{8?????}$ Einheiten/cm^2 ist.

[0152] Wie oben beschrieben, kann die Temperaturabhängigkeit der Kollektor-Emitter-Spannung V_{CE} positiv gemacht werden durch Setzen der Spitzendichte in der Grenzflache zwischen dem Halbleitersubstrat und der Kollektorelektrode **12** auf nicht weniger als 0 und nicht mehr als 3×10^8 Einheiten/cm^2, wie bei der vorliegenden Ausfuhrungsform. Folglich kann die Flusskonzentration des Stroms in den IGBT mit einer niedrigen Spannung V_{CE} verhindert werden, wenn die IGBTs parallel betrieben werden. Folglich kann eine Halbleitervorrichtung realisiert werden, die fur einen Parallelbetrieb geeignet ist.

[0153] Die Spitzendichte kann beispielsweise durch die Materialeigenschaften der Kollektorelektrode, die Wärmebehandlungsbedingungen oder die Schichtdicke der Kollektorelektrode kontrolliert werden. Was die Materialeigenschaften der Kollektorelektrode anbelangt, so sind Al, AlSi, Ti und Silizid enthaltendes Metall geeignet. Silizid enthaltendes Metall kann Silizid enthaltendes Ti, Silizid enthaltendes Ni oder Silizid enthaltendes Co beinhalten. Was die Materialeigenschaften der Kollektorelektrode anbelangt, so ist weiterhin vorzugsweise das Material zu verwenden,

SDC EX. 1002 - 361/486

das wie z. B. Al und AlSi, in der Grenzflache mit der kontaktierenden Halbleiterschicht (p-Typ-Kollektorregion **8** in Fig. 1) die Eigenschaft eines Ohm'schen Widerstands zeigt. Was die Materialeigenschaften des Halbleitersubstrats anbelangt, so sind Si, SiC, GaN oder Ge geeignet. Insbesondere wenn ein Silizid als eine Kollektorelektrode verwendet wird, wird in der Grenzfläche zwischen dem Halbleitersubstrat und der Kollektorelektrode keine Spitze ausgebildet. Die Kollektorelektrode aus einem Silizid wird ausgebildet durch Ausbilden eines Metalls, das Ti, Co, Ni oder dergleichen enthalt, auf der zweiten Hauptoberfläche des Halbleitersubstrats aus Si, SiC, GaN, Ge oder dergleichen und Unterziehen desselben einer Wärmebehandlung.

[0154] Weiterhin betragt vorzugsweise die Schichtdicke der Kollektorelektrode 200 nm oder mehr. Fig. 17 ist ein Diagramm, das die Beziehung zwischen der Spitzendichte und der Schichtdicke der Kollektorelektrode entsprechend der ersten Ausfuhrungsform der vorliegenden Erfindung zeigt. Wenn, Bezug nehmend auf Fig. 17, die Kollektorelektrode eine Schichtdicke von nicht weniger als 200 nm aufweist, ist die Spitzendichte nicht hoher als 3×10^8 Einheiten/cm^2. Angesichts der Herstellungsbeschrankung hat jedoch die Kollektorelektrode vorzugsweise eine Schichtdicke von nicht mehr als 10.000 nm.

[0155] Die Spitzendichte kann auf nicht weniger als 0 und nicht mehr als 3×10^8 Einheiten/cm^2 gesetzt werden durch geeignetes Kombinieren der Materialeigenschaften der Kollektorelektrode, der Wärmbehandlungsbedingungen oder der Schichtdicke der Kollektorelektrode, wie oben beschrieben.

[0156] Obwohl in der vorliegenden Ausführungsform der Fall beschrieben wurde, in dem der IGBT einen Aufbau hat, der in Fig. 1 gezeigt ist, ist die Halbleitervorrichtung der vorliegenden Erfindung nicht auf die Konfiguration in Fig. 1 beschrankt, sondern kann mit einem Halbleitersubstrat, das die erste Hauptoberfläche und die zweite Hauptoberflache aufweist, die einander gegenuberliegen, und einem Element bereitgestellt werden. Dieses Element beinhaltet die auf der ersten Hauptoberflächenseite ausgebildete Gateelektrode, die auf der ersten Hauptoberflächenseite ausgebildete erste Elektrode und die in Kontakt zu der zweiten Hauptoberflache ausgebildete zweite Elektrode. Dieses Element dient zum Erzeugen eines elektrischen Felds in dem Kanal durch die an der Gateelektrode anliegende Spannung und steuert den Strom zwischen der ersten Elektrode und der zweiten Elektrode durch das elektrische Feld in dem Kanal. Weiterhin kann sie ebenfalls einen Vorrichtungsaufbau wie eine Diode aufweisen.

Zweite Ausfuhrungsform

[0157] Fig. 18 zeigt eine Konzentrationsverteilung entlang einer Linie XVIII-XVIII in Fig. 1. Fig. 19 zeigt eine Konzentrationsverteilung entlang einer Linie XIX-XIX in Fig. 1. Es soll erwahnt werden, dass Fig. 18 ebenfalls die Konzentrationsverteilung der p-Typ-Verunreinigungen oder der n-Typ-Verunreinigungen in dem herkommlichen Fall zeigt.

[0158] Bezug nehmend auf Fig. 18 und Fig. 19 stellt eine Konzentration $C_{S,P}$ eine Verunreinigungskonzentration in der p-Typ-Kollektorregion **8** in der Grenzfläche zwischen der Kollektorelektrode **12** und der p-Typ-Kollektorregion **8** (die zweite Hauptoberfläche des Halbleitersubstrats) dar und eine Konzentration $C_{P,P}$ stellt den Maximalwert der Verunreinigungskonzentration in der p-Typ-Kollektorregion **8** dar. Eine Konzentration $C_{P,N}$ stellt den Maximalwert der Verunreinigungskonzentration in der n-Typ-Pufferregion **7** dar. Eine Konzentration C_{sub} ????? stellt eine Verunreinigungskonzentration in der n$^-$-Driftschicht **1** dar. Eine Tiefe D_P stellt eine Tiefe ausgehend von der zweiten Hauptoberfläche zu der Übergangsflache zwischen der p-Typ-Kollektorregion **8** und der n-Typ-Pufferregion **7** dar. Eine Tiefe $D_{P,N}$ stellt eine Tiefe von der zweiten Hauptoberfläche zu der Position dar, an der die Konzentration $C_{P,N}$ in der n-Typ-Pufferregion **7** erreicht ist. Eine Tiefe D_{N^-} stellt eine Tiefe von der zweiten Hauptoberflache zu der Ubergangsfläche zwischen der n-Typ-Pufferregion **7** und der n$^-$-Driftschicht **1** dar. Wie unten unter Bezugnahme auf

[0159] Fig. 29 dargelegt wird, stellt in dem Fall, in dem eine n-Typ-Zwischenschicht **7a** ausgebildet ist, eine Tiefe D_N eine Tiefe von der zweiten Hauptoberflache zu der Ubergangsfläche zwischen der n-Typ-Pufferregion **7** und der n-Typ-Zwischenschicht **7a** dar. Weiterhin stellt τ_P eine Ladungsträgerlebensdauer der p-Typ-Kollektorregion **8** dar, τ_N stellt eine Ladungsträgerlebensdauer der n-Typ-Pufferregion **7** dar und τ_{N^-} stellt eine Ladungsträgerlebensdauer n$^-$-Driftschicht **1** dar. Ebenfalls stellt τ_X eine Ladungsträgerlebensdauer an der Position in einer Tiefe x ausgehend von der zweiten Hauptoberflache dar Zusätzlich stellt S_N die Anzahl der Atome pro Flacheneinheit (Atome/cm^2) der Verunreinigungen dar, die die n-Typ-Pufferregion **7** ausbilden und S_{N^-} stellt die Anzahl der Atome pro Flächeneinheit (Atome/cm^2) der Verunreinigungen dar, die die n$^-$-Driftschicht **1** ausbilden. Die Anzahl der Atome pro Flacheneinheit der Verunreinigungen in der gewünschten Region wird erhalten durch Integrieren des Verunreinigungskonzentrationsprofils in jener Region bezüglich der gesamten Tiefenrichtung. Der Erfinder der vorliegenden Anmeldung hat herausgefunden, dass der abnormale Betrieb des IGBT verhindert werden kann durch Herstellen einer Beziehung zwischen der p-Typ-Kollektorregion **8**, der n-Typ-Pufferregion **7** und der n$^-$-Driftschicht **1** unter den folgenden Bedingungen. Die

SDC EX. 1002 - 362/486

Bedeutung von "Verhindern des abnormalen Betriebs des IGBT" wird nachfolgend beschrieben.

a. Die Ruckknick-Eigenschaft (Snap-Back-Eigenschaft) tritt in der J_c-V_{CE}-Kennlinie bei einer Temperatur von 298 K oder niedriger nicht auf.

b. Der IGBT wird sogar bei einer niedrigen Temperatur von 298 K oder niedriger angeschaltet.

c. Eine gewünschte Spannungsfestigkeit wird erreicht oder ein thermischer Durchbruch tritt in dem IGBT bei einer Temperatur von 398 K oder höher nicht auf.

[0160] Fig. 20 ist ein Diagramm, das die Beziehung von $C_{P,P}/C_{P,N}$ zu V_{CE}(sat) und einem Energieverlust E_{OFF} zu der Zeit des Abschaltens entsprechend der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. E_{Off}??????? stellt einen Energieverlust zu der Zeit dar, wenn die Schaltvorrichtung abgeschaltet wird. $V_{Snap\text{-}Back}$ stellt eine Kollektor-Emitter-Spannung an einem Punkt A dar, der in Fig. 22 in dem Fall gezeigt ist, in dem das Rückknickverhalten auftritt. Fig. 21 ist ein Diagramm, das die Beziehung von $C_{P,P}/C_{P,N}$ zu V_{CE}(sat) und einer Leckstromdichte J_{CES} in dem IGBT gemäß der zweiten Ausführungsform der vorliegenden Erfindung zeigt. Die Leckstromdichte J_{CES} stellt eine Leckstromdichte zwischen dem Kollektor und dem Emitter in dem Zustand dar, in dem ein Kurzschluss zwischen dem Gate und dem Emitter auftritt. Bezug nehmend auf Fig. 20 und Fig. 21 tritt in dem Fall, in dem das Verhältnis $C_{P,P}/C_{P,N}$ des Maximalwerts der Verunreinigungskonzentration in der p-Typ-Kollektorregion **8** zu dem Maximalwert der Verunreinigungskonzentration in der n-Typ-Pufferregion **7**, $C_{P,P}/C_{P,N} < 1$ beträgt, das Ruckknickverhalten auf, was entsprechend die Erzeugung einer Ruckknickspannung $V_{Snap\text{-}Back}$ bewirkt.

[0161] Wie in Fig. 22 gezeigt, ist folglich V_{CE}(sat) zu der beliebigen Stromdichte fur die Bedingung $C_{P,P}/C_{P,N} < 1$ erhoht. Weiterhin ist fur die Bedingung $C_{P,P}/C_{P,N}$ >???? 1×10^3 J_{CES} erhoht, so dass ein thermischer Durchbruch des IGBT bewirkt wird. Angesichts des Vorstehenden wird die Bedingung $1 \leq C_{P,P}/C_{P,N} \leq 1 \times 10^3$ bevorzugt zum Verhindern des abnormalen Betriebs des IGBT.

[0162] Fig. 23 ist ein Diagramm, das die Beziehung von S_N/S_{N-} zu V_{CE}(sat) und einer Durchbruchsspannung BV_{CES} gemäß der zweiten Ausführungsform der vorliegenden Erfindung zeigt. Die Durchbruchsspannung BV_{CES} stellt eine Durchbruchsspannung zwischen dem Kollektor und dem Emitter in dem Zustand dar, in dem ein Kurzschluss zwischen dem Kollektor und dem Emitter auftritt. Bezug nehmend auf Fig. 23 wird in dem Fall, in dem das Verhaltnis S_N/S_{N-} der Anzahl der Atome pro Flacheneinheit (Atom/cm^2) der Verunreinigungen, die die n-Typ-Pufferregion **7** bilden, zu der Anzahl der Atome pro Flacheneinheit (Atom/cm^2) der Verunreinigungen, die die n$^-$-Driftschicht **1** bilden, $0{,}05 \leq S_N/S_{N-}$ betragt, eine hohe Durchbruchsspannung BV_{CES} erzielt. Weiterhin werden in dem Fall, in dem S_N/S_{N-} der Bedingung $S_N/S_{N-} \leq 100$ genugt, das Ruckknickverhalten unterdruckt, und ebenfalls die Emitter-Kollektor-Spannung V_{CE}(sat) niedrig gehalten. Angesichts des Vorstehenden ist die Bedingung $0{,}05 \leq S_N/S_{N-} \leq 100$ vorzuziehen zum Verhindern des abnormalen Betriebs des IGBT zum Ermöglichen eines parallelen Betriebs.

[0163] Fig. 24 ist ein Diagramm, das die Temperaturabhangigkeit in der Beziehung von $C_{S,P}$ und $C_{P,P}$ zu V_{CE}(sat) gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 24 ist fur irgendeine der Temperaturen 233 K, 298 K und 398 K die Emitter-Kollektor-Spannung V_{CE}(sat) signifikant erniedrigt unter der Bedingung, dass $5 \times 10^{15} \leq C_{S,P}$ und $1 \times 10^{16} \leq C_{P,P}$ gilt. Angesichts der Herstellungsbeschränkungen sind zusätzlich die Bedingungen $C_{S,P} \leq 1{,}0 \times 10^{22}$ cm^{-3} und $C_{P,P} \leq 1{,}0 \times 10^{22}$ cm^{-3} bevorzugt.

[0164] Fig. 25 ist ein Diagramm, das die Abhangigkeit sowohl von $C_{S,P}$ und $C_{P,P}$ als auch $C_{P,P}$ in der Beziehung zwischen V_{CE}(sat) und der Umgebungstemperatur der Vorrichtung gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Fig. 26 und Fig. 27 sind jeweils ein Diagramm, das die Temperaturabhängigkeit der J_C-V_{CE}-Kennlinie gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Wie anhand von Fig. 24 bis Fig. 27 gesehen werden kann, wird die Temperaturabhangig von V_{CE}(sat) unter den Bedingungen $5 \times 10^{15} \leq C_{S,P}$ und $1 \times 10^{16} \leq C_{P,P}$ positiv.

[0165] Angesichts des Vorstehenden sind die Bedingungen $5 \times 10^{15} \leq C_{S,P}$ und $1 \times 10^{16} \leq C_{P,P}$ vorzuziehen zum Verhindern eines abnormalen Betriebs des IGBT.

[0166] Fig. 28 ist ein Diagramm, das die Beziehung von $D_{P,N}$ oder D_{N-} zu V_{CE}(sat) und BV_{CES} gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Wenn, Bezug nehmend auf Fig. 28, die Tiefe $D_{P,N}$ von der zweiten Hauptoberfläche zu der Position, an der die Konzentration $C_{P,N}$ in der n-Typ-Pufferregion **7** erreicht wird, gleich 0,4 µm $\leq D_{P,N}$ ist, oder wenn die Tiefe D_{N-} von der zweiten Hauptoberflache zu der Ubergangsflache zwischen der n-Typ-Pufferregion **7** und der n$^-$-Driftschicht **1** gleich 0,4 µm $\leq D_{N-}$ ist, werden eine hohe Durchbruchsspannung BV_{CES} und eine niedrige Emitter-Kollektor-Spannung V_{CE}(sat) erzielt. Andererseits tritt unter der Bedingung $D_{P,N} > 50$ µm oder $D_{N-} > 50$ µm das Ruckknickverhalten auf.

[0167] Angesichts des Vorstehenden sind die Bedingungen 0,4 µm $\leq D_{P,N} \leq 50$ µm und 0,4 µm $\leq D_{N-} \leq$ 50 µm bevorzugt zum Verhindern eines abnormalen Betriebs des IGBT.

SDC EX. 1002 - 363/486

[0168] Fig. 29 zeigt ein weiteres Beispiel der Konzentrationsverteilung entlang einer Linie XVIII-XVIII in Fig. 1. Bezug nehmend auf Fig. 29 kann die Kollektorregion weiterhin die n-Typ-Zwischenschicht **7a** enthalten. Ein Maximalwert C_{P,N^*} der Verunreinigungskonzentration in der n-Typ-Zwischenschicht **7a** ist niedriger als ein Maximalwert $C_{P,N}$ der Verunreinigungskonzentration in der n-Typ-Pufferregion **7** und höher als die Verunreinigungskonzentration C_{SUB} ????? in der n^--Driftschicht **1**. Weiterhin ist die n-Typ-Zwischenschicht **7a** in Kontakt mit sowohl der n-Typ-Pufferregion **7** als auch der n^--Driftschicht **1**. Eine Tiefe D_N stellt eine Tiefe von der zweiten Hauptoberfläche zu der Ubergangsflache zwischen der n-Typ-Pufferregion **7** und der n-Typ-Zwischenschicht **7a** dar. Eine Tiefe D_{N^*} stellt eine Tiefe von der zweiten Hauptoberfläche zu der Ubergangsflache zwischen der n-Typ-Zwischenschicht **7a** und der n^--Driftschicht **1** dar. S_{N^*} stellt die Anzahl der Atome pro Flächeneinheit (Atom/cm^2) der Verunreinigungen dar, die die n-Typ-Zwischenschicht **7a** bilden. Weiterhin kann die n-Typ-Zwischenschicht **7a** ausgebildet werden durch Implantieren von Verunreinigungsionen in einen Teil der n-Typ-Pufferregion **7**. Sie kann ebenfalls ausgebildet werden durch Implantieren von Ionen, die Kristalldefekte verursachen, was in einem Lebensdauerherabsetzungsmittel resultiert, in einen Teil der n-Typ-Pufferregion **7** durch das Verfahren, welches eine Protonenbestrahlung und dergleichen anwendet.

[0169] Fig. 30 ist ein Diagramm, das die Beziehung zwischen S_{N^*}/S_N und V_{CE}(sat) gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 30 tritt in dem Fall, in dem das Verhältnis S_{N^*}/S_N der Anzahl der Atome pro Flacheneinheit (Atom/cm^2) der Verunreinigungen, die die n-Typ-Zwischenschicht **7a** bilden, zu der Anzahl der Atome pro Flächeneinheit (Atom/cm^2) der Verunreinigungen, die die n-Typ-Pufferregion **7** bilden, gleich $0,5 < S_{N^*}/S_N$ ist, das Ruckknickverhalten auf.

[0170] Angesichts des Vorstehenden ist die Bedingung $0 < S_{N^*}/S_N \leq 0,5$ vorzuziehen zum Verhindern eines abnormalen Betriebs des IGBT.

[0171] Fig. 31 ist ein Diagramm, das die Beziehung zwischen einer x ausgehend von der zweiten Hauptoberflache und V_{CE}(sat) gemaß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Fig. 32 ist ein Diagramm, das die Beziehung zwischen τ_x/r_{N^-} und V_{CE}(sat) gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt. Fig. 33 ist ein Diagramm, das ein Beispiel der Beziehung der Tiefe x ausgehend von der zweiten Hauptoberflache und der Ladungstragerlebensdauer gemäß der zweiten Ausführungsform der vorliegenden Erfindung zeigt. Insbesondere Bezug nehmend auf Fig. 33 werden Defekte in das Halbleitersubstrat in der Nahe der zweiten Hauptoberfläche wahrend der Ionenimplantation zum Ausbilden der p-Typ-Kollektorregion **8** und der n-Typ-Pufferregion **7** eingeführt. Da es nicht notwendig ist, die Verunreinigungen beim Ausbilden der n-Typ-Pufferregion **7** tiefer zu implantieren als beim Ausbilden der p-Typ-Kollektorregion **8**, muss die n-Typ-Pufferregion **7** bei einer hoheren Temperatur ausgeheilt werden wie die p-Typ-Kollektorregion **8**. Folglich erfahrt die n-Typ-Pufferregion **7** durch das Ausheilen eine starkere Warmebelastung mit dem Ergebnis, dass die Ladungstragerlebensdauer τ_N der n-Typ-Pufferregion **7** bis unterhalb die Ladungstragerlebensdauer τ_P der p-Typ-Kollektorregion **8** verringert wird. Weiterhin wird die Ladungstragerlebensdauer sowohl der n-Typ-Pufferregion **7** als auch der p-Typ-Kollektorregion **8** unter die Ladungstragerlebensdauer τ_{N^-} der n^--Driftschicht **1** reduziert.

[0172] Da das Verhaltnis τ_x/τ_{N^-} der Ladungsträgerlebensdauer τ_x in der Tiefe x ausgehend von der zweiten Hauptoberflache zu der Ladungstragerlebensdauer τ_{N^-} der n^--Driftschicht **1** insbesondere in der Region, in der die Tiefe x ausgehend von der zweiten Hauptoberflache gleich 0,50 µm ≤ x ≤ 60,0 µm ist, so gewahlt ist, dass es der Bedingung $1 \times 10^{-6} \leq \tau_x/\tau_{N^-} \leq 1$ genugt, ist somit die Kollektor-Emitter-Spannung V_{CE}(sat) signifikant herabgesetzt, wie es insbesondere in Fig. 31 und Fig. 32 gezeigt ist.

[0173] In diesem Fall wird eine Herabsetzung der Ladungstragerlebensdauer verursacht durch Einbringen von Defekten in die p-Typ-Kollektorregion **8** und die n-Typ-Pufferregion **7**, wenn zum Ausbilden der p-Typ-Kollektorregion **8** und der n-Typ-Pufferregion **7** ionenimplantiert werden. Das Verfahren des Ausheilens des Abschnitts mit darin eingebrachten Defekten ist wirkungsvoll beim Verbessern der Ladungstragerlebensdauer. Die Beziehung zwischen dem Ausheilverfahren und der Ladungsträgerlebensdauer wird sodann beschrieben.

[0174] Fig. 34 ist ein Diagramm, das die Beziehung der Ladungstragerlebensdauer zu der Ausgangsleistung beim Laserausheilen und der Temperatur in einem Diffusionsofen gemaß der zweiten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 34 verursacht in dem Fall, in dem das Ausheilen in dem Diffusionsofen durchgefuhrt wird, eine übermaßig hohe Temperatur in dem Diffusionsofen eine Verringerung in der Ladungstragerlebensdauer. Wenn bei der Laserausheilmethode das Laser-Ausheilen mit einer hohen Ausgangsenergie durchgefuhrt wird, ist weiterhin die Ladungstragerlebensdauer ebenfalls verringert. Da ein Laserstrahl die Eigenschaft hat, sich innerhalb des Halbleitersubstrats abzuschwächen, muss zusatzlich die Ausgangsleistung beim Laserausheilen vergroßert werden, wenn die Tiefe von der zweiten Hauptoberflache des Halbleitersubstrats zu der Ubergangsfläche zwischen der p-Typ-Kollektorregion **8** und der n-Typ-Pufferregion **7** ubermaßig groß ist. Dies macht es schwierig, die Ladungstragerlebensdauer mittels La-

SDC EX. 1002 - 364/486

ser-Ausheilens zu verbessern. In Anbetracht der obigen Situation ist es vorzuziehen, dass die Tiefe von der zweiten Hauptoberfläche des Halbleitersubstrats zu der Übergangsflache zwischen der p-Typ-Kollektorregion **8** und der n-Typ-Pufferregion **7** großer als 0 und nicht großer als 1,0 µm ist.

[0175] Fig. 35 ist ein Diagramm, das die Beziehung des Ionenimplantationsbetrags zu der Ladungsträgeraktivierungsrate, zu V_{CE}(sat) und zu BV_{CES} gemäß der zweiten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 35 hangt die Aktivierungsrate in sowohl der n-Typ-Pufferregion **7** als auch der p-Typ-Kollektorregion **8** von dem Ionenimplantationsbetrag oder dem Typ der Ionen in der n-Typ-Pufferregion **7** und der p-Typ Kollektorregion **8** ab. In Fig. 35 ist die Aktivierungsrate in der p-Typ-Kollektorregion **8** unterschiedlich zu jener in der n-Typ-Pufferregion **7** und die Aktivierungsrate in der p-Typ-Kollektorregion **8** ist niedriger als jene in der n-Typ-Pufferregion **7**. Dies erlaubt einen normalen Betrieb des IGBT zum Erhöhen der Durchbruchsspannung BV_{CES}. Insbesondere in dem Fall, in dem die Aktivierungsrate in der p-Typ-Kollektorregion **8** größer als 0 ist und nicht größer als 90% ist, ist die Kollektor-Emitter-Spannung V_{CE}(sat) stark verringert.

[0176] Die Aktivierungsrate wird durch den folgenden Ausdruck (1) berechnet.

Aktivierungsrate: {
(Verunreinigungskonzentration (cm^{-3})
erhalten anhand des Widerstandswertes,
der berechnet ist durch ein Verfahren wie
z. B. eine SR(Ausbreitungswiderstands)- (1)
Messung)/(Verunreinigungskonzentration
(cm^{-3}) gemessen unter Verwendung eines
SIMS (Sekundarionenmassenspektrometer)
)} × 100

[0177] Durch Verwenden der oben beschriebenen Kollektorstruktur kann der Normalbetrieb des IGBT sichergestellt werden, eine hohe Spannungsfestigkeit kann aufrecht erhalten werden und ein thermischer Durchbruch des IGBT kann unterdrückt werden. Weiterhin kann die Flexibilität (Kontrollierbarkeit) der Austauschbeziehungseigenschaft V_{CE}(sat)-E_{OFF} erzielt werden, sogar wenn die Dicke der n^--Driftschicht verringert wird, wenn die Vorrichtungseigenschaften verbessert werden sollen.

Dritte Ausführungsform

[0178] Zum Verbessern der V_{CE}(sat)-E_{off}????-Eigenschaften, die als wichtige Vorrichtungseigenschaften des IGBT betrachtet werden, ist es wirkungsvoll, die Dicke der n^--Driftschicht **1** zu verringern. Der Erfinder der vorliegenden Anmeldung hat jedoch herausgefunden, dass die Oberflachenrauheit der polierten Oberflache jede Eigenschaft des IGBT beeinflusst, wenn die zweite Hauptoberflache des Halbleitersubstrats poliert wird, wie in Fig. 11 gezeigt.

[0179] Fig. 36 ist eine vergrößerte Querschnittsansicht, die in schematischer Weise die zweite Hauptoberflache des Halbleitersubstrats gemaß der dritten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 36 stellt der in der vorliegenden Ausfuhrungsform definierte Mittenrauwert einen Mittenrauwert R_a dar, der im JIS (Japanischer Industriestandard) spezifiziert ist und einem Mittelwert der Absolutwertabweichung von der Mittenlinie entspricht. Weiterhin stellt die Maximalhohe eine maximale Hohe R_{max} dar, die in JIS spezifiziert ist, und entspricht einer Hohe ($R_{max} = H_{max} - H_{min}$) von dem Boden des Tales (Höhe H_{max}) zu der höchsten Spitze (Hohe H_{max}) innerhalb der Bezugsstrecke.

[0180] Fig. 37 ist ein Diagramm, das die Beziehung von sowohl dem Mittenrauwert als auch der Maximalhohe zu der Bruchfestigkeit und der Ladungstragerlebensdauer gemaß der dritten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 37 konnen fur die Bedingungen $0 < R_a \leq 200$ nm und $0 < R_{max} \leq 2.000$ nm eine hohe Bruchfestigkeit und Ladungstragerlebensdauer erzielt werden. Fig. 38 ist ein Diagramm, das die Beziehung von sowohl dem Mittenrauwert als auch der Maximalhöhe zu J_{CES} und V_{CE}(sat) gemäß der dritten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 38 konnen unter den Bedingungen $0 < R_a \leq 200$ nm und $0 < R_{max} \leq 2.000$ nm eine niedrige Kollektor-Emitter-Spannung V_{CE}(sat) und eine niedrige Leckstromdichte J_{CES} erzielt werden.

[0181] Wie oben beschrieben, konnen verschiedene Eigenschaften des IGBT verbessert werden für die Bedingungen $0 < R_a \leq 200$ nm oder $0 < R_{max} \leq 2.000$ nm.

Vierte Ausführungsform

[0182] Bei der vorliegenden Ausfuhrungsform wird der Aufbau des MOS-Transistors sodann beschrieben, der die gleiche Wirkung hervorruft, wie sie erhalten wird durch den Aufbau gemaß jeder der ersten bis vierten Ausfuhrungsformen.

[0183] Fig. 39 ist eine Querschnittsansicht, die den Aufbau eines MOS-Transistorabschnitts in der Halbleitervorrichtung gemaß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 39 unterscheidet sich eine Struktur D in dem MOS-Transistorabschnitt gemaß der vorliegenden Ausfuhrungsform von einer Struktur C, die in Fig. 1 gezeigt ist, darin, dass eine n-Typ-Verunreinigungsdiffusionsregion **14** (vergrabene Diffusionsschicht) mit einer relativen hohen Konzentration in der Nahe der Region vorgesehen ist, in der die n^--Driftschicht **1** einen pn-Ubergang mit der p-Typ-Body-

SDC EX. 1002 - 365/486

region **2** bildet. Die n-Typ-Verunreinigungsdiffusionsregion **14** ist zwischen der p-Typ-Bodyregion **2** und der n^--Driftschicht **1** ausgebildet. Obwohl dies nicht gezeigt ist, ist eine in Fig. 1 gezeigte Struktur A unter der Struktur D in Fig. 39 ausgebildet.

[0184] Es soll erwahnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich dem Aufbau der Struktur C sind, wie in Fig. 1 gezeigt ist, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0185] Der Aufbau, der mit der n-Typ-Verunreinigungsdiffusionsregion **14** versehen ist, ist nicht auf den Aufbau in Fig. 39 beschrankt, sondern kann beispielsweise der in Fig. 40 und Fig. 41 gezeigte Aufbau sein. Mit anderen Worten, die n-Typ-Verunreinigungsdiffusionsregion **14** kann in dem Aufbau vorgesehen werden, der einen Emittergraben enthält.

[0186] Fig. 40 ist eine Querschnittsansicht, die den Aufbau der Abwandlung der Halbleitervorrichtung gemäß der vierten Ausfuhrungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 40 ist die Struktur D mit einem Emittergraben in der Region vorgesehen, die zwischen die beiden MOS-Transistoren gefügt ist. Der Emittergraben ist aus einer Emitterfurche **1b**, einer Emitterisolationsschicht **4b** und einer Emitterleitungsschicht **5b** ausgebildet. Die Emitterfurche **1b** erstreckt sich durch die p-Typ-Bodyregion **2** und die n-Typ-Verunreinigungsdiffusionsregion **14** zu der n^--Driftschicht **1**. Die Emitterisolationsschicht **4b** ist entlang der inneren Oberfläche des Emittergrabens **1b** ausgebildet. Die Emitterleitungsschicht **5b** ist so ausgebildet, dass sie die Emitterfurche **1b** ausfullt und elektrisch mit der daruber angeordneten Emitterelektrode **11** verbunden ist. Jede Anzahl von Emittergraben kann ausgebildet sein und ein Gategraben muss lediglich in zumindest einer einer Mehrzahl von Furchen ausgebildet sein.

[0187] Die Barrierenmetallschicht **10** ist unter der Emitterelektrode **11** ausgebildet und eine Silizidschicht **21b** ist zwischen dieser Barrierenmetallschicht **10** und der Emitterleitungsschicht **5b** ausgebildet.

[0188] Auf der ersten Hauptoberflache eingefügt zwischen zwei Emittergraben ist die p^+-Verunreinigungsdiffusionsregion **6** zum Bereitstellen eines Kontaktes mit niedrigem Widerstand zu der p-Typ-Bodyregion **2** ausgebildet, auf der die Silizidschicht **21a** ausgebildet ist.

[0189] In dem oben beschriebenen Aufbau ist die n-Typ-Verunreinigungsdiffusionsregion **14** mit einer relativ hohen Konzentration in der Nähe der Region vorgesehen, in der die n^--Driftschicht **1** einen pn-Ubergang mit der p-Typ-Bodyregion **2** ausbildet.

[0190] Es soll erwahnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich dem Aufbau von Struktur D sind, der in Fig. 39 gezeigt ist, die gleichen Komponenten mit den gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0191] Weiterhin unterscheidet sich eine in Fig. 41 gezeigte Struktur S???? von der Struktur G, die in Fig. 40 gezeigt ist, darin, dass auf der Seitenwand des Emittergrabens und auf der ersten Hauptoberflache zusatzlich die n-Typ-Verunreinigungsdiffusionsregion **3** vorgesehen ist.

[0192] Es soll erwähnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich dem Aufbau der Struktur E sind, der in Fig. 39 gezeigt ist, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0193] Obwohl in Fig. 40 und Fig. 41 der Fall beschrieben wurde, in dem die Emitterleitungsschicht **5b**, die den Emittergraben **1b** fullt, auf einem Emitterpotential ist, so kann diese Emitterleitungsschicht **5b** ein schwebendes Potential besitzen. Ihr Aufbau wird unten beschrieben.

[0194] Bezug nehmend auf Fig. 42 ist die Emitterleitungsschicht **5b**, die den Emittergraben **1b** ausfüllt, elektrisch getrennt von der Emitterelektrode **11** und besitzt ein schwebendes Potential. In diesem Fall sind auf der Emitterleitungsschicht **5b**, die die Emitterfurche **1b** ausfüllt, eine Isolationsschicht **22A** aus beispielsweise einer Siliciumoxidschicht, eine Isolationsschicht **9** aus beispielsweise Silikatglas und eine Isolationsschicht **22B** aus beispielsweise einer Siliciumoxidschicht ausgebildet.

[0195] Es soll erwähnt werden, dass, da die anderen Konfigurationen als jene, die oben beschrieben wurden, nahezu gleich der Konfiguration der Struktur E sind, die in Fig. 40 gezeigt ist, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0196] Die n-Typ-Verunreinigungsdiffusionsregion **14**, die in der vorliegenden Ausführungsform vorgesehen ist, wird mittels Ionenimplantation und Diffusion vor der Ausbildung der p-Typ-Bodyregion **2** ausgebildet. Danach wird die p-Typ-Bodyregion **2** ausgebildet und einer ahnlichen Nachbearbeitung unterzogen wie jener in der ersten Ausfuhrungsform zum Herstellen jeder Art von Halbleitervorrichtung gemaß den vorliegenden Ausfuhrungsformen (Fig. 39–Fig. 42).

[0197] Weiterhin beinhaltet jede der MOS-Transistorstrukturen E (Fig. 40), F (Fig. 41) und G (Fig. 42) einen Graben mit einem Emitterpotential oder einem

SDC EX. 1002 - 366/486

schwebenden Potential, um dadurch eine geringere effektive Gateweite als jene in den MOS-Transistorstrukturen C (Fig. 1) und D (Fig. 39) zu bewirken. Als ein Ergebnis nimmt jede der Strukturen E, F und G einen Strom entgegen, der kleiner ist als der Strom, der durch jede der Strukturen C und D fließt, und erzielt deshalb eine Wirkung der Herabdrückung des Sattigungsstroms.

[0198] Weiterhin ist in jeder der Strukturen E, F und G die Spannung im AN-Zustand in dem Bereich erhoht, in dem die Spannung/Stromdichte niedriger ist als in der Struktur D. Der Grund, weshalb die AN-Spannung in der MOS-Transistorstruktur D fallt, ist, dass die in US 6,040,599 offenbarte n-Typ-Verunreinigungsdiffusionsregion **14** einen Ladungstragerspeicherungseffekt hervorruft, sogar wenn die Kollektorstruktur A eine Dicke n^--Driftschicht **1** aufweist. Die MOS-Transistorstruktur D ruft einen Effekt des Verringerns der AN-Spannung hervor, sogar wenn die n^--Driftschicht **1** dicker als jene in der herkommlichen Struktur ist.

[0199] In den MOS-Transistorstrukturen E, F und G erlaubt der Effekt der Verringerung des Sattigungsstroms die Aufrechterhaltung eines beliebigen Stroms für einen Zeitraum, der länger ist als jener in dem Fall der herkommlichen Struktur oder der MOS-Transistorstrukturen C und D, wenn die Vorrichtung Schaltvorgänge in einen Zustand ohne Last durchführt. Mit anderen Worten, die MOS-Transistorstrukturen E, F und G rufen jeweils eine Wirkung des Herabdruckens des Sattigungsstroms in der Vorrichtung und eine Verbesserung der Durchbruchstoleranz hervor.

[0200] Weiterhin tritt in der MOS-Transistorstruktur D, die eine Wirkung der Verringerung der AN-Spannung zeigt, ein Oszillationsphanomen zu der Zeit des Schaltens in einem Zustand ohne Last auf. Im Gegensatz dazu ruft jede der Transistorstrukturen E, F und G eine Wirkung des Verhinderns des Oszillationsphänomens hervor, da die Emitterleitungsschicht **5b** mit einem Emitterpotential oder einem schwebenden Potential vorhanden ist, selbst dann, wenn in den Strukturen die n-Typ-Verunreinigungsdiffusionsregion **14** vorgesehen ist.

Fünfte Ausführungsform

[0201] Fig. 43–Fig. 78 sind jeweils Querschnittsansichten, die einen Typ einer abgeleiteten Struktur der MOS-Transistorstruktur zeigen, welche die gleiche Wirkung hervorruft wie die vierte Ausfuhrungsform. Die in jeder der Fig. 43–Fig. 78 gezeigte Struktur kann die Wirkung erzielen, die durch die in der vierten Ausführungsform veranschaulichte MOS-Transistorsstruktur hervorgerufen wird.

[0202] Jede in den Fig. 43–Fig. 78 gezeigte MOS-Transistorstruktur wird hier im folgenden beschrieben.

[0203] Der in Fig. 43 gezeigte Aufbau unterscheidet sich von dem Aufbau der in Fig. 40 gezeigten Struktur E darin, dass ein Emittergraben auf einem Emitterpotential in der Region vorgesehen ist, die zwischen die zwei MOS-Transistorabschnitte eingefugt ist, und dass die n-Typ-Emitterregion **3** lediglich auf einer Seitenflache der Gatefurche **1a** ausgebildet ist.

[0204] In dem in Fig. 44 gezeigten Aufbau fullt die Emitterleitungsschicht **5b** aus einer durchgangigen Einzelschicht eine Mehrzahl von Emitterfurchen **1b**. Die Emitterleitungsschicht **5b** ist elektrisch mit der Barrierenmetallschicht **10** und der Emitterelektrode **11** über die Silizidschicht **21b** verbunden. Die Silizidschicht **21b** bildet eine Brücke, welche die Emittergräben **1b** miteinander verbindet. Weiterhin sind die Isolationsschichten **22A**, **9** und **22B** auf der Emitterleitungsschicht **5b** in anderen Bereichen als jenen, in dem die Silizidschicht **21b** ausgebildet ist, ausgebildet.

[0205] Es sollte erwahnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich dem Aufbau der oben beschriebenen Struktur E sind, die in Fig. 40 gezeigt ist, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0206] Der in Fig. 45 gezeigte Aufbau unterscheidet sich von dem in Fig. 44 gezeigten Aufbau darin, dass auf beiden Seitenwänden der Emitterfurche **1b** und auf der ersten Hauptoberflache zusatzlich die n-Typ-Verunreinigungsdiffusionsregion **3** vorgesehen ist.

[0207] Der in Fig. 46 gezeigte Aufbau unterscheidet sich von dem Aufbau in Fig. 44 darin, dass die Emitterleitungsschicht **5b**, welche die Emitterfurche **1b** ausfüllt, auf einem schwebenden Potential ist. In diesem Falle sind die Isolationsschichten **22A**, **9** und **22B** auf der gesamten Oberflache der Emitterleitungsschicht **5b** ausgebildet, welche von der Emitterelektrode **11** elektrisch isoliert ist.

[0208] Der in Fig. 47 gezeigte Aufbau unterscheidet sich von dem in Fig. 43 darin, dass auf beiden Seitenwanden der Emitterfurche **1b** und auf der ersten Hauptoberflache die n-Typ-Verunreinigungsdiffusionsregion **3** vorgesehen ist.

[0209] Der in Fig. 48 gezeigte Aufbau unterscheidet sich von dem in Fig. 43 gezeigten Aufbau darin, dass die obere Oberfläche der Emitterleitungsschicht **5b** über die Emitterfurche **1b** hinaus ragt. In diesem Fall ist die Emitterleitungsschicht **5b** mit der Barrierenmetallschicht **10** und der Emitterelektrode

SDC EX. 1002 - 367/486

11 elektrisch verbunden über die Silizidschicht **21b**, die auf einem Teil der Oberflache der Emitterleitungsschicht **5b** ausgebildet ist. Weiterhin sind die Isolationsschichten **22A**, **9** und **22B** auf der Emitterleitungsschicht **5b** in anderen Bereichen als jenen, in dem die Silizidschicht **21b** ausgebildet ist, ausgebildet. Der in Fig. 49 gezeigte Aufbau unterscheidet sich von dem in Fig. 48 gezeigten Aufbau darin, dass auf beiden Seitenflächen der Emitterfurche **1b** und auf der ersten Hauptoberfläche zusätzlich die n-Typ-Verunreinigungsdiffusionsregion **3** vorgesehen ist.

[0210] Der in Fig. 50 gezeigte Aufbau unterscheidet sich von dem Aufbau der in Fig. 40 gezeigten Struktur E darin, dass die p-Typ-Bodyregion **2** lediglich in der Nahe der Seitenwand der Gatefurche **1a** ausgebildet ist.

[0211] Der in Fig. 51 gezeigte Aufbau unterscheidet sich von dem Aufbau der in Fig. 41 gezeigten Struktur F darin, dass die p-Typ-Bodyregion **2** lediglich in der Nähe der Seitenwand der Gatefurche **1a** ausgebildet ist.

[0212] Der in Fig. 52 gezeigte Aufbau unterscheidet sich von dem in Fig. 50 gezeigten Aufbau darin, dass die Emitterleitungsschicht **5b**, welche die Emitterfurche **1b** ausfüllt, auf einem schwebenden Potential ist. In diesem Falle sind die Isolationsschichten **22A**, **9** und **22B** auf der Emitterleitungsschicht **5b** ausgebildet.

[0213] Der in Fig. 53 gezeigte Aufbau unterscheidet sich von dem in Fig. 43 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in dem Bereich ausgebildet ist, der zwischen die zwei Gategraben gefügt ist.

[0214] Der in Fig. 54 gezeigte Aufbau unterscheidet sich von dem in Fig. 44 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in den Nahe der Seitenwand der Gatefurche **1a** ausgebildet ist.

[0215] Der in Fig. 55 gezeigte Aufbau unterscheidet sich von dem in Fig. 45 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in den Nahe der Seitenwand der Gatefurche **1a** ausgebildet ist.

[0216] Der in Fig. 56 gezeigte Aufbau unterscheidet sich von dem in Fig. 46 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in der Nähe der Seitenwand der Gatefurche **1a** ausgebildet ist.

[0217] Der in Fig. 57 gezeigte Aufbau unterscheidet sich von dem Aufbau, der in Fig. 53 gezeigt ist, dass die n-Typ-Verunreinigungsdiffusionsregion **3** zusätzlich auf beiden Seitenwanden der Emitterfurche **1b** und auf der ersten Hauptoberflache vorgesehen ist.

[0218] Der in Fig. 58 gezeigte Aufbau unterscheidet sich von dem in Fig. 48 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in dem Bereich ausgebildet ist, der zwischen zwei Gategraben gefügt ist.

[0219] Der in Fig. 59 gezeigte Aufbau unterscheidet sich von dem in Fig. 49 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in dem Bereich ausgebildet ist, der zwischen zwei Gategräben gefügt ist.

[0220] In dem in Fig. 60 gezeigten Aufbau ist ein Gategraben so ausgebildet, dass er eine Gateweite (W) aufweist, die gleich jener in jeder der oben beschriebenen MOS-Transistorstrukturen E bis G ist ohne, Ausbildung eines Grabens in der Region, die in der in Fig. 40 gezeigten Struktur E mit einem Emittergraben versehen ist. Dies bedeutet, der Abstand zwischen den Gategräben ist zum Erhalten eines Emitterpotentials bis zu einer beliebigen Große vergroßert.

[0221] In diesem Fall erstreckt sich die p^+-Verunreinigungsdiffusionsregion **6** zum Bereitstellen eines Kontakts mit niedrigem Widerstand zu der p-Typ-Bodyregion auf der ersten Hauptoberflache, die zwischen zwei Gategraben gefugt ist. Die Silizidschicht **21a** ist so ausgebildet, dass sie in Kontakt mit der p^+-Verunreinigugssdiffusionsregion **6** und der n-Typ-Emitterregion **3** gebracht ist. Die p^+-Verunreinigungsdiffusionsregion **6** und die n-Typ-Emitterregion **3** sind uber die Silizidschicht **21a** und die Barrierenmetallschicht **10** elektrisch mit der Emitterelektrode **11** verbunden.

[0222] Es soll erwahnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich der oben beschriebenen Konfiguration in Fig. 40 sind, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0223] In dem in Fig. 61 gezeigten Aufbau ist ein Gategraben so ausgebildet, dass er eine Gateweite (W) aufweist, die gleich jener in jeder der oben beschriebenen MOS-Transistorstrukturen E bis G ist ohne Ausbildung eines Grabens in der Region, die in Fig. 43 mit einem Emittergraben versehen ist. Dies bedeutet, der Abstand zwischen den Gategräben ist zum Erhalten eines Emitterpotentials bis zu einer beliebigen Größe vergrößert.

[0224] Auch bei diesem Aufbau erstreckt sich die p^+-Verunreinigungsdiffusionsregion **6** an der ersten Hauptoberfläche, die zwischen die Gategraben eingefugt ist, zum Bereitstellen eines Kontakts mit niedrigem Widerstand zu der p-Typ-Bodyregion. Die Silizidschicht **21a** ist so ausgebildet, dass sie in Kontakt mit der p^+-Verunreinigugssdiffusionsregion **6** und der n-Typ-Emitterregion **3** gebracht ist. Die p^+-Verunreinigungsdiffusionsregion **6** und die n-Typ-Emitterregi-

SDC EX. 1002 - 368/486

on **3** sind uber die Silizidschicht **21a** und die Barrierenmetallschicht **10** elektrisch mit der Emitterelektrode **11** verbunden.

[0225] Es soll erwähnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich der oben beschriebenen Konfiguration in Fig. 43 sind, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0226] Fig. 62 unterscheidet sich im Aufbau von Fig. 60 daarin, dass die p-Typ-Bodyregion **2** lediglich in der Nahe der Seitenwand des Gategrabens **1a** ausgebildet ist.

[0227] Der in **63** gezeigte Aufbau unterscheidet sich von dem in Fig. 61 gezeigten Aufbau darin, dass die p-Typ-Bodyregion **2** lediglich in dem Bereich ausgebildet ist, der zwischen zwei Gategraben gefügt ist.

[0228] Obwohl in der obigen Beschreibung der Fall erlautert wurde, in dem die obere Deckoberflache der Gateelektrode **5a** innerhalb der Gatefurche **1a** angeordnet ist, kann die obere Oberflache uber die Gatefurche **1a** hinausragen. Fig. 64–Fig. 74 zeigen jeweils einen Aufbau, bei dem die obere Oberfläche der Gateelektrode **5a** uber die obere Oberflache der Gatefurche **1a** hinausragt.

[0229] Der Aufbau in Fig. 64 entspricht dem Aufbau der in Fig. 40 gezeigten Struktur E, der Aufbau in Fig. 65 entspricht dem in Fig. 41 gezeigten Aufbau, der Aufbau in Fig. 66 entspricht dem in Fig. 42 gezeigten Aufbau, der Aufbau in Fig. 67 entspricht dem in Fig. 43 gezeigten Aufbau, der Aufbau in Fig. 68 entspricht dem in Fig. 44 gezeigten Aufbau, der Aufbau in Fig. 69 entspricht dem in Fig. 45 gezeigten Aufbau, der Aufbau in Fig. 70 entspricht dem in Fig. 46 gezeigten Aufbau, der Aufbau in Fig. 71 entspricht dem in Fig. 47 gezeigten Aufbau, der Aufau in Fig. 72 entspricht dem in Fig. 48 gezeigten Aufbau, der Aufbau in Fig. 73 entspricht dem in Fig. 49 gezeigten Aufbau, und der Aufbau in Fig. 74 entspricht dem in Fig. 50 gezeigten Aufbau, mit der Ausnahme, dass die obere Oberfläche der Gateelektrode **5a** die Gatefurche **1** überragt. Es soll erwahnt werden, dass in dem in Fig. 66 gezeigten Aufbau die obere Oberfläche der Emitterleitungsschicht **5b**, welche die Emitterfurche **1b** ausfüllt, ebenfalls die Emitterfurche **1b** überragt.

[0230] Obwohl in der obigen Beschreibung eine Grabentyp-Gatestruktur erlautert wurde, kann der Aufbau in jeder der ersten bis vierten Ausfuhrungsformen ebenfalls in einem Planargatetyp-IBT angewendet werden. Fig. 75–Fig. 78 sind jeweils schematische Querschnittsansichten, die den Aufbau des Planargatetyp-IGBT zeigen.

[0231] Bezug nehmend auf Fig. 75 ist ein Planargatetyp-IGBT in dem Halbleitersubstrat mit beispielsweise einer Dicke von ungefahr 50 µm bis 250 µm ausgebildet. Die p-Typ-Bodyregion **2** aus einem p-Typ-Halbleiter ist selektiv auf der ersten Hauptoberflachenseite der n^--Driftschicht **1** ausgebildet, die beispielsweise eine Konzentration von 1×10^{14} cm^{-3} aufweist. Die p-Typ-Bodyregion **2** hat beispielsweise eine Konzentration von 1×10^{15} bis 1×10^{8} cm^{-3} und eine Diffusionstiefe von ungefahr 1,0 bis 4,0 µm ausgehend von der ersten Hauptoberfläche. Die n-Typ-Emitterregion **3** aus einem n-Typ-Halbleiter mit beispielsweise einer Konzentration von 1×10^{18} bis 1×10^{20} cm^{-3} und mehr und einer Diffusionstiefe von ungefahr 0,3 bis 2,0 µm ausgehend von der ersten Hauptoberflache ist auf der ersten Hauptoberflache in der p-Typ-Bodyregion **2** ausgebildet. Die p^+-Verunreinigungsdiffusionsregion **6** zum Bereitstellen eines Kontakts mit niedrigem Widerstand zu der p-Typ-Bodyregion **2** ist benachbart zu dieser n-Typ-Emitterregion **3** so ausgebildet, dass sie beispielsweise eine Konzentration von ungefahr 1×10^{18} bis 1×10^{20} cm^{-3} und eine Diffusionstiefe ausgehend von der ersten Hauptoberfläche aufweist, die geringer oder gleich der Tiefe der n-Typ-Emitterregion **3** ist.

[0232] Die Gateelektrode **5a** ist auf der ersten Hauptoberfläche mit einer dazwischengefugten Gateisolationsschicht **4** so ausgebildet, dass sie der p-Typ-Bodyregion **2**, welche zwischen gegenuberliegt, welche zwischen die n^--Driftschicht **1** und die n-Typ-Emitterregion eingefügt ist.

[0233] Diese n^--Driftschicht **1**, n-Typ-Emitterregion **3** und Gateelektrode **5a** bilden zusammen einen Isoliertgatetyp Feldeffekttransistorabschnitt (hier im Folgenden als MOS-Transistorabschnitt bezeichnet), in dem die n^--Driftschicht **1** als eine Drain verwendet wird, die n-Typ-Emitterregion **3** als eine Source verwendet wird und ein Abschnitt der p-Typ-Bodyregion **2**, der der Gateelektrode **5a** mit der Gateisolationsschicht **4** dazwischen gegenuberliegt, als ein Kanal verwendet wird.

[0234] Auf der ersten Hauptoberflache, die zwischen zwei MOS-Transistorabschnitte gefügt ist, ist die Emitterleitungsschicht **5b** ausgebildet zum Erhalten eines Emitterpotentials. Das fur die Emitterleitungsschicht **5b** und die Gateelektrode **5a** verwendete Material beinhaltet beispielsweise polykristallines Silicium, in welches Phosphor in hoher Konzentration eingebracht wurde, Metallmaterial mit hohem Schmelzpunkt, Metallsilizid mit hohem Schmelzpunkt oder eine Verbundschicht derselben.

[0235] Die Isolationsschicht **9** ist auf der ersten Hauptoberfläche ausgebildet. Die Isolationsschicht **9** weist ein darin ausgebildetes Kontaktloch **9a** auf, welches sich zu einem Teil der ersten Hauptoberfläche erstreckt. Die Barrierenmetallschicht **10** ist auf dem

SDC EX. 1002 - 369/486

Boden des Kontaktlochs **9a** ausgebildet. Die Emitterelektrode **11**, welche ein Emitterpotential E anlegt, ist über die Barrierenmetallschicht **10** elektrisch mit der Emitterleitungsschicht **5b**, der p^+-Verunreinigungsdiffusionsregion **6** und der n-Typ-Emitterregion **3** verbunden.

[0236] Weiterhin sind die n-Typ-Pufferregion **7** und die p-Typ-Kollektorregion **8** in dieser Reihenfolge auf der zweiten Hauptoberflächenseite der n^--Driftschicht **1** ausgebildet. Die Kollektorelektrode **12**, die ein Kollektorpotential C anlegt, ist elektrisch mit der p-Typ-Kollektorregion **8** verbunden. Die Kollektorelektrode **12** besteht aus einer Aluminiumverbindung.

[0237] Bei der vorliegenden Ausfuhrungsform ist die Spitzendichte in der Grenzflache zwischen dem Halbleitersubstrat und der Kollektorelektrode **12** (d. h. der Grenzflache zwischen der p-Typ-Kollektorregion **8** und der Kollektorelektrode **12**) nicht geringer als 0 und nicht höher als 3×10^8 Einheiten/cm^2.

[0238] Die n-Typ-Verunreinigungssdiffusionsregion **14** kann dem Aufbau in Fig. 75 hinzugefugt werden, wie in Fig. 76 gezeigt, oder die n-Typ-Pufferregion **7** kann weggelassen werden, wie in Fig. 77 gezeigt. Wie in Fig. 78 gezeigt, kann weiterhin die n-Typ-Verunreinigungsdiffusionsregion **14** hinzugefugt sein, und die n-Typ-Pufferregion **7** weggelassen sein.

Sechste Ausfuhrungsform

[0239] Bei der vorliegenden Ausführungsform wird ein anderer Aufbau des Planargatetyp-IGBT, der in jeder der Fig. 75–Fig. 78 gezeigt ist, beschrieben. Fig. 79–Fig. 83 sind jeweils schematische Querschnittsansichten, die jede Art des Aufbaus des Planargatetyp-IGBT gemaß der sechsten Ausführungsform der vorliegenden Erfindung zeigt.

[0240] Bezug nehmend auf Fig. 79 ist der Planargatetyp-IGBT in dem Halbleitersubstrat mit einer Dicke von beispielsweise ungefähr 50 µm bis 800 µm ausgebildet. Die p-Typ-Bodyregion **2** aus einem p-Typ-Halbleiter ist selektiv auf der ersten Hauptoberflache der n^--Driftschicht **1** auf der linken Seite in der Figur ausgebildet. Die p-Typ-Bodyregion **2** weist beispielsweise eine Konzentration von 1×10^{15} bis 1×10^{18} cm^{-3} und eine Diffusionstiefe von ungefähr 1,0 bis 4,0 µm ausgehend von der ersten Hauptoberflache auf. Die n-Typ-Emitterregion **3** aus einem n-Typ-Halbleiter ist auf der ersten Hauptoberfläche in der p-Typ-Bodyregion **2** beispielsweise so ausgebildet, dass sie eine Konzentration von 1×10^{18} bis 1×10^{20} cm^{-3} oder mehr und eine Diffusionstiefe von ungefahr 0,3 bis 2,0 µm ausgehend von der ersten Hauptoberflache aufweist. Die p^+-Verunreinigungsdiffusionsregion **6** zum Bereitstellen eines Kontakts mit niedrigem Widerstand zu der p-Typ-Bodyregion **2** ist in der Figur links von der n-Typ-Emitterregion **3** so ausgebildet, dass sie von der n-Typ-Emitterregion **3** beabstandet ist. Beispielsweise ist die p^+-Verunreinigungsdiffusionsregion **6** beispielsweise so ausgebildet, dass sie eine Konzentration von ungefahr 1×10^{18} bis 1×10^{20} cm^{-3} und eine Diffusionstiefe ausgehend von der ersten Hauptoberfläche aufweist, welche kleiner oder gleich der Tiefe der n-Typ-Emitterregion **3** ist.

[0241] Die Gateelektrode **5a** ist auf der ersten Hauptoberflache mit dem dazwischengefugten Gateisolationsfilm **4** so ausgebildet, dass sie der p-Typ-Bodyregion **2** gegenuberliegt, welche zwischen die n^--Driftschicht **1** und die n-Typ-Emitterregion **3** gefügt ist. Die Gateelektrode **5a** erstreckt sich zum rechten Ende in der Figur und liegt der n^--Driftschicht **1** mit der Gateisolationsschicht dazwischen auf der rechten Seite in der Figur gegenuber.

[0242] Diese n^--Driftschicht **1**, n-Typ-Emitterregion **3** und Gateelektrode **5a** bilden zusammen einen Isoliertgatetyp Feldeffekttransistorabschnitt (hier im folgenden als ein MOS-Transistor bezeichnet), in dem die n^--Driftschicht **1** als eine Drain verwendet wird, die n-Typ-Emitterregion **3** als eine Source verwendet wird und ein Abschnitt der p-Typ-Bodyregion **2**, der der Gateelektrode **5a** mit der Gateisolationsschicht **4** dazwischen gegenüberliegt, als ein Kanal verwendet wird.

[0243] Die Isolationsschicht **9** und die Emitterelektrode **11** sind auf der ersten Hauptoberflache ausgebildet. Die Isolationsschicht **9** bedeckt die n-Typ-Emitterregion **3** und die p-Typ-Bodyregion auf der ersten Hauptoberflache und die Gateelektrode **5a**. Die Emitterelektrode **11** bedeckt die p^+-Verunreinigungsdiffusionsregion **9** und die Isolationsschicht **9** und legt ein Emitterpotential E an die p^+-Verunreinigungsdiffusionsregion **6** und die n-Typ-Emitterregion **3** an.

[0244] Weiterhin sind die n-Typ-Pufferregion **7** und die p-Typ-Kollektorregion **8** in dieser Reihenfolge auf der zweiten Hauptoberflachenseite der n^--Driftschicht **1** ausgebildet. Die Kollektorelektrode **12**, die ein Kollektorpotential C anlegt, ist elektrisch mit der p-Typ-Kollektorregion **7** verbunden.

[0245] Bei der vorliegenden Ausführungsform ist die Spitzendichte in der Grenzfläche zwischen dem Halbleitersubstrat und der Kollektorelektrode **12** (d. h. die Grenzflache zwischen der p-Typ-Kollektorregion **8** und der Kollektorelektrode **12**) nicht kleiner als 0 und nicht größer als 3×10^8 Einheiten/cm^2.

[0246] Der in Fig. 80 gezeigte Aufbau unterscheidet sich von dem Aufbau in Fig. 79 darin, dass die p-Typ-Bodyregion **2** in dem Bereich (naher zu der zweiten Hauptoberflache), in dem die Isolationsschicht **9** in der Draufsicht nicht ausgebildet ist, tiefer ausgebildet ist. Solch eine p-Typ-Bodyregion **2** wird ausgebildet

SDC EX. 1002 - 370/486

durch Hinzufugen des Arbeitsgangs des Implantierens von p-Typ-Verunreinigungen in die erste Hauptoberflache unter Verwendung der Isolationsschicht **9** als eine Maske.

[0247] Der in Fig. 81 gezeigte Aufbau unterscheidet sich von dem in Fig. 79 gezeigten Aufbau darin, dass eine n-Typ-Verunreinigungsdiffusionsregion **14a** innerhalb der n^--Driftschicht **1** so ausgebildet ist, dass sie an die Seitenflache der p-Typ-Bodyregion **2** angrenzt.

[0248] Der in Fig. 82 gezeigte Aufbau unterscheidet sich von dem Aufbau in Fig. 81 darin, dass die p-Typ-Bodyregion **2** in der Region (näher zu der zweiten Hauptoberflache), in der die Isolationsschicht **9** in der Draufsicht nicht ausgebildet ist, tiefer ausgebildet ist.

[0249] Der in Fig. 83 gezeigte Aufbau unterscheidet sich von dem Aufbau in Fig. 81 darin, dass die n-Typ-Verunreinigungsdiffusionsregion **14a** innerhalb der n^--Driftschicht **1** so weiter ausgebildet ist, dass sie an den Boden der p-Typ-Bodyregion **2** angrenzt.

[0250] Die n-Typ-Verunreinigungsdiffusionsregion **14a** ist benachbart zu der p-Typ-Bodyregion **2** ausgebildet, wie in Fig. 81–Fig. 83 gezeigt, was einen Anstieg in der Ladungsträgerkonzentration auf der Emitterseite (erste Hauptoberflächenseite) in dem Fall bewirkt, in dem der IGBT in dem AN-Zustand ist, wie in Fig. 84 gezeigt. Folglich können die Eigenschaften des IGBT verbessert werden. Fig. 85 ist ein Diagramm, das jeweils die Beziehung zwischen V_{CE} und J_C zeigt, wenn eine n-Typ-Verunreinigungsdiffusionsregion ausgebildet ist und nicht ausgebildet ist. Bezug nehmend auf Fig. 85 ist eine Emitter-Kollektorspannung V_{CE} bezuglich der Stromdichte J_C in dem Fall verringert, in dem die n-Typ-Verunreinigungsdiffusionsregion **14a** ausgebildet ist.

[0251] Fig. 86 ist ein Diagramm, das die Beziehung von S_{N14a}/S_{N-} zu $V_{CE}(sat)$, $J_{C,Break}$ und $V_{G,Break}$ gemaß der sechsten Ausführungsform der vorliegenden Erfindung zeigt. In diesem Fall stellt S_{N14a}/S_{N-} ein Verhältnis der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, welche die n-Typ-Verunreinigungsdiffusionsregion **14a** (Atome/cm^2) ausbilden, S_{N14a} zu der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die n^--Driftschicht **1** (Atome/cm^2) ausbilden, S_{N-} dar. $J_{C,Break}$ stellt eine Stromdichte dar, die eine Betriebsunterbrechung der Vorrichtung in dem RBSOA(sicherer Betriebsbereich bei Sperrvorspannung)-Modus gestattet und $V_{G,Break}$ stellt eine Gatespannung dar, welche eine Betriebsunterbrechung der Vorrichtung in dem SCSOA(sicherer Arbeitsbereich bei Kurzschluss)-Modus erlaubt. Bezug nehmend auf Fig. 86 kann unter der Bedingung, dass $0 < S_{N14a}/S_{N-} \leq 20$ ist, ein hohes Betriebsunterbrechungsvermogen erzielt werden und eine verringerte Kollektor-Emitter-Spannung $V_{CE}(sat)$ kann ebenfalls erzielt werden. Deshalb ist es vorzuziehen, dass die n-Typ-Verunreinigungsdiffusionsregion **14a** der Bedingung $0 < S_{N14a}/S_{N-} \leq 20$ genugt zum Verringern der AN-Spannung, während RBSOA und SCOR sichergestellt werden.

Siebte Ausfuhrungsform

[0252] Fig. 87 ist eine Draufsicht, die das Layout der Halbleitervorrichtung gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt. Fig. 88 ist eine Querschnittsansicht entlang einer Linie LXXXVIII-LXVIII in Fig. 87. Fig. 89 ist eine Querschnittsansicht entlang einer Linie LXXXIX-LXXXIX in Fig. 87. Fig. 90 zeigt eine Verunreinigungskonzentrationsverteilung entlang einer Linie XC-XC in Fig. 88. Der mit Diagonallinien markierte Abschnitt in Fig. 87 ist eine Region, in der eine p-Typ-Verunreinigungsdiffusionsregion **41** ausgebildet ist. Obwohl lediglich eine Gatefurche **1a** (durch gestrichelte Linien in der Figur dargestellt), die entlang einer Gateelektrodenverdrahtung **11a** ausgebildet ist, in Fig. 87 gezeigt ist, sind tatsächlich eine Mehrzahl von Gatefurchen **1a** (oder Emitterfurchen **1b**) entlang jeder Gateelektrodenverdrahtung **11a** ausgebildet. Bezug nehmend auf Fig. 87–Fig. 90 wird sodann der Aufbau des IGBT gemäß der vorliegenden Ausfuhrungsform beschrieben.

[0253] Insbesondere Bezug nehmend auf Fig. 87 sind die Emitterelektroden **11** und die Gateelektrodenverdrahtungen **11a** abwechselnd in der lateralen Richtung in der Figur angeordnet und erstrecken sich in der vertikalen Richtung in der Figur. Eine Gateanschlussflache **28** zum elektrischen Verbinden mit einer anderen Verdrahtung ist in dem unteren Ende der Gateelektrodenverdrahtung **11a** vorgesehen, die in dem Mittelabschnitt des Chips in der Figur angeordnet ist. Weiterhin ist die Mehrzahl der Gatefurchen **1a** direkt unterhalb der Gateelektrodenverdrahtung **11a** in der Vertikalrichtung in der Figur und entlang der Richtung, in der sich die Gateelektrodenverdrahtung **11a** erstreckt, angeordnet. Die Mehrzahl der Gatefurchen **1a**, von denen jede in der Draufsicht eine Rechteckgestalt hat, ist entlang der Richtung, in der sich die kurze Seite des Rechtecks erstreckt (die Vertikalrichtung in der Figur), angeordnet. Die p-Typ-Bodyregion **2** und die n-Typ-Verunreinigungsdiffusionsregion **14** sind zwischen den Gatefurchen **1a** ausgebildet, die in der Vertikalrichtung in der Figur benachbart zueinander sind. Weiterhin ist zwischen den Emitterelektroden **11**, welche in der lateralen Richtung in der Figur (d. h. an dem Ende des Gategrabens **1a**) benachbart zueinander sind, eine p-Typ-Verunreinigungsdiffusionsregion **41** (eine Wannenschicht) ausgebildet. Die p-Typ-Verunreinigungsdiffusionsregion **51** dehnt sich unmittelbar unterhalb der Gateelektrodenverdrahtung **11a** entlang der Emitterelektrode **11** in der Vertikalrichtung in der Figur aus.

SDC EX. 1002 - 371/486

[0254] Insbesondere Bezug nehmend auf Fig. 88 ist zwischen der p-Typ-Bodyregion **2** und der n^--Driftschicht **1** eine n-Typ-Verunreinigungsdiffusionsregion **14** ausgebildet. Wie in Fig. 90 gezeigt ist, ist die n-Typ-Verunreinigungsdiffusionsregion **14** in der Verunreinigungskonzentration höher als die n^--Driftschicht **1**. Wenn die n-Typ-Verunreinigungsdiffusionsregion **14** vorhanden ist, dann ragt zumindest die Gatefurche **1a** oder die Emitterfurche **1b** (z. B. Fig. 40) bezüglich der Position, an der die Verunreinigungskonzentration in der n-Typ-Verunreinigungsdiffusionsregion **14** 1×10^{16} cm^{-3} erreicht, zu der zweiten Hauptoberflache hin hervor, was die Aufrechterhaltung einer hohen Spannungsfestigkeit (BV_{CES}) erlaubt. Der in Fig. 88 gezeigte Aufbau ist im Wesentlichen der gleiche wie jener der Struktur D, die in Fig. 39 gezeigt ist.

[0255] Insbesondere Bezug nehmend auf Fig. 89 erstreckt sich die Gateelektrode **5a**, welche die Gatefurche **1a** ausfüllt, ebenfalls auf der ersten Hauptoberflache, welche außerhalb der Gatefurche **1a** angeordnet ist, und ist an ihrem sich erstreckenden Abschnitt mit der Gateelektrodenverdrahtung **11a** elektrisch verbunden. Die Barrierenmetallschicht **11** ist unter der Gateelektrodenverdrahtung **11a** angeordnet und die Silizidschicht **21a** ist in der Region ausgebildet, in der die Barrierenmetallschicht **10** und die Gateelektrode **5a** in Kontaktmiteinander sind. Eine Passivierungsschicht **15** ist auf der Gateelektrodenverdrahtung **11a** und der Emitterelektrode **11** ausgebildet. Die p-Typ-Verunreinigungsdiffusionsregion **41** erstreckt sich tiefer als die Gatefurche **1a** (zu der zweiten Hauptoberflache hin).

[0256] Obwohl jede in Fig. 87 gezeigte Furche einer Gatefurche **1a** entspricht, die mit der Gateelektrode **5a** ausgefullt ist, muss zumindest eine der Furchen lediglich als eine Gatefurche dienen und die anderen Furchen konnen als Emitterfurchen dienen.

[0257] Bezug nehmend auf Fig. 88 ist der Abstand zwischen der Gatefurche **1a** und einer weiteren dazu benachbarten Furche (Gatefurche **1a** auf der rechten Seite in der Figur) als ein Rasterabstand X definiert. Weiterhin ist die Tiefe von der ersten Hauptoberflache des Halbleitersubstrats zum Boden der Gatefurche **1a**, die einen Gategraben bildet, als eine Tiefe Y definiert. Der Betrag, um den die Gatefurche **1a** aus der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n-Typ-Verunreinigungsdiffusionsregion **14** (die Ubergangsebene zwischen der p-Bodyregion **2** und der n^--Driftschicht **1**, wenn die n-Typ-Verunreinigungsdiffusionsregion **14** nicht ausgebildet ist) ragt, ist als ein Uberragbetrag D_T definiert. Weiter Bezug nehmend auf Fig. 89 ist der Abstand (die Tiefe) von der Übergangsebene zwischen der p-Typ-Verunreinigungsdiffusionsregion **41** und der n^--Driftschicht **1** zu dem Boden der Gatefurche **1a** definiert als eine Tiefe $D_{T,Pwell}$.

[0258] Der Erfinder der vorliegenden Anmeldung hat herausgefunden, dass die Spannungsfestigkeit (Durchbruchsspannung) des IGBT verbessert werden kann durch das Ausfuhren des Grabengates in dem IGBT mit einer Grabengatestruktur unter den folgenden Bedingungen verbessert werden kann.

[0259] Fig. 91 ist ein Diagramm, das die Beziehung zwischen Y/X und BV_{CES} gemäß der siebten Ausführungsform der vorliegenden Erfindung zeigt. Wenn, Bezug nehmend auf Fig. 91, die Tiefe Y ausgehend von der ersten Hauptoberflache des Halbleitersubstrats zu dem Boden der Gatefurche **1a**, die einen Gategraben ausbildet, größer ist als der Abstand zwischen der Gatefurche **1a** und einer weiteren dazu benachbarten Furche (d. h. unter der Bedingung $1{,}0 \leq Y/X$), dann kann eine hohe Durchbruchsspannung BV_{CES} erzielt werden.

[0260] Fig. 92 ist ein Diagramm, das die Beziehung zwischen D_T und BV_{CES} und die Beziehung zwischen D_T und $E_{P/CS}$ oder $E_{P/N-}$ gemaß der siebten Ausführungsform der vorliegenden Erfindung zeigt. In diesem Fall stellt $E_{P/CS}$ eine elektrische Feldstarke in der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n-Typ-Verunreinigungsdiffusionsregion **14** dar. $E_{P/N-}$ stellt eine elektrische Feldstärke in der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n^--Driftschicht **1** in dem Fall dar, in dem die n-Typ-Verunreinigungsdiffusionsregion **14** nicht ausgebildet ist. Bezug nehmend auf Fig. 92 ist in dem Fall, in dem der Uberragbetrag D_T der Gatefurche **1a** ausgehend von der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n-Typ-Verunreinigungsdiffusionsregion **14** gleich $1{,}0\ \mu m \leq D_T$ ist, die elektrische Feldstarke $E_{P/CS}$ oder $E_{P/N-}$ verringert und die Durchbruchsspannung BV_{CES} ist erhöht.

[0261] Fig. 93 ist ein Diagramm, das die Beziehung von $D_{T,Pwell}$ zu BV_{CES} und ΔBV_{CES} gemäß der siebten Ausführungsform der vorliegenden Erfindung zeigt. In diesem Falls stellt ΔBV_{CES} einen Wert dar, der erhalten wird durch Subtrahieren von BV_{CES} in dem Fall, in dem das Gatepotential auf –20 V gesetzt ist, von BV_{CES} in dem Fall, in dem das Gatepotential auf 0 V (gleich dem Emitterpotential) gesetzt ist. Wenn, Bezug nehmend auf Fig. 93 die Tiefe $D_{T,Pwell}$ von der Bodenflache der Gatefurche **1a** zu der Bodenflache der p-Typ-Verunreinigungsdiffusionsregion **41** (Übergangsebene zwischen der p-Typ-Verunreinigungsdiffusionsregion **41** und der n^--Driftschicht **1**) gleich $D_{T,Pwell} \leq 1{,}0\ \mu m$ ist, dann ist die Durchbruchsspannung BV_{CES} erhöht und der Durchbruchsspannungsschwankungsbetrag ΔBV_{CES} ist ebenfalls auf niedrige Werte herabgedrückt.

[0262] Wie oben beschrieben, kann die Spannungsfestigkeit des IGBT verbessert werden durch Herstellen der Gatefurche **1a** und der Emitterfurche **1b** der-

SDC EX. 1002 - 372/486

gestalt, dass die Bedingung $1,0 \leq Y/X$, $1,0\ \mu m \leq D_T$ oder $0 < D_{T,Pwell} \leq 1,0\ \mu m$ erfüllt ist.

[0263] Obwohl in Fig. 88 der Aufbau beschrieben wurde, bei dem die n-Typ-Verunreinigungsdiffusionsregion **14** vollstandig zwischen Gatefurchen **1a** ausgebildet ist, kann die n-Typ-Verunreinigungsdiffusionsregion **14** lediglich in einem Abschnitt zwischen einer Mehrzahl von Furchen ausgebildet sein, wie in Fig. 95 und Fig. 96 gezeigt, die unten erlautert werden.

[0264] Fig. 94 und Fig. 95 sind jeweils schematische Querschnittsansichten, die jede Art des Aufbaus des Grabengate-IGBT gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigen. In dem in Fig. 94 gezeigten Aufbau ist die n-Typ-Verunreinigungsdiffusionsregion **14** lediglich um den Gategraben herum ausgebildet. Die n-Typ-Verunreinigungsdiffusionsregion **14** ist so ausgebildet, dass sie in Kontakt zu der Gatefurche **1a**, jedoch nicht zu der Emitterfurche **1b** gebracht wird. Im Gegensatz dazu ist in dem in Fig. 95 gezeigten Aufbau die n-Typ-Verunreinigungsdiffusionsregion **14** lediglich um den Emittergraben herum ausgebildet. Die n-Typ-Verunreinigungsdiffusionsregion **14** ist so ausgebildet, dass sie in Kontakt mit jeder der beiden Emitterfurchen **1b** aber nicht in Kontakt mit der Gatefurche **1a** gebracht wird.

[0265] Es soll erwahnt werden, dass, da die anderen Aufbauten als jene, die oben beschrieben wurden, nahezu gleich dem Aufbau der in Fig. 40 gezeigten Struktur E sind, die gleichen Komponenten durch die gleichen Bezugszeichen bezeichnet sind und eine Beschreibung derselben nicht wiederholt wird.

[0266] Der Erfinder der vorliegenden Anmeldung hat herausgefunden, dass die Kollektor-Emitterspannung verringert werden kann und die Durchbruchsenergie verbessert werden kann durch Einstellen der Weite der n-Typ-Verunreinigungsdiffusionsregion **14** und des Abstands von der Emitterfurche **1b**.

[0267] Fig. 95 ist ein Diagramm, das die Beziehungen von W_{CS} und X_{CS} zu V_{CE} und E_{SC} zeigt. In diesem Fall stellt W_{CS} eine Breite der n-Typ-Verunreinigungsdiffusionsregion **14** in der Region dar, die in der Draufsicht um die Emitterfurche **1b** herum vorhanden ist, und X_{CS} stellt einen Abstand von der Emitterfurche **1b** zu dem Ende der n-Typ Verunreinigungsdiffusionsregion **14** dar. Wenn, Bezug nehmend auf Fig. 96, für die Breite W_{CS} der n-Typ-Verunreinigungsdiffusionsregion **14** gleich $6\ \mu m \leq W_{CS} \leq 9\ \mu m$ gilt oder fur den Abstand X_{CS} von der Emitterfurche **1b** zu dem Ende der n-Typ-Verunreinigungsdiffusionsregion **14** gleich $0,5\ \mu m \leq X_{CS} \leq 2\ \mu m$ gilt, dann ist die Kollektor-Emitter-Spannung V_{CE} erniedrigt und eine während eines starken Kurschlusses erhaltene Durchbruchsenergie E_{SC} wird erzielt.

[0268] Fig. 97 ist ein Diagramm, das das ebene Layout der n-Typ-Emitterregion **3** und der p^+-Verunreinigungsdiffusionsregion **6** in der Halbleiterregion gemaß der siebten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 97 erstrecken sich die Gateelektrode **5a** und die Emitterleitungsschicht **5b** jeweils in der vertikalen Richtung in der Figur, und die n-Typ-Emitterregion **3** ist zwischen der Gateelektrode **5a** und der Emitterleitungsschicht **5b** und zwischen den Emitterleitungsschichten **5b** ausgebildet. Die n-Typ-Emitterregion **3** erstreckt sich in der vertikalen Richtung in der Figur und die p^+-Verunreinigungsdiffusionsregionen **6** sind in regelmaßigen Intervallen in der Region angeordnet, die zwischen den n-Typ-Emitterregionen **3** liegt. Wie in Fig. 98 gezeigt, können weiterhin die n-Typ-Emitterregion **3** und die p^+-Verunreinigungsdiffusionsregion **6** abwechselnd in der Richtung ausgebildet sein, in der sich die Gateelektrode **5a** oder die Emitterleitungsschicht **5b** erstrecken (in der vertikalen Richtung in der Figur).

[0269] Wie in Fig. 97 und Fig. 98 gezeigt, ist die Breite der n-typ-Emitterregion **3** entlang der Richtung, in der sich die Gateelektrode **5a** erstreckt, als W_{SO} definiert und die Breite der P^+-Verunreinigungsdiffusion **6** entlang der Richtung, in der sich die Gateelektrode **5a** erstreckt, ist als W_{PC} definiert. Der Erfinder der vorliegenden Anmeldung hat herausgefunden, dass die Kollektor-Emitter-Spannung erniedrigt werden kann und die Durchbruchsenergie verbessert werden kann durch Beeinflussen der Beziehung zwischen W_{SO} und W_{PC}.

[0270] Fig. 99 ist ein Diagramm, das die Beziehung von α zu V_{CE}(sat) und E_{SC} gemaß der siebten Ausfuhrungsform der vorliegenden Erfindung zeigt. In diesem Fall stellt α(%) einen Wert dar, der definiert ist durch den Ausdruck $\alpha = (W_{SO}/W_{SO} + W_{PC}) \times 100$. Wenn, Bezug nehmend auf Fig. 99, α in dem Bereich $8,0\% \leq \alpha \leq 20,0\%$ liegt, dann werden eine niedrige Kollektor-Emitterspannung V_{CE}(sat) und eine hohe Durchbruchsenergie E_{SC} erzielt.

Achte Ausführungsform

[0271] Fig. 100 ist ein Diagramm, das in schematischer Weise das ebene Layout der Gateanschlussfläche gemaß der achten Ausführungsform der vorliegenden Erfindung zeigt. Bezug nehmend auf Fig. 100 wird bei der vorliegenden Ausführungsform ein Teil des Strompfades der Gateelektrodenverdrahtung **11a** (Fig. 87) durch einen Widerstandskorper **28a** mit einem lokal hohen Widerstand ausgebildet. In Fig. 100 ist ein Teil der Gateanschlussfläche **28** zum elektrischen Verbinden der Verdrahtung (Oberflachengateverdrahtung) und der Gateelektrodenverdrahtung **11a** durch Widerstandskörper **28a** ausgebildet. Jeder der Widerstandskörper **28a** ragt durch die Öffnung, die in dem Mittelabschnitt

SDC EX. 1002 - 373/486

der Gateanschlussfläche **28** vorgesehen ist, so hervor, dass sie einander gegenuber liegen. Der Widerstandskorper **28a** kann die gleiche Struktur wie die Gateelektrode **5a** aufweisen, wie beispielsweise in Fig. 1 oder Fig. 75 gezeigt ist.

[0272] Die Fig. 101 und Fig. 102 sind jeweils Diagramme zum Veranschaulichen des Oszillationsphanomens der Gatespannung. Gemaß dem MOS-Transistor und dem IGBT mit einer Grabengatestruktur verursacht einen Anstieg in der Schaltgeschwindigkeit ein Oszillieren der Kollektor-Emitter-Spannung V_{CE} während der Schwankung eines Stroms I_c, wie in Fig. 101 gezeigt. Dies wird verursacht durch die Tatsache, dass eine LCR-Schaltungskonstante erhalten wird, welche eine Oszillation der Vorrichtung verursacht. Folglich wird der Widerstandskorper **28a** angeordnet zum Erzielen einer LCR-Schaltungskonstante, welche kaum eine Oszillation der Vorrichtung bewirkt. Folglich kann das Oszillationsphanomen einer Gatespannung V_{ge} unterdruckt werden, wie in Fig. 102 gezeigt.

Neunte Ausfuhrungsform

[0273] Zum Verbessern der $V_{CE}(sat)$-E_{OFF}-Eigenschaften bei dem IGBT ist es wirkungsvoll, eine Dicke der n^--Driftschicht **1** zu verringern. Eine Verringerung in der Dicke der n^--Driftschcht **1** macht es jedoch schwierig, eine hohe Spannungsfestigkeit zu implementieren. Somit schenkt der Erfinder der vorliegenden Anmeldung der Beziehung zwischen der elektrischen Feldstarke $E_{P/CS}$ in der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n-Typ-Verunreinigungsdiffusionsregion **14** (elektrische Feldstärke $E_{P/N-}$ in der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n^--Driftschicht **1**, wenn die n-Typ-Verunreinigungsdiffusionsregion **14** nicht ausgebildet ist) und der elektrischen Feldstarke $E_{N/N-}$ in der Ubergangsebene zwischen der n-Typ-Pufferregion **7** und der n^--Driftschicht **1** Beachtung, um dabei herauszufinden, dass die Spannungsfestigkeit des IGBT verbessert werden kann.

[0274] Fig. 103 ist ein Diagramm, das in schematischer Weise die elektrische Feldstarkenverteilung entlang einer Linie XIX-XIX in Fig. 1 gemaß der neunten Ausfuhrungsform der vorliegenden Erfindung zeigt, wenn eine Vorspannung in Sperrrichtung geringfugig niedriger ist als die Durchbruchsspannung des Hauptubergangs in dem IGBT. Fig. 104 ist ein Diagramm, das die Beziehung zwischen der elektrischen Feldstarke und der Durchbruchsspannung in der Ubergangsebene gemaß der neunten Ausfuhrungsform der vorliegenden Erfindung zeigt.

[0275] Wenn, Bezug nehmend auf Fig. 103, eine Vorspannung in Sperrrichtung anliegt, die geringfugig niedriger ist als die Durchbruchsspannung an dem Hauptübergang des IGBT, dann nimmt das in dem Halbleiter erhaltene elektrische Feld schnell in der Region von der ersten Hauptoberfläche des Halbleitersubstrates zu der Ubergangsebene zwischen der p-Typ-Bodyregion **2** und der n^--Driftschicht **1** zu und danach allmahlich innerhalb der n^--Driftschicht **1** ab, woraufhin ein rascher Abfall in der n^--Driftschicht **1** und der n-Typ-Pufferschicht **7** folgt. Weiterhin erreicht das elektrische Feld in der p-Typ-Bodyregion **2** und der n-Typ-Pufferregion **7** den Wert 0. Bezug nehmend auf Fig. 104 wird eine hohe Durchbruchsspannung BV_{CES} erzielt, wenn die elektrische Feldstärke $E_{P/N-}$ in der Ubergangsebene zwischen der n^--Driftschicht **1** und der p-Typ-Bodyregion **2** gleich $0 < E_{P/N-} \leq 3{,}0 \times 10^{15}$ (V/cm) ist. Weiterhin wird eine hohe Durchbruchsspannung BV_{CES} erzielt, wenn die elektrische Feldstarke $E_{N/N-}$ in der Ubergangsebene zwischen der n-Typ-Pufferregion **7** und der n^--Driftschicht **1** gleich $2{,}0 \times 10^{14} \leq E_{N/N-}$ (V/cm) ist. Es ist vorzuziehen, dass $E_{N/N-}$ nicht großer als $E_{P/N-}$ ist.

[0276] Es sollte erwähnt werden, dass die Struktur oder der Wertebereich, die in jeder der ersten bis achten Ausfuhrungsformen beschrieben wurden, in zweckmäßiger Weise miteinander kombiniert werden können.

[0277] Es sollte verstanden werden, dass die hier offenbarten Ausfuhrungsformen erläuternd sind und in jeder Hinsicht nicht einschränkend sind. Der Umfang der vorliegenden Erfindung wird eher durch die Begriffe der Anspruche definiert als durch die obige Beschreibung und es ist beabsichtigt, jede Abwandlung und Abanderung innerhalb des Umfangs und der Bedeutung, die aquivalent zu den Begriffen der Ansprüche sind, einzuschließen:

INDUSTRIELLE ANWENDBARKEIT

[0278] Die vorliegende Erfindung ist geeignet als eine Halbleitervorrichtung mit hoher Spannungsfestigkeit, die für den Parallelbetrieb geeignet ist, und insbesondere als eine Halbleitervorrichtung mit einem IGBT.

SDC EX. 1002 - 374/486

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2004-247593 [0009, 0010]
- JP 2006-49933 [0010]
- JP 2002-359373 [0010, 0010]
- JP 09-260662 [0010, 0010]
- US 6815767 [0010, 0010]
- US 6953968 [0010, 0010]
- US 6781199 [0010, 0010]
- JP 2006-049933 [0010]
- US 6040599 [0198]

SDC EX. 1002 - 375/486

Patentansprüche

1. Halbleitervorrichtung mit:
einem Halbleitersubstrat mit einer ersten Hauptoberfläche und einer zweiten Hauptoberfläche, die einander gegenuberliegen; und
einem Element mit einer Gateelektrode (**5a**), die auf einer Seite der ersten Hauptoberfläche ausgebildet ist, eine erste Elektrode (**11**), die auf der Seite der ersten Hauptoberfläche ausgebildet ist, und eine zweite Elektrode (**12**), die in Kontakt mit der zweiten Hauptoberflache ausgebildet ist,
wobei das Element ein elektrisches Feld in einem Kanal durch eine an der Gateelektrode anliegende Spannung erzeugt und einen Strom zwischen der ersten Elektrode und der zweiten Elektrode durch das elektrische Feld in dem Kanal steuert, und
eine Spitzendichte in einer Grenzflache zwischen dem Halbleitersubstrat und der zweiten Elektrode nicht kleiner als 0 und nicht größer als 3×10^8 Einheiten/cm^2 ist.

2. Die Halbleitervorrichtung nach Anspruch 1, wobei in der Grenzflache zwischen dem Halbleitersubstrat und der zweiten Elektrode (**12**) keine Spitze vorhanden ist.

3. Die Halbleitervorrichtung nach Anspruch 1, wobei die zweite Elektrode (**12**) eine Schichtdicke von nicht weniger als 200 nm und nicht mehr als 10.000 nm aufweist.

4. Halbleitervorrichtung nach Anspruch 1, bei der die zweite Elektrode aus einem Material besteht, das zumindest eines oder mehrere beinhaltet, die aus der Gruppe ausgewahlt sind, welche aus Al, AlSi, Ti und Metall enthaltendem Silizid-Al besteht.

5. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend eine Kollektorregion, die auf der zweiten Hauptoberfläche ausgebildet ist, wobei die Kollektorregion eine Kollektordiffusionsschicht (**8**) eines ersten Leitungstyps in Kontakt zu der zweiten Elektrode (**12**) beinhaltet sowie eine Pufferdiffusionsschicht (**7**) eines zweiten Leitungstyps, die naher zu der ersten Hauptoberfläche hin ausgebildet ist als die Kollektordiffusionsschicht.

6. Die Halbleitervorrichtung nach Anspruch 5, bei der eine Verunreinigungskonzentration ($C_{S,P}$) der Kollektordiffusionsschicht in einer Grenzflache zwischen der zweiten Elektrode (**12**) und der Kollektordiffusionsschicht (**8**) nicht geringer als $5{,}0 \times 10^{15}$ cm^{-3} und nicht großer als $1{,}0 \times 10^{22}$ cm^{-3} ist.

7. Die Halbleitervorrichtung nach Anspruch 5, bei der ein Maximalwert ($C_{P,P}$) eine Verunreinigungskonzentration der Kollektordiffusionsschicht (**8**) nicht geringer als $1{,}0 \times 10^{16}$ cm^{-3} und nicht größer als $1{,}0 \times 10^{22}$ cm^{-3} ist.

8. Die Halbleitervorrichtung nach Anspruch 5, bei der eine Tiefe (D_P) von der zweiten Hauptoberfläche zu einer Übergangsebene zwischen der Kollektordiffusionsschicht (**8**) und der Pufferdiffusionsschicht (**7**) großer als 0 und nicht großer als 1,0 µm ist.

9. Die Halbleitervorrichtung nach Anspruch 5, bei der
die Kollektorregion weiterhin eine Driftdiffusionsschicht (**1**) des zweiten Leitungstyps beinhaltet und die Driftdiffusionsschicht in der Verunreinigungskonzentration niedriger ist als die Pufferdiffusionsschicht (**7**) und angrenzend an die Pufferdiffusionsschicht und naher zu der ersten Hauptoberfläche hin als die Pufferdiffusionsschicht ausgebildet ist, und
eine Tiefe (D_{N-}) von der zweiten Hauptoberflache zu einer Ubergangsebene zwischen der Pufferdiffusionsschicht (**7**) und der Driftdiffusionsschicht (**1**) nicht geringer als 0,4 µm und nicht größer als 50 µm ist.

10. Die Halbleitervorrichtung nach Anspruch 5, bei der eine Ladungstragerlebensdauer (τ_N) in der Pufferdiffusionsschicht (**7**) geringer als eine Ladungstragerlebensdauer (τ_P) in der Kollektordiffusionsschicht (**8**) ist.

11. Die Halbleitervorrichtung nach Anspruch 5, bei der
die Kollektorregion weiterhin eine Driftdiffusionsschicht (**1**) des zweiten Leitungstyps aufweist und die Driftdiffusionsschicht niedriger, in der Verunreinigungskonzentration ist als die Pufferdiffusionsschicht (**7**) und angrenzend an die Pufferdiffusionsschicht und näher zu der ersten Hauptoberfläche hin als die Pufferdiffusionsschicht ausgebildet ist, und
eine Ladungstragerlebensdauer (τ_x) in einem Bereich einer Tiefe von nicht weniger als 0,50 µm und nicht mehr als 60,0 µm ausgehend von der zweiten Hauptoberfläche geringer ist als eine Ladungstragerlebensdauer (τ_{N-}) in der Driftdiffusionsschicht (**1**).

12. Die Halbleitervorrichtung nach Anspruch 5, bei der die Kollektordiffusionsschicht (**8**) eine niedrigere Aktivierungsrate aufweist als die Pufferdiffusionsschicht (**7**).

13. Die Halbleitervorrichtung nach Anspruch 5, bei der eine Aktivierungsrate in der Kollektordiffusionsschicht (**8**) größer als 0 und nicht größer als 90% ist.

14. Die Halbleitervorrichtung nach Anspruch 5, bei der eine Tiefe ($D_{P,N}$) von der zweiten Hauptoberfläche zu einer Position, an der eine Verunreinigungskonzentration der Pufferdiffusionsschicht (**7**) einen Maximalwert erreicht, nicht geringer als 0,40 µm und nicht größer als 50 µm ist.

15. Die Halbleitervorrichtung nach Anspruch 5, bei der ein Verhaltnis ($C_{P,P}/C_{P,N}$) eines Maximalwerts ($C_{P,P}$) einer Verunreinigungskonzentration in

SDC EX. 1002 - 376/486

der Kollektordiffusionsschicht (**8**) zu einem Maximalwert ($C_{P,N}$) einer Verunreinigungskonzentration in der Pufferdiffusionsschicht (**7**) nicht niedriger als 1,0 und nicht großer als $1,0 \times 10^3$ ist.

16. Die Halbleitervorrichtung nach Anspruch 5, bei der
die Kollektorregion weiterhin eine Driftdiffusionsschicht (**1**) des zweiten Leitungstyps enthalt und die Driftdiffusionsschicht eine niedrigere Verunreinigungskonzentration aufweist als die Pufferdiffusionsschicht (**7**) und angrenzend an die Pufferdiffusionsschicht und naher zu der ersten Hauptoberflache zu als die Pufferdiffusionsschicht ausgebildet ist, und
ein Verhaltnis (S_N/S_{N-}) der Anzahl der Atome pro Flacheneinheit der Verunreinigungen, die die Pufferdiffusionsschicht (S_N) bilden, zu der Anzahl der Atome pro Flacheneinheit der Verunreinigungen, die die Driftdiffusionsschicht (S_{N-}) bilden, nicht niedriger als 0,05 und nicht größer als 100 ist.

17. Die Halbleitervorrichtung nach Anspruch 5, bei der die Kollektorregion weiterhin eine Zwischenschicht (**7a**) des zweiten Leitungstyps enthalt und die Zwischenschicht eine niedrigere Verunreinigungskonzentration als die Pufferdiffusionsschicht (**7**) aufweist und angrenzend an die Pufferdiffusionsschicht ausgebildet ist, und ein Verhältnis der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die Zwischenschicht bilden (S_{N*}) zu der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die Pufferdiffusionsschicht bilden (S_N), größer als 0 und nicht großer als 0,50 ist.

18. Die Halbleitervorrichtung nach Anspruch 1, bei der die zweite Hauptoberfläche einen Mittenrauwert (R_a) aufweist, der größer als 0 und nicht größer als 200 nm ist.

19. Die Halbleitervorrichtung nach Anspruch 1, bei der die zweite Hauptoberflache eine Maximalhöhe (R_{max}) aufweist, die großer als 0 und nicht großer als 2.000 nm ist.

20. Die Halbleitervorrichtung nach Anspruch 1, bei der eine Gatefurche (**1a**) in der ersten Hauptoberflache des Halbleitersubstrates ausgebildet ist und die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefüllt ist.

21. Die Halbleitervorrichtung nach Anspruch 20, bei der eine Mehrzahl von Furchen (**1a**, **1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Gatefurche (**1a**) zumindest eine der Mehrzahl der Furchen ist, und ein Verhaltnis (Y/X) einer Tiefe (Y) von der ersten Hauptoberflache zu einem Boden der Gatefurche zu einem Abstand (X) zwischen der Gatefurche und einer weiteren Furche (**1a**, **1b**) benachbart dazu nicht geringer als 1,0 ist.

22. Die Halbleitervorrichtung nach Anspruch 2, bei der
eine Mehrzahl der Furchen (**1a**, **1b**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet ist, wobei die Mehrzahl der Furchen in der Draufsicht in einer Richtung angeordnet ist und die Gatefurche (**1a**) zumindest eine der Mehrzahl der Furchen ist,
wobei die Halbleitervorrichtung weiterhin eine Wannenschicht (**41**) eines ersten Leitungstyps aufweist, die auf der ersten Hauptoberfläche benachbart zu jeder der Mehrzahl der Furchen ausgebildet ist, sich in der in der Draufsicht einen Richtung erstreckt und tiefer ausgebildet ist als jede der Mehrzahl der Furchen, und
eine Tiefe ($D_{T,Pwell}$) von einer Bodenflache der Gatefurche zu einem Boden der Wannenschicht größer als 0 und nicht größer als 1,0 µm ist.

23. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend:
eine Kollektorregion, die an der zweiten Hauptoberfläche ausgebildet ist, wobei die Kollektorregion eine Kollektordiffusionsschicht (**8**) eines ersten Leitungstyps in Kontakt zu der zweiten Elektrode, eine Pufferdiffusionsschicht (**7**) eines zweiten Leitungstyps, die naher zu der ersten Hauptoberflache hin ausgebildet ist als die Kollektordiffusionsschicht, und eine Driftdiffusionsschicht (**1**) des zweiten Leitungstyps beinhaltet und die Driftdiffusionsschicht eine niedrigere Verunreinigungskonzentration aufweist als die Pufferdiffusionsschicht und angrenzend an die Pufferdiffusionsschicht und naher zu der ersten Hauptoberfläche hin als die Pufferdiffusionsschicht ausgebildet ist,
eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die als der Kanal dient, und
eine vergrabene Diffusionsschicht (**14**, **14a**) des zweiten Leitungstyps, die zwischen der Bodydiffusionsschicht und der Driftdiffusionsschicht (**1**) ausgebildet ist.

24. Die Halbleitervorrichtung nach Anspruch 23, bei der eine Furche (**1a**, **1b**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet ist und die Furche bezuglich einer Position, an der die Verunreinigungskonzentration in der vergrabenen Diffusionsschicht (**14**) 1×10^{16} cm^{-3} beträgt, zu der zweiten Hauptoberflache hin hervorragt.

25. Die Halbleitervorrichtung nach Anspruch 23, bei der
eine Gatefurche (**1a**) und eine Emitterfurche (**1b**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet sind, wobei die Gatefurche (**1a**) mit der Gateelektrode (**5a**) ausgefüllt ist und die Emitterfurche (**1b**) mit einer leitenden Schicht (**5b**) mit dem Emitterpotential gefullt ist, und
die vergrabene Diffusionsschicht (**14**) so ausgebildet ist, dass sie in Kontakt zu der Emitterfurche, aber nicht zu der Gatefurche, gebracht ist.

SDC EX. 1002 - 377/486

26. Die Halbleitervorrichtung nach Anspruch 25, bei der die vergrabene Diffusionsschicht (**14**) eine Breite (W_{CS}) von nicht weniger als 6,0 µm und nicht mehr als 9 µm gesehen in der Draufsicht in einer Region aufweist, die um die Emitterfurche (**1b**) herum vorhanden ist.

27. Die Halbleitervorrichtung nach Anspruch **25**, bei der ein Abstand (X_{CS}) von der Emitterfurche (**1b**) zu einem Ende der vergrabenen Diffusionsschicht (**14**) nicht geringer als 0,5 µm und nicht großer als 2 µm ist.

28. Die Halbleitervorrichtung nach Anspruch 23, bei der eine Gatefurche (**1a**) und eine Emitterfurche (**1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet sind, wobei die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefüllt ist und die Emitterfurche (**1b**) mit einer leitenden Schicht (**5b**) mit dem Emitterpotential gefullt ist, und die vergrabene Diffusionsschicht (**14**) so ausgebildet ist, dass sie in Kontakt mit der Gatefurche aber nicht in Kontakt mit der Emitterfurche gebracht ist.

29. Die Halbleitervorrichtung nach Anspruch 23, bei der eine Mehrzahl von Furchen (**1a**, **1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Mehrzahl von Furchen in der Draufsicht betrachtet in einer Richtung angeordnet ist und die vergrabene Diffusionsschicht (**14**) lediglich in einer Region ausgebildet ist, die in der Draufsicht betrachtet zwischen die Furchen gefugt ist.

30. Die Halbleitervorrichtung nach Anspruch 23, weiterhin aufweisend eine Wannenschicht (**41**) des ersten Leitungstyps, die an der ersten Hauptoberfläche angrenzend an die Mehrzahl von Furchen in einer Richtung, in der die Mehrzahl von Furchen angeordnet ist, ausgebildet ist, und sich in der Draufsicht betrachtet einen Richtung erstreckt und tiefer ausgebildet ist als jede der Mehrzahl der Furchen (**1a**, **1b**), wobei die Wannenschicht tiefer ausgebildet ist als die vergrabene Diffusionsschicht (**14**).

31. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend:
eine erste Emitterdiffusionsschicht (**6**) eines ersten Leitungstyps, die an der ersten Hauptoberflache und in Kontakt zu der ersten Elektrode (**11**) ausgebildet ist, und
eine zweite Emitterdiffusionsschicht (**3**) eines zweiten Leitungstyps, die an der ersten Hauptoberfläche und in Kontakt zu der ersten Elektrode und der ersten Emitterdiffusionsschicht ausgebildet ist, wobei
ein Verhaltnis ($W_{PC}/W_{SO} + W_{PC}$) einer Breite (W_{PC}) der ersten Emitterdiffusionsschicht entlang einer Richtung, in der sich die Gateelektrode (**5a**) erstreckt, zu einer Summe aus der Breite (W_{PC}) der ersten Emitterdiffusionsschicht und einer Breite (W_{SO}) der zweiten Emitterdiffusionsschicht entlang der Richtung, in der sich die Gateelektrode erstreckt, nicht kleiner als 0,08 und nicht großer als 0,20 ist.

32. Die Halbleitervorrichtung nach Anspruch 1, bei der ein elektrisches Signal zu der Gateelektrode (**5a**) uber einen Widerstandskorper (**28a**) mit einem lokal hohen elektrischen Widerstandswert ubertragen wird.

33. Die Halbleitervorrichtung nach Anspruch 32, bei der der Widerstandskorper (**28a**) identisch im Aufbau zu der Gateelektrode (**5a**) ist.

34. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend:
eine Kollektorregion (**1**, **7**, **8**, **14**), die an der zweiten Hauptoberfläche ausgebildet ist, und
eine Body-Diffusionsschicht (**2**) eines ersten Leitungstyps, die in Kontakt zu der Kollektorregion ist, und als der Kanal dient, wobei
die Kollektorregion eine Driftdiffusionsschicht (**1**) eines zweiten Leitungstyps beinhaltet und
eine elektrische Feldstärke ($E_{P/N-}$) in einer Übergangsebene zwischen der Driftdiffusionsschicht und der Body-Diffusionsschicht, die erhalten wird, wenn eine Sperrspannung an das Element angelegt wird, großer als 0 und nicht größer als $3{,}0 \times 10^5$ V/cm ist

35. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend:
eine Kollektorregion (**1**, **7**, **8**, **14**), die an der zweiten Hauptoberflache ausgebildet ist, und
eine Body-Diffusionsschicht (**2**) eines ersten Leitungstyps, die in Kontakt zu der Kollektorregion ist und als der Kanal dient, wobei
die Kollektorregion eine Kollektordiffusionsschicht (**8**) des ersten Leitungstyps in Kontakt zu der zweiten Elektrode (**12**), eine Pufferdiffusionsschicht (**7**) eines zweiten Leitungstyps, die naher zu der ersten Hauptoberfläche hin als die Kollektordiffusionsschicht ausgebildet ist, und eine Driftdiffusionsschicht (**1**) des zweiten Zeitungstyps beinhaltet und die Driftdiffusionsschicht eine niedrigere Verunreinigungskonzentration aufweist als die Pufferdiffusionsschicht und angrenzend an die Pufferdiffusionsschicht und naher zu der ersten Hauptoberfläche hin als die Pufferdiffusionsschicht ausgebildet ist, und
eine elektrische Feldstärke ($E_{N/N-}$) in einer Übergangsebene zwischen der Pufferdiffusionsschicht und der Driftdiffusionsschicht, die erhalten wird, wenn eine Sperrspannung an das Element angelegt wird, nicht kleiner als $2{,}0 \times 10^4$ V/cm ist und nicht größer als eine elektrische Feldstarke ($E_{P/N-}$) in einer Ubergangsebene zwischen der Driftdiffusionsschicht und der Body-Diffusionsschicht ist.

36. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend eine Body-Diffusionsschicht (**2**) eines ersten Leitungstyps, die als der Kanal dient, wobei

eine Gatefurche (**1a**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Gatefurche (**1a**) mit der Gateelektrode (**5a**) ausgefüllt ist, und
ein Uberragbetrag (D_T) der Gatefurche ausgehend von einem Boden der Body-Diffusionsschicht nicht geringer als 1,0 µm ist und nicht größer als eine Tiefe ist, welche die zweite Hauptoberfläche erreicht.

37. Die Halbleitervorrichtung nach Anspruch 1, weiterhin aufweisend:
eine Body-Diffusionsschicht (**2**) eines ersten Leitungstyps, die als der Kanal dient, und
eine vergrabene Diffusionsschicht (**14a**) eines zweiten Leitungstyps, die in der Draufsicht betrachtet angrenzend an eine Seitenflache der Body-Diffusionsschicht ausgebildet ist.

38. Die Halbleitervorrichtung nach Anspruch 37, weiterhin aufweisend eine Kollektorregion, die an der zweiten Hauptoberflache ausgebildet ist, wobei
die Kollektorregion eine Driftdiffusionsschicht (**1**) des ersten Leitungstyps angrenzend an die vergrabene Diffusionsschicht und die Body-Diffusionsschicht enthalt, und
ein Verhaltnis (S_{N14a}/S_{N-}) der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die vergrabene Diffusionsschicht bilden (S_{N14a}), zu der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die Driftdiffusionsschicht bilden (S_{N-}) nicht kleiner als 0 und nicht größer als 20 ist.

39. Halbleitervorrichtung mit:
einem Halbleitersubstrat mit einer ersten Hauptoberfläche und einer zweiten Hauptoberfläche, die einander gegenüberliegen,
einem Element mit einer Gateelektrode (**5a**), die auf einer Seite der ersten Hauptoberflache ausgebildet ist, einer ersten Elektrode (**11**), die an der Seite der ersten Hauptoberflache ausgebildet ist, und einer zweiten Elektrode (**12**), die in Kontakt zu der zweiten Hauptoberfläche ausgebildet ist, wobei das Element ein elektrische Feld in einem Kanal durch eine an der Gateelektrode angelegte Spannung erzeugt und einen Strom zwischen der ersten Elektrode und der zweiten Elektrode durch das elektrische Feld in dem Kanal steuert, und
einer Kollektorregion, die an der zweiten Hauptoberfläche ausgebildet ist, wobei die Kollektorregion eine Kollektordiffusionsschicht (**8**) eines ersten Leitungstyps in Kontakt zu der zweiten Elektrode (**12**) beinhaltet, eine Pufferdiffusionsschicht (**7**) eines zweiten Leitungstyps, die näher zu der ersten Hauptoberflache hin ausgebildet ist als die Kollektordiffusionsschicht, und eine Driftdiffusionsschicht des zweiten Leitungstyps, und die Driftdiffusionsschicht eine niedrigere Verunreinigungskonzentration aufweist als die Pufferdiffusionsschicht und angrenzend an die Pufferdiffusionsschicht und näher zu der ersten Hauptoberflache hin als die Pufferdiffusionsschicht ausgebildet ist, wobei
ein Verhältnis der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die Pufferdiffusionsschicht bilden, zu der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die Driftdiffusionsschicht bilden, nicht niedriger als 0,05 und nicht größer als 100 ist.

40. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Spitzendichte in einer Grenzflache zwischen dem Halbleitersubstrat und der zweiten Elektrode nicht geringer als 0 und nicht größer als 3×10^8 Einheiten/cm^2 ist.

41. Die Halbleitervorrichtung nach Anspruch 40, bei der keine Spitze in der Grenzfläche zwischen dem Halbleitersubstrat und der zweiten Elektrode (**12**) vorhanden ist.

42. Die Halbleitervorrichtung nach Anspruch 39, bei der die zweite Elektrode (**12**) eine Schichtdicke von nicht weniger als 200 nm und nicht mehr als 10.000 nm aufweist.

43. Die Halbleitervorrichtung nach Anspruch 39, bei der die zweite Elektrode (**12**) aus einem Material besteht, das zumindest eines oder mehrere Mitglieder enthalt, die aus der Gruppe bestehend aus Al, AlSi, Ti und Silizid enthaltendes Metall ausgewahlt ist.

44. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Verunreinigungskonzentration ($C_{S,P}$) der Kollektordiffusionsschicht in einer Grenzfläche zwischen der zweiten Elektrode (**12**) und der Kollektordiffusionsschicht (**8**) nicht niedriger als $5{,}0 \times 10^{15}$ cm^{-3} und nicht größer als $1{,}0 \times 10^{21}$ cm^{-3} ist.

45. Die Halbleitervorrichtung nach Anspruch 39, bei der ein Maximalwert ($C_{P,P}$) der Verunreinigungskonzentration der Kollektordiffusionsschicht (**8**) nicht geringer als $1{,}0 \times 10^{16}$ cm^{-3} und nicht großer als $1{,}0 \times 10^{21}$ cm^{-3} ist.

46. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Tiefe (D_P) von der zweiten Hauptoberflache zu einer Übergangsebene zwischen der Kollektordiffusionsschicht (**8**) und der Pufferdiffusionsschicht (**7**) größer als 0 ist und nicht größer als 1,0 µm ist.

47. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Tiefe (D_{N-}) von zweiten Hauptoberfläche zu einer Ubergangsebene zwischen der Pufferdiffusionsschicht (**7**) und der Driftdiffusionsschicht (**1**) großer als 0,4 µm und nicht großer als 50 µm ist.

48. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Ladungsträgerlebensdauer (τ_M) in der Pufferdiffusionsschicht (**7**) geringer ist als eine La-

SDC EX. 1002 - 379/486

dungstragerlebensdauer (τ_P) in der Kollektordiffusionsschicht (**8**).

49. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Ladungstragerlebensdauer (τ_x) in einem Bereich einer Tiefe von nicht weniger als 0,50 µm und nicht mehr als 60,0 µm ausgehend von der zweiten Hauptoberfläche geringer ist als eine Ladungstragerlebensdauer (τ_{N-}) in der Driftdiffusionsschicht (**1**).

50. Die Halbleitervorrichtung nach Anspruch 39, bei der die Kollektordiffusionsschicht (**8**) eine niedrigere Aktivierungsrate aufweist als die Pufferdiffusionsschicht (**7**).

51. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Aktivierungsrate in der Kollektordiffusionsschicht (**8**) großer als 0 ist und nicht großer als 90% ist.

52. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Tiefe ($D_{P,N}$) von der zweiten Hauptoberfläche zu einer Position, an der die Verunreinigungskonzentration der Pufferdiffusionsschicht (**7**) einen Maximalwert erreicht, nicht geringer als 0,40 µm und nicht großer als 50 µm ist.

53. Die Halbleitervorrichtung nach Anspruch 39, bei der ein Verhaltnis ($C_{P,P}/C_{P,N}$) eines Maximalwerts ($C_{P,P}$) der Verunreinigungskonzentration in der Kollektordiffusionsschicht (**8**) zu einem Maximalwert ($C_{P,N}$) der Verunreinigungskonzentration in der Pufferdiffusionsschicht (**7**) nicht geringer als 1,0 und nicht größer als $1,0 \times 10^3$ ist.

54. Die Halbleitervorrichtung nach Anspruch 39, bei der das Verhältnis (S_N/S_{N-}) der Anzahl der Atome pro Flacheneinheit der Verunreinigungen, die die Pufferdiffusionsschicht bilden (S_N) zu der Anzahl der Atome pro Flacheneinheit der Verunreinigungen, die die Driftdiffusionsschicht bilden (S_{N-}) nicht geringer als 0,05 und nicht großer als 100 ist.

55. Die Halbleitervorrichtung nach Anspruch 39, bei der die zweite Hauptoberflache einen Mittenrauwert (R_a) aufweist, der größer als 0 ist und nicht großer als 200 nm ist.

56. Die Halbleitervorrichtung nach Anspruch 39, bei der eine maximale Höhe (R_{max}) der zweiten Hauptoberflache größer als 0 ist und nicht großer als 2.000 nm ist.

57. Die Halbleitervorrichtung nach Anspruch 39, bei der eine Gatefurche (**1a**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefüllt ist.

58. Die Halbleitervorrichtung nach Anspruch 57, bei der eine Mehrzahl von Furchen (**1a**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet ist und die Gatefurche (**1a**) zumindest eine der Mehrzahl der Furchen ist, und ein Verhältnis (Y/X) einer Tiefe (Y) von der ersten Hauptoberflache zu einem Boden der Gatefurche zu einem Abstand (X) zwischen der Gatefurche und einer weiteren Furche (**1a**, **1b**) benachbart zu dieser nicht geringer als 1,0 ist.

59. Die Halbleitervorrichtung nach Anspruch 57, wobei
eine Mehrzahl von Furchen (**1a**, **1b**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet ist, die Mehrzahl der Furchen in der Draufsicht betrachtet in einer Richtung angeordnet ist und die Gatefurche (**1a**) zumindest eine der Mehrzahl von Furchen ist,
die Halbleitervorrichtung weiterhin eine Wannenschicht (**41**) des ersten Leitungstyps aufweist, die an der ersten Hauptoberflache benachbart zu jeder der Mehrzahl der Furchen ausgebildet ist, sich in der Draufsicht betrachtet in der einen Richtung erstreckt und tiefer ausgebildet ist als jede der Mehrzahl der Furchen, und
eine Tiefe ($D_{T,Pwell}$) von einer Bodenflache der Gatefurche zu einem Boden der Wannenschicht größer als 0 und nicht größer als 1,0 µm ist.

60. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend:
eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die als der Kanal dient, und
eine vergrabene Diffusionsschicht (**14**, **14a**) des zweiten Leitungstyps, die zwischen der Body-Diffusionsschicht und der Driftdiffusionsschicht (**1**) ausgebildet ist.

61. Die Halbleitervorrichtung nach Anspruch 60, bei der eine Furche (**1a**, **1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Furche bezogen auf eine Position, an der die Verunreinigungskonzentration in der vergrabenen, Diffusionsschicht (**14**) 1×10^6 cm^{-3} erreicht, zu der zweiten Hauptoberflache hin hervorragt.

62. Die Halbleitervorrichtung nach Anspruch 60, bei der
eine Gatefurche (**1a**) und eine Emitterfurche (**1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet sind, wobei die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefullt ist und die Emitterfurche (**1b**) mit einer leitenden Schicht (**5b**) mit dem Emitterpotential gefullt ist, und
die vergrabene Diffusionsschicht (**14**) so ausgebildet ist, dass sie in Kontakt zu der Emitterfurche, aber nicht in Kontakt zu der Gatefurche gebracht ist.

63. Die Halbleitervorrichtung nach Anspruch 62, bei der die vergrabene Diffusionsschicht (**14**) eine Breite (W_{CS}) von nicht weniger als 6,0 µm und nicht

SDC EX. 1002 - 380/486

mehr als 9 µm in der Draufsicht betrachtet in einer Region aufweist, die um die Emitterfurche (**1b**) herum vorhanden ist.

64. Die Halbleitervorrichtung nach Anspruch 62, bei der ein Abstand (X_{CS}) von der Emitterfurche (**1b**) zu einem Ende der vergrabenen Diffusionsschicht (**14**) nicht geringer als 0,5 µm und nicht größer als 2 µm ist.

65. Die Halbleitervorrichtung nach Anspruch 60, bei der
eine Gatefurche (**1a**) und eine Emitterfurche (**1b**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet sind, die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefüllt ist und die Emitterfurche (**1b**) mit einer leitenden Schicht (**5b**) mit dem Emitterpotential gefullt ist, und
die vergrabene Diffusionsschicht (**14**) so ausgebildet ist, dass sie in Kontakt zu der Gatefurche ist und nicht in Kontakt zu der Emitterfurche ist.

66. Die Halbleitervorrichtung nach Anspruch 60, bei der
eine Mehrzahl an Furchen (**1a**, **1b**) in der ersten Hauptoberfläche des Halbleitersubstrats ausgebildet ist und die Mehrzahl an Furchen in der Draufsicht betrachtet in einer Richtung angeordnet ist und
die vergrabene Diffusionsschicht (**14**) lediglich in einer Region ausgebildet ist, die in der Draufsicht betrachtet zwischen die Furchen gefügt ist.

67. Die Halbleitervorrichtung nach Anspruch 60, weiterhin aufweisend eine Wannenschicht (**41**) des ersten Leitungstyps, die auf der ersten Hauptoberflache benachbart zu der Mehrzahl von Furchen in einer Richtung ausgebildet ist, in der die Mehrzahl von Furchen angeordnet ist, sich in der einen Richtung in der Draufsicht betrachtet erstreckt und tiefer ausgebildet ist als jede der Mehrzahl der Furchen (**1a**, **1b**), wobei die Wannenschicht tiefer ausgebildet ist als die vergrabene Diffusionsschicht (**14**).

68. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend:
eine erste Emitterdiffusionsschicht (**6**) des ersten Leitungstyps, die an der ersten Hauptoberflache und in Kontakt zu der ersten Elektrode (**11**) ausgebildet ist, und
eine zweite Emitterdiffusionssschicht (**3**) des zweiten Leitungstyps, die an der ersten Hauptoberflache und in Kontakt zu der ersten Elektrode und der ersten Emitterdiffusionsschicht ausgebildet ist, wobei
ein Verhaltnis ($B_{PC}/W_{SO} + W_{PC}$) einer Breite (W_{PC}) der ersten Emitterdiffusionsschicht entlang einer Richtung, in der sich die Gateelektrode (**5a**) erstreckt, zu einer Summe der Breite (W_{PC}) der ersten Emitterdiffusionsschicht und einer Breite (W_{SO}) der zweiten Emitterdiffusionsschicht entlang der Richtung, in, der sich die Gateelektrode erstreckt, nicht geringer als 0, 08 und nicht größer als 0,20 ist.

69. Die Halbleitervorrichtung nach Anspruch 39, bei der ein elektrisches Signal uber einen Widerstandskorper (**28a**???) mit einem lokal hohen elektrischen Widerstandswert ein elektrisches Signal zu der Gateelektrode (**5a**) übertragen wird.

70. Die Halbleitervorrichtung nach Anspruch 69, bei der der Widerstandskorper (**28a**) identisch in der Struktur mit der Gateelektrode (**5a**) ist.

71. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die in Kontakt zu der Kollektorregion ist und als der Kanal dient, wobei eine elektrische Feldstärke ($E_{P/N-}$) in einer Übergangsebene zwischen der Driftdiffusionsschicht und der Body-Diffusionsschicht, die erhalten wird, wenn eine Sperrspannung an das Element angelegt ist, großer ist als 0 und nicht größer ist als $3{,}0 \times 10^5$ V/cm.

72. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die in Kontakt zu der Kollektorregion ist und als der Kanal dient, wobei eine elektrische Feldstärke ($E_{N/N-}$) in einer Übergangsebene zwischen der Pufferdiffusionsschicht und der Driftdiffusionsschicht, die erhalten wird, wenn eine Sperrspannung an das Element angelegt wird, nicht geringer als $2{,}0 \times 10^4$ V/cm ist und nicht größer als eine elektrische Feldstarke ($E_{P/N-}$) in einer Übergangsebene zwischen der Driftdiffusionsschicht und der Body-Diffusionsschicht ist.

73. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die als der Kanal dient, wobei
eine Gatefurche (**1a**) in der ersten Hauptoberflache des Halbleitersubstrats ausgebildet ist, und die Gatefurche (**1a**) mit der Gateelektrode (**5a**) gefüllt ist, und
ein Vorragbetrag (D_T) der Gatefurche von einem Boden der Body-Diffusionsschicht nicht kleiner als 1,0 µm ist und nicht großer als eine Tiefe ist, die die zweite Hauptoberfläche erreicht.

74. Die Halbleitervorrichtung nach Anspruch 39, weiterhin aufweisend:
eine Body-Diffusionsschicht (**2**) des ersten Leitungstyps, die als der Kanal dient, und
eine vergrabene Diffusionsschicht (**14a**) des zweiten Leitungstyps, die angrenzend an eine Seitenfläche der Body-Diffusionsschicht in der Draufsicht betrachtet ausgebildet ist.

75. Die Halbleitervorrichtung nach Anspruch 74, bei der ein Verhältnis (S_{N14a}/S_{N-}) der Anzahl der Atome pro Flächeneinheit der Verunreinigungen, die die

SDC EX. 1002 - 381/486

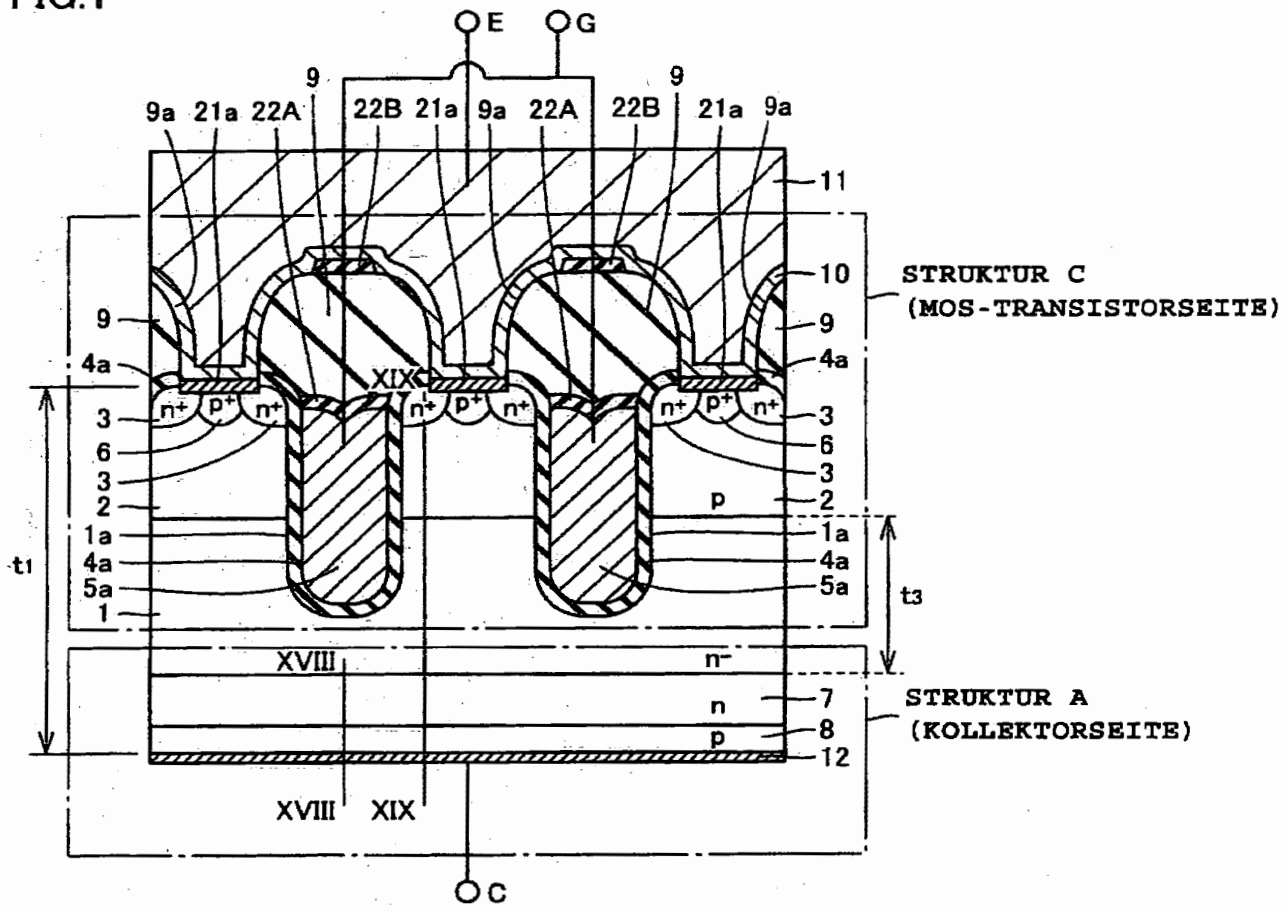
vergrabene Diffusionsschicht bilden (S_{N14a}) zu der Anzahl der Atome pro Flacheneinheit der Verunreinigungen, die die Driftdiffusionsschicht bilden, (S_{N-}) nicht kleiner als 0 und nicht größer als 20 ist.

Es folgen 82 Blatt Zeichnungen

SDC EX. 1002 - 382/486

Anhängende Zeichnungen

FIG.1



SDC EX. 1002 - 383/486

FIG.2

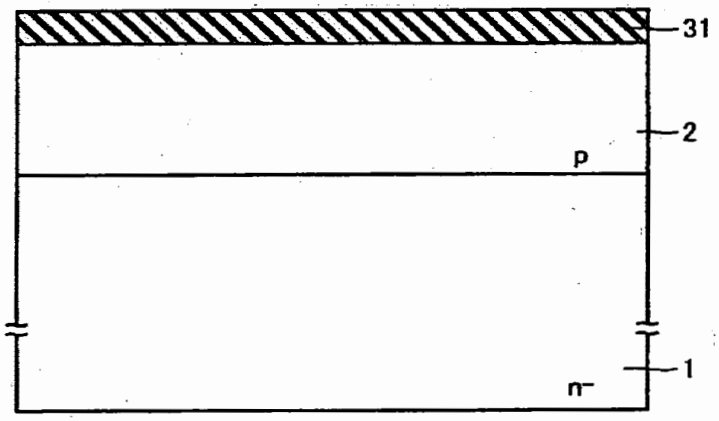


FIG.3

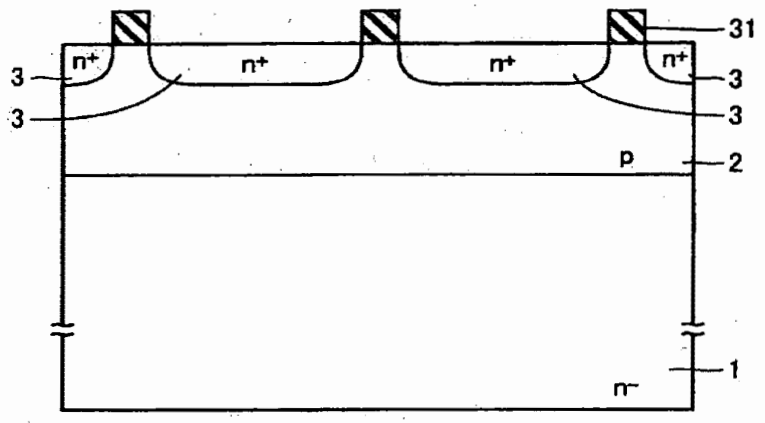


FIG.4

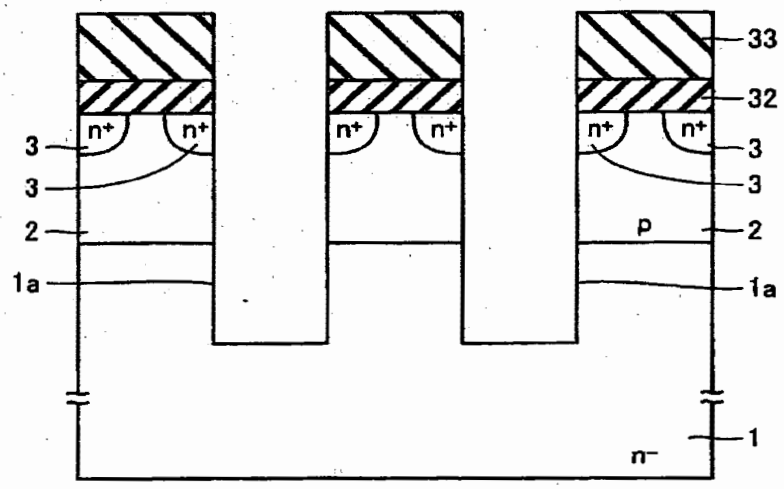

33
32
n+
n+
n+
n+
n+
n+
3
3
3
3
2
p
2
1a
1a
1
n−

FIG.5

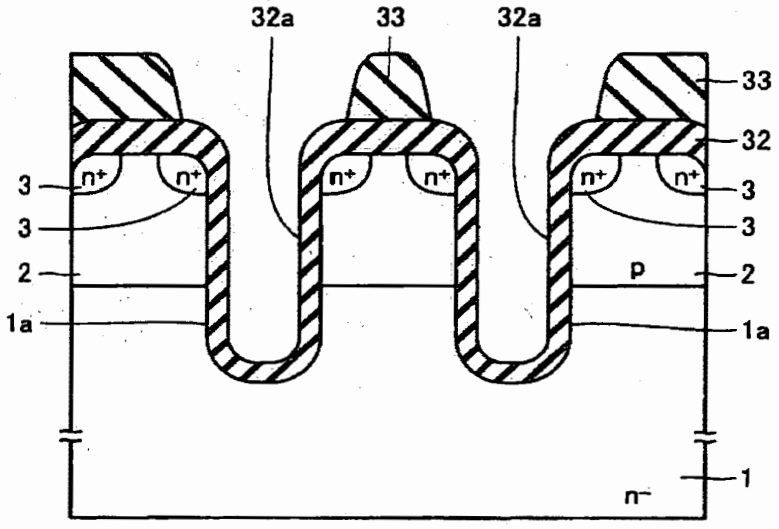

32a
33
32a
33
32
n+
n+
n+
n+
n+
n+
3
3
3
3
2
p
2
1a
1a
1
n−

FIG.6

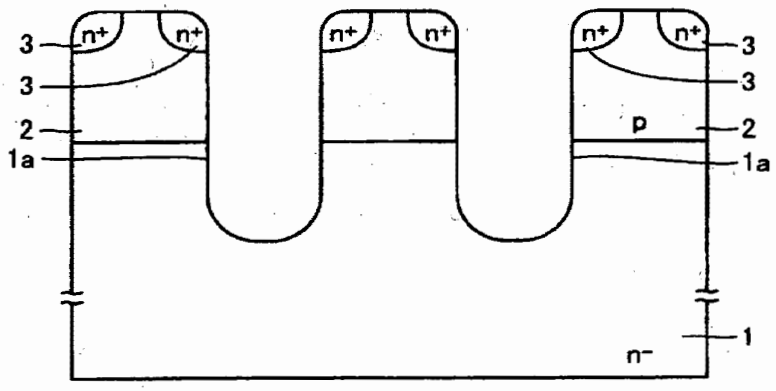
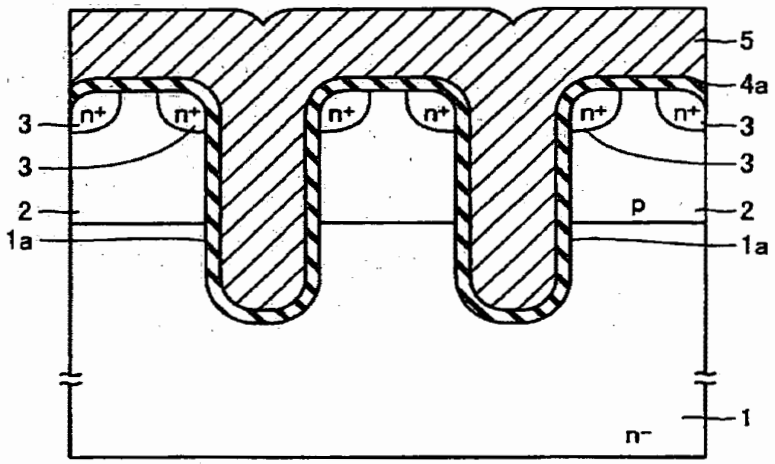


FIG.7



SDC EX. 1002 - 386/486

FIG.8

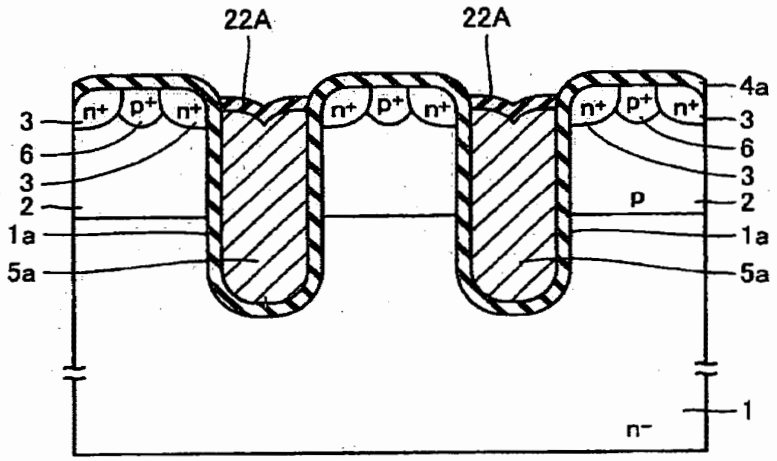
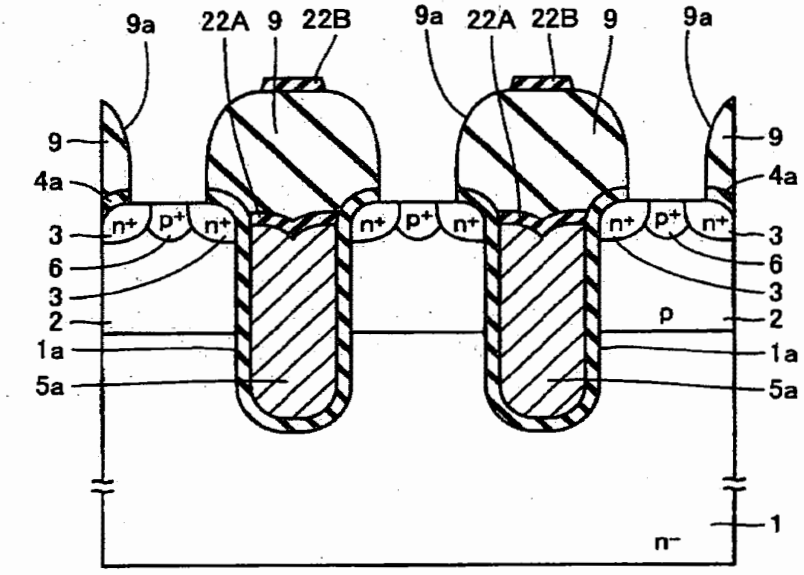


FIG.9



SDC EX. 1002 - 387/486

FIG.10

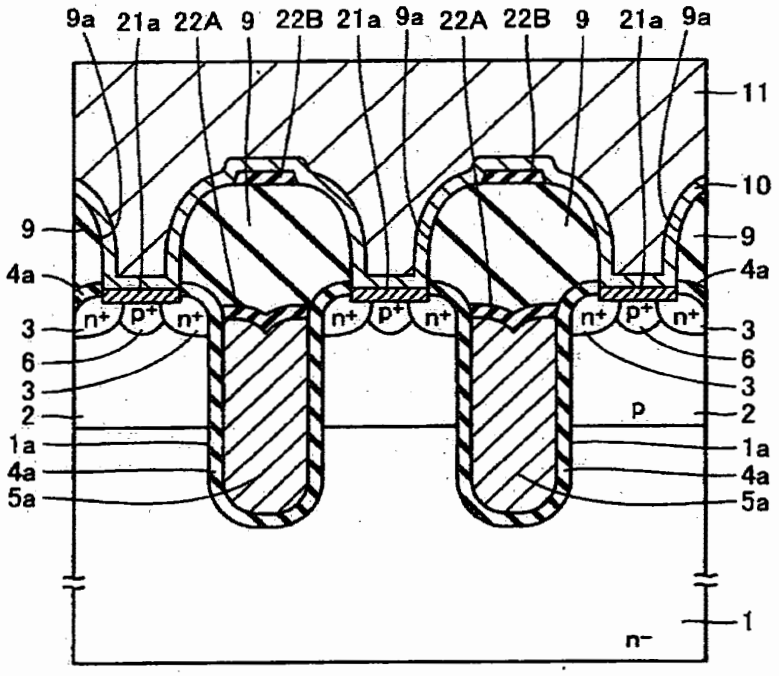

9a
21a
22A
9
22B
21a
9a
22A
22B
9
21a
9a
11
10
9
4a
3
6
3
2
1a
4a
5a
n+
p+
n+
p
1
n−

FIG.11

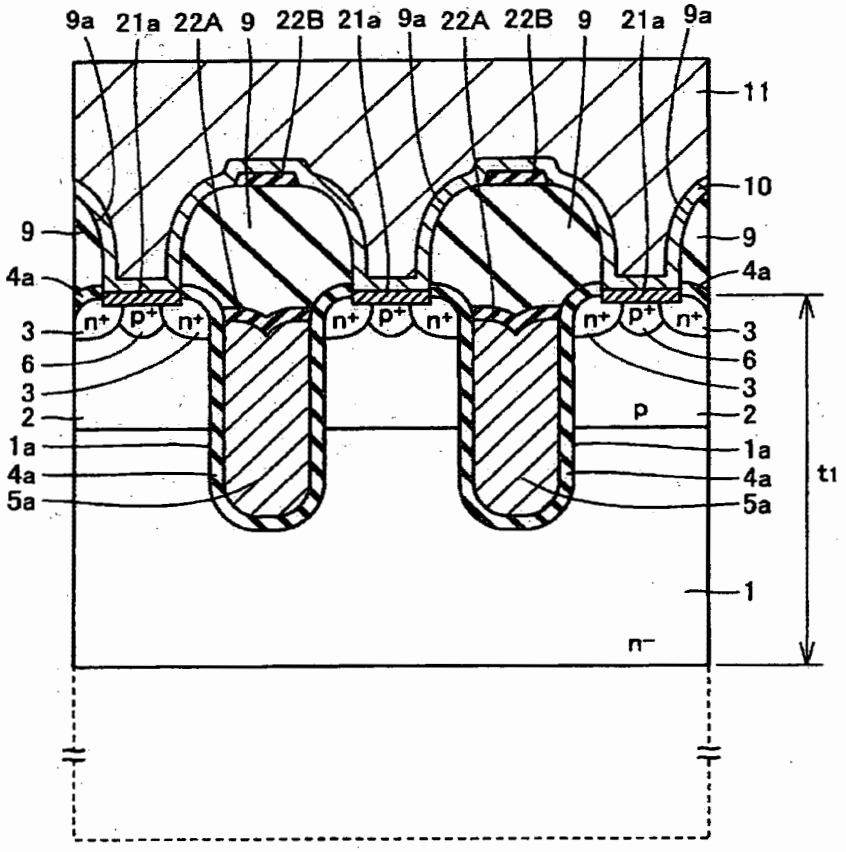

9a
21a
22A
9
22B
21a
9a
22A
22B
9
21a
9a
11
10
9
4a
n+
p+
n+
3
6
3
2
1a
4a
5a
p
t1
1
n−

FIG.12

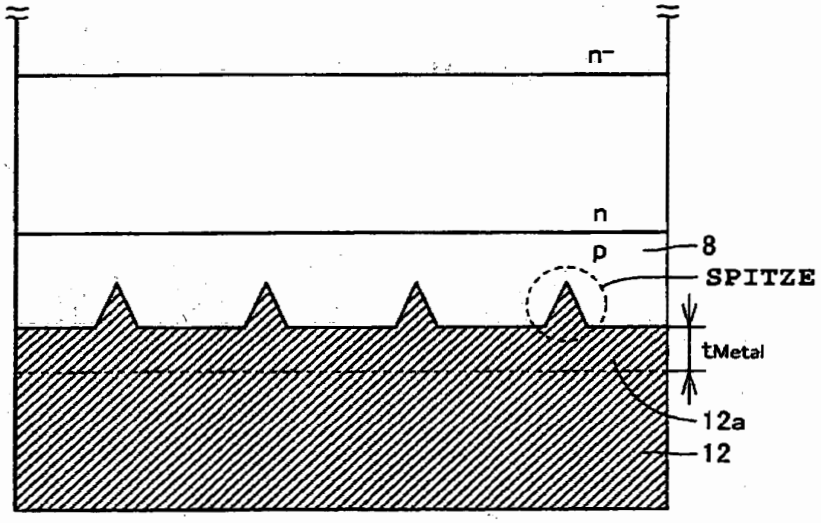
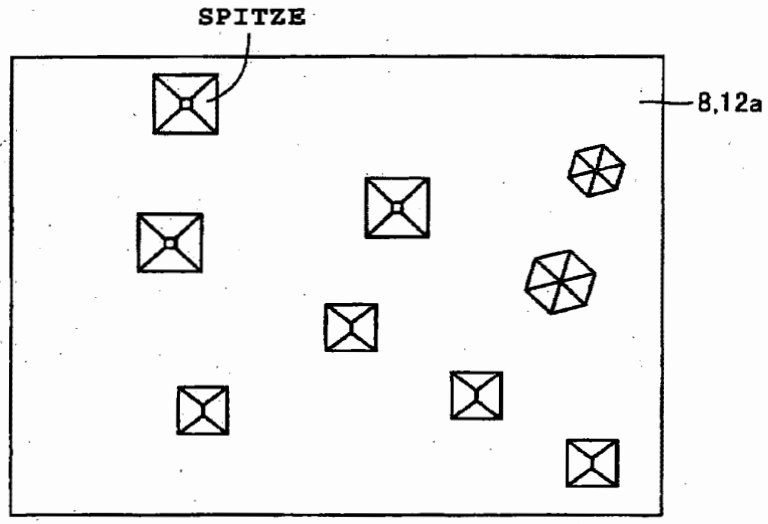


FIG.13



SDC EX. 1002 - 390/486

FIG.14

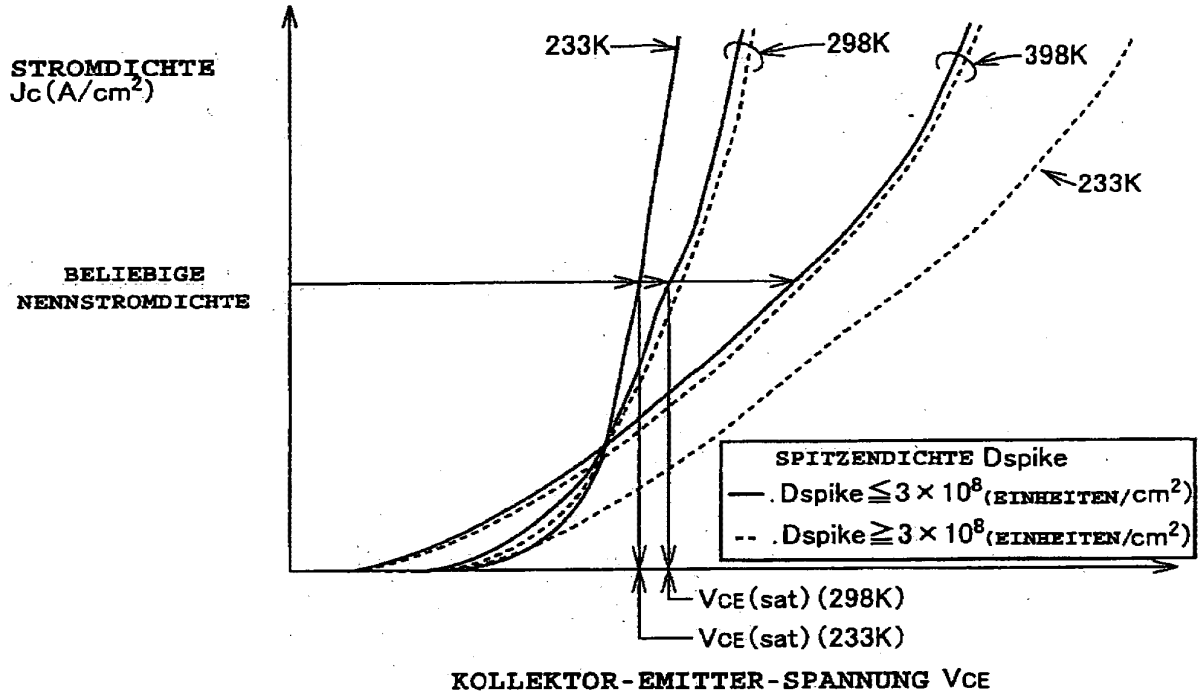
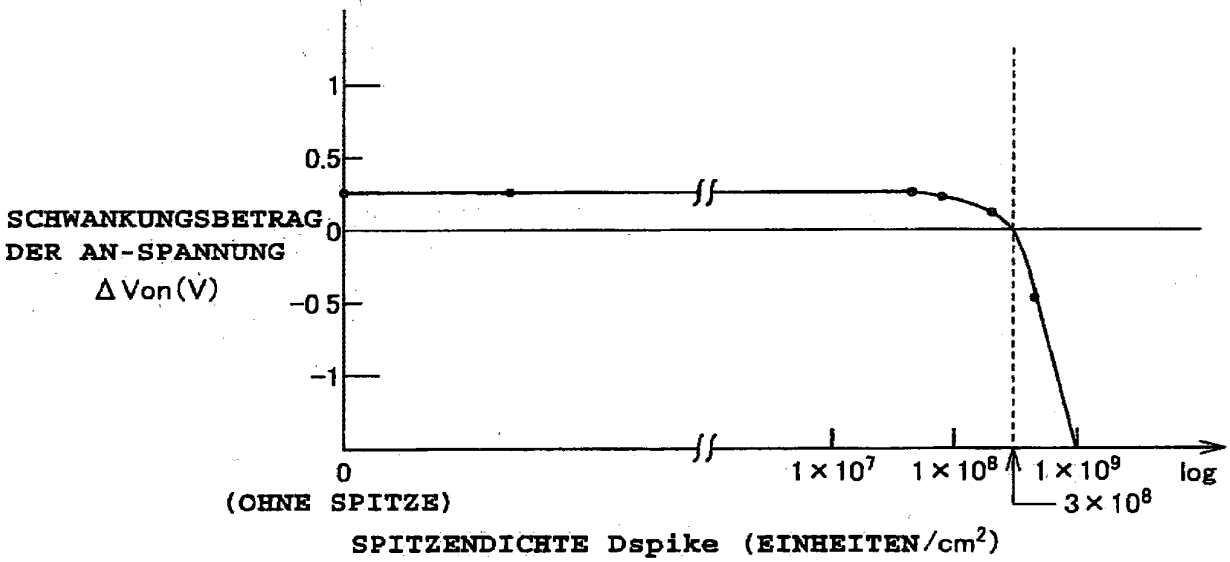


FIG.15



SDC EX. 1002 - 391/486

FIG.16

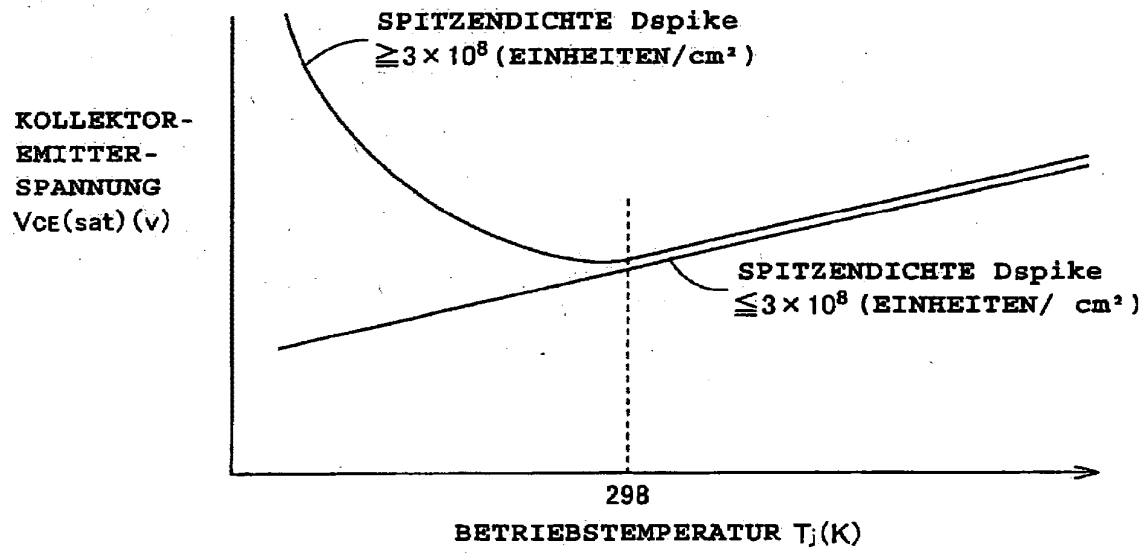
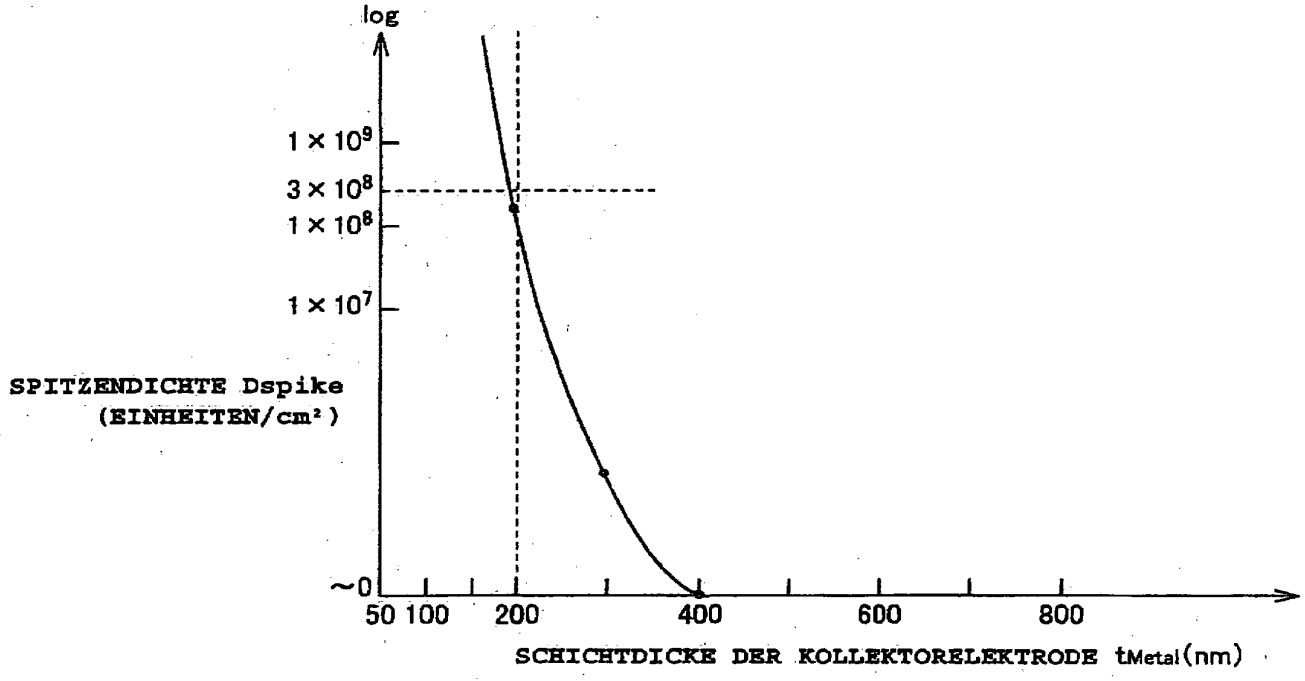


FIG.17



SDC EX. 1002 - 392/486

FIG.18

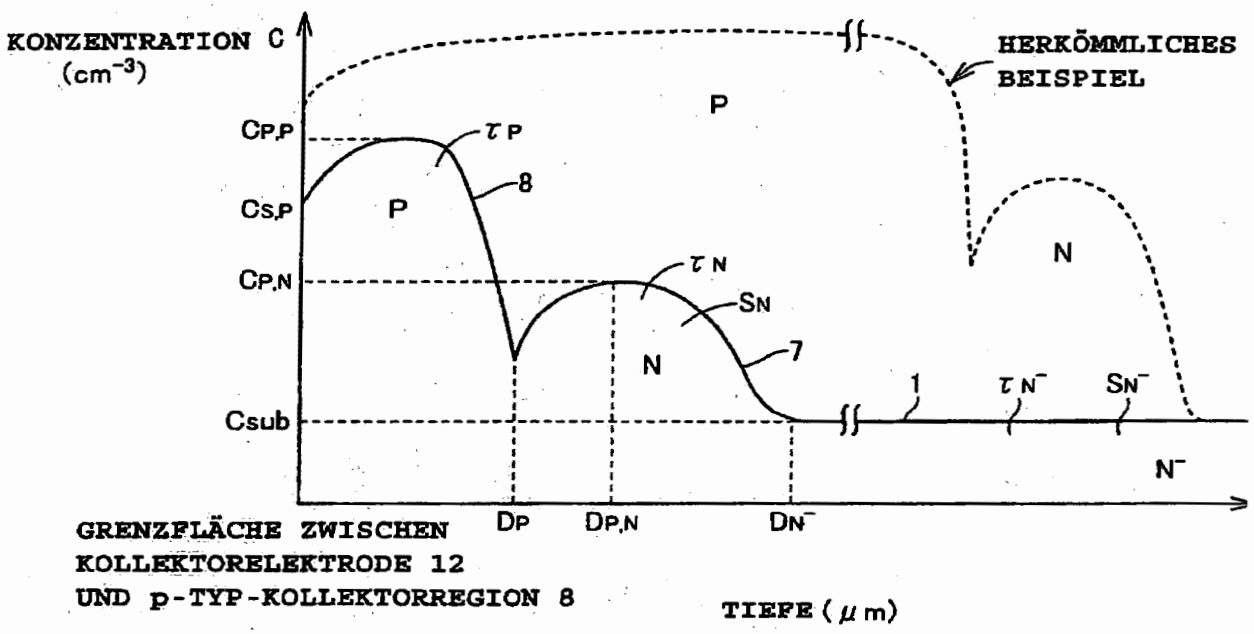

KONZENTRATION C
(cm⁻³)
HERKÖMMLICHES
BEISPIEL
P
CP,P
τP
8
CS,P
P
CP,N
τN
SN
7
N
N
1
τN⁻
SN⁻
Csub
N⁻
GRENZFLÄCHE ZWISCHEN
KOLLEKTORELEKTRODE 12
UND p-TYP-KOLLEKTORREGION 8
DP
DP,N
DN⁻
TIEFE (μm)

FIG.19

τP:LADUNGSTRÄGERLEBENSDAUER DER P-TYP-KOLLEKTORREGION
τX:LADUNGSTRÄGERLEBENSDAUER AN DER POSITION X
τN:LADUNGSTRÄGERLEBENSDAUER DER N-TYP-PUFFERREGION
τN⁻:LADUNGSTRÄGERLEBENSDAUER DES N⁻-SILIZIUMSUBSTRATS
SN: ANZAHL DER VERUNREINIGUNGEN; DIE DIE N-TYP-PUFFERREGION BILDEN
SN⁻: ANZAHL DER VERUNREINIGUNGEN; DIE DAS N⁻-SILIZIUMSUBSTRAT BILDEN

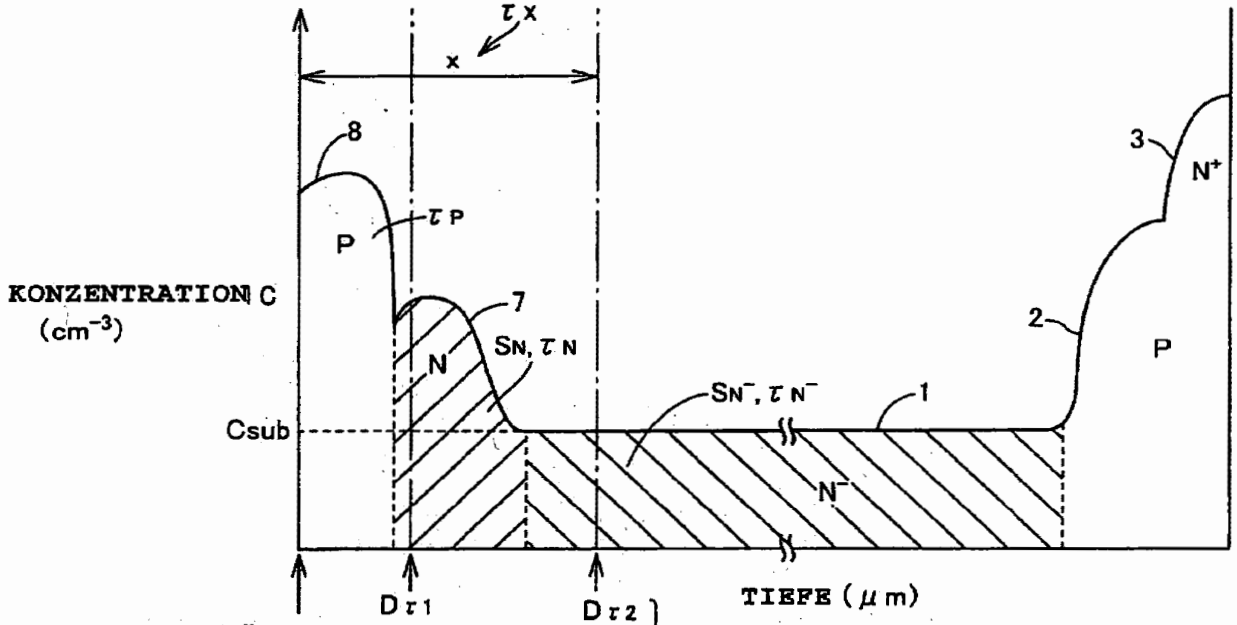


FIG.20

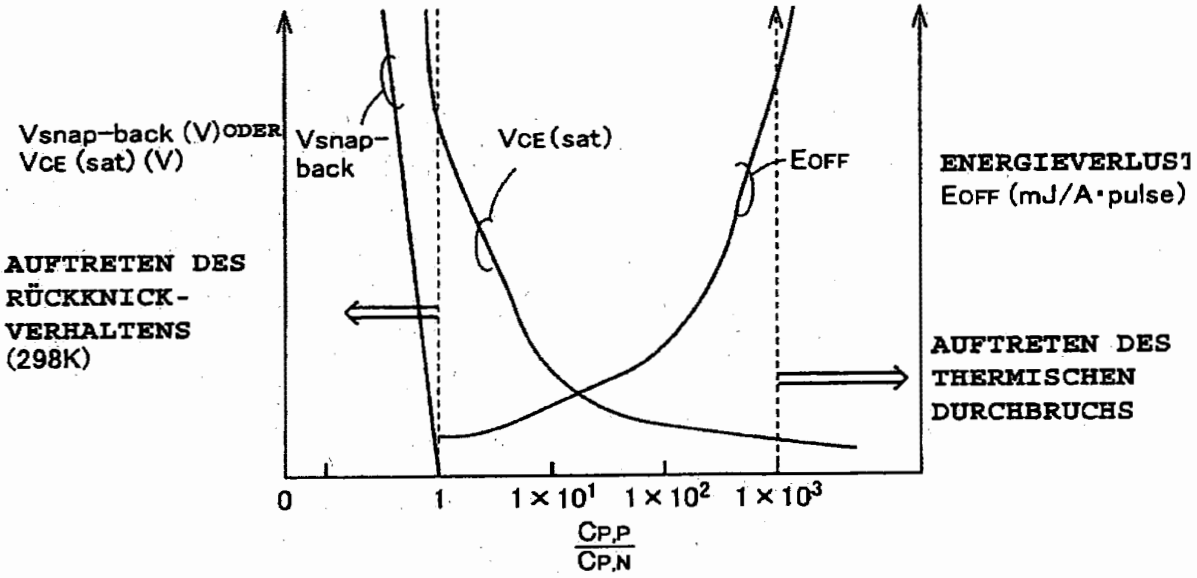

Vsnap-back (V) ODER VCE (sat) (V)
Vsnap-back
VCE(sat)
EOFF
ENERGIEVERLUST EOFF (mJ/A·pulse)
AUFTRETEN DES RÜCKKNICK-VERHALTENS (298K)
AUFTRETEN DES THERMISCHEN DURCHBRUCHS
0
1
1×10¹
1×10²
1×10³
CP,P / CP,N

FIG.21

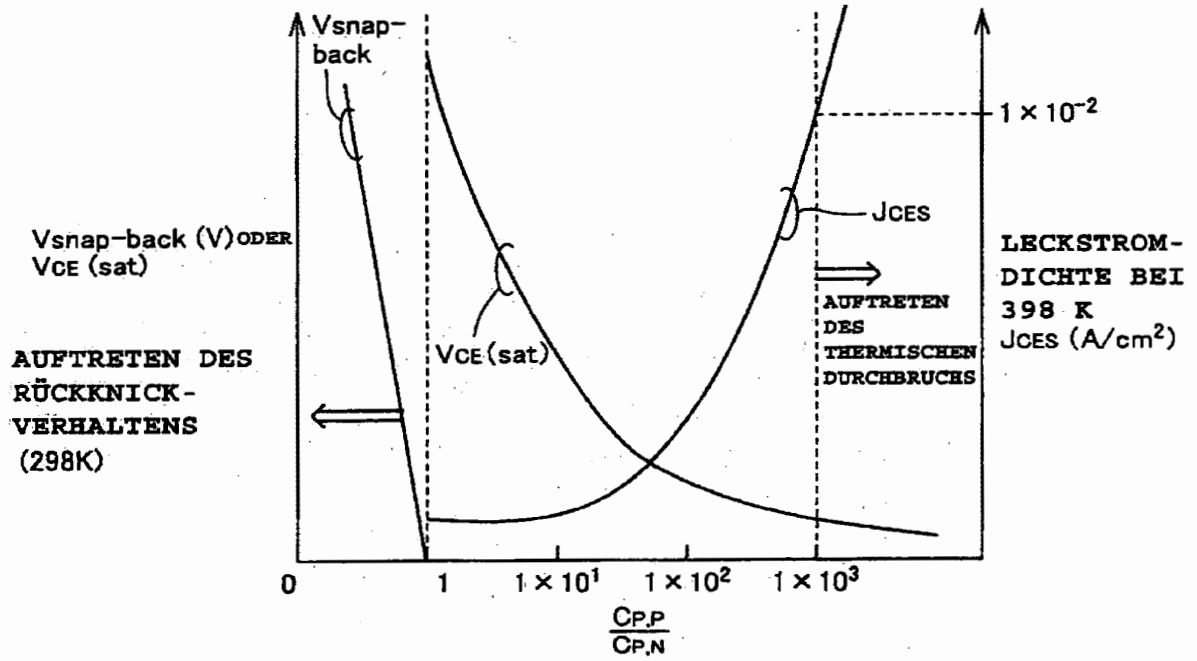

Vsnap-back
1×10⁻²
JCES
Vsnap-back (V) ODER VCE (sat)
LECKSTROM-DICHTE BEI 398 K JCES (A/cm²)
AUFTRETEN DES THERMISCHEN DURCHBRUCHS
VCE(sat)
AUFTRETEN DES RÜCKKNICK-VERHALTENS (298K)
0
1
1×10¹
1×10²
1×10³
CP,P / CP,N

FIG.22

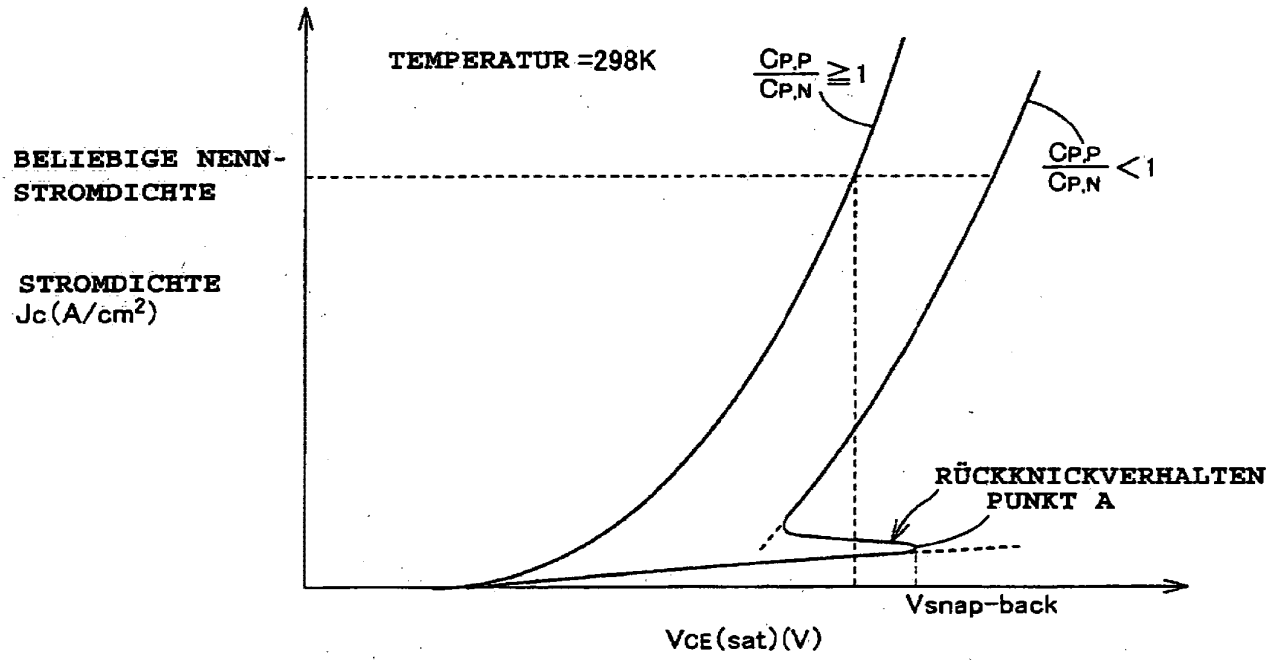

TEMPERATUR =298K
$\frac{C_{P,P}}{C_{P,N}} \geqq 1$
$\frac{C_{P,P}}{C_{P,N}} < 1$
BELIEBIGE NENN-STROMDICHTE
STROMDICHTE Jc(A/cm²)
RÜCKKNICKVERHALTEN PUNKT A
Vsnap-back
VCE(sat)(V)

FIG.23

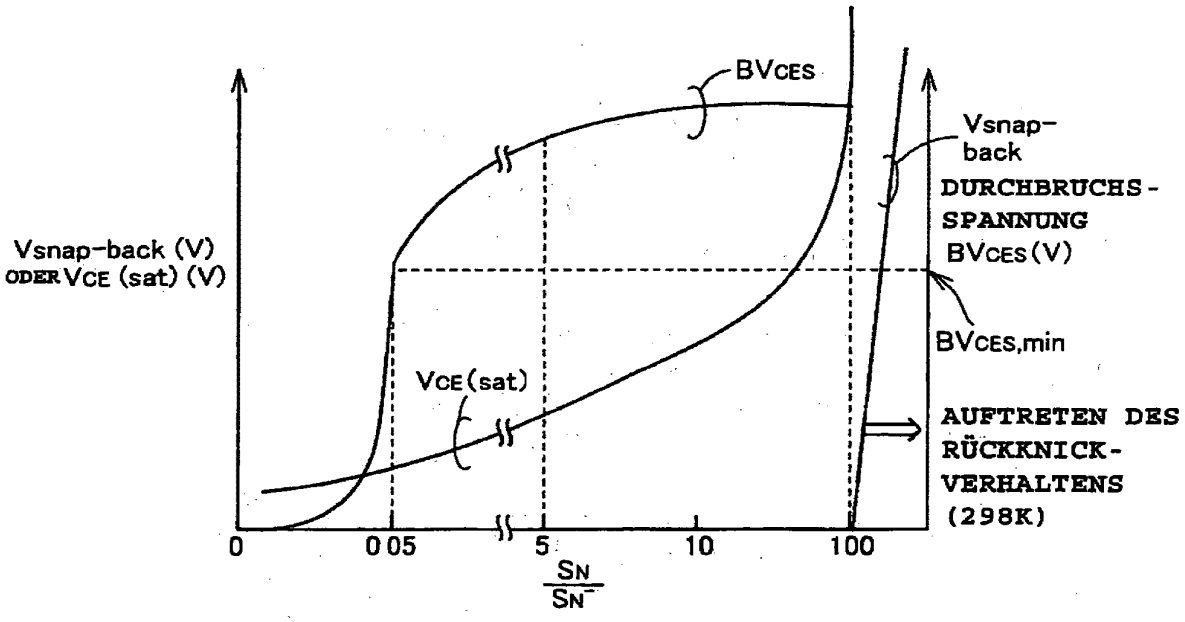

BVCES
Vsnap-back
DURCHBRUCHS-SPANNUNG BVCES(V)
Vsnap-back (V) ODER VCE (sat) (V)
VCE(sat)
BVCES,min
AUFTRETEN DES RÜCKKNICK-VERHALTENS (298K)
0
0 05
5
10
100
$\frac{S_N}{S_N^-}$

FIG.24

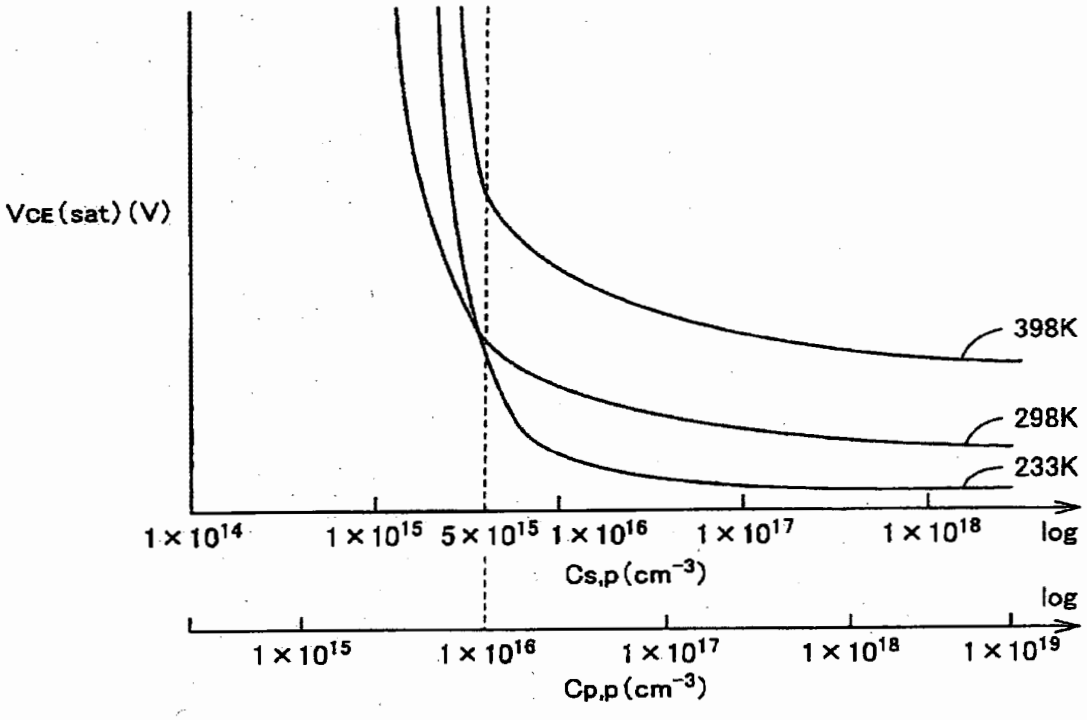
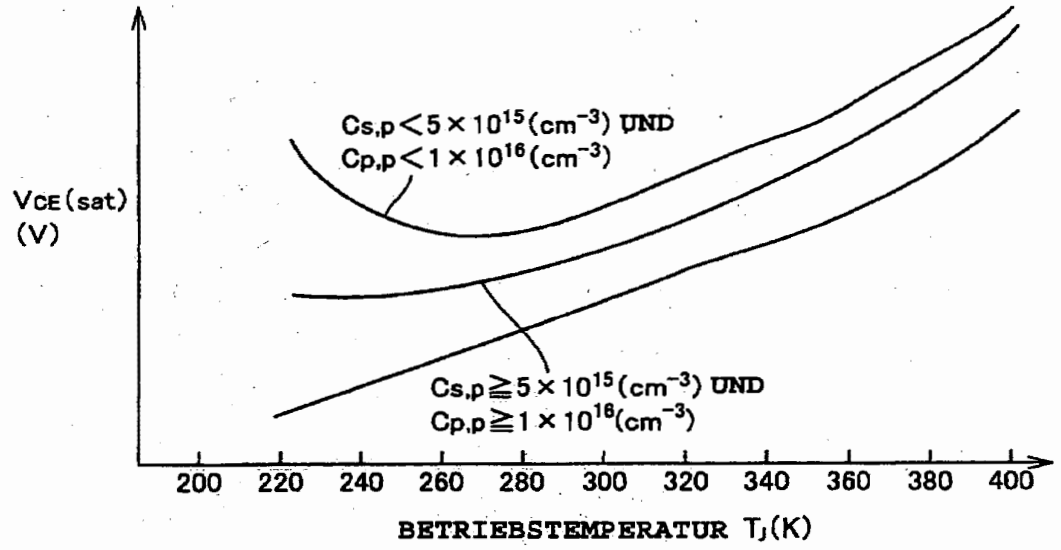


FIG.25



SDC EX. 1002 - 397/486

FIG.26

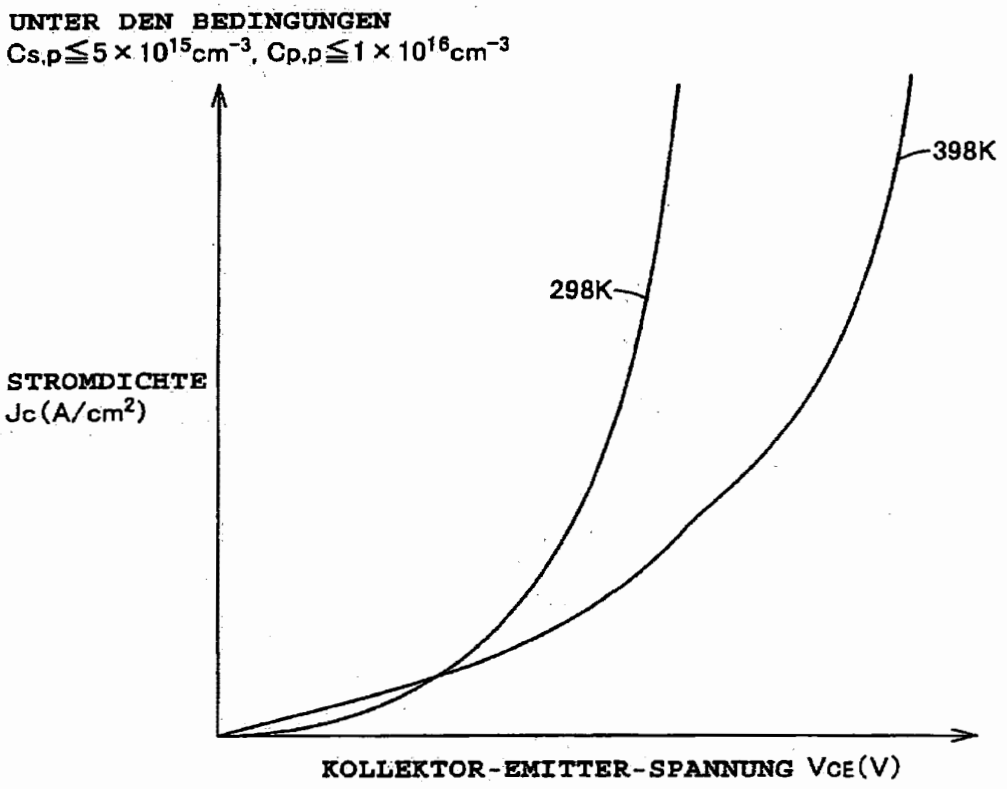

UNTER DEN BEDINGUNGEN
Cs,p≦5×10^15cm^-3, Cp,p≦1×10^16cm^-3
398K
298K
STROMDICHTE
Jc(A/cm^2)
KOLLEKTOR-EMITTER-SPANNUNG VCE(V)

FIG.27

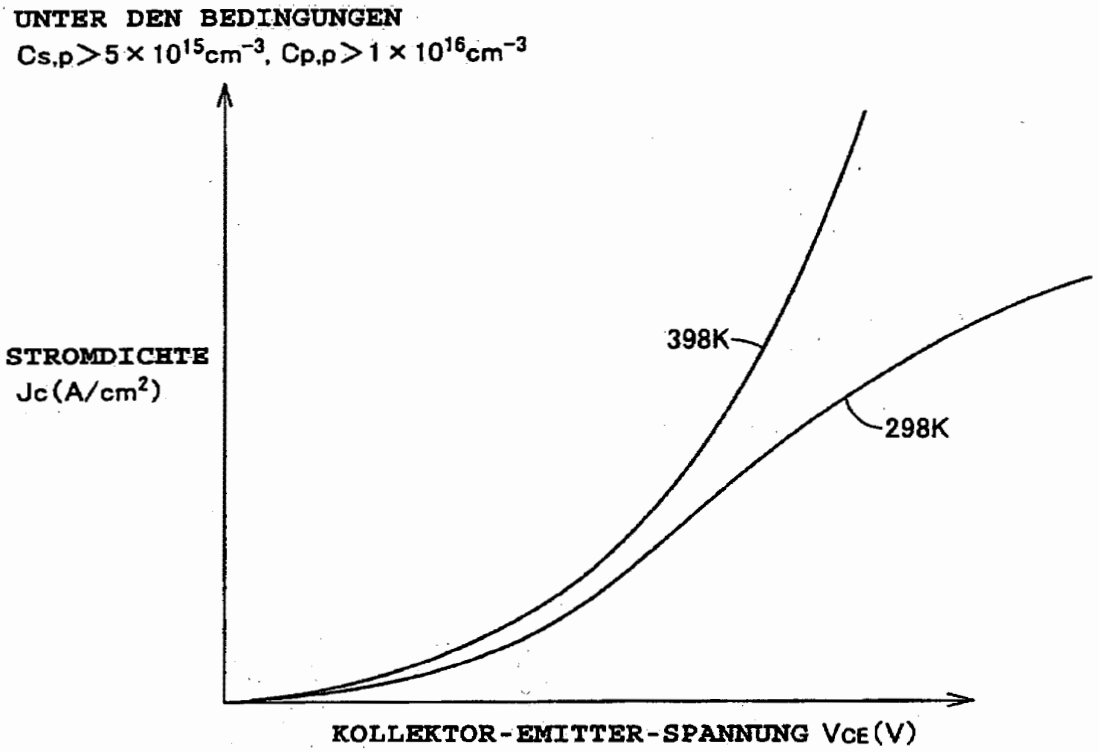

UNTER DEN BEDINGUNGEN
Cs,p>5×10^15cm^-3, Cp,p>1×10^16cm^-3
STROMDICHTE
Jc(A/cm^2)
398K
298K
KOLLEKTOR-EMITTER-SPANNUNG VCE(V)

FIG.28

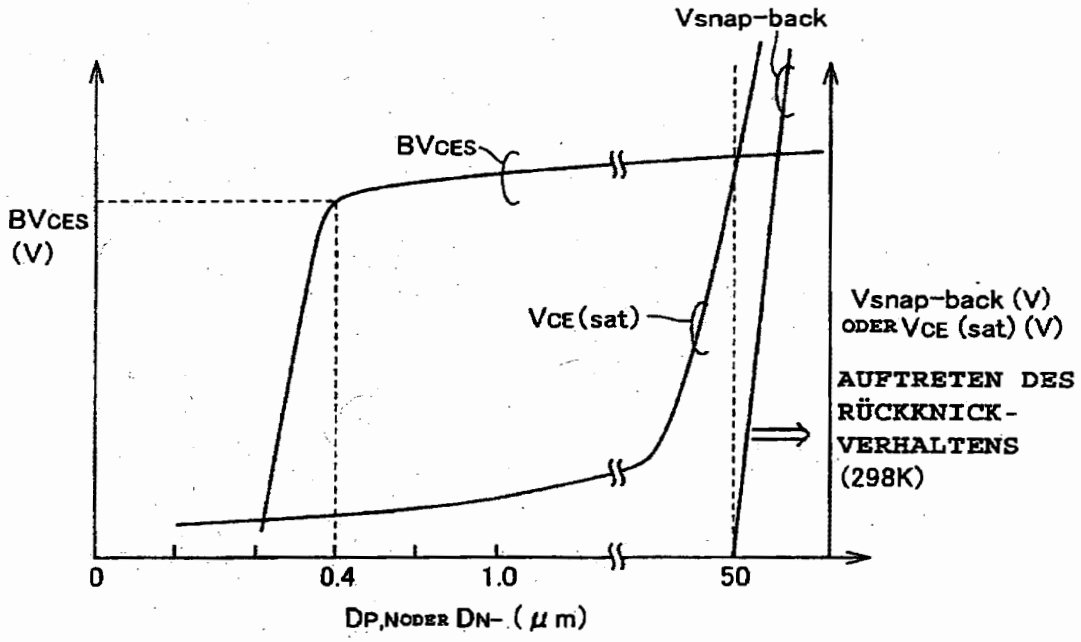

Vsnap-back
BVCES
BVCES (V)
VCE(sat)
Vsnap-back (V) ODER VCE (sat) (V)
AUFTRETEN DES RÜCKKNICK-VERHALTENS (298K)
0
0.4
1.0
50
DP,NODER DN- (μm)

FIG.29

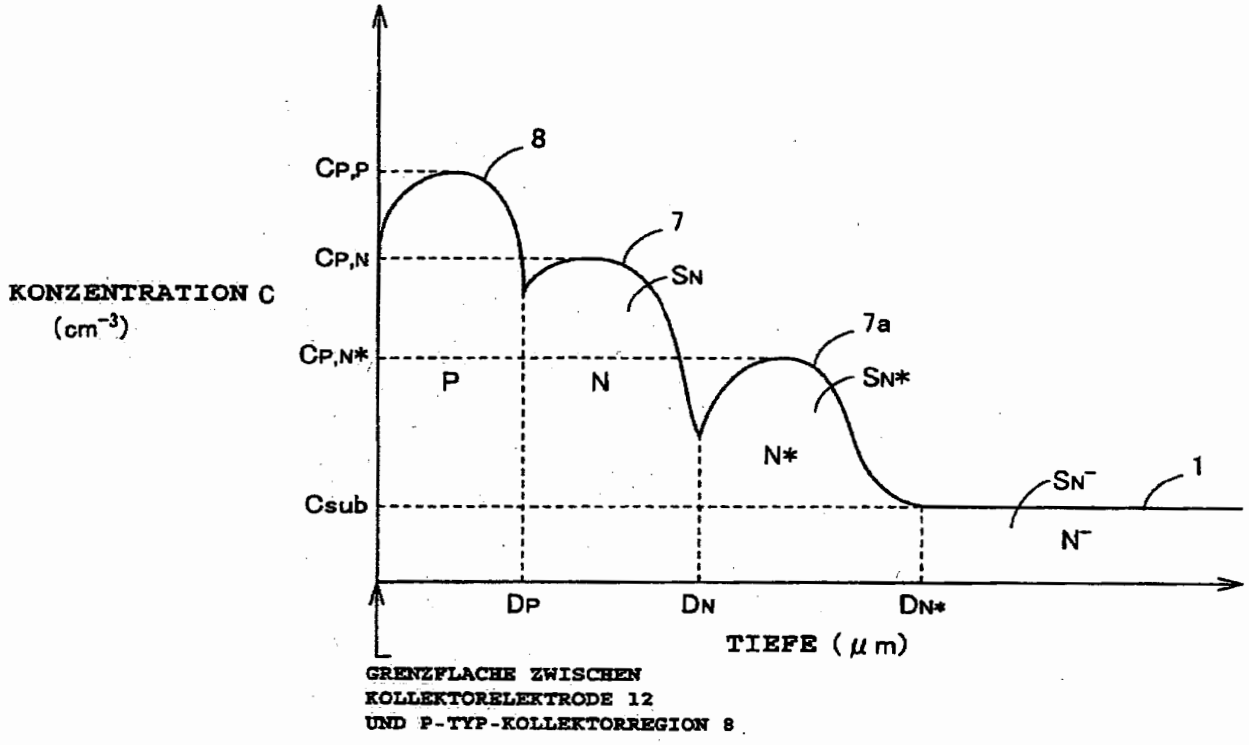

KONZENTRATION C (cm-3)
CP,P
CP,N
CP,N*
Csub
8
7
SN
7a
SN*
P
N
N*
SN-
1
N-
DP
DN
DN*
TIEFE (μm)
GRENZFLACHE ZWISCHEN KOLLEKTORELEKTRODE 12 UND P-TYP-KOLLEKTORREGION 8

FIG.30

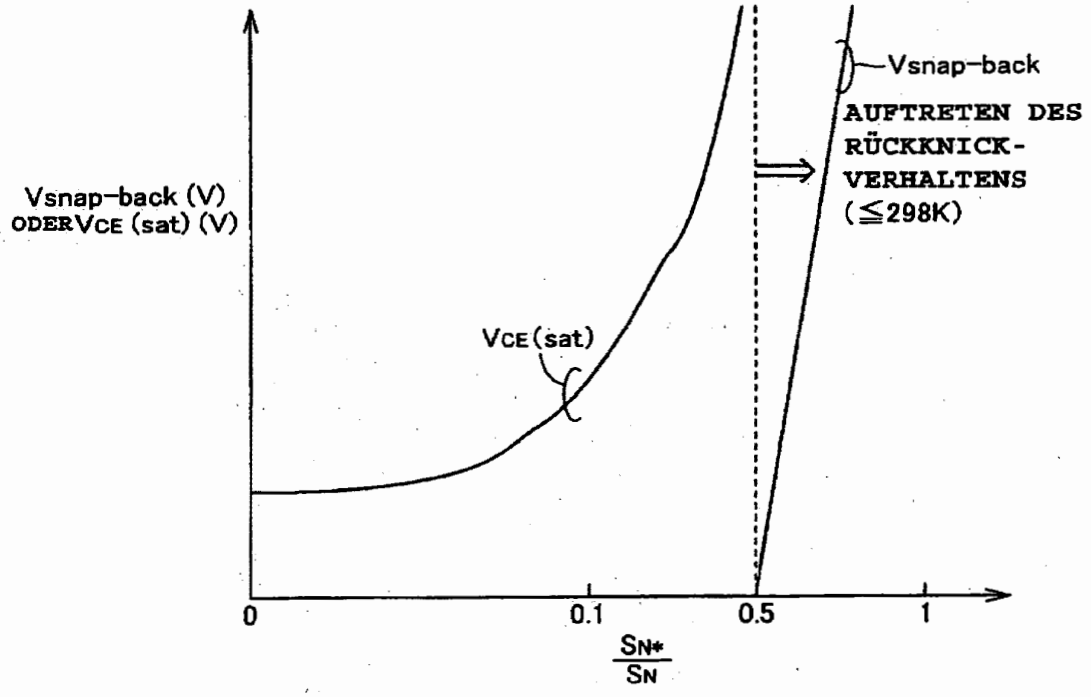
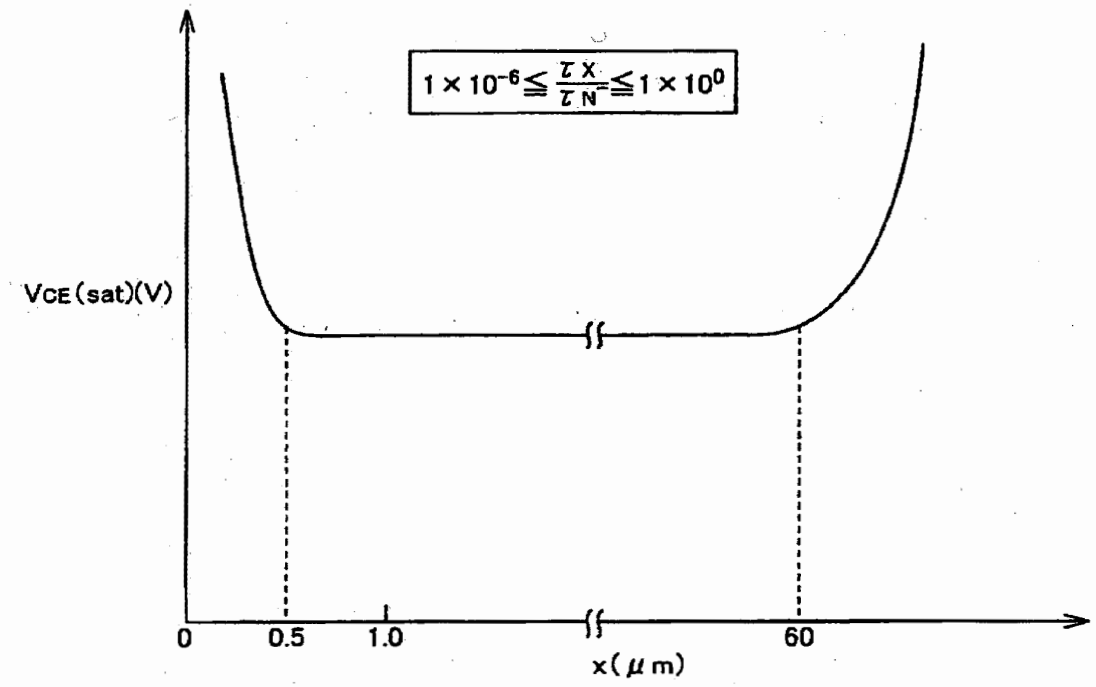


FIG.31



SDC EX. 1002 - 401/486

FIG.32

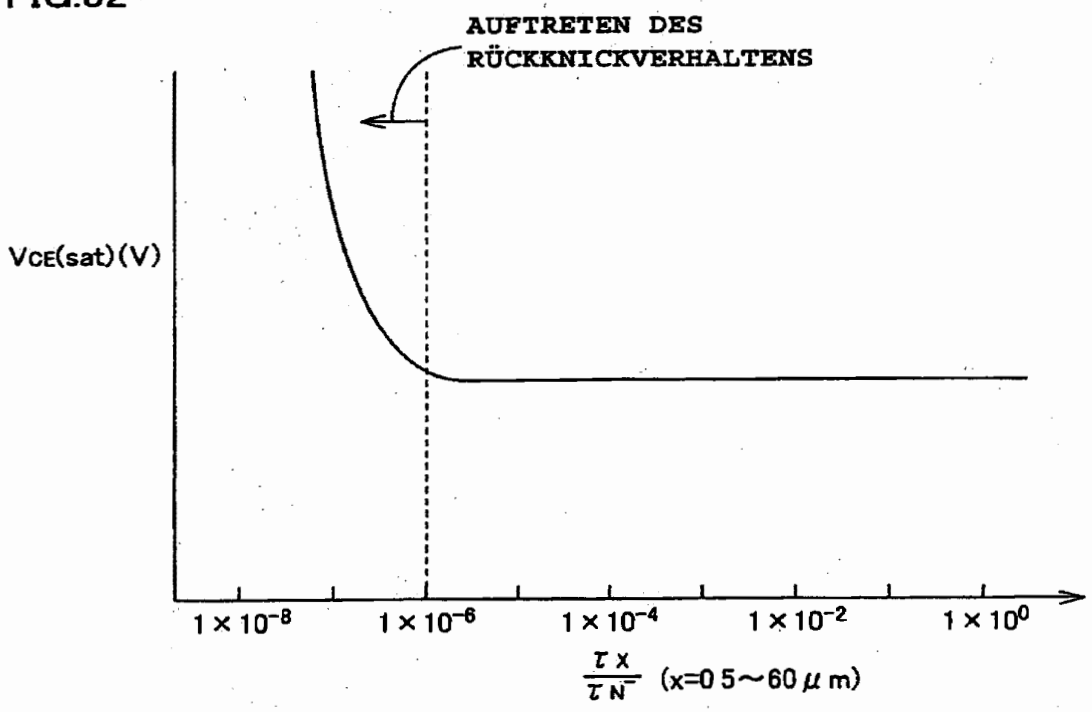

AUFTRETEN DES
RÜCKKNICKVERHALTENS
VCE(sat)(V)
1×10⁻⁸
1×10⁻⁶
1×10⁻⁴
1×10⁻²
1×10⁰
τx/τN⁻ (x=0 5～60 μm)

FIG.33

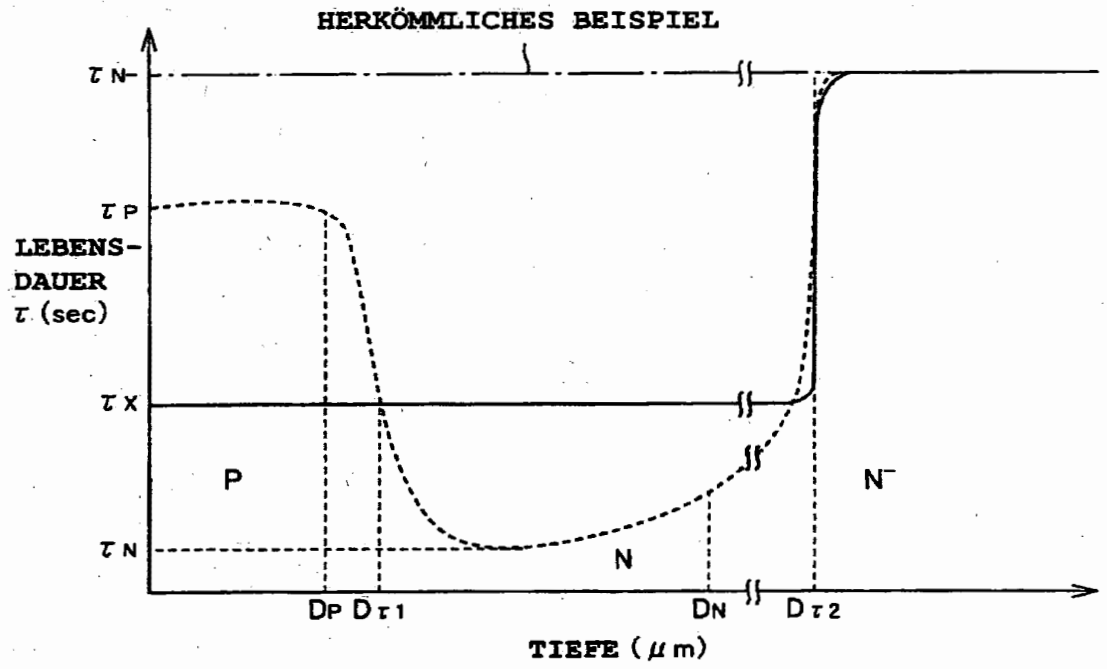

HERKÖMMLICHES BEISPIEL
τN
τP
LEBENS-
DAUER
τ (sec)
τX
P
N
N⁻
DP Dτ1
DN
Dτ2
TIEFE (μm)

FIG.34

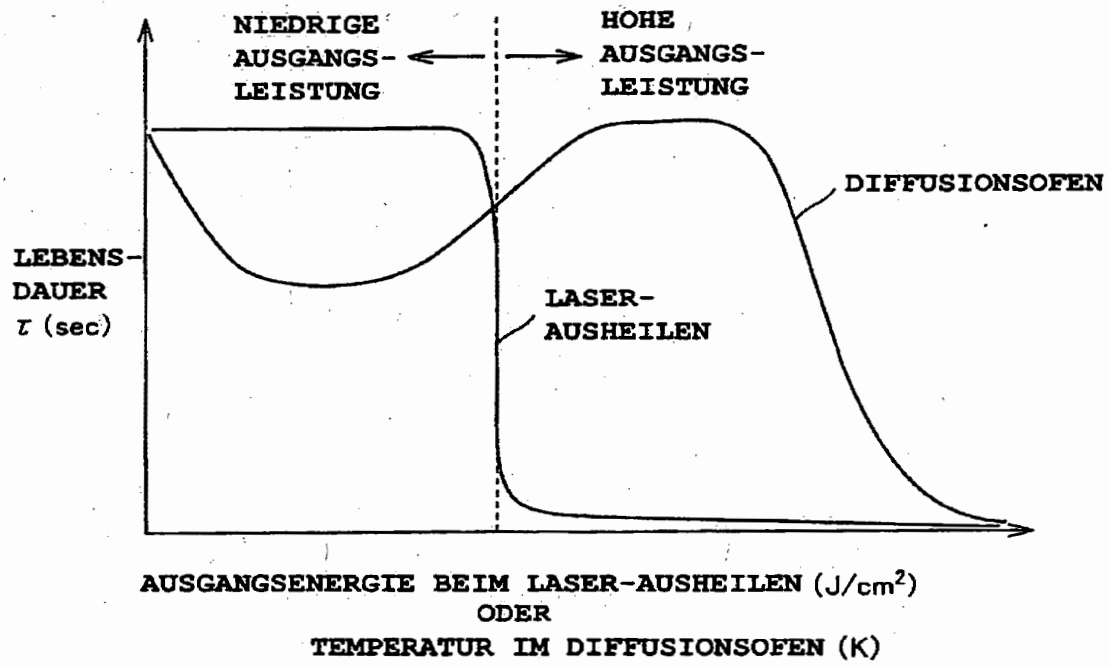

NIEDRIGE AUSGANGS-LEISTUNG
HOHE AUSGANGS-LEISTUNG
DIFFUSIONSOFEN
LEBENS-DAUER τ (sec)
LASER-AUSHEILEN
AUSGANGSENERGIE BEIM LASER-AUSHEILEN (J/cm²)
ODER
TEMPERATUR IM DIFFUSIONSOFEN (K)

FIG.35

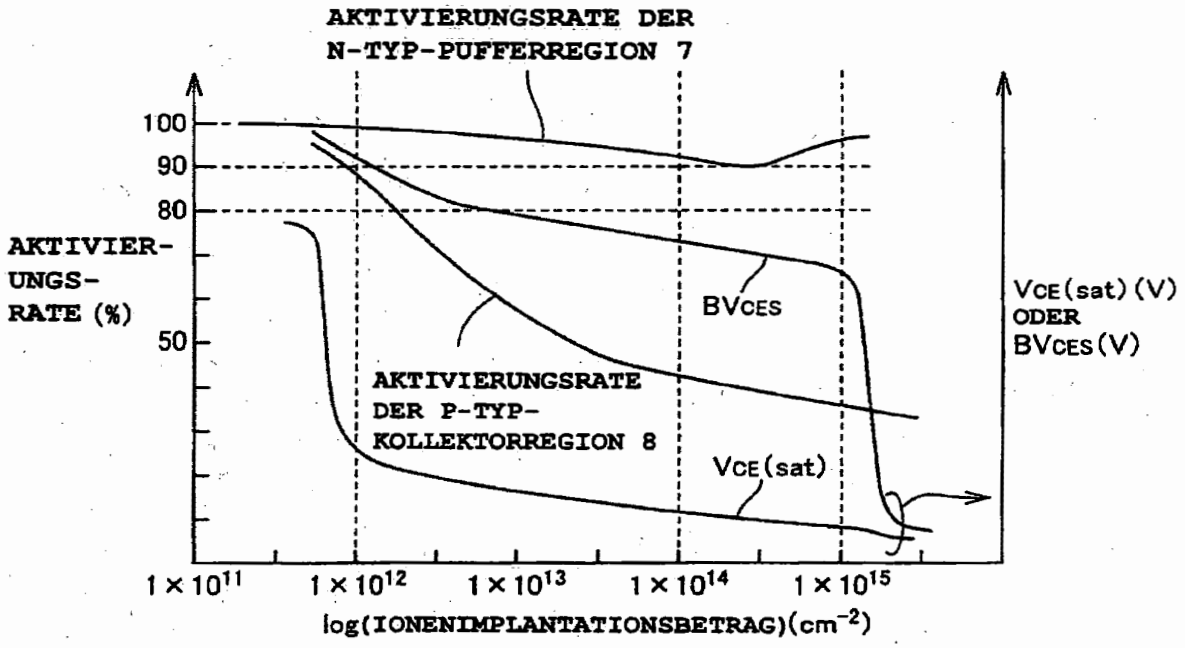

AKTIVIERUNGSRATE DER N-TYP-PUFFERREGION 7
100
90
80
50
AKTIVIER-UNGS-RATE (%)
BVCES
AKTIVIERUNGSRATE DER P-TYP-KOLLEKTORREGION 8
VCE(sat)
VCE(sat) (V) ODER BVCES (V)
1×10¹¹
1×10¹²
1×10¹³
1×10¹⁴
1×10¹⁵
log(IONENIMPLANTATIONSBETRAG)(cm⁻²)

FIG.36

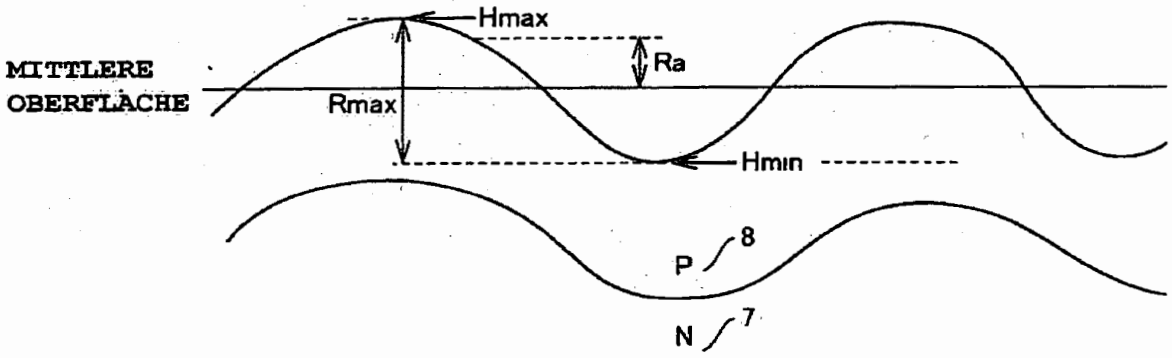

MITTLERE
OBERFLÄCHE
Hmax
Ra
Rmax
Hmin
P
8
N
7

FIG.37

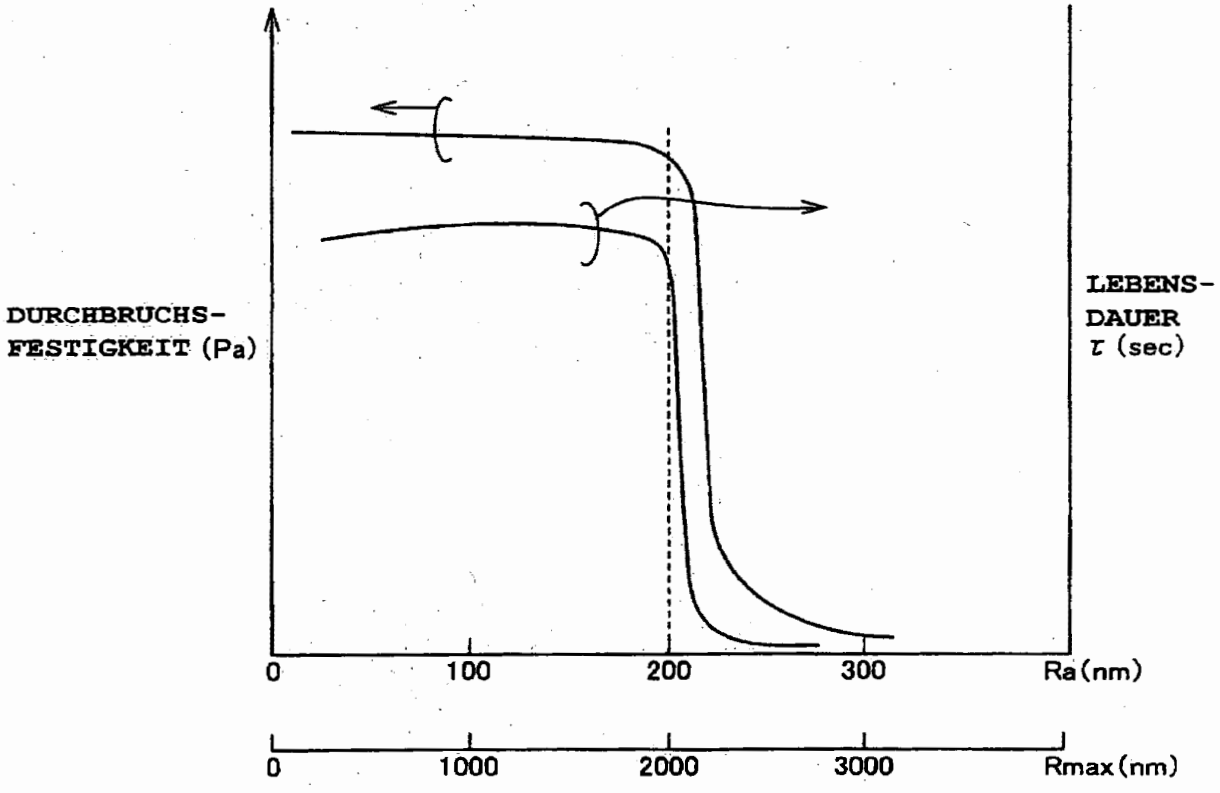

DURCHBRUCHS-
FESTIGKEIT (Pa)
LEBENS-
DAUER
τ (sec)
0
100
200
300
Ra(nm)
0
1000
2000
3000
Rmax(nm)

FIG.38

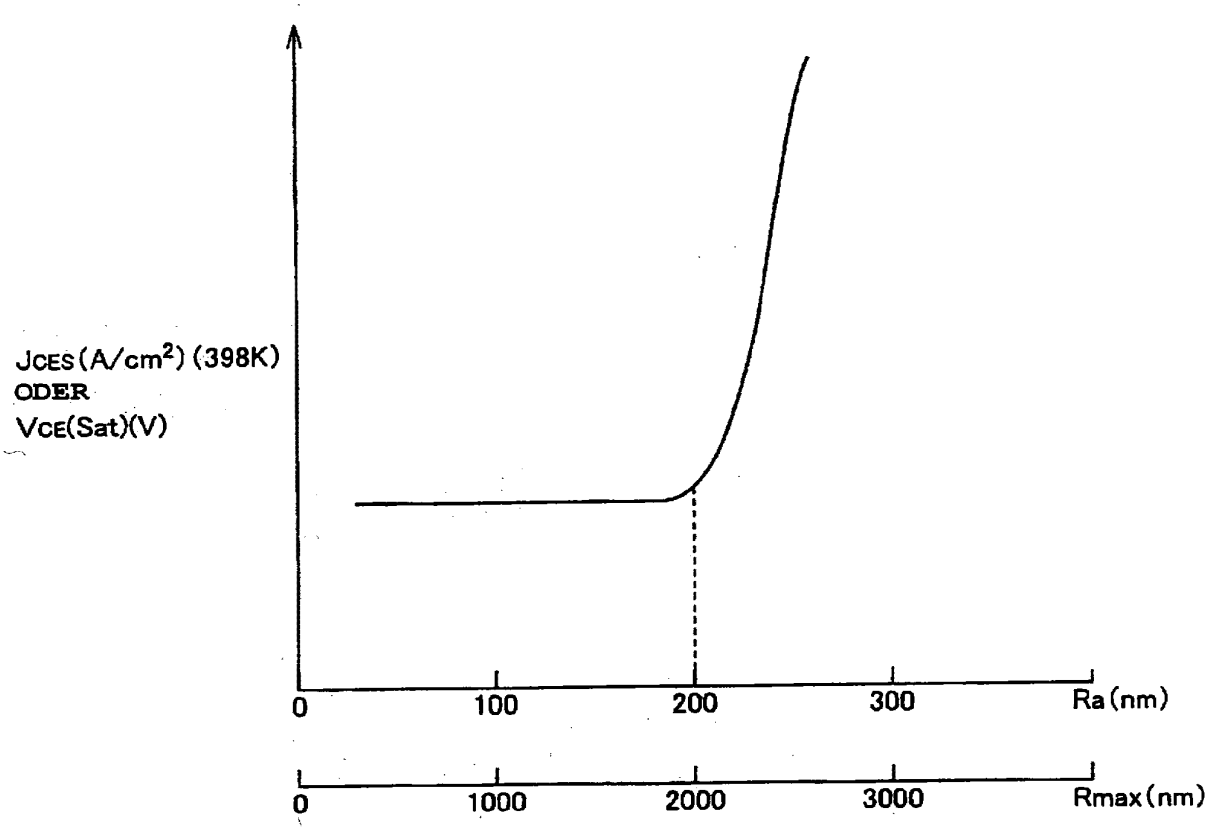
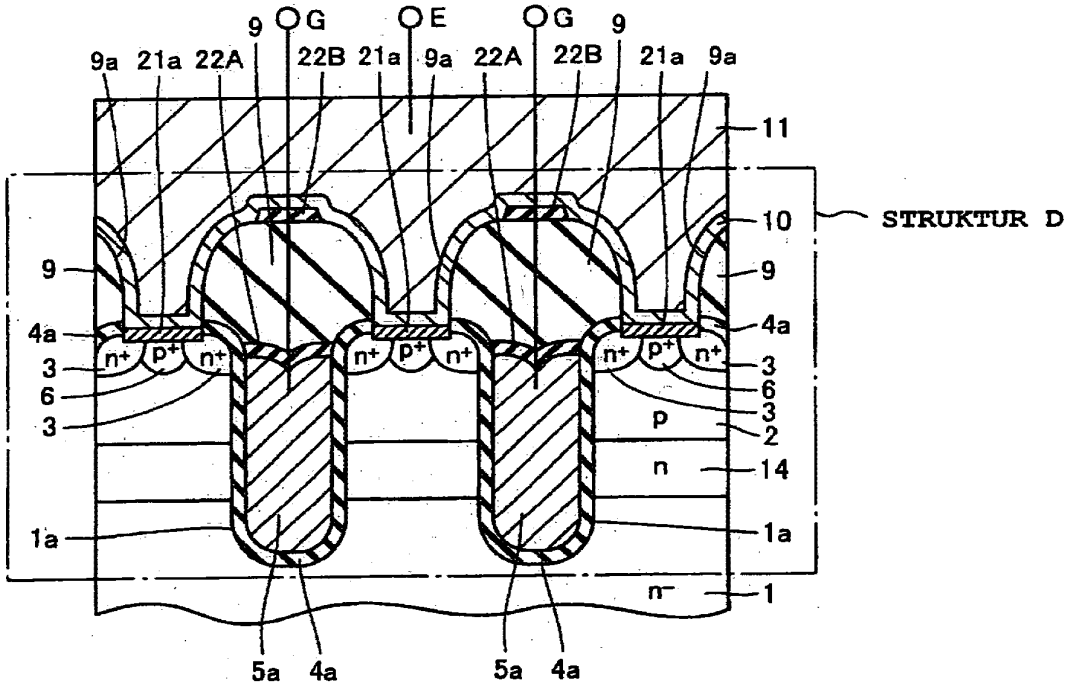

JCES (A/cm2) (398K)
ODER
VCE(Sat)(V)
0
100
200
300
Ra (nm)
0
1000
2000
3000
Rmax (nm)

FIG.39


9
G
E
G
9
9a
21a
22A
22B
21a
9a
22A
22B
21a
9a
11
10
STRUKTUR D
9
9
4a
4a
n+
p+
n+
n+
p+
n+
n+
p+
n+
3
6
3
3
6
3
p
2
n
14
1a
1a
n−
1
5a
4a
5a
4a

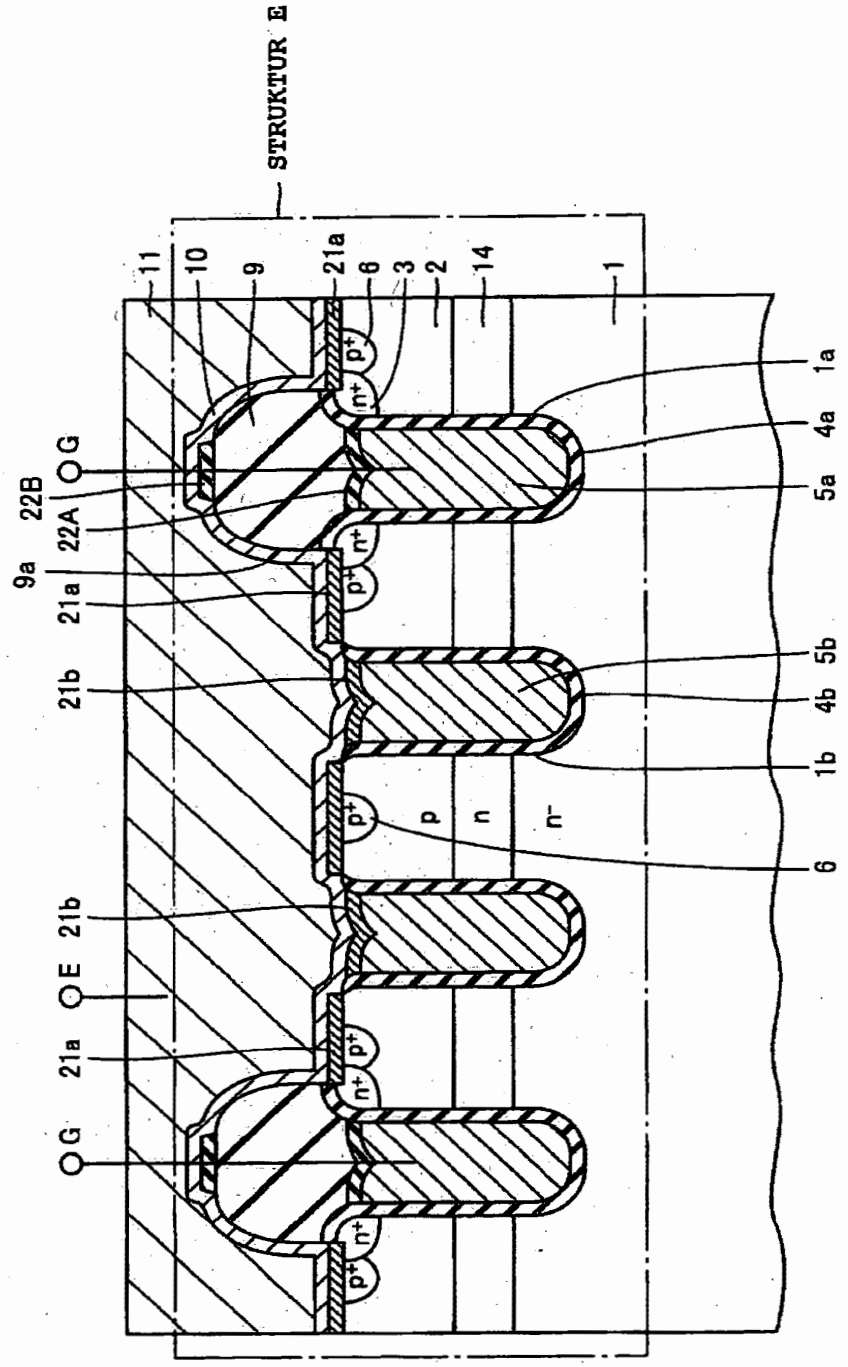


FIG.40

SDC EX. 1002 - 407/486

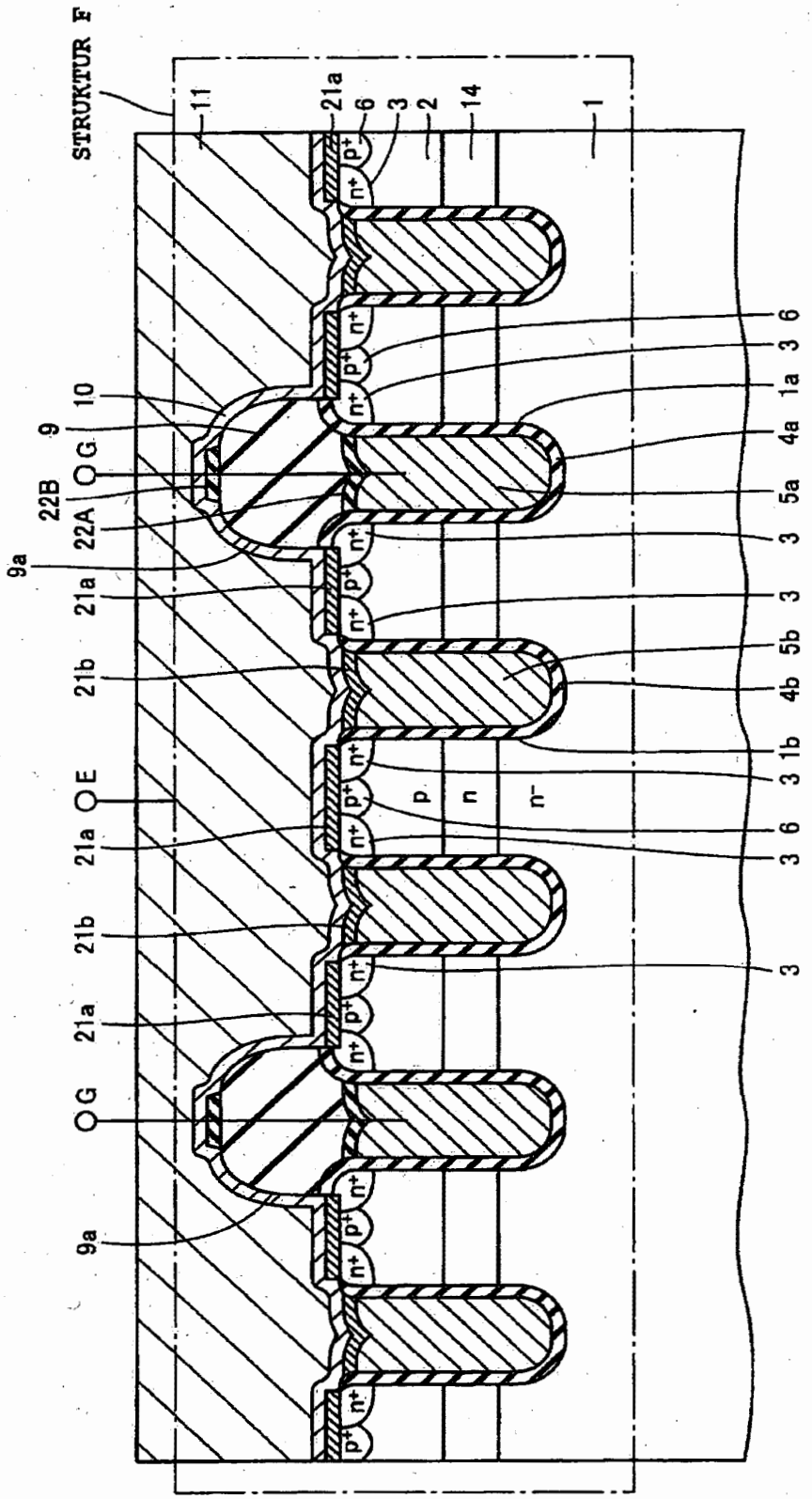


FIG.41

SDC EX. 1002 - 408/486

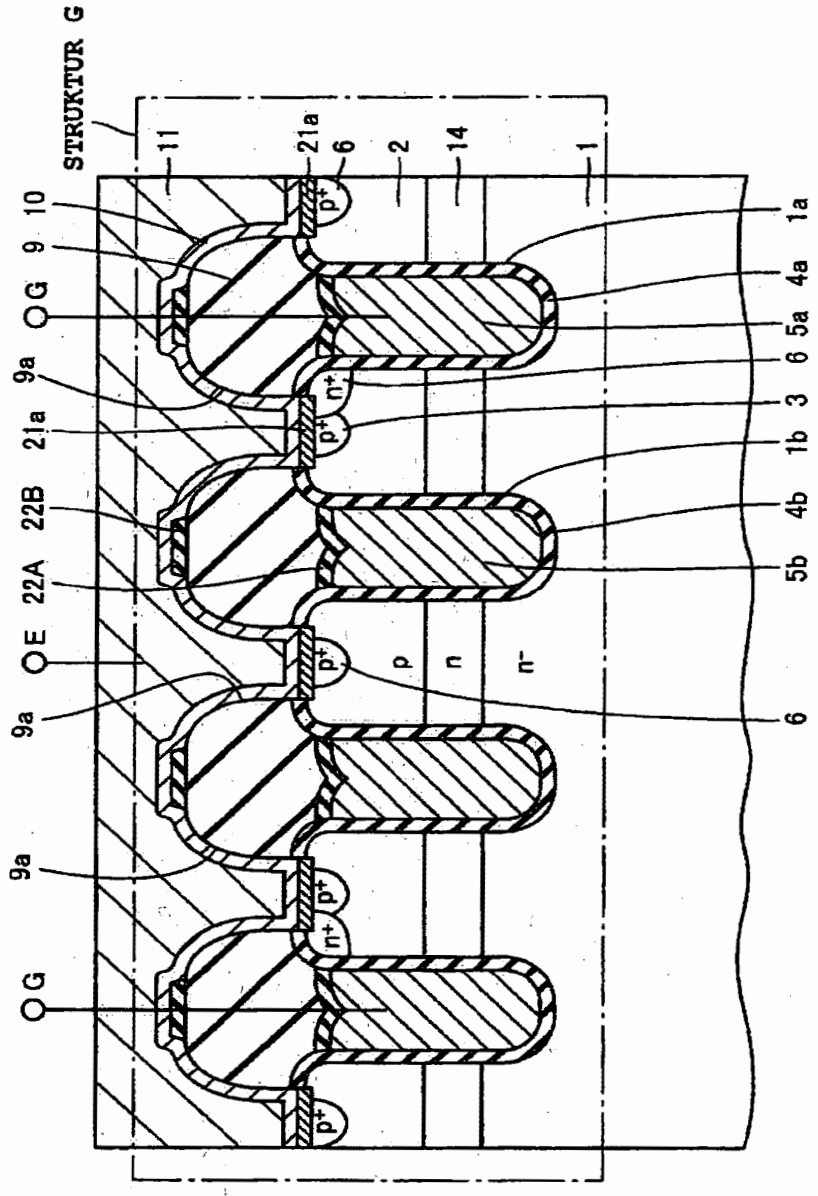

STRUKTUR G
11
21a
6
2
14
1
10
9
G
9a
21a
22B
22A
E
9a
9a
G
p+
n+
p
n
n-
1a
4a
5a
6
3
1b
4b
5b
6

FIG.42

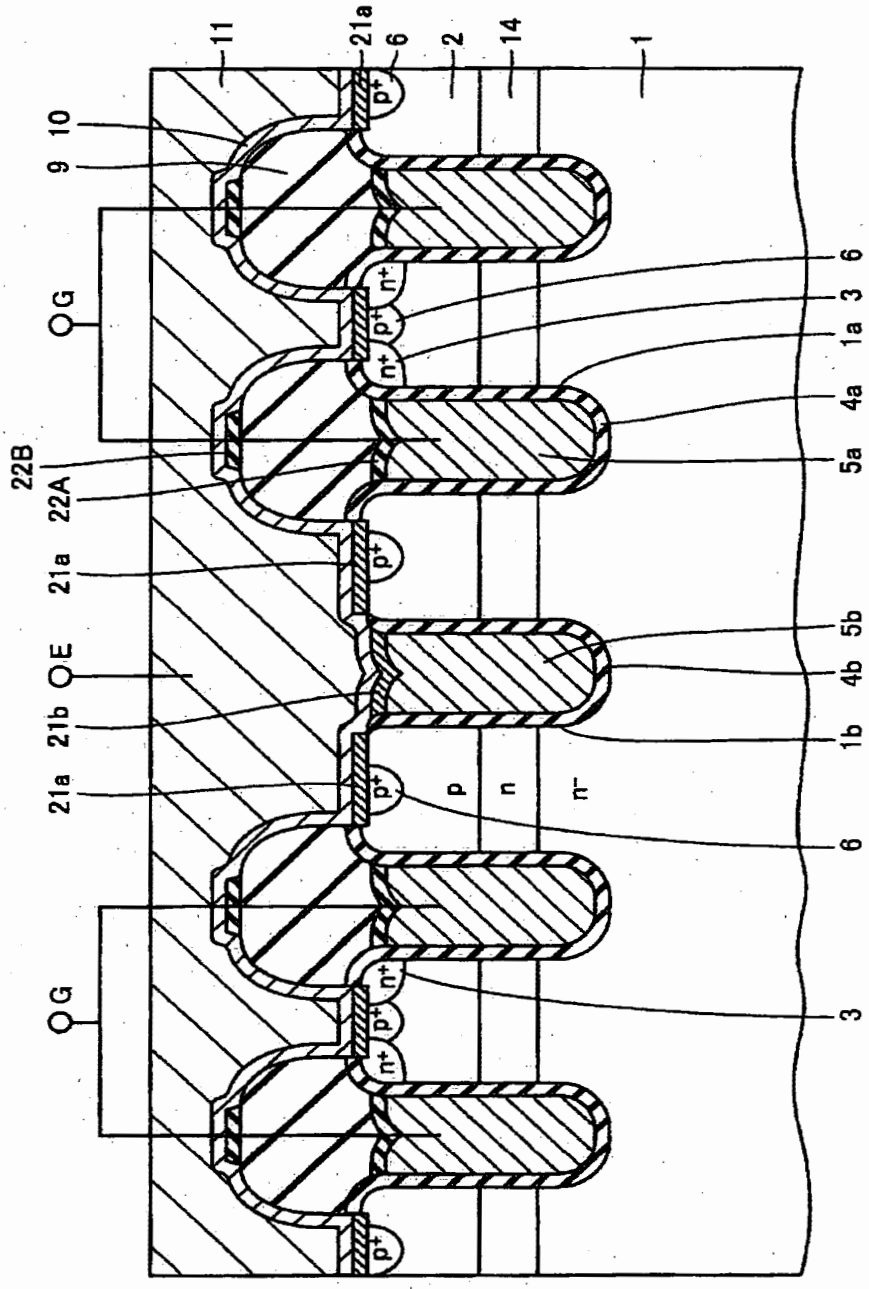

11
21a
6
2
14
1
9
10
G
22B
22A
21a
E
21b
21a
G
p+
n+
p
n
n−
6
3
1a
4a
5a
5b
4b
1b

FIG.43

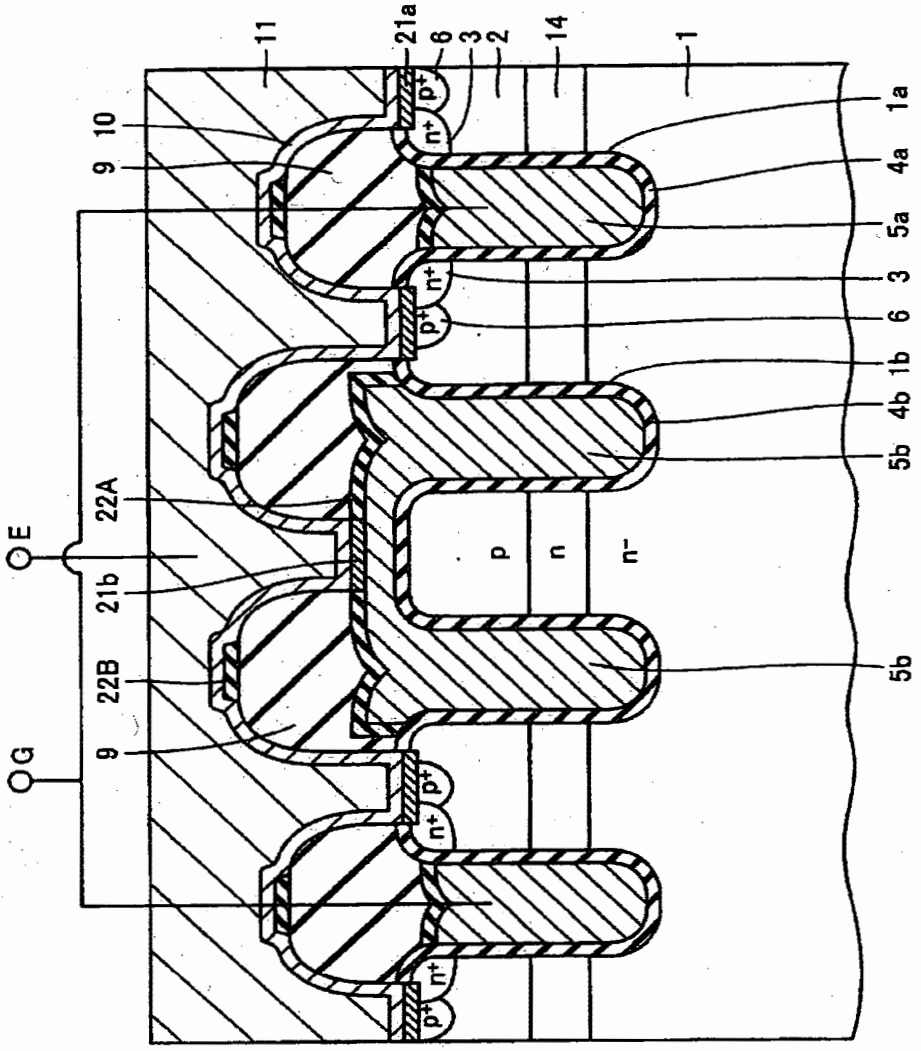


FIG.44

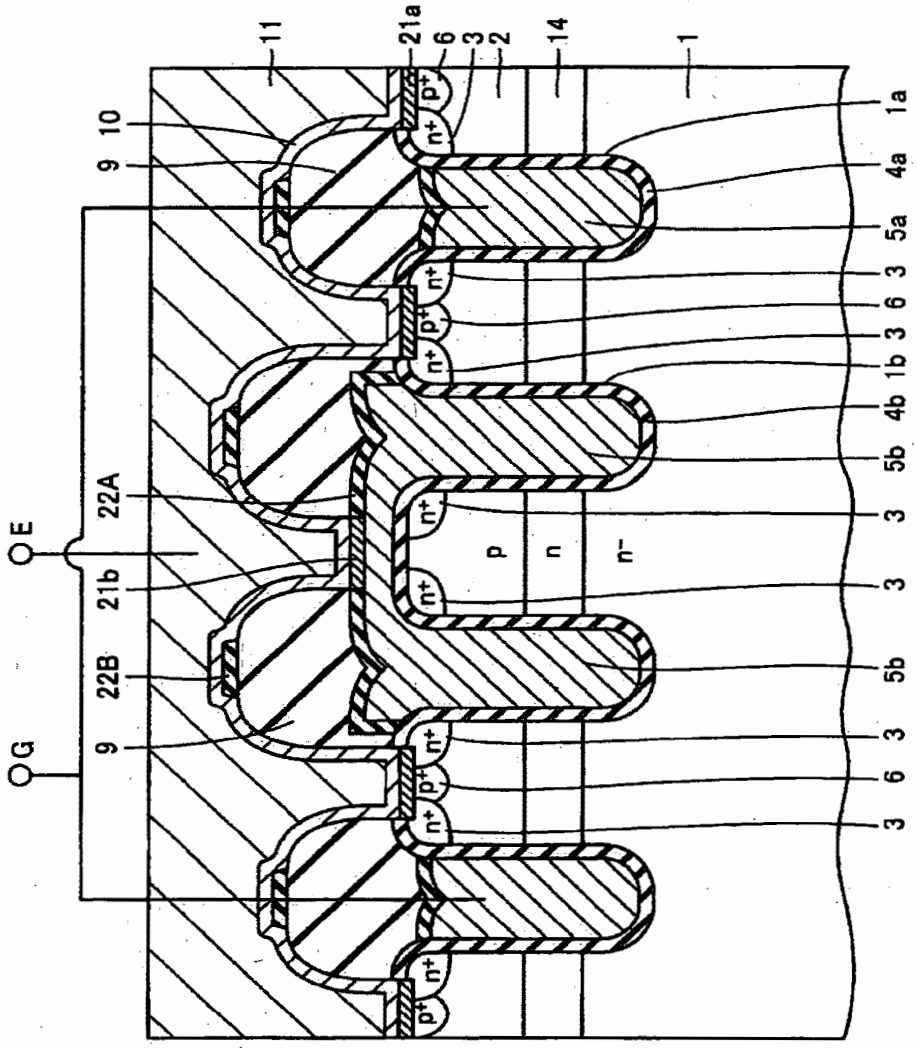


FIG.45

SDC EX. 1002 - 412/486

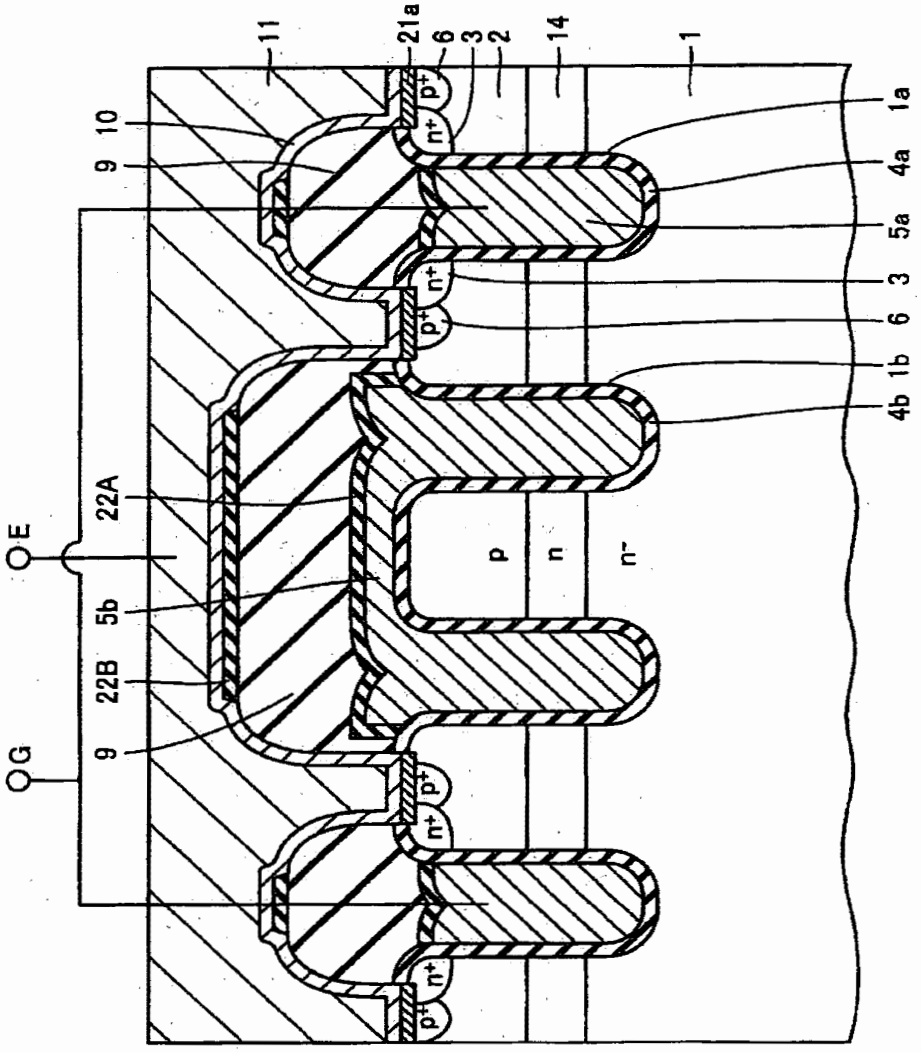


FIG.46

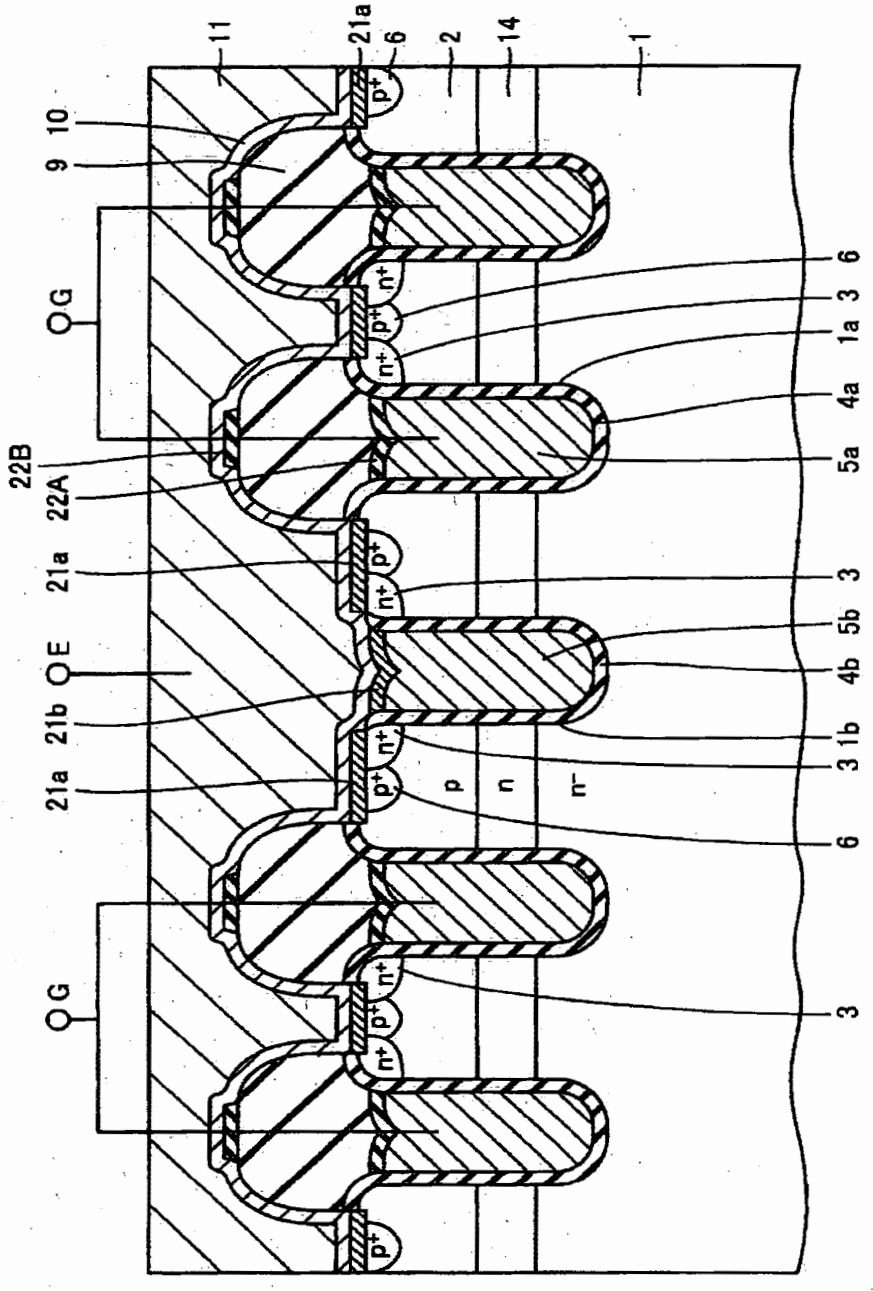
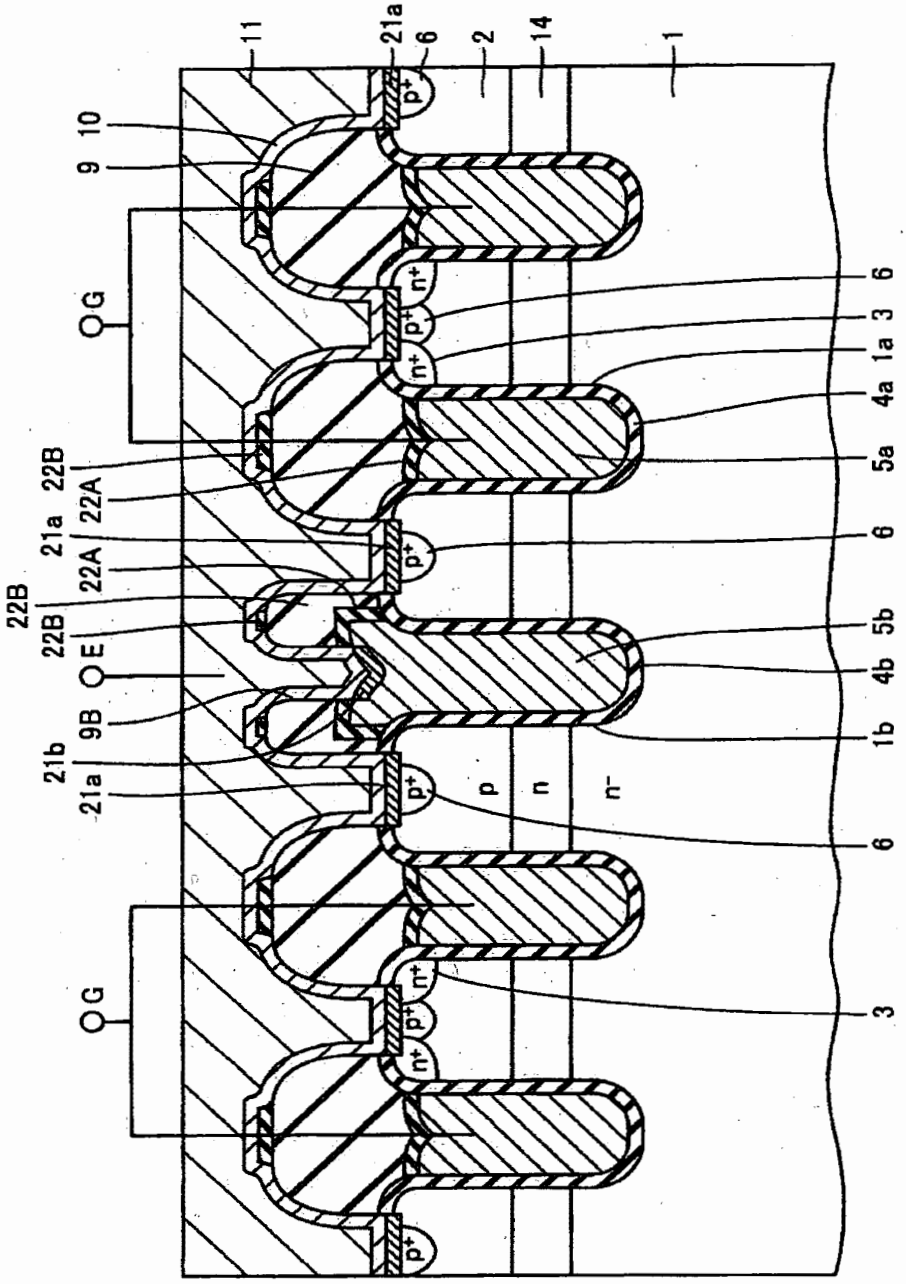

11
21a
6
2
14
1
9
10
G
22B
22A
21a
E
21b
21a
G
p+
n+
p
n
n−
6
3
1a
4a
5a
3
5b
4b
1b
3
6
3

FIG.47

FIG.48



SDC EX. 1002 - 415/486

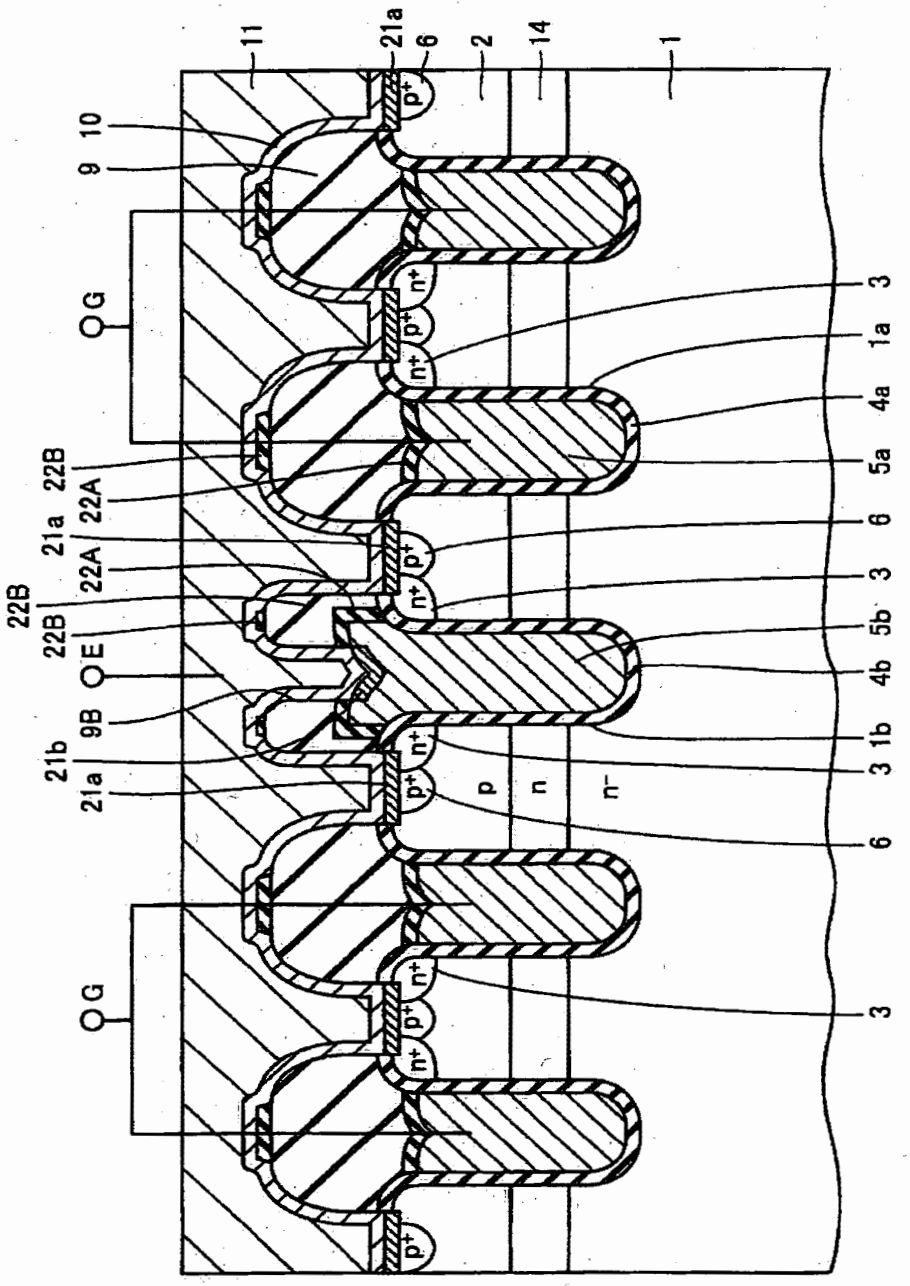

11
21a
6
2
14
1
9
10
G
22B
22A
21a
22A
22B
22B
E
9B
21b
21a
p+
n+
p
n
n−
3
1a
4a
5a
6
3
5b
4b
1b
3
6
3

FIG.49

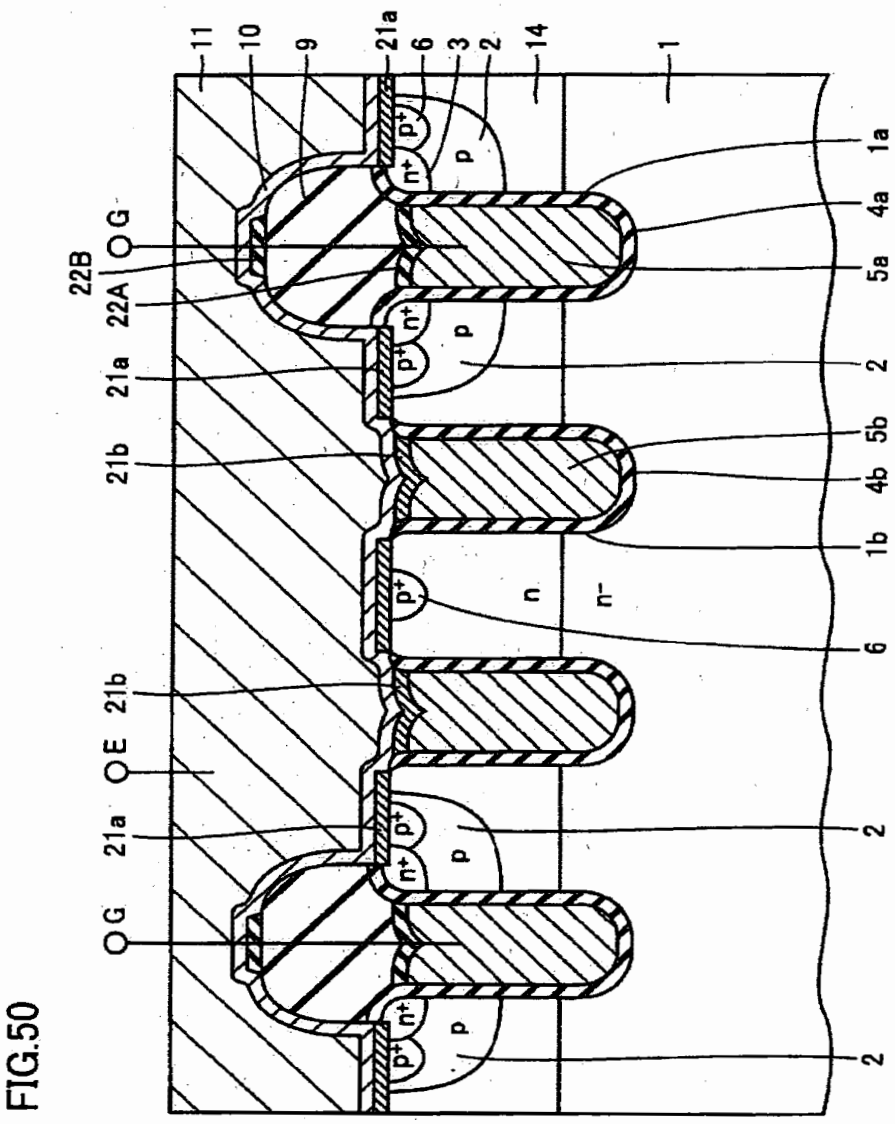


FIG.50

SDC EX. 1002 - 417/486

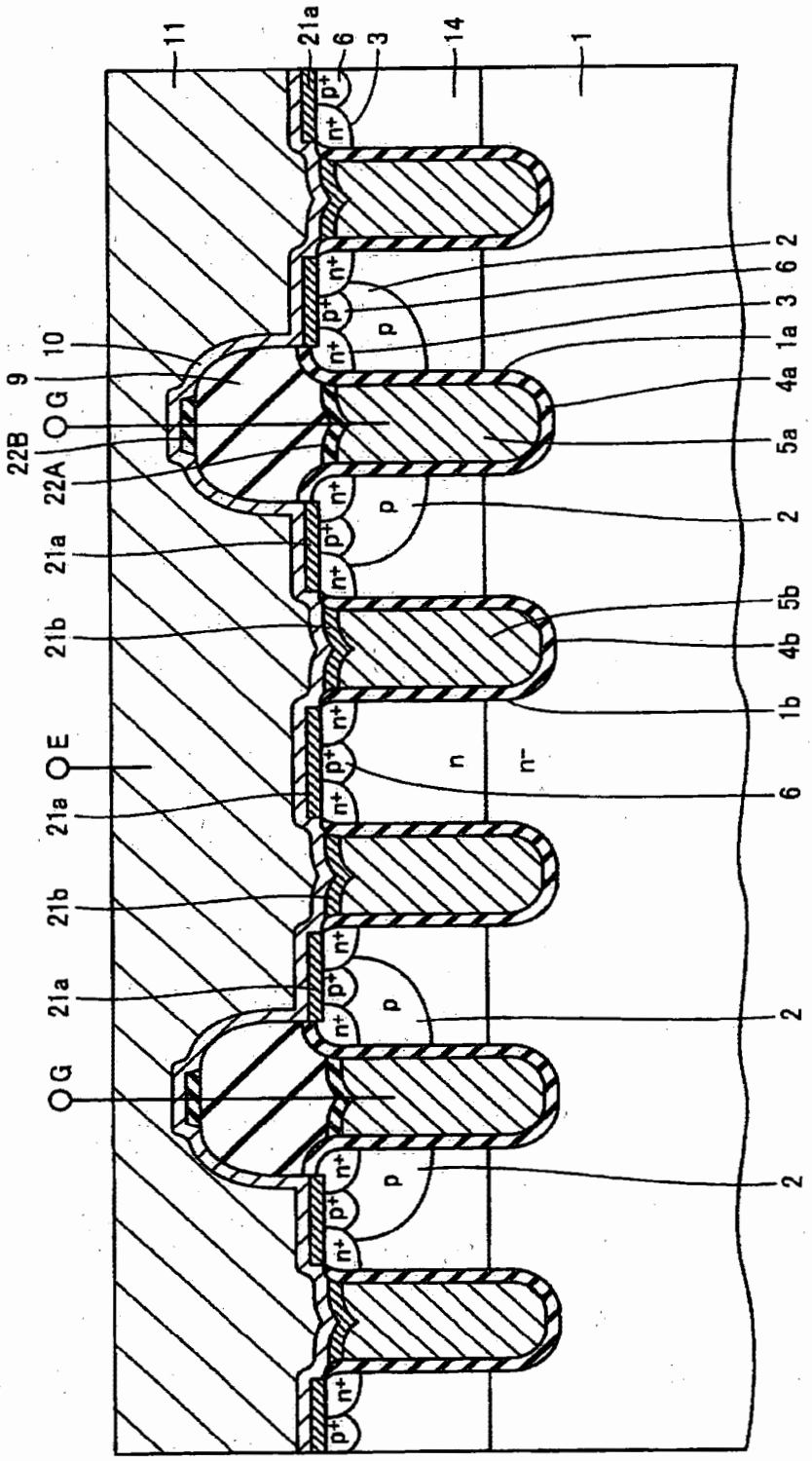


FIG.51

SDC EX. 1002 - 418/486

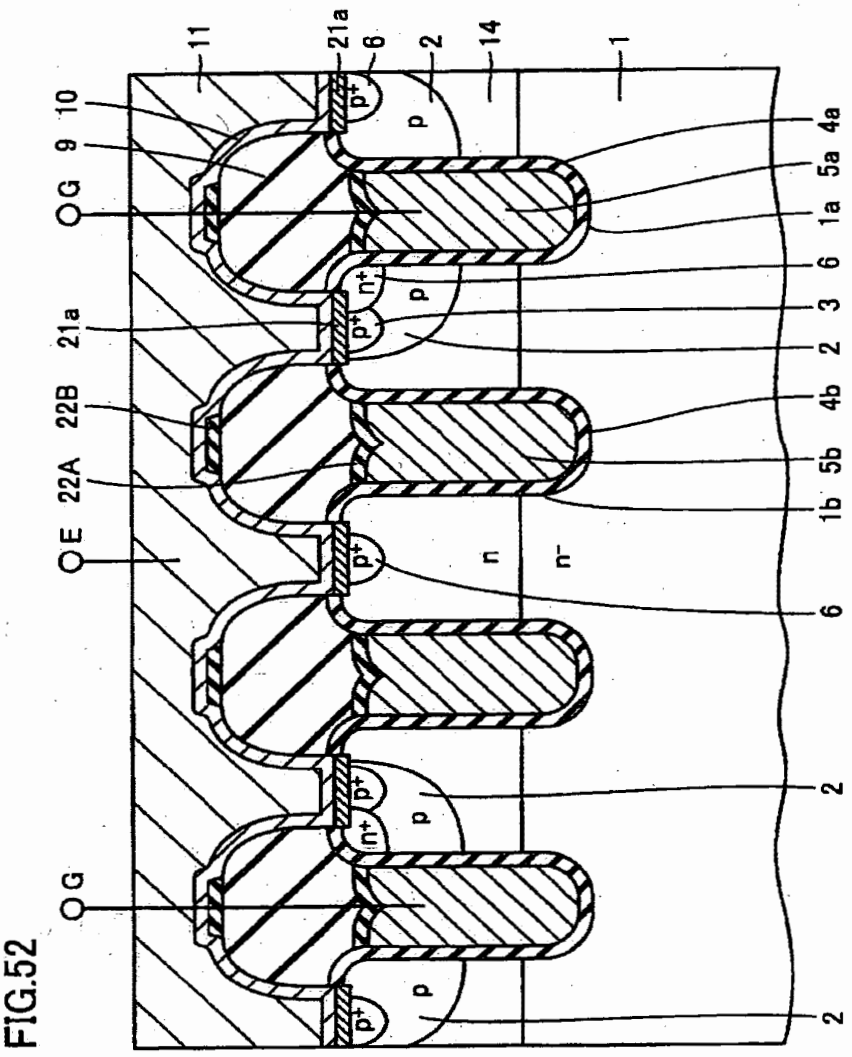


FIG.52

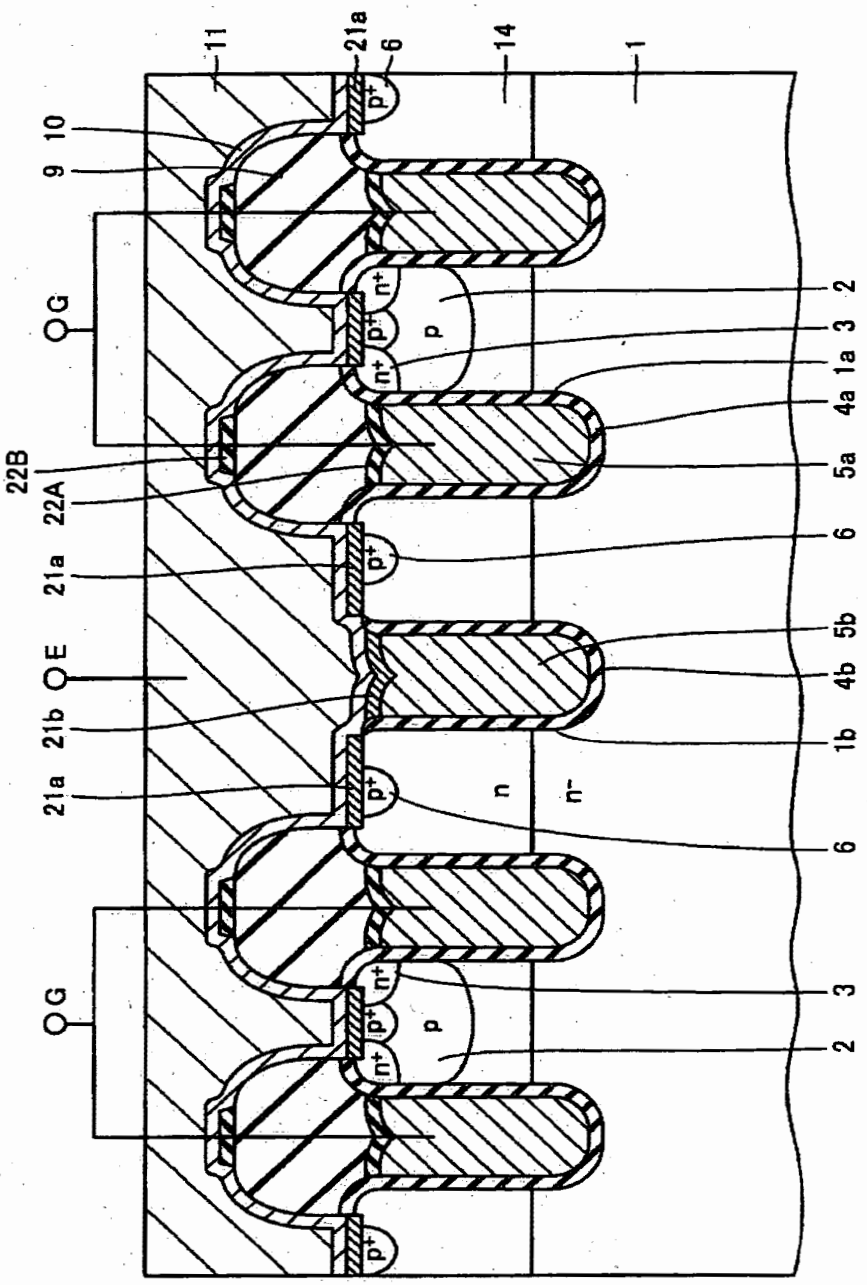


FIG.53

SDC EX. 1002 - 420/486

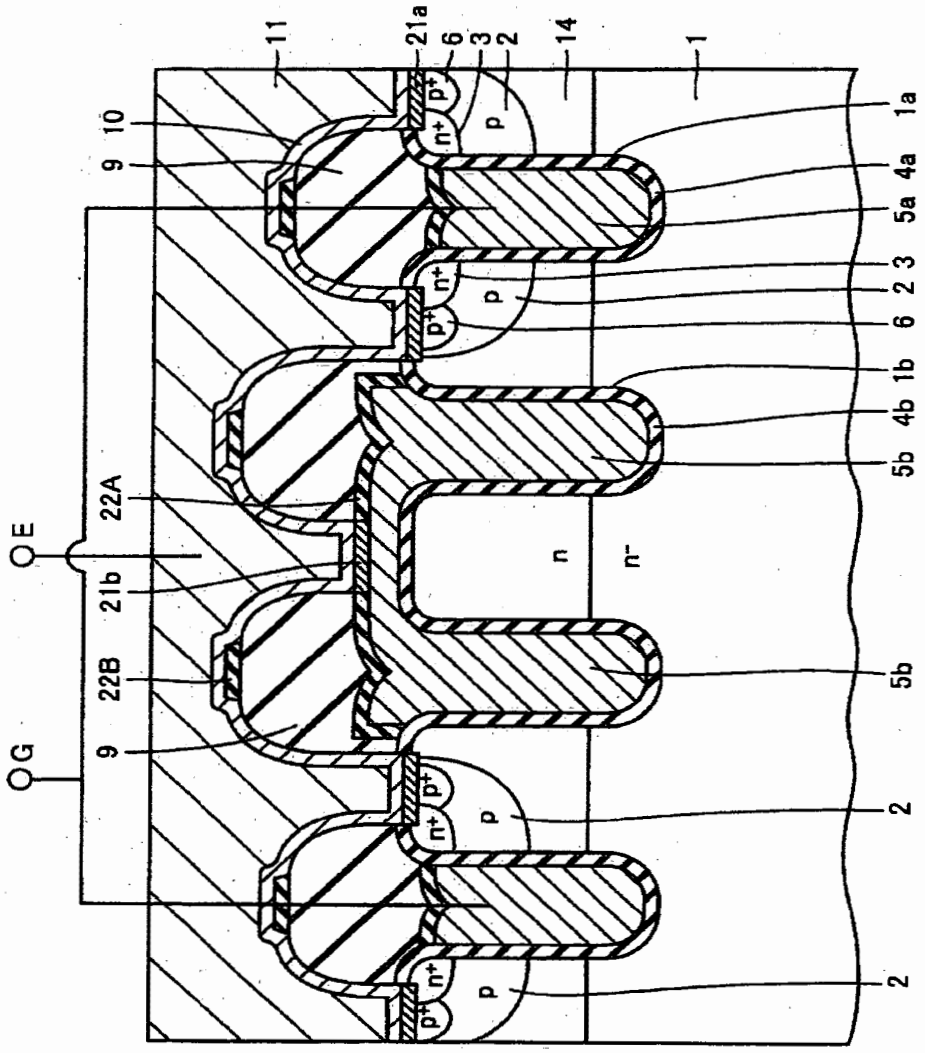


FIG.54

SDC EX. 1002 - 421/486

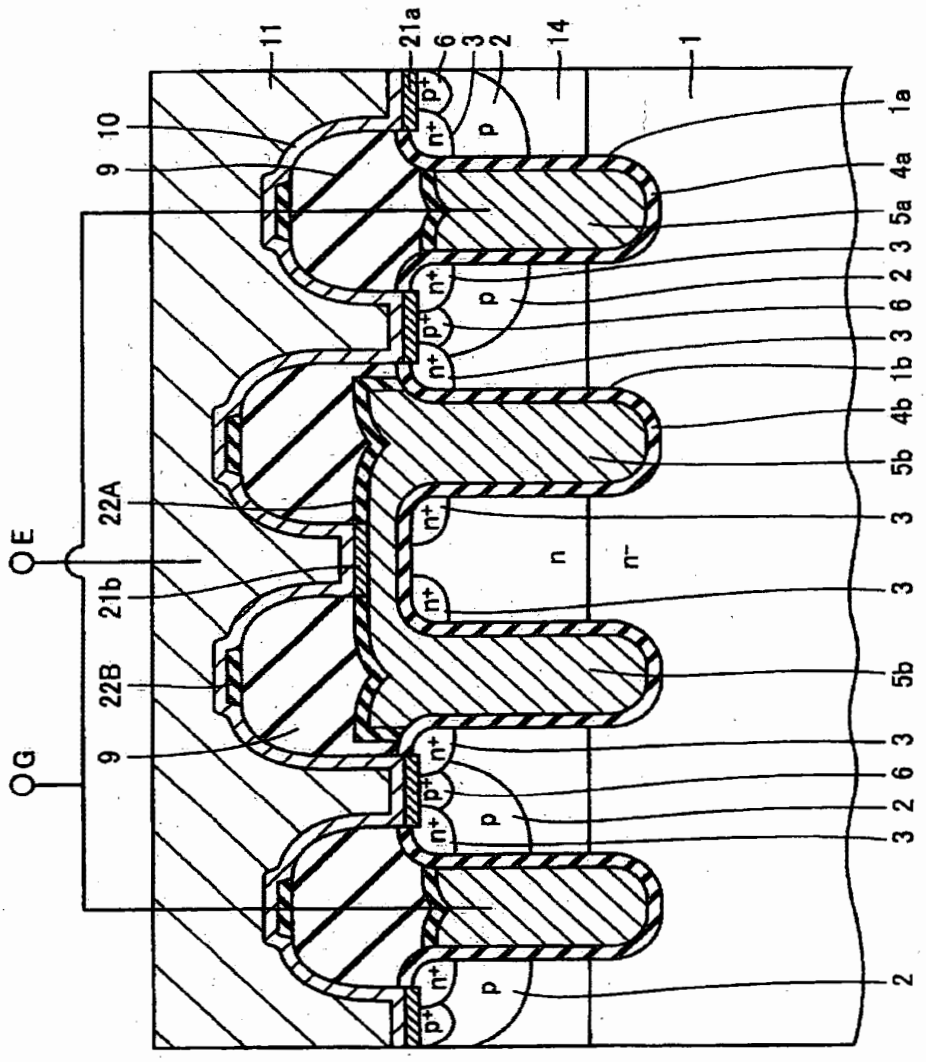

11
21a
6
3
2
14
1
10
9
1a
4a
5a
3
2
6
3
1b
4b
5b
3
5b
3
6
2
3
2
22A
21b
22B
E
G
n+
p+
p
n
n-

FIG.55

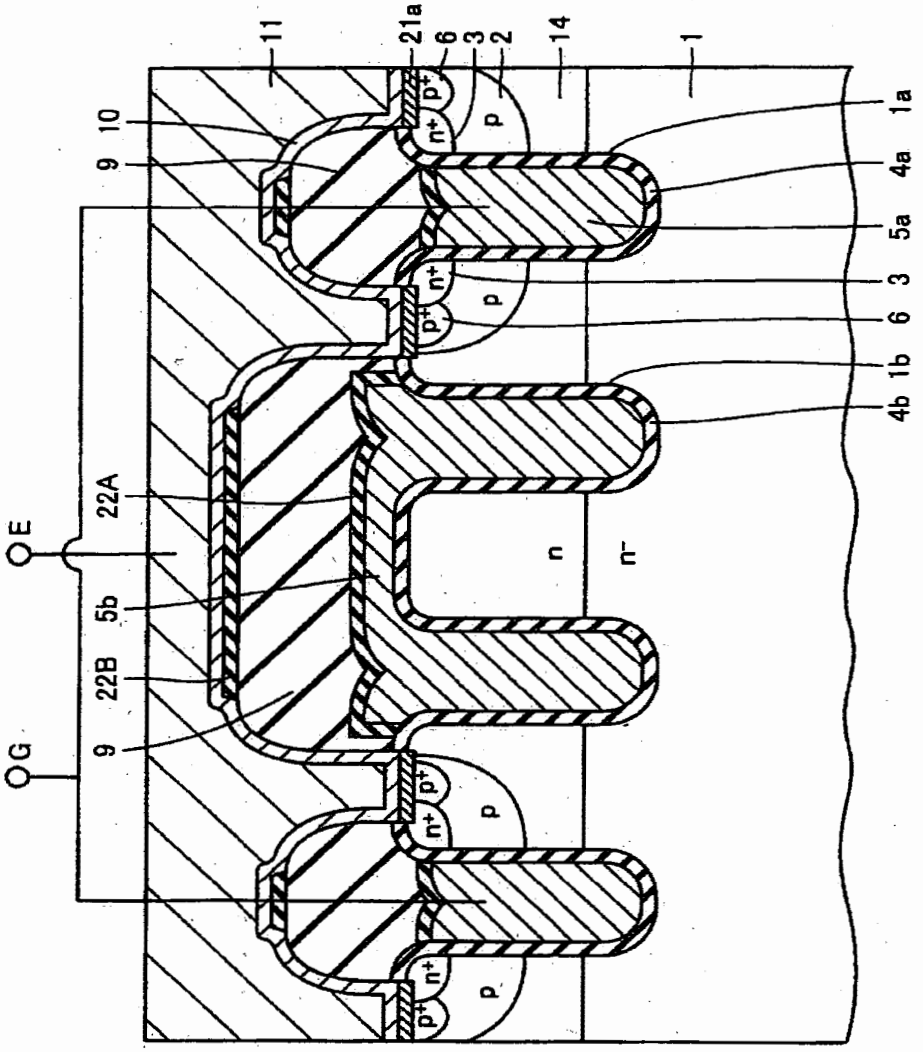


FIG.56

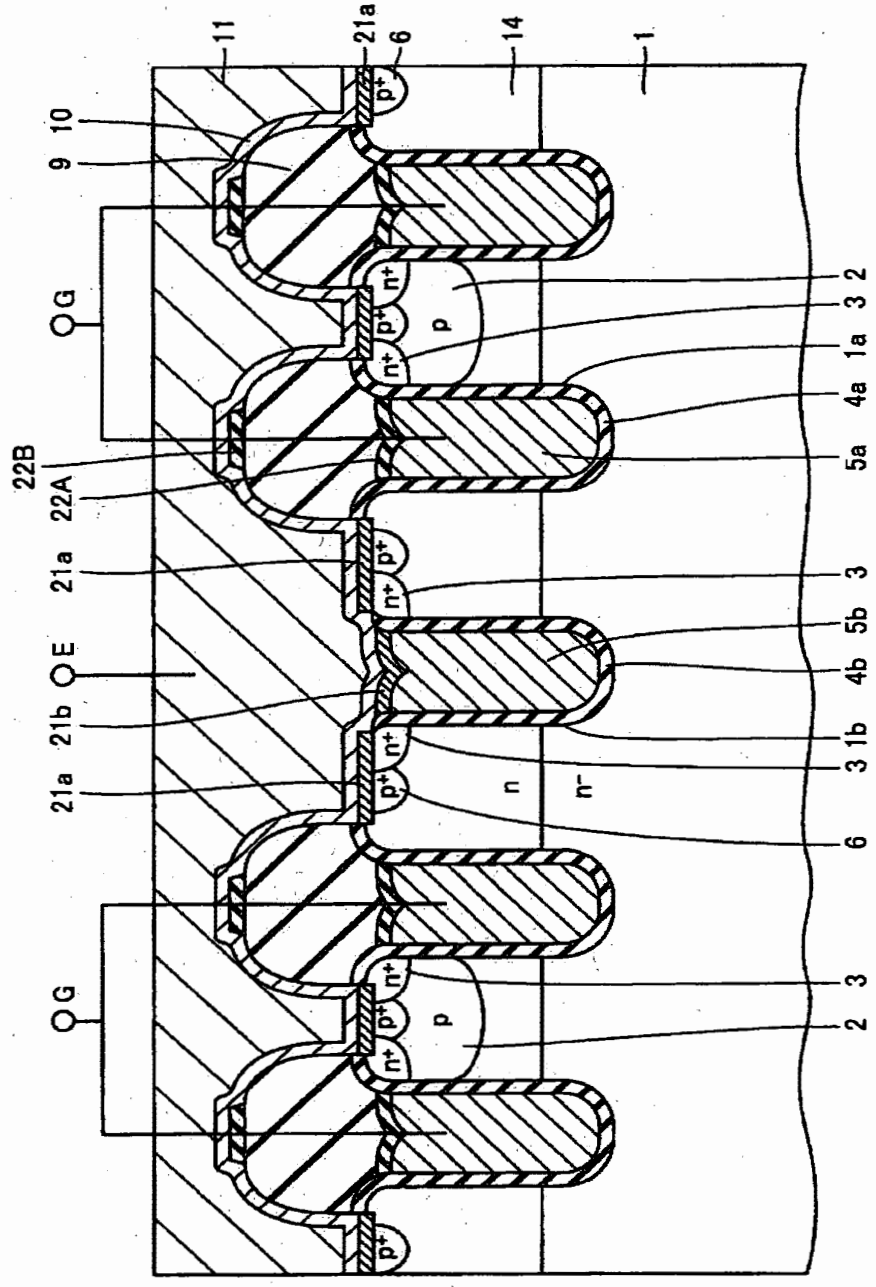


FIG.57

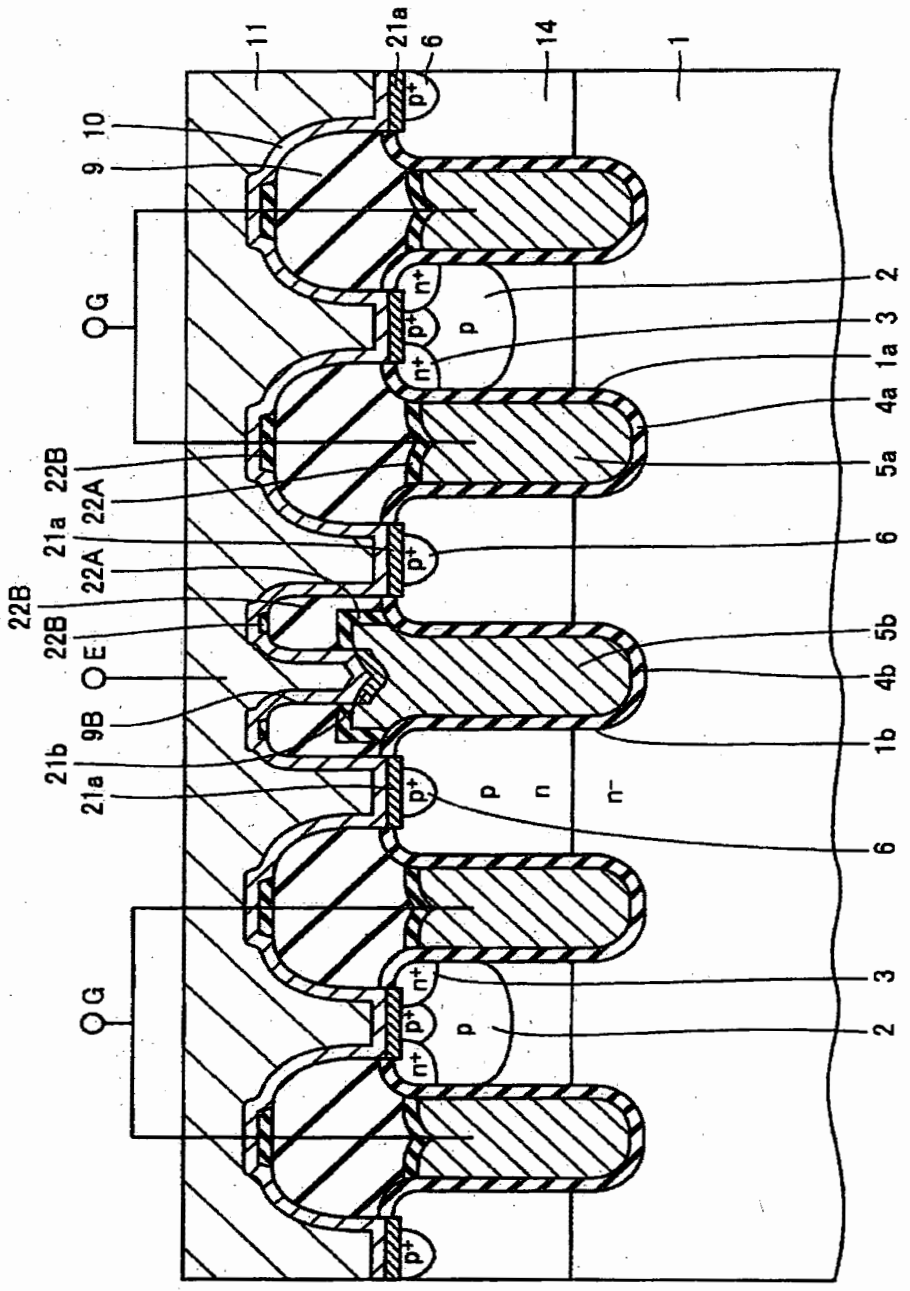

11
21a
6
14
1
9
10
G
22B
22A
21a
22A
22B
22B
E
9B
21b
21a
G
p+
n+
p+
n+
p
p
n
n−
2
3
1a
4a
5a
6
5b
4b
1b
6
3
2

FIG.58

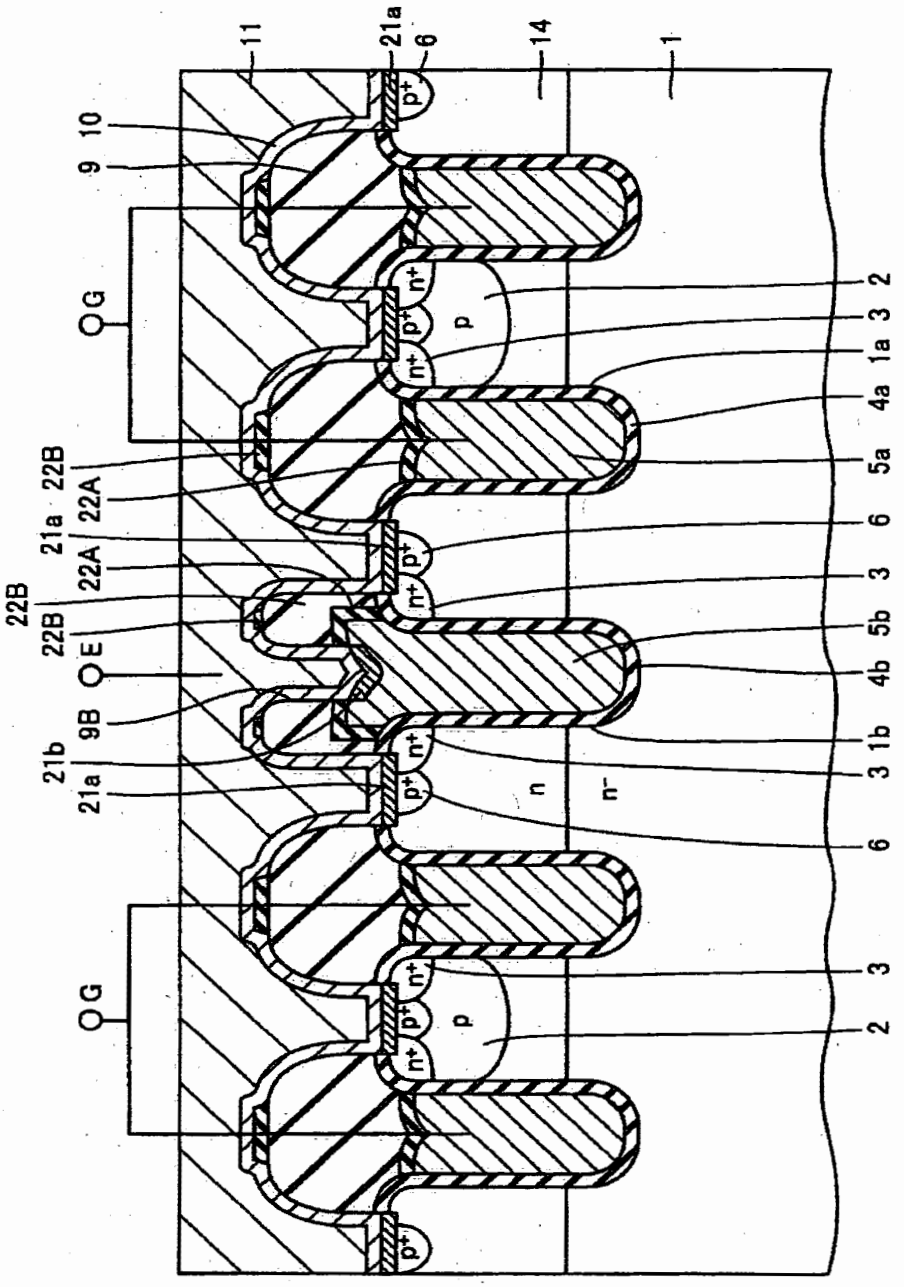

11
21a
6
14
1
9
10
G
22B
22A
21a
22A
22B
22B
E
9B
21b
21a
G
p+
n+
p
n
n−
2
3
1a
4a
5a
6
3
5b
4b
1b
3
6
3
2

FIG.59

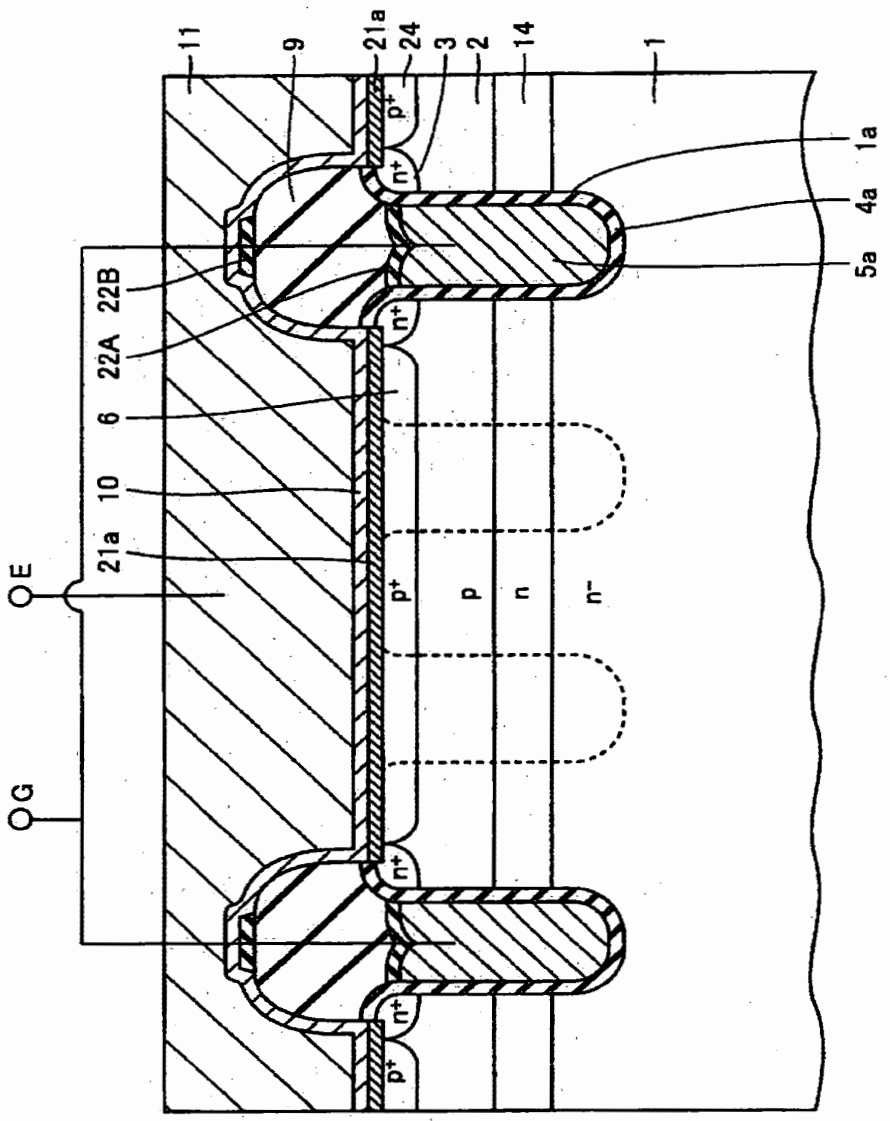


FIG.60

SDC EX. 1002 - 427/486

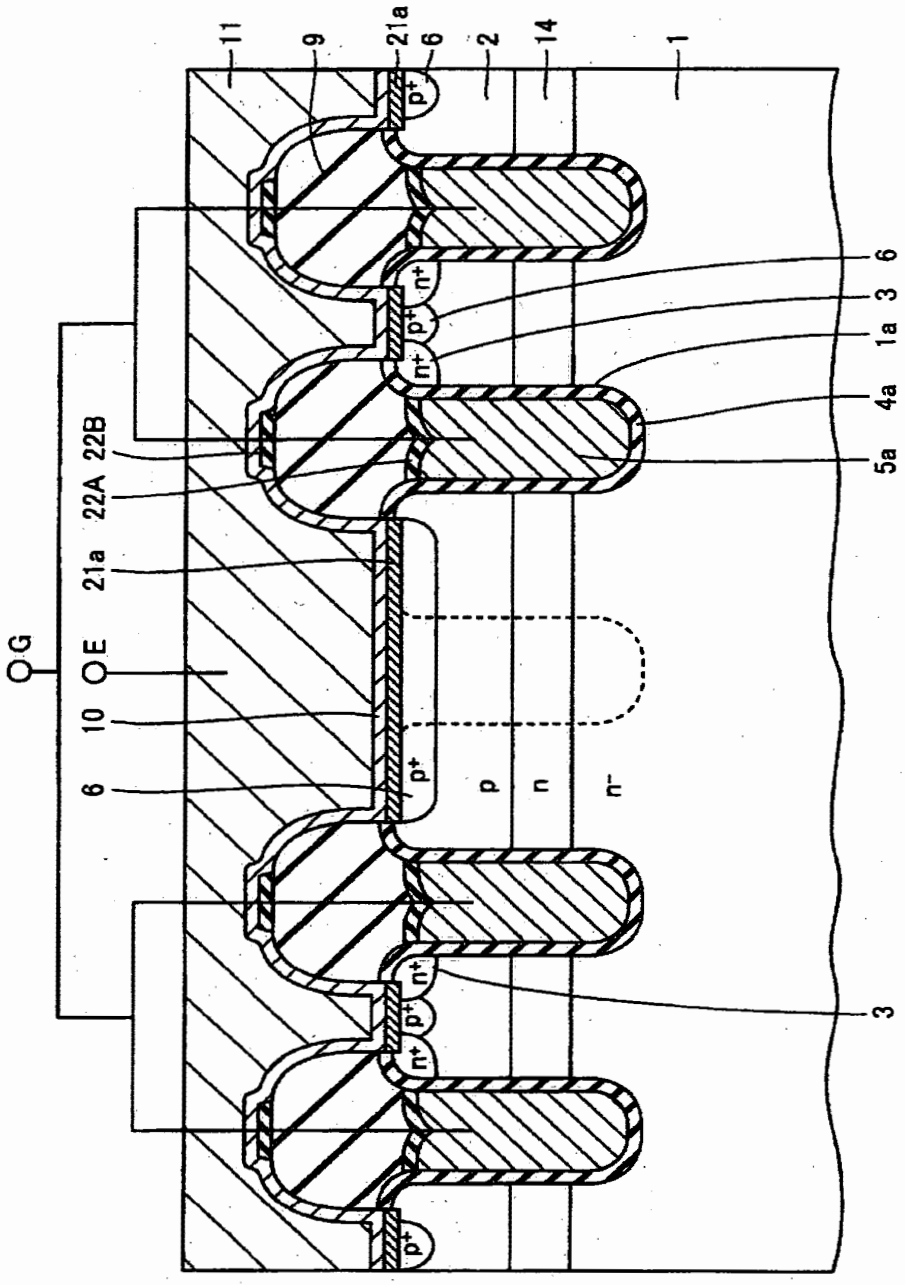


FIG.61

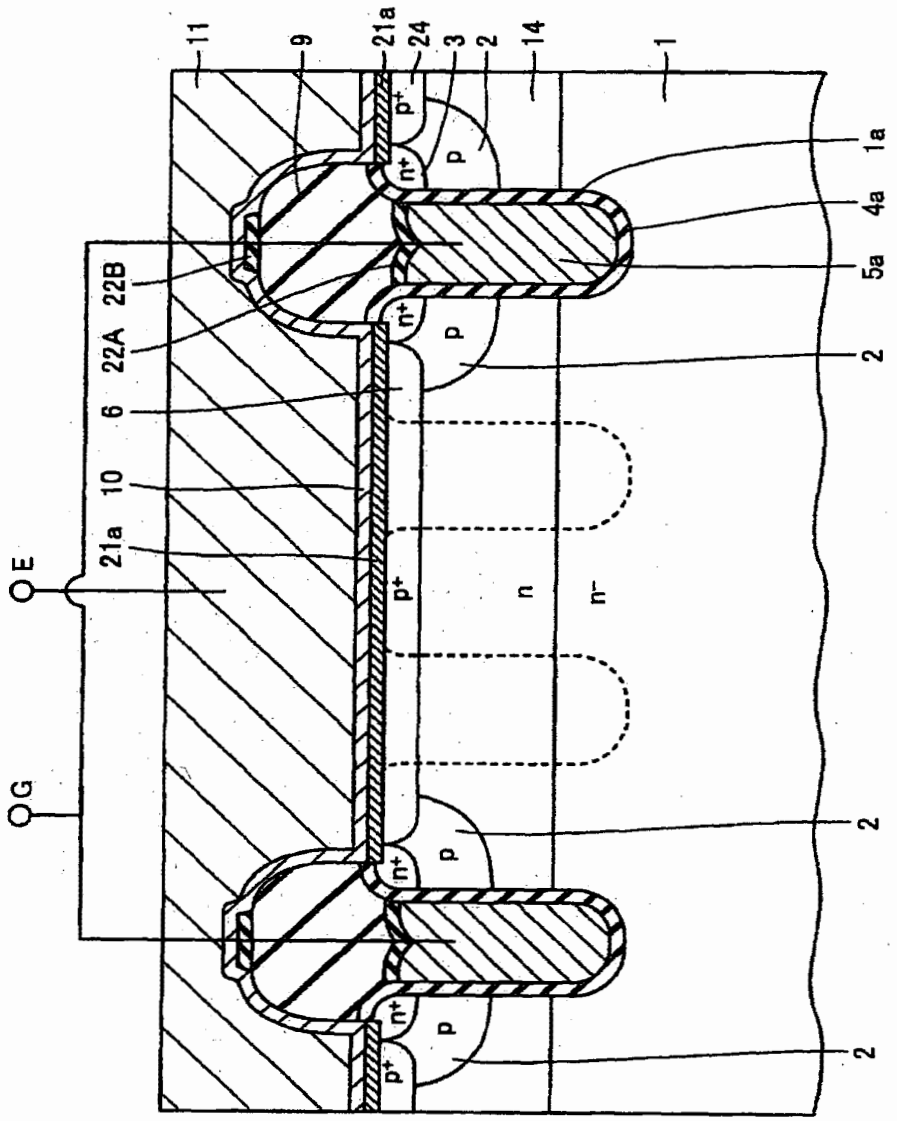


FIG.62

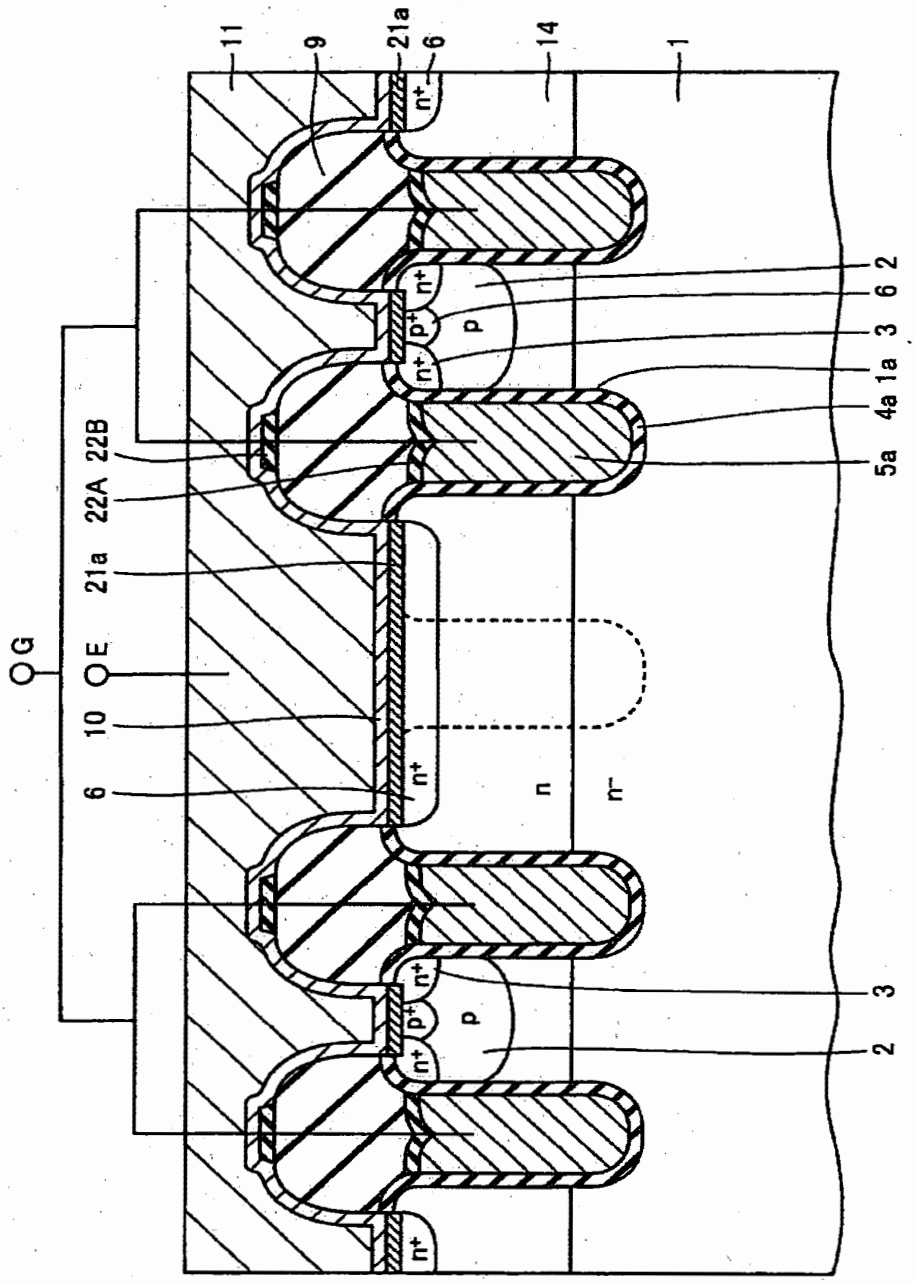


FIG.63

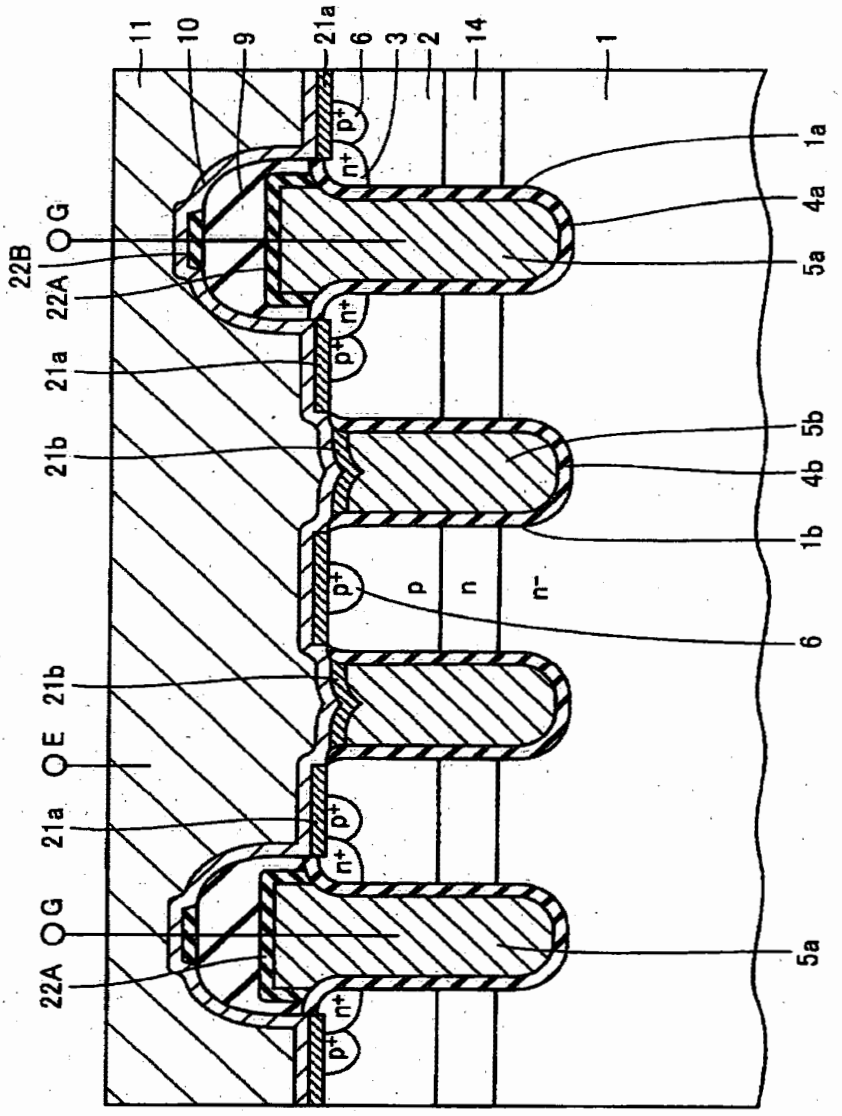


FIG.64

SDC EX. 1002 - 431/486

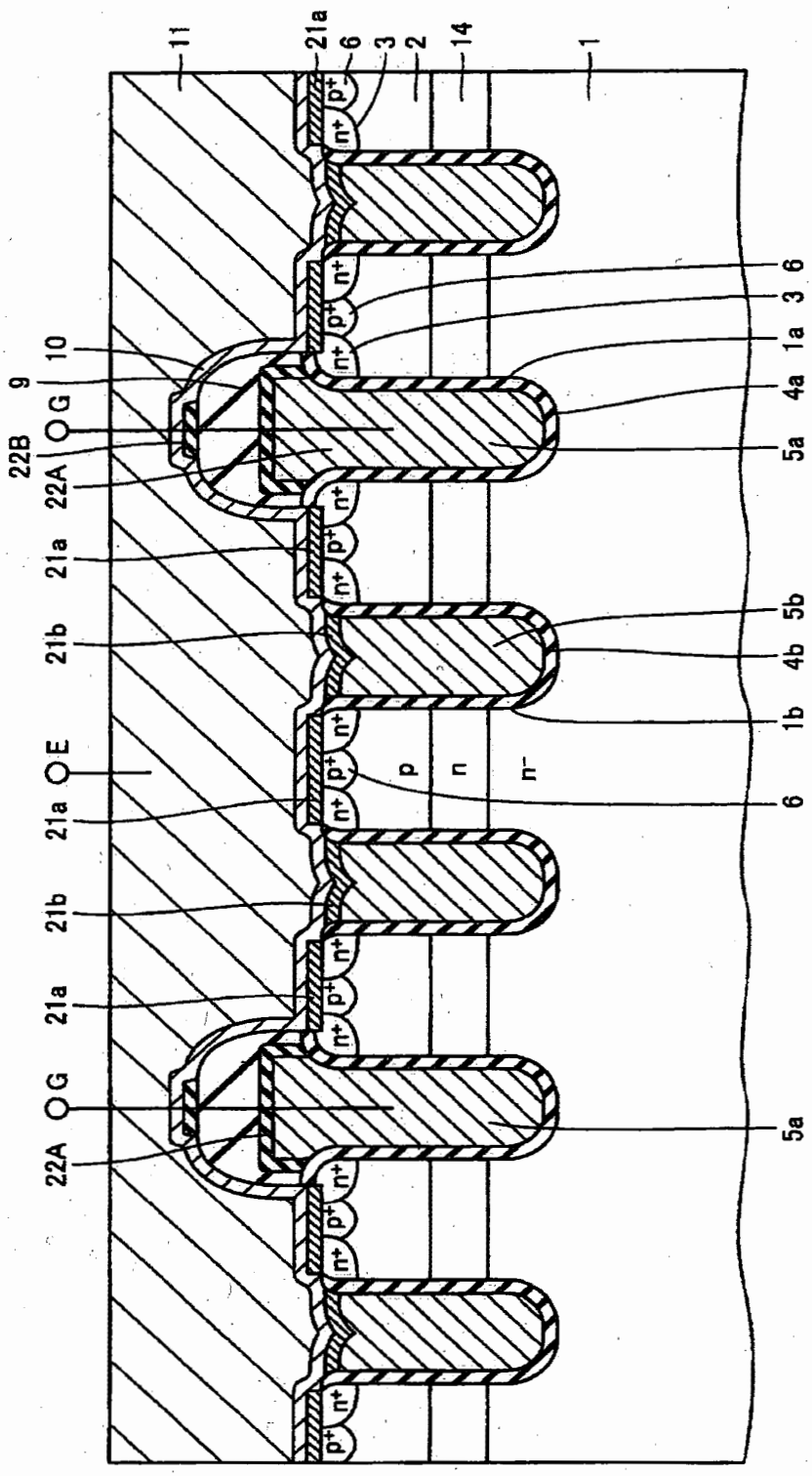


FIG.65

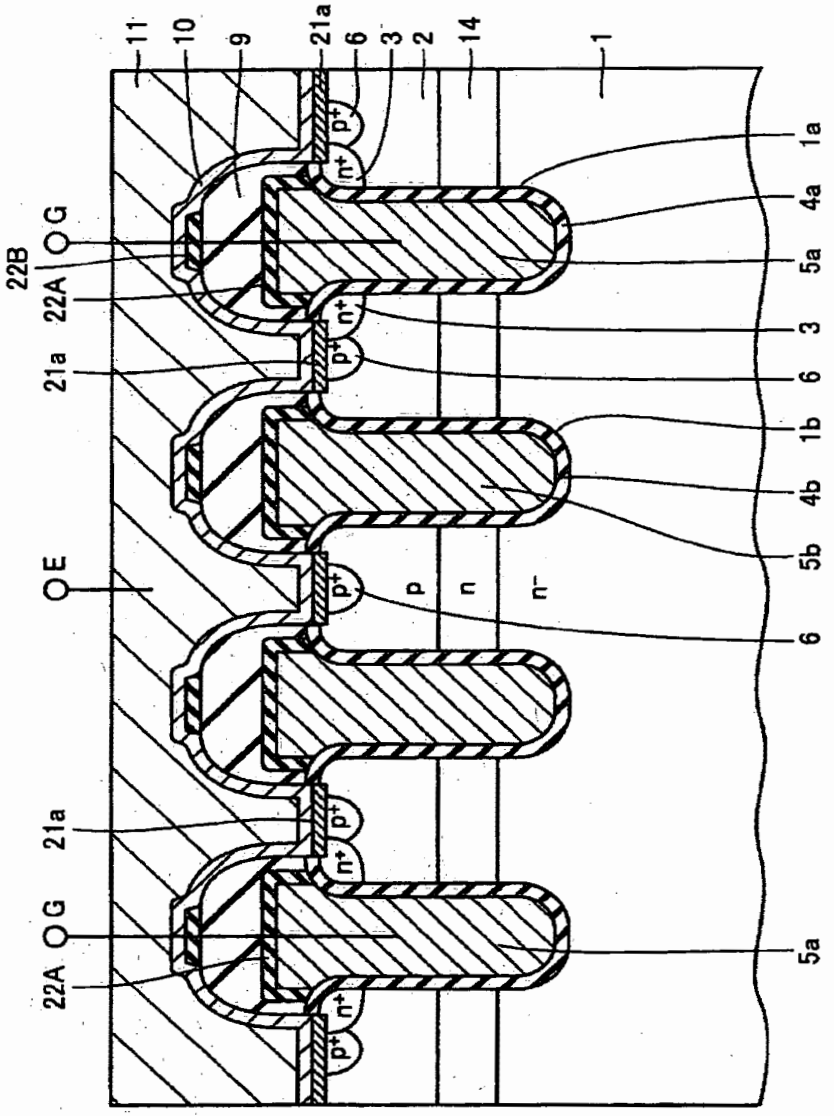

11
10
9
21a
6
3
2
14
1
1a
4a
5a
3
6
1b
4b
5b
6
5a
G
22B
22A
21a
E
21a
G
22A
p+
n+
p
n
n-

FIG.66

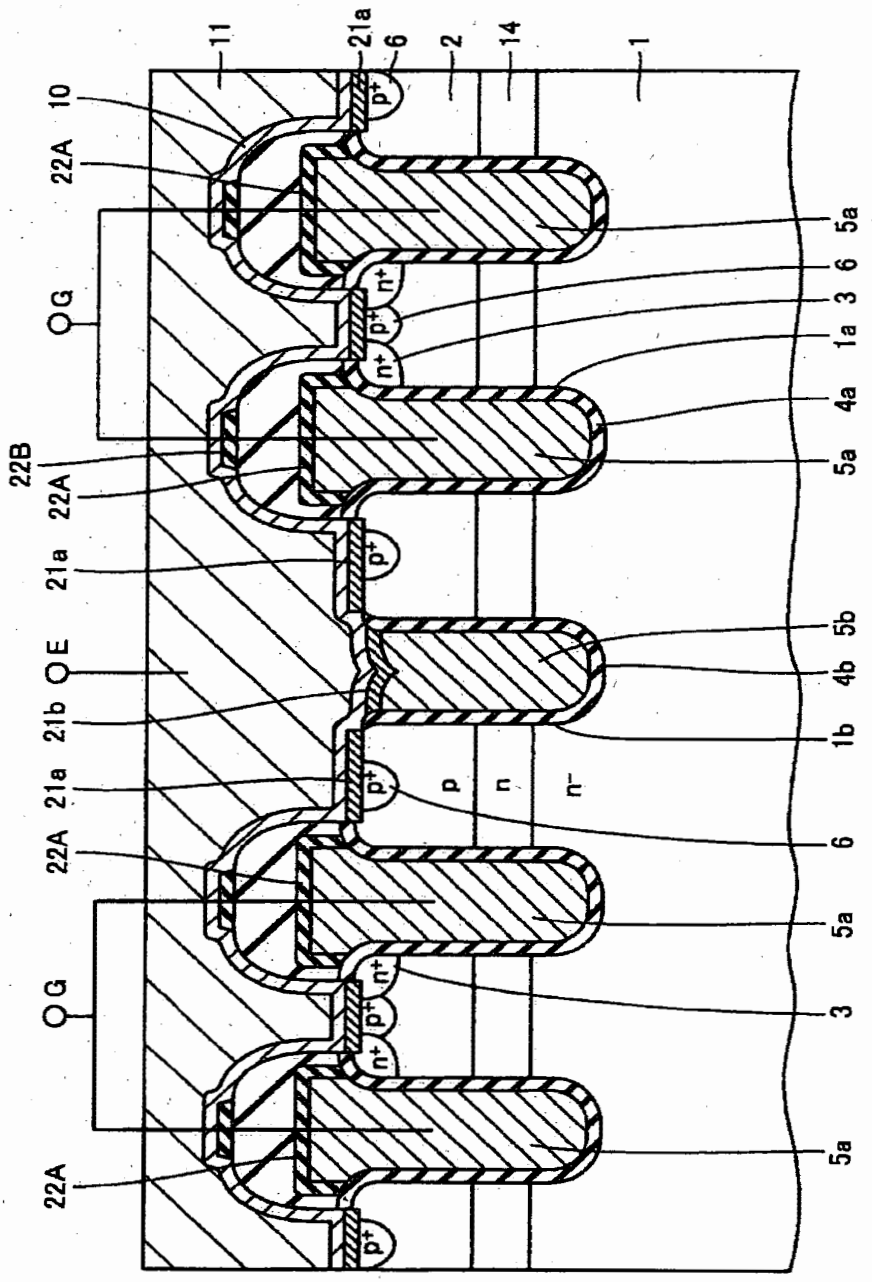

11
21a
6
2
14
1
10
22A
5a
G
6
3
1a
4a
22B
22A
5a
21a
5b
E
4b
21b
1b
21a
p
n
n⁻
22A
6
5a
G
3
22A
5a
p+
n+

FIG.67

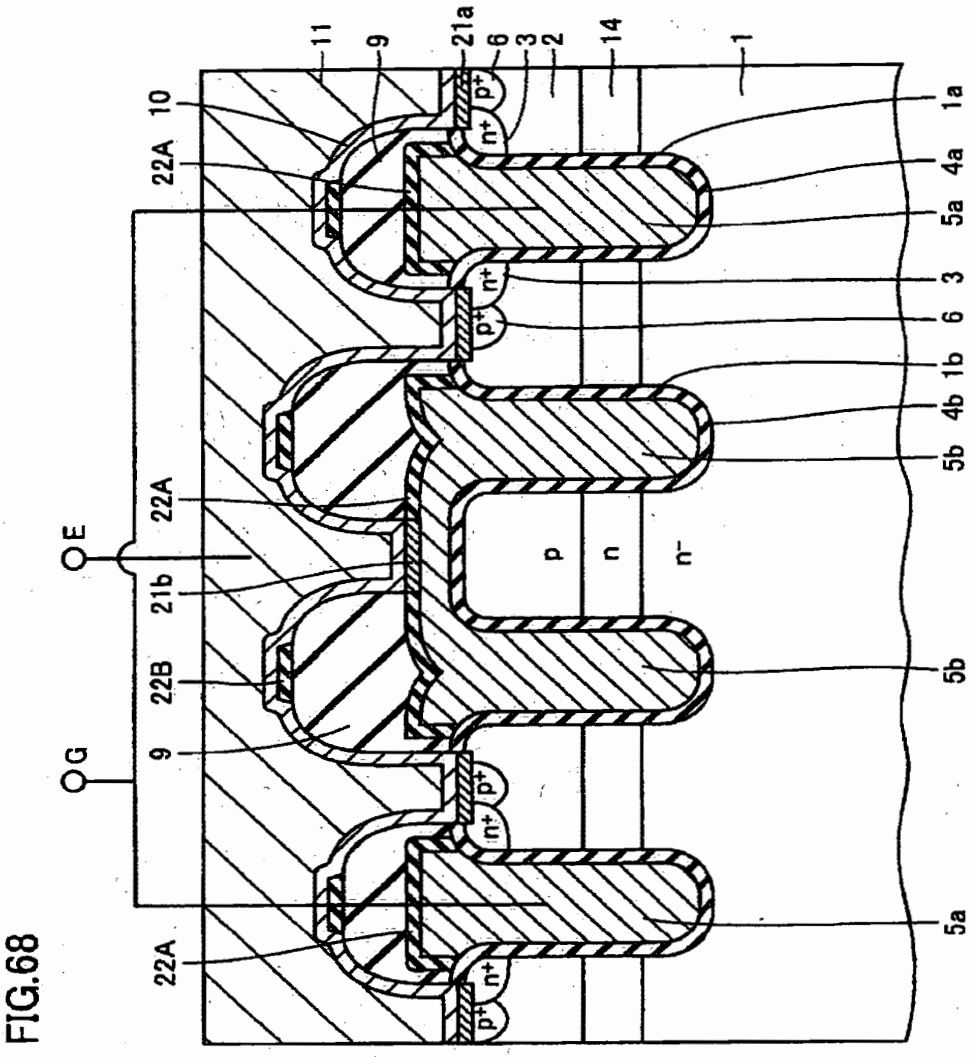


FIG.68

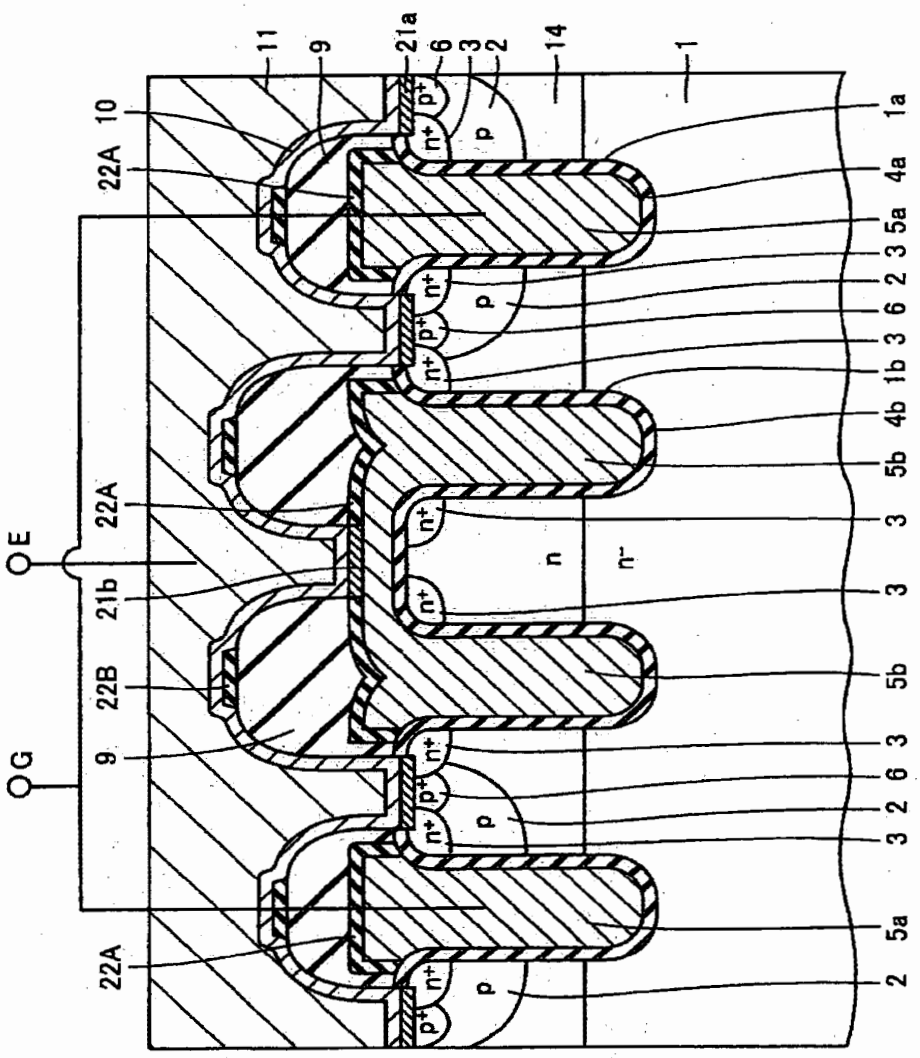

11
9
21a
6
3
2
14
1
10
22A
22A
E
21b
22B
9
G
22A
n+
p+
p
n
n-
1a
4a
5a
3
2
6
3
1b
4b
5b
3
3
5b
3
6
2
3
5a
2

FIG.69

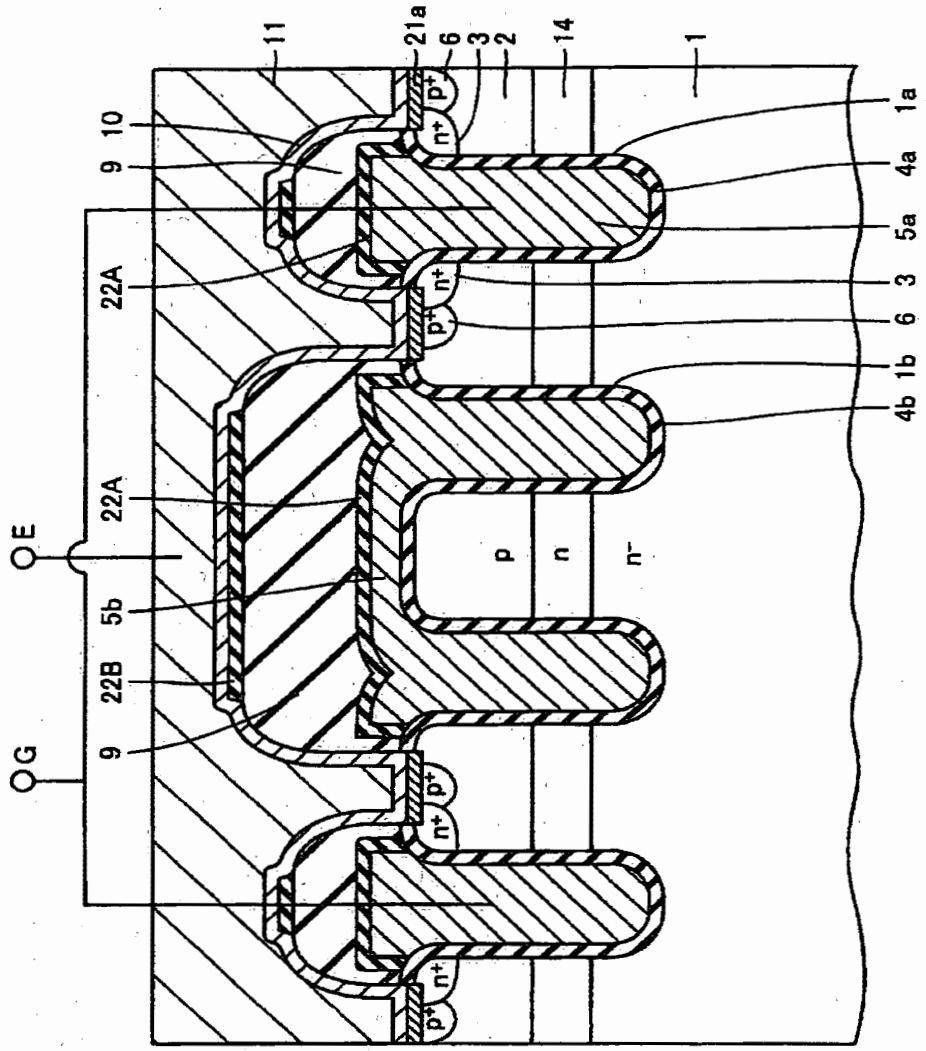


FIG.70

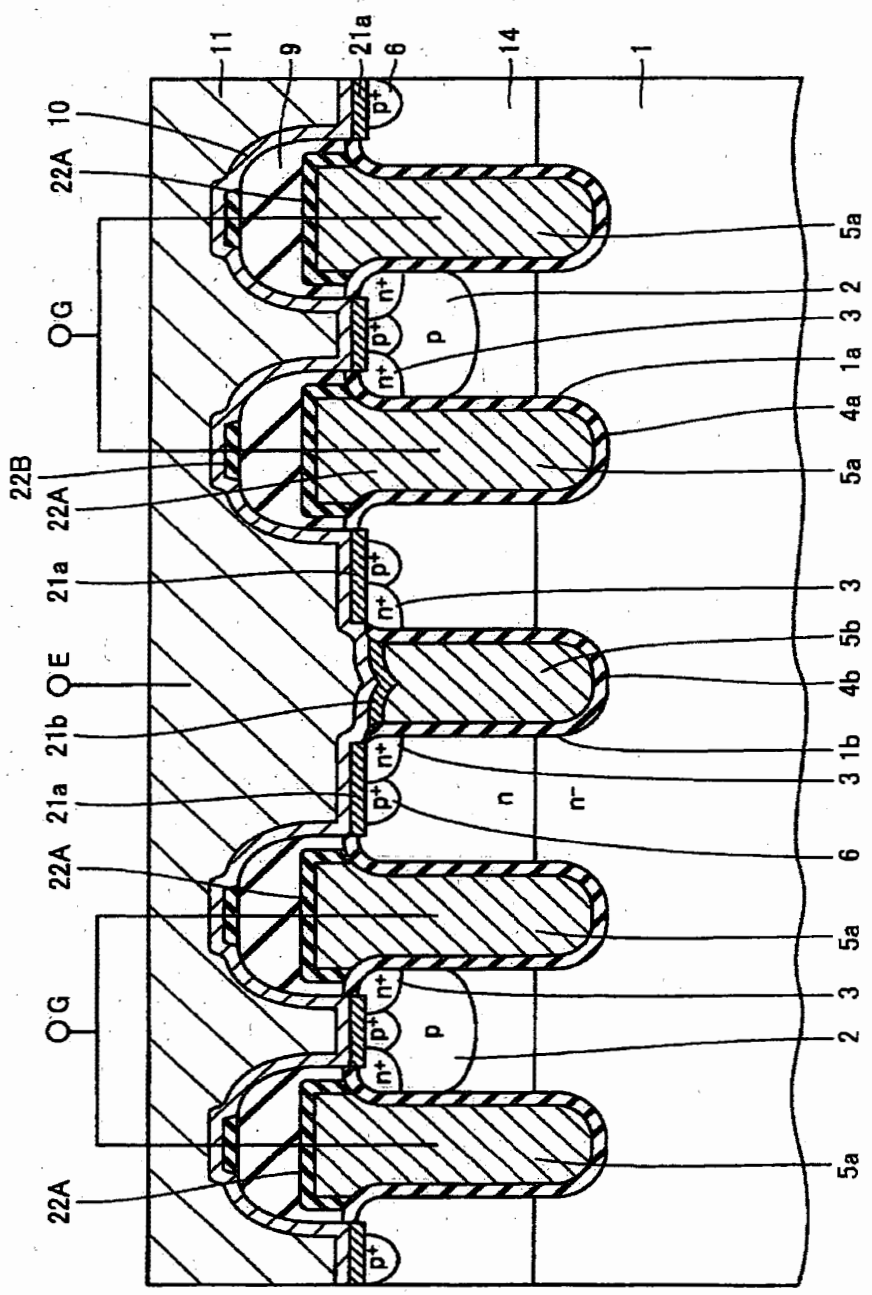
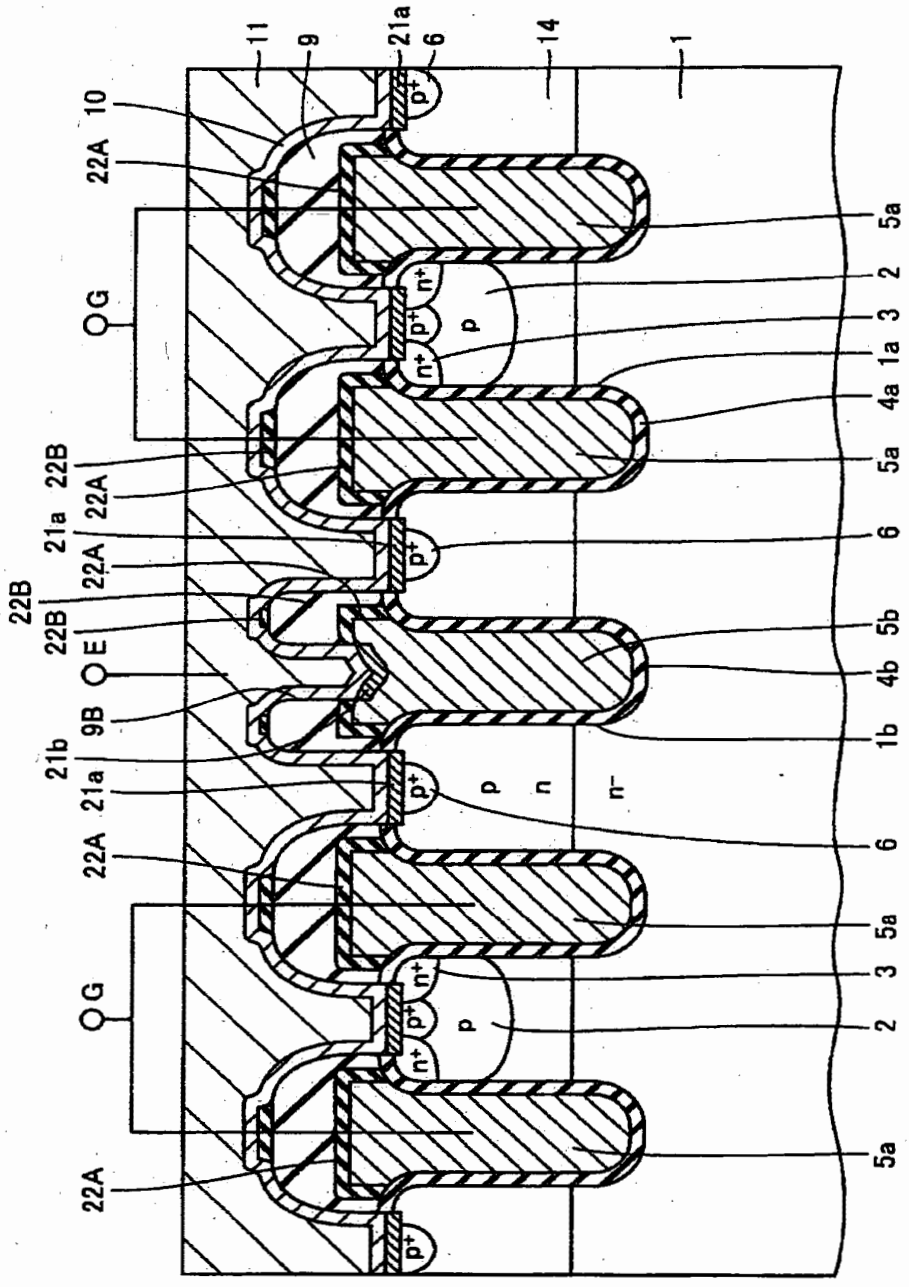

11
9
21a
6
14
1
10
22A
5a
G
2
3
p
1a
4a
22B
22A
5a
21a
3
E
5b
21b
4b
1b
21a
n
n⁻
22A
6
5a
G
3
2
p
22A
5a
n+
p+

FIG.71

FIG.72


11
9
21a
6
14
1
10
22A
5a
G
2
3
n+
p+
p
1a
4a
22B
21a
6
E
5b
4b
9B
21b
1b
n
n−
G
E
G
22A

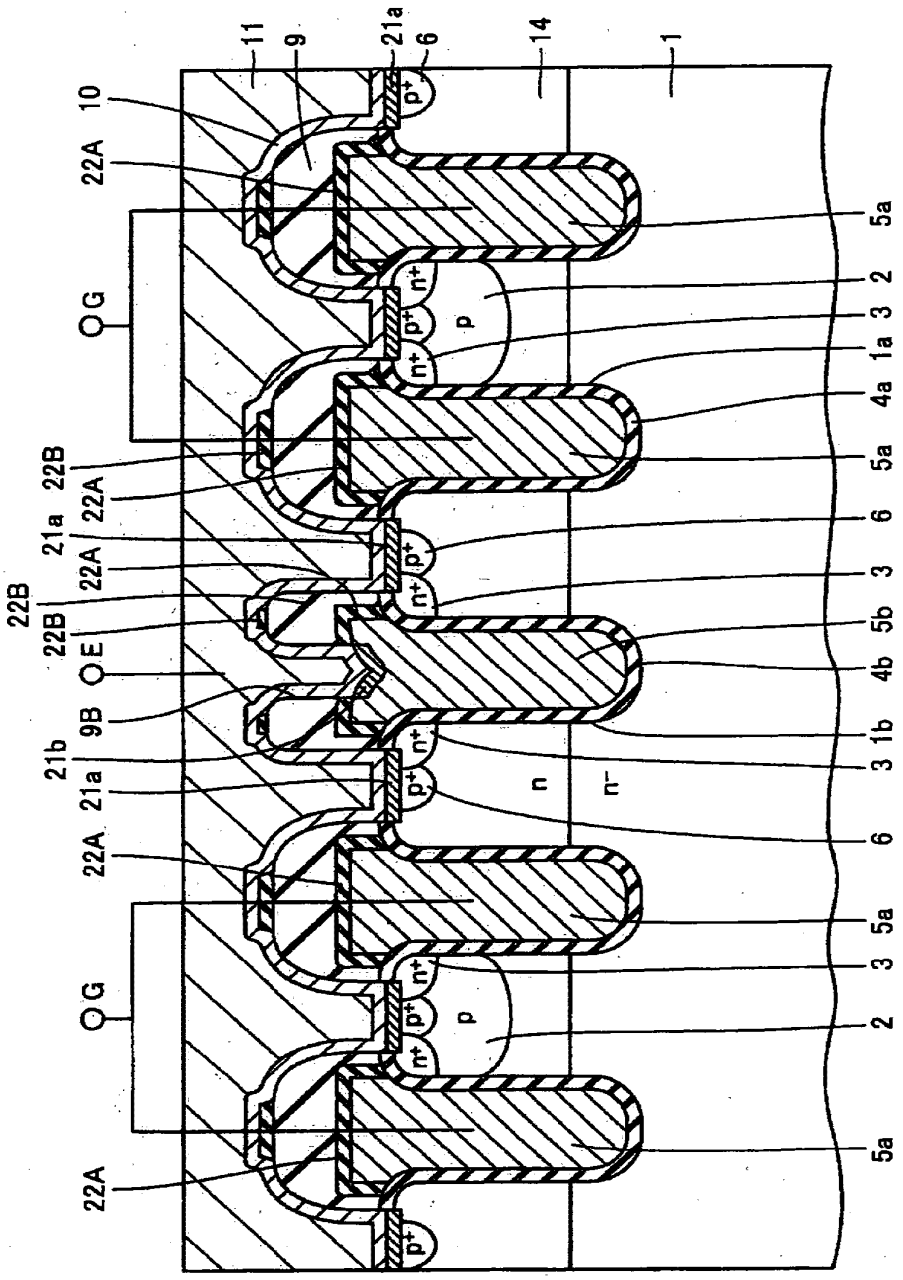
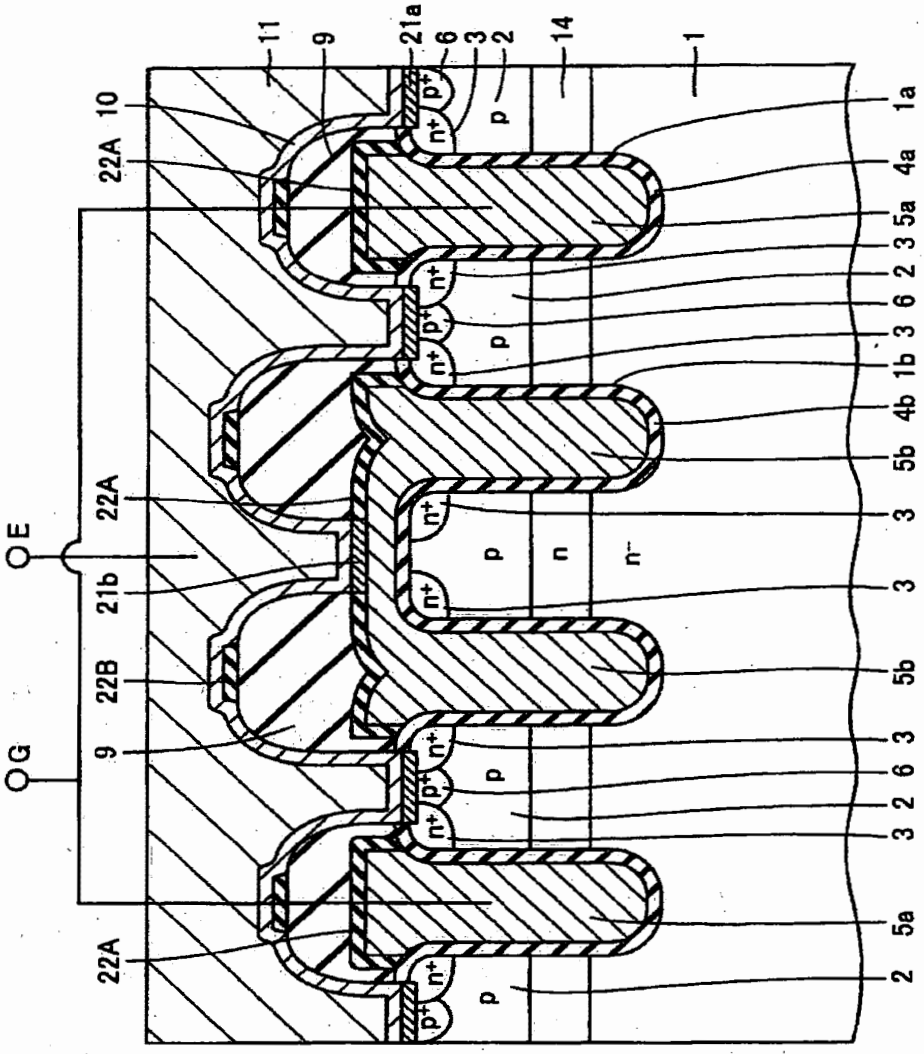

11
9
21a
6
14
1
10
22A
5a
G
2
3
1a
4a
22B
21a
6
E
9B
21b
n
n-
4b
5b
1b
G
E
G
p+
n+
p

FIG.73

FIG.74



SDC EX. 1002 - 441/486

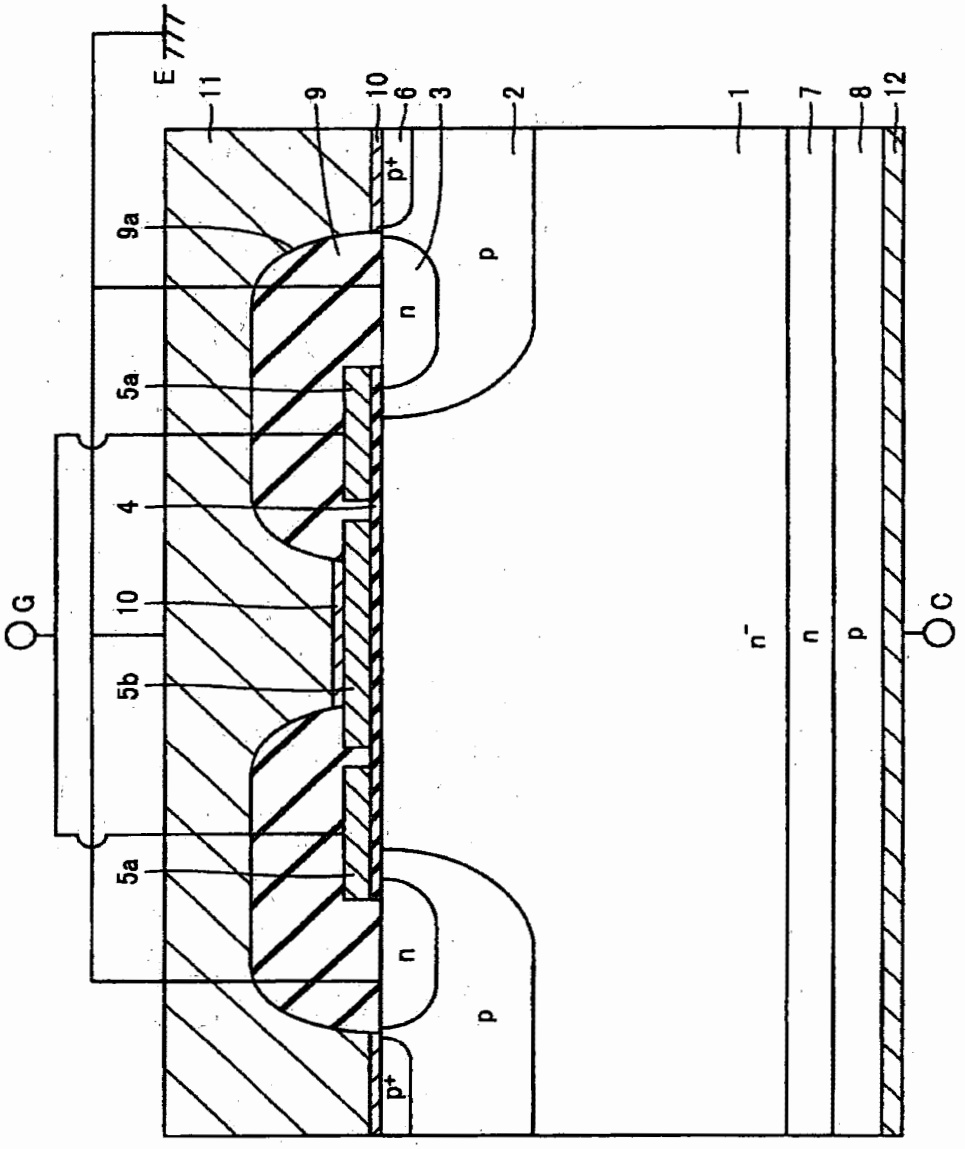


FIG.75

SDC EX. 1002 - 442/486

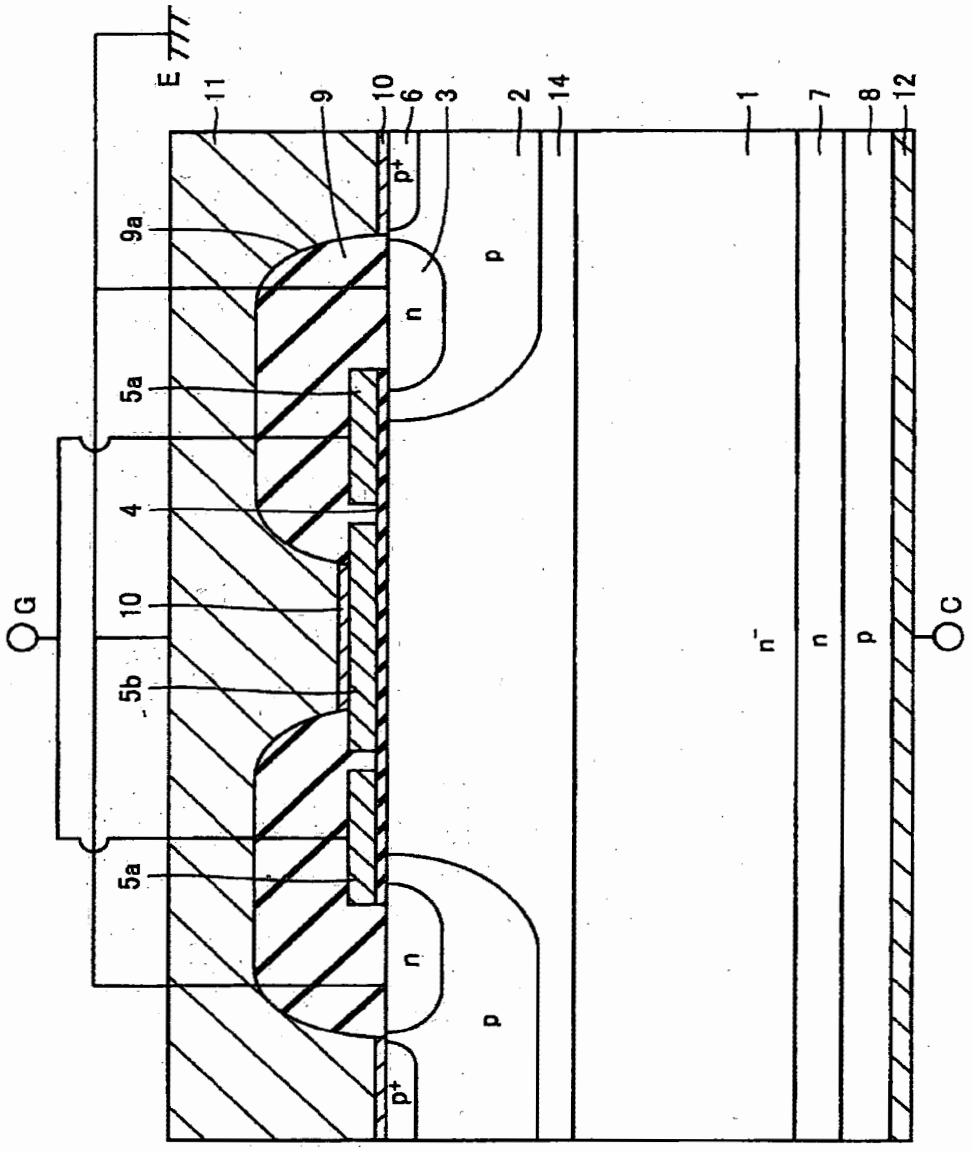


FIG.76

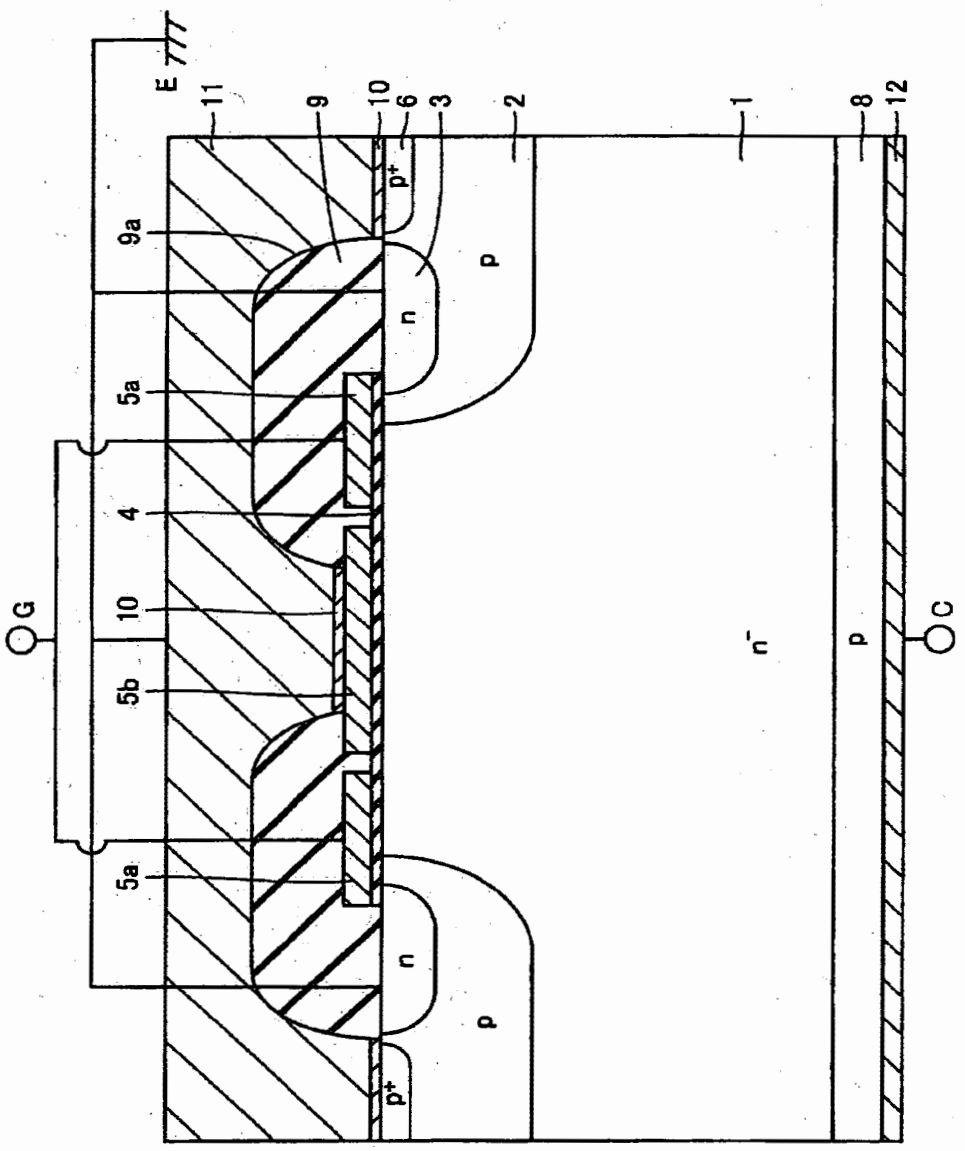


FIG.77

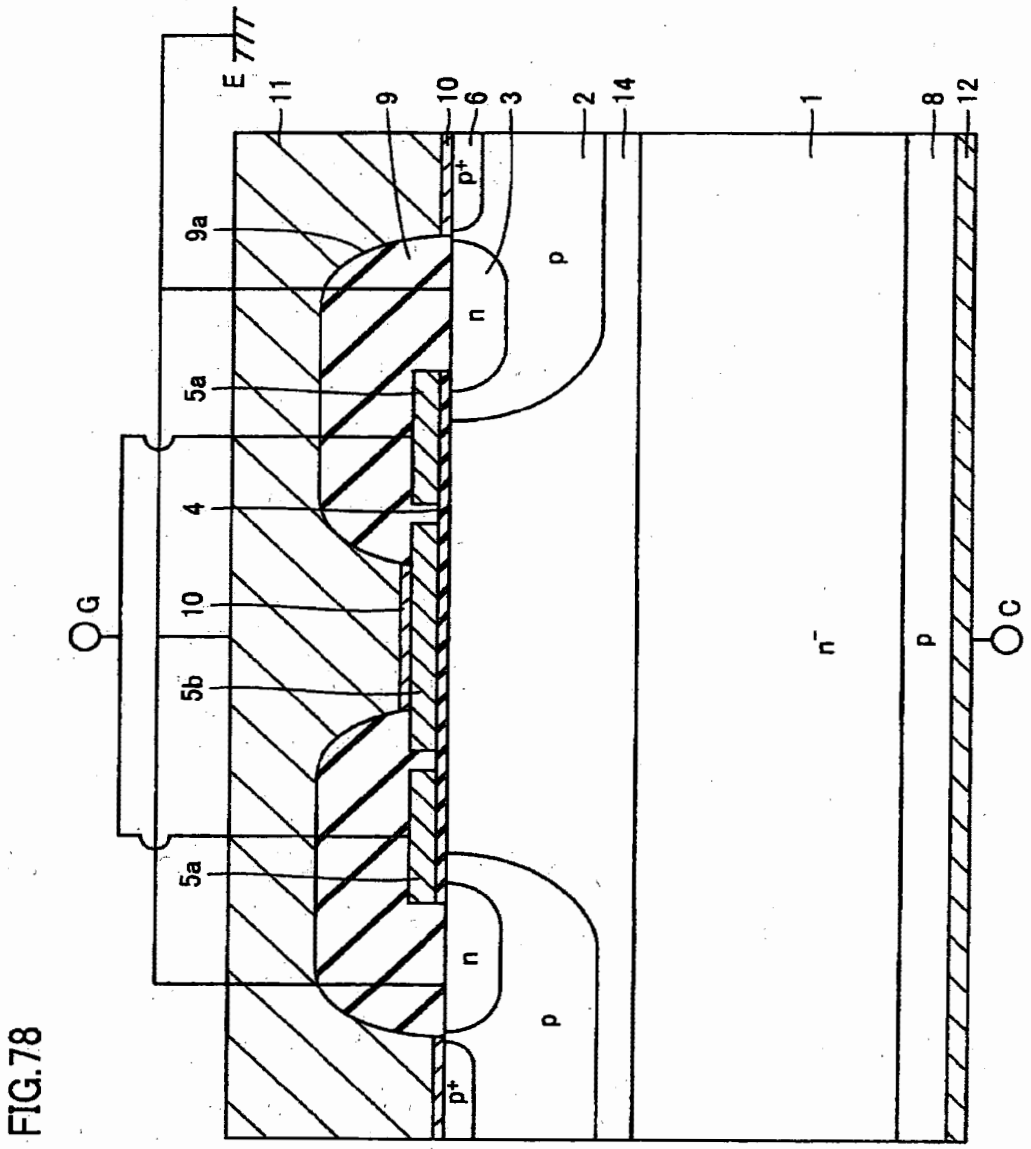


FIG.78

FIG.79

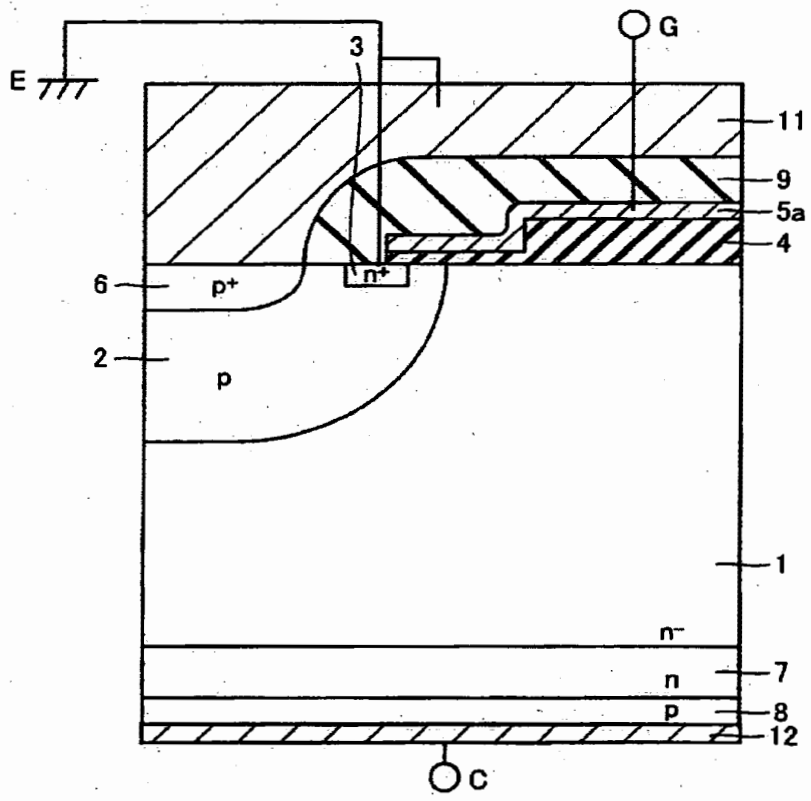


FIG.80

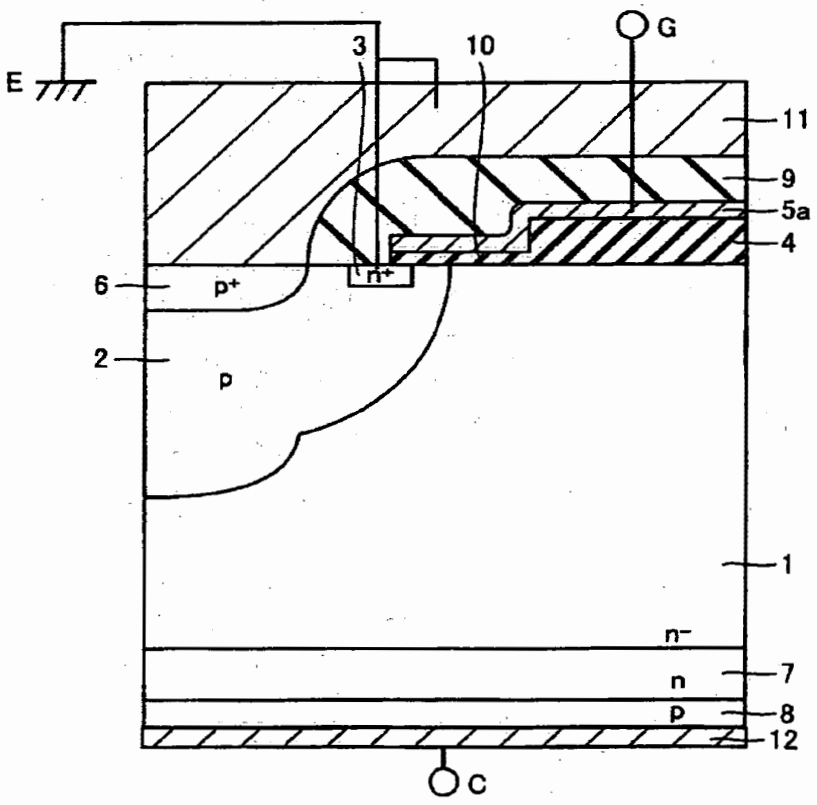


FIG.81

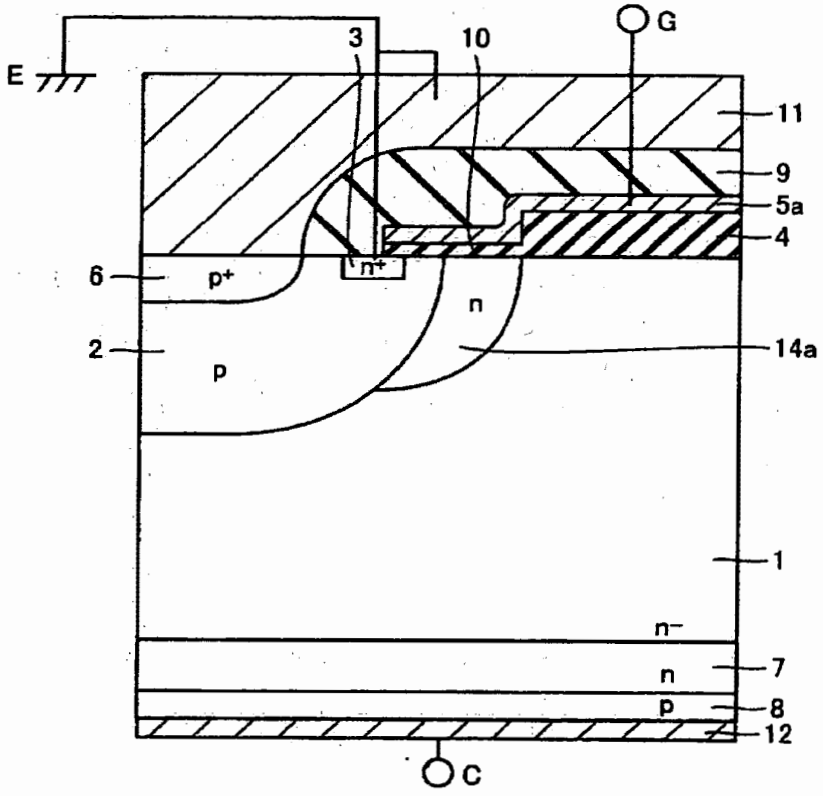


FIG.82

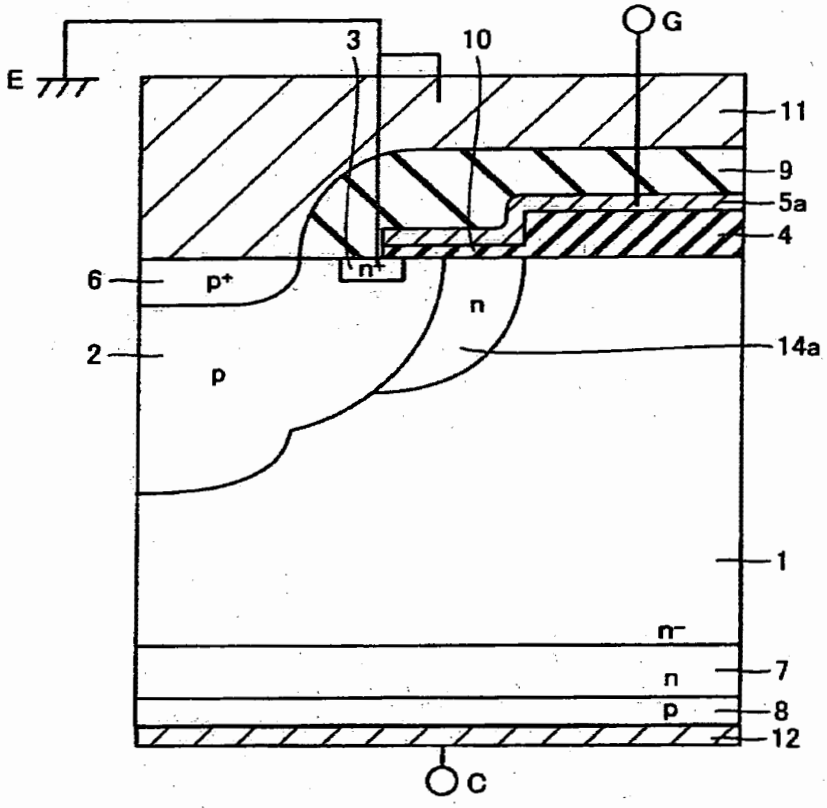


FIG.83

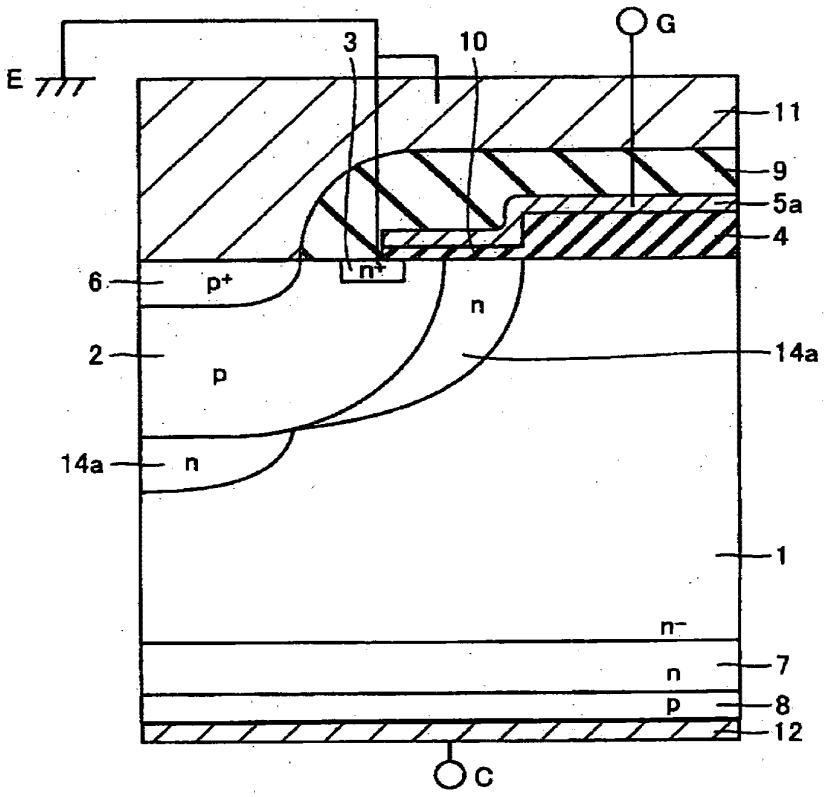
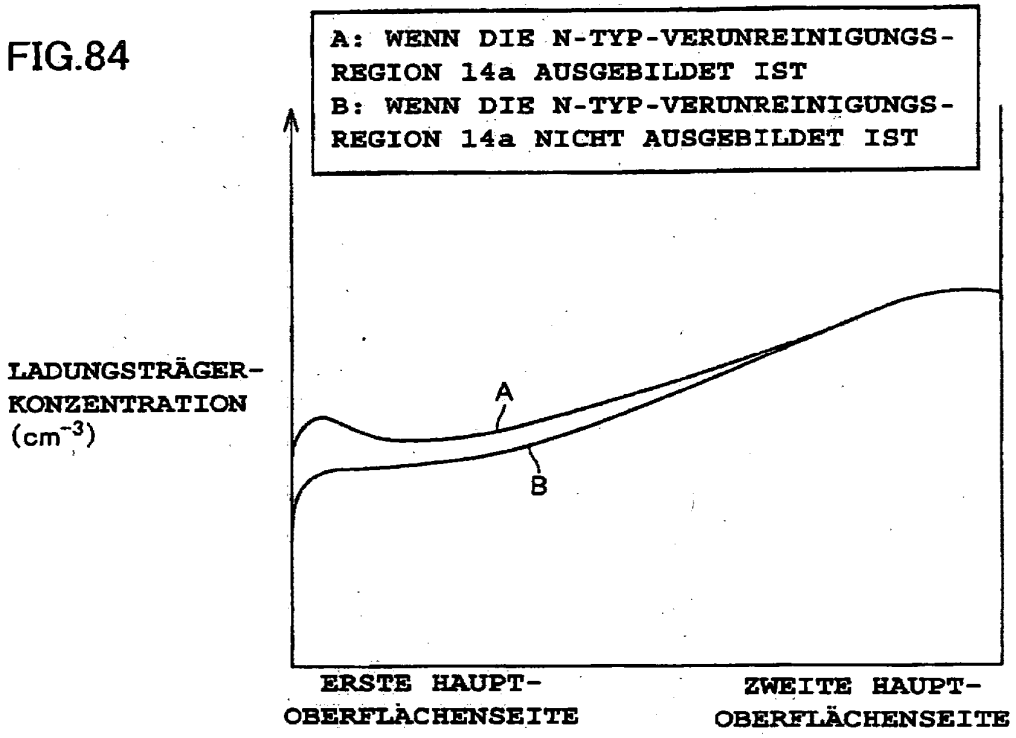


FIG.84



SDC EX. 1002 - 450/486

FIG.85

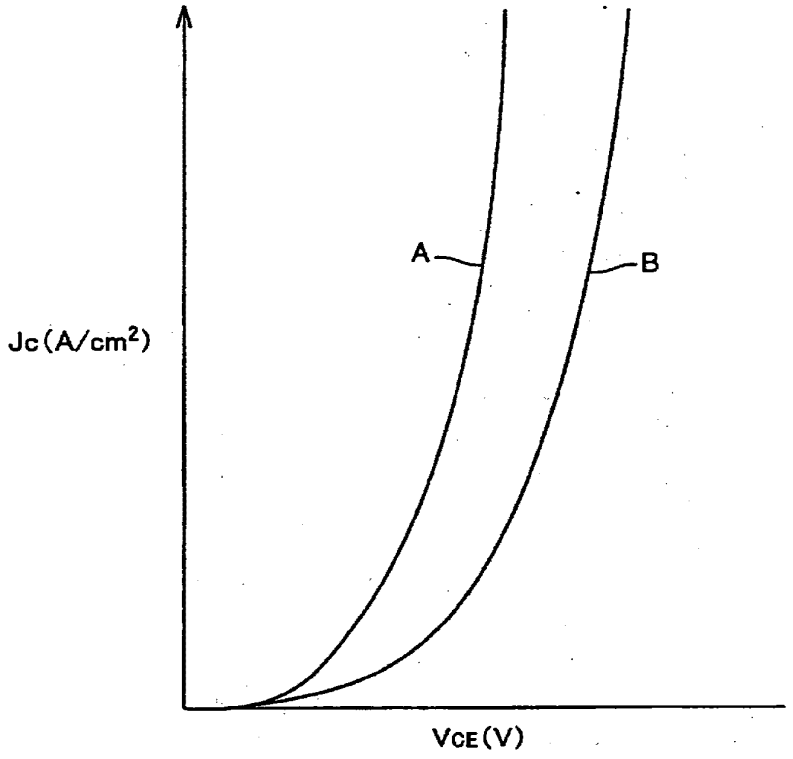

A
B
Jc (A/cm²)
VCE (V)

FIG.86

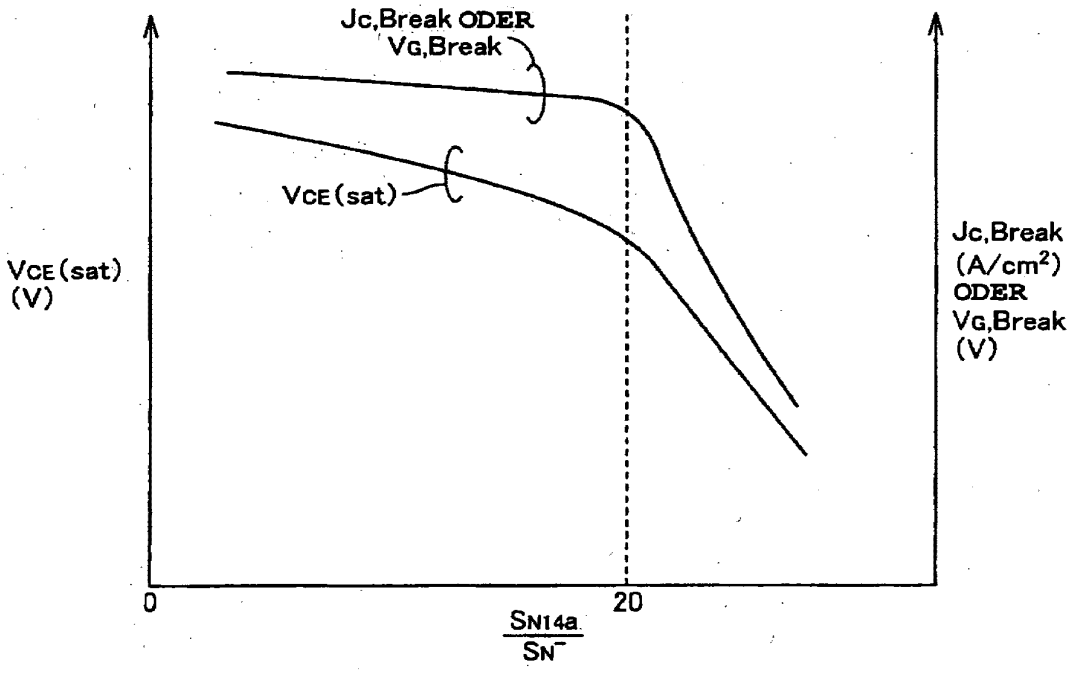

Jc,Break ODER
VG,Break
VCE (sat)
VCE (sat)
(V)
Jc,Break
(A/cm²)
ODER
VG,Break
(V)
0
20
SN14a
SN⁻

FIG.87

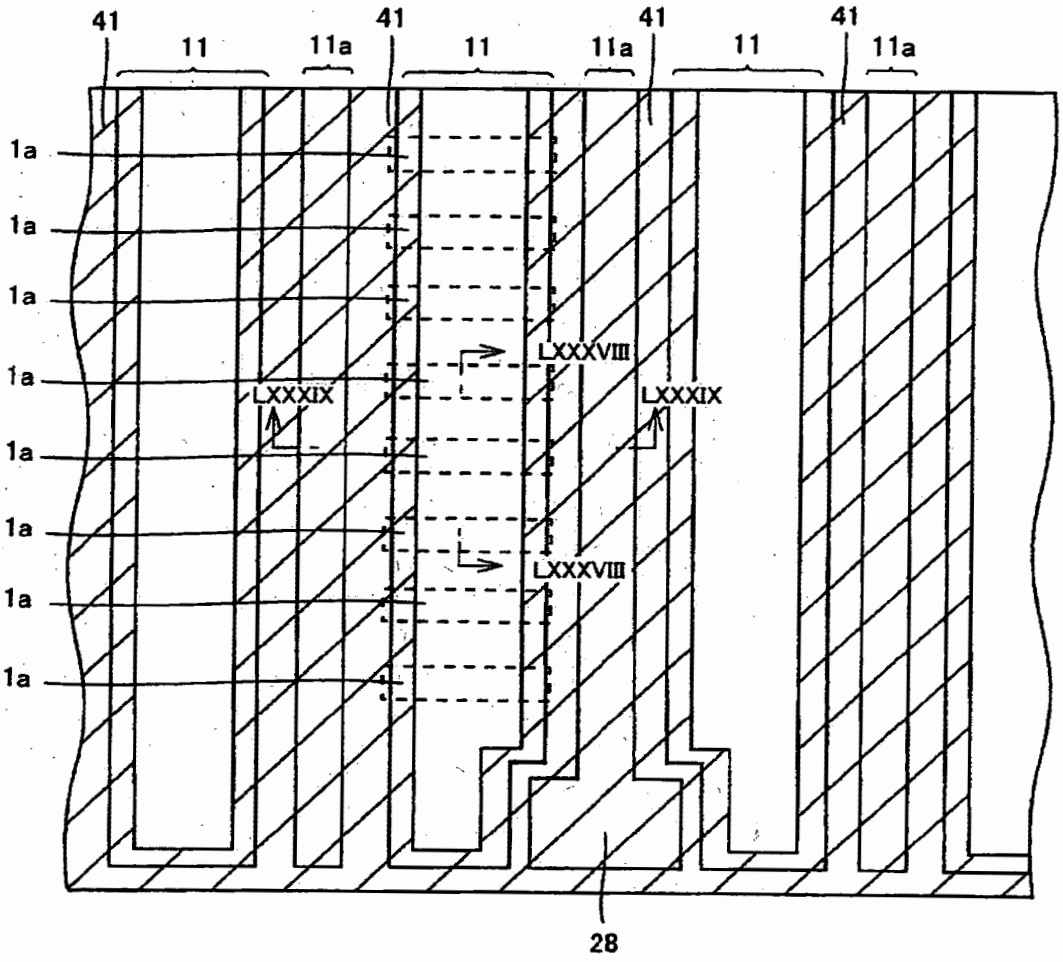
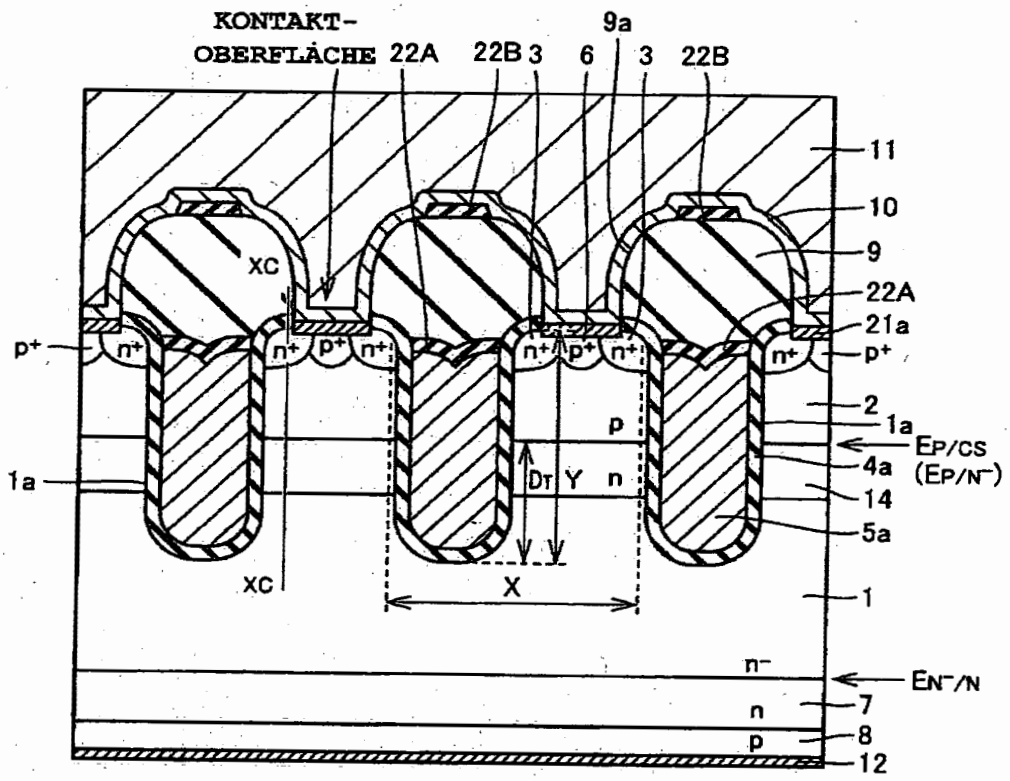

41
11
11a
41
11
11a
41
11
41
11a
1a
1a
1a
1a
1a
1a
1a
1a
LXXXVIII
LXXXIX
LXXXIX
LXXXVIII
28

FIG.88



SDC EX. 1002 - 453/486

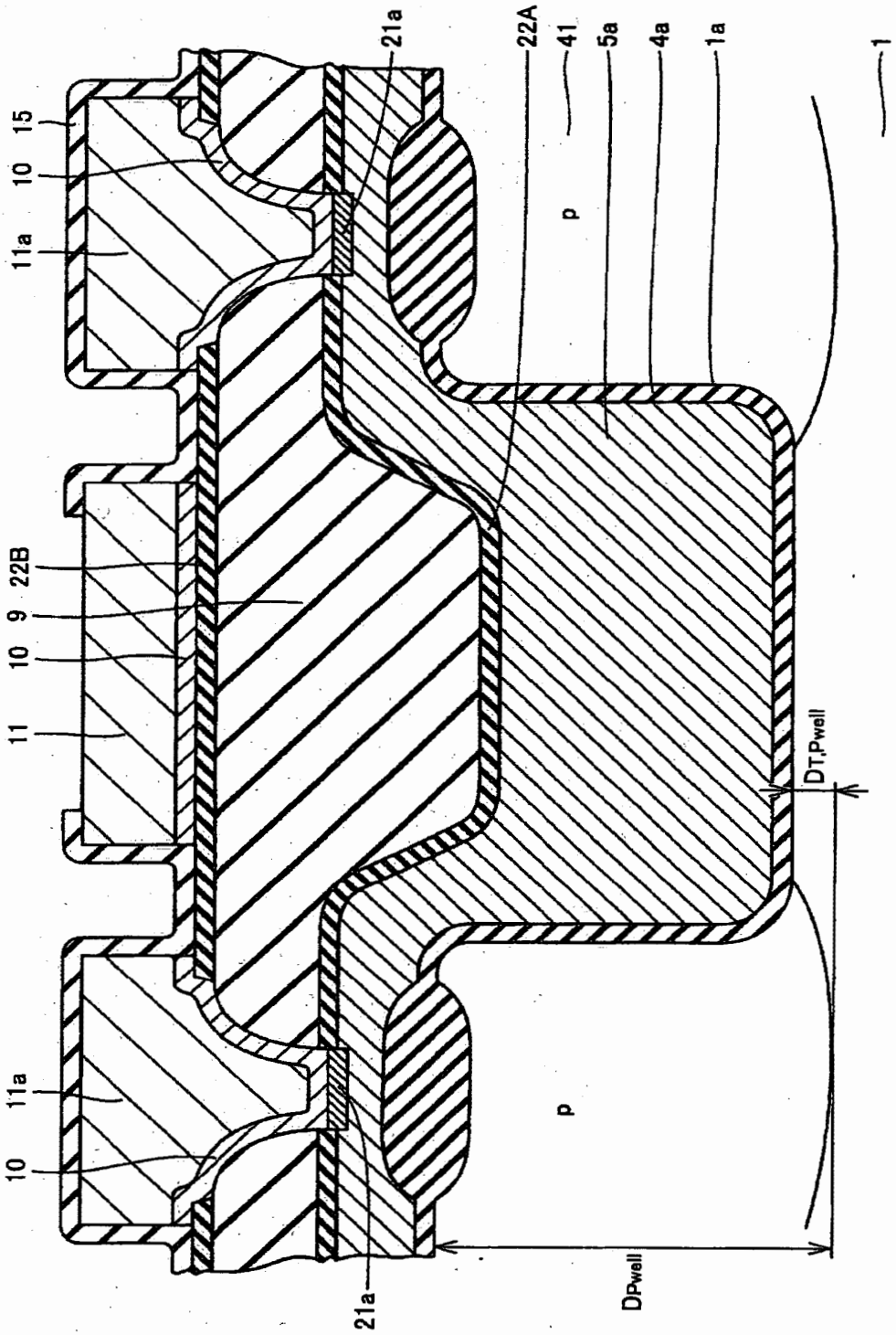
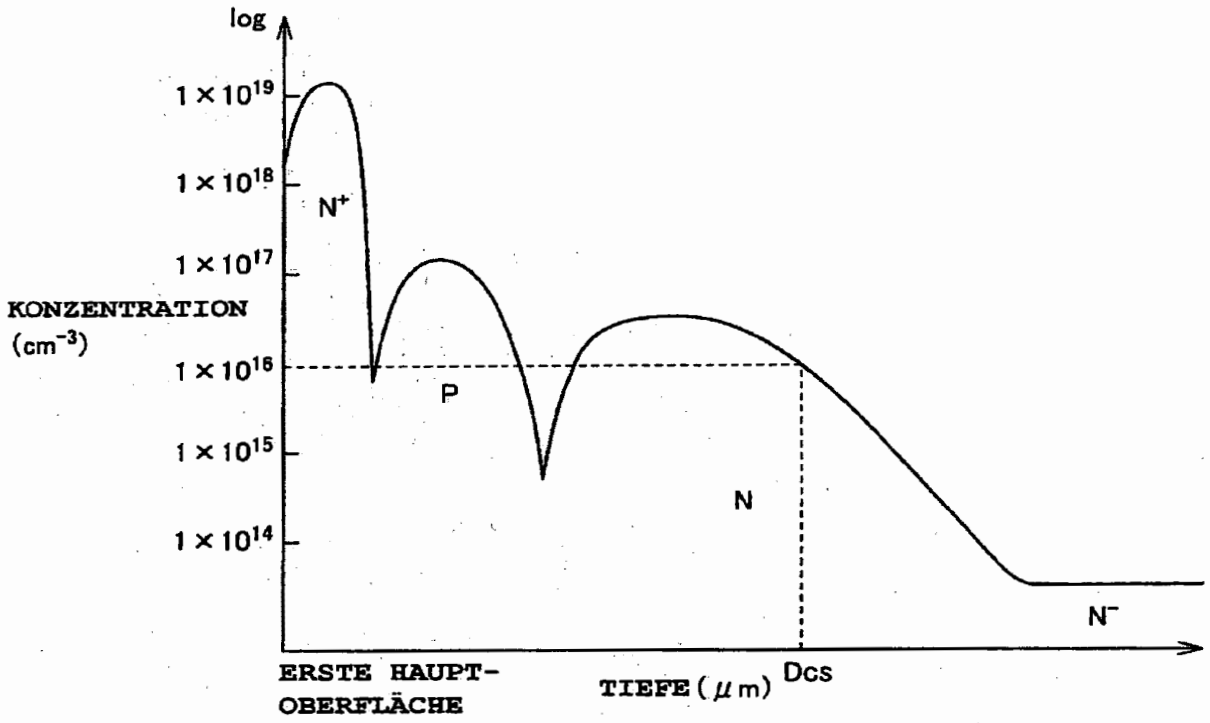

15
10
11a
22B
9
10
11
11a
10
21a
21a
22A
41
5a
4a
1a
1
p
p
DT,Pwell
DPwell

FIG.89

FIG.90



SDC EX. 1002 - 455/486

FIG.91

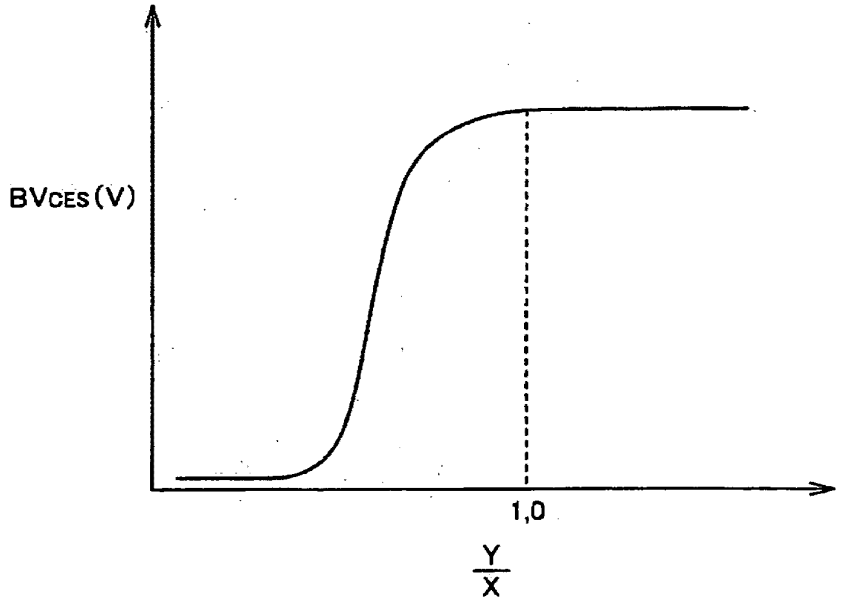

BVCES(V)
1,0
Y/X

FIG.92

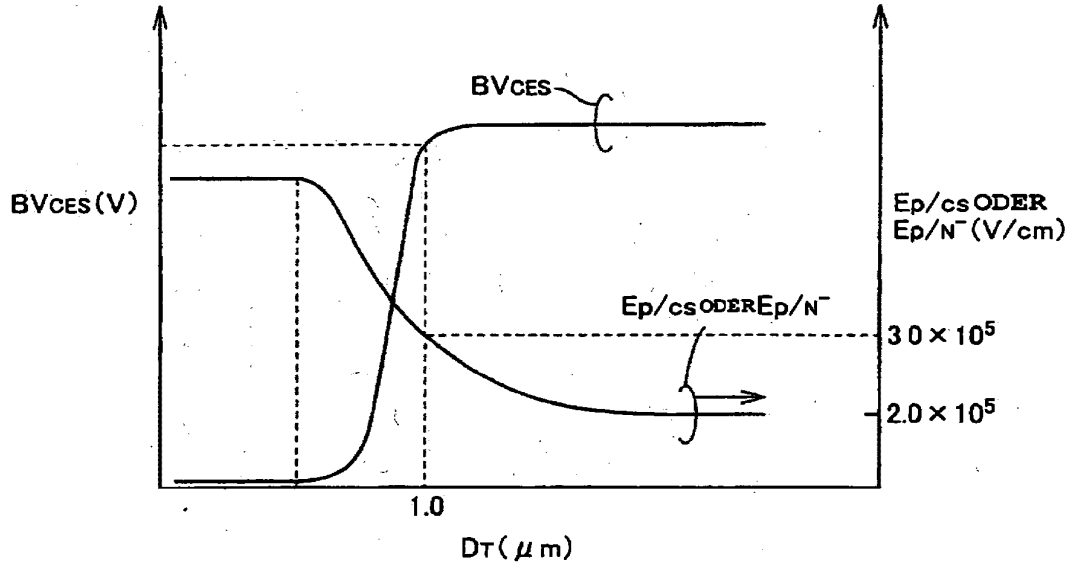

BVCES
BVCES(V)
Ep/cs ODER Ep/N⁻(V/cm)
Ep/cs ODER Ep/N⁻
3.0×10⁵
2.0×10⁵
1.0
DT(μm)

FIG.93

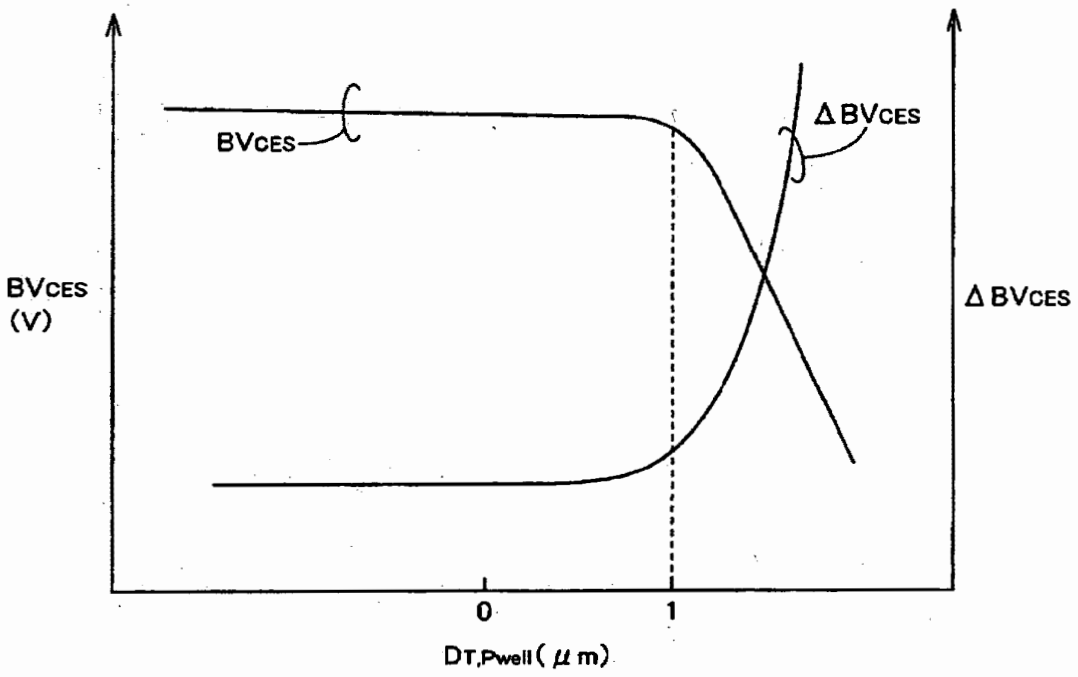


FIG.94

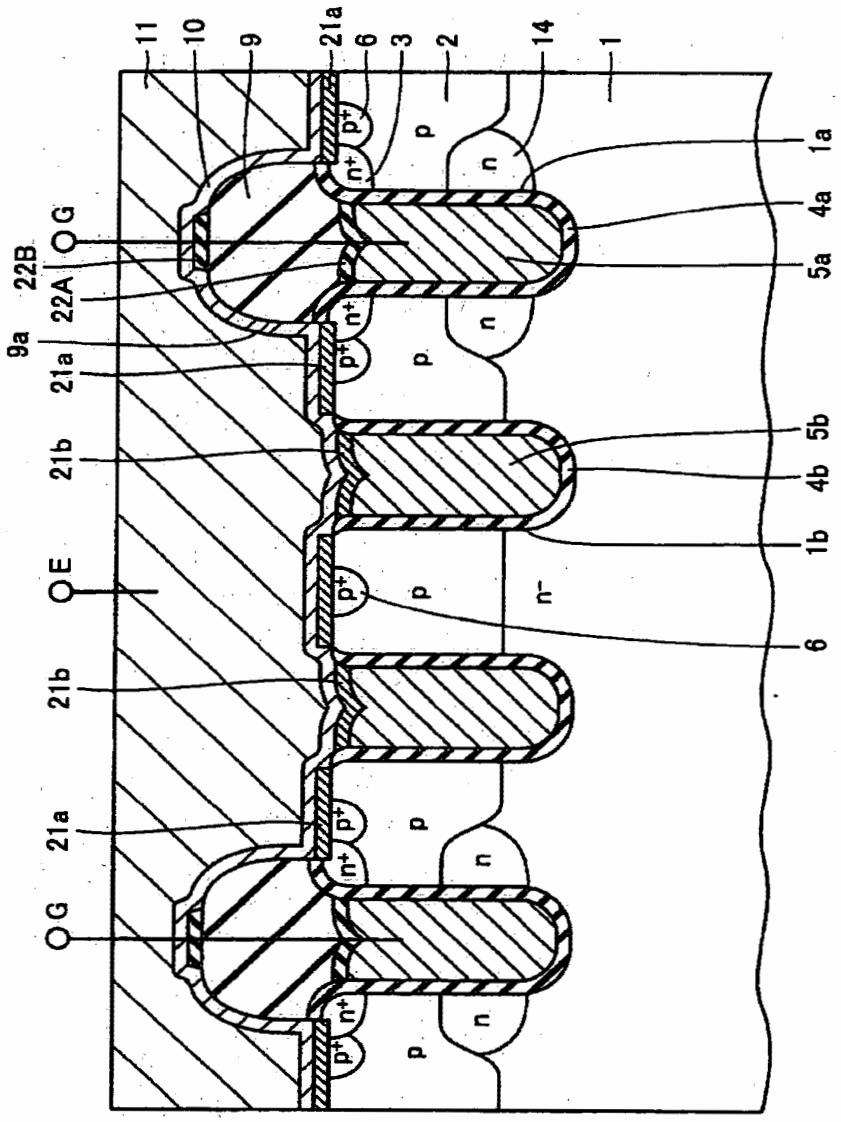
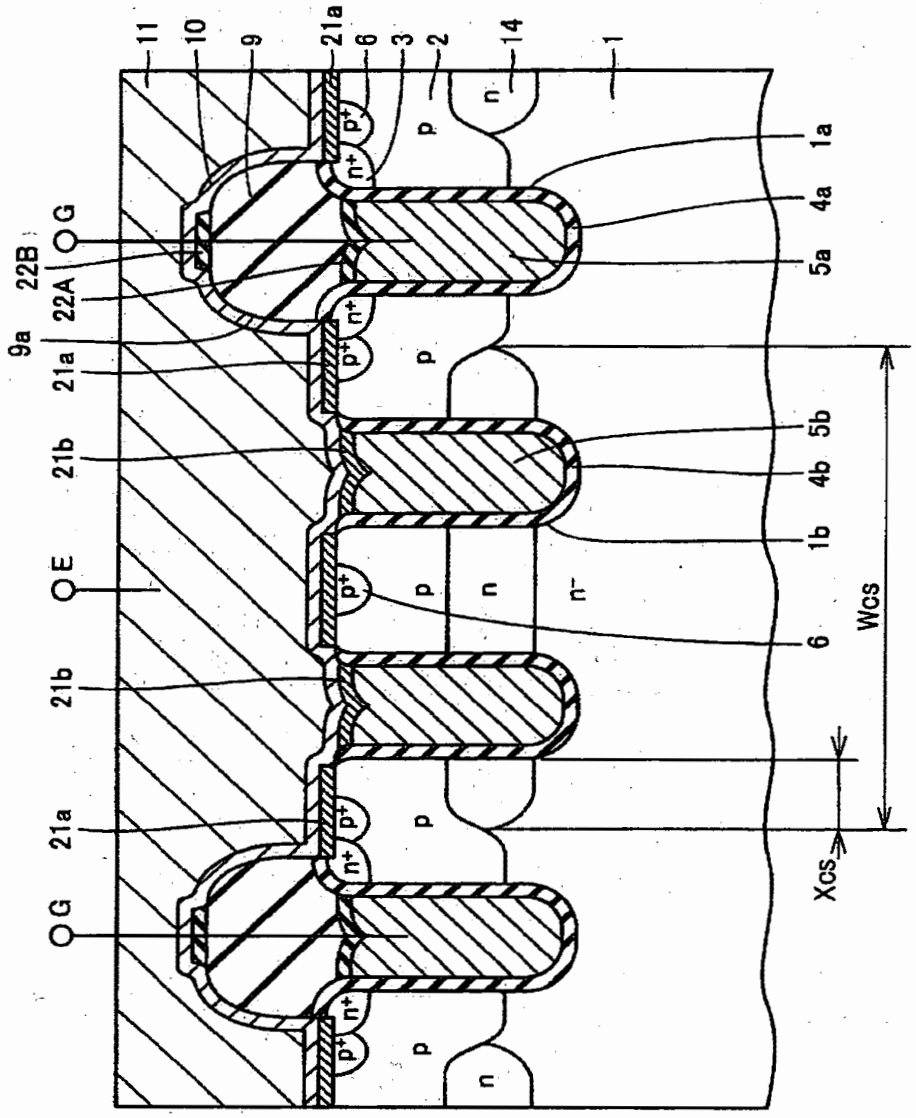

11
10
9
21a
6
3
2
14
1
G
22B
22A
9a
21a
21b
E
21b
21a
G
1a
4a
5a
5b
4b
1b
6
p
n
p+
n+
n-

FIG.95



SDC EX. 1002 - 459/486

FIG.96

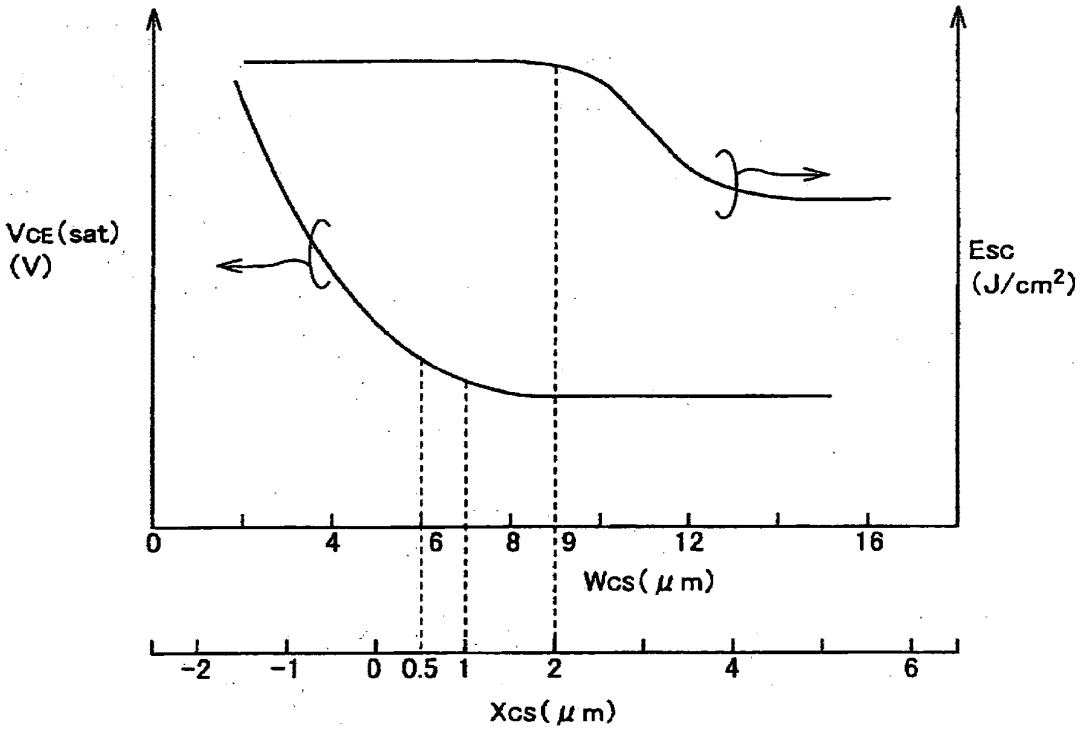

VCE(sat)
(V)
Esc
(J/cm²)
0
4
6
8
9
12
16
Wcs(μm)
-2
-1
0
0.5
1
2
4
6
Xcs(μm)

FIG.97

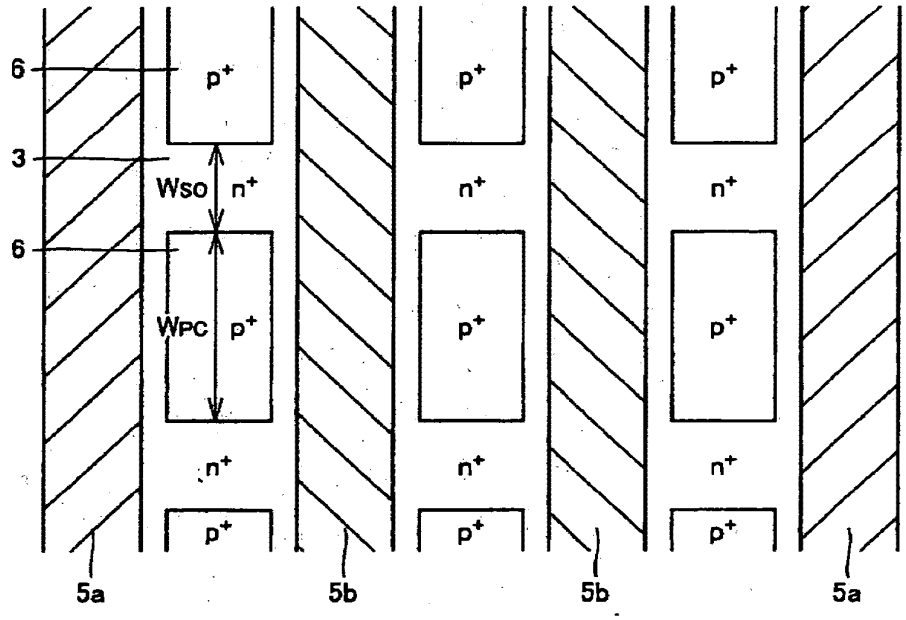

6
3
6
Wso
WPC
p+
n+
5a
5b
5b
5a

FIG.98

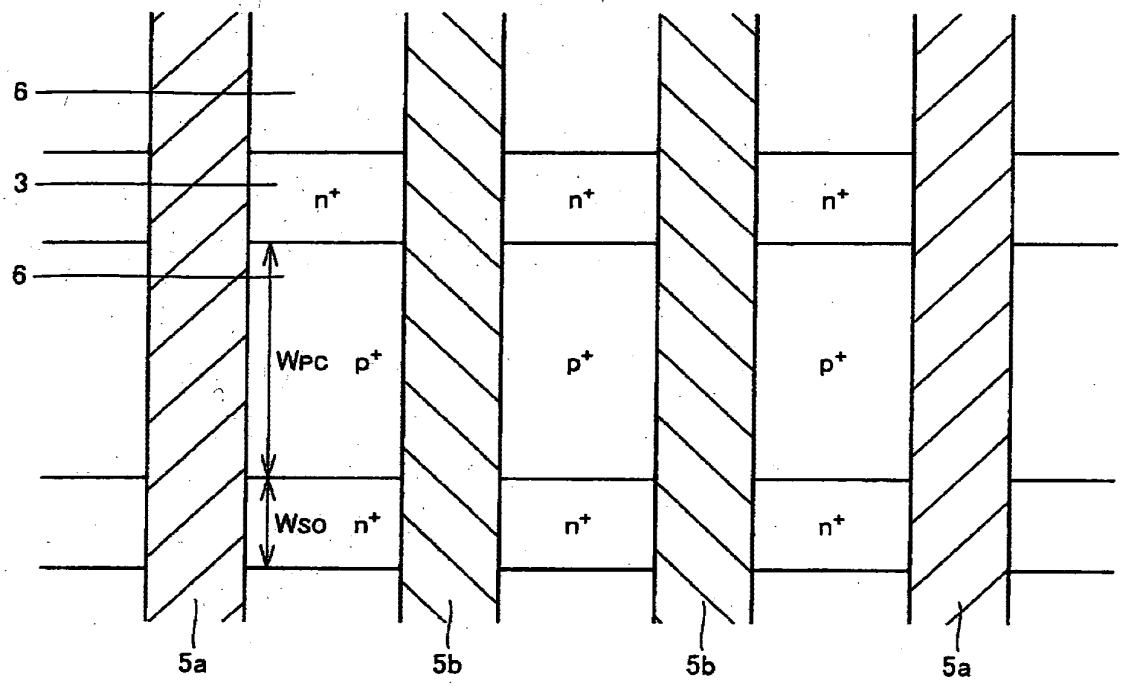

6
3
6
n+
n+
n+
WPC
p+
p+
p+
WSO
n+
n+
n+
5a
5b
5b
5a

FIG.99

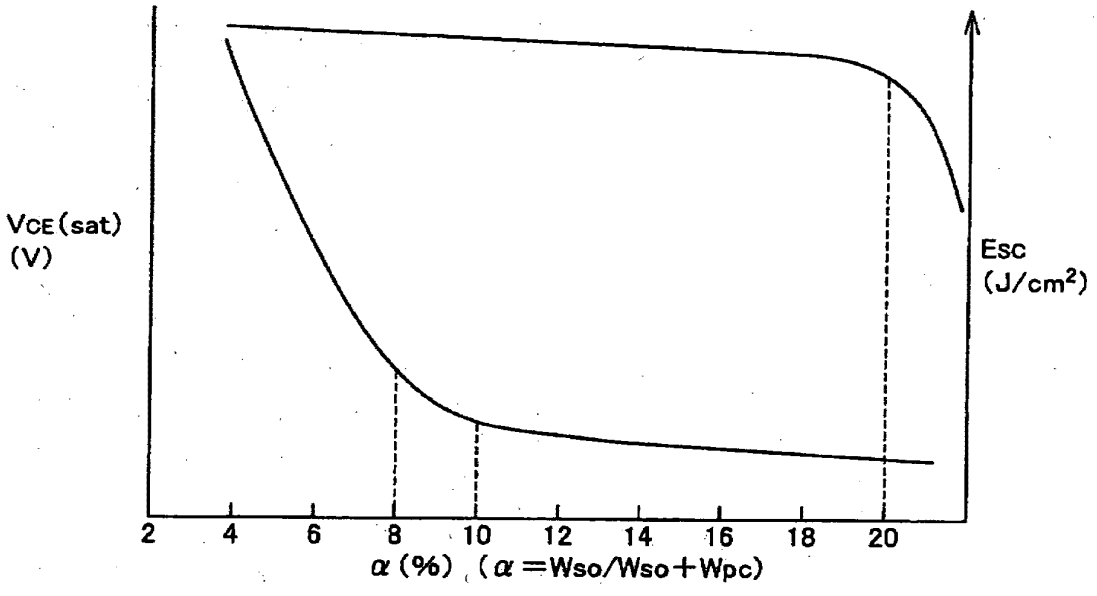
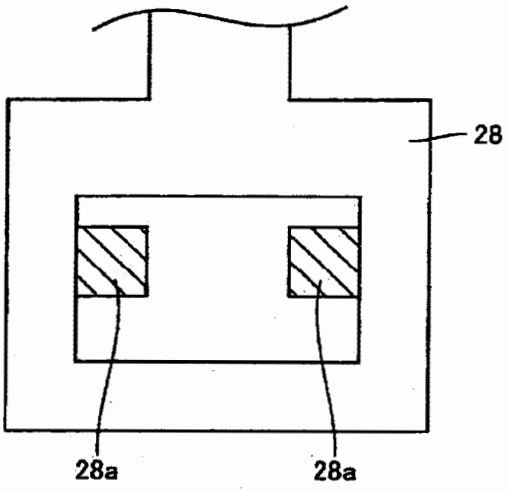

VCE(sat)
(V)
Esc
(J/cm2)
2
4
6
8
10
12
14
16
18
20
α (%) (α =Wso/Wso+Wpc)

FIG.100



SDC EX. 1002 - 462/486

FIG.101

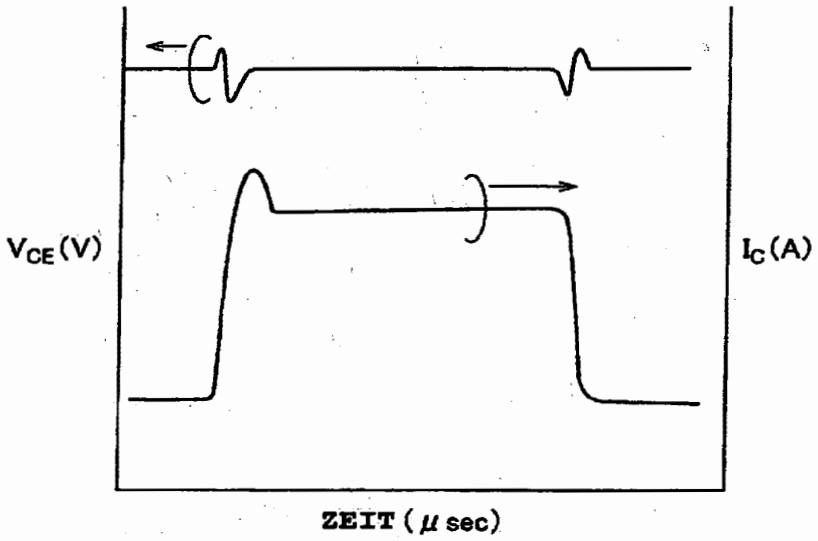
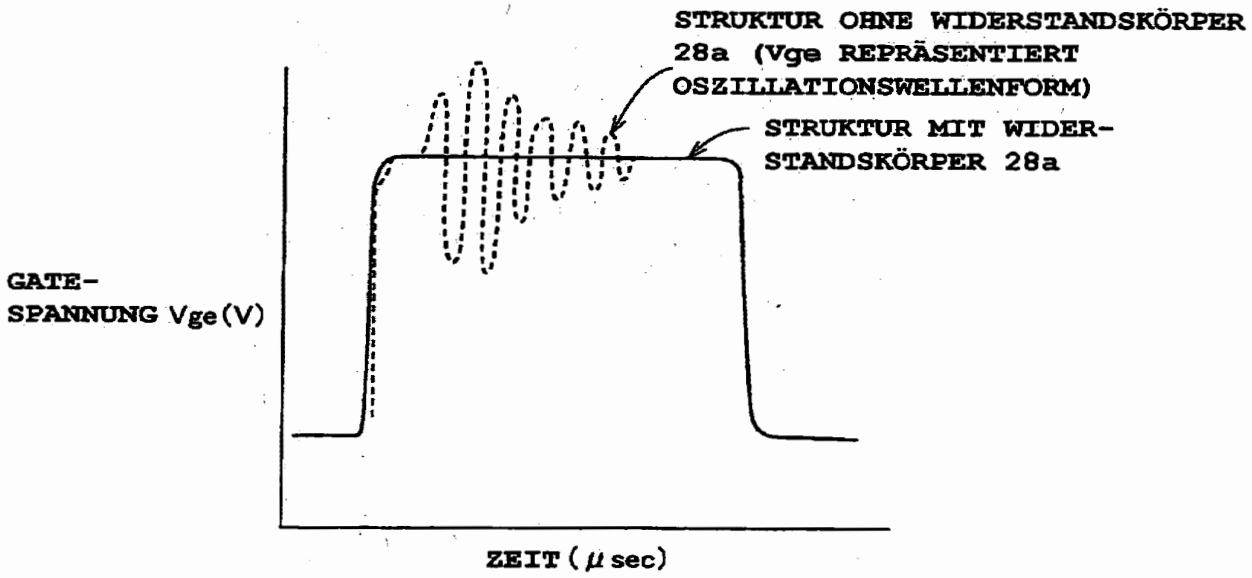


FIG.102



SDC EX. 1002 - 463/486

FIG.103

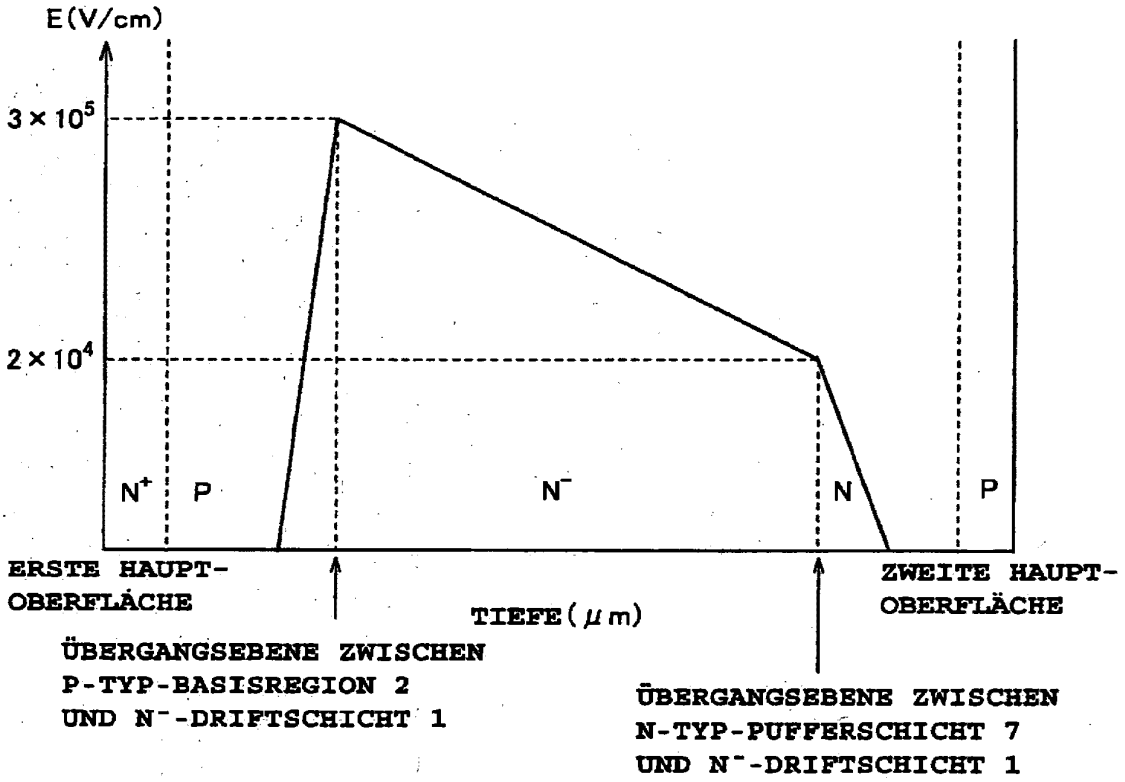
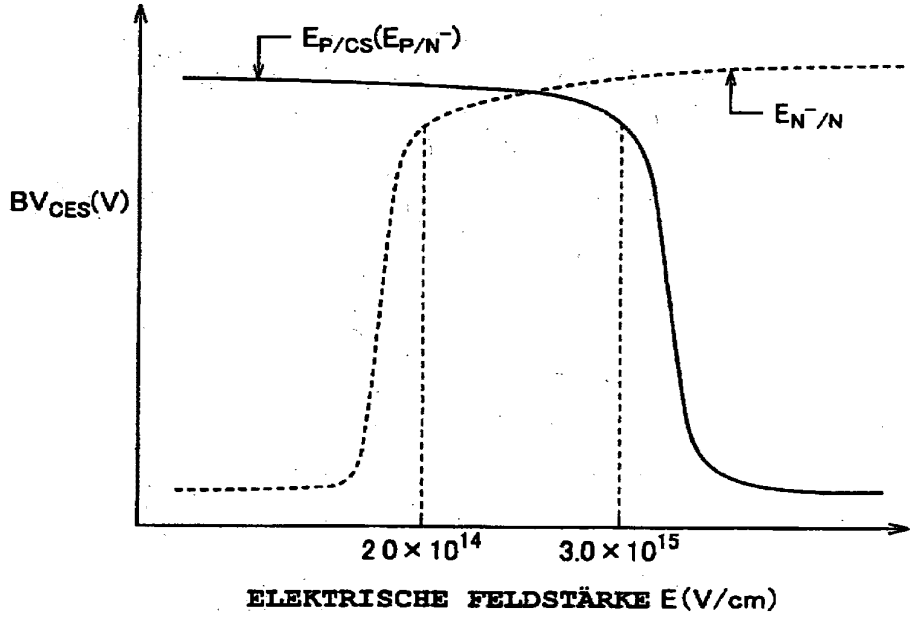


FIG.104



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/430,942	03/25/2015	Andrew Ingle	P59054US

CONFIRMATION NO. 7550

83956
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

PUBLICATION NOTICE

OC000000077352155

Title:METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

Publication No.US-2015-0255521-A1
Publication Date:09/10/2015

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

83956 7590 09/30/2015
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

EXAMINER
DOAN, THERESA T

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 09/30/2015

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

TITLE OF INVENTION: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	12/30/2015

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

83956 7590 09/30/2015
Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

TITLE OF INVENTION: METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	12/30/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
DOAN, THERESA T	2814	438-329000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:
- ❑ Issue Fee
- ❑ Publication Fee (No small entity discount permitted)
- ❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ❑ A check is enclosed.
- ❑ Payment by credit card. Form PTO-2038 is attached.
- ❑ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ❑ Applicant certifying micro entity status. See 37 CFR 1.29 — NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
- ❑ Applicant asserting small entity status. See 37 CFR 1.27 — NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
- ❑ Applicant changing to regular undiscounted fee status. — NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

SDC EX. 1002 - 467/486

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	03/25/2015	Andrew Ingle	P59054US	7550

83956 7590 09/30/2015

Viering, Jentschura & Partner - OSR
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

EXAMINER	
DOAN, THERESA T	

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 09/30/2015

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 14/430,942	Applicant(s) INGLE, ANDREW	
	Examiner Theresa T. Doan	Art Unit 2814	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *08/25/15*.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on_____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are *1-18*. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov .
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☒ All b) ☐ Some *c) ☐ None of the:
   1. ☒ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 082515
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
5. ☐ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/Theresa T. Doan/
Primary Examiner, Art Unit 2814

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Reasons for Allowance

1. Claims 1-18 are allowed.

2. The following is an examiner's statement of reasons for allowance:

The prior art of record neither anticipates nor renders obvious all the limitations in the base claims 1, 10 and 16. Specifically, the combination of a method for producing a passive electronic component, comprising: forming a second electrically conductive layer on the first electrically conductive layer, forming a first trench formed in the first and second electrically conductive layers such that the substrate is exposed in the first trench, wherein the first trench separates a first contact region from a second contact region, applying a dielectric in a structured fashion to the second electrically conductive layer in the first contact region and at least partly to the substrate in the first trench such that the dielectric electrically insulates the first contact region from the second contact region, and applying an electrically conductive electrode layer in a structured fashion to the dielectric above the first contact region and to the second contact region (claims 1 and 16); or the combination of the method for producing an optoelectronic assembly, comprising: applying the dielectric in a structured fashion to the second layer such that the dielectric demarcates a component region for forming an optoelectronic component relative to the second contact region, forming an optically functional layer in the component region, and applying the electrode layer in a structured fashion such that a part of the electrode layer covers the optically functional layer (in claim 10).

The dependent claims being further limiting and definite are also allowable.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled “Comments on Statement of Reasons for Allowance.”

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Theresa T. Doan whose telephone number is (571) 272-1704. The examiner can normally be reached on Monday, Tuesday and Thursday from 7:00AM - 3:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner’s supervisor, WAEL FAHMY can be reached on (571) 272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Theresa T. Doan/
Primary Examiner, Art Unit 2814

PTO/SB/08a (03-15)
Approved for use through 07/31/2016. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	2814
Examiner Name	DOAN, THERESA T
Attorney Docket Number	P59054US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20100327313	A1	2010-12-30	Nakamura	Corresponds to DE112008003787T5

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	112008003787	DE	T5	2012-03-01	MITSUBISHI ELECTRIC CORP	Corresponds to US20100327313A1	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /TD/

Receipt date: 08/25/2015

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	14430942 14430942 - GAU: 2814
Filing Date	2015-03-25
First Named Inventor	Andrew Ingle
Art Unit	2814
Examiner Name	DOAN, THERESA T
Attorney Docket Number	P59054US

	1	German Search Report based on Application No. 10 2012 109 142.0(5 Pages) dated June 25, 2013 (Reference Purpose Only)	☐

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Theresa Doan/	Date Considered	09/12/2015

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /TD/

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

CPC							
Symbol						**Type**	**Version**
H01L		27	/	3225		F	2013-01-01
H01G		4	/	33		I	2013-01-01
H01G		4	/	005		I	2013-01-01
H01L		27	/	016		I	2013-01-01
H01L		28	/	20		I	2013-01-01
H01L		28	/	60		I	2013-01-01
H01L		27	/	0682		I	2013-01-01
H01L		28	/	40		I	2013-01-01
H01L		51	/	56		I	2013-01-01
			/				
			/				
			/				
			/				
			/				
			/				

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
			/					
			/					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	18	
/THERESA T DOAN/ Primary Examiner.Art Unit 2814	09/12/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	16

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

US ORIGINAL CLASSIFICATION		INTERNATIONAL CLASSIFICATION										
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED					
438	329	H	0	1	L	21 / 8222 (2006.01.01)						
CROSS REFERENCE(S)		H	0	1	L	29 / 00 (2006.01.01)						

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
438	957				
257	528	532			

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	18	
/THERESA T DOAN/ Primary Examiner.Art Unit 2814	09/12/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	16

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	**Art Unit**
	THERESA T DOAN	2814

☒ **Claims renumbered in the same order as presented by applicant** ☐ **CPA** ☐ **T.D.** ☐ **R.1.47**

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		17												
	2		18												
	3														
	4														
	5														
	6														
	7														
	8														
	9														
	10														
	11														
	12														
	13														
	14														
	15														
	16														

NONE (Assistant Examiner)	(Date)	**Total Claims Allowed:** 18	
/THERESA T DOAN/ Primary Examiner.Art Unit 2814 (Primary Examiner)	09/12/2015 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 16

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14430942	INGLE, ANDREW
	Examiner	Art Unit
	THERESA T DOAN	2814

CPC- SEARCHED		
Symbol	Date	Examiner
H01L23/5227; H01L27/0658	09/12/15	TD

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
438	329, 957	09/12/15	TD
257	528, 532	09/12/15	TD

SEARCH NOTES		
Search Notes	Date	Examiner
EAST SEARCH (IS&R, BRS)	09/12/15	TD
INVENTOR SEARCH	09/12/15	TD

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
438	329, 957	09/12/15	TD
257	528, 532	09/12/15	TD

Document Description: Issue Fee Payment (PTO-85B)

Issue Fee Transmittal Form

Application Number	Filing Date	First Named Inventor	Atty. Docket No.	Confirmation No.
14430942	25-Mar-2015	Andrew Ingle	P59054US	7550

TITLE OF INVENTION :

METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT

Entity Status	Application Type	Art Unit	Class - Subclass	EXAMINER
Regular Undiscounted	U.S. National Stage under 35 USC 371	2814	329000	THERESA DOAN

Issue Fee Due	Publication Due	Total Fee(s) Due	Date Due	Prev. Paid Fee
$960	$0	$960	30-Dec-2015	$0

1.Change of Correspondence Address and/or Indication Of Fee Address (37 CFR 1.33 & 1.363)

Current Correspondence Address:	Current Indicated Fee Address :
83956 Viering, Jentschura & Partner mbB - OSR c/o 3770 Highland Ave. Suite 203 Manhattan Beach CA 90266 UNITED STATES 617-275-2642 patint@vjp.de	
☐ Change of correspondence address requested, system generated AIA/122-EFS form attached	☐ Fee Address indication requested, system generated SB/47-EFS form attached

2.Entity Status

Change in Entity Status

○ Applicant certifying micro entity status; system generated Micro Entity certification form attached. See 37 CFR 1.29.
Note: Absent a valid certification of micro entity status, issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment. If this box is checked, you will be prompted to choose a micro entity status on the gross income basis (37 CFR 1.29(a)) or the institution of higher education basis (37 CFR 1.29(d)), and make the applicable certification online.

○ Applicant asserting small entity status. See 37 CFR 1.27.
Note: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

◉ Applicant changing to regular undiscounted fee status.
Note: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

Doc Code: IFEE PTOL/85B-EFS

Document Description: Issue Fee Payment (PTO-85B)

3.The Following Fee(s) Are Submitted:

☒ Issue Fee	☐ I authorize USPTO to apply my previously paid issue fee to the current fees due
☐ Publication Fee	☐ The Director is hereby authorized to apply my previously paid issue fee to the current fee due and to charge deficient fees to Deposit Account Number _____
☐ Advance Order - # of copies _____	☒ If **in addition to** the payment of the issue fee amount submitted with this form, there are any discrepancies in any amount(s) due, the Director is authorized to charge any deficiency, or credit any overpayment, to Deposit Account Number 504666 . The **issue fee must be submitted** with this form. **If payment of the issue fee does not accompany this form, checking this box and providing a deposit account number will NOT be effective to satisfy full payment of the fee(s) due.**

4.Firm and/or Attorney Names To Be Printed

NOTE: If no name is listed, no name will be printed
For printing on the patent front page, list to be displayed as entered

1. VIERING, JENTSCHURA & PARTNER
2.
3.

5.Assignee Name(s) and Residence Data To Be Printed

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

Name	City	State	Country	Category
OSRAM OLED GmbH	REGENSBURG		germany	corporation

6.Signature

I certify, in accordance with 37 CFR 1.4(d)(4) that I am an attorney or agent registered to practice before the Patent and Trademark Office who has filed and has been granted power of attorney in this application. I also certify that this Fee(s) Transmittal form is being transmitted to the USPTO via EFS-WEB on the date indicated below.

Signature	/Karl J. Kolbinger/	**Date**	12-29-2015
Name	Karl J. Kolbinger	**Registration Number**	41124

Electronic Patent Application Fee Transmittal

Application Number:	14430942
Filing Date:	25-Mar-2015
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Filer:	Karl Kolbinger/Satoko Kamada
Attorney Docket Number:	P59054US

Filed as Large Entity

Filing Fees for U.S. National Stage under 35 USC 371

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility Appl Issue Fee	1501	1	960	960
Publ. Fee- Early, Voluntary, or Normal	1504	1	0	0
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**960**

Electronic Acknowledgement Receipt

EFS ID:	24452500
Application Number:	14430942
International Application Number:	
Confirmation Number:	7550
Title of Invention:	METHOD FOR PRODUCING A PASSIVE ELECTRONIC COMPONENT, METHOD FOR PRODUCING AN OPTOELECTRONIC ASSEMBLY AND PASSIVE ELECTRONIC COMPONENT
First Named Inventor/Applicant Name:	Andrew Ingle
Customer Number:	83956
Filer:	Karl Kolbinger/Satoko Kamada
Filer Authorized By:	Karl Kolbinger
Attorney Docket Number:	P59054US
Receipt Date:	29-DEC-2015
Filing Date:	25-MAR-2015
Time Stamp:	04:49:18
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$960
RAM confirmation Number	10825
Deposit Account	504666
Authorized User	VIERING, JENTSCHURA & PARTNER
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

Charge any Additional Fees required under 37 CFR 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	Web85b.pdf	46281 7dbfbb0c491774a3d0469d3d8ad5d84d16061dde	no	2
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	32435 537c64dec3c540b38f07f4d21915bddd60348784	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	78716		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/430,942	02/09/2016	9257492	P59054US	7550

83956 7590 01/20/2016

Viering, Jentschura & Partner mbB - OSR
c/o
3770 Highland Ave.
Suite 203
Manhattan Beach, CA 90266

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Andrew Ingle, Allershausen, GERMANY;
OSRAM OLED GmbH, Regensburg, GERMANY;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.