DECLARATION OF STEVEN BAMMELI

I, Steven Bammel, pursuant to 28 U.S.C. § 1746 and 37 C.F.R. § 1.68, hereby declare as follows:

1. I am a Translator for Sun IP.

2. I submit this declaration to certify the accuracy of the English translation of Min-Ho Choi et al., *Solar Cell and Manufacturing Method Thereof*, KR Patent 10-1613843 (Nov. 13, 2014).

3. I am qualified to perform Korean to English translations and certify the accuracy of Korean to English translations.

4. My statements are based on personal knowledge and my review of Min-Ho Choi et al., *Solar Cell and Manufacturing Method Thereof*, KR Patent 10-1613843 (Nov. 13, 2014) and its Korean to English translation. If called as a witness about the facts contained in these statements, I could testify competently based on such personal knowledge and the investigation I have conducted.

5. Attached as **Exhibit A** is, to the best of my knowledge and ability, a true and accurate copy of Min-Ho Choi et al., *Solar Cell and Manufacturing Method Thereof*, KR Patent 10-1613843 (Nov. 13, 2014).

6. Attached as **Exhibit B** is, to the best of my knowledge and ability, a true and accurate copy of an English translation of Min-Ho Choi et al., *Solar Cell and Manufacturing Method Thereof*, KR Patent 10-1613843 (Nov. 13, 2014) (hereinafter "Choi Translation"), which I translated based on Exhibit A and my personal knowledge of the Korean and English languages.

7. Choi Translation is, to the best of my knowledge and ability, a true and accurate translation of Min-Ho Choi et al., *Solar Cell and Manufacturing Method Thereof*, KR Patent 10-1613843 (Nov. 13, 2014).

8. All statements made herein of my own knowledge are true, and all statements made on information and belief are believed to be true.

9. I have been warned and am aware that these statements are made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001.

10. I understand that by submitting this declaration I may be asked to appear for a deposition asking me questions limited to the material in my declaration. With my signature below, I agree to make reasonable efforts to make myself available for such a deposition at a reasonable place and time.

* * *

I declare under the penalty of perjury under the laws of the United States that the foregoing is true and correct. Executed on July 23, 2024 in Incheon, Korea.



Steven Bammel

EXHIBIT A

특허출원서

【참조번호】 1

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【특허고객번호】 1-2002-012840-3

【대리인】

【성명】 박병창

【대리인번호】 9-1998-000238-3

【포괄위임등록번호】 2002-027067-4

【발명(고안)의 국문명칭】 태양 전지 및 이의 제조 방법

【발명(고안)의 영문명칭】 SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

【발명(고안)자】

【성명】 최민호

【성명의 영문표기】 Minho Choi

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【발명(고안)자】

【성명】 박현정

【성명의 영문표기】 Hyunjung Park

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【발명(고안)자】

【성명】 최정훈

【성명의 영문표기】 Junghoon Choi

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【취지】

위와 같이 특허청장에게 제출합니다.

대리인 박병창 (서명 또는 인)

【수수료】

【(기본)출원료】 0 면 38,000 원

【가산수수료】 41 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 38,000 원

【발명의 설명】

【발명의 명칭】

태양 전지 및 이의 제조 방법{SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME}

【기술분야】

【0001】 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 구조가 개선된 태양 전지 및 이의 제조 방법에 관한 것이다.

【배경기술】

【0002】 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

【0003】 이러한 태양 전지에서는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 그런데 이러한 다양한 층 및 전극의 설계에 따라 태양 전지 효율이 결정될 수 있다. 태양 전지의 상용화를 위해서는 낮은 효율을 극복하여야 하는바, 다양한 층 및 전극이 태양 전지의 효율을 최대화할 수 있도록 설계되는 것이 요구된다.

【발명의 내용】

【해결하려는 과제】

【0004】 본 발명은 신뢰성을 향상할 수 있고 효율을 최대화할 수 있는 태양 전지를 제공하고자 한다.

【과제의 해결 수단】

【0005】 본 실시예에 따른 태양 전지는, 반도체 기판; 상기 반도체 기판의 일면 위에 형성되는 터널링층; 상기 터널링층 위에 형성되는 상기 제1 도전형 불순물층; 상기 터널링층 위에서 상기 제1 도전형 불순물층과 이격되어 형성되는 제2 도전형 불순물층; 및 상기 제1 도전형 불순물층과 상기 제2 도전형 불순물층 사이에서 상기 제1 도전형 불순물층과 싱기 제2 도진형 불순물이 이격되도록 형성되는 배리어층을 포함한다.

【0006】 본 실시예에 따른 태양 전지의 제조 방법은, 반도체 기판을 준비하는 단계; 상

기 반도체 기판의 일면 위에 터널링층을 형성하는 단계; 상기 터널링층 위에 반도체층을 형성하는 단계; 및 상기 반도체층에 제1 도전형 불순물 및 제2 도전형 불순물을 도핑하여 배리어층에 의하여 이격되는 제1 도전형 불순물층 및 제2 도전형 불순물층을 형성하는 도핑 단계를 포함한다.

【발명의 효과】

【0007】 본 실시예에 따른 태양 전지에서는, 반도체 기판의 동일한 면(일례로, 후면)에 위치하는 제1 도전형 불순물층과 제2 도전형 불순물층 사이에 배리어층을 형성한다. 이에 의하여 제1 도전형 불순물층과 제2 도전형 불순물층이 불필요하게 단락되어 발생하는 션트를 방지할 수 있다. 또한, 배리어층은 제1 및 제2 도전형 불순물층에 각기 연결되는 제1 및 제2 전극의 얼라인이 조금 벗어나는 경우에 원하지 않는 불순물층과 연결되는 것을 방지하는 역할도 할 수 있다. 이에 의하여 태양 전지의 개방 전압 및 충밀도를 향상시켜 태양 전지의 효율 및 출력을 증가시킬 수 있다. 본 실시예에 따른 태양 전지의 제조 방법은 상술한 구조의 태양 전지를 간단한 방법에 의하여 형성할 수 있다.

【0008】 이에 따라 본 실시예에 따르면 태양 전지의 특성과 생산성을 모두 향상할 수 있다.

【도면의 간단한 설명】

【0009】 도 1은 본 발명의 실시예에 따른 태양 전지의 단면도이다.

도 2는 본 발명의 실시예에 따른 태양 전지의 부분 후면 평면도이다.

도 3a 내지 도 3k는 본 발명의 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

도 4는 본 발명의 다른 실시예에 따른 태양 전지를 도시한 후면 평면도이다.

도 5는 본 발명의 또 다른 실시예에에 따른 태양 전지를 도시한 단면도이다.

【발명을 실시하기 위한 구체적인 내용】

【0010】 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

【0011】 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부

분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

【0012】 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다.

【0013】 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지를 상세하게 설명한다.

【0014】 도 1은 본 발명의 실시예에 따른 태양 전지의 단면도이다.

【0015】 도 1을 참조하면, 본 실시예에 따른 태양 전지(100)는, 반도체 기판(10)과, 반도체 기판(10)의 일면(일례로, 후면) 위에 형성되는 터널링층(20)과, 터널링층(20) 위에 형성되는 제1 도전형 불순물층(32), 제2 도전형 불순물층(34) 및 배리어층(36)을 포함한다. 이때, 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)은 배리어층(36)에 의하여 서로 이격되어 형성된다. 그리고 제1 및 제2 도전형 불순물층(32, 34)에 연결되어 캐리어를 수집하는 제1 및 제2 전극(42, 44)를 더 포함할 수 있다. 또한, 반도체 기판(10)의 다른 일면 위에 반사 방지막(50)이 더 형성될 수 있다. 이를 좀더 상세하게 설명한다.

【0016】 반도체 기판(10)은, 제1 도전형 불순물을 낮은 도핑 농도로 포함하는 베이스 영역(110)을 포함할 수 있다. 이때, 반도체 기판(10)은, 일례로, 제1 도전형 불순물을 포함하는 실리콘을 포함할 수 있다. 실리콘으로는 단결정 실리콘이 사용될 수 있으며, 제1 도전형 불순물은 일례로 n형 또는 p형일 수 있다. 즉, 제1 도전형 불순물로 5족 원소인 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 n형 불순물을 사용할 수 있다. 또는, 제1 도전형 불순물로 3족 원소인 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 p형 불순물을 사용할 수 있다.

【0017】 이때, 베이스 영역(110)은 제1 도전형 불순물로 n형의 불순물을 가질 수 있다. 그

러면, 베이스 영역(110)과 터널링층(20)에 의하여 터널 정션을 이루는 제2 도전형 불순물층(34)이 p형을 가질 수 있다. 그러면 베이스 영역(110)과의 정션에 의하여 광전 변환을 일으키는 에미터의 역할을 수행하는 불순물층(20)을 넓게 형성할 수 있고, 이에 의하여 전자보다 이동 속도가 느린 정공을 효과적으로 수집할 수 있다. 이러한 터널 정션에 광이 조사되면 광전 효과에 의해 생성된 전자가 제1 전극(22)에 의하여 수집되고, 정공이 반도체 기판(10)의 전면 쪽으로 이동하여 제2 전극(42)에 의하여 수집된다. 이에 의하여 전기 에너지가 발생한다. 그러나 본 발명이 이에 한정되는 것은 아니며, 베이스 영역(110) 및 제1 도전형 불순물층(32)이 p형을 가지고 제2 도전형 불순물층(34)이 n형을 가지는 것도 가능하다.

【0018】 반도체 기판(10)의 전면은 텍스쳐링(texturing)되어 피라미드 등의 형태의 요철을 가질 수 있다. 이와 같은 텍스쳐링에 의해 반도체 기판(10)의 전면 등에 요철이 형성되어 표면 거칠기가 증가되면, 반도체 기판(10)의 전면을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 반도체 기판(10)과 제2 도전형 불순물층(34)에 의하여 형성된 터널 정션까지 도달하는 광의 양을 증가시킬 수 있어, 광 손실을 최소화할 수 있다.

【0019】 그리고 반도체 기판(10)의 후면은 경면 연마 등에 의하여 전면보다 낮은 표면 거칠기를 가지는 상대적으로 매끈하고 평탄한 면으로 이루어질 수 있다. 이에 따라 반도체 기판(10)을 통과하여 후면으로 향하는 광을 후면에서 반사하여 다시 반도체 기판(10)으로 향하도록 할 수 있다. 그리고 본 실시예와 같이 반도체 기판(10)의 후면 쪽에서 터널링층(20)에 의하여 터널 정션이 형성된 경우에는 반도체 기판(10)의 후면의 특성에 따라 태양전지(100)의 특성이 크게 달라질 수 있기 때다. 이에 따라 반도체 기판(10)의 후면에는 텍스쳐링에 의한 요철을 형성하지 않는다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.

【0020】 반도체 기판(10)의 전면(즉 베이스 영역(110) 위)에는 전면 전계층(120)이 형성될 수 있다. 이러한 전면 전계층(120)은 반도체 기판(10)보다 높은 농도로 제1 도전형 불순물이 도핑된 영역으로, 후면 전계층(back surface field, BSF)과 유사하게 작용한다. 즉, 입사되는 태양 광에 의해 분리된 전자와 정공이 반도체 기판(10)의 전면에서 재결합되어 소멸되는 것을 방지한다. 그러나 본 발명이 이에 한정되는 것은 아니며 전면 전계층(120)을 형성하지 않는 것도 가능하다. 이러한 예를 도 5를 참조하여 추후에 좀더 상세하게 설

명한다.

【0021】 그리고 전면 전계층(120) 위에는 반사 방지막(50)이 형성될 수 있다. 반사 방지막(50)은 반도체 기판(10)의 전면에 전체적으로 형성될 수 있다. 반사 방지막(50)은 반도체 기판(10)의 전면으로 입사되는 광의 반사율을 감소시키고, 전면 전계층(120)의 표면 또는 벌크 내에 존재하는 결함을 부동화 시킨다.

【0022】 반도체 기판(10)의 전면을 통해 입사되는 광의 반사율을 낮추는 것에 의하여 터널 정션까지 도달되는 광량을 증가할 수 있다. 이에 따라 태양 전지(100)의 단락 전류(Isc)를 증가시킬 수 있다. 그리고 결함을 부동화하여 소수 캐리어의 재결합 사이트를 제거하여 태양 전지(100)의 개방 전압(Voc)을 증가시킬 수 있다. 이와 같이 반사 방지막(50)에 의해 태양 전지(100)의 개방 전압과 단락 전류를 증가시켜 태양 전지(100)의 변환 효율을 향상할 수 있다.

【0023】 이러한 반사 방지막(50)은 다양한 물질로 형성될 수 있다. 일례로, 반사 방지막(50)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 반사 방지막(50)이 다양한 물질을 포함할 수 있음은 물론이다.

【0024】 본 실시예에서 반도체 기판(10)의 후면에는 터널링층(20)이 형성된다. 터널링층(20)에 의하여 반도체 기판(10)의 후면의 계면 특성을 향상할 수 있으며 생성된 캐리어는 터널링 효과에 의하여 원활하게 전달되도록 할 수 있다. 이러한 터널링층(20)은 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 산화물, 질화물, 전도성 고분자 등을 포함할 수 있다. 이때, 터널링층(20)은 반도체 기판(10)의 후면에 전체적으로 형성될 수 있다. 이에 따라 반도체 기판(10)의 후면을 전체적으로 패시베이션할 수 있고, 별도의 패터닝 없이 쉽게 형성될 수 있다.

【0025】 터널링 효과를 충분하게 구현할 수 있도록 터널링층(20)의 두께는 5nm 이하일 수 있고, 0.5nm 내지 5nm(일례로, 1nm 내지 4nm)일 수 있다. 터널링층(20)의 두께가 5nm를 초과하면 터널링이 원할하게 일어나지 않아 태양 전지(100)가 작동하지 않을 수 있고, 터널링층(20)의 두께가 0.5nm 미만이면 원하는 품질의 터널링층(20)을 형성하기에 어려움이 있을 수 있다. 터널링 효과를 좀더 향상하기 위해서는 터널링층(20)의 두께가

1nm 내지 4nm일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(20)의 두께가 달라질 수 있다.

【0026】 그리고 터널링층(20) 위에는, 제1 도전형 불순물을 가지는 제1 도전형 불순물층(32)과, 제2 도전형 불순물을 가지는 제2 도전형 불순물층(34)과, 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에 위치하는 배리어층(36)이 형성된다.

【0027】 제1 도전형 불순물층(32)은 반도체 기판(10)과 동일한 제1 도전형 불순물을 포함하는 반도체(일례로, 실리콘)을 포함할 수 있다. 이러한 제1 도전형 불순물층(32)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 실리콘, 미세 결정 실리콘, 다결정 실리콘 등에 제1 도전형 불순물을 도핑하여 형성될 수 있다. 이때, 제1 도전형 불순물은 반도체 기판(10)과 동일한 도전형을 가지는 불순물이면 족하다. 즉, 제1 도전형 불순물이 n형일 경우에는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다. 제1 도전형 불순물이 p형일 경우에는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있다. 이러한 제1 도전형 불순물층(32)은 후면 전계(back surface field) 구조를 형성하여 반도체 기판(10)의 표면에서 재결합에 의하여 캐리어가 손실되는 것을 방지하는 역할을 한다. 또한, 제1 전극(42)이 접촉하는 부분에서 접촉 저항을 저감시키는 역할을 할 수도 있다.

【0028】 제2 도전형 불순물층(34)은 반도체 기판(10)과 반대되는 제2 도전형 불순물을 포함하는 반도체(일례로, 실리콘)을 포함할 수 있다. 이러한 제2 도전형 불순물층(34)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 실리콘, 미세 결정 실리콘, 다결정 실리콘 등에 제2 도선형 불순물을 도핑하여 형성될 수 있다. 이때, 제2 도선형 불순물은 반도체 기판(10)과 반대되는 도전형을 가지는 불순물이면 족하다. 즉, 제2 도전형 불순물이 p형일 경우에는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있나. 세2 도전형 불순물이 n형일 경우에는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다. 이러한 제2 도전형 불순물층(34)은 반도체 기판(10)과 터널링층(20)에 의하여 터널 정션을 형성하여 광전 변환에 실질적으로 기여한다.

【0029】 그리고 배리어층(36)은 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에 위치하여 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)을 서로 이격시킨다. 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)이 서로 접촉하는 경우에는 션트

(shunt)가 발생하여 태양 전지(100)의 성능을 저하시킬 수 있다. 이에 따라 본 실시예에서는 제1 도전형 불순물(32)과 제2 도전형 불순물층(34) 사이에 배리어층(36)을 위치시켜 불필요한 션트를 방지할 수 있다.

【0030】 배리어층(36)은 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에서 이들을 실질적으로 절연할 수 있는 다양한 물질을 포함할 수 있다. 즉, 배리어층(36)으로 도핑되지 않은(즉, 언도프트) 절연 물질(일례로, 산화물, 질화물) 등을 사용할 수 있다. 또는, 배리어층(36)이 진성(intrinsic) 반도체를 포함할 수도 있다. 이때, 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36)이 동일 평면 상에서 형성되며 동일한 반도체 물질(일례로, 비정질 실리콘, 미세 결정 실리콘, 다결정 실리콘)을 포함할 수 있다. 이러한 경우는 반도체 물질을 포함하는 반도체층(도 3c의 참조부호 30, 이하 동일)을 형성한 다음, 반도체층(30)의 일부 영역에 제1 도전형 불순물을 도핑하여 제1 도전형 불순물층(32)을 형성하고 다른 영역 중 일부에 제2 도전형 불순물을 도핑하여 제2 도전형 불순물층(34)을 형성하고 제1 및 제2 도전형 불순물층(32, 34)이 형성되지 않은 영역이 배리어층(36)을 구성하게 하는 것에 의하여 제조된다. 즉, 이에 의하면 제1 및 제2 도전형 불순물층(32, 34) 및 배리어층(36)의 제조 방법을 단순화할 수 있는데, 이에 대해서는 추후에 제조 방법에서 좀더 상세하게 설명한다.

【0031】 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다. 즉, 도면에서는 배리어층(36)이 제1 및 제2 도전형 불순물층(32, 34)과 동시에 형성되어 실질적으로 동일한 두께를 가지면서 형성되는 것을 예시하였다. 그러나 본 발명에서 배리어층(36)을 제1 및 제2 도전형 불순물층(32, 34)과 별도로 형성한 경우, 즉, 패터닝 등을 통하여 형성한 경우에는 배리어층(36)의 두께가 제1 및 제2 도전형 불순물층(32, 34)와 같지 않을 수도 있다. 일례로, 제1 및 제2 도전형 불순물층(32, 34)의 쇼트를 좀더 효과적으로 막기 위하여 배리어층(36)이 제1 및 제2 도전형 불순물층(32, 34)보다 더 두꺼운 두께를 가질 수도 있다. 또는, 배리어층(36)을 형성하기 위한 원료를 절감하기 위하여 배리어층(36)의 두께를 제1 및 제2 도전형 불순물층(32, 34)의 두께보다 작게 할 수도 있다. 이외 다양한 변형이 가능함은 물론이다.

【0032】 여기서, 베이스 영역(110)과 동일한 도전형을 가지는 제1 도전형 불순물층(32)의 면적보다 베이스 영역(110)과 다른 도전형을 가지는 제2 도전형 불순물층(34)의 면적을

넓게 형성할 수 있다. 이에 의하여 반도체 기판(110)과 제2 도전형 불순물층(34)의 사이에서 터널링층(20)을 통하여 형성되는 터널 정션을 좀더 넓게 형성할 수 있다. 또한, 앞서 설명한 바와 같이, 베이스 영역(110) 및 제1 도전형 불순물층(32)이 n형의 도전형을 가지고 제2 도전형 불순물층(34)이 p형의 도전형을 가질 경우에, 이동 속도가 상대적으로 느린 정공을 효과적으로 수집할 수 있다. 이러한 제1 및 제2 도전형 불순물층(32, 34) 및 배리어층(36)의 평면 구조는 추후에 도 2를 참조하여 좀더 상세하게 설명한다.

【0033】 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36) 위에 절연층(40)이 형성될 수 있다. 절연층(40)은 제1 및 제2 도전형 불순물층(32, 34)이 연결되어야 하지 않을 전극(즉, 제1 도전형 불순물층(32)의 경우에는 제2 전극(44), 제2 도전형 불순물층(34)의 경우에는 제1 전극(42))과 연결되는 것을 방지하고, 제1 및 제2 도전형 불순물층(32, 34)을 패시베이션하는 효과를 가질 수도 있다. 절연층(40)에는 제1 도전형 불순물층(32)을 노출하는 제1 개구부(402)와, 제2 도전형 불순물층(34)을 노출하는 제2 개구부(404)를 구비한다.

【0034】 이러한 절연층(40)은 터널링층(20)보다 두꺼운 두께로 형성될 수 있다. 이에 의하여 절연 특성 및 패시베이션 특성을 향상할 수 있다. 절연층(40)은 다양한 절연 물질(예를 들어, 산화물, 질화물 등)으로 이루어질 수 있다. 일례로, 절연층(40)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, Al_2O_3, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 절연층(40)이 다양한 물질을 포함할 수 있음은 물론이다.

【0035】 제1 전극(42)은 절연층(40)의 제1 개구부(402)를 관통하여 제1 도전형 불순물층(32)에 연결되고, 제2 전극(44)은 절연층(40)의 제2 개구부(404)를 관통하여 제2 도전형 불순물층(34)에 연결된다. 이러한 제1 및 제2 전극(42, 44)으로는 다양한 금속 물질을 포함할 수 있다. 그리고 제1 및 제2 전극(42, 44)은 서로 전기적으로 연결되지 않으면서 제1 및 제2 도전형 불순물층(32, 34)에 각기 연결되어 생성된 캐리어를 수집하여 외부로 전달할 수 있는 다양한 평면 형상을 가질 수 있다. 즉, 본 발명이 제1 및 제2 전극(42, 44)의 평면 형상에 한정되는 것은 아니다.

【0036】 이하에서는 도 2를 참조하여, 제1 및 제2 도전형 불순물층(32, 34), 그리고 배리

어층(36)의 평면 형상을 상세하게 설명한다. 도 2는 본 발명의 실시예에 따른 태양 전지(100)의 부분 후면 평면도이다.

【0037】 도 2에서 제1 및 제2 전극(42, 44)의 형상은 일례로 제시한 것에 불과하므로 본 발명이 이에 한정되는 것은 아니다. 즉, 도 2에서는 복수 개의 제1 및 제2 전극(42, 44)이 서로의 사이에 거리를 두고 교번하여 위치하는 것으로 도시되어 있다. 이때, 도 2에 도시한 복수 개의 제1 전극(42)이 도 4에 도시한 제1 전극(42)의 가지부(42a)에 해당하고, 도 2에 도시한 복수 개의 제2 전극(44)이 도 4에 도시한 제2 전극(44)의 가지부(44a)에 해당할 수 있다. 따라서 도 2에 별도로 도시하지는 않았지만, 도 4에 도시한 바와 같이, 제1 및 제2 전극(42)의 가지부(42a)를 일측에서 각기 연결하는 줄기부(42b, 44b)를 더 구비할 수 있다. 그러나 앞서 설명한 바와 같이 본 발명이 이에 한정되는 것은 아니며 제1 및 제2 전극(42, 44)의 형상, 연결 구조 등은 다양하게 변형될 수 있다.

【0038】 도 2를 참조하면, 상술한 바와 같이 본 실시예에 따른 태양 전지(100)에서는 제1 도전형 불순물층(32)이 제2 도전형 불순물층(34)보다 좁은 면적을 가지도록 형성된다.

【0039】 이를 위하여 본 실시예에서는 제1 도전형 불순물층(32)이 아일랜드 형상을 가지면서 서로 이격되어 복수 개 구비될 수 있다. 그러면, 제1 도전형 불순물층(32)의 면적을 최소화하면서도 반도체 기판(10)에 전체적으로 제1 도전형 불순물층(32)이 위치하도록 할 수 있다. 그러면 제1 도전형 불순물층(32)에 의하여 표면 재결합을 효과적으로 방지하면서 제2 도전형 불순물층(34)의 면적을 최대화할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 도전형 불순물층(32)이 제1 도전형 불순물층(32)의 면적을 최소화할 있는 다양한 형상을 가질 수 있음은 물론이다.

【0040】 또한, 도면에서는 제1 도전형 불순물층(32)이 원형의 형상을 가지는 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 따라서, 제1 도전형 불순물층(32)이 각기 타원형, 또는 삼각형, 사각형, 육각형 등의 다각형의 평면 형상을 가질 수도 있음은 물론이다.

【0041】 일례로, 태양 전지(100)의 전체 면적에 대한 제1 도전형 불순물층(32)의 전체 면적의 비율이 0.5% 내지 30%(좀더 바람직하게는 0.5% 내지 5%)일 수 있다. 제1 도전형 불순물층(32)의 전체 면적 비율이 0.5% 미만인 경우에는 제1 전극(42)과 접촉이 정확하게 이루어지지 않아 제1 전극(42)과의 접촉 저항이 커질 수 있다. 상기 면적 비율이 30%

를 초과하면, 앞서 설명한 바와 같이 제2 도전형 불순물층(34)의 면적이 적어져서 태양 전지(100)의 효율이 저하될 수 있다. 태양 전지의 효율을 좀더 생각하면 상기 면적 비율이 0.5% 내지 5%인 것이 바람직하다.

【0042】 그리고 제1 도전형 불순물층(32)은 각기 배리어층(36)에 의하여 둘러싸일 수 있다. 일례로, 제1 도전형 불순물층(32)이 원형인 경우에 배리어층(36)은 환형 형상 또는 링 형상을 가질 수 있다. 즉, 배리어층(36)은 제1 도전형 불순물층(32)을 둘러싸면서 형성되어 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에서 이들을 이격하여 불필요한 션트의 발생을 방지하는 역할을 할 수 있다. 도면에서는 배리어층(36)이 제1 도전형 불순물층(32)의 전체를 둘러싸서 션트 발생을 원천적으로 방지하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 배리어층(36)이 제1 도전형 불순물층(32)의 외곽 중 일부만을 둘러싸는 것도 가능하다.

【0043】 이때, 배리어층(36)은 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에서 이들을 이격하는 역할을 하므로, 이들을 이격할 수 있는 최소한의 폭으로 형성될 수 있다. 즉, 배리어층(36)의 폭(T1)은 상대적으로 작은 면적으로 형성되는 제1 도전형 불순물층(32)의 폭(T2)보다 작을 수 있다. 여기서, 제1 도전형 불순물층(32)의 폭(T2)은 제1 도전형 불순물층(32)의 형상에 따라 달라질 수 있는데, 제1 도전형 불순물층(32)이 도면과 같이 원형인 경우에는 직경, 다각형인 경우에는 장폭으로 정의될 수 있다. 이에 의하여 최소한의 면적으로 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)의 불필요한 션트만을 방지할 수 있도록 한다.

【0044】 이때, 배리어층(36)의 폭(T1)은 0.5㎛ 내지 100㎛일 수 있다. 상기 배리어층(36)의 폭(T1)이 0.5㎛ 미만인 경우에는 제1 및 제2 도전형 불순물층(32, 34)을 전기적으로 절연하는 효과가 충분하지 않을 수 있고, 상기 배리어층(36)의 폭(T1)이 100㎛를 초과하는 경우에는 광전 변환에 크게 기여하지 않는 영역(즉, 배리어층(36)에 해당하는 영역)의 비율이 커져서 태양 전지(100)의 효율이 저하될 수 있다. 절연 효과 및 태양 전지(100)의 효율을 좀더 고려하면 배리어층(36)의 폭(T1)이 1㎛ 내지 30㎛일 수 있다.

【0045】 그리고 제1 도전형 불순물층(32)의 폭(T2)은 50㎛ 내지 1000㎛일 수 있다. 제1 도전형 불순물층(32)의 폭(T2)이 50㎛ 미만인 경우에는 제1 전극(32)과의 전기적 연결이 원활하게 이루어지기 어려울 수 있고, 1000㎛를 초과하는 경우에는 제2 도전형 불순물

층(34)의 면적이 줄어들거나 제1 도전형 불순물층(32) 사이의 간격이 커질 수 있다. 제1 전극(32)과의 연결, 면적 비율 등을 좀더 고려하면 제1 도전형 불순물층(32)의 폭(T2)이 100㎛ 내지 500㎛일 수 있다.

【0046】 절연층(40)에 형성된 제1 및 제2 개구부(402, 404)는 제1 및 제2 도전형 불순물층(32, 34) 각각의 형상을 고려하여 서로 다른 형상을 가질 수 있다. 즉, 제1 개구부(402)는 복수 개가 제1 도전형 불순물층(32)에 대응하여 서로 이격되어 형성될 수 있고, 제2 개구부(404)는 길게 이어지면서 형성될 수 있다. 이는 제1 전극(42)은 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 위에 모두 위치하고, 제2 전극(44)은 제2 도전형 불순물층(34) 위에만 위치하는 것을 고려한 것이다. 즉, 절연층(40)에서 제1 도전형 불순물층(32) 위에 위치한 부분에 대응하여 제1 개구부(402)가 형성되고, 제1 개구부(402)에 의하여 제1 전극(42)과 제1 도전형 불순물층(32)이 연결된다. 그리고 제2 도전형 불순물층(34) 위에 해당하는 절연층(40)의 부분에는 제1 개구부(402)가 형성되지 않아 제1 전극(42)과 제2 도전형 불순물층(34)과 서로 절연된 상태를 유지할 수 있도록 한다. 제2 전극(44)은 제2 도전형 불순물층(30) 위에만 형성되므로 제2 개구부(404)가 제2 전극(44)과 동일 또는 유사하게 형성하여 제2 전극(44)이 제2 도전형 불순물층(34) 상에 전체적으로 컨택될 수 있도록 한다.

【0047】 상술한 바와 같이 본 실시예에 따른 태양 전지(100)는 반도체 기판(10)의 동일한 면(일례로, 후면)에 위치하는 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에 배리어층(36)을 형성한다. 이에 의하여 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)이 불필요하게 난락되어 발생하는 션트를 방지할 수 있다. 또한, 배리어층(36)은 제1 및 제2 도전형 불순물층(32, 34)에 각기 연결되는 제1 및 제2 전극(42, 44)의 얼라인이 조금 벗어나는 경우에 원하지 않는 불순물층과 연결되는 것을 방지하는 역할도 할 수 있다. 이에 의하여 태양 전지(100)의 개방 전압 및 충밀도를 향상시켜 태양 전지(100)의 효율 및 출력을 증가시킬 수 있다.

【0048】 이때, 본 실시예에서는 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36)을 동일한 공정에서 함께 형성하여 단순한 공정에 의하여 개선된 구조의 태양 전지(100)를 형성할 수 있도록 한다. 이를 도 3a 내지 도 3k를 참조하여 좀더 상세하게 설명한다. 이하에서는 상술한 부분에서 설명한 내용은 상세한 설명을 생략하고, 서로 다른 부분만을 상세

하게 설명한다.

【0049】 도 3a 내지 도 3k는 본 발명의 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

【0050】 먼저, 도 3a에 도시한 바와 같이, 기판을 준비하는 단계(ST10)에서는 제1 도전형 불순물을 가지는 베이스 영역(110)으로 구성되는 반도체 기판(10)을 준비한다. 본 실시예에서 반도체 기판(10)은 n형의 불순물을 가지는 실리콘으로 이루어질 수 있다. n형의 불순물로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소가 사용될 수 있다.

【0051】 이때, 반도체 기판(10)의 전면이 요철을 가지도록 텍스쳐링되고, 반도체 기판(10)의 후면이 경면 연마 등에 의하여 처리되어 반도체 기판(10)의 전면보다 작은 표면 거칠기를 가질 수 있다.

【0052】 반도체 기판(10)의 전면의 텍스처링으로는 습식 또는 건식 텍스처링을 사용할 수 있다. 습식 텍스처링은 텍스처링 용액에 반도체 기판(10)을 침지하는 것에 의해 수행될 수 있으며, 공정 시간이 짧은 장점이 있다. 건식 텍스처링은 다이아몬드 그릴 또는 레이저 등을 이용하여 반도체 기판(10)의 표면을 깍는 것으로, 요철을 균일하게 형성할 수 있는 반면 공정 시간이 길고 반도체 기판(10)에 손상이 발생할 수 있다. 그 외에 반응성 이온 식각(RIE) 등에 의하여 반도체 기판(10)을 텍스쳐링 할 수도 있다. 이와 같이 본 발명에서는 다양한 방법으로 반도체 기판(10)을 텍스쳐링 할 수 있다. 그리고 반도체 기판(10)의 후면은 알려진 경면 연마에 의하여 처리될 수 있다.

【0053】 이어서, 도 3b에 도시한 바와 같이, 반도체 기판(10)의 후면에 터널링층(20)을 형성한다. 터널링층(20)은, 일례로, 열적 성장법, 증착법(예를 들어, 화학 기상 증착법(PECVD), 원자층 증착법(ALD)) 등에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 터널링층(20)이 형성될 수 있다.

【0054】 이어서, 도 3c에 도시한 바와 같이, 터널링층(20) 위에 반도체층(30)을 형성한다. 반도체층(30)은 미세 결정질, 비정질, 다결정 반도체로 구성될 수 있다. 반도체층(30)은, 일례로, 열적 성장법, 증착법(예를 들어, 화학 기상 증착법(PECVD)) 등에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 반도체층(30)이 형성될 수 있다.

【0055】 이어서, 도 3d 내지 도 3g에 도시한 바와 같이, 반도체층(30)에 제1 도전형 불순

물층(32), 제2 도전형 불순물층(34), 및 배리어층(36)을 형성한다. 이를 좀더 상세하게 설명한다.

【0056】 즉, 도 3d에 도시한 바와 같이, 제1 도전형 불순물층(32)에 대응하는 부분에 제1 도핑층(322)을 형성한다. 제1 도핑층(322)은 제1 도전형 불순물을 구비하는 다양한 층일 수 있으며, 인 실리케이트 유리(PSG) 일 수 있다. 제1 도핑층(322)으로 인 실리케이트 유리를 형성하면 쉽게 제1 도핑층(322)을 형성할 수 있다. 이때, 제1 도핑층(322)은 복수 개의 제1 도전형 불순물층(32)에 대응하도록 복수의 도핑 부분을 포함할 수 있다. 복수의 도핑 부분은 제2 도전형 불순물층(32)에 대응하여 아일랜드 형상을 가질 수 있다.

【0057】 이러한 제1 도핑층(322)은 마스크를 이용하여 제1 도전형 불순물층(32)에 대응하는 형상을 가지는 상태로 반도체층(30) 위에 형성될 수 있다. 또는, 잉크젯 또는 스크린 인쇄 등의 방법에 의하여 제1 도전형 불순물층(32)에 대응하는 형상을 가지는 상태로 반도체층(30) 위에 형성될 수 있다. 또는, 제1 도핑층(322)에 해당하는 물질을 반도체층(30) 위에 전체적으로 형성한 다음 제1 도전형 불순물층(32)이 형성되지 않을 부분을 에칭 용액, 에칭 페이스트 등에 의하여 제거하여 제1 도핑층(322)을 형성할 수도 있다.

【0058】 이어서, 도 3e에 도시한 바와 같이, 제1 도핑층(322)과 이의 주변부의 상기 반도체층(30)을 덮으면서 언도프트층(362)를 형성한다. 이러한 언도프트층(362)은 제1 및 제2 도전형 불순물층을 포함하지 않는 물질로 구성된다. 일례로, 언도프트층(362)은 실리케이트 또는 절연막으로 구성될 수 있다. 이때, 언도프트층(362)은 제1 도핑층의 복수의 부분에 각기 대응하면서 이보다 큰 면적을 덮도록 형성되는 복수의 부분을 포함할 수 있다.

【0059】 이러한 언도프트층(362)은 마스크를 이용하여 원하는 형상을 가지는 상태로 반도체층(30) 위에 형성될 수 있다. 또는, 잉크젯 또는 스크린 인쇄 등의 방법에 의하여 원하는 형상을 가지는 상태로 반도체층(30) 위에 형성될 수 있다. 또는, 언도프트층(362)에 해당하는 물질을 제1 도핑층(322) 및 반도체층(30)에 전체적으로 형성한 다음 원하지 않는 에칭 용액, 에칭 페이스트 등에 의하여 제거하여 언도프층(362)을 형성할 수도 있다.

【0060】 이어서, 도 3f에 도시한 바와 같이, 언도프트층(362) 및 반도체층(30) 위에 제2 도핑층(342)을 형성한다. 제2 도핑층(342)은 제2 도전형 불순물을 구비하는 다양한 층일 수 있으며, 보론 실리케이트 유리(BSG) 일 수 있다. 제2 도핑층(342)으로 보론 실리케이트 유리를 형성하면 쉽게 제2 도핑층(342)을 형성할 수 있다. 제2 도핑층(342)은 언도프트층

(362) 및 반도체층(30)을 덮으면서 전체적으로 형성될 수 있다.

【0061】 이어서, 도 3g에 도시한 바와 같이, 열처리에 의하여 제1 도핑층(322) 내의 제1 도전형 불순물을 반도체층(30)에 확산시켜 제1 도전형 불순물층(32)을 형성하고, 제2 도핑층(342) 내의 제2 도전형 불순물을 반도체층(30)에 확산시켜 제2 도전형 불순물층(34)을 형성한다. 언도프트층(362)과 인접하여 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에 위치하는 부분에는 도핑이 이루어지지 않으므로 반도체층(30)이 그대로 남아 배리어층(36)을 구성하게 된다. 이에 따라 배리어층(36)이 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에서 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34)이 이격하면서 위치하게 된다.

【0062】 그리고 제1 도핑층(322), 언도프트층(324) 및 제2 도핑층(362)을 제거한다. 제거 방법으로는 알려진 다양한 방법이 적용될 수 있으며, 일례로, 제1 도핑층(322), 언도프트층(324) 및 제2 도핑층(362)은 희석한 불산(diluted HF)에 침지한 다음 물에 의하여 세정하는 것에 의하여 제거될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

【0063】 이어서, 도 3h에 도시한 바와 같이, 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36)의 위에 절연층(40)을 형성한다. 절연층(40)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다.

【0064】 이어서, 도 3i에 도시한 바와 같이, 반도체 기판(10)의 전면에 전면 전계층(120) 및 반사 방지막(50)을 형성한다.

【0065】 선변 선계층(120)은 제1 도선형 불순물을 도핑하여 형성될 수 있다. 일례로, 이온 주입법, 열 확산법 등의 다양한 방법에 의하여 제1 도전형 불순물을 반도체 기판(10)에 도핑하여 전면 전계층(120)을 형성할 수 있다.

【0066】 반사 방시막(50)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다.

【0067】 이어서, 도 3j에 도시한 바와 같이 제1 및 제2 도전형 불순물층(32, 34)을 노출하는 개구부(402, 404)를 형성하고, 도 3k에 도시한 바와 같이 제1 및 제2 도전형 불순물층(32, 34)에 각기 전기적으로 연결되는 제1 및 제2 전극(42, 44)을 형성한다. 이 경우에는, 일례로, 개구부 내에 도금법, 증착법 등의 다양한 방법으로 제1 및 제2 전극(42, 44)을 형

성할 수 있다.

【0068】 다른 실시예로, 제1 및 제2 전극 형성용 페이스트를 절연층(400 상에 각기 스크린 인쇄 등으로 도포한 후에 파이어 스루(fire through) 또는 레이저 소성 컨택(laser firing contact) 등을 하여 상술한 형상의 제1 및 제2 전극(42, 44)을 형성하는 것도 가능하다. 이 경우에는 제1 및 제2 전극(42, 44)을 형성할 때 개구부(402, 404)가 형성되므로, 별도로 개구부(402, 404)를 형성하는 공정(도 3j의 공정)을 추가하지 않아도 된다.

【0069】 본 실시예에 따르면 반도체층(30)을 형성한 다음에 이 일부에 불순물을 도핑하는 단순한 공정에 의하여 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36)을 함께 형성할 수 있어 태양 전지(100)의 제조 방법을 단순화하여 생산성을 향상할 수 있다. 특히, 제1 도핑층(322) 및 언도프트층(342)을 복수의 부분을 가지도록 형성한 다음 제2 도핑층(362)을 전면으로 형성한 것에 의하여, 패터닝 수를 최소화하면서 원하는 형상의 제1 및 제2 도전형 불순물층(32, 34)과 배리어층(36)을 함께 형성할 수 있다. 이에 따라 생산성을 크게 향상할 수 있다.

【0070】 본 실시예와 달리, 제1 및 제2 도전형 불순물층 사이를 식각하여 제1 및 제2 도전형 불순물층을 이격하는 경우에는, 반도체 기판 일부가 식각되어 외부로 노출된다. 그러면, 반도체 기판의 손상이 발생되어 태양 전지의 특성을 저하시킬 수 있고, 이를 방지하기 위해서는 반도체 기판이 외부로 노출된 부분에 별도의 패시베이션층을 형성하여야 한다. 결과적으로 태양 전지의 품질이 저하되고 생산성이 저하될 수 있다.

【0071】 상술한 실시예에서는 터널링층(20), 제1 및 제2 도전형 불순물층(32, 34), 배리어층(34), 절연층(40)을 형성한 다음, 선변 선계층(120) 빛 반사 방지막(50)을 형성하고, 그 후에 제1 및 제2 전극(42, 44)을 형성하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 터널링층(20), 제1 및 제2 도전형 불순물층(32, 34), 배리어층(34), 절연층(40), 전면 전계층(120), 반사 방지막(50), 그리고 제1 및 제2 전극(42, 44)의 형성 순서는 다양하게 변형될 수 있다.

【0072】 또한, 상술한 실시예에서는 제1 도핑층(322)을 형성한 다음 언도프트층(362) 및 제2 도핑층(342)을 차례로 형성하는 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 즉, 제2 도핑층(342)을 먼저 형성한 후에 언도프트층(362) 및 제1 도핑층(322)을 차례로 형성하는 것도 가능하고, 배리어층(36)에 대응하는 영역에만 언도프트층(362)을 형

성한 다음 제1 및 제2 도핑층(322, 342)을 형성하는 것도 가능하다. 따라서 이와 같이 제1 및 제2 도핑층(322, 342) 및 언도프트층(362)의 형성 순서를 다양하게 변형할 수 있다.

【0073】 이하, 도 4 및 도 5를 참조하여 본 발명의 다른 실시예에 따른 태양 전지를 좀더 상세하게 설명한다. 상술한 실시예와 동일 또는 유사한 부분에 대해서는 상세한 설명을 생략하고 서로 다른 부분을 상세하게 설명한다.

【0074】 도 4는 본 발명의 다른 실시예에 따른 태양 전지를 도시한 후면 평면도이다. 명확하고 간략한 도시를 위하여 도 4에서는 절연층(40)의 도시를 생략하였다.

【0075】 도 4를 참조하면, 본 실시예에서는, 제1 도전형 불순물층(32)은, 반도체 기판(10)의 제1 가장자리(도면의 상부 가장자리)를 따라 형성되는 제1 줄기부(32a)와, 이 줄기부(32a)로부터 제1 가장자리와 반대되는 제2 가장자리(도면의 하부 가장자리)를 향해 연장되는 복수의 제1 가지부(32b)를 포함할 수 있다. 그리고 제2 도전형 불순물층(34)은 반도체 기판(31)의 제2 가장자리를 따라 형성되는 제2 줄기부(34a)와, 이 제2 줄기부(34a)로부터 제1 가장자리를 향해 제1 가지부(32b) 사이로 연장되는 복수의 제2 가지부(34b)를 포함할 수 있다. 제1 도전형 불순물층(32)의 제1 가지부(32b)와 제2 도전형 불순물층(34)의 제2 가지부(34b)는 서로 교번하여 위치할 수 있다. 이러한 형상에 의하여 정션되는 면적을 증가시킬 수 있고 전체적으로 캐리어를 수집할 수 있다. 그리고 제1 도전형 불순물층(32)과 제2 도전형 불순물층(34) 사이에는 배리어층(36)이 형성될 수 있다.

【0076】 상술한 바와 같이, 제1 도전형 불순물층(32)의 면적이 제2 도전형 불순물층(34)의 면적보다 작을 수 있다. 일례로, 제1 및 제2 도전형 영역(33, 34)의 면적은 제1 및 제2 도전형 영역(33, 34)의 제1 및 제2 줄기부(32a, 34a) 및/또는 제1 및 제2 가지부(32b, 34b)의 폭을 다르게 하여 조절될 수 있다.

【0077】 이때, 제1 전극(42)은 제1 도전형 영역(33)의 줄기부(32a)에 대응하여 형성되는 줄기부(42a)와, 제1 도전형 영역(33)의 가지부(32b)에 대응하여 형성되는 가지부(42b)를 구비할 수 있다. 유사하게, 제2 전극(44)은 제2 도전형 영역(34)의 줄기부(34a)에 대응하여 형성되는 줄기부(44a)와, 제2 도전형 영역(34)의 가지부(34b)에 대응하여 형성되는 가지부(44b)를 구비할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42) 및 제2 전극(44)이 다양한 평면 형상을 가질 수 있음은 물론이다.

【0078】 도 5는 본 발명의 또 다른 실시예에 따른 태양 전지를 도시한 단면도이다.

【0079】 도 5를 참조하면, 본 실시예에 따른 태양 전지에서는 반도체 기판(10)이 베이스 영역(110)으로만 이루어지고 별도의 전면 전계층(도 1의 참조부호 120, 이하 동일)이 형성되지 않는다. 대신, 반도체 기판(10)의 베이스 영역(110)에 접촉하며 고정 전하(fixed charge)를 가지는 전계 효과 형성층(52)이 형성된다. 이러한 전계 효과 형성층(52)은 전면 전계층(112)과 같이 일정한 전계 효과를 발생시켜 표면 재결합을 방지할 수 있도록 한다. 이러한 전계 효과 형성층(52)은 음전하를 가지는 알루미늄 산화물, 양전하를 가지는 실리콘 산화물, 실리콘 질화물 등으로 구성될 수 있다. 도면에 별도로 도시하지는 않았지만 전계 효과 형성층(52) 위에 별도의 반사 방지막(도 1의 참조부호 50)이 더 형성될 수 있다.

【0080】 이와 같이 본 실시예에서는 반도체 기판(10)이 별도의 도핑 영역을 구비하지 않고 베이스 영역(110)으로만 이루어진다. 이에 의하여 별도의 도핑 영역을 형성하기 위한 공정을 제거하여 공정을 단순화할 수 있다. 별도의 도핑 영역을 형성하기 위하여 도핑을 할 때 반도체 기판(10)에 손상이 발생하여 태양 전지(100)의 특성이 저하되는 것을 방지할 수 있다.

【0081】 여기서, 전계 효과 형성층(52)의 고정 전하의 양은, 일례로, 1×10^{12} 개/cm^2 내지 9×10^{13} 개/cm^2 일 수 있다. 이러한 고정 전하의 양은 도핑 영역을 구비하지 않는 반도체 기판(10)에 전계 효과를 발생시킬 수 있는 양이다. 전계 효과를 좀더 고려하면, 고정 전하의 양이 1×10^{12} 개/cm^2 내지 1×10^{13} 개/cm^2일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 고정 전하의 양이 변화될 수 있음은 물론이다.

【0082】 이때, 도핑 영역이 형성되지 않은 베이스 영역(110)의 비저항이 0.5 ohm·cm 내지 20 ohm·cm(일례로, 1 ohm·cm 내지 15 ohm·cm)일 수 있다. 이에 따라 전계 효과 형성층(52)에 인접한 부분에서 반도체 기판(10)의 비저항이 0.5 ohm·cm 내지 20 ohm·cm(일례로, 1 ohm·cm 내지 15 ohm·cm)일 수 있다. 그러나 이러한 비저항은 인(P)을 불순물로 사용하는 n형 베이스 영역(110)을 포함하는 반도체 기판(10)의 경우를 예시로 한 것인바, 도전형, 불순물의 종류 등에 따라 달라질 수 있다.

【0083】 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른

실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

【부호의 설명】

【0084】 100: 태양 전지

10: 반도체 기판

110: 베이스 영역

20: 터널링층

30: 반도체층

32: 제1 불순물 반도체층

34: 제2 불순물 반도체층

36: 배리어층

40: 절연층

50: 반사 방지막

52: 전계 효과 형성층

【청구범위】

【청구항 1】

반도체 기판;

상기 반도체 기판의 일면 위에 형성되는 터널링층;

상기 터널링층 위에 형성되는 상기 제1 도전형 불순물층;

상기 터널링층 위에서 상기 제1 도전형 불순물층과 이격되어 형성되는 제2 도전형 불순물층; 및

상기 제1 도전형 불순물층과 상기 제2 도전형 불순물층 사이에서 상기 제1 도전형 불순물층과 상기 제2 도전형 불순물이 이격되도록 형성되는 배리어층

을 포함하는 태양 전지.

【청구항 2】

제1항에 있어서,

상기 배리어층이 진성 반도체층 또는 언도프트 절연 물질을 포함하는 태양 전지.

【청구항 3】

제1항에 있어서,

상기 제1 도전형 불순물층이 n형을 가지고,

상기 제2 도전형 불순물층이 p형을 가지며,

상기 제1 도전형 불순물층의 면적이 상기 제2 도전형 불순물층의 면적보다 작은 태양 전지.

【청구항 4】

제3항에 있어서,

상기 태양 전지의 전체 면적에 대한 상기 제1 도전형 불순물층의 전체 면적의 비율이 0.5% 내지 5%인 태양 전지.

【청구항 5】

제1항에 있어서,

상기 제1 도전형 불순물층이 상기 배리어층에 의하여 둘러싸이는 아일랜드 형상을 가지

는 태양 전지.

【청구항 6】

제1항에 있어서,

상기 제1 도전형 불순물층의 폭보다 상기 배리어층의 폭이 작은 태양 전지.

【청구항 7】

제1항에 있어서,

상기 배리어층의 폭이 0.5㎛ 내지 100㎛인 태양 전지.

【청구항 8】

제7항에 있어서,

상기 배리어층의 폭이 1㎛ 내지 30㎛인 태양 전지.

【청구항 9】

제1항에 있어서,

상기 터널링층은 산화물 및 질화물 중 적어도 하나를 포함하는 태양 전지.

【청구항 10】

제1항에 있어서,

상기 제1 도전형 불순물층, 상기 제2 도전형 불순물층 및 상기 배리어층은 동일 평면 상에 위치하며 동일한 반도체 물질을 포함하는 태양 전지.

【청구항 11】

제10항에 있어서,

상기 제1 도전형 불순물층, 상기 제2 도전형 불순물층 및 상기 배리어층은 비정질 실리콘, 미세 결정 실리콘 및 다결정 실리콘 중 적어도 어느 하나를 포함하는 태양 전지.

【청구항 12】

제1항에 있어서,

상기 터널링층의 두께가 0.5nm 내지 5nm인 태양 전지.

【청구항 13】

제1항에 있어서,

상기 제1 도전형 불순물층, 상기 제2 도전형 불순물층 및 상기 배리어층의 두께가 50nm 내지 300nm인 태양 전지.

【청구항 14】

제1항에 있어서,

상기 반도체 기판의 상기 일면이 상기 반도체 기판의 다른 일면보다 작은 표면 거칠기를 가지는 태양 전지.

【청구항 15】

제14항에 있어서,

상기 반도체 기판의 다른 일면에 고정 전하(fixed charge)를 가지는 전계 효과 형성층이 형성되는 태양 전지.

【청구항 16】

제15항에 있어서,

상기 전계 효과 형성층에 인접한 상기 반도체 기판 부분의 비저항이 0.5 ohm、cm 내지 20 ohm、cm이고,

상기 전계 효과 형성층의 상기 고전 전하의 양이 $1 X 10^{12}$ 개/cm^2 내지 $9 X 10^{13}$ 개/cm^2인 태양 전지.

【청구항 17】

반도체 기판을 준비하는 단계;

상기 반도체 기판의 일면 위에 터널링층을 형성하는 단계;

상기 터널링층 위에 반도체층을 형성하는 단계; 및

상기 반도체층에 제1 도전형 불순물 및 제2 도전형 불순물을 도핑하여 배리어층에 의하여 이격되는 제1 도전형 불순물층 및 제2 도전형 불순물층을 형성하는 도핑 단계

를 포함하는 태양 전지의 제조 방법.

【청구항 18】

제17항에 있어서,

상기 도핑 단계는,

상기 반도체층 위에 상기 제1 도전형 불순물을 포함하는 제1 도핑층을 형성하는 단계;

상기 제1 도핑층 및 상기 제1 도핑층 주변부의 상기 반도체층 위에 언도프트층을 형성하는 단계;

상기 언도프트층 및 상기 반도체층 위에 전체적으로 상기 제2 도전형 불순물을 포함하는 제2 도핑층을 형성하는 단계; 및

열처리에 의하여 상기 제1 도전형 불순물 및 상기 제2 도전형 불순물을 상기 반도체층에 확산시켜 상기 제1 도전형 불순물층, 상기 제2 도전형 불순물층 및 배리어층을 동시에 형성하는 확산 단계

를 포함하고,

상기 확산 단계에서는, 상기 제1 도전형 불순물이 확산된 부분이 상기 제1 도전형 불순물층을 구성하고, 상기 제2 도전형 불순물이 확산된 부분이 상기 제2 도전형 불순물을 구성하며, 상기 제1 도전형 불순물층과 상기 제2 도전형 불순물층 사이에 도핑되지 않은 영역이 상기 배리어층을 구성하는 태양 전지의 제조 방법.

【청구항 19】

제18항에 있어서,

상기 제1 도핑층이 아일랜드 형상을 가지면서 서로 이격되는 복수의 부분을 포함하고,

상기 언도프트층이 상기 제1 도핑층의 상기 복수의 부분보다 큰 아일랜드 형상을 가지면서 서로 이격되는 복수의 부분을 포함하며,

상기 제2 도핑층이 상기 반도체층 위에서 전체적으로 형성되는 태양 전지의 제조 방법.

【청구항 20】

제18항에 있어서,

상기 제1 도핑층 및 상기 제2 도핑층 중 어느 하나가 보론 실리케이트 유리(BSG)이고, 다른 하나가 인 실리케이스 유리(PSG)인 태양 전지의 제조 방법.

【요약서】

【요약】

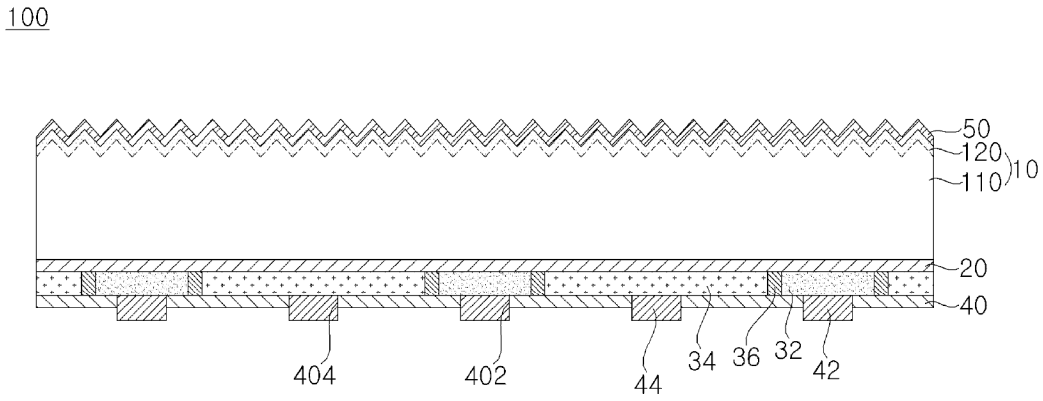
본 실시예에 따른 태양 전지는, 반도체 기판; 상기 반도체 기판의 일면 위에 형성되는 터널링층; 상기 터널링층 위에 형성되는 상기 제1 도전형 불순물층; 상기 터널링층 위에서 상기 제1 도전형 불순물층과 이격되어 형성되는 제2 도전형 불순물층; 및 상기 제1 도전형 불순물층과 상기 제2 도전형 불순물층 사이에서 상기 제1 도전형 불순물층과 상기 제2 도전형 불순물이 이격되도록 형성되는 배리어층을 포함한다.

【대표도】

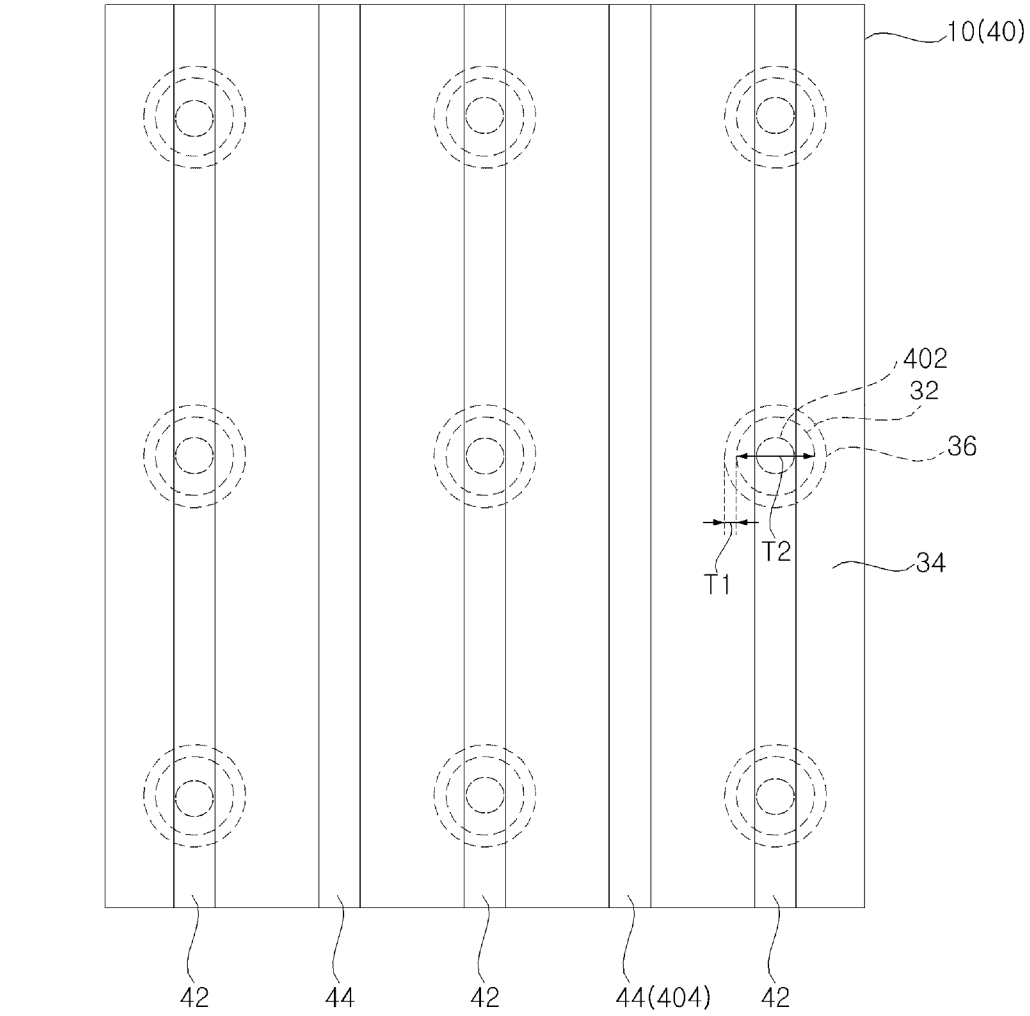
도1

【도면】

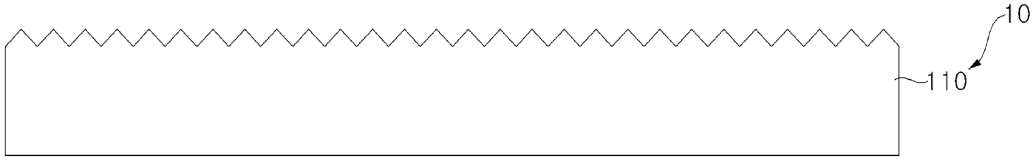
【도 1】



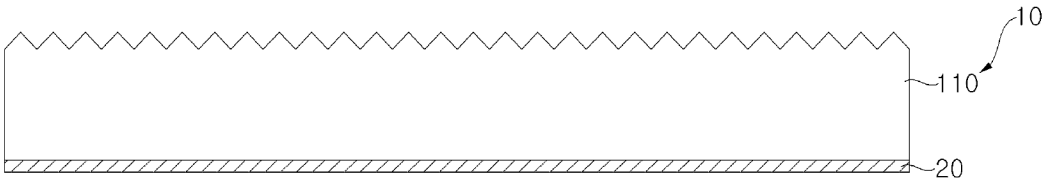
【도 2】



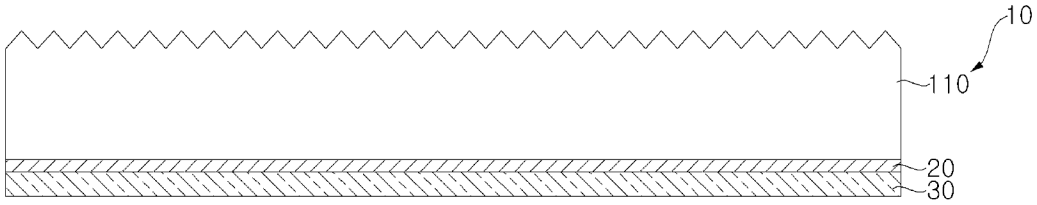
【도 3a】



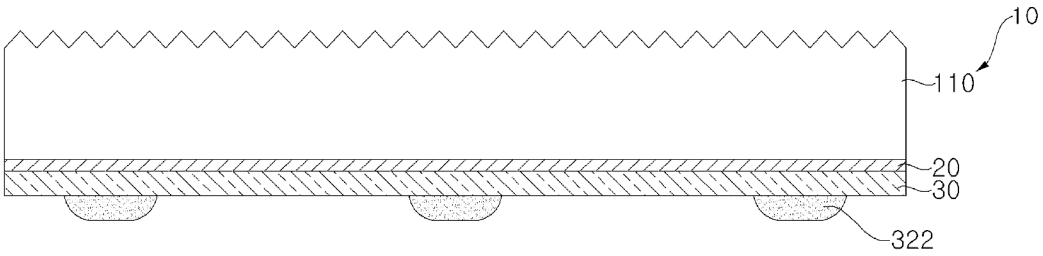
【도 3b】



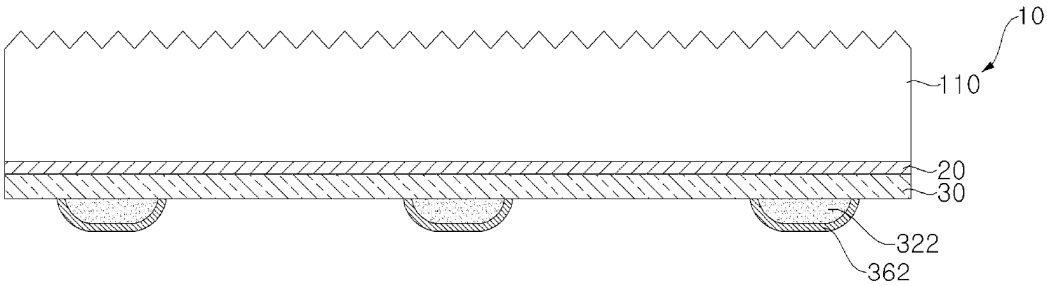
【도 3c】



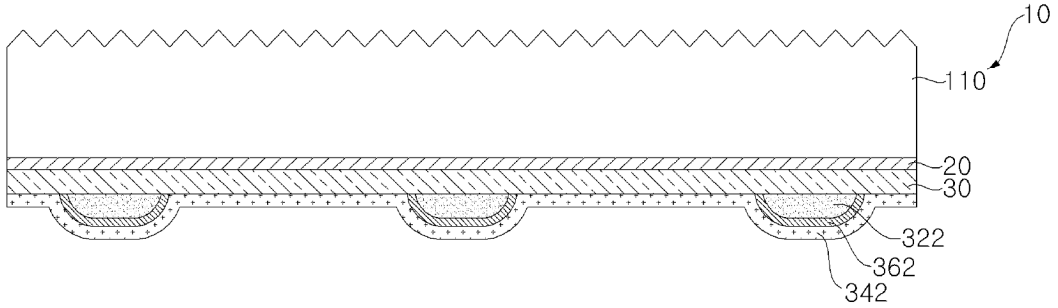
【도 3d】



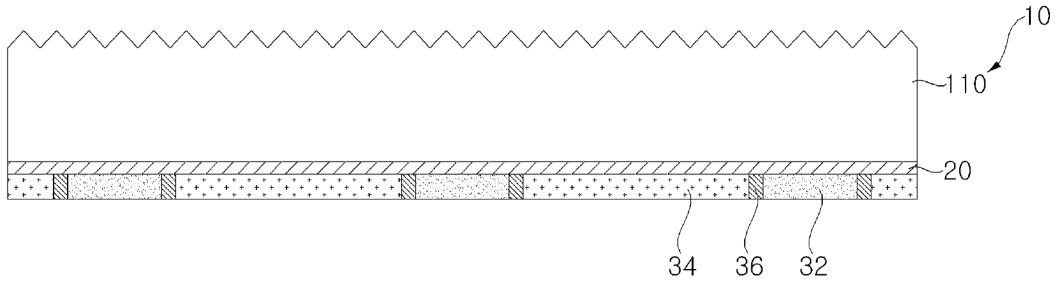
【도 3e】



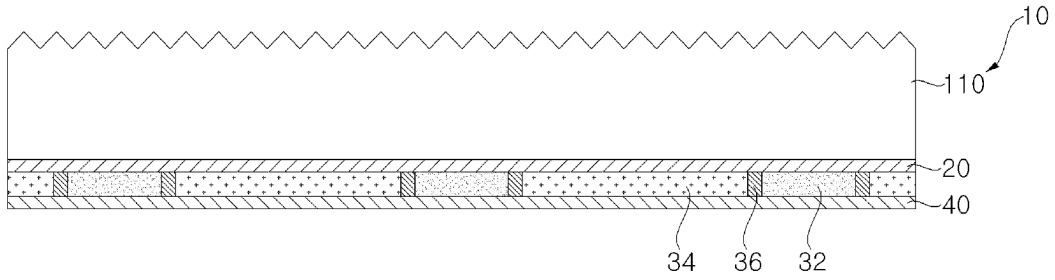
【도 3f】



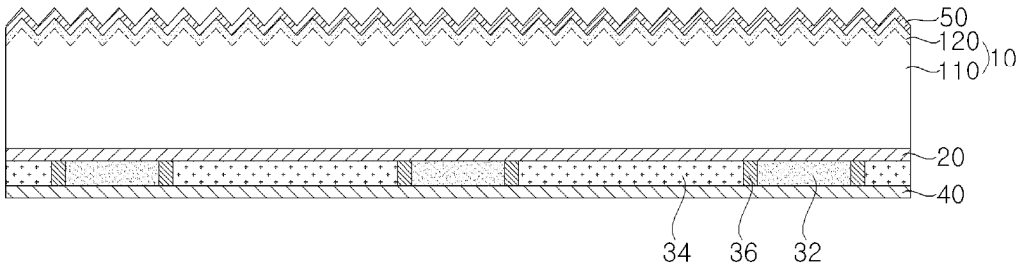
【도 3g】



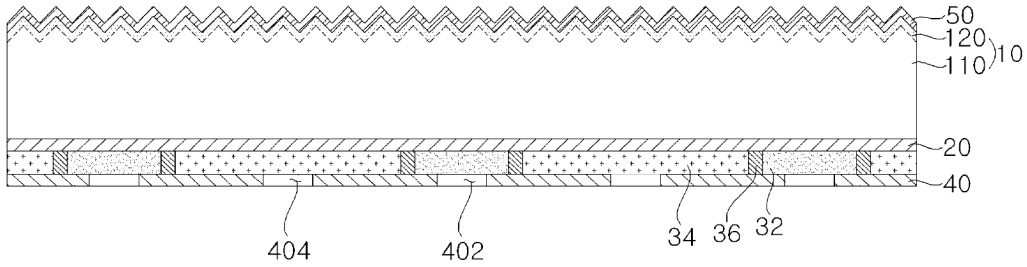
【도 3h】



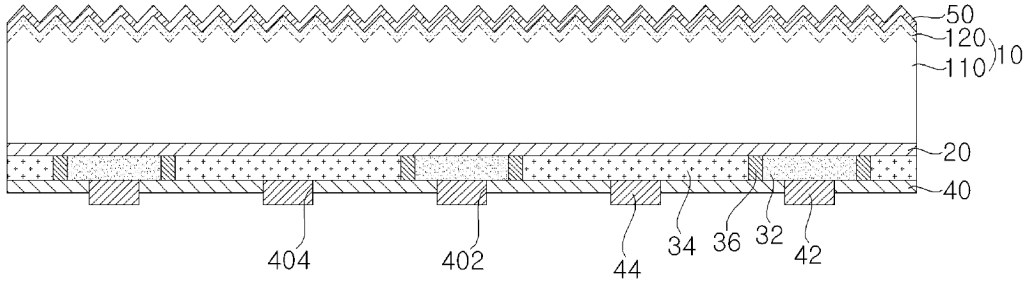
【도 3i】


50
120
110
10
20
40
34
36
32

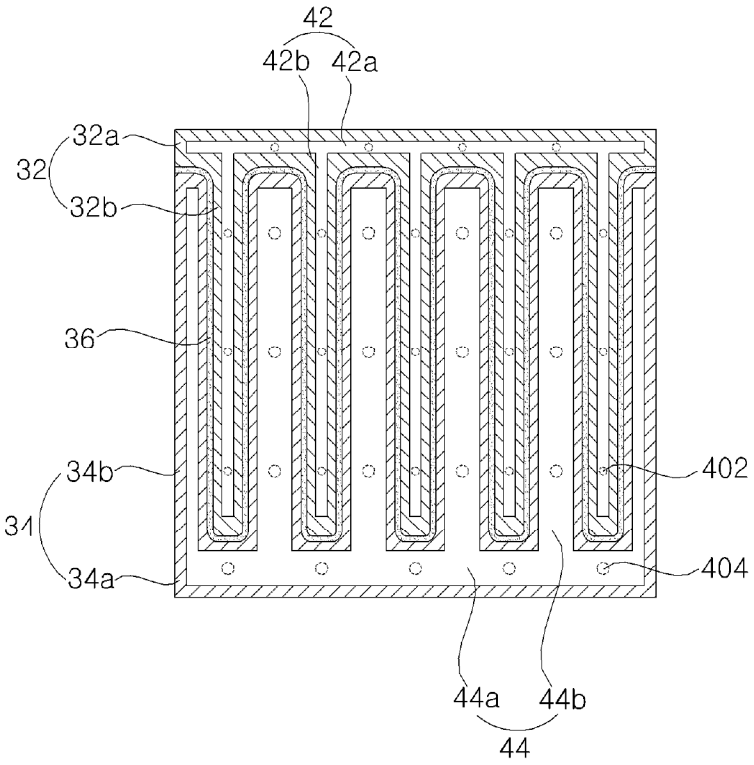
【도 3j】


50
120
110
10
20
40
404
402
34
36
32

【도 3k】


50
120
110
10
20
40
404
402
44
34
36
32
42

【도 4】


42
42b
42a
32a
32
32b
36
34b
31
34a
402
404
44a
44b
44

【도 5】

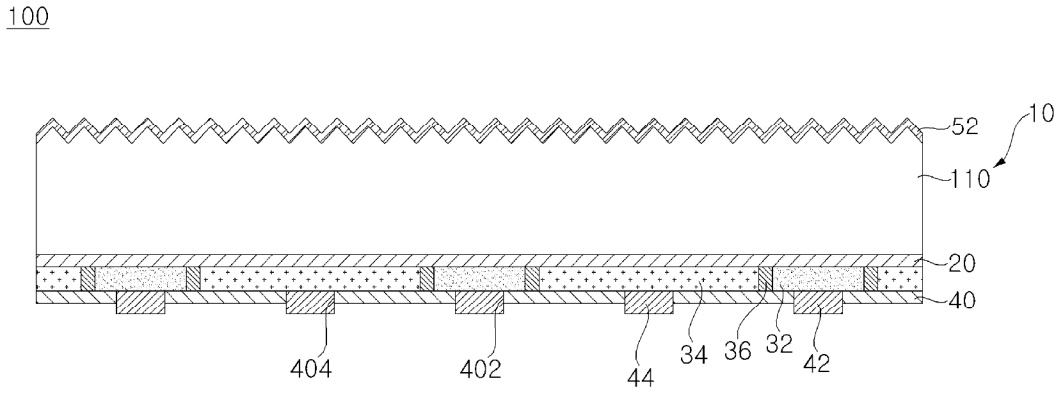

100
10
52
110
20
40
404
402
44
34
36
32
42

EXHIBIT B

(19) Korea Intellectual Property Office (KR)
(12) Patent Gazette for Registration (B1)

(45) Notification date: Apr. 20, 2016
(11) Registration no.: 10-1613843
(24) Registration date: Apr. 14, 2016

(51) International patent classification (Int. Cl.)
H01L 31/06 (Jan. 2006) *H01L 31/042* (Jan. 2014)
H01L 31/18 (Jan. 2006)
(21) Filing no.: **10-2013-0044982**
(22) Filing date: **Apr. 23, 2013**
Examination request date: **Sep. 25, 2014**
(65) Opening no. **10-2014-0126872**
(43) Opening date: **Nov. 3, 2014**
(56) Prior art survey literature
WO2012074602 A1*
US20120322199 A1*
WO2012163517 A2*
US20120247560 A1
*Prior art cited by the examiner

(73) Patentee
LG Electronics Inc.
128 Yeoui-daero (Yeouido-dong), Yeongdeungpo-gu, Seoul Metropolitan City
(72) Inventors
Min-Ho Choi
LG Research Institute, 38 Baumo-ro, Seocho-gu, Seoul Metropolitan City
Hyun-Jung Park
LG Research Institute, 38 Baumo-ro, Seocho-gu, Seoul Metropolitan City
Jeong-Hoon Choi
LG Research Institute, 38 Baumo-ro, Seocho-gu, Seoul Metropolitan City
(74) Agent
Byung-Chang Park

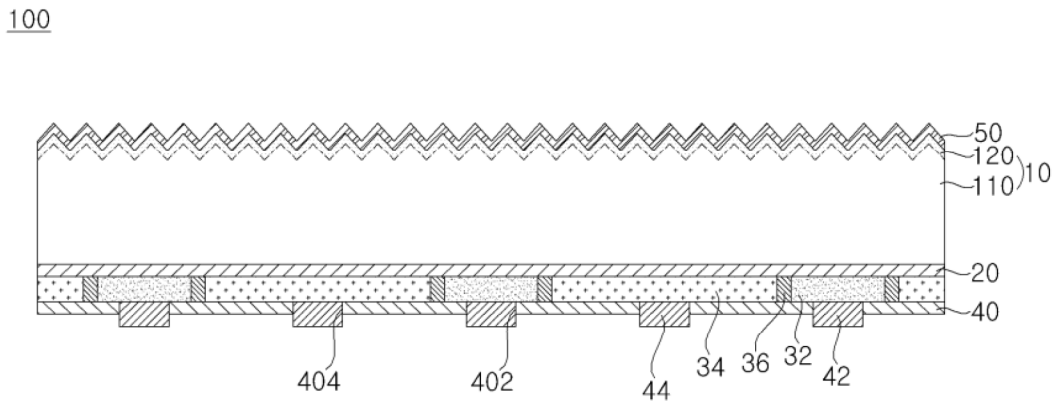
Total no. of claims: 26 claims
Examiner: Jeong-Ah Jang

(54) Name of patent: **Solar Cell and Manufacturing Method Thereof**

(57) Abstract

A solar cell according to this embodiment comprises a semiconductor substrate; a tunneling layer formed on one surface of the semiconductor substrate; a first conductive impurity layer formed on the tunneling layer; a second conductive impurity layer formed on the tunneling layer and spaced apart from the first conductive impurity layer; and a barrier layer formed between the first conductive impurity layer and the second conductive impurity layer to space apart the first conductive impurity layer and the second conductive impurity layer.

Representative drawing – Fig. 1



Specification

Claims

Claim 1

A solar cell comprising:

a semiconductor substrate including a base region;

a tunneling layer formed entirely on one surface of the semiconductor substrate;

a first conductive impurity layer formed on the tunneling layer;

a second conductive impurity layer formed on the tunneling layer and spaced apart from the first conductive impurity layer;

a barrier layer formed on the tunneling layer, located on the same plane as the first conductive impurity layer and the second conductive impurity layer, and formed between the first conductive impurity layer and the second conductive impurity layer to space apart the first conductive impurity layer and the second conductive impurity layer; and

a front surface field layer located on the other surface of the semiconductor substrate, having the same conductivity type as the base region and a higher doping concentration than the base region,

and wherein the barrier layer includes an intrinsic semiconductor layer.

Claim 2

Deleted

Claim 3

The solar cell of claim 1,

wherein the first conductive impurity layer has n-type conductivity,

the second conductive impurity layer has p-type conductivity, and

the area of the first conductive impurity layer is smaller than the area of the second conductive impurity layer.

Claim 4

The solar cell of claim 3,

wherein the ratio of the total area of the first conductive impurity layer to the entire area of the solar cell is 0.5% to 5%.

Claim 5

The solar cell of claim 1,

wherein the first conductive impurity layer has an island shape surrounded by the barrier layer.

Claim 6

The solar cell of claim 1,

wherein the width of the barrier layer is smaller than the width of the first conductive impurity layer.

Claim 7

The solar cell of claim 1,

wherein the width of the barrier layer is 0.5 μm to 100 μm.

Claim 8

The solar cell of claim 7,

wherein the width of the barrier layer is 1 μm to 30 μm.

Claim 9

The solar cell of claim 1,

wherein the tunneling layer includes at least one of an oxide and a nitride.

Claim 10

The solar cell of claim 1,

wherein the first conductive impurity layer, the second conductive impurity layer, and the barrier layer are located on the same plane and include the same semiconductor material.

Claim 11

The solar cell of claim 10,

wherein the first conductive impurity layer, the second conductive impurity layer, and the barrier layer include at least one of amorphous silicon, microcrystalline silicon, and polycrystalline silicon.

Claim 12

The solar cell of claim 1,

wherein the thickness of the tunneling layer is 0.5 nm to 5 nm.

Claim 13

The solar cell of claim 1,

wherein the thicknesses of the first conductive impurity layer, the second conductive impurity layer, and the barrier layer are 50 nm to 300 nm.

Claim 14

The solar cell of claim 1,

wherein the one surface of the semiconductor substrate has smaller surface roughness than the other surface of the semiconductor substrate.

Claim 15

The solar cell of claim 14,

wherein a field-effect forming layer having fixed charge is formed on the other surface of the semiconductor substrate.

Claim 16

The solar cell of claim 15,

wherein the specific resistance of the semiconductor substrate is 0.5 ohm·cm to 20 ohm·cm,

and the amount of the fixed charge of the field-effect forming layer is $1 \times 10^{12}/cm^2$ to $9 \times 10^{13}/cm^2$.

Claim 17

A manufacturing method for a solar cell comprising:

a step of preparing a semiconductor substrate including a base region;

a step of forming a tunneling layer entirely on one surface of the semiconductor substrate;

a step of forming a semiconductor layer on the tunneling layer; and

a doping step of forming a first conductive impurity layer and a second conductive impurity layer spaced apart by the barrier layer by doping the semiconductor layer with the first conductive impurity and the second conductive impurity, and forming a front surface field layer having the same conductivity type as the base region and a higher doping concentration than the base region on the other surface of the semiconductor substrate, and

wherein the barrier layer is located on the same plane as the first conductive impurity layer and the second conductive impurity layer on the tunneling layer,

and wherein the barrier layer includes an intrinsic semiconductor layer.

Claim 18

The manufacturing method for a solar cell of claim 17,

wherein the doping step includes:

a step of forming a first doping layer containing the first conductive impurity on the semiconductor layer;

a step of forming an undoped layer on the first doping layer and the first doping layer's surrounding portion of the semiconductor layer;

a step of forming a second doping layer containing the second conductive impurity entirely on the undoped layer and the semiconductor layer; and

a diffusion step of forming the first conductive impurity layer, the second conductive impurity layer, and the barrier layer simultaneously by diffusing the first conductive impurity and the second conductive impurity into the semiconductor layer through thermal treatment,

and wherein, in the diffusion step, the portion where the first conductive impurity is diffused constitutes the first conductive impurity layer, the portion where the second conductive impurity is diffused constitutes the second conductive impurity layer, and

the undoped region between the first conductive impurity layer and the second conductive impurity layer constitutes the barrier layer.

Claim 19

The manufacturing method for a solar cell of claim 18,

wherein the first doping layer includes a plurality of portions that are spaced apart while having an island shape,

the undoped layer includes a plurality of portions that are spaced apart while having a larger island shape than the plurality of portions of the first doping layer, and

the second doping layer is entirely formed on the semiconductor layer.

Claim 20

The manufacturing method for a solar cell of claim 18,

wherein either one of the first doping layer and the second doping layer is borosilicate glass (BSG) and the other is phosphosilicate glass (PSG).

Claim 21

The solar cell of claim 1,

wherein the first conductive impurity layer includes a first branch portion,

the second conductive impurity layer includes a second branch portion,

and the first branch portion and the second branch portion are alternately positioned and formed side by side.

Claim 22

The solar cell of claim 21,

wherein the first branch portion is provided in plurality,

the second branch portion is provided in plurality,

and the barrier layer is located between the first branch portion and the second branch portion.

Claim 23

The solar cell of claim 22,

wherein the first conductive impurity layer further includes a first stem portion connecting the plurality of first branch portions in a direction intersecting the extension direction of the plurality of first branch portions,

and the second conductive impurity layer further includes a second stem portion connecting the plurality of second branch portions in a direction intersecting the extension direction of the plurality of second branch portions.

Claim 24

The solar cell of claim 11,

wherein the first conductive impurity layer, the second conductive impurity layer, and the barrier layer are composed of layers having the same crystal structure as each other.

Claim 25

The solar cell of claim 11,

wherein the semiconductor substrate has a single crystal structure,

and the first conductive impurity layer and the second conductive impurity layer have a different crystal structure from the semiconductor substrate.

Claim 26

The manufacturing method for a solar cell of claim 17,

wherein the barrier layer is composed of an undoped region between the first conductive impurity layer and the second conductive impurity layer.

Claim 27

The manufacturing method for a solar cell of claim 17,

wherein the semiconductor substrate has a single crystal structure,

the semiconductor layer has a different crystal structure from the semiconductor substrate and includes at least one of amorphous silicon, microcrystalline silicon, and polycrystalline silicon.

Description of the invention

Technical field

[0001] The present invention relates to a solar cell and a manufacturing method thereof, and more particularly, to a solar cell with an improved structure and a manufacturing method thereof.

Background art

[0002] Recently, interest in alternative energy sources to replace conventional energy resources such as oil and coal, which are expected to be depleted, has increased. Among them, solar cells have attracted attention as next-generation cells that convert solar energy into electrical energy.

[0003] These solar cells can be manufactured by forming various layers and electrodes according to design. However, the efficiency of the solar cell can be determined according to the design of such various layers and electrodes. For the commercialization of solar cells, it is necessary to overcome low efficiency, and various layers and electrodes need to be designed to maximize the efficiency of the solar cell.

Summary of the invention

Problem to be solved

[0004] The present invention aims to provide a solar cell that can enhance reliability and maximize efficiency.

Means for solving the problem

[0005] A solar cell according to this embodiment comprises a semiconductor substrate; a tunneling layer formed on one surface of the semiconductor substrate; a first conductive impurity layer formed on the tunneling layer; a second conductive impurity layer formed on the tunneling layer and spaced apart from the first conductive impurity layer; and a barrier layer formed between the first conductive impurity layer and the second conductive impurity layer to space apart the first conductive impurity layer and the second conductive impurity layer.

[0006] The method for manufacturing a solar cell according to this embodiment comprises a step of preparing a semiconductor substrate; a step of forming a tunneling layer on one surface of the semiconductor substrate; a step of forming a semiconductor layer on the tunneling layer; and a step of forming a first conductive impurity layer and a second conductive impurity layer spaced apart by the barrier layer by doping the semiconductor layer with the first conductive impurity and the second conductive impurity.

Effects of the invention

[0007] In the solar cell according to this embodiment, a barrier layer is formed between the first conductive impurity layer and the second conductive impurity layer located on the same surface (for example, the back surface) of the semiconductor substrate. Thus, shunts that occur due to unnecessary shorting between the first conductive impurity layer and the second conductive impurity layer can be prevented. Additionally, the barrier layer can also prevent connection to unwanted impurity layers if the alignment of the first and second electrodes, each connected to the first and second conductive impurity layers, slightly deviates. This can improve the open-circuit voltage and fill factor of the solar cell, thereby increasing the efficiency and output of the solar cell. The manufacturing method of the solar cell according to the present embodiment can form the solar cell with the above-described structure in a simple manner.

[0008] Accordingly, the present embodiment can improve both the properties and productivity of the solar cell.

Brief description of drawings

[0009] Fig. 1 is a cross-sectional view of a solar cell according to an embodiment of the present invention.

Fig. 2 is a partial rear plan view of a solar cell according to an embodiment of the present invention.

Figs. 3a to 3k are cross-sectional views illustrating a method for manufacturing a solar cell according to an embodiment of the present invention.

Fig. 4 is a rear plan view illustrating a solar cell according to another embodiment of the present invention.

Fig. 5 is a cross-sectional view illustrating a solar cell according to yet another embodiment of the present invention.

Detailed description for implementation of the invention

[0010] Hereinafter, embodiments of the present invention will be described in detail with reference to the accompanying drawings. However, the present invention is not limited to these embodiments and may, of course, be modified in various forms.

[0011] In the drawings, portions unrelated to the description are omitted for clarity and brevity of the descriptions, and the same drawing reference numbers are used for the same or very similar parts throughout the specification. Also, in the drawings, the illustrations of thickness, width, etc., have been enlarged or reduced for clarity of the descriptions, and the thicknesses, widths, etc., of the present invention are not limited to those shown in the drawings.

[0012] Moreover, in the entire specification, when a part "includes" another part, it does not exclude other parts unless specifically stated otherwise, and may further include other parts. In addition, when a layer, film, region, plate, etc. is described as being "on" another part, it includes not only the case of being "directly on" another part but also the case where another part is interposed in-between. When a layer, film, region, plate, etc. is described as being "directly on" another part, it means that no other part is interposed in-between.

[0013] Hereinafter, a solar cell according to an embodiment of the present invention will be described in detail with reference to the accompanying drawings.

[0014] Fig. 1 is a cross-sectional view of a solar cell according to an embodiment of the present invention.

[0015] Referring to Fig. 1, the solar cell (100) according to the present embodiment comprises a semiconductor substrate (10), a tunneling layer (20) formed on one surface (for example, the back surface) of the semiconductor substrate (10), a first conductive impurity layer (32) formed on the tunneling layer (20), a second conductive impurity layer (34), and a barrier layer (36). At this time, the first conductive impurity layer (32) and the second conductive impurity layer (34) are formed to be spaced apart from each other by the barrier layer (36). It may also further include first and second electrodes (42, 44) that are connected to the first and second conductive impurity layers (32, 34) to collect carriers. In addition, an anti-reflective coating (50) may be further formed on another surface of the semiconductor substrate (10). This will be explained in more detail.

[0016] The semiconductor substrate (10) may include a base region (110) containing a first conductive impurity at a low doping concentration. In this case, the semiconductor substrate (10) may include silicon containing the first conductive impurity, for example. Single crystal silicon may be used as the silicon, and the first conductive impurity may be n-type or p-type, for example. That is, n-type impurities such as phosphorus (P), arsenic (As), bismuth (Bi), and antimony (Sb), which are group 5 elements, may be used as the first conductive impurity. Also, p-type impurities such as boron (B), aluminum (Al), gallium (Ga), and indium (In), which are group 3 elements, may be used as the first conductive impurity.

[0017] At this time, the base region (110) may have an n-type impurity as the first conductive impurity. Then, the second conductive impurity layer (34), which forms a tunnel junction with the base region (110) and the tunneling layer (20), may have p-type conductivity. Then, an impurity layer (20), which performs the role of an emitter causing photoelectric conversion at the junction with the base region (110), can be widely formed, thereby effectively collecting holes that move slower than electrons. When light is irradiated onto such a tunnel junction, electrons generated by the photoelectric effect are collected by the first electrode (22), and holes move toward the front side of the semiconductor substrate (10) and are collected by the second electrode (42). This generates electrical energy. However, the present invention is not limited thereto, and it is also possible for the base region (110) and the first conductive impurity layer (32) to be p-type and the second conductive impurity layer (34) to be n-type.

[0018] The front surface of the semiconductor substrate (10) may be textured to have irregularities, such as pyramids. Such texturing can form irregularities on the front surface of the semiconductor substrate (10). If surface roughness is increased, this can reduce the reflectance of light incident through the front surface of the semiconductor substrate (10). Therefore, it can increase the amount of light reaching the tunnel junction formed by the semiconductor substrate (10) and the second conductive impurity layer (34), thereby minimizing light loss.

[0019] The rear surface of the semiconductor substrate (10) may have a relatively smooth and flat surface with lower surface roughness than the front surface through mirror polishing or the like. Thus, light passing through the semiconductor substrate (10) and reaching the rear surface can be reflected from the rear surface back toward the semiconductor substrate (10). In the case where a tunnel junction is formed by the tunneling layer (20) on the rear surface of the semiconductor substrate (10) as in this embodiment, the properties of the solar cell

(100) can greatly vary depending on the properties of the rear surface of the semiconductor substrate (10). Accordingly, no irregularities by texturing are formed on the rear surface of the semiconductor substrate (10). However, the present invention is not limited thereto, and various modifications are, of course, possible.

[0020] A front surface field layer (120) may be formed on the front surface of the semiconductor substrate (10) (i.e., on the base region (110)). This front surface field layer (120) is a region doped with a higher concentration of the first conductive impurity than the semiconductor substrate (10), acting similarly to a back surface field (BSF). That is, it prevents the recombination and annihilation of electrons and holes separated by incident sunlight at the front surface of the semiconductor substrate (10). However, the present invention is not limited thereto, and it is also possible not to form the front surface field layer (120). This example will be explained in more detail later with reference to Fig. 5.

[0021] An anti-reflective coating (50) may be formed on the front surface field layer (120). The anti-reflective coating (50) can be formed entirely over the front surface of the semiconductor substrate (10). The anti-reflective coating (50) reduces the reflectance of light incident on the front surface of the semiconductor substrate (10) and passivates the defects present on the surface or in the bulk of the front surface field layer (120).

[0022] By reducing the reflectance of light incident through the front surface of the semiconductor substrate (10), the amount of light reaching the tunnel junction can be increased. Accordingly, it can increase the short circuit current (Isc) of the solar cell (100). By passivating the defects, it can remove the recombination sites of minority carriers and increase the open-circuit voltage (Voc) of the solar cell (100). As described above, the anti-reflective coating (50) can increase the open-circuit voltage and short circuit current of the solar cell (100), thereby improving the conversion efficiency of the solar cell (100).

[0023] The anti-reflective coating (50) can be formed of various materials. For example, the anti-reflective coating (50) can be a single layer selected from the group consisting of a silicon nitride film, a hydrogen-containing silicon nitride film, a silicon oxide film, a silicon oxynitride film, MgF_2, ZnS, TiO_2, and CeO_2, or a multilayer structure combining two or more films. However, the present invention is not limited thereto, and the anti-reflective coating (50) can, of course, include various materials.

[0024] In this embodiment, a tunneling layer (20) is formed on the rear surface of the semiconductor substrate (10). The tunneling layer (20) can improve the interfacial properties of the rear surface of the semiconductor substrate (10), and the generated carriers can be smoothly transferred by the tunneling effect. This tunneling layer (20) may include various materials through which a carrier can tunnel, for example, oxides, nitrides, conductive polymers, etc. At this time, the tunneling layer (20) can be formed entirely over the rear surface of the semiconductor substrate (10). Accordingly, the rear surface of the semiconductor substrate (10) can be entirely passivated and can be easily formed without separate patterning.

[0025] The thickness of the tunneling layer (20) can be 5 nm or less, and may be 0.5 nm to 5 nm (for example, 1 nm to 4 nm) to sufficiently implement the tunneling effect. If the thickness of the tunneling layer (20) exceeds 5 nm, the tunneling may not occur smoothly and the solar cell (100) may not operate; if the thickness of the tunneling layer (20) is less than 0.5 nm, it may be difficult to form the desired quality of the tunneling layer (20). To further improve the tunneling effect, the thickness of the tunneling layer (20) may be 1 nm to 4 nm. However, the present invention is not limited thereto and the thickness of the tunneling layer (20) may vary.

[0026] And on the tunneling layer (20), a first conductive impurity layer (32) having a first conductive impurity, a second conductive impurity layer (34) having a second conductive impurity, and a barrier layer (36) positioned between the first conductive impurity layer (32) and the second conductive impurity layer (34) are formed.

[0027] The first conductive impurity layer (32) may include a semiconductor (for example, silicon) containing the same first conductive impurity as the semiconductor substrate (10). This first conductive impurity layer (32) may be formed by doping a first conductive impurity into amorphous silicon, microcrystalline silicon, polycrystalline silicon, etc., which can be easily manufactured by various methods, such as deposition. At this time, it is sufficient if the first conductive impurity is an impurity having the same conductivity type as the semiconductor substrate (10). That is, if the first conductive impurity is n-type, group 5 elements such as phosphorus (P), arsenic (As), bismuth (Bi), and antimony (Sb) can be used. If the first conductive impurity is p-type, group 3 elements such as boron (B), aluminum (Al), gallium (Ga), and indium (In) can be used. This first conductive impurity layer (32) serves to form a back surface field structure to prevent the loss of carriers due to recombination at the surface of the semiconductor substrate (10). Furthermore, it may serve to reduce contact resistance at the portion where the first electrode (42) contacts.

[0028] The second conductive impurity layer (34) may include a semiconductor (for example, silicon) containing a second conductive impurity opposite to that of the semiconductor substrate (10). This second conductive impurity layer (34) may be formed by doping a second conductive impurity into various types of silicon, such as amorphous silicon, microcrystalline silicon, and polycrystalline silicon, which can be easily manufactured by various methods, such as deposition. At this time, it is sufficient if the second conductive impurity is an impurity having a conductivity type opposite to that of the semiconductor substrate (10). That is, if the second conductive impurity is p-type, group 3 elements such as boron (B), aluminum (Al), gallium (Ga), and indium (In) can be used. If the first conductive impurity is n-type, group 5 elements such as phosphorus (P), arsenic (As), bismuth (Bi), and antimony (Sb) can be used. This second conductive

impurity layer (34) forms a tunnel junction with the semiconductor substrate (10) and the tunneling layer (20), substantially contributing to photoelectric conversion.

[0029] And the barrier layer (36) is positioned between the first conductive impurity layer (32) and the second conductive impurity layer (34) to space apart the first conductive impurity layer (32) and the second conductive impurity layer (34) from each other. If the first conductive impurity layer (32) and the second conductive impurity layer (34) come into contact with each other, a shunt may occur, which can degrade the performance of the solar cell (100). Therefore, in this embodiment, a barrier layer (36) can be positioned between the first conductive impurity layer (32) and the second conductive impurity layer (34) to prevent unnecessary shunts.

[0030] The barrier layer (36) may include various materials capable of substantially insulating the first conductive impurity layer (32) and the second conductive impurity layer (34) from each other. That is, an insulating material (for example, oxide, nitride) that has not been doped (i.e., undoped) can be used as the barrier layer (36). Alternatively, the barrier layer (36) may include an intrinsic semiconductor. At this time, the first and second conductive impurity layers (32, 34) and the barrier layer (36) may be formed on the same plane and may include the same semiconductor material (for example, amorphous silicon, microcrystalline silicon, polycrystalline silicon). In such a case, after forming a semiconductor layer (reference number 30 in Fig. 3c, hereinafter the same) containing a semiconductor material, the first conductive impurity layer (32) is formed by doping a first conductive impurity into part of the semiconductor layer (30) region, and the second conductive impurity layer (34) is formed by doping a second conductive impurity into part of the other region, and the region where the first and second conductive impurity layers (32, 34) are not formed constitutes the barrier layer (36). That is, according to this method, the manufacturing method of the first and second conductive impurity layers (32, 34) and the barrier layer (36) can be simplified, which will be described in more detail later in the description of the manufacturing method.

[0031] However, the present invention is not limited thereto, and various modifications are, of course, possible. That is, in the drawings, the barrier layer (36) is illustrated as being formed simultaneously with the first and second conductive impurity layers (32, 34), having substantially the same thickness. However, in the present invention, if the barrier layer (36) is formed separately from the first and second conductive impurity layers (32, 34), that is, formed through patterning or the like, the thickness of the barrier layer (36) may not be the same as that of the first and second conductive impurity layers (32, 34). For example, the barrier layer (36) may have a thicker thickness than the first and second conductive impurity layers (32, 34) to more effectively prevent shorts between the first and second conductive impurity layers (32, 34). Alternatively, to save materials forming the barrier layer (36), the thickness of the barrier layer (36) may be made smaller than the thickness of the first and second conductive impurity layers (32, 34). Of course, various modifications are possible.

[0032] Here, the area of the second conductive impurity layer (34) having a conductivity type different from that of the base region (110) may be formed larger than the area of the first conductive impurity layer (32) having the same conductivity type as the base region (110). Thus, the tunnel junction formed through the tunneling layer (20) between the semiconductor substrate (110) and the second conductive impurity layer (34) can be made wider. Additionally, as described above, when the base region (110) and the first conductive impurity layer (32) have n-type conductivity and the second conductive impurity layer (34) has p-type conductivity, holes, which move relatively slower, can be effectively collected. The planar structure of the first and second conductive impurity layers (32, 34) and the barrier layer (36) will be described in more detail later with reference to Fig. 2.

[0033] An insulating layer (40) may be formed on the first and second conductive impurity layers (32, 34) and the barrier layer (36). The insulating layer (40) can prevent connections with electrodes that should not be connected to the first and second conductive impurity layers (32, 34) (that is, the second electrode (44) in the case of the first conductive impurity layer (32)and the first electrode (42) in the case of the second conductive impurity layer (34)), and may also have an effect of passivating the first and second conductive impurity layers (32, 34). The insulating layer (40) includes a first opening (402) exposing the first conductive impurity layer (32) and a second opening (404) exposing the second conductive impurity layer (34).

[0034] The insulating layer (40) may be formed to a thickness thicker than the tunneling layer (20). This can enhance the insulating and passivation properties. The insulating layer (40) can be made of various insulating materials (for example, oxides, nitrides, etc.). For example, the insulating layer (40) can be a single layer selected from the group consisting of a silicon nitride film, a hydrogen-containing silicon nitride film, a silicon oxide film, a silicon oxynitride film, MgF_2, ZnS, TiO_2, and CeO_2, or a multilayer structure combining two or more films. However, the present invention is not limited thereto, and the insulating layer (40) can, of course, include various materials.

[0035] The first electrode (42) is connected to the first conductive impurity layer (32) through the first opening (402) of the insulating layer (40), and the second electrode (44) is connected to the second conductive impurity layer (34) through the second opening (404) of the insulating layer (40). Various metal materials can be included in the first and second electrodes (42, 44). Additionally, the first and second electrodes (42, 44) may have various planar shapes to collect and externally deliver carriers generated while being respectively connected to the first and second conductive impurity layers (32, 34) without being electrically connected to each other. That is, the present invention is not limited to the planar shape of the first and second electrodes (42, 44).

[0036] Hereinafter, the planar shapes of the first and second conductive impurity layers (32, 34), and the barrier layer (36) will be described in detail, with reference to Fig. 2. Fig. 2 is a partial rear plan view of a solar cell (100) according to an embodiment of the present invention.

[0037] In Fig. 2, the shapes of the first and second electrodes (42, 44) are merely presented as examples, and the present invention is not limited thereto. That is, in Fig. 2, a plurality of first and second electrodes (42, 44) are shown to be alternately positioned with distances between each other. At this time, the plurality of first electrodes (42) shown in Fig. 2 corresponds to the branches (42a) of the first electrode (42) shown in Fig. 4, and the plurality of second electrodes (44) shown in Fig. 2 corresponds to the branches (44a) of the second electrode (44) shown in Fig. 4. Therefore, although not separately illustrated in Fig. 2, the stem portion (42b, 44b) connecting the branch portions (42a) of the first and second electrodes (42) on one side respectively as shown in Fig. 4 may be further provided. However, as described above, the present invention is not limited thereto, and the shapes, connections structures, etc., of the first and second electrodes (42, 44) can be variously modified.

[0038] Referring to Fig. 2, as described above, in the solar cell (100) according to this embodiment, the first conductive impurity layer (32) is formed to have a smaller area than that of the second conductive impurity layer (34).

[0039] To this end, in this embodiment, the first conductive impurity layer (32) may have an island shape and may be provided in plurality while being spaced apart from each other. Then, the entire area of the first conductive impurity layer (32) can be positioned on the semiconductor substrate (10) while minimizing the area of the first conductive impurity layer (32). By doing so, the area of the second conductive impurity layer (34) can be maximized while effectively preventing surface recombination by the first conductive impurity layer (32). However, the present invention is not limited thereto, and the first conductive impurity layer (32) may, of course, have various shapes capable of minimizing the area of the first conductive impurity layer (32).

[0040] In addition, although the first conductive impurity layer (32) is illustrated as having a circular shape in the drawings, the present invention is not limited thereto. Therefore, the first conductive impurity layer (32) may, of course, have planar polygonal shapes, such as elliptical, triangular, rectangular, hexagonal, etc. shapes.

[0041] For example, the ratio of the total area of the first conductive impurity layer (32) to the total area of the solar cell (100) may be 0.5% to 30% (more preferably, 0.5% to 5%). If the total area ratio of the first conductive impurity layer (32) is less than 0.5%, contact resistance with the first electrode (42) may increase due to inaccurate contact with the first electrode (42). If the area ratio exceeds 30%, as described above, the area of the second conductive impurity layer (34) becomes smaller, which may reduce the efficiency of the solar cell (100). Considering solar cell efficiency, it is preferable that the area ratio is 0.5% to 5%.

[0042] Also, the first conductive impurity layer (32) may be surrounded by a barrier layer (36). For example, if the first conductive impurity layer (32) is circular, the barrier layer (36) may have an annular or ring shape. That is, the barrier layer (36) is formed while surrounding the first conductive impurity layer (32) and serves to space apart the first conductive impurity layer (32) and the second conductive impurity layer (34), thereby preventing unnecessary shunts. In the drawings, the barrier layer (36) is illustrated as completely surrounding the first conductive impurity layer (32) to fundamentally prevent the occurrence of shunts. However, the present invention is not limited thereto, and it is also possible for the barrier layer (36) to partially surround only a part of the outer edge of the first conductive impurity layer (32).

[0043] At this time, since the barrier layer (36) serves to space apart the first conductive impurity layer (32) and the second conductive impurity layer (34), it may be formed to a minimum width sufficient to separate them. That is, the width (T1) of the barrier layer (36) may be smaller than the width (T2) of the first conductive impurity layer (32), which is formed with a relatively small area. Here, the width (T2) of the first conductive impurity layer (32) may vary depending on the shape of the first conductive impurity layer (32); in the case of a circular shape depicted for the first conductive impurity layer (32), it is defined as the diameter, and in the case of a polygon, it is defined as the long width. Thus, only unnecessary shunts between the first conductive impurity layer (32) and the second conductive impurity layer (34) can be prevented with a minimum area.

[0044] At this time, the width (T1) of the barrier layer (36) may be 0.5 μm to 100 μm. If the width (T1) of the barrier layer (36) is less than 0.5 μm, the effect of electrically isolating the first and second conductive impurity layers (32, 34) may be insufficient, and if the width (T1) of the barrier layer (36) exceeds 100 μm, the ratio of the region (i.e., the region corresponding to the barrier layer (36)) that does not substantially contribute to photoelectric conversion will increase, which may reduce the efficiency of the solar cell (100). Considering the insulation effect and the efficiency of the solar cell (100), the width (T1) of the barrier layer (36) may be 1 μm to 30 μm.

[0045] The width (T2) of the first conductive impurity layer (32) may be 50 μm to 1000 μm. If the width (T2) of the first conductive impurity layer (32) is less than 50 μm, it may be difficult to make a smooth electrical connection with the first electrode (32), and if it exceeds 1000 μm, the area of the second conductive impurity layer (34) may be reduced, or its spacing with the first conductive impurity layer (32) may increase. Considering the connection with the first electrode (32) and the area ratio, the width (T2) of the first conductive impurity layer (32) may be 100 μm to 500 μm.

[0046] The first and second openings (402, 404) formed in the insulating layer (40) may have different shapes in consideration of the shapes of the first and second conductive impurity layers (32, 34), respectively. That is, a plurality of the first openings (402) may be formed to correspond to the first conductive impurity layer (32) while being spaced apart from each other, and the second openings (404) may be formed lengthwise. This considers that the first electrode (42) is positioned on both the first conductive impurity layer (32) and the second conductive impurity layer (34), and the second electrode (44) is positioned only on the second conductive impurity layer (34). That is, a

first opening (402) is formed corresponding to the portion of the insulating layer (40) positioned on the first conductive impurity layer (32), and the first electrode (42) is connected to the first conductive impurity layer (32) by the first opening (402). And the portion of the insulating layer (40) corresponding to the second conductive impurity layer (34) does not have a first opening (402) so that the first electrode (42) and the second conductive impurity layer (34) can remain electrically isolated from each other. Since the second electrode (44) is formed only on the second conductive impurity layer (30), the second opening (404) is formed similarly to or the same as the second electrode (44) such that the second electrode (44) can be entirely in contact on the second conductive impurity layer (34).

[0047] As described above, in the solar cell (100) according to this embodiment, a barrier layer (36) is formed between the first conductive impurity layer (32) and the second conductive impurity layer (34) located on the same surface of the semiconductor substrate (10) (for example, the rear surface). Thus, shunts that occur due to unnecessary shorting between the first conductive impurity layer (32) and the second conductive impurity layer (34) can be prevented. Additionally, the barrier layer (36) can also serve to prevent connection to undesired impurity layers in the event that the alignment of the first and second electrodes (42, 44) respectively connected to the first and second conductive impurity layers (32, 34) slightly deviates. This can improve the open-circuit voltage and fill factor of the solar cell (100), thereby increasing the efficiency and output of the solar cell (100).

[0048] In this embodiment at this time, the first and second conductive impurity layers (32, 34) and the barrier layer (36) are formed together in the same process to be able to form a solar cell (100) with an improved structure by a simple process. This will be described in more detail with reference to Figs. 3a to 3k. Hereinafter, detailed descriptions of the content explained in the above sections will be omitted, and only parts that are different will be explained in detail.

[0049] Figs. 3a to 3k are cross-sectional views illustrating a method for manufacturing a solar cell according to an embodiment of the present invention.

[0050] First, as illustrated in Fig. 3a, in the step (ST10) of preparing the substrate, a semiconductor substrate (10) consisting of a base region (110) having a first conductive impurity is prepared. In this embodiment, the semiconductor substrate (10) may be made of silicon having an n-type impurity. The n-type impurity may be a group 5 element, such as phosphorus (P), arsenic (As), bismuth (Bi), or antimony (Sb).

[0051] At this time, the front surface of the semiconductor substrate (10) is textured to have irregularities, and the rear surface of the semiconductor substrate (10) is treated by mirror polishing to have a smaller surface roughness than the front surface of the semiconductor substrate (10).

[0052] Wet or dry texturing can be used for the texturing of the front surface of the semiconductor substrate (10). Wet texturing can be performed by immersing the semiconductor substrate (10) in a texturing solution, and this has the advantage of a short process time. Dry texturing, using diamond drills, lasers, etc. to etch the surface of the semiconductor substrate (10), can form irregularities uniformly but has a long process time and may cause damage to the semiconductor substrate (10). Additionally, reactive ion etching (RIE), etc. can be used to texture the semiconductor substrate (10). Thus, in the present invention, the semiconductor substrate (10) can be textured by various methods. The rear surface of the semiconductor substrate (10) can be treated by known mirror polishing methods.

[0053] Next, as illustrated in Fig. 3b, a tunneling layer (20) is formed on the rear surface of the semiconductor substrate (10). The tunneling layer (20) can be formed, for example, by thermal growth methods, deposition methods (e.g., chemical vapor deposition (PECVD), atomic layer deposition (ALD)), or other methods. However, the present invention is not limited thereto, and the tunneling layer (20) can be formed by various methods.

[0054] Next, as illustrated in Fig. 3c, a semiconductor layer (30) is formed on the tunneling layer (20). The semiconductor layer (30) can consist of microcrystalline, amorphous, or polycrystalline semiconductors. The semiconductor layer (30) can be formed, for example, by thermal growth methods, deposition methods (e.g., chemical vapor deposition (PECVD)), or other methods. However, the present invention is not limited thereto, and the semiconductor layer (30) can be formed by various methods.

[0055] Next, as illustrated in Figs. 3d to 3g, a first conductive impurity layer (32), a second conductive impurity layer (34), and a barrier layer (36) are formed on the semiconductor layer (30). This will be explained in more detail.

[0056] That is, as illustrated in Fig. 3d, a first doping layer (322) is formed on portions corresponding to the first conductive impurity layer (32). The first doping layer (322) can be various layers having a first conductive impurity, such as phosphosilicate glass (PSG). By forming the first doping layer (322) as phosphosilicate glass, the first doping layer (322) can be easily formed. At this time, the first doping layer (322) can include a plurality of doping portions corresponding to a plurality of first conductive impurity layers (32). The plurality of doping portions can have an island shape corresponding to the second conductive impurity layer (32).

[0057] This first doping layer (322) can be formed using a mask on the semiconductor layer (30) with a shape corresponding to the first conductive impurity layer (32). Alternatively, it can be formed on the semiconductor layer (30) with a shape corresponding to the first conductive impurity layer (32) by methods such as inkjet or screen printing. Alternatively, the material of the first doping layer (322) can be formed over the entire semiconductor layer (30), and then portions not forming the first conductive impurity layer (32) can be removed by an etching solution, etching paste, etc., to form the first doping layer (322).

[0058] Next, as illustrated in Fig. 3e, an undoped layer (362) is formed covering the first doping layer (322) and the first doping layer's surrounding portion of the semiconductor layer (30). The undoped layer (362) consists of materials that do not include the first and second conductive impurity layers. For example, the undoped layer (362) can be composed of silicate or insulating films. At this time, the undoped layer (362) can include a plurality of portions each corresponding to and covering a larger area than the plurality of portions of the first doping layer.

[0059] This undoped layer (362) can be formed on the semiconductor layer (30) with a desired shape using a mask. Alternatively, it can be formed on the semiconductor layer (30) with a desired shape by methods such as inkjet or screen printing. Alternatively, the material of the undoped layer (362) can be formed entirely over the first doping layer (322) and the semiconductor layer (30), and then unwanted portions can be removed by an etching solution, etching paste, etc., to form the undoped layer (362).

[0060] Next, as illustrated in Fig. 3f, a second doping layer (342) is formed on the undoped layer (362) and the semiconductor layer (30). The second doping layer (342) can be various layers having a second conductive impurity, such as borosilicate glass (BSG). By forming the second doping layer (342) as borosilicate glass, the second doping layer (342) can be easily formed. The second doping layer (342) can be formed entirely by covering the undoped layer (362) and the semiconductor layer (30).

[0061] Next, as illustrated in Fig. 3g, the first conductive impurity in the first doping layer (322) is diffused into the semiconductor layer (30) by heat treatment to form the first conductive impurity layer (32), and the second conductive impurity in the second doping layer (342) is diffused into the semiconductor layer (30) to form the second conductive impurity layer (34). Since doping is not performed on the portion adjacent to the undoped layer (362) and the portion positioned between the first conductive impurity layer (32) and the second conductive impurity layer (34), the semiconductor layer (30) remains as it is and thus the barrier layer (36) is formed. Accordingly, the barrier layer (36) is positioned between the first conductive impurity layer (32) and the second conductive impurity layer (34), while keeping the first conductive impurity layer (32) and the second conductive impurity layer (34) spaced apart.

[0062] Also, the first doping layer (322), the undoped layer (324), and the second doping layer (362) are removed. Various known methods can be applied for removal, for example, by immersing the first doping layer (322), the undoped layer (324), and the second doping layer (362) in diluted hydrofluoric acid (diluted HF) and then cleaning them with water. However, the present invention is not limited thereto.

[0063] Next, as illustrated in Fig. 3h, an insulating layer (40) is formed on the first and second conductive impurity layers (32, 34) and the barrier layer (36). The insulating layer (40) can be formed by various methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing, spray coating, etc.

[0064] Next, as illustrated in Fig. 3i, a front surface field layer (120) and an anti-reflective coating (50) are formed on the front surface of the semiconductor substrate (10).

[0065] The front surface field layer (120) can be formed by doping the first conductive impurity. For example, the first conductive impurity can be doped into the semiconductor substrate (10) to form the front surface field layer (120), doing so by various methods such as ion implantation and thermal diffusion.

[0066] The anti-reflective coating (50) can be formed by various methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing, or spray coating.

[0067] Next, as illustrated in Fig. 3j, openings (402, 404) are formed to expose the first and second conductive impurity layers (32, 34), and as illustrated in Fig. 3k, the first and second electrodes (42, 44) electrically connected to the first and second conductive impurity layers (32, 34), respectively, are formed. In this case, for example, the first and second electrodes (42, 44) can be formed by various methods, such as plating or deposition, within the openings.

[0068] As another embodiment, after applying paste for forming the first and second electrodes, respectively, to the insulating layer (40) by screen printing or other methods, the shapes of the first and second electrodes (42, 44) can be formed by processes such as fire-through or laser firing contact. In this case, since the openings (402, 404) are formed when forming the first and second electrodes (42, 44), a separate process of forming the openings (402, 404) (process of Fig. 3j) does not need to be added.

[0069] According to this embodiment, the first and second conductive impurity layers (32, 34) and the barrier layer (36) can be formed together by a simple process of doping impurities into a part of the semiconductor layer (30) after forming it, thereby simplifying the manufacturing method of the solar cell (100) and improving productivity. In particular, by forming the first doping layer (322) and the undoped layer (342) to have multiple portions, and then forming the second doping layer (362) over the entire surface, the desired shapes of the first and second conductive impurity layers (32, 34) and the barrier layer (36) can be formed together while minimizing the number of patterning steps. This greatly improves productivity.

[0070] Contrary to this embodiment, in the case where the first and second conductive impurity layers are separated by etching between the first and second conductive impurity layers, a portion of the semiconductor substrate is etched and exposed to the outside. As a result, damage occurs to the semiconductor substrate, which can degrade the properties of the solar cell, and separate passivation layers need to be formed

on the exposed portions of the semiconductor substrate to prevent this. Consequently, the quality of the solar cell is reduced, and productivity is decreased.

[0071] The aforementioned embodiment illustrates that after forming the tunneling layer (20), the first and second conductive impurity layers (32, 34), the barrier layer (34), and the insulating layer (40), a front surface field layer (120) and an anti-reflective coating (50) are formed, and then the first and second electrodes (42, 44) are formed. However, the present invention is not limited thereto. Therefore, the sequence of forming the tunneling layer (20), the first and second conductive impurity layers (32, 34), the barrier layer (34), the insulating layer (40), the front surface field layer (120), the anti-reflective coating (50), and the first and second electrodes (42, 44) can be variously modified.

[0072] Furthermore, the aforementioned embodiment illustrates that the first doping layer (322) is formed, and then the undoped layer (362) and the second doping layer (342) are sequentially formed, but the present invention is not limited thereto. That is, it is also possible to first form the second doping layer (342), then sequentially form the undoped layer (362) and the first doping layer (322), and it is also possible to form only the undoped layer (362) in the region corresponding to the barrier layer (36) and then form the first and second doping layers (322, 342). Thus, the formation sequence of the first and second doping layers (322, 342) and the undoped layer (362) can be variously modified.

[0073] Hereinafter, a solar cell according to another embodiment of the present invention will be described in more detail with reference to Figs. 4 and 5. The detailed descriptions of parts that are the same or similar to those in the aforementioned embodiment will be omitted, and only different parts will be described in detail.

[0074] Fig. 4 is a rear plan view illustrating a solar cell according to another embodiment of the present invention. For clear and concise illustration, the insulating layer (40) is omitted in Fig. 4.

[0075] Referring to Fig. 4, in this embodiment, the first conductive impurity layer (32) may include a first stem portion (32a) formed along the first edge (upper edge in the drawing) of the semiconductor substrate (10), and a plurality of first branch portions (32b) extending from the first stem portion (32a) toward the second edge opposite the first edge (lower edge in the drawing). Also, the second conductive impurity layer (34) may include a second stem portion (34a) formed along the second edge of the semiconductor substrate (31), and a plurality of second branch portions (34b) extending from the second stem portion (34a) toward the first edge between the first branch portions (32b). The first branch portions (32b) of the first conductive impurity layer (32) and the second branch portions (34b) of the second conductive impurity layer (34) can be alternately positioned. This shape can increase the junction area and overall collection of carriers. And a barrier layer (36) can be formed between the first conductive impurity layer (32) and the second conductive impurity layer (34).

[0076] As described above, the area of the first conductive impurity layer (32) may be smaller than that of the second conductive impurity layer (34). For example, the area of the first and second conductive regions (33, 34) may be adjusted by varying the widths of the first and second stem portions (32a, 34a) and/or the first and second branch portions (32b, 34b) of the first and second conductive regions (33, 34).

[0077] In this case, the first electrode (42) may include a stem portion (42a) formed corresponding to the stem portion (32a) of the first conductive region (33), and a branch portion (42b) formed corresponding to the branch portion (32b) of the first conductive region (33). Similarly, the second electrode (44) may include a stem portion (44a) formed corresponding to the stem portion (34a) of the second conductive region (34), and a branch portion (44b) formed corresponding to the branch portion (34b) of the second conductive region (34). However, the present invention is not limited thereto, and the first electrode (42) and the second electrode (44) can, of course, have various planar shapes.

[0078] Fig. 5 is a cross-sectional view illustrating a solar cell according to yet another embodiment of the present invention.

[0079] Referring to Fig. 5, in the solar cell according to this embodiment, the semiconductor substrate (10) consists only of the base region (110), and no separate front surface field layer (reference number 120 in Fig. 1, hereinafter the same) is formed. Instead, a field-effect forming layer (52) having fixed charges is formed in contact with the base region (110) of the semiconductor substrate (10). This field-effect forming layer (52) can generate a certain field effect like the front surface field layer (112) to prevent surface recombination. This field-effect forming layer (52) can be composed of aluminum oxide having negative charges, or silicon oxide, silicon nitride, etc., which have positive charges. Although not separately illustrated in the drawings, a separate anti-reflective coating (reference number 50 in Fig. 1) may be further formed on the field-effect forming layer (52).

[0080] Thus, in this embodiment, the semiconductor substrate (10) consists only of the base region (110) without having a separate doping region. By this, the process for forming a separate doping region can be eliminated, simplifying the process. This can prevent the deterioration of properties of the solar cell (100) caused by damage to the semiconductor substrate (10) when doping to form a separate doping region. Here, the amount of fixed charges of the field-effect forming layer (52) can be, for example, $1 \times 10^{12}/cm^2$ to $9 \times 10^{13}/cm^2$.

[0081] Such an amount of fixed charges can generate a field effect in the semiconductor substrate (10) that does not have a doping region. Further considering the field effect, the amount of fixed charges may be $1 \times 10^{12}/cm^2$ to $1 \times 10^{13}/cm^2$. However, the present invention is not limited thereto, and the amount of fixed charges can, of course, be varied.

[0082] At this time, the specific resistance of the base region (110) without a doping region being formed may be 0.5 ohm·cm to 20 ohm·cm (for example, 1 ohm·cm to 15 ohm·cm). Accordingly, in the part adjacent to the field-effect forming layer (52), the specific resistance of the

semiconductor substrate (10) may be 0.5 ohm·cm to 20 ohm·cm (for example, 1 ohm·cm to 15 ohm·cm). However, this specific resistance is an example of a case wherein the semiconductor substrate (10) includes an n-type base region (110) using phosphorus (P) as an impurity, and can vary depending on the conductivity type, type of impurity, etc.

[0083] The features, structures, effects, etc. described above are included in at least one embodiment of the present invention and are not limited to only one embodiment. Moreover, the features, structures, effects, etc. described in each embodiment can be combined or modified in other embodiments by those skilled in the art to which the embodiments belong. Therefore, the contents related to such combinations and modifications should be interpreted as being included within the scope of the present invention.

Explanation of symbols

[0084] 100: solar cell

10: semiconductor substrate

110: base region

20: tunneling layer

30: semiconductor layer

32: first impurity semiconductor layer

34: second impurity semiconductor layer

36: barrier layer

40: insulating layer

50: anti-reflective coating

52: field-effect forming layer

Drawings

Fig. 1

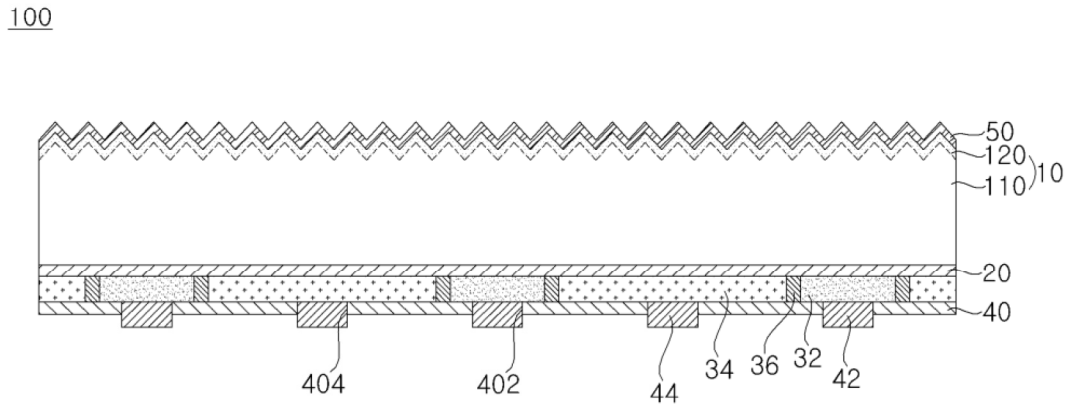


Fig. 2

100

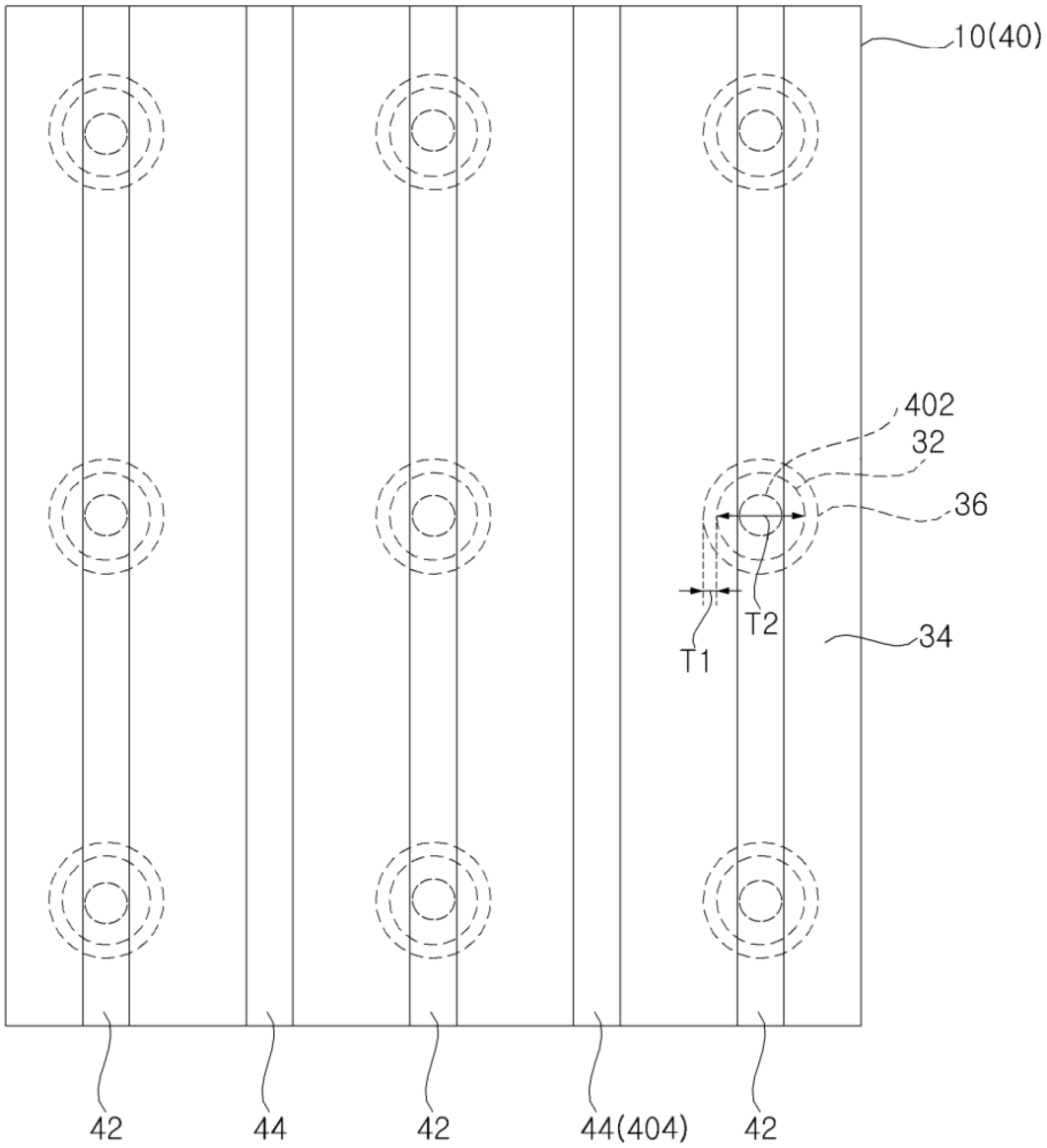


Fig. 3a

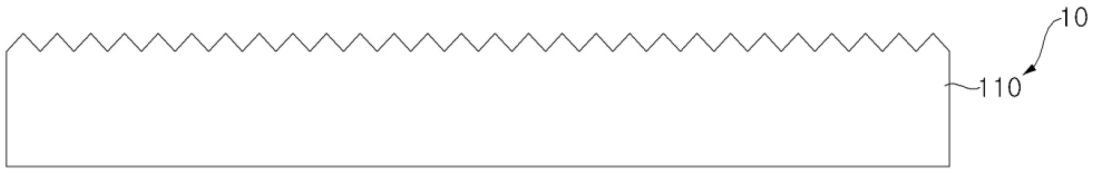


Fig. 3b

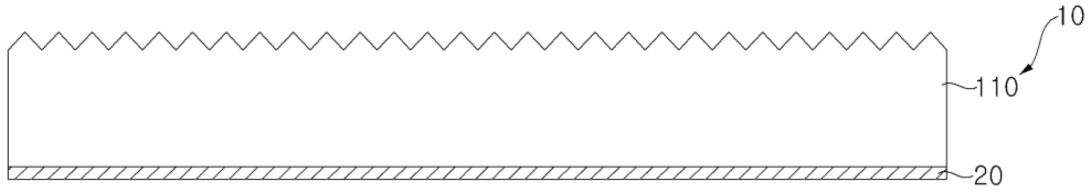


Fig. 3c

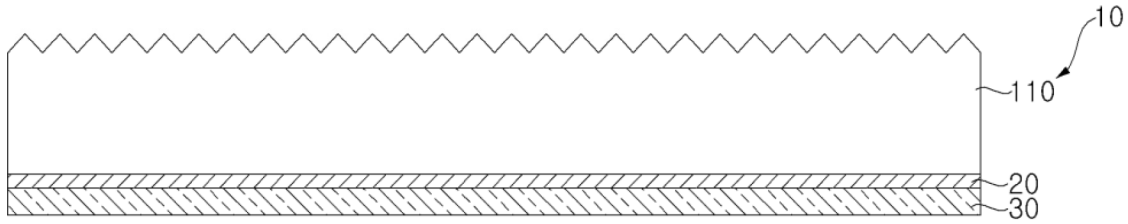


Fig. 3d

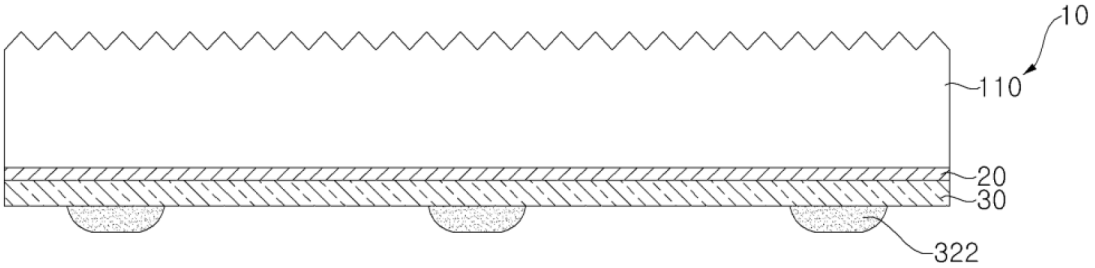


Fig. 3e

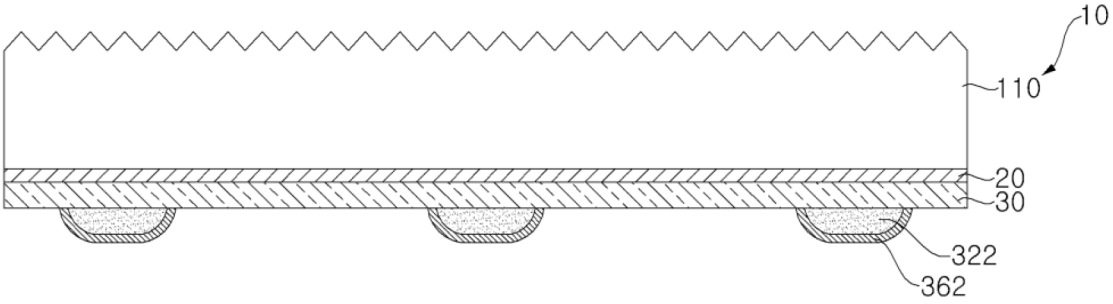


Fig. 3f

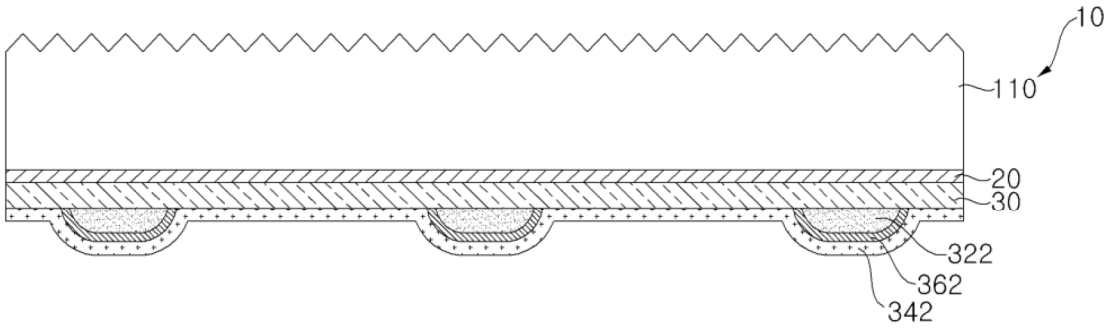


Fig. 3g

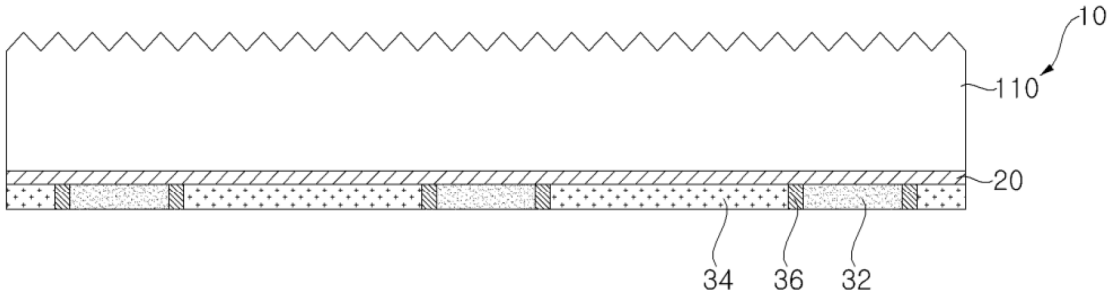


Fig. 3h

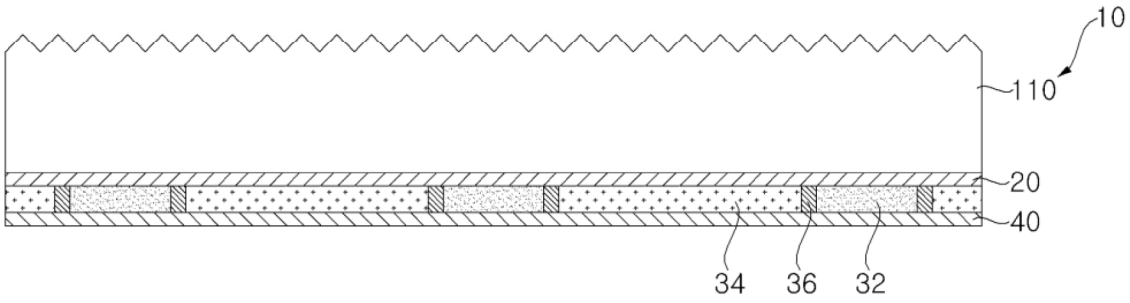


Fig. 3i

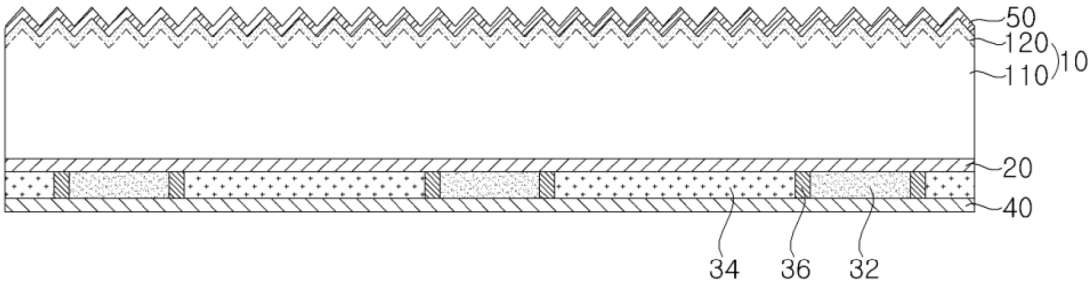


Fig. 3j

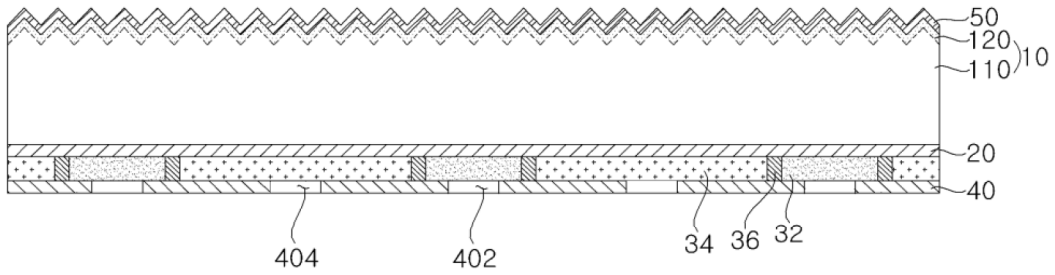


Fig. 3k

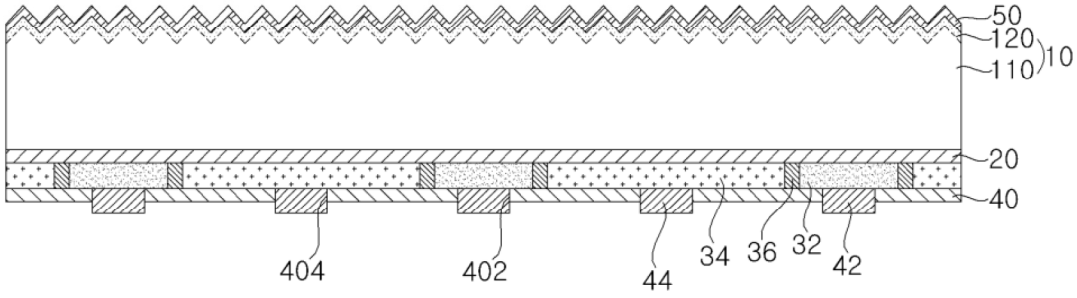


Fig. 4

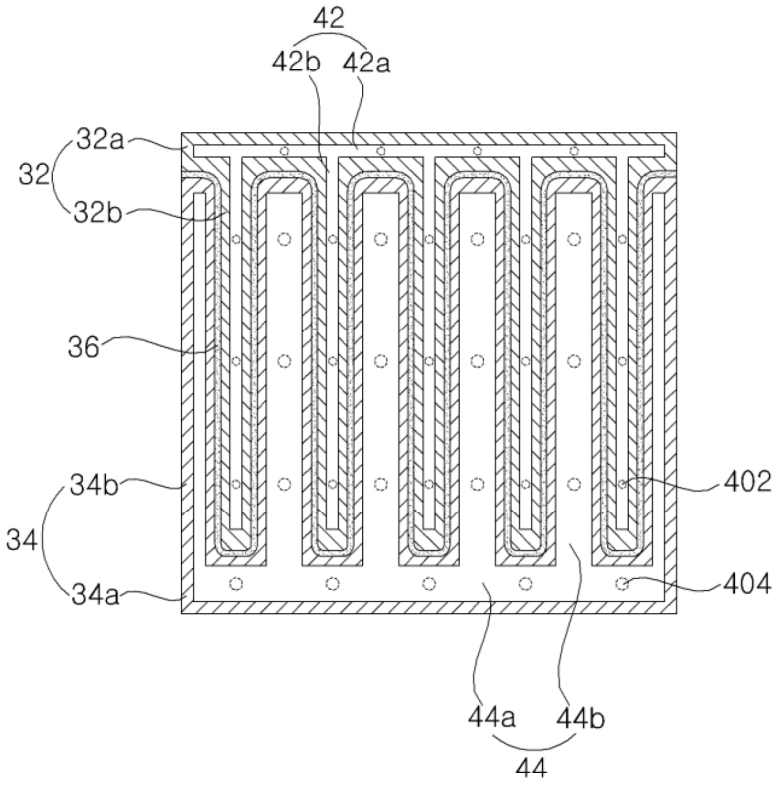


Fig. 5

100

