

【特許請求の範囲】

【請求項 1】

画像データの幾何学的特性を変化させる画像処理システムであって、与えられた補正データを用いて画像データを幾何学的に変化させる処理を実行する画像処理部と、前記画像処理部へ入力する前記画像データの画素位置に合わせて、前記補正データをメモリから読み出して前記画像処理部へ転送するデータ転送制御部と、を備えることを特徴とする画像処理システム。

【請求項 2】

請求項 1 記載の画像処理システムにおいて、前記データ転送制御部は、DMA（ダイレクト・メモリ・アクセス）方式で前記補正データを転送する DMA コントローラを備える、画像処理システム。

10

【請求項 3】

請求項 1 または請求項 2 記載の画像処理システムにおいて、前記画像処理部は、前記補正データの一部または全部を前記画像データの複数の画素で共用する機能を有する、画像処理システム。

【請求項 4】

請求項 1～請求項 3 の何れか 1 項に記載の画像処理システムにおいて、前記画像処理部は、入力した前記画像データから所定範囲の画素データをサンプリングし、当該画素データに対して重み付け係数を用いた畳込み演算を実行する畳込み演算器を備える、画像処理システム。

20

【請求項 5】

請求項 4 記載の画像処理システムにおいて、前記データ転送制御部は、前記補正データとして前記重み付け係数を転送する、画像処理システム。

【請求項 6】

請求項 4 記載の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記重み付け係数を算出する係数演算回路を備える、画像処理システム。

【請求項 7】

請求項 6 記載の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記所定範囲の中から複数の画素データを選択し、選択した当該複数の画素データに対して前記畳込み演算を実行する機能を有する、画像処理システム。

30

【請求項 8】

請求項 7 記載の画像処理システムにおいて、前記係数演算回路は、選択された当該複数の画素データの各々に対応する前記重み付け係数を算出するとともに、前記所定範囲の中の他の画素データに対応する前記重み付け係数をゼロ値に設定する機能を有する、画像処理システム。

【請求項 9】

請求項 7 記載の画像処理システムにおいて、前記画像処理部は、前記所定範囲の中から複数の画素データを選択して出力するセクタと、前記セクタから出力された当該複数の画素データのみに対して前記畳込み演算を実行する演算回路と、を備え、前記係数演算回路は、前記セクタで選択された当該複数の画素データのみに対応する前記重み付け係数を算出し前記演算回路に供給する、画像処理システム。

40

【請求項 10】

請求項 1～請求項 9 の何れか 1 項に記載の画像処理システムにおいて、前記画像処理部は、転送された補正データを用いて新たな補正データを補間する補間器を備える、画像処理システム。

【請求項 11】

請求項 1～請求項 10 の何れか 1 項に記載の画像処理システムにおいて、前記データ転送

50

制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称の位置に対応する補正データを転送する機能を有する、画像処理システム。

【請求項 1 2】

請求項 1～請求項 1 1 の何れか 1 項に記載の画像処理システムにおいて、前記データ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点を通る線分に関して線対称の位置に対応する補正データを転送する機能を有する、画像処理システム。

【請求項 1 3】

請求項 1～請求項 1 2 の何れか 1 項に記載の画像処理システムにおいて、直列に接続され、複数段の画像処理を並列且つリアルタイムに実行する複数の処理部を有するリアルタイム処理回路を備えており、前記画像処理部は前記複数の処理部の一部を構成する、画像処理システム。

10

【請求項 1 4】

請求項 1～請求項 1 3 の何れか 1 項に記載の画像処理システムを搭載したデジタルカメラ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、デジタルカメラなどで撮像した画像の収差などの幾何学的特性を変化させる画像処理システムに関する。

20

【0 0 0 2】

【従来の技術】

デジタルカメラでは、光学系によって結像した光は、CCDやCMOSなどの固体撮像素子からなる撮像センサで検出されデジタル信号に変換された後に、色空間変換処理、画素補間処理、フィルタリング及び輪郭強調処理などの画像処理を施される。

【0 0 0 3】

また撮像センサで撮像した画像データには、光学系に起因する様々な収差（色収差、球面収差、コマ収差、非点収差、像面湾曲及び歪曲収差など）が含まれている。これら収差の影響を画像処理によって補正する関連技術が、例えば特許文献 1（特開平 6－1 1 3 3 0 9 号公報）や特許文献 2（特開平 5－3 5 6 8 号公報）に開示されている。光学系に起因する収差量は、光学系の焦点距離や絞り値などの撮影条件に応じて変化するため、撮影条件の変化に合わせて収差量に対する補正量を決定しなければならない。

30

【0 0 0 4】

また上記収差に対する補正手段の一つとして、フィルタリングを行う空間フィルタが採用されている。空間フィルタは、入力データのうち、例えば 3×3 画素程度の範囲のデータをサンプリングし、サンプリングした各データにフィルタ係数を乗算して加算するという畳込み演算を実行するものである。

【0 0 0 5】

【特許文献 1】

特開平 6－1 1 3 3 0 9 号公報

【特許文献 2】

特開平 5－3 5 6 8 号公報

【0 0 0 6】

【発明が解決しようとする課題】

画像フレーム内の画素位置によって収差に対する補正量が異なる場合、入力データのサンプリング範囲に応じて、空間フィルタに設定するフィルタ係数を変更しなければならないが、このフィルタ係数の設定処理が一連の画像処理を中断させ、処理速度を遅らせる一因となる。例えば歪曲収差（ディストーション）の場合、画像フレームの中心部とその周縁部とでは収差量（歪み量）が異なるため、フィルタリングの対象範囲に応じてフィルタ係

50

数の設定値を動的に変更する必要がある。

【0007】

以上の状況に鑑みて本発明の目的は、画像データの幾何学的特性を高いリアルタイム性で変化させ得る画像処理システム並びにこの画像処理システムを搭載したデジタルカメラを提供する点にある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、第1の発明は、画像データの幾何学的特性を変化させる画像処理システムであって、与えられた補正データを用いて画像データを幾何学的に変化させる処理を実行する画像処理部と、前記画像処理部へ入力する前記画像データの画素位置に合わせて、前記補正データをメモリから読み出して前記画像処理部へ転送するデータ転送制御部と、を備えることを特徴としている。

10

【0009】

第2の発明では、第1の発明の画像処理システムにおいて、前記データ転送制御部は、DMA（ダイレクト・メモリ・アクセス）方式で前記補正データを転送するDMAコントローラを備える。

【0010】

第3の発明では、第1または第2の発明の画像処理システムにおいて、前記画像処理部は、前記補正データの一部または全部を前記画像データの複数の画素で共用する機能を有する。

20

【0011】

第4の発明では、第1～第3の何れかの発明の画像処理システムにおいて、前記画像処理部は、入力した前記画像データから所定範囲の画素データをサンプリングし、当該画素データに対して重み付け係数を用いた畳込み演算を実行する畳込み演算器を備える。

【0012】

第5の発明では、第4の発明の画像処理システムにおいて、前記データ転送制御部は、前記補正データとして前記重み付け係数を転送する。

【0013】

第6の発明では、第4の発明の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記重み付け係数を算出する係数演算回路を備える。

30

【0014】

第7の発明では、第6の発明の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記所定範囲の中から複数の画素データを選択し、選択した当該複数の画素データに対して前記畳込み演算を実行する機能を有する。

【0015】

第8の発明では、第7の発明の画像処理システムにおいて、前記係数演算回路は、選択された当該複数の画素データの各々に対応する前記重み付け係数を算出するとともに、前記所定範囲の中の他の画素データに対応する前記重み付け係数をゼロ値に設定する機能を有する。

【0016】

第9の発明では、第7の発明の画像処理システムにおいて、前記画像処理部は、前記所定範囲の中から複数の画素データを選択して出力するセレクタと、前記セレクタから出力された当該複数の画素データのみに対して前記畳込み演算を実行する演算回路と、を備え、前記係数演算回路は、前記セレクタで選択された当該複数の画素データのみに対応する前記重み付け係数を算出し前記演算回路に供給する。

40

【0017】

第10の発明では、第1～第9の何れかの発明の画像処理システムにおいて、前記画像処理部は、転送された補正データを用いて新たな補正データを補間する補間器を備える。

【0018】

第11の発明では、第1～第10の何れかの発明の画像処理システムにおいて、前記デー

50

タ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称の位置に対応する補正データを転送する機能を有する。

【0019】

第12の発明では、第1～第11の何れかの発明の画像処理システムにおいて、前記データ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点を通る線分に関して線対称の位置に対応する補正データを転送する機能を有する。

【0020】

第13の発明は、第1～第12の何れかの発明の画像処理システムにおいて、直列に接続され、複数段の画像処理を並列且つリアルタイムに実行する複数の処理部を有するリアルタイム処理回路を備えており、前記画像処理部は前記複数の処理部の一部を構成する。

10

【0021】

そして第14の発明は、第1～第13の何れかの発明の画像処理システムを搭載したデジタルカメラである。

【0022】

【発明の実施の形態】

以下、本発明の種々の実施形態について説明する。

【0023】

<デジタルカメラ1の構成>

図1は、本発明の実施形態に係るデジタルカメラ1の構成を概略的に示すブロック図である。このデジタルカメラ1は、光学機構10、撮像センサ11、アナログ信号処理回路12、タイミング・ジェネレータ17、画像処理用LSI（集積回路）13、RAM（主メモリ）14、ROM15及び表示装置16を備えている。なお、図示しないが、このデジタルカメラ1は、測距センサや、フラッシュ光を発するストロボなども搭載している。

20

【0024】

光学機構10は光学レンズや絞りなどを備える。被写体からの入射光は、この光学機構10を透過して撮像センサ11の受光部に結像させられる。撮像センサ11は、CCDエリアセンサまたはCMOSエリアセンサで構成されており、光学機構10を透過した光を受けて光電変換し、アナログ画像信号を生成してアナログ信号処理回路12に出力する。アナログ信号処理回路12は、撮像センサ11から入力するアナログ画像信号にCDS（Correlated Double Sampling；相関二重サンプリング）処理を施すことにより当該アナログ画像信号からノイズを除去した後に、AGC（Automatic Gain Control；自動利得制御）処理でアナログ画像信号を増幅し、更に、デジタル画像信号にA/D変換して画像処理用LSI13に出力する。

30

【0025】

タイミング・ジェネレータ17は、PLL回路（図示せず）から供給された基準クロック信号を用いて、光学機構10、撮像センサ11、アナログ信号処理回路12及び画像処理用LSI13などのモジュールに、動作に必要なクロック信号を生成し供給する。

【0026】

また、画像処理用LSI13は、RPU（リアルタイム処理回路）21、CPUを含む制御部22、DMAC（ダイレクト・メモリ・アクセス・コントローラ）23、メモリアンターフェース27、表示インターフェース24、カードインターフェース25及び周辺インターフェース26を備えている。バス20は、アドレス信号伝達用のアドレスバス、データ信号伝達用のデータバス及び制御信号伝達用の制御バスを備えており、画像処理用LSI13の構成要素21、22、23、24、25、26、27間を電氣的に接続する。

40

【0027】

制御部22はCPUを内蔵しており、ROM15からロードしたプログラムを実行することで、RPU21内の各処理ブロックを制御する制御処理や画像処理などを実行する。また主メモリ14は、RPU21で処理したデータや、制御部22の実行過程で生じたデータを一時的に保存する領域として使用される。なお、本実施形態では、主メモリ14やR

50

OM15は、画像処理用LSI13の外部に配設されるが、本発明ではこの限りでは無く、主メモリ14やROM15を画像処理用LSI13の内部に混載させてもよい。

【0028】

またバス20を介したデータ転送は、制御部22またはDMAC23の制御で実行される。この明細書では「データ転送制御部」とは、制御部22とDMAC23との一方または双方を意味する。DMAC23は、バス制御回路(BC)32と、複数のDMAチャンネル33₀～33_n(n:2以上の整数)とを備えており、このDMAC23がDMA転送要求を受けると、当該DMA転送要求に対してDMAチャンネル33_m(m=0～n)が割り当てられ、バス制御回路32がバス20を獲得する。そしてバス制御回路32は、割り当てられたDMAチャンネル33_mを用いてDMA転送を実行する。このDMA転送が終了した後は、バス制御回路32によってバス20の制御は制御部22に戻される。

10

【0029】

またRPU21は、k+1段(k:3以上の整数)に亘って直列に接続される複数の処理ブロック30₀、30₁、30₂、…、30_kと、バス制御回路(BC)31とを備え、アナログ信号処理回路12から入力したデジタル画像信号をリアルタイムに画像処理する回路である。これら処理ブロック30₁～30_kは、並列に動作し、前段の処理ブロックから入力したデータを処理して次段の処理ブロックまたは外部に出力するパイプライン処理を実行する。

【0030】

前処理部30₀は、アナログ信号処理回路12から入力したデジタル画像信号に対して、ホワイトバランス調整やゲイン調整や欠陥信号の補正などを行う処理ブロックである。この前処理部30₀から出力されたデータは、第1処理部30₁、第2処理部30₂、…、第k処理部30_kによって複数段の画像処理を順次施された後に、バス制御回路31を介してバス20に出力される。RPU21からバス20に出力された処理データは、制御部22またはDMAC23によってメモリアインターフェース27に転送され、主メモリ14にバッファリングされる。

20

【0031】

表示インターフェース24は、制御部22またはDMAC23によって主メモリ14から読み出され転送された画像データを、表示装置16が対応し得る形式のデータに変換して出力する機能を有する。表示装置16としては、点順次駆動の液晶ディスプレイや、面順次駆動のEVF(電子ビューファインダー)などが挙げられる。

30

【0032】

またカードインターフェース25は、制御部22の制御により、不揮発性メモリなどを備えた携帯型メモリカード(図示せず)に対するデータ入出力を実行する回路である。制御部22は、主メモリ14から読み出した画像データを圧縮符号化してカードインターフェース25に転送することで、携帯型メモリカードにその圧縮符号化データを記録できる。逆に、制御部22は、カードインターフェース25を介して、この携帯型メモリカードに記録された圧縮符号化データを読み出して復号化することも可能である。そして周辺インターフェース26は、例えば調光用センサなどの周辺モジュールに対するデータ入出力を実行する回路である。

40

【0033】

<RPU21の構成>

次に、本実施形態に係る画像処理部に相当するRPU21の構成例を以下に概説する。図2は、RPU21の構成例を概略的に示すブロック図である。RPU21は、上記した前処理部30₀、単一画素処理部30₁、フィルタリング部30₂、画素補間・ガンマ補正処理部30₃、色空間変換・色抑圧処理部30₄、コアリング処理部30₅、解像度変換部30₆及びバス制御回路31を備えて構成される。

【0034】

単一画素処理部30₁は、前処理部30₀から入力した画像データを画素単位で処理する機能を有する。具体的には、この単一画素処理部30₁は、入力データを複数のフレーム

50

若しくは複数のサブフレームに亘って平均化する経時的平均化処理や、画像中の明暗の輝度ムラを補正するシェーディング補正処理などを実行する。なお、サブフレームとは1フレームを複数枚に分解したものである。例えば、1フレームを偶数ラインのみからなる偶数フィールドと、奇数ラインのみからなる奇数フィールドとに分解した場合、それら偶数フィールドや奇数フィールドがサブフレームに該当する。

【0035】

またフィルタリング部30₂は、内部に25点のフィルタ係数を格納するレジスタを備えており、入力データのうち5×5画素の範囲の25点の2次元配列データをサンプリングし、各点のデータに前記フィルタ係数を乗算して加算するという畳込み演算（積和演算）を実行する機能を有している。またフィルタリング部30₂は、後述するようにフィルタ係数を適宜調節することで、画像データを幾何学的に変化させる処理を実行することができる。したがって、画像データ中の、光学機構10に起因する各種の収差量を補正することが可能になる。

10

【0036】

また画素補間・ガンマ補正処理部30₃は、各画素に欠けている色成分を周辺画素を用いて補間する画素補間処理と、ガンマ特性を補正するガンマ補正処理とを実行する機能を有している。一般に、一部の撮像素子を除き、1枚の撮像素子しか搭載していない撮像センサ11では各画素当たり単一の色成分しか得られない。このため、公知の最近隣補間法（Nearest Neighbor Interpolation method）や共1次内挿補間法（Bi-Linear Interpolation method）、3次畳込み補間法（Cubic Convolution Interpolation method）などを用いて各画素に欠けている色成分を補間することで、各画素が複数の色成分を有するカラー画像データを生成できる。

20

【0037】

また色空間変換・色抑圧処理部30₄は、入力データの色空間を変換する色空間変換処理と、ホワイトバランスが狂い易い画像中の明部と暗部とにおける発色を抑制する色抑圧処理とを実行する機能を有する。色空間変換処理では、例えば、原色系のRGB色空間から、各画素当たり1つの輝度成分と2つの色差成分とで構成されるYCbCr色空間やYUV色空間へ変換する処理が実行される。

30

【0038】

またコアリング処理部30₅は、画像データに含まれる高域成分を抑える非線形処理（コアリング処理）を実行する機能ブロックである。そして解像度変換部30₆は、入力データの画像サイズ（解像度）を縮小または拡大する解像度変換処理を実行する機能を有する。なお、この解像度変換部30₅は、入力データの解像度を変化させずにそのまま出力することもできる。

【0039】

以上の処理ブロック30₀～30₆は連携して上記パイプライン処理を実行するが、処理ブロック30₀～30₆の各々は、他の処理ブロックと連携せずに単独で画像処理を実行することも可能である。例えば、フィルタリング部30₂が、制御部22の制御によってバス制御回路31に転送された画像データを処理した後に、次段の画素補間・ガンマ補正処理部30₃に出力せずにバス制御回路31に出力するといった処理も可能である。

40

【0040】

<第1の実施形態；フィルタリング部30₂の構成及び動作>

以上の構成を有するデジタルカメラ1（図1及び図2）において、第1の実施形態に係る画像処理システムのフィルタリング部30₂の構成及び動作を以下に説明する。図3は、フィルタリング部30₂の構成を概略的に示すブロック図である。

【0041】

このフィルタリング部30₂は畳込み演算器41を備えており、畳込み演算器41は、入力した画像データから所定範囲（以下、フィルタ範囲と呼ぶ。）の画素データをサンプリングし、当該画素データに対してフィルタ係数（重み付け係数）を用いた畳込み演算を実

50

行する機能を有する。畳込み演算器 41 は、2 次元配列のフィルタ係数からなる係数データ（補正データ）を保持する係数レジスタ 40 を内蔵している。畳込み演算器 41 は、係数レジスタ 40 から供給されるフィルタ係数を用いて、前段の処理ブロック 30₁からの入力データ ID に畳込み演算を施し、その結果得た出力データ OD を次段の処理ブロック 30₃に出力する。

【0042】

図 4 は、係数レジスタ 40 に保持される係数データ 42 を模式的に示す図である。係数データ 42 は、2 次元配列の 5 × 5 点（＝ 25 点）のフィルタ係数 $\gamma(0, 0)$, $\gamma(0, 1)$, ..., $\gamma(4, 4)$ で構成される。図 5 は、入力データとフィルタ範囲 39 との対応関係を模式的に示す図である。入力データの中の第 i 列、第 j 行目（i, j は 0 以上の整数）の着目画素を中心にして 5 × 5 画素のフィルタ範囲 39 が図示されている。この着目画素に関するフィルタリングの出力値 CP(i, j) は、次式（1）に従って算出される。

10

【0043】

【数 1】

$$CP(i, j) = \sum_{m=0}^4 \sum_{n=0}^4 \gamma(m, n) \times P(i-2+m, j-2+n) / K \cdots (1)$$

【0044】

上式（1）中、 $\gamma(m, n)$ は、図 4 に示した m 行 n 列目のフィルタ係数を、 $P(i-2+m, j-2+n)$ は、 $(i-2+m)$ 行 $(j-2+n)$ 列目の画素値をそれぞれ表している。また、上式（1）中、 $1/K$ は、除算係数を表し、適宜設定されるものである。

20

【0045】

本実施の形態では、DMAC 23 は、畳込み演算器 41 でサンプリングされた入力データの 5 × 5 画素のフィルタ範囲に合わせて、当該フィルタ範囲に対応する係数データを主メモリ 14 から読出し、RPU 21 に DMA 転送する。図 6 に示すように、係数データ 42 は、フィルタリング部 30₂へのデータ入力に合わせて画素単位で DMA 転送され、RPU 21 のバス制御回路 31 で受信された後、フィルタリング部 30₂に輸入させられる。そして係数データ 42 は、係数レジスタ 40（図 3）に保持され設定される。この係数データ 42 の設定処理は、RPU 21 の処理ブロック 30₀～30₆がパイプライン処理を実行する期間中に、そのパイプライン処理を中断させることなく各フィルタ係数単位で実行され得る。言い換えれば、係数レジスタ 40 は、保持している係数データを、バス制御回路 31 から入力した係数データ 42 に各画素単位で動的に更新できる。よって、図 4 に示すフィルタ係数群の中から指定した単数または複数のフィルタ係数 $\gamma(o, p)$ （o, p は 0 ～ 4 の整数）のみを動的に更新することが可能である。

30

【0046】

以上の通り、第 1 の実施形態に係る画像処理システム（画像処理用 LSI 13）によれば、フィルタリング部 30₂へ入力する画像データの画素位置に合わせて、係数データ（補正データ）を動的に変更できるため、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また係数データを画素単位で動的に変更できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性、例えば湾曲収差（ディストーション）を補正することが可能である。さらに RPU 21 における複数段の画像処理を中断させることなくフィルタ係数を動的に更新できるため、画像処理システムの動作速度の向上が可能となる。

40

【0047】

また上記フィルタリング部 30₂は、係数データの一部または全部を画像データの複数の画素で共用する機能を有する。これにより、係数データのフィルタリング部 30₂への転送量が少なく済むため、バス 20 の使用帯域を抑制することができ、画像処理システム全体の処理速度を向上できる。

50

【0048】

次に、図7を参照しつつ、上記画像処理用LSI13を用いたフィルタリング処理の一例を説明する。本例では、入力データは、画像の中心部から周辺部に行くに従って結像倍率が大きくなる歪曲収差（ディストーション）を有するものとする。この種の歪曲収差は樽形収差と呼ばれている。係数レジスタ40が保持するフィルタ係数は、この樽形収差を補正するように動的に更新される。

【0049】

図7に示す1フレームの入力データ46の左方上端における局所データ46aがフィルタリングされた場合、当該局所データ46a内の「X」の文字データは、係数データ47aを用いたフィルタリングによって、補正後の局所データ46a'では、着目画素近辺の「X'」の文字データに変換される。なお、図7に示す係数データ47aは、各升目中央に表現されるフィルタ係数値を有している。

10

【0050】

また、入力データ46の中心位置における局所データ46cがフィルタリングされた場合、当該局所データ46c内の「X」の文字データは、係数データ47cを用いたフィルタリングによって、補正後の局所データ46c'では、着目画素近辺の「X'」の文字データに変換される。そして、入力データ46の右方下端における局所データ46bがフィルタリングされた場合、当該局所データ46b内の「X」の文字データは、係数データ47bを用いたフィルタリングによって、補正後の局所データ46b'では、着目画素近辺の「X'」の文字データに変換される。このように、入力データ46の中のサンプリング範囲に応じてフィルタ係数を動的に変更することで樽形収差を補正できる。

20

【0051】

<第2の実施形態>

次に、本発明の第2の実施形態に係る画像処理システムのフィルタリング部302の構成及び動作について説明する。図8は、本実施形態に係るフィルタリング部302の回路構成を概略的に示す図である。

【0052】

このフィルタリング部302は、畳込み演算器41及び係数演算回路50を備えて構成される。係数演算回路50は、主メモリ14からDMA転送されたベクトルデータ（補正データ）VDに基づいて3×3画素に対応する9個のフィルタ係数（重み付け係数）を算出し畳込み演算器41に供給する。また畳込み演算器41は、3×3画素のフィルタ範囲の入力データIDをサンプリングし、これらに対して畳込み演算を実行してデータODを出力する機能を有する。ただし、本実施形態では、説明の便宜上、3×3画素のフィルタ範囲を採用したが、本発明ではフィルタ範囲を5×5画素以上の大きさに拡張してもよい。

30

【0053】

畳込み演算器41は、直列接続された3×3画素分のデータレジスタ51A～51I及び2本のラインメモリ52A、52Bを備える。データレジスタ51A～51Iとラインメモリ52A、52Bとは、画素クロック（図示せず）が入力する度に3×3画素のフィルタ範囲の画素データを順次ラッチする。図中のデータレジスタ51A～51Iに記した記号「D00」、「D01」、…、「D22」は画素データの値を表している。

40

【0054】

また畳込み演算器41は、データレジスタ51A～51Iにそれぞれ対応する9個の係数レジスタ40A～40Iと、乗算器54A～54Iとを備える。図中の係数レジスタ40A～40Iに記した記号「C00」、「C01」、…、「C22」はフィルタ係数の値を表している。係数レジスタ40A～40Iはそれぞれ、画素クロック（図示せず）が入力する度に係数演算回路50から供給されたフィルタ係数をラッチし、乗算器54A～54Iに供給する。乗算器54A～54Iはそれぞれ、データレジスタ51A～51Iから入力した画素データに、係数レジスタ40A～40Iから入力した係数データを乗算して得た演算データを加算器（Σ）55に供給する。

【0055】

50

そして、加算器 5 5 は、9 個の乗算器 5 4 A ~ 5 4 I から入力した演算データを加算して得たデータを除算器 5 6 に出力し、除算器 5 6 は、入力データに右ビットシフト演算を施す除算処理を行い、その結果得たデータ O D を出力する。

【0056】

次に、前記係数演算回路 5 0 の処理内容を説明する。係数演算回路 5 0 では、畳込み演算器 4 1 における 3×3 画素のフィルタ範囲は、仮想的に複数の領域に分けられている。図 9 は、 3×3 画素のフィルタ範囲 S D を模式的に示す図である。このフィルタ範囲 S D は、左上の 2×2 画素の第 1 領域 5 7 A、右上の 2×2 画素の第 2 領域 5 7 B、左下の 2×2 画素の第 3 領域 5 7 C 並びに右下の 2×2 画素の第 4 領域 5 7 D に分けられている。

【0057】

さらに 3×3 点のフィルタ係数は、図 1 0 に示すように仮想的に格子線上の各格子点に配列している。図 1 0 中、各フィルタ係数に対応する格子点に当該フィルタ係数の値「C 0 0」, 「C 0 1」, ..., 「C 2 2」を示した。

【0058】

ベクトルデータ V D は、図 1 0 に示す 2 次元の格子空間上の点 V P を指定するものであり、2 つの数値の組 (α , β) で表現される。また D M A C 2 3 はベクトルデータ V D を画素単位でフィルタリング部 3 0 2 へ転送し得る。係数演算回路 5 0 は、格子空間において、指定点 V P が 3×3 点のフィルタ係数のうち左上の 2×2 点のフィルタ係数で区分される範囲を指定する場合は第 1 領域 5 7 A (図 9) を選択し、指定点 V P が右上の 2×2 点のフィルタ係数で区分される範囲を指定する場合は第 2 領域 5 7 B (図 9) を選択し、指定点 V P が左下の 2×2 点のフィルタ係数で区分される範囲を指定する場合は第 3 領域 5 7 C (図 9) を選択し、指定点 V P が右下の 2×2 点のフィルタ係数で区分される範囲を指定する場合は第 4 領域 5 7 D (図 9) を選択する。図 1 0 は、左上の 2×2 点のフィルタ係数で区分される範囲を指定した場合の例を表している。

【0059】

そして係数演算回路 5 0 は、指定点 V P によって選択されたフィルタ係数の値を設定し、非選択のフィルタ係数をゼロ値に設定する。図 1 0 に示した例では、フィルタ係数値 C 0 0, C 0 1, C 1 0, C 1 1 が設定され、非選択のフィルタ係数値 C 0 2, C 1 2, C 2 0, C 2 1, C 2 2 はゼロ値に設定されることになる。選択されたフィルタ係数値を全て同一値に設定してもよいし、図 1 0 に示すように、選択されたフィルタ係数を示す格子点と指定点 V P との間の距離 R 0 0, R 0 1, R 1 0, R 1 1 に応じてフィルタ係数値を算出してもよい。

【0060】

このように本実施形態では、画像データのフィルタリング部 3 0 2 への入力に合わせて、ベクトルデータ (補正データ) V D を転送してフィルタ係数を生成することができ、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また係数データを画素単位で生成できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性、例えば湾曲収差 (ディストーション) を補正することが可能である。さらにベクトルデータ V D がフィルタリング部 3 0 2 へ転送されるため、フィルタ係数をそのまま転送する場合と比べるとデータ転送量が少なく済む。したがって、バスの使用帯域が低く抑えられ、画像処理システム全体の処理速度を向上できる。

【0061】

またハードウェアを新たに追加すること無く、R P U 2 1 のフィルタリング部 3 0 2 の機能を用いて画像データの幾何学的変形処理を実行できるため、画像処理システムの小回路規模化が可能である。

【0062】

< 第 3 の実施形態 >

次に、本発明の第 3 の実施形態に係る画像処理システムのフィルタリング部 3 0 2 の構成及び動作について説明する。図 1 1 は、本実施形態に係るフィルタリング部 3 0 2 の回路構成を概略的に示す図である。

【0063】

このフィルタリング部30₂は、図8に示した畳込み演算器41と同一構成の畳込み演算器41を備え、さらに補間器60、制御部61、係数演算回路62、第1セレクタ63A～第4セレクタ63D、第1乗算器64A～第4乗算器64D、加算器65及び除算器56Bを備えている。

【0064】

畳込み演算器41は、前段の処理ブロックからの入力データIDに畳込み演算を施すことでフィルタリング処理を実行し、その結果得たデータOD1を次段の処理ブロックに出力する。この畳込み演算器41によるフィルタリング処理と並行して、補間器60、制御部61、係数演算回路62、セレクタ63A～63D、乗算器64A～64D、加算器65及び第2除算器56Bによる畳込み演算が実行され入力データIDに対する幾何学的変形処理が実行される。

10

【0065】

補間器60は、DMA転送されたベクトルデータ（補正データ）VDを用いてベクトルデータVDを補間する補間処理を実行し、その結果得たベクトルデータVDを制御部61と係数演算回路62とに供給する。これにより、全てのベクトルデータVDを転送せずに済むため、バス20の使用帯域を抑制して画像処理システムの処理速度を向上させることが可能となる。補間方法としては、公知の最近隣補間法や共1次内挿補間法、3次畳込み補間法などが採用される。なお、補間器60は、ベクトルデータVDを補間せずにそのまま出力する機能も備える。

20

【0066】

制御部61は、補間器60から供給されたベクトルデータVDを用いて選択制御信号を生成し、第1セレクタ63A～第4セレクタ63Dにそれぞれ供給する。第1セレクタ63A～第4セレクタ63Dは、選択制御信号の値に応じて、畳込み演算器41のデータレジスタ51A～51Iから伝達した画素データの何れかを選択し、第1乗算器64A～第4乗算器64Dに出力する。第1セレクタ63Aには、図9に示す第1領域57A～第4領域57Dの各々における左上の画素データが入力し、第2セレクタ63Bには、図9に示す第1領域57A～第4領域57Dの各々における右上の画素データが入力し、第3セレクタ63Cには、図9に示す第1領域57A～第4領域57Dの各々における左下の画素データが入力し、そして第4セレクタ63Dには、図9に示す第1領域57A～第4領域57Dの各々における右下の画素データが入力している。

30

【0067】

一方、係数演算回路62は、補間器60から供給されたベクトルデータVDを用いて重み付け係数C1～C4を生成し、それぞれを第1乗算器64A～第4乗算器64Dに出力する。第1乗算器64A～第4乗算器64Dはそれぞれ、セレクタ63A～63Dからの入力データの値に、係数演算回路62から与えられた重み付け係数C1～C4を乗算して得たデータを加算器(Σ)65に供給する。そして加算器65は、第1乗算器64A～第4乗算器64Dから入力したデータを加算して除算器56Bに出力し、除算器56Bは入力データに除算処理を施して得たデータOD2を出力する。よって、第1乗算器64A～第4乗算器64Dと加算器65と除算器56Bとによって、本実施形態の畳込み演算回路が構成される。

40

【0068】

次に、本実施形態の幾何学的変形処理について説明する。係数演算回路62は、図10に示した格子空間において、ベクトルデータVDによる指定点VPが3×3点の重み付け係数のうち左上の2×2点の重み付け係数で区分される範囲を指定する場合は第1領域57A（図9）を選択し、指定点VPが右上の2×2点の重み付け係数で区分される範囲を指定する場合は第2領域57B（図9）を選択し、指定点VPが左下の2×2点の重み付け係数で区分される範囲を指定する場合は第3領域57C（図9）を選択し、指定点VPが右下の2×2点の重み付け係数で区分される範囲を指定する場合は第4領域57D（図9）を選択する。

50

【0069】

そして係数演算回路62は、指定点VPによって選択された重み付け係数C1～C4の値を生成し、それぞれ第1乗算器64A～第4乗算器64Dに供給する。

【0070】

一方、制御部61は、指定点VPで選択された領域内の画素データを選択させるべく、選択制御信号を生成し第1セレクタ63A～第4セレクタ63Dに供給する。図10に示した例では、「C00」、「C01」、「C10」、「C11」の値に対応する第1領域57A(図9)の画素データを選択させるべく選択制御信号が生成されることになる。

【0071】

このように本実施形態では、フィルタリング部30₂へ入力する画像データの画素位置に合わせて、ベクトルデータ(補正データ)VDを転送して重み付け係数を生成することができ、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。またベクトルデータVDを画素単位で生成できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性を補正することが可能である。さらにベクトルデータVDがフィルタリング部30₂へ転送されるため、重み付け係数をそのまま転送する場合と比べるとデータ転送量が少なく済む。したがって、バスの使用帯域が低く抑えられ、画像処理システム全体の処理速度を向上できる。

10

【0072】

<第4の実施形態>

次に、本発明の第4の実施形態に係る画像処理システムについて説明する。この画像処理システムでは、上記ベクトルデータ或いは上記係数データなどの補正データを転送するDMAC23の転送制御処理に特徴がある。

20

【0073】

図12は、1フレームまたは1フィールドの補正データ70を模式的に示す図である。畳込み演算器41(図3及び図8)への入力データIDの範囲に対応して、走査方向71に沿って補正データが読み出され、メモリからRPU21へDMA転送される。本例での走査方向71は、補正データ70の左上端を始点として左端から右端へ向かい、走査が右端に至ると次段の左端にジャンプし、右下端を終点とするものである。以下に説明する転送制御処理によって補正データの転送量を減らすことができる。

【0074】

図13に示すように、補正データ70は、中心点CPに関して点対称関係、或いは、当該中心点を通る線分に関して線対称関係にある複数のブロック領域に仮想的に分割される。図13には、第1ブロック領域72A～第4ブロック領域72Dに分割された補正データ70が例示されている。第1ブロック領域72A及び第4ブロック領域72D間は、中心点CPに関して点対称関係にあり、第2ブロック領域72B及び第3ブロック領域72C間も、中心点CPに関して点対称関係にある。また、第1ブロック領域72A及び第2ブロック領域72Bと、第3ブロック領域72C及び第4ブロック領域72Dとの間は、中心点CPを通る水平線分HLに関して線対称関係にあり、また、第1ブロック領域72A及び第3ブロック領域72Cと、第2ブロック領域72B及び第4ブロック領域72Dとの間は、中心点CPを通る垂直線分VLに関して線対称関係にある。

30

40

【0075】

DMAC23は、前記補正データ70のフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称或いは前記線対称の位置に対応する補正データを転送する機能を有している。具体的には、複数のブロック領域72A～72Dの中から選択した1のブロック領域(以下、選択領域と呼ぶ。)の補正データを転送するときは、当該補正データをそのままメモリからRPU21にDMA転送する。またDMAC23は、選択領域以外のブロック領域の係数データを転送するときは、当該補正データを転送する代わりに、前記点対称関係或いは前記線対称関係の位置にある選択領域内の補正データをDMA転送する。

【0076】

50

例えば、第1ブロック領域72Aを選択した場合、メモリには第1ブロック領域72Aの補正データのみを格納すればよい。そして、DMAC23は、第1ブロック領域72A内の補正データの転送要求を受けた場合は、当該補正データをそのまま転送する。また、図14に示すように、DMAC23が第2ブロック領域72B内の補正データP1の転送要求を受けた場合は、DMAC23は、当該補正データP1を転送する代わりに、当該補正データP1に対して垂直線分VLに関して線対称関係にある選択領域72A内の補正データP0を、メモリから読み出して転送する。また、DMAC23が第3ブロック領域72C内の補正データP2の転送要求を受けた場合は、当該補正データP2の代わりに、当該補正データP2に対して水平線分HLに関して線対称関係にある選択領域72A内の補正データP0が、メモリから読み出され転送される。さらに、DMAC23が第4ブロック領域72D内の補正データP3の転送要求を受けた場合は、当該補正データP3に対して中心点CPに関して点対称関係にある選択領域72A内の補正データP0が、メモリから読み出され転送される。

10

【0077】

このような転送制御処理により、メモリには、全てのブロック領域72A～72Dの補正データを格納せずに済むことから、補正データをメモリに格納するための記憶容量を減らすことができる。

【0078】

【発明の効果】

以上の如く、本発明に係る画像処理システムとこの画像処理システムを搭載したデジタルカメラによれば、画像処理部へのデータ入力に合わせて、画像処理部で使用する補正データを動的に変更できるため、湾曲収差（ディストーション）などの画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また補正データを画素単位で動的に変更できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性を細かく変化させることが可能である。

20

【図面の簡単な説明】

【図1】本発明の実施形態に係るデジタルカメラの構成を概略的に示すブロック図である。

【図2】本発明の実施形態に係るデジタルカメラのRPUの構成例を概略的に示すブロック図である。

30

【図3】本発明の第1の実施形態に係るフィルタリング部の構成を概略的に示すブロック図である。

【図4】係数レジスタに保持される係数データを模式的に示す図である。

【図5】入力データとフィルタ範囲との対応関係を模式的に示す図である。

【図6】係数データをフィルタリング部に転送する方法を概略的に示す図である。

【図7】本発明の実施形態に係るフィルタリング処理の一例を説明した図である。

【図8】本発明の第2の実施形態に係るフィルタリング部の回路構成を概略的に示す図である。

【図9】3×3画素のフィルタ範囲を模式的に示す図である。

【図10】格子空間上のフィルタ係数を模式的に示す図である。

40

【図11】本発明の第3の実施形態に係るフィルタリング部の回路構成を概略的に示す図である。

【図12】1フレームまたは1フィールドの補正データを模式的に示す図である。

【図13】複数のブロック領域に分割された補正データを模式的に示す図である。

【図14】複数のブロック領域に分割された補正データを模式的に示す図である。

【符号の説明】

1 デジタルカメラ

10 光学機構

11 撮像センサ

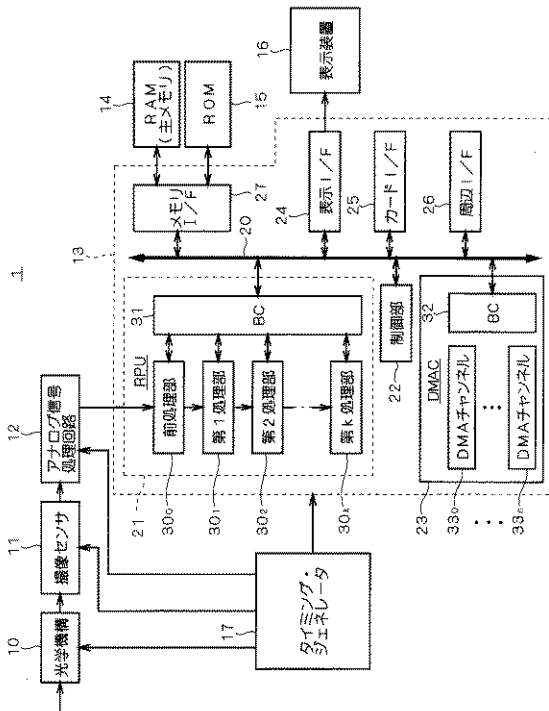
12 アナログ信号処理回路

50

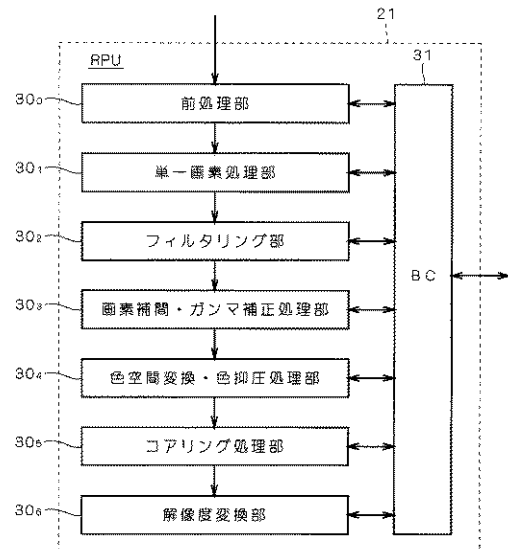
- 13 画像処理用 L S I
- 14 主メモリ
- 15 ROM
- 16 表示装置
- 17 タイミング・ジェネレータ
- 20 バス
- 21 R P U
- 22 制御部
- 23 D M A C
- 24 表示インターフェース
- 25 カードインターフェース
- 26 周辺インターフェース
- 27 メモリインターフェース

10

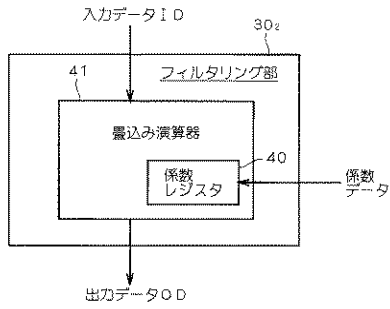
【図 1】



【図 2】



【図 3】

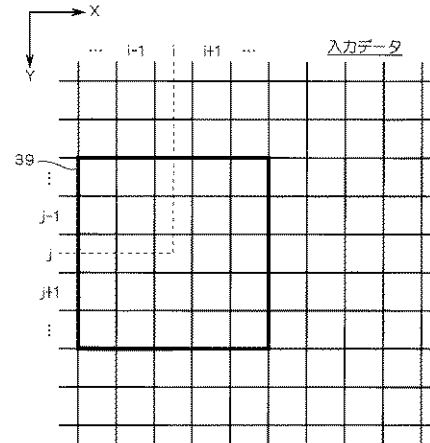


【図 4】

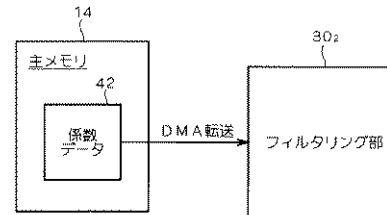
図 4 は、係数データの配列を示す表である。

$\gamma(0,0)$	$\gamma(0,1)$	$\gamma(0,2)$	$\gamma(0,3)$	$\gamma(0,4)$
$\gamma(1,0)$	$\gamma(1,1)$	$\gamma(1,2)$	$\gamma(1,3)$	$\gamma(1,4)$
$\gamma(2,0)$	$\gamma(2,1)$	$\gamma(2,2)$	$\gamma(2,3)$	$\gamma(2,4)$
$\gamma(3,0)$	$\gamma(3,1)$	$\gamma(3,2)$	$\gamma(3,3)$	$\gamma(3,4)$
$\gamma(4,0)$	$\gamma(4,1)$	$\gamma(4,2)$	$\gamma(4,3)$	$\gamma(4,4)$

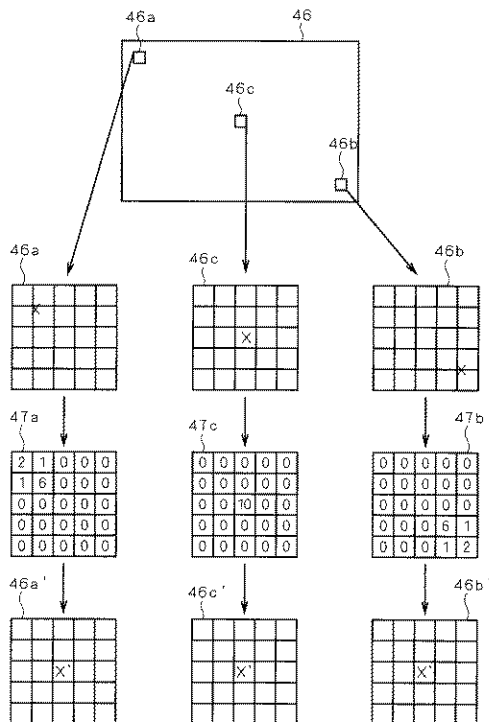
【図 5】



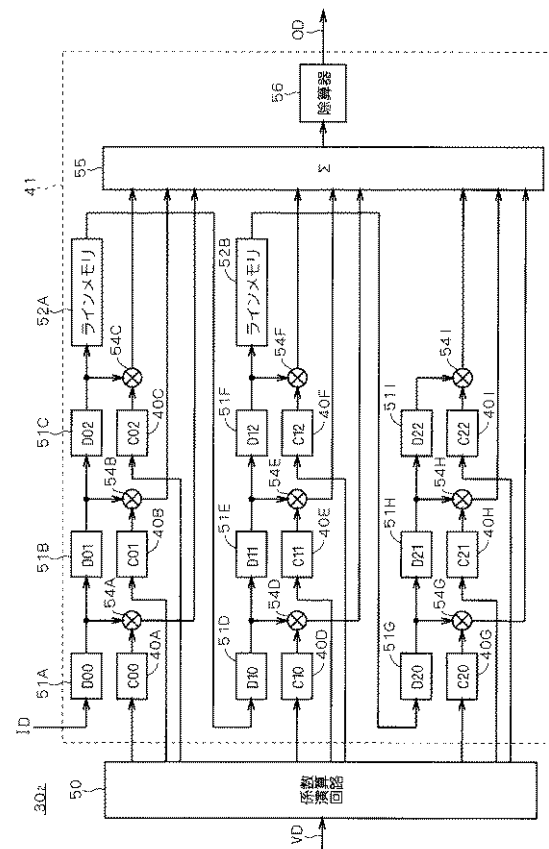
【図 6】



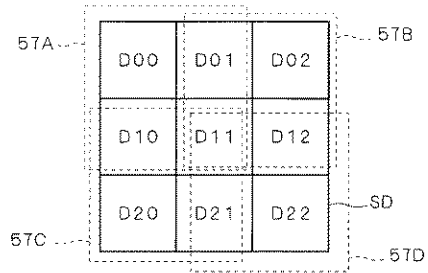
【図 7】



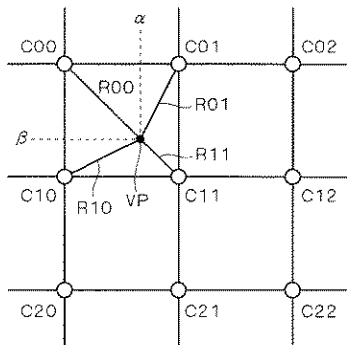
【図 8】



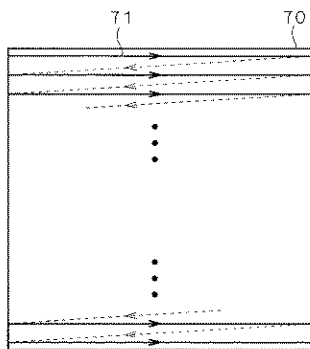
【図 9】



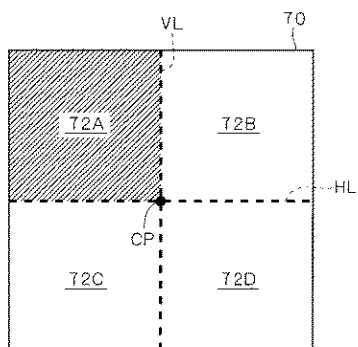
【図 10】



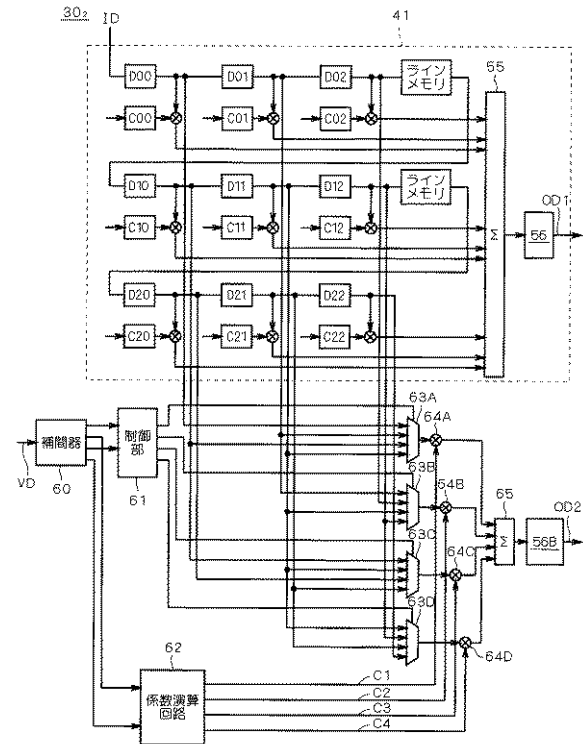
【図 12】



【図 13】



【図 11】



10

【図 14】

