(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-266768
(P2004-266768A)
(43)公開日　平成16年9月24日(2004.9.24)

| (51)Int.Cl.⁷ | F I | | テーマコード（参考） |
|---|---|---|---|
| H04N 5/232 | H04N 5/232 | Z | 5C022 |

審査請求 未請求　請求項の数 14　OL　（全 16 頁）

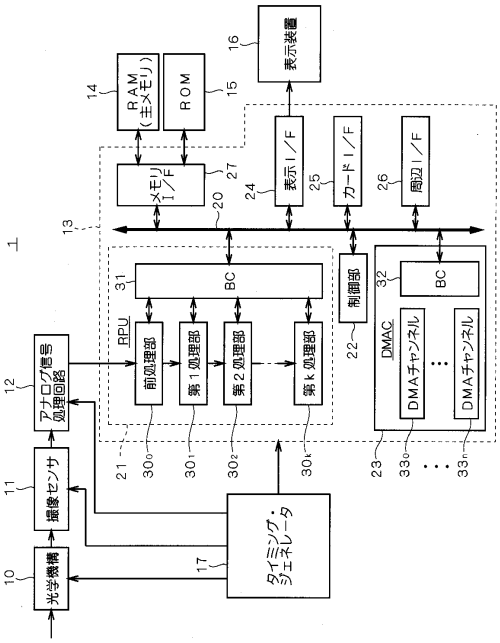
(21)出願番号　特願2003-57567(P2003-57567)
(22)出願日　平成15年3月4日(2003.3.4)

(71)出願人　591128453
株式会社メガチップス
大阪市淀川区宮原４丁目１番６号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　松谷　隆司
大阪市淀川区宮原４丁目１番６号　株式会社メガチップス内
(72)発明者　佐々木　元
大阪市淀川区宮原４丁目１番６号　株式会社メガチップス内

Fターム(参考)　5C022 AA13　AC54　AC69

(54)【発明の名称】画像処理システム及びデジタルカメラ

(57)【要約】
【課題】画像データの幾何学的特性を高いリアルタイム性で変化させ得ること。
【解決手段】画像処理システム１３において、ＲＰＵ２１は、与えられた補正データを用いて画像データを幾何学的に変化させる処理を実行する画像処理部を備える。またデータ転送制御部（ＤＭＡＣ）２３は、前記画像処理部へ入力する画像データの画素位置に合わせて、前記補正データをメモリから読み出してＲＰＵ２１の画像処理部へ転送する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
画像データの幾何学的特性を変化させる画像処理システムであって、
与えられた補正データを用いて画像データを幾何学的に変化させる処理を実行する画像処理部と、
前記画像処理部へ入力する前記画像データの画素位置に合わせて、前記補正データをメモリから読み出して前記画像処理部へ転送するデータ転送制御部と、
を備えることを特徴とする画像処理システム。
【請求項２】
請求項１記載の画像処理システムにおいて、前記データ転送制御部は、ＤＭＡ（ダイレクト・メモリ・アクセス）方式で前記補正データを転送するＤＭＡコントローラを備える、画像処理システム。
【請求項３】
請求項１または請求項２記載の画像処理システムにおいて、前記画像処理部は、前記補正データの一部または全部を前記画像データの複数の画素で共用する機能を有する、画像処理システム。
【請求項４】
請求項１～請求項３の何れか１項に記載の画像処理システムにおいて、前記画像処理部は、入力した前記画像データから所定範囲の画素データをサンプリングし、当該画素データに対して重み付け係数を用いた畳込み演算を実行する畳込み演算器を備える、画像処理システム。
【請求項５】
請求項４記載の画像処理システムにおいて、前記データ転送制御部は、前記補正データとして前記重み付け係数を転送する、画像処理システム。
【請求項６】
請求項４記載の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記重み付け係数を算出する係数演算回路を備える、画像処理システム。
【請求項７】
請求項６記載の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記所定範囲の中から複数の画素データを選択し、選択した当該複数の画素データに対して前記畳込み演算を実行する機能を有する、画像処理システム。
【請求項８】
請求項７記載の画像処理システムにおいて、前記係数演算回路は、選択された当該複数の画素データの各々に対応する前記重み付け係数を算出するとともに、前記所定範囲の中の他の画素データに対応する前記重み付け係数をゼロ値に設定する機能を有する、画像処理システム。
【請求項９】
請求項７記載の画像処理システムにおいて、
前記画像処理部は、
前記所定範囲の中から複数の画素データを選択して出力するセレクタと、
前記セレクタから出力された当該複数の画素データのみに対して前記畳込み演算を実行する演算回路と、を備え、
前記係数演算回路は、前記セレクタで選択された当該複数の画素データのみに対応する前記重み付け係数を算出し前記演算回路に供給する、画像処理システム。
【請求項１０】
請求項１～請求項９の何れか１項に記載の画像処理システムにおいて、前記画像処理部は、転送された補正データを用いて新たな補正データを補間する補間器を備える、画像処理システム。
【請求項１１】
請求項１～請求項１０の何れか１項に記載の画像処理システムにおいて、前記データ転送

制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称の位置に対応する補正データを転送する機能を有する、画像処理システム。

【請求項１２】

請求項１～請求項１１の何れか１項に記載の画像処理システムにおいて、前記データ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点を通る線分に関して線対称の位置に対応する補正データを転送する機能を有する、画像処理システム。

【請求項１３】

請求項１～請求項１２の何れか１項に記載の画像処理システムにおいて、直列に接続され、複数段の画像処理を並列且つリアルタイムに実行する複数の処理部を有するリアルタイム処理回路を備えており、前記画像処理部は前記複数の処理部の一部を構成する、画像処理システム。

【請求項１４】

請求項１～請求項１３の何れか１項に記載の画像処理システムを搭載したデジタルカメラ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、デジタルカメラなどで撮像した画像の収差などの幾何学的特性を変化させる画像処理システムに関する。

【０００２】

【従来の技術】

デジタルカメラでは、光学系によって結像した光は、ＣＣＤやＣＭＯＳなどの固体撮像素子からなる撮像センサで検出されデジタル信号に変換された後に、色空間変換処理、画素補間処理、フィルタリング及び輪郭強調処理などの画像処理を施される。

【０００３】

また撮像センサで撮像した画像データには、光学系に起因する様々な収差（色収差、球面収差、コマ収差、非点収差、像面湾曲及び歪曲収差など）が含まれている。これら収差の影響を画像処理によって補正する関連技術が、例えば特許文献１（特開平６－１１３３０９号公報）や特許文献２（特開平５－３５６８号公報）に開示されている。光学系に起因する収差量は、光学系の焦点距離や絞り値などの撮影条件に応じて変化するため、撮影条件の変化に合わせて収差量に対する補正量を決定しなければならない。

【０００４】

また上記収差に対する補正手段の一つとして、フィルタリングを行う空間フィルタが採用されている。空間フィルタは、入力データのうち、例えば３×３画素程度の範囲のデータをサンプリングし、サンプリングした各データにフィルタ係数を乗算して加算するという畳込み演算を実行するものである。

【０００５】

【特許文献１】

特開平６－１１３３０９号公報

【特許文献２】

特開平５－３５６８号公報

【０００６】

【発明が解決しようとする課題】

画像フレーム内の画素位置によって収差に対する補正量が異なる場合、入力データのサンプリング範囲に応じて、空間フィルタに設定するフィルタ係数を変更しなければならないが、このフィルタ係数の設定処理が一連の画像処理を中断させ、処理速度を遅らせる一因となる。例えば歪曲収差（ディストーション）の場合、画像フレームの中心部とその周縁部とでは収差量（歪み量）が異なるため、フィルタリングの対象範囲に応じてフィルタ係

数の設定値を動的に変更する必要がある。

【０００７】

以上の状況に鑑みて本発明の目的は、画像データの幾何学的特性を高いリアルタイム性で変化させ得る画像処理システム並びにこの画像処理システムを搭載したデジタルカメラを提供する点にある。

【０００８】

【課題を解決するための手段】

上記目的を達成するため、第１の発明は、画像データの幾何学的特性を変化させる画像処理システムであって、与えられた補正データを用いて画像データを幾何学的に変化させる処理を実行する画像処理部と、前記画像処理部へ入力する前記画像データの画素位置に合わせて、前記補正データをメモリから読み出して前記画像処理部へ転送するデータ転送制御部と、を備えることを特徴としている。

【０００９】

第２の発明では、第１の発明の画像処理システムにおいて、前記データ転送制御部は、ＤＭＡ（ダイレクト・メモリ・アクセス）方式で前記補正データを転送するＤＭＡコントローラを備える。

【００１０】

第３の発明では、第１または第２の発明の画像処理システムにおいて、前記画像処理部は、前記補正データの一部または全部を前記画像データの複数の画素で共用する機能を有する。

【００１１】

第４の発明では、第１～第３の何れかの発明の画像処理システムにおいて、前記画像処理部は、入力した前記画像データから所定範囲の画素データをサンプリングし、当該画素データに対して重み付け係数を用いた畳込み演算を実行する畳込み演算器を備える。

【００１２】

第５の発明では、第４の発明の画像処理システムにおいて、前記データ転送制御部は、前記補正データとして前記重み付け係数を転送する。

【００１３】

第６の発明では、第４の発明の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記重み付け係数を算出する係数演算回路を備える。

【００１４】

第７の発明では、第６の発明の画像処理システムにおいて、前記画像処理部は、前記補正データに基づいて前記所定範囲の中から複数の画素データを選択し、選択した当該複数の画素データに対して前記畳込み演算を実行する機能を有する。

【００１５】

第８の発明では、第７の発明の画像処理システムにおいて、前記係数演算回路は、選択された当該複数の画素データの各々に対応する前記重み付け係数を算出するとともに、前記所定範囲の中の他の画素データに対応する前記重み付け係数をゼロ値に設定する機能を有する。

【００１６】

第９の発明では、第７の発明の画像処理システムにおいて、前記画像処理部は、前記所定範囲の中から複数の画素データを選択して出力するセレクタと、前記セレクタから出力された当該複数の画素データのみに対して前記畳込み演算を実行する演算回路と、を備え、前記係数演算回路は、前記セレクタで選択された当該複数の画素データのみに対応する前記重み付け係数を算出し前記演算回路に供給する。

【００１７】

第１０の発明では、第１～第９の何れかの発明の画像処理システムにおいて、前記画像処理部は、転送された補正データを用いて新たな補正データを補間する補間器を備える。

【００１８】

第１１の発明では、第１～第１０の何れかの発明の画像処理システムにおいて、前記デー

タ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称の位置に対応する補正データを転送する機能を有する。

【００１９】

第１２の発明では、第１～第１１の何れかの発明の画像処理システムにおいて、前記データ転送制御部は、前記画像データのフレームの中心点または該フレームを構成するフィールドの中心点を通る線分に関して線対称の位置に対応する補正データを転送する機能を有する。

【００２０】

第１３の発明は、第１～第１２の何れかの発明の画像処理システムにおいて、直列に接続され、複数段の画像処理を並列且つリアルタイムに実行する複数の処理部を有するリアルタイム処理回路を備えており、前記画像処理部は前記複数の処理部の一部を構成する。

【００２１】

そして第１４の発明は、第１～第１３の何れかの発明の画像処理システムを搭載したデジタルカメラである。

【００２２】

【発明の実施の形態】

以下、本発明の種々の実施形態について説明する。

【００２３】

＜デジタルカメラ１の構成＞

図１は、本発明の実施形態に係るデジタルカメラ１の構成を概略的に示すブロック図である。このデジタルカメラ１は、光学機構１０、撮像センサ１１、アナログ信号処理回路１２、タイミング・ジェネレータ１７、画像処理用ＬＳＩ（集積回路）１３、ＲＡＭ（主メモリ）１４、ＲＯＭ１５及び表示装置１６を備えている。なお、図示しないが、このデジタルカメラ１は、測距センサや、フラッシュ光を発するストロボなども搭載している。

【００２４】

光学機構１０は光学レンズや絞りなどを備える。被写体からの入射光は、この光学機構１０を透過して撮像センサ１１の受光部に結像させられる。撮像センサ１１は、ＣＣＤエリアセンサまたはＣＭＯＳエリアセンサで構成されており、光学機構１０を透過した光を受けて光電変換し、アナログ画像信号を生成してアナログ信号処理回路１２に出力する。アナログ信号処理回路１２は、撮像センサ１１から入力するアナログ画像信号にＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ　Ｄｏｕｂｌｅ　Ｓａｍｐｌｉｎｇ；相関二重サンプリング）処理を施すことにより当該アナログ画像信号からノイズを除去した後に、ＡＧＣ（Ａｕｔｏｍａｔｉｃ　Ｇａｉｎ　Ｃｏｎｔｒｏｌ；自動利得制御）処理でアナログ画像信号を増幅し、更に、デジタル画像信号にＡ／Ｄ変換して画像処理用ＬＳＩ１３に出力する。

【００２５】

タイミング・ジェネレータ１７は、ＰＬＬ回路（図示せず）から供給された基準クロック信号を用いて、光学機構１０、撮像センサ１１、アナログ信号処理回路１２及び画像処理用ＬＳＩ１３などのモジュールに、動作に必要なクロック信号を生成し供給する。

【００２６】

また、画像処理用ＬＳＩ１３は、ＲＰＵ（リアルタイム処理回路）２１、ＣＰＵを含む制御部２２、ＤＭＡＣ（ダイレクト・メモリ・アクセス・コントローラ）２３、メモリインターフェース２７、表示インターフェース２４、カードインターフェース２５及び周辺インターフェース２６を備えている。バス２０は、アドレス信号伝達用のアドレスバス、データ信号伝達用のデータバス及び制御信号伝達用の制御バスを備えており、画像処理用ＬＳＩ１３の構成要素２１，２２，２３，２４，２５，２６，２７間を電気的に接続する。

【００２７】

制御部２２はＣＰＵを内蔵しており、ＲＯＭ１５からロードしたプログラムを実行することで、ＲＰＵ２１内の各処理ブロックを制御する制御処理や画像処理などを実行する。また主メモリ１４は、ＲＰＵ２１で処理したデータや、制御部２２の実行過程で生じたデータを一時的に保存する領域として使用される。なお、本実施形態では、主メモリ１４やＲ

ＯＭ１５は、画像処理用ＬＳＩ１３の外部に配設されるが、本発明ではこの限りでは無く、主メモリ１４やＲＯＭ１５を画像処理用ＬＳＩ１３の内部に混載させてもよい。

【００２８】

またバス２０を介したデータ転送は、制御部２２またはＤＭＡＣ２３の制御で実行される。この明細書では「データ転送制御部」とは、制御部２２とＤＭＡＣ２３との一方または双方を意味する。ＤＭＡＣ２３は、バス制御回路（ＢＣ）３２と、複数個のＤＭＡチャンネル$33_0$～$33_n$（ｎ：２以上の整数）とを備えており、このＤＭＡＣ２３がＤＭＡ転送要求を受けると、当該ＤＭＡ転送要求に対してＤＭＡチャンネル$33_m$（ｍ＝０～ｎ）が割り当てられ、バス制御回路３２がバス２０を獲得する。そしてバス制御回路３２は、割り当てられたＤＭＡチャンネル$33_m$を用いてＤＭＡ転送を実行する。このＤＭＡ転送が終了した後は、バス制御回路３２によってバス２０の制御は制御部２２に戻される。

【００２９】

またＲＰＵ２１は、ｋ＋１段（ｋ：３以上の整数）に亘って直列に接続される複数の処理ブロック$30_0$，$30_1$，$30_2$，…，$30_k$と、バス制御回路（ＢＣ）３１とを備え、アナログ信号処理回路１２から入力したデジタル画像信号をリアルタイムに画像処理する回路である。これら処理ブロック$30_1$～$30_k$は、並列に動作し、前段の処理ブロックから入力したデータを処理して次段の処理ブロックまたは外部に出力するパイプライン処理を実行する。

【００３０】

前処理部$30_0$は、アナログ信号処理回路１２から入力したデジタル画像信号に対して、ホワイトバランス調整やゲイン調整や欠陥信号の補正などを行う処理ブロックである。この前処理部$30_0$から出力されたデータは、第１処理部$30_1$、第２処理部$30_2$，…，第ｋ処理部$30_k$によって複数段の画像処理を順次施された後に、バス制御回路３１を介してバス２０に出力される。ＲＰＵ２１からバス２０に出力された処理データは、制御部２２またはＤＭＡＣ２３によってメモリインターフェース２７に転送され、主メモリ１４にバッファリングされる。

【００３１】

表示インターフェース２４は、制御部２２またはＤＭＡＣ２３によって主メモリ１４から読み出され転送された画像データを、表示装置１６が対応し得る形式のデータに変換して出力する機能を有する。表示装置１６としては、点順次駆動の液晶ディスプレイや、面順次駆動のＥＶＦ（電子ビューファインダー）などが挙げられる。

【００３２】

またカードインターフェース２５は、制御部２２の制御により、不揮発性メモリなどを備えた携帯型メモリカード（図示せず）に対するデータ入出力を実行する回路である。制御部２２は、主メモリ１４から読み出した画像データを圧縮符号化してカードインターフェース２５に転送することで、携帯型メモリカードにその圧縮符号化データを記録できる。逆に、制御部２２は、カードインターフェース２５を介して、この携帯型メモリカードに記録された圧縮符号化データを読出して復号化することも可能である。そして周辺インターフェース２６は、例えば調光用センサなどの周辺モジュールに対するデータ入出力を実行する回路である。

【００３３】

＜ＲＰＵ２１の構成＞

次に、本実施形態に係る画像処理部に相当するＲＰＵ２１の構成例を以下に概説する。図２は、ＲＰＵ２１の構成例を概略的に示すブロック図である。ＲＰＵ２１は、上記した前処理部$30_0$、単一画素処理部$30_1$、フィルタリング部$30_2$、画素補間・ガンマ補正処理部$30_3$、色空間変換・色抑圧処理部$30_4$、コアリング処理部$30_5$、解像度変換部$30_6$及びバス制御回路３１を備えて構成される。

【００３４】

単一画素処理部$30_1$は、前処理部$30_0$から入力した画像データを画素単位で処理する機能を有する。具体的には、この単一画素処理部$30_1$は、入力データを複数のフレーム

若しくは複数のサブフレームに亘って平均化する経時的平均化処理や、画像中の明暗の輝度ムラを補正するシェーディング補正処理などを実行する。なお、サブフレームとは１フレームを複数枚に分解したものである。例えば、１フレームを偶数ラインのみからなる偶数フィールドと、奇数ラインのみからなる奇数フィールドとに分解した場合、それら偶数フィールドや奇数フィールドがサブフレームに該当する。

【００３５】

またフィルタリング部$30_2$は、内部に２５点のフィルタ係数を格納するレジスタを備えており、入力データのうち５×５画素の範囲の２５点の２次元配列データをサンプリングし、各点のデータに前記フィルタ係数を乗算して加算するという畳込み演算（積和演算）を実行する機能を有している。またフィルタリング部$30_2$は、後述するようにフィルタ係数を適宜調節することで、画像データを幾何学的に変化させる処理を実行することができる。したがって、画像データ中の、光学機構１０に起因する各種の収差量を補正することが可能になる。

【００３６】

また画素補間・ガンマ補正処理部$30_3$は、各画素に欠けている色成分を周辺画素を用いて補間する画素補間処理と、ガンマ特性を補正するガンマ補正処理とを実行する機能を有している。一般に、一部の撮像素子を除き、１枚の撮像素子しか搭載していない撮像センサ１１では各画素当たり単一の色成分しか得られない。このため、公知の最近隣補間法（Ｎｅａｒｅｓｔ Ｎｅｉｇｈｂｏｒ Ｉｎｔｅｒｐｏｌａｔｉｏｎ ｍｅｔｈｏｄ）や共１次内挿補間法（Ｂｉ－Ｌｉｎｅａｒ Ｉｎｔｅｒｐｏｌａｔｉｏｎ ｍｅｔｈｏｄ）、３次畳込み補間法（Ｃｕｂｉｃ Ｃｏｎｖｏｌｕｔｉｏｎ Ｉｎｔｅｒｐｏｌａｔｉｏｎ ｍｅｔｈｏｄ）などを用いて各画素に欠けている色成分を補間することで、各画素が複数の色成分を有するカラー画像データを生成できる。

【００３７】

また色空間変換・色抑圧処理部$30_4$は、入力データの色空間を変換する色空間変換処理と、ホワイトバランスが狂い易い画像中の明部と暗部とにおける発色を抑制する色抑圧処理とを実行する機能を有する。色空間変換処理では、例えば、原色系のＲＧＢ色空間から、各画素当たり１つの輝度成分と２つの色差成分とで構成されるＹＣｂＣｒ色空間やＹＵＶ色空間へ変換する処理が実行される。

【００３８】

またコアリング処理部$30_5$は、画像データに含まれる高域成分を抑える非線形処理（コアリング処理）を実行する機能ブロックである。そして解像度変換部$30_6$は、入力データの画像サイズ（解像度）を縮小または拡大する解像度変換処理を実行する機能を有する。なお、この解像度変換部$30_5$は、入力データの解像度を変化させずにそのまま出力することもできる。

【００３９】

以上の処理ブロック$30_0$～$30_6$は連携して上記パイプライン処理を実行するが、処理ブロック$30_0$～$30_6$の各々は、他の処理ブロックと連携せずに単独で画像処理を実行することも可能である。例えば、フィルタリング部$30_2$が、制御部２２の制御によってバス制御回路３１に転送された画像データを処理した後に、次段の画素補間・ガンマ補正処理部$30_3$に出力せずにバス制御回路３１に出力するといった処理も可能である。

【００４０】

＜第１の実施形態；フィルタリング部$30_2$の構成及び動作＞

以上の構成を有するデジタルカメラ１（図１及び図２）において、第１の実施形態に係る画像処理システムのフィルタリング部$30_2$の構成及び動作を以下に説明する。図３は、フィルタリング部$30_2$の構成を概略的に示すブロック図である。

【００４１】

このフィルタリング部$30_2$は畳込み演算器４１を備えており、畳込み演算器４１は、入力した画像データから所定範囲（以下、フィルタ範囲と呼ぶ。）の画素データをサンプリングし、当該画素データに対してフィルタ係数（重み付け係数）を用いた畳込み演算を実

行する機能を有する。畳込み演算器４１は、２次元配列のフィルタ係数からなる係数データ（補正データ）を保持する係数レジスタ４０を内蔵している。畳込み演算器４１は、係数レジスタ４０から供給されるフィルタ係数を用いて、前段の処理ブロック$30_1$からの入力データＩＤに畳込み演算を施し、その結果得た出力データＯＤを次段の処理ブロック$30_3$に出力する。

【００４２】

図４は、係数レジスタ４０に保持される係数データ４２を模式的に示す図である。係数データ４２は、２次元配列の５×５点（＝２５点）のフィルタ係数γ（０，０），γ（０，１），…，γ（４，４）で構成される。図５は、入力データとフィルタ範囲３９との対応関係を模式的に示す図である。入力データの中の第ｉ列、第ｊ行目（ｉ，ｊは０以上の整数）の着目画素を中心にして５×５画素のフィルタ範囲３９が図示されている。この着目画素に関するフィルタリングの出力値ＣＰ（ｉ，ｊ）は、次式（１）に従って算出される。

【００４３】

【数１】

$$CP(i,j)=\sum_{m=0}^{4}\sum_{n=0}^{4}\gamma(m,n)\times P(i-2+m,\ j-2+n)/K \quad \cdots(1)$$

【００４４】

上式（１）中、γ（ｍ，ｎ）は、図４に示したｍ行ｎ列目のフィルタ係数を、Ｐ（ｉ－２＋ｍ，ｊ－２＋ｎ）は、（ｉ－２＋ｍ）行（ｊ－２＋ｎ）列目の画素値をそれぞれ表している。また、上式（１）中、１／Ｋは、除算係数を表し、適宜設定されるものである。

【００４５】

本実施の形態では、ＤＭＡＣ２３は、畳込み演算器４１でサンプリングされた入力データの５×５画素のフィルタ範囲に合わせて、当該フィルタ範囲に対応する係数データを主メモリ１４から読出し、ＲＰＵ２１にＤＭＡ転送する。図６に示すように、係数データ４２は、フィルタリング部$30_2$へのデータ入力に合わせて画素単位でＤＭＡ転送され、ＲＰＵ２１のバス制御回路３１で受信された後、フィルタリング部$30_2$に入力させられる。そして係数データ４２は、係数レジスタ４０（図３）に保持され設定される。この係数データ４２の設定処理は、ＲＰＵ２１の処理ブロック$30_0$～$30_6$がパイプライン処理を実行する期間中に、そのパイプライン処理を中断させること無く各フィルタ係数単位で実行され得る。言い換えれば、係数レジスタ４０は、保持している係数データを、バス制御回路３１から入力した係数データ４２に各画素単位で動的に更新できる。よって、図４に示すフィルタ係数群の中から指定した単数または複数のフィルタ係数γ（ｏ，ｐ）（ｏ，ｐは０～４の整数）のみを動的に更新することが可能である。

【００４６】

以上の通り、第１の実施形態に係る画像処理システム（画像処理用ＬＳＩ１３）によれば、フィルタリング部$30_2$へ入力する画像データの画素位置に合わせて、係数データ（補正データ）を動的に変更できるため、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また係数データを画素単位で動的に変更できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性、例えば湾曲収差（ディストーション）を補正することが可能である。さらにＲＰＵ２１における複数段の画像処理を中断させること無くフィルタ係数を動的に更新できるため、画像処理システムの動作速度の向上が可能となる。

【００４７】

また上記フィルタリング部$30_2$は、係数データの一部または全部を画像データの複数の画素で共用する機能を有する。これにより、係数データのフィルタリング部$30_2$への転送量が少なくて済むため、バス２０の使用帯域を抑制することができ、画像処理システム全体の処理速度を向上できる。

【００４８】
次に、図７を参照しつつ、上記画像処理用ＬＳＩ１３を用いたフィルタリング処理の一例を説明する。本例では、入力データは、画像の中心部から周辺部に行くに従って結像倍率が大きくなる歪曲収差（ディストーション）を有するものとする。この種の歪曲収差は樽形収差と呼ばれている。係数レジスタ４０が保持するフィルタ係数は、この樽形収差を補正するように動的に更新される。
【００４９】
図７に示す１フレームの入力データ４６の左方上端における局所データ４６ａがフィルタリングされた場合、当該局所データ４６ａ内の「Ｘ」の文字データは、係数データ４７ａを用いたフィルタリングによって、補正後の局所データ４６ａ’では、着目画素近辺の「Ｘ’」の文字データに変換される。なお、図７に示す係数データ４７ａは、各升目中央に表現されるフィルタ係数値を有している。
【００５０】
また、入力データ４６の中心位置における局所データ４６ｃがフィルタリングされた場合、当該局所データ４６ｃ内の「Ｘ」の文字データは、係数データ４７ｃを用いたフィルタリングによって、補正後の局所データ４６ｃ’では、着目画素近辺の「Ｘ’」の文字データに変換される。そして、入力データ４６の右方下端における局所データ４６ｂがフィルタリングされた場合、当該局所データ４６ｂ内の「Ｘ」の文字データは、係数データ４７ｂを用いたフィルタリングによって、補正後の局所データ４６ｂ’では、着目画素近辺の「Ｘ’」の文字データに変換される。このように、入力データ４６の中のサンプリング範囲に応じてフィルタ係数を動的に変更することで樽形収差を補正できる。
【００５１】
＜第２の実施形態＞
次に、本発明の第２の実施形態に係る画像処理システムのフィルタリング部$３０_2$の構成及び動作について説明する。図８は、本実施形態に係るフィルタリング部$３０_2$の回路構成を概略的に示す図である。
【００５２】
このフィルタリング部$３０_2$は、畳込み演算器４１及び係数演算回路５０を備えて構成される。係数演算回路５０は、主メモリ１４からＤＭＡ転送されたベクトルデータ（補正データ）ＶＤに基づいて３×３画素に対応する９個のフィルタ係数（重み付け係数）を算出し畳込み演算器４１に供給する。また畳込み演算器４１は、３×３画素のフィルタ範囲の入力データＩＤをサンプリングし、これらに対して畳込み演算を実行してデータＯＤを出力する機能を有する。ただし、本実施形態では、説明の便宜上、３×３画素のフィルタ範囲を採用したが、本発明ではフィルタ範囲を５×５画素以上の大きさに拡張してもよい。
【００５３】
畳込み演算器４１は、直列接続された３×３画素分のデータレジスタ５１Ａ～５１Ｉ及び２本のラインメモリ５２Ａ、５２Ｂを備える。データレジスタ５１Ａ～５１Ｉとラインメモリ５２Ａ，５２Ｂとは、画素クロック（図示せず）が入力する度に３×３画素のフィルタ範囲の画素データを順次ラッチする。図中のデータレジスタ５１Ａ～５１Ｉに記した記号「Ｄ００」，「Ｄ０１」，…，「Ｄ２２」は画素データの値を表している。
【００５４】
また畳込み演算器４１は、データレジスタ５１Ａ～５１Ｉにそれぞれ対応する９個の係数レジスタ４０Ａ～４０Ｉと、乗算器５４Ａ～５４Ｉとを備える。図中の係数レジスタ４０Ａ～４０Ｉに記した記号「Ｃ００」，「Ｃ０１」，…，「Ｃ２２」はフィルタ係数の値を表している。係数レジスタ４０Ａ～４０Ｉはそれぞれ、画素クロック（図示せず）が入力する度に係数演算回路５０から供給されたフィルタ係数をラッチし、乗算器５４Ａ～５４Ｉに供給する。乗算器５４Ａ～５４Ｉはそれぞれ、データレジスタ５１Ａ～５１Ｉから入力した画素データに、係数レジスタ４０Ａ～４０Ｉから入力した係数データを乗算して得た演算データを加算器（Σ）５５に供給する。
【００５５】

そして、加算器５５は、９個の乗算器５４Ａ～５４Ｉから入力した演算データを加算して得たデータを除算器５６に出力し、除算器５６は、入力データに右ビットシフト演算を施す除算処理を行い、その結果得たデータＯＤを出力する。

【００５６】

次に、前記係数演算回路５０の処理内容を説明する。係数演算回路５０では、畳込み演算器４１における３×３画素のフィルタ範囲は、仮想的に複数の領域に分けられている。図９は、３×３画素のフィルタ範囲ＳＤを模式的に示す図である。このフィルタ範囲ＳＤは、左上の２×２画素の第１領域５７Ａ、右上の２×２画素の第２領域５７Ｂ、左下の２×２画素の第３領域５７Ｃ並びに右下の２×２画素の第４領域５７Ｄに分けられている。

【００５７】

さらに３×３点のフィルタ係数は、図１０に示すように仮想的に格子線上の各格子点に配列している。図１０中、各フィルタ係数に対応する格子点に当該フィルタ係数の値「Ｃ００」，「Ｃ０１」，…，「Ｃ２２」を示した。

【００５８】

ベクトルデータＶＤは、図１０に示す２次元の格子空間上の点ＶＰを指定するものであり、２つの数値の組（α，β）で表現される。またＤＭＡＣ２３はベクトルデータＶＤを画素単位でフィルタリング部$３０_2$へ転送し得る。係数演算回路５０は、格子空間において、指定点ＶＰが３×３点のフィルタ係数のうち左上の２×２点のフィルタ係数で区分される範囲を指定する場合は第１領域５７Ａ（図９）を選択し、指定点ＶＰが右上の２×２点のフィルタ係数で区分される範囲を指定する場合は第２領域５７Ｂ（図９）を選択し、指定点ＶＰが左下の２×２点のフィルタ係数で区分される範囲を指定する場合は第３領域５７Ｃ（図９）を選択し、指定点ＶＰが右下の２×２点のフィルタ係数で区分される範囲を指定する場合は第４領域５７Ｄ（図９）を選択する。図１０は、左上の２×２点のフィルタ係数で区分される範囲を指定した場合の例を表している。

【００５９】

そして係数演算回路５０は、指定点ＶＰによって選択されたフィルタ係数の値を設定し、非選択のフィルタ係数をゼロ値に設定する。図１０に示した例では、フィルタ係数値Ｃ００，Ｃ０１，Ｃ１０，Ｃ１１が設定され、非選択のフィルタ係数値Ｃ０２，Ｃ１２，Ｃ２０，Ｃ２１，Ｃ２２はゼロ値に設定されることになる。選択されたフィルタ係数値を全て同一値に設定してもよいし、図１０に示すように、選択されたフィルタ係数を示す格子点と指定点ＶＰとの間の距離Ｒ００，Ｒ０１，Ｒ１０，Ｒ１１に応じてフィルタ係数値を算出してもよい。

【００６０】

このように本実施形態では、画像データのフィルタリング部$３０_2$への入力に合わせて、ベクトルデータ（補正データ）ＶＤを転送してフィルタ係数を生成することができ、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また係数データを画素単位で生成できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性、例えば湾曲収差（ディストーション）を補正することが可能である。さらにベクトルデータＶＤがフィルタリング部$３０_2$へ転送されるため、フィルタ係数をそのまま転送する場合と比べるとデータ転送量が少なくて済む。したがって、バスの使用帯域が低く抑えられ、画像処理システム全体の処理速度を向上できる。

【００６１】

またハードウェアを新たに追加すること無く、ＲＰＵ２１のフィルタリング部$３０_2$の機能を用いて画像データの幾何学的変形処理を実行できるため、画像処理システムの小回路規模化が可能である。

【００６２】

＜第３の実施形態＞

次に、本発明の第３の実施形態に係る画像処理システムのフィルタリング部$３０_2$の構成及び動作について説明する。図１１は、本実施形態に係るフィルタリング部$３０_2$の回路構成を概略的に示す図である。

【００６３】
このフィルタリング部３０$_2$は、図８に示した畳込み演算器４１と同一構成の畳込み演算器４１を備え、さらに補間器６０、制御部６１、係数演算回路６２、第１セレクタ６３Ａ～第４セレクタ６３Ｄ、第１乗算器６４Ａ～第４乗算器６４Ｄ、加算器６５及び除算器５６Ｂを備えている。
【００６４】
畳込み演算器４１は、前段の処理ブロックからの入力データＩＤに畳込み演算を施すことでフィルタリング処理を実行し、その結果得たデータＯＤ１を次段の処理ブロックに出力する。この畳込み演算器４１によるフィルタリング処理と並行して、補間器６０，制御部６１、係数演算回路６２、セレクタ６３Ａ～６３Ｄ、乗算器６４Ａ～６４Ｄ、加算器６５及び第２除算器５６Ｂによる畳込み演算が実行され入力データＩＤに対する幾何学的変形処理が実行される。
【００６５】
補間器６０は、ＤＭＡ転送されたベクトルデータ（補正データ）ＶＤを用いてベクトルデータＶＤを補間する補間処理を実行し、その結果得たベクトルデータＶＤを制御部６１と係数演算回路６２とに供給する。これにより、全てのベクトルデータＶＤを転送せずに済むため、バス２０の使用帯域を抑制して画像処理システムの処理速度を向上させることが可能となる。補間方法としては、公知の最近隣補間法や共１次内挿補間法、３次畳込み補間法などが採用される。なお、補間器６０は、ベクトルデータＶＤを補間せずにそのまま出力する機能も備える。
【００６６】
制御部６１は、補間器６０から供給されたベクトルデータＶＤを用いて選択制御信号を生成し、第１セレクタ６３Ａ～第４セレクタ６３Ｄにそれぞれ供給する。第１セレクタ６３Ａ～第４セレクタ６３Ｄは、選択制御信号の値に応じて、畳込み演算器４１のデータレジスタ５１Ａ～５１Ｉから伝達した画素データの何れかを選択し、第１乗算器６４Ａ～第４乗算器６４Ｄに出力する。第１セレクタ６３Ａには、図９に示す第１領域５７Ａ～第４領域５７Ｄの各々における左上の画素データが入力し、第２セレクタ６３Ｂには、図９に示す第１領域５７Ａ～第４領域５７Ｄの各々における右上の画素データが入力し、第３セレクタ６３Ｃには、図９に示す第１領域５７Ａ～第４領域５７Ｄの各々における左下の画素データが入力し、そして第４セレクタ６３Ｄには、図９に示す第１領域５７Ａ～第４領域５７Ｄの各々における右下の画素データが入力している。
【００６７】
一方、係数演算回路６２は、補間器６０から供給されたベクトルデータＶＤを用いて重み付け係数Ｃ１～Ｃ４を生成し、それぞれを第１乗算器６４Ａ～第４乗算器６４Ｄに出力する。第１乗算器６４Ａ～第４乗算器６４Ｄはそれぞれ、セレクタ６３Ａ～６３Ｄからの入力データの値に、係数演算回路６２から与えられた重み付け係数Ｃ１～Ｃ４を乗算して得たデータを加算器（Σ）６５に供給する。そして加算器６５は、第１乗算器６４Ａ～第４乗算器６４Ｄから入力したデータを加算して除算器５６Ｂに出力し、除算器５６Ｂは入力データに除算処理を施して得たデータＯＤ２を出力する。よって、第１乗算器６４Ａ～第４乗算器６４Ｄと加算器６５と除算器５６Ｂとによって、本実施形態の畳込み演算回路が構成される。
【００６８】
次に、本実施形態の幾何学的変形処理について説明する。係数演算回路６２は、図１０に示した格子空間において、ベクトルデータＶＤによる指定点ＶＰが３×３点の重み付け係数のうち左上の２×２点の重み付け係数で区分される範囲を指定する場合は第１領域５７Ａ（図９）を選択し、指定点ＶＰが右上の２×２点の重み付け係数で区分される範囲を指定する場合は第２領域５７Ｂ（図９）を選択し、指定点ＶＰが左下の２×２点の重み付け係数で区分される範囲を指定する場合は第３領域５７Ｃ（図９）を選択し、指定点ＶＰが右下の２×２点の重み付け係数で区分される範囲を指定する場合は第４領域５７Ｄ（図９）を選択する。

【００６９】
そして係数演算回路６２は、指定点ＶＰによって選択された重み付け係数Ｃ１～Ｃ４の値を生成し、それぞれ第１乗算器６４Ａ～第４乗算器６４Ｄに供給する。
【００７０】
一方、制御部６１は、指定点ＶＰで選択された領域内の画素データを選択させるべく、選択制御信号を生成し第１セレクタ６３Ａ～第４セレクタ６３Ｄに供給する。図１０に示した例では、「Ｃ００」，「Ｃ０１」，「Ｃ１０」，「Ｃ１１」の値に対応する第１領域５７Ａ（図９）の画素データを選択させるべく選択制御信号が生成されることになる。
【００７１】
このように本実施形態では、フィルタリング部３０$_2$へ入力する画像データの画素位置に合わせて、ベクトルデータ（補正データ）ＶＤを転送して重み付け係数を生成することができ、画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。またベクトルデータＶＤを画素単位で生成できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性を補正することが可能である。さらにベクトルデータＶＤがフィルタリング部３０$_2$へ転送されるため、重み付け係数をそのまま転送する場合と比べるとデータ転送量が少なくて済む。したがって、バスの使用帯域が低く抑えられ、画像処理システム全体の処理速度を向上できる。
【００７２】
＜第４の実施形態＞
次に、本発明の第４の実施形態に係る画像処理システムについて説明する。この画像処理システムでは、上記ベクトルデータ或いは上記係数データなどの補正データを転送するＤＭＡＣ２３の転送制御処理に特徴がある。
【００７３】
図１２は、１フレームまたは１フィールドの補正データ７０を模式的に示す図である。畳込み演算器４１（図３及び図８）への入力データＩＤの範囲に対応して、走査方向７１に沿って補正データが読み出され、メモリからＲＰＵ２１へＤＭＡ転送される。本例での走査方向７１は、補正データ７０の左上端を始点として左端から右端へ向かい、走査が右端に至ると次段の左端にジャンプし、右下端を終点とするものである。以下に説明する転送制御処理によって補正データの転送量を減らすことができる。
【００７４】
図１３に示すように、補正データ７０は、中心点ＣＰに関して点対称関係、或いは、当該中心点を通る線分に関して線対称関係にある複数のブロック領域に仮想的に分割される。図１３には、第１ブロック領域７２Ａ～第４ブロック領域７２Ｄに分割された補正データ７０が例示されている。第１ブロック領域７２Ａ及び第４ブロック領域７２Ｄ間は、中心点ＣＰに関して点対称関係にあり、第２ブロック領域７２Ｂ及び第３ブロック領域７２Ｃ間も、中心点ＣＰに関して点対称関係にある。また、第１ブロック領域７２Ａ及び第２ブロック領域７２Ｂと、第３ブロック領域７２Ｃ及び第４ブロック領域７２Ｄとの間は、中心点ＣＰを通る水平線分ＨＬに関して線対称関係にあり、また、第１ブロック領域７２Ａ及び第３ブロック領域７２Ｃと、第２ブロック領域７２Ｂ及び第４ブロック領域７２Ｄとの間は、中心点ＣＰを通る垂直線分ＶＬに関して線対称関係にある。
【００７５】
ＤＭＡＣ２３は、前記補正データ７０のフレームの中心点または該フレームを構成するフィールドの中心点に関して点対称或いは前記線対称の位置に対応する補正データを転送する機能を有している。具体的には、複数のブロック領域７２Ａ～７２Ｄの中から選択した１のブロック領域（以下、選択領域と呼ぶ。）の補正データを転送するときは、当該補正データをそのままメモリからＲＰＵ２１にＤＭＡ転送する。またＤＭＡＣ２３は、選択領域以外のブロック領域の係数データを転送するときは、当該補正データを転送する代わりに、前記点対称関係或いは前記線対称関係の位置にある選択領域内の補正データをＤＭＡ転送する。
【００７６】

例えば、第１ブロック領域７２Ａを選択した場合、メモリには第１ブロック領域７２Ａの補正データのみを格納すればよい。そして、ＤＭＡＣ２３は、第１ブロック領域７２Ａ内の補正データの転送要求を受けた場合は、当該補正データをそのまま転送する。また、図１４に示すように、ＤＭＡＣ２３が第２ブロック領域７２Ｂ内の補正データＰ１の転送要求を受けた場合は、ＤＭＡＣ２３は、当該補正データＰ１を転送する代わりに、当該補正データＰ１に対して垂直線分ＶＬに関して線対称関係にある選択領域７２Ａ内の補正データＰ０を、メモリから読み出して転送する。また、ＤＭＡＣ２３が第３ブロック領域７２Ｃ内の補正データＰ２の転送要求を受けた場合は、当該補正データＰ２の代わりに、当該補正データＰ２に対して水平線分ＨＬに関して線対称関係にある選択領域７２Ａ内の補正データＰ０が、メモリから読み出され転送される。さらに、ＤＭＡＣ２３が第４ブロック領域７２Ｄ内の補正データＰ３の転送要求を受けた場合は、当該補正データＰ３に対して中心点ＣＰに関して点対称関係にある選択領域７２Ａ内の補正データＰ０が、メモリから読み出され転送される。

【００７７】

このような転送制御処理により、メモリには、全てのブロック領域７２Ａ～７２Ｄの補正データを格納せずに済むことから、補正データをメモリに格納するための記憶容量を減らすことができる。

【００７８】

【発明の効果】

以上の如く、本発明に係る画像処理システムとこの画像処理システムを搭載したデジタルカメラによれば、画像処理部へのデータ入力に合わせて、画像処理部で使用する補正データを動的に変更できるため、湾曲収差（ディストーション）などの画像データの幾何学的特性を高いリアルタイム性で変化させることが可能となる。また補正データを画素単位で動的に変更できるため、画像のフレーム若しくはフィールドの中の特定領域の幾何学的特性を細かく変化させることが可能である。

【図面の簡単な説明】

【図１】本発明の実施形態に係るデジタルカメラの構成を概略的に示すブロック図である。

【図２】本発明の実施形態に係るデジタルカメラのＲＰＵの構成例を概略的に示すブロック図である。

【図３】本発明の第１の実施形態に係るフィルタリング部の構成を概略的に示すブロック図である。

【図４】係数レジスタに保持される係数データを模式的に示す図である。

【図５】入力データとフィルタ範囲との対応関係を模式的に示す図である。

【図６】係数データをフィルタリング部に転送する方法を概略的に示す図である。

【図７】本発明の実施形態に係るフィルタリング処理の一例を説明した図である。

【図８】本発明の第２の実施形態に係るフィルタリング部の回路構成を概略的に示す図である。

【図９】３×３画素のフィルタ範囲を模式的に示す図である。

【図１０】格子空間上のフィルタ係数を模式的に示す図である。

【図１１】本発明の第３の実施形態に係るフィルタリング部の回路構成を概略的に示す図である。

【図１２】１フレームまたは１フィールドの補正データを模式的に示す図である。

【図１３】複数のブロック領域に分割された補正データを模式的に示す図である。

【図１４】複数のブロック領域に分割された補正データを模式的に示す図である。

【符号の説明】

１　デジタルカメラ

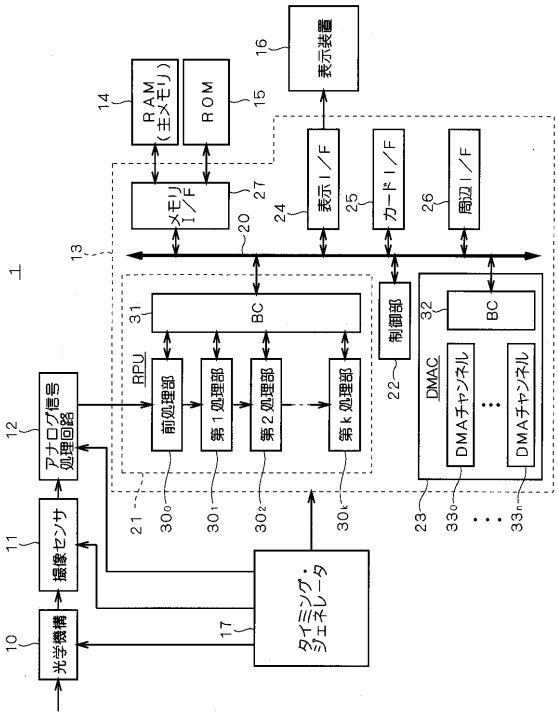
１０　光学機構

１１　撮像センサ

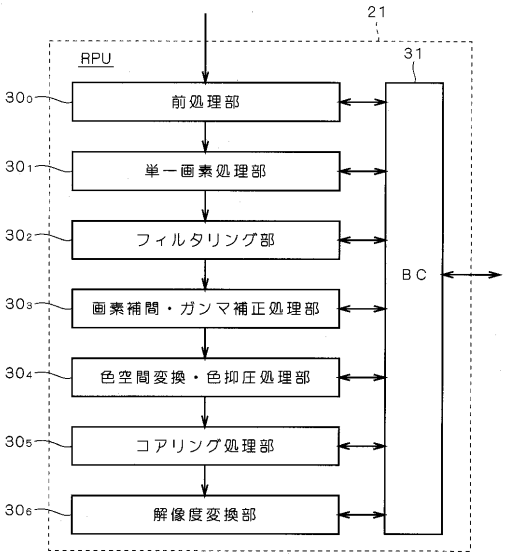
１２　アナログ信号処理回路

１３　画像処理用ＬＳＩ
１４　主メモリ
１５　ＲＯＭ
１６　表示装置
１７　タイミング・ジェネレータ
２０　バス
２１　ＲＰＵ
２２　制御部
２３　ＤＭＡＣ
２４　表示インターフェース
２５　カードインターフェース
２６　周辺インターフェース
２７　メモリインターフェース

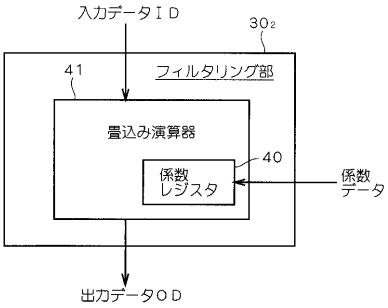
【図１】



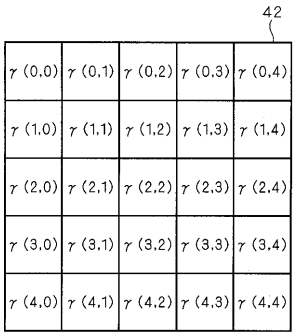

【図２】



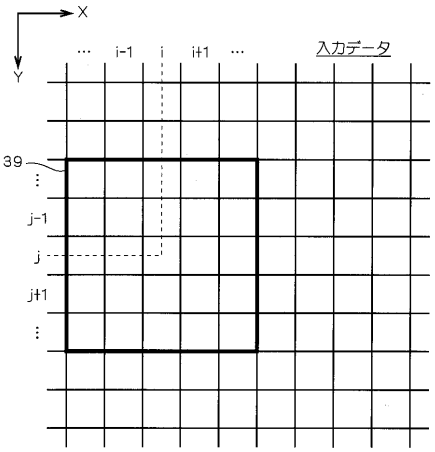
【図３】



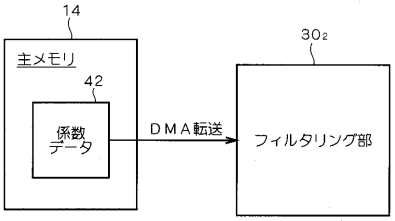

【図４】



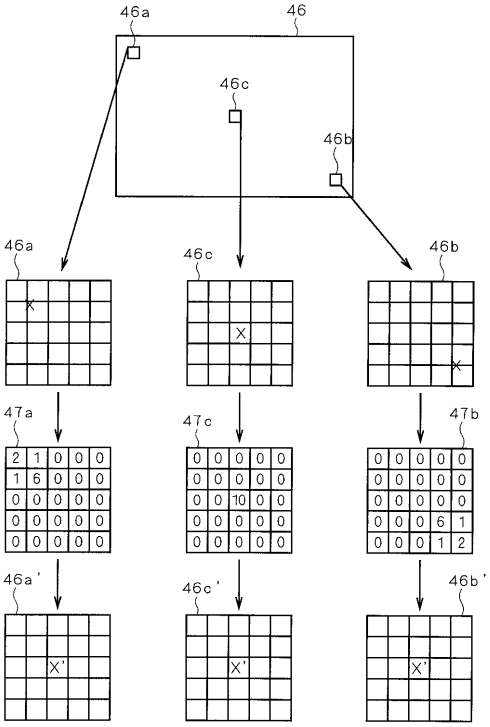

【図５】



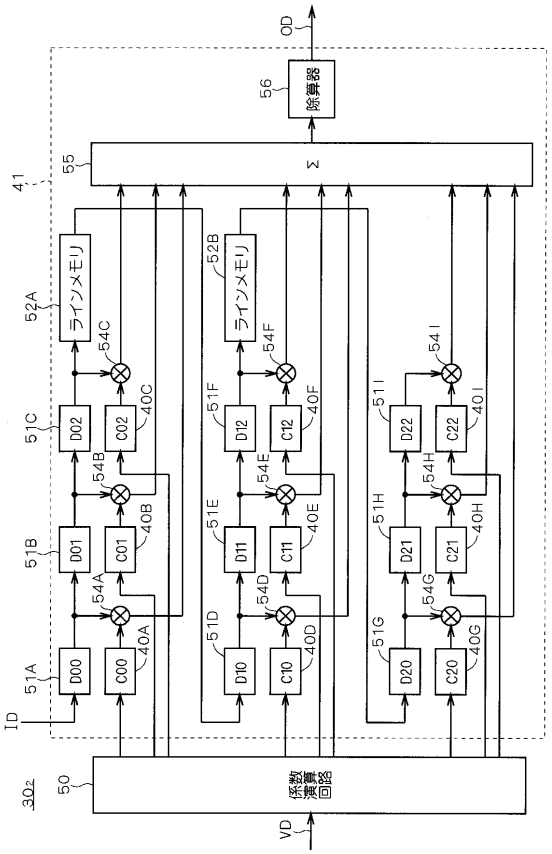

【図６】



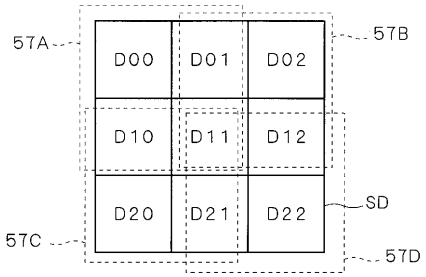

【図７】



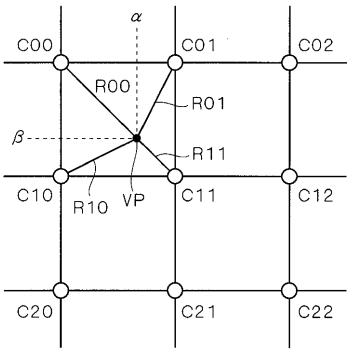

【図８】



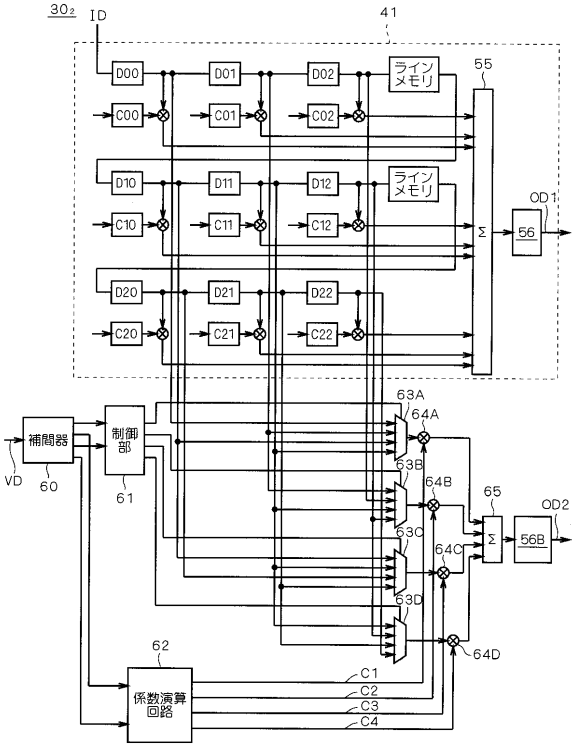
【図９】



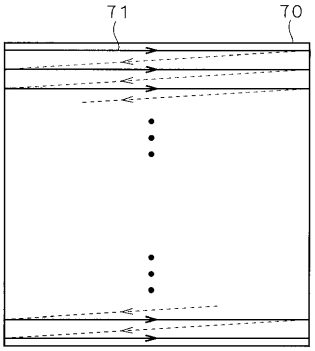

【図１０】



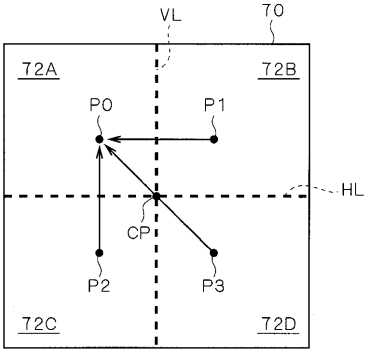

【図１１】

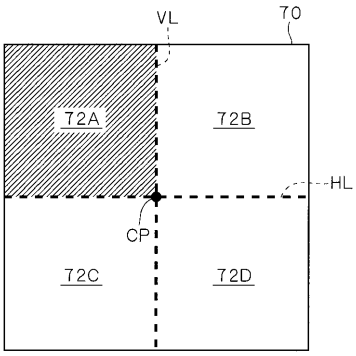



【図１２】




【図１４】




【図１３】