

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3141621号

(P3141621)

(45) 発行日 平成13年 3 月 5 日 (2001. 3. 5)

(24) 登録日 平成12年12月22日 (2000. 12. 22)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/762

H 0 1 L 21/76

D

27/12

27/12

B

請求項の数 1 (全 4 頁)

(21) 出願番号 特願平5-124568

(22) 出願日 平成 5 年 5 月 27 日 (1993. 5. 27)

(65) 公開番号 特開平6-334029

(43) 公開日 平成 6 年 12 月 2 日 (1994. 12. 2)

審査請求日 平成10年 8 月 19 日 (1998. 8. 19)

(73) 特許権者 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者 松崎 一夫

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(72) 発明者 平林 温夫

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

審査官 河合 章

最終頁に続く

(54) 【発明の名称】 誘電体分離構造を備えた半導体基板

(57) 【特許請求の範囲】

【請求項 1】シリコン酸化膜を挟んで二枚のシリコン基板を張り合わせ、かつその片面に素子領域の周囲を囲んで前記シリコン酸化膜に達する断面矩形状の分離溝を形成するとともに、該分離溝の溝内側面に酸化膜を形成した上で CVD 法により溝内を埋め尽くすようにポリシリコンを堆積し、さらに基板表面に堆積したポリシリコンを除去して平坦化した誘電体分離構造を備えた半導体基板において、前記分離溝をその全周域で同じ溝幅に形成し、分離溝のコーナ部を、溝の内周と外周が同心円になる円弧状の溝パターンで形成し、分離溝を各素子領域ごとに独立して形成し、かつ分離溝で仕切られた素子領域の相互間にダミー領域を形成したことを特徴とする誘電体分離構造を備えた半導体基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、モノリシック IC 回路などのに適用する誘電体分離構造を備えた半導体基板に関する。

【0002】

【従来の技術】一枚の半導体基板上に複数の能動素子、受動素子が集積して形成されているモノリシック IC 回路では、素子領域（アイランド）の相互間を分離するための技術として、PN 接合分離法のほかに溝充填分離法、誘電体分離法などの各種分離法が知られており、特に誘電体分離法は PN 接合分離法と比べて、極めて小さな分離容量と大きな分離耐圧、ラッチアップ防止効果、および高集積密度化が得られることから多く採用されている。

【0003】また、誘電体分離構造を備えた半導体基板

(以下「誘電体分離基板」と呼称する)として、シリコン酸化膜を挟んで二枚のシリコン基板を張り合わせた上で、その片面に素子領域の周囲を囲んで前記シリコン酸化膜に達する断面矩形状の分離溝をトレンチエッチングにより形成するとともに、該分離溝の溝内側面に酸化膜を形成した後に、CVD法により分離溝内にポリシリコン(多結晶シリコン)を埋め込み、さらに基板表面に堆積したポリシリコンをエッチバック、研磨などにより除去して平坦化した構成のものが知られている。

【0004】次に、前記誘電体分離基板の一般的な製造方法を図3により説明する。図3(a)において、1は半導体素子を作り込む単結晶シリコン基板、2は支持基板としてのシリコン基板、3はシリコン基板1と2の間に埋めこまれたシリコン酸化膜(SiO_2)である。まず、シリコン基板1に対し熱酸化により裏面側にシリコン酸化膜3を形成する。続いてシリコン酸化膜3を介してシリコン基板1に支持基板となるシリコン基板2を重ね合わせ、さらに熱処理を施してSOI(Silicon on Insulator)ウェハ4を形成した後に、シリコン基板1の表面にエッチングマスク層(例えば二酸化シリコン、窒化シリコン)5を形成し、かつ該マスク層に素子領域の周囲を囲むようパターン設計した分離溝形成領域を開窓ける。

【0005】次に、図3(b)のように、エッチングマスク層5の開け部から反応性イオンエッチングなどによるトレンチエッチングを施してシリコン酸化膜3に達する断面矩形状の分離溝6を形成し、続いて熱酸化により、図3(c)のように分離溝6の溝内側壁にシリコン酸化膜7を形成する。次に図3(d)のように、SOIウェハ4に対して減圧CVD法などによりシリコン基板1の表面側からポリシリコン層8を堆積させて前記分離溝6に充填させた後、続いてシリコン基板1の表面側にエッチバックを施して基板表面のポリシリコン層8を除去するとともに、さらにフッ酸洗浄により基板表面のシリコン酸化膜を除去する。これにより、図3(e)で示すように、シリコン基板1にはシリコン酸化膜3、7およびポリシリコン層8で分離された素子領域(アイランド)9が形成されることになる。なお、前記誘電体分離基板に対しては、各素子領域ごとにトランジスタ、ダイオードなどの素子を作り込み、さらに各素子間を相互接続してモノリシックIC回路を構成する。

【0006】

【発明が解決しようとする課題】ところで、前記の誘電体分離基板を製造する際に、従来の構成では分離溝6にポリシリコン層8を埋め込む場合に、その全周域を完全に埋め尽くすにはポリシリコンを予想以上に堆積させなければならないといった問題がある。次に、このことを図4、図5で説明する。すなわち、図4でSOIウェハ4のシリコン基板1に形成した分離溝6に対し、減圧CVD法によりポリシリコン層8を充填すると、シリコン

基板1の表面、分離溝6の側壁面に対してポリシリコン層8は一樣な成長速度で堆積していく。なお、図中の $w_1 \sim w_4$ はポリシリコン層8の経時的な成長を模式的に表したものである。ここで、分離溝6の溝幅を W 、溝深さを D とすると、理想的にはポリシリコン層8の堆積厚さが $W/2$ になったところで分離溝6が完全に埋め尽くされ、かつ基板表面側での堆積層も平坦になる。

【0007】しかしながら、現実には基板表面の全体でポリシリコン層8を平坦にするためには、 $W/2$ を超える余分な堆積厚が必要であり、その理由は次の点にある。すなわち、従来の誘電体分離基板では、素子領域9の周囲を囲む分離溝6が図5(a)、(b)で示すように直線溝を組合わせた方形状パターンで形成されており、(a)における分離溝6のコナ部、および(b)における溝の交差部では、分離溝6の対角溝幅 W_c が他の直線部の溝幅 W と比べて略1.4倍になる。このために、CVD法によりポリシリコン層8を堆積させていく過程で、堆積層厚さを $W/2$ としただけでは、前記した分離溝6のコナ部、交差部を完全に埋め尽くすことができず、分離溝6の全周域を全て完全に埋め尽くすには $W/2$ の堆積厚さを超えてさらに余分にポリシリコンを堆積させる必要がある。しかも、このようにポリシリコンを余分に堆積させることは、材料の使用量が増すほか、後処理として行うエッチバック工程にも影響して基板の平坦化を困難にするし、ひいては製造コストをアップさせる要因にもなる。

【0008】本発明は上記の点にかんがみなされたものであり、その目的は、分離溝の形成パターンを改良することにより、CVD法により分離溝にポリシリコンを埋め込む際に必要最小限の堆積厚さで分離溝を過不足なく埋め尽くせることができるようにした誘電体分離基板を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の誘電体分離基板においては、素子領域の相互間に形成した分離溝を、その全周域で同じ溝幅に形成するものとする。そして、その具体的な構成としては、分離溝のコナ部を溝の内周と外周が同心円になる円弧状の溝パターンで形成するものとする。

【0010】また、前記構成においては、分離溝を各素子領域ごとに独立して形成し、かつ分離溝で分離された素子領域の相互間にダミー領域を形成して実施する。

【0011】

【作用】上記の構成によれば、分離溝に対しCVD法によりポリシリコンを堆積させて溝を充填する過程で、堆積厚さが溝幅の $1/2$ 厚に達するとコナ部を含めた分離溝の全周域が完全にポリシリコン層で埋め尽くされるとともに、シリコン基板の表面に堆積したポリシリコン層も平坦化し、分離溝に対するポリシリコンの充填が過不足なく行われることになる。また、特に分離溝を各素

子領域ごとに独立して形成し、かつ分離溝で分離された素子領域の相互間にダミー領域を形成することにより、分離溝同士が交差し合うのを避けることができる。

【0012】

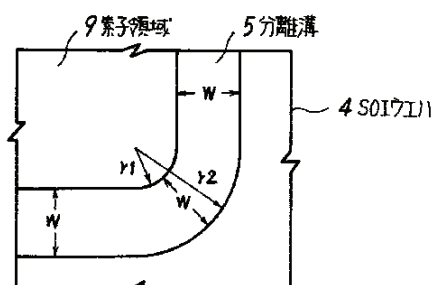
【実施例】以下、本発明の実施例を図面に基づいて説明する。なお、図示例の誘電体分離基板は図3で説明した製造方法で製作される。まず、図1において、素子領域8の周囲を囲んでSOIウェハ4のシリコン基板にトレンチエッチングした分離溝6は、直線状の溝部と円弧状パターンを呈するコーナ溝部を連ねて形成されており、その溝幅は全周域で同じ溝幅Wとなるように設計されている。すなわち、分離溝6のコーナ部においては、素子領域9の内側から見た溝内周（曲率半径 r_1 ）と溝外周（曲率半径 r_2 ）とが同心円であり、かつ曲率半径 r_1 と r_2 との差 $r_2 - r_1$ が直線部と同じ溝幅Wになるよう定めてある。

【0013】かかる構成により、図3で説明したように、CVD法によってポリシリコン層8を堆積させて分離溝6を埋め込む過程で、図4で述べたように溝幅Wに対してポリシリコン層8の堆積厚さが $W/2$ に達したところで、分離溝6が過不足なく完全に埋め尽くされるところと、シリコン基板の表面に堆積したポリシリコン層も平坦化されるようになる。

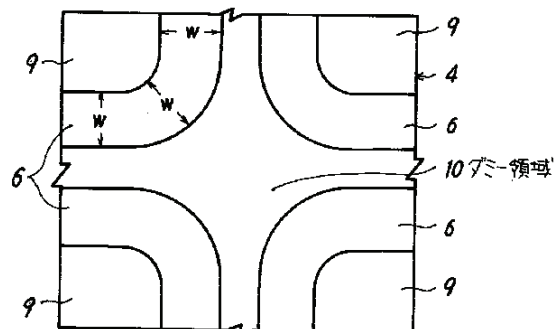
【0014】また、図2は前記実施例を発展させた応用実施例を示すものであり、SOIウェハ4に対して素子領域9を基盤目状に配列して形成する場合に、各素子領域9ごとに分離溝6を独立して形成し、素子領域9の相互間には分離溝6を隔ててダミー領域10を形成するようにしている。この分離溝パターンによれば、分離溝同士が交差し合うことが避けられ、図5(b)で述べたような不具合が生じるのを回避できる。

【0015】

【図1】



【図2】



【発明の効果】以上述べたように、本発明によれば、誘電体分離基板に形成した素子間の分離溝に対して、CVD法により溝内にポリシリコンを充填する際に、必要最小限の堆積厚さで分離溝の全周域を過不足なく平坦に埋め尽くすることができる。したがって、分離溝の埋め込み工程の合理化に加えて、製造コストの低減化が図れるなど、実用的価値の高い誘電体分離構造を備えた半導体基板を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例による誘電体分離基板の部分平面図

【図2】本発明の応用実施例による誘電体分離基板の部分平面図

【図3】誘電体分離基板の一般的な製造方法の説明図であり、(a)～(e)は製造工程順に表した誘電体分離基板の断面図

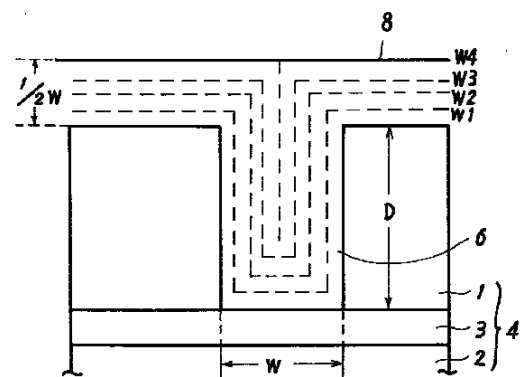
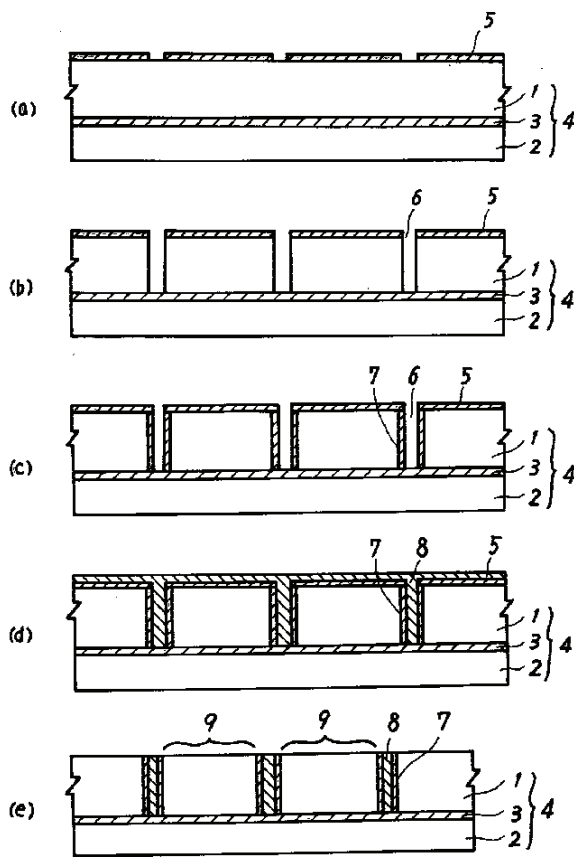
【図4】誘電体分離基板の分離溝に対し、CVD法により溝をポリシリコンで充填する際の堆積厚さの経時的な成長を模式的に表した図

【図5】従来における誘電体分離基板に形成した分離溝のパターンを表す図であって、(a)は分離溝のコーナ部の平面図、(b)は分離溝の交差部の部分平面図

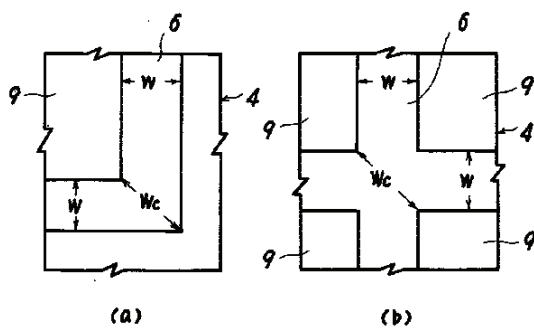
【符号の説明】

- 1 シリコン基板
- 2 シリコン基板（支持基板）
- 3 シリコン酸化膜
- 4 SOIウェハ
- 6 分離溝
- 7 溝内側壁のシリコン酸化膜
- 8 ポリシリコン
- 9 素子領域
- 10 ダミー領域

【図4】



【例5】



(56)参考文献

特開	平4-330765 (JP, A)
特開	平4-127148 (JP, A)
特開	平1-187944 (JP, A)
特開	平3-62946 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H01L 21/762
H01L 27/12