

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2010-0011480 (43) 공개일자 2010년02월03일
(51) Int. Cl. <i>H01L 21/28</i> (2006.01) <i>H01L 21/336</i> (2006.01)	(71) 출원인 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1	(72) 발명자 김성순 경기 남양주시 도농동 롯데낙천대아파트 807동 1502호
(21) 출원번호 10-2008-0072717 (22) 출원일자 2008년07월25일 심사청구일자 없음	(74) 대리인 신영무	

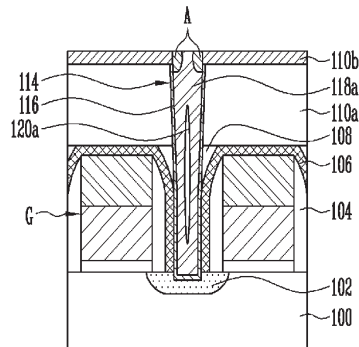
전체 청구항 수 : 총 8 항

(54) 반도체 소자의 제조 방법

(57) 요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 반도체 기판 상에 제1, 제2 및 제3 절연막을 순차적으로 형성하되, 상기 제1 및 제3 절연막들과 상기 제2 절연막의 식각 선택비가 다른 층간 절연막을 형성하는 단계, 상기 층간 절연막을 관통하여 상기 제1 및 제3 절연막보다 상기 제2 절연막이 돌출된 측벽 프로파일을 갖는 콘택홀을 형성하는 단계, 상기 콘택홀 및 상기 층간 절연막의 표면을 따라 상기 콘택홀 내 상기 돌출된 제2 절연막의 측벽에서 오버행(Overhang)을 갖는 배리어 금속층을 형성하는 단계, 상기 콘택홀을 채우되, 상기 오버행이 발생된 부근에서 심(Seam)이 단힌 금속층을 형성하는 단계 및 상기 제2 절연막이 노출되도록 상기 금속층, 상기 배리어 금속층 및 상기 층간 절연막을 식각하여 콘택 플러그를 형성하는 단계를 포함한다.

도 1h



특허청구의 범위

청구항 1

반도체 기판 상에 제1, 제2 및 제3 절연막을 순차적으로 형성하되, 상기 제1 및 제3 절연막들과 상기 제2 절연막의 식각 선택비가 다른 층간 절연막을 형성하는 단계;

상기 층간 절연막을 관통하여 상기 제1 및 제3 절연막보다 상기 제2 절연막이 돌출된 측벽 프로파일을 갖는 콘택홀을 형성하는 단계;

상기 콘택홀 및 상기 층간 절연막의 표면을 따라 상기 콘택홀 내 상기 돌출된 제2 절연막의 측벽에서 오버행을 갖는 배리어 금속층을 형성하는 단계;

상기 콘택홀을 채우되, 상기 오버행이 발생된 부근에서 심(Seam)이 단힌 금속층을 형성하는 단계; 및

상기 제2 절연막이 노출되도록 상기 금속층, 상기 배리어 금속층 및 상기 층간 절연막을 식각하여 콘택 플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제1 및 제3 절연막은 산화막으로 형성되는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제2 절연막은 질화막으로 형성되는 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서, 상기 제1 및 제3 절연막보다 상기 제2 절연막이 돌출된 측벽 프로파일을 갖는 콘택홀을 형성하는 단계는,

상기 층간 절연막의 일부 영역을 식각하여 콘택홀을 형성하는 단계; 및

상기 제1 및 제3 절연막보다 상기 제2 절연막의 측벽이 덜 식각되도록 상기 반도체 기판에 대해 상기 배리어 금속층 증착 전 세정 공정을 실시하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 배리어 금속층 증착 전 세정 공정은 BOE 또는 HF를 사용하는 반도체 소자의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 배리어 금속층은 Ti/TiN의 적층 구조로 물리기상증착 방법을 이용하여 형성되는 반도체 소자의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 금속층은 텅스텐(W)으로 형성되는 반도체 소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 콘택 플러그는 화학적 기계적 연마 공정으로 상기 금속층이 식각되어 형성되는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 종횡비가 큰 콘택 플러그 형성 시, 콘택 플러그용 텅스텐막의 심(Seam) 발생 형상을 개선하여 후속한 공정에서 심이 노출되는 것을 방지할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 메모리 소자에서 깊이가 깊은 콘택홀을 매립하는데 사용하고 있는 텅스텐 플러그(W Plug)의 경우, 고집적화에 따른 종횡비(Aspect Ratio)의 증가로 인해 플러그 내부에 심(Seam)의 발생을 피할 수 없는 실정이다. 텅스텐 플러그 내에 발생된 심은 도선 자체의 저항을 증가시키는 역할도 하지만, 심의 위치에 따라서 또 다른 문제를 야기시킨다. 텅스텐막의 심이 텅스텐 플러그 상부에 존재할 경우 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 전 세정, CMP 공정 및 CMP 후 세정 공정을 거치면서 심의 크기가 커지고, 이렇게 커진 심 내부로 CMP 잔류물(Residue)이나 파티클(Particle) 등의 이물질이 낄에 따라 이들 CMP 잔류물이나 파티클의 영향으로 콘택 플러그의 저항이 증가되고, 콘택 플러그 간 브릿지(Bridge)가 발생할 수 있다.

발명의 내용

해결하고자 하는 과제

[0003] 본 발명은 종횡비가 큰 콘택 플러그 형성 시, 콘택 플러그용 텅스텐막의 심(Seam) 발생 형상을 개선하여 후속한 CMP 공정 및 CMP 후 세정 공정에서 심이 노출되는 것을 방지함으로써, 심 내부로의 이물질 끼임에 의한 콘택 플러그의 저항 증가 및 콘택 플러그 간 브릿지(Bridge) 발생을 억제할 수 있는 반도체 소자의 제조 방법을 제공함에 있다.

과제 해결수단

[0004] 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법은, 반도체 기판 상에 제1, 제2 및 제3 절연막을 순차적으로 형성하되, 제1 및 제3 절연막들과 제2 절연막의 식각 선택비가 다른 층간 절연막을 형성하는 단계, 층간 절연막을 관통하여 제1 및 제3 절연막보다 제2 절연막이 돌출된 측벽 프로파일을 갖는 콘택홀을 형성하는 단계, 콘택홀 및 층간 절연막의 표면을 따라 콘택홀 내 돌출된 제2 절연막의 측벽에서 오버행(Overhang)을 갖는 배리어 금속층을 형성하는 단계, 콘택홀을 채우되, 오버행이 발생된 부근에서 심(Seam)이 단힌 금속층을 형성하는 단계 및 제2 절연막이 노출되도록 금속층, 배리어 금속층 및 층간 절연막을 식각하여 콘택 플러그를 형성하는 단계를 포함한다.

[0005] 상기에서, 제1 및 제3 절연막은 산화막으로 형성된다.

[0006] 제2 절연막은 질화막으로 형성된다.

[0007] 제1 및 제3 절연막보다 제2 절연막이 돌출된 측벽 프로파일을 갖는 콘택홀을 형성하는 단계는, 층간 절연막의 일부 영역을 식각하여 콘택홀을 형성하는 단계 및 제1 및 제3 절연막보다 제2 절연막의 측벽이 덜 식각되도록 반도체 기판에 대해 배리어 금속층 증착 전 세정 공정을 실시하는 단계를 더 포함한다.

[0008] 배리어 금속층 증착 전 세정 공정은 BOE(Buffered Oxide Etchant) 또는 HF를 사용한다.

[0009] 배리어 금속층은 Ti/TiN의 적층 구조로 물리기상증착(Physical Vapor Deposition; PVD) 방법을 이용하여 형성된다.

[0010] 금속층은 텅스텐(W)으로 형성된다.

[0011] 콘택 플러그는 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정으로 금속층이 식각되어 형성된다.

효율

[0012] 본 발명은 제1 및 제3 절연막들 사이에 이들과 식각 선택비가 다른 제2 절연막이 삽입되는 층간 절연막 형성을 통해 배리어 금속층 증착 전 세정 공정 시 막들 간 식각 비 차에 의해 콘택홀을 제1 및 제3 절연막보다 제2 절연막이 돌출된 측벽 프로파일을 갖도록 형성하여 후속 배리어 금속층 형성 시 콘택홀 내 돌출된 제2 절연막의 측벽에서 오버행(Overhang)을 발생시켜 후속 콘택홀 매립용 텅스텐막 증착 시 오버행이 발생된 부근에서 텅스텐막 내부의 심(Seam)을 단히게 함으로써, 후속한 CMP 공정 및 CMP 후 세정 공정에서 심이 노출되는 것을 방지하여 심 내부로의 이물질 끼임에 의한 콘택 플러그의 저항 증가 및 콘택 플러그 간 브릿지를 억제할 수 있다.

[0013] 상기한 바에 의해, 공정 수율 및 소자의 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 첨부된 도면들을 참조하여 본 발명의 일 실시 예를 보다 상세히 설명한다.

[0015] 도 1a 내지 도 1h는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정단면도들이다.

[0016] 도 1a를 참조하면, 공지된 제조 방법으로 식각 정지막(106)과 평탄화된 제1 층간 절연막(108) 내부에 게이트(G) 및 게이트 스페이서(104)가 형성되고, 게이트(G)들 사이 하부에 집합 영역(102) 등 소정의 결과물이 형성된 반도체 기판(100)이 제공된다. 디램(DRAM)과 같은 반도체 소자의 경우, 게이트(G)는 게이트 절연막 및 게이트 전극의 적층 구조로 형성될 수 있으며, 이 경우 게이트 전극은 폴리실리콘막 및 금속층의 적층 구조로 형성될 수 있다. 플래시 메모리 소자의 경우, 게이트(G)는 드레인 셀렉트 트랜지스터의 게이트일 수 있으며, 이 경우 게이트(G)는 터널 절연막, 제1 도전막, 유전체막 및 제2 도전막의 적층 구조로 형성될 수 있다. 드레인 셀렉트 트랜지스터의 게이트(G)일 경우 유전체막에 형성된 콘택홀을 통해 제1 도전막과 제2 도전막이 전기적으로 연결되며, 유전체막은 생략될 수도 있다. 집합 영역(102)은 통상적인 이온 주입 공정으로 불순물이 주입되어 형성될 수 있다. 디램의 경우 집합 영역(102)은 소스/드레인이 되고, 플래시 메모리 소자의 경우 집합 영역(102)은 드레인이다.

[0017] 식각 정지막(106)은 게이트(G) 및 게이트 스페이서(104)의 표면을 따라 반도체 기판(100) 상에 형성되며, 질화막으로 형성될 수 있다. 따라서, 통상적으로 식각 정지막(106)은 SAC(Self Align Contact) 질화막으로 불리운다. 제1 층간 절연막(108)은 산화막으로 형성될 수 있으며, 식각 정지막(106) 상에 제1 층간 절연막(108)을 증착한 후 식각 정지막(106)이 노출되는 시점까지 평탄화 식각되어 형성된다. 평탄화 식각 공정은 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정으로 실시될 수 있다.

[0018] 도 1b를 참조하면, 식각 정지막(106) 및 제1 층간 절연막(108) 상에 제2 층간 절연막(110)을 형성한다. 제2 층간 절연막(110)은 상·하부 절연막들 사이에 이들 절연막들과 다른 식각 선택비를 갖는 중간 절연막이 삽입된 적층 구조로 형성할 수 있으며, 바람직하게 하부 산화막(110a), 질화막(110b) 및 상부 산화막(110c)의 적층 구조로 형성할 수 있다.

[0019] 질화막(110b)은 후속으로 막들 간 식각 비(Etch Rate) 차에 의해 콘택홀을 하부 및 상부 산화막(110a, 110c)보다 질화막(110b)이 돌출된 측벽 프로파일을 갖도록 형성하여 배리어 금속층 증착 시 콘택홀의 질화막(110b) 측벽에서 오버행(Overhang)을 발생시켜 콘택홀을 매립하기 위한 텅스텐(W)막 증착 시 오버행이 발생된 부근에서 텅스텐막 내부의 심(Seam)을 단히게 하고, 후속한 CMP 공정 시 연마정지막으로 사용하는데 그 목적이 있다.

[0020] 층간 절연막(110)은 하부 산화막(110a), 질화막(110b) 및 상부 산화막(110c)을 순차적으로 적층하여 형성한다. 상기와 같은 구조로 제2 층간 절연막(110)을 형성할 경우 산화막은 기존처럼 한 번에 증착되는 것이 아니라 두 번에 걸쳐 나누어 증착된다.

[0021] 도 1c를 참조하면, 제2 층간 절연막(110) 상에 하드 마스크막(112)을 형성한다. 하드 마스크막(112)은 후속한 콘택홀 형성 시 식각 마스크로 사용하기 위한 것으로, 산화물 또는 질화물 등으로 형성할 수 있다.

[0022] 도 1d를 참조하면, 마스크(미도시)를 이용한 식각 공정으로 하드 마스크막(도 1c의 112)을 식각하여 하드 마스크막 패턴(미도시)을 형성한다. 이후, 마스크를 제거한다. 그런 다음, 하드 마스크막 패턴을 마스크로 사용하여 제2 층간 절연막(110), 제1 층간 절연막(108) 및 식각 정지막(106)을 순차적으로 식각하여 게이트(G)들 사이에 집합 영역(102)을 노출시키는 콘택홀(114)을 형성한다. 이때, 콘택홀(114)은 제1 및 제2 층간 절연막(110, 108)을 관통하여 형성되기 때문에 큰 종횡비를 갖게 된다. 플래시 메모리 소자의 경우, 콘택홀(114)은 드레인 콘택홀이 된다. 콘택홀(114)을 형성하는 과정에서 하드 마스크막 패턴이 함께 식각되어 제거될 수 있으며, 잔류될 경우 이를 제거한다.

- [0023] 한편, 하드 마스크막(도 1c의 112)을 식각한 후 마스크를 제거하지 않은 상태에서 콘택홀(114)을 형성할 수도 있으며, 이 경우 콘택홀(114)을 형성하는 과정에서 마스크가 제거되거나 혹은 일부가 식각될 수 있고, 하드 마스크막 패턴의 일부가 식각될 수 있다. 마스크 및 하드 마스크막 패턴이 잔류될 경우에는 이를 제거한다.
- [0024] 도 1e를 참조하면, 배리어 금속층 증착 전 세정(Pre Cleaning) 공정을 실시한다. 배리어 금속층 증착 전 세정 공정은 BOE(Buffered Oxide Etchant) 또는 불산(HF) 용액을 사용하여 실시할 수 있다.
- [0025] 배리어 금속층 증착 전 세정 공정 시, 하부 및 상부 산화막(110a, 110c)과 질화막(110b) 간 습식 식각 비(Wet Etch Rate) 차이에 의해 콘택홀(114) 내부에서의 질화막(110b)의 측벽이 하부 및 상부 산화막(110a, 110c)의 측벽보다 덜 식각된다. 이에 따라, 콘택홀(114)은 하부 및 상부 산화막(110a, 110c)보다 질화막(110b)이 돌출된 측벽 프로파일(Profile)을 갖게 된다.
- [0026] 도 1f를 참조하면, 질화막(110b)이 하부 및 상부 산화막(110a, 110c)보다 돌출된 측벽 프로파일을 갖는 콘택홀(114)을 포함한 제2 층간 절연막(110) 상에 배리어 금속층(116)을 형성한다. 배리어 금속층(116)은 Ti/TiN의 적층 구조로 통상의 물리기상증착(Physical Vapor Deposition; PVD) 방법 등을 이용하여 라이너(liner) 형태로 형성할 수 있다. 이 경우, 콘택홀(114) 측벽에서의 돌출된 질화막(110b)으로 인해 배리어 금속층(116)은 콘택홀(114) 내 돌출된 질화막(110b)의 측벽에서 오버행(A)을 갖는다.
- [0027] 도 1g를 참조하면, 콘택홀(114)이 채워지도록 콘택홀(114)을 포함한 배리어 금속층(116) 상에 금속층(118)을 형성한다. 바람직하게, 금속층(118)은 텅스텐(W)으로 형성할 수 있다.
- [0028] 일반적으로, 중형비가 큰 콘택홀을 텅스텐으로 매립할 경우, 증착 특성상 오버행이 발생되면서 콘택홀의 마주보는 측벽에서 텅스텐막이 맞닿아 텅스텐막 내부에 하나의 심을 발생시킨다.
- [0029] 그러나, 본 발명의 일 실시 예에서는, 콘택홀(114) 내 돌출된 질화막(110b) 측벽의 오버행(A)이 발생된 부근에서는 텅스텐막 내부의 심(120)이 닫히기 때문에, 결국 텅스텐막 내부의 심(120)은 배리어 금속층(116)에 발생된 오버행을 기준으로 하부 심(120a)과 상부 심(120b)으로 분리되어 형성된다.
- [0030] 도 1h를 참조하면, 제2 층간 절연막(110)의 질화막(110b)이 노출되도록 금속층(도 1g의 118), 배리어 금속층(116) 및 제2 층간 절연막(110)의 상부 산화막(도 1g의 110c)을 식각한다. 식각 공정은 CMP 공정으로 실시할 수 있다.
- [0031] 이로써, 콘택홀(114) 내부에 잔류된 금속층(미도시)이 콘택 플러그(118a)로 형성되고, 콘택 플러그(118a) 내부에는 하부 심(120a)만이 존재하게 된다. 즉, 콘택 플러그(118a) 형성을 위한 상부 산화막(도 1g의 110c) 및 금속층(도 1g의 118)의 식각 과정에서 상부 심(120b)은 제거된다. 또한, 배리어 금속층(116)은 콘택홀(114)의 측벽 및 저면에 잔류된다.
- [0032] 특히, 본 발명의 일 실시 예에 따르면 콘택홀(114) 내 돌출된 질화막(110b) 측벽의 오버행(A)이 발생된 부근에서는 금속층(도 1g의 118) 내부의 심(도 1g 120)이 닫혀 있기 때문에 콘택 플러그(118a)를 형성하기 위한 CMP 공정 시 심(도 1g 120)이 노출되지 않게 된다.
- [0033] CMP 공정을 실시한 후에는 CMP 잔류물(Residue)이나 파티클(Particle) 등의 이물질질을 제거하기 위하여 CMP 후 세정(Post Cleaning)을 실시하는 것이 일반적이는데, 상기와 같이 CMP 공정에서 금속층(도 1g의 118) 내부의 심(도 1g의 120)이 노출되지 않을 경우 후속한 CMP 후 세정 공정에서도 콘택 플러그(118a) 내부의 하부 심(120a)이 노출되어 커지는 것을 방지할 수 있다. 따라서, 하부 심(120a) 내부로의 CMP 잔류물이나 파티클 등의 이물질 끼임에 의한 콘택 플러그(118a)의 저항 증가 및 콘택 플러그(118a) 간 브릿지(Bridge) 발생을 억제할 수 있고, 이를 통해 공정 수율 및 소자의 신뢰성을 향상시킬 수 있다.
- [0034] 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법은 중형비가 큰 플러그를 제조함에 있어서 텅스텐을 사용하는 모든 소자에 적용 가능하다.
- [0035] 본 발명은 상기에서 서술한 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 상기의 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

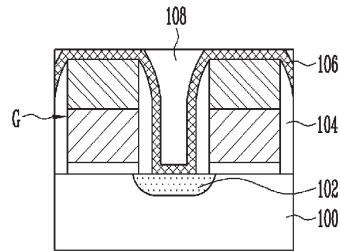
도면의 간단한 설명

- [0036] 도 1a 내지 도 1h는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정단면도들이다.

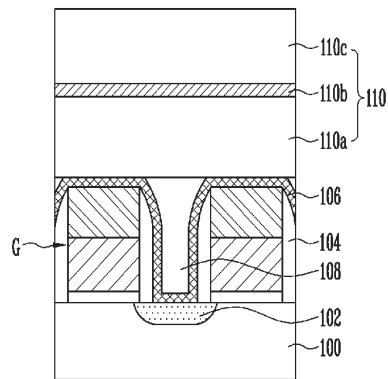
- [0037] <도면의 주요 부분에 대한 부호의 설명>
- [0038] 100 : 반도체 기판 102 : 접합 영역
- [0039] 104 : 게이트 스페이서 106 : 식각 정지막
- [0040] 108 : 제1 층간 절연막 110 : 제2 층간 절연막
- [0041] 110a : 하부 산화막 110b : 질화막
- [0042] 110c : 상부 산화막 112 : 하드 마스크막
- [0043] 114 : 콘택홀 116 : 배리어 금속층
- [0044] 118 : 금속층 118a : 콘택 플러그
- [0045] 120 : 심 120a : 하부 심
- [0046] 120b : 상부 심

도면

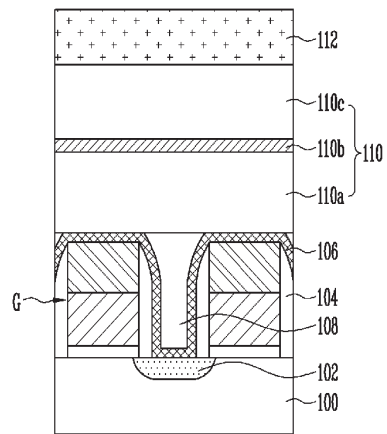
도면1a



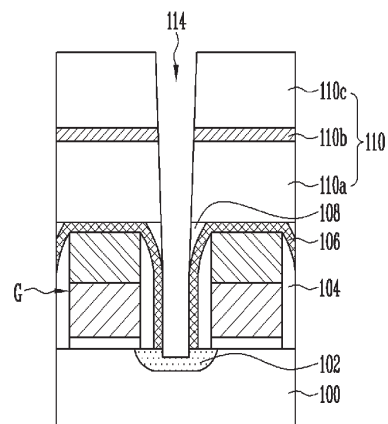
도면1b



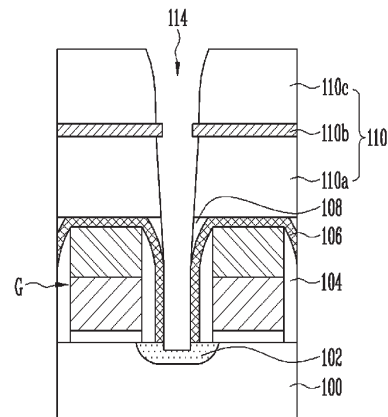
도면1c



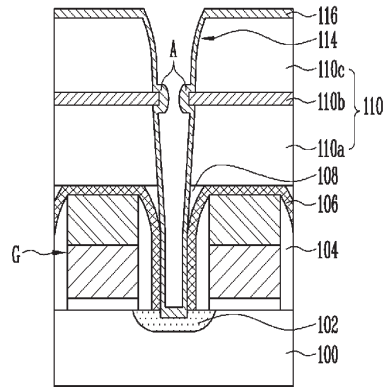
도면1d



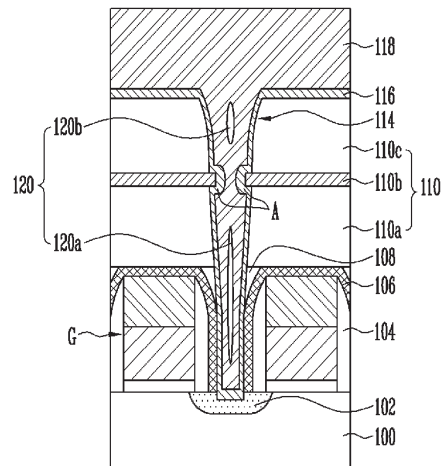
도면1e



도면1f



도면1g



도면1h

