

Bibliographic data

Publication

JP2011166663 A [2011-08-25]

Application

JP2010030038 [2010-02-15]

Classifications

IPC

H03K17/693; H04B1/44

F-TERM

5J055 AX05; 5J055 BX03; 5J055 BX04; 5J055 CX03; 5J055 CX24; 5J055 DX12; 5J055 DX61; 5J055 DX62; 5J055 DX72; 5J055 DX73; 5J055 DX83; 5J055 EX02; 5J055 EY01; 5J055 EY03; 5J055 EY10; 5J055 EY12; 5J055 EY21; 5J055 EZ12; 5J055 EZ13; 5J055 EZ14; 5J055 FX05; 5J055 FX12; 5J055 FX18; 5J055 FX32; 5J055 FX37; 5J055 GX01; 5J055 GX02; 5K011 DA02; 5K011 DA21; 5K011 FA01

Priorities

JP2010030038 [2010-02-15]

Inventors

OGAWA TAKASHI; 小川 貴史; KOYA SHIGEKI; 小屋 茂樹; SHIGENO YASUSHI; 重野 靖; NAKAJIMA AKISHIGE; 中島 秋重; SATO KOZO; 佐藤 好三

Assignees

RENESAS ELECTRONICS CORP; ルネサスエレクトロニクス株式会社

Titles

[EN]

ANTENNA SWITCH AND HIGH FREQUENCY MODULE INCORPORATING THE SAME

[JA]

アンテナスイッチおよびそれを内蔵した高周波モジュール

Abstract

JA	EN
【課題】アンテナスイッチの高調波歪特性を改善する。 【解決手段】アンテナスイッチのアンテナ端子２にアンテナが接続され、第１信号端子３とアンテナ端子２の間に第１転送スイッチ１００が接続され、第２信号端子４とアンテナ端子２の間に第２転送スイッチ１０１が接続され、第１信号端子３と接地電位の間に第１シャントスイッチ１０２が接続され、第２信号端子４と接地電位の間に第２シャントスイッチ１０３が接続される。負電圧生成回路１０４の入力１０は第１信号端子３に供給される送信信号に応答可能とされ、出力端子１１に生成される負電圧に応答して第２転送スイッチ１０１と第１シャントスイッチ１０２とはオフ状態に制御される。 【選択図】図３	<P>PROBLEM TO BE SOLVED: To improve a higher harmonic distortion characteristics of an antenna switch. <P>SOLUTION: An antenna is connected to an antenna terminal 2 of an antenna switch, a first transfer switch 100 is connected between a first signal terminal 3 and the antenna terminal 2, and a second transfer switch 101 is connected between a second signal terminal 4 and the antenna terminal 2. A first shunt switch 102 is connected between the first signal terminal 3 and a ground potential, and a second shunt switch 103 is connected between the second signal terminal 4 and the ground potential. An input 10 of a negative voltage generating circuit 104 can respond to a transmission signal supplied to the first signal terminal 3, and the second transfer switch 101 and the first shunt switch 102 are controlled into OFF state in response to a negative voltage generated at an output terminal 11. <P>COPYRIGHT: (C)2011,JPO&INPIT

Claims

[JA]	[MT]
1. 第 1 信号端子と第 2 信号端子と第 1 制御端子と第 2 制御端子とアンテナ端子とを具備するアンテナスイッチであって、 前記アンテナ端子にはアンテナが接続可能とされ、前記第 1 信号端子と前記第 2 信号端子には前記アンテナによって受信される受信信号と前記アンテナによって送信される送信信号とのいずれかが供給可能かまたは生成可能とされ、 前記第 1 信号端子と前記アンテナ端子との間には第 1 転送スイッチの信号経路が接続され、前記第 1 転送スイッチの前記信号経路のオン・オフ制御は前記第 1 制御端子に供給される第 1 制御電圧のレベルによって制御可能とされ、 前記第 2 信号端子と前記アンテナ端子との間には第 2 転送スイッチの信号経路が接続され、前記第 2 転送スイッチの前記信号経路のオン・オフ制御は前記第 2 制御端子に供給される第 2 制御電圧のレベルによって制御可能とされ、 前記第 1 信号端子と接地電位との間に第 1 シャントスイッチの信号経路が接続され、前記第 1 シャントスイッチの前記信号経路のオン・オフ制御は前記第 1 転送スイッチの前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされ、 前記第 2 信号端子と前記接地電位との間に第 2 シャントスイッチの信号経路が接続され、前記第 2 シャントスイッチの前記信号経路のオン・オフ制御は前記第 2 転送スイッチの前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされ、 前記アンテナスイッチは、負電圧生成回路を更に具備して、 前記負電圧生成回路の入力端子は前記第 1 信号端子に供給される前記送信信号に応答可能とされ、前記負電圧生成回路の出力端子に生成される負電圧にตอบสนองして前記第 2 転送スイッチの前記信号経路と前記第 1 シャントスイッチの前記信号経路とはオフ状態に制御可能とされる ことを特徴とするアンテナスイッチ。	1. An antenna switch comprising a first signal terminal, a second signal terminal, a first control terminal, a second control terminal, and an antenna terminal, An antenna can be connected to the antenna terminal, and either the reception signal received by the antenna or the transmission signal transmitted by the antenna can be supplied to the first signal terminal and the second signal terminal Or can be generated, A signal path of a first transfer switch is connected between the first signal terminal and the antenna terminal, and on / off control of the signal path of the first transfer switch is supplied to the first control terminal. Can be controlled by the level of one control voltage, A signal path of a second transfer switch is connected between the second signal terminal and the antenna terminal, and on / off control of the signal path of the second transfer switch is supplied to the second control terminal. 2 Controllable by the level of control voltage, A signal path of a first shunt switch is connected between the first signal terminal and a ground potential, and on / off control of the signal path of the first shunt switch is performed by turning on and off the signal path of the first transfer switch. It can be controlled to the on / off state opposite to the off control, A signal path of a second shunt switch is connected between the second signal terminal and the ground potential, and on / off control of the signal path of the second shunt switch is performed on the signal path of the second transfer switch. It can be controlled to the on / off state opposite to the on / off control, The antenna switch further includes a negative voltage generation circuit, An input terminal of the negative voltage generation circuit can respond to the transmission signal supplied to the first signal terminal, and the second transfer switch in response to a negative voltage generated at the output terminal of the negative voltage generation circuit The antenna switch, wherein the signal path of the first shunt switch and the signal path of the first shunt switch can be controlled to be in an off state.

2. 請求項 1 において、 前記第 1 転送スイッチの前記信号経路がオン状態に制御され前記第 2 転送スイッチの前記信号経路がオフ状態に制御される際に、前記負電圧生成回路の前記入力端子は前記第 1 信号端子に供給される前記送信信号に 応答可能とされ、前記負電圧生成回路の前記出力端子に生成される負電圧に 応答して前記第 2 転送スイッチの前記信号経路と前記第 1 シャントスイッチの前記信号経路とはオフ状態に制御可能とされる ことを特徴とするアンテナスイッチ。	2. In claim 1, When the signal path of the first transfer switch is controlled to be on and the signal path of the second transfer switch is controlled to be off, the input terminal of the negative voltage generation circuit is connected to the first signal terminal. The signal path of the second transfer switch and the signal path of the first shunt switch are responsive to the supplied transmission signal and responsive to a negative voltage generated at the output terminal of the negative voltage generation circuit Is an antenna switch that can be controlled to an off state.
3. 請求項 2 において、 前記第 1 転送スイッチはソース・ドレイン経路が直列接続された第 1 の複数の転送電界効果トランジスタを含み、前記第 1 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 1 転送スイッチの前記信号経路が形成され、前記第 1 の複数の転送電界効果トランジスタの複数のゲートには前記第 1 制御端子に供給される前記第 1 制御電圧が供給可能とされ、 前記第 2 転送スイッチはソース・ドレイン経路が直列接続された第 2 の複数の転送電界効果トランジスタを含み、前記第 2 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 2 転送スイッチの前記信号経路が形成され、前記第 2 の複数の転送電界効果トランジスタの複数のゲートには前記第 2 制御端子に供給される前記第 2 制御電圧が供給可能とされ、 前記第 1 シャントスイッチはソース・ドレイン経路が直列接続された第 1 の複数のシャント電界効果トランジスタを含み、前記第 1 の複数のシャント電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 1 シャントスイッチの前記信号経路が形成され、前記第 1 の複数のシャント電界効果トランジスタの複数のゲートには前記負電圧生成回路の前記出力端子に生成される前記負電圧が供給可能とされ、 前記第 2 シャントスイッチはソース・ドレイン経路が直列接続された第 2 の複数のシャント電界効果トランジスタを含み、前記第 2 の複数のシャント電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 2 シャントスイッチの前記信号経路が形成される ことを特徴とするアンテナスイッチ。	3. In claim 2, The first transfer switch includes a first plurality of transfer field effect transistors having source / drain paths connected in series, and the first transfer switch includes the first transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of one transfer switch is formed, and the first control voltage supplied to the first control terminal can be supplied to a plurality of gates of the first plurality of transfer field effect transistors, The second transfer switch includes a second plurality of transfer field effect transistors having source / drain paths connected in series, and the second transfer switch includes the second transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of the second transfer switch is formed, and the second control voltage supplied to the second control terminal can be supplied to the plurality of gates of the second plurality of transfer field effect transistors; The first shunt switch includes a first plurality of shunt field effect transistors having source / drain paths connected in series, and the first shunt switch includes the first shunt field effect transistors connected in series by the source / drain paths connected in series. The signal path of one shunt switch is formed, and the negative voltage generated at the output terminal of the negative voltage generation circuit can be supplied to the plurality of gates of the first plurality of shunt field effect transistors, The second shunt switch includes a second plurality of shunt field effect transistors having source / drain paths connected in series, and the second shunt switch includes the second shunt field effect transistors connected in series by the source / drain paths connected in series. An antenna switch, wherein the signal path of a two-shunt switch is formed.

4. 請求項 3 において、 前記第 1 シャントスイッチの前記信号経路の一端と他端とは、第 1 容量と第 2 容量とを介して前記第 1 信号端子と前記接地電位とにそれぞれ接続されたものであり、 前記第 2 シャントスイッチの前記信号経路の一端と他端とは、第 3 容量と第 4 容量とを介して前記第 2 信号端子と前記接地電位とにそれぞれ接続されたものである ことを特徴とするアンテナスイッチ。	4. In claim 3, One end and the other end of the signal path of the first shunt switch are respectively connected to the first signal terminal and the ground potential via a first capacitor and a second capacitor, One end and the other end of the signal path of the second shunt switch are respectively connected to the second signal terminal and the ground potential via a third capacitor and a fourth capacitor. Antenna switch to be used.
5. 請求項 4 において、 前記アンテナスイッチは、他の負電圧生成回路を更に具備して、 前記他の負電圧生成回路の入力端子は前記第 2 信号端子に供給される前記送信信号に応答可能とされ、前記他の負電圧生成回路の出力端子に生成される負電圧に応答して前記第 1 転送スイッチの前記信号経路と前記第 2 シャントスイッチの前記信号経路とはオフ状態に制御可能とされる ことを特徴とするアンテナスイッチ。	5. In claim 4, The antenna switch further includes another negative voltage generation circuit, An input terminal of the other negative voltage generation circuit is capable of responding to the transmission signal supplied to the second signal terminal, and in response to a negative voltage generated at an output terminal of the other negative voltage generation circuit, The antenna switch, wherein the signal path of the first transfer switch and the signal path of the second shunt switch can be controlled to be in an off state.
6. 請求項 4 において、 前記負電圧生成回路は、第 1 負電圧生成回路と第 2 負電圧生成回路とを含み、 前記第 1 負電圧生成回路の入力端子は前記第 1 信号端子に供給される前記送信信号に応答可能とされ、前記第 1 負電圧生成回路の出力端子に生成される負電圧に応答して前記第 1 シャントスイッチの前記信号経路はオフ状態に制御可能とされ、 前記第 2 負電圧生成回路の入力端子は前記第 2 転送スイッチの前記信号経路で直列接続された前記第 2 の複数の転送電界効果トランジスタの段間接続点に生成される段間送信信号に応答可能とされ、前記第 2 負電圧生成回路の出力端子に生成される負電圧に応答して前記第 2 転送スイッチの前記信号経路はオフ状態に制御可能とされる ことを特徴とするアンテナスイッチ。	6. In claim 4, The negative voltage generation circuit includes a first negative voltage generation circuit and a second negative voltage generation circuit, The input terminal of the first negative voltage generation circuit is capable of responding to the transmission signal supplied to the first signal terminal, and in response to the negative voltage generated at the output terminal of the first negative voltage generation circuit, The signal path of the first shunt switch is controllable to an off state; The input terminal of the second negative voltage generation circuit is responsive to an interstage transmission signal generated at an interstage connection point of the second plurality of transfer field effect transistors connected in series in the signal path of the second transfer switch. An antenna switch, wherein the signal path of the second transfer switch is enabled in response to a negative voltage generated at an output terminal of the second negative voltage generation circuit.
7. 請求項 4 において、 前記アンテナスイッチは、第 3 信号端子と第 4 信号端子と第 3 制御端子と第 4 制御端子と第 3 負電圧生成回路と第 4 負電圧生成回路と第 5 負電圧生成回路とを更	7. In claim 4, The antenna switch further includes a third signal terminal, a fourth signal terminal, a third control terminal, a fourth control terminal, a third negative voltage

に具備して、

前記第3負電圧生成回路の入力端子は前記第2信号端子に供給される前記送信信号に応答可能とされ、前記第3負電圧生成回路の出力端子に生成される負電圧に
応答して前記第1転送スイッチの前記信号経路と前記第2シャントスイッチの前記信号経路とはオフ状態に
制御可能とされ、

前記第3信号端子と前記アンテナ端子との間には第3
転送スイッチの信号経路が接続され、前記第3転送ス
イッチの前記信号経路のオン・オフ制御は前記第3制
御端子に供給される第3制御電圧のレベルによって制
御可能とされ、

前記第4信号端子と前記アンテナ端子との間には第4
転送スイッチの信号経路が接続され、前記第4転送ス
イッチの前記信号経路のオン・オフ制御は前記第4制
御端子に供給される第4制御電圧のレベルによって制
御可能とされ、

前記第3転送スイッチはソース・ドレイン経路が直列
接続された第3の複数の転送電界効果トランジスタを
含み、前記第3の複数の転送電界効果トランジスタの
直列接続された前記ソース・ドレイン経路によって前
記第3転送スイッチの前記信号経路が形成され、前記
第3の複数の転送電界効果トランジスタの複数のゲー
トには前記第3制御端子に供給される前記第3制御電
圧が供給可能とされ、

前記第4転送スイッチはソース・ドレイン経路が直列
接続された第4の複数の転送電界効果トランジスタを
含み、前記第4の複数の転送電界効果トランジスタの
直列接続された前記ソース・ドレイン経路によって前
記第4転送スイッチの前記信号経路が形成され、前記
第4の複数の転送電界効果トランジスタの複数のゲー
トには前記第4制御端子に供給される第4制御電圧が
供給可能とされ、

前記第4負電圧生成回路の入力端子は前記第3転送ス
イッチの前記信号経路で直列接続された前記第3の複
数の転送電界効果トランジスタの段間接続点に生成さ
れる段間送信信号に
応答可能とされ、前記第4負電圧
生成回路の出力端子に生成される負電圧に
応答して前
記第3転送スイッチの前記信号経路はオフ状態に制御
可能とされ、

前記第5負電圧生成回路の入力端子は前記第4転送ス
イッチの前記信号経路で直列接続された前記第4の複
数の転送電界効果トランジスタの段間接続点に生成さ
れる段間送信信号に
応答可能とされ、前記第5負電圧
生成回路の出力端子に生成される負電圧に
応答して前
記第4転送スイッチの前記信号経路はオフ状態に制御
可能とされる

ことを特徴とするアンテナスイッチ。

generation circuit, a fourth negative voltage generation
circuit, and a fifth negative voltage generation circuit. And
The input terminal of the third negative voltage
generation circuit is capable of responding to the
transmission signal supplied to the second signal
terminal, and in response to the negative voltage
generated at the output terminal of the third negative
voltage generation circuit, The signal path of the first
transfer switch and the signal path of the second shunt
switch can be controlled to be in an off state,

A signal path of a third transfer switch is connected
between the third signal terminal and the antenna
terminal, and on / off control of the signal path of the third
transfer switch is supplied to the third control terminal. 3
Controllable by the level of control voltage,

A signal path of a fourth transfer switch is connected
between the fourth signal terminal and the antenna
terminal, and on / off control of the signal path of the
fourth transfer switch is supplied to the fourth control
terminal. 4 Controllable by the level of control voltage,
The third transfer switch includes a third plurality of
transfer field effect transistors having source / drain paths
connected in series, and the third transfer switch includes
the third transfer field effect transistors connected in
series by the source / drain paths connected in series.

The signal path of the three transfer switches is formed,
and the third control voltage supplied to the third control
terminal can be supplied to the plurality of gates of the
third plurality of transfer field effect transistors,

The fourth transfer switch includes a fourth plurality of
transfer field effect transistors having source / drain paths
connected in series, and the fourth transfer switch
includes the fourth transfer field effect transistors
connected in series by the source / drain paths
connected in series. The signal path of the four transfer
switches is formed, and a fourth control voltage supplied
to the fourth control terminal can be supplied to a plurality
of gates of the fourth plurality of transfer field effect
transistors;

An input terminal of the fourth negative voltage
generating circuit is responsive to an interstage
transmission signal generated at an interstage
connection point of the third plurality of transfer field effect
transistors connected in series in the signal path of the
third transfer switch. And the signal path of the third
transfer switch can be controlled to be in an off state in
response to a negative voltage generated at an output
terminal of the fourth negative voltage generation circuit.
The input terminal of the fifth negative voltage generation
circuit is responsive to an interstage transmission signal
generated at an interstage connection point of the fourth
plurality of transfer field effect transistors connected in
series in the signal path of the fourth transfer switch. The
antenna switch, wherein the signal path of the fourth

	transfer switch is enabled in response to a negative voltage generated at an output terminal of the fifth negative voltage generation circuit.
8. 請求項 7 において、 前記第 4 負電圧生成回路の前記入力端子と前記第 3 転送スイッチの前記第 3 の複数の転送電界効果トランジスタの前記段間接続点との間および前記第 5 負電圧生成回路の前記入力端子と前記第 4 転送スイッチの前記第 4 の複数の転送電界効果トランジスタの前記段間接続点には可変減衰器が接続され、 ローバンドの第 1 送信信号が第 1 信号端子に供給される場合には、前記可変減衰器は大きな減衰量に制御され、前記ローバンドの周波数よりも高い周波数のハイバンドの第 2 送信信号が第 2 信号端子に供給される場合には、前記可変減衰器は小さな減衰量に制御されることを特徴とするアンテナスイッチ。	8. In claim 7, Between the input terminal of the fourth negative voltage generation circuit and the interstage connection point of the third plurality of transfer field effect transistors of the third transfer switch, and the input terminal of the fifth negative voltage generation circuit A variable attenuator is connected to the interstage connection point of the fourth plurality of transfer field effect transistors of the fourth transfer switch, When the low-band first transmission signal is supplied to the first signal terminal, the variable attenuator is controlled to a large attenuation, and the high-band second transmission signal having a frequency higher than the low-band frequency is the second. When supplied to a signal terminal, the variable attenuator is controlled to have a small attenuation amount.

9.

RF電力増幅器とアンテナスイッチを具備する高周波モジュールであって、

前記アンテナスイッチは、第1信号端子と第2信号端子と第1制御端子と第2制御端子とアンテナ端子とを具備して、

前記アンテナ端子にはアンテナが接続可能とされ、前記第1信号端子と前記第2信号端子には前記アンテナによって受信される受信信号と前記アンテナによって送信される送信信号とのいずれかが供給可能または生成可能とされ、

前記第1信号端子と前記アンテナ端子との間には第1転送スイッチの信号経路が接続され、前記第1転送スイッチの前記信号経路のオン・オフ制御は前記第1制御端子に供給される第1制御電圧のレベルによって制御可能とされ、

前記第2信号端子と前記アンテナ端子との間には第2転送スイッチの信号経路が接続され、前記第2転送スイッチの前記信号経路のオン・オフ制御は前記第2制御端子に供給される第2制御電圧のレベルによって制御可能とされ、

前記第1信号端子と接地電位との間に第1シャントスイッチの信号経路が接続され、前記第1シャントスイッチの前記信号経路のオン・オフ制御は前記第1転送スイッチの前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされ、

前記第2信号端子と前記接地電位との間に第2シャントスイッチの信号経路が接続され、前記第2シャントスイッチの前記信号経路のオン・オフ制御は前記第2転送スイッチの前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされ、

前記アンテナスイッチは、負電圧生成回路を更に具備して、

前記負電圧生成回路の入力端子は前記第1信号端子に供給される前記送信信号に応答可能とされ、前記負電圧生成回路の出力端子に生成される負電圧に応答して前記第2転送スイッチの前記信号経路と前記第1シャントスイッチの前記信号経路とはオフ状態に制御可能とされる

ことを特徴とする高周波モジュール。

9.

A high-frequency module comprising an RF power amplifier and an antenna switch,

The antenna switch includes a first signal terminal, a second signal terminal, a first control terminal, a second control terminal, and an antenna terminal,

An antenna can be connected to the antenna terminal, and either the reception signal received by the antenna or the transmission signal transmitted by the antenna can be supplied to the first signal terminal and the second signal terminal Or can be generated,

A signal path of a first transfer switch is connected between the first signal terminal and the antenna terminal, and on / off control of the signal path of the first transfer switch is supplied to the first control terminal. Can be controlled by the level of one control voltage,

A signal path of a second transfer switch is connected between the second signal terminal and the antenna terminal, and on / off control of the signal path of the second transfer switch is supplied to the second control terminal. 2 Controllable by the level of control voltage,

A signal path of a first shunt switch is connected between the first signal terminal and a ground potential, and on / off control of the signal path of the first shunt switch is performed by turning on and off the signal path of the first transfer switch. It can be controlled to the on / off state opposite to the off control,

A signal path of a second shunt switch is connected between the second signal terminal and the ground potential, and on / off control of the signal path of the second shunt switch is performed on the signal path of the second transfer switch. It can be controlled to the on / off state opposite to the on / off control,

The antenna switch further includes a negative voltage generation circuit,

An input terminal of the negative voltage generation circuit can respond to the transmission signal supplied to the first signal terminal, and the second transfer switch in response to a negative voltage generated at the output terminal of the negative voltage generation circuit The signal path and the signal path of the first shunt switch can be controlled to be in an off state.

10. 請求項 9 において、 前記第 1 転送スイッチの前記信号経路がオン状態に制御され前記第 2 転送スイッチの前記信号経路がオフ状態に制御される際に、前記負電圧生成回路の前記入力端子は前記第 1 信号端子に供給される前記送信信号に 応答可能とされ、前記負電圧生成回路の前記出力端子に生成される負電圧に 応答して前記第 2 転送スイッチの前記信号経路と前記第 1 シャントスイッチの前記信号経路とはオフ状態に制御可能とされる ことを特徴とする高周波モジュール。	10. In claim 9, When the signal path of the first transfer switch is controlled to be on and the signal path of the second transfer switch is controlled to be off, the input terminal of the negative voltage generation circuit is connected to the first signal terminal. The signal path of the second transfer switch and the signal path of the first shunt switch are responsive to the supplied transmission signal and responsive to a negative voltage generated at the output terminal of the negative voltage generation circuit Is a high-frequency module that can be controlled to an off state.
11. 請求項 10 において、 前記第 1 転送スイッチはソース・ドレイン経路が直列接続された第 1 の複数の転送電界効果トランジスタを含み、前記第 1 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 1 転送スイッチの前記信号経路が形成され、前記第 1 の複数の転送電界効果トランジスタの複数のゲートには前記第 1 制御端子に供給される前記第 1 制御電圧が供給可能とされ、 前記第 2 転送スイッチはソース・ドレイン経路が直列接続された第 2 の複数の転送電界効果トランジスタを含み、前記第 2 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 2 転送スイッチの前記信号経路が形成され、前記第 2 の複数の転送電界効果トランジスタの複数のゲートには前記第 2 制御端子に供給される前記第 2 制御電圧が供給可能とされ、 前記第 1 シャントスイッチはソース・ドレイン経路が直列接続された第 1 の複数のシャント電界効果トランジスタを含み、前記第 1 の複数のシャント電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 1 シャントスイッチの前記信号経路が形成され、前記第 1 の複数のシャント電界効果トランジスタの複数のゲートには前記負電圧生成回路の前記出力端子に生成される前記負電圧が供給可能とされ、 前記第 2 シャントスイッチはソース・ドレイン経路が直列接続された第 2 の複数のシャント電界効果トランジスタを含み、前記第 2 の複数のシャント電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 2 シャントスイッチの前記信号経路が形成される ことを特徴とする高周波モジュール。	11. In claim 10, The first transfer switch includes a first plurality of transfer field effect transistors having source / drain paths connected in series, and the first transfer switch includes the first transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of one transfer switch is formed, and the first control voltage supplied to the first control terminal can be supplied to a plurality of gates of the first plurality of transfer field effect transistors, The second transfer switch includes a second plurality of transfer field effect transistors having source / drain paths connected in series, and the second transfer switch includes the second transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of the second transfer switch is formed, and the second control voltage supplied to the second control terminal can be supplied to the plurality of gates of the second plurality of transfer field effect transistors; The first shunt switch includes a first plurality of shunt field effect transistors having source / drain paths connected in series, and the first shunt switch includes the first shunt field effect transistors connected in series by the source / drain paths connected in series. The signal path of one shunt switch is formed, and the negative voltage generated at the output terminal of the negative voltage generation circuit can be supplied to the plurality of gates of the first plurality of shunt field effect transistors, The second shunt switch includes a second plurality of shunt field effect transistors having source / drain paths connected in series, and the second shunt switch includes the second shunt field effect transistors connected in series by the source / drain paths connected in series. A high-frequency module, wherein the signal path of a two-shunt switch is formed.

12. 請求項 11 において、 前記第 1 シャントスイッチの前記信号経路の一端と他端とは、第 1 容量と第 2 容量とを介して前記第 1 信号端子と前記接地電位とにそれぞれ接続されたものであり、 前記第 2 シャントスイッチの前記信号経路の一端と他端とは、第 3 容量と第 4 容量とを介して前記第 2 信号端子と前記接地電位とにそれぞれ接続されることを特徴とする高周波モジュール。	12. In claim 11, One end and the other end of the signal path of the first shunt switch are respectively connected to the first signal terminal and the ground potential via a first capacitor and a second capacitor, One end and the other end of the signal path of the second shunt switch are respectively connected to the second signal terminal and the ground potential via a third capacitor and a fourth capacitor. .
13. 請求項 12 において、 前記アンテナスイッチは、他の負電圧生成回路を更に具備して、 前記他の負電圧生成回路の入力端子は前記第 2 信号端子に供給される前記送信信号にตอบสนองとされ、前記他の負電圧生成回路の出力端子に生成される負電圧にตอบสนองして前記第 1 転送スイッチの前記信号経路と前記第 2 シャントスイッチの前記信号経路とはオフ状態に制御可能とされることを特徴とする高周波モジュール。	13. In claim 12, The antenna switch further includes another negative voltage generation circuit, An input terminal of the other negative voltage generation circuit is capable of responding to the transmission signal supplied to the second signal terminal, and in response to a negative voltage generated at an output terminal of the other negative voltage generation circuit, The high-frequency module, wherein the signal path of the first transfer switch and the signal path of the second shunt switch can be controlled to be in an off state.
14. 請求項 12 において、 前記負電圧生成回路は、第 1 負電圧生成回路と第 2 負電圧生成回路とを含み、 前記第 1 負電圧生成回路の入力端子は前記第 1 信号端子に供給される前記送信信号にตอบสนองとされ、前記第 1 負電圧生成回路の出力端子に生成される負電圧にตอบสนองして前記第 1 シャントスイッチの前記信号経路はオフ状態に制御可能とされ、 前記第 2 負電圧生成回路の入力端子は前記第 2 転送スイッチの前記信号経路で直列接続された前記第 2 の複数の転送電界効果トランジスタの段間接続点に生成される段間送信信号にตอบสนองとされ、前記第 2 負電圧生成回路の出力端子に生成される負電圧にตอบสนองして前記第 2 転送スイッチの前記信号経路はオフ状態に制御可能とされることを特徴とする高周波モジュール。	14. In claim 12, The negative voltage generation circuit includes a first negative voltage generation circuit and a second negative voltage generation circuit, The input terminal of the first negative voltage generation circuit is capable of responding to the transmission signal supplied to the first signal terminal, and in response to the negative voltage generated at the output terminal of the first negative voltage generation circuit, The signal path of the first shunt switch is controllable to an off state; The input terminal of the second negative voltage generation circuit is responsive to an interstage transmission signal generated at an interstage connection point of the second plurality of transfer field effect transistors connected in series in the signal path of the second transfer switch. The high frequency module, wherein the signal path of the second transfer switch can be controlled to be in an off state in response to a negative voltage generated at an output terminal of the second negative voltage generation circuit.
15. 請求項 12 において、 前記アンテナスイッチは、第 3 信号端子と第 4 信号端子と第 3 制御端子と第 4 制御端子と第 3 負電圧生成回路と第 4 負電圧生成回路と第 5 負電圧生成回路とを更に具備して、	15. In claim 12, The antenna switch further includes a third signal terminal, a fourth signal terminal, a third control terminal, a fourth control terminal, a third negative voltage generation circuit, a fourth negative voltage generation

前記第 3 負電圧生成回路の入力端子は前記第 2 信号端子に供給される前記送信信号に応答可能とされ、前記第 3 負電圧生成回路の出力端子に生成される負電圧に応答して前記第 1 転送スイッチの前記信号経路と前記第 2 シャントスイッチの前記信号経路とはオフ状態に制御可能とされ、

前記第 3 信号端子と前記アンテナ端子との間には第 3 転送スイッチの信号経路が接続され、前記第 3 転送スイッチの前記信号経路のオン・オフ制御は前記第 3 制御端子に供給される第 3 制御電圧のレベルによって制御可能とされ、

前記第 4 信号端子と前記アンテナ端子との間には第 4 転送スイッチの信号経路が接続され、前記第 4 転送スイッチの前記信号経路のオン・オフ制御は前記第 4 制御端子に供給される第 4 制御電圧のレベルによって制御可能とされ、

前記第 3 転送スイッチはソース・ドレイン経路が直列接続された第 3 の複数の転送電界効果トランジスタを含み、前記第 3 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 3 転送スイッチの前記信号経路が形成され、前記第 3 の複数の転送電界効果トランジスタの複数のゲートには前記第 3 制御端子に供給される前記第 3 制御電圧が供給可能とされ、

前記第 4 転送スイッチはソース・ドレイン経路が直列接続された第 4 の複数の転送電界効果トランジスタを含み、前記第 4 の複数の転送電界効果トランジスタの直列接続された前記ソース・ドレイン経路によって前記第 4 転送スイッチの前記信号経路が形成され、前記第 4 の複数の転送電界効果トランジスタの複数のゲートには前記第 4 制御端子に供給される第 4 制御電圧が供給可能とされ、

前記第 4 負電圧生成回路の入力端子は前記第 3 転送スイッチの前記信号経路で直列接続された前記第 3 の複数の転送電界効果トランジスタの段間接続点に生成される段間送信信号に応答可能とされ、前記第 4 負電圧生成回路の出力端子に生成される負電圧に応答して前記第 3 転送スイッチの前記信号経路はオフ状態に制御可能とされ、

前記第 5 負電圧生成回路の入力端子は前記第 4 転送スイッチの前記信号経路で直列接続された前記第 4 の複数の転送電界効果トランジスタの段間接続点に生成される段間送信信号に応答可能とされ、前記第 5 負電圧生成回路の出力端子に生成される負電圧に応答して前記第 4 転送スイッチの前記信号経路はオフ状態に制御可能とされる

ことを特徴とする高周波モジュール。

circuit, and a fifth negative voltage generation circuit. And The input terminal of the third negative voltage generation circuit is capable of responding to the transmission signal supplied to the second signal terminal, and in response to the negative voltage generated at the output terminal of the third negative voltage generation circuit, The signal path of the first transfer switch and the signal path of the second shunt switch can be controlled to be in an off state, A signal path of a third transfer switch is connected between the third signal terminal and the antenna terminal, and on / off control of the signal path of the third transfer switch is supplied to the third control terminal. 3 Controllable by the level of control voltage, A signal path of a fourth transfer switch is connected between the fourth signal terminal and the antenna terminal, and on / off control of the signal path of the fourth transfer switch is supplied to the fourth control terminal. 4 Controllable by the level of control voltage, The third transfer switch includes a third plurality of transfer field effect transistors having source / drain paths connected in series, and the third transfer switch includes the third transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of the three transfer switches is formed, and the third control voltage supplied to the third control terminal can be supplied to the plurality of gates of the third plurality of transfer field effect transistors, The fourth transfer switch includes a fourth plurality of transfer field effect transistors having source / drain paths connected in series, and the fourth transfer switch includes the fourth transfer field effect transistors connected in series by the source / drain paths connected in series. The signal path of the four transfer switches is formed, and a fourth control voltage supplied to the fourth control terminal can be supplied to a plurality of gates of the fourth plurality of transfer field effect transistors;

An input terminal of the fourth negative voltage generating circuit is responsive to an interstage transmission signal generated at an interstage connection point of the third plurality of transfer field effect transistors connected in series in the signal path of the third transfer switch. And the signal path of the third transfer switch can be controlled to be in an off state in response to a negative voltage generated at an output terminal of the fourth negative voltage generation circuit. The input terminal of the fifth negative voltage generation circuit is responsive to an interstage transmission signal generated at an interstage connection point of the fourth plurality of transfer field effect transistors connected in series in the signal path of the fourth transfer switch. The high frequency module, wherein the signal path of the fourth transfer switch can be controlled to be in an off

	state in response to a negative voltage generated at an output terminal of the fifth negative voltage generation circuit.
16. 請求項 15 において、 前記第 4 負電圧生成回路の前記入力端子と前記第 3 転送スイッチの前記第 3 の複数の転送電界効果トランジスタの前記段間接続点との間および前記第 5 負電圧生成回路の前記入力端子と前記第 4 転送スイッチの前記第 4 の複数の転送電界効果トランジスタの前記段間接続点には可変減衰器が接続され、 ローバンドの第 1 送信信号が第 1 信号端子に供給される場合には、前記可変減衰器は大きな減衰量に制御され、前記ローバンドの周波数よりも高い周波数のハイバンドの第 2 送信信号が第 2 信号端子に供給される場合には、前記可変減衰器は小さな減衰量に制御されることを特徴とする高周波モジュール。	16. In claim 15, Between the input terminal of the fourth negative voltage generation circuit and the interstage connection point of the third plurality of transfer field effect transistors of the third transfer switch, and the input terminal of the fifth negative voltage generation circuit A variable attenuator is connected to the interstage connection point of the fourth plurality of transfer field effect transistors of the fourth transfer switch, When the low-band first transmission signal is supplied to the first signal terminal, the variable attenuator is controlled to a large attenuation, and the high-band second transmission signal having a frequency higher than the low-band frequency is the second. When supplied to a signal terminal, the variable attenuator is controlled to have a small attenuation amount.

Description

[JA]	[MT]
本発明は、アンテナスイッチを含む半導体集積回路およびそれを内蔵した高周波モジュールに関し、特に高調波歪特性を改善するのに有益な技術に関する。	The present invention relates to a semiconductor integrated circuit including an antenna switch and a high-frequency module incorporating the semiconductor integrated circuit, and more particularly to a technique useful for improving harmonic distortion characteristics.
従来では、PINダイオードを用いたアンテナスイッチ装置が一般的であったが、近年では、FET (Field Effect Transistor)、特に低いオン抵抗を持つヘテロ接合構造のHEMT (High Electron Mobility Transistor)がアンテナスイッチ装置に使用されている。また、FETを使用することによって、アンテナスイッチ装置は、モノリシックマイクロ波集積回路(MMIC: Monolithic Microwave Integrated Circuit)として集積化することも可能である。	Conventionally, an antenna switch device using a PIN diode has been generally used, but in recent years, an FET (Field Effect Transistor), in particular, a heterojunction HEMT (High Electron Mobility Transistor) having a low on-resistance is an antenna switch device. Is used. Further, by using FETs, the antenna switch device can be integrated as a monolithic microwave integrated circuit (MMIC).
アンテナスイッチ装置にてHEMTデバイスのようなnチャンネルを有するディプレッション型FETを使用する場合には、オンとすべきFETのゲート・ソース間にしきい値電圧以上の高電位差を印加する一方、オフとすべきFETのゲート・ソース間にしきい値以下の低電位差を印加する。	When a depletion type FET having an n channel such as a HEMT device is used in the antenna switch device, a high potential difference higher than a threshold voltage is applied between the gate and the source of the FET to be turned on while the FET is turned off. A low potential difference below the threshold value is applied between the gate and source of the power FET.
下記特許文献1には、アンテナスイッチ装置の受信側スイッチ部のディプレッション型電界効果トランジスタのゲート電極に送信時に印加する低電圧の制御信号として接地電位よりも低い低電圧を供給することによって、スイッチの挿入損失特性とアイソレーション特性を改善することが記載されている。	In Patent Document 1 below, by supplying a low voltage lower than the ground potential as a low voltage control signal applied at the time of transmission to the gate electrode of the depletion type field effect transistor of the reception side switch section of the antenna switch device, It is described that the insertion loss characteristic and the isolation characteristic are improved.

下記特許文献 2 には、アンテナ端子と第 1 の入出力端子との間に第 1 のスルースイッチが接続され、第 1 の入出力端子と接地との間に第 1 のシャントスイッチが接続され、アンテナ端子と第 2 の入出力端子との間に第 2 のスルースイッチが接続され、第 2 の入出力端子と接地との間に第 2 のシャントスイッチが接続されたスイッチ回路が記載されている。第 1 のシャントスイッチは直列接続された 4 段のシャント FET により構成され、この 4 段のシャント FET のうち最も第 1 の入出力端子側に接続されたシャント FET 以外の 3 個のシャント FET の各ソースは電位固定抵抗を介して電位固定端子と接続され、4 段のシャント FET のうち最も第 1 の入出力端子側に接続されたシャント FET のソースと電位固定端子との間には抵抗とダイオードとが直列に接続されている。第 1 の入出力端子に大電力の高周波信号が入力された場合に、ダイオードが導通して電位固定端子の電位が上昇して高調波歪の発生を抑制することが可能となる。	In the following Patent Document 2, a first through switch is connected between the antenna terminal and the first input / output terminal, and a first shunt switch is connected between the first input / output terminal and the ground, A switch circuit is described in which a second through switch is connected between an antenna terminal and a second input / output terminal, and a second shunt switch is connected between the second input / output terminal and ground. . The first shunt switch is constituted by four shunt FETs connected in series, and each of the three shunt FETs other than the shunt FET connected to the first input / output terminal side among the four shunt FETs. The source is connected to a potential fixing terminal via a potential fixing resistor, and a resistor and a diode are connected between the source of the shunt FET connected to the first input / output terminal side of the four-stage shunt FET and the potential fixing terminal. Are connected in series. When a high-power high-frequency signal is input to the first input / output terminal, the diode becomes conductive and the potential at the potential fixing terminal rises, thereby suppressing the generation of harmonic distortion.
下記特許文献 3 には、シリコンオンインシュレータ(SOI)技術で製造可能な RF スwitch が記載され、この RF スwitch では、アンテナ端子と第 1 の入出力端子との間に第 1 のパススイッチングトランジスタが接続され、第 1 の入出力端子と接地との間に第 1 の分路トランジスタが接続され、アンテナ端子と第 2 の入出力端子との間に第 2 のパススイッチングトランジスタが接続され、第 2 の入出力端子と接地との間に第 2 の分路トランジスタが接続されている。更に下記特許文献 3 には、この RF スwitch と負電圧発生回路とを集積化することが記載され、この負電圧発生回路は発振器とクロック発生回路と電荷ポンプ回路とによって構成されている。	Patent Document 3 listed below describes an RF switch that can be manufactured using silicon-on-insulator (SOI) technology. In this RF switch, a first path switching transistor is connected between an antenna terminal and a first input / output terminal. A first shunt transistor is connected between the first input / output terminal and the ground; a second path switching transistor is connected between the antenna terminal and the second input / output terminal; A second shunt transistor is connected between the input / output terminal and ground. Further, Patent Document 3 described below describes that the RF switch and the negative voltage generation circuit are integrated, and the negative voltage generation circuit includes an oscillator, a clock generation circuit, and a charge pump circuit.
特開平 9-200021 号 公報特開 2006-304013 号 公報特表 2005-515657 号 公報	Japanese Patent Laid-Open No. 9-200021JP 2006-304013 AJP 2005-515657 A
本発明者等は本発明に先立って、アンテナスイッチを含む半導体集積回路を搭載した高周波モジュールの研究・開発に従事した。	Prior to the present invention, the inventors engaged in research and development of a high-frequency module equipped with a semiconductor integrated circuit including an antenna switch.

本発明に先立って本発明者等は、上記背景技術の上記特許文献 1 乃至上記特許文献 3 に記載された技術について検討を行った。	Prior to the present invention, the present inventors examined the techniques described in Patent Document 1 to Patent Document 3 of the background art.
上記特許文献 1 に記載された技術によれば、スイッチの挿入損失特性とアイソレーション特性を改善することが可能であるが、接地電位よりも低い低電圧を生成する負電圧発生回路が発振器とドライブ回路と負電圧変換チャージポンプ回路とレベル制御回路によって構成されているので、アンテナスイッチを含む半導体集積回路の小型化の障害となると言う問題が明らかとされた。また回路規模が大きいため消費電力が大きく、発振器からの雑音も問題となると言う問題が明らかとされた。	According to the technique described in Patent Document 1, it is possible to improve the insertion loss characteristic and the isolation characteristic of the switch. However, a negative voltage generation circuit that generates a low voltage lower than the ground potential includes an oscillator and a drive. Since the circuit, the negative voltage conversion charge pump circuit, and the level control circuit are included, the problem that it becomes an obstacle to miniaturization of the semiconductor integrated circuit including the antenna switch has been clarified. In addition, since the circuit scale is large, power consumption is large, and noise from the oscillator becomes a problem.
上記特許文献 2 に記載された技術によれば、第 1 の入出力端子に大電力の高周波信号が入力された場合に、入力された高周波信号が第 1 のシャントスイッチを介して接地に漏洩されることが抑制されることが可能であるが、送受信の切り換え速度が遅延すると言う問題が明らかとされた。すなわち、上記特許文献 2 に記載されたスイッチ回路のアンテナ端子にはバイアス電圧が発生しているので直流成分遮断のための DC カット容量をアンテナ端子と第 1 の入出力端子と第 2 の入出力端子に接続する必要がある。しかし、送受信の切り換えに際して、これらの DC カット容量の電荷充放電が必要なため送受信の切り換え速度が遅延すると言うものである。	According to the technique described in Patent Document 2, when a high-power high-frequency signal is input to the first input / output terminal, the input high-frequency signal is leaked to the ground via the first shunt switch. However, it has been clarified that the transmission / reception switching speed is delayed. That is, since a bias voltage is generated at the antenna terminal of the switch circuit described in Patent Document 2, the DC cut capacity for blocking the DC component is set to the antenna terminal, the first input / output terminal, and the second input / output terminal. Must be connected to the terminal. However, when switching between transmission and reception, charge / discharge of these DC cut capacitors is necessary, so that the transmission and reception switching speed is delayed.
上記特許文献 3 に記載された技術によれば、挿入損失とスイッチ分離とが改善されることが可能であるが、負電圧発生回路が発振器とクロック発生回路と電荷ポンプ回路とによって構成されているので RF スwitch を含む半導体集積回路の小型化の障害となると言う問題が明らかとされた。	According to the technique described in Patent Document 3, the insertion loss and the switch separation can be improved, but the negative voltage generation circuit is configured by an oscillator, a clock generation circuit, and a charge pump circuit. Therefore, the problem of becoming an obstacle to miniaturization of the semiconductor integrated circuit including the RF switch has been clarified.
一方、本発明に先立って本発明者等は、電界効果トランジスタを使用したアンテナスイッチの大入力信号時の特性に関して検討を行った。	On the other hand, prior to the present invention, the inventors examined characteristics of an antenna switch using a field effect transistor at the time of a large input signal.

図 1 は、本発明に先立って本発明者等によって検討された電界効果トランジスタを使用したアンテナスイッチの構成を示す図である。	FIG. 1 is a diagram showing a configuration of an antenna switch using a field effect transistor studied by the present inventors prior to the present invention.
図 1 において、アンテナスイッチで使用される電界効果トランジスタ Q は、n チャンネル型で、ノーマリーオン の M E S 型電界効果トランジスタである。すなわち、しきい値電圧 (V_{th}) が負のデバイスであって、ゲート電圧が V_{th} 以上であれば、ドレインとソースとの間は低インピーダンスのオン状態となり、ゲート電圧が V_{th} 以下であれば、高インピーダンスのオフ状態となる。また、この電界効果トランジスタ Q は、ドレインとソースとを短絡することによって、ダイオードとして動作する。	In FIG. 1, a field effect transistor Q used in an antenna switch is an n-channel type, normally-on MES type field effect transistor. That is, if the threshold voltage (V_{th}) is a negative device and the gate voltage is equal to or higher than V_{th}, a low impedance ON state is established between the drain and the source. The impedance is turned off. The field effect transistor Q operates as a diode by short-circuiting the drain and the source.
図 1 に示したアンテナスイッチにおいて、電界効果トランジスタ Q をスイッチとして使用する場合には、ドレインとソースとの間の導通(オン)と非導通(オフ)とをゲート電圧によって制御するため、図 1 に示すようにゲート G と制御端子 T c との間に抵抗 R 1 を接続して、ゲート G とドレイン D との間およびゲート G とソース S との間に均等なバイアス電圧が供給されるように、抵抗 R 2 によってドレイン D とソース S とが接続される。ゲート G と制御端子 T c の間の抵抗 R 1 は電圧降下を軽減するためスイッチオフ状態の挿入損失を損なわない程度の比較的小さな抵抗値に設定され、ドレイン D とソース S と間の抵抗 R 2 の抵抗値もスイッチのオフ状態の挿入損失よりも大きな抵抗値に設定される。	In the antenna switch shown in FIG. 1, when the field effect transistor Q is used as a switch, the conduction (on) and non-conduction (off) between the drain and the source are controlled by the gate voltage. A resistor R1 is connected between the gate G and the control terminal Tc as shown in FIG. 6 so that an even bias voltage is supplied between the gate G and the drain D and between the gate G and the source S. The drain D and the source S are connected by the resistor R2. The resistance R1 between the gate G and the control terminal Tc is set to a relatively small resistance value so as not to impair the insertion loss in the switch-off state in order to reduce the voltage drop, and the resistance of the resistance R2 between the drain D and the source S The value is also set to a resistance value larger than the insertion loss in the OFF state of the switch.
図 2 は、図 1 に示したアンテナスイッチの容量成分のゲート電圧の依存性を示す図である。	FIG. 2 is a diagram illustrating the dependency of the capacitive component of the antenna switch illustrated in FIG. 1 on the gate voltage.
図 2 の縦軸は容量成分 C (単位 : F) であり、図 2 の横軸はゲート電圧 V_g (単位 : V) である。電界効果トランジスタ Q のしきい値電圧 V_{th} (< 0) とゲート電圧 V_g の関係において、$V_g > V_{th}$ の場合には容量 C は急激に増加した後大きな値で飽和する一方、$V_g < V_{th}$ の場合には容量 C は次第に減少した後小さな値で飽和する。図 2 に示したように、ゲート電圧 V_g がしきい値電圧 V_{th} 近辺では、容量 C の電圧依存性が大きいものとなる。	The vertical axis in FIG. 2 is the capacitance component C (unit: F), and the horizontal axis in FIG. 2 is the gate voltage V_g (unit: V). In the relationship between the threshold voltage V_{th} (< 0) of the field effect transistor Q and the gate voltage V_g, when $V_g > V_{th}$, the capacitance C rapidly increases and then saturates at a large value, whereas when $V_g < V_{th}$. After the capacitance C gradually decreases, it saturates at a small value. As shown in FIG. 2, when the gate voltage V_g is in the vicinity of the threshold voltage V_{th}, the voltage dependency of the capacitance C is large.

図 1 に示したアンテナスイッチにおいて、制御端子 T c の制御電圧 V c によって電界効果トランジスタ Q がオフ状態にある場合にも、信号入力端子 T 1 に供給される入力信号の信号電圧値にตอบสนองして制御電圧 V c をバイアス点として電界効果トランジスタ Q のゲート電圧 V g は変動する。信号入力端子 T 1 に供給される入力信号は、電界効果トランジスタ Q のゲート G・ドレイン D 間の寄生容量とゲート G・ソース S 間の寄生容量とによって分圧される。	In the antenna switch shown in FIG. 1, the control voltage in response to the signal voltage value of the input signal supplied to the signal input terminal T1 even when the field effect transistor Q is turned off by the control voltage Vc of the control terminal Tc. The gate voltage Vg of the field effect transistor Q varies with Vc as a bias point. The input signal supplied to the signal input terminal T1 is divided by the parasitic capacitance between the gate G and the drain D of the field effect transistor Q and the parasitic capacitance between the gate G and the source S.
電界効果トランジスタ Q のゲート G・ドレイン D 間寄生容量とゲート G・ソース S 間寄生容量は略等しいので、信号入力端子 T 1 の入力信号の信号振幅電圧 V m a x の半分 V m a x / 2 が制御端子 T c の制御電圧 V c に重畳される。従って、信号入力端子 T 1 の入力信号の信号振幅電圧 V m a x が増大することによって重畳電圧 V c + V m a x / 2 がしきい値電圧 V t h と略等しくなると、電界効果トランジスタ Q の非導通(オフ)から導通(オン)への変化が開始され、容量 C の急激な増加が開始される。この変化点は、図 1 のアンテナスイッチで、理想的にはオフ状態にあるべき電界効果トランジスタ Q が信号振幅電圧 V m a x の増大によってオン状態となると言う誤動作の開始点となる。この変化点の信号入力端子 T 1 の入力信号の信号振幅電圧 V m a x を、アンテナスイッチにおけるオフ耐圧と呼ぶ。この変化点でのオフ耐圧は、下記の(1)式によって与えられる。	Since the parasitic capacitance between the gate G and the drain D and the parasitic capacitance between the gate G and the source S of the field effect transistor Q is substantially equal, half of the signal amplitude voltage Vmax of the input signal at the signal input terminal T1 is Vmax / 2. Superposed on the voltage Vc. Accordingly, when the superimposed voltage Vc + Vmax / 2 becomes substantially equal to the threshold voltage Vth by increasing the signal amplitude voltage Vmax of the input signal at the signal input terminal T1, the field effect transistor Q is turned off. A change from (off) to conduction (on) is started, and a sudden increase in the capacitance C is started. This change point is the start point of malfunction in which the field effect transistor Q, which should ideally be in the off state in the antenna switch of FIG. 1, is turned on as the signal amplitude voltage Vmax increases. The signal amplitude voltage Vmax of the input signal at the signal input terminal T1 at this change point is referred to as an off breakdown voltage in the antenna switch. The off breakdown voltage at this change point is given by the following equation (1).
数1 $V_{max} = 2 \cdot (V_c - V_{th}) \quad \dots(1)式$	数1 $V_{max} = 2 \cdot (V_c - V_{th}) \quad \dots(1)式$
図 1 に示すアンテナスイッチでは、上記(1)式で与えられるオフ耐圧 V m a x を改善することによって、容量 C の急激な増加による高調波歪特性を改善可能となる一方、電界効果トランジスタのオン誤動作による信号損失を改善可能とすることが可能となる。	In the antenna switch shown in FIG. 1, by improving the off breakdown voltage Vmax given by the above equation (1), it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacitance C, while the field effect transistor is caused by an on malfunction. It becomes possible to improve signal loss.
本発明は、以上のような本発明に先立った本発明者等による検討の結果、なされたものである。	The present invention has been made as a result of the examination by the present inventors prior to the present invention as described above.

従って、本発明の目的とするところは、電界効果トランジスタを使用するアンテナスイッチの高調波歪特性を改善することにある。	Accordingly, an object of the present invention is to improve the harmonic distortion characteristics of an antenna switch using a field effect transistor.
また、本発明の他の目的とするところは、アンテナスイッチの回路規模を削減することにある。	Another object of the present invention is to reduce the circuit scale of the antenna switch.
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。	The above and other objects and novel features of the present invention will be apparent from the description of this specification and the accompanying drawings.
本願において開示される発明のうちの代表的なものについて簡単に説明すれば下記のとおりである。	A typical one of the inventions disclosed in the present application will be briefly described as follows.
すなわち、本発明の代表的な実施の形態は、第 1 信号端子(3)と第 2 信号端子(4)と第 1 制御端子(5)と第 2 制御端子(7)とアンテナ端子(2)とを具備するアンテナスイッチである。	In other words, the representative embodiment of the present invention includes a first signal terminal (3), a second signal terminal (4), a first control terminal (5), a second control terminal (7), and an antenna terminal (2). An antenna switch.
前記アンテナ端子(2)にアンテナが接続され、前記第 1 信号端子(3)と前記第 2 信号端子(4)には前記アンテナの受信信号と送信信号とのいずれかが供給または生成される。	An antenna is connected to the antenna terminal (2), and either the reception signal or the transmission signal of the antenna is supplied or generated to the first signal terminal (3) and the second signal terminal (4).
前記第 1 信号端子(3)と前記アンテナ端子(2)の間には第 1 転送スイッチ(100)の信号経路が接続され、前記第 1 転送スイッチ(100)のオン・オフ制御は前記第 1 制御端子(5)の第 1 制御電圧(V_{Txc})のレベルによって制御される。	A signal path of a first transfer switch (100) is connected between the first signal terminal (3) and the antenna terminal (2), and on / off control of the first transfer switch (100) is performed by the first switch. It is controlled by the level of the first control voltage (V_{Txc}) of one control terminal (5).
前記第 2 信号端子(4)と前記アンテナ端子(2)の間には第 2 転送スイッチ(101)の信号経路が接続され、前記第 2 転送スイッチ(101)のオン・オフ制御は前記第 2 制御端子(7)の第 2 制御電圧(V_{Rxc})のレベルによって制御可能とされる。	A signal path of a second transfer switch (101) is connected between the second signal terminal (4) and the antenna terminal (2). On / off control of the second transfer switch (101) The control is enabled by the level of the second control voltage (V_{Rxc}) of the two control terminals (7).
前記第 1 信号端子(3)と接地電位との間に第 1 シャントスイッチ(102)の信号経路が接続され、前記第 1 シャントスイッチ(102)のオン・オフ制御は前記第 1 転送スイッチ(100)の前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされる。	The signal path of the first shunt switch (102) is connected between the first signal terminal (3) and the ground potential, and the on / off control of the first shunt switch (102) is controlled by the first transfer switch (100).) In the on / off state opposite to the on / off control of the signal path.

前記第 2 信号端子(4)と前記接地電位との間に第 2 シェントスイッチ(103)の信号経路が接続され、前記第 2 シェントスイッチ(103)のオン・オフ制御は前記第 2 転送スイッチ(101)の前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされる。	A signal path of a second shunt switch (103) is connected between the second signal terminal (4) and the ground potential, and on / off control of the second shunt switch (103) is controlled by the second transfer switch (101), the signal path can be controlled to an on / off state opposite to the on / off control.
前記アンテナスイッチは、負電圧生成回路(104)を更に具備する。	The antenna switch further includes a negative voltage generation circuit (104).
前記負電圧生成回路(104)の前記入力端子(10)は前記第 1 信号端子(3)に供給される前記送信信号にตอบสนองとされ、前記負電圧生成回路(104)の前記出力端子(11)に生成される負電圧にตอบสนองして前記第 2 転送スイッチ(101)の前記信号経路と前記第 1 シェントスイッチ(102)の前記信号経路とはオフ状態に制御可能とされたことを特徴とする(図 3 参照)。	The input terminal (10) of the negative voltage generation circuit (104) can respond to the transmission signal supplied to the first signal terminal (3), and the output terminal (10) of the negative voltage generation circuit (104). The signal path of the second transfer switch (101) and the signal path of the first shunt switch (102) can be controlled to be in an off state in response to the negative voltage generated in (11). (See FIG. 3).
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。	The effects obtained by the representative ones of the inventions disclosed in the present application will be briefly described as follows.
すなわち、本発明によれば、アンテナスイッチの高調波歪特性を改善することができる。	That is, according to the present invention, the harmonic distortion characteristics of the antenna switch can be improved.
図 1 は、本発明に先立って本発明者等によって検討された電界効果トランジスタを使用したアンテナスイッチの構成を示す図である。図 2 は、図 1 に示したアンテナスイッチの容量成分の制御電圧の依存性を示す図である。図 3 は、本発明の実施の形態 1 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。図 4 は、本発明の実施の形態 2 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。図 5 は、本発明の実施の形態 3 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。図 6 は、本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。図 7 は、図 6 の本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路 1 を内蔵した本発明の実施の形態 5 による高周波モジュールの構成を示す図である。図 8 は、低レベルの送信信号が図 3 の本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係を示す図である。図 9 は、高レベルの送信信号が図 3 の本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係を示す図である。図 10 は、受信信号が図 3 に示	FIG. 1 is a diagram showing a configuration of an antenna switch using a field effect transistor studied by the present inventors prior to the present invention.FIG. 2 is a diagram showing the dependency of the capacitive component of the antenna switch shown in FIG. 1 on the control voltage.FIG. 3 is a diagram showing a configuration of a semiconductor integrated circuit including the antenna switch according to the first embodiment of the present invention.FIG. 4 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the second embodiment of the present invention.FIG. 5 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the third embodiment of the present invention.FIG. 6 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the fourth embodiment of the present invention.FIG. 7 is a diagram showing the configuration of the high-frequency module according to the fifth embodiment of the present invention in which the semiconductor integrated circuit 1 including the antenna switch according to the fourth embodiment of the present invention in FIG. 6 is incorporated.FIG. 8 shows the

した本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチの受信端子 4 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。図 11 は、低レベルの第 1 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。図 12 は、高レベルの第 1 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。図 13 は、低レベルの第 2 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。図 14 は、高レベルの第 2 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。図 15 は、低レベルの送信信号が図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。図 16 は、高レベルの送信信号が図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。図 17 は、受信信号が図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチの受信端子 4 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。図 18 は、低レベルの第 1 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 から供給される際に各スイッチ 100、105、102、106、101、110、103、スイッチ 111 の電圧と動作状態の関係とを示す図である。図 19 は、高レベルの第 1 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 から供給される際に各スイッチ 100、105、102、106、101、110、103、スイッチ 111 の電圧と動作状態の関係とを示す図である。図 20 は、低レベルの第 1 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 から供給される際に各スイッチ 100、105、102、106、101、110、103、スイッチ 111 の電圧と動作状態の関係とを示す図である。図 21 は、高レベルの第 2 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 から供給される際に各ス

voltages of the switches 100, 101, 102, and 103 when a low-level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the invention shown in FIG. It is a figure which shows the relationship of an operation state.FIG. 9 shows the voltages of the switches 100, 101, 102, and 103 when a high level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the invention shown in FIG. It is a figure which shows the relationship of an operation state.FIG. 10 shows the voltage and operation of each switch 100, 101, 102, 103 when the received signal is supplied to the receiving terminal 4 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. It is a figure which shows the relationship of a state.FIG. 11 shows each switch 100, 105, when the low-level first transmission signal is supplied to the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state.12 shows that each of the switches 100, 105, when the high-level first transmission signal is supplied to the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state.FIG. 13 shows each switch 100, 105, when the low-level second transmission signal is supplied to the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state.FIG. 14 shows each switch 100, 105, when a high-level second transmission signal is supplied to the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state.FIG. 15 shows a state in which each of the switches 100, 101, 102, 103 is supplied when a low-level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the invention shown in FIG. It is a figure which shows the relationship between a voltage and an operation state.FIG. 16 shows the state of each of the switches 100, 101, 102, 103 when a high level transmission signal is supplied to the transmission terminal 3 of the antenna

スイッチ１００、１０５、１０２、１０６、１０１、１１０、１０３、スイッチ１１１の電圧と動作状態の関係を示す図である。図２２は、図６の本発明の実施の形態４による半導体集積回路１のアンテナスイッチが受信動作を行う際に、各スイッチ１００、１０５、１０２、１０６、１０１、１１０、１０３、スイッチ１１１の電圧と動作状態の関係を示す図である。	switch of the semiconductor integrated circuit 1 according to the third embodiment of the invention shown in FIG. It is a figure which shows the relationship between a voltage and an operation state.FIG. 17 shows the voltage and operation of each switch 100, 101, 102, 103 when a received signal is supplied to the receiving terminal 4 of the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the present invention shown in FIG. It is a figure which shows the relationship of a state.18 shows a case where the low-level first transmission signal is supplied from the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.19 shows that each of the switches 100, 105, when the high-level first transmission signal is supplied from the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.FIG. 20 shows that each of the switches 100, 105, when the low-level first transmission signal is supplied from the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.FIG. 21 shows that each of the switches 100, 105, when the high-level second transmission signal is supplied from the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.FIG. 22 shows the voltages of the switches 100, 105, 102, 106, 101, 110, 103 and the switch 111 when the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. FIG.
１．実施の形態の概要 まず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。	1. First, an outline of a typical embodiment of the invention disclosed in the present application will be described. The reference numerals of the drawings referred to with parentheses in the outline description of the representative embodiments merely exemplify what are included in the concept of the components to which the reference numerals are attached.

[1] 本発明の代表的な実施の形態は、第 1 信号端子 (3) と第 2 信号端子 (4) と第 1 制御端子 (5) と第 2 制御端子 (7) とアンテナ端子 (2) とを具備するアンテナスイッチである。	[1] A typical embodiment of the present invention includes a first signal terminal (3), a second signal terminal (4), a first control terminal (5), a second control terminal (7), and an antenna terminal (2).
前記アンテナ端子 (2) にはアンテナが接続可能とされ、前記第 1 信号端子 (3) と前記第 2 信号端子 (4) には前記アンテナによって受信される受信信号と前記アンテナによって送信される送信信号とのいずれかが供給可能または生成可能とされる。	An antenna can be connected to the antenna terminal (2), and a reception signal received by the antenna and a transmission transmitted by the antenna are transmitted to the first signal terminal (3) and the second signal terminal (4). Any of the signals can be supplied or generated.
前記第 1 信号端子 (3) と前記アンテナ端子 (2) との間には第 1 転送スイッチ (100) の信号経路が接続され、前記第 1 転送スイッチ (100) の前記信号経路のオン・オフ制御は前記第 1 制御端子 (5) に供給される第 1 制御電圧 (V_{Txc}) のレベルによって制御可能とされる。	A signal path of a first transfer switch (100) is connected between the first signal terminal (3) and the antenna terminal (2), and the signal path of the first transfer switch (100) is turned on / off. The control can be performed according to the level of the first control voltage (V_{Txc}) supplied to the first control terminal (5).
前記第 2 信号端子 (4) と前記アンテナ端子 (2) との間には第 2 転送スイッチ (101) の信号経路が接続され、前記第 2 転送スイッチ (101) の前記信号経路のオン・オフ制御は前記第 2 制御端子 (7) に供給される第 2 制御電圧 (V_{Rxc}) のレベルによって制御可能とされる。	A signal path of a second transfer switch (101) is connected between the second signal terminal (4) and the antenna terminal (2), and the signal path of the second transfer switch (101) is turned on / off. The control can be controlled by the level of the second control voltage (V_{Rxc}) supplied to the second control terminal (7).
前記第 1 信号端子 (3) と接地電位との間に第 1 シャントスイッチ (102) の信号経路が接続され、前記第 1 シャントスイッチ (102) の前記信号経路のオン・オフ制御は前記第 1 転送スイッチ (100) の前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされる。	A signal path of a first shunt switch (102) is connected between the first signal terminal (3) and a ground potential, and on / off control of the signal path of the first shunt switch (102) is performed by the first shunt switch (102). The transfer switch (100) can be controlled to an on / off state opposite to the on / off control of the signal path.
前記第 2 信号端子 (4) と前記接地電位との間に第 2 シャントスイッチ (103) の信号経路が接続され、前記第 2 シャントスイッチ (103) の前記信号経路のオン・オフ制御は前記第 2 転送スイッチ (101) の前記信号経路の前記オン・オフ制御と反対のオン・オフ状態に制御可能とされる。	A signal path of a second shunt switch (103) is connected between the second signal terminal (4) and the ground potential, and on / off control of the signal path of the second shunt switch (103) is performed by the second shunt switch (103). The two transfer switches (101) can be controlled to an on / off state opposite to the on / off control of the signal path.
前記アンテナスイッチは、負電圧生成回路 (104) を更に具備する。	The antenna switch further includes a negative voltage generation circuit (104).

前記負電圧生成回路(104)の前記入力端子(10)は前記第1信号端子(3)に供給される前記送信信号にตอบสนองとされ、前記負電圧生成回路(104)の前記出力端子(11)に生成される負電圧にตอบสนองして前記第2転送スイッチ(101)の前記信号経路と前記第1シャントスイッチ(102)の前記信号経路とはオフ状態に制御可能とされたことを特徴とする(図3参照)。	The input terminal (10) of the negative voltage generation circuit (104) can respond to the transmission signal supplied to the first signal terminal (3), and the output terminal (10) of the negative voltage generation circuit (104). The signal path of the second transfer switch (101) and the signal path of the first shunt switch (102) can be controlled to be in an off state in response to the negative voltage generated in (11). (See FIG. 3).
前記実施の形態によれば、アンテナスイッチの高調波歪特性を改善することができる。	According to the embodiment, it is possible to improve the harmonic distortion characteristics of the antenna switch.
好適な実施の形態では、前記第1転送スイッチ(100)の前記信号経路がオン状態に制御され前記第2転送スイッチ(101)の前記信号経路がオフ状態に制御される際に、前記負電圧生成回路(104)の前記入力端子(10)は前記第1信号端子(3)に供給される前記送信信号にตอบสนองとされ、前記負電圧生成回路(104)の前記出力端子(11)に生成される負電圧にตอบสนองして前記第2転送スイッチ(101)の前記信号経路と前記第1シャントスイッチ(102)の前記信号経路とはオフ状態に制御可能とされたことを特徴とする(図3参照)。	In a preferred embodiment, the negative voltage is applied when the signal path of the first transfer switch (100) is controlled to be on and the signal path of the second transfer switch (101) is controlled to be off. The input terminal (10) of the generation circuit (104) can respond to the transmission signal supplied to the first signal terminal (3), and is connected to the output terminal (11) of the negative voltage generation circuit (104). In response to the generated negative voltage, the signal path of the second transfer switch (101) and the signal path of the first shunt switch (102) can be controlled to be in an OFF state. (See FIG. 3).
他の好適な実施の形態では、前記第1転送スイッチ(100)はソース・ドレイン経路が直列接続された第1の複数の転送電界効果トランジスタ(200a~d)を含み、前記第1の複数の転送電界効果トランジスタ(200a~d)の直列接続された前記ソース・ドレイン経路によって前記第1転送スイッチ(100)の前記信号経路が形成され、前記第1の複数の転送電界効果トランジスタ(200a~d)の複数のゲートには前記第1制御端子(5)に供給される前記第1制御電圧(V_{Tx})が供給可能とされる。	In another preferred embodiment, the first transfer switch (100) includes a first plurality of transfer field effect transistors (200a to 200d) having source / drain paths connected in series, and the first plurality of transfer field effect transistors (200a to 200d). The signal path of the first transfer switch (100) is formed by the source / drain paths connected in series to the transfer field effect transistors (200a to 200d), and the first plurality of transfer field effect transistors (200a to 200d).) Can be supplied with the first control voltage (V_{Tx}) supplied to the first control terminal (5).
前記第2転送スイッチ(101)はソース・ドレイン経路が直列接続された第2の複数の転送電界効果トランジスタ(201a~d)を含み、前記第2の複数の転送電界効果トランジスタ(201a~d)の直列接続された前記ソース・ドレイン経路によって前記第2転送スイッチ(101)の前記信号経路が形成され、前記第2の複数の転送電界効果トランジスタ(201a~d)の複数のゲートには前記第2制御端子(7)に供給される前記第2制御電圧(V_{Rx})が供給可能とされる。	The second transfer switch (101) includes a second plurality of transfer field effect transistors (201a-d) having source / drain paths connected in series, and the second plurality of transfer field effect transistors (201a-d). The signal path of the second transfer switch (101) is formed by the source / drain paths connected in series, and the gates of the second plurality of transfer field effect transistors (201a-d) 2 The second control voltage (V_{Rx}) supplied to the control terminal (7) can be supplied.

前記第 1 シャントスイッチ(102)はソース・ドレイン経路が直列接続された第 1 の複数のシャント電界効果トランジスタ(202a～d)を含み、前記第 1 の複数のシャント電界効果トランジスタ(202a～d)の直列接続された前記ソース・ドレイン経路によって前記第 1 シャントスイッチ(102)の前記信号経路が形成され、前記第 1 の複数のシャント電界効果トランジスタ(202a～d)の複数のゲートには前記負電圧生成回路(104)の前記出力端子(11)に生成される前記負電圧が供給可能とされる。	The first shunt switch (102) includes a first plurality of shunt field effect transistors (202a-d) having source / drain paths connected in series, and the first plurality of shunt field effect transistors (202a-d). The signal path of the first shunt switch (102) is formed by the source / drain paths connected in series, and the negative gates of the first shunt field effect transistors (202a to 202d) are connected to the negative path. The negative voltage generated at the output terminal (11) of the voltage generation circuit (104) can be supplied.
前記第 2 シャントスイッチ(103)はソース・ドレイン経路が直列接続された第 2 の複数のシャント電界効果トランジスタ(203a～b)を含み、前記第 2 の複数のシャント電界効果トランジスタ(203a～b)の直列接続された前記ソース・ドレイン経路によって前記第 2 シャントスイッチ(103)の前記信号経路が形成されたことを特徴とする(図 3 参照)。	The second shunt switch (103) includes a second plurality of shunt field effect transistors (203a-b) having source / drain paths connected in series, and the second plurality of shunt field effect transistors (203a-b). The signal path of the second shunt switch (103) is formed by the source / drain paths connected in series (see FIG. 3).
より好適な実施の形態では、前記第 1 シャントスイッチ(102)の前記信号経路の一端と他端とは、第 1 容量(315)と第 2 容量(316)とを介して前記第 1 信号端子(3)と前記接地電位とにそれぞれ接続されたものである。	In a more preferred embodiment, one end and the other end of the signal path of the first shunt switch (102) are connected to the first signal terminal via a first capacitor (315) and a second capacitor (316). (3) and the ground potential.
前記第 2 シャントスイッチ(103)の前記信号経路の一端と他端とは、第 3 容量(317)と第 4 容量(318)とを介して前記第 2 信号端子(4)と前記接地電位とにそれぞれ接続されたことを特徴とするものである(図 3 参照)。	One end and the other end of the signal path of the second shunt switch (103) are connected to the second signal terminal (4) and the ground potential via a third capacitor (317) and a fourth capacitor (318). Are connected to each other (see FIG. 3).
他のより好適な実施の形態によるアンテナスイッチは、他の負電圧生成回路(108)を更に具備する。	The antenna switch according to another more preferred embodiment further includes another negative voltage generation circuit (108).
前記他の負電圧生成回路(108)の入力端子(17)は前記第 2 信号端子(32)に供給される前記送信信号にตอบสนอง可能とされ、前記他の負電圧生成回路(108)の出力端子(18)に生成される負電圧にตอบสนองして前記第 1 転送スイッチ(100)の前記信号経路と前記第 2 シャントスイッチ(106)の前記信号経路とはオフ状態に制御可能とされたことを特徴とする(図 4 参照)。	An input terminal (17) of the other negative voltage generation circuit (108) can respond to the transmission signal supplied to the second signal terminal (32), and an output of the other negative voltage generation circuit (108). The signal path of the first transfer switch (100) and the signal path of the second shunt switch (106) can be controlled to be in an off state in response to a negative voltage generated at the terminal (18). (Refer to FIG. 4).

また他のより好適な実施の形態によるアンテナスイッチでは、前記負電圧生成回路は第 1 負電圧生成回路(107)と第 2 負電圧生成回路(109)とを含む。	In the antenna switch according to another more preferred embodiment, the negative voltage generation circuit includes a first negative voltage generation circuit (107) and a second negative voltage generation circuit (109).
前記第 1 負電圧生成回路(107)の入力端子(20)は前記第 1 信号端子(3)に供給される前記送信信号に応答可能とされ、前記第 1 負電圧生成回路(107)の出力端子(21)に生成される負電圧に応答して前記第 1 シャントスイッチ(102)の前記信号経路はオフ状態に制御可能とされる。	The input terminal (20) of the first negative voltage generation circuit (107) can respond to the transmission signal supplied to the first signal terminal (3), and the output of the first negative voltage generation circuit (107). In response to a negative voltage generated at the terminal (21), the signal path of the first shunt switch (102) can be controlled to an off state.
前記第 2 負電圧生成回路(109)の入力端子(22)は前記第 2 転送スイッチ(101)の前記信号経路で直列接続された前記第 2 の複数の転送電界効果トランジスタ(201a～d)の段間接続点(410)に生成される段間送信信号に応答可能とされ、前記第 2 負電圧生成回路(109)の出力端子(23)に生成される負電圧に応答して前記第 2 転送スイッチ(101)の前記信号経路はオフ状態に制御可能とされたことを特徴とする(図 5 参照)。	The input terminal (22) of the second negative voltage generation circuit (109) is connected to the second plurality of transfer field effect transistors (201a to 201d) connected in series in the signal path of the second transfer switch (101). Responsive to an interstage transmission signal generated at the interstage connection point (410), the second negative voltage generation circuit (109) is responsive to a negative voltage generated at the output terminal (23) of the second negative voltage generation circuit (109). The signal path of the transfer switch (101) can be controlled to be in an off state (see FIG. 5).
具体的な実施の形態によるアンテナスイッチは、第 3 信号端子(41)と第 4 信号端子(42)と第 3 制御端子(7)と第 4 制御端子(25)と第 3 負電圧生成回路(108)と第 4 負電圧生成回路(109)と第 5 負電圧生成回路(112)とを更に具備する(図 6 参照)。	The antenna switch according to the specific embodiment includes a third signal terminal (41), a fourth signal terminal (42), a third control terminal (7), a fourth control terminal (25), and a third negative voltage generating circuit (108), a fourth negative voltage generation circuit (109), and a fifth negative voltage generation circuit (112) (see FIG. 6).
前記第 3 負電圧生成回路(108)の入力端子(17)は前記第 2 信号端子(32)に供給される前記送信信号に応答可能とされ、前記第 3 負電圧生成回路(108)の出力端子(18)に生成される負電圧に応答して前記第 1 転送スイッチ(100)の前記信号経路と前記第 2 シャントスイッチ(106)の前記信号経路とはオフ状態に制御可能とされる。	The input terminal (17) of the third negative voltage generation circuit (108) can respond to the transmission signal supplied to the second signal terminal (32), and the output of the third negative voltage generation circuit (108). In response to the negative voltage generated at the terminal (18), the signal path of the first transfer switch (100) and the signal path of the second shunt switch (106) can be controlled to be in an OFF state.
前記第 3 信号端子(41)と前記アンテナ端子(2)との間には第 3 転送スイッチ(101)の信号経路が接続され、前記第 3 転送スイッチ(101)の前記信号経路のオン・オフ制御は前記第 3 制御端子(7)に供給される第 3 制御電圧(V_{Rx1c})のレベルによって制御可能とされる。	A signal path of a third transfer switch (101) is connected between the third signal terminal (41) and the antenna terminal (2), and the signal path of the third transfer switch (101) is turned on / off. The control can be performed according to the level of the third control voltage (V_{Rx1c}) supplied to the third control terminal (7).

前記第 4 信号端子(4 2)と前記アンテナ端子(2)の間には第 4 転送スイッチ(1 1 0)の信号経路が接続され、前記第 4 転送スイッチ(1 1 0)の前記信号経路のオン・オフ制御は前記第 4 制御端子(2 5)に供給される第 4 制御電圧($V_{R \times 2c}$)のレベルによって制御可能とされる。	A signal path of a fourth transfer switch (110) is connected between the fourth signal terminal (42) and the antenna terminal (2), and the signal path of the fourth transfer switch (110) is turned on / off. The control can be performed according to the level of the fourth control voltage (V_{Rx2c}) supplied to the fourth control terminal (25).
前記第 3 転送スイッチ(1 0 1)はソース・ドレイン経路が直列接続された第 3 の複数の転送電界効果トランジスタ(2 0 1 a～d)を含み、前記第 3 の複数の転送電界効果トランジスタ(2 0 1 a～d)の直列接続された前記ソース・ドレイン経路によって前記第 3 転送スイッチ(1 0 1)の前記信号経路が形成され、前記第 3 の複数の転送電界効果トランジスタ(2 0 1 a～d)の複数のゲートには前記第 3 制御端子(7)に供給される前記第 3 制御電圧($V_{R \times 1c}$)が供給可能とされる。	The third transfer switch (101) includes a third plurality of transfer field effect transistors (201a-d) having source / drain paths connected in series, and the third plurality of transfer field effect transistors (201a-d). The signal path of the third transfer switch (101) is formed by the source / drain paths connected in series, and the gates of the third plurality of transfer field effect transistors (201a-d) The third control voltage (V_{Rx1c}) supplied to the three control terminals (7) can be supplied.
前記第 4 転送スイッチ(1 1 0)はソース・ドレイン経路が直列接続された第 4 の複数の転送電界効果トランジスタ(2 1 4 a～d)を含み、前記第 4 の複数の転送電界効果トランジスタ(2 1 4 a～d)の直列接続された前記ソース・ドレイン経路によって前記第 4 転送スイッチ(1 1 0)の前記信号経路が形成され、前記第 4 の複数の転送電界効果トランジスタ(2 1 4 a～d)の複数のゲートには前記第 4 制御端子(2 5)に供給される第 4 制御電圧($V_{R \times 2c}$)が供給可能とされる。	The fourth transfer switch (110) includes a fourth plurality of transfer field effect transistors (214a-d) having source / drain paths connected in series, and the fourth plurality of transfer field effect transistors (214a-d). The signal path of the fourth transfer switch (110) is formed by the source / drain paths connected in series, and the gates of the fourth plurality of transfer field effect transistors (214a to 214d) The fourth control voltage (V_{Rx2c}) supplied to the four control terminals (25) can be supplied.
前記第 4 負電圧生成回路(1 0 9)の入力端子(2 2)は前記第 3 転送スイッチ(1 0 1)の前記信号経路で直列接続された前記第 3 の複数の転送電界効果トランジスタ(2 0 1 a～d)の段間接続点(4 1 0)に生成される段間送信信号に応答可能とされ、前記第 4 負電圧生成回路(1 0 9)の出力端子(2 3)に生成される負電圧に応答して前記第 3 転送スイッチ(1 0 1)の前記信号経路はオフ状態に制御可能とされる。	The input terminal (22) of the fourth negative voltage generation circuit (109) is connected to the third transfer field effect transistors (201a to 201d) connected in series in the signal path of the third transfer switch (101). Responsive to an inter-stage transmission signal generated at the inter-stage connection point (410), the third negative voltage generating circuit (109) is responsive to a negative voltage generated at the output terminal (23) of the third negative voltage generating circuit (109). The signal path of the transfer switch (101) can be controlled to an off state.

前記第 5 負電圧生成回路(112)の入力端子(27)は前記第 4 転送スイッチ(110)の前記信号経路で直列接続された前記第 4 の複数の転送電界効果トランジスタ(214a～d)の段間接続点(413)に生成される段間送信信号にตอบสนองとされ、前記第 5 負電圧生成回路(110)の出力端子(28)に生成される負電圧にตอบสนองして前記第 4 転送スイッチ(110)の前記信号経路はオフ状態に制御可能とされたことを特徴とするものである(図 6 参照)。	An input terminal (27) of the fifth negative voltage generation circuit (112) is connected to the fourth plurality of transfer field effect transistors (214a to 214d) connected in series in the signal path of the fourth transfer switch (110). Responsive to the inter-stage transmission signal generated at the inter-stage connection point (413), the fourth negative signal is generated in response to the negative voltage generated at the output terminal (28) of the fifth negative voltage generation circuit (110). The signal path of the transfer switch (110) can be controlled to be in an off state (see FIG. 6).
最も具体的な実施の形態では、前記第 4 負電圧生成回路(109)の前記入力端子(22)と前記第 3 転送スイッチ(101)の前記第 3 の複数の転送電界効果トランジスタ(201a～d)の前記段間接続点(410)との間および前記第 5 負電圧生成回路(110)の前記入力端子(27)と前記第 4 転送スイッチ(110)の前記第 4 の複数の転送電界効果トランジスタ(214a～d)の前記段間接続点(413)には可変減衰器(218a～b、219a～b、360、361a～b、362a～b、363a～b、364a～b)が接続される。	In the most specific embodiment, the input terminal (22) of the fourth negative voltage generation circuit (109) and the third plurality of transfer field effect transistors (201a-d) of the third transfer switch (101).) Between the input terminals (27) of the fifth negative voltage generating circuit (110) and the fourth plurality of transfer field effects of the fourth transfer switch (110). Variable attenuators (218a-b, 219a-b, 360, 361a-b, 362a-b, 363a-b, 364a-b) are connected to the interstage connection point (413) of the transistors (214a-d). The
ローバンドの第 1 送信信号が第 1 信号端子(31)に供給される場合には、前記可変減衰器は大きな減衰量に制御され、前記ローバンドの周波数よりも高い周波数のハイバンドの第 2 送信信号が第 2 信号端子(32)に供給される場合には、前記可変減衰器は小さな減衰量に制御されることを特徴とする(図 6 参照)。	When a low-band first transmission signal is supplied to the first signal terminal (31), the variable attenuator is controlled to a large attenuation, and a high-band second transmission signal having a frequency higher than the low-band frequency. Is supplied to the second signal terminal 32, the variable attenuator is controlled to have a small attenuation (see FIG. 6).
〔2〕本発明の別の観点の代表的な実施の形態は、RF 電力増幅器(70)とアンテナスイッチ(73)を具備する高周波モジュール(RF_MD)である。	[2] A typical embodiment of another aspect of the present invention is a high-frequency module (RF_MD) including an RF power amplifier (70) and an antenna switch (73).
前記アンテナスイッチ(73)は、上記〔1〕の本発明のいずれかの実施の形態で構成されたことを特徴とする(図 7 参照)。	The antenna switch (73) is configured according to any one of the embodiments of the present invention described in [1] (see FIG. 7).
前記実施の形態によれば、アンテナスイッチの高調波歪特性を改善することができる。	According to the embodiment, it is possible to improve the harmonic distortion characteristics of the antenna switch.
2. 実施の形態の詳細 次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。	2. Details of Embodiment Next, the embodiment will be described in more detail. In all the drawings for explaining the best mode for carrying out the invention, components having the same functions as those in the above-mentioned drawings are denoted by the same reference numerals, and repeated description thereof is omitted.

[実施の形態 1] 《送受信用SPDT型アンテナスイッチ》 図3は、本発明の実施の形態1によるアンテナスイッチを含む半導体集積回路の構成を示す図である。	[Embodiment 1] << SPDT antenna switch for transmission and reception >> FIG. 3 is a diagram showing a configuration of a semiconductor integrated circuit including the antenna switch according to the first embodiment of the present invention.
図3に示す本発明の実施の形態1による半導体集積回路1は、送信用トランスファークロスタック100と受信用トランスファークロスタック101と送信側シャントクロスタック102と受信側シャントクロスタック103と降圧回路104とを有するアンテナスイッチを少なくとも1個またはそれ以上を含むものである。従って、図3に示す半導体集積回路1は、送受信用SPDT型アンテナスイッチとして機能するものである。尚、SPDTは、Single-Pole Double-Throughの略である。	A semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. 3 includes a transmission transfer gate switch 100, a reception transfer gate switch 101, a transmission side shunt gate switch 102, a reception side shunt gate switch 103, and a step-down circuit 104. Including at least one or more antenna switches. Therefore, the semiconductor integrated circuit 1 shown in FIG. 3 functions as a transmission / reception SPDT antenna switch. Note that SPDT is an abbreviation for Single-Pole Double-Through.
また図3に示す本発明の実施の形態1による半導体集積回路1は、ガリウム砒素等の化合物半導体基板によって構成されている。更に、図3に示す本発明の実施の形態1による半導体集積回路1に含まれるアンテナスイッチで使用される電界効果トランジスタは、図1の本発明に先立って本発明者によって検討されたアンテナスイッチと同様にnチャンネル型でノーマリーオンのMES型電界効果トランジスタである。すなわち、しきい値電圧V_{th}が負のデバイスであってゲート・ソース間電圧がしきい値電圧V_{th}以上であれば、ドレインとソースとの間は低インピーダンスのオン状態となり、ゲート・ソース間電圧がしきい値電圧V_{th}以下であれば、高インピーダンスのオフ状態となる。最近ではオン時の挿入損失低減から、高電子移動度トランジスタを使うことが多い。またこの電界効果トランジスタQは、ドレインとソースとを短絡することによって、ダイオードとして動作する。これは、図3に示す本発明の実施の形態1だけではなく、図4に示す本発明の実施の形態2から図6に示す本発明の実施の形態4においても同様に適応するものである。	A semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. 3 is composed of a compound semiconductor substrate such as gallium arsenide. Further, the field effect transistor used in the antenna switch included in the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. 3 is the same as the antenna switch studied by the present inventor prior to the present invention in FIG. Similarly, it is an n-channel normally-on MES field effect transistor. That is, if the threshold voltage V_{th} is a negative device and the gate-source voltage is equal to or higher than the threshold voltage V_{th}, the low-impedance ON state is established between the drain and the source, and the gate-source voltage is When the voltage is equal to or lower than the threshold voltage V_{th}, the high impedance is turned off. Recently, a high electron mobility transistor is often used in order to reduce insertion loss at the time of ON. The field effect transistor Q operates as a diode by short-circuiting the drain and the source. This applies not only to the first embodiment of the present invention shown in FIG. 3 but also to the second embodiment of the present invention shown in FIG. 4 to the fourth embodiment of the present invention shown in FIG. is there.

《送信用スイッチ》 送信用トランスファークロスタッチ 100 は送信端子 3 とアンテナ端子 2 との間に接続され、この送信用トランスファークロスタッチ 100 の 4 個直列接続された電界効果トランジスタ 200 a ～ d のオン・オフ制御は送信制御端子 5 に供給される送信制御電圧 V_{Tx} のレベルによって制御可能である。	《Transmission switch》 The transmission transfer gate switch 100 is connected between the transmission terminal 3 and the antenna terminal 2, and the on / off control of the four field effect transistors 200a to 200d connected in series of the transmission transfer gate switch 100 is a transmission control terminal. 5 can be controlled by the level of the transmission control voltage V_{Tx} supplied to 5.
《受信用スイッチ》 受信用トランスファークロスタッチ 101 は受信端子 4 とアンテナ端子 2 との間に接続され、この受信用トランスファークロスタッチ 101 の 4 個直列接続された電界効果トランジスタ 201 a ～ d のオン・オフ制御は受信制御端子 7 に供給される受信制御電圧 V_{Rx} のレベルによって制御可能である。	《Reception switch》 The reception transfer gate switch 101 is connected between the reception terminal 4 and the antenna terminal 2, and the on / off control of the four field effect transistors 201a to 201d connected in series of the reception transfer gate switch 101 is a reception control terminal. 7 is controllable by the level of the reception control voltage V_{Rx} supplied to 7.
《送信側シャントスイッチ》 送信側シャントクロスタッチ 102 の一端は容量 315 を介して送信端子 3 に接続される一方、他端は容量 316 を介して接地端子 8 に接続される。送信側シャントクロスタッチ 102 の 4 個直列接続された電界効果トランジスタ 202 a ～ d のドレインとソースとにシャント制御端子 6 の制御電圧が抵抗 314、309 a ～ d を介して供給され、そのオン・オフ制御は受信制御端子 7 に供給される受信制御電圧 V_{Rx} のレベルによって制御可能である。	<Sender shunt switch> One end of the transmission-side shunt gate switch 102 is connected to the transmission terminal 3 via a capacitor 315, while the other end is connected to the ground terminal 8 via a capacitor 316. The control voltage of the shunt control terminal 6 is supplied to the drains and sources of the four field-effect transistors 202a to 202d connected in series of the transmission side shunt gate switch 102 via the resistors 314 and 309a to d, and the on / off control thereof. Can be controlled by the level of the reception control voltage V_{Rx} supplied to the reception control terminal 7.
《受信側シャントスイッチ》 受信側シャントクロスタッチ 103 の一端は容量 317 を介して受信端子 4 に接続される一方、他端は容量 318 を介して接地端子 9 に接続される。受信側シャントクロスタッチ 103 の 2 個直列接続された電界効果トランジスタ 203 a ～ b のゲート端子は抵抗 310、311 a ～ b を介して接地端子 9 に接続され、そのオン・オフ制御は受信制御端子 7 に供給される受信制御電圧 V_{Rx} のレベルによって制御可能である。	<Receiver shunt switch> One end of the reception-side shunt gate switch 103 is connected to the reception terminal 4 through the capacitor 317, while the other end is connected to the ground terminal 9 through the capacitor 318. The gate terminals of two field-effect transistors 203a-b connected in series of the receiving-side shunt gate switch 103 are connected to the ground terminal 9 through resistors 310, 311a-b, and ON / OFF control thereof is applied to the reception control terminal 7. Control is possible according to the level of the supplied reception control voltage V_{Rx}.

《負電圧生成降圧回路》 降圧回路１０４の入力端子１０は送信端子３と接続され、出力端子１１に生成される負の直流電圧が受信用トランスファークロスタック１０１の電界効果トランジスタ２０１ａ～ｄと送信側シャントクロスタック１０２の電界効果トランジスタ２０２ａ～ｄのゲートに供給可能とされている。	《Negative voltage generation step-down circuit》 The input terminal 10 of the step-down circuit 104 is connected to the transmission terminal 3, and the negative DC voltage generated at the output terminal 11 causes the field effect transistors 201 a to 201 d of the reception transfer gate switch 101 and the field effect of the transmission side shunt gate switch 102. It can be supplied to the gates of the transistors 202a to 202d.
図３に示す本発明の実施の形態１による半導体集積回路１の送信用トランスファークロスタック１００と受信用トランスファークロスタック１０１と送信側シャントクロスタック１０２と受信側シャントクロスタック１０３の各スイッチで直列接続される電界効果トランジスタの個数は、送信端子３に供給される送信信号の電圧レベルとオフ耐圧とから設定される。	The transmission transfer gate switch 100, the reception transfer gate switch 101, the transmission side shunt gate switch 102, and the reception side shunt gate switch 103 of the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. The number of field effect transistors to be applied is set from the voltage level of the transmission signal supplied to the transmission terminal 3 and the off breakdown voltage.
《低レベル送信動作》 送信時には、例えば、送信制御端子５とシャント制御端子６に３．０Ｖの電圧が供給され、受信制御端子７には０Ｖの電圧が供給される。この時には、送信用トランスファークロスタック１００の４個直列接続された電界効果トランジスタ２００ａ～ｄの各トランジスタのゲート・ソース間とゲート・ドレイン間とに、それぞれダイオード順方向特性が現れている。このダイオードの順方向電圧降下を０．６Ｖとすると、アンテナ端子２と送信端子３と受信端子４とのアンテナスイッチの信号経路の直流電圧（＝以後、アンテナ電圧と言う）は２．４Ｖである。従って、送信用トランスファークロスタック１００はオン状態となる一方、受信用トランスファークロスタック１０１の電界効果トランジスタ２０１ａ～ｄのゲート・ソース間電圧とゲート・ドレイン間電圧とは－２．４Ｖとなり電界効果トランジスタ２０１ａ～ｄはオフ状態となる。	<Low level transmission operation> At the time of transmission, for example, a voltage of 3.0 V is supplied to the transmission control terminal 5 and the shunt control terminal 6, and a voltage of 0 V is supplied to the reception control terminal 7. At this time, diode forward characteristics appear between the gate and the source and between the gate and the drain of each of the four field effect transistors 200a to 200d of the transmission transfer gate switch 100 connected in series. If the forward voltage drop of this diode is 0.6V, the DC voltage of the signal path of the antenna switch of the antenna terminal 2, the transmission terminal 3 and the reception terminal 4 (= hereinafter referred to as the antenna voltage) is 2.4V. . Accordingly, the transmission transfer gate switch 100 is turned on, while the gate-source voltage and the gate-drain voltage of the field-effect transistors 201a to 201d of the reception transfer gate switch 101 are -2.4V. 201a-d will be in an OFF state.
送信側シャントクロスタック１０２はその両端の２個の容量３１５、３１６によりアンテナ電圧の影響を受けることがなくシャント制御端子６に供給された３．０Ｖと受信制御端子７に供給された０Ｖとの電位差が－３Ｖとなるため、送信側シャントクロスタック１０２はオフ状態となる。	The transmission-side shunt gate switch 102 is not affected by the antenna voltage by the two capacitors 315 and 316 at both ends thereof, and is 3.0V supplied to the shunt control terminal 6 and 0V supplied to the reception control terminal 7. Since the potential difference is -3 V, the transmission-side shunt gate switch 102 is turned off.

受信側シャントゲートスイッチ 103 はその両端の 2 個の容量 317、318 によりアンテナ電圧の影響を受けることがなく受信制御端子 7 に供給された 0 V と接地端子 9 の接地電位との電位差が 0 V となるため、受信側シャントゲートスイッチ 103 はオン状態となる。	The receiving shunt gate switch 103 is not affected by the antenna voltage by the two capacitors 317 and 318 at both ends thereof, and the potential difference between 0 V supplied to the receiving control terminal 7 and the ground potential of the ground terminal 9 becomes 0 V. Therefore, the receiving side shunt gate switch 103 is turned on.
この時に、受信端子 4 に漏洩する送信信号成分はオフ状態の受信用トランスファークロスイッチ 101 によって減衰され、また更にオン状態の受信側シャントゲートスイッチ 103 により接地電位にバイパスされる。従って、受信端子 4 に漏洩する送信信号成分のレベルは、十分低減されることが可能となる。	At this time, the transmission signal component leaking to the reception terminal 4 is attenuated by the reception transfer gate switch 101 in the off state, and further bypassed to the ground potential by the reception side shunt gate switch 103 in the on state. Therefore, the level of the transmission signal component leaking to the reception terminal 4 can be sufficiently reduced.
送信端子 3 に供給された送信信号が降圧回路 104 の入力端子 10 に供給され、ダイオード 204、205 の入力接続点 400 に発生する入力電圧がダイオード 204、205 のしきい値電圧より小さい場合には、降圧回路 104 の出力端子 11 に負電圧は発生しない。	When the transmission signal supplied to the transmission terminal 3 is supplied to the input terminal 10 of the step-down circuit 104 and the input voltage generated at the input connection point 400 of the diodes 204 and 205 is smaller than the threshold voltage of the diodes 204 and 205 No negative voltage is generated at the output terminal 11 of the step-down circuit 104.
図 8 は、低レベルの送信信号が図 3 の本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係を示す図である。	FIG. 8 shows the voltages of the switches 100, 101, 102, and 103 when a low-level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the invention shown in FIG. It is a figure which shows the relationship of an operation state.
図 8 に示すように、送信端子 3 とアンテナ端子 2 の間に接続された送信用トランスファークロスイッチ 100 がオン状態に制御されるので、送信端子 3 に供給される送信信号がアンテナ端子 2 に伝達される。	As shown in FIG. 8, since the transmission transfer gate switch 100 connected between the transmission terminal 3 and the antenna terminal 2 is controlled to be in an ON state, the transmission signal supplied to the transmission terminal 3 is transmitted to the antenna terminal 2. Is done.
《高レベル送信動作》 送信端子 3 と降圧回路 104 の入力端子 10 とに供給される送信信号の電圧レベルが増大してダイオード 204、205 の入力接続点 400 に発生する電圧と基準電位点 401 との間の電位差 V_{in} がダイオード 204、205 のしきい値電圧 V_f よりも大きくなるとダイオード 204、205 は整流動作を開始するので、降圧回路 104 の出力端子 11 には下記(2)式に従った負電圧 V_{out} が生成される。	《High level transmission operation》 The voltage level of the transmission signal supplied to the transmission terminal 3 and the input terminal 10 of the step-down circuit 104 increases, and the potential difference V_{in} between the voltage generated at the input connection point 400 of the diodes 204 and 205 and the reference potential point 401 is When the voltage exceeds the threshold voltage V_f of the diodes 204 and 205, the diodes 204 and 205 start rectifying operation, so that the negative voltage V_{out} according to the following equation (2) is generated at the output terminal 11 of the step-down circuit 104. .

数2 $V_{out} \div -2 \cdot (V_{in} - V_f) - V_{ss} \quad \dots(2)式$	数2 $V_{out} \div -2 \cdot (V_{in} - V_f) - V_{ss} \quad \dots(2)式$
上記(2)式でV_{ss}は接地電圧レベルであり、また上記(2)式によって与えられる負電圧V_{out}の電圧値は、負電圧V_{out}を生成する降圧回路104の回路形式が変更されると異なる値に変化するものである。従って、負電圧V_{out}を生成する降圧回路104の回路形式は、図3に示す本発明の実施の形態1による半導体集積回路1の降圧回路104の回路以外の回路を採用することが可能である。例えば、$V_{in}=1.6V$、$V_f=0.6V$とすると、上記(2)式に従って、$-2.0V$の負電圧V_{out}が降圧回路104の出力端子11に生成される。	In the above equation (2), V_{ss} is the ground voltage level, and the voltage value of the negative voltage V_{out} given by the above equation (2) is different when the circuit format of the step-down circuit 104 that generates the negative voltage V_{out} is changed. It will change to. Therefore, the circuit format of the step-down circuit 104 for generating the negative voltage V_{out} can employ a circuit other than the step-down circuit 104 of the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. For example, if $V_{in} = 1.6V$ and $V_f = 0.6V$, a negative voltage V_{out} of $-2.0V$ is generated at the output terminal 11 of the step-down circuit 104 according to the above equation (2).
図9は、高レベルの送信信号が図3の本発明の実施の形態1による半導体集積回路1のアンテナスイッチの送信端子3に供給される際に各スイッチ100、101、102、103の電圧と動作状態の関係を示す図である。すなわち、図9では、高レベルの送信信号がアンテナスイッチの送信端子3に供給されることによって、ダイオード204、205の入力接続点400に発生する電圧と基準電位点401との間の電位差V_{in}が$1.6V$となっているものである。	FIG. 9 shows the voltages of the switches 100, 101, 102, and 103 when a high level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the invention shown in FIG. It is a figure which shows the relationship of an operation state. In other words, in FIG. 9, when a high-level transmission signal is supplied to the transmission terminal 3 of the antenna switch, the potential difference V_{in} between the voltage generated at the input connection point 400 of the diodes 204 and 205 and the reference potential point 401 is It is 1.6V.
図9に示すように、図8と同様に、送信端子3とアンテナ端子2の間に接続された送信用トランスファークロスタスイッチ100がオン状態に制御されるので、送信端子3に供給される送信信号がアンテナ端子2に伝達される。また図9では、上記(2)式に従った$-2.0V$の負電圧V_{out}によって、オフ状態とされるスイッチ101、102の電界効果トランジスタのゲート・ソース間電圧が深い逆方向電圧とされている。その結果、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	As shown in FIG. 9, since the transmission transfer gate switch 100 connected between the transmission terminal 3 and the antenna terminal 2 is controlled to be in the ON state, similarly to FIG. 8, the transmission signal supplied to the transmission terminal 3 is transmitted to the antenna terminal 2. In FIG. 9, the negative voltage V_{out} of $-2.0V$ according to the above equation (2) causes the gate-source voltage of the field effect transistors of the switches 101 and 102 to be turned off to be a deep reverse voltage. Yes. As a result, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.

《受信動作》 受信時には、図 3 に示した本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチにおいて、送信制御端子 5 に 0 V の電圧が供給され、シャント制御端子 6 と受信制御端子 7 とに 3 . 0 V の電圧が供給される。この時には、受信用トランスファークロスタスイッチ 101 の 4 個直列接続された電界効果トランジスタは 201 a ~ d の各トランジスタのゲート・ソース間とゲート・ドレイン間とに、それぞれダイオード順方向特性が現れている。	<Receiving operation> At the time of reception, in the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. 3, a voltage of 0 V is supplied to the transmission control terminal 5, and the shunt control terminal 6 and the reception control terminal 7 A voltage of 0V is supplied. At this time, the four field-effect transistors of the receiving transfer gate switch 101 connected in series exhibit diode forward characteristics between the gate and the source and between the gate and the drain of each of the transistors 201a to 201d.
このダイオードの順方向電圧降下を 0 . 6 V とすると、アンテナ電圧は 2 . 4 V となり、受信用トランスファークロスタスイッチ 101 はオン状態に制御される一方、送信用トランスファークロスタスイッチ 100 の電界効果トランジスタ 200 a ~ d のゲート・ソース間電圧とゲート・ドレイン間電圧は -2 . 4 V となり送信用トランスファークロスタスイッチ 100 はオフ状態に制御される。	When the forward voltage drop of this diode is 0.6V, the antenna voltage becomes 2.4V, and the reception transfer gate switch 101 is controlled to be in the ON state, while the field effect transistors 200a to 200d of the transmission transfer gate switch 100 are controlled. The gate-source voltage and the gate-drain voltage become -2.4 V, and the transmission transfer gate switch 100 is controlled to be in the OFF state.
受信側シャントクロスタスイッチ 103 はその両端の 2 個の容量 317、318 によりアンテナ電圧の影響を受けることなく、また受信制御端子 7 に供給された 3 . 0 V と接地端子 9 のゲート接地電位との電位差が -3 . 0 V となるため、受信側シャントクロスタスイッチ 103 はオフ状態となる。	The reception-side shunt gate switch 103 is not affected by the antenna voltage due to the two capacitors 317 and 318 at both ends thereof, and the potential difference between the 3.0 V supplied to the reception control terminal 7 and the gate ground potential of the ground terminal 9. Is -3.0 V, the receiving-side shunt gate switch 103 is turned off.
送信側シャントクロスタスイッチ 102 はその両端の 2 個の容量 315、316 によりアンテナ電圧の影響を受けることなく、またシャント制御端子 6 に供給された 3 . 0 V と受信制御端子 7 に供給された 3 . 0 V との電位差が 0 V となるため、送信側シャントクロスタスイッチ 102 はオン状態となる。	The transmission side shunt gate switch 102 is not affected by the antenna voltage due to the two capacitors 315 and 316 at both ends thereof, and is also supplied with 3.0 V supplied to the shunt control terminal 6 and to the reception control terminal 7. Since the potential difference from 0V is 0V, the transmission side shunt gate switch 102 is turned on.
この時に、送信端子 3 に漏洩する受信信号成分はオフ状態の送信用トランスファークロスタスイッチ 100 によって減衰され、また更にオン状態の送信側シャントクロスタスイッチ 102 によって接地電位にバイパスされる。従って、送信端子 3 に漏洩する受信信号成分のレベルは、十分低減されることが可能となる。	At this time, the received signal component leaking to the transmission terminal 3 is attenuated by the transmission transfer gate switch 100 in the off state, and further bypassed to the ground potential by the transmission side shunt gate switch 102 in the on state. Therefore, the level of the received signal component leaking to the transmission terminal 3 can be sufficiently reduced.

図 10 は、受信信号が図 3 に示した本発明の実施の形態 1 による半導体集積回路 1 のアンテナスイッチの受信端子 4 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。	FIG. 10 shows the voltage and operation of each switch 100, 101, 102, 103 when the received signal is supplied to the receiving terminal 4 of the antenna switch of the semiconductor integrated circuit 1 according to the first embodiment of the present invention shown in FIG. It is a figure which shows the relationship of a state.
図 10 に示すように受信端子 4 とアンテナ端子 2 の間に接続された受信用トランスファークロススイッチ 101 がオン状態に制御されるので、アンテナ端子 2 に供給される受信信号が受信端子 4 に伝達される。	As shown in FIG. 10, since the reception transfer gate switch 101 connected between the reception terminal 4 and the antenna terminal 2 is controlled to be in an ON state, the reception signal supplied to the antenna terminal 2 is transmitted to the reception terminal 4. The
この受信時には、上述のように送信側シャントゲートスイッチ 102 はオン状態に制御されるので、送信端子 3 と降圧回路 104 の入力端子 10 とに供給される信号成分は送信側シャントゲートスイッチ 102 と 2 個の容量 315、316 を介して接地電位にバイパスされるので、降圧回路 104 による負電圧 V_{out} の生成機能が停止され、受信端子 4 とアンテナ端子 2 との間に接続された受信用トランスファークロススイッチ 101 が不所望にオフ状態に制御されることが防止されることが可能となる。	At the time of reception, since the transmission side shunt gate switch 102 is controlled to be in the ON state as described above, the signal components supplied to the transmission terminal 3 and the input terminal 10 of the step-down circuit 104 are the transmission side shunt gate switches 102 and 2. Since it is bypassed to the ground potential via the capacitors 315 and 316, the function of generating the negative voltage V_{out} by the step-down circuit 104 is stopped, and the transfer gate switch for reception connected between the reception terminal 4 and the antenna terminal 2 It is possible to prevent the 101 from being undesirably controlled to the off state.
[実施の形態 2] 《送信用 SPDT 型アンテナスイッチ》 図 4 は、本発明の実施の形態 2 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。	[Embodiment 2] << SPDT antenna switch for transmission >> FIG. 4 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the second embodiment of the present invention.
図 4 に示す本発明の実施の形態 2 による半導体集積回路 1 は、第 1 の送信用トランスファークロススイッチ 100 と第 2 の送信用トランスファークロススイッチ 105 と第 1 の送信側シャントゲートスイッチ 102 と第 2 の送信側シャントゲートスイッチ 106 と第 1 と第 2 の降圧回路 107、108 とを有するアンテナスイッチを少なくとも 1 個またはそれ以上を含むものである。従って、図 4 に示す半導体集積回路 1 は、送信用 SPDT 型アンテナスイッチとして機能するものである。	The semiconductor integrated circuit 1 according to the second embodiment of the present invention shown in FIG. 4 includes a first transmission transfer gate switch 100, a second transmission transfer gate switch 105, a first transmission shunt gate switch 102, and a second transmission gate switch 102. The transmission side shunt gate switch 106 and the first and second step-down circuits 107 and 108 include at least one or more antenna switches. Therefore, the semiconductor integrated circuit 1 shown in FIG. 4 functions as a transmission SPDT antenna switch.

《第 1 の送信用スイッチ》 第 1 の送信用トランスファークロスタック 100 は第 1 の送信端子 31 とアンテナ端子 2 との間に接続され、第 1 の送信用トランスファークロスタック 100 の電界効果トランジスタ 200 a ～ d のオン・オフ制御は第 1 の送信制御端子 5 に供給される送信制御電圧 V_{Tx1c} のレベルによって制御可能である。	<First transmission switch> The first transmission transfer gate switch 100 is connected between the first transmission terminal 31 and the antenna terminal 2, and the on / off control of the field effect transistors 200 a to 200 d of the first transmission transfer gate switch 100 is the first. It can be controlled by the level of the transmission control voltage V_{Tx1c} supplied to one transmission control terminal 5.
《第 2 の送信用スイッチ》 第 2 の送信用トランスファークロスタック 105 は第 2 の送信端子 32 とアンテナ端子 2 との間に接続され、第 2 の送信用トランスファークロスタック 105 の電界効果トランジスタ 206 a ～ d のオン・オフ制御は第 2 の送信制御端子 13 に供給される受信制御電圧 V_{Tx2c} のレベルによって制御可能である。	<< Second transmission switch >> The second transmission transfer gate switch 105 is connected between the second transmission terminal 32 and the antenna terminal 2, and on / off control of the field effect transistors 206 a to 206 d of the second transmission transfer gate switch 105 is performed in the first. It can be controlled by the level of the reception control voltage V_{Tx2c} supplied to the second transmission control terminal 13.
《第 1 の送信側シャントスイッチ》 第 1 の送信側シャントクロスタック 102 の一端は容量 315 を介して第 1 の送信端子 31 に接続され、他端は容量 316 を介して接地端子 8 に接続され、第 1 の送信側シャントクロスタック 102 の電界効果トランジスタ 202 a ～ d のドレインとソースとにシャント制御端子 6 の制御電圧 V_{shunt} が抵抗 341、314、309 a ～ d を介して供給され、第 1 の送信側シャントクロスタック 102 のオン・オフ制御は第 2 の送信制御端子 13 に供給される第 2 の送信制御電圧 V_{Tx2c} のレベルによって制御可能である。	<< First transmitter shunt switch >> One end of the first transmission side shunt gate switch 102 is connected to the first transmission terminal 31 via the capacitor 315, and the other end is connected to the ground terminal 8 via the capacitor 316. The control voltage V_{shunt} of the shunt control terminal 6 is supplied to the drains and sources of the field effect transistors 202a to 102d of 102 through the resistors 341, 314, and 309a to d, and the first transmission side shunt gate switch 102 is turned on / off The control can be controlled by the level of the second transmission control voltage V_{Tx2c} supplied to the second transmission control terminal 13.
《第 2 の送信側シャントスイッチ》 第 2 の送信側シャントクロスタック 106 の一端は容量 330 を介して第 2 の送信端子 32 に接続され、他端は容量 331 を介して接地端子 14 に接続され、第 2 の送信側シャントクロスタック 106 の電界効果トランジスタ 207 a ～ d のドレインとソースとにシャント制御端子 6 の制御電圧 V_{shunt} が抵抗 341、340、329 a ～ d を介して供給され、第 2 の送信側シャントクロスタック 106 のオン・オフ制御は第 1 の送信制御端子 5 に供給される第 1 の送信制御電圧 V_{Tx1c} のレベルによって制御可能である。	<< Second transmitter shunt switch >> One end of the second transmission-side shunt gate switch 106 is connected to the second transmission terminal 32 via the capacitor 330, and the other end is connected to the ground terminal 14 via the capacitor 331. 106, the control voltage V_{shunt} of the shunt control terminal 6 is supplied to the drain and source of the field effect transistors 207a to 207d via the resistors 341, 340 and 329a to d, and the second transmission side shunt gate switch 106 is turned on / off. The control can be controlled by the level of the first transmission control voltage V_{Tx1c} supplied to the first transmission control terminal 5.

《第１の負電圧生成降圧回路》 第１の降圧回路１０７の入力端子１５は第１の送信端子３１と接続され、出力端子１６に生成される負の直流電圧が第２の送信用トランスファークロスタスイッチ１０５の電界効果トランジスタ２０６ａ～ｄのゲートと第１の送信側シャントゲートスイッチ１０２の電界効果トランジスタ２０２ａ～ｄのゲートに供給可能とされている。	<< First negative voltage generating step-down circuit >> The input terminal 15 of the first step-down circuit 107 is connected to the first transmission terminal 31, and the negative DC voltage generated at the output terminal 16 is applied to the field effect transistors 206 a to 206 d of the second transmission transfer gate switch 105. The gate and the gates of the field effect transistors 202a to 202d of the first transmitting shunt gate switch 102 can be supplied.
《第２の負電圧生成降圧回路》 第２の降圧回路１０８の入力端子１７は第２の送信端子３２と接続され、出力端子１８に生成される負の直流電圧が第１のトランスファークロスタスイッチ１００の電界効果トランジスタ２００ａ～ｄのゲートと第２の送信側シャントゲートスイッチ１０６の電界効果トランジスタ２０７ａ～ｄのゲートに供給可能とされている。	<< Second negative voltage generating step-down circuit >> The input terminal 17 of the second step-down circuit 108 is connected to the second transmission terminal 32, and the negative DC voltage generated at the output terminal 18 is connected to the gates of the field effect transistors 200 a to 200 d of the first transfer gate switch 100. The second transmission side shunt gate switch 106 can be supplied to the gates of field effect transistors 207a to 207d.
図４に示す本発明の実施の形態２による半導体集積回路１の第１の送信用トランスファークロスタスイッチ１００と第２の送信用トランスファークロスタスイッチ１０５と第１の送信側シャントゲートスイッチ１０２と第２の送信側シャントゲートスイッチ１０６の各スイッチで直列接続される電界効果トランジスタの個数は第１の送信端子３１と第２の送信端子３２とにそれぞれ供給される第１の送信信号と第２の送信信号の電圧レベルとオフ耐圧とから設定される。	The first transmission transfer gate switch 100, the second transmission transfer gate switch 105, the first transmission shunt gate switch 102, and the second transmission gate switch 100 of the semiconductor integrated circuit 1 according to the second embodiment of the present invention shown in FIG. The number of field-effect transistors connected in series by each switch of the transmission-side shunt gate switch 106 is the first transmission signal and the second transmission signal supplied to the first transmission terminal 31 and the second transmission terminal 32, respectively. Is set from the voltage level and the off breakdown voltage.

《低レベルの第1送信動作》 低レベルの第1の送信信号の送信時、すなわち低レベルの第1の送信信号を第1の送信端子31から供給して、アンテナ端子2に出力する場合には、例えば第1の送信制御端子5とシャント制御端子6とに3.0Vの電圧を供給して、第2の送信制御端子13に0Vの電圧を供給する。この時には、送信用トランスファースイッチ100の4個直列接続された電界効果トランジスタ200a～dの各トランジスタのゲート・ソース間とゲート・ドレイン間とに、それぞれダイオード順方向特性が現れている。このダイオードの順方向電圧降下を0.6Vとすると、アンテナ端子2と第1の送信端子31と第2の送信端子32とのアンテナスイッチの信号経路の直流電圧(=以後、アンテナ電圧と言う)は2.4Vである。従って、第1の送信用トランスファースイッチ100はオン状態となる一方、第2の送信用トランスファースイッチ105の電界効果トランジスタ206a～dのゲート・ソース間電圧とゲート・ドレイン間電圧とは-2.4Vとなり電界効果トランジスタ206a～dはオフ状態となる。	<< Low level first transmission operation >> When transmitting a low-level first transmission signal, that is, when a low-level first transmission signal is supplied from the first transmission terminal 31 and output to the antenna terminal 2, for example, a first transmission control terminal 5 and the shunt control terminal 6 are supplied with a voltage of 3.0 V, and the second transmission control terminal 13 is supplied with a voltage of 0 V. At this time, diode forward characteristics appear between the gate and the source and between the gate and the drain of each of the four field effect transistors 200a to 200d of the transmission transfer gate switch 100 connected in series. When the forward voltage drop of the diode is 0.6 V, the DC voltage of the signal path of the antenna switch between the antenna terminal 2, the first transmission terminal 31, and the second transmission terminal 32 (= hereinafter referred to as the antenna voltage). Is 2.4V. Accordingly, the first transmission transfer gate switch 100 is turned on, while the gate-source voltage and the gate-drain voltage of the field effect transistors 206a to 206d of the second transmission transfer gate switch 105 are -2.4V, and the field effect transistors 206a to 206d are turned off.
第1の送信側シャントゲートスイッチ102はその両端の2個の容量315、316によりアンテナ電圧の影響を受けることなくシャント制御端子6に供給された3.0Vと第2の送信制御端子13に供給された0Vとの電位差が-3Vとなるため、第1の送信側シャントゲートスイッチ102はオフ状態となる。	The first transmission-side shunt gate switch 102 is supplied to the second transmission control terminal 13 with 3.0 V supplied to the shunt control terminal 6 without being affected by the antenna voltage by the two capacitors 315 and 316 at both ends thereof. Since the potential difference with respect to 0V is -3V, the first transmission shunt gate switch 102 is turned off.
第2の送信側シャントゲートスイッチ106はその両端の2個の容量330、331によりアンテナ電圧の影響を受けることなくシャント制御端子6に供給された3.0Vと第1の送信制御端子5に供給された3.0Vとの電位差が0Vとなるため、第2の送信側シャントゲートスイッチ106はオン状態となる。	The second transmission-side shunt gate switch 106 is supplied to the first transmission control terminal 5 at 3.0 V supplied to the shunt control terminal 6 without being affected by the antenna voltage by the two capacitors 330 and 331 at both ends thereof. Since the potential difference with respect to 3.0V is 0V, the second transmission side shunt gate switch 106 is turned on.
この時、第2の送信端子32に漏洩する第1の送信信号はオフ状態の第2の送信用トランスファースイッチ105によって減衰され、また更にオン状態の第2の送信側シャントゲートスイッチ106により接地電位にバイパスされる。その結果、第2の送信端子32に漏洩する第1の送信信号成分は、十分に低減されることが可能となる。	At this time, the first transmission signal leaking to the second transmission terminal 32 is attenuated by the second transmission transfer gate switch 105 in the off state, and further grounded by the second transmission side shunt gate switch 106 in the on state. Bypassed to potential. As a result, the first transmission signal component leaking to the second transmission terminal 32 can be sufficiently reduced.

第 1 の送信端子 3 1 に供給された第 1 の送信信号が第 1 の降圧回路 1 0 7 の入力端子 1 5 に供給され、ダイオード 2 0 8、2 0 9 の入力接続点 4 0 3 に発生する入力電圧と基準電位点 4 0 2 の電位差 V_{in} がダイオード 2 0 8、2 0 9 のしきい値電圧 V_f よりも小さい場合には、第 1 の降圧回路 1 0 7 の出力端子 1 6 に負電圧は発生しない。	The first transmission signal supplied to the first transmission terminal 31 is supplied to the input terminal 15 of the first step-down circuit 107, and the input voltage generated at the input connection point 403 of the diodes 208 and 209 and the reference potential point 402. When the potential difference V_{in} is smaller than the threshold voltage V_f of the diodes 208 and 209, no negative voltage is generated at the output terminal 16 of the first step-down circuit 107.
図 1 1 は、低レベルの第 1 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 3 1 に供給される際に各スイッチ 1 0 0、1 0 5、1 0 2、1 0 6 の電圧と動作状態の関係をを示す図である。尚、この際のオフスイッチのしきい値電圧は、-1.0V としている。	FIG. 11 shows each switch 100, 105, when the low-level first transmission signal is supplied to the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state. At this time, the threshold voltage of the off switch is set to -1.0V.
図 1 1 に示すように、第 1 の送信端子 3 1 とアンテナ端子 2 との間の第 1 の送信用トランスファースイッチ 1 0 0 がオン状態に制御されるので、第 1 の送信端子 3 1 に供給される低レベルの第 1 の送信信号がアンテナ端子 2 に伝達される。	As shown in FIG. 11, since the first transmission transfer gate switch 100 between the first transmission terminal 31 and the antenna terminal 2 is controlled to be in the ON state, the low power supplied to the first transmission terminal 31 is reduced. The first transmission signal of the level is transmitted to the antenna terminal 2.
《高レベルの第 1 送信動作》 第 1 の送信端子 3 1 と第 1 の降圧回路 1 0 7 の入力端子 1 5 とに供給される第 1 の送信信号の電圧レベルが増大して、ダイオード 2 0 8、2 0 9 の入力接続点 4 0 3 に発生する入力電圧と基準電位点 4 0 2 との間の電位差 V_{in} がダイオード 2 0 8、2 0 9 のしきい値電圧 V_f より大きくなるとダイオード 2 0 4、2 0 5 は整流動作を開始するので、上記(2)式に従った負電圧 V_{out} が生成される。また上記(2)式によって与えられる負電圧 V_{out} の電圧値は、負電圧 V_{out} を生成する第 1 の降圧回路 1 0 7 の回路形式が変更されると異なる値に変化するものである。従って、負電圧 V_{out} を生成する第 1 の降圧回路 1 0 7 の回路形式は、図 4 に示した本発明の実施の形態 2 による半導体集積回路 1 の第 1 の降圧回路 1 0 7 以外の回路を採用することが可能である。例えば、$V_{in}=1.6\text{V}$、$V_f=0.6\text{V}$ とすると、上記(2)式に従って、-2.0V の負電圧 V_{out} が第 1 の降圧回路 1 0 7 の出力端子 1 6 に生成される。	<< High-level first transmission operation >> The voltage level of the first transmission signal supplied to the first transmission terminal 31 and the input terminal 15 of the first step-down circuit 107 increases, and the input voltage generated at the input connection point 403 of the diodes 208 and 209 When the potential difference V_{in} with respect to the reference potential point 402 becomes larger than the threshold voltage V_f of the diodes 208 and 209, the diodes 204 and 205 start rectifying operation, so that the negative voltage V_{out} according to the above equation (2) is generated. The The voltage value of the negative voltage V_{out} given by the above equation (2) changes to a different value when the circuit format of the first step-down circuit 107 that generates the negative voltage V_{out} is changed. Therefore, the circuit format of the first step-down circuit 107 that generates the negative voltage V_{out} employs a circuit other than the first step-down circuit 107 of the semiconductor integrated circuit 1 according to the second embodiment of the present invention shown in FIG. Is possible. For example, when $V_{in}=1.6\text{V}$ and $V_f=0.6\text{V}$, a negative voltage V_{out} of -2.0V is generated at the output terminal 16 of the first step-down circuit 107 according to the above equation (2).

図 12 は、高レベルの第 1 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係を示す図である。すなわち、図 12 では、高レベルの第 1 の送信信号がアンテナスイッチの第 1 の送信端子 31 に供給されることによって、ダイオード 208、209 の入力接続点 403 に発生する入力電圧と基準電位点 402 との間の電位差 V_{in} が 1.6V となっているものである。	12 shows that each of the switches 100, 105, when the high-level first transmission signal is supplied to the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state. That is, in FIG. 12, the input voltage generated at the input connection point 403 of the diodes 208 and 209 and the reference potential point 402 when the high-level first transmission signal is supplied to the first transmission terminal 31 of the antenna switch. The potential difference V_{in} between the two is 1.6V.
図 12 に示すように、第 1 の送信端子 31 とアンテナ端子 2 との間に接続された第 1 の送信用トランスファークロスタスイッチ 100 がオン状態に制御されるので、第 1 の送信端子 31 に供給される第 1 の送信信号がアンテナ端子 2 に伝達される。また図 12 では上記(2)式に従った -2.0V の負電圧 V_{out} によってオフ状態とされるスイッチ 105、102 の電界効果トランジスタのゲート・ソース間電圧が、深い逆方向電圧とされている。従って、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	As shown in FIG. 12, since the first transmission transfer gate switch 100 connected between the first transmission terminal 31 and the antenna terminal 2 is controlled to be in the ON state, the first transmission terminal 31 is supplied. The first transmission signal to be transmitted is transmitted to the antenna terminal 2. In FIG. 12, the gate-source voltage of the field effect transistors of the switches 105 and 102 which are turned off by the negative voltage V_{out} of -2.0 V according to the above equation (2) is a deep reverse voltage. . Therefore, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.
《低レベルの第 2 送信動作》 低レベルの第 2 の送信信号の送信時、すなわち低レベルの第 2 の送信信号を第 2 の送信端子 32 から供給して、アンテナ端子 2 に出力する場合には、例えば第 1 の送信制御端子 5 に 0V の電圧が供給され、シャント制御端子 6 と第 2 の送信制御端子 13 とに 3.0V の電圧が供給される。第 2 の送信用トランスファークロスタスイッチ 105 の 4 個直列接続された電界効果トランジスタ 206 a～d の各トランジスタのゲート・ソース間とゲート・ドレイン間に、それぞれダイオード順方向特性が現れている。このダイオードの順方向電圧降下を 0.6V とすると、アンテナ電圧は 2.4V である。従って、第 2 の送信用トランスファークロスタスイッチ 105 はオン状態となる一方、第 1 の送信用トランスファークロスタスイッチ 100 は電界効果トランジスタ 200 a～d のゲート・ソース間電圧とゲート・ドレイン間電圧とは -2.4V となり電界効果トランジスタ 200 a～d オフ状態となる。	<< Low Level Second Transmission Operation >> When transmitting a low-level second transmission signal, that is, when a low-level second transmission signal is supplied from the second transmission terminal 32 and output to the antenna terminal 2, for example, the first transmission control terminal A voltage of 0 V is supplied to 5, and a voltage of 3.0 V is supplied to the shunt control terminal 6 and the second transmission control terminal 13. Diode forward characteristics appear between the gate and source and between the gate and drain of each of the four field effect transistors 206a to 206d of the second transmission transfer gate switch 105 connected in series. If the forward voltage drop of this diode is 0.6V, the antenna voltage is 2.4V. Accordingly, the second transmission transfer gate switch 105 is turned on, while the first transmission transfer gate switch 100 is configured such that the gate-source voltage and the gate-drain voltage of the field effect transistors 200a to 200d are -2.4V, and the field effect transistors 200a to 200d are turned off.

第 2 の送信側シャントゲートスイッチ 106 はその両端の 2 個の容量 330、331 によりアンテナ電圧の影響を受けることがなくシャント制御端子 6 に供給された 3.0V と第 1 の送信制御端子 5 に供給された 0V との電位差が -3.0V となるため、第 2 の送信側シャントゲートスイッチ 106 はオフ状態となる。	The second transmission side shunt gate switch 106 is connected to the first transmission control terminal 5 by 3.0V supplied to the shunt control terminal 6 without being affected by the antenna voltage by the two capacitors 330 and 331 at both ends thereof. Since the potential difference from the supplied 0V is -3.0V, the second transmitting shunt gate switch 106 is turned off.
第 1 の送信側シャントゲートスイッチ 102 はその両端の 2 個の容量 315、316 によりアンテナ電圧の影響を受けることがなくシャント制御端子 6 に供給された 3.0V と第 2 の送信制御端子 13 に供給された 3.0V との電位差が 0V となるため、第 1 の送信側シャントゲートスイッチ 102 はオン状態となる。	The first transmission-side shunt gate switch 102 is not affected by the antenna voltage by the two capacitors 315 and 316 at both ends thereof, and is supplied to 3.0V supplied to the shunt control terminal 6 and the second transmission control terminal 13. Since the potential difference from the supplied 3.0 V is 0 V, the first transmission shunt gate switch 102 is turned on.
この時に、第 1 の送信端子 31 に漏洩する第 2 の送信信号成分はオフ状態の第 1 の送信用トランスファークロスイッチ 100 によって減衰され、また更にオン状態の第 1 の送信側シャントゲートスイッチ 102 により接地電位にバイパスされる。従って、第 1 の送信端子 31 に漏洩する第 2 の送信信号成分のレベルは、十分低減されることが可能である。	At this time, the second transmission signal component leaking to the first transmission terminal 31 is attenuated by the first transmission transfer gate switch 100 in the off state, and is further attenuated by the first transmission side shunt gate switch 102 in the on state. Bypassed to ground potential. Therefore, the level of the second transmission signal component leaking to the first transmission terminal 31 can be sufficiently reduced.
第 2 の送信端子 32 に入力された送信信号が第 2 の降圧回路 108 の入力端子 17 に入力され、ダイオード 210、211 の入力接続点 405 に発生する入力電圧と基準電位点 404 との間の電位差 V_{in} がダイオード 210、211 のしきい値電圧 V_f より小さい場合には、第 2 の降圧回路 108 の出力端子 18 に負電圧は発生しない。	The transmission signal input to the second transmission terminal 32 is input to the input terminal 17 of the second step-down circuit 108, and the voltage between the input voltage generated at the input connection point 405 of the diodes 210 and 211 and the reference potential point 404. When the potential difference V_{in} is smaller than the threshold voltage V_f of the diodes 210 and 211, no negative voltage is generated at the output terminal 18 of the second step-down circuit 108.
図 13 は、低レベルの第 2 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。尚、この際のオフスイッチのしきい値電圧は、-1.0V としている。	FIG. 13 shows each switch 100, 105, when the low-level second transmission signal is supplied to the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state. At this time, the threshold voltage of the off switch is set to -1.0V.

図 13 に示すように、第 2 の送信端子 32 とアンテナ端子 2 との間の第 2 の送信用トランスファースイッチ 105 がオン状態に制御されるので、第 2 の送信端子 32 に供給される低レベルの第 2 の送信信号がアンテナ端子 2 に伝達される。	As shown in FIG. 13, since the second transmission transfer gate switch 105 between the second transmission terminal 32 and the antenna terminal 2 is controlled to be in the ON state, the low power supplied to the second transmission terminal 32 is reduced. The second transmission signal of the level is transmitted to the antenna terminal 2.
《高レベルの第 2 送信動作》 第 2 の送信端子 32 と第 2 の降圧回路 108 の入力端子 17 とに供給される第 2 の送信信号の電圧レベルが増大して、ダイオード 210、211 の入力接続点 405 に発生する入力電圧と基準電位点 404 との間の電位差 V_{in} がダイオード 210、211 のしきい値電圧 V_f よりも大きくなるとダイオード 210、211 は整流動作を開始するので、上記(2)式に従った負電圧 V_{out} が生成される。また上記(2)式によって与えられる負電圧 V_{out} の電圧値は、負電圧 V_{out} を生成する第 2 の降圧回路 108 の回路形式が変更されると異なる値に変化するものである。従って、負電圧 V_{out} を生成する第 2 の降圧回路 108 の回路形式は、図 4 に示した本発明の実施の形態 2 による半導体集積回路 1 の第 2 の降圧回路 108 以外の回路を採用することが可能である。例えば、$V_{in} = 1.6V$、$V_f = 0.6V$ とすると、上記(2)式に従って、$-2.0V$ の負電圧 V_{out} が第 2 の降圧回路 108 の出力端子 18 に生成される。	<< High-level second transmission operation >> The voltage level of the second transmission signal supplied to the second transmission terminal 32 and the input terminal 17 of the second step-down circuit 108 increases, and the input voltage generated at the input connection point 405 of the diodes 210 and 211 When the potential difference V_{in} with respect to the reference potential point 404 becomes larger than the threshold voltage V_f of the diodes 210 and 211, the diodes 210 and 211 start rectifying operation, so that the negative voltage V_{out} according to the above equation (2) is generated. Is done. The voltage value of the negative voltage V_{out} given by the above equation (2) changes to a different value when the circuit format of the second step-down circuit 108 that generates the negative voltage V_{out} is changed. Therefore, the circuit format of the second step-down circuit 108 that generates the negative voltage V_{out} employs a circuit other than the second step-down circuit 108 of the semiconductor integrated circuit 1 according to the second embodiment of the present invention shown in FIG. Is possible. For example, when $V_{in} = 1.6V$ and $V_f = 0.6V$, a negative voltage V_{out} of $-2.0V$ is generated at the output terminal 18 of the second step-down circuit 108 according to the above equation (2).
図 14 は、高レベルの第 2 の送信信号が図 4 の本発明の実施の形態 2 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 32 に供給される際に各スイッチ 100、105、102、106 の電圧と動作状態の関係とを示す図である。すなわち、図 14 では、高レベルの第 2 の送信信号がアンテナスイッチの第 2 の送信端子 32 に供給されることによって、ダイオード 210、211 の入力接続点 405 に発生する入力電圧と基準電位点 404 との間の電位差 V_{in} が $1.6V$ となっているものである。	FIG. 14 shows each switch 100, 105, when a high-level second transmission signal is supplied to the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the second embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106, and the relationship of an operation state. That is, in FIG. 14, the input voltage generated at the input connection point 405 of the diodes 210 and 211 and the reference potential point 404 when the high-level second transmission signal is supplied to the second transmission terminal 32 of the antenna switch. The potential difference V_{in} between the two is $1.6V$.

図 14 に示すように、第 2 の送信端子 32 とアンテナ端子 2 との間に接続された第 2 の送信用トランスファークロスタック 105 がオン状態に制御されるので、第 2 の送信端子 32 に供給される第 2 の送信信号がアンテナ端子 2 に伝達される。また図 14 では上記(2)式に従った-2.0 Vの負電圧V_{out}によってオフ状態とされるスイッチ 100、106 の電界効果トランジスタのゲート・ソース間電圧が、深い逆方向電圧とされている。従って、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	As shown in FIG. 14, since the second transmission transfer gate switch 105 connected between the second transmission terminal 32 and the antenna terminal 2 is controlled to be turned on, the second transmission terminal 32 is supplied. The second transmission signal to be transmitted is transmitted to the antenna terminal 2. In FIG. 14, the gate-source voltage of the field effect transistors of the switches 100 and 106 that are turned off by the negative voltage V_{out} of -2.0 V according to the above equation (2) is a deep reverse voltage. . Therefore, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.
[実施の形態 3] 《送受信 SPDT 型アンテナスイッチ》 図 5 は、本発明の実施の形態 3 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。	[Embodiment 3] << SPDT antenna switch for transmission and reception >> FIG. 5 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the third embodiment of the present invention.
図 5 に示す本発明の実施の形態 3 による半導体集積回路 1 は、送信用トランスファークロスタック 100 と受信用トランスファークロスタック 101 と送信側シャントゲートスイッチ 102 と受信側シャントゲートスイッチ 103 と第 1 と第 2 の降圧回路 107、109 とを有するアンテナスイッチを少なくとも 1 個またはそれ以上を含むものである。従って、図 5 に示す半導体集積回路 1 は、図 3 に示した半導体集積回路 1 と同様に、送受信 SPDT 型アンテナスイッチとして機能するものである。	The semiconductor integrated circuit 1 according to the third embodiment of the present invention shown in FIG. 5 includes a transmission transfer gate switch 100, a reception transfer gate switch 101, a transmission side shunt gate switch 102, a reception side shunt gate switch 103, a first and a first. It includes at least one or more antenna switches having two step-down circuits 107 and 109. Therefore, the semiconductor integrated circuit 1 shown in FIG. 5 functions as a transmission / reception SPDT type antenna switch, like the semiconductor integrated circuit 1 shown in FIG.
送受信 SPDT 型アンテナスイッチとして機能する図 5 に示す半導体集積回路 1 が図 3 に示した半導体集積回路 1 と相違するのは、下記の点である。	The semiconductor integrated circuit 1 shown in FIG. 5 that functions as a transmission / reception SPDT antenna switch is different from the semiconductor integrated circuit 1 shown in FIG. 3 in the following points.

まず、図 3 に示す半導体集積回路 1 では単一の降圧回路 104 の出力端子 11 に生成される負電圧が受信用トランスファークロスイッチ 101 の電界効果トランジスタ 201 a ~ d のゲートと送信側シャントクロスイッチ 102 の電界効果トランジスタ 202 a ~ d のゲートに供給されていたのに対して、図 5 に示す半導体集積回路 1 では第 1 の降圧回路 107 の出力端子 21 に生成される負電圧が送信側シャントクロスイッチ 102 の電界効果トランジスタ 202 a ~ d のゲートに供給され第 2 の降圧回路 109 の出力端子 23 に生成される負電圧が受信用トランスファークロスイッチ 101 の電界効果トランジスタ 201 a ~ d のゲートに供給される。その結果、図 5 に示す半導体集積回路 1 では、送信側シャントクロスイッチ 102 の負電圧駆動と受信用トランスファークロスイッチ 101 の負電圧駆動とで駆動能力を増大することが可能となる。	First, in the semiconductor integrated circuit 1 shown in FIG. 3, the negative voltage generated at the output terminal 11 of the single step-down circuit 104 generates the gates of the field effect transistors 201 a to 201 d of the reception transfer gate switch 101 and the transmission side shunt gate switch 102. 5 is supplied to the gates of the field effect transistors 202a to 202d, whereas in the semiconductor integrated circuit 1 shown in FIG. 5, the negative voltage generated at the output terminal 21 of the first step-down circuit 107 is the transmission shunt gate switch. The negative voltage supplied to the gates of the field effect transistors 202a to 202d of the 102 and generated at the output terminal 23 of the second step-down circuit 109 is supplied to the gates of the field effect transistors 201a to 201d of the reception transfer gate switch 101. As a result, in the semiconductor integrated circuit 1 shown in FIG. 5, the driving capability can be increased by the negative voltage driving of the transmitting shunt gate switch 102 and the negative voltage driving of the receiving transfer gate switch 101.
また、図 5 に示す半導体集積回路 1 では第 1 の降圧回路 107 の入力端子 20 と第 2 の降圧回路 109 の入力端子 22 を送信端子 3 に共通接続することも可能であるが、その場合には送信端子 3 の負荷容量が増大する。従って、図 5 に示す半導体集積回路 1 で、第 1 の降圧回路 107 の入力端子 20 を送信端子 3 に接続して、第 2 の降圧回路 109 の入力端子 22 をアンテナ端子 2 に接続することも検討された。しかし、第 2 の降圧回路 109 の入力端子 22 をアンテナ端子 2 に接続すると、アンテナ端子 2 の歪率が劣化することが判明した。その結果、図 5 に示す半導体集積回路 1 では、第 2 の降圧回路 109 の入力端子 22 は、受信用トランスファークロスイッチ 101 の電界効果トランジスタ 202 a ~ d の段間接続点 410 に接続されている。	In the semiconductor integrated circuit 1 shown in FIG. 5, the input terminal 20 of the first step-down circuit 107 and the input terminal 22 of the second step-down circuit 109 can be commonly connected to the transmission terminal 3, but in that case Increases the load capacity of the transmission terminal 3. Therefore, in the semiconductor integrated circuit 1 shown in FIG. 5, the input terminal 20 of the first step-down circuit 107 is connected to the transmission terminal 3, and the input terminal 22 of the second step-down circuit 109 is connected to the antenna terminal 2. It was examined. However, it has been found that when the input terminal 22 of the second step-down circuit 109 is connected to the antenna terminal 2, the distortion factor of the antenna terminal 2 deteriorates. As a result, in the semiconductor integrated circuit 1 shown in FIG. 5, the input terminal 22 of the second step-down circuit 109 is connected to the interstage connection point 410 of the field effect transistors 202a to 202d of the reception transfer gate switch 101.
《送信用スイッチ》 送信用トランスファークロスイッチ 100 は送信端子 3 とアンテナ端子 2 との間に接続され、この送信用トランスファークロスイッチ 100 の 4 個直列接続された電界効果トランジスタ 200 a ~ d のオン・オフ制御は送信制御端子 5 に供給される送信制御電圧 V_{Tx} のレベルによって制御可能である。	《Transmission switch》 The transmission transfer gate switch 100 is connected between the transmission terminal 3 and the antenna terminal 2, and the on / off control of the four field effect transistors 200a to 200d connected in series of the transmission transfer gate switch 100 is a transmission control terminal. 5 can be controlled by the level of the transmission control voltage V_{Txc} supplied to 5.

《受信用スイッチ》 受信用トランスファークゲートスイッチ 101 は受信端子 4 とアンテナ端子 2 との間に接続され、この受信用トランスファークゲートスイッチ 101 の 4 個直列接続された電界効果トランジスタ 201a～d のオン・オフ制御は受信制御端子 7 に供給される受信制御電圧 V_{Rxc} のレベルによって制御可能である。	《Reception switch》 The reception transfer gate switch 101 is connected between the reception terminal 4 and the antenna terminal 2, and the on / off control of the four field effect transistors 201a to 201d connected in series of the reception transfer gate switch 101 is a reception control terminal. 7 is controllable by the level of the reception control voltage V_{Rxc} supplied to 7.
《送信側シャントスイッチ》 送信側シャントゲートスイッチ 102 の一端は容量 315 を介して送信端子 3 に接続される一方、他端は容量 316 を介して接地端子 8 に接続される。送信側シャントゲートスイッチ 102 の 4 個直列接続された電界効果トランジスタ 202a～d のゲートは抵抗 335、346 を介して接地端子 19 に接続され、ドレインとソースとは抵抗 347、300 を介して送信制御端子 5 に接続され、そのオン・オフ制御は送信制御端子 5 に供給される送信制御電圧 V_{Tx1c} のレベルによって制御可能である。	<Sender shunt switch> One end of the transmission-side shunt gate switch 102 is connected to the transmission terminal 3 via a capacitor 315, while the other end is connected to the ground terminal 8 via a capacitor 316. The gates of four field-effect transistors 202a to 202d connected in series in the transmission side shunt gate switch 102 are connected to the ground terminal 19 via resistors 335 and 346, and the drain and source are controlled for transmission via resistors 347 and 300. It is connected to the terminal 5 and its on / off control can be controlled by the level of the transmission control voltage V_{Tx1c} supplied to the transmission control terminal 5.
《受信側シャントスイッチ》 受信側シャントゲートスイッチ 103 の一端は容量 317 を介して受信端子 4 に接続される一方、他端は容量 318 を介して接地端子 9 に接続される。受信側シャントゲートスイッチ 103 の 2 個直列接続された電界効果トランジスタ 203a～b のゲート端子は抵抗 310 と抵抗 311a～b とを介して接地端子 9 に接続され、ドレインとソースは抵抗 342 を介して受信制御端子 7 に接続され、そのオン・オフ制御は受信制御端子 7 に供給される受信制御電圧 V_{Rxc} のレベルによって制御可能である。	<Receiver shunt switch> One end of the reception-side shunt gate switch 103 is connected to the reception terminal 4 through the capacitor 317, while the other end is connected to the ground terminal 9 through the capacitor 318. The gate terminals of two field-effect transistors 203a-b connected in series in the receiving-side shunt gate switch 103 are connected to the ground terminal 9 via a resistor 310 and resistors 311a-b, and the drain and source are connected via a resistor 342. It is connected to the reception control terminal 7 and its on / off control can be controlled by the level of the reception control voltage V_{Rxc} supplied to the reception control terminal 7.
《第 1 の負電圧生成降圧回路》 第 1 の降圧回路 107 の入力端子 20 は送信端子 3 と接続され、出力端子 21 に生成される負の直流電圧が送信側シャントゲートスイッチ 102 の 4 個直列接続された電界効果トランジスタ 202a～d のゲートに供給可能とされる。	<< First negative voltage generating step-down circuit >> The input terminal 20 of the first step-down circuit 107 is connected to the transmission terminal 3, and the negative DC voltage generated at the output terminal 21 is connected to the four series-connected field effect transistors 202a to 202d of the transmission side shunt gate switch 102. It can be supplied to the gate.

《第２の負電圧生成降圧回路》 第２の降圧回路１０９の入力端子２２は受信用トランスファークロスタスイッチ１０１の電界効果トランジスタ２０１ａ～ｄの段間接続点４１０と接続され、出力端子２３に生成される負の直流電圧が受信用トランスファークロスタスイッチ１０１の電界効果トランジスタ２０１ａ～ｄのゲートに供給可能とされている。	<< Second negative voltage generating step-down circuit >> The input terminal 22 of the second step-down circuit 109 is connected to the interstage connection point 410 of the field effect transistors 201a to 201d of the reception transfer gate switch 101, and the negative DC voltage generated at the output terminal 23 is the reception transfer gate. Supply to the gates of the field effect transistors 201a to 201d of the switch 101 is possible.
図５に示す本発明の実施の形態３による半導体集積回路１の送信用トランスファークロスタスイッチ１００と受信用トランスファークロスタスイッチ１０１と送信側シャントゲートスイッチ１０２と受信側シャントゲートスイッチ１０３の各スイッチで直列接続される電界効果トランジスタの個数は、送信端子３に供給される送信信号の電圧レベルとオフ耐圧とから設定される。	The transmission transfer gate switch 100, the reception transfer gate switch 101, the transmission side shunt gate switch 102, and the reception side shunt gate switch 103 of the semiconductor integrated circuit 1 according to the third embodiment of the present invention shown in FIG. The number of field effect transistors to be applied is set from the voltage level of the transmission signal supplied to the transmission terminal 3 and the off breakdown voltage.
《低レベル送信動作》 送信時には、例えば、送信制御端子５に３．０Ｖの電圧が供給され、受信制御端子７に０Ｖの電圧が供給される。この時には、送信用トランスファークロスタスイッチ１００の４個直列接続された電界効果トランジスタ２００ａ～ｄの各トランジスタのゲート・ソース間とゲート・ドレイン間に、それぞれダイオード順方向特性が現れている。このダイオードの順方向電圧降下を０．６Ｖとすると、アンテナ端子２と送信端子３と受信端子４とのアンテナスイッチの信号経路のバイアス電圧（＝以後、アンテナ電圧）は２．４Ｖである。従って、送信用トランスファークロスタスイッチ１００はオン状態となる一方、受信用トランスファークロスタスイッチ１０１の電界効果トランジスタ２０１ａ～ｄのゲート・ソース間電圧とゲート・ドレイン間電圧とは－２．４Ｖとなり電界効果トランジスタ２０１ａ～ｄはオフ状態となる。	<Low level transmission operation> At the time of transmission, for example, a voltage of 3.0 V is supplied to the transmission control terminal 5 and a voltage of 0 V is supplied to the reception control terminal 7. At this time, diode forward characteristics appear between the gate and the source and between the gate and the drain of each of the four field effect transistors 200a to 200d of the four transfer gate switches for transmission 100 connected in series. When the forward voltage drop of this diode is 0.6V, the bias voltage (= the antenna voltage) of the antenna switch signal path of the antenna terminal 2, the transmission terminal 3 and the reception terminal 4 is 2.4V. Accordingly, the transmission transfer gate switch 100 is turned on, while the gate-source voltage and the gate-drain voltage of the field-effect transistors 201a to 201d of the reception transfer gate switch 101 are -2.4V. 201a-d will be in an OFF state.
送信側シャントゲートスイッチ１０２はその両端の２個の容量３１５、３１６によりアンテナ電位の影響を受けることなく電界効果トランジスタ２０２ａ～ｄのドレインとソースには抵抗３４７を介して送信制御端子５からの３．０Ｖの電圧が供給され、電界効果トランジスタ２０２ａ～ｄのゲートには抵抗３４６、３３４を介して接地端子１９の接地電位（０Ｖ）が供給されるため、送信側シャントゲートスイッチ１０２はオフ状態となる。	The transmission side shunt gate switch 102 is not affected by the antenna potential by the two capacitors 315 and 316 at both ends thereof, and the drain and source of the field effect transistors 202a to 202d are connected to the 3 from the transmission control terminal 5 via the resistor 347. .0V is supplied, and the ground potential (0V) of the ground terminal 19 is supplied to the gates of the field effect transistors 202a to 202d via the resistors 346 and 334, so that the transmission-side shunt gate switch 102 is turned off. Become.

受信側シャントゲートスイッチ 103 はその両端の 2 個の容量 317、318 によりアンテナ電位の影響を受けることなく電界効果トランジスタ 203a～b のドレインとソースには抵抗 342 を介して受信制御端子 7 に供給された 0 V の電圧が供給され、電界効果トランジスタ 203a～b のゲートには抵抗 310、311a～b を介して接地端子 9 の接地電位(0 V)が供給されるため、受信側シャントゲートスイッチ 103 はオン状態となる。	The reception-side shunt gate switch 103 is supplied to the reception control terminal 7 via the resistor 342 to the drain and source of the field effect transistors 203a and 203b without being affected by the antenna potential by the two capacitors 317 and 318 at both ends thereof. Since the ground potential (0V) of the ground terminal 9 is supplied to the gates of the field effect transistors 203a and 203b through the resistors 310 and 311a and b, the receiving side shunt gate switch 103 is turned on. It becomes a state.
この時に、受信端子 4 に漏洩する送信信号成分はオフ状態の受信用トランスファークロスタックスイッチ 101 によって減衰され、また更にオン状態の受信側シャントゲートスイッチ 103 によって接地電位にバイパスされる。従って、受信端子 4 に漏洩する送信信号成分のレベルは、十分低減されることが可能となる。	At this time, the transmission signal component leaking to the reception terminal 4 is attenuated by the reception transfer gate switch 101 in the off state, and further bypassed to the ground potential by the reception side shunt gate switch 103 in the on state. Therefore, the level of the transmission signal component leaking to the reception terminal 4 can be sufficiently reduced.
送信端子 3 に供給された送信信号が第 1 の降圧回路 107 の入力端子 20 に供給され、ダイオード 208、209 の入力接続点 407 に発生する入力電圧と基準電位点 406 との電位差がダイオード 208、209 のしきい値電圧より低い場合には、第 1 の降圧回路 107 の出力端子 21 に負電圧は発生しない。また受信用トランスファークロスタックスイッチ 101 の電界効果トランジスタ 202a～d の段間の接続点 410 に伝達される送信信号成分が第 2 の降圧回路 109 の入力端子 22 に供給され、ダイオード 212、213 の入力接続点 409 に発生する入力電圧と基準電位点 408 との間の電位差がダイオード 212、213 のしきい値電圧よりも低い場合には、第 2 の降圧回路 109 の出力端子 23 に負電圧は発生しない。	The transmission signal supplied to the transmission terminal 3 is supplied to the input terminal 20 of the first step-down circuit 107, and the potential difference between the input voltage generated at the input connection point 407 of the diodes 208 and 209 and the reference potential point 406 is the diode 208, When the threshold voltage is lower than 209, no negative voltage is generated at the output terminal 21 of the first step-down circuit 107. The transmission signal component transmitted to the connection point 410 between the field effect transistors 202a to 202d of the reception transfer gate switch 101 is supplied to the input terminal 22 of the second step-down circuit 109, and the input connection of the diodes 212 and 213 is performed. When the potential difference between the input voltage generated at the point 409 and the reference potential point 408 is lower than the threshold voltage of the diodes 212 and 213, no negative voltage is generated at the output terminal 23 of the second step-down circuit 109. .
図 15 は、低レベルの送信信号が図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチの送信端子 3 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。尚、この際のオフスイッチのしきい値電圧は、-1.0 V としている。	FIG. 15 shows a state in which each of the switches 100, 101, 102, 103 is supplied when a low-level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the invention shown in FIG. It is a figure which shows the relationship between a voltage and an operation state. At this time, the threshold voltage of the off switch is set to -1.0V.

図 15 に示すように送信端子 3 とアンテナ端子 2 の間に接続された送信用トランスファークロスタック 100 がオン状態に制御されるので、送信端子 3 に供給される送信信号がアンテナ端子 2 に伝達される。	As shown in FIG. 15, since the transmission transfer gate switch 100 connected between the transmission terminal 3 and the antenna terminal 2 is controlled to be in the ON state, the transmission signal supplied to the transmission terminal 3 is transmitted to the antenna terminal 2. The
《高レベル送信動作》 送信端子 3 と第 1 の降圧回路 107 の入力端子 20 に供給される送信信号の電圧レベルが増大して、ダイオード 208、209 の入力接続点 407 に発生する入力電圧と基準電位点 406 (Vss) との間の電位差 V_{in} がダイオード 208、209 のしきい値電圧 V_f より大きくなると、整流動作が開始される。従って、(2) 式に従った負電圧 V_{out} が第 1 の降圧回路 107 の出力端子 21 から生成され、送信側シャントゲートスイッチ 102 の電界効果トランジスタ 202a~d のゲートに供給される。例えば、$V_{in} = 1.6V$、$V_f = 0.6V$ とすると、上記(2)式に従って $-2.0V$ の負電圧 V_{out} が第 1 の降圧回路 107 の出力端子 21 に生成される。	《High level transmission operation》 The voltage level of the transmission signal supplied to the transmission terminal 3 and the input terminal 20 of the first step-down circuit 107 increases, and the input voltage generated at the input connection point 407 of the diodes 208 and 209 and the reference potential point 406 (Vss). When the potential difference V_{in} between is higher than the threshold voltage V_f of the diodes 208 and 209, the rectification operation is started. Accordingly, the negative voltage V_{out} according to the equation (2) is generated from the output terminal 21 of the first step-down circuit 107 and supplied to the gates of the field effect transistors 202a to 202d of the transmission side shunt gate switch 102. For example, if $V_{in} = 1.6V$ and $V_f = 0.6V$, a negative voltage V_{out} of $-2.0V$ is generated at the output terminal 21 of the first step-down circuit 107 according to the above equation (2).
また、第 2 の降圧回路 109 の入力端子 22 に供給される受信用トランスファークロスタック 101 の段間接続点 410 の送信信号成分にตอบสนองしてダイオード 212、213 の入力接続点 409 に発生する電圧 V_{in3} と基準電位点 408 (Vss) との電位差がダイオード 212、213 のしきい値電圧 V_f よりも大きくなると、整流動作が開始される。その結果、第 2 の降圧回路 109 の出力端子 23 には、下記(3)式に従った負電圧 V_{out3} が生成される。	The voltage V_{in3} generated at the input connection point 409 of the diodes 212 and 213 in response to the transmission signal component of the interstage connection point 410 of the reception transfer gate switch 101 supplied to the input terminal 22 of the second step-down circuit 109. And the reference potential point 408 (Vss) become larger than the threshold voltage V_f of the diodes 212 and 213, the rectification operation is started. As a result, a negative voltage V_{out3} according to the following equation (3) is generated at the output terminal 23 of the second step-down circuit 109.
数3 $V_{out3} = -2 \cdot (V_{in3} - V_f) - V_{ss} \quad \dots(3)式$	数3 $V_{out3} = -2 \cdot (V_{in3} - V_f) - V_{ss} \quad \dots(3)式$

上記(3)式でV_{ss}は接地電圧レベルであり、また上記(3)式によって与えられる負電圧V_{out3}の電圧値は、負電圧V_{out3}を生成する第2の降圧回路109の回路形式が変更されると異なる値に変化するものである。第2の降圧回路109の出力端子23に生成される負電圧V_{out3}は、受信用トランスファークロスタッチ101の電界効果トランジスタ201a～dのゲートに供給にされる。例えば、$V_{in3} = 1.6V$、$V_f = 0.6V$とすると、上記(3)式に従って$-2.0V$の負電圧V_{out3}が、第2の降圧回路109の出力端子23に生成される。	In the above equation (3), V_{ss} is the ground voltage level, and the voltage value of the negative voltage V_{out3} given by the above equation (3) changes the circuit format of the second step-down circuit 109 that generates the negative voltage V_{out3}. It changes to a different value. The negative voltage V_{out3} generated at the output terminal 23 of the second step-down circuit 109 is supplied to the gates of the field effect transistors 201a to 201d of the reception transfer gate switch 101. For example, when $V_{in3} = 1.6V$ and $V_f = 0.6V$, a negative voltage V_{out3} of $-2.0V$ is generated at the output terminal 23 of the second step-down circuit 109 according to the above equation (3).
図16は、高レベルの送信信号が図5に示した本発明の実施の形態3による半導体集積回路1のアンテナスイッチの送信端子3に供給される際に各スイッチ100、101、102、103の電圧と動作状態の関係を示す図である。	FIG. 16 shows the state of each of the switches 100, 101, 102, 103 when a high level transmission signal is supplied to the transmission terminal 3 of the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the invention shown in FIG. It is a figure which shows the relationship between a voltage and an operation state.
図16に示すように送信端子3とアンテナ端子2の間に接続された送信用トランスファークロスタッチ100がオン状態に制御されるので、送信端子3に供給される送信信号がアンテナ端子2に伝達される。	As shown in FIG. 16, since the transmission transfer gate switch 100 connected between the transmission terminal 3 and the antenna terminal 2 is controlled to be in an ON state, a transmission signal supplied to the transmission terminal 3 is transmitted to the antenna terminal 2. The
また図16では、上記(2)式と上記(3)式とにそれぞれ従った$-2.0V$の負電圧V_{out}、負電圧V_{out3}によって、オフ状態とされるスイッチ101、102の電界効果トランジスタのゲート・ソース間電圧が深い逆方向電圧とされている。従って、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	Further, in FIG. 16, the gates of the field effect transistors of the switches 101 and 102 that are turned off by the negative voltage V_{out} and the negative voltage V_{out3} of $-2.0V$ in accordance with the equations (2) and (3), respectively. • The source-to-source voltage is a deep reverse voltage. Therefore, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.

《受信動作》 受信時には、図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチにおいて、送信制御端子 5 に 0 V の電圧が供給され、受信制御端子 7 には 3.0 V の電圧が供給される。従って、受信用トランスファークロスタック 101 の 4 個直列接続の電界効果トランジスタ 201 a～d の各トランジスタのゲート・ソース間とゲート・ドレイン間とにそれぞれ 0.6 V の順方向電圧が現れて、受信用トランスファークロスタック 101 はオン状態となり、アンテナ電圧は 2.4 V となる。その結果、送信用トランスファークロスタック 100 の 4 個直列接続の電界効果トランジスタ 200 a～d の各トランジスタのゲート・ソース間電圧とゲート・ドレイン間電圧とは -2.4 V となるので、送信用トランスファークロスタック 100 はオフ状態となる。	<Receiving operation> During reception, in the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the present invention shown in FIG. 5, a voltage of 0 V is supplied to the transmission control terminal 5 and a voltage of 3.0 V is supplied to the reception control terminal 7. Is done. Accordingly, a forward voltage of 0.6 V appears between the gate and the source and between the gate and the drain of each of the four field-effect transistors 201a to 201d connected in series in the reception transfer gate switch 101, and the reception transfer is performed. The gate switch 101 is turned on, and the antenna voltage is 2.4V. As a result, since the gate-source voltage and the gate-drain voltage of each of the four field-effect transistors 200a to 200d in series of the transmission transfer gate switch 100 are -2.4V, the transmission transfer gate The switch 100 is turned off.
受信側シャントゲートスイッチ 103 はその両端の 2 個の容量 317、318 によりアンテナ電圧の影響を受けることなく、電界効果トランジスタ 203 a～b のドレインとソースは抵抗 342 を介して受信制御端子 7 の 3.0 V の電圧と接地端子 9 のゲート接地電位との間の電位差が -3.0 V となるため、受信側シャントゲートスイッチ 103 はオフ状態となる。	The receiving-side shunt gate switch 103 is not affected by the antenna voltage due to the two capacitors 317 and 318 at both ends thereof, and the drain and source of the field effect transistors 203a to 203b are connected to the receiving control terminal 7 3 through the resistor 342. Since the potential difference between the voltage of 0V and the gate ground potential of the ground terminal 9 is -3.0V, the reception-side shunt gate switch 103 is turned off.
送信側シャントゲートスイッチ 102 はその両端の 2 個の容量 315、316 によりアンテナ電圧の影響を受けることなく、電界効果トランジスタ 202 a～d のドレインとソースは抵抗 300、347 を介して送信制御端子 5 の 0 V の電圧が供給され、ゲートには接地端子 19 の 0 V が供給されるため、送信側シャントゲートスイッチ 102 はオン状態となる。	The transmission-side shunt gate switch 102 is not affected by the antenna voltage due to the two capacitors 315 and 316 at both ends thereof, and the drain and source of the field effect transistors 202a to 202d are connected to the transmission control terminal 5 via the resistors 300 and 347, respectively. Since the voltage of 0V is supplied and 0V of the ground terminal 19 is supplied to the gate, the transmission side shunt gate switch 102 is turned on.
この時に、送信端子 3 に漏洩する受信信号成分はオフ状態の送信用トランスファークロスタック 100 によって減衰され、また更にオン状態の送信側シャントゲートスイッチ 102 によって接地電位にバイパスされる。従って、送信端子 3 に漏洩する受信信号成分のレベルは、十分低減されることが可能となる。	At this time, the received signal component leaking to the transmission terminal 3 is attenuated by the transmission transfer gate switch 100 in the off state, and further bypassed to the ground potential by the transmission side shunt gate switch 102 in the on state. Therefore, the level of the received signal component leaking to the transmission terminal 3 can be sufficiently reduced.

図 17 は、受信信号が図 5 に示した本発明の実施の形態 3 による半導体集積回路 1 のアンテナスイッチの受信端子 4 に供給される際に各スイッチ 100、101、102、103 の電圧と動作状態の関係とを示す図である。	FIG. 17 shows the voltage and operation of each switch 100, 101, 102, 103 when a received signal is supplied to the receiving terminal 4 of the antenna switch of the semiconductor integrated circuit 1 according to the third embodiment of the present invention shown in FIG. It is a figure which shows the relationship of a state.
図 17 に示すように受信端子 4 とアンテナ端子 2 の間に接続された受信用トランスファークロスタック 101 がオン状態に制御されるので、アンテナ端子 2 に供給される受信信号が受信端子 4 に伝達される。	As shown in FIG. 17, since the reception transfer gate switch 101 connected between the reception terminal 4 and the antenna terminal 2 is controlled to be in an on state, the reception signal supplied to the antenna terminal 2 is transmitted to the reception terminal 4. The
この受信時には、上述のように送信側シャントゲートスイッチ 102 はオン状態に制御されるので、送信端子 3 と第 1 の降圧回路 107 の入力端子 20 とに供給される信号成分は送信側シャントゲートスイッチ 102 と 2 個の容量 315、316 を介して接地電位にバイパスされるので、第 2 の降圧回路 109 による負電圧 V_{out3} の生成機能が停止され、受信端子 4 とアンテナ端子 2 との間に接続された受信用トランスファークロスタック 101 が不所望にオフ状態に制御されることが防止されることが可能となる。	At the time of reception, since the transmission-side shunt gate switch 102 is controlled to be in the ON state as described above, the signal component supplied to the transmission terminal 3 and the input terminal 20 of the first step-down circuit 107 is the transmission-side shunt gate switch. 102 and two capacitors 315 and 316 are bypassed to the ground potential, so that the function of generating the negative voltage V_{out3} by the second step-down circuit 109 is stopped and connected between the reception terminal 4 and the antenna terminal 2 In addition, it is possible to prevent the reception transfer gate switch 101 from being undesirably controlled to be turned off.
[実施の形態 4] 《送受信用 SP4T 型アンテナスイッチ》 図 6 は、本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路の構成を示す図である。	[Embodiment 4] << SP4T antenna switch for transmission and reception >> FIG. 6 is a diagram showing a configuration of a semiconductor integrated circuit including an antenna switch according to the fourth embodiment of the present invention.
図 6 に示す本発明の実施の形態 4 による半導体集積回路 1 は、第 1 の送信用トランスファークロスタック 100 と第 2 の送信用トランスファークロスタック 105 と第 1 の送信側シャントゲートスイッチ 102 と第 2 の送信側シャントゲートスイッチ 106 と第 1 の受信用トランスファークロスタック 101 と第 2 の受信用トランスファークロスタック 110 と第 1 の受信側シャントゲートスイッチ 103 と第 2 の受信側シャントゲートスイッチ 111 と第 1 と第 2 の降圧回路 107、108 と第 3 と第 4 の降圧回路 109、112 とを有するアンテナスイッチを少なくとも 1 個またはそれ以上を含むものである。	The semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. 6 includes a first transmission transfer gate switch 100, a second transmission transfer gate switch 105, a first transmission side shunt gate switch 102, and a second transmission gate switch 102. Transmission side shunt gate switch 106, first reception transfer gate switch 101, second reception transfer gate switch 110, first reception side shunt gate switch 103, second reception side shunt gate switch 111 and first And at least one antenna switch having the second step-down circuits 107 and 108 and the third and fourth step-down circuits 109 and 112.

その結果、図 6 に示す半導体集積回路 1 は、送受信用 SP4T 型アンテナスイッチとして機能するものである。尚、SP4T は、Single-Pole 4(Four)-Through の略である。すなわち、図 6 に示す半導体集積回路 1 の半導体チップの上側には図 4 に示した本発明の実施の形態 2 による送信用 SPDT 型アンテナスイッチが配置される一方、図 6 に示す半導体集積回路 1 の半導体チップの下側には図 5 に示した本発明の実施の形態 3 による受信用 SPDT 型アンテナスイッチに含まれた受信用トランスファークロスタック 101 と受信用シャントクロスタック 103 と降圧回路 109 からなる受信スイッチが 2 個分、配置されている。	As a result, the semiconductor integrated circuit 1 shown in FIG. 6 functions as a transmission / reception SP4T antenna switch. SP4T is an abbreviation for Single-Pole 4 (Four) -Through. That is, the SPDT antenna switch for transmission according to the second embodiment of the present invention shown in FIG. 4 is arranged on the upper side of the semiconductor chip of the semiconductor integrated circuit 1 shown in FIG. 6, while the semiconductor integrated circuit 1 shown in FIG. The semiconductor chip includes a receiving transfer gate switch 101, a receiving shunt gate switch 103, and a step-down circuit 109 included in the receiving SPDT antenna switch according to the third embodiment of the present invention shown in FIG. Two receiving switches are arranged.
更に図 6 に示す本発明の実施の形態 4 による半導体集積回路 1 の第 1 の送信端子 31 と第 2 の送信端子 32 には、略 800 MHz ～ 1 GHz の比較的低い周波数と約 35 dBm の比較的大きな送信電力を持つローバンドの第 1 の RF 送信信号と略 1.7 GHz ～ 2.0 GHz の比較的高い周波数と約 32 dBm の比較的小さな送信電力を持つハイバンドの第 2 の RF 送信信号とがそれぞれ供給される。従って、この第 1 と第 2 の RF 送信信号の送信電力の相違に対応するために、図 6 に示す半導体集積回路 1 の半導体チップの下側には、電界効果トランジスタ 218a ～ b、219a ～ b と抵抗 360、361a ～ b、362a ～ b、363a ～ b、364a ～ b とから構成された可変減衰器が接続される。従って、ローバンドの第 1 の RF 送信信号が第 1 の送信端子 31 に供給される場合には、可変減衰器の電界効果トランジスタ 218a ～ b、219a ～ b はオフ状態に制御され、可変減衰器は大きな減衰量に制御される。逆に、ハイバンドの第 2 の RF 送信信号が第 2 の送信端子 32 に供給される場合には、可変減衰器の電界効果トランジスタ 218a ～ b、219a ～ b はオン状態に制御され、可変減衰器は小さな減衰量に制御される。	Further, the first transmission terminal 31 and the second transmission terminal 32 of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. 6 have a relatively low frequency of about 800 MHz to 1 GHz and a relatively large of about 35 dBm. A low-band first RF transmission signal having transmission power, a relatively high frequency of about 1.7 GHz to 2.0 GHz, and a high-band second RF transmission signal having a relatively small transmission power of about 32 dBm are supplied. Is done. Therefore, in order to cope with the difference in transmission power between the first and second RF transmission signals, field effect transistors 218a-b and 219a-b are provided below the semiconductor chip of the semiconductor integrated circuit 1 shown in FIG. And a variable attenuator composed of resistors 360, 361a-b, 362a-b, 363a-b, 364a-b. Therefore, when the low-band first RF transmission signal is supplied to the first transmission terminal 31, the field effect transistors 218a-b and 219a-b of the variable attenuator are controlled to be in the off state, and the variable attenuator Large attenuation is controlled. Conversely, when a high-band second RF transmission signal is supplied to the second transmission terminal 32, the field effect transistors 218a-b and 219a-b of the variable attenuator are controlled to be in an on state, and variable attenuation is performed. The device is controlled to a small attenuation.

《第 1 の送信用スイッチ》 第 1 の送信用トランスファークゲートスイッチ 100 は第 1 の送信端子 31 とアンテナ端子 2 との間に接続され、この第 1 の送信用トランスファークゲートスイッチ 100 の 4 個直列接続された電界効果トランジスタ 200 a ～ d のオン・オフ制御は第 1 の送信制御端子 5 に供給される第 1 の送信制御電圧 V_{Tx1c} のレベルによって制御可能である。	<First transmission switch> The first transmission transfer gate switch 100 is connected between the first transmission terminal 31 and the antenna terminal 2, and four field effect transistors 200 a to 200 d connected in series to the first transmission transfer gate switch 100. ON / OFF control can be controlled by the level of the first transmission control voltage V_{Tx1c} supplied to the first transmission control terminal 5.
《第 2 の送信用スイッチ》 第 2 の送信用トランスファークゲートスイッチ 105 は第 2 の送信端子 32 とアンテナ端子 2 との間に接続され、この第 2 の送信用トランスファークゲートスイッチ 105 の 4 個直列接続された電界効果トランジスタ 206 a ～ d のオン・オフ制御は第 2 の送信制御端子 13 に供給される第 2 の受信制御電圧 V_{Tx2c} のレベルによって制御可能である。	<< Second transmission switch >> The second transmission transfer gate switch 105 is connected between the second transmission terminal 32 and the antenna terminal 2, and four field effect transistors 206 a to 206 d connected in series to the second transmission transfer gate switch 105. ON / OFF control can be controlled by the level of the second reception control voltage V_{Tx2c} supplied to the second transmission control terminal 13.
《第 1 の送信側シャントスイッチ》 第 1 の送信側シャントゲートスイッチ 102 の一端は容量 315 を介して第 1 の送信端子 31 に接続される一方、他端は容量 316 を介して接地端子 8 に接続される。第 1 の送信側シャントゲートスイッチ 102 の 4 個直列接続された電界効果トランジスタ 202 a ～ d のドレインとソースにシャント制御端子 6 の制御電圧 V_{shunt} が抵抗 341、314、309 a ～ d を介して供給され、そのオン・オフ制御は第 2 の送信制御端子 13 に供給される第 2 の送信制御電圧 V_{Tx2c} のレベルによって制御可能である。	<< First transmitter shunt switch >> One end of the first transmission side shunt gate switch 102 is connected to the first transmission terminal 31 via the capacitor 315, while the other end is connected to the ground terminal 8 via the capacitor 316. The control voltage V_{shunt} of the shunt control terminal 6 is supplied to the drains and sources of the four field-effect transistors 202a to 202d connected in series of the first transmission-side shunt gate switch 102 via the resistors 341, 314, and 309a to d, The on / off control can be controlled by the level of the second transmission control voltage V_{Tx2c} supplied to the second transmission control terminal 13.
《第 2 の送信側シャントスイッチ》 第 2 の送信側シャントゲートスイッチ 106 の一端は容量 330 を介して第 2 の送信端子 32 に接続される一方、他端は容量 331 を介して接地端子 14 に接続される。第 2 の送信側シャントゲートスイッチ 106 の 4 個直列接続された電界効果トランジスタ 207 a ～ d のドレインとソースにシャント制御端子 6 の制御電圧 V_{shunt} が抵抗 341、340、329 a ～ d を介して供給され、そのオン・オフ制御は第 1 の送信制御端子 5 に供給される第 1 の送信制御電圧 V_{Tx1c} のレベルによって制御可能である。	<< Second transmitter shunt switch >> One end of the second transmission side shunt gate switch 106 is connected to the second transmission terminal 32 via the capacitor 330, while the other end is connected to the ground terminal 14 via the capacitor 331. The control voltage V_{shunt} of the shunt control terminal 6 is supplied to the drain and source of the four field-effect transistors 207a to 207d connected in series of the second transmission side shunt gate switch 106 via the resistors 341, 340, and 329a to d. The on / off control can be controlled by the level of the first transmission control voltage V_{Tx1c} supplied to the first transmission control terminal 5.

《第 1 の受信用スイッチ》 第 1 の受信用トランスファークゲートスイッチ 101 は第 1 の受信端子 41 とアンテナ端子 2 との間に接続され、この受信用トランスファークゲートスイッチ 101 の 4 個直列接続された電界効果トランジスタ 201 a ～ d のオン・オフ制御は第 1 の受信制御端子 7 に供給される第 1 の受信制御電圧 V_{Rx1c} のレベルによって制御可能である。	<< First receiving switch >> The first reception transfer gate switch 101 is connected between the first reception terminal 41 and the antenna terminal 2, and the four field effect transistors 201 a to 201 d connected in series of the reception transfer gate switch 101 are turned on / off. The off control can be controlled by the level of the first reception control voltage V_{Rx1c} supplied to the first reception control terminal 7.
《第 2 の受信用スイッチ》 第 2 の受信用トランスファークゲートスイッチ 110 は第 2 の受信端子 42 とアンテナ端子 2 との間に接続され、この受信用トランスファークゲートスイッチ 110 の 4 個直列接続された電界効果トランジスタ 214 a ～ d のオン・オフ制御は第 2 の受信制御端子 25 に供給される第 2 の受信制御電圧 V_{Rx2c} のレベルによって制御可能である。	<< Second receiving switch >> The second reception transfer gate switch 110 is connected between the second reception terminal 42 and the antenna terminal 2, and the four field effect transistors 214 a to 214 d of the reception transfer gate switch 110 connected in series are turned on / off. The OFF control can be controlled by the level of the second reception control voltage V_{Rx2c} supplied to the second reception control terminal 25.
《第 1 の受信側シャントスイッチ》 第 1 の受信側シャントゲートスイッチ 103 の一端は容量 317 を介して第 1 の受信端子 41 に接続される一方、他端は容量 318 を介して接地端子 9 に接続される。第 1 の受信側シャントゲートスイッチ 103 の 2 個直列接続された電界効果トランジスタ 203 a ～ b のゲートは抵抗 310、311 a ～ b を介して接地端子 9 に接続され、ドレインとソースとは抵抗 342 を介して第 1 の受信制御端子 7 に接続され、オン・オフ制御は第 1 の受信制御端子 7 に供給される第 1 の受信制御電圧 V_{Rx1c} のレベルによって制御可能である。	<< First receiver shunt switch >> One end of the first reception side shunt gate switch 103 is connected to the first reception terminal 41 via the capacitor 317, while the other end is connected to the ground terminal 9 via the capacitor 318. The gates of two field-effect transistors 203a-b connected in series of the first receiving shunt gate switch 103 are connected to the ground terminal 9 via resistors 310, 311a-b, and the drain and source are connected via a resistor 342. Connected to the first reception control terminal 7 and ON / OFF control can be controlled by the level of the first reception control voltage V_{Rx1c} supplied to the first reception control terminal 7.
《第 2 の受信側シャントスイッチ》 第 2 の受信側シャントゲートスイッチ 111 の一端は容量 355 を介して第 2 の受信端子 42 に接続される一方、他端は容量 356 を介して接地端子 26 に接続される。第 2 の受信側シャントゲートスイッチ 111 の 2 個直列接続された電界効果トランジスタ 215 a ～ b はゲートを抵抗 352、353 a ～ b を介して接地端子 26 に接続され、ドレインとソースとは抵抗 365 を介して第 2 の受信制御端子 25 に接続され、オン・オフ制御は第 2 の受信制御端子 25 に供給される第 2 の受信制御電圧 V_{Rxc2} のレベルによって制御可能である。	<< Second receiver shunt switch >> One end of the second receiving-side shunt gate switch 111 is connected to the second receiving terminal 42 via the capacitor 355, while the other end is connected to the ground terminal 26 via the capacitor 356. Two field effect transistors 215a-b of the second receiving side shunt gate switch 111 connected in series have their gates connected to the ground terminal 26 via resistors 352, 353a-b, and their drain and source via a resistor 365. Connected to the second reception control terminal 25, and ON / OFF control can be controlled by the level of the second reception control voltage V_{Rxc2} supplied to the second reception control terminal 25.

《第１と第２と第３と第４の負電圧生成降圧回路》 第１の降圧回路１０７の入力端子１５は第１の送信端子３１と接続され、出力端子１６に生成される負の直流電圧が第２の送信用トランスファークゲートスイッチ１０５の電界効果トランジスタ２０６ａ～ｄのゲートと第１の送信側シャントゲートスイッチ１０２の電界効果トランジスタ２０２ａ～ｄのゲートに供給可能とされる。	<< First, Second, Third, and Fourth Negative Voltage Generation Step-Down Circuit >> The input terminal 15 of the first step-down circuit 107 is connected to the first transmission terminal 31, and the negative DC voltage generated at the output terminal 16 is applied to the field effect transistors 206 a to 206 d of the second transmission transfer gate switch 105. The gate and the gates of the field effect transistors 202a to 202d of the first transmitting shunt gate switch 102 can be supplied.
第２の降圧回路１０８の入力端子１７は第２の送信端子３２と接続され、出力端子１８に生成される負の直流電圧が第１の送信用トランスファークゲートスイッチ１００の電界効果トランジスタ２００ａ～ｄのゲートと第２の送信側シャントゲートスイッチ１０６の電界効果トランジスタ２０７ａ～ｄのゲートに供給可能とされる。	The input terminal 17 of the second step-down circuit 108 is connected to the second transmission terminal 32, and the negative DC voltage generated at the output terminal 18 is applied to the field effect transistors 200 a to 200 d of the first transmission transfer gate switch 100. The gate and the gates of the field effect transistors 207a to 207d of the second transmitting shunt gate switch 106 can be supplied.
第３の降圧回路１０９の入力端子２２は電界効果トランジスタ２１８ａ～ｂを介して第１の受信用トランスファークゲートスイッチ１０１の電界効果トランジスタ２０１ａ～ｄの段間接続点４１０と接続され、出力端子２３に生成される負の直流電圧が第１の受信用トランスファークゲートスイッチ１０１の電界効果トランジスタ２０１ａ～ｄのゲートに供給可能とされる。	The input terminal 22 of the third step-down circuit 109 is connected to the interstage connection point 410 of the field effect transistors 201a to 201d of the first reception transfer gate switch 101 via the field effect transistors 218a and 218b. The generated negative DC voltage can be supplied to the gates of the field effect transistors 201a to 201d of the first reception transfer gate switch 101.
第４の降圧回路１１２の入力端子２７は電界効果トランジスタ２１９ａ～ｂを介して第２の受信用トランスファークゲートスイッチ１１０の電界効果トランジスタ２１４ａ～ｄの段間接続点４１３と接続され、出力端子２８に生成される負の直流電圧が第２の受信用トランスファークゲートスイッチ１１０の電界効果トランジスタ２１４ａ～ｄのゲートに供給可能とされている。	The input terminal 27 of the fourth step-down circuit 112 is connected to the interstage connection point 413 of the field effect transistors 214a to 214d of the second reception transfer gate switch 110 via the field effect transistors 219a and 219b, and is connected to the output terminal 28. The generated negative DC voltage can be supplied to the gates of the field effect transistors 214a to 214d of the second reception transfer gate switch 110.

図 6 に示す本発明の実施の形態 4 による半導体集積回路 1 の第 1 の送信用トランスファークロスタックスイッチ 100 と第 2 の送信用トランスファークロスタックスイッチ 105 と第 1 の送信側シャントクロスタックスイッチ 102 と第 2 の送信側シャントクロスタックスイッチ 106 と第 1 の受信信用トランスファークロスタックスイッチ 101 と第 2 の受信信用トランスファークロスタックスイッチ 110 と第 1 の受信側シャントクロスタックスイッチ 103 と第 2 の受信側シャントクロスタックスイッチ 111 の各スイッチで直列接続される電界効果トランジスタの個数は、第 1 の送信端子 31 と第 2 の送信端子 32 にそれぞれ供給される第 1 の送信信号と第 2 の送信信号の電圧レベルとオフ耐圧とから設定される。	A first transmission transfer gate switch 100, a second transmission transfer gate switch 105, a first transmission shunt gate switch 102, and a second transmission gate switch 100 of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. The transmission side shunt gate switch 106, the first reception transfer gate switch 101, the second reception transfer gate switch 110, the first reception side shunt gate switch 103, and the second reception side shunt gate switch 111. The number of field-effect transistors connected in series is set based on the first transmission signal supplied to the first transmission terminal 31 and the second transmission terminal 32, the voltage level of the second transmission signal, and the off breakdown voltage. The
《低レベルの第 1 送信動作》 低レベルの第 1 の送信信号の送信時、すなわち低レベルの第 1 の送信信号を第 1 の送信端子 31 から供給して、アンテナ端子 2 に出力する場合には、例えば第 1 の送信制御端子 5 とシャント制御端子 6 とに 3.0 V の電圧を供給して、第 2 の送信制御端子 13 と第 1 の受信制御端子 7 と第 2 の受信制御端子 25 とに 0 V の電圧を供給する。	<< Low level first transmission operation >> When transmitting a low-level first transmission signal, that is, when a low-level first transmission signal is supplied from the first transmission terminal 31 and output to the antenna terminal 2, for example, a first transmission control terminal 5 and the shunt control terminal 6 are supplied with a voltage of 3.0 V, and a voltage of 0 V is supplied to the second transmission control terminal 13, the first reception control terminal 7 and the second reception control terminal 25.
図 18 は、低レベルの第 1 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 1 の送信端子 31 から供給される際に各スイッチ 100、105、102、106、101、110、103、スイッチ 111 の電圧と動作状態の関係を示す図である。	18 shows a case where the low-level first transmission signal is supplied from the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.
図 18 に示すように、第 1 の送信端子 31 とアンテナ端子 2 との間に接続された第 1 の送信用トランスファークロスタックスイッチ 100 がオン状態に制御されるので、第 1 の送信端子 31 に供給される第 1 の送信信号がアンテナ端子 2 に伝達される。	As shown in FIG. 18, since the first transmission transfer gate switch 100 connected between the first transmission terminal 31 and the antenna terminal 2 is controlled to be in the ON state, the first transmission terminal 31 is supplied. The first transmission signal to be transmitted is transmitted to the antenna terminal 2.

《高レベルの第1送信動作》 第1の送信端子31と第1の降圧回路107の入力端子15とに供給される第1の送信信号のレベルが増大すると、ダイオード208、209の入力接続点403に発生する電圧と基準電位点402との電位差V_{in}がダイオード208、209のしきい値電圧V_fよりも高くなりダイオード208、209により整流動作が開始され、(2)式に従った負電圧V_{out}が出力端子16に生成され、第1の送信側シャントゲートスイッチ102の電界効果トランジスタ202a～dのゲートと第2の送信用トランスファergeートスイッチ105の電界効果トランジスタ206a～dのゲートに供給される。	<< High-level first transmission operation >> When the level of the first transmission signal supplied to the first transmission terminal 31 and the input terminal 15 of the first step-down circuit 107 increases, the voltage generated at the input connection point 403 of the diodes 208 and 209 and the reference potential point 402 becomes higher than the threshold voltage V_f of the diodes 208 and 209, and the rectification operation is started by the diodes 208 and 209. The power is supplied to the gates of the field effect transistors 202a to 202d of the first transmission side shunt gate switch 102 and the gates of the field effect transistors 206a to 206d of the second transmission transfer gate switch 105.
一方、アンテナ電圧が2.4Vであり、第2の送信制御端子13が0Vであるため、第3の降圧回路109の入力端子22に接続された電界効果トランジスタ218a～bと第4の降圧回路112の入力端子27に接続された電界効果トランジスタ219a～bとはオフ状態となる。その結果、第3の降圧回路109の入力接続点409に発生する電圧は3つの抵抗362a～b、344の抵抗値で決定され、第4の降圧回路112の入力接続点412に発生する電圧も3つの抵抗364a～b、358の抵抗値で決定される。すなわち、比較的大きな送信電力を持ったローバンドの第1のRF送信信号が第1の送信端子31に供給される場合には、電界効果トランジスタ218a～b、219a～bと抵抗360、361a～b、362a～b、363a～b、364a～bとから構成された可変減衰器は大きな減衰量に制御される。	On the other hand, since the antenna voltage is 2.4V and the second transmission control terminal 13 is 0V, the field effect transistors 218a-b connected to the input terminal 22 of the third step-down circuit 109 and the fourth step-down circuit 112 are turned off. As a result, the voltage generated at the input connection point 409 of the third step-down circuit 109 is determined by the resistance values of the three resistors 362a-b and 344, and the voltage generated at the input connection point 412 of the fourth step-down circuit 112 is also determined by the resistance values of the three resistors 364a-b, 358. That is, when a low-band first RF transmission signal having a relatively large transmission power is supplied to the first transmission terminal 31, field effect transistors 218a-b, 219a-b and resistors 360, 361a-b, 362a-b, 363a-b, 364a-b are controlled to a large attenuation.
第3の降圧回路109の入力接続点409に発生する電圧をV_{in4}、ダイオードのしきい値電圧をV_f、基準電位408の接地電圧レベルをV_{ss}とすると、第3の降圧回路109の出力端子23には、下記(4)式に従った負電圧V_{out4}が生成される。	When the voltage generated at the input connection point 409 of the third step-down circuit 109 is V_{in4}, the threshold voltage of the diode is V_f, and the ground voltage level of the reference potential 408 is V_{ss}, the output terminal 23 of the third step-down circuit 109 is connected. Generates a negative voltage V_{out4} according to the following equation (4).
数4 $V_{out4} = -2 \cdot (V_{in4} - V_f) - V_{ss} \quad \dots(4)式$	数4 $V_{out4} = -2 \cdot (V_{in4} - V_f) - V_{ss} \quad \dots(4)式$

また、上記(4)式によって与えられる負電圧V_{out4}の電圧値は、負電圧V_{out4}を生成する第3の降圧回路109の回路形式が変更されると異なる値に変化するものである。例えば、第3の降圧回路109の出力端子23に生成される負電圧V_{out4}は、例えば、$V_{in4} = 1.6V$、$V_f = 0.6V$とすると、上記(4)式に従って$-2.0V$の負電圧V_{out4}が、第3の降圧回路109の出力端子23に生成される。第4の降圧回路112の出力端子28に生成される負電圧も、第3の降圧回路109の出力端子23に生成される負電圧V_{out4}と同様に計算されることができ。従って、第4の降圧回路112の回路形式が第3の降圧回路109と同一の場合には、上記(4)式に従って$-2.0V$の負電圧V_{out4}が、第4の降圧回路112の出力端子28に生成されることが可能である。	The voltage value of the negative voltage V_{out4} given by the above equation (4) changes to a different value when the circuit format of the third step-down circuit 109 that generates the negative voltage V_{out4} is changed. For example, if the negative voltage V_{out4} generated at the output terminal 23 of the third step-down circuit 109 is, for example, $V_{in4} = 1.6V$ and $V_f = 0.6V$, the negative voltage of $-2.0V$ is obtained according to the above equation (4). V_{out4} is generated at the output terminal 23 of the third step-down circuit 109. The negative voltage generated at the output terminal 28 of the fourth step-down circuit 112 can also be calculated in the same manner as the negative voltage V_{out4} generated at the output terminal 23 of the third step-down circuit 109. Therefore, when the circuit format of the fourth step-down circuit 112 is the same as that of the third step-down circuit 109, the negative voltage V_{out4} of $-2.0V$ is applied to the output terminal of the fourth step-down circuit 112 according to the above equation (4). 28 can be generated.
図19は、高レベルの第1の送信信号が図6の本発明の実施の形態4による半導体集積回路1のアンテナスイッチの第1の送信端子31から供給される際に各スイッチ100、105、102、106、101、110、103、スイッチ111の電圧と動作状態の関係を示す図である。	19 shows that each of the switches 100, 105, when the high-level first transmission signal is supplied from the first transmission terminal 31 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.
図19に示すように、図18と同様に、第1の送信端子31とアンテナ端子2との間に接続された第1の送信用トランスファークロスイッチ100がオン状態に制御されるので、第1の送信端子31に供給される第1の送信信号がアンテナ端子2に電圧される。また、図19では、$-2.0V$の負電圧によって、オフ状態とされるスイッチ101、102、105、110の電界効果トランジスタのゲート・ソース間電圧が深い逆方向電圧とされている。その結果、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	As shown in FIG. 19, as in FIG. 18, the first transmission transfer gate switch 100 connected between the first transmission terminal 31 and the antenna terminal 2 is controlled to be in the ON state. The first transmission signal supplied to the transmission terminal 31 is voltageed to the antenna terminal 2. In FIG. 19, the gate-source voltage of the field effect transistors of the switches 101, 102, 105, and 110 that are turned off by the negative voltage of $-2.0V$ is set to a deep reverse voltage. As a result, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.

《低レベルの第２送信動作》 低レベルの第２の送信信号の送信時、すなわち低レベルの第２の送信信号を第２の送信端子３２から供給して、アンテナ端子２に出力する場合には、例えば第２の送信制御端子１３とシャント制御端子６とに３．０Ｖの電圧を供給して、第１の送信制御端子５と第１の受信制御端子７と第２の受信制御端子２５とに０Ｖの電圧を供給する。	<< Low Level Second Transmission Operation >> When transmitting a low-level second transmission signal, that is, when a low-level second transmission signal is supplied from the second transmission terminal 32 and output to the antenna terminal 2, for example, a second transmission control terminal A voltage of 3.0 V is supplied to 13 and the shunt control terminal 6, and a voltage of 0 V is supplied to the first transmission control terminal 5, the first reception control terminal 7, and the second reception control terminal 25.
図２０は、低レベルの第２の送信信号が図６の本発明の実施の形態４による半導体集積回路１のアンテナスイッチの第２の送信端子３２から供給される際に各スイッチ１００、１０５、１０２、１０６、１０１、１１０、１０３、スイッチ１１１の電圧と動作状態の関係を示す図である。	FIG. 20 shows that each of the switches 100, 105, when the low-level second transmission signal is supplied from the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.
図２０に示すように、第１の送信端子３２とアンテナ端子２との間に接続された第２の送信用トランスファークロスイッチ１０５がオン状態に制御されるので、第２の送信端子３２に供給される第２の送信信号がアンテナ端子２に伝達される。	As shown in FIG. 20, since the second transmission transfer gate switch 105 connected between the first transmission terminal 32 and the antenna terminal 2 is controlled to be in the ON state, the second transmission terminal 32 is supplied. The second transmission signal to be transmitted is transmitted to the antenna terminal 2.
《高レベルの第２送信動作》 第２の送信端子３２と第２の降圧回路１０８の入力端子１７とに供給される第１の送信信号のレベルが増大すると、ダイオード２１０、２１１の入力接続点４０５に発生する電圧と基準電位点４０４との電位差V_{in}がダイオード２１０、２１１のしきい値電圧V_fよりも高くなりダイオード２１０、２１１により整流動作が開始され、(２)式に従った負電圧V_{out}が出力端子１８に生成され、第２の送信側シャントゲートスイッチ１０６の電界効果トランジスタ２０７ａ～ｄのゲートと第１の送信用トランスファークロスイッチ１００の電界効果トランジスタ２００ａ～ｄのゲートに供給される。	<< High-level second transmission operation >> When the level of the first transmission signal supplied to the second transmission terminal 32 and the input terminal 17 of the second step-down circuit 108 increases, the voltage generated at the input connection point 405 of the diodes 210 and 211 and the reference potential point The potential difference V_{in} with respect to 404 becomes higher than the threshold voltage V_f of the diodes 210 and 211, and the rectification operation is started by the diodes 210 and 211. A negative voltage V_{out} according to the equation (2) is generated at the output terminal 18, The gates of the field effect transistors 207a to 207d of the second transmission side shunt gate switch 106 and the gates of the field effect transistors 200a to 200d of the first transmission transfer gate switch 100 are supplied.

一方、アンテナ電圧が 2.4V であり、第 2 の送信制御端子 13 が 0V であるため、第 4 の降圧回路 112 の入力端子 27 に接続された電界効果トランジスタ 219a-b と第 3 の降圧回路 109 の入力端子 22 に接続された電界効果トランジスタ 218a-b はオフ状態となる。その結果、第 3 の降圧回路 109 の入力接続点 409 に発生する電圧は 3 つの抵抗 362a-b、344 の抵抗値で決定され、第 4 の降圧回路 112 の入力接続点 412 に発生する電圧も 3 つの抵抗 364a-b、358 の抵抗値で決定される。すなわち、比較的小さな送信電力を持ったハイバンドの第 2 の RF 送信信号が第 2 の送信端子 32 に供給される場合には、電界効果トランジスタ 218a-b、219a-b と抵抗 360、361a-b、362a-b、363a-b、364a-b とから構成された可変減衰器は小さな減衰量に制御される。	On the other hand, since the antenna voltage is 2.4V and the second transmission control terminal 13 is 0V, the field effect transistors 219a-b connected to the input terminal 27 of the fourth step-down circuit 112 and the third step-down circuit The field effect transistors 218a-b connected to the 109 input terminals 22 are turned off. As a result, the voltage generated at the input connection point 409 of the third step-down circuit 109 is determined by the resistance values of the three resistors 362a-b and 344, and the voltage generated at the input connection point 412 of the fourth step-down circuit 112 is also It is determined by the resistance values of the three resistors 364a-b, 358. That is, when a high-band second RF transmission signal having a relatively small transmission power is supplied to the second transmission terminal 32, the field effect transistors 218a-b, 219a-b and the resistors 360, 361a-b, 362a-b, 363a-b, 364a-b, the variable attenuator is controlled to a small attenuation.
第 4 の降圧回路 112 の入力接続点 412 に発生する電圧を V_{in5}、ダイオードのしきい値電圧を V_f、基準電位 411 の接地電圧レベルを V_{ss} とすると、第 4 の降圧回路 112 の出力端子 28 には、下記(5)式に従った負電圧 V_{out5} が生成される。	When the voltage generated at the input connection point 412 of the fourth step-down circuit 112 is V_{in5}, the threshold voltage of the diode is V_f, and the ground voltage level of the reference potential 411 is V_{ss}, the output terminal 28 of the fourth step-down circuit 112 is connected. Generates a negative voltage V_{out5} according to the following equation (5).
数5 $V_{out5} = -2 \cdot (V_{in5} - V_f) - V_{ss} \quad \dots(5) \text{式}$	数5 $V_{out5} = -2 \cdot (V_{in5} - V_f) - V_{ss} \quad \dots(5) \text{式}$
また、上記(5)式によって与えられる負電圧 V_{out5} の電圧値は、負電圧 V_{out5} を生成する第 4 の降圧回路 112 の回路形式が変更されると異なる値に変化するものである。例えば、第 4 の降圧回路 112 の出力端子 28 に生成される負電圧 V_{out5} は、例えば、$V_{in5} = 1.6V$、$V_f = 0.6V$ とすると、上記(5)式に従って $-2.0V$ の負電圧 V_{out5} が第 4 の降圧回路 112 の出力端子 28 に生成される。第 3 の降圧回路 109 の出力端子 23 に生成される負電圧も、第 4 の降圧回路 112 の出力端子 28 に生成される負電圧 V_{out5} と同様に計算されることができる。従って、第 3 の降圧回路 109 の回路形式が第 4 の降圧回路 112 と同一の場合には、上記(5)式に従って $-2.0V$ の負電圧 V_{out5} が、第 3 の降圧回路 109 の出力端子 23 に生成されることが可能である。	The voltage value of the negative voltage V_{out5} given by the above equation (5) changes to a different value when the circuit format of the fourth step-down circuit 112 that generates the negative voltage V_{out5} is changed. For example, if the negative voltage V_{out5} generated at the output terminal 28 of the fourth step-down circuit 112 is, for example, $V_{in5} = 1.6V$ and $V_f = 0.6V$, the negative voltage of $-2.0V$ is obtained according to the above equation (5). V_{out5} is generated at the output terminal 28 of the fourth step-down circuit 112. The negative voltage generated at the output terminal 23 of the third step-down circuit 109 can also be calculated in the same manner as the negative voltage V_{out5} generated at the output terminal 28 of the fourth step-down circuit 112. Therefore, when the circuit format of the third step-down circuit 109 is the same as that of the fourth step-down circuit 112, the negative voltage V_{out5} of $-2.0V$ is applied to the output terminal of the third step-down circuit 109 according to the above equation (5). 23 can be generated.

図 2 1 は、高レベルの第 2 の送信信号が図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチの第 2 の送信端子 3 2 から供給される際に各スイッチ 1 0 0、1 0 5、1 0 2、1 0 6、1 0 1、1 1 0、1 0 3、スイッチ 1 1 1 の電圧と動作状態の関係を示す図である。	FIG. 21 shows that each of the switches 100, 105, when the high-level second transmission signal is supplied from the second transmission terminal 32 of the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the invention shown in FIG. It is a figure which shows the voltage of 102,106,101,110,103, the switch 111, and the relationship of an operating state.
図 2 1 に示すように、図 2 0 と同様に、第 2 の送信端子 3 2 とアンテナ端子 2 との間に接続された第 2 の送信用トランスファークゲートスイッチ 1 0 5 がオン状態に制御されるので、第 2 の送信端子 3 2 に供給される第 2 の送信信号がアンテナ端子 2 に電圧される。また、図 2 1 では、-2 . 0 V の負電圧によって、オフ状態とされるスイッチ 1 0 0、1 0 1、1 1 0、1 0 6 の電界効果トランジスタのゲート・ソース間電圧が深い逆方向電圧とされている。その結果、アンテナスイッチのオフ耐圧を改善することが可能となり、またアンテナスイッチの容量の急激な増加による高調波歪特性を改善可能となる。	As shown in FIG. 21, the second transmission transfer gate switch 105 connected between the second transmission terminal 32 and the antenna terminal 2 is controlled to be in the ON state, as in FIG. The second transmission signal supplied to the transmission terminal 32 is voltageed to the antenna terminal 2. In FIG. 21, the gate-source voltage of the field effect transistors of the switches 100, 101, 110, and 106 that are turned off by the negative voltage of -2.0 V is a deep reverse voltage. As a result, it is possible to improve the off-breakdown voltage of the antenna switch, and it is possible to improve the harmonic distortion characteristics due to a sudden increase in the capacity of the antenna switch.
《第 1 受信動作》 第 1 のアンテナ受信信号の受信時、すなわちアンテナ端子 2 に供給される第 1 のアンテナ受信信号を第 1 の受信端子 4 1 に出力する場合には、例えば第 1 の送信制御端子 5 と第 2 送信制御端子 1 3 とシャント制御端子 6 と第 2 の受信制御端子 2 5 に 0 V の電圧が供給され、第 1 の受信制御端子 7 に 3 . 0 V の電圧が供給される。	<< First reception operation >> When receiving the first antenna reception signal, that is, when outputting the first antenna reception signal supplied to the antenna terminal 2 to the first reception terminal 41, for example, the first transmission control terminal 5 and the second transmission A voltage of 0 V is supplied to the control terminal 13, the shunt control terminal 6, and the second reception control terminal 25, and a voltage of 3.0 V is supplied to the first reception control terminal 7.
図 2 2 は、図 6 の本発明の実施の形態 4 による半導体集積回路 1 のアンテナスイッチが受信動作を行う際に、各スイッチ 1 0 0、1 0 5、1 0 2、1 0 6、1 0 1、1 1 0、1 0 3、スイッチ 1 1 1 の電圧と動作状態の関係を示す図である。	FIG. 22 shows the voltages of the switches 100, 105, 102, 106, 101, 110, 103 and the switch 111 when the antenna switch of the semiconductor integrated circuit 1 according to the fourth embodiment of the present invention shown in FIG. FIG.

図 2 2 の各エントリーの上側は、第 1 受信動作を示すものがある。図 2 2 の多数のエントリーの上側に示すように、第 1 受信動作では第 1 の受信用トランスファークロスタックスイッチ 1 0 1 がオン状態に制御されるので、アンテナ端子 2 に供給される第 1 のアンテナ受信信号は第 1 の受信用トランスファークロスタックスイッチ 1 0 1 を介して第 1 の受信端子 4 1 に伝達される。この時には、第 1 の送信側シャントスイッチ 1 0 2 がオン状態に制御されるので第 1 の送信端子 3 1 の漏洩信号成分は接地電位にバイパスされ、第 2 の送信側シャントスイッチ 1 0 6 がオン状態に制御されるので第 2 の送信端子 3 2 の漏洩信号成分は接地電位にバイパスされ、第 2 の受信側シャントスイッチ 1 1 1 がオン状態に制御されるので第 2 の受信端子 4 2 の漏洩信号成分は接地電位にバイパスされることが可能となる。	The upper side of each entry in FIG. 22 shows the first reception operation. As shown in the upper side of a large number of entries in FIG. 22, in the first reception operation, the first reception transfer gate switch 101 is controlled to be in the on state, so that the first antenna reception signal supplied to the antenna terminal 2 is The signal is transmitted to the first reception terminal 41 through the first reception transfer gate switch 101. At this time, since the first transmission shunt switch 102 is controlled to be in the on state, the leakage signal component of the first transmission terminal 31 is bypassed to the ground potential, and the second transmission shunt switch 106 is controlled to be in the on state. Therefore, the leakage signal component of the second transmission terminal 32 is bypassed to the ground potential, and the second reception side shunt switch 111 is controlled to be in the ON state, so that the leakage signal component of the second reception terminal 42 is bypassed to the ground potential. Can be done.
《第 2 受信動作》 第 2 のアンテナ受信信号の受信時、すなわちアンテナ端子 2 に供給される第 2 のアンテナ受信信号を第 2 の受信端子 4 2 に出力する場合には、例えば第 1 の送信制御端子 5 と第 2 送信制御端子 1 3 とシャント制御端子 6 と第 1 の受信制御端子 7 に 0 V の電圧が供給され、第 2 の受信制御端子 2 5 に 3 . 0 V の電圧が供給される。	<< Second receiving operation >> When receiving the second antenna reception signal, that is, when outputting the second antenna reception signal supplied to the antenna terminal 2 to the second reception terminal 42, for example, the first transmission control terminal 5 and the second transmission A voltage of 0 V is supplied to the control terminal 13, the shunt control terminal 6, and the first reception control terminal 7, and a voltage of 3.0 V is supplied to the second reception control terminal 25.

図 22 の各エントリーの下側は、第 2 受信動作を示すものがある。図 22 の多数のエントリーの下側に示すように、第 2 受信動作では第 2 の受信用トランスファークロスタック 110 がオン状態に制御されるので、アンテナ端子 2 に供給される第 2 のアンテナ受信信号は第 2 の受信用トランスファークロスタック 110 を介して第 2 の受信端子 42 に伝達される。この時には、第 1 の送信側シャントスイッチ 102 がオン状態に制御されるので第 1 の送信端子 31 の漏洩信号成分は接地電位にバイパスされ、第 2 の送信側シャントスイッチ 106 がオン状態に制御されるので第 2 の送信端子 32 の漏洩信号成分は接地電位にバイパスされ、第 1 の受信側シャントスイッチ 103 がオン状態に制御されるので第 1 の送信端子 41 の漏洩信号成分は接地電位にバイパスされることが可能となる。	The lower side of each entry in FIG. 22 shows the second reception operation. As shown in the lower side of many entries in FIG. 22, in the second reception operation, the second reception transfer gate switch 110 is controlled to be in the ON state, so that the second antenna reception signal supplied to the antenna terminal 2 is transmitted to the second reception terminal 42 through the second reception transfer gate switch 110. At this time, since the first transmission shunt switch 102 is controlled to be in the on state, the leakage signal component of the first transmission terminal 31 is bypassed to the ground potential, and the second transmission shunt switch 106 is controlled to be in the on state. Therefore, the leakage signal component of the second transmission terminal 32 is bypassed to the ground potential, and the first reception side shunt switch 103 is controlled to be in the ON state, so that the leakage signal component of the first transmission terminal 41 is bypassed to the ground potential. Can be done.
この第 1 と第 2 の受信動作では、アンテナ端子 2 に供給される第 1 と第 2 のアンテナ受信信号は微弱な信号電圧レベルであるので、第 3 の降圧回路 109 と第 4 の降圧回路 112 は駆動されず、その出力端子 23、28 から負電圧は生成されない。	In the first and second reception operations, the first and second antenna reception signals supplied to the antenna terminal 2 have weak signal voltage levels, and thus the third step-down circuit 109 and the fourth step-down circuit 112 are used. Is not driven, and no negative voltage is generated from its output terminals 23 and 28.
[実施の形態 5] 《高周波モジュールの構成》 図 7 は、図 6 の本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路 1 を内蔵した本発明の実施の形態 5 による高周波モジュールの構成を示す図である。	[Embodiment 5] <Configuration of high-frequency module> FIG. 7 is a diagram showing the configuration of the high-frequency module according to the fifth embodiment of the present invention in which the semiconductor integrated circuit 1 including the antenna switch according to the fourth embodiment of the present invention in FIG. 6 is incorporated.

図 7 に示す高周波モジュール R F _ M D は携帯電話端末に搭載可能であり、R F 電力増幅器 7 0 とローパスフィルタ 7 1、7 2 とアンテナスイッチ 7 3 とを含んでいる。アンテナスイッチ 7 3 は、図 6 の本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路 1 によって構成されている。すなわち、アンテナスイッチ 7 3 は、第 1 の送信端子 3 1 と第 2 の送信端子 3 2 と第 1 の受信端子 4 1 と第 2 の受信端子 4 2 と第 1 の送信制御端子 5 と第 2 の送信制御端子 1 3 と第 1 の受信制御端子 5 と第 2 の受信制御端子 2 5 とシャント制御端子 6 とアンテナ端子 2 を含み、アンテナ端子 2 は携帯電話端末に搭載される送受信アンテナ A N T に接続される。	The high-frequency module RF_MD shown in FIG. 7 can be mounted on a mobile phone terminal, and includes an RF power amplifier 70, low-pass filters 71 and 72, and an antenna switch 73. The antenna switch 73 is configured by the semiconductor integrated circuit 1 including the antenna switch according to the fourth embodiment of the present invention shown in FIG. That is, the antenna switch 73 includes the first transmission terminal 31, the second transmission terminal 32, the first reception terminal 41, the second reception terminal 42, the first transmission control terminal 5, and the second transmission control terminal 13. A first reception control terminal 5, a second reception control terminal 25, a shunt control terminal 6, and an antenna terminal 2. The antenna terminal 2 is connected to a transmission / reception antenna ANT mounted on a mobile phone terminal.
高周波モジュール R F _ M D の R F 電力増幅器 7 0 は、第 1 の電力増幅回路 7 0 1 と第 2 の電力増幅回路 7 0 2 と制御回路 7 0 3 とを含み、第 1 の電力増幅回路 7 0 1 の入力端子にはローバンドの周波数 8 8 0 ～ 9 1 5 M H z の第 1 の送信信号 T x 1 が供給可能とされ、第 2 の電力増幅回路 7 0 2 の入力端子にはハイバンドの周波数 1 7 1 0 ～ 1 7 8 5 M H z の第 2 の送信信号 T x 2 が供給可能とされる。第 1 の電力増幅回路 7 0 1 の出力端子に生成される第 1 の送信増幅信号はローパスフィルタ 7 1 を介してアンテナスイッチ 7 3 の第 1 の送信端子 3 1 に供給可能とされ、第 2 の電力増幅回路 7 0 2 の出力端子に生成される第 2 の送信増幅信号はローパスフィルタ 7 2 を介してアンテナスイッチ 7 3 の第 2 の送信端子 3 2 に供給可能とされる。また、制御回路 7 0 3 の出力ポートからは、アンテナスイッチ 7 3 の第 1 の送信制御端子 5 と第 2 の送信制御端子 1 3 と第 1 の受信制御端子 5 と第 2 の受信制御端子 2 5 とシャント制御端子 6 に供給される種々の制御信号が生成されるので、アンテナスイッチ 7 3 の送受信動作が制御される。	The RF power amplifier 70 of the high-frequency module RF_MD includes a first power amplifier circuit 701, a second power amplifier circuit 702, and a control circuit 703. The input terminal of the first power amplifier circuit 701 has a low-band frequency 880-915 MHz. The first transmission signal Tx1 of 915 MHz can be supplied, and the second transmission signal Tx2 of the high band frequency 1710 to 1785 MHz can be supplied to the input terminal of the second power amplifier circuit 702. The first transmission amplification signal generated at the output terminal of the first power amplification circuit 701 can be supplied to the first transmission terminal 31 of the antenna switch 73 via the low-pass filter 71, and the second power amplification circuit 702. The second transmission amplification signal generated at the output terminal can be supplied to the second transmission terminal 32 of the antenna switch 73 via the low-pass filter 72. From the output port of the control circuit 703, the first transmission control terminal 5, the second transmission control terminal 13, the first reception control terminal 5, the second reception control terminal 25, and the shunt control terminal of the antenna switch 73 are connected. Since the various control signals supplied to 6 are generated, the transmission / reception operation of the antenna switch 73 is controlled.

アンテナスイッチ 73 による送信動作では、アンテナスイッチ 73 によって第 1 の電力増幅回路 701 の出力端子に生成されアンテナスイッチ 73 の第 1 の送信端子 31 に供給される第 1 の送信増幅信号と第 2 の電力増幅回路 702 の出力端子に生成されアンテナスイッチ 73 の第 2 の送信端子 32 に供給される第 2 の送信増幅信号とのいずれか一方が選択されて、選択された RF 送信増幅信号がアンテナ端子 2 に接続された送受信アンテナ ANT に供給される。	In the transmission operation by the antenna switch 73, the first transmission amplification signal and the second power generated by the antenna switch 73 at the output terminal of the first power amplification circuit 701 and supplied to the first transmission terminal 31 of the antenna switch 73. One of the second transmission amplification signals generated at the output terminal of the amplification circuit 702 and supplied to the second transmission terminal 32 of the antenna switch 73 is selected, and the selected RF transmission amplification signal is selected from the antenna terminal 2. Is supplied to a transmission / reception antenna ANT connected to.
アンテナスイッチ 73 による受信動作では、アンテナ端子 2 に接続された送受信アンテナ ANT によって受信されたローバンドの周波数 925 〜 960 MHz の第 1 の受信信号とハイバンドの周波数 1805 〜 1880 MHz の第 2 の受信信号とのいずれか一方がアンテナスイッチ 73 によって選択されて、選択された RF 受信信号が第 1 の受信端子 41 と第 2 の受信端子 42 のいずれか一方に供給される。アンテナスイッチ 73 の第 1 の受信端子 41 と第 2 の受信端子 42 は、携帯電話端末に搭載される RF 半導体集積回路の受信回路部に含まれるローバンドの低雑音増幅器の入力端子とハイバンドの低雑音増幅器の入力端子にそれぞれ接続される。	In the reception operation by the antenna switch 73, a low-band frequency 925 to 960 MHz first reception signal and a high-band frequency 1805 to 1880 MHz second reception signal received by the transmission / reception antenna ANT connected to the antenna terminal 2 are used. Either one is selected by the antenna switch 73, and the selected RF reception signal is supplied to one of the first reception terminal 41 and the second reception terminal 42. The first receiving terminal 41 and the second receiving terminal 42 of the antenna switch 73 are connected to an input terminal of a low-band low noise amplifier included in a receiving circuit portion of an RF semiconductor integrated circuit mounted on a mobile phone terminal and a high-band low terminal. Each is connected to the input terminal of the noise amplifier.
このようにして図 6 の本発明の実施の形態 4 によるアンテナスイッチを含む半導体集積回路 1 を搭載した図 7 に示す本発明の実施の形態 5 による高周波モジュール RF_MD によれば、ローバンドとハイバンドの複数の周波数を使用した送受信動作の切り換えが可能となる。	In this way, according to the high frequency module RF_MD according to the fifth embodiment of the present invention shown in FIG. 7 in which the semiconductor integrated circuit 1 including the antenna switch according to the fourth embodiment of the present invention shown in FIG. It is possible to switch between transmission and reception operations using multiple frequencies.
以上、本発明者によってなされた発明を種々の実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。	As mentioned above, the invention made by the present inventor has been specifically described based on various embodiments. However, the present invention is not limited thereto, and various modifications can be made without departing from the scope of the invention. Needless to say.

例えば、図 7 に示した本発明の実施の形態 5 による高周波モジュール R F _ M D で、ハイバンド側の第 2 の送信端子 3 2 と第 2 の受信端子 4 2 とが省略される場合には、図 3 に示した本発明の実施の形態 1 または図 5 に示した本発明の実施の形態 3 による送受信用 S P D T 型のアンテナスイッチの半導体集積回路 1 を使用することが可能である。	For example, in the high-frequency module R F _ M D according to the fifth embodiment of the present invention shown in FIG. 7, when the second transmission terminal 32 and the second reception terminal 42 on the high band side are omitted, it is shown in FIG. 3. It is possible to use the semiconductor integrated circuit 1 of the transmission / reception SPDT type antenna switch according to the first embodiment of the present invention or the third embodiment of the present invention shown in FIG.
また図 7 に示した本発明の実施の形態 5 による高周波モジュール R F _ M D で、第 1 の受信端子 4 1 と第 2 の受信端子 4 2 とが省略される場合には、図 4 に示した本発明の実施の形態 2 による送信用 S P D T 型アンテナスイッチの半導体集積回路 1 を使用することが可能である。	Further, in the high-frequency module R F _ M D according to the fifth embodiment of the present invention shown in FIG. 7, when the first receiving terminal 41 and the second receiving terminal 42 are omitted, the implementation of the present invention shown in FIG. It is possible to use the semiconductor integrated circuit 1 of the transmission SPDT type antenna switch according to the second embodiment.
更に例えば、本発明によるアンテナスイッチを含む半導体集積回路 1 の半導体基板はガリウム砒素等の化合物半導体に限定されるものではなく、半導体集積回路 1 に含まれるアンテナスイッチで使用される電界効果トランジスタは化合物半導体基板表面上に形成される n チャンネル型でノーマリーオン of M E S 型電界効果トランジスタに限定されるものではない。例えば、アンテナスイッチの半導体集積回路 1 の半導体基板にシリコンを利用して n チャンネル型のショットキーゲート型の M E S 型電界効果トランジスタを利用することが可能である一方、シリコンオンインシュレータ(S O I)技術を利用した絶縁ゲート型の M O S 型電界効果トランジスタを利用することが可能である。	Further, for example, the semiconductor substrate of the semiconductor integrated circuit 1 including the antenna switch according to the present invention is not limited to a compound semiconductor such as gallium arsenide, and the field effect transistor used in the antenna switch included in the semiconductor integrated circuit 1 is a compound. The present invention is not limited to an n-channel normally-on MES field effect transistor formed on a semiconductor substrate surface. For example, it is possible to use an n-channel Schottky gate type MES field effect transistor using silicon for the semiconductor substrate of the semiconductor integrated circuit 1 of the antenna switch, while using silicon on insulator (SOI) technology. It is possible to use an insulated gate MOS field effect transistor.
また本発明による半導体集積回路 1 のアンテナスイッチは、携帯電話端末に搭載可能な高周波モジュールに内蔵されるアンテナスイッチに限定されるものではなく、無線 L A N (Local Area Network) に使用される高周波モジュールに内蔵されるアンテナスイッチに適用されることも可能である。	The antenna switch of the semiconductor integrated circuit 1 according to the present invention is not limited to the antenna switch built in the high-frequency module that can be mounted on the mobile phone terminal, but is a high-frequency module used for a wireless local area network (LAN). It can also be applied to a built-in antenna switch.

1 ...半導体集積回路 2 ～ 2 8 ...回路の端子 1 0 0 ～ 1 1 2 ...降圧回路ブロック及びスイッチブ ロック 2 0 0 ～ 2 1 9 ...電界効果トランジスタ及びダイオー ド 3 0 0 ～ 3 6 4 ...抵抗及びコンデンサ 4 0 0 ～ 4 1 1 ...ノード端子	DESCRIPTION OF SYMBOLS 1 ... Semiconductor integrated circuit 2-28 ... Terminal of circuit 100-112 ... Step-down circuit block and switch block 200-219 ... Field effect transistor and diode 300-364 ... Resistor and capacitor 400-411 ... Node terminal
---	--

Legal events

Code	Title	Date	Country	Impact	Details
A621	WRITTEN REQUEST FOR APPLICATION EXAMINATION	2012-08-10	JP	+	free format text JAPANESE INTERMEDIATE CODE: A621 Effective Date 20120809
A977	REPORT ON RETRIEVAL	2013-06-26	JP		free format text JAPANESE INTERMEDIATE CODE: A971007 Effective Date 20130626
A131	NOTIFICATION OF REASONS FOR REFUSAL	2013-07-12	JP	-	free format text JAPANESE INTERMEDIATE CODE: A131 Effective Date 20130711
A521	WRITTEN AMENDMENT	2013-08-01	JP		free format text JAPANESE INTERMEDIATE CODE: A523 Effective Date 20130731
TRDD	DECISION OF GRANT OR REJECTION WRITTEN	2013-08-13	JP	+	
A01	WRITTEN DECISION TO GRANT A PATENT OR TO GRANT A REGISTRATION (UTILITY MODEL)	2013-08-23	JP	+	free format text JAPANESE INTERMEDIATE CODE: A01 Effective Date 20130822

Code	Title	Date	Country	Impact	Details
A61	FIRST PAYMENT OF ANNUAL FEES (DURING GRANT PROCEDURE)	2013-09-05	JP	+	free format text JAPANESE INTERMEDIATE CODE: A61 Effective Date 20130902
R150	CERTIFICATE OF PATENT OR REGISTRATION OF UTILITY MODEL	2013-09-06	JP	+	free format text JAPANESE INTERMEDIATE CODE: R150
S531	WRITTEN REQUEST FOR REGISTRATION OF CHANGE OF DOMICILE	2015-09-28	JP		free format text JAPANESE INTERMEDIATE CODE: R313531
R350	WRITTEN NOTIFICATION OF REGISTRATION OF TRANSFER	2015-10-06	JP		free format text JAPANESE INTERMEDIATE CODE: R350
LAPS	CANCELLATION BECAUSE OF NO PAYMENT OF ANNUAL FEES	2016-09-06	JP	-	

Images



