

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-121217

(P2006-121217A)

(43) 公開日 平成18年5月11日(2006.5.11)

(51) Int.Cl.

H03K 17/693 (2006.01)

F 1

H03K 17/693

A

テーマコード (参考)

5J055

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2004-304613 (P2004-304613)
 (22) 出願日 平成16年10月19日 (2004.10.19)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

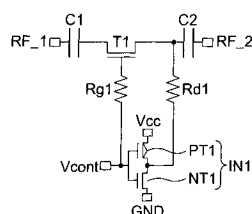
(54) 【発明の名称】 半導体切替回路

(57) 【要約】

【課題】 最大許容入力電力を向上させ、かつオン抵抗の増加を抑制する。

【解決手段】 エンハンスメント型nチャネルMOSFET T1と、第1、第2の端子RF_1、RF_2と、MOSFET T1のスイッチングを制御する制御信号が入力される制御端子Vcontと、MOSFET T1のドレイン又はソースと第1の端子RF_1との間に接続された第1の容量素子C1と、MOSFET T1のソース又はドレインと第2の端子RF_2との間に接続された第2の容量素子C2と、MOSFET T1のゲートと、制御端子Vcontとの間に接続された第1の抵抗Rg1と、制御端子Vcontに入力側が接続された、MOSFET T1のスイッチング制御用の論理回路IN1と、MOSFET T1のソースまたはドレインのいずれか一方と、論理回路IN1の出力側との間に接続された第2の抵抗Rd1とを備えることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

エンハンスメント型 n チャネル MOS FET と、
第 1、第 2 の端子と、
前記 MOS FET のスイッチングを制御する制御信号が入力される制御端子と、
前記 MOS FET のドレイン又はソースと前記第 1 の端子との間に接続された第 1 の容量素子と、
前記 MOS FET のソース又はドレインと前記第 2 の端子との間に接続された第 2 の容量素子と、
前記 MOS FET のゲートと、前記制御端子との間に接続された第 1 の抵抗と、
前記制御端子に入力側が接続された、前記 MOS FET のスイッチング制御用の論理回路と、
前記 MOS FET のソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第 2 の抵抗と、
を備えることを特徴とする半導体切替回路。

10

【請求項 2】

第 1、第 2 のエンハンスメント型 n チャネル MOS FET と、
第 1、第 2、第 3 の端子と、
前記第 1、第 2 の MOS FET のそれぞれのスイッチングを制御する制御信号が入力される制御端子と、
前記第 1 の MOS FET のドレイン又はソースと前記第 1 の端子との間に接続された第 1 の容量素子と、
前記第 1 の MOS FET のソース又はドレインと前記第 2 の端子との間に接続された第 2 の容量素子と、
前記第 2 の MOS FET のドレイン又はソースと前記第 2 の端子との間に接続された第 3 の容量素子と、
前記第 2 の MOS FET のソース又はドレインと前記第 3 の端子との間に接続された第 4 の容量素子と、
前記第 1 の MOS FET のゲートと、前記制御端子との間に接続された第 1 の抵抗と、
前記制御端子に入力側が接続された、前記 MOS FET のスイッチング制御用の論理回路と、
前記第 1 の MOS FET のソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第 2 の抵抗と、
前記第 2 の MOS FET のソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第 3 の抵抗と、
前記第 2 の MOS FET のゲートと、前記論理回路の出力側との間に接続された第 4 の抵抗と、
を備えることを特徴とする半導体切替回路。

20

30

【請求項 3】

前記第 1、第 2 の MOS FET の少なくともいずれか一つのソース、ドレインに並列に接続されたインダクタ素子をさらに備えることを特徴とする請求項 2 記載の半導体切替回路。

40

【請求項 4】

第 1、第 2、第 3、第 4 のエンハンスメント型 n チャネル MOS FET と、
第 1、第 2、第 3、第 4、第 5 の端子と、
前記第 1～第 4 の MOS FET のそれぞれのスイッチングを制御する制御信号が入力される制御端子と、
前記第 1 の MOS FET のドレイン又はソースと前記第 1 の端子との間に接続された第 1 の容量素子と、
前記第 1 の MOS FET のソース又はドレインと前記第 2 の端子との間に接続された第

50

2の容量素子と、
前記第2のMOSFETのドレイン又はソースと前記第2の端子との間に接続された第3の容量素子と、
前記第2のMOSFETのソース又はドレインと前記第3の端子との間に接続された第4の容量素子と、
前記第3のMOSFETのドレイン又はソースと前記第1の端子との間に接続された第5の容量素子と、
前記第3のMOSFETのソース又はドレインと前記第4の端子との間に接続された第6の容量素子と、
前記第4のMOSFETのドレイン又はソースと前記第3の端子との間に接続された第7の容量素子と、
前記第4のMOSFETのソース又はドレインと前記第5の端子との間に接続された第8の容量素子と、
前記第1のMOSFETのゲートと、前記制御端子との間に接続された第1の抵抗と、
前記制御端子に入力側が接続された、前記第1～第4のMOSFETのスイッチング制御用の論理回路と、
前記第1のMOSFETのソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第2の抵抗と、
前記第2のMOSFETのソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第3の抵抗と、
前記第2のMOSFETのゲートと、前記論理回路の出力側との間に接続された第4の抵抗と、
前記第3のMOSFETのゲートと、前記論理回路の出力側との間に接続された第5の抵抗と、
前記第3のMOSFETのソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第6の抵抗と、
前記第4のMOSFETのゲートと、前記制御端子との間に接続された第7の抵抗と、
前記第4のMOSFETのソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第8の抵抗と、
を備えることを特徴とする半導体切替回路。

【請求項5】

前記論理回路は、CMOS構成によるインバータ回路であることを特徴とする請求項1乃至4のいずれかに記載の半導体切替回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体切替回路に関し、特にシリコン基板上に形成されたMOSFETを含む高周波半導体切替回路に好適なものである。

【背景技術】

【0002】

1GHz、あるいはそれ以上の高い周波数領域で優れたスイッチング特性を実現する高周波半導体切替回路として、これまで基板が半絶縁性でかつ高い電子移動度を有する化合物半導体が多用されてきた。

【0003】

しかし、近年、CMOSプロセスによる高周波半導体切替回路の開発が盛んに行われている。その大きな理由は、CMOSスイッチは他のCMOS・RF・ICに集積可能だからである。

【0004】

しかし、シリコン基板に形成されるMOSFETにより高周波半導体切替回路を実現しようとする、導電性基板であるが故に、MOSFETのON抵抗に起因する挿入損失に

加えて、基板の抵抗に起因する挿入損失が生じてしまうという問題があった。

【0005】

また、高周波半導体切替回路を送受切替スイッチとして用いる場合には、相当大的い最大許容入力電力が求められる。そのためには、MOSFETを縦積みとする、あるいはマルチゲート構造とすることが必要となる。しかしこれは、ON抵抗の増加を意味し、挿入損失の増大を招くこととなる。このようなMOSFETを縦積み、あるいはマルチゲート化したことによるON抵抗の増加を抑えるために、ゲート幅を大きくするという手法がある。しかし、チップ面積の増大とアイソレーションの劣化とを招く。このようなトレードオフの関係の中で最適化を行うことになるが、化合物半導体による切替回路に比べて、CMOSスイッチの特性はかなり劣ったものになっていた。

10

【0006】

従来の高周波半導体切替回路を開示する文献を以下に記載する。

【特許文献1】特開平10-242836号公報

【特許文献2】特開平11-46101号公報

【特許文献3】特開平09-289443号公報

【特許文献4】特開平08-70245号公報

【特許文献5】特開平09-214201号公報

【特許文献6】特開平10-284901号公報

【特許文献7】特開2003-37521号公報

【特許文献8】特開2000-261302号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は上記事情に鑑み、最大許容入力電力を向上させると共に、オン抵抗の増加を抑制することが可能な半導体切替回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様による半導体切替回路は、

エンハンスメント型nチャネルMOSFETと、

第1、第2の端子と、

前記MOSFETのスイッチングを制御する制御信号が入力される制御端子と、

前記MOSFETのドレイン又はソースと前記第1の端子との間に接続された第1の容量素子と、

30

前記MOSFETのソース又はドレインと前記第2の端子との間に接続された第2の容量素子と、

前記MOSFETのゲートと、前記制御端子との間に接続された第1の抵抗と、

前記制御端子に入力側が接続された、前記MOSFETのスイッチング制御用の論理回路と、

前記MOSFETのソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第2の抵抗と、

40

を備えることを特徴とする。

【0009】

また、本発明の一態様による半導体切替回路は、

第1、第2のエンハンスメント型nチャネルMOSFETと、

第1、第2、第3の端子と、

前記第1、第2のMOSFETのそれぞれのスイッチングを制御する制御信号が入力される制御端子と、

前記第1のMOSFETのドレイン又はソースと前記第1の端子との間に接続された第1の容量素子と、

前記第1のMOSFETのソース又はドレインと前記第2の端子との間に接続された第

50

2 の容量素子と、

前記第 2 の MOSFET のドレイン又はソースと前記第 2 の端子との間に接続された第 3 の容量素子と、

前記第 2 の MOSFET のソース又はドレインと前記第 3 の端子との間に接続された第 4 の容量素子と、

前記第 1 の MOSFET のゲートと、前記制御端子との間に接続された第 1 の抵抗と、
前記制御端子に入力側が接続された、前記 MOSFET のスイッチング制御用の論理回路と、

前記第 1 の MOSFET のソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第 2 の抵抗と、

10

前記第 2 の MOSFET のソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第 3 の抵抗と、

前記第 2 の MOSFET のゲートと、前記論理回路の出力側との間に接続された第 4 の抵抗と、

を備えることを特徴とする。

【0010】

あるいは、本発明の一態様による半導体切替回路は、

第 1、第 2、第 3、第 4 のエンハンスメント型 n チャネル MOSFET と、

第 1、第 2、第 3、第 4、第 5 の端子と、

前記第 1～第 4 の MOSFET のそれぞれのスイッチングを制御する制御信号が入力される制御端子と、

20

前記第 1 の MOSFET のドレイン又はソースと前記第 1 の端子との間に接続された第 1 の容量素子と、

前記第 1 の MOSFET のソース又はドレインと前記第 2 の端子との間に接続された第 2 の容量素子と、

前記第 2 の MOSFET のドレイン又はソースと前記第 2 の端子との間に接続された第 3 の容量素子と、

前記第 2 の MOSFET のソース又はドレインと前記第 3 の端子との間に接続された第 4 の容量素子と、

前記第 3 の MOSFET のドレイン又はソースと前記第 1 の端子との間に接続された第 5 の容量素子と、

30

前記第 3 の MOSFET のソース又はドレインと前記第 4 の端子との間に接続された第 6 の容量素子と、

前記第 4 の MOSFET のドレイン又はソースと前記第 3 の端子との間に接続された第 7 の容量素子と、

前記第 4 の MOSFET のソース又はドレインと前記第 5 の端子との間に接続された第 8 の容量素子と、

前記第 1 の MOSFET のゲートと、前記制御端子との間に接続された第 1 の抵抗と、
前記制御端子に入力側が接続された、前記第 1～第 4 の MOSFET のスイッチング制御用の論理回路と、

40

前記第 1 の MOSFET のソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第 2 の抵抗と、

前記第 2 の MOSFET のソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第 3 の抵抗と、

前記第 2 の MOSFET のゲートと、前記論理回路の出力側との間に接続された第 4 の抵抗と、

前記第 3 の MOSFET のゲートと、前記論理回路の出力側との間に接続された第 5 の抵抗と、

前記第 3 の MOSFET のソースまたはドレインのいずれか一方と、前記制御端子との間に接続された第 6 の抵抗と、

50

前記第4のMOSFETのゲートと、前記制御端子との間に接続された第7の抵抗と、
前記第4のMOSFETのソースまたはドレインのいずれか一方と、前記論理回路の出力側との間に接続された第8の抵抗と、
を備えることを特徴とする。

【発明の効果】

【0011】

本発明の半導体切替回路によれば、最大許容入力電力を向上させ、かつオン抵抗の増加を抑制することが可能である。

【発明を実施するための最良の形態】

【0012】

10

以下、本発明の実施の形態について図面を参照して説明する。

【0013】

(1) 実施の形態1

本発明の実施の形態1による高周波半導体切替回路の構成を図1に示す。

【0014】

本実施の形態1は、エンハンスメント型nチャネルMOSFET T1、MOSFET T1のソースおよびドレインにそれぞれ一端が接続されたDC成分除去用の容量C1およびC2、MOSFET T1のゲートに一端が接続された高抵抗Rg1、MOSFET T1のソース又はドレインのいずれか一方に一端が接続された高抵抗Rd1、抵抗Rg1の他端と抵抗Rd1の他端との間に入出力端子がそれぞれ接続された、pチャネルMOSFET PT1及びnチャネルMOSFET NT1から成るCMOSインバータ回路IN1とを備えている。

20

【0015】

容量C1およびC2のそれぞれの他端には、高周波信号線が接続されるべき端子RF_1、RF_2が接続されている。

【0016】

CMOSインバータ回路IN1に接続された端子GNDは接地用端子、端子Vccは電源電圧Vcc端子である。

【0017】

CMOSインバータ回路IN1の入力端子には、スイッチング制御用の制御電圧Vcont 30
n tが供給される制御端子Vcontが接続されている。

【0018】

尚、抵抗Rg1、Rd1は高周波信号が漏れないのに十分な大きさを有する抵抗であって、例えば10kΩ程度の値を有する。

【0019】

以下、上記構成を備えた本実施の形態1の動作について説明する。

【0020】

A1) 制御電圧Vcontが0Vの時

CMOSインバータ回路IN1の入力端子に0Vの制御電圧Vcontが入力され、出力端子から電源電圧Vccが出力される。

40

【0021】

nチャネルMOSFET T1のゲートに0Vが印加され、CMOSインバータ回路IN1の出力端子が接続されたドレイン又はソース、ここではソースとすると、電源電圧Vccが印加される。

【0022】

今、電源電圧Vccが3Vであるとする、MOSFET T1のゲート・ソース間電圧Vgsは、-3Vとなる。

【0023】

また、MOSFET T1のしきい値電圧Vthが0.7Vであるとする、この時、MOSFET T1はOFF状態になる。

50

【0024】

この結果、端子RF_1と端子RF_2との間は、非導通状態になる。

【0025】

B1) 制御電圧Vcontが3Vの時

MOSFET T1のゲートには3V、ソースには0Vが印加される。これにより、MOSFET T1のゲート・ソース間電圧Vgs=3Vとなり、MOSFET T1はオン状態となる。

【0026】

ここで、MOSFET T1がオンの時には、電圧Vgs-Vth=2.3Vとなり、十分に低いオン抵抗が実現される。

10

【0027】

一方、上述したMOSFET T1がオフの時には、電圧Vgs-Vth=-3.7Vとなり、十分大きい入力振幅に対してもオフ状態を維持することができる。

【0028】

端子RF_2を接地し、端子RF_1にサイン波電圧を印加したとすると、電圧振幅が7.4V (peak to peak値では14.8Vpp)になるまで、MOSFET T1はオフ状態を維持することができる。

【0029】

50Ω系における7.4Vの電圧振幅を電力換算すると、27.38dBmとなる。従って、例えばPHS (Personal Handyphone System) 用の送受信スイッチとして、十分に利

20

【0030】

上述したように本実施の形態1によれば、ゲート電圧のみを0Vと3Vの間でスイングさせるだけでなく、ソース・ドレイン間電圧を0Vと3Vの間でスイングさせることにより、相対的にゲート・ソース間電圧Vgsを電源電圧Vccの2倍の振幅(6V)でスイングさせることができる。

【0031】

これにより、最大許容入力振幅を上げてオフ状態を維持するとともに、MOSFETのオン抵抗を下げてGaAs系FETのオン抵抗に近づけることができる。

【0032】

尚、図1に示された回路構成では、CMOSインバータ回路IN1の入力端子と抵抗Rg1とが接続され、また出力端子と抵抗Rd1とが接続されている。しかし、この逆に入力端子と抵抗Rd1とが接続され、出力端子と抵抗Rg1とが接続された構成であってもよい。この場合には、制御電圧Vcontに対する動作の極性が逆になるだけであり、図1に示された回路構成と同等の効果が得られる。

30

【0033】

(2) 実施の形態2

本発明の実施の形態2による高周波半導体切替回路の構成を図2に示す。

【0034】

本実施の形態2は、上記実施の形態1で示された回路を1ユニットとした場合に、このユニットを2つ使用し、さらに2つのスパイラルインダクタL1、L2をMOSFET T1のソース・ドレイン間、及びMOSFET T2のソース、ドレイン間に接続した、いわゆる共振型SPDT (Single-Pole Double-Throw) スイッチに相当する。

40

【0035】

本実施の形態2は、エンハンスメント型nチャネルMOSFET T1及びT2、MOSFET T1のソースおよびドレインにそれぞれ一端が接続されたDC成分除去用の容量C1およびC2、MOSFET T2のソースおよびドレインにそれぞれ一端が接続されたDC成分除去用の容量C3およびC4、MOSFET T1のゲートに一端が接続された高抵抗Rg1、MOSFET T1のソース又はドレインのいずれか一方に一端が接続された高抵抗Rd1、MOSFET T2のゲートに一端が接続された高抵抗Rg2、

50

MOSFET T1のソース又はドレインのいずれか一方に一端が接続された抵抗 R_{d2} 、抵抗 R_{g1} の他端および抵抗 R_{g2} の他端に入力端子が接続され、抵抗 R_{d1} の他端および抵抗 R_{g2} の他端との間に出力端子が接続された、pチャネルMOSFET PT1及びnチャネルMOSFET NT1から成るCMOSインバータ回路IN1、さらに上述したように、MOSFET T1のソース・ドレイン間、及びMOSFET T2のソース、ドレイン間にそれぞれ接続されたスパイラルインダクタ $L1$ 、 $L2$ とを備えている。

【0036】

容量 $C1$ の他端には、高周波信号線が接続されるべき端子 RF_1 が接続され、容量 $C4$ の他端には、高周波信号線が接続されるべき端子 RF_2 が接続されている。

10

【0037】

容量 $C2$ の他端と容量 $C3$ の他端との接続点には、共通端子 RF_COM が接続されている。

【0038】

CMOSインバータ回路IN1に接続された端子 GND は接地用端子、端子 V_{cc} は電源電圧 V_{cc} 端子である。

【0039】

CMOSインバータ回路IN1の入力端子には、スイッチング制御用の電圧 V_{cont} が供給される制御端子 V_{cont} が接続されている。

【0040】

抵抗 R_{g1} 、 R_{g2} 、 R_{d1} 、 R_{d2} は、高周波信号が漏れないのに十分な大きさを有する抵抗であって、例えば $10\text{ k}\Omega$ 程度の値を有する。

20

【0041】

以下、上記構成を備えた本実施の形態2の動作について説明する。

【0042】

本実施の形態2では、制御電圧 V_{cont} に基づいて、共通端子 RF_COM と高周波信号端子 RF_1 との間、あるいは共通端子 RF_COM と高周波信号端子 RF_2 との間で、信号経路の切替が行われる。

【0043】

スパイラルインダクタ $L1$ は、MOSFET T1のオフ容量と高周波信号 RF の周波数とで並列共振するように設計されており、同様にスパイラルインダクタ $L2$ は、MOSFET T2のオフ容量と高周波信号 RF の周波数とで並列共振するように設計されている。

30

【0044】

ここで、電源電圧 V_{cc} が3V、MOSFET T1、T2のしきい値電圧 V_{th} がそれぞれ0.7Vであるとする。

【0045】

A2) 制御電圧 V_{cont} が0Vの時

CMOSインバータ回路IN1の入力端子側の電圧0VがトランジスタT1のゲート、トランジスタT2のソースに印加され、出力端子側の電圧 $V_{cc}=3\text{ V}$ がトランジスタT2のゲート、トランジスタT1のソースに印加されて、MOSFET T1はオフ状態、T2はオン状態となる。

40

【0046】

端子 RF_1 と端子 RF_COM の間は遮断状態になり、端子 RF_2 と端子 RF_COM との間は導通状態となる。

【0047】

ここで、MOSFET T1のオフ容量とスパイラルインダクタ $L1$ とは、高周波信号 RF の周波数において並列共振するように設計されているので、オフ状態において高いアイソレーションが実現される。

【0048】

50

B 2) 制御電圧 V_{cont} が 3 V の時

MOSFET T 1 はオン状態、MOSFET T 2 はオフ状態となる。これにより、端子 RF_1 と端子 RF_COM との間は導通状態になり、端子 RF_2 と端子 RF_COM との間は遮断状態となる。

【0049】

MOSFET T 2 のオフ容量とスパイラルインダクタ L 2 とは、高周波信号 RF の周波数において並列共振するように設計されており、十分に高いアイソレーションが実現される。

【0050】

本実施の形態 2 によれば、上記実施の形態 1 と同様に、MOSFET T 1、T 2 のいずれかがオン状態となった場合、その $V_{gs} - V_{th}$ は 2.3 V と十分に高いので、小さいオン抵抗が実現される。 10

【0051】

一方、オフ状態となる MOSFET の $V_{gs} - V_{th}$ は -3.7 V と十分に低く、最大許容入力電力は十分に高い値 (27.38 dBm) となる。

【0052】

より大きい最大許容入力電力が必要な場合は、MOSFET T 1、T 2 を縦積みにするか、あるいはマルチゲート構造とすればよい。

【0053】

尚、スパイラルインダクタ L 1、L 2 は、外付け部品として構成してもよい。 20

【0054】

(3) 実施の形態 3

本発明の実施の形態 3 による高周波半導体切替回路の構成を図 3 に示す。

【0055】

実施の形態 3 は上記実施の形態 1 で示された、MOSFET T 1、容量 C 1 及び C 2、抵抗 R g 1 及び R d 1、インバータ回路 IN 1 を 1 ユニットとし、インバータ回路 IN 1 を共有した状態で 4 つのユニットを用いて構成した、いわゆるシャント型 SPDT スイッチである。

【0056】

即ち、MOSFET T 1、容量 C 1 及び C 2、抵抗 R g 1 及び R d 1 を有し、インバータ回路 IN 1 を共有する第 1 のユニット、MOSFET T 2、容量 C 3 及び C 4、抵抗 R g 2 及び R d 2 を有し、インバータ回路 IN 1 を共有する第 2 のユニット、MOSFET T 3、容量 C 5 及び C 6、抵抗 R g 3 及び R d 3 を有し、インバータ回路 IN 1 を共有する第 2 のユニット、MOSFET T 4、容量 C 7 及び C 8、抵抗 R g 4 及び R d 4 を有し、インバータ回路 IN 1 を共有する第 2 のユニットを備えている。 30

【0057】

そして、容量 C 1 および C 5 のそれぞれの一端の接続点、また容量 C 4 および C 7 のそれぞれの一端の接続点には、高周波信号線が入力される端子 RF_1、RF_2 がそれぞれ接続されている。

【0058】

容量 C 6、C 8 のそれぞれの一端には、接地用端子 GND_1、GND_2 が接続されている。 40

【0059】

CMOS インバータ回路 IN 1 に接続された端子 GND は接地用端子、端子 Vcc は電源電圧 Vcc 端子である。

【0060】

CMOS インバータ回路 IN 1 の入力端子には、スイッチング制御用の電圧 V_{cont} が供給される制御端子 V_{cont} が接続されている。

【0061】

尚、抵抗 R g 1 ~ R g 4、R d 1 ~ R d 4 は、それぞれ高周波信号が漏れないのに十分 50

な大きさを有する抵抗であって、例えば $10\text{ k}\Omega$ 程度の値を有する。

【0062】

以下、上記構成を備えた本実施の形態4の動作について説明する。

【0063】

1つの共通高周波信号入力端子 RF_COM に対し、二つの高周波信号入力端子 RF_1、RF_2 の間で、信号経路の切替が行われる。

【0064】

上記実施の形態1、2と同様に、電源電圧 V_{cc} を 3 V 、MOSFET T1～T4のそれぞれの閾値電圧 V_{th} を 0.7 V とする。

【0065】

10

A3) 制御電圧 V_{cont} が 0 V の時

インバータ回路 IN1 の入力端子に 0 V の制御電圧 V_{cont} が入力されて、MOSFET T1、T4 がオフ状態になる。インバータ回路 IN1 の出力端子から 3 V の電源電圧 V_{cc} が出力されて、MOSFET T2、T3 がオン状態になる。

【0066】

これにより、端子 RF_1 と端子 RF_COM との間が遮断状態になり、端子 RF_2 と端子 RF_COM との間が導通状態となる。

【0067】

B3) 制御電圧 V_{cont} が 3 V の時

MOSFET T1、T4 がオン状態、MOSFET T2、T3 がオフ状態になる。

20

【0068】

この結果、端子 RF_1 と端子 RF_COM との間は導通状態になり、端子 RF_2 と端子 RF_COM との間は遮断状態となる。

【0069】

上記実施の形態1と同様に、本実施の形態3においてもオン状態となる MOSFET の $V_{gs} - V_{th}$ は 2.3 V と十分に高く、小さいオン抵抗が実現される。

【0070】

また、オフ状態となる MOSFET の $V_{gs} - V_{th}$ は -3.7 V と十分に低く、最大許容入力電力は十分に高い値 (27.38 dBm) が得られる。

【0071】

30

さらに大きい最大許容入力電力が必要な場合は、MOSFET T1～T4 を縦積みにするか、あるいはマルチゲート構造とすればよい。

【0072】

ここで、本実施の形態3と、比較例としての高周波半導体切替回路例との対比を行う。

【0073】

図4に、比較例によるシャント型 SPDT スwitch の構成を示す。

【0074】

共通の高周波入力端子 RF_COM と、一方の高周波入力端子 RF_1 との間に、スイッチング用の MOSFET T1 のソース、ドレインが接続され、高周波入力端子 RF_COM と、一方の高周波入力端子 RF_1 との間にスイッチング用の MOSFET T1 の

40

【0075】

端子 RF_1 と接地端子 GND_1 との間に、シャント用の MOSFET T3 のソース、ドレインが接続され、端子 RF_2 と接地端子 GND_2 との間に、シャント用の MOSFET T4 のソース、ドレインが接続されている。

【0076】

MOSFET T1、T4 のゲートには抵抗 R_{g1} 、 R_{g4} を介して、制御電圧 V_{cont} が入力されるインバータ回路 IN1 の入力端子が接続され、MOSFET T2、T3 のゲートには抵抗 R_{g2} 、 R_{g3} を介して、インバータ回路 IN1 の出力端子が接続されている。

50

【0077】

端子 R F _ 1、R F _ 2、R F _ C O M、G N D _ 1、G N D _ 2 と、それぞれの M O S F E T の一端との間には、容量 C 1 ～ C 5 が接続されている。

【0078】

そしてこの比較例では、トランジスタ T 1 ～ T 4 のそれぞれの一端に、抵抗 R d d 1 ～ R d d 3 を介してバイアス電位として中間電位 V b i a s が印加されている。

【0079】

上記実施の形態 1 ～ 3 と同様に、電源電圧 $V_{cc} = 3\text{ V}$ 、閾値電圧 $V_{th} = 0.7\text{ V}$ 、さらに中間電位 $V_{bias} = 1.5\text{ V}$ とした場合に、 $V_{gs} - V_{th}$ の値を計算すると以下のようなものである。

10

【0080】

A 0) オン状態の時

$$V_{gs} - V_{th} = 3 - 1.5 - 0.7 = 0.8\text{ V}$$

この値は、上記実施の形態 1 ～ 3 における 2.3 V より低く、よって本実施の形態 1 ～ 3 によりオン抵抗が増加する。

【0081】

B 0) オフ状態の時

$$V_{gs} - V_{th} = 0 - 1.5 - 0.7 = -2.2\text{ V}$$

上記実施の形態 1 ～ 3 における値は -3.7 V であり、比較例では最大許容入力電力が低下する。

20

【0082】

以上のように、本実施の形態 1 ～ 3 によれば、オン抵抗が減少すると共に最大許容入力電力が増加することがわかる。

【0083】

以上、3つの実施の形態 1 ～ 3 について説明したが、上記実施の形態 1 として示された回路を 1 ユニットとし、それを複数個組み合わせてスイッチを構成することにより、同様の効果が得られる。

【0084】

また、一般に S O I (Silicon On Insulator) 基板を用いて形成した C M O S スイッチは高周波特性に優れるが、本発明においても S O I を用いることは有効である。

30

【0085】

また、上記実施の形態 1 ～ 3 では、電源電圧 V_{cc} として 3 V の場合を例にとり説明したが、より高い電源電圧を用いた場合には最大許容入力電力はそれに伴って向上する。

【0086】

また、外部から供給される電源電圧 V_{cc} を、別途設けられたチャージポンプ回路によって昇圧し、上記電源端子 V_{cc} に供給することによって最大許容入力電力を向上させることも有効である。

【0087】

上記実施の形態 1 ～ 3 において用いられている容量は、その構成について限定しないか、高周波特性に優れる M I M (金属・絶縁体・金属) 構造のものを用いるとより高周波特性を改善することができる。また、その値はボンディングワイヤ等に寄生するインダクタンスの値を考慮し、それらと直列共振するような値に設定することが望ましい。

40

【0088】

また、S P n T (n は 3 以上の整数) スイッチを構成する場合、制御端子の数を減らすために、上記実施の形態 1 ～ 3 におけるインバータ回路等のロジック回路を C M O S 回路で構成し、同一半導体基板に集積してもよい。

【図面の簡単な説明】

【0089】

【図 1】本発明の実施の形態 1 による高周波半導体切替回路の構成を示す回路図。

【図 2】本発明の実施の形態 2 による高周波半導体切替回路の構成を示す回路図。

50

【図 3】 本発明の実施の形態 3 による高周波半導体切替回路の構成を示す回路図。

【図 4】 比較例による高周波半導体切替回路の構成を示す回路図。

【符号の説明】

【 0 0 9 0 】

R g 1 ~ R g 4、R d 1 ~ R d 4 高周波信号遮断用抵抗

C 1 ~ C 8 DC 成分除去用容量

T 1 ~ T 4 エンハンスメント型 n チャネル MOS F E T

R F _ C O M 高周波信号入力端子

R F _ 1、R F _ 2 共通高周波信号入力端子

G N D _ 1、G N D _ 2 高周波接地端子

G N D 接地端子

V c c 電源電圧端子

V c o n t 制御端子

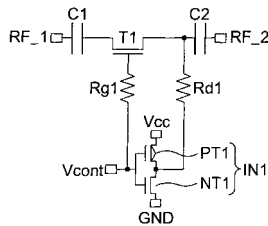
P T 1 p チャネル MOS F E T

N T 1 n チャネル MOS F E T

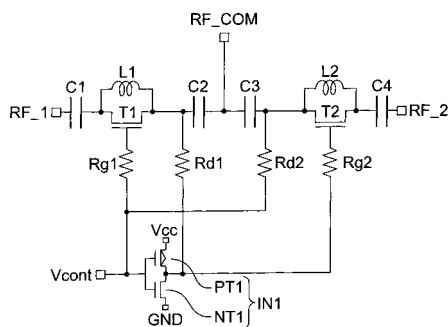
I N 1 C M O S インバータ回路

10

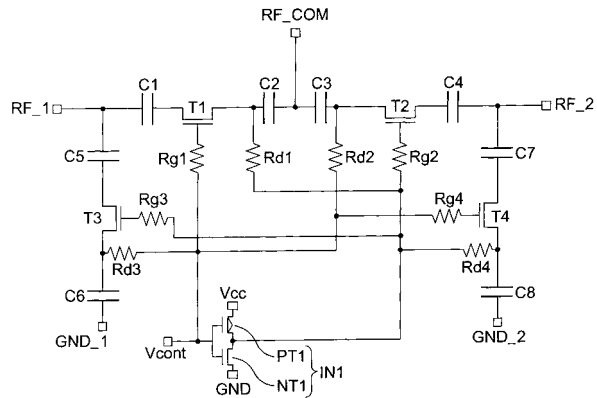
【図 1】



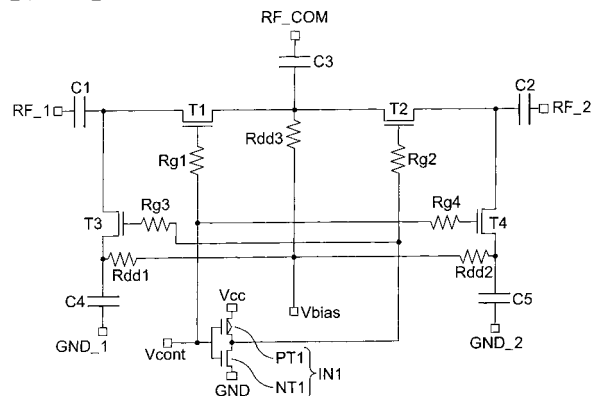
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 瀬 下 敏 樹

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 寒河江 美 友

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

F ターム(参考) 5J055 AX05 BX06 CX03 CX24 DX13 DX44 EX07 EY01 EY05 EY10

EY21 EZ13 FX12 FX27 GX01