DocCode – SCORE

SCORE Placeholder Sheet for IFW Content

Application Number: 15995701 Document Date: 06/01/2018

The presence of this form in the IFW record indicates that the following document type was received in electronic format on the date identified above. This content is stored in the SCORE database.

Since this was an electronic submission, there is no physical artifact folder, no artifact folder is recorded in PALM, and no paper documents or physical media exist. The TIFF images in the IFW record were created from the original documents that are stored in SCORE.

- Drawing

At the time of document entry (noted above):

- USPTO employees may access SCORE content via eDAN using the Supplemental Content tab, or via the SCORE web page.
- External customers may access SCORE content via PAIR using the Supplemental Content tab.

Form Revision Date: August 26, 2013

PTO/AIA/15 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	1630-1332PUS3
First Named Inventor	Jungmin HA
Title	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
Express Mail Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [✓] **Fee Transmittal Form** (PTO/SB/17 or equivalent)
2. [ ] **Applicant asserts small entity status.** See 37 CFR 1.27
3. [ ] **Applicant certifies micro entity status.** See 37 CFR 1.29. Applicant must attach form PTO/SB/15A or B or equivalent.
4. [✓] **Specification** [*Total Pages* 54] Both the claims and abstract must start on a new page. *(See MPEP § 608.01(a) for information on the preferred arrangement)*
5. [✓] **Drawing(s)** (35 U.S.C. 113) [*Total Sheets* 18]
6. **Inventor's Oath or Declaration** [*Total Pages* 3] *(including substitute statements under 37 CFR 1.64 and assignments serving as an oath or declaration under 37 CFR 1.63(e))*
   a. [ ] Newly executed (original or copy)
   b. [✓] A copy from a prior application (37 CFR 1.63(d))
7. [✓] **Application Data Sheet** * *See note below.* See 37 CFR 1.76 (PTO/AIA/14 or equivalent)
8. [ ] **CD-ROM or CD-R** in duplicate, large table, or Computer Program (*Appendix*)
   [ ] Landscape Table on CD
9. **Nucleotide and/or Amino Acid Sequence Submission** *(if applicable, items a. – c. are required)*
   a. [ ] Computer Readable Form (CRF)
   b. [ ] Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] Paper
   c. [ ] Statements verifying identity of above copies

ADDRESS TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450**

ACCOMPANYING APPLICATION PAPERS

10. [ ] **Assignment Papers** (cover sheet & document(s)) Name of Assignee:
11. [ ] **37 CFR 3.73(c) Statement** *(when there is an assignee)* [✓] **Power of Attorney**
12. [ ] **English Translation Document** *(if applicable)*
13. [✓] **Information Disclosure Statement** (PTO/SB/08 or PTO-1449)
    [ ] Copies of citations attached
14. [ ] **Preliminary Amendment**
15. [ ] **Return Receipt Postcard** *(MPEP § 503)* (*Should be specifically itemized*)
16. [ ] **Certified Copy of Priority Document(s)** *(if foreign priority is claimed)*
17. [ ] **Nonpublication Request** Under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
18. [✓] **Other:** PTO/AIA/82A - Transmittal for Power of Attorney

***Note:** (1) Benefit claims under 37 CFR 1.78 and foreign priority claims under 1.55 **must** be included in an Application Data Sheet (ADS).
(2) For applications filed under 35 U.S.C. 111, the application must contain an ADS specifying the applicant if the applicant is an assignee, person to whom the inventor is under an obligation to assign, or person who otherwise shows sufficient proprietary interest in the matter. See 37 CFR 1.46(b).

19. CORRESPONDENCE ADDRESS

[✓] The address associated with Customer Number: 02292 OR [ ] Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone		Email	

Signature	Esther	Date	JUN 01 2018
Name (Print/Type)	Esther H. Chong	Registration No. (Attorney/Agent)	40953

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/17 (01-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

FEE TRANSMITTAL

Complete if known	
Application Number	NEW Conf. No.: N/A
Filing Date	Concurrently Herewith
First Named Inventor	Jungmin HA
Examiner Name	Not Yet Assigned
Art Unit	Not Yet Assigned
Practitioner Docket No.	1630-1332PUS3

☐ Applicant asserts small entity status. See 37 CFR 1.27.

☐ Applicant certifies micro entity status. See 37 CFR 1.29. Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously.

TOTAL AMOUNT OF PAYMENT ($) 1,720.00

METHOD OF PAYMENT (check all that apply)

☐ Check ☑ Credit Card ☐ Money Order ☐ None ☐ Other (please identify): .....

☑ Deposit Account Deposit Account Number: 02-2448 Deposit Account Name: Birch, Stewart, Kolasch & Birch, LLP

For the above-identified deposit account, the Director is hereby authorized to (check all that apply):

☐ Charge fee(s) indicated below ☐ Charge fee(s) indicated below, **except for the filing fee**

☑ Charge any additional fee(s) or underpayment of fee(s) under 37 CFR 1.16 and 1.17 ☑ Credit any overpayment of fee(s)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES (U = undiscounted fee; S = small entity fee; M = micro entity fee)

	FILING FEES			SEARCH FEES			EXAMINATION FEES			
Application Type	U ($)	S ($)	M ($)	U ($)	S ($)	M ($)	U ($)	S ($)	M ($)	Fees Paid ($)
Utility	300	150*	75	660	330	165	760	380	190	1,720.00
Design	200	100	50	160	80	40	600	300	150	
Plant	200	100	50	420	210	105	620	310	155	
Reissue	300	150	75	660	330	165	2,200	1,100	550	
Provisional	280	140	70	0	0	0	0	0	0	

* The $150 small entity status filing fee for a utility application is further reduced to $75 for a small entity status applicant who files the application via EFS-Web.

2. EXCESS CLAIM FEES

Fee Description	Undiscounted Fee ($)	Small Entity Fee ($)	Micro Entity Fee ($)
Each claim over 20 (including Reissues)	100	50	25
Each independent claim over 3 (including Reissues)	460	230	115
Multiple dependent claims	820	410	205

Total Claims		Extra Claims	Fee ($)		Fee Paid ($)
18	-20 or HP =	 x	.....	=	0.00

HP = highest number of total claims paid for, if greater than 20.

Indep. Claims		Extra Claims	Fee ($)		Fee Paid ($)
1	-3 or HP =	 x	.....	=	0.00

HP = highest number of independent claims paid for, if greater than 3.

Multiple Dependent Claims	
Fee ($)	Fee Paid ($)
.....	0.00

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(a)), the application size fee due is $400 ($200 for small entity) ($100 for micro entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets		Extra Sheets		Number of each additional 50 or fraction thereof		Fee ($)		Fee Paid ($)
72	- 100 =	.....	/ 50 =	..... (round up to a whole number)	x	.....	=	0.00

4. OTHER FEE(S)

	Fees Paid ($)
Non-English specification, $130 fee (no small or micro entity discount)	0.00
Non-electronic filing fee under 37 CFR 1.16(t) for a utility application, $400 fee ($200 small or micro entity)	
Other (e.g., late filing surcharge):	

SUBMITTED BY

Signature	Esther Chong	Registration No. (Attorney/Agent) 40953	Telephone 703-205-8000
Name (Print/Type)	Esther H. Chong		Date JUN 01 2018

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 11/30/2014. OMB 0651-0051
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	NEW
Filing Date	Concurrently Herewith
First Named Inventor	Jungmin HA
Title	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	1830-1332PUS3

SIGNATURE of Applicant or Patent Practitioner

Signature		Date (Optional)	JUN 01 2018
Name	Esther H. Chong	Registration Number	40953
Title (if Applicant is a juristic entity)			
Applicant Name (if Applicant is a juristic entity)			

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/82B (07-12)
Approved for use through xx/xx/xxxx. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the above-identified patent application.

☑ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

OR 02292

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

Name Registration	Number		Name Registration	Number

Please recognize or change the correspondence address for the above-identified patent to:

☑ The address associated with the above-mentioned Customer Number.

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant:

☐ Inventor or Joint Inventor

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign

☐ Person Who Otherwise Shows Sufficient *Proprietary* Interest (*e.g.*, a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document)

SIGNATURE of Applicant for Patent

Signature		Date	Sep. 17, 2012
Name	Saeng-Gyu Jeon	Telephone	+82 02 2102-0100
Title and Company	Vice President, LG Electronics Inc.		

NOTE: Signature - This form must be signed by the applicant or applicant's representative in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms for more than one signature, see below *.

☐ *Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

COPY

Attorney Docket No. 1630-1332PUS1

BIRCH, STEWART, KOLASCH & BIRCH, LLP
P.O. Box 747 • Falls Church, Virginia 22040-0747
Telephone: (703) 205-8000 • Facsimile: (703) 205-8050 • Email: mailroom@bskb.com

DECLARATION AND ASSIGNMENT FOR PATENT AND DESIGN APPLICATIONS

UNITED STATES PATENT RIGHTS, OR
UNITED STATES PLUS ALL FOREIGN PATENT RIGHTS

Title of Invention: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

As a below named inventor (hereinafter designated as the undersigned), I hereby declare that:

This declaration is directed to the application attached hereto.

Application not Attached: If the application is not attached hereto, the application is as identified by the attorney docket number as set forth above and/or the following:

Enter Appln. No.: United States Application Number or PCT International Appln. No. 14/953,264

Enter Filing Date: filed on November 27, 2015.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I have reviewed and understand the contents of the above-identified application, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations § 1.56.

WHEREAS, the undersigned has invented certain new and useful improvements described in the application identified.

Insert Name of Assignee: WHEREAS, LG ELECTRONICS INC.

Insert Address of Assignee: of 128, Yeoui-daero, Yeongdeungpo-gu, Seoul, 07336, Republic of Korea

its heirs, successors, legal representatives and assigns (hereinafter designated as the Assignee) is desirous of acquiring the entire right, title and interest in and to said invention and in and to any Letters Patent(s) that may be granted therefor in the United States of America and

Check Box if Appropriate: ☐ in any foreign countries.

NOW, THEREFORE, for good and valuable consideration, the receipt of which is hereby acknowledged, the undersigned has sold, assigned and transferred, and by these presents does (do) sell, assign and transfer unto said Assignee the full and exclusive right to the said invention in the United States of America, its territories, dependencies and possessions and the entire right, title and interest in and to any and all Letters Patent(s) which may be granted therefor in the United States of America, its territories, dependencies and possessions, and if the box above is designated, in any and all foreign countries; and to any and all divisions, reissues, continuations, conversions and extensions thereof for the full term or terms for which the same may be granted.

Petitioner Runergy USA Inc., Ex. 1002, p. 6

The undersigned agrees to execute all papers necessary in connection with this application and any continuing, divisional, conversion or reissue applications thereof and also to execute separate assignments in connection with such applications as the Assignee may deem necessary or expedient.

The undersigned agrees to execute all papers necessary in connection with any interference which may be declared concerning this application or continuation, division, conversion or reissue thereof or Letters Patent(s) or reissue patent issued thereon and to cooperate with the Assignee in every way possible in obtaining and producing evidence and proceeding with such interference.

The undersigned agrees to execute all papers and documents and to perform any act which may be necessary in connection with claims or provisions of the International Convention for the Protection of Industrial Property or similar agreements.

The undersigned agrees to perform all affirmative acts which may be necessary to obtain a grant of (a) valid United States of America patent(s) or a grant of (a) valid United States of America and any foreign patent(s) to the Assignee and to vest all rights therein hereby conveyed to said Assignee as fully and entirely as the same would have been held by the undersigned if this Assignment and sale had not been made.

The undersigned hereby authorizes and requests the Patent and Trademark Office Officials in the United States of America and in any foreign countries to issue any and all Letters Patent(s) resulting from said application or any continuing, divisional conversion or reissue applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has the full right to convey the entire interest herein assigned, and that he has not executed, and will not execute, any agreement in conflict herewith.

The undersigned hereby grants the law firm of Birch, Stewart, Kolasch & Birch, LLP the power to insert any further identification which may be necessary or desirable in order to comply with the rules of the U.S. Patent and Trademark Office.

The undersigned hereby covenants that no assignment, sale, agreement or encumbrance has been or will be made or entered into which would conflict with this assignment.

The undersigned hereby acknowledges that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

In witness whereof, executed by the undersigned on the date opposite the undersigned name.

LEGAL NAME OF INVENTOR

Inventor's Name * Inventor: Jungmin HA Date: 2016. 3. 2.

Inventor's Signature * Signature:

An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use a separate form for each inventor; or check the box below and complete the attached page(s) to list additional inventors.

☒ Additional inventors are being named on the 1 supplemental sheet attached hereto.

Petitioner Runergy USA Inc., Ex. 1002, p. 7

Attorney Docket No. 1630-1332PUS1

SUPPLEMENTAL SHEET FOR DECLARATION AND ASSIGNMENT

ADDITIONAL INVENTORS
Supplemental Sheet Page 1 of 1

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Sungjin KIM Date: 2016. 3. 2

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Juhwa CHEONG Date: 2016. 3. 2

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Junyong AHN Date: 2016. 3. 2

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Hyungwook CHOI Date: 2016. 3. 2

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Wonjae CHANG Date: 2016. 3. 2

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Jaesung KIM Date: 2016. 3. 2

Inventor's Signature *Signature: KIM JAE SUNG

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Date:

Inventor's Signature *Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name *Inventor: Date:

Inventor's Signature *Signature:

Docket No.: 1630-1332PUS3
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	NEW	Confirmation No.:	Not Yet Assigned
Filed:	Concurrently Herewith	Art Unit:	Not Yet Assigned
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	Not Yet Assigned

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☐ a. Copies of foreign patent documents, non-patent literature and other information are provided.

Petitioner Runergy USA Inc., Ex. 1002, p. 9

☑ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date
15/643,180 filed July 6, 2017

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☐ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☐ c. OTHER: The following additional information is provided.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☐ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of the IDS. *See 37 C.F.R § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

Petitioner Runergy USA Inc., Ex. 1002, p. 10

☐ b. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS. *See 37 C.F.R. § 1.97(e)(2)*; or

☐ c. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. *See 37 C.F.R. § 1.97(e)(1)*. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement. *See 37 C.F.R. § 1.97(e)(2)*.

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(i))*; or

Petitioner Runergy USA Inc., Ex. 1002, p. 11

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(ii))*.

VI. FEES

☑ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. *See 37 C.F.R. § 1.97(b)(1) and 37 C.F.R. § 1.97(b)(2).* No fee is required.

☐ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. *See 37 C.F.R. § 1.97(b)(3).* No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application. *See 37 C.F.R. § 1.97(c)(1).*

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed on or after the mailing date of a Final Office Action, on or after the mailing date of a Notice of Allowance, or on or after an action that otherwise closes prosecution in the application (*see 37 C.F.R. § 1.97(d)*), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

Petitioner Runergy USA Inc., Ex. 1002, p. 12

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: JUN 01 2018

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
Falls Church, VA 22042
703-205-8000

Attachment(s):

☑ PTO/SB/08
☐ Document(s)
☐ Foreign Patent Office Communication(s)
☐ Foreign Search Report(s)
☐ Fee
☐ Other:

Petitioner Runergy USA Inc., Ex. 1002, p. 13

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2009/0205712 - A1	08-20-2009	COUSINS	
	2	US-2011/0100459 - A1	05-05-2011	YOON et al.	
	3	US-2011/0275175 - A1	11-10-2011	MINSEK et al.	
	4	US-2012/0298175 - A1	11-29-2012	VAN ROOSMALEN et al.	
	5	US-2012/0318340 - A1	12-20-2012	HENG et al.	
	6	US-2014/0073105 - A1	03-13-2014	ISOGAI	
	7	US-2014/0299187 - A1	10-09-2014	CHANG et al.	
	8	US-2015/0086729 - A1	03-26-2015	Gortzen et al.	
	9	US-2015/0129037 - A1	05-14-2015	NAM et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	10	KR	10-1442011 - B1	09-29-2014			☐
	11	KR	10-2011-0059366 - A	06-02-2011			☐
	12	KR	10-2012-0120260 - A	11-01-2012			☐
	13	KR	10-2015-0053551 - A	05-18-2015			☐
	14	CN	103703567 - A	04-02-2014			☐
	15	JP	2000-340812 - A	12-08-2000			☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country [3] Code	Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T [6]
	16	WO	2009/094578 - A2	07-30-2009			☐
	17	JP	2009-295715 - A	12-17-2009			☐
	18	WO	2010/151476 - A1	12-29-2010			☐
	19	JP	2010-186862 - A	08-26-2010			☐
	20	JP	2011-181953 - A	09-15-2011			☐
	21	JP	2011-512689 - A	04-21-2011			☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	22	WO	2013/094052 - A1	06-27-2013			☐
	23	JP	2014-203999 - A	10-27-2014			☐
	24	JP	2014-204128 - A	10-27-2014			☐
	25	JP	2014-523853 - A	09-11-2014			☐
	26	JP	2014-53452 - A	03-20-2014			☐
	27	CN	201612825 - U	04-27-2011			☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 4 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	28	CN 203760493 - U	08-06-2014			☐
	29	EP 2787541 - A1	10-08-2014			☐
	30	EP 2787124 - A1	10-29-2014			☐
	31	EP 3018719 - A2	05-11-2016			☐
						☐
						☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jungmin		HA	

Residence Information (Select One) US Residency ● Non US Residency Active US Military Service

City	Seoul	Country of Residence [i]	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP
Address 2	51, Gasan digital 1-ro, Geumcheon-gu
City	Seoul
State/Province	
Postal Code	153-802
Country [i]	KR

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Sungjin		KIM	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Seoul	Country of Residence [i]	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP
Address 2	51, Gasan digital 1-ro, Geumcheon-gu
City	Seoul
State/Province	
Postal Code	153-802
Country [i]	KR

Inventor 3 Remove

Legal Name

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Juhwa		CHEONG	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City: Seoul | Country of Residence [i]: KR

Mailing Address of Inventor:

Address 1: LG ELECTRONICS INC. IP GROUP
Address 2: 51, Gasan digital 1-ro, Geumcheon-gu
City: Seoul | State/Province:
Postal Code: 153-802 | Country [i]: KR

Inventor 4 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Junyong		AHN	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City: Seoul | Country of Residence [i]: KR

Mailing Address of Inventor:

Address 1: LG ELECTRONICS INC. IP GROUP
Address 2: 51, Gasan digital 1-ro, Geumcheon-gu
City: Seoul | State/Province:
Postal Code: 153-802 | Country [i]: KR

Inventor 5 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Hyungwook		CHOI	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City: Seoul | Country of Residence [i]: KR

Mailing Address of Inventor:

Address 1: LG ELECTRONICS INC. IP GROUP
Address 2: 51, Gasan digital 1-ro, Geumcheon-gu
City: Seoul | State/Province:
Postal Code: 153-802 | Country [i]: KR

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Inventor 6 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wonjae		CHANG	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Seoul	Country of Residence [i]	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	State/Province	
Postal Code	153-802	Country [i]	KR

Inventor 7 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jaesung		KIM	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Seoul	Country of Residence [i]	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	State/Province	
Postal Code	153-802	Country [i]	KR

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	02292		
Email Address	mailroom@bskb.com	Add Email	Remove Email

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Application Information:

Title of the Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME		
Attorney Docket Number	1630-1332PUS3	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	18	**Suggested Figure for Publication (if any)**	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	● Customer Number	US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	02292		

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending	Remove

Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Continuation of	15/643180	2017-07-06

Prior Application Status	Patented	Remove

Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)	Patent Number	Issue Date (YYYY-MM-DD)
15/643180	Continuation of	14/953264	2015-11-27	9722104	2017-08-01

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)
10-2014-0168624	KR	2014-11-28	

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)
10-2015-0122846	KR	2015-08-31	

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☒ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 — Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

● Assignee	Legal Representative under 35 U.S.C. 117	Joint Inventor
Person to whom the inventor is obligated to assign.	Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	LG ELECTRONICS INC.		
Mailing Address Information For Applicant:			
Address 1	128, Yeoui-daero, Yeongdeungpo-gu		
Address 2			
City	Seoul	**State/Province**	
Country	KR	Postal Code	07336
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

Organization Name	LG ELECTRONICS INC.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	128, Yeoui-daero, Yeongdeungpo-gu		
Address 2			
City	Seoul	**State/Province**	
Country i	KR	Postal Code	07336
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/ESTHER H. CHONG/			Date (YYYY-MM-DD)	2018-06-01
First Name	Esther H.	Last Name	CHONG	Registration Number	40953

Additional Signature may be generated within this form by selecting the Add button. Add

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS3
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1 The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3 A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent CooperationTreaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application is a Continuation of co-pending U.S. Patent Application No. 15/643,180 filed on July 6, 2017, which is a continuation of U.S. Patent Application No. 14/953,264 filed on November 27, 2015 (now U.S. Patent No. 9,722,104 issued on August 1, 2017), which claims priority to and the benefit of Korean Patent Application No. 10-2014-0168624 filed in the Korean Intellectual Property Office on November 28, 2014, and Korean Patent Application No. 10-2015-0122846 filed in the Korean Intellectual Property Office on August 31, 2015, the entire contents of all these applications are incorporated herein by reference.

BACKGROUND OF THE INVENTION

[0002] **Field of the Invention**

[0003] Embodiments of the present invention relate to a solar cell and a method for manufacturing the same.

[0004] **Discussion of the Related Art**

[0005] Recently, as the exhaustion of existing energy resources, such as petroleum and coal, is expected, there is a growing interest in alternative energy sources which will replace the existing energy resources. A solar cell as the alternative energy sources generates electric power from solar energy and has been in the spotlight because the solar cell uses energy resources that are abundant and the solar cell has no problem from an environmental pollution point of view.

[0006] A solar cell includes substrates made of semiconductors having different conductive types, such as a p type and an n type, a second conductive type semiconductor region (or emitter layer), and electrodes respectively connected to the substrates and the second conductive type semiconductor region. A p-n junction is formed at the interface of the substrate and the second conductive type semiconductor region.

[0007] When light is incident on such a solar cell, a plurality of electron-hole pairs are generated from the semiconductors. The generated electron-hole pairs are separated into electrons and holes. The separated electrons and holes move toward the n type semiconductor and the p type semiconductor, for example, toward the second conductive type semiconductor region and the substrate, respectively, and are collected by the electrodes

Petitioner Runergy USA Inc., Ex. 1002, p. 29

electrically connected to the substrates and the second conductive type semiconductor region. The electrodes are connected by lines, thereby obtaining power.

SUMMARY OF THE INVENTION

[0008] A solar cell according to an example of the present invention includes a semiconductor substrate, a tunnel layer on the first surface of the semiconductor substrate, a first conductive type semiconductor region on the tunnel layer and configured to include impurities of a first conductive type, a second conductive type semiconductor region on a second surface which is the opposite surface of the semiconductor substrate and configured to include impurities of a second conductive type opposite the first conductive type, a first passivation film on the first conductive type semiconductor region, a first electrode formed on the first passivation film and connected to the first conductive type semiconductor region through an opening portion formed in the first passivation film, a second passivation film on the second conductive type semiconductor region, and a second electrode formed on the second passivation film and connected to the second conductive type semiconductor region through an opening portion formed in the second passivation film.

[0009] In this instance, the first electrode may include a plurality of first finger electrodes spaced apart from each other and extended in parallel in a first direction, and the second electrode may include a plurality of second finger electrodes spaced apart from each other and extended in parallel in the first direction.

[0010] Furthermore, the first electrode may further include a first bus bar configured to interconnect the plurality of first finger electrodes, and the second electrode may further include a second bus bar configured to interconnect the plurality of second finger electrodes.

[0011] In this instance, the first conductive type semiconductor region may be made of a polycrystalline silicon material, and the second conductive type semiconductor region may be made of a single crystal silicon material.

[0012] Furthermore, an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region may be formed on any one of the first surface, side, and second surface of the semiconductor substrate.

[0013] For example, the isolation portion may exclude the tunnel layer and the first conductive type semiconductor region, and may be in the edge portion of any one of the first surface, side, and second surface of the semiconductor substrate. The first passivation film may cover any one of the first surface, side, and second surface of the semiconductor

Petitioner Runergy USA Inc., Ex. 1002, p. 30

substrate along with the isolation portion.

[0014] In this instance, the width of the isolation portion may be 1 nm to 1 mm. The thickness of the edge region in the first conductive type semiconductor region may be progressively decreased toward the isolation portion.

[0015] Furthermore, the first passivation film may include a side portion extending up the side of the semiconductor substrate.

[0016] Moreover, the second passivation film may include a side portion formed on the side surface of the semiconductor substrate. The side portion of the first passivation film on the side of the semiconductor substrate may be on the side portion of the second passivation film.

[0017] Furthermore, a first boundary surface in which the first conductive type semiconductor region and the first electrode come into contact with each other may be closer to the semiconductor substrate than a second boundary surface in which the first conductive type semiconductor region and the first passivation film come into contact with each other.

[0018] In this instance, a plurality of metal crystals extracted from the first electrode may be in an electrode forming region which belongs to the first conductive type semiconductor region and in which the first electrode may be formed. That is, the metal crystals may not be in a non-forming region which belongs to the first conductive type semiconductor region and in which the first electrode may not be formed. Furthermore, the metal crystals may not be in the tunnel layer.

[0019] The plurality of metal crystals may be in direct contact with the first electrode or may be spaced apart from the first electrode.

[0020] In this instance, all of the plurality of first finger electrodes and the first bus bar may be connected to the first conductive type semiconductor region through the first passivation film.

[0021] In this instance, all of the plurality of first finger electrodes and the first bus bar may have a single layer or double layer structure. In some embodiments, the plurality of first finger electrodes may have a single layer structure, and the first bus bar may have a double layer structure.

[0022] In this instance, the plurality of metal crystals may be in a region which belongs to the first conductive type semiconductor region and in which the plurality of first finger electrodes is formed and a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

[0023] In some embodiments, the plurality of first finger electrodes may be connected to the first conductive type semiconductor region through the first passivation film. The first bus

Petitioner Runergy USA Inc., Ex. 1002, p. 31

bar may be configured to not penetrate the first passivation film and may be formed on the back surface of the first passivation film.

[0024] In this instance, the plurality of metal crystals may be in a region which belongs to the first conductive type semiconductor region and in which the first finger electrodes are formed. The plurality of metal crystals may not be in a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

[0025] In this instance, the plurality of first finger electrodes and the first bus bar may have different compositions. For example, a content of a frit glass per unit volume which is included in the plurality of first finger electrodes may be greater than a content of a frit glass per unit volume which is included in the first bus bar.

[0026] Furthermore, a content of a frit glass per unit volume which is included in the plurality of first finger electrodes may be identical with a content of a frit glass per unit volume which is included in the first bus bar.

[0027] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes may be greater than content of a metal material per unit volume which is included in the first bus bar.

[0028] Furthermore, a method for manufacturing a solar cell according to an example of the present invention includes a tunnel layer forming operation of forming a tunnel layer on the first surface of a semiconductor substrate, an intrinsic semiconductor layer forming operation of forming an intrinsic semiconductor layer on the tunnel layer formed on the first surface of the semiconductor substrate, a first conductive type semiconductor region forming operation of forming a first conductive type semiconductor region by doping impurities of a first conductive type into the intrinsic semiconductor layer formed on the first surface of the semiconductor substrate, a second conductive type semiconductor region forming operation of forming a second conductive type semiconductor region by doping impurities of a second conductive type into the second surface of the semiconductor substrate, a first passivation film forming operation of forming a first passivation film on the first conductive type semiconductor region, and an electrode forming operation of forming a first electrode connected to the first conductive type semiconductor region and a second electrode connected to the second conductive type semiconductor region.

[0029] In this instance, the method may further include the operation of forming an opening portion in the first passivation film after the first passivation film forming operation.

[0030] The operation of forming the opening portion in the first passivation film may be performed by thermal treatment in the electrode forming operation.

Petitioner Runergy USA Inc., Ex. 1002, p. 32

[0031] The electrode forming operation may include a first electrode forming operation of forming the first electrode. The first electrode forming operation may include printing a paste for first finger electrodes for forming the first finger electrodes and a paste for a first bus bar for forming the first bus bar on the first passivation film and performing thermal treatment on the pastes. During such a thermal treatment process, the paste for the first finger electrodes and the paste for the first bus bar may perforate the first passivation film and may be connected to the first conductive type semiconductor region. In this instance, the opening portion may be formed in the first passivation film.

[0032] In the first electrode forming operation, the highest temperature for the thermal treatment may be between 795℃ to 870℃.

[0033] In the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar may be printed through a single process. In this instance, a material included in the paste for the first finger electrodes may be identical with a material included in the paste for the first bus bar.

[0034] Furthermore, in some embodiments, in the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar may be printed using separate printing processes. In this instance, a material included in the paste for the first finger electrodes and a material included in the paste for the first bus bar may be different.

[0035] Furthermore, the tunnel layer forming operation may include forming the tunnel layer on the first and second surfaces of the semiconductor substrate. The intrinsic semiconductor layer forming operation may include forming the intrinsic semiconductor layer on the tunnel layers formed on the first and second surfaces of the semiconductor substrate. The method may further include a removing operation of removing the tunnel layer and the intrinsic semiconductor layer or the first conductive type semiconductor region placed at least on the second surface of the semiconductor substrate prior to the second conductive type semiconductor region forming operation after the first conductive type semiconductor region forming operation.

[0036] The removing operation may include forming an isolation portion by removing the tunnel layer placed on one side of the semiconductor substrate and an edge portion of the first conductive type semiconductor region. The first passivation film may cover the first surface of the semiconductor substrate along with the isolation portion.

[0037] More specifically, the removing operation may include forming a mask layer having a smaller area than the semiconductor substrate on the first conductive type semiconductor region on the other side of the semiconductor substrate, etching the first conductive type

semiconductor region and the tunnel layer placed in a portion in which the mask layer has not been formed, and removing the mask layer.

[0038] Furthermore, the method may further include forming a second passivation film covering the second conductive type semiconductor region between the operation of forming the second conductive type semiconductor region and the operation of forming the first passivation film. The second passivation film may be placed on the side of the semiconductor substrate, and the first passivation film may be placed on the second passivation film.

BRIEF DESCRIPTION OF THE DRAWINGS

[0039] The accompanying drawings, which are included to provide a further understanding of the invention and are incorporated in and constitute a part of this application, illustrate embodiments of the invention and together with the description serve to explain the principle of the invention.

[0040] FIGS. 1 to 3 are diagrams illustrating a solar cell according to a first embodiment of the present invention;

[0041] FIG. 4 is a cross-sectional view of a solar cell for illustrating a modified example of the first embodiment of the present invention;

[0042] FIGS. 5 to 7 depict a solar cell according to a second embodiment of the present invention;

[0043] FIG. 8 depicts a comparison example different from the second embodiment of the present invention;

[0044] FIG. 9 is a diagram illustrating a solar cell according to a third embodiment of the present invention;

[0045] FIG. 10 is a comparison example photograph of the degree of the deterioration of a semiconductor substrate 100 according to firing temperatures in a thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste for first bus bar is the same as the material of a paste for first finger electrodes;

[0046] FIG. 11 is photograph of the degree of the deterioration of the semiconductor substrate according to firing temperatures in a thermal treatment process, which was taken through photo luminescence (PL), if the material of the paste for the first bus bar is different from the material of the paste for the first finger electrodes in accordance with the third embodiment of the present invention;

[0047] FIG. 12 is a flowchart illustrating an example of a method for manufacturing a solar

cell according to a first embodiment of the present invention;

[0048] FIGS. 13A to 13J are cross-sectional views of the method for manufacturing a solar cell according to the flowchart of FIG. 12;

[0049] FIG. 14 is a diagram illustrating a modified example of the method for manufacturing a solar cell according to the first embodiment;

[0050] FIG. 15 is a diagram illustrating another modified example of the method for manufacturing a solar cell according to the first embodiment;

[0051] FIG. 16 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a second embodiment of the present invention; and

[0052] FIG. 17 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a third embodiment of the present invention.

DETAILED DESCRIPTION OF THE EMBODIMENTS

[0053] Embodiments of the present invention are described more fully hereinafter with reference to the accompanying drawings. As those skilled in the art would realize, the described embodiments may be modified in various different ways, all without departing from the spirit or scope of the present invention. In order to clarify a description of the present invention, a description of parts not related to the description is omitted, and the same reference numbers are used throughout the specification to refer to the same or like parts.

[0054] In the drawings, the thickness of layers and an area has been enlarged for better understanding and ease of description. When it is described that a part, such as a layer, film, area, or substrate, is "over" or "on" another part, the part may be "directly" on another part or a third part may be present between the two parts. In contrast, when it is described that a part is "directly on" another part, it means that a third part is not present between the two parts. Furthermore, when it is described that a part is "generally" formed on another part, it means the part is not formed on the entire surface (or front surface) of another part and is also not formed in part of the edge of the entire surface.

[0055] Furthermore, expressions, such as "the first" and "the second", are used to distinguish one part from the other part, and the present invention is not limited thereto.

[0056] Furthermore, a "front surface" may be one surface of a semiconductor substrate on which direct light is incident, and a "back surface" may be the opposite surface of the semiconductor substrate on which direct light is not incident or on which reflected light other than direct light may be incident.

[0057] Furthermore, if two values are the same, it means that the two values are the same

within an error range of 10% or less.

[0058] Solar cells and methods for manufacturing the same according to embodiments of the present invention are described in detail below.

[0059] FIGS. 1 to 3 are diagrams illustrating a solar cell according to a first embodiment of the present invention.

[0060] FIG. 1 is a partial perspective view of the solar cell according to the first embodiment of the present invention, FIG. 2 is the entire cross-sectional view of the solar cell according to the first embodiment of the present invention, and FIG. 3 is the entire plan view of the back surface of the solar cell according to the first embodiment of the present invention.

[0061] Furthermore, FIG. 4 is a cross-sectional view of a solar cell for illustrating a modified example of the first embodiment of the present invention.

[0062] As shown in FIG. 1, an example of a solar cell according to an embodiment of the present invention includes a semiconductor substrate 100, a second conductive type semiconductor region 120, an anti-reflection layer 130, a tunnel layer 160, a first conductive type semiconductor region 170, a first passivation film 190A, a second passivation film 190B, a second electrode 140, and a first electrode 150.

[0063] In FIG. 1, the solar cell according to an embodiment of the present invention has been illustrated as including the anti-reflection layer 130 and the second passivation film 190B, but the anti-reflection layer 130 and the second passivation film 190B may be omitted in some embodiments. However, an example in which the anti-reflection layer 130 and the second passivation film 190B are included in the solar cell is described below because better efficiency is obtained if the anti-reflection layer 130 and the second passivation film 190B are included from a viewpoint of efficiency of the solar cell.

[0064] The semiconductor substrate 100 may be made of a crystalline semiconductor including a single semiconductor material (e.g., a group 4 element). For example, the semiconductor substrate 100 may be made of a single crystal or polycrystalline semiconductor (e.g., single crystal or polycrystalline silicon). In particular, the semiconductor substrate 100 may be made of a single crystal semiconductor (e.g., a single crystal semiconductor wafer, more specifically, a single crystal silicon wafer).

[0065] If the semiconductor substrate 100 is made of a single crystal semiconductor (e.g., single crystal silicon) as described above, the solar cell is based on the semiconductor substrate 100 made of a single crystal semiconductor having less defects because it has high crystallizability. Accordingly, the solar cell can have excellent electrical characteristics. In

Petitioner Runergy USA Inc., Ex. 1002, p. 36

embodiments of the invention, crystallizability may refer to a degree to which a material may be crystallize or crystallizable, for example.

[0066] Furthermore, the front surface and/or back surface of the semiconductor substrate 100 may be textured and may have concave-convex portions. For example, an external surface of the concave-convex portions may be formed of the (111) face of the semiconductor substrate 100 and may have a pyramid shape having an irregular size.

[0067] If the concave-convex portions are formed in the front surface of the semiconductor substrate 100 by texturing as described above and thus the surface roughness of the front surface is increased, the reflectance of light incident through the front surface of the semiconductor substrate 100 can be reduced.

[0068] Accordingly, an optical loss can be minimized because the amount of light which reaches a pn junction formed by a base region 110 and the first or second conductive type semiconductor region 170 or 120 is increased. In the present embodiment, the concave-convex portions have been illustrated as being formed in the front and back surfaces of the semiconductor substrate 100, thereby effectively preventing the reflection of light incident through both surfaces.

[0069] However, the present invention is not limited to the example. Accordingly, as shown in FIG. 4, the concave-convex portions may be formed only in the front surface of the semiconductor substrate 100, and concave-convex portions may not be formed in the back surface of the semiconductor substrate 100.

[0070] In this instance, the back surface of the semiconductor substrate 100 in which the tunnel layer 160 is formed may be formed to have smaller surface roughness than the front surface thereof so that the tunnel layer 160 is formed more stably and uniformly. Alternatively, the present invention may be modified in various ways, for example, concave-convex portions may not be formed in the front and back surfaces of the semiconductor substrate 100.

[0071] Referring back to FIG. 2, in the present embodiment, the semiconductor substrate 100 may include the base region 110 doped with impurities of a first or second conductive type at a low doping concentration and configured to have the first or second conductive type.

[0072] In this instance, the base region 110 of the semiconductor substrate 100 may have a lower doping concentration, higher resistance, or lower carrier concentration than one of the first and second conductive type semiconductor regions 170 and 120, which has the same conductive type as the base region 110.

[0073] The first conductive type semiconductor region 170 having the first conductive type

Petitioner Runergy USA Inc., Ex. 1002, p. 37

may be placed on one surface (e.g., the back surface) of the semiconductor substrate 100. For example, the tunnel layer 160 may be formed on the semiconductor substrate 100, and the first conductive type semiconductor region 170 may be formed on the tunnel layer 160.

[0074] In this instance, the tunnel layer 160 may be disposed on the back surface of the semiconductor substrate 100 and may have a direct contact with the semiconductor substrate 100.

[0075] Such a tunnel layer 160 may be generally formed in portions other than an isolation portion I in the back surface of the semiconductor substrate 100. In this instance, "generally formed" may include "generally formed closely" and "some areas are not inevitably formed." Accordingly, the tunnel layer 160 can be easily formed because a separate patterning process is not required. However, the present invention is not limited to such an example.

[0076] Such a tunnel layer 160 may generate a tunneling effect. More specifically, the tunnel layer 160 may function as a kind of barrier for electrons and holes.

[0077] That is, the tunnel layer 160 may not transmit minority carriers. After the minority carriers are accumulated in a portion neighboring the tunnel layer 160, only majority carriers having energy of a specific level or higher may pass through the tunnel layer 160. The majority carriers having energy of a specific level or higher may easily pass through the tunnel layer 160 by a tunneling effect.

[0078] Furthermore, the tunnel layer 160 may also function as a diffusion barrier for preventing the dopant of the first conductive type semiconductor region 170 from being diffused into the semiconductor substrate 100. The tunnel layer 160 may include various materials through which majority carriers can be tunneled. For example, the tunnel layer 160 may include oxides, nitrides, a semiconductor, and a conductive polymer.

[0079] In particular, the tunnel layer 160 may be formed of a silicon oxide (SiOx) layer including silicon oxide. The reason for this is that the silicon oxide layer has an excellent passivation characteristic and carriers can easily tunnel through the silicon oxide layer.

[0080] In some embodiments, the tunnel layer 160 may be made of a dielectric material including SiCx having strong durability even in a high temperature process or may be made of SiNx, hydrogenated SiNx, AlOx, SiON, or hydrogenated SiON.

[0081] Furthermore, in order to sufficiently implement the tunneling effect, the thickness of the tunnel layer 160 may be smaller than the thickness of each of the first and the second passivation films 190A and 190B and the first and the second conductive type semiconductor regions 170 and 120.

[0082] For example, the thickness of the tunnel layer 160 may be 0.5 nm ~ 2.5 nm. In this

Petitioner Runergy USA Inc., Ex. 1002, p. 38

instance, the tunnel layer 160 may be formed by an oxidation process, an LPCVD process, or a PECVD deposition process, for example.

[0083] The thickness of the tunnel layer 160 is limited to the range of 0.5 nm ~ 2.5 nm in order to implement the tunneling effect. The range of 0.5 nm ~ 2.5 nm may be slightly exceeded. In this instance, however, the tunneling effect may be reduced.

[0084] More specifically, the tunnel layer 160 is formed to have the thickness of 0.5 nm or higher because it is practically very difficult to form the tunnel layer 160 having a thickness of less than 0.5 nm. Furthermore, the tunnel layer 160 is formed to have the thickness of 2.5 nm or less because the tunneling effect is meager if the thickness exceeds 2.5 nm.

[0085] The first conductive type semiconductor region 170 may be placed on the back surface of the semiconductor substrate 100, may include impurities of the first conductive type having a higher concentration than the impurities of the first conductive type included in the semiconductor substrate 100, and may include a polycrystalline silicon material.

[0086] That is, the first conductive type semiconductor region 170 may be formed on the back surface of the tunnel layer 160 formed on the back surface of the semiconductor substrate 100 and may be isolated from the semiconductor substrate 100, as shown in FIG. 1.

[0087] The first conductive type semiconductor region 170 may be brought into contact with and formed on the tunnel layer 160, thereby simplifying the structure of the solar cell and maximizing the tunneling effect of the tunnel layer 160.

[0088] If the first conductive type semiconductor region 170 is not formed within the semiconductor substrate 100, the first conductive type semiconductor region 170 is formed on the back surface of the semiconductor substrate 100, but spaced apart from the semiconductor substrate 100 as shown in FIGS. 1 and 2, and the first conductive type semiconductor region 170 includes a polycrystalline silicon material formed on the back surface of the tunnel layer 160, the open voltage Voc of the solar cell can be further improved.

[0089] Furthermore, the first conductive type semiconductor region 170 is not formed within the semiconductor substrate 100, but is formed outside the semiconductor substrate 100. Accordingly, the characteristics of the semiconductor substrate 100 can be prevented from being deteriorated because thermal damage to the semiconductor substrate 100 is minimized in the process of forming the first conductive type semiconductor region 170 from a viewpoint of a manufacturing process. Accordingly, an embodiment of the present invention can further improve efficiency of the solar cell.

[0090] The thickness of the first conductive type semiconductor region 170 may be 50 nm ~ 500 nm.

Petitioner Runergy USA Inc., Ex. 1002, p. 39

[0091] The first conductive type semiconductor region 170 may include the same semiconductor material (more specifically, a silicon semiconductor material) as the semiconductor substrate 100. Accordingly, a difference between the characteristics of the second conductive type semiconductor region 120 and the semiconductor substrate 100 can be minimized because the second conductive type semiconductor region 120 has similar characteristics as the semiconductor substrate 100.

[0092] In this instance, since the first conductive type semiconductor region 170 is formed on the semiconductor substrate 100 separately from the semiconductor substrate 100, the first conductive type semiconductor region 170 may have a crystal structure different from the crystal structure of the semiconductor substrate 100 so that it is easily formed on the semiconductor substrate 100.

[0093] For example, the first conductive type semiconductor region 170 may be formed by doping impurities of the first conductive type into an amorphous silicon material, a fine crystal silicon material, or a polycrystalline silicon material which may be easily manufactured using various methods, such as deposition.

[0094] In particular, if the first conductive type semiconductor region 170 includes a polycrystalline silicon material, carriers can smoothly move because the first conductive type semiconductor region 170 has excellent electrical conductivity and the tunneling of carriers can be smoothly generated in the tunnel layer 160 made of oxide.

[0095] The second conductive type semiconductor region 120 is placed on the opposite surface of the semiconductor substrate 100, for example, on the front surface of the semiconductor substrate 100 on which light is incident. The second conductive type semiconductor region 120 may include impurities of the second conductive type which is opposite the conductive type of the semiconductor substrate 100, for example, a conductive type of an n type.

[0096] For example, in the present embodiment, the second conductive type semiconductor region 120 may be formed into a doping region formed by doping impurities of the second conductive type into part of the semiconductor substrate 100.

[0097] For example, the second conductive type semiconductor region 120 may be formed by diffusing the impurities of the second conductive type into the front surface of the semiconductor substrate 100. In this instance, the second conductive type semiconductor region 120 may be made of the same silicon material as the semiconductor substrate 100.

[0098] For example, if the semiconductor substrate 100 is formed of a wafer made of a polycrystalline silicon material, the second conductive type semiconductor region 120 may

Petitioner Runergy USA Inc., Ex. 1002, p. 40

also be made of a polycrystalline silicon material. Furthermore, the second conductive type semiconductor region 120 in which the semiconductor substrate 100 is formed of a wafer made of a single crystal silicon material may also be made of a single crystal silicon material.

[0099] The base region 110 and the second conductive type semiconductor region 120 may have the same crystal structure and semiconductor material as the semiconductor substrate 100, but may have different conductive types or different doping concentrations.

[00100] More specifically, if the base region 110 has the first conductive type, the base region 110 and the second conductive type semiconductor region 120 may have different conductive types. If the base region 110 has the second conductive type, the second conductive type semiconductor region 120 may have a higher doping concentration than the base region 110.

[00101] If the base region 110 has the first conductive type, the first conductive type semiconductor region 170 having the first conductive type has the same conductive type as the semiconductor substrate 100 and may form a back surface field (BSF) region which has a higher doping concentration than the semiconductor substrate 100 and forms a BSF. The second conductive type semiconductor region 120 having the second conductive type has a conductive type different from that of the base region 110 and may form an emitter region forming a pn junction along with the base region 110.

[00102] Accordingly, the second conductive type semiconductor region 120 forming the emitter region is placed on the front surface side of the semiconductor substrate 100, thereby being capable of minimizing the path of light regioned with the pn junction.

[00103] However, the present invention is not limited to the example. For example, if the base region 110 has the second conductive type, the first conductive type semiconductor region 170 forms the emitter region, and the second conductive type semiconductor region 120 has the same conductive type as the semiconductor substrate 100 and may form a front surface field (FSF) region which has a higher doping concentration than the semiconductor substrate 100 and forms a FSF.

[00104] A p type dopant used as the impurities of the first or second conductive type may include group 3 elements, such as boron (B), aluminum (Al), gallium (Ga), and indium (In). An n type dopant used as the impurities of the first or second conductive type may include group 5 elements, such as phosphorous (P), arsenic (As), bismuth (Bi), and antimony (Sb). However, the present invention is not limited to the examples, and various dopants may be used as the impurities of the first or second conductive type.

[00105] In the present embodiment, the first conductive type semiconductor region 170

Petitioner Runergy USA Inc., Ex. 1002, p. 41

formed separately from the semiconductor substrate 100 may be placed on the back surface side of the semiconductor substrate 100, and the second conductive type semiconductor region 120 forming part of the semiconductor substrate 100 may be placed on the front surface side of the semiconductor substrate 100.

[00106] If the first conductive type semiconductor region 170 having a crystal structure different from that of the semiconductor substrate 100 is placed on the front surface side of the semiconductor substrate 100, the amount of light reaching the pn junction may be reduced because the absorption of light in the first conductive type semiconductor region 170 is increased. Accordingly, the first conductive type semiconductor region 170 may be placed on the back surface side of the semiconductor substrate 100, but the present invention is not limited thereto.

[00107] The passivation films 190A and 190B may be generally formed on the first and the second conductive type semiconductor regions 170 and 120 other than opening portions 102 and 104 respectively corresponding to the first and the second electrodes 150 and 140. Each of the passivation films 190A and 190B may be formed of an undoped passivation film not separately including a dopant.

[00108] More specifically, the first passivation film 190A may be generally formed on (e.g., brought into contact with) the portions of the first conductive type semiconductor region 170 other than the opening portion 102. The second passivation film 190B may be generally formed on (e.g., brought into contact with) the portions of the second conductive type semiconductor region 120 other than the opening portion 104.

[00109] Furthermore, the anti-reflection layer 130 may be placed on the second passivation film 190B.

[00110] The passivation films 190A and 190B are brought into contact with and formed on the first and the second conductive semiconductor regions 170 and 120, thereby being capable of immobilizing defects present in the first and the second conductive type semiconductor regions 170 and 120.

[00111] Accordingly, the open voltage Voc of the solar cell can be increased because the recombination sites of minority carriers are removed. The anti-reflection layer 130 can reduce the reflectance of light incident on the front surface of the semiconductor substrate 100.

[00112] Accordingly, the amount of light reaching the pn junction formed at the interface of the base region 110 and the first conductive type semiconductor region 170 can be increased because the reflectance of light incident through the front surface of the semiconductor

Petitioner Runergy USA Inc., Ex. 1002, p. 42

substrate 100 is lowered. Accordingly, the short circuit current Isc of the solar cell can be increased. As a result, efficiency of the solar cell can be improved because the open voltage and short circuit current of the solar cell are increased by the passivation films 190A and 190B and the anti-reflection layer 130 as described above.

[00113] For example, the passivation film 190A, 190B or the anti-reflection layer 130 may have a single film selected from the group consisting of a silicon nitride film, a silicon nitride film including hydrogen, a silicon oxide film, a silicon oxynitride film, an aluminum oxide film, MgF_2, ZnS, TiO_2, and CeO_2 or may have a multi-layer structure in which two or more films selected from the group are combined.

[00114] For example, if a contacted conductive semiconductor region of the first and the second conductive semiconductor regions 170 and 120 has an n type, a corresponding one of the first and the second passivation films 190A and 190B may include a silicon oxide film or a silicon nitride film having fixed positive charges. If the contacted conductive semiconductor region has a p type, the corresponding passivation film may include an aluminum oxide film having fixed negative charges. Furthermore, the anti-reflection layer 130 may include silicon nitride, for example.

[00115] More specifically, in an embodiment of the present invention, the first passivation film 190A brought into contact with the first conductive type semiconductor region 170 may be formed of a silicon nitride film, may have a refractive index of 1.9 ~ 2.1, and may have a thickness of 30 nm ~ 50 nm.

[00116] Furthermore, the second passivation film 190B brought into contact with the second conductive type semiconductor region 120 may have a dual-layer structure in which an aluminum oxide film and a silicon nitride film are sequentially stacked on the second conductive type semiconductor region 120. In this instance, the aluminum oxide film may have a refractive index of 1.5 ~ 1.7 and a thickness of 5 nm ~ 10 nm. The silicon nitride film of the second passivation film 190B may have a refractive index of 1.9 ~ 2.1 and a thickness of 70 nm ~ 120 nm.

[00117] However, the present invention is not limited to the examples. The passivation films 190A and 190B and the anti-reflection layer 130 may include various materials.

[00118] The first electrode 150 is placed on (e.g., brought into contact with) on the first conductive type semiconductor region 170 and electrically connected to the first conductive type semiconductor region 170. The first electrode 150 may be electrically connected to the first conductive type semiconductor region 170 through the opening portion 102 formed in the first passivation film 190A (i.e., by penetrating the first passivation film 190A).

Petitioner Runergy USA Inc., Ex. 1002, p. 43

[00119] In this instance, the first electrode 150 penetrates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, but may be connected to a surface of the first conductive type semiconductor region 170.

[00120] Likewise, the second electrode 140 is placed on (e.g., brought into contact with) the second conductive type semiconductor region 120 and electrically connected to the second conductive type semiconductor region 120. The second electrode 140 may be electrically connected to the first conductive type semiconductor region 170 through the opening portion 104 formed in the second passivation film 190B and the anti-reflection layer 130 (i.e., through the second passivation film 190B and the anti-reflection layer 130).

[00121] The first and the second electrodes 150 and 140 may include various materials (more specifically, metal) and may have various shapes.

[00122] For example, the first electrode 150 may include a plurality of first finger electrodes 151 and a plurality of first bus bars 153, as shown in FIG. 1.

[00123] The plurality of first finger electrodes 151 may be spaced apart from each other on the back surface of the first conductive type semiconductor region 170, may be extended in a first direction x, and may collect carriers moved toward the first conductive type semiconductor region 170.

[00124] Furthermore, the plurality of first bus bars 153 may be placed on the same layer as the plurality of first finger electrodes 151 on the first conductive type semiconductor region 170, may electrically connect the plurality of first finger electrodes 151, and may be extended in a second direction y crossing the plurality of first finger electrodes 151.

[00125] Furthermore, the second electrode 140 may include a plurality of second finger electrodes 141 and a plurality of second bus bars 143, as shown in FIG. 1.

[00126] The plurality of second finger electrodes 141 may be placed on the second conductive type semiconductor region 120, may be electrically connected to the second conductive type semiconductor region 120, may be spaced apart from each other, and may be extended in the first direction x.

[00127] The plurality of second finger electrodes 141 may collect carriers, for example, holes moved toward the second conductive type semiconductor region 120.

[00128] Furthermore, the plurality of second bus bars 143 may be placed on the same layer as the plurality of second finger electrodes 141 on the second conductive type semiconductor region 120, may electrically connect the plurality of second finger electrodes 141, and may be extended in the second direction y crossing the plurality of second finger electrodes 141.

[00129] In the solar cell having such a structure, the tunnel layer 160 and the first

Petitioner Runergy USA Inc., Ex. 1002, p. 44

conductive type semiconductor region 170 placed on the back surface of the semiconductor substrate 100 may be spaced apart from the edge of the back surface of the semiconductor substrate 100 (or the side of the semiconductor substrate 100) at a first distance D1.

[00130] Accordingly, the area of each of the tunnel layer 160 and the first conductive type semiconductor region 170 may be smaller than the area of the semiconductor substrate 100. The first distance D1 may mean the shortest distance of distances between the edge of the back surface of the semiconductor substrate 100 and the tunnel layer 160 and the first conductive type semiconductor region 170.

[00131] That is, the isolation portion I in which the tunnel layer 160 and the first conductive type semiconductor region 170 (including the first electrode 150 connected to the first conductive type semiconductor region 170 in addition to the tunnel layer 160 and the first conductive type semiconductor region 170) are not formed may be placed at the edge of the back surface of the semiconductor substrate 100. In this instance, the first passivation film 190A may be formed to cover one surface of the semiconductor substrate 100, including the isolation portion I.

[00132] The isolation portion I may block a contact between the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 in any one of the first surface, side, and second surface of the semiconductor substrate 100. For example, the isolation portion I may function as an edge isolator for isolating the first conductive type semiconductor region 170 from the edge of the back surface of the semiconductor substrate 100.

[00133] That is, when the second conductive type semiconductor region 120 is formed, the impurities of the second conductive type may be diffused into the side of or the edge of the back surface of the semiconductor substrate 100, and thus the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 may be unwantedly short-circuited in the side of or the edge of the back surface of the semiconductor substrate 100. In the present embodiment, such a problem can be fundamentally prevented by removing the first conductive type semiconductor region 170 from the edge of the back surface of the semiconductor substrate 100.

[00134] Furthermore, the area of the second conductive type semiconductor region 120 can be maximized because the second conductive type semiconductor region 120 is generally formed on the front surface of the semiconductor substrate 100.

[00135] The isolation portion I may be formed in the entire edge of the back surface of the semiconductor substrate 100 and may have a closed shape, as shown in FIG. 3. Furthermore,

a specific step or operation is present between portions in which the isolation portion I and the tunnel layer 160 and the first conductive type semiconductor region 170 have been formed.

[00136] For example, the first distance D1 (i.e., the width of the isolation portion I) may be 1 mm or less. If the first distance D1 exceeds 1 mm, efficiency may be deteriorated because the area of the first conductive type semiconductor region 170 is reduced. For example, the first distance D1 may be 1 nm to 1 mm. If the first distance D1 is less than 1 mm, the effect of the isolation portion I may not be sufficient. However, the present invention is not limited to the above values. The first distance D1 may have a different value depending on the size of the semiconductor substrate 100, for example.

[00137] The first conductive type semiconductor region 170 may have a shape having a smaller area as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100. In this instance, the side of the first conductive type semiconductor region 170 may be formed to be not vertical to the semiconductor substrate 100 (e.g., approximately slanted) as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100.

[00138] That is, as shown in FIG. 2, the thickness of the edge region of the first conductive type semiconductor region 170 may be gradually decreased toward the isolation portion I.

[00139] For example, the area of the first conductive type semiconductor region 170 may be reduced as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100, so the side of the first conductive type semiconductor region 170 may be formed to be rounded. The side of the tunnel layer 160 may be placed so that it is extended along with the side of the first conductive type semiconductor region 170 and may have a rounded shape similar to the first conductive type semiconductor region 170.

[00140] The reason for this is that a wet process is used in the process of forming the isolation portion I by removing the first conductive type semiconductor region 170 and the tunnel layer 160. This is described later. In some embodiments, the sides of the first conductive type semiconductor region 170 and the tunnel layer 160 may have various shapes in addition to the rounded shape.

[00141] Furthermore, the first passivation film 190A placed on the back surface side of the semiconductor substrate 100 may be placed on the first conductive type semiconductor region 170 in the portion in which the tunnel layer 160 and the first conductive type semiconductor region 170 are present and may come into contact with the back surface of the semiconductor substrate 100 in the isolation portion I.

Petitioner Runergy USA Inc., Ex. 1002, p. 46

[00142] That is, the first passivation film 190A may be directly brought into contact with and formed on the back surface of the semiconductor substrate 100 near the edge of the semiconductor substrate 100, may be extended from the edge of the semiconductor substrate 100, may be brought into contact with and formed on the sides of the tunnel layer 160 and the first conductive type semiconductor region 170 while covering the sides, may be extended from the sides, and may be brought into contact with and formed on the top surface of the first conductive type semiconductor region 170 while covering the top surface.

[00143] In an embodiment of the present invention, in the process of manufacturing the solar cell, the isolation portion I may be formed by removing the tunnel layer 160 and the first conductive type semiconductor region 170 placed in the edge of the back surface of the semiconductor substrate 100.

[00144] Accordingly, the first passivation film 190A may be formed to cover an edge portion of the back surface of the semiconductor substrate 100 which has been exposed by removing the tunnel layer 160 and the second conductive type semiconductor region 160, that is, the isolation portion I.

[00145] Accordingly, the isolation portion I can prevent a passivation characteristic from being deteriorated. In this instance, the structure of the solar cell and the process of manufacturing the solar cell can be simplified because the first passivation film 190A is used without forming a separate film for protecting the isolation portion I.

[00146] Furthermore, the first passivation film 190A may include a side portion 190Aa extended up to the top of the side of the semiconductor substrate 100. If the side portion 190Aa of the first passivation film 190A is used, the first passivation film 190A may be formed to cover the upper side of the back surface of the semiconductor substrate 100 generally and stably.

[00147] Furthermore, the second passivation film 190B and the anti-reflection layer 130 may include side portions 190Ba and 130a extended up to the top of the side of the semiconductor substrate 100.

[00148] In this instance, the second passivation film 190B may be placed close to the semiconductor substrate 100 on the side of the semiconductor substrate 100, and the first passivation film 190A may be placed on the second passivation film 190B.

[00149] More specifically, the side portion 190Ba of the second passivation film 190B may come into contact with the side of the semiconductor substrate 100. The side portion 130a of the anti-reflection layer 130 may come into contact with the side portion 190Ba of the second passivation film 190B. The side portion 190Aa of the first passivation film 190A

Petitioner Runergy USA Inc., Ex. 1002, p. 47

may come into contact with the side portion 130a of the anti-reflection layer 130.

[00150] Accordingly, the second conductive type semiconductor region 120 can be stably passivated because the second passivation film 190B is first formed and the first passivation film 190A is then formed in the process of forming the first passivation film 190A. This is described in more detail later.

[00151] However, the present invention is not limited to the example. For example, at least one of the side portions 190Aa, 190Ba, and 130a may not be provided on the side of the semiconductor substrate 100, or sequence in which the side portions 190Aa, 190Ba, and 130a are stacked may be changed.

[00152] A plane shape of the first electrode 150 is described in detail with reference to FIG. 3, and a plane shape of the second electrode 140 is then described in detail.

[00153] Referring to FIG. 3, the first electrode 150 may include the plurality of first finger electrodes 151 spaced apart from each other at a specific pitch. In FIG. 3, the first finger electrodes 151 have been illustrated as being parallel and as being parallel in the edge of the semiconductor substrate 100, but the present invention is not limited thereto.

[00154] Furthermore, only one first bus bar 153 may be included. As shown in FIG. 3, a plurality of the first bus bars 153 having a pitch greater than the pitch between the first finger electrodes 151 may be included.

[00155] The width of the first bus bar 153 may be greater than the width of the first finger electrode 151, but the present invention is not limited thereto. Accordingly, the width of the first bus bar 153 may be the same as or smaller than the width of the first finger electrode 151.

[00156] When viewed from a cross section, both the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be formed to penetrate the first passivation film 190A. That is, the opening portion 102 may be formed in accordance with all of the first finger electrodes 151 and first bus bar 153 of the first electrode 150.

[00157] However, the present invention is not limited to the example. For example, the first finger electrodes 151 of the first electrode 150 may be formed to penetrate the first passivation film 190A, and the first bus bar 153 may be formed on the first passivation film 190A. In this instance, the opening portion 102 may be formed to have a shape corresponding to the first finger electrodes 151, but may not be formed in a portion in which only the first bus bar 153 is placed.

[00158] As described above, in the present embodiment, the isolation portion I may be formed in the portion in which the tunnel layer 160 and the first conductive type semiconductor region 170 are not formed along the edge of the semiconductor substrate 100.

Petitioner Runergy USA Inc., Ex. 1002, p. 48

Accordingly, the first electrode 150 formed on the first conductive type semiconductor region 170 may not be formed in the isolation portion I.

[00159] Accordingly, the ends of the first finger electrodes 151 and bus bar 153 of the first electrode 150 may be spaced apart from the edge of the semiconductor substrate 100 at least at the first distance D1.

[00160] Furthermore, the second finger electrodes 141 and second bus bar 142 of the second electrode 140 may be respectively formed in accordance with the first finger electrodes 151 and first bus bar 153 of the first electrode 150.

[00161] The contents described in connection with the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be applied to the second finger electrodes 141 and second bus bar 142 of the second electrode 140 without a change except the contents described in connection with the isolation portion I.

[00162] Furthermore, the contents related to the first passivation film 190A in the first electrode 150 may be applied to the second passivation film 190B and the anti-reflection layer 130 in the second electrode 140 without a change.

[00163] In this instance, the width and pitch of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be the same as or different from the width and pitch of the second finger electrodes 141 and second bus bar 142 of the second electrode 140.

[00164] However, the present invention is not limited to the example. For example, the first electrode 150 and the second electrode 140 may have different plane shapes and may be modified in various ways.

[00165] As described above, in the present embodiment, since the first and the second electrodes 150 and 140 of the solar cell have a specific pattern, the solar cell has a bi-facial structure in which light may be incident on the front and back surfaces of the semiconductor substrate 100.

[00166] Accordingly, efficiency of the solar cell can be improved because the amount of light used in the solar cell is increased. However, the present invention is not limited to the bi-facial structure. For example, the solar cell may have a structure in which the first electrode 150 is generally formed on the back surface side of the semiconductor substrate 100 and may have various structures.

[00167] In this instance, if the isolation portion I is formed on the back surface of the semiconductor substrate 100, the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 can be effectively prevented from being unnecessarily interconnected.

Petitioner Runergy USA Inc., Ex. 1002, p. 49

[00168] Furthermore, a surface of the semiconductor substrate 100 on which the isolation portion I is placed may be covered and passivated by the first passivation film 190A covering the first conductive type semiconductor region 170.

[00169] Accordingly, problems attributable to surface recombination can be minimized because the isolation portion I is passivated by such a simple structure. That is, efficiency and reliability of a solar cell can be improved and a defective ratio of the solar cell can be reduced by the simple structure.

[00170] In the first embodiment of the present invention, an example in which the first electrode 150 penetrates the first passivation film 190A and the first electrode 150 is connected to the first conductive type semiconductor region 170, but is connected to a surface of the first conductive type semiconductor region 170 has been described.

[00171] In some embodiments, however, the first electrode 150 penetrates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, but at least part of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170. This is described in more detail below.

[00172] FIGS. 5 to 7 depict a solar cell according to a second embodiment of the present invention.

[00173] FIG. 5 is a cross-sectional view of the solar cell taken along line Ⅱ-Ⅱ of FIG. 1. Furthermore, FIG. 6 is an enlarged view of a portion K in FIG. 5, and FIG. 7 is a real photograph of a contact portion between the first electrode 150 and the first conductive type semiconductor region 170.

[00174] Furthermore, FIG. 8 depicts a comparison example different from the second embodiment of the present invention.

[00175] A description of contents redundant with the contents described with reference to FIGS. 1 to 4 is omitted.

[00176] For reference, in FIG. 5, a region that belongs to the first conductive type semiconductor region 170 and that is placed in the space between the first finger electrode 151 and the tunnel layer 160 is called a finger forming region 170A1. A region that belongs to the first conductive type semiconductor region 170 and that is placed in the space between the first bus bar 153 and the tunnel layer 160 is called a bus bar forming region 170A2. The remaining regions of the first conductive type semiconductor region 170 other than the finger forming region 170A1 and the bus bar forming region 170A2 is called a non-forming region 170B. Furthermore, the finger forming region 170A1 and the bus bar forming region 170A2

Petitioner Runergy USA Inc., Ex. 1002, p. 50

are collectively called an electrode forming region 170A.

[00177] In the solar cell according to the second embodiment of the present invention, at least part of the first electrode 150 may penetrate the first passivation film 190A and may be depressed into the first conductive type semiconductor region 170 and electrically connected to the first conductive type semiconductor region 170, as shown in FIGS. 5 and 6.

[00178] For example, both the first finger electrode 151 and first bus bar 153 of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170.

[00179] In other words, as shown in FIG. 6, the location of a first boundary surface BS1 in which the first conductive type semiconductor region 170 and the first electrode 150 come into contact with each other may be more depressed and formed toward the semiconductor substrate 100 than the location of a second boundary surface BS2 in which the first conductive type semiconductor region 170 and the first passivation film 190A come into contact with each other.

[00180] Accordingly, the distance between the semiconductor substrate 100 and the first boundary surface BS1 may be smaller than the distance between the semiconductor substrate 100 and the second boundary surface BS2.

[00181] In this instance, all of the plurality of first finger electrodes 151 and the first bus bar 153 may be formed to have a single layer or double layer structure. In some embodiments, the plurality of first finger electrodes 151 may be formed to have a single layer structure, and the first bus bar 153 may be formed to have a double layer structure.

[00182] In FIG. 6, the first finger electrode 151 has been illustrated as being an example. Like the first finger electrode 151, the first bus bar 153 may have the same structure in which it has been depressed into the first conductive type semiconductor region 170.

[00183] As described above, the structure in which the first electrode 150 has been depressed into the first conductive type semiconductor region 170 may be formed when a paste for the first electrode perforates the first passivation film 190A and penetrates the first conductive type semiconductor region 170 in a thermal treatment process in the state in which the paste for the first electrode for forming the first electrode 150 has been patterned and formed on the back surface of the first passivation film 190A.

[00184] If the first electrode 150 is formed by the process of printing and thermally treating the paste for the first electrode as described above, there are advantages in that a cost is relatively low compared to a plating method and a process time can be reduced.

[00185] In this instance, a difference TBS between the heights of the first boundary surface

Petitioner Runergy USA Inc., Ex. 1002, p. 51

BS1 and the second boundary surface BS2 may be set to 1 nm ~ 20 nm. The difference between the heights of the first and the second boundary surfaces BS1 and BS2 may vary depending on the time taken for the thermal treatment process for forming the first electrode 150 and content of frit glass included in the paste for the first electrode.

[00186] FIGS. 5 and 6 have illustrated an example in which all of the plurality of first bus bars 153 and the plurality of first finger electrodes 151 forming the first electrode 150 have been depressed into the first conductive type semiconductor region 170.

[00187] However, the present invention is not necessarily limited to the example. For example, only the plurality of first finger electrodes 151 of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170. The example in which only the plurality of first finger electrodes 151 has been depressed into the first conductive type semiconductor region 170 as described above is described in detail later with reference to FIG. 9 and related drawings.

[00188] Accordingly, in the solar cell according to an embodiment of the present invention, as shown in FIG. 6, the first electrode 150 may be depressed into the first conductive type semiconductor region 170, and the first conductive type semiconductor region 170 and the first electrode 150 may come into contact with each other in the first boundary surface BS1 of the first conductive type semiconductor region 170.

[00189] In this instance, as shown in FIG. 5, a plurality of metal crystals MC extracted from the first electrode 150 may be placed in the electrode forming region 170A of the first conductive type semiconductor region 170 in which the first electrode 150 has been formed, as described above.

[00190] For example, as shown in FIG. 6, the plurality of metal crystals MC extracted from the first finger electrode 151 may be placed in the finger forming region 170A1 of the first conductive type semiconductor region 170 in which the first finger electrode 151 is formed.

[00191] Only the electrode finger forming region 170A1 of the electrode forming region 170A of the first conductive type semiconductor region 170 has been illustrated in FIG. 6. Likewise, the plurality of metal crystals MC extracted from the first bus bar 153 may be placed in the bus bar forming region 170A2, as shown in FIG. 5.

[00192] The plurality of metal crystals MC has relatively low resistance compared to the first conductive type semiconductor region 170 made of polycrystalline silicon. Accordingly, as shown in FIG. 6, carriers which have moved from the semiconductor substrate 100 to the first conductive type semiconductor region 170 through the tunnel layer 160, for example, electrons may directly move to the first electrode 150 through the metal

Petitioner Runergy USA Inc., Ex. 1002, p. 52

crystals MC or may jump between the metal crystals MC and the metal crystals MC and move to the first electrode 150.

[00193] Accordingly, the plurality of metal crystals MC may function to help carriers to move to the first electrode 150 more easily.

[00194] Accordingly, the metal crystals MC may narrow a substantial distance between the semiconductor substrate 100 and the first electrode 150 due to its low resistance.

[00195] Furthermore, when the first electrode 150 is connected to the first conductive type semiconductor region 170, the metal crystals MC are formed in the direction of the semiconductor substrate 100 on the basis of the first boundary surface BS1, that is, the boundary of the first electrode 150 and the first conductive type semiconductor region 170. Accordingly, contact resistance between the first electrode 150 and the first conductive type semiconductor region 170 can be further lowered.

[00196] Accordingly, if the plurality of metal crystals MC is further included in the first conductive type semiconductor region 170 between the first electrode 150 and the tunnel layer 160 as in the embodiment of the present invention shown in FIG. 6, efficiency of the solar cell can be further improved.

[00197] As shown in FIG. 5, the metal crystals MC may be placed in the electrode forming region 170A of the first conductive type semiconductor region 170 in which the first electrode 150 has been formed, but may not be placed in the non-forming region 170B of the first conductive type semiconductor region 170 in which the first electrode 150 has not been formed.

[00198] The reason why the metal crystals MC are placed in the electrode forming region 170A of the first conductive type semiconductor region 170, but are not placed in the non-forming region 170B of the first conductive type semiconductor region 170 as described above is that metal extracted from the first electrode 150 during the thermal treatment process for forming the first electrode 150 is recrystallized to form the plurality of metal crystals MC.

[00199] For example, the plurality of first electrodes 150 may be formed to include at least one conductive metal material. In this instance, the conductive metal material included in the plurality of first electrodes 150 may be at least one selected from the group consisting of nickel (Ni), copper (Cu), silver (Ag), aluminum (Al), tin (Sn), zinc (Zn), indium (In), titanium (Ti), and gold (Au) and a combination of them, for example, but may include other conductive metal materials.

[00200] In this instance, the plurality of metal crystals MC may include the same metal material as a metal material included in the first electrode 150 because the metal crystals MC

Petitioner Runergy USA Inc., Ex. 1002, p. 53

are formed when the metal material included in the first electrode 150 is extracted and recrystallized.

[00201] Accordingly, if the first electrode 150 includes silver (Ag), for example, the metal crystals MC may also include silver (Ag).

[00202] Furthermore, as shown in FIGS. 6 and 7, the metal crystals MC are placed in the first conductive type semiconductor region 170, but may not be placed in the tunnel layer 160.

[00203] That is, if the metal crystals MC are placed in the tunnel layer 160 as in the comparison example of FIG. 8, the functions of the tunnel layer 160 may be deteriorated. If the metal crystals MC penetrate the back surface of the semiconductor substrate 100 through the tunnel layer 160, an open voltage (Voc) characteristic appearing due to the structure of the semiconductor substrate 100 – the tunnel layer 160 - the first conductive type semiconductor region 170 may be deteriorated, thereby being capable of deteriorating the semiconductor substrate 100.

[00204] If the semiconductor substrate 100 is deteriorated as described above, a characteristic of the semiconductor substrate 100, for example, a characteristic, such as a carrier life time, may be deteriorated.

[00205] If the metal crystals MC are placed in the first conductive type semiconductor region 170, but are not placed in the tunnel layer 160 as in the embodiment of the present invention, however, the deterioration of the characteristic described above can be prevented.

[00206] As shown in FIG. 6, some metal crystals MC1 of the plurality of metal crystals MC may have a direct contact with the first electrode 150. Furthermore, at least one metal crystal MC2 of the plurality of metal crystals MC may be spaced apart from the first electrode 150 and placed in the first conductive type semiconductor region 170.

[00207] In this instance, the length LMC of the plurality of metal crystals MC from the first electrode 150 to the direction of the tunnel layer 160 may be 2/3 or less of the thickness of the first conductive type semiconductor region 170. If the length LMC of the metal crystals MC is limited to 2/3 of the thickness of the first conductive type semiconductor region 170 as described above, damage to the tunnel layer 160 or the semiconductor substrate 100 attributable to the excessive length LMC of the metal crystals MC can be prevented.

[00208] Some of the plurality of metal crystals MC may have a reduced width WMC from the first electrode 150 to the direction of the tunnel layer 160. That is, as shown in FIG. 6 or 7, the width WMC in the surface direction (x, y) of a portion that belongs to the metal crystal MC and that neighbors the first electrode 150 may be smaller than the width of a portion that belongs to the metal crystal MC and that is adjacent to the semiconductor substrate 100.

Petitioner Runergy USA Inc., Ex. 1002, p. 54

[00209] Such a size of the metal crystal MC may be determined in proportion to a firing temperature of the thermal treatment process for forming the first electrode 150.

[00210] That is, the length or width of the metal crystal MC is characterized in that it is increased as the firing temperature of thermal treatment process for forming the first electrode 150 rises and it is reduced as the firing temperature of thermal treatment process for forming the first electrode 150 drops. The length or width of the metal crystal MC may be increased as the width of the first electrode 150, that is, the source of the metal crystal MC, is increased.

[00211] If the firing temperature of the thermal treatment process for forming the first electrode 150 is excessively low, however, contact resistance between the first electrode 150 and the first conductive type semiconductor region 170 may be increased.

[00212] Accordingly, in the second embodiment of the present invention, an example in which all of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 have been depressed into the first conductive type semiconductor region 170 and the metal crystals MC have been formed in both the finger forming region 170A1 and bus bar forming region 170A2 of the first conductive type semiconductor region 170 has been described. In order to further improve efficiency of the solar cell, only the first finger electrodes 151 may be depressed into the first conductive type semiconductor region 170 and the metal crystals MC may be placed only in the finger forming region 170A1, but may not be placed in the bus bar forming region 170A2. This is described in detail below with reference to FIGS. 9 to 11.

[00213] FIG. 9 is a diagram illustrating a solar cell according to a third embodiment of the present invention.

[00214] In a description related to FIG. 9, a description of portions redundant with the contents described in connection with the second embodiment is omitted, and portions different from the contents of the second embodiment are chiefly described.

[00215] As shown in FIG. 9, in the solar cell according to the third embodiment of the present invention, at least part of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170, but only the plurality of first finger electrodes 151 of the first electrode 150 may penetrate the first passivation film 190A and may be depressed and formed in the first conductive type semiconductor region 170.

[00216] In this instance, the metal crystals MC may be formed only in the finger forming region 170A1 of the first conductive type semiconductor region 170, and the plurality of first bus bars 153 may not be depressed into the first conductive type semiconductor region 170, but may be formed on the back surface of the first passivation film 190A.

Petitioner Runergy USA Inc., Ex. 1002, p. 55

[00217] Accordingly, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170.

[00218] As described above, only the plurality of first finger electrodes 151 of the first electrode 150 may penetrate the first passivation film 190A and may be depressed into the first conductive type semiconductor region 170 so that the metal crystals MC are formed only in the finger forming region 170A1 of the first conductive type semiconductor region 170, and the first bus bar 153 may be formed on the first passivation film 190A.

[00219] As described above with reference to FIGS. 6 to 8, if the metal crystals MC are not formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 as described above, the metal crystals MC are not placed in the tunnel layer 160, and thus there can be prevented the phenomenon in which the semiconductor substrate 100 is deteriorated because the metal crystals MC penetrate the tunnel layer 160 and are connected to the semiconductor substrate 100.

[00220] More specifically, the width of the first bus bar 153 is relatively greater than the width of the first finger electrode 151 as described above with reference to FIGS. 1 and 5. Accordingly, in the thermal treatment process, the metal crystals MC having a relatively great length or width may penetrate the tunnel layer 160 and may be short-circuited with the semiconductor substrate 100, as shown in FIG. 8. Accordingly, the semiconductor substrate 100 may be deteriorated. If the metal crystals MC are not formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170, such a deterioration phenomenon can be prevented.

[00221] Accordingly, the solar cell according to the third embodiment of the present invention has a structure in which only the first finger electrodes 151 of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 penetrate the first passivation film 190A and are depressed and formed in the first conductive type semiconductor region 170. Accordingly, only the first conductive type semiconductor region 170 and the first finger electrodes 151 come into contact with each other in the first boundary surface BS1 of the first conductive type semiconductor region 170, the plurality of metal crystals MC may be placed only in the finger forming region 170A1 which belongs to the electrode forming region 170A of the first conductive type semiconductor region 170 and in which the first finger electrode 151 is formed, and the plurality of metal crystals MC may not be placed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 which overlaps the first bus bar 153.

[00222] To this end, in an embodiment of the present invention, the plurality of first finger

Petitioner Runergy USA Inc., Ex. 1002, p. 56

electrodes 151 and the plurality of first bus bars 153 may have different compositions.

[00223] More specifically, content of frit glass per unit volume, which is included in the plurality of first bus bars 153, may be smaller than content of frit glass per unit volume, which is included in the plurality of first finger electrodes 151, or content of frit glass may not be included in the plurality of first bus bars 153.

[00224] Accordingly, in the thermal treatment process for forming the first electrode 150, while the plurality of metal crystals MC is extracted into the finger forming region 170A1 when the first finger electrode 151 penetrates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170, the first bus bar 153 can be prevented from penetrating the first passivation film 190A and from being depressed into the first conductive type semiconductor region 170 or such a depression can be minimized.

[00225] Moreover, although the first bus bar 153 penetrates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170, the deterioration phenomenon in which the metal crystals MC extracted from the first bus bar 153 penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100 as shown in FIG. 8 can be prevented.

[00226] In this instance, the deterioration of the semiconductor substrate 100 may be checked from FIGS. 10 and 11.

[00227] FIG. 10 is a comparison example photograph of the degree of the deterioration of the semiconductor substrate 100 according to firing temperatures in the thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste for the first bus bar is the same as the material of a paste for the first finger electrode. FIG. 11 is photograph of the degree of the deterioration of the semiconductor substrate 100 according to firing temperatures in the thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste 153P for the first bus bar is different from the material of a paste for the first finger electrodes in accordance with the third embodiment of the present invention.

[00228] From the PL images showing the open voltages Voc of the semiconductor substrate 100, the deterioration phenomenon occurring because the metal crystals MC penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100 depending on the temperature of the thermal treatment process can be checked.

[00229] As some region of the semiconductor substrate 100 becomes darker in the PL image, it means the open voltage is reduced and thus the deterioration of the semiconductor substrate 100 is increased. As some region of the semiconductor substrate 100 becomes

Petitioner Runergy USA Inc., Ex. 1002, p. 57

brighter, it means that the open voltage is sufficiently high and thus the deterioration of the semiconductor substrate 100 is reduced or is not present.

[00230] More specifically, if a shade region is increased in the PL image as the temperature of the thermal treatment process rises, it means that the open voltage is reduced and the deterioration of the semiconductor substrate 100 is increased because the metal crystals MC penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100. If a shade region is not increased in the PL image as the temperature of the thermal treatment process rises, it means that the open voltage is sufficiently high and the deterioration of the semiconductor substrate 100 is small or is almost not present because the metal crystals MC do not penetrate the tunnel layer 160 or the semiconductor substrate 100.

[00231] In FIGS. 10 and 11, images of the paste 153P for the first bus bar having a relatively great width have been illustrated, but images of a paste for the first finger electrodes having a very small width are not illustrated. The paste for the first finger electrodes may intersect the paste 153P for the first bus bars and may be formed.

[00232] FIG. 10 shows an instance where the paste 153P for the first bus bars having the same material as the paste for the first finger electrodes was used, and FIG. 11 shows an instance where the paste 153P for the first bus bars having a material different from the material of the paste for the first finger electrodes as described above with reference to FIG. 9 was used.

[00233] In FIG. 10, the paste 153P for the first bus bars and the paste for the first finger electrodes have the same material. Accordingly, the paste 153P for the first bus bars may also penetrate the first passivation film 190A and may be depressed and formed in the first conductive type semiconductor region 170, so the metal crystals MC may be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170.

[00234] Accordingly, if the temperature of the thermal treatment process for forming the first electrode 150 is relatively low, for example, about 820℃ or 795℃ as shown in (c) and (d) of FIG. 10, the semiconductor substrate 100 is not deteriorated because there is almost no metal crystal MC which is extracted from the paste for the first electrode and subsides into the first conductive type semiconductor region 170. In this instance, efficiency of the solar cell may be reduced because contact resistance of the first finger electrodes 151 may be relatively high.

[00235] If the temperature of the thermal treatment process for forming the first electrode 150 is relatively high, for example, about 870℃ or 845℃ as shown in (a) and (b) of FIG. 10, the shade region is increased in the semiconductor substrate 100 and the deterioration of the

Petitioner Runergy USA Inc., Ex. 1002, p. 58

semiconductor substrate 100 is relatively increased.

[00236] The reason for this is that the deterioration of the semiconductor substrate 100 is increased because the metal crystals MC extracted from the paste 153P for the first bus bars are placed in the first conductive type semiconductor region 170 and such metal crystals MC penetrate the tunnel layer 160 and are connected to the semiconductor substrate 100.

[00237] As described above with reference to FIG. 9, if the first finger electrodes 151 and the first bus bar 153 are made of different materials in accordance with the third embodiment of the present invention, it may be seen that the shade region of the semiconductor substrate 100 is rarely increased even in (a) and (b) of FIG. 11 in which the temperature of the thermal treatment process is relatively high as well as in (c) and (d) of FIG. 11 in which the temperature of the thermal treatment process is relatively low.

[00238] The reason for this is that the semiconductor substrate 100 is not deteriorated because the paste 153P for the first bus bars does not penetrate the first passivation film 190A or although the paste 153P for the first bus bars penetrates the first passivation film 190A and connects to the first conductive type semiconductor region 170 and thus the metal crystals MC are formed in the first conductive type semiconductor region 170, the metal crystals MC are not placed in the tunnel layer 160 if the paste 153P for the first bus bars and the paste for the first finger electrodes are made of different materials.

[00239] As described above, the solar cell according to the third embodiment of the present invention can prevent the deterioration of the semiconductor substrate 100 and have further improved efficiency because the solar cell maintains a sufficient high open voltage Voc by forming the first finger electrodes 151 and the first bus bar 153 using different materials.

[00240] The structures of the solar cells according to embodiments of the present invention have been described so far. Hereinafter, methods for manufacturing solar cells are described.

[00241] FIG. 12 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a first embodiment of the present invention. FIGS. 13A to 13J are cross-sectional views of the method for manufacturing a solar cell according to the flowchart of FIG. 12.

[00242] Furthermore, FIG. 14 is a diagram illustrating a modified example of the method for manufacturing a solar cell according to the first embodiment. FIG. 15 is a diagram illustrating another modified example of the method for manufacturing a solar cell according to the first embodiment.

[00243] As shown in FIG. 12, an example of the method for manufacturing a solar cell according to the first embodiment of the present invention may include a tunnel layer forming

Petitioner Runergy USA Inc., Ex. 1002, p. 59

step (operation) S1, an intrinsic semiconductor layer forming step (operation) S2, a first conductive type semiconductor region forming step (operation) S3, a removing step (operation) S4, a second conductive type semiconductor region forming step (operation) S5, an anti-reflection layer and second passivation film forming step (operation) S6, a first passivation film forming step (operation) S7, and an electrode forming step (operation) S8.

[00244] In this example, the removing step S4 and the anti-reflection layer and second passivation film forming step S6 have been illustrated as being included. In some embodiments, the removing step S4 and the anti-reflection layer and second passivation film forming step S6 may be omitted.

[00245] An example in which the removing step S4 and the anti-reflection layer and second passivation film forming step S6 are included, for convenience of description, is described below.

[00246] As a preliminary step (operation) for manufacturing a solar cell according to the first embodiment of the present invention, the concave-convex portions may be formed by performing a texturing process on the front and back surfaces of the semiconductor substrate 100, as shown in FIG. 13A.

[00247] Wet or dry texturing may be used as the texturing technique for the semiconductor substrate 100.

[00248] The wet texturing may be performed by dipping the semiconductor substrate 100 into a texturing solution and is advantageous in that the process time is short. The dry texturing may be performed by cutting a surface of the semiconductor substrate 100 using a diamond grill or a laser. In the dry texturing, the concave-convex portions may be uniformly formed, but the process time is long and the semiconductor substrate 100 may be damaged.

[00249] In addition, the semiconductor substrate 100 may be textured using reactive ion etch (RIE). As described above, in an embodiment of the present invention, the semiconductor substrate 100 may be textured using various methods.

[00250] For a simple illustration, concave-convex portions have been illustrated as being not formed on the side of the semiconductor substrate 100 by the texturing. Furthermore, it may be difficult to clearly recognize the concave-convex portions by the texturing because the semiconductor substrate 100 has a very small thickness.

[00251] However, the present invention is not limited to the above description. For example, the concave-convex portions according to the texturing may be provided on the side of the semiconductor substrate 100. Furthermore, the texturing of the semiconductor

Petitioner Runergy USA Inc., Ex. 1002, p. 60

substrate 100 may be performed in a subsequent process.

[00252] As shown in FIG. 12, the tunnel layer forming step S1 for forming the tunnel layer 160 on one surface of the semiconductor substrate 100 may be performed in the state in which the concave-convex portions have been provided in the semiconductor substrate 100 as described above.

[00253] In the tunnel layer forming step S1, for example, as shown in FIG. 13B, the tunnel layer 160 may be generally formed on one surface and the other surface of the semiconductor substrate 100. In this instance, the tunnel layer 160 may also be generally formed on the side of the semiconductor substrate 100.

[00254] If the tunnel layer 160 is generally formed on the surfaces of the semiconductor substrate 100 as described above, the tunnel layer 160 formed on the other surface (i.e., the front surface) and side of the semiconductor substrate 100 may be removed in the removing step S4.

[00255] If the tunnel layer 160 is formed on only one surface of the semiconductor substrate 100, the removing step S4 may be omitted.

[00256] In this instance, the tunnel layer 160 may be formed by thermal oxidation, chemical oxidation, or deposition (e.g., an atmospheric pressure chemical vapor deposition (APCVD) method or a low-pressure chemical vapor deposition (LPCVD) method), for example. Additionally, after the tunnel layer 160 having a thin thickness is formed, the thickness or density of the tunnel layer 160 may be increased by subsequent thermal treatment within a furnace.

[00257] However, the present invention is not limited to such methods. The tunnel layer 160 may be formed by various other methods. In this instance, the tunnel layer 160 may be formed of a silicon oxide layer.

[00258] For example, in the present embodiment, the tunnel layer 160 may be formed in a gas atmosphere, including a source gas, at a temperature higher than normal temperature and pressure smaller than atmospheric pressure. In the present embodiment, the source gas includes an oxygen gas, and thus the tunnel layer 160 may be formed of an oxide layer.

[00259] More specifically, at a high temperature, the tunnel layer 160 may be formed of a thermal oxide (e.g., thermal silicon oxide) layer formed by a reaction of oxygen and the semiconductor material (e.g., silicon) of the semiconductor substrate 100.

[00260] In the present embodiment, the source gas does not include all source materials forming the tunnel layer 160, but may include only an oxygen gas of the oxide forming the tunnel layer 160 and may not include other source materials.

Petitioner Runergy USA Inc., Ex. 1002, p. 61

[00261] For example, if the tunnel layer 160 includes silicon oxide, it includes only an oxygen gas as the source gas, but does not include a gas including silicon, that is, other source material. Accordingly, the tunnel layer 160 may be formed by a thermal oxidation process in which oxygen included in the oxygen gas is diffused into the semiconductor substrate 100 and reacts with the semiconductor material.

[00262] In some embodiments, in a deposition process, a silane (SiH_4) gas including silicon, together with an oxygen gas including oxygen, may be supplied as the source gas. In this instance, oxygen separated from the oxygen gas may chemically react with silicon separated from the silane gas by thermal decomposition, thereby being capable of forming silicon oxide. When the tunnel layer 160 is formed, a gas atmosphere may include various gases in addition to the oxygen gas, that is, the source gas.

[00263] Furthermore, pressure when the tunnel layer 160 is formed may be lower than atmospheric pressure. In this instance, although the tunnel layer 160 is formed by a thermal oxidation process using a relatively high temperature (e.g., 600°C or more), the tunnel layer 160 can maintain low growth speed due to the low pressure. Accordingly, the thickness of the tunnel layer 160 can be significantly reduced.

[00264] For example, when the tunnel layer 160 is formed, a temperature may be set to 600°C to 800°C and pressure may be set to 600 Torr or less in order to effectively control the thickness of the tunnel layer 160.

[00265] As described above, in the present embodiment, when the tunnel layer 160 is formed, both the temperature and pressure need to be controlled. Accordingly, the tunnel layer 160 according to the present embodiment may not be formed in a conventional furnace whose pressure cannot be controlled, and the tunnel layer 160 has to be formed in an apparatus whose temperature and pressure can be controlled.

[00266] Accordingly, in the present embodiment, the tunnel layer 160 may be formed by a thermal oxidation process within deposition apparatus. In this instance, since low pressure needs to be implemented, the tunnel layer 160 may be formed in a low-pressure chemical vapor deposition apparatus.

[00267] An intrinsic semiconductor layer 170' formed on the tunnel layer 160 is formed by a deposition apparatus. Accordingly, if the tunnel layer 160 is formed in the deposition apparatus, the tunnel layer 160 and the intrinsic semiconductor layer 170' can be formed by an in-situ process for consecutively forming the tunnel layer 160 and the intrinsic semiconductor layer 170' in the same deposition apparatus (more specifically, a low-pressure chemical vapor deposition apparatus).

Petitioner Runergy USA Inc., Ex. 1002, p. 62

[00268] If the tunnel layer 160 and the intrinsic semiconductor layer 170' are formed by an in-situ process as described above, a manufacturing cost and a manufacturing time can be significantly reduced because the manufacturing process is significantly simplified.

[00269] A temperature within the deposition apparatus is controlled by applying heat (e.g., heating) or removing heat (e.g., cooling) for a long time, and a lot of time is taken to stabilize the temperature. In contrast, a gas atmosphere and pressure may be controlled by the type and amount of gas supplied to the deposition apparatus. Accordingly, a gas atmosphere and pressure can be more easily controlled than a temperature.

[00270] In the present embodiment, a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' may be set to 200°C or less (i.e., 0°C to 200°C). More specifically, a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' may be set to 100°C or less (i.e., 0°C to 100°C).

[00271] The reason for this is that a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' can be reduced because the tunnel layer 160 is formed at low pressure and thus the temperature at which the tunnel layer 160 is formed can be relatively raised. Accordingly, efficiency of the in-situ process of consecutively forming the tunnel layer 160 and the intrinsic semiconductor layer 170' can be further improved because a temperature that is relatively difficult to control can be maintained without a great change or variance as described above.

[00272] In contrast, a gas atmosphere in the process of depositing the intrinsic semiconductor layer 170' may be different from a gas atmosphere when the tunnel layer 160 is formed, and pressure in the process of depositing the intrinsic semiconductor layer 170' may be the same as or different from pressure when the tunnel layer 160 is formed. This is described in more detail later in a subsequent description of the deposition process of the intrinsic semiconductor layer 170'.

[00273] After the tunnel layer forming step S1 is completed as described above, the intrinsic semiconductor layer forming step S2 for forming the intrinsic semiconductor layer 170' on the tunnel layer 160 formed on one surface of the semiconductor substrate 100 may be performed as shown in FIG. 12.

[00274] For example, as shown in FIG. 13C, in the intrinsic semiconductor layer forming

Petitioner Runergy USA Inc., Ex. 1002, p. 63

step S2, the intrinsic semiconductor layer 170' may be generally formed on the tunnel layer 160 formed on one surface and the other surface of the semiconductor substrate 100. In this instance, the intrinsic semiconductor layer 170' may also be generally formed on the tunnel layer 160 placed on the side of the semiconductor substrate 100.

[00275] If the intrinsic semiconductor layer 170' is placed on both sides of the semiconductor substrate 100 as described above, the doping and damage of the front surface of the semiconductor substrate 100 can be effectively prevented in the process of doping the intrinsic semiconductor layer 170' in order to form the first conductive type semiconductor region 170.

[00276] In the present embodiment, the intrinsic semiconductor layer 170' may be formed by chemical vapor deposition. More specifically, the intrinsic semiconductor layer 170' may be formed by low-pressure chemical vapor deposition.

[00277] Accordingly, the intrinsic semiconductor layer 170' may be formed by the tunnel layer 160 and the in-situ process as described above, but the present invention is not limited thereto. The in-situ process may not be applied to the tunnel layer 160 and the intrinsic semiconductor layer 170'.

[00278] A gas used in the process of depositing the intrinsic semiconductor layer 170' may include a gas (e.g., a silane gas) including a semiconductor material which forms the intrinsic semiconductor layer 170'. In the present embodiment, since the intrinsic semiconductor layer 170' is deposited so that the gas atmosphere has the intrinsic property, the gas atmosphere may include only the gas including the semiconductor material.

[00279] Accordingly, a supply gas can be simplified, and the purity of the formed intrinsic semiconductor layer 170' can be improved, but the present invention is not limited thereto. A separate gas for accelerating the deposition process of the intrinsic semiconductor layer 170' or improving the characteristics of the intrinsic semiconductor layer 170' may be further used.

[00280] Furthermore, in the deposition process of the intrinsic semiconductor layer 170', the size of a crystal grain and crystallizability may be controlled by injecting the gas, including the semiconductor material, along with a nitrogen oxide (N_2O) gas and/or an oxygen (O_2) gas.

[00281] The deposition temperature of the intrinsic semiconductor layer 170' may be the same as or lower than a temperature when the tunnel layer 160 is formed. In particular, if the deposition temperature of the intrinsic semiconductor layer 170' is lower than a temperature when the tunnel layer 160 is formed, a characteristic of the intrinsic

Petitioner Runergy USA Inc., Ex. 1002, p. 64

semiconductor layer 170' which directly takes part in photoelectric conversion can become uniform.

[00282] In some embodiments, the deposition temperature of the intrinsic semiconductor layer 170' may be 500°C to 700°C. Such a deposition temperature is suitable for depositing the intrinsic semiconductor layer 170' having a crystal structure different from that of the semiconductor substrate 100.

[00283] The temperature of the tunnel layer 160 is set to be the same as or similar to the deposition temperature of the intrinsic semiconductor layer 170' as described above. Accordingly, the process can be simplified because the time taken to control a temperature and the time taken to stabilize a temperature are not required.

[00284] Furthermore, deposition pressure of the intrinsic semiconductor layer 170' may be lower than atmospheric pressure, for example, 600 Torr or less (e.g., 1 Torr to 600 Torr). To maintain the deposition pressure less than 1 Torr may be limited on the nature of the process, and the deposition pressure of less than 1 Torr may be difficult to apply to actual mass production because the process time of the intrinsic semiconductor layer 170' is greatly increased.

[00285] If the deposition pressure exceeds 600 Torr, the uniformity of the intrinsic semiconductor layer 170' may be deteriorated. In some embodiments, the deposition pressure of the intrinsic semiconductor layer 170' may be the same as or smaller than pressure when the tunnel layer 160 is formed.

[00286] In particular, if the deposition pressure of the intrinsic semiconductor layer 170' is smaller than pressure when the tunnel layer 160 is formed, a characteristic of the intrinsic semiconductor layer 170' which directly takes part in photoelectric conversion can become uniform.

[00287] This is described in more detail. A gas including a semiconductor material (e.g., silicon) is thermally decomposed and the semiconductor material is deposited on the tunnel layer 160, thereby being capable of forming the intrinsic semiconductor layer 170'.

[00288] If a temperature and/or pressure of the intrinsic semiconductor layer 170' are increased in order to increase deposition speed, the distribution of crystallizability within the intrinsic semiconductor layer 170' is increased. If the distribution of crystallizability within the intrinsic semiconductor layer 170' is increased, the characteristics of the intrinsic semiconductor layer 170' may not become uniform because the crystallizability of the intrinsic semiconductor layer 170' takes part in moving speed of carriers.

[00289] In contrast, the tunnel layer 160 is formed in a very thin thickness, and the

Petitioner Runergy USA Inc., Ex. 1002, p. 65

crystallizability of the tunnel layer 160 does not have an influence on the characteristics of the tunnel layer 160. Although the intrinsic semiconductor layer 170' needs to be formed in a thicker thickness than the tunnel layer 160, the deposition temperature and/or pressure of the intrinsic semiconductor layer 170' are set to be smaller than those when the tunnel layer 160 is formed in order to improve the characteristics of the intrinsic semiconductor layer 170'.

[00290] However, the present invention is not limited to such an example. A gas atmosphere, temperature, and pressure of the intrinsic semiconductor layer 170' may be changed in various ways.

[00291] As described above, the intrinsic semiconductor layer 170' may be formed by changing the type of gas supplied after the tunnel layer 160 is formed and controlling the amount of a supplied gas.

[00292] For example, the intrinsic semiconductor layer 170' may be formed by removing a gas (e.g., an oxygen gas, a nitrogen gas, or a chlorine gas), used when the tunnel layer 160 is formed after the tunnel layer 160 is formed, by pumping and purging, and then injecting a gas (e.g., a gas including a semiconductor material) for forming the intrinsic semiconductor layer 170'.

[00293] Accordingly, the process of forming the tunnel layer 160 and the intrinsic semiconductor layer 170' can be simplified. Furthermore, if the semiconductor substrate 100 on which the tunnel layer 160 has been formed is taken out from an apparatus after the tunnel layer 160 is formed as in a prior art, there is a problem in that the tunnel layer 160 is contaminated by impurities or the thickness of the tunnel layer 160 is increased due to an additional oxidation.

[00294] In the present embodiment, the tunnel layer 160 is not externally exposed until the intrinsic semiconductor layer 170' is formed because the intrinsic semiconductor layer 170' is consecutively formed in an apparatus in which the tunnel layer 160 has been formed. Accordingly, a problem occurring because the tunnel layer 160 is externally exposed before the intrinsic semiconductor layer 170' is formed can be prevented.

[00295] For reference, if plasma-enhanced chemical vapor deposition (PECVD) is used, a separate crystallization annealing process needs to be performed so that the intrinsic semiconductor layer 170' has a polycrystalline structure after it is formed. Accordingly, the structure becomes complicated, and performance may be deteriorated. Furthermore, since PECVD is a one-sided process, it may be difficult to generally form the intrinsic semiconductor layer 170' on both sides of the semiconductor substrate 100.

[00296] Thereafter, as shown in FIG. 12, the first conductive type semiconductor region

Petitioner Runergy USA Inc., Ex. 1002, p. 66

forming step S3 may be performed.

[00297] In the first conductive type semiconductor region forming step S3, the first conductive type semiconductor region 170 may be formed by doping impurities of the first conductive type into the intrinsic semiconductor layer 170' formed on one surface of the semiconductor substrate 100.

[00298] More specifically, in the first conductive type semiconductor region forming step S3, as shown in FIG. 13D, a first conductive type semiconductor region 170'a may be formed on the entire surface of the semiconductor substrate 100 by doping impurities of the first conductive type into the intrinsic semiconductor layer 170' formed on the entire surface of the semiconductor substrate 100.

[00299] In this instance, in the present embodiment, the impurities of the first conductive type may be doped using a thermal diffusion method. The reason for this is that the thermal diffusion method is capable of doping while minimizing the deterioration of the characteristics of the tunnel layer 160. In contrast, if an ion implantation method is used, the characteristics of the tunnel layer 160 may be deteriorated due to activation thermal treatment performed at high temperature after ion implantation.

[00300] For example, as shown in FIG. 13D, the first conductive type semiconductor region 170'a may be generally formed by thermal treatment in a gas atmosphere including the impurities of the first conductive type.

[00301] If the first conductive type semiconductor region 170'a has an n type, thermal treatment may be performed in a gas atmosphere including $POCl_3$. If the first conductive type semiconductor region 170'a has a p type, thermal treatment may be performed in a gas atmosphere including BBr_3.

[00302] The process of forming the first conductive type semiconductor region 170'a can be simplified using a gas including the impurities of the first conductive type as described above. In this instance, doping may be performed on the front surface and side of the semiconductor substrate 100 in addition to the back surface of the semiconductor substrate 100 due to such a process.

[00303] In the present embodiment, since portions of the intrinsic semiconductor layer 170' to be removed in a subsequent process are present on the front surface and side of the semiconductor substrate 100, a problem in that the front surface and side of the semiconductor substrate 100 are unnecessarily doped with the impurities of the first conductive type can be fundamentally prevented.

[00304] In an alternative embodiment, that is, a modified example, as shown in FIG. 14, the

Petitioner Runergy USA Inc., Ex. 1002, p. 67

first conductive type semiconductor region 170'a may be formed by forming a first doping layer 210, including impurities of the first conductive type, on the intrinsic semiconductor layer 170' placed at least on the back surface side of the semiconductor substrate 100 and diffusing the impurities of the first conductive type included in the first doping layer 210 through thermal treatment.

[00305] For example, the first doping layer 210 may include phosphorous silicate glass (PSG) or boron silicate glass (BSG). The first doping layer 210 may be easily formed by deposition.

[00306] For example, the first doping layer 210 may be formed by atmospheric pressure chemical vapor deposition and may be formed on the back surface and/or side of the semiconductor substrate 100, but may not be formed on the front surface of the semiconductor substrate 100. Accordingly, the first conductive type semiconductor region 170'a may be formed on only the back surface and/or side of the semiconductor substrate 100, and the intrinsic semiconductor layer 170' may remain intact on the front surface of the semiconductor substrate 100.

[00307] Next, as shown in FIG. 13E, a mask layer 202 may be formed on the first conductive type semiconductor region 170'a placed on the back surface side of the semiconductor substrate 100 so that the mask layer 202 corresponds to the first conductive type semiconductor region (170 in FIG. 13F) to be left other than the isolation portion (I in FIG. 13F, hereinafter the same).

[00308] More specifically, the area of the mask layer 202 may be smaller than that of the semiconductor substrate 100. Accordingly, the first conductive type semiconductor region (170 in FIG. 13F) that remains other than the isolation portion I may have a smaller area than the semiconductor substrate 100 by removing an unwanted portion of the first conductive type semiconductor region 170'a.

[00309] For example, the mask layer 202 may be spaced apart from each side (or the edge) of the semiconductor substrate 100 at a specific second distance D2. If the area of the mask layer 202 is the same as or greater than the area of the semiconductor substrate 100, it may be difficult to effectively remove the unwanted portion of the first conductive type semiconductor region 170'a which is adjacent to the side of the semiconductor substrate 100 on the back surface side of the semiconductor substrate 100.

[00310] The second distance D2 may be controlled so that the first distance D1 between the first conductive type semiconductor region 170'a and the edge of the back surface of the semiconductor substrate 100 has a required value. For example, the second distance D2

Petitioner Runergy USA Inc., Ex. 1002, p. 68

may have a value of 1 mm or less (e.g., 1 nm to 1 mm) so that the first distance D1 has a value of 1 mm or less (e.g., 1 nm to 1 mm), but the present invention is not limited thereto. The second distance D2 may have values other than 1 mm or less.

[00311] The mask layer 202 may include a material which is not removed in the process of removing part (i.e., the edge D2 of the other surface, side, or one surface of the semiconductor substrate 100) of the first conductive type semiconductor region 170'a including the semiconductor material.

[00312] For example, the mask layer 202 not etched by an etch solution which is used in the process of removing part of the first conductive type semiconductor region 170'a may include oxide, nitride, or resin. For example, the mask layer 202 may be formed of a silicon nitride layer so that the mask layer 202 is formed by a simple process.

[00313] As shown in FIG. 12, the removing step S4 may be performed prior to the second conductive type semiconductor region forming step S5 after the first conductive type semiconductor region forming step S3.

[00314] In the removing step S4, for example, the tunnel layer 160 and the intrinsic semiconductor layer 170' or the first conductive type semiconductor region 170'a placed on the other surface of the semiconductor substrate 100 in FIG. 13E may be removed.

[00315] Furthermore, in the removing step S4, portions of the first conductive type semiconductor region 170'a and the tunnel layer 160 not covered by the mask layer 202 in FIG. 13E may be removed, so the isolation portion I may be formed.

[00316] The tunnel layer 160 and the first conductive type semiconductor region 170'a are moved as described above, so the tunnel layer 160 and the first conductive type semiconductor region 170, such as those shown in FIG. 13F, may be formed.

[00317] In the removing step S4, wet etch using an alkali solution (e.g., a KOH solution), for example, may be performed on the first conductive type semiconductor region 170'a and the tunnel layer 160.

[00318] In accordance with such wet etch, the first conductive type semiconductor region 170'a and the tunnel layer 160 placed in the isolation portion I on the front surface, side, or back surface of the semiconductor substrate 100 can be removed by a simple and easy process.

[00319] The first conductive type semiconductor region 170'a may be removed selectively and easily using the alkali solution. The tunnel layer 160 having a very small thickness, albeit being an oxide, may also be removed when the first conductive type semiconductor region 170'a is removed.

Petitioner Runergy USA Inc., Ex. 1002, p. 69

[00320] Accordingly, as shown in FIG. 13F, the first conductive type semiconductor region 170 and the tunnel layer 160 each formed to have a smaller area than the semiconductor substrate 100 and spaced apart from the edge of the back surface of the semiconductor substrate 100 at the first distance D1 may be formed.

[00321] The first conductive type semiconductor region 170 and the tunnel layer 160 may have a shape having an area reduced as they become distant from the semiconductor substrate 100 and the sides thereof may be formed to be rounded by the wet etch.

[00322] However, the present invention is not limited to the above description. Part of the first conductive type semiconductor region 170 and the tunnel layer 160 may be removed by various methods, such as RIE and dry etch, and the first conductive type semiconductor region 170 and the tunnel layer 160 may have a different shape.

[00323] The mask layer 202 may be removed after part of the first conductive type semiconductor region 170 and the tunnel layer 160 is removed so that the isolation portion I is formed. The mask layer 202 may be removed by various methods depending on a material.

[00324] For example, if the mask layer 202 includes an oxide or a nitride, it may be removed by a process using diluted hydrofluoric acid. The mask layer 202 may be removed by a separate process or may be naturally removed by a cleaning process including a solution including diluted hydrofluoric acid.

[00325] After the removing step S4 is performed as described above, as shown in FIG. 12, the second conductive type semiconductor region forming step S5 for forming the second conductive type semiconductor region 120 by doping impurities of the second conductive type on the other surface of the semiconductor substrate 100 may be performed.

[00326] More specifically, as shown in FIG. 13G, in the second conductive type semiconductor region forming step S5, the second conductive type semiconductor region 120 may be formed by doping impurities of the second conductive type on the front surface side of the semiconductor substrate 100.

[00327] The second conductive type semiconductor region 120 may be formed by known various methods. For example, the second conductive type semiconductor region 120 may be formed by a thermal diffusion method. The reason for this is that the thermal diffusion method is capable of doping while minimizing the deterioration of the characteristics of the tunnel layer 160. In contrast, if an ion implantation method is used, the characteristics of the tunnel layer 160 may be deteriorated due to activation thermal treatment performed at high temperature after ion implantation.

Petitioner Runergy USA Inc., Ex. 1002, p. 70

[00328] If the thermal diffusion method is used, in the second conductive type semiconductor region forming step S5, as shown in FIG. 13G, the second conductive type semiconductor region 120 may be formed on the front surface of the semiconductor substrate 100 by forming a capping film 204 on the side and back surface of the semiconductor substrate 100 and performing thermal treatment in a gas atmosphere including impurities of the second conductive type.

[00329] If the second conductive type semiconductor region 120 has a p type, the thermal treatment may be performed in a gas atmosphere including BBr_3. If the second conductive type semiconductor region 120 has an n type, the thermal treatment may be performed in a gas atmosphere including $POCl_3$. After the second conductive type semiconductor region 120 is formed through such thermal treatment, the capping film 204 may be removed. Various films capable of preventing the doping of the impurities of the second conductive type may be used as the capping film 204. The capping film 204 may be removed by a removing method depending on a material.

[00330] In the second conductive type semiconductor region forming step S5, for another example, as shown in FIG. 15, the second conductive type semiconductor region 120 may be formed by forming a second doping layer 310, including impurities of the second conductive type, on the front surface of the semiconductor substrate 100 and diffusing the impurities of the second conductive type, included in the second doping layer 310, into the semiconductor substrate 100 through thermal treatment.

[00331] The second doping layer 310 may include boron silicate glass (BSG) or phosphorous silicate glass (PSG). The second doping layer 310 may be easily formed by deposition. In this instance, the second doping layer 310 may be formed by atmospheric pressure chemical vapor deposition and may not be formed on the back surface of the semiconductor substrate 100.

[00332] Thereafter, as shown in FIG. 12, the anti-reflection layer and second passivation film forming step S6 may be performed.

[00333] In the anti-reflection layer and second passivation film forming step S6, the second passivation film 190B and the anti-reflection layer 130 may be sequentially formed on the second conductive type semiconductor region 120.

[00334] In the anti-reflection layer and second passivation film forming step S6, for example, as shown in FIG. 13H, the second passivation film 190B and the anti-reflection layer 130 may be sequentially formed on the side of the semiconductor substrate 100 in addition to the front surface of the second conductive type semiconductor region 120.

Petitioner Runergy USA Inc., Ex. 1002, p. 71

[00335] The second passivation film 190B or the anti-reflection layer 130 may be formed by various methods, such as a vacuum deposition method, a chemical vapor deposition method, spin coating, screen printing, or spray coating.

[00336] If one-sided deposition, such as plasma-enhanced chemical vapor deposition (PECVD), is used when the second passivation film 190B or the anti-reflection layer 130 is formed, the second passivation film 190B or the anti-reflection layer 130 may be formed on only the front surface and/or side of the semiconductor substrate 100. Accordingly, a separate patterning process for the second passivation film 190B or the anti-reflection layer 130 is not required.

[00337] Thereafter, as shown in FIG. 12, the first passivation film forming step S7 for forming the first passivation film 190A on the first conductive type semiconductor region 170 may be performed.

[00338] For example, as shown in FIG. 13I, the first passivation film 190A may be formed on the first conductive type semiconductor region 170 placed on the back surface side of the semiconductor substrate 100, the isolation portion I placed in the edge of the back surface of the semiconductor substrate 100, and the second passivation film 190B and the anti-reflection layer 130 placed on the side of the semiconductor substrate 100.

[00339] Accordingly, after edge isolation according to the isolation portion I is performed, the isolation portion I may also be passivated while the first passivation film 190A is formed without a separate process.

[00340] The first passivation film 190A may be formed by various methods, such as a vacuum deposition method, a chemical vapor deposition method, spin coating, screen printing, or spray coating.

[00341] If one-sided deposition, such as plasma-enhanced chemical vapor deposition (PECVD), is used when the first passivation film 190A or the anti-reflection layer 130 is formed, the first passivation film 190A may be formed on only the back surface and/or side of the semiconductor substrate 100. Accordingly, a separate patterning process for the first passivation film 190A is not required.

[00342] In the present embodiment, an example in which the second passivation film 190B covering the front surface side of the semiconductor substrate 100 is first formed and the first passivation film 190A covering the back surface side of the semiconductor substrate 100 is then formed has been described.

[00343] In this instance, the characteristics of the first conductive type semiconductor region 170 can be prevented from being deteriorated or damaged in the process of forming

Petitioner Runergy USA Inc., Ex. 1002, p. 72

the first passivation film 190A. The reason for this is that the characteristics of the first conductive type semiconductor region 170 may be very important, in particular, if the first conductive type semiconductor region 170 is an emitter region.

[00344] However, the present invention is not limited to the example. For example, after the first passivation film 190A covering the back surface side of the semiconductor substrate 100 is formed, the second passivation film 190B covering the front surface side of the semiconductor substrate 100 may be formed.

[00345] In this instance, the first passivation film 190A covering the back surface side of the semiconductor substrate 100 may be placed on (e.g., brought into contact with) the side of the semiconductor substrate 100, and the second passivation film 190B covering the front surface side of the semiconductor substrate 100 may be placed on (e.g., brought into contact with) on the first passivation film 190A.

[00346] After the first passivation film 190A is formed as described above, as shown in FIGS. 12 and 13J, the electrode forming step S8 for forming the first electrode 150 connected to the first conductive type semiconductor region 170 and the second electrode 140 connected to the second conductive type semiconductor region 120 may be performed.

[00347] The electrode forming step S8 may include the step (operation) of forming the opening portion 102 in the first passivation film 190A. Accordingly, in the electrode forming step S8, the first and the second opening portions 102 and 104 may be formed in the first and the second passivation films 190A and 190B by a patterning process, for example. Next, the first and the second electrodes 150 and 140 may be formed while the first and the second opening portions 102 and 104 are filled with metal for forming the first and the second electrodes 150 and 140.

[00348] In this instance, the first and the second opening portions 102 and 104 may be formed by laser ablation using a laser or various methods using an etch solution, an etch paste, and a photo process. Furthermore, the first and the second electrodes 150 and 140 may be formed by various methods, such as a plating method or a deposition method.

[00349] Accordingly, the isolation portion I can be formed by a simple process, and a problem attributable to surface recombination can be prevented by passivating the isolation portion I using the first passivation film 190A. Accordingly, productivity can be improved because a defective ratio of solar cells is reduced through a simple process.

[00350] In some embodiments, in the electrode forming step S8, the first and the second electrodes 150 and 140 may be formed by coating pastes for forming the first and the second electrodes 150 and 140 on the first and the second passivation films 190A and 190B using

Petitioner Runergy USA Inc., Ex. 1002, p. 73

screen printing and then using a thermal treatment method, such as fire through or laser firing contact (or laser firing contact).

[00351] If the first electrode and the second electrode are formed using a printing method and a thermal treatment method as described above, the first and the second opening portions 102 and 104 are naturally formed when the first and the second electrodes 150 and 140 are formed. Accordingly, the manufacturing process can be further simplified because a separate process for forming the first and the second opening portions 102 and 104 is not required.

[00352] An example in which the first electrode and the second electrode are formed using a printing method and a thermal treatment method as described above is described in more detail below.

[00353] FIG. 16 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a second embodiment of the present invention. FIG. 17 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a third embodiment of the present invention.

[00354] The remaining steps (operations) of FIGS. 16 and 17 other than a first electrode forming step are the same as those of FIGS. 12 and 13A to 15, and thus different portions are chiefly described.

[00355] Accordingly, as in the manufacturing method of the first embodiment, each of the methods for manufacturing a solar cell according to the second embodiment and third embodiment of the present invention may include the tunnel layer forming step S1, the intrinsic semiconductor layer forming step S2, the first conductive type semiconductor region forming step S3, the removing step S4, the second conductive type semiconductor region forming step S5, the anti-reflection layer and second passivation film forming step S6, the first passivation film forming step S7, and the electrode forming step S8.

[00356] The remaining steps (operations) other than the electrode forming step S8 may be the same as those of the first embodiment, and thus a description thereof is omitted.

[00357] In the second embodiment or the third embodiment, the electrode forming step S8 may include the step of forming the first electrode and the step of forming the second electrode. In this instance, the step of forming the second electrode may be the same as that of the method for manufacturing a solar cell according to the first embodiment of the present invention, or the first electrode forming step S8 according to the second embodiment or the third embodiment may be applied to the step of forming the second electrode without a change. Accordingly, in an embodiment of the present invention, a detailed description of

Petitioner Runergy USA Inc., Ex. 1002, p. 74

the method for forming the second electrode is omitted because it is not specially limited.

[00358] The step of forming the first electrode in the second embodiment or the third embodiment is described in detail because it is different from that in the first embodiment.

[00359] In the method for manufacturing a solar cell according to the second embodiment or the third embodiment, the first electrode forming step S8 may include a process for printing a paste for the first finger electrodes for forming the first finger electrodes and a paste for the first bus bar for forming the first bus bar on the first passivation film 190A and a thermal treatment process.

[00360] In the thermal treatment process, the paste for the first finger electrodes and the paste for the first bus bar may perforate the first passivation film and may be connected to the first conductive type semiconductor region. Accordingly, the step of forming the opening portion in the first passivation film may be performed during the thermal treatment process of the electrode forming step.

[00361] More specifically, in the method for manufacturing a solar cell according to the second embodiment of the present invention, a first electrode forming step S8A may include a process S8A1 for printing the paste for the first finger electrodes and the paste for the first bus bar on the first passivation film 190A through a single printing process and a thermal treatment process S8A2.

[00362] In this instance, a material included in the paste for the first finger electrodes for forming the first finger electrodes 151 and a material included in the paste for the first bus bar for forming the first bus bar 153 may be the same.

[00363] Thereafter, the paste for the first finger electrodes and the paste for the first bus bar perforate the first passivation film 190A and are connected to the first conductive type semiconductor region 170 through the thermal treatment process. Accordingly, the paste for the first finger electrodes and the paste for the first bus bar may be partially depressed into the first conductive type semiconductor region 170 and then fired, thereby forming the first finger electrodes 151 and the first bus bar 153, such as those shown in FIG. 5.

[00364] Furthermore, during the thermal treatment process, metal may be extracted from the paste for the first finger electrodes and the paste for the first bus bar and recrystallized. Accordingly, the metal crystals MC may be formed in the electrode forming region 170A of the first conductive type semiconductor region 170.

[00365] In this instance, the highest temperature of the thermal treatment process may be between 700°C to 900°C, more specifically, between 795°C to 870°C.

[00366] If the highest temperature of the thermal treatment process is 795°C or more, the

Petitioner Runergy USA Inc., Ex. 1002, p. 75

paste for the first finger electrodes and the paste for the first bus bar can perforate the first passivation film 190A and can be connected to the first conductive type semiconductor region 170.

[00367] If the highest temperature of the thermal treatment process is 870°C or less, the metal crystals MC recrystallized when metal is extracted from the paste for the first finger electrodes and the paste for the first bus bar can be prevented from penetrating the tunnel layer 160.

[00368] Furthermore, in the method for forming a solar cell according to the third embodiment of the present invention, a first electrode forming step S8B may include a process S8B1 for printing the paste for the first finger electrodes on the first passivation film 190A in order to form the first finger electrodes 151, a process S8B2 for printing the paste for the first bus bar having a material different from the material of the paste for the first finger electrodes on the first passivation film 190A in order to form the first bus bar 153, and a thermal treatment process S8B3, as shown in FIG. 17.

[00369] In FIG. 17, the process S8B1 for printing the paste for the first finger electrodes has been illustrated as being first performed and the process S8B2 for printing the paste for the first bus bar has been illustrated as being then performed, but sequence of the two processes may be reversed.

[00370] As described above, the first finger electrodes 151 and the first bus bar 153, such as those shown in FIG. 9, may be formed through the first electrode forming step S8, such as that shown in FIG. 17.

[00371] As described above, in the method for forming a solar cell according to the third embodiment of the present invention, the paste for the first finger electrodes and the paste for the first bus bar may be performed by the separate printing processes S8B1 and S8B12.

[00372] Furthermore, in this instance, a material included in the paste for the first finger electrodes and a material included in the paste for the first bus bar may be different.

[00373] More specifically, content of frit glass per unit volume which is included in the paste for the first bus bar may be smaller than content of frit glass per unit volume which is included in the paste for the first finger electrodes, or frit glass may not be included in the paste for the first bus bar.

[00374] The reason for this is that while the paste for the second finger electrodes perforates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170 in the thermal treatment process for forming the first electrode 150, the paste for the first bus bar perforates the first passivation film 190A, but is rarely

Petitioner Runergy USA Inc., Ex. 1002, p. 76

depressed into the first conductive type semiconductor region 170 although it is connected to the first conductive type semiconductor region 170 or the paste for the first bus bar does not perforate the first passivation film 190A.

[00375] In this instance, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170, and the semiconductor substrate 100 can be prevented from being deteriorated.

[00376] Furthermore, content of frit glass per unit volume which is included in the plurality of first finger electrodes 151 may be the same as content of frit glass per unit volume which is included in the second electrode 140.

[00377] After the paste for the second electrode is coated, the second electrode 140 may also perforate the anti-reflection layer 130 and may be connected to the second conductive type semiconductor region 120. If content of frit glass per unit volume which is included in the paste for the second finger electrodes is the same as that included in the second electrode 140, speed at which the paste for the second electrode perforates the anti-reflection layer 130 and is depressed into the second conductive type semiconductor region 120 and speed at which the paste for the second finger electrodes perforates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170 in the same thermal treatment process may become approximately the same.

[00378] Accordingly, temperatures in the thermal treatment processes for forming the second electrode 140 and the first electrode 150 may become the same, and speed at which the first finger electrodes 151 are depressed into the first conductive type semiconductor region 170 can be limited.

[00379] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be greater than content of a metal material per unit volume which is included in the plurality of first bus bars 153.

[00380] For example, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be 80 wt% or more to 95 wt% or less. Content of a metal material per unit volume which is included in the plurality of first bus bars 153 may be 60 wt% or more 80 wt% or less.

[00381] If content of a metal material per unit volume which is included in the first finger electrodes 151 is 80 wt% or more 95 wt% or less as described above, the metal crystals MC can be sufficiently formed as described above with reference to FIG. 6 and resistance of the first finger electrodes 151 having relatively narrow widths can be sufficiently lowered in the state in which the paste for the second finger electrodes has perforated the first passivation

Petitioner Runergy USA Inc., Ex. 1002, p. 77

film 190A and is depressed into the first conductive type semiconductor region 170.

[00382] Furthermore, if content of a metal material per unit volume which is included in the first bus bar 153 is 60 wt% or more 80 wt% or less, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 due to the metal material included in the paste for the first bus bars although part of the paste for the first bus bars perforates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, or the metal crystals MC may not be formed in the tunnel layer 160 as described above with reference to FIG. 7 although the metal crystals MC are formed in the bus bar forming region 170A2.

[00383] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be the same as content of a metal material per unit volume which is included in the second electrode 140.

[00384] If the first finger electrodes 151 and the first bus bar 153 having different materials are formed as described above, the deterioration of the semiconductor substrate 100 can be prevented, and the deterioration of efficiency of the solar cell can be further prevented.

[00385] As described above, the deterioration of the semiconductor substrate 100 may be generated during the thermal treatment process for forming the first electrode 150. If a temperature in the thermal treatment process is too low, the deterioration of efficiency of the solar cell can be prevented because contact resistance of the first electrode 150 is excessively increased.

[00386] The embodiments of the present invention have been described in detail above, but the scope of the present invention is not limited thereto. The scope of the present invention also includes a variety of modifications and changes which are defined in the appended claims and which will be performed by those skilled in the art using the basic concept of the present invention.

Petitioner Runergy USA Inc., Ex. 1002, p. 78

WHAT IS CLAIMED IS:

1. A solar cell, comprising:

a silicon semiconductor substrate having a first conductive type;

a oxide layer on a first surface of the silicon semiconductor substrate;

a polysilicon layer on the oxide layer and having the first conductive type;

an emitter region at a second surface of the silicon semiconductor substrate opposite to the first surface and having a second conductive type opposite to the first conductive type;

a first passivation film on the polysilicon layer;

a first electrode connected to the polysilicon layer through an opening formed in the first passivation film;

a second passivation film on the emitter region; and

a second electrode connected to the emitter region through an opening formed in the second passivation film.

2. The solar cell of claim 1, wherein the first electrode comprises a plurality of first finger electrodes spaced apart from each other and extended in parallel in a first direction, and

the second electrode comprises a plurality of second finger electrodes spaced apart from each other and extended in parallel in the first direction.

3. The solar cell of claim 2, wherein the first electrode further comprises a first bus bar connected to the plurality of first finger electrodes, and

the second electrode further comprises a second bus bar connected to the plurality of second finger electrodes.

4. The solar cell of claim 1, wherein the silicon semiconductor substrate is single-crystal silicon semiconductor substrate.

Petitioner Runergy USA Inc., Ex. 1002, p. 79

5. The solar cell of claim 1, wherein the emitter region is formed by diffusing the impurities of the second conductive type into the second surface of the semiconductor substrate.

6. The solar cell of claim 1, further comprising an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region,

wherein the isolation portion is formed on at least one of the first surface, a side surface, or the second surface of the silicon semiconductor substrate.

7. The solar cell of claim 5, wherein the isolation portion excludes the tunnel layer and the first conductive type semiconductor region, and is in an edge portion of the first surface of the silicon semiconductor substrate, and

the first passivation film covers the first surface of the silicon semiconductor substrate and the isolation portion together.

8. The solar cell of claim 6, wherein a width of the isolation portion is 1 nm to 1 mm.

9. The solar cell of claim 6, wherein a thickness of the edge region in the first conductive type semiconductor region progressively decreases toward the isolation portion.

10. The solar cell of claim 1, wherein the first passivation film comprises a side portion extending up a side surface of the silicon semiconductor substrate.

11. The solar cell of claim 10, wherein the second passivation film comprises a side portion formed on the side surface of the silicon semiconductor substrate, and

the side portion of the first passivation film on the side surface of the silicon

Petitioner Runergy USA Inc., Ex. 1002, p. 80

semiconductor substrate is on the side portion of the second passivation film.

12. The solar cell of claim 1, wherein the second surface of the silicon semiconductor substrate is a light incident surface, the first surface of the silicon semiconductor substrate is a back surface of the silicon semiconductor substrate, and the polysilicon layer forms a back surface field region.

13. The solar cell of claim 3, wherein all of the plurality of first finger electrodes and the first bus bar are connected to the polysilicon layer through the first passivation film.

14. The solar cell of claim 13, wherein all of the plurality of first finger electrodes and the first bus bar have a single layer or double layer structure.

15. The solar cell of claim 13, wherein:

the plurality of first finger electrodes have a single layer structure, and

the first bus bar has a double layer structure.

16. The solar cell of claim 1, wherein the first and second passivation film are formed of a plurality of layers.

17. The solar cell of claim 1, wherein a thickness of the polysilicon layer is more than a thickness of the first passivation film.

18. The solar cell of claim 1, wherein a contact area in which the first electrode is connected to the polysilicon layer, includes the plurality of metal crystals extracted from the first electrode.

Petitioner Runergy USA Inc., Ex. 1002, p. 81

ABSTRACT

A solar cell can include a silicon semiconductor substrate having a first conductive type; a oxide layer on a first surface of the silicon semiconductor substrate; a polysilicon layer on the oxide layer and having the first conductive type; an emitter region at a second surface of the silicon semiconductor substrate opposite to the first surface and having a second conductive type opposite to the first conductive type; a first passivation film on the polysilicon layer; a first electrode connected to the polysilicon layer through an opening formed in the first passivation film; a second passivation film on the emitter region; and a second electrode connected to the emitter region through an opening formed in the second passivation film.

Petitioner Runergy USA Inc., Ex. 1002, p. 82

FIG. 1

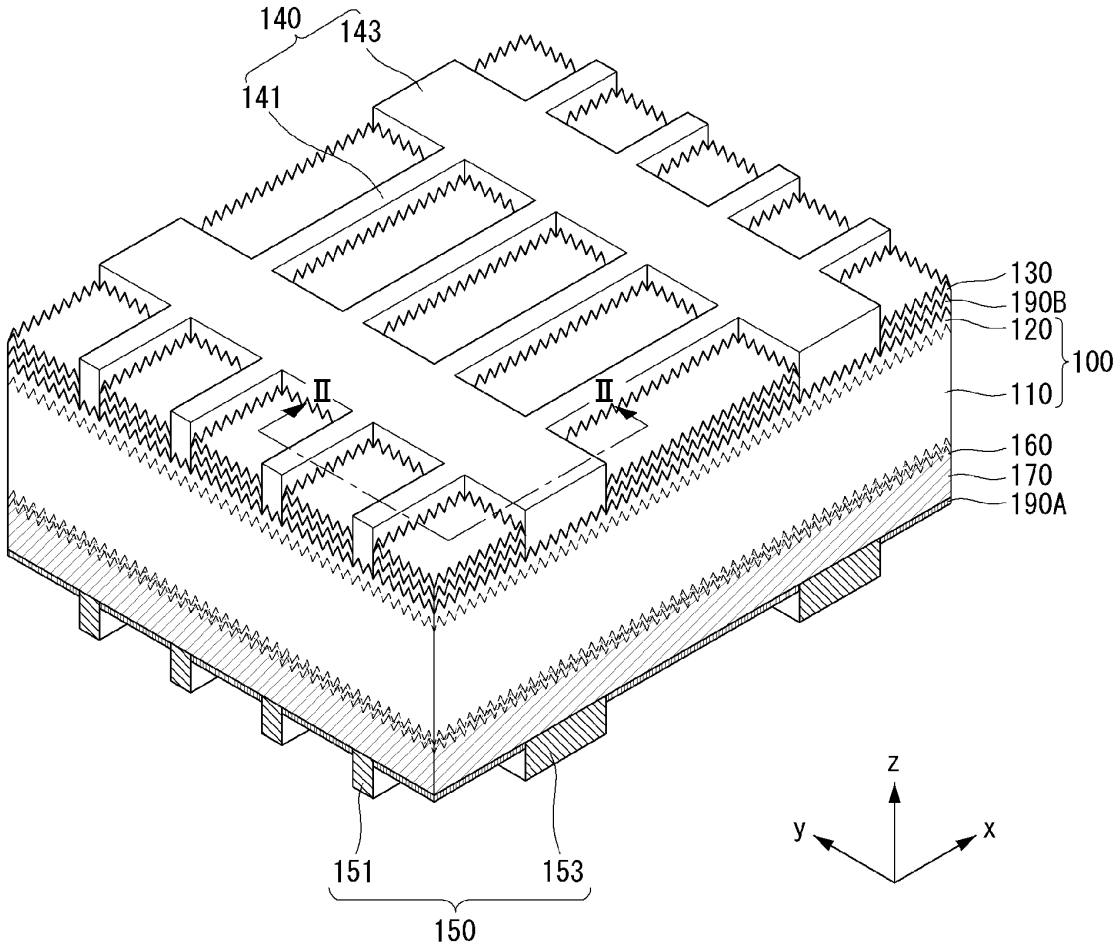

140
143
141
130
190B
120
100
110
160
170
190A
II
II
151
153
150
z
y
x

FIG. 2

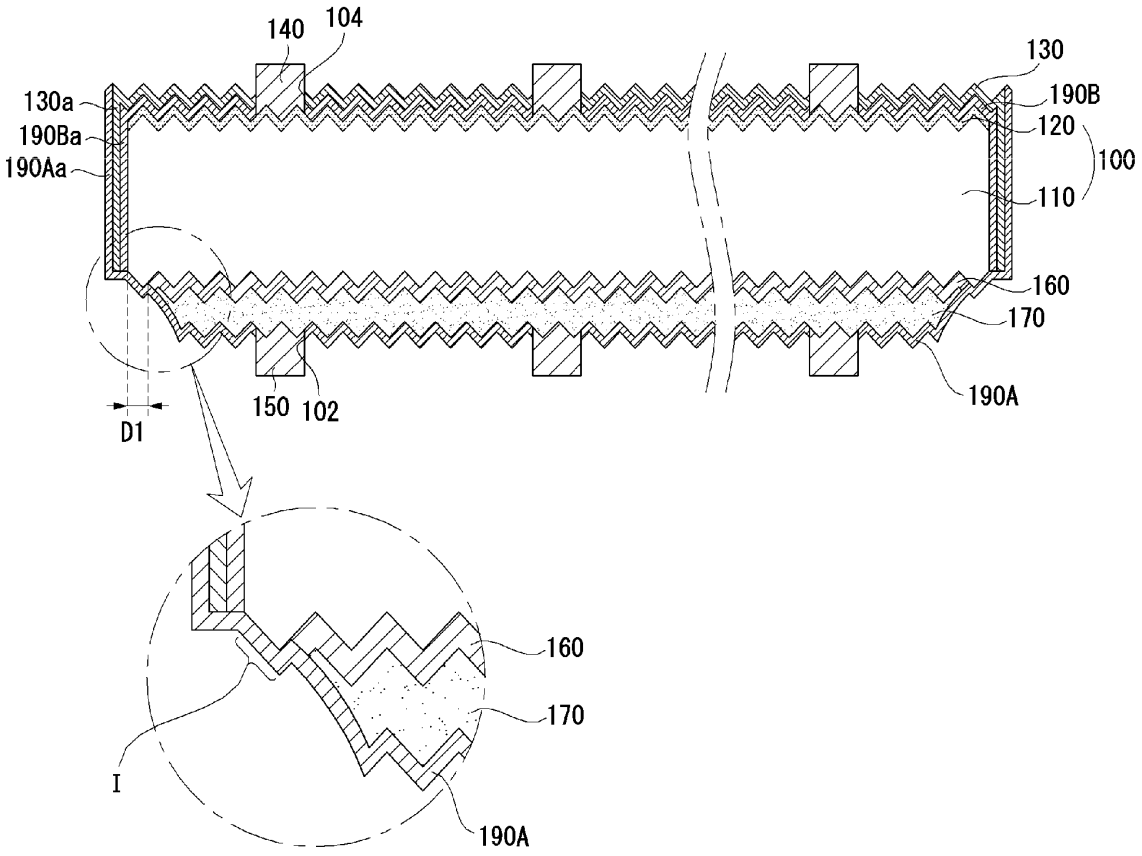

140
104
130
130a
190B
190Ba
120
100
190Aa
110
160
170
150
102
190A
D1
160
170
I
190A

FIG. 3

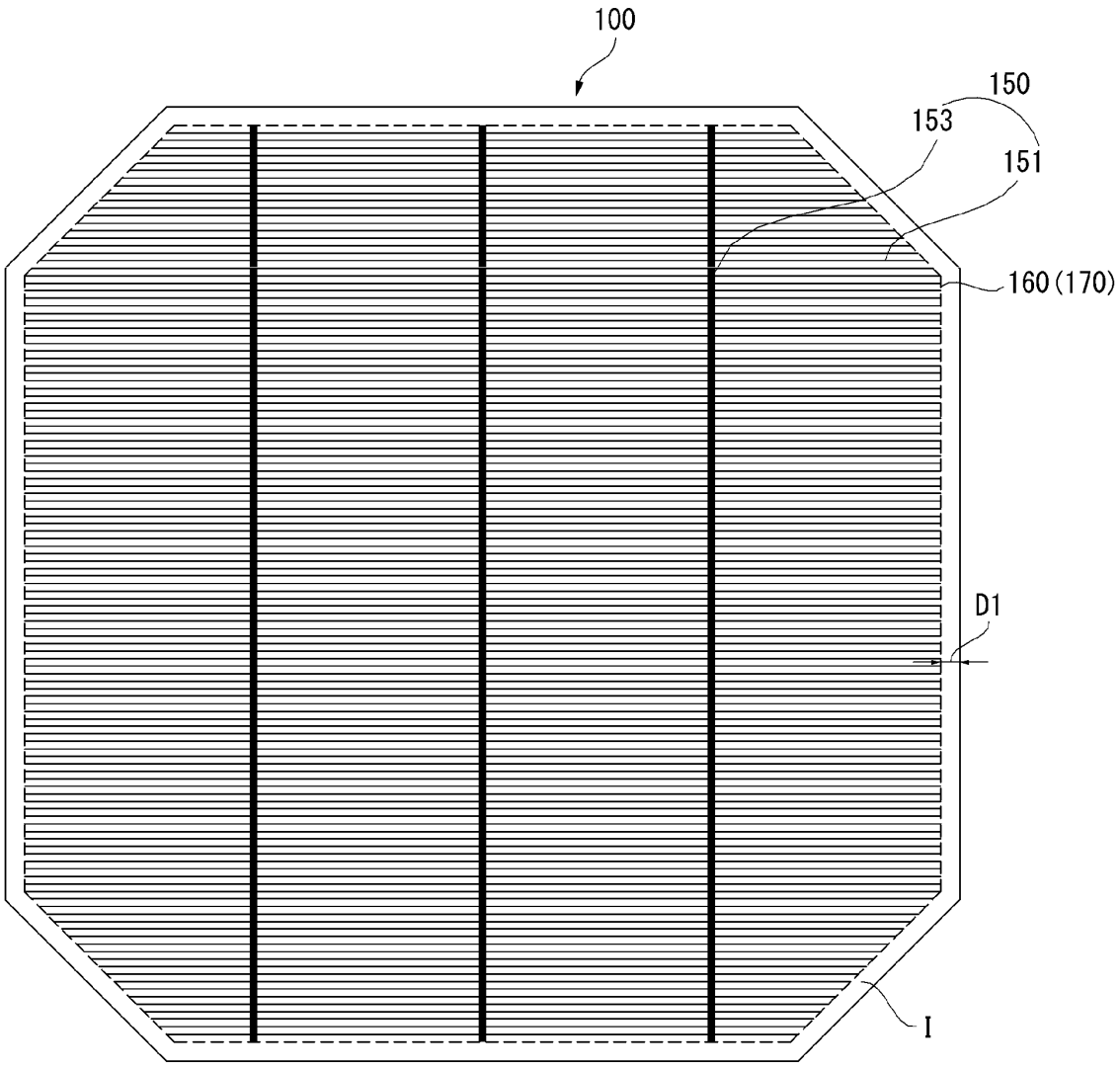


FIG. 4

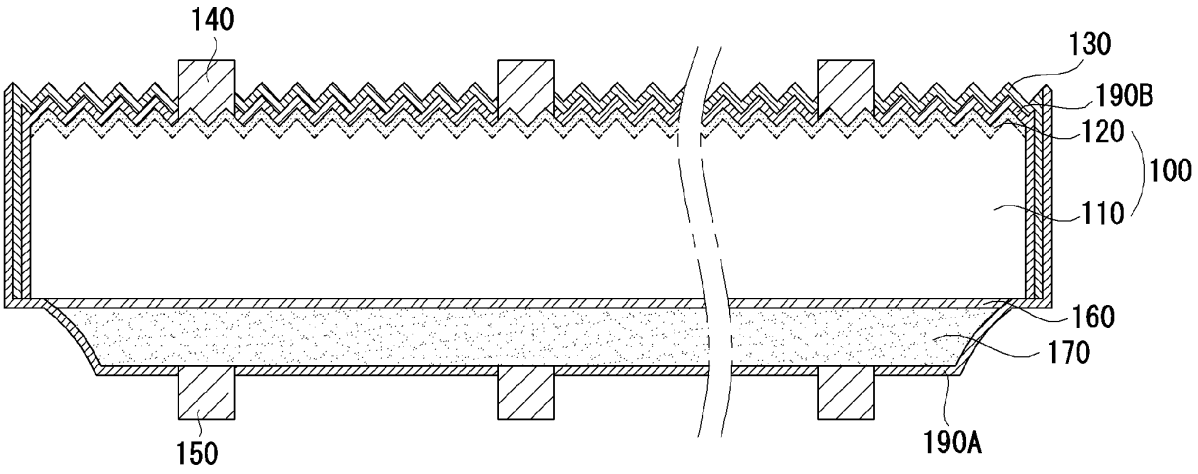


FIG. 5

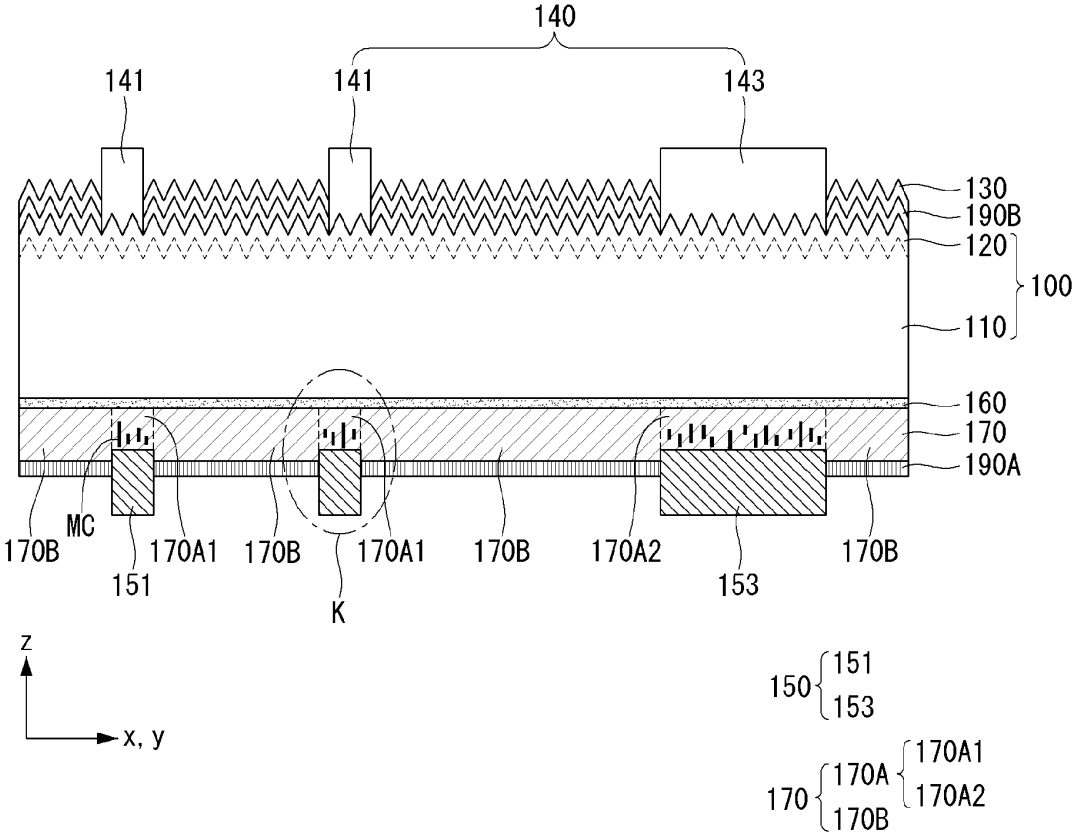

140
141
141
143
130
190B
120
100
110
160
170
190A
MC
170B
170A1
170B
170A1
170B
170A2
170B
151
153
K
z
x, y
150
151
153
170
170A
170A1
170A2
170B

FIG. 6

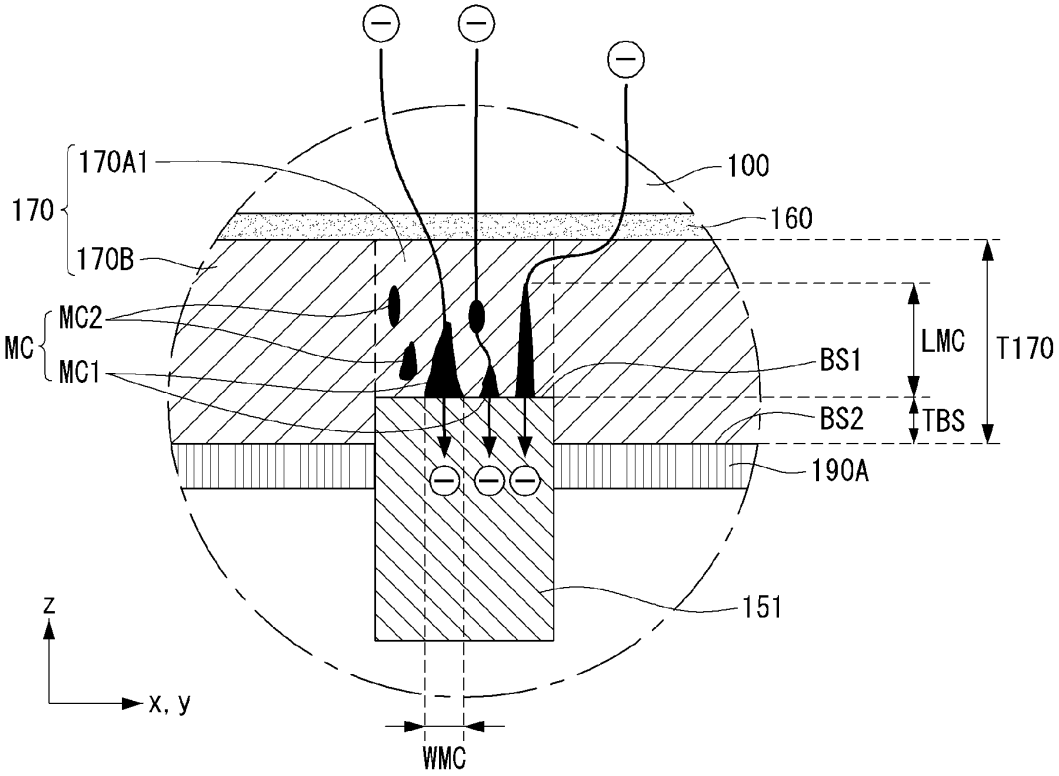

170A1
170
170B
100
160
MC
MC2
MC1
BS1
BS2
LMC
T170
TBS
190A
151
z
x, y
WMC

FIG. 7

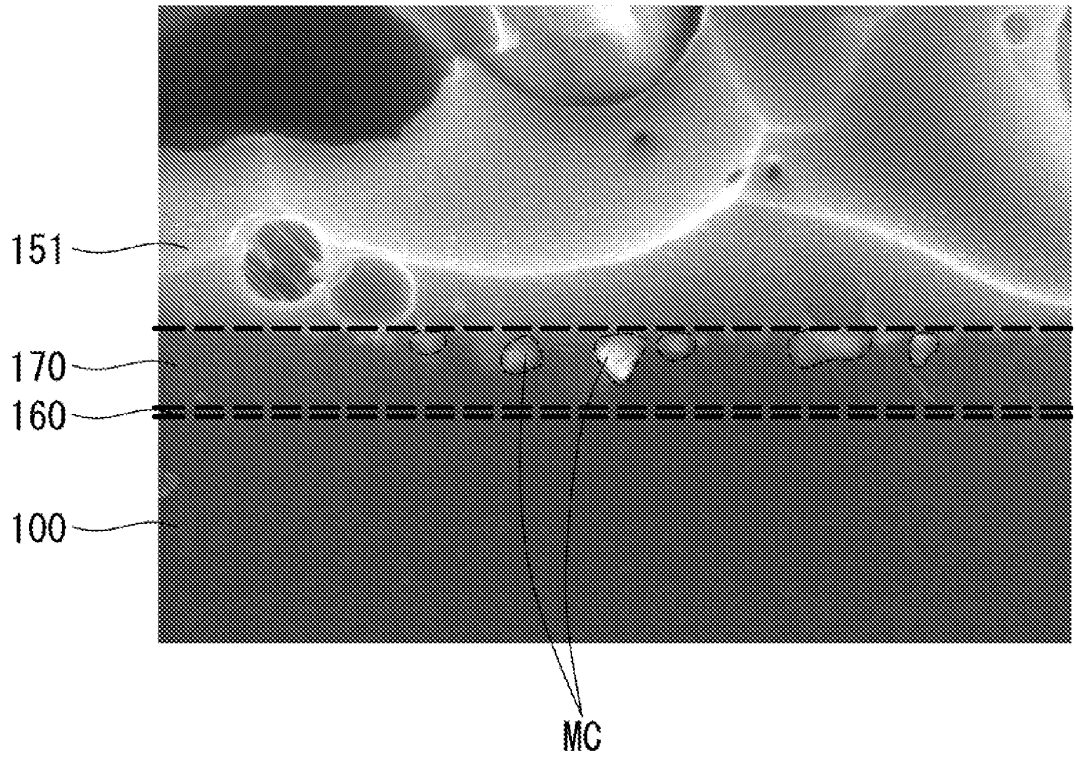


FIG. 8

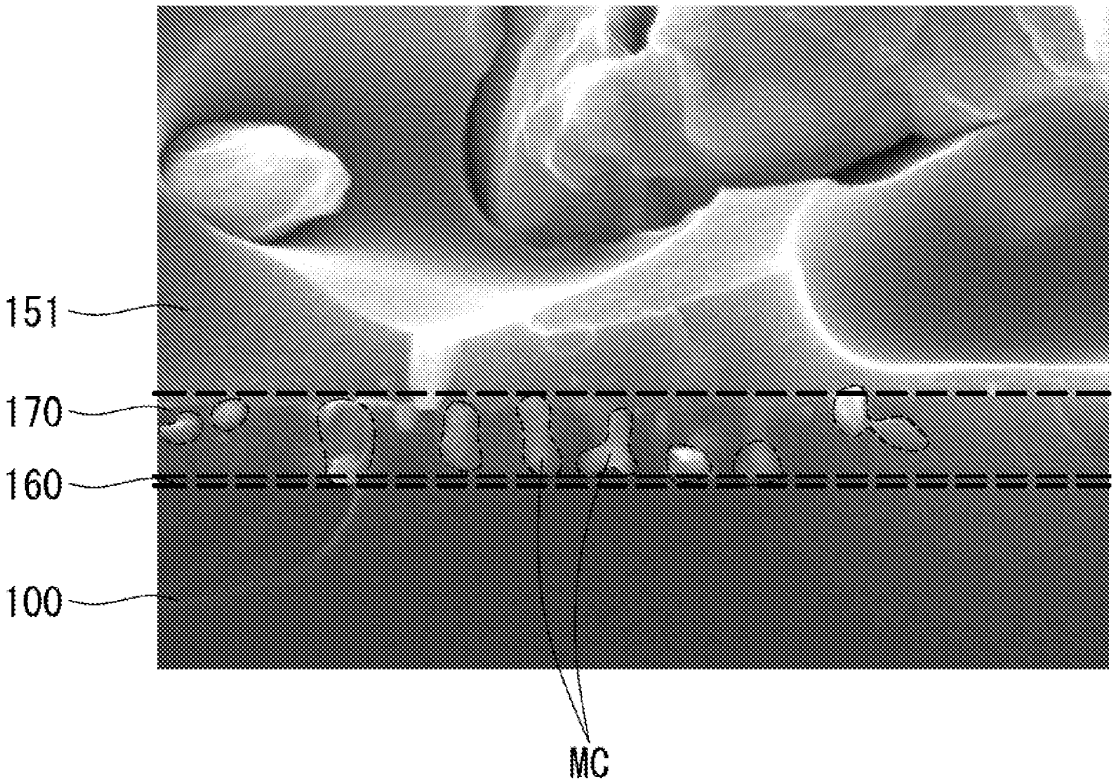


FIG. 9

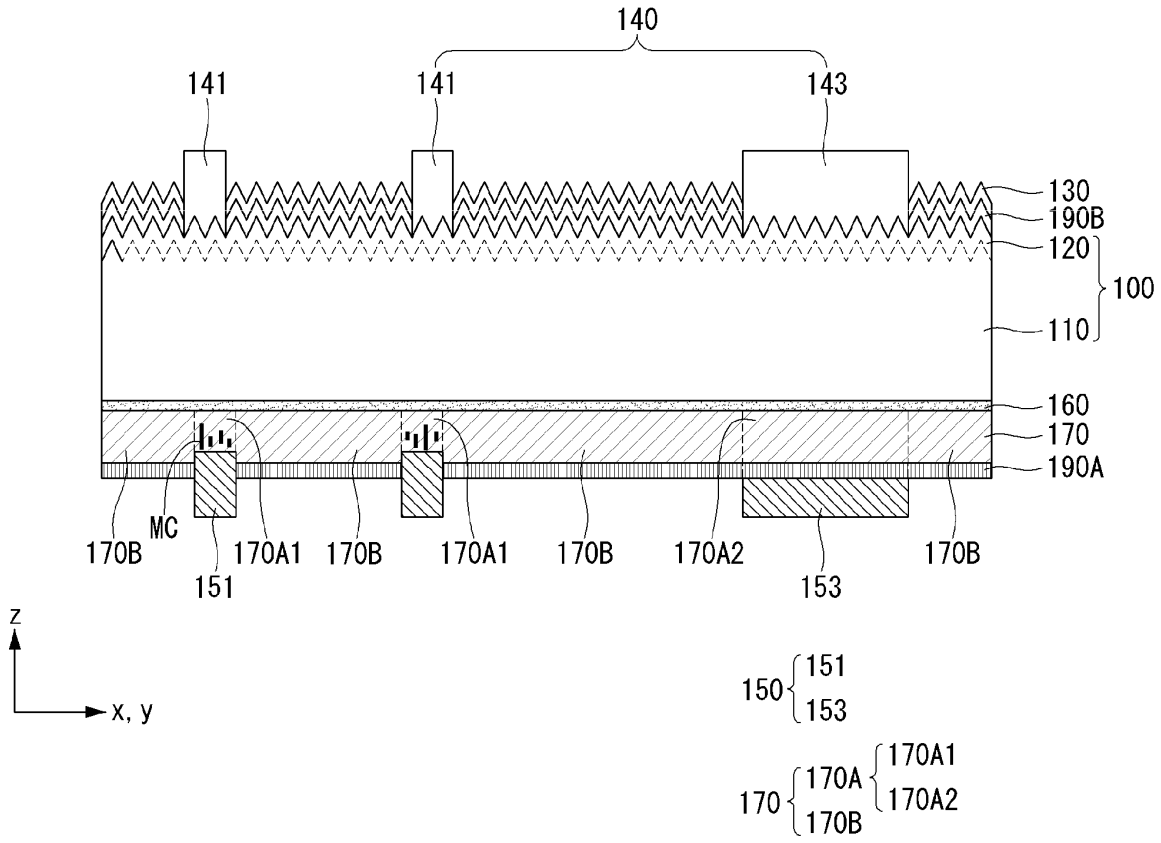

140
141
141
143
130
190B
120
100
110
160
170
190A
MC
170B
151
170A1
170B
170A1
170B
170A2
153
170B
z
x, y
150
151
153
170
170A
170A1
170A2
170B

FIG. 10

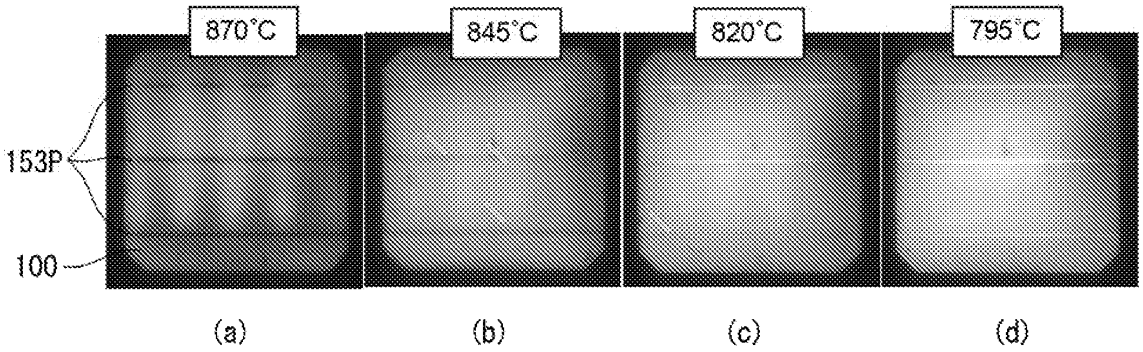

870°C
845°C
820°C
795°C
153P
100
(a)
(b)
(c)
(d)

FIG. 11

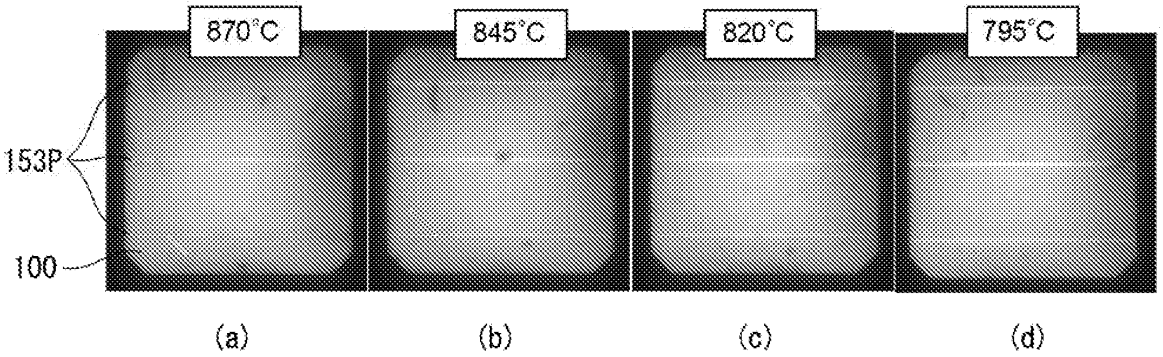

870°C
845°C
820°C
795°C
153P
100
(a)
(b)
(c)
(d)

FIG. 12

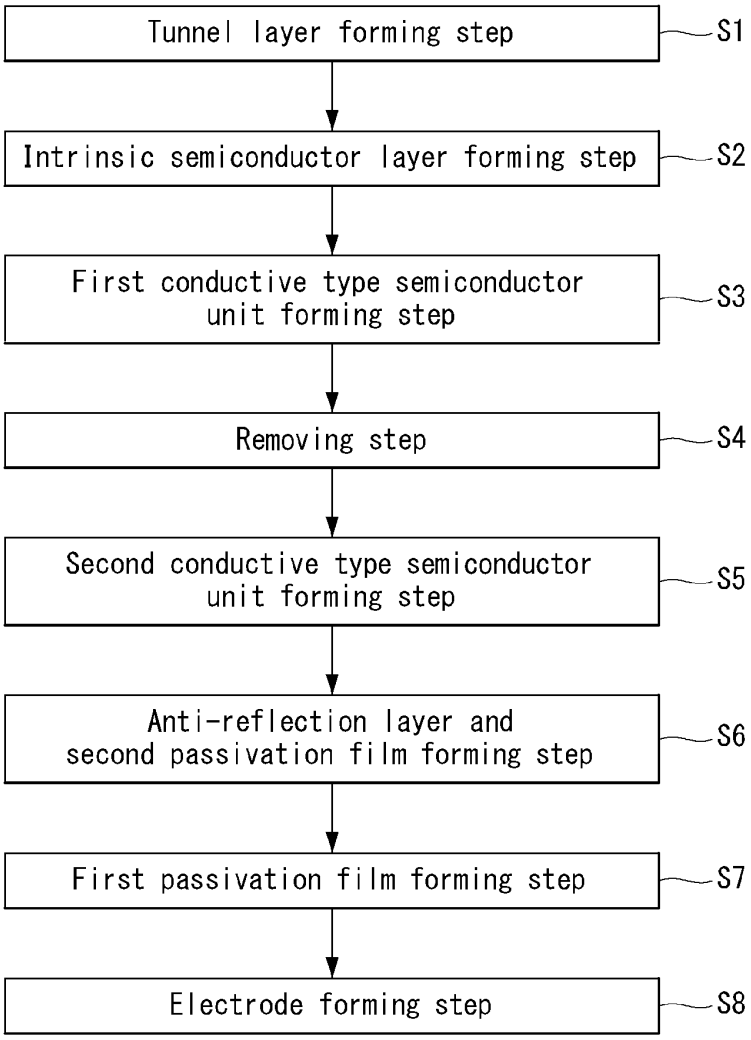

Tunnel layer forming step
S1
Intrinsic semiconductor layer forming step
S2
First conductive type semiconductor unit forming step
S3
Removing step
S4
Second conductive type semiconductor unit forming step
S5
Anti-reflection layer and second passivation film forming step
S6
First passivation film forming step
S7
Electrode forming step
S8

FIG. 13A

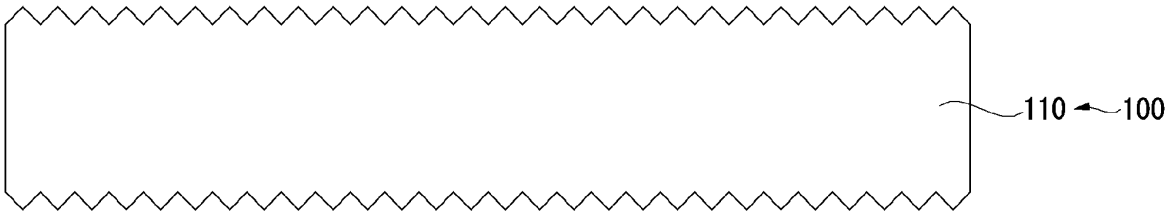


FIG. 13B

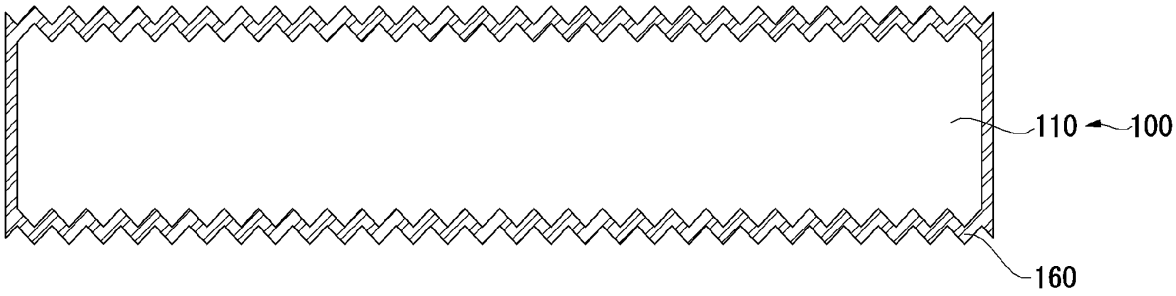


FIG. 13C

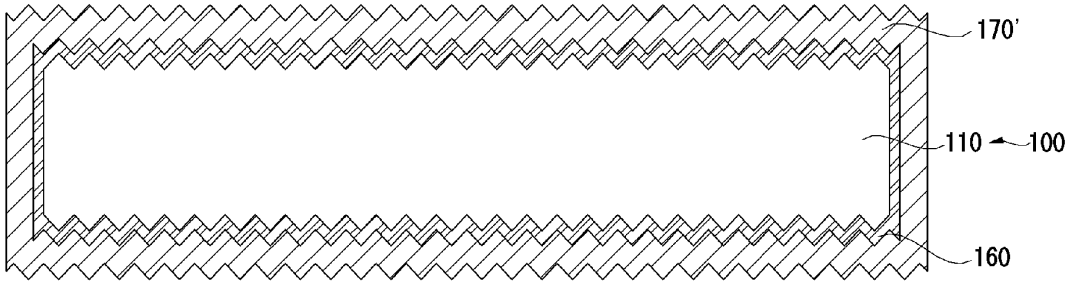


FIG. 13D

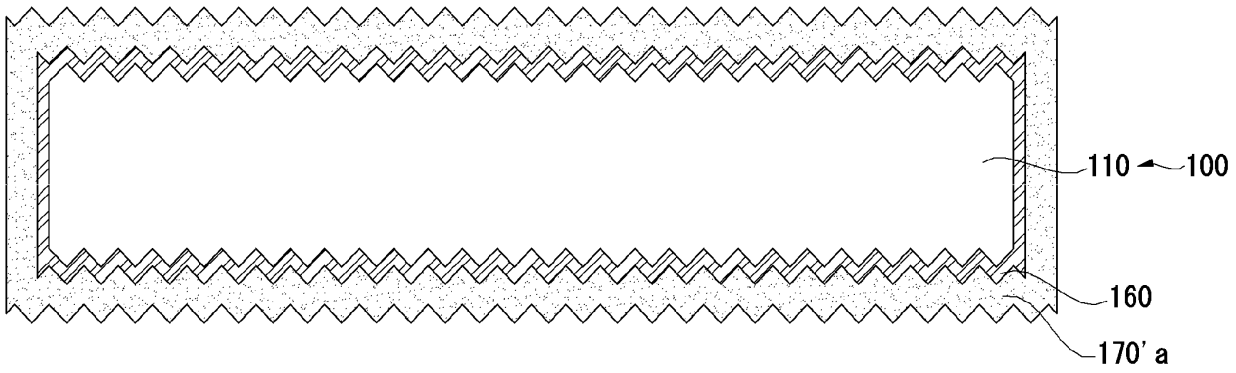


FIG. 13E

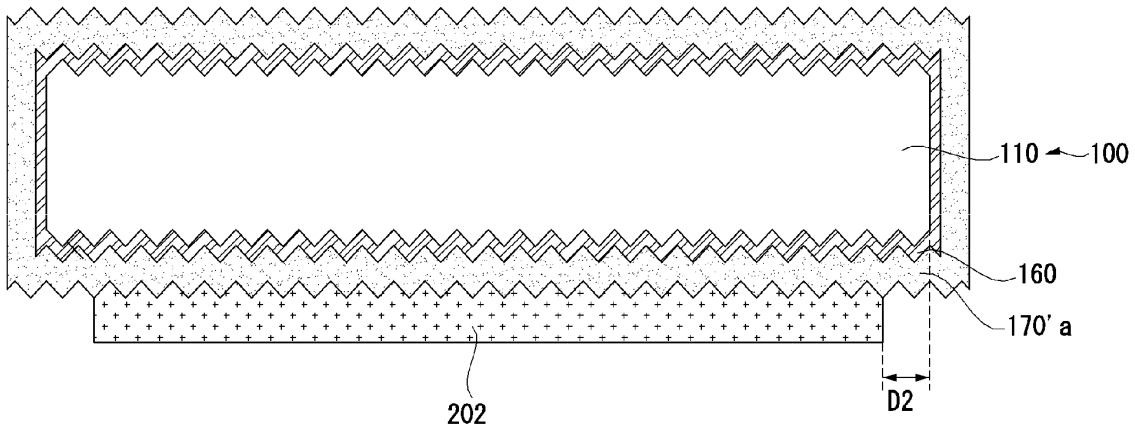


FIG. 13F

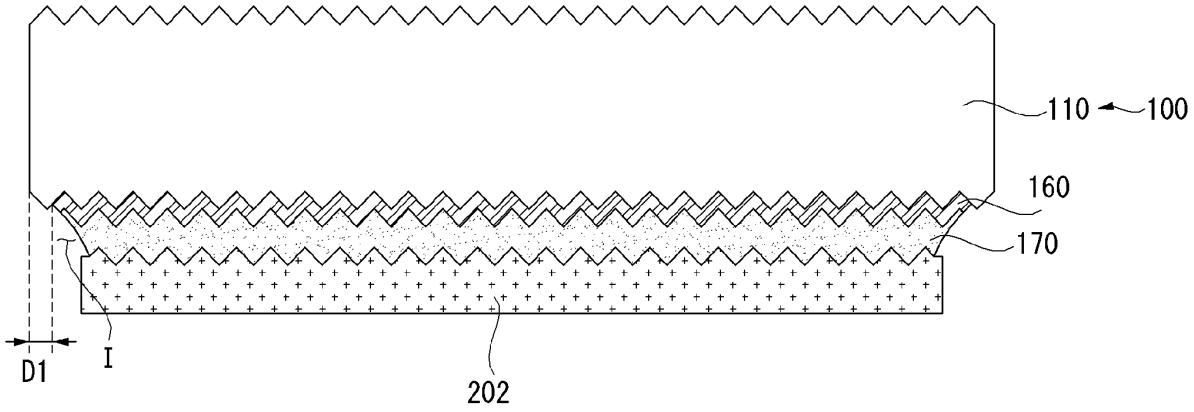


FIG. 13G

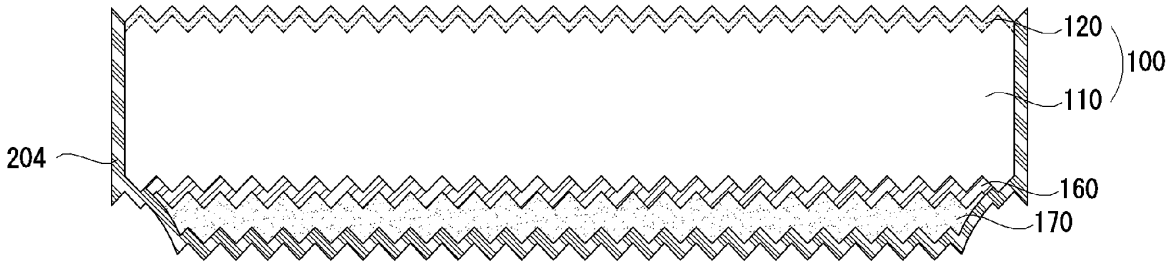


FIG. 13H

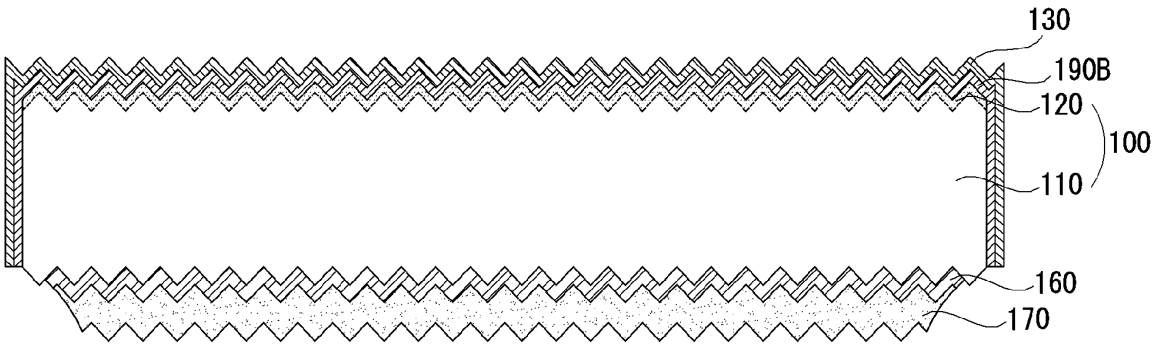


FIG. 13I

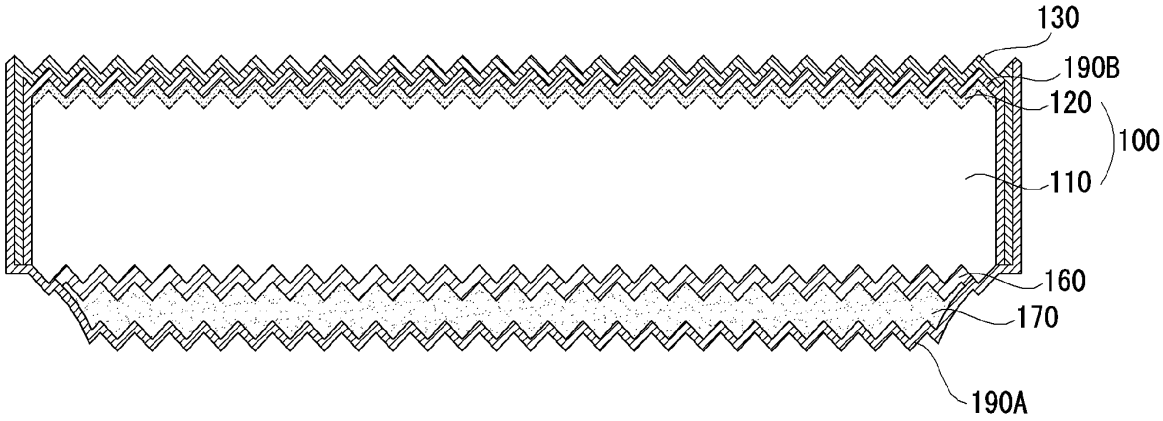


FIG. 13J

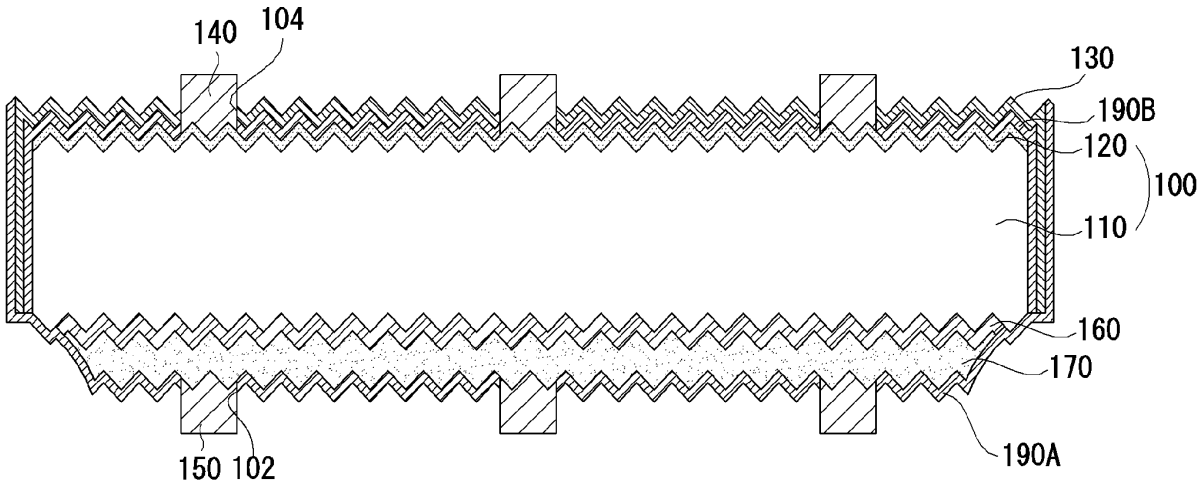


FIG. 14

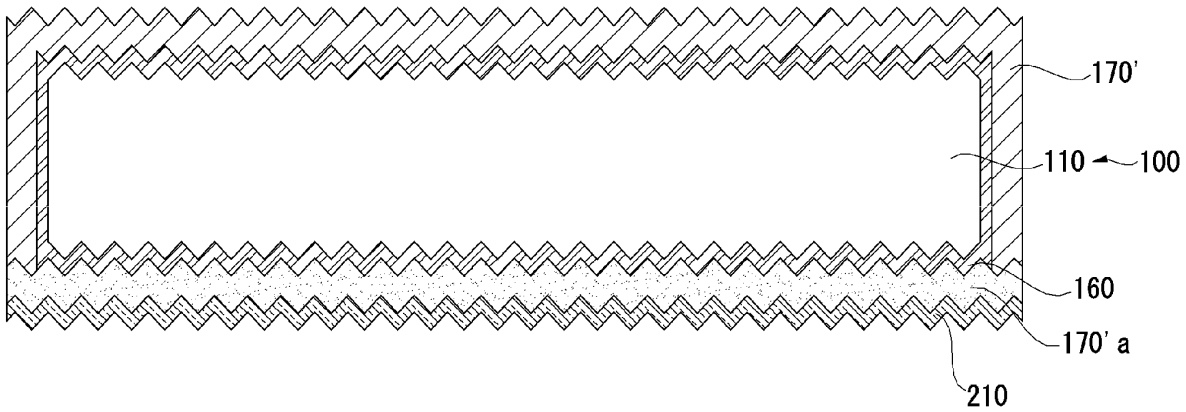


FIG. 15

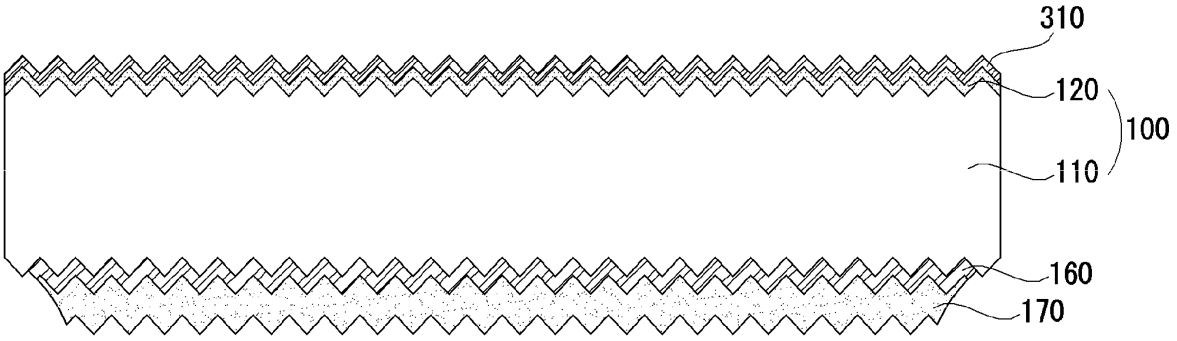

310
120
100
110
160
170

FIG. 16

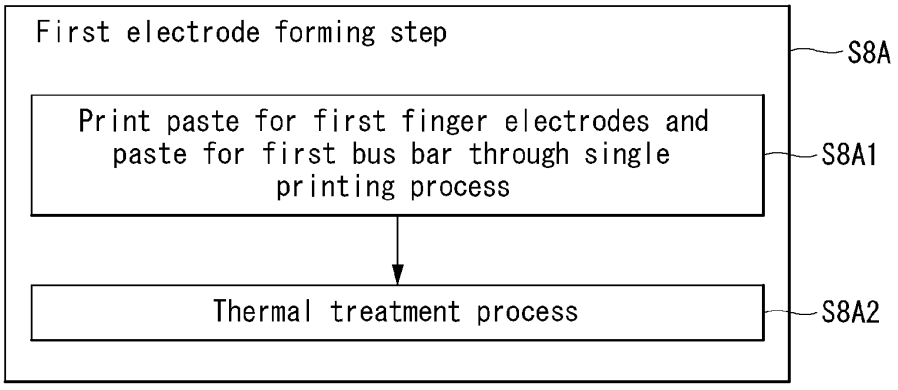
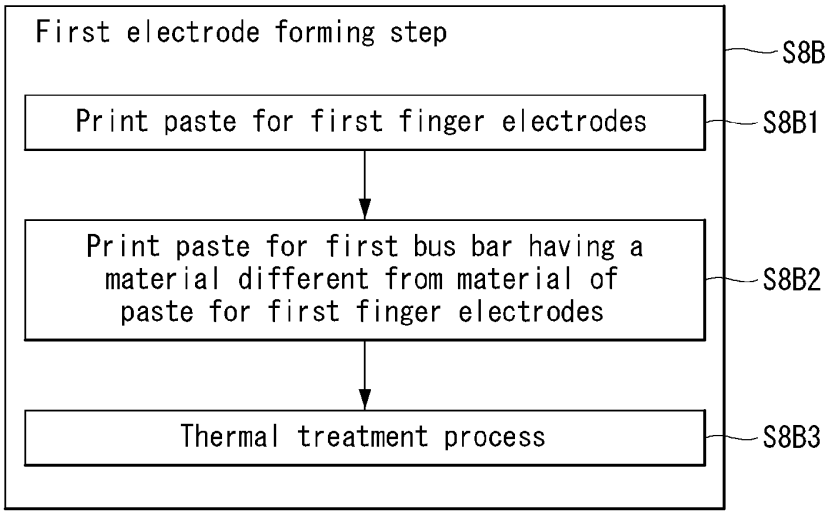

First electrode forming step
S8A
Print paste for first finger electrodes and paste for first bus bar through single printing process
S8A1
Thermal treatment process
S8A2

FIG. 17


First electrode forming step
S8B
Print paste for first finger electrodes
S8B1
Print paste for first bus bar having a material different from material of paste for first finger electrodes
S8B2
Thermal treatment process
S8B3

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Filer:	Esther Hyeri Chong/Mary Mejia
Attorney Docket Number:	1630-1332PUS3

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	300	300
UTILITY SEARCH FEE	1111	1	660	660
UTILITY EXAMINATION FEE	1311	1	760	760
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1720**

Electronic Acknowledgement Receipt	
EFS ID:	32781097
Application Number:	15995701
International Application Number:	
Confirmation Number:	6871
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Mary Mejia
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS3
Receipt Date:	01-JUN-2018
Filing Date:	
Time Stamp:	14:55:47
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1720
RAM confirmation Number	060418INTEFSW14560800
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2018-06-01-Transmittals-1630-1332PUS3.pdf	3265255 c9cce123658930946b0a4d97cf5c9120cd3f40d3	yes	16

Multipart Description/PDF files in .zip description

Document Description	Start	End
Transmittal of New Application	1	1
Miscellaneous Incoming Letter	2	2
Power of Attorney	3	4
Oath or Declaration filed	5	7
Transmittal Letter	8	12
Information Disclosure Statement (IDS) Form (SB08)	13	16

Warnings:

Information:

2	Application Data Sheet	2018-05-23-ADS-1630-1332PUS3.pdf	1901999 87a63e6962125abea6b568c98cb5feceb0908ab1	no	11

Warnings:

Information:

3		2018-06-01-SPECasFILED-1630-1332PUS3.pdf	3415308 e21469edfab2013c2fc2afe8486979d5a3fe4bd1	yes	54

Multipart Description/PDF files in .zip description

Document Description	Start	End
Specification	1	50

	Claims		51		53
	Abstract		54		54
Warnings:					
Information:					
4	Drawings-only black and white line drawings	2018-06-01-DRAWINGSasFILED-1630-1332PUS3.pdf	1225298 447674fc4626483574aad4348250c5df42e030fb	no	18
Warnings:					
Information:					
5	Fee Worksheet (SB06)	fee-info.pdf	34615 de80f7cd0c77acd67f3502abf7373e0ca666a8aa	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	9842475		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
15/995,701	06/01/2018	2827	1720	1630-1332PUS3	18	1

CONFIRMATION NO. 6871

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

FILING RECEIPT



Date Mailed: 06/21/2018

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Jungmin HA, Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

Applicant(s)

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;

Assignment For Published Patent Application

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF

Power of Attorney: The patent practitioners associated with Customer Number 02292

Domestic Priority data as claimed by applicant

This application is a CON of 15/643,180 07/06/2017 PAT 10014419
which is a CON of 14/953,264 11/27/2015 PAT 9722104

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
REPUBLIC OF KOREA 10-2014-0168624 11/28/2014
REPUBLIC OF KOREA 10-2015-0122846 08/31/2015

Permission to Access Application via Priority Document Exchange: Yes

Petitioner Runergy USA Inc., Ex. 1002, p. 106

Permission to Access Search Results: No

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 06/20/2018

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 15/995,701**

Projected Publication Date: 09/27/2018

Non-Publication Request: No

Early Publication Request: No

Title

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Preliminary Class

365

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign

Petitioner Runergy USA Inc., Ex. 1002, p. 107

patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Petitioner Runergy USA Inc., Ex. 1002, p. 109

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 15/995,701

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	300
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	660
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	760
TOTAL CLAIMS (37 CFR 1.16(i))	18 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	*				x 460 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1720

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE($)	ADDITIONAL FEE($)	OR	RATE($)	ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2014-0168624
Application Number

출 원 년 월 일 : 2014년 11월 28일
Filing Date 11월. 28, 2014

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2018년 06월 26일

특 허 청
COMMISSIONER

제출 일자 : 2014-11-28

【서지사항】

【서류명】 특허출원서

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【특허고객번호】 1-2002-012840-3

【대리인】

【명칭】 특허법인로알

【대리인번호】 9-2007-100122-0

【포괄위임등록번호】 2007-071744-8

【발명의 국문명칭】 태양 전지

【발명의 영문명칭】 SOLAR CELL

【발명자】

【성명】 하정민

【성명의 영문표기】 Jungmin Ha

【주민등록번호】 771109-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김성진

【성명의 영문표기】 Sungjin Kim

【주민등록번호】 780913-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

Petitioner Runergy USA Inc., Ex. 1002, p. 112

제출 일자 : 2014-11-28

【발명자】

【성명】 최형욱

【성명의 영문표기】 Hyungwook Choi

【주민등록번호】 811017-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 특허법인로얄 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000 원
【가산출원료】	40	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	46,000 원		

Petitioner Runergy USA Inc., Ex. 1002, p. 113

【발명의 설명】

【발명의 명칭】

태양 전지{SOLAR CELL}

【기술분야】

<1> 본 발명은 태양 전지에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양 에너지로부터 전기 에너지를 생산하는 전지로서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없어 주목 받고 있다.

<3> 일반적인 태양 전지는 p형과 n형처럼 서로 다른 도전성 타입(conductive type)의 반도체로 이루어진 기판(substrate) 및 에미터부(emitter layer), 그리고 기판과 에미터부에 각각 연결된 전극을 구비한다. 이때, 기판과 에미터부의 계면에는 p-n 접합이 형성되어 있다.

<4> 이러한 태양 전지에 빛이 입사되면 반도체에서 복수의 전자-정공쌍이 생성되고, 생성된 전자-정공쌍은 전자와 정공으로 각각 분리되어 전자와 정공은 n형의 반도체와 p형 반도체쪽으로, 예를 들어 에미터부와 기판쪽으로 이동하고, 기판과 에미터부와 전기적으로 연결된 전극에 의해 수집되며, 이 전극들을 전선으로 연결하여 전력을 얻는다.

Petitioner Runergy USA Inc., Ex. 1002, p. 114

【발명의 내용】

【해결하려는 과제】

<5> 본 발명은 태양 전지를 제공하는데 그 목적이 있다.

【과제의 해결 수단】

<6> 본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

<7> 여기서, 후면 전계부와 제2 전극이 서로 접촉하는 제1 경계면은 후면 전계부와 후면 보호막이 서로 접촉하는 제2 경계면보다 반도체 기판 방향으로 더 인접하여 위치한다.

<8> 이때, 후면 전계부 중에서 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함할 수 있고, 이와 같은 금속 결정은 후면 전계부 중에서 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않을 수 있다.

<9> 또한, 금속 결정은 터널층 내에는 위치하지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 115

<10> 여기서, 복수의 금속 결정은 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다.

<11> 이와 같은 복수의 금속 결정의 중 일부는 제2 전극과 직접 접촉될 수 있고, 복수의 금속 결정의 중 적어도 하나 이상은 제2 전극과 이격될 수 있다.

<12> 아울러, 복수의 금속 결정은 제2 전극으로부터 터널층 방향으로의 길이가 후면 전계부 두께의 2/3 이하일 수 있으며, 복수의 금속 결정 중 일부는 제2 전극으로부터 터널층 방향으로 진행할수록 폭이 감소할 수 있다.

<13> 여기서, 제2 전극은 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함할 수 있다.

<14> 이때, 복수의 제2 핑거 전극은 후면 보호막을 관통하여 후면 전계부 내부로 함입되어 형성되고, 복수의 제2 버스바는 후면 보호막의 후면 위에 형성될 수 있다.

<15> 여기서, 후면 전계부의 제1 경계면에서 후면 전계부와 제2 핑거 전극은 서로 접촉하고, 후면 전계부의 전극 형성 영역 중에서 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함할 수 있다.

<16> 그리고, 후면 전계부의 전극 형성 영역 중에서 제2 버스바가 형성되는 버스바 형성 영역에는 복수의 금속 결정이 위치하지 않을 수 있다.

<17> 이를 위해, 복수의 제2 핑거 전극에 포함되는 재질과 복수의 제2 버스바에

Petitioner Runergy USA Inc., Ex. 1002, p. 116

포함되는 재질은 서로 다르게 형성될 수 있다.

<18> 구체적으로, 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작을 수 있다.

<19> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<20> 또한, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<21> 구체적으로, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<22> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

【발명의 효과】

<23> 본 발명에 따른 태양 전지는 제2 전극의 적어도 일부가 후면 전계부 내로 함입되어 형성되도록 하여, 태양 전지의 효율을 보다 증가시킬 수 있다.

【도면의 간단한 설명】

<24> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이다.

Petitioner Runergy USA Inc., Ex. 1002, p. 117

도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

도 7은 제2 버스바 페이스트(153P)의 재질이 제2 핑거 페이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이다.

도 8은 본 발명의 제2 실시예에 따라 제2 버스바 페이스트(153P)의 재질과 제2 핑거 페이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

【발명을 실시하기 위한 구체적인 내용】

<25> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

<26> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른

Petitioner Runergy USA Inc., Ex. 1002, p. 118

부분이 없는 것을 뜻한다. 또한 어떤 부분이 다른 부분 위에 "전체적"으로 형성되어 있다고 할 때에는 다른 부분의 전체 면(또는 전면)에 형성되어 있는 것뿐만 아니라 가장 자리 일부에는 형성되지 않은 것을 뜻한다.

<27> 또한, 전면이라 함은 직사광이 입사되는 반도체 기판의 일면일 수 있으며, 후면이라 함은 직사광이 입사되지 않거나, 직사광이 아닌 반사광이 입사될 수 있는 반도체 기판의 반대면일 수 있다.

<28> 아울러, 어떠한 두 개의 값이 동일하다는 것은 오차 범위 10% 이하에서 동일하다는 것을 의미한다.

<29> 그러면 첨부한 도면을 참고로 하여 본 발명에 따른 태양 전지에 대하여 설명한다.

<30> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이고, 도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

<31> 보다 구체적으로, 도 1은 본 발명의 제1 실시에에 따른 태양 전지의 일부 사시도이고, 도 2는 도 1에 도시한 태양 전지를 Ⅱ-Ⅱ선을 따라 잘라 도시한 단면도이다. 아울러, 도 3은 도 2에서 K 부분을 확대한 확대도이고, 도 4는 제2 전극(150)과 후면 전계부(170)의 접촉 부분에 대한 실물 사진을 도시한 것이다.

<32> 도 1에 도시된 바와 같이, 본 발명에 따른 태양 전지의 일례는 반도체 기판(110), 에미터부(120), 반사 방지막(130), 터널층(160), 후면 전계부(170), 후면 보호막(190), 제1 전극(140) 및 제2 전극(150)을 포함한다.

Petitioner Runergy USA Inc., Ex. 1002, p. 119

<33> 도 1에서는 본 발명에 따른 태양 전지가 반사 방지막(130)을 포함하는 것을 일례로 도시하고 있으나, 본 발명은 이와 다르게 반사 방지막(130)이 생략되는 것도 가능하다. 그러나, 태양 전지의 효율을 고려했을 때, 반사 방지막(130)이 포함되는 것이 더 나은 효율이 발생하므로, 반사 방지막(130)이 포함되는 것을 일례로 설명한다.

<34> 반도체 기판(110)은 제1 도전성 타입, 예를 들어 p형 도전성 타입의 불순물을 함유하는 실리콘으로 이루어진 반도체 반도체 기판(110)이다. 일례로, 반도체 기판(110)은 단결정 실리콘 또는 다결정 실리콘으로 이루어진 반도체 웨이퍼가 사용될 수 있다.

<35> 반도체 기판(110)이 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 함유한다. 하지만, 이와는 달리, 반도체 기판(110)은 n형 도전성 타입일 수 있고, 실리콘 이외의 다른 반도체 물질로 이루어질 수도 있다. 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 반도체 기판(110)은 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 함유할 수 있다. 이하에서는 반도체 기판(110)이 n형의 도전성 타입을 가지는 경우를 일례로 설명한다.

<36> 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 표면은 텍스처링(texturing)처리되어 있는 요철면인 텍스처링 표면(texturing surface)을 가질 수 있다.

<37> 에미터부(120)는 빛이 입사되는 반도체 기판(110)의 전면에 위치하며, 반도

Petitioner Runergy USA Inc., Ex. 1002, p. 120

체 기판(110)의 도전성 타입과 반대인 제2 도전성 타입, 예를 들어, n형의 도전성 타입의 불순물을 함유하여 반도체 반도체 기판(110)과 p-n 접합을 이룬다.

<38> 이와 같은 p-n 접합에 의해 외부로부터 반도체 기판(110)에 빛이 입사되어 생성된 캐리어인 전자-정공 쌍은 전자와 정공으로 분리되어 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동한다. 따라서, 반도체 기판(110)이 p형이고 에미터부(120)가 n형일 경우, 분리된 정공은 반도체 기판(110)쪽으로 이동하고 분리된 전자는 에미터부(120)쪽으로 이동할 수 있다.

<39> 그러나, 이와 달리, 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 에미터부(120)는 p형의 도전성 타입을 가진다. 이 경우, 분리된 전자는 반도체 기판(110)쪽으로 이동하고 분리된 정공은 에미터부(120)쪽으로 이동할 수 있다.

<40> 에미터부(120)가 n형의 도전성 타입을 가질 경우, 에미터부(120)는 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있고, 반대로 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있다.

<41> 이와 같은 에미터부(120)는 반도체 기판(110)의 전면 표면에 제2 도전성 타입의 불순물이 확산되어 형성될 수 있으며, 이와 같은 경우, 에미터부(120)는 반도체 기판(110)과 동일한 실리콘 재질로 형성될 수 있다.

<42> 일례로, 반도체 기판(110)이 다결정 실리콘 재질의 웨이퍼로 형성된 경우, 에미터부(120)도 다결정 실리콘 재질로 형성될 수 있으며, 반도체 기판(110)이 단

Petitioner Runergy USA Inc., Ex. 1002, p. 121

결정 실리콘 재질의 웨이퍼로 형성되는 에미터부(120)도 단결절 실리콘 재질로 형성될 수 있다.

<43> 반사 방지막(130)은 에미터부(120) 위에 위치하며, 알루미늄 산화막(AlOx), 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 및 실리콘 산화질화막(SiOxNy) 중 적어도 하나로 형성될 수 있고, 단일막 또는 다층막으로 형성될 수 있다.

<44> 도 1 및 도 2에서는 반사 방지막(130)이 단일막으로 형성된 경우를 일례로 도시하였으나, 반드시 단일막에 한정되지는 않는다.

<45> 이와 같은 반사 방지막(130)은 태양 전지로 입사되는 빛의 반사도를 줄이고 특정한 파장 영역의 선택성을 증가시켜, 태양 전지의 효율을 높인다.

<46> 제1 전극(140)은 에미터부(120) 위에 직접 접하여 배치되며, 에미터부(120)와 전기적으로 연결되어 있다. 이와 같은 제1 전극(140)은 도 1에 도시된 바와 같이, 복수의 제1 핑거 전극(141) 및 복수의 제1 버스바(143)를 포함할 수 있다.

<47> 여기서, 복수의 제1 핑거 전극(141)은 에미터부(120) 위에 위치하여 에미터부(120)와 전기적으로 연결되어 있고, 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있다.

<48> 이와 같은 복수의 제1 핑거 전극(141)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)이 n 타입인 경우, p 타입의 에미터부(120)쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<49> 그리고, 복수의 제1 버스바(143)는 에미터부(120) 위에서 복수의 제1 핑거

Petitioner Runergy USA Inc., Ex. 1002, p. 122

전극(141)과 동일 층에 위치하고, 복수의 제1 핑거 전극(141)을 서로 전기적으로 연결시키며, 복수의 제1 핑거 전극(141)과 교차하는 제2 방향(y)으로 뻗어있을 수 있다.

<50> 이와 같은 복수의 제1 버스바(143)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 복수의 제1 핑거 전극(141)에 의해 수집되어 이동하는 캐리어를 수집하여 외부 장치로 출력한다.

<51> 복수의 제1 핑거 전극(141)과 제1 버스바(143)는 적어도 하나의 도전성 금속 물질로 이루어져 있고, 이들 도전성 금속 물질의 예는 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<52> 이와 같은 제1 전극(140)은 반도체 기판(110)의 전면에 반사 방지막(130)이 형성된 이후, 제1 전극(140)을 형성하기 위한 제1 전극 페이스트를 반사 방지막(130)의 전면 위에 패터닝하여 도포한 이후, 열처리 공정을 통하여 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)에 접속되어 소성되면서 형성될 수 있다.

<53> 이를 위해, 제1 전극(140)은 전술한 금속 물질 이외에 글래스 프릿(glass frit)을 함유할 수 있다.

<54> 터널층(160)은 반도체 기판(110)의 후면 위에 배치되며, 유전체 재질을 포함

Petitioner Runergy USA Inc., Ex. 1002, p. 123

할 수 있다.

<55> 일례로, 터널층(160)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)의 후면 위에 직접 접촉되어 형성될 수 있다.

<56> 아울러, 터널층(160)은 반도체 기판(110)의 후면 전체 영역 위에 형성될 수 있다.

<57> 이와 같은 터널층(160)은 반도체 기판(110)에서 생성된 캐리어를 후면 전계부(170) 방향으로 통과시키며, 반도체 기판(110)의 후면에 대한 패시베이션 기능을 수행할 수 있다. 아울러, 이와 같은 터널층(160)은 태양 전지의 개방 전압(Voc)를 상승시키는 역할을 할 수 있다.

<58> 이와 같은, 터널층(160)은 600℃ 이상의 고온 공정에도 내구성이 강한 SiCx 또는 SiOx로 형성되는 유전체 재질로 형성될 수 있다. 그러나 이 외에도 silicon nitride (SiNx), hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON로 형성되는 것도 가능하다.

<59> 또한, 터널층(160)의 두께(T160)는 0.5nm ~ 2.5nm사이로 형성될 수 있다. 이와 같은 터널층(160)은 Oxidation 공정이나 LPCVD 공정 또는 PECVD 증착 공정에 의해 형성될 수 있다.

<60> 여기서, 터널층(160)의 두께(T160)를 0.5nm ~ 2.5nm 로 한정하는 것은 터널링 효과를 구현하기 위함이고, 이와 같은 한정 범위를 0.5nm ~ 2.5nm 범위를 조금

Petitioner Runergy USA Inc., Ex. 1002, p. 124

넘어서는 경우도 가능하나, 터널링의 효과가 감소할 수 있다.

<61> 보다 구체적으로, 터널층(160)의 두께(T160)를 0.5㎚ 이상으로 하는 것은 실질적으로 0.5㎚ 미만으로 터널층(160)을 형성하는 것은 현실적으로 매우 어렵고, 터널층(160)의 두께(T160)를 2.5㎚ 이하로 하는 것은 2.5㎚를 넘어서는 경우 터널링 효과가 거의 일어나지 않을 수 있기 때문이다.

<62> 아울러, 이와 같은 터널층(160)은 반도체 기판(110)의 후면 표면에 대한 패시베이션 기능도 일부 수행할 수 있다.

<63> 다음, 후면 전계부(170)는 반도체 기판(110)의 후면 표면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판(110)보다 고농도로 함유되며, 다결정 실리콘 재질을 포함할 수 있다.

<64> 즉, 이와 같은 후면 전계부(170)는 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면에 형성된 터널층(160)의 후면 위에 형성되어, 반도체 기판(110)과 이격되어 형성될 수 있다.

<65> 후면 전계부(170)가 반도체 기판(110) 내에 형성되지 않고, 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)가 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)과 직접 접촉하지 않고 이격되어, 터널층(160)의 후면 위에 다결정 실리콘 재질로 형성된 경우, 태양 전지의 개방 전압(Voc)을 더욱 향상시킬 수 있다.

<66> 아울러, 반도체 기판(110) 내에 후면 전계부(170)를 형성하지 않고 반도체

Petitioner Runergy USA Inc., Ex. 1002, p. 125

기판(110)의 외부에 후면 전계부(170)를 형성하므로, 제조 공정상 후면 전계부(170)를 형성하는 과정에서, 반도체 기판(110)에 대한 열손상을 최소화할 수 있어, 반도체 기판(110)의 특성이 저하되는 것을 방지할 수 있다. 따라서, 도 1 및 도 2에 도시된 바와 같은 태양 전지는 효율을 더 향상시킬 수 있다.

<67> 이와 같은, 후면 전계부(170)의 두께(T170)는 50nm ~ 500nm 사이로 형성될 수 있다.

<68> 제2 전극(150)은 후면 전계부(170)의 후면 위에 배치되며, 후면 전계부(170)와 전기적으로 연결되어 있다. 이와 같은 제2 전극(150)은 도 1 및 도 2에 도시된 바와 같이, 복수의 제2 핑거 전극(151) 및 복수의 제2 버스바(153)를 포함할 수 있다.

<69> 여기서, 복수의 제2 핑거 전극(151)은 후면 전계부(170)의 후면 위에 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있으며, 후면 전계부(170) 쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<70> 그리고, 복수의 제2 버스바(153)는 후면 전계부(170) 위에서 복수의 제2 핑거 전극(151)과 동일 층에 위치하고, 복수의 제2 핑거 전극(151)을 서로 전기적으로 연결시키며, 복수의 제2 핑거 전극(151)과 교차하는 제2 방향(y)으로 뻗어 있을 수 있다.

<71> 이와 같은 복수의 제2 버스바(153)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 제2 핑거 전극(151)에 의해 수집되어 이동하는 캐리어를

Petitioner Runergy USA Inc., Ex. 1002, p. 126

수집하여 외부 장치로 출력한다.

<72> 여기서, 제2 버스바(153)의 길이 방향은 제1 버스바(143)의 길이 방향과 동일하고, 제2 핑거 전극(151)의 길이 방향도 제1 핑거 전극(141)의 길이 방향과 동일할 수 있으며, 제2 전극(150)의 재질은 제1 전극(140)의 재질과 동일할 수 있다.

<73> 이와 같은 제2 전극(150)은 후면 전계부(170) 위에 후술할 후면 보호막(190)이 형성된 상태에서 후면 보호막(190)의 위에 제2 전극(150)을 형성하기 위한 제2 전극 패이스트를 패터닝하여 형성한 상태에서 열처리 공정을 통하여 형성될 수 있다.

<74> 여기서, 제2 핑거 전극(151)의 폭은 일례로, 150um ~ 400um 사이일 수 있으며, 제2 버스바(153)의 폭은 제2 핑거 전극(151)의 폭보다 크게 형성되되, 1mm ~ 3mm 사이의 범위에서 결정될 수 있다. 그러나, 이에 반드시 한정되는 것은 아니고, 다른 폭을 가질 수도 있다.

<75> 다음, 후면 보호막(190)은 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)의 후면 중에서 제2 전극(150)이 형성된 영역을 제외한 전체 영역 위에 위치할 수 있다.

<76> 이와 같은 후면 보호막(190)은 유전체 재질로 형성될 수 있으며, 단층 또는 다수의 층으로 형성될 수 있고, 후면 전계부(170)의 극성을 고려하여 특정 고정 전하를 가질 수 있다.

<77> 이와 같은 후면 보호막(190)의 재질은 SiCx, SiOx, silicon nitride (SiNx),

Petitioner Runergy USA Inc., Ex. 1002, p. 127

hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON 중 적어도 하나로 형성될 수 있다.

<78> 이와 같은 후면 보호막(190)은 후면 전계부(170)의 후면 표면을 패시베이션 하는 기능을 수행할 수 있다.

<79> 도 1 및 도 2에서, 이와 같은 구조를 갖는 본 실시예에 따른 태양 전지의 동작은 다음과 같다.

<80> 태양 전지로 빛이 조사되어 반사 방지막(130)과 에미터부(120)를 통해 반도체의 반도체 기판(110)으로 입사되면 빛 에너지에 의해 반도체의 반도체 기판(110)에서 전자-정공 쌍이 발생한다. 이때, 반사 방지막(130)에 의해 반도체 기판(110)으로 입사되는 빛의 반사 손실이 줄어들어 반도체 기판(110)으로 입사되는 빛의 양이 증가한다.

<81> 이들 전자-정공 쌍은 반도체 기판(110)과 에미터부(120)의 p-n접합에 의해 서로 분리되어 정공과 전자는, 예를 들어, p형의 도전성 타입을 갖는 에미터부(120)와 n형의 도전성 타입을 갖는 반도체 기판(110)쪽으로 각각 이동한다. 이처럼, 에미터부(120)쪽으로 이동한 정공은 제1 핑거 전극(141)에 의해 수집되어 제1 버스바(143)로 전달되고, 반도체 기판(110)의 후면 쪽에 위치한 후면 전계부(170)로 이동한 전자는 제2 핑거 전극(151)에 의해 수집되어 제2 버스바(153)로 전달될 수 있다.

<82> 아울러, 서로 인접한 태양 전지 각각의 제1, 2 버스바(143, 153)를 서로 인

Petitioner Runergy USA Inc., Ex. 1002, p. 128

터커넥터(미도시)로 연결하면 전류가 흐르게 되고, 이를 외부에서 전력으로 이용할 수 있게 된다.

<83> 한편, 본 발명에 따른 태양 전지는 도 1 내지 도 3에 도시된 바와 같이, 제2 전극(150)의 적어도 일부는 후면 전계부(170) 내부로 함입되어 형성될 수 있다. 구체적 일례로, 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어 형성될 수 있다.

<84> 다시 말하면, 후면 전계부(170)와 제2 전극(150)이 서로 접촉하는 제1 경계면(BS1)이 후면 전계부(170)와 후면 보호막(190)이 서로 접촉하는 제2 경계면(BS2)보다 반도체 기판(110) 방향으로 더 인접하여 형성되어 위치할 수 있다.

<85> 도 3에서는 제2 핑거 전극(151)을 일례로 도시하였지만, 제2 버스바(153)도 제2 핑거 전극(151)과 마찬가지로 후면 전계부(170) 내부로 함입된 동일한 구조를 가질 수 있다.

<86> 이와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되는 형상은 제2 전극(150)을 형성하기 위한 제2 전극 패이스트를 후면 보호막(190)의 후면에 패터닝하여 형성한 상태에서 열처리 공정을 통하여 제2 전극 패이스트가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 침투하면서 접촉될 때 나타날 수 있는 형상이다.

<87> 이와 같이, 제2 전극 패이스트를 이용하여 제2 전극(150)을 형성하면, 도금법에 비하여 상대적으로 비용이 저렴하고 공정 시간을 단축할 수 있는 장점이

Petitioner Runergy USA Inc., Ex. 1002, p. 129

있다.

<88> 여기서, 제1 경계면(BS1)과 제2 경계면(BS2)의 높이 차이는 1nm ~ 20nm 사이로 형성될 수 있으며, 이와 같은 제1, 2 경계면(BS1, BS2)의 높이 차이(TBS)는 제2 전극(150)을 형성하기 위한 열처리 공정의 시간 및 제2 전극 페이스트에 포함되는 글래스 프릿(glass frit)의 함유량에 따라 달라질 수 있다.

<89> 도 1 내지 도 3에서는 제2 전극(150)을 형성하는 복수의 제2 버스바(153)와 복수의 제2 핑거 전극(151) 모두가 후면 전계부(170) 내부로 함입된 경우를 일례로 도시하였지만, 반드시 이에 한정되는 것은 아니고, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되어 형성될 수도 있다. 이와 같이, 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입된 구성에 대해서는 도 6 이하에서 보다 구체적으로 설명한다.

<90> 따라서, 본 발명에 따른 태양 전지는 도 3에 도시된 바와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되어, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 전극(150)은 서로 접촉할 수 있다.

<91> 이때, 도 2에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(170OA)에는 복수의 금속 결정(MC)을 더 포함할 수 있다.

<92> 일례로, 도 3에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(170OF)에는 복수의 금속 결정(MC)을 더 포함할 수 있다. 도 3에서는 후면 전계부(170)의 전극 형성 영역(170OA) 중에서 전극 핑거

Petitioner Runergy USA Inc., Ex. 1002, p. 130

형성 영역(1700F)만 도시하였으나, 버스바 형성 영역(1700B)에도 동일하게 복수의 금속 결정(MC)을 더 포함할 수 있다.

<93> 참고로, 도 2를 참조하면, 후면 전계부(170) 중에서, 제2 핑거 전극(151)과 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 핑거 형성 영역(1700F)이라 하고, 제2 버스바(153)와 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 버스바 형성 영역(1700B)이라 하고, 후면 전계부(170) 중에서 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 제외한 나머지 영역을 비형성 영역(170NO)이라 한다. 아울러, 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 통칭하여 전극 형성 영역(1700A)이라 한다.

<94> 이와 같은 복수의 금속 결정(MC)은 다결정 실리콘으로 형성되는 후면 전계부(170)와 비교하여 상대적으로 저항이 낮아, 도 3에 도시된 바와 같이, 반도체 기판(110)으로부터 터널층(160)을 통과하여 후면 전계부(170)로 이동한 캐리어, 예를 들어 전자들이 금속 결정(MC)을 통하여 제2 전극(150)으로 직접 이동하거나, 금속 결정(MC)과 금속 결정(MC) 사이를 점프하여 제2 전극(150)으로 이동할 수 있다. 따라서, 이와 같은 복수의 금속 결정(MC)들은 캐리어가 제2 전극(150)으로 보다 용이하게 이동할 수 있도록 도와주는 역할을 할 수 있다.

<95> 따라서, 이와 같은 금속 결정(MC)은 낮은 저항으로 인하여, 반도체 기판(110)과 제2 전극(150) 사이의 실질적인 거리를 보다 좁혀줄 수 있다.

<96> 또한, 금속 결정(MC)은 제2 전극(150)이 후면 전계부(170)에 접속될 때, 제2 전극(150)과 후면 전계부(170)의 경계인 제1 경계면(BS1)을 중심으로 반도체 기판

Petitioner Runergy USA Inc., Ex. 1002, p. 131

(110) 방향으로 형성되기 때문에, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항을 보다 낮출 수 있다.

<97> 따라서, 도 3에 도시된 본 발명과 같이, 제2 전극(150)과 터널층(160) 사이의 후면 전계부(170) 내부에 복수의 금속 결정(MC)을 더 포함하는 경우, 태양 전지의 효율이 보다 향상될 수 있다.

<98> 이와 같은 금속 결정(MC)은 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(170OA)에 위치하고, 후면 전계부(170) 중에서 제2 전극(150)이 형성되지 않는 비형성 영역(170NO)에는 금속 결정(MC)이 위치하지 않을 수 있다.

<99> 이와 같이, 금속 결정(MC)이 후면 전계부(170) 중에서 전극 형성 영역(170OA)에만 위치하고, 비형성 영역(170NO)에는 위치하지 않는 것은 이와 같은 복수의 금속 결정(MC)이 제2 전극(150)을 형성하기 위한 열처리 공정 중에서 제2 전극(150)으로부터 빠져나온 금속이 재결정화되어 형성되기 때문이다.

<100> 일례로, 복수의 제2 전극(150)은 적어도 하나의 도전성 금속 물질을 포함하여 형성될 수 있다. 여기서, 복수의 제2 전극(150)에 포함되는 도전성 금속 물질은 일례로, 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<101> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)을 형성하기 위한 열처리 공

Petitioner Runergy USA Inc., Ex. 1002, p. 132

정 중에 전술한 제2 전극(150)에 포함된 금속 물질이 빠져나와 재결정화되면서 형성될 수 있어, 제2 전극(150)에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다. 따라서, 일례로, 제2 전극(150)이 은(Ag)을 포함하는 경우, 금속 결정(MC)도 은(Ag)을 포함할 수 있다.

<102> 또한, 도 3 및 도 4에 도시된 바와 같이, 금속 결정(MC)은 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않을 수 있다.

<103> 즉, 도 5에 도시된 비교예와 같이, 이와 같은 금속 결정(MC)이 터널층(160) 내에 위치하는 경우 터널층(160)의 기능이 저하될 수 있고, 금속 결정(MC)이 터널층(160)을 관통하여 반도체 기판(110)의 후면 내부로 침투되는 경우, 반도체 기판(110) ? 터널층(160) - 후면 전계부(170)로 형성된 구조에 의해 나타나는 개방 전압(Voc) 특성이 저하되어, 반도체 기판(110)이 열화될 수 있다.

<104> 이와 같이, 반도체 기판(110)이 열화되는 경우, 반도체 기판(110)의 특성, 일례로 캐리어 라이프 타임(carrier life time)과 같은 특성이 저하될 수 있다.

<105> 그러나, 본 발명과 같이 금속 결정(MC)이 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않는 경우, 이와 같은 특성 저하를 방지할 수 있다.

<106> 이와 같은 복수의 금속 결정(MC)의 중 일부(MC1)는 도 3에 도시된 바와 같이, 제2 전극(150)과 직접 접촉될 수 있고, 아울러, 복수의 금속 결정(MC)의 중 적어도 하나(MC2) 이상은 제2 전극(150)과 이격되어 후면 전계부(170) 내에 위치할

Petitioner Runergy USA Inc., Ex. 1002, p. 133

수 있다.

<107> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)으로부터 터널층(160) 방향으로의 길이(LMC)가 후면 전계부(170) 두께의 2/3 이하일 수 있다. 이와 같이, 금속 결정(MC)의 길이(LMC)를 후면 전계부(170) 두께의 2/3 이하로 한정하는 것은 금속 결정(MC)의 길이(LMC)가 과도하게 길게 되어, 전술한 바와 같이, 터널층(160)이나 반도체 기판(110)을 손상시키지 않도록 하기 위함이다.

<108> 복수의 금속 결정(MC) 중 일부는 제2 전극(150)으로부터 터널층(160) 방향으로 진행할수록 폭(WMC)이 감소할 수 있다. 즉, 도 3이나 도 4에 도시된 바와 같이, 금속 결정(MC)에서 제2 전극(150) 쪽에 인접한 부분의 면 방향(x, y) 폭(WMC)은 반도체 기판(110) 쪽에 인접한 부분의 폭보다 작을 수 있다.

<109> 이와 같은 금속 결정(MC)의 크기는 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도에 비례하여 크기가 결정될 수 있다.

<110> 즉, 금속 결정(MC)의 길이나 폭은 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 높을수록 커지고, 낮을수록 작아지는 특성이 있으며, 금속 결정(MC)의 소스인 제2 전극(150)의 폭이 증가할수록 금속 결정(MC)의 길이나 폭이 증가할 수 있다.

<111> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 과도하게 낮은 경우, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항이 증가할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 134

<112> 따라서, 본 발명의 제1 실시예에서는 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어, 후면 전계부(170) 중에 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B) 모두에 금속 결정(MC)이 형성되는 경우를 일례로 설명하였으나, 효율을 보다 향상시키기 위해, 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되고, 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성될 수도 있다. 이에 대해 보다 구체적으로 이하의 도 6 내지 도 8을 참조하여 설명한다.

<113> 도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

<114> 도 6에 대한 설명에서는 앞선 제1 실시예에서 설명한 내용과 중복되는 부분에 대한 설명은 생략하고, 제1 실시예와 다른 부분을 위주로 설명한다.

<115> 도 6에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 전극(150)의 적어도 일부가 후면 전계부(170) 내부로 함입되게 하되, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 관통하여 후면 전계부(170) 내부로 함입되어 형성되도록 형성할 수 있다.

<116> 이때에는, 금속 결정(MC)이 후면 전계부(170)의 핑거 형성 영역(1700F)에만 형성되고, 복수의 제2 버스바(153)는 후면 전계부(170) 내부로 함입되지 않고, 후면 보호막(190)의 후면 위에 형성될 수 있다.

<117> 따라서, 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 135

<118> 이와 같이, 제2 전극(150) 중에서 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내로 함입되도록 하여 후면 전계부(170) 중에서 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성되도록 하고, 제2 버스바(153)는 후면 보호막(190) 위에 형성되도록 하여 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않도록 하는 것은 앞선 도 3 내지 도 5에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하지 않도록 하거나 터널층(160)을 뚫고 반도체 기판(110) 내에 접속되지 않도록 하기 위함이다.

<119> 보다 구체적으로 설명하면, 제2 버스바(153)의 경우, 앞선 도 1 및 도 2에서 설명한 바와 같이, 폭이 제2 핑거 전극(151)에 비하여 상대적으로 크기 때문에, 열처리 공정시 상대적으로 큰 길이나 폭을 갖는 금속 결정(MC)이 후면 전계부(170)에 형성되어, 도 5에 도시된 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하거나 반도체 기판(110)과 접속될 수 있는데, 이를 사전에 차단하기 위함이다.

<120> 따라서, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153) 중에서 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되어 형성된 구조를 가지고 있으므로, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 핑거 전극(151)만 서로 접촉하고, 후면 전계부(170)의 전극 형성 영역(1700A) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(1700F)에만 복수의 금속 결정(MC)을 포함할 수 있고, 제2 버스바(153)와 중첩되는 후면 전계부(170)의 버스바 형성 영역(1700B)에는 복수의 금속 결정(MC)이 위치하지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 136

<121> 이를 위해, 본 발명은 복수의 제2 핑거 전극(151)에 포함되는 재질과 복수의 제2 버스바(153)에 포함되는 재질을 서로 다르게 할 수 있다.

<122> 보다 구체적으로, 제2 핑거 전극(151)이 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되도록 하고, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되는 것을 방지하거나 최소화하기 위하여, 복수의 제2 버스바(153)에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작거나 없을 수 있다.

<123> 즉, 제2 버스바(153)를 형성하기 위한 제2 버스바 페이스트의 단위 부피당 글래스 프릿의 함유량을 제2 핑거 전극(151)을 형성하기 위한 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량보다 작게 하거나 글래스 프릿이 포함되지 않도록 할 수 있다.

<124> 이와 같이 하는 이유는, 제2 전극(150)을 형성하기 위한 열처리 공정에서, 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 동안 제2 버스바 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도 후면 전계부(170) 내부로 거의 함입되지 못하게 하거나, 아예 후면 보호막(190)을 뚫지 못하게 하기 위함이다.

<125> 이와 같이 함으로써, 후면 전계부(170)의 버스바 형성 영역(170OB)에 금속 결정(MC)이 형성되지 않도록 할 수 있고, 반도체 기판(110)이 열화되는 것을 방지할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 137

<126> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극(140)에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<127> 이는, 제1 전극(140)도 제1 전극 페이스트를 도포한 후, 반사 방지막(130)을 뚫고 에미터부(120)에 접속하여 형성될 수 있는데, 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량을 제1 전극(140)과 동일하게 함으로써, 동일한 열처리 공정에서 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)로 함입되는 속도와 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 속도를 서로 대략적으로 동일하게 할 수 있다.

<128> 이로 인하여, 제1 전극(140)과 제2 전극(150)을 형성하기 위한 열처리 공정의 온도를 서로 동일하게 하면서도, 제2 핑거 전극(151)의 속도를 제한할 수 있다.

<129> 또한, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<130> 보다 구체적 일례로, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<131> 이와 같이, 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하로 하는 것은 제2 핑거 페이스트가 후면 보호막(190)을 뚫

Petitioner Runergy USA Inc., Ex. 1002, p. 138

고 후면 전계부(170) 내로 함입된 상태에서, 금속 결정(MC)이 앞선 도 3에서 설명한 바와 같이 충분히 형성되도록 하고, 상대적으로 폭이 좁은 제2 핑거 전극(151)의 저항을 충분히 낮추기 위함이다.

<132> 아울러, 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하가 되도록 함으로써, 제2 버스바 페이스트 중 일부가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도, 제2 버스바 페이스트에 포함된 금속 물질에 의해 후면 전계부(170)의 버스바 형성 영역(1700B)에 금속 결정(MC)이 형성되지 않도록 하거나, 금속 결정(MC)이 설사 형성된다 하더라도, 앞선 도 4에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내부에 형성되더라도 반도체 기판(110)에 접속되어 형성되지 않도록 방지할 수 있다.

<133> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극(140)에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

<134> 이와 같이 서로 다른 재질을 갖는 제2 핑거 전극(151)과 제2 버스바(153)를 형성함으로써, 반도체 기판(110)의 열화를 방지할 수 있고, 태양 전지의 효율이 저하되는 것을 보다 방지할 수 있다.

<135> 앞서 설명한 바와 같이, 반도체 기판(110)의 열화는 제2 전극(150)을 형성하기 위한 열처리 공정 중에 발생할 수 있고, 열처리 공정의 온도가 너무 낮으면 제2 전극(150)의 접촉 저항이 과도하게 높아져 태양 전지의 효율을 방지할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 139

<136> 여기서, 반도체 기판(110)의 열화는 다음의 도 7과 도 8에서 확인할 수 있다.

<137> 도 7은 제2 버스바 패이스트(153P)의 재질이 제2 핑거 패이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이고, 도 8은 본 발명의 제2 실시예에 따라 제2 버스바 패이스트(153P)의 재질과 제2 핑거 패이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

<138> 반도체 기판(110)의 개방 전압(Voc)를 보여주는 PL 이미지는 열처리 공정 온도에 따라 금속 결정(MC)이 반도체 기판(110)에 침투함에 따른 열화를 볼 수 있다.

<139> PL 이미지에서 반도체 기판(110)의 일부 영역이 어두워질수록 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 밝아질수록 개방 전압이 충분한 상태로 높아 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<140> 보다 구체적으로, PL 이미지에서 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하여 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하지 않는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하지 않아, 개방 전압이 충분히

Petitioner Runergy USA Inc., Ex. 1002, p. 140

높은 상태로 유지되어 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<141> 도 7 및 도 8에서는 상대적으로 폭이 큰 제2 버스바(153)의 이미지만 보이고, 제2 핑거 전극(151)의 이미지는 폭이 너무 작아 보이지 않으나, 실질적으로 각각의 제2 버스바(153)에는 복수의 제2 핑거 전극(151)이 교차하여 형성된다.

<142> 도 7에서는 제2 핑거 페이스트와 동일한 재질의 제2 버스바 페이스트(153P)를 사용한 경우이고, 도 8은 앞선 도 6에서 설명한 바와 같이 제2 핑거 페이스트와 다른 재질의 제2 버스바 페이스트(153P)를 사용한 경우이다.

<143> 도 7에서는 제2 버스바(153)와 제2 핑거 전극(151)의 동일한 재질이 서로 동일하므로, 제2 버스바 페이스트(153P)도 후면 보호막(190)을 뚫고 후면 전계부(170)에 함입되어 형성되고, 후면 전계부(170)의 버스바 형성 영역(1700B) 내로 금속 결정(MC)이 형성될 수 있다.

<144> 따라서, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (c) 및 (d)와 같이, 820℃나 795℃ 정도로 상대적으로 낮은 경우, 후면 전계부(170) 내에 금속 결정(MC)이 거의 형성되지 않고, 반도체 기판(110)의 열화가 거의 발생하지 않으나, 이와 같은 경우, 제2 핑거 전극(151)의 접촉 저항이 상대적으로 높게 형성될 수 있어 태양 전지의 효율이 감소할 수 있다.

<145> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (a) 및 (b)와 같이, 870℃나 845℃ 정도로 상대적으로 높은 경우, 반도체 기판(110)에 음

Petitioner Runergy USA Inc., Ex. 1002, p. 141

영 영역이 증가하고 상대적으로 심화되어, 제2 버스바 페이스트(153P)에 의해 형성된 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투되어 반도체 기판(110)의 열화가 심화되는 것을 알 수 있다.

<146> 그러나, 앞선 도 6에서 설명한 바와 같이, 본 발명의 제2 실시예에 따라 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 한 경우, 열처리 공정 온도가 상대적으로 낮은 도 8의 (c) 및 (d)의 경우는 물론, 상대적으로 높은 도 8의 (a) 및 (b)에서도 반도체 기판(110)의 음영 영역이 거의 증가되지 않는 것을 확인할 수 있다.

<147> 이는, 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되지 않거나, 접속되더라고 제2 버스바(153)에 의해 형성되는 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110) 내로 침투하지 않기 때문이다.

<148> 이와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 태양 전지의 개방 전압(Voc)을 충분히 높을 상태로 유지여 반도체 기판(110)의 열화를 방지하고, 태양 전지의 효율을 보다 향상시킬 수 있다.

<149> 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

Petitioner Runergy USA Inc., Ex. 1002, p. 142

【특허청구범위】

【청구항 1】

제1 도전성 타입의 불순물을 함유하는 반도체 기판;

상기 반도체 기판의 전면에 위치하고 상기 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부;

상기 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층;

상기 터널층의 후면 위에 위치하고, 상기 제1 도전성 타입의 불순물이 상기 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부;

상기 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막;

상기 에미터부와 연결되는 제1 전극; 및

상기 후면 전계부와 연결되는 제2 전극;을 포함하고,

상기 제2 전극의 적어도 일부는 상기 후면 전계부 내부로 함입되어 있는 태양 전지.

【청구항 2】

제1 항에 있어서,

상기 후면 전계부와 상기 제2 전극이 서로 접촉하는 제1 경계면은 상기 후면 전계부와 상기 후면 보호막이 서로 접촉하는 제2 경계면보다 상기 반도체 기판 방향으로 더 인접하여 위치하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 143

【청구항 3】

제1 항에 있어서,

상기 후면 전계부 중에서 상기 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 4】

제3 항에 있어서,

상기 금속 결정은 상기 후면 전계부 중에서 상기 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않는 태양 전지.

【청구항 5】

제3 항에 있어서,

상기 금속 결정은 상기 터널층 내에는 위치하지 않는 태양 전지.

【청구항 6】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함하는 태양 전지.

【청구항 7】

제3 항에 있어서,

상기 복수의 금속 결정의 중 일부는 상기 제2 전극과 직접 접촉되는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 144

【청구항 8】

제3 항에 있어서,

상기 복수의 금속 결정의 중 적어도 하나 이상은 상기 제2 전극과 이격되어 있는 태양 전지.

【청구항 9】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극으로부터 상기 터널층 방향으로의 길이가 상기 후면 전계부 두께의 2/3 이하인 태양 전지.

【청구항 10】

제3 항에 있어서,

상기 복수의 금속 결정 중 일부는 상기 제2 전극으로부터 상기 터널층 방향으로 진행할수록 폭이 감소하는 태양 전지.

【청구항 11】

제1 항에 있어서,

상기 제2 전극은 상기 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 상기 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 상기 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 145

【청구항 12】

제11 항에 있어서,

상기 복수의 제2 핑거 전극은 상기 후면 보호막을 관통하여 상기 후면 전계부 내부로 함입되어 형성되고,

상기 복수의 제2 버스바는 상기 후면 보호막의 후면 위에 형성되는 태양 전지.

【청구항 13】

제11 항에 있어서,

상기 후면 전계부의 상기 제1 경계면에서 상기 후면 전계부와 상기 제2 핑거 전극은 서로 접촉하고,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 14】

제11 항에 있어서,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 버스바가 형성되는 버스바 형성 영역에는 상기 복수의 금속 결정이 위치하지 않는 태양 전지.

【청구항 15】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 재질과 상기 복수의 제2 버스바에 포

Petitioner Runergy USA Inc., Ex. 1002, p. 146

함되는 재질은 서로 다른 태양 전지.

【청구항 16】

제11 항에 있어서,

상기 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작은 태양 전지.

【청구항 17】

제16 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일한 태양 전지.

【청구항 18】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많은 태양 전지.

【청구항 19】

제18 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고,

Petitioner Runergy USA Inc., Ex. 1002, p. 147

상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하인 태양 전지.

【청구항 20】

제18 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일한 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 148

제출 일자 : 2014-11-28

【요약서】

【요약】

본 발명은 태양 전지에 관한 것이다.

본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

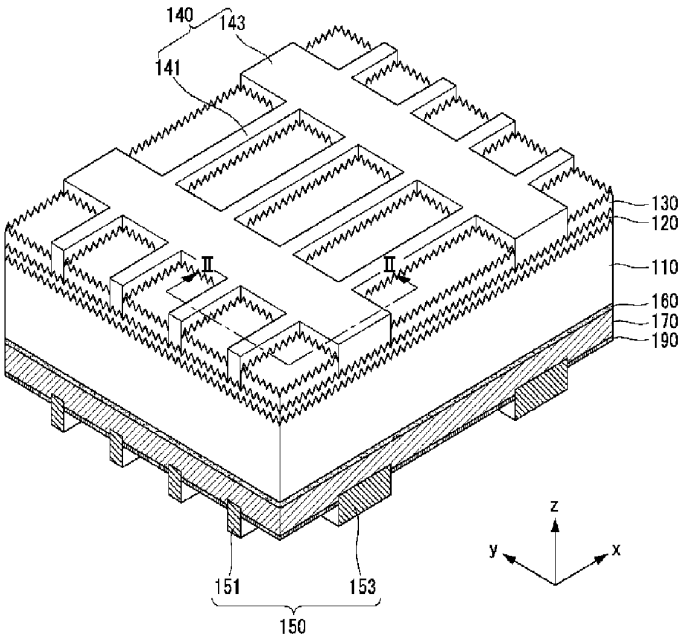
【대표도】

도 1

Petitioner Runergy USA Inc., Ex. 1002, p. 149

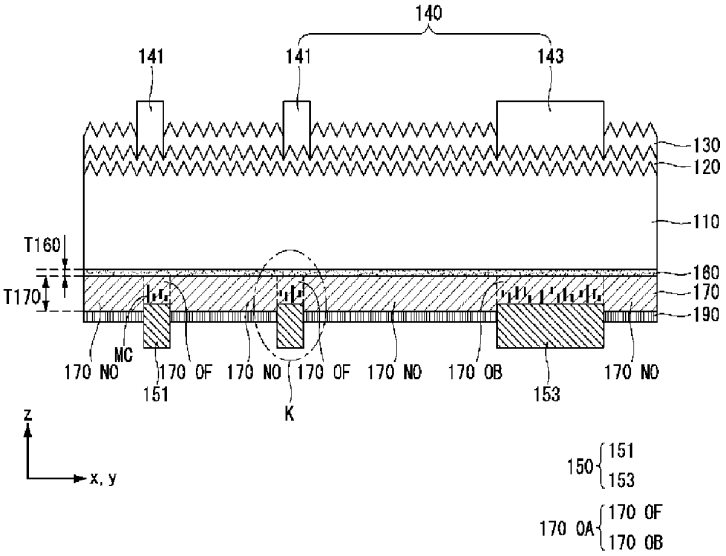
【도면】

【도 1】

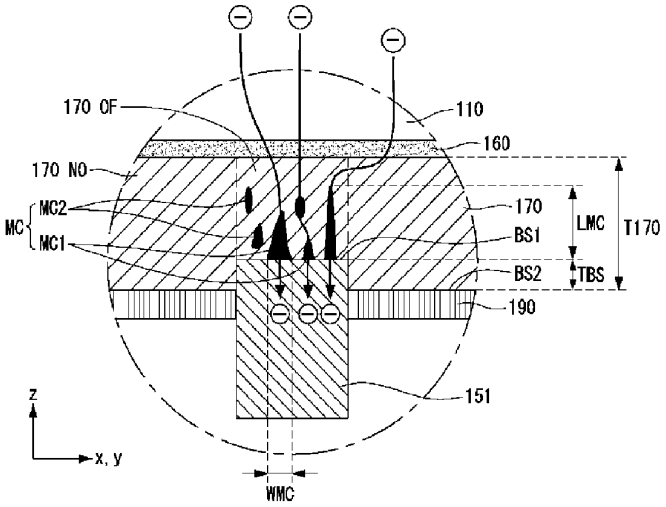


Petitioner Runergy USA Inc., Ex. 1002, p. 150

【도 2】

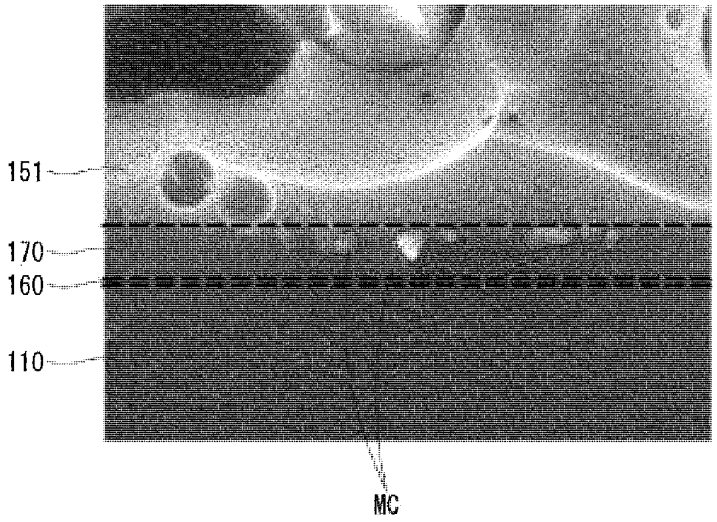


【도 3】

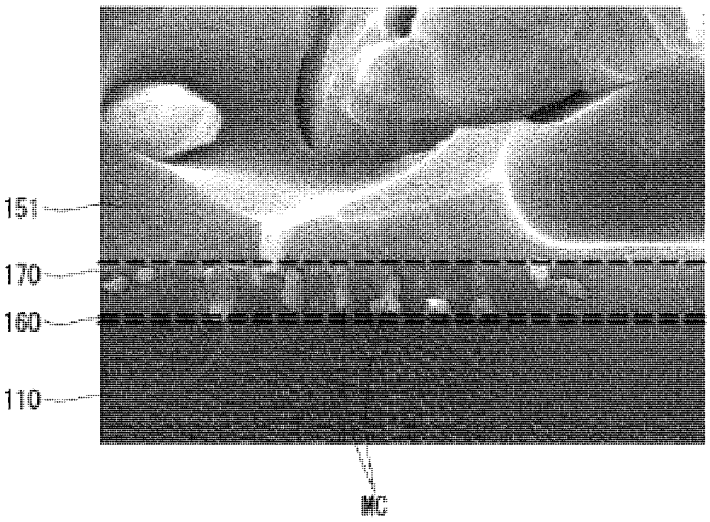


Petitioner Runergy USA Inc., Ex. 1002, p. 151

【도 4】

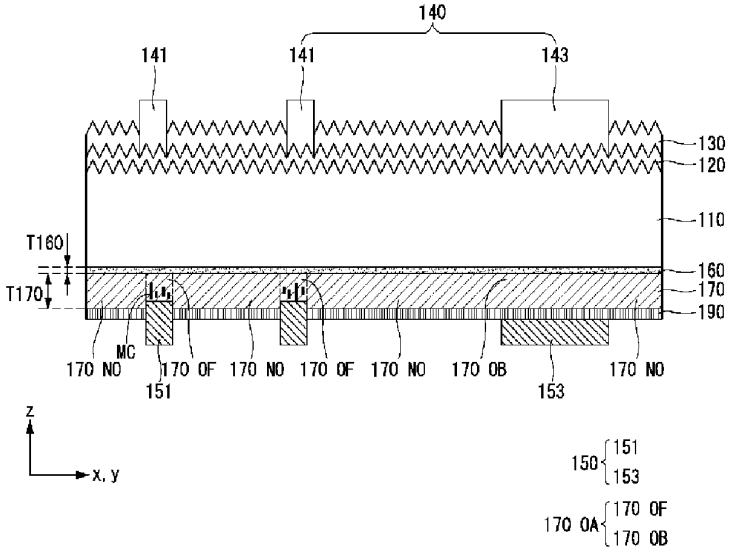


【도 5】

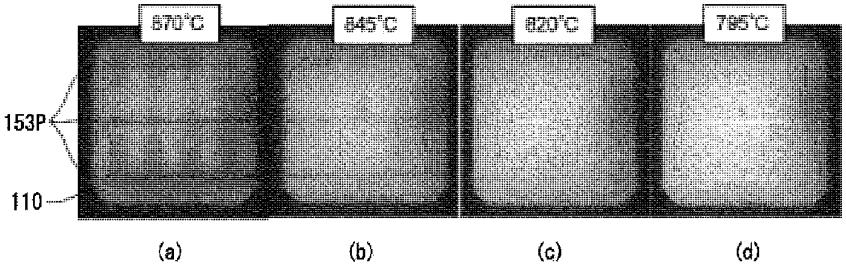


Petitioner Runergy USA Inc., Ex. 1002, p. 152

【도 6】

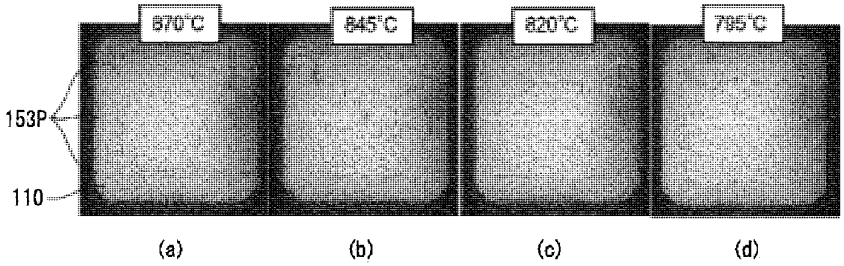


【도 7】



Petitioner Runergy USA Inc., Ex. 1002, p. 153

【도 8】



Petitioner Runergy USA Inc., Ex. 1002, p. 154

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2015-0122846
Application Number

출 원 년 월 일 : 2015년 08월 31일
Filing Date 8월 . 31, 2015

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2018년 06월 26일

특 허 청
COMMISSIONER

제출 일자 : 2015-08-31

【서지사항】

【서류명】 특허출원서

【참조번호】 01

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【특허고객번호】 1-2002-012840-3

【대리인】

【성명】 박병창

【대리인번호】 9-1998-000238-3

【포괄위임등록번호】 2002-027067-4

【발명의 국문명칭】 태양 전지 및 이의 제조 방법

【발명의 영문명칭】 SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 정주화

【성명의 영문표기】 Juhwa Cheong

【주민등록번호】 750705-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

Petitioner Runergy USA Inc., Ex. 1002, p. 156

제출 일자 : 2015-08-31

【국적】 KR

【발명자】

【성명】 안준용

【성명의 영문표기】 Junyong Ahn

【주민등록번호】 720421-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 장원재

【성명의 영문표기】 Wonjae Chang

【주민등록번호】 721030-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【출원언어】 국어

【심사청구】 청구

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 박병창 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000 원
【가산출원료】	50	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	20	항	1,023,000 원

Petitioner Runergy USA Inc., Ex. 1002, p. 157

제출 일자 : 2015-08-31

【합계】 1,069,000 원

【수수료 자동납부번호】 301-0128-1620-71

Petitioner Runergy USA Inc., Ex. 1002, p. 158

제출 일자 : 2015-08-31

【발명의 설명】

【발명의 명칭】

태양 전지 및 이의 제조 방법{SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME}

【기술분야】

<1> 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 좀더 상세하게는, 반도체 기판을 포함하는 태양 전지 및 이의 제조 방법에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

<3> 이러한 태양 전지는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 태양 전지에서는 다양한 층 및 전극의 설계에 따라 효율이 달라질 수 있다. 태양 전지의 상용화를 위해서는 태양 전지의 효율을 최대화하고 제조 방법을 단순화하는 것이 요구된다.

【발명의 내용】

【해결하려는 과제】

<4> 본 발명은 높은 효율 및 생산성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다.

Petitioner Runergy USA Inc., Ex. 1002, p. 159

【과제의 해결 수단】

<5> 본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

<6> 본 발명의 실시예에 따른 태양 전지의 제조 방법은, 반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계; 상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계; 적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계; 적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계; 상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계; 상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및 상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함하는 전극을 형성하는 단계를 포함한다. 상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기

Petitioner Runergy USA Inc., Ex. 1002, p. 160

제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는다.

【발명의 효과】

<7> 본 발명의 실시예에 따르면, 반도체 기판의 후면에 아이솔레이션부를 형성하여 제1 도전형 영역과 제2 도전형 영역이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층 및 제1 도전형 영역이 제거되어 형성된 아이솔레이션부가 위치하는 반도체 기판의 표면은 제1 도전형 영역을 덮는 제1 절연막에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조 및 공정에 의하여 아이솔레이션부를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조 및 공정에 의하여 태양 전지의 효율 및 신뢰성을 향상할 수 있으며 불량률을 낮춰 생산성을 향상할 수 있다.

【도면의 간단한 설명】

<8> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이다.

도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

도 3은 본 발명의 일 변형예에 따른 태양 전지를 도시한 단면도이다.

도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

도 5는 본 발명의 일 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정

Petitioner Runergy USA Inc., Ex. 1002, p. 161

을 도시한 단면도들이다.

도 6은 본 발명의 다른 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정을 도시한 단면도들이다.

【발명을 실시하기 위한 구체적인 내용】

<9> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

<10> 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

<11> 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다. 그리고 "제1", "제2" 등의 표현은 서로 간의 구별을 위하여 사용한 것일 뿐 본 발명이 이에 한정되

Petitioner Runergy USA Inc., Ex. 1002, p. 162

는 것은 아니다.

<12> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다.

<13> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이고, 도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

<14> 도 1을 참조하면, 태양 전지(100)는, 반도체 기판(110)과, 반도체 기판(110)의 일면 쪽에 위치하며 제1 도전형을 가지는 제1 도전형 영역(20)과, 반도체 기판(110)의 타면 쪽에 위치하며 제2 도전형을 가지는 제2 도전형 영역(30)을 포함할 수 있다. 전극(42, 44)은 제1 도전형 영역(20)에 연결되는 제1 전극(42)과, 제2 도전형 영역(30)에 연결되는 제2 전극(44)을 포함한다. 그리고 태양 전지(100)는, 제1 패시베이션막(24), 제2 패시베이션막(34), 반사 방지막(36)과 같은 절연막을 더 포함할 수 있다. 이를 상세하게 설명한다.

<15> 반도체 기판(110)은 단일 반도체 물질(일 예로, 4족 원소)를 포함하는 결정질 반도체로 구성될 수 있다. 일 예로, 반도체 기판(110)은 단결정 또는 다결정 반도체(일 예로, 단결정 또는 다결정 실리콘)로 구성될 수 있다. 특히, 반도체 기판(110)은 단결정 반도체(예를 들어, 단결정 반도체 웨이퍼, 좀더 구체적으로는, 단결정 실리콘 웨이퍼)로 구성될 수 있다. 이와 같이 반도체 기판(110)이 단결정 반도체(예를 들어, 단결정 실리콘)로 구성되면, 태양 전지(100)가 결정성이 높아 결함이 적은 단결정 반도체로 구성되는 반도체 기판(110)을 기반으로 하게 된다. 이에 따라 태양 전지(100)가 우수한 전기적 특성을 가질 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 163

<16> 반도체 기판(110)의 전면 및/또는 후면은 텍스처링(texturing)되어 요철을 가질 수 있다. 요철은, 일 예로, 외면이 반도체 기판(110)의 (111)면으로 구성되며 불규칙한 크기를 가지는 피라미드 형상을 가질 수 있다. 텍스처링에 의해 반도체 기판(110)의 전면 등에 요철이 형성되어 전면의 표면 거칠기가 증가되면, 반도체 기판(110)의 전면 등을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 베이스 영역(10)과 제1 또는 제2 도전형 영역(20, 30)에 의하여 형성된 pn 접합까지 도달하는 광량을 증가시킬 수 있어, 광 손실을 최소화할 수 있다. 본 실시예에서는 요철이 반도체 기판(110)의 전면 및 후면에 요철이 형성되어 양면으로 입사되는 광의 반사를 효과적으로 방지하는 것을 예시하였다.

<17> 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 도 3에 도시한 바와 같이, 반도체 기판(110)의 전면에만 요철이 형성되고 반도체 기판(110)의 후면에는 요철이 형성되지 않을 않을 수도 있다. 이에 의하면 터널링층(22)이 형성되는 반도체 기판(110)의 후면을 전면보다 작은 표면 거칠기를 가지도록 형성하여, 터널링층(22)이 좀더 안정적이고 균일하게 형성될 수 있다. 또는, 반도체 기판(110)의 전면 및 후면에 요철이 형성되지 않는 등 다양한 변형이 가능하다.

<18> 다시 도 1을 참조하면, 본 실시예에서 반도체 기판(110)은 제1 또는 제2 도전형 도펀트가 낮은 도핑 농도로 도핑되어 제1 또는 제2 도전형을 가지는 베이스 영역(10)을 포함한다. 이때, 반도체 기판(110)의 베이스 영역(10)은 이와 동일한 도전형을 가지는 제1 및 제2 도전형 영역(20, 30) 중 하나보다 낮은 도핑 농도, 높은 저항 또는 낮은 캐리어 농도를 가질 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 164

<19> 반도체 기판(110)의 일면(일 예로, 후면) 위에 제1 도전형을 가지는 제1 도전형 영역(20)이 위치할 수 있다. 일 예로, 반도체 기판(110) 위에 터널링층(22)이 형성되고, 터널링층(22) 위에 제1 도전형 영역(20)이 형성될 수 있다.

<20> 일 예로, 터널링층(22)은 반도체 기판(110)의 후면에 접촉 형성되어 구조를 단순화하고 터널링 효과를 향상할 수 있다. 이때, 터널링층(22)은 반도체 기판(110)의 후면에서 아이솔레이션부(I)를 제외한 부분에 전체적으로 형성될 수 있다. 여기서 전체적으로 형성되었다 함은 빈틈 없이 모두 형성된 것뿐 아니라 불가피하게 일부 영역이 형성되지 않는 것도 포함한다. 이에 의하여 별도의 패터닝 공정이 요구되지 않아 터널링층(22)을 쉽게 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<21> 터널링층(22)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 터널링층(22)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 터널링층(22)을 통과할 수 있도록 한다. 이때, 일정 이상의 에너지를 가지는 다수 캐리어는 터널링 효과에 의하여 쉽게 터널링층(22)을 통과할 수 있다. 또한, 터널링층(22)은 제1 도전형 영역(20)의 도펀트가 반도체 기판(110)으로 확산하는 것을 방지하는 확산 배리어로서의 역할을 수행할 수 있다. 이러한 터널링층(22)은 다수 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 산화물, 질화물, 반도체, 전도성 고분자 등을 포함할 수 있다. 특히, 터널링층(22)이 실리콘 산화물을 포함하는 실리콘 산화물층으로 구성될 수 있다. 실리콘 산화물층은 패시

Petitioner Runergy USA Inc., Ex. 1002, p. 165

베이션 특성이 우수하며 캐리어가 터널링되기 쉬운 막이기 때문이다.

<22> 터널링 효과를 충분하게 구현할 수 있도록 터널링층(22)의 두께가 제1 및 제2 패시베이션막(24, 34), 제1 또는 제2 도전형 영역(20, 30)의 두께보다 작을 수 있다. 일 예로, 터널링층(22)의 두께가 2nm 이하일 수 있고, 일 예로, 0.1nm 내지 1.5nm(좀더 구체적으로는, 0.5nm 내지 1.5nm)일 수 있다. 터널링층(22)의 두께가 2nm를 초과하면 터널링이 원할하게 일어나지 않아 태양 전지(100)의 효율이 저하될 수 있고, 터널링층(22)의 두께가 0.1nm 미만이면 원하는 품질의 터널링층(22)을 형성하기에 어려움이 있을 수 있다. 충분한 터널링 효과를 위해서는 터널링층(22)의 두께가 0.1nm 내지 1.5nm(좀더 구체적으로 0.5nm 내지 1.5nm)일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22)의 두께가 다양한 값을 가질 수 있다.

<23> 제1 도전형 영역(20)은 제1 도전형 도펀트를 포함하여 제1 도전형을 가지는 영역일 수 있다. 일 예로, 제1 도전형 영역(20)은 터널링층(22)에 접촉하여 형성되어 태양 전지(100)의 구조가 단순화되고 터널링층(22)의 터널링 효과가 최대화될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<24> 제1 도전형 영역(20)은 반도체 기판(110)과 동일한 반도체 물질(좀더 구체적으로, 단일 반도체 물질, 일례로, 실리콘)을 포함할 수 있다. 그러면, 제2 도전형 영역(30)이 반도체 기판(110)과 유사한 특성을 가져 서로 다른 반도체 물질을 포함할 경우에 발생할 수 있는 특성 차이를 최소화할 수 있다. 다만, 제1 도전형 영역(20)이 반도체 기판(110) 위에서 반도체 기판(110)과 별개로 형성되므로, 반도체

Petitioner Runergy USA Inc., Ex. 1002, p. 166

기판(110) 위에서 쉽게 형성될 수 있도록 제1 도전형 영역(20)이 반도체 기판(110)과 다른 결정 구조를 가질 수 있다.

<25> 예를 들어, 제1 도전형 영역(20)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체, 미세 결정 반도체, 또는 다결정 반도체(일 예로, 비정질 실리콘, 미세 결정 실리콘, 또는 다결정 실리콘) 등에 제1 도전형 도펀트를 도핑하여 형성될 수 있다. 특히, 제1 도전형 영역(20)은 다결정 반도체(일 예로, 다결정 실리콘)을 포함할 수 있다. 그러면 우수한 전기 전도도를 가져 캐리어의 이동을 원활하게 할 수 있고, 산화물 등으로 구성된 터널링층(22)에서 캐리어의 터널링이 원활하게 일어나도록 유도할 수 있다.

<26> 본 실시예에서 제1 도전형 영역(20)을 반도체 기판(110)과 별개로 형성하여 반도체 기판(110) 내부에 도핑 영역 형성 시에 발생할 수 있는 결함 또는 개방 전압 저하의 문제를 저감할 수 있다. 이에 의하여 태양 전지(100)의 개방 전압을 향상할 수 있다.

<27> 반도체 기판(110)의 다른 일면(일 예로, 전면) 쪽에 제2 도전형을 가지는 제2 도전형 영역(30)이 위치할 수 있다. 일 예로, 본 실시예에서는 제2 도전형 영역(30)이 반도체 기판(110)의 일부에 제2 도전형 도펀트가 도핑되어 형성된 도핑 영역으로 구성될 수 있다. 그러면, 베이스 영역(10)과 제2 도전형 영역(30)은 반도체 기판(110)과 동일한 결정 구조 및 반도체 물질을 포함하면서 도전형이 서로 다르거나 또는 도핑 농도가 서로 다를 수 있다. 구체적으로, 베이스 영역(10)이 제1 도전형을 가지는 경우에는 베이스 영역(10)과 제2 도전형 영역(30)의 도전형이 서로 다

Petitioner Runergy USA Inc., Ex. 1002, p. 167

르고, 베이스 영역(10)이 제2 도전형을 가지는 경우에는 제2 도전형 영역(30)의 도핑 농도가 베이스 영역(10)의 도핑 농도보다 높다.

<28> 베이스 영역(10)이 제1 도전형을 가지게 되면, 제1 도전형을 가지는 제1 도전형 영역(20)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 후면 전계(back surface field, BSF)를 형성하는 후면 전계 영역을 구성하고, 제2 도전형을 가지는 제2 도전형 영역(30)이 베이스 영역(10)과 다른 도전형을 가져 베이스 영역(10)과 pn 접합을 형성하는 에미터 영역을 구성한다. 그러면, 반도체 기판(110)의 전면 쪽에 에미터 영역을 구성하는 제2 도전형 영역(30)이 위치하여 pn 접합에 접합하는 광의 경로를 최소화할 수 있다.

<29> 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 베이스 영역(10)이 제2 도전형을 가지게 되면, 제1 도전형 영역(20)이 에미터 영역을 구성하고 제2 도전형 영역(30)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 전면 전계(front surface field, FSF)를 형성하는 전면 전계 영역을 구성한다.

<30> 제1 또는 제2 도전형 도펀트로 사용되는 p형 도펀트로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 들 수 있고, n형 도펀트로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 들 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 도펀트가 제1 또는 제2 도전형 도펀트로 사용될 수 있다.

<31> 여기서, 본 실시예에서는 반도체 기판(110)과 별개로 형성되는 제1 도전형

Petitioner Runergy USA Inc., Ex. 1002, p. 168

영역(20)이 반도체 기판(110)의 후면 쪽에 위치하고, 반도체 기판(110)의 일부를 구성하는 제2 도전형 영역(30)이 반도체 기판(110)의 전면 쪽에 위치한다. 반도체 기판(110)과 다른 결정 구조를 가지는 제1 도전형 영역(20)이 반도체 기판(110)의 전면 쪽에 위치하면 제1 도전형 영역(20)에서의 광 흡수가 증가되어 pn 접합에 도달하는 광량이 저하될 수 있으므로, 제1 도전형 영역(20)을 반도체 기판(110)의 후면 쪽에 위치시킨 것이다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<32> 제1 및 제2 도전형 영역(20, 30) 위에는 제1 및 제2 전극(42, 44)에 대응하는 개구부(102, 104)를 제외하고 절연막이 전체적으로 형성될 수 있다. 이러한 절연막은 별도로 도펀트를 포함하지 않는 언도프트 절연막으로 구성될 수 있다.

<33> 구체적으로, 제1 도전형 영역(20) 위에는 개구부(102)를 제외한 부분에 제1 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있고, 제2 도전형 영역(30) 위에는 개구부(104)를 제외한 부분에 제2 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있다. 본 실시예에서는 제1 절연막으로 제1 도전형 영역(20) 위에 형성(일 예로, 접촉)하는 제1 패시베이션막(24)을 사용하고, 제2 절연막으로 제2 도전형 영역(30) 위에 형성(일 예로, 접촉하는) 제2 패시베이션막(34) 및 이 위에 형성(일 예로, 접촉)하는 반사 방지막(36)을 사용하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 절연막은 원하는 기능에 따라 다양한 배치를 가질 수 있다.

<34> 패시베이션막(24, 34)은 도전형 영역(20, 30)에 접촉하여 형성되어 도전형 영역(20, 30)의 표면 또는 벌크 내에 존재하는 결함을 부동화 시킨다. 이에 의하여 소수 캐리어의 재결합 사이트를 제거하여 태양 전지(100)의 개방 전압(Voc)을 증가

Petitioner Runergy USA Inc., Ex. 1002, p. 169

시킬 수 있다. 반사 방지막(36)은 반도체 기판(110)의 전면으로 입사되는 광의 반사율을 감소시킨다. 이에 의하여 반도체 기판(110)의 전면을 통해 입사되는 광의 반사율이 낮추는 것에 의하여 베이스 영역(10)과 제1 도전형 영역(20)의 계면에 형성된 pn 접합까지 도달되는 광량을 증가시킬 수 있다. 이에 따라 태양 전지(100)의 단락 전류(Isc)를 증가시킬 수 있다. 이와 같이 패시베이션막(24, 34) 및 반사 방지막(36)에 의해 태양 전지(100)의 개방 전압과 단락 전류를 증가시켜 태양 전지(100)의 효율을 향상할 수 있다.

<35> 일례로, 패시베이션막(24, 34) 또는 반사 방지막(36)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, 알루미늄 산화막, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 일 예로, 패시베이션막(24, 34)은, 도전형 영역(20, 30)이 n형을 가지는 경우에는 고정 양전하를 가지는 실리콘 산화막, 실리콘 질화막 등을 포함할 수 있으며, p형을 가지는 경우에는 고정 음전하를 가지는 알루미늄 산화막 등을 포함할 수 있다. 일 예로, 반사 방지막(36)은 실리콘 질화물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 패시베이션막(24, 34), 그리고 반사 방지막(36)이 다양한 물질을 포함할 수 있다.

<36> 제1 전극(42)은 제1 도전형 영역(20) 위에 위치(일 예로, 접촉)하여 제1 도전형 영역(20)에 전기적으로 연결된다. 제1 전극(42)은 제1 패시베이션막(24)에 형성된 개구부(102)를 통하여(즉, 제1 패시베이션막(24)을 관통하여) 제1 도전형 영

Petitioner Runergy USA Inc., Ex. 1002, p. 170

역(20)에 전기적으로 연결될 수 있다. 이와 유사하게 제2 전극(44)은 제2 도전형 영역(30) 위에 위치(일 예로, 접촉)하여 제2 도전형 영역(30)에 전기적으로 연결된다. 제2 전극(44)은 제2 패시베이션막(34) 및 반사 방지막(36)에 형성된 개구부(104)를 통하여(즉, 제2 패시베이션막(34) 및 반사 방지막(36)을 관통하여) 제1 도전형 영역(20)에 전기적으로 연결될 수 있다. 이러한 제1 및 제2 전극(42, 44)은 다양한 물질(좀더 구체적으로, 금속)을 포함하고 다양한 형상을 가질 수 있다. 제1 및 제2 전극(42, 44)의 형상에 대해서는 추후에 도 2를 참조하여 상세하게 설명한다.

<37> 반도체 기판(110)의 후면 위에 위치한 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리(또는 반도체 기판(110)의 측면)과 일정한 제1 거리(D1)만큼 이격되어 위치한다. 이에 따라 터널링층(22) 및 제1 도전형 영역(20) 각각의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 여기서 제1 거리(D1)는 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리 사이의 거리 중 가장 짧은 거리를 의미할 수 있다.

<38> 즉, 반도체 기판(110)의 후면의 가장자리에는 터널링층(22) 및 제1 도전형 영역(20)(이와 함께, 제1 도전형 영역(20)에 연결되는 제1 전극(42))이 형성되지 않는 아이솔레이션부(I)가 위치할 수 있다. 아잇올레이션부(I)는 반도체 기판(110)의 후면의 가장자리로부터 제1 도전형 영역(20)을 이격시켜 에지 아이솔레이션(edge isolation)의 역할을 할 수 있다. 즉, 제2 도전형 영역(30)의 형성 시에 제2 도전형 도펀트가 반도체 기판(110)의 측면 또는 후면의 가장자리까지 확산되어 반

Petitioner Runergy USA Inc., Ex. 1002, p. 171

도체 기판(110)의 측면 또는 후면의 가장자리에서 제1 도전형 영역(20)과 제2 도전형 영역(30)이 원하지 않게 단락될 수 있는데, 본 실시예에서는 반도체 기판(110)의 후면 가장자리에서 제1 도전형 영역(20)을 제거하여 이러한 문제를 원천적으로 방지할 수 있다. 그리고 반도체 기판(110)의 전면에 위치하는 제2 도전형 영역(30)은 반도체 기판(110)의 전면에서 전체적으로 형성할 수 있어, 제2 도전형 영역(30)의 면적을 최대화할 수 있다.

<39> 아이솔레이션부(I)는, 도 2에 도시한 바와 같이, 반도체 기판(110)의 후면 가장자리 전체를 따라 형성되어 폐쇄된 형상(closed shape)를 가질 수 있다. 그리고 아이솔레이션부(I)와 터널링층(22) 및 제1 도전형 영역(20)이 형성된 부분 사이에는 일정한 단차가 존재하게 된다.

<40> 일 예로, 제1 거리(D1)(즉, 아이솔레이션부(I)의 폭)이 1㎜ 이하일 수 있다. 제1 거리(D1)가 1㎜를 초과하면, 제1 도전형 영역(20)의 면적이 작아져서 효율이 저하될 수 있다. 일 예로, 제1 거리(D1)가 1㎚ 내지 1㎜ 일 수 있다. 제1 거리(D1)가 1㎜ 미만이면, 아이솔레이션부(I)에 의한 효과가 충분하지 않을 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 반도체 기판(110)의 크기 등에 따라 상술한 제1 거리(D1)가 다른 값을 가질 수도 있다.

<41> 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지는 형상을 가질 수 있다. 이때, 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지도록 측면이 반도체 기판(110)과 수직이 되지 않도록(일 예로, 대략적으로 경사지게) 형성될 수 있다. 일 예로, 제1 도전형 영역(20)은 반

Petitioner Runergy USA Inc., Ex. 1002, p. 172

도체 기판(110)으로부터 멀어질수록 면적이 작아지면서 측면이 라운드지게 형성될 수 있다. 터널링층(22)의 측면은 제1 도전형 영역(20)의 측면과 연장되도록 위치할 수 있으며, 제1 도전형 영역(20)과 유사하게 라운드진 형상을 가질 수 있다. 이는 제1 도전형 영역(20)과 터널링층(22)을 제거하여 아이솔레이션부(I)를 형성하는 공정에서 습식 공정 등을 사용하였기 때문인데, 이에 대해서는 후술한다. 그러나 제1 도전형 영역(20) 및 터널링층(22)의 측면 형상 등은 이 외에도 다양한 형상을 가질 수도 있다.

<42> 그리고 반도체 기판(110)의 후면 쪽에 위치한 제1 절연막(즉, 제1 패시베이션막(24))은 터널링층(22) 및 제1 도전형 영역(20)이 있는 부분에서는 제1 도전형 영역(20) 위에 위치하고, 아이솔레이션부(I)에서는 반도체 기판(110)의 후면 위에 위치(좀더 구체적으로는, 접촉)한다. 즉, 제1 패시베이션막(24)은 반도체 기판(110)의 가장자리 부근에서 반도체 기판(110)의 후면에 접촉하여 형성되고, 이로부터 연장되어 터널링층(22) 및 제1 도전형 영역(20)의 측면들을 덮으면서 이들과 접촉하여 형성되고, 이로부터 연장되어 제1 도전형 영역(20)의 상부면을 덮으면서 이들과 접촉하여 형성된다.

<43> 본 실시예에서는 태양 전지(100)의 제조 공정 중에 반도체 기판(110)의 후면의 가장자리에 위치한 터널링층(22) 및 제1 도전형 영역(22)을 제거하여 아이솔레이션부(I)를 형성한다. 이에 따라 제1 패시베이션막(24)을 터널링층(22) 및 제2 도전형 영역(22)이 제거되어 노출된 반도체 기판(110)의 후면의 가장자리 부분(즉, 아이솔레이션부(I)에 대응하는 부분)을 덮도록 형성한다. 이에 의하여 아이솔레이

Petitioner Runergy USA Inc., Ex. 1002, p. 173

션부(I)에 의하여 패시베이션 특성이 저하되는 것을 방지한다. 이때, 별도의 패시베이션막을 사용하지 않고 제1 패시베이션막(24)을 사용하여 태양 전지(100)의 구조 및 제조 공정이 복잡해지는 것을 방지할 수 있다.

<44> 그리고 제1 절연막인 제1 패시베이션막(24)은 반도체 기판(110)의 측면 위까지 연장되는 측면부(24a)를 포함할 수 있다. 제1 패시베이션막(24)의 측면부(24a)를 구비하면 제1 패시베이션막(24)이 반도체 기판(110)의 후면 쪽 위를 전체적으로 안정적으로 덮으면서 형성될 수 있다.

<45> 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)도 반도체 기판(110)의 측면 위까지 연장되는 측면부(34a, 36a)를 포함할 수 있다. 이때, 반도체 기판(110)의 측면에서 제2 절연막이 반도체 기판(110)에 더 가까이 위치하고, 제1 절연막이 제2 절연막 위에 위치할 수 있다. 좀더 구체적으로는, 제2 패시베이션막(34)의 측면부(34a)가 반도체 기판(110)의 측면에 접촉하고, 반사 방지막(36)의 측면부(36a)가 제2 패시베이션막(34)의 측면부(34a)에 접촉하고, 제1 패시베이션막(24)의 측면부(24a)가 반사 방지막(36)의 측면부(36a)에 접촉할 수 있다. 이에 의하면, 제1 패시베이션막(24)을 형성하는 공정에서 제2 도전형 영역(30)을 안정적으로 보호할 수 있도록 제2 절연막을 먼저 형성한 다음 제1 절연막을 형성하였기 때문인데, 이에 대해서는 추후에 좀더 상세하게 설명한다.

<46> 그러나 본 발명이 이에 한정되는 것은 아니며, 반도체 기판(110)의 측면에 측면부(24a, 34a, 36a) 중 적어도 하나가 구비되지 않거나 이들의 적층 순서가 달라질 수도 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 174

<47> 도 2를 참조하여 제1 전극(42)의 평면 형상을 상세하게 설명한 다음, 제2 전극(44)의 평면 형상을 상세하게 설명한다.

<48> 도 2를 참조하면, 제1 전극(42)은 일정한 피치를 가지면서 서로 이격되는 복수의 핑거 전극(42a)을 포함할 수 있다. 도면에서는 핑거 전극(42a)이 서로 평행하며 반도체 기판(110)의 가장자리에 평행한 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 그리고 제1 전극(42)은 핑거 전극들(42a)과 교차하는 방향으로 형성되어 핑거 전극(42a)을 연결하는 버스바 전극(42b)을 포함할 수 있다. 이러한 버스바 전극(42b)은 하나만 구비될 수도 있고, 도 2에 도시된 바와 같이, 핑거 전극(42a)의 피치보다 더 큰 피치를 가지면서 복수 개로 구비될 수도 있다. 이때, 핑거 전극(42a)의 폭보다 버스바 전극(42b)의 폭이 클 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 따라서, 버스바 전극(42b)의 폭이 핑거 전극(42a)의 폭과 동일하거나 그보다 작은 폭을 가질 수 있다.

<49> 단면에서 볼 때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)은 모두 제1 절연막인 패시베이션막(24)을 관통하여 형성될 수도 있다. 즉, 개구부(102)가 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 모두 대응하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 제1 전극(42)의 핑거 전극(42a)이 제1 패시베이션막(24)을 관통하여 형성되고, 버스바 전극(42b)이 제1 패시베이션막(24) 위에 형성될 수 있다. 이 경우에는 개구부(102)가 핑거 전극(42a)에 대응하는 형상으로 형성되고, 버스바 전극(42b)만 위치한 부분에는 형성되지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 175

<50> 앞서 설명한 바와 같이 본 실시예에서는 반도체 기판(110)의 가장자리를 따라 터널링층(22) 및 제1 도전형 영역(20)이 형성되지 않는 형성되는 아이솔레이션부(I)가 형성된다. 이에 따라 제1 도전형 영역(20) 위에 형성되는 제1 전극(42)이 아이솔레이션부(I)에는 형성되지 않는다. 이에 따라 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(44b)의 단부는 반도체 기판(110)의 가장자리와 적어도 제1 거리(D1)만큼 이격되어 위치하게 된다.

<51> 제2 전극(44)은 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 각기 대응하는 핑거 전극 및 버스바 전극을 포함할 수 있다. 제2 전극(44)의 핑거 전극 및 버스바 전극에 대해서는 아이솔레이션부(I)에 대한 내용을 제외하고는 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 대한 내용이 그대로 적용될 수 있다. 그리고 제1 전극(42)에서 제1 절연막인 제1 패시베이션막(24)에 관련된 내용은 제2 전극(44)에서 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)에 그대로 적용될 수 있다. 이때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)의 폭, 피치 등은 제2 전극(44)의 핑거 전극 및 버스바 전극의 폭, 피치 등과 서로 동일할 수도 있고 서로 다를 수 있다.

<52> 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)과 제2 전극(44)의 평면 형상이 서로 다른 것도 가능하며, 그 외의 다양한 변형이 가능하다.

<53> 상술한 바와 같이 본 실시예에서는 태양 전지(100)의 제1 및 제2 전극(42, 44)이 일정한 패턴을 가져 태양 전지(100)가 반도체 기판(110)의 전면 및 후면으로 광이 입사될 수 있는 양면 수광형(bi-facial) 구조를 가진다. 이에 의하여 태양 전

Petitioner Runergy USA Inc., Ex. 1002, p. 176

지(100)에서 사용되는 광량을 증가시켜 태양 전지(100)의 효율 향상에 기여할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)이 반도체 기판(110)의 후면 쪽에서 전체적으로 형성되는 구조를 가지는 것도 가능하다. 그 외의 다양한 변형이 가능하다.

<54> 이때, 반도체 기판(110)의 후면에 아이솔레이션부(I)를 형성하여 제1 도전형 영역(20)과 제2 도전형 영역(30)이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층(22) 및 제1 도전형 영역(20)이 제거되어 형성된 아이솔레이션부(I)가 위치하는 반도체 기판(110)의 표면은 제1 도전형 영역(20)을 덮는 제1 절연막(제1 패시베이션막(24))에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조에 의하여 아이솔레이션부(I)를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조에 의하여 태양 전지(100)의 효율 및 신뢰성을 향상하고 불량률을 낮출 수 있다.

<55> 이러한 태양 전지(100)의 제조 방법을 도 4a 내지 도 4j를 참조하여 상세하게 설명한다. 이미 설명한 내용에 대해서는 상세한 설명을 생략하고 설명하지 않은 내용에 대해서만 상세하게 설명한다.

<56> 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

<57> 도 4a에 도시한 바와 같이, 반도체 기판(110)의 전면 및 후면에 텍스쳐링 공정을 수행하여 요철을 형성한다. 반도체 기판(110)의 텍스처링으로는 습식 또는 건식 텍스처링을 사용할 수 있다. 습식 텍스처링은 텍스처링 용액에 반도체 기판

Petitioner Runergy USA Inc., Ex. 1002, p. 177

(110)을 침지하는 것에 의해 수행될 수 있으며, 공정 시간이 짧은 장점이 있다. 건식 텍스처링은 다이아몬드 그릴 또는 레이저 등을 이용하여 반도체 기판(110)의 표면을 깍는 것으로, 요철을 균일하게 형성할 수 있는 반면 공정 시간이 길고 반도체 기판(110)에 손상이 발생할 수 있다. 그 외에 반응성 이온 식각(RIE) 등에 의하여 반도체 기판(110)을 텍스처링 할 수도 있다. 이와 같이 본 발명에서는 다양한 방법으로 반도체 기판(110)을 텍스처링 할 수 있다.

<58> 간략한 도시를 위하여 도면에서는 반도체 기판(110)의 측면에는 텍스처링에 의한 요철이 구비되지 않은 것으로 도시하였다. 또한, 반도체 기판(110)의 두께가 매우 작은 편이므로 텍스처링에 의한 요철이 명확하게 인식되기 어려울 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 반도체 기판(110)의 측면에도 텍스처링에 의한 요철이 구비될 수 있다. 그리고 반도체 기판(110)의 텍스처링은 이후의 공정 중에 수행할 수도 있다.

<59> 도 4b에 도시한 바와 같이, 반도체 기판(110)의 양면 각각에 전체적으로 터널링층(22)을 형성한다. 이때, 터널링층(22)은 반도체 기판(110)의 측면에도 전체적으로 형성될 수 있다.

<60> 여기서, 터널링층(22)은, 일례로, 열적 산화, 화학적 산화, 증착(일 예로, 상압 화학 기상 증착법(APCVD), 저압 화학 기상 증착법(LPCVD)) 등에 의하여 형성될 수 있다. 추가적으로 얇은 두께로 터널링층(22)을 형성한 후에 로(furnace) 내에서의 후속 열처리 등에 의하여 터널링층(22)의 두께 또는 밀도를 증가시킬 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 터널링

Petitioner Runergy USA Inc., Ex. 1002, p. 178

층(22)이 형성될 수 있다. 여기서, 터널링층(22)이 실리콘 산화물층으로 이루어질 수 있다.

<61> 일 예로, 본 실시예에서 터널링층(22)은 상온보다 높은 온도 및 상압보다 작은 압력에서 원료 기체를 포함하는 기체 분위기에서 형성될 수 있다. 본 실시예에서는 원료 기체가 산소 기체를 포함하여 터널링층(22)이 산화물층으로 구성될 수 있다. 좀더 구체적으로는, 높은 온도에서 터널링층(22)이 산소와 반도체 기판(110)의 반도체 물질(예를 들어, 실리콘)이 반응하여 형성되는 열적 산화물(thermal oxide material)(예를 들어, 열적 실리콘 산화물)층으로 구성될 수 있다. .

<62> 이때, 본 실시예에서는 원료 기체가 터널링층(22)을 구성하는 모든 원료 물질을 포함하지 않으며, 터널링층(22)을 구성하는 산화물 중에 산소 기체만을 포함하며 다른 원료 물질을 포함하지 않는다. 예를 들어, 터널링층(22)이 실리콘 산화물을 포함할 때, 원료 기체로 산소 기체만을 구비할 뿐 다른 원료 물질인 실리콘을 포함하는 기체를 포함하지 않는다. 이에 따라 산소 기체의 산소가 반도체 기판(110)의 내부로 확산하여 반도체 물질과 반응하는 열적 산화 공정에 의하여 터널링층(22)이 형성된다. 이와 달리, 증착 공정 등에서는 산소를 포함하는 산소 기체와 함께 실리콘을 포함하는 실란(SiH_4) 기체를 원료 기체로 함께 공급한다. 그러면, 열분해에 의하여 산소 기체에서 분리된 산소와 실란 기체에서 분리된 실리콘이 화학적으로 반응하여 실리콘 산화물을 형성하게 된다. 터널링층(22)을 형성할 때 기체 분위기는 원료 기체인 산소 기체 외에도 다양한 기체를 포함할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 179

<63> 그리고 터널링층(22)을 형성할 때의 압력을 상압보다 낮게 하여, 상대적으로 높은 온도(일 예로, 600℃ 이상)에 의한 열적 산화 공정으로 터널링층(22)을 형성하더라도 낮은 압력에 의하여 터널링층(22)의 성장 속도를 낮게 유지할 수 있다. 이에 의하여 터널링층(22)의 두께를 크게 줄일 수 있다. 일 예로, 터널링층(22) 형성 시 온도를 600℃ 내지 800℃로 하고 압력을 600 Torr 이하로 하여 터널링층(22)의 두께를 효과적으로 제어할 수 있다.

<64> 이와 같이 본 실시예에서는 터널링층(22)을 형성할 때 온도와 압력을 함께 제어하여야 하므로 압력 조절이 불가능한 종래의 로(furnace)에서 본 실시예의 터널링층(22)을 형성할 수 없고, 온도 및 압력 조절이 모두 가능한 장비 내에서 터널링층(22)을 형성하여야 한다. 이에 따라 본 실시예에서는 터널링층(22)은 증착 장비 등의 내부에서 열적 산화 공정에 의하여 형성될 수 있다. 이때, 낮은 압력을 구현하여야 하므로 터널링층(22)이 저압 화학 기상 증착 장비(low pressure chemical vapor deposition apparatus) 내에서 형성될 수 있다.

<65> 터널링층(22) 위에 형성되는 반도체층(도 4c의 참조부호 30)이 증착 장비에 의하여 형성되므로 터널링층(22)을 증착 장비에서 형성하게 되면, 터널링층(22)과 진성 반도체층(200)을 동일한 증착 장비(좀더 구체적으로는, 저압 화학 기상 증착 장비) 내에서 연속적으로 수행되는 인-시츄(in-situ) 공정에 의하여 형성될 수 있다. 이와 같이 터널링층(22)과 진성 반도체층(200)을 인-시츄 공정에 의하여 형성하게 되면, 제조 공정을 크게 단순화할 수 있어 제조 비용, 제조 시간 등을 크게 절감할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 180

<66> 증착 장비 내의 온도는 긴 시간 동안 열을 가하거나 열을 식히는 것에 의하여 조절되며 온도를 안정화하는 데 시간이 많이 소요되는 반면, 기체 분위기 및 압력은 증착 장비 내로 공급되는 기체의 종류, 양 등에 의하여 조절될 수 있다. 따라서, 기체 분위기 및 압력은 온도보다 쉽게 제어될 수 있다.

<67> 이를 고려하여 본 실시예에서는 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이가 200℃ 이내(즉, 0℃ 내지 200℃)가 되도록 할 수 있다. 좀더 구체적으로는, 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이를 100℃ 이내(즉, 00℃ 내지 100℃)가 되도록 할 수 있다. 이는 터널링층(22)을 저압에서 형성하므로 터널링층(22)의 형성 온도를 상대적으로 높일 수 있어서 진성 반도체층(200)의 증착 공정과의 온도 차이를 줄일 수 있기 때문이다. 이와 같이 상대적으로 조절이 힘든 온도를 큰 변화 없이 유지할 수 있어 터널링층(22)과 진성 반도체층(200)을 연속적으로 형성하는 인-시츄 공정의 효율을 좀더 향상할 수 있다. 반면, 진성 반도체층(200)의 증착 공정의 기체 분위기는 터널링층(22)의 형성 시의 기체 분위기와 다르고, 진성 반도체층(200)의 증착 공정의 압력은 터널링층(22)의 형성 시의 압력과 같거나 이와 다를 수 있다. 이에 대해서는 추후에 진성 반도체층(200)의 증착 공정을 설명하면서 좀더 상세하게 설명한다.

<68> 도 4c에 도시한 바와 같이, 반도체 기판(110)의 양측 각각에서 터널링층(22) 위에 전체적으로 진성 반도체층(200)을 형성한다. 이때, 진성 반도체층(200)은 반도체 기판(110)의 측면 위에 위치한 터널링층(22) 위에도 전체적으로 형성될 수 있다. 이와 같이 진성 반도체층(200)이 양면에 위치하면 제1 도전형 영역(20)을 도핑

Petitioner Runergy USA Inc., Ex. 1002, p. 181

하는 공정에서 반도체 기판(110)의 전면의 도핑, 손상 등을 효과적으로 방지할 수 있다.

<69> 본 실시예에서 진성 반도체층(200)은 화학 기상 증착에 의하여 형성될 수 있고, 좀더 구체적으로는 저압 화학 기상 증착에 의하여 형성될 수 있다. 이에 따라 앞서 설명한 바와 같이 진성 반도체층(200)이 터널링층(22)과 인-시츄 공정에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22) 및 진성 반도체층(200)에 인-시츄 공정이 적용되지 않을 수도 있다.

<70> 진성 반도체층(200)의 증착 공정에 사용되는 기체는 진성 반도체층(200)을 구성하는 반도체 물질을 포함하는 기체(예를 들어, 실란 기체)를 포함할 수 있다. 본 실시예에서는 진성을 가지도록 진성 반도체층(200)을 증착하므로 기체 분위기가 반도체 물질을 포함하는 기체만으로 구성될 수 있다. 이에 의하여 공급 기체를 단순화할 수 있고, 형성되는 진성 반도체층(200)의 순도를 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 증착 공정을 촉진하거나, 진성 반도체층(200)의 특성을 향상하기 위한 별도의 기체 등을 더 사용될 수 있다. 그리고 진성 반도체층(200)의 증착 공정에서는 반도체 물질을 포함하는 기체 외에도 산화질소(N_2O) 기체 및/또는 산소(O_2) 기체를 함께 주입하여 결정립 크기, 결정성 등을 조절할 수 있다.

<71> 진성 반도체층(200)의 증착 온도는 터널링층(22)의 형성 시의 온도와 동일하거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 온도를 터널링층(22)

Petitioner Runergy USA Inc., Ex. 1002, p. 182

형성 시의 온도보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다. 또는, 진성 반도체층(200)의 증착 온도는 500℃ 내지 700℃일 수 있다. 이는 반도체 기판(110)과 다른 결정 구조를 가지는 진성 반도체층(200)을 증착하기에 적합한 온도로 한정된 것이다. 앞서 설명한 바와 같이, 터널링층(22)의 온도를 진성 반도체층(200)의 증착 온도와 동일 또는 유사하게 하였으므로, 온도를 조절하기 위한 시간, 온도를 안정화하기 위한 시간 등이 필요하지 않아 공정을 단순화할 수 있다.

<72> 그리고 진성 반도체층(200)의 증착 압력은 상압보다 낮은 압력, 일 예로, 600 Torr 이하(일 예로, 1 Torr 내지 600 Torr)일 수 있다. 증착 압력을 1 Torr 미만으로 유지하는 것은 공정 상 한계가 있을 수 있고 진성 반도체층(200)의 공정 시간이 크게 길어져서 실제 양산에 적용되기 어려울 수 있다. 증착 압력이 600 Torr를 초과하면, 진성 반도체층(200)의 균일도가 저하될 수 있다. 또는, 진성 반도체층(200)의 증착 압력은 터널링층(22)의 형성 시 압력과 같거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 압력을 터널링층(22) 형성 시의 압력보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다.

<73> 이를 좀더 상세하게 설명한다. 반도체 물질(예를 들어, 실리콘)을 포함하는 기체가 열분해되어 반도체 물질이 터널링층(22) 위에 증착되는 것에 의하여 진성 반도체층(200)이 형성된다. 그런데, 증착 속도를 증가시키기 위하여 온도 및/또는 압력을 증가시키게 되면 진성 반도체층(200) 내부에서 결정성의 산포가 커지게 된

Petitioner Runergy USA Inc., Ex. 1002, p. 183

다. 진성 반도체층(200)의 결정성은 캐리어의 이동 속도 등에 관여하게 되므로, 진성 반도체층(200)의 결정성의 산포가 커지면 진성 반도체층(200)의 특성이 불균해질 수 있다. 반면, 터널링층(22)은 아주 얇은 두께로 형성되며 결정성이 터널링층(22)의 특성에 큰 영향을 미치지 않는다. 이를 고려하여, 진성 반도체층(200)이 터널링층(22)보다 두꺼운 두께로 형성되어야 함에도 불구하고 진성 반도체층(200)의 증착 온도 및/또는 압력을 터널링층(22)의 형성 시보다 낮게 하여 진성 반도체층(200)의 특성을 향상하는 것이다.

<74> 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 기체 분위기, 온도, 압력 등은 다양하게 변화될 수 있다.

<75> 이와 같이 진성 반도체층(200)은 터널링층(22)의 형성 후에 공급되는 기체의 종류를 변경하고 공급되는 기체의 양을 조절하는 것에 의하여 형성될 수 있다. 예를 들어, 터널링층(22)의 형성이 완료된 후에 터널링층(22)의 형성 시에 사용되었던 기체(예를 들어, 산소 기체, 질소 기체, 염소 기체 등)을 펌핑(pumping) 및 퍼지(purge)에 의하여 제거한 후에, 진성 반도체층(200)을 형성하기 위한 기체(예를 들어, 반도체 물질을 포함하는 기체 등)를 주입하는 것에 의하여 진성 반도체층(200)을 형성할 수 있다.)

<76> 이에 따라 터널링층(22) 및 진성 반도체층(200)의 형성 공정을 단순화할 수 있다. 또한, 종래와 같이 터널링층을 형성한 다음 터널링층이 형성된 반도체 기판을 장비 외부로 꺼내게 되면, 터널링층이 불순물에 오염되거나 추가적인 산화에 의하여 터널링층의 두께가 두꺼워지는 문제가 있었다. 본 실시예에서는 터널링층(2

Petitioner Runergy USA Inc., Ex. 1002, p. 184

2)을 형성한 장비 내에서 진성 반도체층(200)을 연속하여 형성하므로 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되지 않는다. 따라서 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되어 발생할 수 있는 문제를 방지할 수 있다.

<77> 참고로, 플라스마 화학 기상 증착(PECVD)을 사용하는 경우에는 진성 반도체층(200)을 형성한 후에 다결정 구조를 가지게 하기 위하여 별도의 결정화 어닐링 공정을 수행하여야 한다. 이에 따라 구조가 복잡해지고 성능 또한 낮을 수 있다. 또한, 플라스마 화학 기상 증착은 단면 공정으로 반도체 기판(110)의 양측 각각에 전체적으로 진성 반도체층(200)을 형성하기 어려울 수 있다.

<78> 이어서, 도 4d에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200)을 제1 도전형 도펀트로 도핑하여 제1 도전형 영역(20a)을 형성한다. 이때, 본 실시예에서는 열 확산법에 의하여 제1 도전형 도펀트를 도핑할 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<79> 일 예로, 도 4d에 도시한 바와 같이, 제1 도전형 도펀트를 포함하는 기체 분위기에서 열처리하는 것에 의하여 전체적으로 제1 도전형 영역(20a)을 형성할 수 있다. 제1 도전형 영역(20a)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 또는, 제1 도전형 영역(20a)이 p형을 가질 경우에는 BBr_3를

Petitioner Runergy USA Inc., Ex. 1002, p. 185

포함하는 기체 분위기에서 열처리할 수 있다.

<80> 이와 같이 제1 도전형 도펀트를 포함하는 기체를 사용하여 제1 도전형 영역(20a)을 형성하는 공정을 단순화할 수 있다. 다만, 이러한 공정에 의하여 반도체 기판(110)의 후면 쪽과 함께 반도체 기판(110)의 전면 및 측면 쪽에서도 도핑이 이루어진다. 본 실시예에서는 반도체 기판(110)의 전면 및 측면 쪽에 후속 공정에서 제거될 진성 반도체층(200)의 부분이 존재하므로, 반도체 기판(110)의 전면 및 측면이 불필요하게 제1 도전형 도펀트로 도핑되는 것을 원천적으로 방지할 수 있다.

<81> 다른 예로, 도 5에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200) 위에 제1 도전형 도펀트를 포함하는 제1 도핑층(210)을 형성하고, 열처리에 의하여 제1 도핑층(210) 내에 포함된 제1 도전형 도펀트를 확산시켜 제1 도전형 영역(20a)을 형성할 수 있다. 일 예로, 제1 도핑층(210)은 인 실리케이트 유리(phosphorus silicate glass, PSG), 보론 실리케이트 유리(boron silicate glass, BSG) 등을 포함할 수 있다. 이러한 제1 도핑층(210)은 증착 등에 의하여 쉽게 형성할 수 있다.

<82> 일 예로, 제1 도핑층(210)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면 및/또는 측면 쪽에 형성되고 전면에는 형성되지 않는다. 이에 따라 제1 도전형 영역(20a)이 반도체 기판(110)의 후면 및/또는 측면 쪽에만 형성되고 전면에는 진성 반도체층(200)이 그대로 잔존할 수 있다.

<83> 이어서, 도 4e에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 위치한 제1 도전형 영역(20a) 위에 아이솔레이션부(도 4f의 참조부호 I, 이하 동일) 이외

Petitioner Runergy USA Inc., Ex. 1002, p. 186

에서 잔존하여야 할 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)에 대응하도록 마스크층(202)을 형성한다. 좀더 구체적으로, 마스크층(202)의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 이에 의하여 원하지 않는 제1 도전형 영역(20a)의 부분을 제거하여 아이솔레이션부(I) 이외에서 잔존하는 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)이 반도체 기판(110)보다 작은 면적을 가지도록 할 수 있다.

<84> 일 예로, 마스크층(202)은 반도체 기판(110)의 각 측면(또는 가장자리)로부터 일정한 제2 거리(D2)만큼 이격될 수 있다. 마스크층(202)이 반도체 기판(110)과 동일하거나 이보다 큰 면적을 가지면 반도체 기판(110)의 후면에서 반도체 기판(110)의 측면에 인접하여 위치한 제1 도전형 영역(20a)의 부분을 효과적으로 제거하기 어려울 수 있다. 제2 거리(D2)는 제1 도전형 영역(20)이 반도체 기판(110)의 후면 가장자리로부터 이격된 제1 거리(D1)가 원하는 값을 가질 수 있도록 제어될 수 있다. 일 예로, 제1 거리(D1)가 1㎜ 이하(일 예로, 1㎚ 내지 1㎜)의 값을 가질 수 있도록 제2 거리(D2)가 1㎜ 이하(일 예로, 1㎚ 내지 1㎜)의 값을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 거리(D2)가 이와 다른 값을 가질 수도 있다.

<85> 마스크층(202)은 반도체 물질을 포함하는 제1 도전형 영역(20a)을 제거하는 공정에서 제거되지 않는 물질을 포함할 수 있다. 예를 들어, 제1 도전형 영역(20a)을 제거하는 공정에서 사용되는 식각 용액에 식각되지 않는 마스크층(202)은 산화물, 질화물, 수지 등을 포함할 수 있다. 일 예로, 마스크층(202)이 실리콘 질화

Petitioner Runergy USA Inc., Ex. 1002, p. 187

물층으로 구성되어 단순한 공정으로 마스크층(202)을 형성할 수 있다.

<86> 이어서, 도 4f에 도시한 바와 같이, 마스크층(202)에 의하여 덮여지지 않은 제1 도전형 영역(20) 및 터널링층(22)의 부분을 제거하여 아이솔레이션부(I)를 형성한다. 일 예로, 제1 도전형 영역(20) 및 터널링층(22)은 알칼리 용액(일 예로, KOH 용액)을 이용한 습식 식각에 의하여 제거될 수 있다. 습식 식각에 의하면 간단하고 쉬운 공정에 의하여 반도체 기판(110)의 전면, 측면 및 후면의 아이솔레이션부(I)에 위치한 제1 도전형 영역(20) 및 터널링층(22)을 제거할 수 있다. 알칼리 용액에 의하여 제1 도전형 영역(20)을 선택적으로 쉽게 제거할 수 있으며, 비록 산화물이지만 매우 작은 두께를 가지는 터널링층(22)도 쉽게 제1 도전형 영역(20)이 제거될 때 함께 제거될 수 있다. 이에 의하여 반도체 기판(110)보다 작은 면적을 가지며 반도체 기판(110)의 후면 가장자리로부터 제1 거리(D1)만큼 떨어진 제1 도전형 영역(20) 및 터널링층(22)을 형성할 수 있다.

<87> 습식 식각에 의하여 제1 도전형 영역(20) 및 터널링층(22)이 반도체 기판(110)으로부터 멀어지면서 면적이 작아지는 형상을 가질 수 있고, 측면이 라운드지게 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 도전형 영역(20) 및 터널링층(22)의 일부가 반응성 이온 식각, 건식 식각 등의 다양한 방법에 의하여 제거될 수 있고, 제1 도전형 영역(20) 및 터널링층(22)의 형상이 다른 형상을 가질 수 있다.

<88> 아이솔레이션부(I)를 형성하도록 제1 도전형 영역(20) 및 터널링층(22)의 일부를 제거한 후에 이후에 마스크층(202)을 제거할 수 있다. 마스크층(202)은 물질

Petitioner Runergy USA Inc., Ex. 1002, p. 188

에 따라 다양한 방법에 의하여 제거될 수 있다. 일 예로, 마스크층(202)이 산화물, 질화물 등을 포함할 때에는 희석된 불산을 사용한 공정에 의하여 제거될 수 있다. 마스크층(202)은 별도의 공정에 의하여 제거될 수도 있고, 희석된 불산을 포함하는 용액을 포함하는 세정 공정에 의하여 자연스럽게 제거될 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 마스크층(202)의 제거 방법으로 알려진 다양한 방법이 사용될 수 있다.

<89> 이어서, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 도전형 영역(30)을 형성한다. 제2 도전형 영역(30)은 제2 도전형 도펀트를 반도체 기판(110)에 도핑하여 반도체 기판(110)의 일부를 구성하는 도핑 영역으로 구성될 수 있다.

<90> 제2 도전형 영역(30)은 알려진 다양한 방법에 의하여 형성될 수 있다. 예를 들어, 제2 도전형 영역(30)이 열 확산법에 의하여 형성될 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<91> 일 예로, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 측면 및 후면에 캡핑막(204)을 형성하고 제2 도전형 도펀트를 포함하는 가스 분위기에서 열처리하는 것에 의하여 반도체 기판(110)의 전면에 제2 도전형 영역(30)을 형성할 수 있다. 제2 도전형 영역(30)이 p형을 가질 경우에는 BBr_3를 포함하는 기체 분위기에서 열처

Petitioner Runergy USA Inc., Ex. 1002, p. 189

리할 수 있다. 또는, 제2 도전형 영역(30)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 제2 도전형 영역(30)이 형성된 후에는 캡핑막(204)을 제거할 수 있다. 캡핑막(204)은 제2 도전형 도펀트의 도핑을 막을 수 있는 다양한 막이 사용될 수 있으며, 물질에 따른 제거 방법에 의하여 제거될 수 있다.

<92> 다른 예로, 도 6에 도시한 바와 같이, 반도체 기판(110)의 전면 위에 제2 도전형 도펀트를 포함하는 제2 도핑층(310)을 형성하고, 열처리에 의하여 제2 도핑층(310) 내에 포함된 제2 도전형 도펀트를 반도체 기판(110)의 내부로 확산시켜 제2 도전형 영역(30)을 형성할 수 있다. 일 예로, 제2 도핑층(310)은 보론 실리케이트 유리(boron silicate glass, BSG), 인 실리케이트 유리(phosphorus silicate glass, PSG) 등을 포함할 수 있다. 이러한 제2 도핑층(310)은 증착 등에 의하여 쉽게 형성할 수 있다. 일 예로, 제2 도핑층(310)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면에는 형성되지 않는다.

<93> 이어서, 도 4h에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 전면 쪽에서 제2 도전형 영역(30) 위에 제2 패시베이션막(34) 및 반사 방지막(36)을 형성한다. 이때, 반도체 기판(110)의 측면에도 절연층(즉, 제2 패시베이션막(34) 및 반사 방지막(36))이 함께 형성될 수 있다. 예를 들어, 반도체 기판(110)의 전면 쪽에 위치한 절연막 중 적어도 일부(일 예로, 제2 패시베이션막(34))이 제2 도전형 영역(30)에 접촉할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 190

<94> 제2 패시베이션막(34) 또는 반사 방지막(36)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제2 패시베이션막(34) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 전면 및/또는 측면에만 제2 패시베이션막(34) 또는 반사 방지막(36)을 형성할 수 있다. 따라서 제2 패시베이션막(34) 또는 반사 방지막(36)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<95> 이어서, 도 4i에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 제1 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 후면 쪽에서 제1 도전형 영역(20) 및 반도체 기판(110)의 후면 위에 제1 패시베이션막(24)을 형성한다. 이때, 반도체 기판(110)의 측면 쪽에도 절연층(즉, 제1 패시베이션막(24))이 함께 형성될 수 있다.

<96> 좀더 구체적으로, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 반도체 기판(110)의 후면 위, 그리고 반도체 기판(110)의 측면 위에 연속적으로 연장되어 형성될 수 있다. 이때, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 그리고 반도체 기판(110)의 후면 위에 접촉할 수 있다. 이에 의하여 아이솔레이션부(I)에 의한 에지 아이솔레이션이 이루어진 후에 별도의 공정 없이 제1 패시베이션막(24)을 형성하면서 아이솔레이션부(I)를 함께 패시베이션할 수 있다.

Petitioner Runergy USA Inc., Ex. 1002, p. 191

<97> 일 예로, 제1 패시베이션막(24)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제1 패시베이션막(24) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 후면 및/또는 측면에만 제1 패시베이션막(24)을 형성할 수 있다. 따라서 제1 패시베이션막(24)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<98> 본 실시예에서는 반도체 기판(110)의 전면 쪽은 덮는 제2 절연막을 먼저 형성한 후에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 형성하는 것을 예시하였다. 이에 의하면 제1 절연막을 형성하는 공정 중에 제1 도전형 영역(20)의 특성이 저하되거나 손상되는 것을 방지할 수 있다. 특히, 제1 도전형 영역(20)이 에미터 영역일 때에는 제1 도전형 영역(20)의 특성이 매우 중요할 수 있기 때문이다. 그러나 본 발명이 이에 한정되는 것은 아니다. 본 실시예에서는 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 먼저 형성한 후에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막을 형성할 수도 있다. 이 경우에는 이에 따라 반도체 기판(110)의 측면에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막이 위치(일 예로, 접촉)하고, 이 위에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막이 위치(일 예로, 접촉)할 수 있다.

<99> 이어서, 도 4j에 도시한 바와 같이, 제1 및 제2 도전형 영역(20, 30)에 각기 연결되는 제1 및 제2 전극(42, 44)을 형성한다.

<100> 일 예로, 패터닝 공정에 의하여 제1 및 제2 절연막에 제1 및 제2 개구부

Petitioner Runergy USA Inc., Ex. 1002, p. 192

(102, 104)를 형성하고, 그 이후에 제1 및 제2 개구부(102, 104) 내를 채우면서 제1 및 제2 전극(42, 44)을 형성한다. 이때, 제1 및 제2 개구부(102, 104)는 레이저를 이용한 레이저 어블레이션, 또는 식각 용액 또는 식각 페이스트 등을 이용한 다양한 방법에 의하여 형성될 수 있다. 그리고 제1 및 제2 전극(42, 44)은 도금법, 증착법 등의 다양한 방법에 의하여 형성될 수 있다.

<101> 다른 예로, 제1 및 제2 전극 형성용 페이스트를 제1 및 제2 절연막에 각기 스크린 인쇄 등으로 도포한 후에 파이어 스루(fire through) 또는 레이저 소성 컨택(laser firing contact) 등을 하여 상술한 형상의 제1 및 제2 전극(42, 44)을 형성하는 것도 가능하다. 이 경우에는 제1 및 제2 전극(42, 44)을 형성할 때 자연스럽게 제1 및 제2 개구부(102, 104)가 형성되므로, 별도로 제1 및 제2 개구부(102, 104)를 형성하는 공정을 추가하지 않아도 된다.

<102> 이에 따르면 단순한 공정에 의하여 아이솔레이션부(I)를 형성할 수 있으며 아이솔레이션부(I)를 제1 절연막인 제1 패시베이션막(24)에 의하여 패시베이션하여 표면 재결합에 의한 문제를 방지할 수 있다. 이에 의하여 간단한 공정에 의하여 태양 전지(100)의 불량률을 낮춰 생산성을 향상할 수 있다.

<103> 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되

Petitioner Runergy USA Inc., Ex. 1002, p. 193

어야 할 것이다.

【부호의 설명】

<104>

100: 태양 전지

110: 반도체 기판

22: 터널링층

20: 제1 도전형 영역

30: 제2 도전형 영역

24: 제1 패시베이션막

34: 제2 패시베이션막

36: 반사 방지막

42: 제1 전극

44: 제2 전극

Petitioner Runergy USA Inc., Ex. 1002, p. 194

【특허청구범위】

【청구항 1】

반도체 기판의 일면 위에 위치하는 터널링층;

상기 터널링층 위에 위치하는 제1 도전형 영역;

상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막;

상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역;

상기 제1 도전형 영역에 연결되는 제1 전극; 및

상기 제2 도전형 영역에 연결되는 제2 전극

을 포함하고,

상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는 태양 전지.

【청구항 2】

제1항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면에 접촉하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 195

【청구항 3】

제1항에 있어서,

상기 아이솔레이션부의 폭이 1㎜ 이하인 태양 전지.

【청구항 4】

제3항에 있어서,

상기 아이솔레이션부의 폭이 1㎚ 내지 1㎜ 이하인 태양 전지.

【청구항 5】

제1항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지.

【청구항 6】

제1항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지.

【청구항 7】

제1항에 있어서,

상기 제1 절연막은 상기 반도체 기판의 측면 위까지 연장되는 측면부를 포함하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1002, p. 196

【청구항 8】

제7항에 있어서,

상기 제2 도전형 영역 위에 위치하는 제2 절연막을 더 포함하고,

상기 제2 절연막이 상기 반도체 기판의 측면 위에 형성되는 측면부를 포함하고,

상기 반도체 기판의 측면 위에서 상기 제1 절연막의 측면부가 상기 제2 절연막의 측면부 위에 위치하는 태양 전지.

【청구항 9】

반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계;

상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계;

적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계;

적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계;

상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계;

상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및

상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결

Petitioner Runergy USA Inc., Ex. 1002, p. 197

되는 제2 전극을 포함하는 전극을 형성하는 단계

를 포함하고,

상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기 제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는 태양 전지의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측에 접촉하는 태양 전지의 제조 방법.

【청구항 11】

제9항에 있어서,

상기 아이솔레이션부의 폭이 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 12】

제10항에 있어서,

상기 아이솔레이션부의 폭이 1㎚ 내지 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 13】

제9항에 있어서,

Petitioner Runergy USA Inc., Ex. 1002, p. 198

상기 제거하는 단계는,

상기 반도체 기판의 타측에서 상기 제1 도전형 영역 위에 상기 반도체 기판보다 작은 면적을 가지는 마스크층을 형성하는 단계;

상기 마스크층이 형성되지 않은 부분에 위치한 상기 제1 도전형 영역 및 상기 터널링층을 식각하는 단계; 및

상기 마스크층을 제거하는 단계

를 포함하는 태양 전지의 제조 방법.

【청구항 14】

제13항에 있어서,

상기 반도체 기판의 후면 가장자리와 상기 마스크층의 가장자리 사이의 거리가 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 15】

제9항에 있어서,

상기 제거하는 단계가 반응성 이온 식각(reactive ion etching, RIE) 또는 습식 식각에 의하여 수행되는 태양 전지의 제조 방법.

【청구항 16】

제9항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지의 제조 방법.

Petitioner Runergy USA Inc., Ex. 1002, p. 199

【청구항 17】

제9항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지의 제조 방법.

【청구항 18】

제9항에 있어서,

상기 제2 도전형 영역을 형성하는 단계와 상기 제1 절연막을 형성하는 단계 사이에, 상기 제2 도전형 영역을 덮는 제2 절연막을 형성하는 단계를 더 포함하고,

상기 반도체 기판의 측면 위에 상기 제2 절연막이 위치하고 상기 제2 절연막 위에 상기 제1 절연막이 위치하는 태양 전지의 제조 방법.

【청구항 19】

제9항에 있어서,

상기 제1 도전형 영역을 형성하는 단계 또는 상기 제2 도전형 영역을 형성하는 단계는 열 확산법을 이용하는 태양 전지의 제조 방법.

【청구항 20】

제9항에 있어서,

상기 터널링층 또는 상기 진성 반도체층은 저압 화학 기상 증착 장비에서 형성되는 태양 전지의 제조 방법.

Petitioner Runergy USA Inc., Ex. 1002, p. 200

제출 일자 : 2015-08-31

【요약서】

【요약】

본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

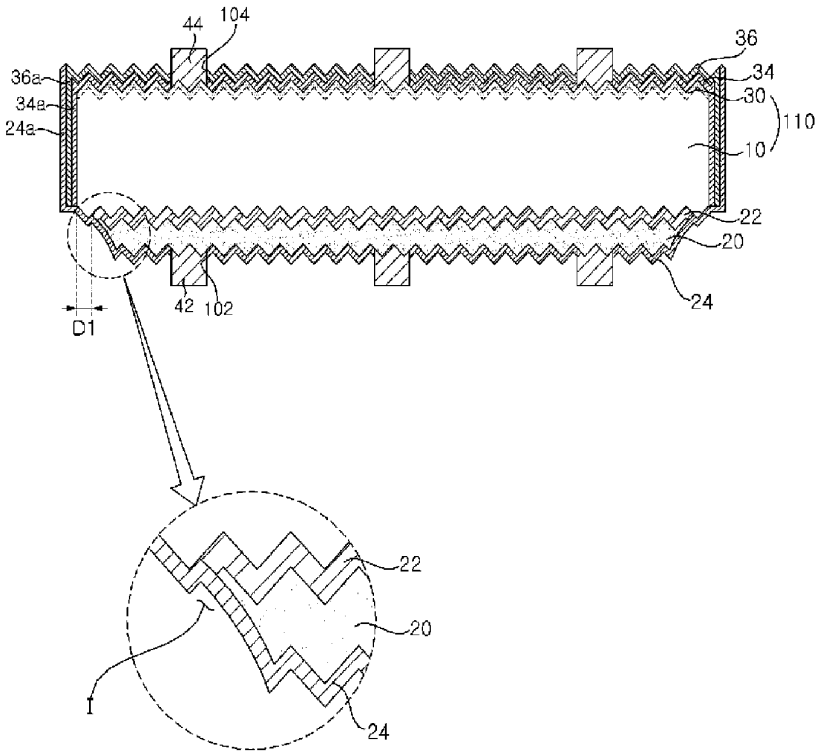
【대표도】

도 1

Petitioner Runergy USA Inc., Ex. 1002, p. 201

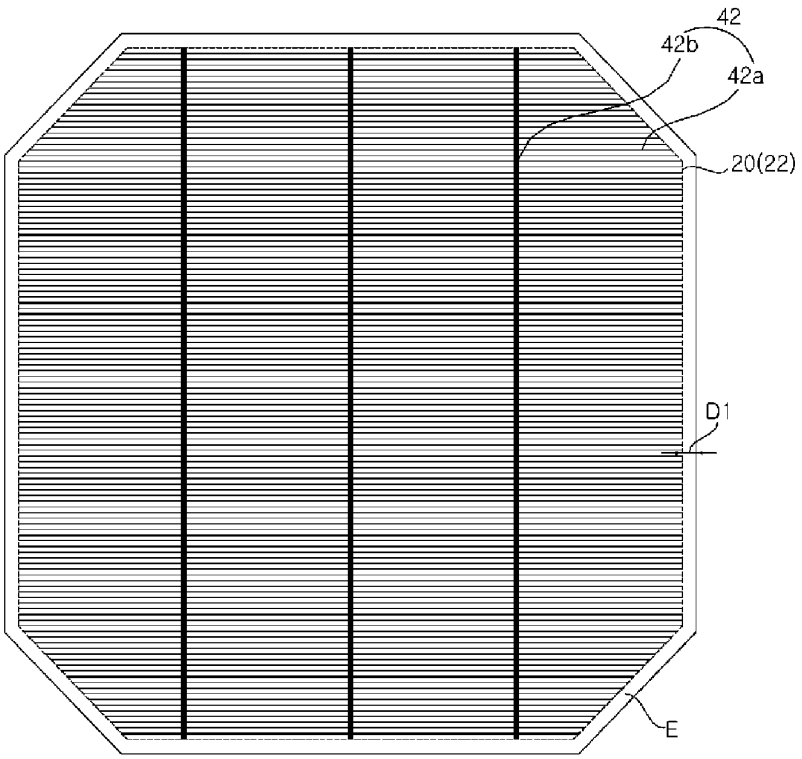
【도면】

【도 1】



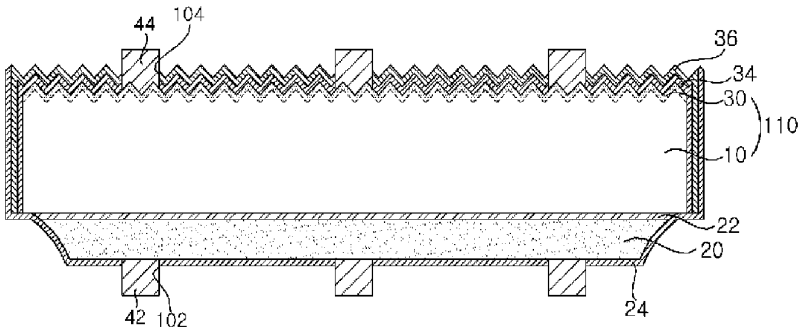
Petitioner Runergy USA Inc., Ex. 1002, p. 202

【도 2】



Petitioner Runergy USA Inc., Ex. 1002, p. 203

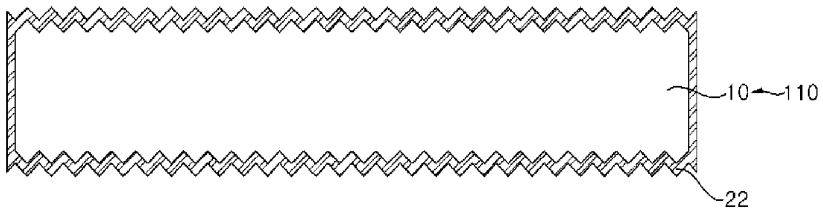
【도 3】



【도 4a】

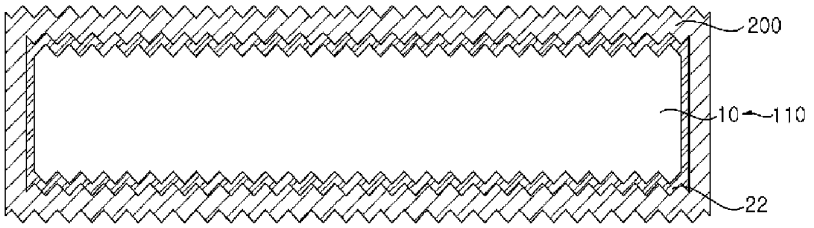


【도 4b】



Petitioner Runergy USA Inc., Ex. 1002, p. 204

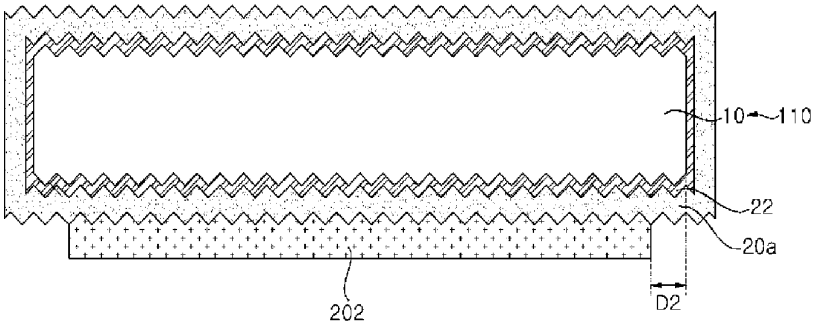
【도 4c】



【도 4d】

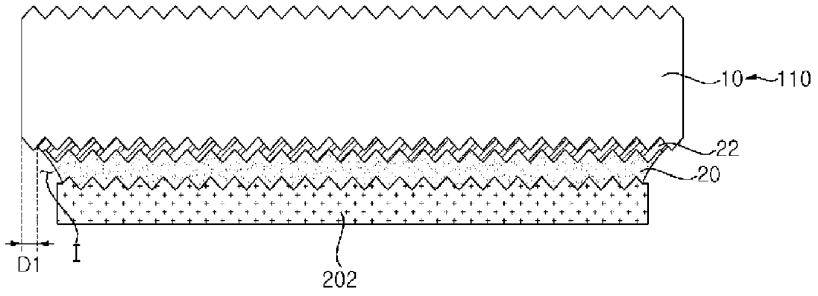


【도 4e】

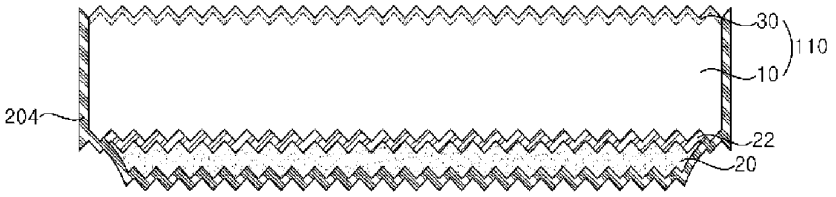


Petitioner Runergy USA Inc., Ex. 1002, p. 205

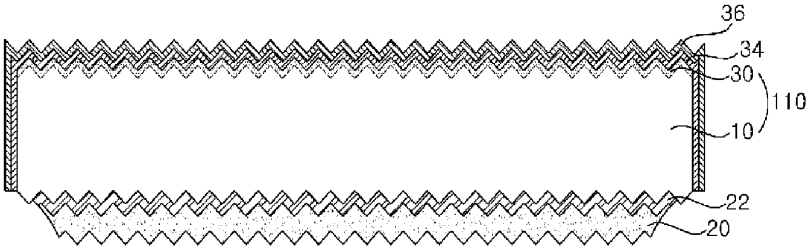
【도 4f】



【도 4g】

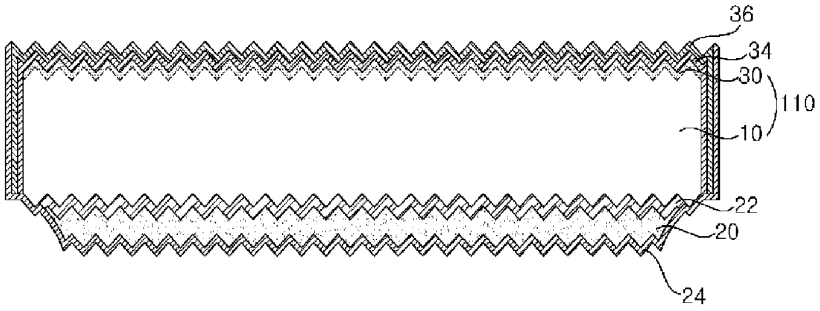


【도 4h】

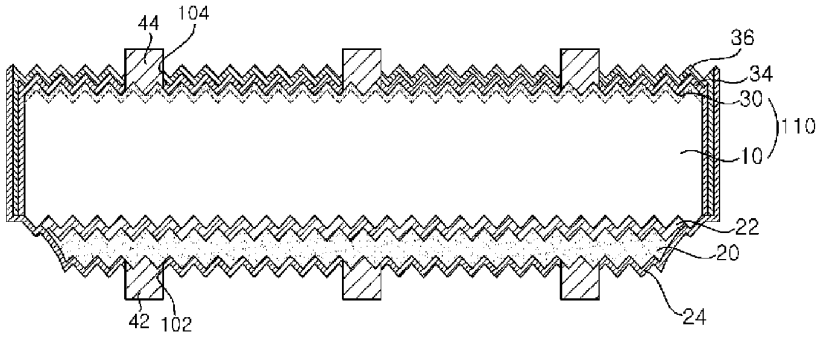


Petitioner Runergy USA Inc., Ex. 1002, p. 206

【도 4i】

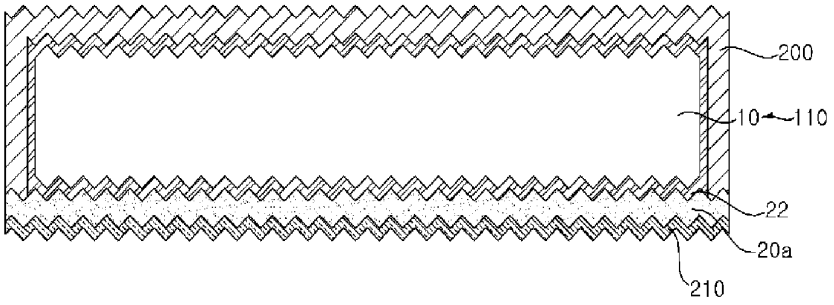


【도 4j】

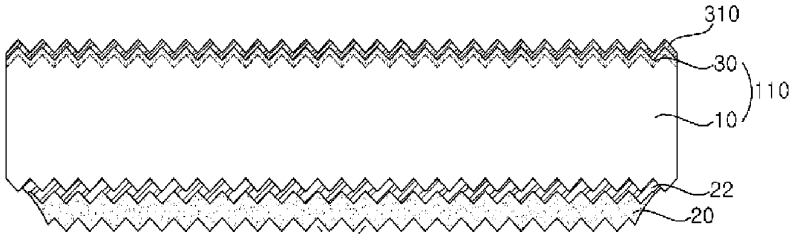


Petitioner Runergy USA Inc., Ex. 1002, p. 207

【도 5】



【도 6】



Petitioner Runergy USA Inc., Ex. 1002, p. 208

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	15/995,701
Filing Date	June 01, 2018
First Named Inventor	Jungmin Ha
Art Unit	1721
Examiner Name	CHERN, C.
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	1	JP 2003-298080 - A	10-17-2003			☑
	2	JP 2011-187904 - A	09-22-2011			☑
	3	JP 2012-4571 - A	01-05-2012			☑
	4	JP 2013-526053 - A	06-20-2013			☑
	5	JP 2013-77789 - A	04-25-2013			☑
	6	JP 2016-103642 - A	06-02-2016			☑

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	15/995,701
Filing Date	June 01, 2018
First Named Inventor	Jungmin Ha
Art Unit	1721
Examiner Name	CHERN, C.
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country [3] Code Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T [6]
	7	EP 2434548 - A2	03-28-2012			☐
	8	JP 56-60070 - A	05-23-1981			☑
						☐
						☐
						☐
						☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	33653968
Application Number:	15995701
International Application Number:	
Confirmation Number:	6871
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/John Buscher (tlb)
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS3
Receipt Date:	07-SEP-2018
Filing Date:	01-JUN-2018
Time Stamp:	11:10:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Non Patent Literature	JPOA-dated-2018-06-19.pdf	93657 ef9d5dd995331e065b97aa6d7861c568d8441b49	no	2

Warnings:

Information:					
2	Foreign Reference	JP2003298080.pdf	6474127 ad45d46ad702d3a2cc8d8dcb665617f942912585	no	8
Warnings:					
Information:					
3	Foreign Reference	JP2011187904.pdf	10008433 ff30b62c2a8c29717dbc37ba1badab7eaea61a92	no	14
Warnings:					
Information:					
4	Foreign Reference	JP2012004571.pdf	11714043 2deba530abc384d7e907220534323ca2ade36bcc	no	19
Warnings:					
Information:					
5	Foreign Reference	JP2013077789.pdf	10336144 8d668b6631ee64ef2be3b02b036a8d91ebbd76db	no	16
Warnings:					
Information:					
6	Foreign Reference	JP2013526053.pdf	13808174 07994fe17a8190bfa9a226f87d17121851c94815	no	22
Warnings:					
Information:					
7	Foreign Reference	JP2016103642-G.pdf	9757099 7970b698f77f0b53963ab68f06fd4250df264eaf	no	49
Warnings:					
Information:					
8	Foreign Reference	JPS5660070.pdf	5044906 c3d6e248760790e4294879efafadf6f2b55b89a8	no	5
Warnings:					
Information:					

9	Foreign Reference	EP2434548.pdf	14352104 0fb612145fb71d478cdac467d0b918f3de738d58	no	11
Warnings:					
Information:					
10		2018-09-06_IDSTransmittal_1630-1332PUS3.pdf	452208 d83bf72e9691c10e99d0048c948da82872aef2ad	yes	7

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Transmittal Letter	1	5
	Information Disclosure Statement (IDS) Form (SB08)	6	7

Warnings:	
Information:	
Total Files Size (in bytes):	82040895

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Espacenet

Bibliographic data: JP2003298080 (A) — 2003-10-17

METHOD FOR MANUFACTURING SOLAR CELL

Inventor(s): HAMAMOTO SATORU ± (HAMAMOTO SATORU)

Applicant(s): MITSUBISHI ELECTRIC CORP ± (MITSUBISHI ELECTRIC CORP)

Classification: **- international:** ***H01L31/04;*** (IPC1-7): H01L31/04
- cooperative: Y02E10/547

Application number: JP20020099872 20020402

Priority number(s): JP20020099872 20020402

Abstract of JP2003298080 (A)

PROBLEM TO BE SOLVED: To solve such a problem that the conventional method for manufacturing a solar cell includes a step for forming an PN joint by dispersing a semiconductor impurity on a semiconductor substrate, a step for forming a joint isolation part by partly removing the PN joint through sandblasting and isolating it electrically, and a step for forming a collector, and the joint isolation part may be microscopically broken when the method is used, degrading the whole characteristic of the solar cell. ;SOLUTION: The method for manufacturing the solar cell includes a step for forming both a dispersion layer where a semiconductor impurity is dispersed on the surface of a semiconductor substrate and an entire surface including its surface and a covering film covering the dispersion layer, a step for isolating electrically the surface and back of the semiconductor substrate by removing the dispersion layer adjacent to the outer circumferential part of the back thereof, a step for etching where the semiconductor substrate is dipped in a wet-etching liquid for a specified time to etch the surfacial layer part in which the dispersion layer is removed and the covering film, a step for removing the covering film of the semiconductor substrate and exposing the dispersion layer, and a step for forming a BSF layer on the back of the semiconductor substrate and providing an electrode on the semiconductor substrate. ;COPYRIGHT: (C)2004,JPO

Petitioner Runergy USA Inc., Ex. 1002, p. 214

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－298080
（P2003－298080A）
(43)公開日　平成15年10月17日(2003.10.17)

(51)Int.Cl.⁷	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　31/04	Ａ　５Ｆ０５１

審査請求　未請求　請求項の数６　ＯＬ　（全７頁）

(21)出願番号　特願2002－99872(P2002－99872)

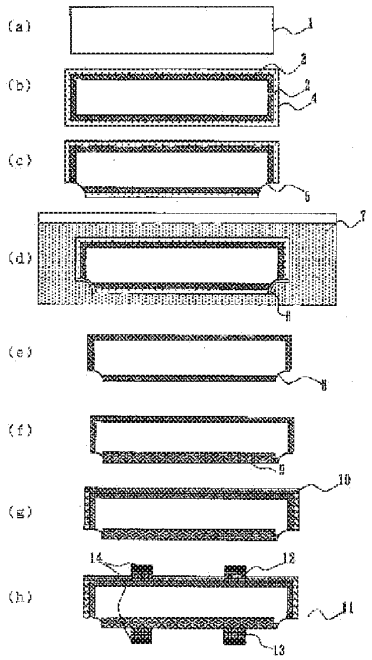
(22)出願日　平成14年４月２日(2002.4.2)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(72)発明者　濱本　哲
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(74)代理人　100102439
弁理士　宮田　金雄　（外１名）

Ｆターム(参考)　5F051 AA02 AA03 AA16 CB12 CB13 CB20 CB21 DA03 HA03

(54)【発明の名称】　太陽電池の製造方法

(57)【要約】
【課題】　半導体基板に半導体不純物を拡散してＰＮ接合部を形成する工程と、これをサンドブラストで部分除去し電気的に分離した接合分離部を形成する工程と、集電極を形成する工程とを有する太陽電池の製造方法では接合分離部が微視的レベルで破壊されることは避けられず、太陽電池全体の特性が低下する問題があった。
【解決手段】　半導体基板の表面と表面とを含む全面に半導体不純物を拡散し拡散層と拡散層を被覆する被覆膜とを形成する工程と、半導体基板の裏面の外周部近傍の拡散層を除去加工して表面と裏面とを電気的に分離する工程と、半導体基板を一定時間ウェットエッチング液に浸し、拡散層を除去加工した部分の表層部と被覆膜とをエッチングする工程と、半導体基板の被覆膜を除去し拡散層を露出させる工程と、半導体基板の裏面にＢＳＦ層を形成し半導体基板に電極を設置する工程とを有する。



Petitioner Runergy USA Inc., Ex. 1002, p. 215

【特許請求の範囲】
【請求項１】半導体基板を半導体不純物雰囲気中で熱処理することで前記半導体基板の全面に拡散層と前記拡散層を被覆する被覆膜とを形成する工程と、前記半導体基板の裏面の外周部の前記拡散層を除去して前記半導体基板の表面と裏面とを電気的に分離する接合分離部を形成する工程と、前記半導体基板をウェットエッチング液に浸し、前記接合分離部の表層部をエッチングする工程と、前記半導体基板の前記被覆膜を除去し前記拡散層を露出させる工程と、前記半導体基板の裏面にＢＳＦ層を形成し前記半導体基板に電極を設置する工程とを有することを特徴とする太陽電池の製造方法。
【請求項２】表層部は、０．３μｍ以上０．６μｍ以下の深さまでエッチングされることを特徴とする請求項１記載の太陽電池の製造方法。
【請求項３】半導体基板をウェットエッチング液に浸す時間は、１分１５秒以上５分以下であることを特徴とする請求項１および請求項２記載の太陽電池の製造方法。
【請求項４】半導体基板を半導体不純物雰囲気中で熱処理することで前記半導体基板の全面に拡散層と前記拡散層を被覆する被覆膜とを形成する工程と、前記半導体基板の前記被覆膜を除去し前記拡散層を露出させる工程と、前記拡散層上に反射防止膜を生膜する工程と、前記半導体基板の裏面の外周部の前記拡散層を除去して前記半導体基板の表面と裏面とを電気的に分離する接合分離部を形成する工程と、前記半導体基板をウェットエッチング液に浸し、前記接合分離部の表層部をエッチングする工程と、前記半導体基板の裏面にＢＳＦ層を形成し前記半導体基板に電極を設置する工程とを有することを特徴とする太陽電池の製造方法。
【請求項５】生膜された反射防止膜の厚みは、８５０Å以上９００Å以下であることを特徴とする請求項４記載の太陽電池の製造方法。
【請求項６】ウェットエッチング液は、水酸化ナトリウム水溶液であることを特徴とする請求項１から請求項５いずれか記載の太陽電池の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、簡便かつ低コストで高効率の太陽電池を製造できる方法に関するもので、特に単結晶や多結晶シリコン太陽電池の高効率化に有効な方法を提供するものである。
【０００２】
【従来の技術】図６は、特開２００１－６８７００号公報に記載されている太陽電池の製造方法である。これは、半導体基板１０１の表面近傍に半導体不純物を拡散してＰＮ接合部１０２を形成する工程と、このＰＮ接合部を部分的に除去して電気的に分離した接合分離部１０３を形成する工程と、この分離されたＰ型領域とＮ型領域にそれぞれ集電極１０４を形成する工程を有する太陽電池の製造方法において、このＰＮ接合部をサンドブラストで部分的に研磨除去して電気的に分離するものである。
【０００３】このようにすることで、非常に簡便かつ低コストで太陽電池を製造することができる。
【０００４】
【発明が解決しようとする課題】しかし、このような製造方法ではサンドブラストで接合の一部を研磨除去するため、研磨された部分に微視的・結晶学的なレベルで破壊されることは避けられない。これによってＰＮ接合部を分離した部分に質の低い接合部分が形成されて太陽電池全体のダイオード特性を低下させたり、同じくＰＮ接合を分離した部分に、キャリアの再結合が起こりやすい表面が形成され、太陽電池の発生電流を低下させたりする問題があった。
【０００５】
【課題を解決するための手段】半導体基板を半導体不純物雰囲気中で熱処理することで半導体基板の全面に拡散層と拡散層を被覆する被覆膜とを形成する工程と、半導体基板の裏面の外周部の拡散層を除去して半導体基板の表面と裏面とを電気的に分離する接合分離部を形成する工程と、半導体基板をウェットエッチング液に浸し、接合分離部の表層部をエッチングする工程と、半導体基板の被覆膜を除去し拡散層を露出させる工程と、半導体基板の裏面にＢＳＦ層を形成し半導体基板に電極を設置する工程とを有する。
【０００６】また、表層部は、０．３μｍ以上０．６μｍ以下の深さまでエッチングされる。
【０００７】さらに、半導体基板をウェットエッチング液に浸す時間は、１分１５秒以上５分以下である。
【０００８】半導体基板を半導体不純物雰囲気中で熱処理することで半導体基板の全面に拡散層と拡散層を被覆する被覆膜とを形成する工程と、半導体基板の被覆膜を除去し拡散層を露出させる工程と、拡散層上に反射防止膜を生膜する工程と、半導体基板の裏面の外周部の拡散層を除去して半導体基板の表面と裏面とを電気的に分離する接合分離部を形成する工程と、半導体基板をウェットエッチング液に浸し、接合分離部の表層部をエッチングする工程と、半導体基板の裏面にＢＳＦ層を形成し半導体基板に電極を設置する工程とを有する。
【０００９】また、生膜された反射防止膜の厚みは、８５０Å以上９００Å以下である。
【００１０】さらに、ウェットエッチング液は、水酸化ナトリウム水溶液である。
【００１１】
【発明の実施の形態】実施の形態１．図１は、この発明の実施の形態１における太陽電池の製造方法の工程手順を示す図である。図１（ａ）は、ボロン等を含有するシリコン基板などからなる略円形のＰ型の半導体基板１の断面図である。この半導体基板１は、表面形状は特に限

定していないが、数～十数μmの凹凸形状を形成すれば、受光面の光反射を抑制できる為、高効率化に有効である。

【0012】次に、図1（b）は、この半導体基板1をリン（P）などのN型不純物雰囲気中で熱処理することで、半導体基板1の全面に渡って表面から0．2～0．5μm程度の深さまでN型不純物を拡散させてN型を呈する拡散層2を形成させたものであり、このP型の半導体基板1の表面と拡散層2との境界をPN接合部3とする。なお、半導体基板1をリン（P）などのN型不純物雰囲気中で熱処理すると、シリコン酸化物（SiO_2）とリン酸化物（P_2O_5）から成る被覆膜4により拡散層2の全体が被覆される。このP型の半導体基板1を熱処理してN型不純物を拡散させてN型を呈する拡散層2とこの拡散層2を被覆する被覆膜4を形成する工程を第1の工程とする。

【0013】次に、図1（c）は、この半導体基板1の裏面の外周部の拡散層を全周に渡って、アルミナ（Al_2O_3）や炭化珪素（SiC）などの噴射剤を用いたサンドブラスト法で部分的に研磨除去して、PN接合部3を分離させ接合分離部5を形成したものの断面図である。この場合、テープ接着による保護などはせず、0．2～2．0mm程度の微細径の噴射ノズルから噴射剤を半導体基板1に直接噴射することで、所望の位置に接合分離部5を形成する。この接合分離部5は、拡散層2を半導体基板1の表面と裏面の間で電気的に完全に分離できていれば、その研磨除去の位置形状や噴射ノズルの半導体基板1に対する角度などが限定されるものではない。このときに使用する噴射ノズルは半導体基板1に対して20～85度程度の角度で噴射させることで、半導体基板1の裏面の端部を全周に渡って斜めに研磨除去して例を示しているが、噴射ノズルを半導体基板1の裏面に対して垂直となるように設定し噴射させても同様の作用を呈する。なお、この発明において外周部というのは、この断面図では角にあたる部分とその周辺を示すものであり、半導体基板1の裏面の角部より、若干、裏面の面内を研磨除去しても問題ない。この拡散層2を有する半導体基板1の裏面の外周部の拡散層を全周に渡って除去し接合分離部5を形成する工程を第2の工程とする。

【0014】次に、図1（d）は、このようにして形成した半導体基板1の接合分離部5に発生している質の低い表層部6は加工面の結晶構造が損傷し電荷レベルが低下しやすく、表面再結合が高くなっており、これを除去する為の後処理をおこなう。

【0015】この後処理は、接合分離部5において微視的・結晶学的に破壊された部分を除去して安定化させることが目的であり、ウェットエッチング液7を使用したウェットエッチングによる処理が簡便で大量な処理も容易な為、量産技術として適している。しかし、半導体基板1の中で接合層（図示していないが、pn接合部3と表層部6との交差する個所）とそれ以外の部分とは、導電型を除いては同じ材質であり、ウェットエッチングの処理液に対する性質など、化学的特性も非常に似通っている。従って、接合層が露出した状態では、接合層に影響を与える事なく接合分離部5だけにウェットエッチングをおこなう事は非常に難しく、何らかの手段で接合層を保護する必要がある。

【0016】ここで、半導体基板1の全面に渡って形成された拡散層2を覆う被覆膜4は、通常は、以降の工程に進めるためにフッ酸水溶液などを用いて除去される。これに対して、この発明では、この被覆膜4を除去せずにサンドブラストによる研磨除去を行い接合分離部5を形成するものである。これにより、研磨除去した部分の被覆膜4と拡散層2だけが除去され、半導体基板1の残りの部分は拡散層2と被覆膜4が共に残った形態となる。このようにすることで、シリコン酸化物とリン酸化物から成る被覆膜4が得られ、これは拡散層2を含む半導体基板1と科学的性質が異なるものである。従って、この形態であれば、ウェットエッチングをおこなう際に、拡散層2は保護されることになる。

【0017】この図1（d）において、接合分離部5を有する半導体基板1はウェットエッチング液7中に漬けられる。なお、図中、接合分離部5の微視的・結晶学的に破壊された部分を含む層を表層部6として、若干強調して示す（実際はこれほどの厚さを有するものではない。）。この液の特性としては、被覆膜4が一定の耐久性をもつものならば半導体基板1を溶解できるものであればよく、特に限定はしない。しかし、例えば水酸化ナトリウムまたは水酸化カリウムなどの水溶液は、通常のシリコンなどの太陽電池用の半導体基板に対して、初期の表面洗浄や凹凸形成（テクスチャエッチング）等に一般的に用いられている薬液であり、被覆膜4もこれらの液に対しては一定の耐久性を有するので、後処理液として特に適している。実験によると、温度850℃を15分間維持するリン拡散工程で形成された被覆膜4は、濃度3．2wt%、温度60℃の水酸化ナトリウム水溶液に対し、約5分間の耐久性があることがわかった。一方、同じ水酸化ナトリウム水溶液に対し、半導体基板1の原料であるシリコンは約0．12μm／分のエッチング速度を示す。従って、この場合は、処理時間を5分間以内、シリコンのエッチング量で表現すれば0．6μm以内に設定して後処理をおこなえば良い。この後、水洗・乾燥させて、処理全体を完了させる。この半導体基板1をウェットエッチングして接合分離部5の表層部6とともに被覆膜4を少量エッチングする工程を第3の工程とする。

【0018】次に、図1（e）は、表層部6と被覆膜4を除去した状態の半導体基板1の断面図である。このようなウェットエッチング処理をおこなった後は、被覆膜

4は不要なので、前述したようなフッ酸水溶液などを用いる手法で、これを除去して拡散層2を露出させ、やはり水洗・乾燥させる。なお、これらを一連の処理として中間の乾燥を省き、後処理→水洗→フッ酸処理→水洗→乾燥と進めても差し支えない。このようにすることで、接合分離部5の破壊された部分を含む表層部6が溶解除去され、安定化した新たな接合分離部8が形成される。この半導体基板1の被覆膜4を除去し拡散層2を露出させる工程を第4の工程とする。

【0019】次に、図1（f）は、裏面にBSF（裏面電界（Back SurfaceField））層9を形成した半導体基板1の断面図である。このBSF層9は、半導体基板1の裏面側にアルミニウムペーストをスクリーニング印刷などで塗布し、これを焼成することにより、半導体基板1の裏面近傍にアルミニウムを拡散させることで、前工程まで残されていた半導体基板1の裏面の拡散層2が高濃度のP型半導体層に反転して形成される。この半導体基板1の裏面にBSF層9を形成する工程を第5の工程とする。

【0020】次に、図1（g）は、表面の拡散層2の上に重ねて反射防止膜10を形成した半導体基板1の断面図である。この反射防止膜10によって半導体基板1の表面で入射光が反射するのを防止して、内部に有効に取り込むことができる。この反射防止膜10は、例えば窒化シリコン（Si_3N_4）などから成り、シランガス（SiH_4）とアンモニアガス（NH_3）との混合ガスを用いたプラズマCVD法などで形成される。この半導体基板1の表面の拡散層2に重ねて反射防止膜10を形成する工程を第6の工程とする。

【0021】次に、図1（h）は、半導体基板1に集電極等を配置して完成した太陽電池11の断面図である。この場合、半導体基板1の表面と裏面にそれぞれ銀ペーストなどをスクリーン印刷し、これを焼成し、そこに集電極12及び集電極13を形成した後、溶融した半田浴槽に半導体基板1全体を浸漬するなどの方法により、集電極の表面に半田被覆14を形成する。これは、集電極12及び集電極13の保護と、後の工程で銅箔などの配線部材で太陽電池を配線する際の配線性を簡便にする目的でおこなわれるものである。このようにすることで、太陽電池11が製作される。この半導体基板1に集電極を設置し、これらを半田皮膜14で覆う工程を第7の工程とする。

【0022】なお、図1の処理工程において、（f）の以降の後処理工程は、必ずしも図1に示したものに限定されるものではない。図2は、図1の（f）以降の工程を変更した太陽電池の製造方法の工程手順を示す図である。図2の（a）から（e）までは、図1の（a）から（e）を元に説明した第1の工程から第4の工程までと同じなので説明は省略し、図2（a）から（e）までの対応する工程を第11の工程から第14の工程とする。

【0023】図2（f）は、半導体基板1の表面と側面に反射防止膜10を形成したものである。この反射防止膜10を形成する工程を第15の工程とする。次に、図2（g）は、表面・裏面の金属ペーストをスクリーニング印刷して焼成することでBSF層9を形成したものである。このBSF層9を形成する工程を第16の工程とする。次に、図2（h）は、表面と裏面とに集電極12及び集電極13を形成し、半田浴槽に浸漬して半田被覆14を形成したものである。この半導体基板1に集電極を設置し、これらを半田皮膜14で覆う工程を第17の工程とする。このように処理工程を変更しても問題はない。

【0024】このようにして製作された太陽電池として、半導体基板1に比抵抗1Ωcmのp型多結晶シリコン基板を用いたものについて説明する。図3は接合分離部5の後処理にかけた時間に対する太陽電池の特性の相対的比較であり、ウェットエッチング処理時間と太陽電池の様々なパラメータとの関係を調べ、分布化したものである。ここで処理時間0分はウェットエッチングによる後処理をしなかった場合であり、従来の太陽電池の製造方法での特性を示している。また後処理に費やす時間は前述したウェットエッチングの能力との関係より5分間を上限とし、1．25分（1分15秒）、2．50分（2分30秒）、3．75分（3分45秒）、5分毎のデータを収集した。また、縦軸の開放電圧とは、電流を流さない場合（負荷抵抗＝∞）に出力される電圧値のことである。また、短絡電流とは、負荷抵抗＝0の場合に出力される電流値のことである。さらに、曲線因子とは、ダイオードの良し悪しを示す因子であり、最大出力／（開放電流×短絡電流）であらわされる。また、出力とは、開放電圧×短絡電流×曲線因子であらわされる。一般的に、これらの値が大きいほうが太陽電池としての特性が優れている。

【0025】この分布からウェットエッチングしなかった場合（0分）とウェットエッチングした場合（1．25分以上5分以下）とを比較すると、必ずしもすべてのパラメータの値がウェットエッチング時間に比例して上昇してしているわけではないが、ウェットエッチングした場合の特性はウェットエッチングしなかった場合に比べ総合的に見て向上していることがわかる。

【0026】図4（a）はこれらの各パラメータの分布の平均値をとってウェットエッチング時間との関係をあらわしたものである。この図に示した表では各パラメータについてウェットエッチングしなかった場合の平均値を100%として、これを基準にウェットエッチング時間毎の割合の変化を知ることができる。また、図4（b）はこの平均値の表を比較しやすいようにグラフ化したものである。これらの平均値化したものを表とグラフをもとに比較すると、ウェットエッチングすることで太陽電池の特性が向上することが明確になる。総合的に

見て、ウェットエッチング時間が１．２５分（１分１５秒）から５分までの何れの条件でも従来の製造方法に比べて短絡電流や曲線因子などの特性が向上しているといえるが、なかでも２．５分（２分３０秒）から５分まで、エッチング量で表現して０．３μｍ以上０．６μｍ以下の処理をすれば十分な特性向上が得られることがわかった。

【００２７】なお、接合分離部５の後処理を行う保護膜として、拡散工程の際に形成される酸化物よりなる被覆膜を用いたが、保護膜の役割を他の材質に求めても良い。

【００２８】実施の形態２．図５は、この発明の実施の形態２における太陽電池の製造方法の工程手順を示す図である。なお、実施の形態１と同様の機能を有するものについては同一の番号を付すとともに説明を省略する。図５（ａ）は、ボロン等を含有するシリコン基板などからなるＰ型の半導体基板１である。

【００２９】次に、図５（ｂ）は、この半導体基板１をリン（Ｐ）などのＮ型不純物雰囲気中で熱処理することで、半導体基板１の全面に渡って表面から０．２～０．５μｍ程度の深さまでＮ型不純物を拡散させてＮ型を呈する拡散層２を形成させたものであり、このＰ型の半導体基板１の表面と拡散層２との境界をＰＮ接合部３とする。このＰ型の半導体基板１を熱処理してＮ型不純物を拡散させてＮ型を呈する拡散層２とこの拡散層２を被覆する被覆膜４を形成する工程を第２１の工程とする。

【００３０】次に、図５（ｃ）は、拡散工程で形成されたシリコン酸化物（SiO_2）とリン酸化物（P_2O_5）から成る被覆膜を、フッ酸水溶液で除去し、水洗・乾燥させたものである。この半導体基板１を被覆する被覆膜４を除去する工程を第２２の工程とする。

【００３１】次に、図５（ｄ）は、半導体基板１の表面で入射光が反射するのを防止して、内部に有効に取り込むために、半導体基板１の裏面を除いた表面と側面に反射防止膜１０を生膜する。この反射防止膜１０は、例えば窒化シリコン（Si_3N_4）などから成り、シランガス（SiH_4）とアンモニアガス（NH_3）との混合ガスを用いたプラズマＣＶＤ法などで生膜される。この半導体基板１に反射防止膜１０を生膜する工程と第２３の工程とする。

【００３２】次に、図５（ｅ）は、この反射防止膜１０を保護膜として、半導体基板１の裏面の端部全辺をアルミナ（Al_2O_3）や炭化珪素（ＳｉＣ）などの噴射剤を用いたサンドブラスト法で部分的に研磨除去することにより、接合分離部５を形成し、ＰＮ接合部３の分離を行ったものである。なお、拡散層２を半導体基板１の表面と裏面の間で電気的に完全に分離できていれば、その研磨除去の位置形状や噴射ノズルの半導体基板１に対する角度、噴射剤の材質などは特に限定されるものではない。この拡散層２を有する半導体基板１の裏面の外周部の拡散層２を全周に渡って除去し接合分離部５を形成する工程を第２４の工程とする

【００３３】次に図５（ｆ）は、反射防止膜を保護膜として、接合分離部５の後処理を行い、接合分離部５の少なくとも一部に形成されている質の低い接合や表面再結合の高い表面を除去する。この後処理の方法も、特に限定されるものではないが、水酸化ナトリウムまたは水酸化カリウムの水溶液によるウェットエッチングが簡便さや量産性などの観点から適している。

【００３４】なお、反射防止膜１０の後処理液への耐久性を調べた所、例えば成膜温度４００℃でプラズマＣＶＤで形成された、厚さ７００Å、屈折率２．２の反射防止膜の場合、濃度３．２ｗｔ％、６０℃の水酸化ナトリウム水溶液に対し、約１０分間の耐久性がある事が確認された。

【００３５】但し、反射防止膜１０には入射光の反射防止という本来の目的がある為、特性を高く保つには、予め余分に成膜しておき、後処理による目減り分で調整するなどの工夫が重要である。例えば前述した４００℃で屈折率２．２のプラズマＣＶＤによる反射防止膜１０を用い、濃度３．２ｗｔ％、６０℃の水酸化ナトリウム水溶液で２．５分間の後処理をおこなう場合、最終的な所望の膜厚が７００Åならば、予めの成膜厚さは８５０～９００Åが適切な膜厚となる。

【００３６】例えば、デバイス設計の過程で浅い接合を要する場合や、強いダメージの残る研磨除去を要する場合などは、後処理の十分な効果を得る為に被覆膜の厚さが不足する場合が生じる。この場合は、反射防止膜１０を保護膜として用いる方法が十分な効果を得られやすい。以上の処理により、接合分離部５の表層部６が溶解除去され、安定化した新たな接合分離部８が形成される。この半導体基板１をウェットエッチングして接合分離部５の表層部６とともに反射防止膜１０を少量エッチングする工程を第２５の工程とする。

【００３７】次に、図５（ｇ）は、水洗・乾燥をおこなった上で、表面・裏面の金属ペーストをスクリーニング印刷して焼成してＢＳＦ層９を設けたものである。この半導体基板１の裏面にＢＳＦ層９を形成する工程を第２６の工程とする

【００３８】次に、図５（ｈ）は、集電極１２及び集電極１３を形成し、さらに半田浴槽に浸漬して半田被覆１４を形成し、太陽電池１１を完成させたものである。この半導体基板１に集電極を設置し、これらを半田皮膜１４で覆う工程を第２７の工程とする。

【００３９】このようにすることで、前述したようにウェットエッチングに対して耐久性の高い反射防止膜により、半導体基板の拡散層のエッチングが防止できるので、長時間かつエッチング深さが大きいウェットエッチングが可能であり、確実に破壊された表層部を除去することができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 219

【００４０】

【発明の効果】このようにして半導体基板の表層部部分を溶解除去することで、高効率の太陽電池を製造することができる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１における太陽電池の製造方法である。

【図２】　この発明の実施の形態１における太陽電池の製造方法である。

【図３】　この発明の実施の形態１における太陽電池の性能を比較した分布図である。

【図４】　この発明の実施の形態１における太陽電池の性能を比較したグラフ等である。

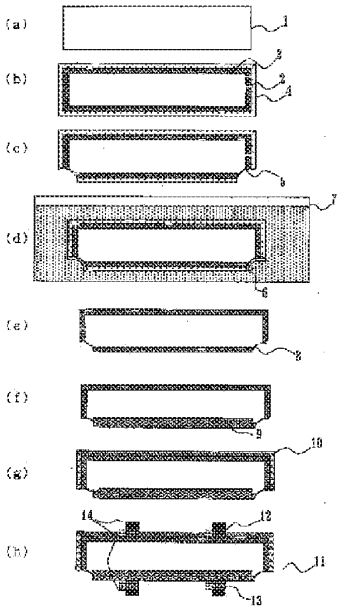
【図５】　この発明の実施の形態２における太陽電池の製造方法である。

【図６】　従来の太陽電池の製造方法である。

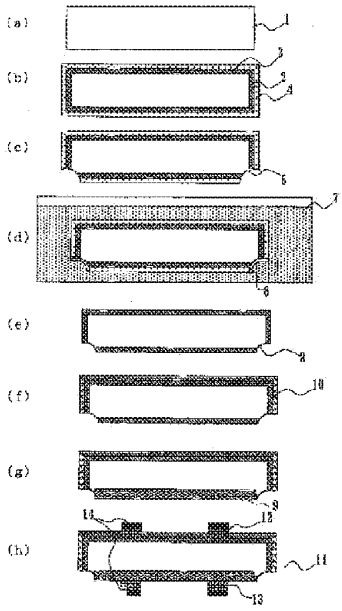
【符号の説明】

１　半導体基板、　２　拡散層、　３　ＰＮ接合部、　４　被覆膜、　５　接合分離部、　６　ウェットエッチング液、　７　表層部、　８　新たな接合分離部、　９　ＢＳＦ層、　１０　反射防止膜、　１１　太陽電池、　１２　集電極、　１３　集電極、　１４　半田皮膜。

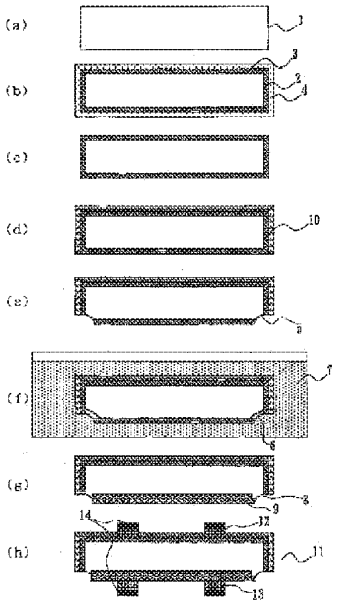
【図１】



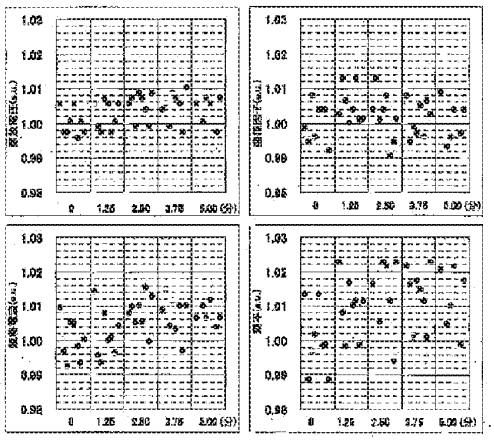
【図２】



【図５】



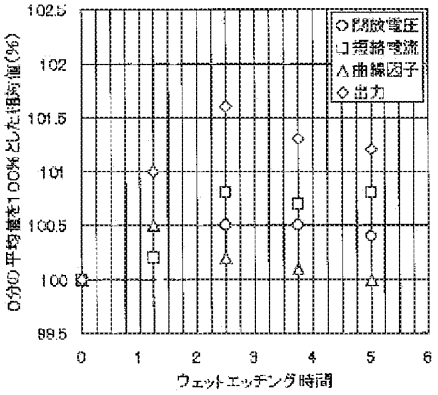
【図３】



【図4】

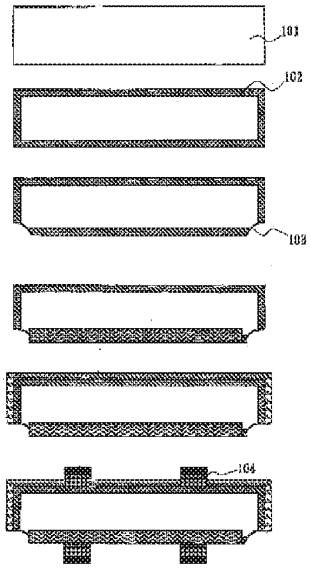
エッチング時間	開放電圧	短絡電流	曲線因子	出力
0分	100.0%	100.0%	100.0%	100.0%
1.25分	100.2%	100.2%	100.6%	101.0%
2.5分	100.5%	100.8%	100.2%	101.6%
3.75分	100.5%	100.7%	100.1%	101.3%
5分	100.4%	100.8%	100.0%	101.2%

(a)



(b)

【図6】



Espacenet

Bibliographic data: JP2011187904 (A) — 2011-09-22

METHOD OF MANUFACTURING SOLAR CELL

Inventor(s): YONEZAWA MASAHITO ± (YONEZAWA MASAHITO)

Applicant(s): MITSUBISHI ELECTRIC CORP ± (MITSUBISHI ELECTRIC CORP)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/546

Application number: JP20100054768 20100311 Global Dossier

Priority number(s): JP20100054768 20100311

Also published as: JP5436277 (B2)

Abstract of JP2011187904 (A)

PROBLEM TO BE SOLVED: To provide a method of manufacturing a solar cell, capable of manufacturing a solar cell having superior characteristics for preventing electric leakage. ;SOLUTION: The manufacturing method includes a step of forming a second semiconductor 3 on the entire surface of a first semiconductor 2 to form a junction section between the first semiconductor 2 and the second semiconductor 3, a step of generating discharge in the proximity of an end while the periphery of the end in an in-plane direction of the first semiconductor 2 is brought into an oxidic atmosphere at an atmospheric pressure to oxidize the first semiconductor 2 and the periphery of the end of the second semiconductor 3, thereby forming a silicon oxide layer 12 from the surface of the second semiconductor 3 to the first semiconductor 2 in at least the periphery of the side surface of the first semiconductor 2,; and a step of forming a notch 13 having a depth from the surface of the second semiconductor 3 to the first semiconductor 2 by removing the silicon oxide layer 12 to expose the first semiconductor 2 and the second semiconductor 3, thereby electrically isolating part of the junction. ;COPYRIGHT: (C)2011,JPO&INPIT

Petitioner Runergy USA Inc., Ex. 1002, p. 222

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-187904
(P2011-187904A)
(43)公開日　平成23年9月22日(2011.9.22)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	A	5F151

審査請求 未請求　請求項の数 3　OL　（全 13 頁）

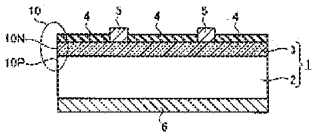
(21)出願番号　特願2010-54768(P2010-54768)
(22)出願日　平成22年3月11日(2010.3.11)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100089118
弁理士　酒井　宏明
(72)発明者　米澤　雅人
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

Ｆターム(参考)　5F151 AA03 AA16 CB20 CB21 CB30 DA03 FA10 FA13 FA15 GA04 GA15 HA03

(54)【発明の名称】太陽電池の製造方法

(57)【要約】
【課題】電気的なリークが防止された良好な出力特性を有する太陽電池を製造可能な太陽電池の製造方法を得ること。
【解決手段】第１半導体部２の全面に第２半導体部３を形成して第１半導体部２と第２半導体部３との接合部を形成する工程と、大気圧中において第１半導体部２の面内方向における端部周辺を酸化性雰囲気とした状態で端部近傍に放電を発生させることにより第１半導体部２および第２半導体部３の前記端部周辺を酸化して、少なくとも第１半導体部２の側面周辺において第２半導体部３の表面から第１半導体部２に達するシリコン酸化層１２を形成する工程と、シリコン酸化層１２を除去して第１半導体部２および第２半導体部３を露出させることにより第２半導体部３の表面から第１半導体部２に達する深さの切り欠き部１３を形成して、前記接合部の一部を電気的に分断する工程と、を含む。
【選択図】図１



【特許請求の範囲】
【請求項１】
結晶シリコン太陽電池の製造方法であって、
第１導電型の結晶シリコン半導体部の全面に第２導電型の結晶シリコン半導体部を形成して前記第１導電型の結晶シリコン半導体部と前記第２導電型の結晶シリコン半導体部との接合部を形成する工程と、
大気圧中において前記第１導電型の結晶シリコン半導体部の面内方向における端部周辺を酸化性雰囲気とした状態で前記端部近傍に放電を発生させることにより前記第１導電型の結晶シリコン半導体部および前記第２導電型の結晶シリコン半導体部の前記端部周辺を酸化して、少なくとも前記第１導電型の結晶シリコン半導体部の側面周辺において前記第２導電型の結晶シリコン半導体部の表面から前記第１導電型の結晶シリコン半導体部に達するシリコン酸化層を形成する工程と、
前記シリコン酸化層を除去して前記第１導電型の結晶シリコン半導体部および前記第２導電型の結晶シリコン半導体部を露出させることにより前記第２導電型の結晶シリコン半導体部の表面から前記第１導電型の結晶シリコン半導体部に達する深さの切り欠き部を形成して、前記接合部の一部を電気的に分断する工程と、
を含むことを特徴とする太陽電池の製造方法。
【請求項２】
シリコンを酸化させる酸化作用を有する酸化材料を前記端部周辺に供給することにより、前記端部周辺を酸化性雰囲気とすること、
を特徴とする請求項１に記載の太陽電池の製造方法。
【請求項３】
前記シリコン酸化層をウェットエッチングにより除去すること、
を特徴とする請求項１に記載の太陽電池の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、太陽電池の製造方法に関する。
【背景技術】
【０００２】
結晶シリコンを用いたバルク型シリコン太陽電池の製造方法においては、Ｐ型電極とＮ型電極とを電気的に絶縁する工程（ＰＮ分離）が行われる。従来、このようなＰＮ接合分離処理として各種の方法が実施されている。
【０００３】
例えば特許文献１には、レーザを使用してＰＮ接合部の分離を行う一般的な方法が開示されている。特許文献１では、レーザ照射部分のシリコン表面を瞬間的に溶融除去し、ＰＮ接合端部分離を行う。特許文献２には、ＰＮ接合端部を含む太陽電池全体を酸化する処理方法が開示されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００８－２４４２８２号公報
【特許文献２】特開２００８－２１１０６５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、上述した特許文献１の方法においては、レーザ発振装置は一般的に高価であり、耐久性に難があり、メンテナンスにも労力を要する、という問題があった。また、光学系の装置であるため、前記溶融除去工程時の灰が、装置稼動上の障害になる、という問題があった。

Petitioner Runergy USA Inc., Ex. 1002, p. 224

【０００６】
また、上述した特許文献２の方法では、太陽電池全体を酸化性雰囲気で酸化処理した場合、ＰＮ接合端部を含む太陽電池全体が酸化される。また、酸化処理後にフッ酸処理を行うと、酸化された部分が全て除去されてしまうため、所望のＰＮ接合端部のみを除去することは困難である、という問題があった。
【０００７】
本発明は、上記に鑑みてなされたものであって、電気的なリークが防止された良好な出力特性を有する太陽電池を製造可能な太陽電池の製造方法を得ることを目的とする。
【課題を解決するための手段】
【０００８】
上述した課題を解決し、目的を達成するために、本発明にかかる太陽電池の製造方法は、結晶シリコン太陽電池の製造方法であって、第１導電型の結晶シリコン半導体部の全面に第２導電型の結晶シリコン半導体部を形成して前記第１導電型の結晶シリコン半導体部と前記第２導電型の結晶シリコン半導体部との接合部を形成する工程と、大気圧中において前記第１導電型の結晶シリコン半導体部の面内方向における端部周辺を酸化性雰囲気とした状態で前記端部近傍に放電を発生させることにより前記第１導電型の結晶シリコン半導体部および前記第２導電型の結晶シリコン半導体部の前記端部周辺を酸化して、少なくとも前記第１導電型の結晶シリコン半導体部の側面周辺において前記第２導電型の結晶シリコン半導体部の表面から前記第１導電型の結晶シリコン半導体部に達するシリコン酸化層を形成する工程と、前記シリコン酸化層を除去して前記第１導電型の結晶シリコン半導体部および前記第２導電型の結晶シリコン半導体部を露出させることにより前記第２導電型の結晶シリコン半導体部の表面から前記第１導電型の結晶シリコン半導体部に達する深さの切り欠き部を形成して、前記接合部の一部を電気的に分断する工程と、を含むことを特徴とする。
【発明の効果】
【０００９】
本発明によれば、結晶シリコン太陽電池におけるＰＮ接合分離端部における電気的なリーク要因を確実に除去することができるため、ＰＮ接合分離端部における電気的なリークが防止された良好な出力特性を有する太陽電池を製造可能である、という効果を奏する。
【図面の簡単な説明】
【００１０】
【図１】図１は、本発明の実施の形態１にかかる結晶シリコン太陽電池の構成を示す図であり、太陽電池の断面構造を模式的に示す断面図である。
【図２－１】図２－１は、本発明の実施の形態１にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図２－２】図２－２は、本発明の実施の形態１にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図２－３】図２－３は、本発明の実施の形態１にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図２－４】図２－４は、本発明の実施の形態１にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図３－１】図３－１は、ＰＮ分離処理前の半導体基板（シリコン基板）を示す断面図である。
【図３－２】図３－２は、半導体基板の端部を酸化してＰ型多結晶シリコン基板とＮ型不純物拡散層とのＰＮ接合の端部表面にシリコン酸化層を形成した状態を示す断面図である。
【図３－３】図３－３は、ＰＮ分離を行ったＰＮ接合端部の理想形を示す断面図である。
【図４】図４は、本発明の実施の形態２にかかる結晶シリコン太陽電池の構成を示す図であり、太陽電池の断面構造を模式的に示す断面図である。
【図５－１】図５－１は、本発明の実施の形態２にかかる結晶シリコン太陽電池の製造工

程を説明するための断面図である。
【図５－２】図５－２は、本発明の実施の形態２にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図５－３】図５－３は、本発明の実施の形態２にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【図５－４】図５－４は、本発明の実施の形態２にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【発明を実施するための形態】
【００１１】
以下に、本発明にかかる太陽電池の製造方法の実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。また、以下に示す図面においては、理解の容易のため、各部材の縮尺が実際とは異なる場合がある。各図面間においても同様である。
【００１２】
実施の形態１．
図１は、本発明の実施の形態１にかかる結晶シリコン太陽電池の構成を示す図であり、太陽電池の断面構造を模式的に示す断面図である。実施の形態１にかかる太陽電池は、図１に示されるように、光電変換機能を有する太陽電池基板であってＰＮ接合を有する半導体基板１と、半導体基板１の受光面側の面（表面）に形成されて受光面での入射光の反射を防止する絶縁膜である反射防止膜４と、半導体基板１の受光面側の面（表面）において半導体基板１に電気的に接続した第１電極である受光面側電極（Ｎ型電極）５と、半導体基板１の裏面において半導体基板１に電気的に接続した第２電極である裏面側電極（Ｐ型電極）６と、を備える。
【００１３】
半導体基板１は、第１導電型の結晶シリコン半導体部であるＰ型多結晶シリコン基板２と、半導体基板１の受光面側にリン拡散によって形成された第２導電型の結晶シリコン半導体部である不純物拡散層（Ｎ型不純物拡散層）３と、によりＰＮ接合が構成されている。なお、Ｐ型多結晶シリコン基板の代わりに単結晶シリコン基板を用いてもよく、Ｐ型シリコン基板の代わりにＮ型シリコン基板を用いてもよい。反射防止膜４は、たとえばシリコン窒化膜（ＳｉＮ膜）からなり、表面保護の機能も兼ねている。受光面側電極（Ｎ型電極）５は、銀、ガラス等を含む電極材料からなる。裏面側電極（Ｐ型電極）６は、アルミニウム、ガラス等を含む電極材料からなる。
【００１４】
図１に示すように、本実施の形態にかかる太陽電池では、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の端部であるＰＮ接合端部１０の表面において、結晶構造が維持されている。すなわちＰＮ接合端部１０では、Ｐ型多結晶シリコン基板２の端部表面１０ＰおよびＮ型不純物拡散層３の端部表面１０Ｎにおいて結晶構造が維持されている。これにより、この太陽電池では、高抵抗化したＰＮ接合端部１０が得られており、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止されている。したがって、本実施の形態にかかる太陽電池によれば、ＰＮ接合分離端部における電気的なリークが防止された、良好な出力特性を有する太陽電池が実現されている。
【００１５】
つぎに、このような太陽電池の製造方法の一例について図２－１～図２－４を参照して説明する。図２－１～図２－４は、実施の形態１にかかる結晶シリコン太陽電池の製造工程を説明するための断面図である。
【００１６】
まず、半導体基板１となるシリコン基板を用意する。シリコン基板としては、例えば民生用太陽電池向けとして最も多く使用されているＰ型多結晶シリコン基板２を用意する。
【００１７】

Petitioner Runergy USA Inc., Ex. 1002, p. 226

Ｐ型多結晶シリコン基板２は、溶融したシリコンを冷却固化してできたインゴットをワイヤーソーでスライスして製造するため、表面にスライス時のダメージが残っている。そこで、まずはこのダメージ層の除去も兼ねて、Ｐ型多結晶シリコン基板２を酸または加熱したアルカリ溶液中、例えば水酸化ナトリウム水溶液に浸漬して表面をエッチングすることにより、シリコン基板の切り出し時に発生してＰ型多結晶シリコン基板２の表面近くに存在するダメージ領域を取り除く。ダメージ除去後のＰ型多結晶シリコン基板２の厚みは、例えば１８０μｍ、寸法は例えば１５６ｍｍ×１５６ｍｍである。

【００１８】

また、ダメージ除去と同時に、またはダメージ除去に続いて、Ｐ型多結晶シリコン基板２の受光面側の表面にテクスチャー構造として微小凹凸を形成してもよい。このようなテクスチャー構造を半導体基板１の受光面側に形成することで、太陽電池セルの表面で光の多重反射を生じさせ、太陽電池セルに入射する光を効率的にＰ型多結晶シリコン基板２の内部に吸収させることができ、実効的に反射率を低減し変換効率を向上させることができる。

【００１９】

なお、本発明はＰＮ分離にかかる発明であるので、テクスチャー構造の形成方法や形状については、特に制限するものではない。例えば、イソプロピルアルコールを含有させたアルカリ水溶液や主にフッ酸、硝酸の混合液からなる酸エッチングを用いる方法、部分的に開口を設けたマスク材をＰ型多結晶シリコン基板２の表面に形成して該マスク材を介したエッチングによりＰ型多結晶シリコン基板２の表面にハニカム構造や逆ピラミッド構造を得る方法、或いは反応性ガスエッチング（ＲＩＥ：Reactive Ion Etching）を用いた手法など、何れの手法を用いても差し支えない。

【００２０】

つぎに、このＰ型多結晶シリコン基板２を熱酸化炉へ投入し、Ｎ型の不純物であるリン（Ｐ）の雰囲気下で加熱する。この工程によりＰ型多結晶シリコン基板２の表面にリン（Ｐ）を拡散させて、Ｎ型不純物拡散層３を形成して半導体ＰＮ接合を形成する（図２－１）。これにより、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合を有する半導体基板１が形成される。本実施の形態では、Ｐ型多結晶シリコン基板２をオキシ塩化リン（$POCl_3$）ガス雰囲気中において、例えば８４０℃程度の温度で加熱することにより、Ｎ型不純物拡散層３を形成する。ここで、Ｐ型多結晶シリコン基板２の表面にＮ型不純物拡散層３が形成され、更にＮ型不純物拡散層３の最表面には、熱酸化時形成シリコン酸化膜１１（以下、シリコン酸化膜１１と呼ぶ）が形成される。

【００２１】

つぎに、大気圧放電熱酸化により半導体基板１の端部を酸化してシリコン酸化層１２を形成する（図２－２）。シリコン酸化層１２を形成するには、大気圧中において半導体基板１の端部を半導体基板１の表裏面側から放電発生用上部電極２１と放電発生用下部電極２２で挟んで配置する。そして、放電発生用上部電極２１－放電発生用下部電極２２間に電圧を印可して該放電発生用上部電極２１－放電発生用下部電極２２間に放電を発生させる（大気圧放電熱酸化）。また、放電発生時には、半導体基板１の端部周辺を酸化性雰囲気とした状態で放電を発生させる。例えば、高濃度の酸素またはオゾンを半導体基板１の端部周辺に供給しながら放電を発生させる。

【００２２】

これにより、半導体基板１の端部は高温になり、また高濃度の酸素またはオゾン雰囲気に曝される。その結果、半導体基板１の端部が酸化されてシリコン酸化層１２が形成される。すなわち、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の端部表面にシリコン酸化層１２が形成される。図２－２においては、酸素供給部２３から高濃度の酸素またはオゾンを供給する場合について示しているが、放電発生用上部電極２１と放電発生用下部電極２２とが酸素供給部２３を兼ねた構成としてもよい。

【００２３】

このシリコン酸化層１２が少なくとも半導体基板１の側面のＮ型不純物拡散層３の表面

Petitioner Runergy USA Inc., Ex. 1002, p. 227

からＰ型多結晶シリコン基板２の側面に達する深さまで形成されるように放電条件、酸素またはオゾンの濃度を調整する。上記の大気圧放電熱酸化は大気圧中で行われるため、真空引きなどを行う必要が無く、特別な設備が不要である。

【００２４】

つぎに、半導体基板１を例えばフッ酸溶液中に浸漬してシリコン酸化膜１１を溶解させて除去する。半導体基板１をフッ酸溶液に浸漬すると、シリコン酸化膜１１が溶解して除去される。このシリコン酸化膜１１の除去時、シリコン酸化層１２も同時に除去される（図２－３）。これにより、少なくとも半導体基板１の側面のＮ型不純物拡散層３の表面からＰ型多結晶シリコン基板２に達する深さの切り欠き部１３が形成され、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の一部が電気的に分断される。

【００２５】

また、切り欠き部１３を形成することにより作られたＰＮ接合端部１０では、表面の酸化シリコンが除去されて、結晶構造を維持した表面（Ｐ型多結晶シリコン基板２の端部表面１０ＰおよびＮ型不純物拡散層３の端部表面１０Ｎ）を有する。すなわち、ＰＮ接合端部１０では、表面の酸化シリコンを除去してＰ型多結晶シリコン基板２およびＮ型不純物拡散層３を露出させることにより、その最表面は結晶構造を維持した表面となる。

【００２６】

このように、ＰＮ接合端部１０においては、該ＰＮ接合端部１０におけるリーク要因となるシリコン酸化層１２が除去され、結晶構造を維持した高抵抗のシリコン面が最表面に露出した状態となる。したがって、高抵抗のＰＮ分離部が得られ、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止される。

【００２７】

なお、上述したようにシリコン酸化膜１１の除去工程において同時にシリコン酸化層１２を除去できるため、新たにシリコン酸化層１２の除去工程を追加することは不要である。したがって、低い生産コストで良好な特性の太陽電池を生産することができる。

【００２８】

つぎに、Ｎ型不純物拡散層３を形成したＰ型多結晶シリコン基板２の受光面側に、表面保護および光電変換効率改善のために、反射防止膜４としてシリコン窒化膜（ＳｉＮ膜）を形成する。反射防止膜４の形成には、例えばプラズマＣＶＤ法を使用し、シランとアンモニアの混合ガスを用いて反射防止膜４としてシリコン窒化膜を形成する。反射防止膜４の膜厚および屈折率は、光反射を最も抑制する値に設定する。なお、反射防止膜４として、屈折率の異なる２層以上の膜を積層してもよい。また、反射防止膜４の形成には、スパッタリング法などの異なる成膜方法を用いてもよい。また、反射防止膜４としてシリコン酸化膜を形成してもよい。

【００２９】

つぎに、受光面側電極（Ｎ型電極）５および裏面側電極（Ｐ型電極）６を形成する（図２－４）。まず、アルミニウムおよびガラスの混入したアルミニウム電極ペーストを半導体基板１の裏面のほぼ全面にスクリーン印刷により塗布し、乾燥する。つづいて、銀およびガラスの混入した銀電極ペーストを半導体基板１の表面に櫛形にスクリーン印刷により塗布し、乾燥する。そして、焼成処理を実施する。焼成は、大気雰囲気中、例えば７６０℃程度で実施する。これにより、アルミニウム電極ペーストは、乾燥後状態から焼成後状態の受光面側電極（Ｎ型電極）５になり、該受光面側電極（Ｎ型電極）５中の銀が反射防止膜４を貫通して、Ｎ型不純物拡散層３と受光面側電極（Ｎ型電極）５とが電気的に接続する。銀電極ペーストは、乾燥後状態から焼成後状態の裏面側電極（Ｐ型電極）６になる。

【００３０】

以上により、図１に示す実施の形態１にかかる太陽電池が作製される。なお、電極材料であるペーストの塗布の順番を、受光面側と裏面側とで入れ替えてもよい。

【００３１】

Petitioner Runergy USA Inc., Ex. 1002, p. 228

つぎに、ＰＮ分離を行ったＰＮ接合端部１０の理想形について図３－１～図３－３を参照して説明する。図３－１は、ＰＮ分離処理前の半導体基板（シリコン基板）１を示す断面図である。図３－１に示すように、ＰＮ分離処理前の半導体基板１においては、第１導電型の結晶シリコン半導体部であるＰ型多結晶シリコン基板２の表面全体に第２導電型の結晶シリコン半導体部である不純物拡散層（Ｎ型不純物拡散層）３が形成されている。

【００３２】

図３－２は、半導体基板１の端部を酸化してシリコン酸化層１２を形成した状態、すなわちＰ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の端部表面にシリコン酸化層１２を形成した状態を示す断面図である。図３－２に示した状態のまま受光面側電極（Ｎ型電極）５と裏面側電極（Ｐ型電極）６とが形成されると（図示せず）、該受光面側電極（Ｎ型電極）５と裏面側電極（Ｐ型電極）６との間が、比較的低抵抗であるＮ型不純物拡散層３とシリコン酸化層１２とを介して電気的に接続される。この場合は、受光面側電極（Ｎ型電極）５と裏面側電極（Ｐ型電極）６との間が短絡し、図３－２において矢印１３０で示されるようなリーク経路のリーク電流が発生し、太陽電池の出力特性が低下する。

【００３３】

図３－３は、ＰＮ分離を行ったＰＮ接合端部１０の理想形を示す断面図である。ＰＮ分離を行ったＰＮ接合端部１０の理想形は、図３－３に示すように、シリコン酸化層１２が存在せず、結晶構造を維持したシリコン表面とされていることである。この場合、キャリアは図３－３において矢印３０で示されるような経路でＰＮ接合端部１０の表面に動くことができるが図３－２において矢印１３０で示されるようなリーク経路のリーク電流が発生せず、太陽電池の出力特性が低下することがない。本実施の形態にかかる太陽電池の製造方法では、このような理想型の構造のＰＮ接合端部１０を作製し、確実にＰＮ分離を行うことができる。

【００３４】

上述したように、本実施の形態においては、半導体基板１の端部に大気圧放電熱酸化を実施して、少なくとも半導体基板１の側面のＮ型不純物拡散層３の表面からＰ型多結晶シリコン基板２の側面に達する深さまでシリコン酸化層１２を形成する。そして、このシリコン酸化層１２を除去する。これにより、ＰＮ接合端部１０においては、該ＰＮ接合端部１０におけるリーク要因となるシリコン酸化層１２が除去され、結晶構造を維持した高抵抗のシリコン面が最表面に露出した状態となる。したがって、高抵抗のＰＮ分離部が得られ、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止される。

【００３５】

したがって、本実施の形態によれば、結晶構造を維持したＰＮ接合端部１０を形成することにより、ＰＮ接合端部１０におけるリーク電流の無い、良好な出力特性を有する太陽電池を得ることができる。また、本実施の形態にかかる太陽電池の製造方法においては、ＰＮ分離を行うために特殊な工程を採用してないため、低い生産コストで良好な特性の太陽電池を作製することができる。

【００３６】

また、本実施の形態においては、レーザ発振装置等の高価で、且つ使用に関してメンテナンスなどの労力が必要な装置を使用しないため、低い生産コストで良好な特性の太陽電池を作製することができる。

【００３７】

また、本実施の形態においては、大気圧放電酸化によって形成したシリコン酸化部分（シリコン酸化層１２）と、フッ酸によるシリコン酸化膜１１の除去部分が合致する。すなわち、フッ酸によるシリコン酸化膜１１の除去時に、シリコン酸化層１２が半導体基板１の最表面に露出している。この為、ＰＮ接合端部リーク要因になるシリコン酸化層１２を残すことなく選択的に除去でき、またフッ酸により、シリコンを過剰に除去することも無く、必要最小限の加工部分で所望のＰＮ接合端部を得ることができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 229

【００３８】
さらに、放電の制御は容易であり、放電の条件の制御によって、シリコン酸化層１２の幅方向は、Ｎ型不純物拡散層３＋α程度の浅い部分のみを加工すればよい。したがって、放電が太陽電池に与えるダメージは、機械強度から見てほとんど無い。さらに、幅方向も極小面積で加工できる。このことによって太陽電池の面積損失はほとんど発生しない。真の太陽電池端部でも加工可能である。
【００３９】
実施の形態２．
図４は、本発明の実施の形態２にかかる結晶シリコン太陽電池の構成を示す図であり、太陽電池の断面構造を模式的に示す断面図である。以下の図面においては、上記の図１、図２－１～図２－４と同じ部材には同じ符号を付す。
【００４０】
本実施の形態にかかる太陽電池は、図４に示されるように、光電変換機能を有する太陽電池基板であってＰＮ接合を有する半導体基板１と、半導体基板１の受光面側の面（表面）に形成されて受光面での入射光の反射を防止する絶縁膜である反射防止膜４と、半導体基板１の受光面側の面（表面）において半導体基板１に電気的に接続した第１電極である受光面側電極（Ｎ型電極）５と、半導体基板１の裏面において半導体基板１に電気的に接続した第２電極である裏面側電極（Ｐ型電極）６と、を備える。
【００４１】
図４に示すように、本実施の形態にかかる太陽電池では、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の端部であるＰＮ接合端部１０の表面において、結晶構造が維持されている。すなわちＰＮ接合端部１０では、Ｐ型多結晶シリコン基板２の端部表面１０ＰおよびＮ型不純物拡散層３の端部表面１０Ｎにおいて結晶構造が維持されている。そして、結晶構造が維持されているＰＮ接合端部１０上に直接反射防止膜４が形成されている。これにより、この太陽電池では、高抵抗化したＰＮ接合端部１０が得られており、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止されている。したがって、本実施の形態にかかる太陽電池によれば、ＰＮ接合分離端部における電気的なリークが防止された、良好な出力特性を有する太陽電池が実現されている。
【００４２】
つぎに、本発明にかかる結晶シリコン太陽電池の製造方法の他の実施の形態を図５－１～図５－４を参照して説明する。図５－１～図５－４は、実施の形態２にかかるシリコン太陽電池の製造工程を説明するための断面図である。
【００４３】
まず、実施の形態１の場合と同様に、半導体基板１となるシリコン基板を用意する。シリコン基板としては、例えば民生用太陽電池向けとして最も多く使用されているＰ型多結晶シリコン基板２を用意する。
【００４４】
Ｐ型多結晶シリコン基板２は、溶融したシリコンを冷却固化してできたインゴットをワイヤーソーでスライスして製造するため、表面にスライス時のダメージが残っている。そこで、まずはこのダメージ層の除去も兼ねて、Ｐ型多結晶シリコン基板２を酸または加熱したアルカリ溶液中、例えば水酸化ナトリウム水溶液に浸漬して表面をエッチングすることにより、シリコン基板の切り出し時に発生してＰ型多結晶シリコン基板２の表面近くに存在するダメージ領域を取り除く。ダメージ除去後のＰ型多結晶シリコン基板２の厚みは、例えば１８０μｍ、寸法は例えば１５６ｍｍ×１５６ｍｍである。
【００４５】
また、ダメージ除去と同時に、またはダメージ除去に続いて、Ｐ型多結晶シリコン基板２の受光面側の表面にテクスチャー構造として微小凹凸を形成してもよい。このようなテクスチャー構造を半導体基板１の受光面側に形成することで、太陽電池セルの表面で光の多重反射を生じさせ、太陽電池セルに入射する光を効率的にＰ型多結晶シリコン基板２の

Petitioner Runergy USA Inc., Ex. 1002, p. 230

内部に吸収させることができ、実効的に反射率を低減し変換効率を向上させることができる。

【００４６】

つぎに、このＰ型多結晶シリコン基板２を熱酸化炉へ投入し、Ｎ型の不純物であるリン（Ｐ）の雰囲気下で加熱する。この工程によりＰ型多結晶シリコン基板２の表面にリン（Ｐ）を拡散させて、Ｎ型不純物拡散層３を形成して半導体ＰＮ接合を形成する（図５－１）。これにより、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合を有する半導体基板１が形成される。本実施の形態では、Ｐ型多結晶シリコン基板２をオキシ塩化リン（$POCl_3$）ガス雰囲気中において、例えば８４０℃程度の温度で加熱することにより、Ｎ型不純物拡散層３を形成する。ここで、Ｐ型多結晶シリコン基板２の表面にＮ型不純物拡散層３が形成され、更にＮ型不純物拡散層３の最表面には、シリコン酸化膜１１が形成される。

【００４７】

つぎに、大気圧放電熱酸化により半導体基板１の受光面の表面端部（角部）を酸化してシリコン酸化層１２を形成する（図５－２）。シリコン酸化層１２を形成するには、大気圧中において半導体基板１の受光面の表面端部（角部）を放電発生用上部電極２１と放電発生用下部電極２２との間に挟んで配置する。そして、放電発生用上部電極２１－放電発生用下部電極２２間に電圧を印可して該放電発生用上部電極２１－放電発生用下部電極２２間に放電を発生させる（大気圧放電熱酸化）。また、放電発生時には、半導体基板１の受光面の表面端部（角部）周辺を酸化性雰囲気とした状態で放電を発生させる。例えば、高濃度の酸素またはオゾンを半導体基板１の受光面の表面端部（角部）周辺に供給しながら放電を発生させる。

【００４８】

これにより、半導体基板１の受光面の表面端部（角部）は、高温になり、また高濃度の酸素またはオゾン雰囲気に曝される。そして、半導体基板１の受光面の表面端部（角部）が酸化されてシリコン酸化層１２が形成される。すなわち、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の端部表面にシリコン酸化層１２が形成される。図５－２においては、酸素供給部２３から高濃度の酸素またはオゾンを供給する場合について示しているが、放電発生用上部電極２１と放電発生用下部電極２２とが酸素供給部２３を兼ねた構成としてもよい。

【００４９】

半導体基板１の受光面の表面端部（角部）において、このシリコン酸化層１２が少なくともＮ型不純物拡散層３の表面からＰ型多結晶シリコン基板２に達する深さまで形成されるように放電条件、酸素またはオゾンの濃度を調整する。上記の大気圧放電熱酸化は大気圧中で行われるため、真空引きなどを行う必要が無く、特別な設備が不要である。

【００５０】

つぎに、半導体基板１を例えばフッ酸溶液中に浸漬してシリコン酸化膜１１を溶解させて除去する。半導体基板１をフッ酸溶液に浸漬すると、シリコン酸化膜１１が溶解して除去される。このシリコン酸化膜１１の除去時、シリコン酸化層１２も同時に除去される（図５－３）。これにより、半導体基板１の受光面の表面端部（角部）において、少なくともＮ型不純物拡散層３の表面からＰ型多結晶シリコン基板２に達する深さの切り欠き部１４が形成され、Ｐ型多結晶シリコン基板２とＮ型不純物拡散層３とのＰＮ接合の一部が電気的に分断される。

【００５１】

また、切り欠き部１４を形成することにより作られたＰＮ接合端部１０では、表面の酸化シリコンが除去されて、結晶構造を維持した表面（Ｐ型多結晶シリコン基板２の端部表面１０ＰおよびＮ型不純物拡散層３の端部表面１０Ｎ）を有する。すなわち、ＰＮ接合端部１０では、表面の酸化シリコンを除去してＰ型多結晶シリコン基板２およびＮ型不純物拡散層３を露出させることにより、その最表面は結晶構造を維持した表面となる。

【００５２】

このように、ＰＮ接合端部１０においては、該ＰＮ接合端部１０におけるリーク要因となるシリコン酸化層１２が除去され、結晶構造を維持した高抵抗のシリコン面が最表面に露出した状態となる。したがって、高抵抗のＰＮ分離部が得られ、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止される。

【００５３】

なお、上述したようにシリコン酸化膜１１の除去工程において同時にシリコン酸化層１２を除去できるため、新たにシリコン酸化層１２の除去工程を追加することは不要である。したがって、低い生産コストで良好な特性の太陽電池を生産することができる。

【００５４】

つぎに、Ｎ型不純物拡散層３を形成したＰ型多結晶シリコン基板２の受光面側に、表面保護および光電変換効率改善のために、反射防止膜４として絶縁膜であるシリコン窒化膜（ＳｉＮ膜）を形成する。このとき、結晶構造が維持されているＰＮ接合端部１０上には、直接反射防止膜４が形成される。反射防止膜４の形成には、例えばプラズマＣＶＤ法を使用し、シランとアンモニアの混合ガスを用いて反射防止膜４としてシリコン窒化膜を形成する。反射防止膜４の膜厚および屈折率は、光反射を最も抑制する値に設定する。なお、反射防止膜４として、屈折率の異なる２層以上の膜を積層してもよい。また、反射防止膜４の形成には、スパッタリング法などの異なる成膜方法を用いてもよい。また、反射防止膜４としてシリコン酸化膜を形成してもよい。

【００５５】

つぎに、受光面側電極（Ｎ型電極）５および裏面側電極（Ｐ型電極）６を形成する（図５－４）。まず、アルミニウムおよびガラスの混入したアルミニウム電極ペーストを半導体基板１の裏面のほぼ全面にスクリーン印刷により塗布し、乾燥する。つづいて、銀およびガラスの混入した銀電極ペーストを半導体基板１の表面に櫛形にスクリーン印刷により塗布し、乾燥する。そして、焼成処理を実施する。焼成は、大気雰囲気中、例えば７６０℃程度で実施する。これにより、アルミニウム電極ペーストは、乾燥後状態から焼成後状態の受光面側電極（Ｎ型電極）５になり、該受光面側電極（Ｎ型電極）５中の銀が反射防止膜４を貫通して、Ｎ型不純物拡散層３と受光面側電極（Ｎ型電極）５とが電気的に接続する。銀電極ペーストは、乾燥後状態から焼成後状態の裏面側電極（Ｐ型電極）６になる。

【００５６】

以上により、図４に示す実施の形態２にかかる太陽電池が作製される。なお、電極材料であるペーストの塗布の順番を、受光面側と裏面側とで入れ替えてもよい。

【００５７】

上述したように、本実施の形態においては、半導体基板１の受光面の表面端部（角部）に大気圧放電熱酸化を実施して、少なくとも半導体基板１の受光面の表面端部（角部）においてＮ型不純物拡散層３の表面からＰ型多結晶シリコン基板２に達する深さまでシリコン酸化層１２を形成する。そして、このシリコン酸化層１２を除去する。これにより、ＰＮ接合端部１０においては、該ＰＮ接合端部１０におけるリーク要因となるシリコン酸化層１２が除去され、結晶構造を維持した高抵抗のシリコン面が最表面に露出した状態となる。したがって、高抵抗のＰＮ分離部が得られ、ＰＮ接合端部１０においてＰ型多結晶シリコン基板２の端部側面とＮ型不純物拡散層３の端部側面との間にリーク電流が流れることが防止される。

【００５８】

したがって、本実施の形態によれば、結晶構造を維持したＰＮ接合端部１０を形成することにより、ＰＮ接合端部１０におけるリーク電流の無い、良好な出力特性を有する太陽電池を得ることができる。また、本実施の形態にかかる太陽電池の製造方法においては、ＰＮ分離を行うために特殊な工程を採用してないため、低い生産コストで良好な特性の太陽電池を作製することができる。

【００５９】

Petitioner Runergy USA Inc., Ex. 1002, p. 232

また、本実施の形態においては、レーザ発振装置等の高価で、且つ使用に関してメンテナンスなどの労力が必要な装置を使用しないため、低い生産コストで良好な特性の太陽電池を作製することができる。

【００６０】

また、本実施の形態においては、大気圧放電酸化によって形成したシリコン酸化部分（シリコン酸化層１２）と、フッ酸によるシリコン酸化膜１１の除去部分が合致する。すなわち、フッ酸によるシリコン酸化膜１１の除去時に、シリコン酸化層１２が半導体基板１の最表面に露出している。この為、ＰＮ接合端部リーク要因になるシリコン酸化層１２を残すことなく選択的に除去でき、またフッ酸により、シリコンを過剰に除去することも無く、必要最小限の加工部分で所望のＰＮ接合端部を得ることができる。

【００６１】

さらに、放電の制御は容易であり、放電の条件の制御によって、シリコン酸化層１２の深さ方向は、Ｎ型不純物拡散層３＋α程度の浅い部分のみを加工すればよい。したがって、放電が太陽電池に与えるダメージは、機械強度から見てほとんど無い。さらに、幅方向も極小面積で加工できる。このことによって太陽電池の面積損失はほとんど発生しない。真の太陽電池端部でも加工可能である。

【産業上の利用可能性】

【００６２】

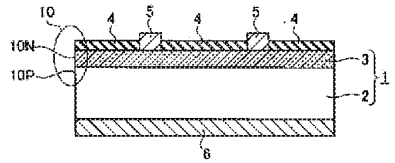
以上のように、本発明にかかる太陽電池の製造方法は、ＰＮ接合端部における電気的なリークが防止された良好な出力特性を有する太陽電池を安価に製造する場合に有用である。

【符号の説明】

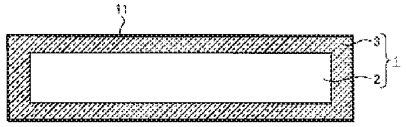
【００６３】

１　半導体基板
２　Ｐ型多結晶シリコン基板
３　不純物拡散層（Ｎ型不純物拡散層）
４　反射防止膜
５　受光面側電極（Ｎ型電極）
６　裏面側電極（Ｐ型電極）
１０　ＰＮ接合端部
１０Ｐ　Ｐ型多結晶シリコン基板の端部表面
１０Ｎ　Ｎ型多結晶シリコン基板の端部表面
１１　熱酸化時形成シリコン酸化膜（シリコン酸化膜）
１２　シリコン酸化層
１３　切り欠き部
１４　切り欠き部
２１　放電発生用上部電極
２２　放電発生用下部電極
２３　酸素供給部

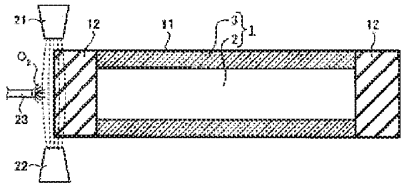
【図１】



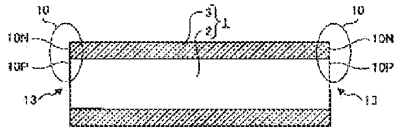
【図２－１】



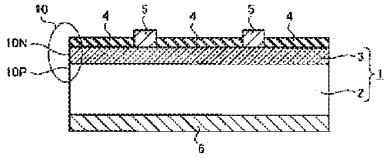
【図２－２】



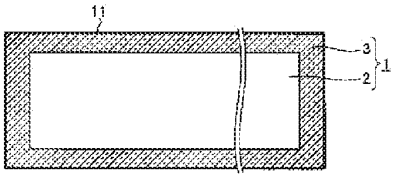
【図２－３】



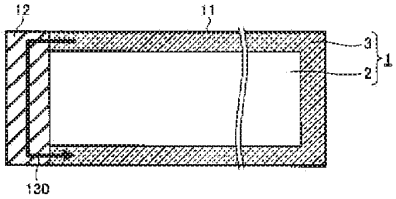
【図２－４】



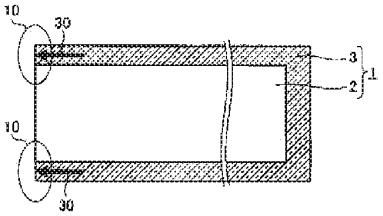
【図３－１】



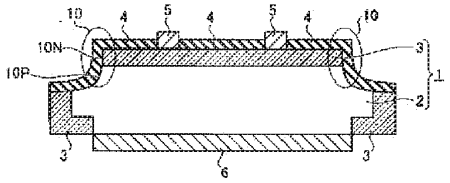
【図３－２】



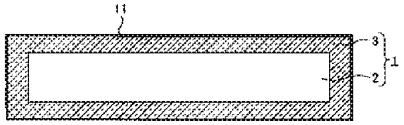
【図３－３】



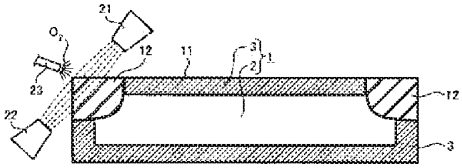
【図４】



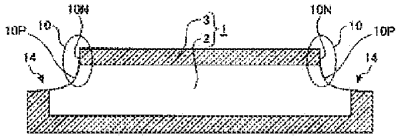
【図５－１】



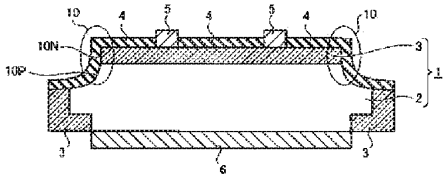
【図５－２】



【図５－３】



【図５－４】



Espacenet

Bibliographic data: JP2012004571 (A) — 2012-01-05

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Inventor(s): KIM SUN-JIN; KAK GYA-YON; DO YUN-KU; YI MAN; LEE SON-WUN; YANG YUN-SUN; KWON TIE-YON; CHO HIE-JON; CHAE MN-HO; CHONG CHUA ± (KIM SUN-JIN, ; KAK GYA-YON, ; DO YUN-KU, ; YI MAN, ; LEE SON-WUN, ; YANG YUN-SUN, ; KWON TIE-YON, ; CHO HIE-JON, ; CHAE MN-HO, ; CHONG CHUA, ; キム スンジン, ; カク ギャヨン, ; ド ユンク, ; イ マン, ; リ ソンウン, ; ヤン ユンスン, ; クウォン テヨン, ; チョ ヘジョン, ; チェ ミンホ, ; チョン チューワ)

Applicant(s): LG ELECTRONICS INC ± (LG ELECTRONICS INC, ; エルジー エレクトロニクス インコーポレイティド)

Classification: - international: ***H01L31/04***
- cooperative: **H01L31/022425**; **H01L31/022433**; H01L31/068; Y02E10/52; Y02E10/547

Application number: JP20110136209 20110620 Global Dossier

Priority number(s): KR20100058658 20100621 ; KR20100058659 20100621

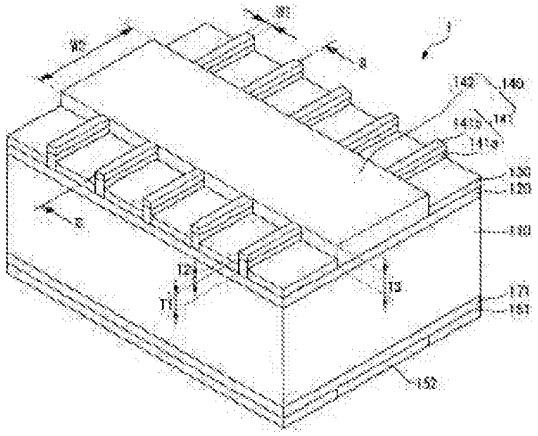
Also published as: CN102290453 (A) CN102290453 (B) EP2398061 (A2) EP2398061 (A3) JP5833350 (B2) more

Abstract of JP2012004571 (A)

PROBLEM TO BE SOLVED: To provide a solar cell that can reduce a manufacturing cost therefor, and that can improve the efficiency.SOLUTION: A solar cell according to one feature of the present invention comprises: a substrate (110) of a first conductive type; an emitter layer (120) of a second conductive type opposite the first conductive type, the emitter layer configured to form a p-n junction along with the substrate; a plurality of first electrodes connected to the emitter layer, each of the plurality of first electrodes (141) having a multi-layered structure; at least one first current collector (142) that is connected to the plurality of first electrodes and has a single-layered structure; and a second electrode (151) connected to the substrate. This improves the efficiency in manufacturing a solar cell, and reduces the manufacturing cost.

Petitioner Runergy USA Inc., Ex. 1002, p. 236

FIG. 1



Petitioner Runergy USA Inc., Ex. 1002, p. 237

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-4571
(P2012-4571A)
(43)公開日　平成24年1月5日(2012.1.5)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	A	5F151

審査請求 未請求　請求項の数 33　ＯＬ　（全 17 頁）

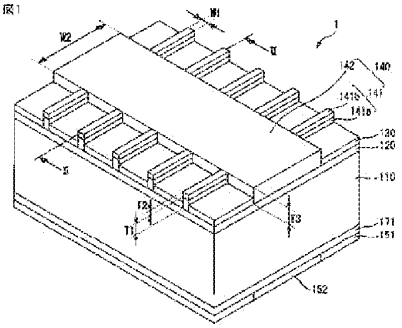
(21)出願番号	特願2011-136209 (P2011-136209)
(22)出願日	平成23年6月20日 (2011.6.20)
(31)優先権主張番号	10-2010-0058658
(32)優先日	平成22年6月21日 (2010.6.21)
(33)優先権主張国	韓国 (KR)
(31)優先権主張番号	10-2010-0058659
(32)優先日	平成22年6月21日 (2010.6.21)
(33)優先権主張国	韓国 (KR)

(71)出願人　502032105
エルジー　エレクトロニクス　インコーポレイティド
大韓民国、ソウル　１５０－７２１，ヨンドゥンポーク，ヨイドードン，２０
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100092624
弁理士　鶴田　準一
(74)代理人　100114018
弁理士　南山　知広
(74)代理人　100165191
弁理士　河合　章
(74)代理人　100151459
弁理士　中村　健一

最終頁に続く

(54)【発明の名称】太陽電池及びその製造方法

(57)【要約】
【課題】本発明は製造費用を減らし、効率を改善する太陽電池を提供する。
【解決手段】本発明の一特徴による太陽電池は第１導電型の基板（１１０）、第１導電型と反対の第２導電型を有し基板とｐ－ｎ接合を形成するエミッタ部（１２０）、エミッタ部と接続され、２層以上に構成される多層構造を有する複数の第１電極（１４１）、前記複数の第１電極と接続され、単一層構造を有する少なくとも一つの第１集電部（１４２）、そして、前記基板と接続されている第２電極（１５１）を含む。これにより太陽電池の効率が向上し、製造費用が節減される。
【選択図】図１



【特許請求の範囲】
【請求項１】
第１導電型の基板と、
前記第１導電型と反対の第２導電型を有して前記基板とｐ－ｎ接合を形成するエミッタ部と、
前記エミッタ部と接続され、２層以上に構成される多層構造を有する複数の第１電極と、
前記複数の第１電極と接続され、単一層構造を有する少なくとも一つの第１集電部と、
前記基板と接続される第２電極を含む太陽電池。
【請求項２】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、
前記第１電極層は前記第２電極層と異なる物質からなる請求項１記載の太陽電池。
【請求項３】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、
前記第１電極層は前記第２電極層と同一の物質からなる請求項１記載の太陽電池。
【請求項４】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記少なくとも一つの第１集電部は前記第１電極層と同一の物質からなる請求項１記載の太陽電池。
【請求項５】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記少なくとも一つの第１集電部は前記第２電極層と同一の物質からなる請求項１記載の太陽電池。
【請求項６】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第１電極層は銀を含む請求項１記載の太陽電池。
【請求項７】
前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第２電極層はニッケル、銅、アルミニウム、スズ、亜鉛、インジウム、チタン、金及びこれらの組合せからなる群から選択された少なくとも一つであり、また、その他の導電性金属物質からなる群から選択された少なくとも一つを含む請求項１記載の太陽電池。
【請求項８】
前記第１電極と前記第１集電部は銀を含み、
前記第１電極は第１電極層と、前記第１電極層上に位置し前記第１電極層と銀の含量が異なる第２電極層を含み、
前記第１集電部は前記第１電極層と銀の含量が実質的に同一である請求項１記載の太陽電池。
【請求項９】
前記第１電極層及び前記第１集電部の銀の含量は前記第２電極層の銀の含量より多い請求項８記載の太陽電池。
【請求項１０】
前記第１電極と前記第１集電部は銀を含み、
前記第１電極は第１電極層と、前記第１電極層上に位置し前記第１電極層と銀の含量が異なる第２電極層を含み、
前記第１集電部は前記第２電極層と銀の含量が実質的に同一である請求項１記載の太陽電池。
【請求項１１】

前記第１電極層の銀の含量は前記第２電極層及び前記第１集電部の銀の含量より多い請求項１０記載の太陽電池。

【請求項１２】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第１電極層の線幅は３０μｍないし１００μｍである請求項１記載の太陽電池。

【請求項１３】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第１電極層は１０μｍないし３５μｍの厚さを有する請求項１記載の太陽電池。

【請求項１４】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第２電極層は前記第１電極層上にだけ位置する請求項１記載の太陽電池。

【請求項１５】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第２電極層は前記第１電極層及び第１集電部上に位置する請求項１記載の太陽電池。

【請求項１６】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第１電極層は前記第２電極層の下にだけ位置する請求項１記載の太陽電池。

【請求項１７】

前記複数の第１電極は第１電極層と前記第１電極層上に位置する第２電極層をそれぞれ含み、前記第１電極層は前記第１電極層及び第１集電部の下に位置する請求項１記載の太陽電池。

【請求項１８】

半導体基板の第１領域に第１ペーストを印刷して第１方向と平行に形成される第１電極層パターンを形成する段階と、

前記第１電極層パターンが形成された前記半導体基板の前記第１領域に第２ペーストを印刷し前記第１電極層パターンの直上に形成される第２電極層パターン及び前記第１方向に直交する第２方向に形成される第１集電部パターンを同時に形成する段階と、

を含む太陽電池の電極製造方法。

【請求項１９】

前記第１ペースト及び前記第２ペーストは同一の物質からなる請求項１８記載の太陽電池の電極製造方法。

【請求項２０】

前記第１ペースト及び前記第２ペーストは銀を含み、

前記第１ペーストの銀の含量が前記第２ペーストの銀の含量より多い請求項１９記載の太陽電池の電極製造方法。

【請求項２１】

前記第１ペースト及び前記第２ペーストは互いに異なる物質からなる請求項１８記載の太陽電池の電極製造方法。

【請求項２２】

前記第１ペーストは銀を含み、

前記第２ペーストはニッケル、銅、アルミニウム、スズ、亜鉛、インジウム、チタン及びこれらの組合せからなる群から選択された少なくとも一つを含む請求項２１記載の太陽電池の電極製造方法。

【請求項２３】

前記半導体基板の前記第２領域に第２電極パターン及び第２集電部パターンを形成する段階をさらに含む請求項１８記載の太陽電池の電極製造方法。

【請求項２４】

Petitioner Runergy USA Inc., Ex. 1002, p. 240

前記第２電極パターン及び第２集電部パターン形成段階は、
前記第２ペーストと実質的に同一であるペーストをスクリーン印刷しパターンを形成する請求項２３記載の太陽電池の電極製造方法。
【請求項２５】
前記第１方向の第１電極層パターンは前記第２方向の第１集電部パターンと重畳する位置には形成しない請求項１８記載の太陽電池の電極製造方法。
【請求項２６】
半導体基板の第１領域に第１ペーストを印刷し第１方向と平行に形成される第１電極層パターン及び前記第１方向に直交する第２方向に形成される第１集電部パターンを同時に形成する段階と、
前記第１電極層パターンの上に形成される第２電極層パターンを形成する段階と、を含む太陽電池の電極製造方法。
【請求項２７】
前記第１ペースト及び前記第２ペーストは同一の物質からなる請求項２６記載の太陽電池の電極製造方法。
【請求項２８】
前記第１ペースト及び前記第２ペーストは銀を含み、
前記第１ペーストの銀の含量が前記第２ペーストの銀の含量より多い請求項２７記載の太陽電池の電極製造方法。
【請求項２９】
前記第１ペースト及び前記第２ペーストは互いに異なる物質からなる請求項２６記載の太陽電池の電極製造方法。
【請求項３０】
前記第１ペーストは銀を含み、
前記第２ペーストはニッケル、銅、アルミニウム、スズ、亜鉛、インジウム、チタン及びこれらの組合せからなる群から選択された少なくとも一つを含む請求項２９記載の太陽電池の電極製造方法。
【請求項３１】
前記半導体基板の前記第２領域に第２電極パターン及び第２集電部パターンを形成する段階をさらに含む請求項２６記載の太陽電池の電極製造方法。
【請求項３２】
前記第２電極パターン及び第２集電部パターン形成段階は
前記第２ペーストと実質的に同一であるペーストをスクリーン印刷しパターンを形成する請求項３１記載の太陽電池の電極製造方法。
【請求項３３】
前記第２電極層は前記第１集電部と重畳する位置には形成しない請求項２６記載の太陽電池の電極製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は太陽電池及びその製造方法に関する。
【背景技術】
【０００２】
最近石油や石炭のような既存エネルギ資源の枯渇が予測されこれらを代替する代替エネルギに対する関心が高くなり、これによって太陽エネルギから電気エネルギを生産する太陽電池が注目されている。
【０００３】
一般的な太陽電池はｐ型とｎ型のように互いに異なる導電型(conductive type)によりｐ－ｎ接合を形成する半導体部、そして互いに異なる導電型の半導体部にそれぞれ接続された電極を備える。

Petitioner Runergy USA Inc., Ex. 1002, p. 241

【０００４】
このような太陽電池に光が入射されると半導体で複数の電子-正孔対が生成され、生成された電子-正孔対は光起電力効果によって電荷である電子と正孔にそれぞれ分離し、電子はｎ型の半導体部の方に移動し、正孔はｐ型の半導体部の方に移動する。移動した電子と正孔は各々ｎ型の半導体部とｐ型の半導体部に接続された互いに異なる電極により収集されこの電極を電線で接続し電力を得る。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明の目的は、太陽電池の製造費用を減らすことにある。それと本発明の他の目的は太陽電池の効率を改善することにある。
【課題を解決するための手段】
【０００６】
前記課題を解決するために本発明の一側面による太陽電池は第１導電型の基板と、第１導電型と反対の第２導電型を有し基板とｐ－ｎ接合を形成するエミッタ部、エミッタ部と接続され、２層以上に構成される多層構造を有する複数の第１電極、複数の第１電極と接続され単一層構造を有する少なくとも一つの第１集電部と、基板と接続されている第２電極を含む。
【０００７】
複数の第１電極は第１電極層と第１電極層上に位置する第２電極層をそれぞれ含み、第１電極層は第２電極層と異なる物質または同一の物質から成り得る。
【０００８】
少なくとも一つの第１集電部は第１電極層と同一である物質から成り得り、これとは異なり、少なくとも一つの第１集電部は第２電極層と同一の物質から成り得る。
【０００９】
一例では、第１電極層は銀（Ａｇ）を含み、第２電極層はニッケル（Ｎｉ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）及びこれらの組合せからなる群から選択された少なくとも一つを含むことができる。
【００１０】
他の例では、第１電極と第１集電部は銀（Ａｇ）を含み、第１電極は第１電極層と第１電極層上に位置し第１電極層と銀（Ａｇ）の含量が異なる第２電極層を含み、第１集電部は第１電極層と銀（Ａｇ）の含量が実質的に同一であることがある。この場合、第１電極層及び第１集電部の銀（Ａｇ）の含量は第２電極層の銀（Ａｇ）の含量より多くなることがある。
【００１１】
これとは異なり、第２電極層は第１電極層と銀（Ａｇ）の含量が異なることができ、この時、第１電極層の銀（Ａｇ）の含量は第２電極層及び第１集電部の銀（Ａｇ）の含量より大きくなることができる。
【００１２】
第１電極層及び第２電極層の線幅は約３０μｍないし１００μｍであり得る。
【００１３】
第１電極層及び第２電極層の厚さは約１０μｍないし３５μｍであり得る。
【００１４】
第２電極層は第１電極層上にだけ位置するか、第１電極層及び第１集電部上に位置することができる。
【００１５】
第１電極層は第２電極層の下にだけ位置するか、第１電極層及び第１集電部の下に位置することができる。
【００１６】

Petitioner Runergy USA Inc., Ex. 1002, p. 242

本発明の一側面による太陽電池の電極製造方法は半導体基板の第１領域に第１ペーストを印刷し第１方向と平行に形成される第１電極層パターンを形成する段階と、第１電極層パターンが形成された半導体基板の第１領域に第２ペーストを印刷し第１電極層パターン直上に形成される第２電極層パターン及び第１方向に直交する第２方向に形成される第１集電部パターンを同時に形成する段階を含むことができる。

【００１７】

この時、第１方向の第１電極層パターンは前記第２方向の第１集電部パターンと重畳する位置には形成しないことがある。

【００１８】

本発明の他の側面による太陽電池の電極製造方法は半導体基板の第１領域に第１ペーストを印刷し第１方向と平行に形成される第１電極層パターン及び第１方向に直交する第２方向に形成される第１集電部パターンを同時に形成する段階と、第１電極層パターンの上に形成される第２電極層パターンを形成する段階を含むことができる。

【００１９】

この時、第２電極層は前記第１集電部と重畳する位置には形成しないこともある。

【００２０】

第１ペースト及び第２ペーストは同一の物質から成り得る。

【００２１】

この時、第１ペースト及び第２ペーストは銀（Ａｇ）を含み、第１ペーストの銀（Ａｇ）の含量が第２ペーストの銀（Ａｇ）の含量より大きくなりえる。

【００２２】

第１ペースト及び第２ペーストは互いに異なる物質から成り得る。

【００２３】

この時、第１ペーストは銀（Ａｇ）を含み、第２ペーストはニッケル（Ｎｉ）、銅（Ｃｕ）、アルミニウム（ＡＩ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）及びこれらの組合せからなる群から選択された少なくとも一つを含むことができる。

【００２４】

半導体基板の第２領域に第２電極パターン及び第２集電部パターンを形成する段階をさらに含むことができる。

【００２５】

第２電極パターン及び第２集電部パターン形成段階は第２ペーストと実質的に同一であるペーストをスクリーン印刷し電極パターンを形成することができる。

【発明の効果】

【００２６】

本発明のこのような特徴によれば、各第１電極は第１電極層とその上に位置する第２電極層からなる２層構造になっているので、１層構造の第１電極の厚さより厚い。

したがって、第１電極の直列抵抗が減少しこれにより、エミッタ部から複数の第１電極への電荷伝送効率が向上して太陽電池の効率が向上する。

【００２７】

また、エミッタ部と接触する第１電極の部分は銀（Ａｇ）を含むのでエミッタ部との接触抵抗が低くなり、エミッタ部から第１電極への電荷伝送効率が向上するので太陽電池の効率はより一層向上する。

【００２８】

また、銀（Ａｇ）より安価な導電性物質を利用し第２電極層を形成するので、銀（Ａｇ）ペーストの使用量を減らし、生産費用を節減する効果がある。

【図面の簡単な説明】

【００２９】

【図１】本発明の一つの実施の形態に係る太陽電池の一部斜視図である。

【図２】図１に示した太陽電池をＩＩ－ＩＩ線に沿った断面図である。

Petitioner Runergy USA Inc., Ex. 1002, p. 243

【図３】本発明の第１実施の形態に係る太陽電池の電極製造方法を示した図である。
【図４】本発明の第２実施の形態に係る太陽電池の電極製造方法を示した図である。
【図５】本発明の第３実施の形態に係る太陽電池の電極製造方法を示した図である。
【図６】本発明の第４実施の形態に係る太陽電池の電極製造方法を示した図である。
【発明を実施するための形態】
【００３０】
以下では添付した図面を参照して本発明の実施の形態に対して本発明が属する技術分野で通常の知識を有する者が容易に実施するように詳しく説明する。しかし本発明はいろいろ相異なる形態に具現されることができ、ここで説明する実施の形態に限定されない。そして図面で本発明を明確に説明するために説明と関係ない部分は省略し、明細書全体を通じて類似の部分に対しては類似の図面符号を付けた。
【００３１】
図で多くの層及び領域を明確に表現するために厚さを拡大して示した。層、膜、領域、板などの部分が他の部分「上に」あると言う時、これは他の部分「真上に」ある場合だけではなくその中間に他の部分がある場合も含む。反対に何れの部分が他の部分「真上に」あると言う時には中間に他の部分がないことを意味する。
【００３２】
それでは添付した図面を参照して本発明の一実施の形態に係る太陽電池を説明する。
【００３３】
先ず、図１及び２を参照して本発明の一つの実施の形態に係る太陽電池を説明する。
【００３４】
図１は本発明の一つの実施の形態に係る太陽電池の部分斜視図であり、図２は図１に示した太陽電池をＩＩ－ＩＩ線に沿った断面図である。
【００３５】
図１及び図２に示すように、太陽電池１は基板１１０、光が入射される基板１１０の受光面に位置するエミッタ部１２０、エミッタ部１２０上に位置する複数の第１電極１４１、複数の第１電極１４１と交差する方向にエミッタ部１２０上に位置する少なくとも一つの第１集電部１４２、第１電極１４１と第１集電部１４２が位置しないエミッタ部１２０上に位置する反射防止膜１３０、受光面の反対側面に位置し基板１１０と接続される第２電極１５１を備える。
【００３６】
基板１１０は第１導電型、例えばｐ導電型のシリコンからなる半導体基板で有り得る。この時、シリコンは単結晶シリコン、多結晶シリコンまたは非晶質シリコンで有り得る。基板１１０がｐ型の導電型を有する場合、硼素（Ｂ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）のような３価元素の不純物を含むことがある。
【００３７】
代案的な実施の形態で、基板１１０はテクスチャリング表面(texturing surface)を備えることができる。基板１１０の表面がテクスチャリング表面に形成されれば基板１１０の受光面での光反射度が減少し、テクスチャリング表面で入射と反射動作により太陽電池の内部に光が閉じこめられ光の吸収率が増加される。したがって、太陽電池１の効率が向上する。これに加えて、基板１１０に入射する光の反射損失が減って基板１１０に入射される光の量はさらに増加する。
【００３８】
エミッタ部１２０は基板１１０の導電型と反対の第２導電型、例えば、ｎ導電型を備え不純物がドーピングされた領域として、基板１１０とｐ－ｎ接合を成す。
【００３９】
エミッタ部１２０がｎ導電型を有する場合、エミッタ部１２０ははリン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）のように５価元素の不純物を基板１１０にドーピングして形成されうる。
【００４０】

これによって、基板１１０に入射された光によって基板１１０内部の電子がエネルギを受ければ電子が励起され電子-正孔対が生成されて、電子はｎ型半導体の方に移動し正孔はｐ型半導体の方に移動する。したがって、基板１１０がｐ型でエミッタ部１２０がｎ型の場合、正孔は基板１１０の方へ移動し電子はエミッタ部１２０の方へ移動する。

【００４１】

本実施の形態とは異なり、基板１１０はｎ導電型でありえ、シリコン以外の他の半導体物質からなることもできる。基板１１０がｎ導電型を有する場合、基板１１０はリン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）のような５価元素の不純物を含むことができる。

【００４２】

エミッタ部１２０は基板１１０とｐ－ｎ接合を形成するので、基板１１０がｎ導電型を有する場合、エミッタ部１２０はｐ導電型を有する。この場合、分離した電子は基板１１０の方へ移動し分離した正孔はエミッタ部１２０の方へ移動する。エミッタ部１２０がｐ導電型を有する場合、エミッタ部１２０は硼素（Ｂ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）のような３価元素の不純物を基板１１０にドーピングして形成されうる。

【００４３】

基板１１０のエミッタ部１２０上に位置した反射防止膜１３０はシリコン窒化膜（ＳｉＮｘ）やシリコン酸化膜（ＳｉＯｘ）などからなる。反射防止膜１３０は太陽電池１に入射される光の反射度を減らし特定の波長領域の選択性を増加させ太陽電池１の効率を高める。

【００４４】

図１及び図２で反射防止膜１３０は単一膜からなるが、２重膜や３重膜のように多層膜から成り得り、必要によって反射防止膜１３０は省略されうる。

【００４５】

複数の第１電極１４１それぞれはエミッタ部１２０と接続されている導電性物質からなる第１電極層１４１ａと第１電極層１４１ａ上に位置する第２電極層１４１ｂを備える。この時、第１電極層１４１ａとその上に位置する第２電極層１４１ｂの平面形状は実質的に同一である。例えば、第１電極層１４１ａ及び第２電極層１４１ｂは上から見た時同一の形状を有する。

【００４６】

したがってエミッタ部１２０の方へ移動した電荷(例えば、電子)は複数の第１電極層１４１ａによって主に収集され、収集された電荷の少なくとも一部は複数の第１電極層１４１ａと接続される第２電極層１４１ｂに移動する。

【００４７】

第１電極層１４１ａと第２電極層１４１ｂは同一の導電性物質から成り得る。これとは異なり、第１電極層１４１ａと第２電極層１４１ｂは他の導電性物質から成り得る。

【００４８】

本実施の形態で、第１電極１４１は銀（Ａｇ）、ニッケル（Ｎｉ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つからなる。

【００４９】

この時、第１電極層１４１ａは伝導度が良い銀（Ａｇ）を含み、第２電極層１４１ｂはニッケル（Ｎｉ）、銅（Ｃｕ）、アルミニウム（Ａｌ）などを含むことができる。

【００５０】

したがって、基板１１０のエミッタ部１２０と複数の第１電極層１４１ａとの接触抵抗が低くなるので、エミッタ部１２０から第１電極層１４１ａへの電荷伝送効率が向上する。

【００５１】

また、本実施の形態に係る各第１電極１４１は第１電極層１４１ａとその上に位置する第２電極層１４１ｂからなる２層構造を有しているので、１層構造の第１電極より厚い厚さを有することができる。したがって、太陽電池１の直列抵抗が減少しこれにより、エミ

ッタ部１２０から複数の第１電極１４１への電荷伝送効率が向上して電流損失が減少する。

【００５２】

本実施の形態に係る太陽電池１で、第１電極１４１は３０μｍないし１００μｍの線幅（Ｗ１）を有することができる。また、第１電極層１４１ａの厚さ（Ｔ１）は約１５μｍないし３０μｍで有り得り、第２電極層１４１ｂの厚さ（Ｔ２）は約４０μｍないし５０μｍであり得る。

【００５３】

ここで、第１電極１４１の線幅（Ｗ１）が約３０μｍより小さい場合第１電極１４１の断線が発生することがある。

【００５４】

また第１電極１４１の線幅（Ｗ１）が約１００μｍを超過する場合受光面積が減って太陽電池１の効率が低下することがある。

【００５５】

エミッタ部１２０上に位置する少なくとも一つの第１集電部１４２はバス バーとも呼ばれ複数の第１電極１４１と交差する方向に伸びている。

【００５６】

図１及び図２に示すように、第１集電部１４２は第１電極層１４１ａ及び第２電極層１４１ｂと接続されている。

【００５７】

第１集電部１４２は第１電極層１４１ａ及び第２電極層１４１ｂとそれぞれ他の物質から成り得る。このような構造の太陽電池を示す断面図が図２に示されている。この時、図１及び図２に示した第１集電部１４２の厚さ（Ｔ３）は第１電極１４１の厚さ（Ｔ１＋Ｔ２）と実質的に同一であるか、異なるように形成することができる。厚さが異なる場合第１電極１４１と第１集電部１４２の接する部分は傾斜に形成されうる。

【００５８】

この時、第１集電部１４２は第１集電部１４２の側面を通じて複数の第１電極層１４１ａ及び第２電極層１４１ｂと部分的に接続される。この場合、第１集電部１４２の第３厚さ（Ｔ３）は第１電極層１４１ａの第１厚さ（Ｔ１）及び第２電極層１４１ｂの第２厚さ（Ｔ２）の内いずれか一つと実質的に同一であるか、第１電極１４１の厚さ（Ｔ１＋Ｔ２）と実質的に同一でありえる。

【００５９】

既に説明したように、第１電極１４１は第１電極層１４１ａと第２電極層１４１ｂからなる２重膜構造を有し、第１集電部１４２は単一膜構造を有している。この時、第１電極１４１の厚さ（Ｔ１＋Ｔ２）は第１集電部１４２の厚さ（Ｔ３）と同一であるか異なることができる。

【００６０】

複数の第１電極１４１の第１電極層１４１ａは互いに離隔され第１集電部１４２と交差する方向に伸びているが、エミッタ部１２０の真上に複数の第１電極１４１と交差する方向に伸びている第１集電部１４２が位置するので、複数の第１電極層１４１ａは第１集電部１４２が位置したエミッタ部１２０の上には位置しない。

【００６１】

このように、第１集電部１４２は複数の第１電極１４１とエミッタ部１２０の一部に接続されるので、エミッタ部１２０と複数の第１電極１４１から伝達する電荷、例えば電子を外部装置に出力する。この時、第１集電部１４２で伝達する電荷は第２電極層１４１ｂだけでなく第１電極層１４１ａを通じて伝達する。このような構造の太陽電池において、前記第１電極１４１と第１集電部１４２は基板の上に形成された反射防止膜の上に第１電極層１４１ａ及び第２電極層１４１ｂを順次に形成した後第１集電部１４２を形成するか、反射防止膜の上に第１集電部１４２を先に形成した後第１電極層１４１ａと第２電極層１４１ｂを順次に形成することによって製造できる。

Petitioner Runergy USA Inc., Ex. 1002, p. 246

【００６２】
一方、第１電極層１４１ａ、第２電極層１４１ｂ及び第１集電部１４２の主成分を成す導電性物質は同一に形成することができる。
【００６３】
この時、第１集電部１４２の主成分を成す導電性物質の含量が第１電極層１４１ａまたは第２電極層１４１ｂと異なるように形成することができる。
【００６４】
さらに具体的に、第１電極層１４１ａの導電性物質の含量は第２電極層１４１ｂ及び第１集電部１４２の導電性物質の含量と異なるように形成することもできる。
【００６５】
例えば、第１電極層１４１ａの銀（Ａｇ）の含量が第２電極層１４１ｂ及び第１集電部１４２の銀（Ａｇ）の含量より大きく形成することができる。言い換えれば、第１電極層１４１ａの銀（Ａｇ）の含量は約８０乃至９０重量％、そして第２電極層１４１ｂ及び第１集電部１４２の銀（Ａｇ）の含量は約７０乃至７５重量％で形成することができる。
【００６６】
太陽電池１は第２電極１５１と基板１１０の間に形成される後面電界(back surface field、ＢＳＦ、１７１)部をさらに含む。後面電界部１７１は基板１１０と同一での導電型の不純物が基板１１０より高濃度にドーピングされた領域、例えば、ｐ＋領域である。このような後面電界部１７１は基板１１０電位障壁で作用するようになる。したがって、基板１１０の後面部の方で電子と正孔が再結合し消滅するのが減少されるので太陽電池１の効率が向上する。
【００６７】
基板１１０の後面に位置した第２電極１５１は基板１１０方へ移動する電荷、例えば正孔を収集する。
【００６８】
第２電極１５１は少なくとも一つの導電性物質からなる。導電性物質はニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つであり、また、その他の導電性金属物質からなることができる。
【００６９】
本実施の形態に係る太陽電池１は基板１１０の後面に位置し後面電極１５１と接続されている少なくとも一つの第２集電部１５２をさらに備える。
【００７０】
本実施の形態で少なくとも一つの第２集電部１５２は基板の後面にすぐ位置して隣接した後面電極１５１と接続される。すなわち、第２電極１５１と重畳されないように形成される。しかし、これに限定されるのではなく、第２電極１５１と一部重畳されるように形成することもでき、基板１１０の後面に位置した後面電極１５１の下に位置して下部の後面電極１５１と接続することができる。
【００７１】
本実施の形態で、第２集電部１５２は実質的に基板１１０を中心に第１集電部１４２と対応する位置に位置し、これにより、第１集電部１４２と同一の方向に伸びるが、これに限定されるのではない。
【００７２】
図１は太陽電池の部分斜視図として、第２集電部１５２が一つだけ示されているが、これに限定されず複数個の第２集電部１５２を有することができる。
【００７３】
第２集電部１５２は第１集電部１４２と同様に、後面電極１５１と接続されて第２電極１５１から伝達する電荷、例えば正孔を収集した後、導電性テープなどを通じて外部装置に出力する。
【００７４】

Petitioner Runergy USA Inc., Ex. 1002, p. 247

第２集電部１５２を構成する導電性物質はニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つであり得るが、その他の導電性金属物質から成り得る。

【００７５】

太陽電池１は第２電極１５１と基板１１０の間に形成される後面電界部をさらに含む。後面電界部１７１は基板１１０と同一の導電型の不純物が基板１１０より高濃度にドーピングされた領域、例えば、ｐ＋領域である。このような後面電界部１７１は基板１１０電位障壁で作用するようになる。したがって、基板１１０の後面部の方で電子と正孔が再結合し消滅するのが減少されるので太陽電池１の効率が向上する。

【００７６】

基板１１０の後面に位置した第２電極１５１は基板１１０の方へ移動する電荷、例えば正孔を収集する。

【００７７】

第２電極１５１は少なくとも一つの導電性物質からなる。導電性物質はニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つであり得るが、その他の導電性金属物質から成り得る。

【００７８】

以下、図３ないし図６を参照し本発明の実施の形態に係る太陽電池の電極製造方法を説明する。

【００７９】

図３ないし図６は本発明の第１ないし第４実施の形態に係る電極製造方法を示す。図３ないし図６で（ａ）に表示されるものは各実施の形態で１次印刷作業によって形成される第１前面電極部パターンの平面図を示した。図３ないし図６で（ｂ）に表示されるものは各実施の形態で２次印刷作業によって形成される第２前面電極部パターンの平面図を示した。そして図３ないし図６で（ｃ）に表示されるものは第１電極層パターンの長さ方向に切断した第１及び第２前面電極部パターンの断面図である。

【００８０】

電極形成の前に基板１１０の一方面にはエミッタ部１２０及び反射防止膜１３０が形成されている。

【００８１】

エミッタ部１２０の製造方法を簡略に見れば、先ずｐ型の基板１１０にはりん（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）のような５価元素の不純物を含む物質、例えば、$POCl_3$やH_3PO_4等を高温で熱処理し５価元素の不純物を基板１１０に拡散させ基板１１０全面、すなわち、前面、後面及び側面にｎ型のエミッタ部１２０を形成することができる。

【００８２】

これとは異なり、基板１１０の導電型がｎ型の場合、３価元素の不純物を含む物質、例えば、Ｂ２Ｈ６を高温で熱処理し基板１１０の全体面にｐ型のエミッタ部を形成することができる。

【００８３】

その後、ｎ型不純物またはｐ型不純物が基板１１０内部に拡散するによって生成されたりんを含む酸化物（ＰＳＧ）や硼素を含む酸化物（ＢＳＧ）を蝕刻工程を通じてとり除く。

【００８４】

そして反射防止膜の製造方法に対して簡略に見れば、反射防止膜１３０はプラズマ気相成長（ＰＥＣＶＤ）法のような多様な膜形成方法で基板１１０の前面にシリコン窒化膜（ＳｉＮｘ）を蒸着することによって形成することができる。

【００８５】

反射防止膜１３０の屈折率（ｎ１）は空気の屈折率（ｎ２、ｎ２＝１）とシリコン基板

Petitioner Runergy USA Inc., Ex. 1002, p. 248

１１０の屈折率（ｎ３、ｎ３＝３．５）の間の屈折率、例えば約１．９乃至２．３の屈折率（ｎ１）を有することができる。これにより、空気から基板１１０にの屈折率が順次変化するので反射防止膜１３０の反射防止効果が向上する。

【００８６】

このようにエミッタ部１２０及び反射防止膜１３０を形成した後に図３ないし図６の実施の形態によって電極を製造する。

【００８７】

先ず、図３を参照して第１実施の形態を説明する。図３（ａ）に示すように、基板１１０に第１前面電極部パターン用ペーストをスクリーン印刷法で印刷した後、一定温度、例えば約１２０℃ないし２００℃で乾燥し第１前面電極部パターン４０ａを形成する。この時、第１前面電極部パターン４０ａは製１電極層パターン４１ａ及び第１集電部パターン４２を具備し、第１集電部パターン４２は第１電極層パターン４１ａと交差する方向に伸びている。

【００８８】

この時、第１前面電極部パターン４０ａを銀（Ａｇ）ペーストで形成する場合、基板１１０との接触抵抗が減少され光電変換特性を向上することができる。

【００８９】

その後、図３（ｂ）に示すように、第２前面電極部パターン４０ｂを形成する。第２前面電極部パターン４０ｂは第２電極層パターン４１ｂからなり、第２電極層パターン４１ｂは第１電極層パターン４１ａと同一の平面形状を有する。即ち第２電極層パターン４１ｂは第１集電部パターン４２と重畳する領域には形成されない。

【００９０】

第２前面電極部パターン４０ｂは第１前面電極部パターン４０ａとは異なる物質を含むペーストを第１電極層パターン４１ａ上に印刷した後約１２０℃ないし２００℃で乾燥することによって形成することができる。

【００９１】

この時、第２前面電極部パターン４０ｂ用ペーストは第１前面電極部パターン４０ａ用ペーストとは異なる導電性物質、例えばアルミニウム（Ａｌ）、ニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）及びこれらの組合せからなる群から選択された少なくとも一つを含むことができる。

【００９２】

このような方法によって形成された電極は図３（ｃ）に示すような断面形状を有する。

【００９３】

これとは異なり、第２実施の形態に係る図４（ｂ）に示すように、第２前面電極部パターン４０ｂを第１集電部領域で切れないでつながるように印刷することも可能である。このような場合第１集電部１４２の一部が伝導性が高い第１電極層１４１ａと重畳するので、シリコン基板１１０と第１集電部１４２との接触抵抗が低くなり、第１電極１４１で第１集電部１４２に移動する電流の損失が減少し、太陽電池２の光電変換特性が向上する。

【００９４】

このような方法によって形成された電極は図４（ｃ）に示すような断面形状を有する。

【００９５】

次に、図５を参照して第３実施の形態を説明する。図５（ａ）に示すように、基板１１に第１前面電極部パターン用ペーストをスクリーン印刷法で印刷した後一定温度、例えば約１２０℃ないし２００℃で乾燥し第１前面電極部パターン４０ａを形成する。この時、第１前面電極部パターン４０ａは第１電極層パターン４１ａを備え、第１電極層パターン４１ａは第１集電部パターン４２が形成される領域にも形成される。すなわち、第１電極層パターン４１ａは第１集電部領域で切れないでつながるように印刷する。

【００９６】

その後、図５（ｂ）に示した第２前面電極部パターン４０ｂを形成する。 第２前面電極部パターン４０ｂは第２電極層パターン４１ｂ及び第１集電部パターン４２からなる。

Petitioner Runergy USA Inc., Ex. 1002, p. 249

この時、第１集電部パターン４２は第２電極層パターン４１ｂと交差する方向に伸びている。したがって、第１電極層パターン４１ａの一部分は第１集電部パターン４２の一部分と重畳する。

【００９７】

このような方法によって形成された電極は図５（ｃ）に示すような断面形状を有する。

【００９８】

これとは異なり、第４実施の形態に係る図６（ａ）に示すように、第１電極層パターン４１ａを第１集電部領域で切れる形状で印刷することも可能である。そして図６（ｂ）に示すように、第２前面電極部パターン４０ｂが形成される。第２前面電極部パターン４２ｂは第２電極層パターン４１ｂ及び第１集電部パターン４２を含む。第１集電部パターン４２は第１電極層パターン４１ａと交差する方向に延長される。

【００９９】

このような方法によって形成された電極は図６（ｃ）に示すような断面形状を有する。しかし、この実施の形態で、第１電極層パターン４１ａの一部分は第１集電部パターン４２の一部と重畳せず、むしろ第２電極層パターン４１ｂが第１電極層パターン４１ａと重畳する。

【０１００】

前述の方法によれば、二度印刷するので、一度印刷することに比べて厚い厚さの第１電極１４１を形成することができる。本発明の他の実施の形態で、第１電極部パターン４０を形成するための印刷工程は３回以上遂行することができる。例えば、第１電極部パターン４０を形成するための印刷工程は第１電極層パターン４１ａを形成するための印刷工程、第１集電部パターン４２を形成するための印刷工程及び第２電極層パターン４１ｂを形成するための印刷工程を含むことができる。３回以上の印刷工程を有する実施の形態で、第１電極層パターン４１ａを形成するための印刷工程は第２電極層パターン４１ｂを形成するための印刷工程以前に実施されるが、第１集電部パターン４２を形成するための印刷工程は前記３回以上の印刷工程中いつでも実施されることができる。

【０１０１】

以上では第１前面電極部パターン４１ａと第２前面電極部パターン４１ｂが互いに異なる物質からなることについて説明したが、代案的な実施の形態で、第１前面電極部パターン４０ａと第２前面電極部パターン４０ｂを形成するペーストの主成分を成す導電性物質を同一に形成することができる。

【０１０２】

この時、第１電極層パターン４１ａ及び第１集電部パターン４２のためのペーストで主成分である導電性物質の含量と第２電極層パターン４１ｂのためのペーストで主成分である導電性物質の含量、すなわち、第１前面電極部パターン４０ａと第２前面電極部パターン４０ｂのそれぞれのペーストの主成分である導電性物質の含量が互いに異なることができる。

【０１０３】

例えば、反射防止膜１３０の上に全体重量対比銀（Ａｇ）パウダーの含量が相対的に高い第１ペーストを印刷し第１前面電極部パターン４０ａを形成し、全体重量対比銀（Ａｇ）パウダーの含量が第１ペーストに比べて少ない第２ペーストを第１前面電極部パターン４０ａの上に印刷し第２前面電極部パターン４０ｂを形成することができる。この時、第１ペーストは銀パウダーの含量を全体重量対比約８０ないし９０重量％含んでいる銀（Ａｇ）ペーストであり、第２ペーストは銀パウダーの含量を全体重量対比約７０ないし７５重量％含んでいる銀（Ａｇ）ペーストで有り得る。

【０１０４】

以上で説明した方法によって第１電極１４１を形成した後、スクリーン印刷法を利用し、前面電極部パターン４０が印刷された領域と電気的に分離された領域、本実施の形態では基板１１０の後面の該当の部分にアルミニウム（Ａｌ）を含む後面電極用ペーストを塗布した後乾燥させ、後面電極パターン（図示せず）を形成する。ここで、後面電極パター

ンは第２電極（１５１、後面電極）を形成する。

【０１０５】

後面電極用ペーストはアルミニウム（Ａｌ）代わりにニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つを含むことができる。

【０１０６】

次に、スクリーン印刷法を利用し、基板１１０後面の該当の部分にアルミニウム（Ａｌ）を含む第２集電部用ペーストを塗布した後乾燥させ、第２集電部パターン（図示せず）を形成する。ここで、第２集電部パターンは第２集電部１５２を形成する。

【０１０７】

本実施の形態で少なくとも一つの第２集電部パターンは基板の後面に位置し隣接した後面電極パターンと接続される。すなわち、後面電極パターンと重畳されないように形成される。しかし、これに限定されず、後面電極パターンと一部重畳されるように形成することもでき、基板１１０の後面に位置した後面電極パターンの下に位置し下部の後面電極パターンと接続することができる。

【０１０８】

第２集電部パターンは実質的に基板１１０を中心に第１集電部パターン４２と対応する位置に形成する。すなわち、第１集電部パターン４２と同一の方向に伸びるが、これに限定されるのではない。

【０１０９】

第２集電部用ペーストはアルミニウム（Ａｌ）代わりにニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタン（Ｔｉ）、金（Ａｕ）及びこれらの組合せからなる群から選択された少なくとも一つを含むことができ、または、その他の導電性金属物質から成り得る。

【０１１０】

前面電極部パターン４０と後面電極部パターン(後面電極パターンと第２集電部パターンを含み)の形成順序は変更可能である。また、後面電極部パターンの形成において、後面電極パターンと第２集電部パターンの形成順序は変更が可能である。

【０１１１】

その後、約７５０℃ないし約８００℃の温度で前面電極部パターン４０と後面電極部パターンを備えた基板１１０を焼成し(firing)、複数の第１電極１４１と少なくとも一つの第１集電部１４２、後面電極１５１、第２集電部１５２ 及び後面電界部１７１を形成する。

【０１１２】

すなわち、熱処理が施行されれば、前面電極部パターン４０のガラスフリットに含有された鉛（Ｐｂ）などによって前面電極部パターン４０は下部の反射防止膜１３０部分を貫通する。したがって、第１電極層パターン４１ａ、第１集電部パターン４２及び第２電極層パターン４１ｂの内少なくとも一つ以上がガラスフリットに鉛成分を含んでいる。第２電極層４１ｂが第１電極層４１ａの上に位置する場合には第２電極層４１ｂがガラスフリットに鉛成分を含む必要がない。これにより、エミッタ部１２０と接触する複数の第１電極１４１と少なくとも一つの第１集電部１４２を備えた前面電極部１４０を完成する。この時、前面電極部パターン４０の第１電極パターン４１は複数の前面電極、すなわち、第１電極１４１になり、第１集電部パターン４２は少なくとも一つの第１集電部１４２になる。

【０１１３】

また熱処理工程によって後面電極パターン及び第２集電部パターンはそれぞれ基板１１０と接続される第２電極１５１及び第２集電部１５２になり、第２電極１５１及び第２集電部１５２の含有物であるアルミニウム（Ａｌ）が後面電極１５１と接触した基板１１０の方へ拡散して主に後面電極１５１と接している基板１１０の後面に後面電界部１７１を

形成する。この時、基板１１０の後面に位置するエミッタ部１２０を越してまでアルミニウム（Ａ１）が拡散して後面電界部１７１が形成される。

【０１１４】

前述したように、他の例で、第２集電部１５２は本実施の形態と異なりい第２電極１５１の下部に接続されるように第２電極１５１の下に形成されることもできる。

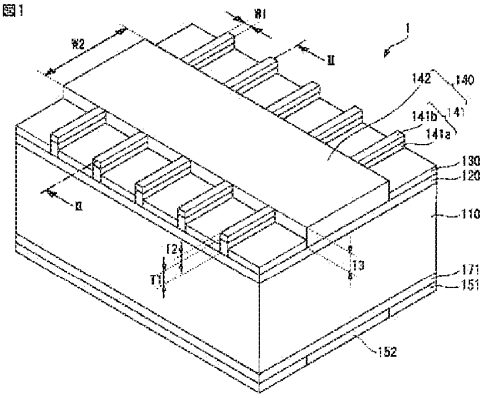
【０１１５】

その後、レーザビームなどを利用し基板１１０の側面や端部分に形成されたエミッタ部１２０の少なくとも一部をとり除く側面分離(edge isolation)を実施し（図示せず）、基板１１０の前面に形成されたエミッタ部１２０と基板１１０の後面に形成されたエミッタ部１２０を電気的に分離し太陽電池１を完成する(図１及び図２)。

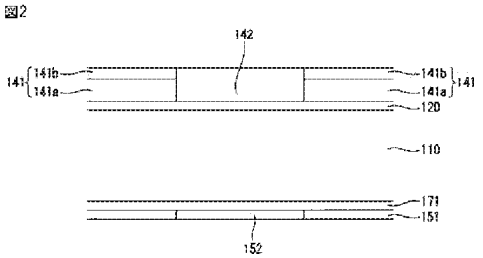
【０１１６】

以上で本発明の望ましい実施の形態に対して詳細に説明したが本発明の権利範囲はここに限定されるのではなく次の請求範囲で定義している本発明の基本概念を利用した当業者の多くの変形及び改良形態も本発明の権利範囲に属するのである。

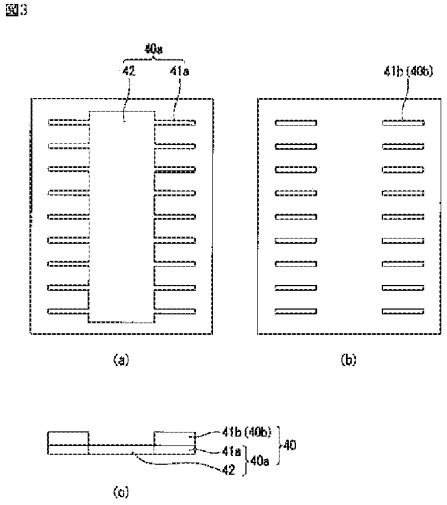
【図１】



【図２】

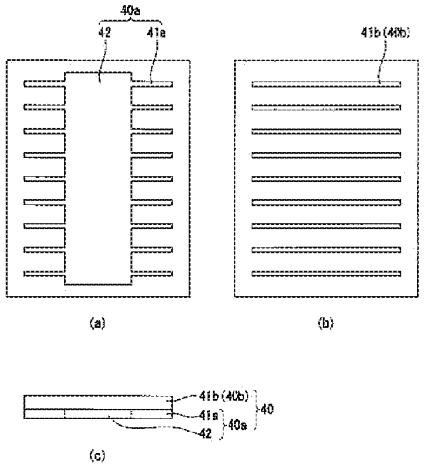


【図３】



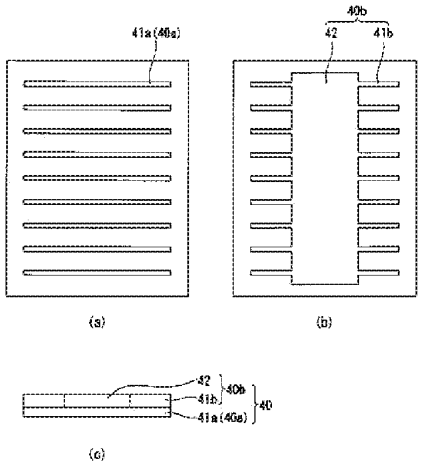
【図４】

図4



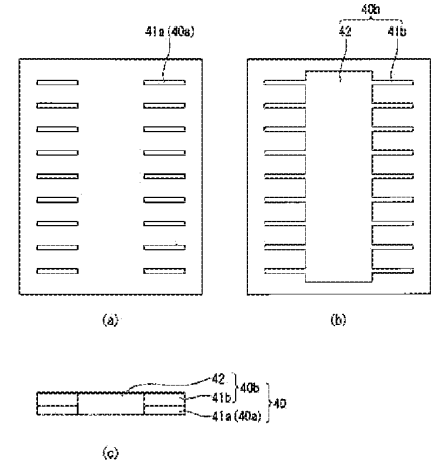
【図５】

図5



【図６】

図6



フロントページの続き

(72)発明者 キム スンジン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 カク ギャヨン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 ド ユンク
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 イ マン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 リ ソンウン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 ヤン ユンスン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 クウォン テヨン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チョ ヘジョン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チェ ミンホ
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チョン チューワ
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ

Fターム(参考) 5F151 AA02 AA03 DA03 DA10 FA10 FA13 FA14 FA15

Espacenet

Bibliographic data: JP2013077789 (A) — 2013-04-25

PHOTOVOLTAIC DEVICE, METHOD OF MANUFACTURING THE SAME, AND PHOTOVOLTAIC MODULE

Inventor(s): MATSUNO SHIGERU; TANIGAKI TAKESHI; NIINOBE DAISUKE ± (MATSUNO SHIGERU, ; TANIGAKI TAKESHI, ; NIINOBE DAISUKE, ; 松野 繁, ; 谷垣 剛司, ; 新延 大介)

Applicant(s): MITSUBISHI ELECTRIC CORP ± (MITSUBISHI ELECTRIC CORP, ; 三菱電機株式会社)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: JP20110218383 20110930 Global Dossier

Priority number(s): JP20110218383 20110930

Also published as: JP5718782 (B2)

Abstract of JP2013077789 (A)

PROBLEM TO BE SOLVED: To provide a photovoltaic device which is excellent in photoelectric conversion efficiency, in which degradation in photoelectric conversion efficiency that is caused by carrier re-combination on the rear surface side of the photovoltaic device is prevented.SOLUTION: A photovoltaic device includes a p-type semiconductor substrate 1 that contains an n-type impurity diffusion layer 2 in which second conductivity type impurity elements are diffused on one surface side and the other surface side, a light receiving surface side electrode 5 which is formed on one surface side of the p-type semiconductor substrate 1 by electrically connecting to the n-type impurity diffusion layer 2 formed on one surface side of the p-type semiconductor substrate 1, and a rear surface electrode 6 formed at least in a region except for an outer peripheral edge on the other surface side of the p-type semiconductor substrate 1. The n-type impurity diffusion layer 2 includes a low resistance n-type impurity diffusion layer 3 formed at least in a lower region of the light receiving surface side electrode 5 on one surface side of the p-type semiconductor substrate 1, and a high-resistance n-type impurity diffusion layer 4 which is formed in a region other than the low resistance n-type impurity diffusion layer 3 on one surface side of the p-type semiconductor substrate 1 as well as at the outer peripheral edge on the other surface side of the p-type semiconductor substrate 1, and has a sheet resistance higher than the low resistance n-type impurity diffusion layer.

Petitioner Runergy USA Inc., Ex. 1002, p. 255

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2013-77789
(P2013-77789A)
(43)公開日　平成25年4月25日(2013.4.25)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	H	5F151

審査請求 未請求　請求項の数 8　OL　（全 15 頁）

(21)出願番号　特願2011-218383 (P2011-218383)
(22)出願日　平成23年9月30日 (2011.9.30)

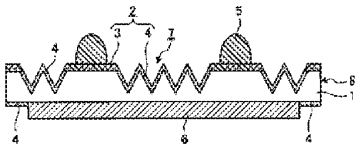
（出願人による申告）平成２３年度、独立行政法人新エネルギー・産業技術総合開発機構「太陽エネルギー技術研究開発／太陽光発電システム次世代高性能技術の開発／極限シリコン結晶太陽電池の研究開発（微細レーザー加工技術による高効率化研究開発）」委託研究、産業技術力強化法第１９条の適用を受ける特許出願

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100089118
弁理士　酒井　宏明
(72)発明者　松野　繁
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　谷垣　剛司
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　新延　大介
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】光起電力装置およびその製造方法、光起電力モジュール

(57)【要約】
【課題】光起電力装置の裏面側でのキャリア再結合に起因した光電変換効率の低下が防止された光電変換効率に優れた光起電力装置を得ること。
【解決手段】一面側および他面側に第２導電型の不純物元素が拡散されたｎ型不純物拡散層２を有するｐ型半導体基板１と、ｐ型半導体基板１の一面側に形成されたｎ型不純物拡散層２に電気的に接続してｐ型半導体基板１の一面側に形成された受光面側電極５と、ｐ型半導体基板１の他面側において少なくとも外周縁部を除いた領域に形成された裏面電極６と、を備え、ｎ型不純物拡散層２は、ｐ型半導体基板１の一面側において少なくとも受光面側電極５の下部領域に形成された低抵抗ｎ型不純物拡散層３と、ｐ型半導体基板１の一面側における低抵抗ｎ型不純物拡散層３以外の領域およびｐ型半導体基板１の他面側における外周縁部に形成され、低抵抗ｎ型不純物拡散層よりもシート抵抗が高い高抵抗ｎ型不純物拡散層４とを有する。
【選択図】図１



【特許請求の範囲】
【請求項１】
一面側および他面側に第２導電型の不純物元素が拡散された不純物拡散層を有する第１導電型の半導体基板と、
前記半導体基板の一面側に形成された前記不純物拡散層に電気的に接続して前記半導体基板の一面側に形成された受光面側電極と、
前記半導体基板の他面側において少なくとも外周縁部を除いた領域に形成された裏面電極と、
を備え、
前記不純物拡散層は、
前記半導体基板の一面側において少なくとも前記受光面側電極の下部領域に形成された第１の拡散層と、
前記半導体基板の一面側における前記第１の拡散層以外の領域および前記半導体基板の他面側における前記外周縁部に形成され、前記第１の拡散層よりもシート抵抗が高い第２の拡散層と、
を有することを特徴とする光起電力装置。
【請求項２】
第２導電型の不純物元素が拡散されて所定のシート抵抗を有する第１不純物拡散層を一面側および他面側の全面に有する第１導電型の半導体基板の一面側に第１保護膜を形成する第１工程と、
前記半導体基板の他面側において、外周縁部を除いた領域に第２保護膜を形成する第２工程と、
前記第１保護膜に対して表面電極領域以外に開口を形成する第３工程と、
前記開口が形成された前記第１保護膜および前記第２保護膜をエッチングマスクとして、前記第１保護膜および前記第２保護膜が耐性を有する条件で前記半導体基板に対してエッチングを施して、前記半導体基板の一面側における前記開口の下部およびその周辺領域と前記半導体基板の他面側における外周縁部の前記第１不純物拡散層を除去する第４工程と、
前記第１保護膜および前記第２保護膜を除去する第５工程と、
前記半導体基板の全面に第２導電型の不純物元素を拡散して、前記第１不純物拡散層を前記所定のシート抵抗よりも低いシート抵抗を有する低抵抗不純物拡散層とするとともに、前記半導体基板における前記低抵抗不純物拡散層以外の領域に前記低抵抗不純物拡散層のシート抵抗よりも高いシート抵抗を有する高抵抗不純物拡散層を形成する第６工程と、
前記半導体基板の一面側における前記低抵抗不純物拡散層上に受光面側電極を形成する第７工程と、
前記半導体基板の他面側における前記高抵抗不純物拡散層以外の領域に裏面電極を形成する第８工程と、
を含むことを特徴とする光起電力装置の製造方法。
【請求項３】
前記第２工程では、前記半導体基板の他面側における外周縁部に対する成膜を制限して前記第２保護膜をＣＶＤ法により成膜すること、
を特徴とする請求項２に記載の光起電力装置の製造方法。
【請求項４】
前記半導体基板の外周を囲う縁取り部が前記半導体基板よりも高い位置にある成膜台板に前記半導体基板を保持して前記第２保護膜をＣＶＤ法により成膜すること、
を特徴とする請求項３に記載の光起電力装置の製造方法。
【請求項５】
前記第２保護膜の成膜を制限する成膜マスクを前記半導体基板の他面側における外周縁部に配置して前記第２保護膜をＣＶＤ法により形成すること、
を特徴とする請求項３に記載の光起電力装置の製造方法。

Petitioner Runergy USA Inc., Ex. 1002, p. 257

【請求項６】
前記第６工程以降に、前記半導体基板の側面に形成された前記高抵抗不純物拡散層を除去する工程を有すること、
を特徴とする請求項２～５のいずれか１つに記載の光起電力装置の製造方法。
【請求項７】
前記第６工程以降に、前記半導体基板の他面側の外周縁部に形成された前記高抵抗不純物拡散層の表面から前記半導体基板の内部に達する溝を形成すること、
を特徴とする請求項２～５のいずれか１つに記載の光起電力装置の製造方法。
【請求項８】
請求項１に記載の光起電力装置の少なくとも２つ以上が電気的に直列または並列に接続されてなること、
を特徴とする光起電力モジュール。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、光起電力装置およびその製造方法、光起電力モジュールに関するものである。
【背景技術】
【０００２】
太陽電池等の光電変換装置の性能向上には、太陽電池を構成する基板内部に太陽光を効率良く取り込むことが大切である。このため、光入射側の基板表面にテクスチャ加工を施し、基板表面で一度反射した光を再度基板表面に入射させることで、より多くの太陽光を基板内部に取り込み、光電変換効率の向上を図っている。ここでテクスチャ加工とは、基板表面に意図的に数十ｎｍ～数十μｍの寸法の微細凹凸を形成する加工のことである。
【０００３】
太陽電池用のシリコン基板にテクスチャ形成を行う方法として、基板が単結晶基板の場合には、エッチング速度に結晶方位依存性を有する水酸化ナトリウムや水酸化カリウム等のアルカリ水溶液による、結晶方位を利用した異方性エッチングが広く用いられる。例えば（１００）面の基板表面に対してこの異方性エッチングを行うと、（１１１）面が露出したピラミッド状のテクスチャが基板表面に形成される。
【０００４】
また、単結晶基板にテクスチャを形成する場合は、エッチングマスクを利用すると理想的な逆ピラミッドテクスチャを基板表面に形成することができ、写真製版法等によるエッチングマスクを用いた方法が実用化されている。しかし、写真製版法はプロセスコストが高く、また大型の基板には適用しにくいという欠点があった。
【０００５】
一方、写真製版に代わるエッチングマスクの形成方法として、例えばシリコン基板の表面に開口部を有するエッチングマスク膜を形成し、このマスク膜表面に対してエアーブラスト加工を実施することで、マスク開口部に凹部からなるテクスチャを形成する方法が提案されている（例えば、特許文献１参照）。
【０００６】
一方、シリコン基板の表面にエッチングマスク膜を形成し、このマスク膜表面に対してエアーブラスト加工を実施することでマスク表面に開口部を形成し、引き続きエッチング加工を実施することでテクスチャを形成する方法を本発明者らは提案している（例えば、特許文献２参照）。
【先行技術文献】
【特許文献】
【０００７】
【特許文献１】特開２００２－４３６０１号公報
【特許文献２】国際公開第２００９／１２８３２４号

【発明の概要】
【発明が解決しようとする課題】
【０００８】
しかしながら、上記従来の技術によれば、エッチングによる基板厚の減少に起因した光電変換効率の低下を抑制するために、テクスチャを形成しないシリコン基板の裏面側にもエッチング防止のために保護マスクを形成する必要がある。また、拡散層の形成に一般的なチューブ型の拡散炉を用いる場合には、シリコン基板の全面に拡散が行われる。さらに、ペースト電極の印刷焼成工程では、電極ペーストの印刷はみ出しによる不良発生防止のために、シリコン基板全面への電極印刷ができないという制限がある。
【０００９】
これらのことから、上記従来の方法により製造された光起電力装置では、裏面の周辺部に裏面電極が形成できずに、拡散層が残った状態の縁取りが生じる。このため、光起電力装置の裏面側の外周縁部でのキャリア再結合により、基板内で発生した電荷を効率良く集電することができず、光電変換効率が低下する、という問題があった。
【００１０】
本発明は、上記に鑑みてなされたものであって、光起電力装置の裏面側でのキャリア再結合に起因した光電変換効率の低下が防止された光電変換効率に優れた光起電力装置およびその製造方法、光起電力モジュールを得ることを目的とする。
【課題を解決するための手段】
【００１１】
上述した課題を解決し、目的を達成するために、本発明にかかる光起電力装置は、一面側および他面側に第２導電型の不純物元素が拡散された不純物拡散層を有する第１導電型の半導体基板と、前記半導体基板の一面側に形成された前記不純物拡散層に電気的に接続して前記半導体基板の一面側に形成された受光面側電極と、前記半導体基板の他面側において少なくとも外周縁部を除いた領域に形成された裏面電極と、を備え、前記不純物拡散層は、前記半導体基板の一面側において少なくとも前記受光面側電極の下部領域に形成された第１の拡散層と、前記半導体基板の一面側における前記第１の拡散層以外の領域および前記半導体基板の他面側における前記外周縁部に形成され、前記第１の拡散層よりもシート抵抗が高い第２の拡散層と、を有することを特徴とする。
【発明の効果】
【００１２】
本発明によれば、光起電力装置の裏面側でのキャリア再結合に起因した光電変換効率の低下を防止して、光起電力装置の光電変換効率を向上できるという効果を奏する。
【図面の簡単な説明】
【００１３】
【図１】図１は、本発明の実施の形態１にかかる選択エミッタ型の光起電力装置の構成を示す断面図である。
【図２－１】図２－１は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、ｎ型不純物拡散層が形成されたｐ型シリコン基板をＣＶＤ成膜用の台板に配置してＣＶＤ法により表面用エッチングマスクを成膜した状態を示す断面図である。
【図２－２】図２－２は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、表面用エッチングマスクが形成されたｐ型シリコン基板の他面側に裏面用エッチングマスクをＣＶＤ法により成膜する状態を示す模式図である。
【図２－３】図２－３は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、ｐ型シリコン基板に表面用エッチングマスクと裏面用エッチングマスクとが形成された状態を示す断面図である。
【図２－４】図２－４は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、表面用エッチングマスクに対して微細穴空け加工を施した状態を示す断面図である。

Petitioner Runergy USA Inc., Ex. 1002, p. 259

【図２－５】図２－５は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、エッチング時のｐ型シリコン基板の状態を示す断面図である。
【図２－６】図２－６は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、エッチング後に表面用エッチングマスクおよび裏面用エッチングマスクが除去された状態のｐ型シリコン基板を示す断面図である。
【図２－７】図２－７は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、２回目の拡散処理後のｐ型シリコン基板の状態を示す断面図である。
【図２－８】図２－８は、本発明の実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図であり、受光面側電極および裏面電極が形成され完成した光起電力装置を示す断面図である。
【図３－１】図３－１は、従来の光起電力装置の製造方法を模式的に示す断面図であり、ｐ型シリコン基板のｎ型不純物拡散層上にエッチングマスクが形成された状態を示す断面図である。
【図３－２】図３－２は、従来の光起電力装置の製造方法を模式的に示す断面図であり、エッチングマスクに対して微細穴空け加工を施した状態を示す断面図である。
【図３－３】図３－３は、従来の光起電力装置の製造方法を模式的に示す断面図であり、エッチング時のｐ型シリコン基板の状態を示す断面図である。
【図３－４】図３－４は、従来の光起電力装置の製造方法を模式的に示す断面図であり、エッチング後にエッチングマスクが除去された状態のｐ型シリコン基板を示す断面図である。
【図３－５】図３－５は、従来の光起電力装置の製造方法を模式的に示す断面図であり、２回目の拡散処理後のｐ型シリコン基板の状態を示す断面図である。
【図３－６】図３－６は、従来の光起電力装置の製造方法を模式的に示す断面図であり、受光面側電極および裏面電極が形成されて完成した光起電力装置を示す断面図である。
【図４】図４は、ｐｎ分離溝によりｐｎ分離を行った実施の形態２にかかる光起電力装置を示す断面図である。
【図５】図５は、ｐｎ分離溝によりｐｎ分離を行った従来の他の光起電力装置を示す断面図である。
【発明を実施するための形態】
【００１４】
以下に、本発明にかかる光起電力装置およびその製造方法、光起電力モジュールの実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。また、以下に示す図面においては、理解の容易のため各部材の縮尺が実際と異なる場合があり、各図面間においても同様である。
【００１５】
実施の形態１．
図１は、本発明の実施の形態１にかかる選択エミッタ型の光起電力装置の構成を示す断面図である。図１に示す光起電力装置は、基板表層に第２導電型（ｎ型）の不純物元素を拡散した不純物拡散層であるｎ型不純物拡散層２を有する第１導電型（ｐ型）の半導体基板であるｐ型シリコン基板１と、ｐ型シリコン基板１の受光面側の面（表面）に形成された受光面側電極５と、ｐ型シリコン基板１の受光面と反対側の面（裏面）に形成された裏面電極６とを備える。ｐ型シリコン基板１の受光面側の表面には、複数の微細凹凸からなるテクスチャ構造７が形成されている。光起電力装置の側面部は、効率良く発電させるために、ｎ型電極である受光面側電極５に接続されたｎ型不純物拡散層２とｐ型電極である裏面電極６とを電気的に絶縁させるＰＮ分離構造（ｐｎ分離部８）が設けられている。
【００１６】
ここでは、第１導電型（ｐ型）の半導体基板としてｐ型シリコン基板１を用いているが、ｐ型シリコン基板１の代わりに光起電力装置に通常用いられるｐ型半導体基板を用いて

Petitioner Runergy USA Inc., Ex. 1002, p. 260

もよい。また、ｎ型の半導体基板にｐ型不純物拡散層を備える構成としてもよい。

【００１７】

ｎ型不純物拡散層２は、第１の拡散層である低抵抗ｎ型不純物拡散層３と第２の拡散層である高抵抗ｎ型不純物拡散層４とからなる。高抵抗ｎ型不純物拡散層４は、低抵抗ｎ型不純物拡散層３と比べてシート抵抗値が大きいｎ型不純物拡散層である。低抵抗ｎ型不純物拡散層３は、ｐ型シリコン基板１の受光面側の表面において受光面側電極５の下部領域およびその近傍と、外周縁部とに形成されている。高抵抗ｎ型不純物拡散層４は、ｐ型シリコン基板１の受光面側の表面におけるテクスチャ構造７の表面と、ｐ型シリコン基板１の受光面側の裏面における外周縁部に形成されている。すなわち、この光起電力装置は、ｐ型シリコン基板１の受光面側の表面における受光面側電極５の形成領域が受光面領域よりも低いシート抵抗領域とされた選択エミッタ型の光起電力装置である。

【００１８】

受光面側電極５は、例えばグリッド電極およびバス電極を含んで構成される櫛形状の銀電極が用いられる。裏面電極６は、ｐ型シリコン基板１の受光面側の裏面において外周縁部を除いた領域に形成されている。なお、光起電力装置の受光面側には反射防止膜が形成されることが好ましいが、本発明とは直接関係がないため反射防止膜の記載および詳細な説明は省略する。

【００１９】

上記のように構成された実施の形態１にかかる光起電力装置は、従来の光起電力装置では受光面側の電極形成領域と同等のシート抵抗を有する低抵抗ｎ型不純物拡散層３が形成されている裏面側の外周縁部に、受光面と同等のシート抵抗を有する高抵抗ｎ型不純物拡散層４が形成されている。これにより、裏面側の外周縁部でのキャリア再結合を抑制して、ｐ型シリコン基板１で発生した電荷を効率良く集電できるため、短絡電流密度（ｍＡ／ｃｍ^2）および曲線因子が増加し、光電変換効率（％）が向上する。したがって、実施の形態１にかかる光起電力装置によれば、光電変換効率に優れた光起電力装置を実現できる。

【００２０】

つぎに、上記のように構成された実施の形態１にかかる光起電力装置の製造方法について図２－１～図２－８を参照して説明する。図２－１～図２－８は、実施の形態１にかかる光起電力装置の製造方法を模式的に示す断面図である。

【００２１】

まず、基板厚みが１００μｍ～２００μｍ程度のｐ型シリコン基板１に対して１回目のリン（Ｐ）の拡散処理を行って、ｐ型シリコン基板１の全面にｎ型不純物拡散層１１を形成する。ｎ型不純物拡散層１１のシート抵抗は、例えば５００Ω／□以下の低抵抗とされる。つぎに、ｎ型不純物拡散層１１が形成されたｐ型シリコン基板１をＣＶＤ成膜用の台板２１に配置する。そして、厚さが１００ｎｍ～５００ｎｍ程度の酸化シリコン（SiO_2）膜からなる表面用エッチングマスク１２をＣＶＤ法によりｐ型シリコン基板１の一面側（受光面側）のｎ型不純物拡散層１１上に形成する。

【００２２】

図２－１は、ｎ型不純物拡散層１１が形成されたｐ型シリコン基板１をＣＶＤ成膜用の台板２１に配置してＣＶＤ（Chemical Vapor Deposition）法により表面用エッチングマスク１２を成膜する状態を示す断面図である。ここで、ＣＶＤ成膜用の台板２１は、成膜時のｐ型シリコン基板１の位置ずれを防止するために、ｐ型シリコン基板１の厚さ程度またはこれよりも浅い程度の掘り込みが形成されている。このため、ｐ型シリコン基板１の表面全面に表面用エッチングマスク１２が形成される。

【００２３】

つぎに、表面用エッチングマスク１２が形成されたｐ型シリコン基板１をＣＶＤ成膜用の台板２１から取り出してＣＶＤ成膜用の台板２２に配置する。そして、厚さが１００ｎｍ～５００ｎｍ程度の酸化シリコン（SiO_2）膜からなる裏面用エッチングマスク１３をＣＶＤ法によりｐ型シリコン基板１の他面側（裏面側）のｎ型不純物拡散層１１上に形

Petitioner Runergy USA Inc., Ex. 1002, p. 261

成する。そして、表面用エッチングマスク１２と裏面用エッチングマスク１３とが形成されたｐ型シリコン基板１をＣＶＤ成膜用の台板２２から取り出す。

【００２４】

図２－２は、表面用エッチングマスク１２が形成されたｐ型シリコン基板１の他面側に裏面用エッチングマスク１３をＣＶＤ法により成膜する状態を示す模式図である。図２－３は、ｐ型シリコン基板１に表面用エッチングマスク１２と裏面用エッチングマスク１３とが形成された状態を示す断面図である。ここで、ＣＶＤ成膜用の台板２２は、表面用エッチングマスク１２が形成されたｐ型シリコン基板１の厚さよりも充分に深い掘り込みが形成されている。このため、ｐ型シリコン基板１の他面側の周辺部は成膜が制限され、ｐ型シリコン基板１の他面側のｎ型不純物拡散層１１の表面には、裏面用エッチングマスク１３の膜厚が薄いまたは裏面用エッチングマスク１３が成膜されない領域（以下、露出領域１１ａと呼ぶ）が形成される。

【００２５】

この掘り込みの深さは、裏面用エッチングマスク１３の成膜を制限したい長さと同等またはその１０倍程度の高さとすればよい。成膜を制限したい長さは、ｐ型シリコン基板１の外形からの長さである。例えばｐ型シリコン基板１の外形から１ｍｍ幅の領域の成膜を制限したい場合は掘り込みの深さは１ｍｍ～１０ｍｍとされればよい。

【００２６】

また、ここでは縁取りが基板成膜面よりも高い位置にあるＣＶＤ成膜用の台板２２を使用する場合について説明したが、ＣＶＤ成膜用の台板２２を使用する代わりに、成膜を制限する成膜マスクをｐ型シリコン基板１の他面側の外周縁部に被着させて裏面用エッチングマスク１３をＣＶＤ法により形成してもよい。この場合も、ｐ型シリコン基板１の他面側の外周縁部に露出領域１１ａを形成できる。

【００２７】

つぎに、表面用エッチングマスク１２に対して微細穴空け加工を施す。すなわち、ブラスト加工処理またはレーザー加工処理により、ｐ型シリコン基板１においてテクスチャ構造を形成する領域のみの領域に対応する表面用エッチングマスク１２に複数の微細開口１２ａを空ける。微細開口１２ａは、例えば径が３μｍ～１０μｍ程度、穴密度が２～１００個／５０平方μｍ程度が好ましい。ここで、テクスチャ構造を形成しない領域は、受光面側電極５を形成する領域（電極形成領域）となる。図２－４は、表面用エッチングマスク１２に対して微細穴空け加工を施した状態を示す断面図である。

【００２８】

つぎに、微細穴空け加工が施された表面用エッチングマスク１２をマスクとして、ｐ型シリコン基板１に対してエッチングを施す。エッチングとしては、例えばアルカリ溶液やフッ硝酸等を用いた湿式エッチングを実施する。これにより、微細穴空け加工が施された部分に対応するｎ型不純物拡散層１１およびｐ型シリコン基板１がエッチングされ、ｐ型シリコン基板１の一面側の表面にテクスチャ構造７が形成される。また、ｐ型シリコン基板１の側面およびｐ型シリコン基板１の他面側における露出領域１１ａではエッチングが進み、ｎ型不純物拡散層１１が除去される。

【００２９】

これにより、ｎ型不純物拡散層１１は、ｐ型シリコン基板１の一面側における電極形成領域および外周縁部と、ｐ型シリコン基板１の他面側において外周縁部を除いた領域に残存する。その後、表面用エッチングマスク１２および裏面用エッチングマスク１３を除去する。図２－５は、エッチング時のｐ型シリコン基板１の状態を示す断面図である。図２－６は、エッチング後に表面用エッチングマスク１２および裏面用エッチングマスク１３が除去された状態のｐ型シリコン基板１を示す断面図である。

【００３０】

つぎに、ｐ型シリコン基板１に対して２回目のリン（Ｐ）の拡散処理を行う。このリン（Ｐ）の拡散処理により、ｐ型シリコン基板１の一面側においてテクスチャ構造７が形成された領域と、ｐ型シリコン基板１の側面部と、ｐ型シリコン基板１の他面側の外周縁部

Petitioner Runergy USA Inc., Ex. 1002, p. 262

とに、例えばシート抵抗が６０Ω／□以上の高抵抗の拡散層である高抵抗ｎ型不純物拡散層４が形成される。また、このリン（Ｐ）の拡散処理により、ｐ型シリコン基板１の一面側および他面側におけるｎ型不純物拡散層１１は、拡散処理が２回行われることにより、例えばシート抵抗が５０Ω／□以下の低抵抗の拡散層である低抵抗ｎ型不純物拡散層３となる。これにより、ｎ型不純物拡散層２として、低抵抗ｎ型不純物拡散層３と高抵抗ｎ型不純物拡散層４が形成される。図２－７は、２回目の拡散処理後のｐ型シリコン基板１の状態を示す断面図である。

【００３１】

つぎに、ｐ型シリコン基板１の側面部のｐｎ接合のショート部分９をプラズマエッチング等で除去することによりｐｎ分離を行ってｐｎ分離部８を形成する。さらに、必要に応じてｐ型シリコン基板１の表裏面にシリコン窒化膜などの反射防止膜（図示せず）を形成した後、図２－８に示すように受光面側電極５および裏面電極６を形成する。受光面側電極５および裏面電極６は、例えば電極ペーストをスクリーン印刷により印刷した後に焼成を行うことにより形成する。裏面電極６の形成後、ｐ型シリコン基板１の他面側における外周縁部には、高抵抗ｎ型不純物拡散層４が残存している。図２－８は、受光面側電極５および裏面電極６が形成されて完成した光起電力装置を示す断面図である。以上のようにして、図１に示す光起電力装置が作製される。

【００３２】

つぎに、比較のため、熱酸化炉を用いてｐ型シリコン基板１の全面にエッチングマスクを形成する従来の製造方法について図３－１～図３－６を参照して説明する。図３－１～図３－６は、従来の光起電力装置の製造方法を模式的に示す断面図である。

【００３３】

まず、基板厚みが１００μｍ～２００μｍ程度のｐ型シリコン基板１に対して１回目のリン（Ｐ）の拡散処理を行って、ｐ型シリコン基板１の全面にｎ型不純物拡散層１１を形成する。ｎ型不純物拡散層１１のシート抵抗は、例えば５０Ω／□以下の低抵抗とされる。つぎに、ｎ型不純物拡散層１１が形成されたｐ型シリコン基板１を熱酸化炉に投入して加熱することにより、厚さが１００ｎｍ～２００ｎｍ程度の酸化シリコン（SiO_2）膜からなるエッチングマスク３１をｐ型シリコン基板１のｎ型不純物拡散層１１上に形成する。この場合は、ｐ型シリコン基板１のｎ型不純物拡散層１１上の全面にエッチングマスク３１が形成されるため、上述した露出領域１１ａに対応する領域は形成されない。図３－１は、ｐ型シリコン基板１のｎ型不純物拡散層１１上にエッチングマスク３１が形成された状態を示す断面図である。

【００３４】

つぎに、エッチングマスク３１に対して微細穴空け加工を施す。すなわち、ブラスト加工処理またはレーザー加工処理により、ｐ型シリコン基板１においてテクスチャ構造を形成する領域のみに対応する領域のエッチングマスク３１に複数の微細開口３１ａを空ける。微細開口３１ａは、例えば径が３μｍ～１０μｍ程度、穴密度が２～１００個／５０平方μｍ程度とされる。ここで、テクスチャ構造を形成しない領域は、受光面側電極５を形成する領域（電極形成領域）となる。図３－２は、エッチングマスク３１に対して微細穴空け加工を施した状態を示す断面図である。

【００３５】

つぎに、微細穴空け加工が施されたエッチングマスク３１をマスクとして、ｐ型シリコン基板１においてエッチングマスク３１に対してエッチングを施す。エッチングとしては、例えばアルカリ溶液やフッ硝酸等を用いた湿式エッチングを実施する。これにより、微細穴空け加工が施された部分に対応するｎ型不純物拡散層１１およびｐ型シリコン基板１がエッチングされ、ｐ型シリコン基板１の一面側（受光面側）の表面にテクスチャ構造７が形成される。また、ｐ型シリコン基板１の他面側（裏面側）には上述した露出領域１１ａに対応する領域がないため、ｐ型シリコン基板１の他面側はエッチングされない。

【００３６】

これにより、ｎ型不純物拡散層１１は、ｐ型シリコン基板１の一面側における電極形成

Petitioner Runergy USA Inc., Ex. 1002, p. 263

領域および外周縁部と、ｐ型シリコン基板１の他面側の全面に残存する。その後、エッチングマスク３１を除去する。図３－３は、エッチング時のｐ型シリコン基板１の状態を示す断面図である。図３－４は、エッチング後にエッチングマスク３１が除去された状態のｐ型シリコン基板１を示す断面図である。

【００３７】

つぎに、ｐ型シリコン基板１に対して２回目のリン（Ｐ）の拡散処理を行う。このリン（Ｐ）の拡散処理により、ｐ型シリコン基板１の一面側においてテクスチャ構造７が形成された領域のみに、例えばシート抵抗が６０Ω／□以上の高抵抗の拡散層である高抵抗ｎ型不純物拡散層４が形成される。また、このリン（Ｐ）の拡散処理により、ｎ型不純物拡散層１１は、拡散処理が２回行われることにより、例えばシート抵抗が５０Ω／□以下の低抵抗の拡散層である低抵抗ｎ型不純物拡散層３となる。これにより、ｎ型不純物拡散層２として、低抵抗ｎ型不純物拡散層３と高抵抗ｎ型不純物拡散層４が形成される。この場合は、ｐ型シリコン基板１の他面側の全面に低抵抗ｎ型不純物拡散層３が形成される。図３－５は、２回目の拡散処理後のｐ型シリコン基板１の状態を示す断面図である。

【００３８】

つぎに、ｐ型シリコン基板１の側面部のｐｎ接合のショート部分９をプラズマエッチング等で除去することによりｐｎ分離を行ってｐｎ分離部８を形成する。さらに、必要に応じてｐ型シリコン基板１の表裏面にシリコン窒化膜などの反射防止膜（図示せず）を形成した後、図３－６に示すように受光面側電極５および裏面電極６を形成する。受光面側電極５および裏面電極６は、例えば電極ペーストをスクリーン印刷により印刷した後に焼成を行うことにより形成する。図３－６は、受光面側電極５および裏面電極６が形成されて完成した光起電力装置を示す断面図である。以上のようにして、従来の光起電力装置が作製される。

【００３９】

このような製造方法により作製された従来の光起電力装置では、図３－６に示すようにｐ型シリコン基板１の裏面側における外周縁部には、低抵抗ｎ型不純物拡散層３が残存している。このため、光起電力装置の裏面側の外周縁部でのキャリア再結合により、ｐ型シリコン基板１内で発生した電荷を効率良く集電することができず、光電変換効率が低下する、という問題が生じる。

【００４０】

上述した実施の形態１にかかる光起電力装置の製造方法では、表面用エッチングマスク１２および裏面用エッチングマスク１３をＣＶＤ法により形成し、裏面用エッチングマスク１３の形成時にｐ型シリコン基板１の裏面側に露出領域１１ａを形成する。そして、１回目の拡散処理において露出領域１１ａに形成されたｎ型不純物拡散層１１をテクスチャ構造７の形成時にエッチング除去し、その後、２回目の拡散処理を実施する。これにより、実施の形態１にかかる光起電力装置の製造方法では、従来の光起電力装置では受光面側の電極形成領域と同等のシート抵抗を有する低抵抗ｎ型不純物拡散層３が形成されている裏面側の外周縁部に、受光面と同等のシート抵抗を有する高抵抗ｎ型不純物拡散層４が形成される。

【００４１】

このように作製された光起電力装置では、ｐ型シリコン基板１の裏面側の拡散層が高抵抗ｎ型不純物拡散層４とされるため、裏面側の外周縁部でのキャリア再結合を抑制して、ｐ型シリコン基板１で発生した電荷を効率良く集電でき、短絡電流密度（ｍＡ／ｃｍ^2）および曲線因子が増加し、光電変換効率（％）が向上する。したがって、実施の形態１にかかる光起電力装置の製造方法によれば、光電変換効率に優れた光起電力装置を実現できる。

【００４２】

上述した実施の形態１にかかる光起電力装置（実施例１）について性能評価した結果を表１に示す。また比較例として、上述した従来の光起電力装置（比較例１）について性能評価した結果を表１に併せて示す。

Petitioner Runergy USA Inc., Ex. 1002, p. 264

【００４３】
【表１】

表1

	実施例1	比較例1
開放電圧(V)	0.63	0.63
短絡電流密度(mA/cm^2)	37.5	37.0
曲線因子(-)	0.78	0.77
光電変換効率(%)	18.43	17.95

【００４４】
表１からわかるように、実施例１の光起電力装置では、比較例１の光起電力装置よりも短絡電流密度（ｍＡ／ｃｍ^2）および曲線因子が増加し、その結果として光電変換効率（％）が向上している。これは、実施例１の光起電力装置では、比較例１の光起電力装置では低抵抗ｎ型不純物拡散層３が形成されている裏面側の外周縁部に高抵抗ｎ型不純物拡散層４が形成されていることに因る効果である。
【００４５】
また、実施例１の光起電力装置の裏面側の外周縁部の高抵抗ｎ型不純物拡散層４を除去した場合についても性能評価した。その結果、この光起電力装置は、実施例１の光起電力装置よりも光電変換効率（％）が若干低下していた。このことより、光起電力装置の裏面側の外周縁部に高抵抗ｎ型不純物拡散層４が存在した方が良好な光電変換効率（％）が得られると言える。
【００４６】
実施の形態２．
実施の形態２では、上述した実施の形態１にかかる光起電力装置の製造方法において、プラズマエッチング等による基板側面部の除去加工の代わりにレーザー加工等による溝加工によりｐｎ分離を行う場合について説明する。
【００４７】
図４は、ｐｎ分離溝１０によりｐｎ分離を行った実施の形態２にかかる光起電力装置を示す断面図である。この光起電力装置では、裏面側の高抵抗ｎ型不純物拡散層４の表面からｐ型シリコン基板１の内部にまで達するｐｎ分離溝１０をレーザー加工で形成することにより、ｐｎ分離が施されている。実施の形態２にかかる光起電力装置は、ｐｎ分離の構造以外は実施の形態１にかかる光起電力装置と同じ構成を有する。このようにｐｎ分離位置がｐ型シリコン基板１の裏面に配置されることにより、発電に寄与する受光面側のｎ型不純物拡散層２の領域が増加し、発電効率を向上させることができる。
【００４８】
ｐｎ分離溝１０を形成するレーザー加工は、例えば赤外線レーザーまたは緑色レーザーを用いて、出力２０～５０Ｗ、ビーム径３０～５０μｍ、走査速度１００～１０００ｍｍ／秒程度で、ｐ型シリコン基板１の端部から２００μｍ～８００μｍ程度の位置を加工するとよい。なお、上記の条件は一例であって、光起電力装置として暗時逆方向電圧印加時のリーク電流を規定値以下とできればよく、例えば暗時逆方向電圧が－５Ｖ時にリーク電流を３Ａ程度以下にできればよい。
【００４９】
図５は、ｐｎ分離溝１０によりｐｎ分離を行った従来の他の光起電力装置を示す断面図である。この光起電力装置では、裏面側の低抵抗ｎ型不純物拡散層３の表面からｐ型シリコン基板１の内部にまで達するｐｎ分離溝１０をレーザー加工で形成することにより、ｐｎ分離が施されている。この従来の他の光起電力装置は、ｐｎ分離の構造以外は上述した

Petitioner Runergy USA Inc., Ex. 1002, p. 265

従来の光起電力装置と同じ構成を有する。

【００５０】

上述した実施の形態２にかかる光起電力装置（実施例２）について性能評価した結果を表２に示す。また比較例として、上述した従来の他の光起電力装置（比較例２）について性能評価した結果を表２に併せて示す。

【００５１】

【表２】

表2

	実施例2	比較例2
開放電圧(V)	0.63	0.63
短絡電流密度(mA/cm^2)	37.9	37.3
曲線因子(-)	0.78	0.77
光電変換効率(%)	18.62	18.10

【００５２】

プラズマエッチング等による基板側面部の除去加工の代わりにレーザー加工等による溝加工によりｐｎ分離を行うことより、比較例２の光起電力装置では、ｐ型シリコン基板１の端部の拡散層が低抵抗ｎ型不純物拡散層３となる。一方、実施例２の光起電力装置では、ｐ型シリコン基板１の端部の拡散層は、より発電に寄与し裏面側の外周縁部でのキャリア再結合を抑制する高抵抗ｎ型不純物拡散層４となる。これにより、表２からわかるように、実施例２の光起電力装置では、比較例２の光起電力装置よりも短絡電流密度（ｍＡ／ｃｍ^2）および曲線因子が増加し、その結果として光電変換効率（％）が向上している。そして、実施例２の光起電力装置では、実施例１の光起電力装置よりもさらに光電変換効率（％）が向上している。

【００５３】

また、実施の形態２にかかる光起電力装置においては、裏面電極６とｐｎ分離溝１０との間の高抵抗ｎ型不純物拡散層４の面積が少なくなる程、光電変換効率を高めることができる。このため、裏面電極６の形状に沿って加工を行うことにより、より光電変換効率を高めることができる。なお、レーザーが裏面電極６上にかかるとｐｎ分離ができなくなる虞があるため、裏面電極６から若干の間隔をおいた状態で加工することが好ましい。

【００５４】

上述したように、実施の形態２によれば、より光電変換効率に優れた光起電力装置が実現できる。

【００５５】

また、上記の実施の形態で説明した構成を有する光起電力装置を複数形成し、隣接する光起電力装置同士を電気的に直列または並列に接続することにより、光電変換効率に優れた光起電力モジュールが実現できる。この場合は、例えば隣接する光起電力装置の一方の受光面側電極５と他方の裏面電極６とを電気的に接続すればよい。

【産業上の利用可能性】

【００５６】

以上のように、本発明にかかる光起電力装置は、光電変換効率の高い光起電力装置の実現に有用である。

【符号の説明】

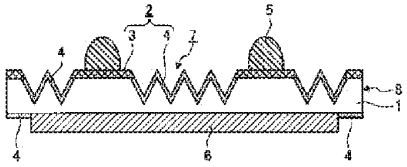
【００５７】

１　ｐ型シリコン基板

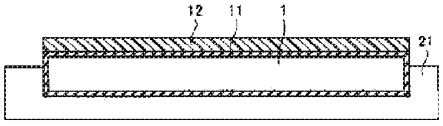
２　ｎ型不純物拡散層

３　低抵抗ｎ型不純物拡散層
４　高抵抗ｎ型不純物拡散層
５　受光面側電極
６　裏面電極
７　テクスチャ構造
８　ｐｎ分離部
９　ｐｎ接合のショート部分
１０　ｐｎ分離溝
１１　ｎ型不純物拡散層
１１ａ　露出領域
１２　表面用エッチングマスク
１２ａ　微細開口
１３　裏面用エッチングマスク
２１　ＣＶＤ成膜用の台板
２２　ＣＶＤ成膜用の台板
３１　エッチングマスク
３１ａ　微細開口

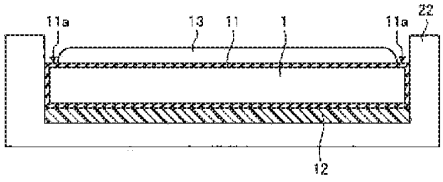
【図１】



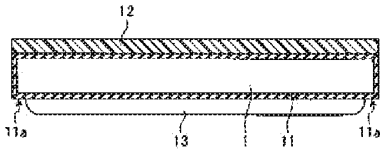
【図２－１】



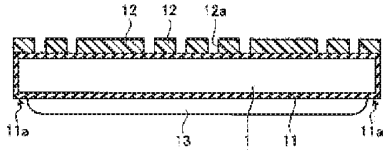
【図２－２】



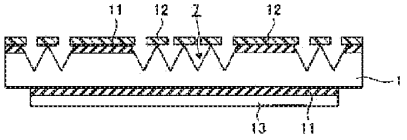
【図２－３】



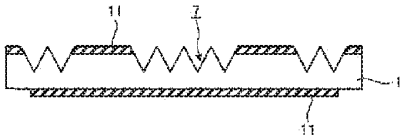
【図２－４】



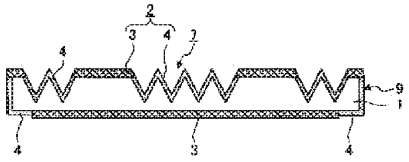
【図２－５】



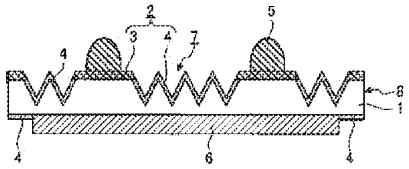
【図２－６】



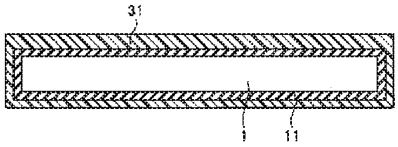
【図２－７】



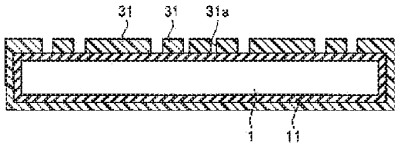
【図２－８】



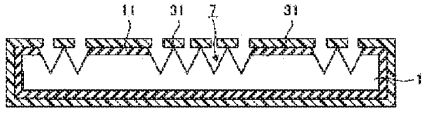
【図３－１】



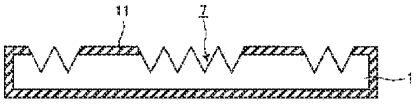
【図３－２】



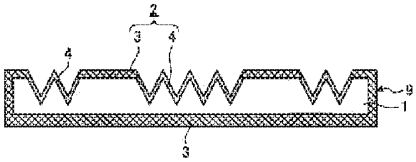
【図３－３】



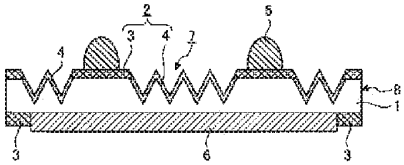
【図３－４】



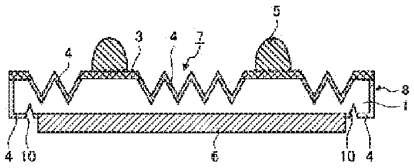
【図３－５】



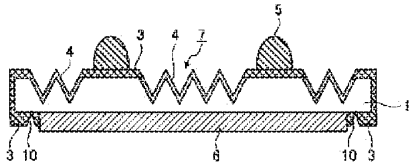
【図３－６】



【図４】



【図５】



フロントページの続き

Fターム(参考) 5F151 AA02 AA03 CB12 CB13 CB20 CB21 CB22 DA03 EA15 EA18
FA10 FA13 FA14 FA15 GA04 HA03 HA07

Espacenet

Bibliographic data: JP2013526053 (A) — 2013-06-20

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Inventor(s): シム ゴーワン, ; パク チャンソ, ; ユン ピルウォン, ; ジン ヨンシル, ; キム ジンスン, ; チェ ヨンホ, ; チャン ジェウォン

Applicant(s): エルジー エレクトロニクス インコーポレイティド

Classification: - international: ***H01L21/28; H01L21/288; H01L31/04***
- cooperative: H01L31/02168; H01L31/022425; H01L31/068; H01L31/0684; H01L31/18; Y02E10/547

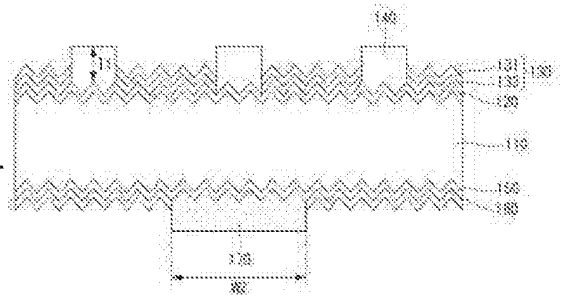
Application number: JP20130507860 20101028 Global Dossier

Priority number(s): KR20100086464 20100903 ; WO2010KR07460 20101028

Also published as: CN102934236 (A) CN102934236 (B) DE202010018467 (U1) EP2612369 (A1) EP2612369 (A4) more

Abstract not available for JP2013526053 (A)
Abstract of corresponding document: US2011139243 (A1)

A solar cell and a method for manufacturing the same are disclosed. The solar cell may include a substrate, an emitter layer positioned at a first surface of the substrate, a first anti-reflection layer that is positioned on a surface of the emitter layer and may include a plurality of first contact lines exposing a portion of the emitter layer, a first electrode that is electrically connected to the emitter layer exposed through the plurality of first contact lines and may include a plating layer directly contacting the emitter layer, and a second electrode positioned on a second surface of the substrate.



Petitioner Runergy USA Inc., Ex. 1002, p. 271

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2013-526053
(P2013-526053A)
(43)公表日　平成25年6月20日(2013.6.20)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/04	(2006.01)	H01L	31/04	H	4M104
H01L 21/288	(2006.01)	H01L	21/288	E	5F151
H01L 21/28	(2006.01)	H01L	21/28	L	

審査請求 有　予備審査請求 未請求　（全 21 頁）

(21)出願番号　特願2013-507860 (P2013-507860)
(86)(22)出願日　平成22年10月28日 (2010.10.28)
(85)翻訳文提出日　平成24年10月26日 (2012.10.26)
(86)国際出願番号　PCT/KR2010/007460
(87)国際公開番号　WO2012/030019
(87)国際公開日　平成24年3月8日 (2012.3.8)
(31)優先権主張番号　10-2010-0086464
(32)優先日　平成22年9月3日 (2010.9.3)
(33)優先権主張国　韓国 (KR)

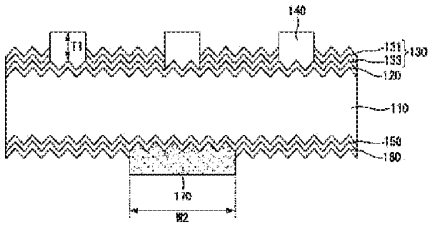
(71)出願人　502032105
エルジー　エレクトロニクス　インコーポレイティド
大韓民国、ソウル　１５０－７２１，ヨンドゥンポーク，ヨイド－ドン，２０
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100092624
弁理士　鶴田　準一
(74)代理人　100114018
弁理士　南山　知広
(74)代理人　100165191
弁理士　河合　章
(74)代理人　100151459
弁理士　中村　健一

最終頁に続く

(54)【発明の名称】太陽電池及びその製造方法

(57)【要約】
【課題】太陽電池及びその製造方法を提供すること。
【解決手段】本発明の一側面にかかる太陽電池は、基板と、基板の第１表面に位置するエミッタ部と、エミッタ部の表面に位置し、エミッタ部の一部を露出する複数の第１コンタクトラインを備える第１反射防止膜と、複数の第１コンタクトラインを介して露出したエミッタ部と電気的に接続する第１電極と、基板の第２表面に位置する第２電極とを備え、第１電極は、エミッタ部と直接接触するメッキ層を備える。
【選択図】図１

[Fig. 1]



【特許請求の範囲】
【請求項１】
均一な第１表面を含む基板と、
前記基板の第１表面に位置するエミッタ部と、
前記エミッタ部の表面に位置し、前記エミッタ部の一部を露出する複数の第１コンタクトラインを有する第１反射防止膜と、
前記複数の第１コンタクトラインを介して露出した前記エミッタ部と電気的に接続する第１電極と、
前記基板の第２表面に位置する第２電極とを備え、
前記第１電極は、前記エミッタ部と直接接触するメッキ層を備える太陽電池。
【請求項２】
前記第１電極は、略０．８３ないし１の縦横比を有する、請求項１に記載の太陽電池。
【請求項３】
前記複数の第１コンタクトラインは、略２０μｍないし６０μｍの幅に各々形成される、請求項２に記載の太陽電池。
【請求項４】
前記複数の第１コンタクトラインは、前記エミッタ部の平面積の略２％ないし６％の平面積で形成される、請求項３に記載の太陽電池。
【請求項５】
前記第１電極は、略２０μｍないし５０μｍの厚さに形成される、請求項３に記載の太陽電池。
【請求項６】
前記基板の第１表面及び第２表面が第１テクスチャリング表面及び第２テクスチャリング表面で形成されるようにそれぞれテクスチャリングされる、請求項１に記載の太陽電池。
【請求項７】
前記第１反射防止膜は、シリコン窒化膜及び前記エミッタ部とシリコン窒化膜との間に位置するシリコン酸化膜又は酸化アルミニウム膜を含む、請求項１に記載の太陽電池。
【請求項８】
前記基板は、リン（Ｐ）がドーピングされたｎ型シリコンウエハからなる、請求項１に記載の太陽電池。
【請求項９】
前記基板の前記第２表面に位置する後面電界部と、
前記第２電極が位置しない前記後面電界部の表面に位置する第２反射防止膜と
をさらに含む、請求項１に記載の太陽電池。
【請求項１０】
前記第１電極と前記第２電極とは、互いに異なる物質から形成される、請求項９に記載の太陽電池。
【請求項１１】
前記第２電極が前記第１電極より大きな幅で形成される、請求項１０に記載の太陽電池。
【請求項１２】
前記メッキ層は、前記エミッタ部と直接接触し、ニッケル（Ｎｉ）を含む金属シード層と、前記金属シード層上に位置し、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、錫（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つの物質を含む少なくとも一つの導電層を含み、
前記第２電極は、銀（Ａｇ）から形成される、請求項１０に記載の太陽電池。
【請求項１３】
前記第２反射防止膜は、シリコン窒化膜を含む、請求項１０に記載の太陽電池。

【請求項１４】
前記第２反射防止膜は、前記後面電界部の一部を露出する複数の第２コンタクトラインを含む、請求項９に記載の太陽電池。
【請求項１５】
前記複数の第２コンタクトラインは、略４０μｍないし１００μｍの幅に各々形成される、請求項１４に記載の太陽電池。
【請求項１６】
前記複数の第２コンタクトラインは、前記後面電界部の平面積の略５％ないし１５％の平面積で形成される、請求項１４に記載の太陽電池。
【請求項１７】
前記第２電極は、前記複数の第２コンタクトラインを介して露出した前記後面電界部と直接接触する金属シード層及び前記金属シード層の後面に配置される少なくとも一つの導電層を含む、請求項１４に記載の太陽電池。
【請求項１８】
前記第１電極及び第２電極の前記金属シード層は、ニッケル（Ｎｉ）を含み、前記第１及び第２電極の前記少なくとも一つの導電層は、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、錫（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つの物質を含む、請求項１７に記載の太陽電池。
【請求項１９】
基板の第１表面には、エミッタ部を形成し、前記基板の第２表面には、後面電界部を形成するステップと、
前記エミッタ部の表面には、第１反射防止膜を形成し、前記後面電界部の表面には、第２反射防止膜を形成するステップと、
前記第１反射防止膜に複数の第１コンタクトラインを形成するステップと、
前記第２反射防止膜の後面に第２電極を形成するステップと、
前記複数の第１コンタクトラインに第１電極を形成するステップとを含み、
前記第１電極及び第２電極を互いに異なる物質から形成する、太陽電池の製造方法。
【請求項２０】
前記エミッタ部及び前記後面電界部を形成する前に、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように前記基板の第１表面及び第２表面をそれぞれテクスチャリングするステップをさらに含む、請求項１９に記載の太陽電池の製造方法。
【請求項２１】
前記複数の第１コンタクトラインを形成するステップにおいて、ウェットエッチング又はレーザーを利用したドライエッチング工程を使用する、請求項１９に記載の太陽電池の製造方法。
【請求項２２】
前記複数の第１コンタクトラインを形成するステップは、
レーザーを利用したドライエッチング工程で前記第１反射防止膜をエッチングするステップと、
前記レーザーにより発生したエミッタ部の損傷層をウェットエッチング工程で除去するステップとを含む、請求項１９に記載の太陽電池の製造方法。
【請求項２３】
前記第２電極を形成するステップは、
銀（Ａｇ）及びガラスフリット（ｇｌａｓｓ　ｆｒｉｔ）が混合された導電ペーストを前記第２反射防止膜の表面に印刷するステップと、
前記導電ペーストを乾燥及び焼成するステップとを含み、
前記第１電極を形成するステップは、
前記エミッタ部と直接接触する金属シード層を形成するステップと、
前記金属シード層上に少なくとも一つの導電層を形成するステップとを含む、請求項１９

に記載の太陽電池の製造方法。
【請求項２４】
基板の第１表面には、エミッタ部を形成し、前記基板の第２表面には、後面電界部を形成するステップと、
前記エミッタ部の表面には、第１反射防止膜を形成し、前記後面電界部の表面には、第２反射防止膜を形成するステップと、
前記第１反射防止膜には、複数の第１コンタクトラインを形成し、前記第２反射防止膜には、複数の第２コンタクトラインを形成するステップと、
前記複数の第１コンタクトラインを介して露出した前記エミッタ部には、第１電極を形成し、前記複数の第２コンタクトラインを介して露出した前記後面電界部には、第２電極を形成するステップとを含み、
前記第１電極及び第２電極を互いに同じ物質から形成する、太陽電池の製造方法。
【請求項２５】
前記エミッタ部及び前記後面電界部を形成する前に、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように前記基板の第１表面及び第２表面をそれぞれテクスチャリングするステップをさらに含む、請求項２４に記載の太陽電池の製造方法。
【請求項２６】
前記複数の第１コンタクトライン及び第２コンタクトラインを形成するステップにおいて、ウェットエッチング又はレーザーを利用したドライエッチング工程を使用する、請求項２４に記載の太陽電池の製造方法。
【請求項２７】
前記複数の第１コンタクトライン及び第２コンタクトラインを形成するステップは、
レーザーを利用したドライエッチング工程で前記第１反射防止膜及び前記第２反射防止膜をそれぞれエッチングするステップと、
前記レーザーにより発生したエミッタ部及び後面電界部の損傷層をウェットエッチング工程で除去するステップとを含む、請求項２４に記載の太陽電池の製造方法。
【請求項２８】
前記第１電極及び第２電極を形成するステップは、前記エミッタ部又は前記後面電界部と直接接触する金属シード層を形成するステップ、及び前記金属シード層上に少なくとも一つの導電層を形成するステップを含む、請求項２４に記載の太陽電池の製造方法。
【請求項２９】
前記基板の第１表面がテクスチャリングされた、請求項１に記載の太陽電池。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、太陽電池及びその製造方法に関する。
【背景技術】
【０００２】
光電変換効果を利用して光エネルギーを電気エネルギーに変換する太陽光発電は、無公害エネルギーを得る手段として広く利用されている。そして、太陽電池の光電変換効率の向上に伴って、個人住宅でも複数の太陽電池パネルを利用する太陽光発電システムが設置されている。
【０００３】
通常の太陽電池は、基板及び基板とｐ－ｎ接合を形成するエミッタ部を備え、基板の片方面を介して入射した光を利用して電流を発生させる。
【０００４】
一方、通常の太陽電池は、光が基板の片面のみを介して入射されるので、電流変換効率が低い。
【０００５】
そのため、近来では、基板の両面を介して光が入射されるようにした両面受光型太陽電

池が開発されている。

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明の一特徴による太陽電池は、均一な（ｕｎｉｆｏｒｍ）第１表面を有する基板と、基板の第１表面（ｆｉｒｓｔ　ｓｕｒｆａｃｅ）に位置するエミッタ部と、エミッタ部の表面に位置し、エミッタ部の一部を露出する複数の第１コンタクトラインを有する第１反射防止膜と、複数の第１コンタクトラインを介して露出したエミッタ部と電気的に接続する第１電極と、基板の第２表面（ｓｅｃｏｎｄ　ｓｕｒｆａｃｅ）に位置する第２電極とを備え、第１電極は、エミッタ部と直接接触するメッキ層を備える。

【０００７】

複数の第１コンタクトラインは、略２０μｍないし６０μｍの幅でそれぞれ形成され、エミッタ部の平面積の略２％ないし６％の平面積に形成され、第１電極は、略２０μｍないし５０μｍの厚さで形成される。

【０００８】

このようにすると、第１電極は、微細線幅及び高い縦横比、例えば概略０．８３～１の縦横比を有する。

【０００９】

基板の第１表面及び第２表面は、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように、それぞれ均一にテクスチャリングできる。

【００１０】

第１反射防止膜は、シリコン窒化膜及びエミッタ部とシリコン窒化膜との間に位置するシリコン酸化膜又は酸化アルミニウム膜を含むことができ、基板は、リン（Ｐ）がドーピングされたｎ型シリコンウエハからなることができる。

【００１１】

本実施形態の太陽電池は、基板の第２表面に位置する後面電界部と、第２電極が位置しない後面電界部の表面に位置する第２反射防止膜とをさらに含むことができる。

【００１２】

第１電極と第２電極とは、互いに異なる物質から形成することができる。例えば、第１電極を形成するメッキ層は、エミッタ部と直接接触しニッケル（Ｎｉ）を含む金属シード層と、金属シード層上に位置し銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、錫(スズ)（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つの物質を含む少なくとも一つの導電層を含むことができ、第２電極は、銀（Ａｇ）から形成されることができる。

【００１３】

このとき、第２電極は、第１電極より大きな幅で形成されることができ、第２反射防止膜は、シリコン窒化膜を含むことができる。

【００１４】

このような構成の太陽電池は、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように基板の第１表面及び第２表面をそれぞれテクスチャリングするステップと、基板の第１表面には、エミッタ部を形成し、基板の第２表面には、後面電界部を形成するステップと、エミッタ部の表面には、第１反射防止膜を形成し、後面電界部の表面には、第２反射防止膜を形成するステップと、第１反射防止膜に複数の第１コンタクトラインを形成するステップと、第２反射防止膜の後面に第２電極を形成するステップと、複数の第１コンタクトラインに第１電極を形成するステップとを含み、第１電極及び第２電極を互いに異なる物質から形成する太陽電池の製造方法により製造できる。

【００１５】

複数の第１コンタクトラインを形成するステップでは、ウェットエッチング又はレーザーを利用したドライエッチング工程を使用することができ、複数の第１コンタクトラインを形成するステップは、レーザーを利用したドライエッチング工程で第１反射防止膜をエ

ッチングするステップと、レーザーにより発生したエミッタ部の損傷層をウェットエッチング工程で除去するステップとを含むことができる。

【００１６】

そして、第２電極を形成するステップは、銀（Ａｇ）及びガラスフリット（ｇｌａｓｓ ｆｒｉｔ）が混合された導電ペーストを第２反射防止膜の表面に印刷するステップと、導電ペーストを乾燥及び焼成するステップとを含むことができ、第１電極を形成するステップは、エミッタ部と直接接触する金属シード層を形成するステップと、金属シード層上に少なくとも一つの導電層を形成するステップとを含むことができる。

【００１７】

本発明の他の実施形態において、第２反射防止膜は、後面電界部の一部を露出する複数の第２コンタクトラインを含むことができ、複数の第２コンタクトラインは、略４０μｍないし１００μｍの幅でそれぞれ形成することができ、後面電界部の平面積の略５％ないし１５％の平面積で形成することができる。

【００１８】

第２電極は、複数の第２コンタクトラインを介して露出した後面電界部と直接接触する金属シード層、及び金属シード層の表面に配置される少なくとも一つの導電層を備えることができ、第１電極は、第２電極と同じ構造で形成することができる。

【００１９】

例えば、第１電極及び第２電極の金属シード層は、ニッケル（Ｎｉ）を含み、第１及び第２電極の少なくとも一つの導電層は、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、錫（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つの物質を含むことができる。

【００２０】

このような構成の太陽電池は、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように基板の第１表面及び第２表面をそれぞれテクスチャリングするステップと、基板の第１表面には、エミッタ部を形成し、基板の第２表面には、後面電界部を形成するステップと、エミッタ部の表面には、第１反射防止膜を形成し、後面電界部の表面には、第２反射防止膜を形成するステップと、第１反射防止膜には、複数の第１コンタクトラインを形成し、第２反射防止膜には、複数の第２コンタクトラインを形成するステップと、複数の第１コンタクトラインを介して露出したエミッタ部には、第１電極を形成し、複数の第２コンタクトラインを介して露出した後面電界部には、第２電極を形成するステップとを含み、第１電極及び第２電極を互いに同じ物質から形成する太陽電池の製造方法により製造できる。

【００２１】

複数の第１コンタクトライン及び第２コンタクトラインを形成するステップでは、ウェットエッチング又はレーザーを利用したドライエッチング工程を使用することができ、複数の第１コンタクトライン及び第２コンタクトラインを形成するステップは、レーザーを利用したドライエッチング工程で第１反射防止膜及び第２反射防止膜をそれぞれエッチングするステップと、レーザーにより発生したエミッタ部及び後面電界部の損傷層をウェットエッチング工程で除去するステップとを含むことができる。

【００２２】

第１電極及び第２電極を形成するステップは、エミッタ部又は後面電界部と直接接触する金属シード層を形成するステップ、及び金属シード層上に少なくとも一つの導電層を形成するステップを含むことができる。

【００２３】

このような特徴によれば、基板の第１表面及び第２表面ともテクスチャリング表面で形成され、またパッシベーション機能を行う反射防止膜が基板の第１表面及び第２表面上にそれぞれ配置されているので、基板の第１表面に入射された後基板を透過した光を基板の第２表面に再度入射させて電流を発生させるのに使用することができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 277

【００２４】
そこで、基板の第１表面に入射される光だけを利用して電流を発生させる構造の太陽電池に比べて効率を増加させることができる。
【００２５】
そして、第１電極がメッキ電極で形成されるので、従来、電極材料として使用していた導電ペーストに比べて電極の線幅を減らすことができ、縦横比を増加させることができるので、光入射面積が増加して太陽電池の効率をさらに増加させることができる。
【００２６】
また、エミッタ部の面抵抗が高い場合にも、第１電極とエミッタ部との接触を良好に維持できる。

【図面の簡単な説明】
【００２７】
添付した図面を参考して、本発明の実施形態について詳細に説明する。
【００２８】
【図１】本発明の一実施形態に係る太陽電池の概略的な断面図である。
【図２】図１の主要部拡大断面図である。
【図３】図１に示す太陽電池の製造方法を示す工程フローチャートである。
【図４】図１に示す太陽電池の製造方法を示す工程フローチャートである。
【図５】図１に示す太陽電池の製造方法を示す工程フローチャートである。
【図６】図３に示す太陽電池の製造方法を示す工程フローチャートである。
【図７】本発明の他の実施形態に係る太陽電池の概略的な断面図である。
【図８】図７に示す太陽電池の製造方法を示す工程フローチャートである。
【図９】図７に示す太陽電池の製造方法を示す工程フローチャートである。

【発明を実施するための形態】
【００２９】
以下、添付した図面を参考にして、本発明の実施形態について本発明の属する技術分野における通常の知識を有した者が容易に実施できるように詳細に説明する。しかしながら、本発明は、様々な形態により具現化されることができ、ここで説明する実施形態に限定されない。そして、図面において本発明を明確に説明するために、説明と関係のない部分は省略しており、明細書の全体にわたって類似の部分に対しては、類似の図面符号を付している。
【００３０】
図面において複数の層及び領域を明確に表現するために厚さを拡大して示した。層、膜、領域、板などの部分が他の部分の「上に」あるとするとき、これは、他の部分の「真上に」ある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の「真上に」あるとするときには、中間に他の部分がないことを意味する。
【００３１】
以下、添付した図面を参考して本発明の実施形態に係る太陽電池について説明する。
【００３２】
図１は、本発明の一実施形態に係る太陽電池の概略的な断面図で、図２は、図１の主要部拡大断面図である。そして、図３ないし図５は、図１に示す太陽電池の製造方法を示す工程フローチャートで、図６は、図３に示す太陽電池の製造方法を示す工程フローチャートである。
【００３３】
太陽電池は、基板１１０、基板１１０の片面、例えば前面（ｆｒｏｎｔ　ｓｕｒｆａｃｅ）に位置するエミッタ部１２０、エミッタ部１２０の上に位置する第１反射防止膜１３０、第１反射防止膜１３０が位置しない領域のエミッタ部１２０の上に位置した第１電極（ｆｉｒｓｔ　ｅｌｅｃｔｒｏｄｅ）１４０、基板１１０の後面（ｂａｃｋ　ｓｕｒｆａｃｅ）に位置する後面電界（ｂａｃｋ　ｓｕｒｆａｃｅ　ｆｉｅｌｄ、ＢＳＦ）部１５０、後面電界部１５０の後面に位置する第２反射防止膜１６０、第２反射防止膜１６０が位

置しない領域の後面電界部１５０の後面に位置する第２電極（ｓｅｃｏｎｄ　ｅｌｅｃｔｒｏｄｅ）１７０を備える。

【００３４】

基板１１０は、第１導電型、例えばｎ型導電型のシリコンウエハからなる。このとき、シリコンは、単結晶シリコン、多結晶シリコン基板又は非晶質シリコンでありうる。

【００３５】

基板１１０がｎ型の導電型を有するので、基板１１０は、リン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）などのような５価元素の不純物を含有する。

【００３６】

しかしながら、これとは異なり、基板１１０は、ｐ型の導電型であっても良く、シリコン以外の他の半導体物質からなっても良い。

【００３７】

基板１１０がｐ型の導電型を有する場合に、基板１１０は、ホウ素（Ｂ）、ガリウム、インジウムなどのような３価元素の不純物を含有できる。

【００３８】

図６に示すように、基板１１０の表面は、平らでない面（ｕｎｅｖｅｎ　ｓｕｒｆａｃｅ）に該当するテクスチャリング表面（ｔｅｘｔｕｒｉｎｇ　ｓｕｒｆａｃｅ）を有するように均一にテクスチャリングされる。さらに具体的に、基板１１０は、エミッタ部１２０が位置する前面に第１テクスチャリング表面１１１を具備し、後面電界部１５０が位置する後面に第２テクスチャリング表面１１３を具備する。

【００３９】

基板１１０の前面の第１テクスチャリング表面１１１に位置するエミッタ部１２０は、基板１１０の導電型と反対である第２導電型、例えば、ｐ型の導電型を有する不純物部であって、基板１１０とｐ－ｎ接合をなす。

【００４０】

このようなｐ－ｎ接合による内部電位差（ｂｕｉｌｔ－ｉｎ　ｐｏｔｅｎｔｉａｌ　ｄｉｆｆｅｒｅｎｃｅ）により、基板１１０に入射された光により生成された電荷である電子－正孔対は、電子と正孔とに分離されて、電子は、ｎ型側に移動し、正孔は、ｐ型側に移動する。

【００４１】

したがって、基板１１０がｎ型でエミッタ部１２０がｐ型である場合、分離された電子は、基板１１０側に移動し、分離された正孔は、エミッタ部１２０側に移動する。したがって、基板１１０では、電子が多数キャリアとなり、エミッタ部１２０では、正孔が多数キャリアとなる。

【００４２】

エミッタ部１２０がｐ型の導電型を有する場合に、エミッタ部１２０は、ホウ素（Ｂ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）などのような３価元素の不純物を基板１１０にドーピングして形成できる。

【００４３】

これとは異なり、基板１１０がｐ型の導電型を有する場合に、エミッタ部１２０は、ｎ型の導電型を有する。この場合に、分離された正孔は、基板１１０側に移動し、分離された電子は、エミッタ部１２０側に移動する。

【００４４】

エミッタ部１２０がｎ型の導電型を有する場合に、リン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）などのように５価元素の不純物を基板１１０にドーピングして形成できる。

【００４５】

図３ないし図５に示すように、基板１１０の前面に位置したエミッタ部１２０の上に形成される第１反射防止膜１３０は、シリコン窒化膜（ＳｉＮｘ：Ｈ）１３１と、エミッタ部１２０とシリコン窒化膜１３１との間に位置する酸化アルミニウム膜（ＡｌＯｘ）１３３の二重膜から形成される。第１反射防止膜１３０は、基板１１０の前面を介して入射さ

れる光の反射度を減らし、特定の波長領域の選択性を増加させて太陽電池の効率を上げる。

【００４６】

本実施形態において、第１反射防止膜１３０での光反射度を最小化するために、酸化アルミニウム膜１３３は、略１．５５ないし１．７の屈折率を有し、略５０ｎｍ以下の厚さを有するように形成される。そして、シリコン窒化膜１３１は、略１．９ないし２．３の屈折率を有し、略５０ｎｍないし１００ｎｍの厚さを有するように形成される。

【００４７】

本発明者の実験によれば、第１反射防止膜１３０が酸化アルミニウム膜１３３及びシリコン窒化膜１３１の二重膜から構成されるとき、各膜１３１、１３３の屈折率及び厚さが上記範囲に属する場合に、第１反射防止膜１３０での光反射度が最も低いことが分かった。

【００４８】

一方、酸化アルミニウム膜１３３の代りにシリコン酸化膜（ＳｉＯｘ：Ｈ）を使用することも可能である。

【００４９】

第１反射防止膜１３０は、エミッタ部１２０の一部を露出する複数の第１コンタクトラインＣＬ１を有する。そして、第１コンタクトラインＣＬ１を介して露出したエミッタ部１２０には、第１電極１４０（図１参照）が形成される。

【００５０】

本実施形態において、第１電極１４０を微細線幅及び高い縦横比で形成するために、第１コンタクトラインＣＬ１は、略２０μｍないし６０μｍの幅Ｗ１で形成され、エミッタ部１２０の平面積の略２％ないし６％の平面積を有するように形成される。

【００５１】

第１コンタクトラインＣＬ１を幅Ｗ１で形成すると、メッキ工程を利用して第１電極１４０を形成する時、第１電極１４０を略２０μｍないし５０μｍの厚さＴ１で形成できる。

【００５２】

図１は、エミッタ部１２０の凸部から第１電極１４０の上部表面までの距離を厚さＴ１で示したが、第１電極１４０の厚さに比べてエミッタ部１２０の凹部から凸部までの高さの値が大きくないので、エミッタ部１２０の凹部から第１電極１４０の上部表面までの距離を厚さと表現しても良い。

【００５３】

このような構造によれば、第１電極１４０は、高い縦横比、例えば略０．８３ないし１の縦横比を有する。

【００５４】

第１コンタクトラインＣＬ１を介して露出したエミッタ部１２０に形成される第１電極１４０は、エミッタ部１２０と電気的及び物理的に接続される。このとき、第１電極１４０は、ほぼ平行に決まった方向に伸びている。

【００５５】

このような第１電極１４０は、エミッタ部１２０側に移動した電荷、例えば正孔を収集する。本発明において、第１電極１４０は、フィンガー電極（ｆｉｎｇｅｒ　ｅｌｅｃｔｒｏｄｅ）でありうる。これとは異なり、第１電極１４０は、フィンガー電極用集電部でありえ、フィンガー電極及びフィンガー電極用集電部でありうる。

【００５６】

図２に示すように、本実施形態において、第１電極１４０は、メッキ層から構成され、メッキ層は、エミッタ部１２０上に順次形成される金属シード層１４１、拡散防止層１４２及び導電層１４３のうち、少なくとも一つを含む。

【００５７】

金属シード層１４１は、ニッケルを含む物質、例えばニッケルシリサイド（Ni_2Si

、ＮｉＳｉ、ＮｉＳｉ$_2$などを含む）から形成され、略５０ｎｍないし２００ｎｍの厚さを有するように形成される。

【００５８】

ここで、金属シード層１４１の厚さを前述の範囲に制限する理由は、厚さが５０ｎｍ未満の場合に抵抗が高くて均一な膜の形成が難しいから、以後に実施する拡散防止層１４２のメッキ工程にて均一性（ｕｎｉｆｏｒｍｉｔｙ）を確保することが容易でなく、厚さが２００ｎｍ以上である場合に、熱処理過程で金属シード層１４１が一定の割合でシリコン側に広がってニッケルシリサイド層を形成するために、ニッケル拡散によるシャントリーケージ電流（ｓｈｕｎｔ　ｌｅａｋａｇｅ　ｃｕｒｒｅｎｔ）が発生されうる。

【００５９】

金属シード層１４１上に形成される拡散防止層１４２は、導電層１４３を形成する物質が金属シード層１４１を介してシリコン界面に広がることによって、接合劣化（ｊｕｎｃｔｉｏｎ　ｄｅｇｒａｄａｔｉｏｎ）が発生するのを防止するためのものであって、略５μｍないし１５μｍの厚さを有するように形成されたニッケルを含む。

【００６０】

そして、拡散防止層１４２上に形成される導電層１４３は、少なくとも一つの導電性金属物質を含む。これらの導電性金属物質の例は、ニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、錫（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つでありうるが、これら以外の他の導電性金属物質からなることができる。

【００６１】

本実施形態において導電層１４３は、銅層１４３ａを含む。銅層１４３ａは、実質的な電気的導線として機能し、略１０μｍないし３０μｍの厚さを有するように形成される。ところが、銅の場合に空気の中で容易に酸化され、モジュール化工程で隣接した太陽電池を電気的に接続するインターコネクター、例えばリボン（図示せず）を銅層１４３ａに直接はんだ付け（ｓｏｌｄｅｒｉｎｇ）することが容易でないことと知られている。

【００６２】

したがって、導電層１４３が銅層１４３ａを含む場合には、銅の酸化を防止しリボンのはんだ付け作業が円滑になされるようにするために、銅層１４３ａ上に錫層１４３ｂがさらに形成され、錫層１４３ｂは、略５μｍないし１５μｍの厚さを有するように形成される。

【００６３】

もちろん、銅層１４３ａの他に他の金属物質から導電層を形成する場合に、前述の他の金属物質が空気の中で容易に酸化されずにリボンとのはんだ付けが可能な場合には、錫層１４３ｂを省略することも可能である。

【００６４】

第１電極１４０がフィンガー電極である場合、基板１１０の前面には、フィンガー電極へ移動した電荷を収集する集電部がさらに形成されることができる。集電部では、第１電極１４０と同様にメッキ電極で形成できるが、フィンガー電極とは異なり、導電性物質を含有する導電ペーストを印刷、乾燥及び焼成して形成することもできる。

【００６５】

基板１１０の後面に位置する第２電極１７０は、基板１１０側に移動する電荷、例えば電子を収集して外部装置に出力する。本発明において、第２電極１７０は、フィンガー電極（ｆｉｎｇｅｒ　ｅｌｅｃｔｒｏｄｅ）でありうる。これとは異なり、第２電極１７０は、フィンガー電極用集電部でありえ、フィンガー電極及びフィンガー電極用集電部でありうる。

【００６６】

第２電極１７０は、アルミニウム（Ａ）、ニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、錫（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）及びこれらの組み合わせからなる群から選択された少なくとも一つの導電性物質からなるこ

とができる。本実施形態で、第２電極１７０は、銀（Ａｇ）から形成される。

【００６７】

そして、線抵抗を確保するために、第２電極１７０は、第１電極１４０、より具体的に第１コンタクトラインＣＬ１の幅Ｗ１より大きな幅Ｗ２を有するように形成され、第２電極１７０間のピッチは、第１電極１４０間のピッチより狭く形成される。ここで、電極間のピッチは、隣接した電極間の距離を意味する。

【００６８】

第２電極１７０が電気的及び物理的に接続する後面電界部１５０は、基板１１０の後面全体に位置し、基板１１０と同じ導電型の不純物が基板１１０より高濃度でドーピングされた領域、例えば、ｎ＋領域で形成される。

【００６９】

後面電界部１５０は、基板１１０との不純物濃度差によって電位障壁（バリア）を形成することによって、基板１１０の後面側への正孔の移動を妨害する。したがって、基板１１０の表面近くで電子と正孔とが再結合して消滅することが減少する。

【００７０】

第２電極１７０が位置しない後面電界部１５０の後面には、第２反射防止膜１６０が位置し、第２反射防止膜１６０は、シリコン窒化膜（ＳｉＮｘ：Ｈ）から形成される。

【００７１】

このような構造を有する本実施形態に係る太陽電池は、両面受光型太陽電池として使用することができ、その動作は、次の通りである。

【００７２】

太陽電池に照射された光がエミッタ部１２０及び／又は後面電界部１５０を介して基板１１０に入射されると、基板１１０に入射された光エネルギーにより電子－正孔対が発生する。

【００７３】

このとき、基板１１０の前面及び後面が第１テクスチャリング表面１１１及び第２テクスチャリング表面１１３にそれぞれ形成されるので、基板１１０の前面及び後面での光反射度が減少し、第１及び第２テクスチャリング表面１１１、１１３で入射と反射動作が行なわれて、太陽電池の内部に光が閉じ込められるようになるので、光の吸収率が増加して太陽電池の効率が向上する。

【００７４】

これに加えて、第１反射防止膜１３０及び第２反射防止膜１６０により基板１１０に入射される光の反射損失が減って、基板１１０に入射される光の量は、さらに増加する。

【００７５】

これらの電子－正孔対は、基板１１０とエミッタ部１２０とのｐ－ｎ接合により互いに分離され、電子は、ｎ型の導電型を有する基板１１０側に移動し、正孔は、ｐ型の導電型を有するエミッタ部１２０側に移動する。

【００７６】

このように、基板１１０側に移動した電子は、後面電界部１５０を介して第２電極１７０へ移動し、エミッタ部１２０側に移動した正孔は、第１電極１４０へ移動する。

【００７７】

したがって、太陽電池の第１電極１４０と隣接した太陽電池の第２電極１７０をインターコネクターなどの導線で接続すれば、電流が流れるようになり、これを外部で電力として利用するようになる。

【００７８】

このような構成の太陽電池は、光透過性前面基板及び光透過性後面基板の間で保護膜により密封された状態で使用される。

【００７９】

以下、図３ないし図６を参照して、前述の構成の太陽電池を製造する方法について説明する。

Petitioner Runergy USA Inc., Ex. 1002, p. 282

【００８０】
まず、図３ないし図６に示すように、基板１１０の前面に均一な第１テクスチャリング表面１１１、エミッタ部１２０及び第１反射防止膜１３０を形成し、基板１１０の後面に第２テクスチャリング表面１１３、後面電界部１５０及び第２反射防止膜１６０を形成する。
【００８１】
図６に示すように、シリコンウエハからなる基板１１０は、シリコンブロック（ｂｌｏｃｋ）やインゴット（ｉｎｇｏｔ）をブレード（ｂｌａｄｅ）又はマルチワイヤーソー（ｍｕｌｔｉｗｉｒｅ　ｓａｗ）でスライス（ｓｌｉｃｅ）して製造される。
【００８２】
シリコンウエハが用意すれば、５価元素の不純物、例えばリン（Ｐ）をシリコンウエハにドーピングして、ｎ型の導電型を有する半導体基板を基板１１０を製造する。
【００８３】
一方、シリコンブロックやインゴットをスライスする時に、シリコンウエハには、機械的損傷層（ｍｅｃｈａｎｉｃａｌ　ｄａｍａｇｅ　ｌａｙｅｒ）が形成される。
【００８４】
したがって、機械的損傷層による太陽電池の特性低下を防止するために、機械的損傷層を除去するためのウェットエッチング工程を実施する。このとき、ウェットエッチング工程には、アルカリ（ａｌｋａｌｉｎｅ）又は酸（ａｃｉｄ）エッチング液（ｅｔｃｈａｎｔ）を使用する。
【００８５】
機械的損傷層を除去した後、ウェットエッチング工程又はプラズマを利用したドライエッチング工程を利用して、基板１１０の前面を第１テクスチャリング表面１１１から形成し、基板１１０の後面を第２テクスチャリング表面１１３から形成する。
【００８６】
第１テクスチャリング表面１１１及び第２テクスチャリング表面１１３を形成した後、基板１１０の前面及び後面に５価元素の不純物をドーピングして後面電界部１５０を形成する。
【００８７】
そして、シリコン窒化膜（ＳｉＮｘ：Ｈ）からなる第２反射防止膜１６０を基板１１０の後面に位置した後面電界部１５０の後面に形成する。
【００８８】
次に、第２反射防止膜１６０をマスクとして利用して基板１１０の前面をエッチバック（ｅｔｃｈ　ｂａｃｋ）することによって基板１１０の前面に形成された後面電界部１５０を除去し、基板１１０の前面に３価元素の不純物をドーピングしてエミッタ部１２０を形成する。
【００８９】
次に、自然酸化膜を除去するために基板をフッ酸（ＨＦ）でエッチングして、エミッタ部１２０上に第１反射防止膜１３０を形成する。
【００９０】
このとき、第１反射防止膜１３０は、酸化アルミニウム膜１３３とシリコン窒化膜１３１とを順次積層して形成できる。
【００９１】
酸化アルミニウム膜１３３は、反射防止機能の他にパッシベーション膜でも機能するものであって、プラズマ蒸着（ＰＥＣＶＤ）又はスパッタリング（ｓｐｕｔｔｅｒｉｎｇ）などの方法により形成できる。
【００９２】
一方、酸化アルミニウム膜１３３の代りにシリコン酸化膜（ＳｉＯｘ）を形成することも可能である。
【００９３】

シリコン窒化膜１３１は、酸化アルミニウム膜１３３と同様にプラズマ蒸着又はスパッタリングなどの方法により形成できる。

【００９４】

その後、ウェットエッチング又はレーザーを利用したドライエッチングを実施して、一部領域の第１反射防止膜１３０を除去して複数の第１コンタクトラインＣＬ１を形成する。

【００９５】

第１コンタクトラインＣＬ１を形成した後、銀（Ａｇ）とガラスフリット（ｇｌａｓｓ ｆｒｉｔ）とが混合された導電ペーストを電極パターンに印刷した後、乾燥及び焼成を実施する。

【００９６】

焼成を実施すると、ガラスフリットに含まれた鉛（Ｐｂ）成分によりパンチスルー（Ｐｕｎｃｈ－ｔｈｒｏｕｇｈ）作用が発生するので、後面電界部１５０と電気的及び物理的に接続した第２電極１７０が形成される。

【００９７】

第２電極１７０を形成した後には、メッキ工程を利用して第１電極１４０を形成する。以下、第１電極１４０の形成方法について説明すれば以下のとおりである。

【００９８】

第１反射防止膜１３０の全体表面及び第１コンタクトラインＣＬ１を介して露出したエミッタ部１２０上に金属シード層１４１を形成する。金属シード層１４１は、真空方法、例えばスパッタリング法又は電子ビーム蒸着法を実施して５０ｎｍないし２００ｎｍの厚さでニッケルを蒸着した後、窒素雰囲気で３００℃～６００℃の温度で熱処理を実施することによって形成できる。

【００９９】

また、ニッケル無電解メッキ工程を利用して５０ｎｍないし２００ｎｍの厚さでニッケルを蒸着した後、窒素雰囲気で３００℃～６００℃の温度で熱処理を実施することによって、金属シード層１４１を形成できる。

【０１００】

このような工程によればニッケルシリサイド（Ni_2Si、ＮｉＳｉ、$NiSi_2$）からなる金属シード層１４１が形成される。

【０１０１】

次に、金属シード層１４１の一部領域に拡散防止層１４２及び導電層１４３を形成するために、金属シード層１４１上にパリヤ膜を形成し、電解メッキを実施して略５μｍないし１５μｍの厚さを有するニッケル拡散防止層１４２、略１０μｍないし３０μｍの厚さを有する銅層１４３ａ及び略５μｍないし１５μｍの厚さを有する錫層１４３ｂを金属シード層１４１上に順次形成する。

【０１０２】

その後、パリヤ膜を除去した後、錫層１４３ｂをマスクとして利用したエッチング工程を実施して金属シード層１４１の露出領域を除去することによって、第１電極１４０を形成する。

【０１０３】

以下、図７ないし図９を参照して本発明の他の実施形態を説明する。

【０１０４】

図７は、本発明の他の実施形態に係る太陽電池の概略的な断面図で、図８及び図９は、図７に示す太陽電池の製造方法を示す工程フローチャートである。

【０１０５】

本実施形態の太陽電池は、基板前面の構造が前述した実施形態と同一なので、以下では、基板後面の構造についてのみ説明する。

【０１０６】

基板１１０の後面には、後面電界部１５０、第２反射防止膜１６０及び第２電極１７０

が位置する。

【０１０７】

このとき、第２電極１７０は、第１電極１４０と同様にメッキ工程により形成される。

【０１０８】

第２電極１７０を形成するために、第２反射防止膜１６０は、後面電界部１５０の一部を露出する複数の第２コンタクトラインＣＬ２を含む。

【０１０９】

線抵抗を確保するために、第２コンタクトラインＣＬ２は、第１コンタクトラインＣＬ１の幅Ｗ１より大きい幅Ｗ２、例えば略４０μｍないし１００μｍの幅Ｗ２で形成され、後面電界部１５０の全体平面積の略５％ないし１５％の平面積で形成される。そして、第２電極１７０間のピッチは、第１電極１４０間のピッチより狭く形成される。

【０１１０】

具体的に示していないが、メッキ工程で形成される第２電極１７０は、前述した実施形態の第１電極１４０と同様に、第２コンタクトラインＣＬ２を介して露出した後面電界部１５０に順次積層された金属シード層、拡散防止層、銅層及び錫層のうち、少なくとも一つを含むことができる。

【０１１１】

このような構成の太陽電池は、次に説明する方法によって製造できる。

【０１１２】

本実施形態の太陽電池を製造する方法において、基板の両側表面に第１テクスチャリング表面及び第２テクスチャリング表面をそれぞれ形成するステップと、基板前面の第１テクスチャリング表面には、エミッタ部を形成し、基板後面の第２テクスチャリング表面には、後面電界部を形成するステップと、エミッタ部の前面には、第１反射防止膜を形成し、後面電界部の後面には、第２反射防止膜を形成するステップまでは、前述した実施形態の図６と同一である。したがって、以下では、その次のステップから説明する。

【０１１３】

テクスチャリング表面１１１、１１３を有する基板１１０にエミッタ部１２０、第１反射防止膜１３０、後面電界部１５０及び第２反射防止膜１６０を形成した後、第１反射防止膜１３０には、複数の第１コンタクトラインＣＬ１を形成し、第２反射防止膜１６０には、複数の第２コンタクトラインＣＬ２を形成する。

【０１１４】

このとき、第１コンタクトラインＣＬ１及び第２コンタクトラインＣＬ２は、ウェットエッチング又はレーザーを利用したドライエッチングを実施して、一部領域の第１反射防止膜１３０及び第２反射防止膜１６０をそれぞれ除去することによって形成できる。

【０１１５】

レーザーを利用したドライエッチングにより第１コンタクトラインＣＬ１及び第２コンタクトラインＣＬ２を形成する場合に、レーザーにより損傷したエミッタ部１２０の損傷部１２１及び後面電界部１５０の損傷部１５１を除去するために、フッ酸（ＨＦ）溶液で一回のエッチングをさらに実施できる。

【０１１６】

第１コンタクトラインＣＬ１及び第２コンタクトラインＣＬ２を形成した後、メッキ工程を利用して第１電極１４０及び第２電極１７０を形成する。以下、電極形成方法について説明すれば、以下のとおりである。

【０１１７】

第１反射防止膜１３０の全体表面及び第１コンタクトラインＣＬ１を介して露出したエミッタ部１２０と、第２反射防止膜１６０の全体表面及び第２コンタクトラインＣＬ２を介して露出した後面電界部１５０とに金属シード層１４１を形成する。

【０１１８】

金属シード層１４１は、真空方法、例えばスパッタリング法又は電子ビーム蒸着法を実施して５０ｎｍないし２００ｎｍの厚さでニッケルを蒸着した後、窒素雰囲気で３００℃

～６００℃の温度で熱処理を実施することによって形成できる。

【０１１９】

また、ニッケル無電解メッキ工程を利用して金属シード層１４１を形成できる。

【０１２０】

このような工程によれば、ニッケルシリサイド（Ni_2Si、NiSi、$NiSi_2$）からなる金属シード層１４１が形成される。

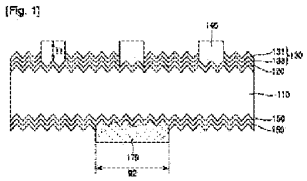
【０１２１】

次に、金属シード層１４１の一部領域に拡散防止層１４２及び導電層１４３を形成するために、金属シード層１４１上にパリヤ膜を形成し、電解メッキを実施して概略５μｍないし１５μｍの厚さを有するニッケル拡散防止層１４２、略１０μｍないし３０μｍの厚さを有する銅層１４３ａ及び略５μｍないし１５μｍの厚さを有する錫層１４３ｂを金属シード層１４１上に順次形成する。

【０１２２】

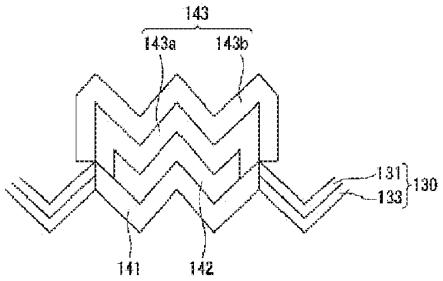
その後、パリヤ膜を除去した後、錫層１４３ｂをマスクとして利用したエッチング工程を実施して金属シード層１４１の露出領域を除去することによって、第１電極１４０及び第２電極１７０を形成する。

【図１】

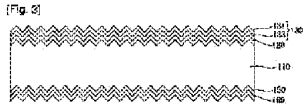


【図２】

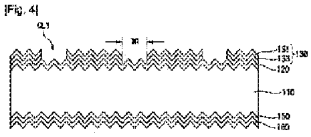
[Fig. 2]



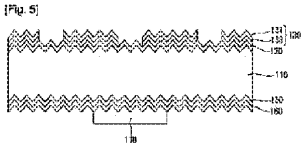
【図３】



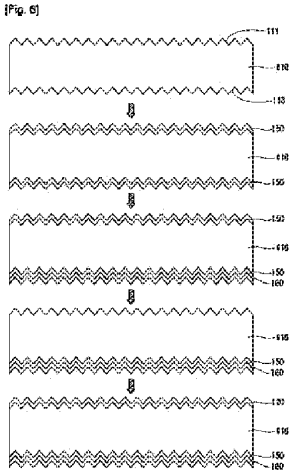
【図４】



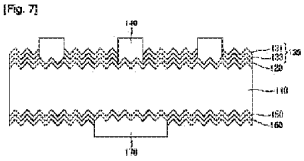
【図５】



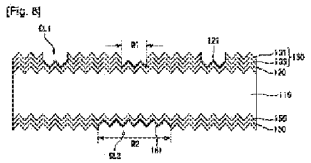
【図６】



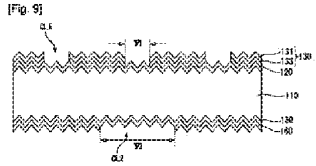
【図７】



【図８】



【図９】



【手続補正書】
【提出日】平成24年10月26日(2012.10.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
基板の第１表面には、エミッタ部及び第１反射防止膜を形成し、前記基板の第２表面には、後面電界部及び第２反射防止膜を形成するステップと、
レーザーを利用したドライエッチング工程を使用して、前記第１反射防止膜には、複数の第１コンタクトラインを形成し、前記第２反射防止膜の後面には、複数の第２コンタクトラインを形成するステップと、
前記複数の第１コンタクトラインを介して露出したエミッタ部に第１電極を形成し、前記複数の第２コンタクトラインを介して露出した後面電界部に第２電極を形成して、前記第１電極及び前記第２電極を同時に形成するステップとを含み、
前記第１電極及び第２電極を互いに異なる物質から形成する、両面受光型太陽電池の製造方法。
【請求項２】
前記エミッタ部及び前記後面電界部を形成する前に、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように前記基板の第１表面及び第２表面をそれぞれテクスチャリングするステップをさらに含む、請求項１に記載の両面受光型太陽電池の製造方法。
【請求項３】

前記エミッタ部、前記第１反射防止膜、前記後面電界部及び前記第２反射防止膜を形成するステップは、
前記基板の前記第１表面及び前記第２表面にそれぞれ前記後面電界部を形成するステップと、
前記基板の前記第２表面に位置した前記後面電界部の後面に第２反射防止膜を形成するステップと、
前記基板の前記第１表面に位置した前記後面電界部を除去するステップと、
前記基板の前記第１表面に前記エミッタ部を形成するステップと、
前記エミッタ部の上面に前記第１反射防止膜を形成するステップとを含む、請求項１に記載の両面受光型太陽電池の製造方法。
【請求項４】
前記基板の前記第１表面に位置した前記後面電界部を除去するステップにおいて、前記第２反射防止膜をマスクとして利用したエッチバック工程を使用する、請求項３に記載の両面受光型太陽電池の製造方法。
【請求項５】
前記第１反射防止膜を形成するステップは、アルミニウム酸化膜及びシリコン窒化膜を順次積層することを含む、請求項３に記載の両面受光型太陽電池の製造方法。
【請求項６】
前記複数の第１コンタクトライン及び前記複数の第２コンタクトラインを形成するステップは、前記レーザーにより発生したエミッタ部の損傷層をウェットエッチング工程で除去するステップをさらに含む、請求項１に記載の両面受光型太陽電池の製造方法。
【請求項７】
前記エミッタ部及び前記後面電界部を形成する前に、第１テクスチャリング表面及び第２テクスチャリング表面を形成するように前記基板の前記第１表面及び前記第２表面をそれぞれテクスチャリングするステップをさらに含む、請求項６に記載の太陽電池の製造方法。
【請求項８】
前記エミッタ部、前記第１反射防止膜、前記後面電界部及び前記第２反射防止膜を形成するステップは、
前記基板の前記第１表面及び前記第２表面にそれぞれ後面電界部を形成するステップと、
前記基板の前記第２表面に位置した前記後面電界部の後面に前記第２反射防止膜を形成するステップと、
前記基板の前記第１表面に位置した前記後面電界部を除去するステップと、
前記基板の前記第１表面に前記エミッタ部を形成するステップと、
前記エミッタ部の上面に前記第１反射防止膜を形成するステップとを含む、請求項６に記載の両面受光型太陽電池の製造方法。
【請求項９】
前記基板の前記第１表面に位置した前記後面電界部を除去するステップにおいて、前記第２反射防止膜をマスクとして利用したエッチバック工程を使用する、請求項８に記載の両面受光型太陽電池の製造方法。
【請求項１０】
前記第１反射防止膜を形成するステップは、アルミニウム酸化膜及びシリコン窒化膜を順次積層することを含む、請求項８に記載の両面受光型太陽電池の製造方法。
【請求項１１】
前記第１電極及び第２電極を同時に形成するステップは、前記エミッタ部及び前記後面電界部と直接接触する金属シード層を形成するステップ、及び前記金属シード層上に少なくとも一つの導電層を形成するステップを含む、請求項１に記載の太陽電池の製造方法。
【請求項１２】
前記エミッタ部及び前記後面電界部を形成する前に、第１テクスチャリング表面及び第

２テクスチャリング表面を形成するように前記基板の前記第１表面及び前記第２表面をそれぞれテクスチャリングするステップをさらに含む、請求項１１に記載の両面受光型太陽電池の製造方法。

【請求項１３】

前記エミッタ部、前記第１反射防止膜、前記後面電界部及び前記第２反射防止膜を形成するステップは、

前記基板の前記第１表面及び前記第２表面にそれぞれ後面電界部を形成するステップと、

前記基板の前記第２表面に位置した前記後面電界部の後面に前記第２反射防止膜を形成するステップと、

前記基板の前記第１表面に位置した前記後面電界部を除去するステップと、

前記基板の前記第１表面に前記エミッタ部を形成するステップと、

前記エミッタ部の上面に前記第１反射防止膜を形成するステップとを含む、請求項１１に記載の両面受光型太陽電池の製造方法。

【請求項１４】

前記基板の前記第１表面に位置した前記後面電界部を除去するステップにおいて、前記第２反射防止膜をマスクとして利用したエッチバック工程を使用する、請求項１３に記載の両面受光型太陽電池の製造方法。

【請求項１５】

前記第１反射防止膜を形成するステップは、アルミニウム酸化膜及びシリコン窒化膜を順次積層することを含む、請求項１３に記載の両面受光型太陽電池の製造方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2010/007460

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/042(2006.01)i, H01L 31/0224(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L 31/042; H01L 31/04; H01L 21/288

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: emitter, bilateral, plating

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2009-0118056 A (GEBR. SCHMID GMBH & CO.) 17 November 2009 See paragraphs [0002],[0005],[0019]-[0026] and figures 1-3.	1-29
A	JP 2009-534813 A (WUXI SUNTECH POWER CO., LTD.) 24 September 2009 See abstract and figure 3.	1-29
A	KR 10-2010-0066817 A (SSCP CO., LTD.) 18 June 2010 See abstract and claim 1.	1-29

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 OCTOBER 2011 (24.10.2011)	**24 OCTOBER 2011 (24.10.2011)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer
KIM Min Soo
Telephone No. 82-42-481-8249

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2010/007460

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 10-2009-0118056 A	17.11.2009	AU 2008-224148 A1	12.09.2008
		CA 2679857 A1	12.09.2008
		CN 101681952 A	24.03.2010
		EP 2135300 A2	23.12.2009
		JP 2010-520629 A	10.06.2010
		TW 200901492 A	01.01.2009
		US 2010-0012185 A1	21.01.2010
		WO 2008-107094 A3	12.09.2008
JP 2009-534813 A	24.09.2009	AU 2006-342590 A1	01.11.2007
		AU 2006-342590 B2	02.06.2011
		EP 2020687 A1	04.02.2009
		KR 10-1012714 B1	09.02.2011
		US 2011-0045631 A1	24.02.2011
		WO 2007-121619 A1	01.11.2007
KR 10-2010-0066817 A	18.06.2010	US 2011-0240119 A1	06.10.2011
		WO 2010-068050 A3	17.06.2010

Form PCT/ISA/210 (patent family annex) (July 2009)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 シム ゴーワン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 パク チャンソ
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 ユン ピルウォン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 ジン ヨンシル
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 キム ジンスン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チェ ヨンホ
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チャン ジェウォン
大韓民国, ソウル １３７－７２４, ソチョーク, ウーミョンードン, １６, エルジー エレクトロニクス インコーポレイティド アイピー グループ

Ｆターム(参考) 4M104 AA01 BB02 BB04 BB05 BB08 BB09 BB14 BB21 BB36 CC01
DD08 DD09 DD15 DD16 DD17 DD22 DD35 DD37 DD51 DD52
DD53 DD78 DD84 EE12 EE14 EE16 EE17 GG04
5F151 AA02 AA03 AA16 CB22 CB24 CB27 DA03 FA06 FA10 FA14
FA15 FA18 FA24 GA04 GA15 HA03 HA06

Espacenet

Bibliographic data: JP2016103642 (A) — 2016-06-02

SOLAR BATTERY AND METHOD FOR MANUFACTURING THE SAME

Inventor(s): HA JUNGMIN; KIM SUN-JIN; CHEONG JUHWA; AHN JUNYONG; CHOI HYUNGWOOK; CHANG WONJAE; KIM JAESUNG ± (ハ ジュンミン,; キム スンジン,; チョン ジュファ,; アン チョンヨン,; チェ ヒョンウク,; チャン ウォンジェ,; キム ジェスン)

Applicant(s): LG ELECTRONICS INC ± (エルジー エレクトロニクス インコーポレイティド)

Classification: - international: ***H01L31/0216; H01L31/0224; H01L31/068***
- cooperative: **H01L31/0201**; **H01L31/02167**; **H01L31/02168**; **H01L31/022425**; **H01L31/022433**; **H01L31/03685**; **H01L31/0747**; **H01L31/077**; **H01L31/1824**; **H01L31/1864**; **H01L31/1868**; Y02E10/50

Application number: JP20150231421 20151127 Global Dossier

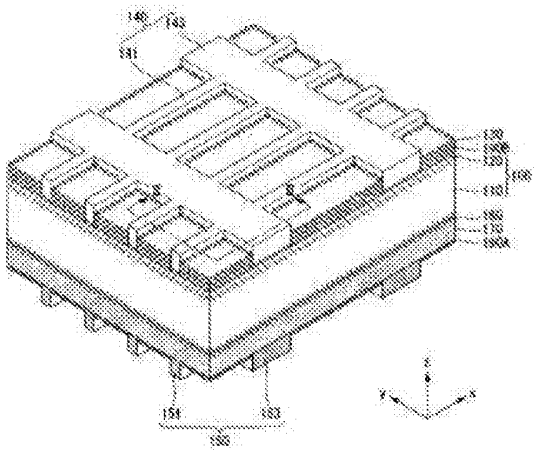
Priority number(s): KR20140168624 20141128 ; KR20150122846 20150831

Also published as: CN105655427 (A) CN105655427 (B) EP3026713 (A1) JP2017208569 (A) JP6219913 (B2) more

Abstract of JP2016103642 (A)

PROBLEM TO BE SOLVED: To provide a solar battery and a method for manufacturing the solar battery.SOLUTION: A solar battery includes: a semiconductor substrate; a tunnel layer positioned on a first surface of the semiconductor substrate; a first conductive type semiconductor part positioned on the tunnel layer, which contains impurities of first conductive type; a second conductive type semiconductor part positioned on a second surface as the opposite surface of the semiconductor substrate, which contains impurities of second conductive type opposite from the first conductive type; a first passivation film positioned on the first conductive type semiconductor part; a first electrode formed on the first

FIG. 1



Petitioner Runergy USA Inc., Ex. 1002, p. 293

passivation film, and connected via an opening formed in the first passivation film to the first conductive type semiconductor part; a second passivation film positioned on the second conductive type semiconductor part; and a second electrode formed on the second passivation film, and connected via an opening formed in the second passivation film to the second conductive type semiconductor part.SELECTED DRAWING: Figure 1

Petitioner Runergy USA Inc., Ex. 1002, p. 294

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2016-103642
(P2016-103642A)
(43)公開日　平成28年6月2日(2016.6.2)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/0216	(2014.01)	H01L	31/04	240	5F151
H01L 31/068	(2012.01)	H01L	31/06	300	
H01L 31/0224	(2006.01)	H01L	31/04	260	
		H01L	31/04	262	

審査請求 有　請求項の数 38　OL　（全 47 頁）

(21)出願番号　特願2015-231421(P2015-231421)
(22)出願日　平成27年11月27日(2015.11.27)
(31)優先権主張番号　10-2014-0168624
(32)優先日　平成26年11月28日(2014.11.28)
(33)優先権主張国　韓国(KR)
(31)優先権主張番号　10-2015-0122846
(32)優先日　平成27年8月31日(2015.8.31)
(33)優先権主張国　韓国(KR)

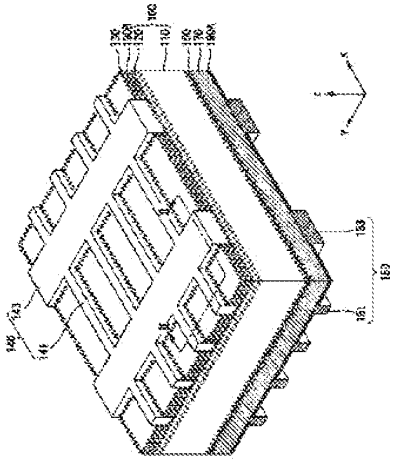
(71)出願人　502032105
エルジー　エレクトロニクス　インコーポレイティド
大韓民国ソウル、ヨンドゥンポーク，ヨイーデロ、１２８
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100092624
弁理士　鶴田　準一
(74)代理人　100114018
弁理士　南山　知広
(74)代理人　100165191
弁理士　河合　章
(74)代理人　100151459
弁理士　中村　健一

最終頁に続く

(54)【発明の名称】太陽電池及びその製造方法

(57)【要約】
【課題】本発明は、太陽電池及びその製造方法に関するものである。
【解決手段】本発明の一例に従う太陽電池は、半導体基板と、半導体基板の第１面の上に位置するトンネル層と、トンネル層の上に位置し、第１導電型の不純物を含有する第１導電型半導体部と、半導体基板の反対面である第２面に位置し、第１導電型と反対である第２導電型の不純物を含有する第２導電型半導体部と、第１導電型半導体部の上に位置する第１パッシベーション膜と、第１パッシベーション膜の上に形成され、前記第１パッシベーション膜に形成された開口部を通じて第１導電型半導体部に接続される第１電極と、第２導電型半導体部の上に位置する第２パッシベーション膜と、第２パッシベーション膜の上に形成され、第２パッシベーション膜に形成された開口部を通じて第２導電型半導体部に接続される第２電極と、を含む。
【選択図】図１

図1



【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板の第１面の上のトンネル層と、
前記トンネル層の上の、第１導電型の不純物を含有する第１導電型半導体部と、
前記半導体基板の前記第１面と反対面である第２面の上の、前記第１導電型と反対である第２導電型の不純物を含有する第２導電型半導体部と、
前記第１導電型半導体部の上の第１パッシベーション膜と、
前記第１パッシベーション膜の上に形成され、前記第１パッシベーション膜に形成された開口部を通じて前記第１導電型半導体部に接続される第１電極と、
前記第２導電型半導体部の上の第２パッシベーション膜と、
前記第２パッシベーション膜の上に形成され、前記第２パッシベーション膜に形成された開口部を通じて前記第２導電型半導体部に接続される第２電極と、を含む、太陽電池。
【請求項２】
前記第１電極は互いに離れて第１方向に並行に延びた複数の第１フィンガー電極を含み、
前記第２電極は互いに離れて第１方向に並行に延びた複数の第２フィンガー電極を含む、請求項１に記載の太陽電池。
【請求項３】
前記第１電極は前記複数の第１フィンガー電極を接続する第１バスバーをさらに含み、
前記第２電極は前記複数の第２フィンガー電極を接続する第２バスバーをさらに含む、請求項２に記載の太陽電池。
【請求項４】
前記第１導電型半導体部は多結晶シリコン材質を含み、前記第２導電型半導体部は単結晶シリコン材質を含む、請求項１に記載の太陽電池。
【請求項５】
前記第１導電型半導体部と前記第２導電型半導体部との間の接触を防止するアイソレーション部をさらに含み、
前記アイソレーション部は、前記半導体基板の第１面、側面、または第２面のうち、少なくとも１つに形成される、請求項１に記載の太陽電池。
【請求項６】
前記アイソレーション部は前記トンネル層及び前記第１導電型半導体部を除外し、前記半導体基板の一面のうちの縁部分にあり、
前記第１パッシベーション膜は前記半導体基板の第１面と前記アイソレーション部をともに覆う、請求項５に記載の太陽電池。
【請求項７】
前記アイソレーション部の幅が１ｎｍ乃至１ｍｍである、請求項６に記載の太陽電池。
【請求項８】
前記第１導電型半導体部の縁領域の厚さは前記アイソレーション部に近づくほど徐々に減少する、請求項６に記載の太陽電池。
【請求項９】
前記第１パッシベーション膜は前記半導体基板の側面まで延びる側面部を含む、請求項１に記載の太陽電池。
【請求項１０】
前記第２パッシベーション膜は前記半導体基板の側面の上に形成される側面部を含み、
前記半導体基板の側面の上の前記第１パッシベーション膜の側面部が前記第２パッシベーション膜の側面部の上にある、請求項９に記載の太陽電池。
【請求項１１】
前記第１導電型半導体部と前記第１電極とが互いに接触する第１境界面と、前記第１導電型半導体部と前記第１パッシベーション膜とが互いに接触する第２境界面とを更に含み

、
前記第１境界面は前記第２境界面より前記半導体基板により近い、請求項１に記載の太陽電池。
【請求項１２】
前記第１電極から抽出された複数の金属結晶を更に含み、
前記複数の金属結晶は、前記第１導電型半導体部に属する、前記第１電極が形成される電極形成領域にある、請求項１に記載の太陽電池。
【請求項１３】
前記複数の金属結晶は、前記第１導電型半導体部に属する、前記第１電極が形成されない非形成領域にはない、請求項１２に記載の太陽電池。
【請求項１４】
前記複数の金属結晶は前記トンネル層の内にはない、請求項１２に記載の太陽電池。
【請求項１５】
前記複数の金属結晶は前記第１電極と直接接触するか、または前記第１電極と離隔する、請求項１２に記載の太陽電池。
【請求項１６】
前記複数の第１フィンガー電極及び前記第１バスバーの全ては、前記第１パッシベーション膜を貫通して前記第１導電型半導体部に接続される、請求項３に記載の太陽電池。
【請求項１７】
前記複数の第１フィンガー電極及び前記第１バスバーの全ては、単層（single layer）または二層（double layer）構造を有する、請求項１６に記載の太陽電池。
【請求項１８】
前記複数の第１フィンガー電極は単層（single layer）構造を有し、前記第１バスバーは二層（double layer）構造を有する、請求項１６に記載の太陽電池。
【請求項１９】
前記第１導電型半導体部に属し、前記複数の第１フィンガー電極が形成された領域内及び前記第１導電型半導体部に属し、前記第１バスバーが形成された領域内の複数の金属結晶を更に含む、請求項１６に記載の太陽電池。
【請求項２０】
前記複数の第１フィンガー電極は、前記第１パッシベーション膜を貫通して前記第１導電型半導体部に接続され、
前記第１バスバーは、前記第１パッシベーション膜を貫通しないように、前記第１パッシベーション膜の後面の上に形成される、請求項３に記載の太陽電池。
【請求項２１】
複数の金属結晶を更に含み、
前記複数の金属結晶は、前記第１導電型半導体部に属する、前記第１フィンガー電極が形成される領域内にあり、
前記複数の金属結晶は、前記第１導電型半導体部に属する、前記第１バスバーが形成される領域内にはない、請求項２０に記載の太陽電池。
【請求項２２】
前記複数の第１フィンガー電極と前記第１バスバーとは異なる組成を有する、請求項２０に記載の太陽電池。
【請求項２３】
前記複数の第１フィンガー電極に含まれる単位体積当たりガラスフリットの含有量は、前記第１バスバーに含まれる単位体積当たりガラスフリットの含有量より多い、請求項２０に記載の太陽電池。
【請求項２４】
前記複数の第１フィンガー電極に含まれる単位体積当たりガラスフリットの含有量は、前記第１バスバーに含まれる単位体積当たりガラスフリットの含有量と同一である、請求項２０に記載の太陽電池。

Petitioner Runergy USA Inc., Ex. 1002, p. 297

【請求項２５】
前記複数の第１フィンガー電極に含まれる単位体積当たり金属物質の含有量は、前記第１バスバーに含まれる単位体積当たり金属物質の含有量より多い、請求項２０に記載の太陽電池。
【請求項２６】
半導体基板の一面の上にトンネル層を形成するトンネル層形成工程と、
前記半導体基板の一面の上に形成された前記トンネル層の上に真性半導体層を形成する真性半導体層形成工程と、
前記半導体基板の一面の上に形成された前記真性半導体層に第１導電型の不純物をドーピングして第１導電型半導体部を形成する第１導電型半導体部形成工程と、
前記半導体基板の反対面に第２導電型の不純物をドーピングして第２導電型半導体部を形成する第２導電型半導体部形成工程と、
前記第１導電型半導体部の上に第１パッシベーション膜を形成する第１パッシベーション膜形成工程と、
前記第１導電型半導体部に接続される第１電極及び前記第２導電型半導体部に接続される第２電極を形成する電極形成工程と、を含む、太陽電池の製造方法。
【請求項２７】
前記第１パッシベーション膜形成工程の後、前記第１パッシベーション膜に開口部を形成する工程をさらに含む、請求項２６に記載の太陽電池の製造方法。
【請求項２８】
前記第１パッシベーション膜に開口部を形成する工程は、前記電極形成工程の熱処理により遂行される、請求項２７に記載の太陽電池の製造方法。
【請求項２９】
前記電極形成工程は前記第１電極を形成する第１電極形成工程を含み、
前記第１電極形成工程は、第１フィンガー電極を形成するための第１フィンガー電極用ペーストと第１バスバーを形成するための第１バスバー用ペーストを前記第１パッシベーション膜の上に印刷すること、及び前記ペーストを熱処理することを含む、請求項２８に記載の太陽電池の製造方法。
【請求項３０】
前記第１電極形成工程において、熱処理最高温度は７９５℃乃至８７０℃である、請求項２９に記載の太陽電池の製造方法。
【請求項３１】
前記第１電極形成工程において、前記第１フィンガー電極用ペースト及び前記第１バスバー用ペーストを１回の工程により印刷する、請求項２９に記載の太陽電池の製造方法。
【請求項３２】
前記第１フィンガー電極用ペーストに含まれる材質と前記第１バスバー用ペーストに含まれる材質とは同一である、請求項３１に記載の太陽電池の製造方法。
【請求項３３】
前記第１電極形成工程において、前記第１フィンガー電極用ペーストと前記第１バスバー用ペーストを別の印刷工程により遂行する、請求項２９に記載の太陽電池の製造方法。
【請求項３４】
前記第１フィンガー電極用ペーストに含まれる材質と前記第１バスバー用ペーストに含まれる材質とは異なる、請求項３３に記載の太陽電池の製造方法。
【請求項３５】
前記トンネル層形成工程は、前記半導体基板の一面及び反対面の上に前記トンネル層を形成することをさらに含み、
前記真性半導体層形成工程は、前記半導体基板の一面及び反対面の上に形成された前記トンネル層の上に前記真性半導体層を形成することをさらに含み、
前記第１導電型半導体部形成工程の後で、前記第２導電型半導体部形成工程の前に、少なくとも前記半導体基板の反対面に位置した前記トンネル層及び前記真性半導体層または

前記第１導電型半導体部を除去する除去工程をさらに含む、請求項２６に記載の太陽電池の製造方法。
【請求項３６】
前記除去工程は、前記半導体基板の一側に位置した前記トンネル層及び前記第１導電型半導体部の縁部分を除去してアイソレーション部を形成することを含み、
前記第１パッシベーション膜は前記アイソレーション部とともに前記半導体基板の一面の上を覆う、請求項３５に記載の太陽電池の製造方法。
【請求項３７】
前記除去工程は、
前記半導体基板の他側で前記第１導電型半導体部の上に前記半導体基板より小さい領域を有するマスク層を形成する工程と、
前記マスク層が形成されない部分に位置した前記第１導電型半導体部及び前記トンネル層をエッチングする工程と、
前記マスク層を除去する工程と、をさらに含む、請求項３６に記載の太陽電池の製造方法。
【請求項３８】
前記第２導電型半導体部を形成する工程と前記第１パッシベーション膜を形成する工程との間に、前記第２導電型半導体部を覆う第２パッシベーション膜を形成する工程をさらに含み、
前記第２パッシベーション膜は前記半導体基板の側面の上に位置し、前記第１パッシベーション膜は前記第２パッシベーション膜の上に位置する、請求項２６に記載の太陽電池の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、太陽電池及びその製造方法に関するものである。
【背景技術】
【０００２】
最近、石油や石炭などの既存エネルギー資源の枯渇が予測されるにつれて、これらに代える代替エネルギーに対する関心が高まっている。その中でも太陽電池は太陽エネルギーから電気エネルギーを生産する電池であって、太陽電池は豊富なエネルギー資源を利用し、かつ環境汚染に対する問題点がないので注目を受けている。
【０００３】
一般的な太陽電池はｐ型とｎ型のように互いに異なる導電型（conductive type）の半導体からなる基板（substrate）及び第２導電型半導体部（emitter layer）、そして基板と第２導電型半導体部に各々接続された電極を備える。この際、基板と第２導電型半導体部の界面にはｐ－ｎ接合が形成されている。
【０００４】
このような太陽電池に光が入射されれば、半導体で複数の電子－正孔対が生成され、生成された電子－正孔対は電子と正孔とに各々分離されて電子と正孔はｎ型の半導体とｐ型半導体側に、例えば第２導電型半導体部と基板側に移動し、基板と第２導電型半導体部と電気的に接続された電極により収集され、この電極を電線により接続して電力を得る。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明は、効率が向上した太陽電池及びその製造方法を提供することをその目的とする。
【課題を解決するための手段】
【０００６】
本発明の一例に従う太陽電池は、半導体基板と、半導体基板の第１面の上のトンネル層

Petitioner Runergy USA Inc., Ex. 1002, p. 299

と、トンネル層の上で、第１導電型の不純物を含有する第１導電型半導体部と、半導体基板の反対面である第２面の上で、第１導電型と反対導電型である第２導電型の不純物を含有する第２導電型半導体部と、第１導電型半導体部の上の第１パッシベーション膜と、第１パッシベーション膜の上に形成され、前記第１パッシベーション膜に形成された開口部を通じて第１導電型半導体部に接続される第１電極と、第２導電型半導体部の上の第２パッシベーション膜と、第２パッシベーション膜の上に形成され、第２パッシベーション膜に形成された開口部を通じて第２導電型半導体部に接続される第２電極とを含む。

【０００７】

ここで、第１電極は互いに離れて第１方向に並行に延びた複数の第１フィンガー電極を含み、第２電極は互いに離れて第１方向に並行に延びた複数の第２フィンガー電極を含むことができる。

【０００８】

併せて、前記第１電極は第１フィンガー電極を接続する第１バスバーをさらに含み、第２電極は第２フィンガー電極を接続する第２バスバーをさらに含むことができる。

【０００９】

ここで、第１導電型半導体部は多結晶シリコン材質を含み、第２導電型半導体部は単結晶シリコン材質を含む。

【００１０】

併せて、第１導電型半導体部と第２導電型半導体部との間の接触を防止するアイソレーション部をさらに含み、アイソレーション部は、半導体基板の第１面、側面、または第２面のうち、すくなくともいずれか１つに形成される。

【００１１】

一例として、アイソレーション部はトンネル層及び第１導電型半導体部を除外し、半導体基板の一面のうちの縁部分にあり、第１パッシベーション膜は半導体基板の第１面とアイソレーション部をともに覆うことができる。

【００１２】

ここで、アイソレーション部の幅が１ｎｍ乃至１ｍｍであるか、または第１導電型半導体部の縁領域の厚さはアイソレーション部に近づくほど徐々に減少することができる。

【００１３】

また、第１パッシベーション膜は半導体基板の側面まで延びる側面部を含むことができる。

【００１４】

併せて、第２パッシベーション膜は半導体基板の側面の上に形成される側面部を含み、半導体基板の側面の上の第１パッシベーション膜の側面部が第２パッシベーション膜の側面部の上にありえる。

【００１５】

併せて、第１導電型半導体部と第１電極とが互いに接触する第１境界面と、第１導電型半導体部と第１パッシベーション膜とが互いに接触する第２境界面とを更に含み、第１境界面は第２境界面より半導体基板により近いことがありえる。

【００１６】

ここで、第１電極から抽出された複数の金属結晶をさらに含み、複数の金属結晶は第１導電型半導体部に属する、第１電極が形成される電極形成領域にある。即ち、複数の金属結晶は第１導電型半導体部に属する、第１電極が形成されない非形成領域にはない。また、金属結晶はトンネル層の内には位置しないことがある。

【００１７】

このような複数の金属結晶は第１電極と直接接触するか、または第１電極と離隔できる。

【００１８】

ここで、複数の第１フィンガー電極及び第１バスバーの全ては第１パッシベーション膜を貫通して前記第１導電型半導体部に接続できる。

Petitioner Runergy USA Inc., Ex. 1002, p. 300

【００１９】
この際、複数の第１フィンガー電極及び前記第１バスバーの全ては単層（single layer）または二層（double layer）構造を有する。または、複数の第１フィンガー電極は単層（single layer）構造を有し、第１バスバーは二層（double layer）構造を有する。
【００２０】
ここで、第１導電型半導体部のうち、複数の第１フィンガー電極及び第１バスバーが形成された領域内には複数の金属結晶が含まれる。
【００２１】
しかしながら、これとは異なり、複数の第１フィンガー電極は第１パッシベーション膜を貫通して第１導電型半導体部に接続されるか、または複数の第１バスバーは第１パッシベーション膜を貫通せず、第１パッシベーション膜の後面の上に形成できる。
【００２２】
ここで、第１導電型半導体部のうち、第１フィンガー電極が形成される領域には複数の金属結晶が位置し、第１導電型半導体部のうち、第１バスバーが形成される領域には複数の金属結晶が位置しないことがある。
【００２３】
ここで、複数の第１フィンガー電極と第１バスバーとは異なる組成を有することができる。一例として、複数の第１フィンガー電極に含まれる単位体積当たりガラスフリットの含有量は第１バスバーに含まれる単位体積当たりガラスフリットの含有量より多いことがある。
【００２４】
併せて、複数の第１フィンガー電極に含まれる単位体積当たりガラスフリットの含有量は第１バスバーに含まれる単位体積当たりガラスフリットの含有量と同一でありうる。
【００２５】
また、複数の第１フィンガー電極に含まれる単位体積当たり金属物質の含有量は複数の第１バスバーに含まれる単位体積当たり金属物質の含有量より多いことがある。
【００２６】
また、本発明の一例に従う太陽電池製造方法は、半導体基板の一面の上にトンネル層を形成するトンネル層形成工程と、半導体基板の一面の上に形成されたトンネル層の上に真性半導体層を形成する真性半導体層形成工程と、半導体基板の一面の上に形成された真性半導体層に第１導電型の不純物をドーピングして第１導電型半導体部を形成する第１導電型半導体部形成工程と、半導体基板の反対面に第２導電型の不純物をドーピングして第２導電型半導体部を形成する第２導電型半導体部形成工程と、第１導電型半導体部の上に第１パッシベーション膜を形成する第１パッシベーション膜形成工程と、第１導電型半導体部に接続される第１電極及び第２導電型半導体部に接続される第２電極を形成する電極形成工程とを含む。
【００２７】
ここで、第１パッシベーション膜形成工程の後、第１パッシベーション膜に開口部を形成する工程をさらに含むことができる。
【００２８】
このような第１パッシベーション膜に開口部を形成する工程は、前記電極形成工程の熱処理により遂行できる。
【００２９】
電極形成工程は第１電極を形成する第１電極形成工程を含み、かつ第１電極形成工程は第１フィンガー電極を形成するための第１フィンガー電極用ペーストと第１バスバーを形成するための第１バスバー用ペーストを第１パッシベーション膜の上に印刷すること、及びペーストを熱処理することを含む。このような熱処理工程のうち、第１フィンガー電極用ペーストと第１バスバー用ペーストは第１パッシベーション膜を破って、第１導電型半導体部に接続できるが、この際、第１パッシベーション膜に開口部が形成できる。
【００３０】

Petitioner Runergy USA Inc., Ex. 1002, p. 301

ここで、第１電極形成工程で、熱処理最高温度は７９５℃乃至８７０℃でありうる。

【００３１】

ここで、第１電極形成工程では第１フィンガー電極用ペースト及び第１バスバー用ペーストを１回の工程により印刷することができる。この際、第１フィンガー電極用ペーストに含まれる材質と第１バスバー用ペーストに含まれる材質は同一でありうる。

【００３２】

また、これとは異なり、第１電極形成工程では第１フィンガー電極用ペーストと第１バスバー用ペーストを別の印刷工程により遂行することができる。この際、第１フィンガー電極用ペーストに含まれる材質と第１バスバー用ペーストに含まれる材質とは異なることがある。

【００３３】

また、トンネル層形成工程は半導体基板の一面及び反対面の上に各々トンネル層を形成することを含み、真性半導体層形成工程は半導体基板の一面及び反対面の上に形成されたトンネル層の上に真性半導体層を形成する工程を含み、第１導電型半導体部形成工程の後で、第２導電型半導体部形成工程の前に、少なくとも半導体基板の反対面に位置したトンネル層及び真性半導体層または第１導電型半導体部を除去する除去工程とをさらに含むことができる。

【００３４】

ここの除去工程は、半導体基板の一側に位置したトンネル層及び第１導電型半導体部の縁部分を共に除去してアイソレーション部を形成することを含み、第１パッシベーション膜はアイソレーション部を含んで半導体基板の一面の上を覆うことができる。

【００３５】

より詳しくは、除去工程は、半導体基板の他側で第１導電型半導体部の上に半導体基板より小さい面積を有するマスク層を形成する工程と、マスク層が形成されない部分に位置した第１導電型半導体部及びトンネル層をエッチングする工程と、マスク層を除去する工程とをさらに含むことができる。

【００３６】

また、第２導電型半導体部を形成する工程と第１パッシベーション膜を形成する工程との間に、第２導電型半導体部を覆う第２パッシベーション膜を形成する工程をさらに含み、半導体基板の側面の上に第２パッシベーション膜が位置し、第２パッシベーション膜の上に第１パッシベーション膜が位置することができる。

【発明の効果】

【００３７】

本発明に従う太陽電池及びその製造方法は、半導体基板の一面にトンネル層が位置し、トンネル層の上に第１導電型半導体部を備え、半導体基板の反対面に第２導電型半導体部を備えた構造を有しているので、太陽電池の効率をより向上させることができる。

【図面の簡単な説明】

【００３８】

【図１】本発明の第１実施形態に係る太陽電池を説明するための図である。

【図２】本発明の第１実施形態に係る太陽電池を説明するための図である。

【図３】本発明の第１実施形態に係る太陽電池を説明するための図である。

【図４】本発明の第１実施形態に対する変形例を説明するための太陽電池の断面図である。

【図５】本発明の第２実施形態に係る太陽電池を示している。

【図６】本発明の第２実施形態に係る太陽電池を示している。

【図７】本発明の第２実施形態に係る太陽電池を示している。

【図８】本発明の第２実施形態と異なる比較例を示している。

【図９】本発明の第３実施形態に係る太陽電池を示している。

【図１０】第１バスバーペーストの材質が第１フィンガーペーストの材質と同一の場合、熱処理工程時、焼成温度に従う半導体基板１００の劣化程度をＰＬ（photo luminescence

Petitioner Runergy USA Inc., Ex. 1002, p. 302

）撮影した比較例の写真である。
【図１１】本発明の第３実施形態に従って第１バスバーペーストの材質と第１フィンガーペーストの材質とが互いに異なる場合、熱処理工程時、焼成温度に従う半導体基板の劣化程度をＰＬ（photo luminescence）撮影した写真である。
【図１２】本発明の第１実施形態に係る太陽電池を製造する方法の一例を説明するための順序図である。
【図１３Ａ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｂ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｃ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｄ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｅ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｆ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｇ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｈ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｉ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１３Ｊ】図１２に図示された順序図に従う太陽電池の製造方法を示す断面図である。
【図１４】第１実施形態に係る太陽電池を製造する方法の一例に対する変形例を説明するための図である。
【図１５】第１実施形態に係る太陽電池を製造する方法の一例に対する他の変形例を説明するための図である。
【図１６】本発明の第２実施形態に係る太陽電池を製造する方法の一例を説明するための順序図である。
【図１７】本発明の第３実施形態に係る太陽電池を製造する方法の一例を説明するための順序図である。
【発明を実施するための形態】
【００３９】
添付した図面を参考しつつ本発明の実施形態に対して詳細に説明する。
【００４０】
以下、添付した図面を参考としつつ本発明の実施形態に対して本発明が属する技術分野で通常の知識を有する者が容易に実施できるように詳細に説明する。しかしながら、本発明はさまざまな相異する形態に具現されることができ、ここで説明する実施形態に限定されない。そして、図面で本発明を明確に説明するために説明と関係ない部分は省略し、明細書の全体を通じて類似の部分に対しては類似の図面符号を付けた。
【００４１】
図面において、多数の層及び領域を明確に表現するために厚さを拡大して示した。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“真上に”ある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“真上に”あるとする時には、中間に他の部分がないことを意味する。また、ある部分が他の部分の上に“全体的”に形成されているとする時には、他の部分の全体面（または、全面）に形成されているものだけでなく、縁の一部には形成されていないことを意味する。
【００４２】
そして、“第１”、“第２”などの表現は相互間の区別のために使用したものであり、本発明はこれに限定されるものではない。
【００４３】
また、前面とは直射光が入射される半導体基板の一面であり、後面とは直射光が入射されないか、または直射光でない反射光が入射できる半導体基板の反対面でありうる。
【００４４】
併せて、ある２つの値が同一であるということは誤差範囲１０％以下で同一であるということを意味する。

Petitioner Runergy USA Inc., Ex. 1002, p. 303

【００４５】
以下、添付した図面を参照して本発明の実施形態に係る太陽電池及びその製造方法を詳細に説明する。
【００４６】
図１から図３は、本発明の第１実施形態に係る太陽電池を説明するための図である。
【００４７】
ここで、図１は本発明の第１実施形態に係る太陽電池の一部斜視図であり、図２は本発明の第１実施形態に係る太陽電池の全体断面図であり、本発明の第１実施形態に係る太陽電池の後面全体平面図である。
【００４８】
併せて、図４は本発明の第１実施形態に対する変形例を説明するための太陽電池の断面図である。
【００４９】
図１に示すように、本発明に従う太陽電池の一例は、半導体基板１００、第２導電型半導体部１２０、反射防止膜１３０、トンネル層１６０、第１導電型半導体部１７０、第１パッシベーション膜１９０Ａ、第２パッシベーション膜１９０Ｂ、第２電極１４０、及び第１電極１５０を含む。
【００５０】
図１では本発明に従う太陽電池が反射防止膜１３０及び第２パッシベーション膜１９０Ｂを含むことを一例に図示しているが、本発明はこれとは異なり、反射防止膜１３０及び第２パッシベーション膜１９０Ｂが省略されることもできる。しかしながら、太陽電池の効率を考慮した時、反射防止膜１３０及び第２パッシベーション膜１９０Ｂが含まれることがより良い効率が発生するので、反射防止膜１３０及び第２パッシベーション膜１９０Ｂが含まれることを一例に説明する。
【００５１】
半導体基板１００は単一半導体物質（一例として、４族元素）を含む結晶質半導体で構成できる。一例として、半導体基板１００は単結晶または多結晶半導体（一例として、単結晶または多結晶シリコン）で構成できる。特に、半導体基板１００は単結晶半導体（例えば、単結晶半導体ウエハ、より詳しくは、単結晶シリコンウエハ）で構成できる。
【００５２】
このように、半導体基板１００が単結晶半導体（例えば、単結晶シリコン）で構成されれば、太陽電池が結晶性が高くて欠陥が少ない単結晶半導体で構成される半導体基板１００を基盤とするようになる。これによって、太陽電池が優れる電気的特性を有することができる。本願発明の実施例において、結晶性は、例えば、物質の結晶化できる割合により言及する。
【００５３】
併せて、半導体基板１００の前面及び／又は後面は、テクスチャリング（texturing）されて凹凸を有することができる。凹凸は、一例に、外面が半導体基板１００の（１１１）面で構成され、不規則なサイズを有するピラミッド形状を有することができる。
【００５４】
このように、テクスチャリングにより半導体基板１００の前面などに凹凸が形成されて前面の表面粗さが増加すれば、半導体基板１００の前面などを通じて入射される光の反射率を低めることができる。
【００５５】
したがって、ベース領域１１０と第１または第２導電型半導体部１７０、１２０により形成されたｐｎ接合まで到達する光量を増加させることができるので、光損失を最小化することができる。本実施形態では、凹凸が半導体基板１００の前面及び後面に凹凸が形成されて両面に入射される光の反射を効果的に防止することを例示した。
【００５６】
しかしながら、本発明はこれに限定されるものではない。したがって、図４に示すよう

に、半導体基板１００の前面のみに凹凸が形成され、半導体基板１００の後面には凹凸が形成されないこともある。

【００５７】

これによれば、トンネル層１６０が形成される半導体基板１００の後面を前面より小さい表面粗さを有するように形成して、トンネル層１６０がより安定的で、かつ均一に形成できる。または、半導体基板１００の前面及び後面に凹凸が形成されないなど、多様な変形が可能である。

【００５８】

また、図２を参照すると、本実施形態で半導体基板１００は第１または第２導電型の不純物が低いドーピング濃度でドーピングされて第１または第２導電型を有するベース領域１１０を含むことができる。

【００５９】

この際、半導体基板１００のベース領域１１０はこれと同一な導電型を有する第１及び第２導電型半導体部１７０、１２０のうちの１つより低いドーピング濃度、高い抵抗、または低いキャリア濃度を有することができる。

【００６０】

半導体基板１００の一面（一例として、後面）の上に第１導電型を有する第１導電型半導体部１７０が位置することができる。一例に、半導体基板１００の上にトンネル層１６０が形成され、トンネル層１６０の上に第１導電型半導体部１７０が形成できる。

【００６１】

ここで、トンネル層１６０は半導体基板１００の後面の上に配置され、半導体基板１００に直接接触して形成できる。

【００６２】

このようなトンネル層１６０は、半導体基板１００の後面でアイソレーション部Ｉを除外した部分に全体的に形成できる。ここで、全体的に形成されたということは、隙間無しで全て形成されたものだけでなく、不回避的に一部の領域が形成されないものも含むことができる。これによって、別途のパターニング工程が要求されなくて、トンネル層１６０を容易に形成することができる。しかしながら、本発明はこれに限定されるものではない。

【００６３】

このようなトンネル層１６０はトンネリング効果（Tunneling effect）を発生させることができる。具体的には、トンネル層１６０は電子及び正孔に一種のバリア（barrier）として作用することができる。

【００６４】

即ち、トンネル層１６０は少数キャリア（minority carrier）が通過しないようにし、トンネル層１６０に隣接した部分で蓄積された後、一定以上のエネルギーを有する多数キャリア（majority carrier）のみトンネル層１６０を通過させることができる。この際、一定以上のエネルギーを有する多数キャリアはトンネリング効果により容易にトンネル層１６０を通過することができる。

【００６５】

また、トンネル層１６０は第１導電型半導体部１７０のドーパントの半導体基板１００への拡散を防止する拡散バリアとしての役割を遂行することができる。このようなトンネル層１６０は多数キャリアがトンネリングできる多様な物質を含むことができるが、一例として、酸化物、窒化物、半導体、伝導性高分子などを含むことができる。

【００６６】

特に、トンネル層１６０がシリコン酸化物を含むシリコン酸化物（ＳｉＯｘ）層で構成できる。シリコン酸化物層はパッシベーション特性が優れて、キャリアがシリコン酸化物層を通してトンネリングされやすい膜であるためである。

【００６７】

しかしながら、これとは異なり、このようなトンネル層１６０は高温工程にも耐久性の

強いＳｉＣｘで形成される誘電体材質で形成されることができ、その他にもＳｉＮｘ、水素化されたＳｉＮｘ、ＡｌＯｘ、ＳｉＯＮ、または水素化されたＳｉＯＮで形成されることも可能である。

【００６８】

併せて、トンネル層１６０の厚さはトンネリング効果を十分に具現するようにするために、第１及び第２パッシベーション膜１９０Ａ、１９０Ｂ、第１または第２導電型半導体部１７０、１２０の厚さより小さいことがある。

【００６９】

一例として、トンネル層１６０の厚さは０．５ｎｍ～２．５ｎｍ間で形成できる。このようなトンネル層１６０は、一例に、オキシデーション（Oxidation）工程やＬＰＣＶＤ工程、またはＰＥＣＶＤ蒸着工程により形成できる。

【００７０】

ここで、トンネル層１６０の厚さを０．５ｎｍ～２．５ｎｍに限定することはトンネリング効果を具現するためであり、このような限定範囲を０．５ｎｍ～２．５ｎｍ範囲を少し超える場合も可能であるが、トンネリングの効果が減少することがある。

【００７１】

より詳しくは、トンネル層１６０の厚さを０．５ｎｍ以上にすることは、実質的に０．５ｎｍ未満にトンネル層１６０を形成することは現実的に非常に困難であり、トンネル層１６０の厚さを２．５ｎｍ以下にすることは、２．５ｎｍを超える場合、トンネリング効果が微々たるためである。

【００７２】

第１導電型半導体部１７０は半導体基板１００の後面の表面の上に位置し、第１導電型の不純物が半導体基板１００より高濃度に含まれて、多結晶シリコン材質を含むことができる。

【００７３】

即ち、このような第１導電型半導体部１７０は、図１に示すように、半導体基板１００の後面に形成されたトンネル層１６０の後面の上に形成されて、半導体基板１００と離隔して形成できる。

【００７４】

このような第１導電型半導体部１７０は、トンネル層１６０の上に接触して形成されて太陽電池の構造が単純化され、トンネル層１６０のトンネリング効果が最大化できる。

【００７５】

第１導電型半導体部１７０が半導体基板１００の内に形成されず、図１及び図２に示すように、第１導電型半導体部１７０が半導体基板１００の後面の上に形成され、かつ半導体基板１００と直接接触せずに離隔して、トンネル層１６０の後面の上に多結晶シリコン材質で形成された場合、太陽電池の開放電圧（Ｖｏｃ）をより向上させることができる。

【００７６】

併せて、半導体基板１００の内に第１導電型半導体部１７０を形成せず、半導体基板１００の外部に第１導電型半導体部１７０を形成するので、製造工程上、第１導電型半導体部１７０を形成する過程で、半導体基板１００に対する熱損傷を最小化できるので、半導体基板１００の特性の低下を防止することができる。したがって、本発明は太陽電池の効率をより向上させることができる。

【００７７】

このような、第１導電型半導体部１７０の厚さは５０ｎｍ～５００ｎｍ間に形成できる。

【００７８】

このような第１導電型半導体部１７０は半導体基板１００と同一な半導体物質（より詳しくは、シリコン半導体物質）を含むことができる。これによって、第２導電型半導体部１２０が半導体基板１００と類似の特性を有して、半導体基板１００との特性差を最小化することができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 306

【００７９】
但し、第１導電型半導体部１７０が半導体基板１００の上で半導体基板１００と別個に形成されるので、半導体基板１００の上で容易に形成できるように第１導電型半導体部１７０が半導体基板１００と異なる結晶構造を有することができる。
【００８０】
例えば、第１導電型半導体部１７０は蒸着などの多様な方法により容易に製造できる非晶質シリコン材質、微細結晶シリコン材質、または多結晶シリコン材質に第１導電型の不純物をドーピングして形成できる。
【００８１】
特に、第１導電型半導体部１７０が多結晶シリコン材質を含む場合、第１導電型半導体部１７０が優れる電気伝導度を有してキャリアの移動を円滑にすることができ、酸化物などで構成されたトンネル層１６０でキャリアのトンネリングが円滑に起こるように誘導することができる。
【００８２】
第２導電型半導体部１２０は半導体基板１００の反対面、一例として、光が入射される半導体基板１００の前面の上に位置し、半導体基板１００の導電型と反対である第２導電型、例えば、ｎ型の導電型の不純物を含有することができる。
【００８３】
一例として、本実施形態では第２導電型半導体部１２０が半導体基板１００の一部に第２導電型の不純物がドーピングされて形成されたドーピング領域で構成できる。
【００８４】
一例として、第２導電型半導体部１２０は半導体基板１００の前面の表面に第２導電型の不純物が拡散して形成することができ、このような場合、第２導電型半導体部１２０は半導体基板１００と同一なシリコン材質で形成できる。
【００８５】
一例として、半導体基板１００が多結晶シリコン材質のウエハで形成された場合、第２導電型半導体部１２０も多結晶シリコン材質で形成することができ、半導体基板１００が単結晶シリコン材質のウエハで形成される第２導電型半導体部１２０も単結晶シリコン材質で形成できる。
【００８６】
このようなベース領域１１０と第２導電性半導体部１２０は、半導体基板１００と同一の結晶構造及び半導体物質を含みながら導電型が互いに異なるか、またはドーピング濃度が互いに異なることがある。
【００８７】
具体的には、ベース領域１１０が第１導電型を有する場合にはベース領域１１０と第２導電型半導体部１２０の導電型が互いに異なり、ベース領域１１０が第２導電型を有する場合には第２導電型半導体部１２０のドーピング濃度がベース領域１１０のドーピング濃度より高いことがある。
【００８８】
ここで、ベース領域１１０が第１導電型を有すれば、第１導電型を有する第１導電型半導体部１７０が半導体基板１００と同一の導電型を有しながら半導体基板１００より高いドーピング濃度を有する後面電界（back surface field；ＢＳＦ）を形成する後面電界領域を構成し、第２導電型を有する第２導電型半導体部１２０がベース領域１１０と異なる導電型を有してベース領域１１０とｐｎ接合を形成するエミッタ領域を構成することができる。
【００８９】
これによって、半導体基板１００の前面側にエミッタ領域を構成する第２導電型半導体部１２０が位置してｐｎ接合に接合する光の経路を最小化することができる。
【００９０】
しかしながら、本発明はこれに限定されるものではない。他の例として、ベース領域１

Petitioner Runergy USA Inc., Ex. 1002, p. 307

１０が第２導電型を有すれば、第１導電型半導体部１７０がエミッタ領域を構成し、第２導電型半導体部１２０が半導体基板１００と同一の導電型を有しながら半導体基板１００より高いドーピング濃度を有する前面電界（front surface field；ＦＳＦ）を形成する前面電界領域を構成することもできる。

【００９１】

第１または第２導電型の不純物に使われるｐ型ドーパントとして、ボロン（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）などの３族元素を挙げることができ、ｎ型ドーパントには、燐（Ｐ）、砒素（Ａｓ）、ビズマス（Ｂｉ）、アンチモン（Ｓｂ）などの５族元素を挙げることができる。しかしながら、本発明はこれに限定されるものではなく、多様なドーパントが第１または第２導電型の不純物に使用できる。

【００９２】

ここで、本実施形態では半導体基板１００と別個に形成される第１導電型半導体部１７０が半導体基板１００の後面側に位置し、半導体基板１００の一部を構成する第２導電型半導体部１２０が半導体基板１００の前面側に位置することができる。

【００９３】

半導体基板１００と異なる結晶構造を有する第１導電型半導体部１７０が半導体基板１００の前面側に位置すれば、第１導電型半導体部１７０での光吸収が増加してｐｎ接合に到達する光量が低下できるので、第１導電型半導体部１７０を半導体基板１００の後面側に位置させることがより好ましい。しかしながら、本発明はこれに限定されるものではない。

【００９４】

第１及び第２導電型半導体部１７０、１２０の上には第１及び第２電極１５０、１４０に対応する開口部１０２、１０４を除いてパッシベーション膜１９０Ａ，１９０Ｂが全体的に形成できる。このようなパッシベーション膜１９０Ａ、１９０Ｂは別途にドーパントを含まないアンドープパッシベーション膜で構成できる。

【００９５】

具体的には、第１導電型半導体部１７０の上には開口部１０２を除外した部分に第１パッシベーション膜１９０Ａが全体的に形成（一例として、接触）されることができ、第２導電型半導体部１２０の上には開口部１０４を除外した部分に第２パッシベーション膜１９０Ｂが全体的に形成（一例として、接触）できる。

【００９６】

併せて、第２パッシベーション膜１９０Ｂの上には反射防止膜１３０が位置できる。

【００９７】

パッシベーション膜１９０Ａ、１９０Ｂは、第１及び第２導電型半導体部１７０、１２０に接触して形成されて第１及び第２導電性半導体部１７０、１２０に存在する欠陥を不動態化させることができる。

【００９８】

これによって、少数キャリアの再結合サイトを除去して太陽電池の開放電圧（Ｖｏｃ）を増加させることができる。反射防止膜１３０は、半導体基板１００の前面に入射される光の反射率を減少させることができる。

【００９９】

これによって、半導体基板１００の前面を通じて入射される光の反射率を低下することによって、ベース領域１１０と第１導電型半導体部１７０の界面に形成されたｐｎ接合まで到達される光量を増加させることができる。これによって、太陽電池の短絡電流（Ｉｓｃ）を増加させることができる。このように、パッシベーション膜１９０Ａ、１９０Ｂ及び反射防止膜１３０により太陽電池の開放電圧と短絡電流を増加させて太陽電池の効率を向上させることができる。

【０１００】

一例として、パッシベーション膜１９０Ａ、１９０Ｂまたは反射防止膜１３０はシリコン窒化膜、水素を含んだシリコン窒化膜、シリコン酸化膜、シリコン酸化窒化膜、アルミ

Petitioner Runergy USA Inc., Ex. 1002, p. 308

ニウム酸化膜、MgF_2、ＺｎＳ、TiO_2、及びCeO_2からなる群から選択されたいずれか１つの単一膜または２つ以上の膜が組み合わせられた多層膜構造を有することができる。

【０１０１】

一例として、第１及び第２パッシベーション膜１９０Ａ、１９０Ｂは、第１及び第２導電型半導体部１７０、１２０のうち、接触する導電型半導体部がｎ型を有する場合には固定正電荷を有するシリコン酸化膜、シリコン窒化膜などを含むことができ、ｐ型を有する場合には固定負電荷を有するアルミニウム酸化膜などを含むことができる。また一例として、反射防止膜１３０はシリコン窒化物を含むことができる。

【０１０２】

より詳しくは、本発明の実施形態では第１導電型半導体部１７０と接触する第１パッシベーション膜１９０Ａはシリコン窒化膜で形成され、屈折率は１．９～２．１の間であり、厚さは３０ｎｍ～５０ｎｍでありうる。

【０１０３】

また、第２導電型半導体部１２０と接触する第２パッシベーション膜１９０Ｂは第２導電型半導体部１２０の上にアルミニウム酸化膜とシリコン窒化膜が順に積層された２層構造で形成することができ、ここで、アルミニウム酸化膜の屈折率は１．５～１．７であり、厚さは５ｎｍ～１０ｎｍであり、第２パッシベーション膜１９０Ｂのシリコン窒化膜屈折率は１．９～２．１であり、厚さは７０ｎｍ～１２０ｎｍでありうる。

【０１０４】

しかしながら、本発明はこれに限定されるものではなく、パッシベーション膜１９０Ａ、１９０Ｂ、そして反射防止膜１３０が多様な物質を含むことができる。

【０１０５】

第１電極１５０は第１導電型半導体部１７０の上に位置（一例として、接触）して第１導電型半導体部１７０に電気的に接続される。第１電極１５０は第１パッシベーション膜１９０Ａに形成された開口部１０２を通じて（即ち、第１パッシベーション膜１９０Ａを貫通して）第１導電型半導体部１７０に電気的に接続できる。

【０１０６】

この際、第１電極１５０は第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続し、かつ第１導電型半導体部１７０の表面の上に接続できる。

【０１０７】

これと類似するように、第２電極１４０は第２導電型半導体部１２０の上に位置（一例として、接触）して第２導電型半導体部１２０に電気的に接続される。第２電極１４０は第２パッシベーション膜１９０Ｂ及び反射防止膜１３０に形成された開口部１０４を通じて（即ち、第２パッシベーション膜１９０Ｂ及び反射防止膜１３０を貫通して）第１導電型半導体部１７０に電気的に接続できる。

【０１０８】

このような第１及び第２電極１５０、１４０は多様な物質（より詳しくは、金属）を含み、多様な形状を有することができる。

【０１０９】

一例として、第１電極１５０は、図１に示すように、複数の第１フィンガー電極１５１及び複数の第１バスバー１５３を含むことができる。

【０１１０】

ここで、複数の第１フィンガー電極１５１は第１導電型半導体部１７０の後面の上に互いに離隔して第１方向（ｘ）に延びていることができ、第１導電型半導体部１７０側に移動したキャリアを収集することができる。

【０１１１】

そして、複数の第１バスバー１５３は第１導電型半導体部１７０の上で複数の第１フィンガー電極１５１と同一層に位置し、複数の第１フィンガー電極１５１を互いに電気的に接続させ、複数の第１フィンガー電極１５１と交差する第２方向（ｙ）に延びていること

Petitioner Runergy USA Inc., Ex. 1002, p. 309

ができる。

【０１１２】

併せて、第２電極１４０は、図１に示すように、複数の第２フィンガー電極１４１及び複数の第２バスバー１４３を含むことができる。

【０１１３】

ここで、複数の第２フィンガー電極１４１は第２導電型半導体部１２０の上に位置して第２導電型半導体部１２０と電気的に接続されており、互いに離隔して第１方向（ｘ）に延びていることができる。

【０１１４】

このような複数の第２フィンガー電極１４１は第２導電型半導体部１２０側に移動したキャリア、例えば、正孔を収集することができる。

【０１１５】

そして、複数の第２バスバー１４３は第２導電型半導体部１２０の上で複数の第２フィンガー電極１４１と同一層に位置し、複数の第２フィンガー電極１４１を互いに電気的に接続させ、複数の第２フィンガー電極１４１と交差する第２方向（ｙ）に延びていることができる。

【０１１６】

一方、このような構造の太陽電池において、半導体基板１００の後面の上に位置したトンネル層１６０及び第１導電型半導体部１７０は半導体基板１００の後面の縁（又は、半導体基板１００の側面）と一定の第１距離（Ｄ１）だけ離隔して位置することができる。

【０１１７】

これによって、トンネル層１６０及び第１導電型半導体部１７０の各々の面積は半導体基板１００の面積より小さいことがある。ここで、第１距離（Ｄ１）は、トンネル層１６０及び第１導電型半導体部１７０は半導体基板１００の後面の縁の間の距離のうち、最も短い距離を意味することができる。

【０１１８】

即ち、半導体基板１００の後面の縁にはトンネル層１６０及び第１導電型半導体部１７０（これと共に、第１導電型半導体部１７０に接続される第１電極１５０）が形成されないアイソレーション部Ｉが位置することができる。併せて、この際、第１パッシベーション膜１９０Ａはアイソレーション部Ｉを含んで半導体基板１００の一面の上を覆うように形成できる。

【０１１９】

アイソレーション部Ｉ部は、半導体基板１００の第１面、側面、または第２面のうち、いずれか１つの面には第１導電型半導体部１７０と第２導電型半導体部１２０との間の接触を遮ることができる。具体的な一例として、アイソレーション部Ｉ部は半導体基板１００の後面の縁から第１導電型半導体部１７０を離隔させてエッジアイソレーション（edge isolation）の役割をすることができる。

【０１２０】

即ち、第２導電型半導体部１２０の形成時に第２導電型の不純物が半導体基板１００の側面または後面の縁まで拡散されて半導体基板１００の側面または後面の縁で第１導電型半導体部１７０と第２導電型半導体部１２０が思いがけず短絡されることがあるが、本実施形態では半導体基板１００の後面縁で第１導電型半導体部１７０を除去してこのような問題を根本的に防止することができる。

【０１２１】

そして、半導体基板１００の前面に位置する第２導電型半導体部１２０は半導体基板１００の前面で全体的に形成できるので、第２導電型半導体部１２０の面積を最大化することができる。

【０１２２】

アイソレーション部Ｉは、図３に示すように、半導体基板１００の後面縁の全体に沿って形成されて閉鎖された形状（closed shape）を有することができる。そして、アイソレ

ーション部Ｉとトンネル層１６０及び第１導電型半導体部１７０が形成された部分の間には一定の段差が存在するようになる。

【０１２３】

一例として、第１距離（Ｄ１）（即ち、アイソレーション部Ｉの幅）が１ｍｍ以下でありうる。第１距離（Ｄ１）が１ｍｍを超過すれば、第１導電型半導体部１７０の面積が小さくなって効率が低下することがある。一例として、第１距離（Ｄ１）が１ｎｍ乃至１ｍｍでありうる。第１距離（Ｄ１）が１ｍｍ未満であれば、アイソレーション部Ｉによる効果が充分でないことがある。しかしながら、本発明は上記数値にに限定されるものではなく、例えば、半導体基板１００のサイズなどによって前述した第１距離（Ｄ１）が異なる値を有することもできる。

【０１２４】

第１導電型半導体部１７０は、半導体基板１００から遠ざかるほど面積が小さくなる形状を有することができる。この際、第１導電型半導体部１７０は半導体基板１００から遠ざかるほど面積が小さくなるように側面が半導体基板１００と垂直にならないように（一例として、概略的に傾斜するように）形成できる。

【０１２５】

即ち、図２に示すように、第１導電型半導体部１７０で縁領域の厚さはアイソレーション部Ｉに近づくほど徐々に減少できる。

【０１２６】

一例として、第１導電型半導体部１７０は半導体基板１００から遠ざかるほど面積が小さくなりながら側面がラウンドして形成できる。トンネル層１６０の側面は第１導電型半導体部１７０の側面と延長されるように位置することができ、第１導電型半導体部１７０と類似するようにラウンドした形状を有することができる。

【０１２７】

これは、第１導電型半導体部１７０とトンネル層１６０を除去してアイソレーション部Ｉを形成する工程で湿式工程などを使用したためであるが、これに対しては後述する。しかしながら、第１導電型半導体部１７０及びトンネル層１６０の側面形状などはその他にも多様な形状を有することもできる。

【０１２８】

そして、半導体基板１００の後面側に位置した第１パッシベーション膜１９０Ａは、トンネル層１６０及び第１導電型半導体部１７０がある部分では第１導電型半導体部１７０の上に位置し、アイソレーション部Ｉでは半導体基板１００の後面の上に接触することができる。

【０１２９】

即ち、第１パッシベーション膜１９０Ａは半導体基板１００の縁付近で半導体基板１００の後面に直接接触して形成され、これから延びてトンネル層１６０及び第１導電型半導体部１７０の側面を覆いながらこれらと接触して形成され、これから延びて第１導電型半導体部１７０の上部面を覆いながらこれらと接触して形成できる。

【０１３０】

本発明は、太陽電池の製造工程のうち、半導体基板１００の後面の縁に位置したトンネル層１６０及び第１導電型半導体部１６０を除去してアイソレーション部Ｉを形成することができる。

【０１３１】

これによって、第１パッシベーション膜１９０Ａはトンネル層１６０及び第２導電型半導体部１６０が除去されて露出した半導体基板１００の後面の縁部分、即ちアイソレーション部Ｉを覆うように形成できる。

【０１３２】

これによって、アイソレーション部Ｉによるパッシベーション特性の低下を防止することができ、この際、アイソレーション部Ｉをパッシベーションするための別途の膜を形成せず、第１パッシベーション膜１９０Ａを利用するので、太陽電池の構造及び製造工程が

Petitioner Runergy USA Inc., Ex. 1002, p. 311

複雑になることを防止することができる。

【０１３３】

そして、第１パッシベーション膜１９０Ａは半導体基板１００の側面の上まで延びる側面部１９０Ａａを含むことができる。第１パッシベーション膜１９０Ａの側面部１９０Ａａを具備すれば、第１パッシベーション膜１９０Ａが半導体基板１００の後面側の上を全体的に安定的に覆いながら形成できる。

【０１３４】

また、第２パッシベーション膜１９０Ｂ及び反射防止膜１３０も半導体基板１００の側面の上まで延びる側面部１９０Ｂａ，１３０ａを含むことができる。

【０１３５】

ここで、半導体基板１００の側面で第２パッシベーション膜１９０Ｂが半導体基板１００に一層近く位置し、第１パッシベーション膜１９０Ａが第２パッシベーション膜１９０Ｂの上に位置することができる。

【０１３６】

より詳しくは、第２パッシベーション膜１９０Ｂの側面部１９０Ｂａが半導体基板１００の側面に接触し、反射防止膜１３０の側面部１３０ａが第２パッシベーション膜１９０Ｂの側面部１９０Ｂａに接触し、第１パッシベーション膜１９０Ａの側面部１９０Ａａが反射防止膜１３０の側面部１３０ａに接触することができる。

【０１３７】

これによれば、第１パッシベーション膜１９０Ａを形成する工程で、第２パッシベーション膜１９０Ｂを先に形成した後、第１パッシベーション膜１９０Ａを形成したので、第２導電型半導体部１２０を安定的に保護することができる。これに対しては今後より詳しく説明する。

【０１３８】

しかしながら、本発明はこれに限定されるものではなく、半導体基板１００の側面に側面部１９０Ａａ、１９０Ｂａ、１３０ａのうちの少なくとも１つが備えられないか、またはこれらの積層順序が変わることもある。

【０１３９】

図３を参照して第１電極１５０の平面形状を詳細に説明した後、第２電極１４０の平面形状を詳細に説明する。

【０１４０】

図３を参照すると、第１電極１５０は一定のピッチを有しながら互いに離隔する複数の第１フィンガー電極１５１を含むことができる。図面では第１フィンガー電極１５１が互いに平行し、半導体基板１００の縁に平行したものを例示したが、本発明はこれに限定されるものではない。

【０１４１】

また、第１バスバー１５３は１つのみ備えられることもでき、図３に示すように、第１フィンガー電極１５１のピッチより大きいピッチを有しながら複数個で備えられることもできる。

【０１４２】

この際、第１フィンガー電極１５１の幅より第１バスバー１５３の幅が大きいことがあるが、本発明はこれに限定されるものではない。したがって、第１バスバー１５３の幅が第１フィンガー電極１５１の幅と同一であるか、またはそれより小さい幅を有することができる。

【０１４３】

断面から見ると、第１電極１５０の第１フィンガー電極１５１及び第１バスバー１５３は全て第１パッシベーション膜１９０Ａを貫通して形成されることもできる。即ち、開口部１０２が第１電極１５０の第１フィンガー電極１５１及び第１バスバー１５３に全て対応して形成できる。

【０１４４】

Petitioner Runergy USA Inc., Ex. 1002, p. 312

しかしながら、本発明はこれに限定されるものではない。他の例として、第１電極１５０の第１フィンガー電極１５１が第１パッシベーション膜１９０Ａを貫通して形成され、第１バスバー１５３は第１パッシベーション膜１９０Ａの上に形成できる。この場合には開口部１０２が第１フィンガー電極１５１に対応する形状に形成され、第１バスバー１５３のみ位置した部分には形成されないことがある。

【０１４５】

前述したように、本実施形態では半導体基板１００の縁に沿ってトンネル層１６０及び第１導電型半導体部１７０が形成されないアイソレーション部Ｉが形成されることもでき、これによって、第１導電型半導体部１７０の上に形成される第１電極１５０がアイソレーション部Ｉには形成されないことがある。

【０１４６】

これによって、第１電極１５０の第１フィンガー電極１５１及びバスバー電極１４０ｂの端部は半導体基板１００の縁と少なくとも第１距離（Ｄ１）だけ離隔して位置することができる。

【０１４７】

また、第２電極１４０の第２フィンガー電極１４１及び第２バスバー１４２は第１電極１５０の第１フィンガー電極１５１及び第１バスバー１５３に各々対応して形成できる。

【０１４８】

第２電極１４０の第２フィンガー電極１４１及び第２バスバー１４２に対してはアイソレーション部Ｉに対する内容を除いては第１電極１５０の第１フィンガー電極１５１及び第１バスバー１５３に対する内容がそのまま適用できる。

【０１４９】

そして、第１電極１５０で第１パッシベーション膜１９０Ａに関連した内容は第２電極１４０で第２パッシベーション膜１９０Ｂ及び反射防止膜１３０にそのまま適用できる。

【０１５０】

この際、第１電極１５０の第１フィンガー電極１５１及び第１バスバー１５３の幅、ピッチなどは第２電極１４０のフィンガー電極及びバスバー電極の幅、ピッチなどと互いに同一であるか、または互いに異なることができる。

【０１５１】

しかしながら、本発明はこれに限定されるものではなく、第１電極１５０と第２電極１４０の平面形状が互いに異なることも可能であり、その他の多様な変形が可能である。

【０１５２】

前述したように、本実施形態では太陽電池の第１及び第２電極１５０、１４０が一定のパターンを有して太陽電池が半導体基板１００の前面及び後面に光が入射できる両面受光形（bi-facial）構造を有する。

【０１５３】

これによって、太陽電池で使われる光量を増加させて太陽電池の効率向上に寄与することができる。しかしながら、本発明はこれに限定されるものではなく、第１電極１５０が半導体基板１００の後面側で全体的に形成される構造を有することも可能である。その他の多様な変形が可能である。

【０１５４】

この際、半導体基板１００の後面にアイソレーション部Ｉを形成して第１導電型半導体部１７０と第２導電型半導体部１２０が不要に互いに接続されることを効果的に防止することができる。

【０１５５】

そして、アイソレーション部Ｉが位置する半導体基板１００の表面は第１導電型半導体部１７０を覆う第１パッシベーション膜１９０Ａにより覆われてパッシベーションできる。

【０１５６】

これによって、簡単な構造によりアイソレーション部Ｉをパッシベーションして表面再

結合などによる問題を最小化することができる。即ち、簡単な構造により太陽電池の効率及び信頼性を向上し、不良率を低めることができる。

【０１５７】

今までは、本発明の第１実施形態では第１電極１５０が第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続し、かつ第１導電型半導体部１７０の表面の上に接続した場合を一例として説明した。

【０１５８】

しかしながら、これとは異なり、第１電極１５０は第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続し、かつ第１電極１５０のうちの少なくとも一部は第１導電型半導体部１７０の内部に陥入されて形成されることもできる。これに対してより具体的に説明すれば、次の通りである。

【０１５９】

図５から図７は、本発明の第２実施形態に係る太陽電池を示している。

【０１６０】

ここで、図５は図１に図示した太陽電池をII－II線に沿って切って図示した断面図である。併せて、図６は図５でK部分を拡大した拡大図であり、図７は第１電極１５０と第１導電型半導体部１７０との接触部分に対する実物写真を図示したものである。

【０１６１】

併せて、図８は本発明の第２実施形態と異なる比較例を示している。

【０１６２】

以下、先の図１から図４で説明した内容と重複する内容に対しては省略し、異なる部分を中心に説明する。

【０１６３】

参考に、図５で、第１導電型半導体部１７０のうち、第１フィンガー電極１５１とトンネル層１６０との間の空間に位置する第１導電型半導体部１７０の領域はフィンガー形成領域１７０Ａ１といい、第１バスバー１５３とトンネル層１６０との間の空間に位置する第１導電型半導体部１７０の領域はバスバー形成領域１７０Ａ２といい、第１導電型半導体部１７０のうち、フィンガー形成領域１７０Ａ１とバスバー形成領域１７０Ａ２を除外した残りの領域を非形成領域１７０Ｂという。併せて、フィンガー形成領域１７０Ａ１とバスバー形成領域１７０Ａ２を通称して電極形成領域１７０Ａという。

【０１６４】

本発明の第２実施形態に係る太陽電池は、図５及び図６に示すように、第１電極１５０の少なくとも一部は第１パッシベーション膜１９０Ａを貫通して第１導電型半導体部１７０の内部に陥入されて、第１導電型半導体部１７０と電気的に接続できる。

【０１６５】

具体的な一例として、第１電極１５０を形成する第１フィンガー電極１５１と第１バスバー１５３の全てが第１導電型半導体部１７０の内部に陥入されて形成できる。

【０１６６】

言い換えると、図６に示すように、第１導電型半導体部１７０と第１電極１５０とが互いに接触する第１境界面ＢＳ１の位置は、第１導電型半導体部１７０と第１パッシベーション膜１９０Ａとが互いに接触する第２境界面ＢＳ２の位置より半導体基板１００方向に一層陥入されて形成できる。

【０１６７】

したがって、半導体基板１００と第１境界面ＢＳ１との間の距離は半導体基板１００と第２境界面ＢＳ２との間の距離より近いことがある。

【０１６８】

ここで、複数の第１フィンガー電極１５１及び第１バスバー１５３の全ては単層（single layer）または二層（double layer）構造で形成できる。または、複数の第１フィンガー電極１５１は単層（single layer）構造で形成され、第１バスバー１５３は二層（double layer）構造で形成されることも可能である。

【０１６９】
図６では第１フィンガー電極１５１を一例として図示したが、第１バスバー１５３も第１フィンガー電極１５１と同様に第１導電型半導体部１７０の内部に陥入された同一の構造を有することができる。
【０１７０】
このように、第１電極１５０が第１導電型半導体部１７０の内部に陥入される構造は第１電極１５０を形成するための第１電極用ペーストを第１パッシベーション膜１９０Ａの後面にパターニングして形成した状態で熱処理工程を通じて第１電極ペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内部に侵入しながら接続する時に形成できる。
【０１７１】
このように、第１電極用ペーストを印刷して熱処理する工程により第１電極１５０を形成すれば、メッキ法に比べて相対的に費用が低廉で、工程時間を短縮できる長所がある。
【０１７２】
ここで、第１境界面ＢＳ１と第２境界面ＢＳ２との高さ差は１ｎｍ～２０ｎｍ間に形成されることができ、このような第１及び第２境界面ＢＳ１、ＢＳ２の高さ差（ＴＢＳ）は第１電極１５０を形成するための熱処理工程の時間及び第１電極ペーストに含まれるガラスフリット（glass frit）の含有量によって変えることができる。
【０１７３】
図５及び図６では、第１電極１５０を形成する複数の第１バスバー１５３と複数の第１フィンガー電極１５１の全てが第１導電型半導体部１７０の内部に陥入された場合を一例として図示した。
【０１７４】
しかしながら、必ずこれに限定されるものではなく、第１電極１５０のうち、複数の第１フィンガー電極１５１のみ第１導電型半導体部１７０の内部に陥入されて形成されることもできる。このように、複数の第１フィンガー電極１５１のみ第１導電型半導体部１７０の内部に陥入された構成に対しては図９以下でより具体的に説明する。
【０１７５】
したがって、本発明に従う太陽電池は、図６に示すように、第１電極１５０が第１導電型半導体部１７０の内部に陥入されて、第１導電型半導体部１７０の第１境界面ＢＳ１で第１導電型半導体部１７０と第１電極１５０とは互いに接触できる。
【０１７６】
この際、図５に示すように、第１導電型半導体部１７０のうち、第１電極１５０が形成される電極形成領域１７０Ａには前述したように、第１電極１５０から抽出された複数の金属結晶ＭＣが位置することができる。
【０１７７】
一例として、図６に示すように、第１導電型半導体部１７０のうち、第１フィンガー電極１５１が形成されるフィンガー形成領域１７０Ａ１には第１フィンガー電極１５１から抽出された複数の金属結晶ＭＣが位置することができる。
【０１７８】
図６では第１導電型半導体部１７０の電極形成領域１７０Ａのうち、電極フィンガー形成領域１７０Ａ１のみ図示したが、図５に示すように、バスバー形成領域１７０Ａ２にも同一に第１バスバー１５３から抽出された複数の金属結晶ＭＣが位置することができる。
【０１７９】
このような複数の金属結晶ＭＣは多結晶シリコンで形成される第１導電型半導体部１７０と比較して相対的に抵抗が低いので、図６に示すように、半導体基板１００からトンネル層１６０を通過して第１導電型半導体部１７０に移動したキャリア、例えば電子が金属結晶ＭＣを通じて第１電極１５０に直接移動するか、または金属結晶ＭＣと金属結晶ＭＣとの間をジャンプして第１電極１５０に移動することができる。
【０１８０】

したがって、このような複数の金属結晶ＭＣはキャリアが第１電極１５０に一層容易に移動できるように助ける役割をすることができる。

【０１８１】

したがって、このような金属結晶ＭＣは低い抵抗によって、半導体基板１００と第１電極１５０との間の実質的な距離をより狭めることができる。

【０１８２】

また、金属結晶ＭＣは第１電極１５０が第１導電型半導体部１７０に接続される時、第１電極１５０と第１導電型半導体部１７０との境界である第１境界面ＢＳ１を中心に半導体基板１００方向に形成されるため、第１電極１５０と第１導電型半導体部１７０との間の接触抵抗をより低下することができる。

【０１８３】

したがって、図６に図示された本発明のように、第１電極１５０とトンネル層１６０との間の第１導電型半導体部１７０の内部に複数の金属結晶ＭＣをさらに含む場合、太陽電池の効率がより向上できる。

【０１８４】

このような金属結晶ＭＣは、図５に示すように、第１導電型半導体部１７０のうち、第１電極１５０が形成される電極形成領域１７０Ａに位置し、第１導電型半導体部１７０のうち、第１電極１５０が形成されない非形成領域１７０Ｂには金属結晶ＭＣが位置しないことがある。

【０１８５】

このように、金属結晶ＭＣが第１導電型半導体部１７０のうち、電極形成領域１７０Ａのみに位置し、非形成領域１７０Ｂには位置しないことは、複数の金属結晶ＭＣが第１電極１５０を形成するための熱処理工程のうち、第１電極１５０から抽出された金属が再結晶化して形成されるためである。

【０１８６】

一例として、複数の第１電極１５０は少なくとも１つの導電性金属物質を含んで形成できる。ここで、複数の第１電極１５０に含まれる導電性金属物質は、一例として、ニッケル（Ｎｉ）、銅（Ｃｕ）、銀（Ａｇ）、アルミニウム（Ａｌ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）、インジウム（Ｉｎ）、チタニウム（Ｔｉ）、金（Ａｕ）、及びこれらの組合からなる群から選択された少なくとも１つでありうるが、以外の他の導電性金属物質からなることもできる。

【０１８７】

ここで、複数の金属結晶ＭＣは第１電極１５０に含まれた金属物質が抽出された後、再結晶化しながら形成されるので、第１電極１５０に含まれた金属物質と同一の金属物質を含むことができる。

【０１８８】

したがって、一例として、第１電極１５０が銀（Ａｇ）を含む場合、金属結晶ＭＣも銀（Ａｇ）を含むことができる。

【０１８９】

また、図６及び図７に示すように、金属結晶ＭＣは第１導電型半導体部１７０の内には位置するが、トンネル層１６０の内には位置しないことがある。

【０１９０】

即ち、図８に図示された比較例のように、このような金属結晶ＭＣがトンネル層１６０の内に位置する場合、トンネル層１６０の機能が低下することがあり、金属結晶ＭＣがトンネル層１６０を貫通して半導体基板１００の後面の内部に侵入する場合、半導体基板１００－トンネル層１６０－第１導電型半導体部１７０で形成された構造により表れる開放電圧（Ｖｏｃ）特性が低下して、半導体基板１００が劣化することがある。

【０１９１】

これと共に、半導体基板１００が劣化する場合、半導体基板１００の特性、一例としてキャリアライフタイム（carrier life time）のような特性が低下することがある。

【０１９２】
しかしながら、本発明のように金属結晶ＭＣが第１導電型半導体部１７０の内には位置するが、トンネル層１６０の内には位置しない場合、このような特性の低下を防止することができる。
【０１９３】
このような複数の金属結晶ＭＣのうちの一部（ＭＣ１）は、図６に示すように、第１電極１５０と直接接触することができ、併せて、複数の金属結晶ＭＣのうちの少なくとも１つ（ＭＣ２）以上は、第１電極１５０と離隔して第１導電型半導体部１７０の内に位置することができる。
【０１９４】
ここで、複数の金属結晶ＭＣは第１電極１５０からトンネル層１６０方向への長さ（ＬＭＣ）が第１導電型半導体部１７０の厚さの２／３以下でありうる。このように、金属結晶ＭＣの長さ（ＬＭＣ）を第１導電型半導体部１７０厚さの２／３以下に限定することは金属結晶ＭＣの長さ（ＬＭＣ）が過度に長くなって、前述したように、トンネル層１６０や半導体基板１００を損傷させないようにするためである。
【０１９５】
複数の金属結晶ＭＣのうちの一部は第１電極１５０からトンネル層１６０方向に進行するほど幅（ＷＭＣ）が減少することがある。即ち、図６及び図７に示すように、金属結晶ＭＣで第１電極１５０側に隣接した部分の面方向（ｘ、ｙ）幅（ＷＭＣ）は半導体基板１００側に隣接した部分の幅より小さいことがある。
【０１９６】
このような金属結晶ＭＣのサイズは第１電極１５０を形成するための熱処理工程の焼成温度に比例してサイズが決定できる。
【０１９７】
即ち、金属結晶ＭＣの長さや幅は第１電極１５０を形成するための熱処理工程の焼成温度が高いほど大きくなり、低いほど小さくなる特性があり、金属結晶ＭＣのソースである第１電極１５０の幅が増加するほど金属結晶ＭＣの長さや幅が増加することができる。
【０１９８】
しかしながら、第１電極１５０を形成するための熱処理工程の焼成温度が過度に低い場合、第１電極１５０と第１導電型半導体部１７０との間の接触抵抗が増加することができる。
【０１９９】
したがって、本発明の第２実施形態では第１電極１５０を形成する第１フィンガー電極１５１と第１バスバー１５３の全てが第１導電型半導体部１７０の内部に陥入されて、第１導電型半導体部１７０のうち、フィンガー形成領域１７０Ａ１とバスバー形成領域１７０Ａ２の全てに金属結晶ＭＣが形成される場合を一例に説明したが、効率をより向上させるために、第１フィンガー電極１５１のみ第１導電型半導体部１７０の内部に陥入されて、フィンガー形成領域１７０Ａ１のみに金属結晶ＭＣが位置し、バスバー形成領域１７０Ａ２には金属結晶ＭＣが位置しないこともある。これに対してより具体的に、以下の図９から図１１を参照して説明する。
【０２００】
図９は、本発明の第３実施形態に係る太陽電池を説明するための図である。
【０２０１】
図９に対する説明では、先の第２実施形態で説明した内容と重複する部分に対する説明は省略し、第２実施形態と異なる部分を中心に説明する。
【０２０２】
図９に示すように、本発明の第３実施形態に係る太陽電池は第１電極１５０の少なくとも一部が第１導電型半導体部１７０の内部に陥入されるようにし、かつ第１電極１５０のうち、複数の第１フィンガー電極１５１のみ第１パッシベーション膜１９０Ａを貫通して第１導電型半導体部１７０の内部に陥入されて形成されるように形成することができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 317

【０２０３】
この時には、金属結晶ＭＣが第１導電型半導体部１７０のフィンガー形成領域１７０Ａ１のみに形成され、複数の第１バスバー１５３は第１導電型半導体部１７０の内部に陥入されず、第１パッシベーション膜１９０Ａの後面の上に形成できる。
【０２０４】
したがって、第１導電型半導体部１７０のうち、バスバー形成領域１７０Ａ２には金属結晶ＭＣが形成されないことがある。
【０２０５】
このように、第１電極１５０のうち、複数の第１フィンガー電極１５１のみ第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内に陥入されるようにして第１導電型半導体部１７０のうち、フィンガー形成領域１７０Ａ１のみに金属結晶ＭＣが形成されるようにし、第１バスバー１５３は第１パッシベーション膜１９０Ａの上に形成されるようにすることができる。
【０２０６】
このように、第１導電型半導体部１７０のうち、バスバー形成領域１７０Ａ２には金属結晶ＭＣが形成されないようにすることは先の図６から図８で説明したように、金属結晶ＭＣがトンネル層１６０の内に位置しないようにして、金属結晶ＭＣがトンネル層１６０を破って半導体基板１００と接続する劣化現象を防止するためである。
【０２０７】
より具体的に説明すると、第１バスバー１５３の場合、先の図１及び図５で説明したように、幅が第１フィンガー電極１５１に比べて相対的に大きいため、熱処理工程時、相対的に大きい長さや幅を有する金属結晶ＭＣが図８に示すように、トンネル層１６０の内部まで侵入して半導体基板１００と短絡されることができ、これによって半導体基板１００が劣化することがあるが、これを予め遮断するためである。
【０２０８】
したがって、本発明の第３実施形態に係る太陽電池は、第１フィンガー電極１５１と第１バスバー１５３のうち、第１フィンガー電極１５１のみ第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内部に陥入されて形成された構造を有しているので、第１導電型半導体部１７０の第１境界面ＢＳ１で第１導電型半導体部１７０と第１フィンガー電極１５１のみ互いに接触し、第１導電型半導体部１７０の電極形成領域１７０Ａのうち、第１フィンガー電極１５１が形成されるフィンガー形成領域１７０Ａ１のみに複数の金属結晶ＭＣが位置することができ、第１バスバー１５３と重畳する第１導電型半導体部１７０のバスバー形成領域１７０Ａ２には複数の金属結晶ＭＣが位置しないことがある。
【０２０９】
このために、本発明は複数の第１フィンガー電極１５１と複数の第１バスバー１５３は互いに異なる組成を有することができる。
【０２１０】
より詳しくは、複数の第１バスバー１５３に含まれる単位体積当たりガラスフリットの含有量は複数の第１フィンガー電極１５１に含まれる単位体積当たりガラスフリットの含有量より小さいかないことがある。
【０２１１】
これによって、第１電極１５０の形成のための熱処理工程で、第１フィンガー電極１５１が第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内部に陥入されながら、複数の金属結晶ＭＣがフィンガー形成領域１７０Ａ１に抽出される間、第１バスバー１５３が第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内部に陥入されることを防止または最小化することができる。
【０２１２】
併せて、第１バスバー１５３が第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内部に陥入されても、第１バスバー１５３から抽出される金属結晶ＭＣが

図８に示すように、トンネル層１６０の内部まで侵入して、半導体基板１００と短絡して劣化することを予め防止することができる。

【０２１３】

ここで、半導体基板１００の劣化は次の図１０及び図１１で確認することができる。

【０２１４】

図１０は第１バスバー用ペーストの材質が第２フィンガー電極用ペーストの材質と同一の場合、熱処理工程時、焼成温度に従う半導体基板１００の劣化程度をＰＬ（photo luminescence）撮影した比較例の写真であり、図１１は本発明の第３実施形態に従って第１バスバー用ペースト１５３Ｐの材質と第１フィンガー電極用ペーストの材質とが互いに異なる場合、熱処理工程時、焼成温度に従う半導体基板１００の劣化程度をＰＬ（photo luminescence）撮影した写真である。

【０２１５】

半導体基板１００の開放電圧（Ｖｏｃ）を示すＰＬイメージは、熱処理工程温度によって金属結晶ＭＣがトンネル層１６０まで侵入して半導体基板１００と短絡されて表れる劣化現象を確認することができる。

【０２１６】

ＰＬイメージで半導体基板１００の一部領域が暗くなるほど開放電圧が減少して半導体基板１００の劣化が深化することを意味し、明るくなるほど開放電圧が充分の状態に高くて半導体基板１００の劣化が小さいかほとんどないことを意味する。

【０２１７】

より詳しくは、ＰＬイメージで熱処理工程温度が増加するにつれて陰影領域が増加する場合、金属結晶ＭＣがトンネル層１６０まで侵入するか、または半導体基板１００と短絡されて、開放電圧が減少し、半導体基板１００の劣化が深化することを意味し、熱処理工程温度が増加するにつれて陰影領域が増加しない場合、金属結晶ＭＣがトンネル層１６０や半導体基板１００まで侵入しなくて、開放電圧が十分に高い状態に維持されて半導体基板１００の劣化が小さいかほとんどないことを意味する。

【０２１８】

図１０及び図１１では、相対的に幅の大きい第１バスバー用ペースト１５３Ｐのイメージのみ見えて、第１フィンガー電極用ペーストのイメージは幅があまり小さくて見えないが、実質的に各々の第１バスバー用ペースト１５３Ｐには複数の第１フィンガー電極用ペーストが交差して形成できる。

【０２１９】

図１０では第１フィンガー電極用ペーストと同一の材質の第１バスバー用ペースト１５３Ｐを使用した場合であり、図１１は先の図９で説明したように、第１フィンガー電極用ペーストと異なる材質の第１バスバー用ペースト１５３Ｐを使用した場合である。

【０２２０】

図１０では第１バスバー用ペースト１５３Ｐと第１フィンガー電極用ペーストの材質が互いに同一であるので、第１バスバー用ペースト１５３Ｐも第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に陥入されて形成され、第１導電型半導体部１７０のバスバー形成領域１７０Ａ２の内に金属結晶ＭＣが形成できる。

【０２２１】

したがって、第１電極１５０を形成するための熱処理工程温度が図１０の図１０（ｃ）及び（ｄ）のように、８２０℃や７９５℃程度に相対的に低い場合、第１導電型半導体部１７０の内に第１電極用ペーストから抽出される金属結晶ＭＣがほとんどないので、半導体基板１００の劣化が発生しないが、このような場合、第１フィンガー電極１５１の接触抵抗が相対的に高く形成できるので、太陽電池の効率が減少することがある。

【０２２２】

しかしながら、第１電極１５０を形成するための熱処理工程温度が図１０の図１０（ａ）及び（ｂ）のように、８７０℃や８４５℃程度に相対的に高い場合、半導体基板１００に陰影領域が増加し、相対的に深化することを確認することができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 319

【０２２３】
これは、第１導電型半導体部１７０の内に第１バスバー用ペースト１５３Ｐから抽出された金属結晶ＭＣが位置し、かつこのような金属結晶ＭＣがトンネル層１６０を破って半導体基板１００まで接続されて、半導体基板１００の劣化が深化するためである。
【０２２４】
しかしながら、先の図９で説明したように、本発明の第３実施形態に従って第１フィンガー電極１５１と第１バスバー１５３の材質を互いに異なるようにした場合、熱処理工程温度が相対的に低い図１１の図１１（ｃ）及び（ｄ）の場合は勿論、相対的に高い図１１の図１１（ａ）及び（ｂ）でも半導体基板１００の陰影領域がほとんど増加しないことを確認することができる。
【０２２５】
これは、第１バスバー用ペースト１５３Ｐと第１フィンガー電極用ペーストの材質を互いに異なるようにすることで、第１バスバー用ペースト１５３Ｐが第１パッシベーション膜１９０Ａが破れないようにするか、または、たとえ第１バスバー用ペースト１５３Ｐが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続され、第１導電型半導体部１７０の内に金属結晶ＭＣが形成されても、金属結晶がトンネル層１６０の内には位置しないので、半導体基板１００の劣化が発生しないためである。
【０２２６】
このように、本発明の第３実施形態に係る太陽電池は第１フィンガー電極１５１と第１バスバー１５３の材質を互いに異なるようにすることで、太陽電池の開放電圧（Ｖｏｃ）を十分に高い状態に維持して半導体基板１００の劣化を防止し、太陽電池の効率をより向上させることができる。
【０２２７】
今までは本発明に従う太陽電池の構造について説明したが、以下ではこのような太陽電池を製造する方法について説明する。
【０２２８】
図１２は本発明の第１実施形態に係る太陽電池を製造する方法の一例を説明するための順序図であり、図１３Ａ乃至図１３Ｊは図１２に図示された順序図に従う太陽電池の製造方法を図示した断面図である。
【０２２９】
併せて、図１４は第１実施形態に係る太陽電池を製造する方法の一例に対する変形例を説明するための図であり、図１５は第１実施形態に係る太陽電池を製造する方法の一例に対する他の変形例を説明するための図である。
【０２３０】
図１２に示すように、本発明の第１実施形態に係る太陽電池を製造する方法の一例は、トンネル層形成ステップ（工程）（Ｓ１）、真性半導体層形成ステップ（工程）（Ｓ２）、第１導電型半導体部形成ステップ（工程）（Ｓ３）、除去ステップ（工程）（Ｓ４）、第２導電型半導体部形成ステップ（工程）（Ｓ５）、反射防止膜及び第２パッシベーション膜形成ステップ（工程）（Ｓ６）、第１パッシベーション膜形成ステップ（工程）（Ｓ７）、及び電極形成ステップ（工程）（Ｓ８）を含むことができる。
【０２３１】
ここで、除去ステップ（Ｓ４）及び反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）が含まれる場合を一例に説明したが、場合によっては除去ステップ（Ｓ４）及び反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）を省略することも可能である。
【０２３２】
以下、説明の便宜上、除去ステップ（Ｓ４）及び反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）が含まれる場合を一例に説明する。
【０２３３】
本発明の第１実施形態に係る太陽電池を製造するための事前ステップに、図１３Ａに示

すように、半導体基板１００の前面及び後面にテクスチャリング工程を遂行して凹凸を形成することができる。

【０２３４】

半導体基板１００のテクスチャリングには湿式または乾式テクスチャリングを使用することができる。

【０２３５】

湿式テクスチャリングは、テクスチャリング溶液に半導体基板１００を浸漬することにより遂行することができ、工程時間が短いという長所がある。乾式テクスチャリングはダイアモンドドリルまたはレーザーなどを用いて半導体基板１００の表面を削るものであって、凹凸を均一に形成することができる一方、工程時間が長く、半導体基板１００に損傷が発生することがある。

【０２３６】

その他に、反応性イオンエッチング（ＲＩＥ）などにより半導体基板１００をテクスチャリングすることもできる。このように、本発明では多様な方法により半導体基板１００をテクスチャリングすることができる。

【０２３７】

簡略な図示のために図面では半導体基板１００の側面にはテクスチャリングによる凹凸が備えられないものとして図示した。また、半導体基板１００の厚さが非常に小さい方であるので、テクスチャリングによる凹凸が明確に認識され難いこともある。

【０２３８】

しかしながら、本発明はこれに限定されるものではない。半導体基板１００の側面にもテクスチャリングによる凹凸が具備できる。そして、半導体基板１００のテクスチャリングは以後の工程中に遂行することもできる。

【０２３９】

このように、半導体基板１００に凹凸が備えられた状態で、図１２に示すように、半導体基板１００の一面の上にトンネル層１６０を形成するトンネル層形成ステップ（Ｓ１）が遂行できる。

【０２４０】

このようなトンネル層形成ステップ（Ｓ１）では、一例に、図１３Ｂに示すように、半導体基板１００の一面及び反対面を含んで、全体的にトンネル層１６０を形成することができる。この際、トンネル層１６０は半導体基板１００の側面にも全体的に形成できる。

【０２４１】

このように、トンネル層１６０が半導体基板１００の表面に全体的に形成された場合、その後半導体基板１００の反対面（即ち、前面）と側面に形成されたトンネル層１６０は除去ステップ（Ｓ４）で除去できる。

【０２４２】

しかしながら、トンネル層１６０が半導体基板１００の一面の上のみに形成された場合、除去ステップ（Ｓ４）が省略できる。

【０２４３】

ここで、トンネル層１６０は、一例として、熱酸化、化学的酸化、蒸着（一例として、常圧化学気相蒸着法（ＡＰＣＶＤ）、低圧化学気相蒸着法（ＬＰＣＶＤ））などにより形成できる。追加的に、薄い厚さでトンネル層１６０を形成した後、炉（furnace）内での後続熱処理などによりトンネル層１６０の厚さまたは密度を増加させることもできる。

【０２４４】

しかしながら、本発明はこれに限定されるものではなく、多様な方法によりトンネル層１６０が形成できる。ここで、トンネル層１６０がシリコン酸化物層で構成できる。

【０２４５】

一例として、本実施形態において、トンネル層１６０は常温より高い温度及び常圧より小さな圧力で原料気体を含む気体雰囲気で形成できる。本実施形態では、原料気体が酸素気体を含んでトンネル層１６０が酸化物層で構成できる。

Petitioner Runergy USA Inc., Ex. 1002, p. 321

【０２４６】
より詳しくは、高い温度でトンネル層１６０が酸素と半導体基板１００の半導体物質（例えば、シリコン）が反応して形成される熱酸化物（thermal oxide material）（例えば、熱的シリコン酸化物）層で構成できる。
【０２４７】
この際、本実施形態では原料気体がトンネル層１６０を構成する全ての原料物質を含まず、トンネル層１６０を構成する酸化物のうち、酸素気体のみを含み、他の原料物質を含まないことがある。
【０２４８】
例えば、トンネル層１６０がシリコン酸化物を含む時、原料気体に酸素気体のみを備えるだけであり、他の原料物質であるシリコンを含む気体を含まない。これによって、酸素気体の酸素が半導体基板１００の内部に拡散して半導体物質と反応する熱酸化工程によりトンネル層１６０が形成できる。
【０２４９】
これとは異なり、蒸着工程などでは酸素を含む酸素気体と共に、シリコンを含むシラン（ＳｉＨ４）気体を原料気体として共に供給することができる。すると、熱分解により酸素気体から分離された酸素と、シラン気体から分離されたシリコンとが化学的に反応してシリコン酸化物を形成することができる。トンネル層１６０を形成する時、気体雰囲気は原料気体である酸素気体の他にも多様な気体を含むことができる。
【０２５０】
そして、トンネル層１６０を形成する時の圧力を常圧より低くして、相対的に高い温度（一例として、６００℃以上）による熱酸化工程によりトンネル層１６０を形成しても低い圧力によりトンネル層１６０の成長速度を低く維持することができる。これによって、トンネル層１６０の厚さを大幅に減らすことができる。
【０２５１】
一例に、トンネル層１６０の形成時、温度を６００℃乃至８００℃にし、圧力を６００Ｔｏｒｒ以下にしてトンネル層１６０の厚さを効果的に制御することができる。
【０２５２】
このように、本実施形態ではトンネル層１６０を形成する時、温度と圧力を共に制御しなければならないので、圧力調節が不可能な従来の炉（furnace）で本実施形態のトンネル層１６０を形成できず、温度及び圧力調節が全て可能な装置内でトンネル層１６０を形成しなければならない。
【０２５３】
これによって、本実施形態ではトンネル層１６０は蒸着装置などの内部で熱酸化工程により形成できる。この際、低い圧力を具現しなければならないので、トンネル層１６０が低圧化学気相蒸着装置（low pressure chemical vapor deposition apparatus）内で形成できる。
【０２５４】
トンネル層１６０の上に形成される真性半導体層１７０'が蒸着装置により形成されるのでトンネル層１６０を蒸着装置で形成するようになれば、トンネル層１６０と真性半導体層１７０'を同一な蒸着装置（より詳しくは、低圧化学気相蒸着装置）内で連続して遂行されるインーサイチュ（in-situ）工程により形成できる。
【０２５５】
このように、トンネル層１６０と真性半導体層１７０'をインーサイチュ工程により形成するようになれば、製造工程を格段に単純化できるので、製造コスト、製造時間などを格段に低減することができる。
【０２５６】
蒸着装置内の温度は長い時間の熱を加える（即ち、加熱）か、または熱を取り除く（即ち、冷却）ことにより調節され、温度を安定化することに時間がたくさんかかる一方、気体雰囲気及び圧力は蒸着装置内に供給される気体の種類、量などによって調節できる。し

Petitioner Runergy USA Inc., Ex. 1002, p. 322

たがって、気体雰囲気及び圧力は温度より容易に制御できる。

【０２５７】

これを考慮して本実施形態ではトンネル層１６０の形成温度と真性半導体層１７０'の蒸着工程の温度差が２００℃以内（即ち、０℃乃至２００℃）になるようにすることができる。より詳しくは、トンネル層１６０の形成温度と真性半導体層１７０'の蒸着工程の温度差を１００℃以内（即ち、０℃乃至１００℃）になるようにすることができる。

【０２５８】

これは、トンネル層１６０を低圧で形成するのでトンネル層１６０の形成温度を相対的に高めることができるので、真性半導体層１７０'の蒸着工程との温度差を減らすことができるためである。このように、相対的に調節が困難な温度を大きい変化又は変動無しで維持できるので、トンネル層１６０と真性半導体層１７０'を連続して形成するイン－サイチュ工程の効率をより向上させることができる。

【０２５９】

一方、真性半導体層１７０'の蒸着工程の気体雰囲気はトンネル層１６０の形成時の気体雰囲気と異なり、真性半導体層１７０'の蒸着工程の圧力はトンネル層１６０の形成時の圧力と等しいか、またはこれと異なることがある。これに対しては今後に真性半導体層１７０'の蒸着工程を説明しながらより詳細に説明する。

【０２６０】

このように、トンネル層形成ステップ（Ｓ１）が完了した以後、図１２に示すように、半導体基板１００の一面の上に形成されたトンネル層１６０の上に真性半導体層１７０'を形成する真性半導体層形成ステップ（Ｓ２）が遂行できる。

【０２６１】

一例に、図１３Ｃに示すように、真性半導体層形成ステップ（Ｓ２）では半導体基板１００の一面及び反対面の上に形成されたトンネル層１６０の上に全体的に真性半導体層１７０'が形成できる。この際、真性半導体層１７０'は半導体基板１００の側面の上に位置したトンネル層１６０の上にも全体的に形成できる。

【０２６２】

このように、真性半導体層１７０'が両面に位置すれば、第１導電型半導体部１７０を形成するために真性半導体層１７０'をドーピングする工程で半導体基板１００の前面のドーピング、損傷などを効果的に防止することができる。

【０２６３】

本実施形態において、真性半導体層１７０'は化学気相蒸着により形成されることができ、より詳しくは、低圧化学気相蒸着により形成できる。

【０２６４】

これによって、前述したように、真性半導体層１７０'がトンネル層１６０とイン－サイチュ工程により形成できる。しかしながら、本発明はこれに限定されるものではなく、トンネル層１６０及び真性半導体層１７０'にイン－サイチュ工程が適用されないこともある。

【０２６５】

真性半導体層１７０'の蒸着工程に使われる気体は真性半導体層１７０'を構成する半導体物質を含む気体（例えば、シラン気体）を含むことができる。本実施形態では、真性を有するように真性半導体層１７０'を蒸着するので、気体雰囲気が半導体物質を含む気体のみで構成できる。

【０２６６】

これによって、供給気体を単純化することができ、形成される真性半導体層１７０'の純度を向上させることができる。しかしながら、本発明はこれに限定されるものではなく、真性半導体層１７０'の蒸着工程を促進するか、または真性半導体層１７０'の特性を向上するための別途の気体などをさらに使用することができる。

【０２６７】

そして、真性半導体層１７０'の蒸着工程では半導体物質を含む気体の他にも酸化窒素

（N_2O）気体及び／又は酸素（O_2）気体を共に注入して結晶粒サイズ，結晶性などを調節することができる。

【０２６８】

真性半導体層１７０'の蒸着温度はトンネル層１６０の形成時の温度と同一であるか、またはこれより小さいことがある。特に、真性半導体層１７０'の蒸着温度をトンネル層１６０の形成時の温度より小さくすれば，光電変換に直接的に関与する真性半導体層１７０'の特性を均一にすることができる。

【０２６９】

または、真性半導体層１７０'の蒸着温度は５００℃乃至７００℃でありうる。これは、半導体基板１００と異なる結晶構造を有する真性半導体層１７０'を蒸着するに適合した温度に限定されたものである。

【０２７０】

前述したように、トンネル層１６０の温度を真性半導体層１７０'の蒸着温度と同一または類似するようにしたので、温度を調節するための時間、温度を安定化するための時間などを必要としないので、工程を単純化することができる。

【０２７１】

そして、真性半導体層１７０'の蒸着圧力は常圧より低い圧力、一例として、６００Ｔｏｒｒ以下（一例として、１Ｔｏｒｒ乃至６００Ｔｏｒｒ）でありうる。蒸着圧力を１Ｔｏｒｒ未満に維持することは工程上の限界があり、真性半導体層１７０'の工程時間が格段に長くなって実際の量産に適用され難いことがある。

【０２７２】

蒸着圧力が６００Ｔｏｒｒを超過すれば、真性半導体層１７０'の均一度が低下することがある。または、真性半導体層１７０'の蒸着圧力はトンネル層１６０の形成時の圧力と等しいか、またはこれより小さいことがある。

【０２７３】

特に、真性半導体層１７０' の蒸着圧力をトンネル層１６０の形成時の圧力より小さくすれば、光電変換に直接的に関与する真性半導体層１７０'の特性を均一にすることができる。

【０２７４】

これをより詳しく説明する。半導体物質（例えば、シリコン）を含む気体が熱分解されて半導体物質がトンネル層１６０の上に蒸着されることにより真性半導体層１７０'が形成できる。

【０２７５】

ところが、蒸着速度を増加させるために温度及び／又は圧力を増加させれば、真性半導体層１７０'の内部で結晶性の分布が大きくなる。真性半導体層１７０'の結晶性はキャリアの移動速度などに関与するので、真性半導体層１７０'の結晶性の分布が大きくなれば、真性半導体層１７０'の特性不均になることがある。

【０２７６】

一方、トンネル層１６０は極めて薄い厚さに形成され、結晶性がトンネル層１６０の特性に大きい影響を及ぼさない。これを考慮して、真性半導体層１７０'がトンネル層１６０より厚い厚さに形成されなければならないことにもかかわらず、真性半導体層１７０'の蒸着温度及び／又は圧力をトンネル層１６０の形成時より低くして真性半導体層１７０'の特性を向上させるものである。

【０２７７】

しかしながら、本発明はこれに限定されるものではなく、真性半導体層１７０'の気体雰囲気、温度、圧力などは多様に変化できる。

【０２７８】

このように、真性半導体層１７０'はトンネル層１６０の形成後に供給される気体の種類を変更し、供給される気体の量を調節することにより形成できる。

【０２７９】

Petitioner Runergy USA Inc., Ex. 1002, p. 324

例えば、トンネル層１６０の形成が完了した後、トンネル層１６０の形成時に使われた気体（例えば、酸素気体、窒素気体、塩素気体など）をポンピング（pumping）及びパージ（purge）により除去した後、真性半導体層１７０'を形成するための気体（例えば、半導体物質を含む気体など）を注入することにより真性半導体層１７０'を形成することができる。

【０２８０】

これによって、トンネル層１６０及び真性半導体層１７０'の形成工程を単純化することができる。また、従来のようにトンネル層１６０を形成した後、トンネル層１６０が形成された半導体基板１００を装置の外部に取り出すようになれば、トンネル層１６０が不純物に汚染されるか、または追加的な酸化によりトンネル層１６０の厚さが厚くなる問題があった。

【０２８１】

本実施形態では、トンネル層１６０を形成した装置内で真性半導体層１７０'を連続して形成するので、トンネル層１６０が真性半導体層１７０'の形成前に外部に露出しない。したがって、トンネル層１６０が真性半導体層１７０'の形成前に外部に露出して発生する問題を防止することができる。

【０２８２】

参考に、プラズマ化学気相蒸着（ＰＥＣＶＤ）を使用する場合には、真性半導体層１７０'を形成した後、多結晶構造を有するようにするために別途の結晶化アニーリング工程を遂行しなければならない。これによって、構造が複雑になり、性能も低いことがある。また、プラズマ化学気相蒸着は単面工程で、半導体基板１００の両側の各々に全体的に真性半導体層１７０'を形成し難いことがある。

【０２８３】

以後、図１２に示すように、第１導電型半導体部形成ステップ（Ｓ３）が遂行できる。

【０２８４】

このような第１導電型半導体部形成ステップ（Ｓ３）では半導体基板１００の一面の上に形成された真性半導体層１７０'に第１導電型の不純物をドーピングして第１導電型半導体部１７０を形成することができる。

【０２８５】

より詳しくは、第１導電型半導体部形成ステップ（Ｓ３）では、図１３Ｄに示すように、半導体基板１００の表面の全体の上に形成された真性半導体層１７０'を第１導電型の不純物でドーピングして、半導体基板１００の表面の全体の上に第１導電型半導体部１７０'ａを形成することができる。

【０２８６】

この際、本実施形態では熱拡散法により第１導電型の不純物をドーピングすることができる。熱拡散法がトンネル層１６０の特性の低下を最小化しながらドーピングが可能なためである。一方、イオン注入法などはイオン注入後に高温でなされる活性化熱処理によりトンネル層１６０の特性が低下することがある。

【０２８７】

一例として、図１３Ｄに示すように、第１導電型の不純物を含む気体雰囲気で熱処理することによって、全体的に第１導電型半導体部１７０'ａを形成することができる。

【０２８８】

第１導電型半導体部１７０'ａがｎ型を有する場合には$POCl_3$を含む気体雰囲気で熱処理することができる。または、第１導電型半導体部１７０'ａがｐ型を有する場合にはBBr_3を含む気体雰囲気で熱処理することができる。

【０２８９】

このように、第１導電型の不純物を含む気体を使用して第１導電型半導体部１７０'ａを形成する工程を単純化することができる。但し、このような工程により半導体基板１００の後面側と共に半導体基板１００の前面及び側面側でもドーピングがなされることができる。

Petitioner Runergy USA Inc., Ex. 1002, p. 325

【０２９０】
本実施形態では、半導体基板１００の前面及び側面側に後続工程で除去される真性半導体層１７０’の部分が存在するので、半導体基板１００の前面及び側面が不必要に第１導電型の不純物でドーピングされることを根本的に防止することができる。
【０２９１】
しかしながら、これとは異なる変形例に、図１４に示すように、少なくとも半導体基板１００の後面側に位置した真性半導体層１７０’の上に第１導電型の不純物を含む第１ドーピング層２１０を形成し、熱処理により第１ドーピング層２１０の内に含まれた第１導電型の不純物を拡散させて第１導電型半導体部１７０’ａを形成することができる。
【０２９２】
一例として、第１ドーピング層２１０はリンシリケートガラス（phosphorus silicate glass；ＰＳＧ）、ボロンシリケートガラス（boron silicate glass；ＢＳＧ）などを含むことができる。このような第１ドーピング層２１０は蒸着などにより容易に形成することができる。
【０２９３】
一例として、第１ドーピング層２１０は常圧化学気相蒸着などにより形成されて半導体基板１００の後面及び／又は側面側に形成され、前面には形成されないことがある。これによって、第１導電型半導体部１７０’ａが半導体基板１００の後面及び／又は側面側のみに形成され、前面には真性半導体層１７０’がそのまま残存することができる。
【０２９４】
次に、図１３Ｅに示すように、半導体基板１００の後面側に位置した第１導電型半導体部１７０’ａの上にアイソレーション部（図１３Ｆの参照符号Ｉ、以下、同一）の以外で残存するべき第１導電型半導体部（図１３Ｆの参照符号１７０）に対応するようにマスク層２０２を形成することができる。
【０２９５】
より詳しくは、マスク層２０２の面積は半導体基板１００の面積より小さいことがある。これによって、所望しない第１導電型半導体部１７０’ａの部分を除去してアイソレーション部Ｉの以外で残存する第１導電型半導体部（図１３Ｆの参照符号１７０）が半導体基板１００より小さい面積を有するようにすることができる。
【０２９６】
一例として、マスク層２０２は半導体基板１００の各側面（または、縁）から一定の第２距離（Ｄ２）だけ離隔できる。マスク層２０２が半導体基板１００と同一であるか、またはこれより大きい面積を有すれば、半導体基板１００の後面で半導体基板１００の側面に隣接して位置した第１導電型半導体部１７０’ａの部分を効果的に除去し難いことがある。
【０２９７】
第２距離（Ｄ２）は、第１導電型半導体部１７０’ａが半導体基板１００の後面縁から離隔した第１距離（Ｄ１）が所望の値を有することができるように制御できる。一例として、第１距離（Ｄ１）が１ｍｍ以下（一例に、１ｎｍ乃至１ｍｍ）の値を有することができるように第２距離（Ｄ２）が１ｍｍ以下（一例に、１ｎｍ乃至１ｍｍ）の値を有することができる。しかしながら、本発明はこれに限定されるものではなく、第２距離（Ｄ２）がこれと異なる値を有することもできる。
【０２９８】
マスク層２０２は、半導体物質を含む第１導電型半導体部１７０’ａの一部［即ち、半導体基板１００の反対面、側面、及び一面の縁（Ｄ２）］を除去する工程で除去できない物質を含むことができる。
【０２９９】
例えば、第１導電型半導体部１７０’ａの一部を除去する工程で使われるエッチング溶液にエッチングされないマスク層２０２は、酸化物、窒化物、樹脂などを含むことができる。一例として、マスク層２０２がシリコン窒化物層で構成されて単純な工程によりマス

ク層２０２を形成することができる。
【０３００】
以後、図１２に示すように、第１導電型半導体部形成ステップ（Ｓ３）の以後、第２導電型半導体部形成ステップ（Ｓ５）の以前に除去ステップ（Ｓ４）が遂行できる。
【０３０１】
一例として、このような除去ステップ（Ｓ４）では、図１３Ｅに図示された半導体基板１００の反対面に位置したトンネル層１６０及び真性半導体層１７０’または第１導電型半導体部１７０’ａが除去できる。
【０３０２】
併せて、除去ステップ（Ｓ４）では図１３Ｅに図示されたマスク層２０２により覆われない第１導電型半導体部１７０’ａ及びトンネル層１６０の部分が除去されてアイソレーション部Ｉが形成できる。
【０３０３】
このように、トンネル層１６０及び第１導電型半導体部１７０’ａが除去されて、図１３Ｆに示すようなトンネル層１６０及び第１導電型半導体部１７０が形成できる。
【０３０４】
このような除去ステップ（Ｓ４）は、一例として、第１導電型半導体部１７０’ａ及びトンネル層１６０はアルカリ溶液（一例として、ＫＯＨ溶液）を用いた湿式エッチングが利用できる。
【０３０５】
湿式エッチングによれば、簡単で、やさしい工程により半導体基板１００の前面、側面、及び後面のアイソレーション部Ｉに位置した第１導電型半導体部１７０’ａ及びトンネル層１６０を除去することができる。
【０３０６】
アルカリ溶液により第１導電型半導体部１７０’ａを選択的に容易に除去することができる。酸化物ではあるが、非常に薄い厚さを有するトンネル層１６０も容易に第１導電型半導体部１７０’ａが除去される時に共に除去できる。
【０３０７】
これによって、図１３Ｆに示すように、半導体基板１００より小さい面積を有し、半導体基板１００の後面縁から第１距離（Ｄ１）だけ離れた第１導電型半導体部１７０及びトンネル層１６０を形成することができる。
【０３０８】
湿式エッチングにより第１導電型半導体部１７０及びトンネル層１６０が半導体基板１００から遠ざかるにつれて面積が小さくなる形状を有することができ、側面がラウンドして形成できる。
【０３０９】
しかしながら、本発明はこれに限定されるものではない。第１導電型半導体部１７０及びトンネル層１６０の一部が反応性イオンエッチング、乾式エッチングなどの多様な方法により除去されることができ、第１導電型半導体部１７０及びトンネル層１６０の形状が異なる形状を有することができる。
【０３１０】
アイソレーション部Ｉを形成するように第１導電型半導体部１７０及びトンネル層１６０の一部を除去した後、以後にマスク層２０２を除去することができる。マスク層２０２は物質によって多様な方法により除去できる。
【０３１１】
一例として、マスク層２０２が酸化物、窒化物などを含む時には希釈されたフッ酸を使用した工程により除去できる。マスク層２０２は別途の工程により除去されるか、または希釈されたフッ酸を含む溶液を含む洗浄工程により自然に除去されることもできる。
【０３１２】
このように、除去ステップ（Ｓ４）が遂行された以後、図１２に示すように、半導体基

Petitioner Runergy USA Inc., Ex. 1002, p. 327

板１００の反対面に第２導電型の不純物をドーピングして第２導電型半導体部１２０を形成する第２導電型半導体部形成ステップ（Ｓ５）が遂行できる。

【０３１３】

具体的には、図１３Ｇに示すように、第２導電型半導体部形成ステップ（Ｓ５）は、半導体基板１００の前面側に第２導電型の不純物をドーピングして第２導電型半導体部１２０を形成することができる。

【０３１４】

このような第２導電型半導体部１２０は、知られた多様な方法により形成できる。例えば、第２導電型半導体部１２０が熱拡散法により形成できる。熱拡散法がトンネル層１６０の特性の低下を最小化しながらドーピングが可能なためである。一方、イオン注入法などはイオン注入後に高温でなされる活性化熱処理によりトンネル層１６０の特性が低下しうる。

【０３１５】

熱拡散法を用いる場合、第２導電型半導体部形成ステップ（Ｓ５）は、図１３Ｇに示すように、半導体基板１００の側面及び後面にキャッピング膜２０４を形成し、第２導電型の不純物を含むガス雰囲気で熱処理することにより半導体基板１００の前面に第２導電型半導体部１２０を形成することができる。

【０３１６】

第２導電型半導体部１２０がｐ型を有する場合にはBBr_3を含む気体雰囲気で熱処理するか、または第２導電型半導体部１２０がｎ型を有する場合には$POCl_3$を含む気体雰囲気で熱処理することができる。このような熱処理を通じて第２導電型半導体部１２０が形成された後、キャッピング膜２０４が除去できる。キャッピング膜２０４は、第２導電型の不純物のドーピングを防げる多様な膜が使われることができ、物質に従う除去方法により除去できる。

【０３１７】

他の例に、第２導電型半導体部形成ステップ（Ｓ５）は、図１５に示すように、半導体基板１００の前面の上に第２導電型の不純物を含む第２ドーピング層３１０を形成し、熱処理により第２ドーピング層３１０の内に含まれた第２導電型の不純物を半導体基板１００の内部に拡散させて第２導電型半導体部１２０を形成することができる。

【０３１８】

ここで、第２ドーピング層３１０はボロンシリケートガラス（boron silicate glass；ＢＳＧ）、リンシリケートガラス（phosphorus silicate glass；ＰＳＧ）などを含むことができる。このような第２ドーピング層３１０は蒸着などにより容易に形成することができる。この際、第２ドーピング層３１０は常圧化学気相蒸着などにより形成されて半導体基板１００の後面には形成されないことがある。

【０３１９】

以後、図１２に示すように、反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）が遂行できる。

【０３２０】

このような反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）では、第２導電型半導体部１２０の上に第２パッシベーション膜１９０Ｂ及び反射防止膜１３０が順次に形成できる。

【０３２１】

具体的な一例として、図１３Ｈに示すように、反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）では、第２導電型半導体部１２０の前面の上だけでなく、半導体基板１００の側面にも第２パッシベーション膜１９０Ｂ及び反射防止膜１３０が順次形成できる。

【０３２２】

このような第２パッシベーション膜１９０Ｂまたは反射防止膜１３０は、真空蒸着法、化学気相蒸着法、スピンコーティング、スクリーン印刷、またはスプレーコーティングな

どの多様な方法により形成できる。

【０３２３】

この際、第２パッシベーション膜１９０Ｂまたは反射防止膜１３０の形成時にプラズマ誘導化学気相蒸着（ＰＥＣＶＤ）のような単面蒸着を使用すれば、前面及び／又は側面のみに第２パッシベーション膜１９０Ｂまたは反射防止膜１３０を形成することができる。したがって、第２パッシベーション膜１９０Ｂまたは反射防止膜１３０のための別途のパターニング工程を具備しなくてもよい。

【０３２４】

以後、図１２に示すように、第１導電型半導体部１７０の上に第１パッシベーション膜１９０Ａを形成する第１パッシベーション膜形成ステップ（Ｓ７）が遂行できる。

【０３２５】

一例として、図１３Ｉに示すように、半導体基板１００の後面に位置した第１導電型半導体部１７０、半導体基板１００の後面縁の上に位置したアイソレーション部Ｉ及び半導体基板１００の側面の上に位置した第２パッシベーション膜１９０Ｂ、及び反射防止膜１３０の上に第１パッシベーション膜１９０Ａを形成することができる。

【０３２６】

これによって、アイソレーション部Ｉによるエッジアイソレーションがなされた後に別途の工程無しで第１パッシベーション膜１９０Ａを形成しながらアイソレーション部Ｉを共にパッシベーションすることができる。

【０３２７】

このような第１パッシベーション膜１９０Ａは、真空蒸着法、化学気相蒸着法、スピンコーティング、スクリーン印刷、またはスプレーコーティングなどの多様な方法により形成できる。

【０３２８】

この際、第１パッシベーション膜１９０Ａまたは反射防止膜１３０の形成時に、プラズマ誘導化学気相蒸着（ＰＥＣＶＤ）のような単面蒸着を使用すれば、後面及び／又は側面のみに第１パッシベーション膜１９０Ａを形成することができる。したがって、第１パッシベーション膜１９０Ａのための別途のパターニング工程を具備しなくてもよい。

【０３２９】

本実施形態では、半導体基板１００の前面側を覆う第２パッシベーション膜１９０Ｂを先に形成した後、半導体基板１００の後面側を覆う第１パッシベーション膜１９０Ａを形成することを例示した。

【０３３０】

これによれば、第１パッシベーション膜１９０Ａを形成する工程中に第１導電型半導体部１７０の特性の低下または損傷を防止することができる。特に、第１導電型半導体部１７０がエミッタ領域の時には第１導電型半導体部１７０の特性が極めて重要であるためである。

【０３３１】

しかしながら、本発明はこれに限定されるものではなく、他の例として、半導体基板１００の後面側を覆う第１パッシベーション膜１９０Ａを先に形成した後、半導体基板１００の前面側を覆う第２パッシベーション膜１９０Ｂを形成することもできる。

【０３３２】

この場合には、これによって半導体基板１００の側面に半導体基板１００の後面側を覆う第１パッシベーション膜１９０Ａが位置（一例として、接触）し、この上に半導体基板１００の前面側を覆う第２パッシベーション膜１９０Ｂが位置（一例として、接触）することができる。

【０３３３】

このように、第１パッシベーション膜１９０Ａを形成した後、図１２及び図１３Ｊに示すように、第１導電型半導体部１７０に接続される第１電極及び第２導電型半導体部１２０に接続される第２電極を形成する電極形成ステップ（Ｓ８）が遂行できる。

【０３３４】
このような電極形成ステップ（Ｓ８）は、第１パッシベーション膜に開口部を形成するステップをさらに含むことができる。したがって、電極形成ステップ（Ｓ８）は、一例として、パターニング工程により第１及び第２パッシベーション膜１９０Ｂに第１及び第２開口部１０２、１０４を形成し、その後に第１及び第２開口部１０２、１０４の内に第１及び第２電極１５０、１４０を形成するための金属を充填しながら第１及び第２電極１５０、１４０を形成することができる。
【０３３５】
この際、第１及び第２開口部１０２、１０４はレーザーを用いたレーザーアブレーション、またはエッチング溶液またはエッチングペースト、フォト工程などを用いた多様な方法により形成できる。そして、第１及び第２電極１５０、１４０は、メッキ法、蒸着法などの多様な方法により形成できる。
【０３３６】
これによれば、単純な工程によりアイソレーション部Ｉを形成することができ、アイソレーション部Ｉを第１パッシベーション膜１９０Ａによりパッシベーションして表面再結合による問題を防止することができる。これによって、簡単な工程により太陽電池の不良率を低下して生産性を向上させることができる。
【０３３７】
しかしながら、電極形成ステップ（Ｓ８）は前述したこととは異なり、第１及び第２電極形成用ペーストを第１及び第２パッシベーション膜１９０Ｂに各々スクリーン印刷などにより塗布した後、ファイヤースルー（fire through）またはレーザー焼成コンタクト（laser firing contact）などの熱処理方法を使用して、第１及び第２電極１５０、１４０を形成することも可能である。
【０３３８】
このように、第１電極及び第２電極を印刷法と熱処理方法を用いて形成する場合には、第１及び第２電極１５０、１４０を形成する時、自然に第１及び第２開口部１０２、１０４が形成されるので、別途に第１及び第２開口部１０２、１０４を形成する工程を追加しなくてもよいので、製造工程をより単純化することができる。
【０３３９】
このように、第１電極及び第２電極を印刷法と熱処理方法を用いて形成する場合に対してより具体的に説明すれば、次の通りである。
【０３４０】
図１６は本発明の第２実施形態に係る太陽電池を製造する方法の一例を説明するための順序図であり、図１７は本発明の第３実施形態に係る太陽電池を製造する方法の一例を説明するための順序図である。
【０３４１】
図１６及び図１７では第１電極形成ステップ（工程）を除外した残りの部分は先の図１２及び図１３Ａ乃至図１５で説明したことと同一であるので省略し、異なる部分を中心に説明する。
【０３４２】
したがって、本発明の第２実施形態及び第３実施形態に係る太陽電池を製造する方法は、先の第１実施形態の製造方法で説明したように、トンネル層形成ステップ（Ｓ１）、真性半導体層形成ステップ（Ｓ２）、第１導電型半導体部形成ステップ（Ｓ３）、除去ステップ（Ｓ４）、第２導電型半導体部形成ステップ（Ｓ５）、反射防止膜及び第２パッシベーション膜形成ステップ（Ｓ６）、第１パッシベーション膜形成ステップ（Ｓ７）、及び電極形成ステップ（Ｓ８）を含むことができる。
【０３４３】
ここで、電極形成ステップ（Ｓ８）を除外した残りのステップ(工程）は前述した第１実施形態と同一であるので、これに対する説明は省略する。
【０３４４】

第２実施形態または第３実施形態でも、電極形成ステップ（Ｓ８）は第１電極を形成するステップと第２電極を形成するステップを含むことができるが、ここで、第２電極を形成するステップは本発明の第１実施形態に係る太陽電池製造方法と同一であるか、または第２実施形態または第３実施形態に係る第１電極形成ステップ（Ｓ８）がそのまま適用されることもできる。したがって、本発明では第２電極を形成する方法に対する特別な制限がないので、これに対する具体的な説明は省略する。

【０３４５】

但し、第２実施形態または第３実施形態では第１電極を形成するステップが第１実施形態と異なるので、これに対して具体的に説明する。

【０３４６】

第２実施形態または第３実施形態に係る太陽電池を製造する方法において、第１電極形成ステップ（Ｓ８）は第１フィンガー電極を形成するための第１フィンガー電極用ペーストと第１バスバーを形成するための第１バスバー用ペーストを第１パッシベーション膜１９０Ａの上にプリンティングして印刷する工程と熱処理工程を含むことができる。

【０３４７】

このような熱処理工程のうち、第１フィンガー電極用ペーストと第１バスバー用ペーストは、第１パッシベーション膜を破って、第１導電型半導体部に接続できる。したがって、第１パッシベーション膜に開口部を形成するステップは、このような電極形成ステップの熱処理工程中に共に遂行できる。

【０３４８】

具体的には、本発明の第２実施形態に係る太陽電池を製造する方法において、第１電極形成ステップ（Ｓ８Ａ）は、複数の第１フィンガー電極用ペースト及び第１バスバー用ペーストを第１パッシベーション膜１９０Ａの上に１回のプリンティング工程により印刷する工程（Ｓ８Ａ１）と熱処理工程（Ｓ８Ａ２）を含むことができる。

【０３４９】

この際、第１フィンガー電極１５１を形成するための第１フィンガー電極用ペーストに含まれる材質と第１バスバー１５３を形成するための第１バスバー用ペーストに含まれる材質とは互いに同一でありうる。

【０３５０】

以後、熱処理工程を通じて、第１フィンガー電極用ペーストと第１バスバー用ペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続しながら、第１フィンガー電極用ペーストと第１バスバー用ペーストが一部の第１導電型半導体部１７０の内部に陥入された後、焼成されるにつれて、図５に示すような第１フィンガー電極１５１と第１バスバー１５３が形成できる。

【０３５１】

併せて、熱処理工程中に第１フィンガー電極用ペーストと第１バスバー用ペーストから金属が抽出されながら再結晶化されて、第１導電型半導体部１７０のうち、電極形成領域１７０Ａの内に金属結晶ＭＣが形成できる。

【０３５２】

この際、熱処理工程の最高温度は７００℃乃至９００℃の間、より好ましくは７９５℃乃至８７０℃の間でありうる。

【０３５３】

ここで、熱処理工程の最高温度を７９５℃以上とすることは、第１フィンガー電極用ペーストと第１バスバー用ペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続するようにするためである。

【０３５４】

併せて、熱処理工程の最高温度を８７０℃以下にすることは第１フィンガー電極用ペーストと第１バスバー用ペーストから金属が抽出されながら再結晶化される金属結晶ＭＣがトンネル層１６０の内部まで侵入することを防止するためである。

【０３５５】

併せて、本発明の第３実施形態に係る太陽電池を製造する方法において、第１電極形成ステップ（Ｓ８Ｂ）は、図１７に示すように、第１フィンガー電極１５１を形成するために第１フィンガー電極用ペーストを第１パッシベーション膜１９０Ａの上にプリンティングして印刷する工程（Ｓ８Ｂ１）、第１バスバー１５３を形成するために第１フィンガー電極用ペーストと異なる材質の第１バスバー用ペーストを第１パッシベーション膜１９０Ａの上にプリンティングして印刷する工程（Ｓ８Ｂ２）、及び熱処理工程（Ｓ８Ｂ３）を含むことができる。

【０３５６】

図１７では、第１フィンガー電極用ペーストを印刷する工程（Ｓ８Ｂ１）の以後、第１バスバー用ペーストを印刷（Ｓ８Ｂ２）することと図示したが、２つ工程の順序は変わっても関係ない。

【０３５７】

このように、図１７に示すような第１電極形成ステップ（Ｓ８）を通じて、図９に示すような第１フィンガー電極１５１と第１バスバー１５３が形成できる。

【０３５８】

このように、本発明の第３実施形態に係る太陽電池を製造する方法は、第１フィンガー電極用ペーストと第１バスバー用ペーストを別途の印刷工程（Ｓ８Ｂ１、Ｓ８Ｂ２）により遂行することができる。

【０３５９】

併せて、この際、第１フィンガー電極用ペーストに含まれる材質と第１バスバー用ペーストに含まれる材質は互いに異なることがある。

【０３６０】

より詳しくは、第１バスバー用ペーストの単位体積当たりガラスフリットの含有量を第１フィンガー電極用ペーストに含まれた単位体積当たりガラスフリットの含有量より小さくするか、またはガラスフリットが含まれないようにすることができる。

【０３６１】

このようにする理由は、第１電極１５０を形成するための熱処理工程で、第２フィンガー電極用ペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に陥入される間、第１バスバー用ペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続されても第１導電型半導体部１７０の内部にほとんど陥入できないようにするか、または第１パッシベーション膜１９０Ａが破れないようにするためである。

【０３６２】

このようにすることで、第１導電型半導体部１７０のバスバー形成領域１７０Ａ２に金属結晶ＭＣが形成されないようにすることができ、半導体基板１００の劣化を防止することができる。

【０３６３】

併せて、複数の第１フィンガー電極１５１に含まれる単位体積当たりガラスフリットの含有量は第２電極１４０に含まれる単位体積当たりガラスフリットの含有量と同一でありうる。

【０３６４】

これは、第２電極１４０も第２電極ペーストを塗布した後、反射防止膜１３０を破って第２導電型半導体部１２０に接続して形成できるが、第２フィンガーペーストに含まれた単位体積当たりガラスフリットの含有量を第２電極１４０と同一にすることで、同一な熱処理工程で第２電極ペーストが反射防止膜１３０を破って第２導電型半導体部１２０に陥入される速度と第２フィンガーペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に陥入される速度を互いに概略的に同一にすることができる。

【０３６５】

これによって、第２電極１４０と第１電極１５０を形成するための熱処理工程の温度を互いに同一にしながら第１フィンガー電極１５１が第１導電型半導体部１７０に陥入され

Petitioner Runergy USA Inc., Ex. 1002, p. 332

る速度を制限することができる。

【０３６６】

また、複数の第１フィンガー電極１５１に含まれる単位体積当たり金属物質の含有量は複数の第１バスバー１５３に含まれる単位体積当たり金属物質の含有量より多いことがある。

【０３６７】

より具体的な一例として、複数の第１フィンガー電極１５１に含まれる単位体積当たり金属物質の含有量は８０ｗｔ％以上９５ｗｔ％以下であり、複数の第１バスバー１５３に含まれる単位体積当たり金属物質の含有量は６０ｗｔ％以上８０ｗｔ％以下でありうる。

【０３６８】

このように、第１フィンガー電極１５１に含まれる単位体積当たり金属物質の含有量を８０ｗｔ％以上９５ｗｔ％以下にすることは、第２フィンガーペーストが第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０の内に陥入された状態で、金属結晶ＭＣが先の図６で説明したように十分に形成されるようにし、相対的に幅の狭い第１フィンガー電極１５１の抵抗を十分に低下するためである。

【０３６９】

併せて、第１バスバー１５３に含まれる単位体積当たり金属物質の含有量を６０ｗｔ％以上８０ｗｔ％以下になるようにすることで、第１バスバーペーストのうちの一部が第１パッシベーション膜１９０Ａを破って第１導電型半導体部１７０に接続されても、第１バスバーペーストに含まれた金属物質により第１導電型半導体部１７０のバスバー形成領域１７０Ａ２に金属結晶ＭＣが形成されないようにするか、または金属結晶ＭＣがたとえ形成されるとしても、先の図７で説明したように、金属結晶ＭＣがトンネル層１６０の内部に形成されないようにすることができる。

【０３７０】

併せて、複数の第１フィンガー電極１５１に含まれる単位体積当たり金属物質の含有量は第２電極１４０に含まれる単位体積当たり金属物質の含有量と同一でありうる。

【０３７１】

このように、互いに異なる材質を有する第１フィンガー電極１５１と第１バスバー１５３を形成することによって、半導体基板１００の劣化を防止することができ、太陽電池の効率の低下をより防止することができる。

【０３７２】

前述したように、半導体基板１００の劣化は第１電極１５０を形成するための熱処理工程中に発生することができ、熱処理工程の温度が低過ぎれば、第１電極１５０の接触抵抗が過度に高まって太陽電池の効率を防止することができる。

【０３７３】

以上、本発明の実施形態に対して詳細に説明したが、本発明の権利範囲はこれに限定されるものではなく、請求範囲で定義している本発明の基本概念を用いた当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

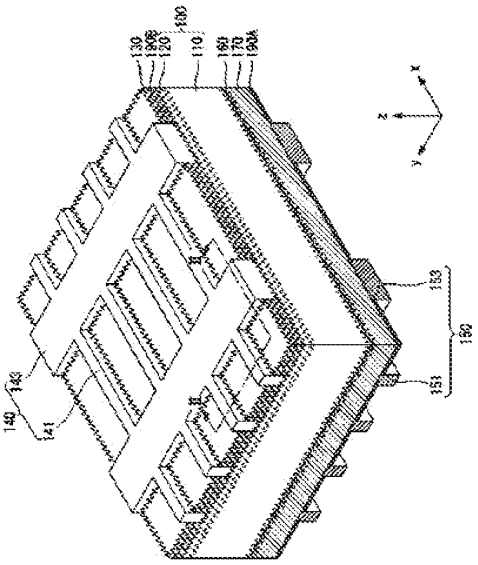
【０３７４】

本特許出願は、２０１４年１１月２８日付けで韓国に出願した特許出願番号第１０－２０１４－０１６８６２４号及び２０１５年８月３１日付けで韓国に出願した特許出願番号第１０－２０１５－０１２２８４６号に対して優先権を主張し、その全ての内容は参考文献として本特許出願に併合される。

Petitioner Runergy USA Inc., Ex. 1002, p. 333

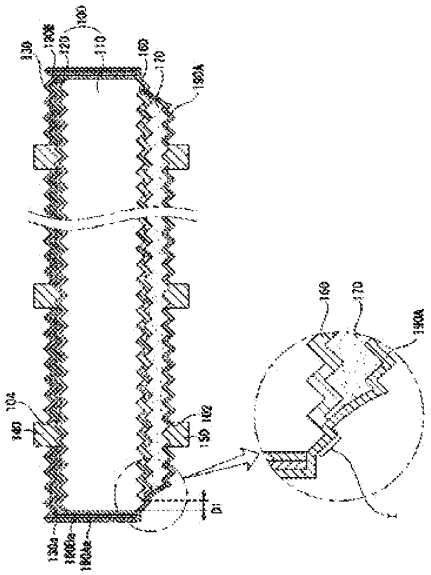
【図１】

図1



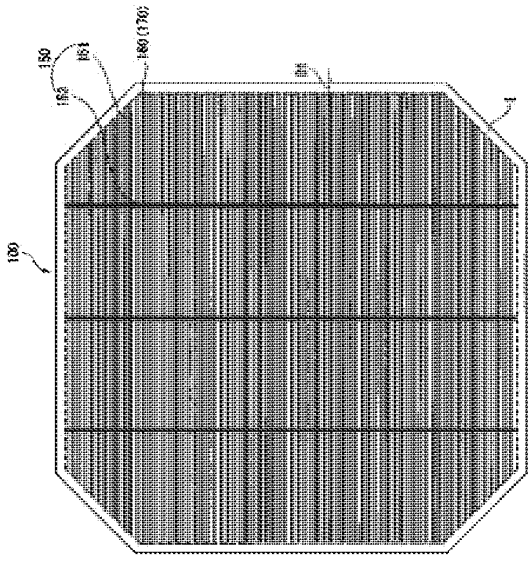
【図２】

図2



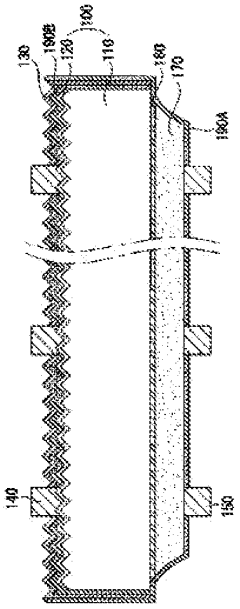
【図３】

図3



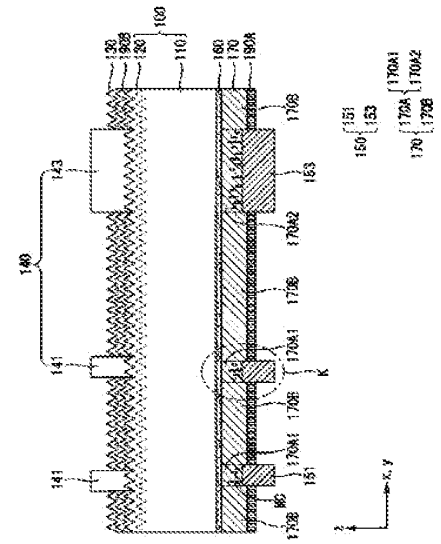
【図４】

図4



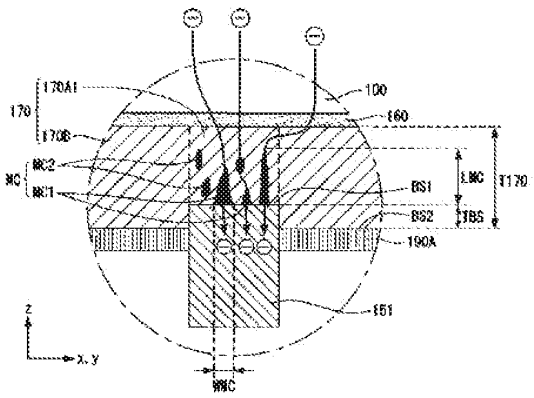
【図５】

図5



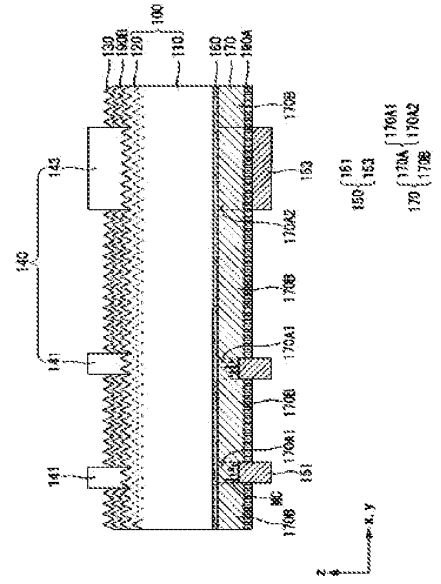
【図６】

図6



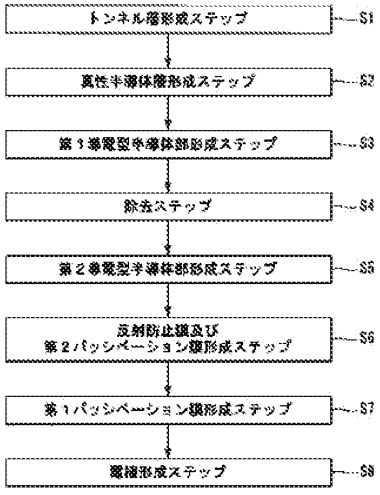
【図９】

図9

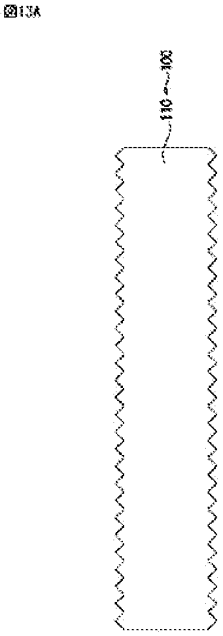


【図１２】

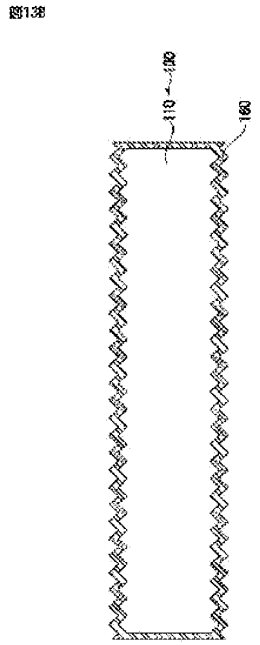
図12



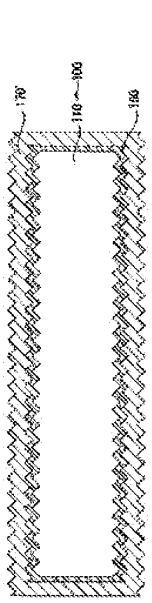
【図１３Ａ】



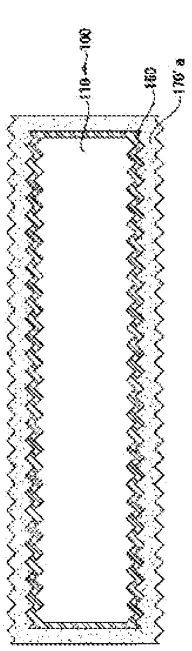
【図１３Ｂ】



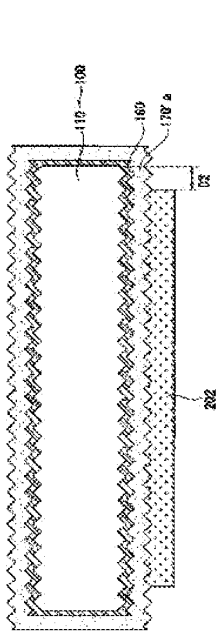
【図１３Ｃ】



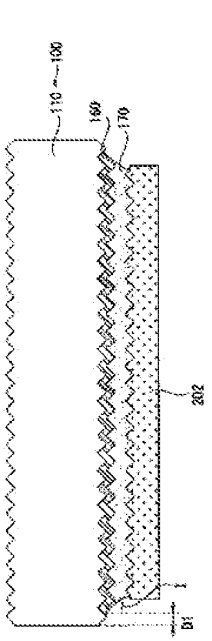
【図１３Ｄ】



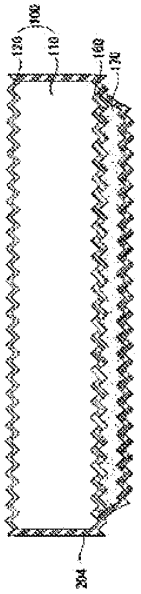
【図１３Ｅ】



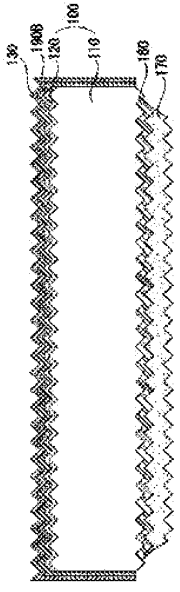
【図１３Ｆ】



【図１３Ｇ】

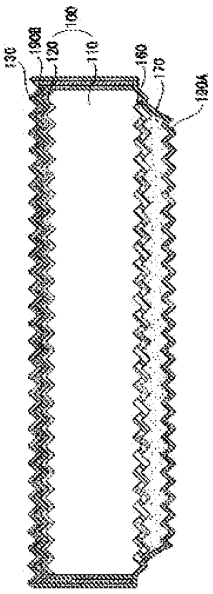


【図１３Ｈ】



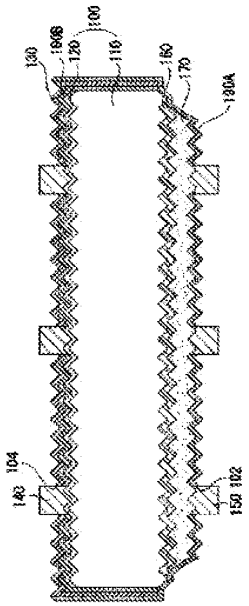
【図１３Ｉ】

図13I



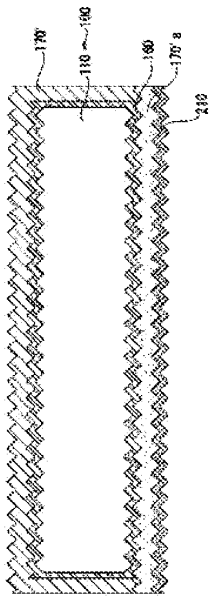
【図１３Ｊ】

図13J



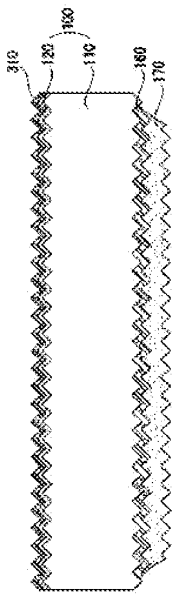
【図１４】

図14



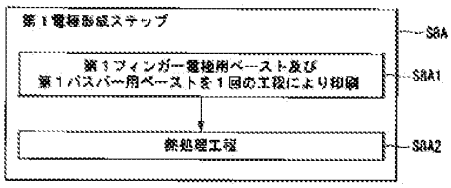
【図１５】

図15



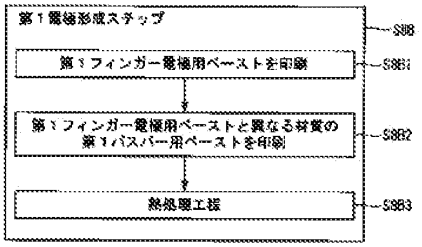
【図１６】

図16



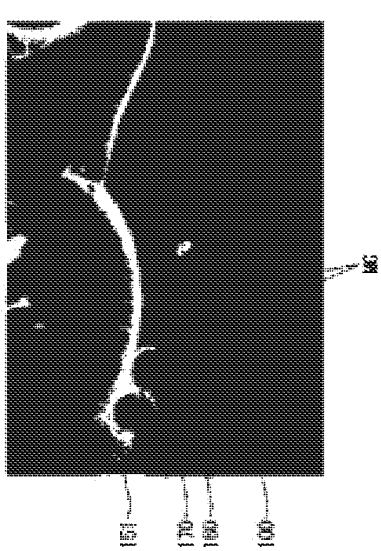
【図１７】

図17



【図７】

図7



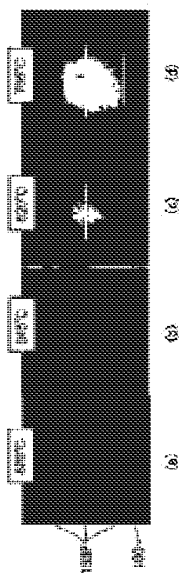
【図８】

図8

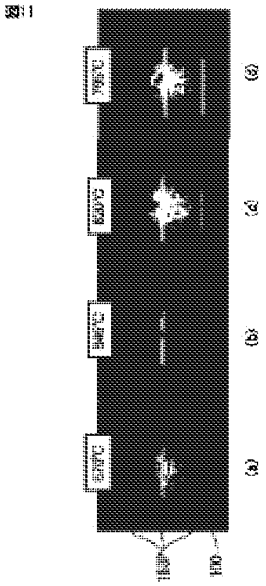


【図１０】

図10



【図１１】



フロントページの続き

(72)発明者 ハ ジュンミン
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 キム スンジン
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チョン ジュファ
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 アン チョンヨン
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チェ ヒョンウク
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 チャン ウォンジェ
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ
(72)発明者 キム ジェスン
大韓民国, １５３－８０２, ソウル, クムチョン－ク, カサン デジタル １－ロ, ５１, エルジー エレクトロニクス インコーポレイティド アイピー グループ

Ｆターム(参考) 5F151 AA02 AA03 CB14 CB20 CB21 CB24 CB27 CB29 DA03 DA20
FA10 FA14 FA15 FA18 FA24 GA04 GA14 HA03 HA06 HA07

Espacenet

Bibliographic data: JPS5660070 (A) — 1981-05-23

MANUFACTURE OF SOLAR BATTERY

Inventor(s): IGAWA YASUO; MOCHIZUKI MASAO

Applicant(s): TOKYO SHIBAURA ELECTRIC CO

Classification: **- international:** ***H01L31/0224; H01L31/04; H01L31/042;*** (IPC1-7): H01L31/04
- cooperative: **H01L31/022425**; Y02E10/50

Application number: JP19790136631 19791023

Priority number(s): JP19790136631 19791023

Abstract of JPS5660070 (A)

PURPOSE:To prevent the contamination of the surface of a substrate in a step of calcining two solar battery cells and to simply form the solar battery having sufficient characteristics by closely contacting the surfaces of the battery cells printed with conductive paint on the back surface and calcining the cells.
CONSTITUTION:Conductive paint 4 (Al paste or the like) is coated by printing on one surface of a P type Si monocrystalline plate 1 formed with N type layer 2 on the surface. Two such elements 3 are prepared, are closely confronted on the surface not formed with the paint 4, and are retained by calcining jigs 9, 10 of alumina or the like. The elements 3 are then introduced into a calcining oven, and the paint 4 is calcined to form back surface electrode. Thus, the contamination of the surface of the substrate is prevented at the step of calcining in the back surface electrode formation, and a solar battery having sufficient characteristics can be simply formed.

Petitioner Runergy USA Inc., Ex. 1002, p. 342

⑲ 日本国特許庁（JP）　　⑪ 特許出願公開

⑫ 公開特許公報（A）　　昭56—60070

⑤1Int. Cl.³　識別記号　庁内整理番号　⑬公開　昭和56年(1981)5月23日
H 01 L 31/04　6824—5F

発明の数　1
審査請求　未請求

（全 4 頁）

⑭太陽電池の製造方法

⑳特　願　昭54—136631
㉒出　願　昭54(1979)10月23日

㉑発　明　者　井川康夫
川崎市幸区小向東芝町1番地東京芝浦電気株式会社総合研究所内

㉒発　明　者　望月正生
川崎市幸区小向東芝町1番地東京芝浦電気株式会社総合研究所内

㉓出　願　人　東京芝浦電気株式会社
川崎市幸区堀川町72番地

㉔代　理　人　弁理士　鈴江武彦　外2名

明　細　書

1. 発明の名称

太陽電池の製造方法

2. 特許請求の範囲

(1) 導電性塗料を裏面に印刷した2個の太陽電池本体を一組とし、上記太陽電池本体の裏面を相互に密着対向させて上記導電性塗料を焼成して裏面電極を形成する工程を含んでなる太陽電池の製造方法。

(2) 導電性塗料は太陽電池本体の裏面（の大部分）全域に塗布されたものであつて、その焼成は空気中で行われるものである特許請求の範囲第1項記載の太陽電池の製造方法。

3. 発明の詳細な説明

本発明は特に電極形成を効果的に行い得る太陽電池の製造方法に関する。

太陽電池の電極は、一般に太陽電池本体（基板）にAgペースト等の導電性電極物質をスクリーン印刷法により塗布し、これを数百℃の温度で焼成して形成される。この焼成工程はLSI等の半導体における不純物拡散とは異なり、清浄度レベルの低い空気中で行われることが多い。この為、一般的には例えばAgペーストの焼成によつて裏面電極を形成したとき、受光面となる基板表面に汚れが付着し易すかつた。しかるのち表面電極を形成したとき上記汚れによつて表面電極の接触抵抗が増大して太陽電池の特性が十分に活かされない問題があつた。また上記汚れが焼成炉の清浄度やAgペースト中に含まれる成分に起因するものと考えられることから、例えば水と弗酸（1：2）の混合液中に前記裏面電極を形成した上記基板を1分間程度浸漬して洗浄することが試みられている。然乍ら汚を完全に取り去ることができず、また焼成後に基板との接着力を強化するAgペースト中のガラス成分が破壊（エッチング）される為、電極の剥離が生じ易くなる問題が生じた。また裏面電極を適当な部材でマスクすることも試みられたが、製造工程の複雑化を招いてコストの高騰を招く要因となつた。そこで、裏面電極形成前に

Petitioner Runergy USA Inc., Ex. 1002, p. 343

表面電極（受光面電極）を形成することも考えられたが、このようにすると表面電極が高温での焼成工程を少くとも3回経ることになり、この結果表面電極におけるp－n接合つきぬけ現象により、素子が破壊されると云う問題が生じた。

本発明は上記事情を考慮してなされたもので、その目的とするところは、太陽電池裏面電極形成の焼成工程における基板表面の汚れを防止し、以つて十分なる特性を有する太陽電池を簡易に製造することのできる太陽電池の製造方法を提供せんことにある。

以下、図面を参照して本発明方法の一実施例を説明する。

第1図は太陽電池本体（基板）を示すもので、例えば直径75㎜、抵抗率1Ω・㎝のボロンドープP型シリコン結晶板1表面に、$POCl_3$による気相拡散法にて厚さ0.6μm、シート抵抗率20Ω/□のリンドープn型層2を形成したものである。この基板3の一面には第2図に示すよう

3を挟み込んで保持するとき相互にかみ合せられる嵌合部11を備えたものである。この嵌合部11はまた、振動に対する基板3，3のずれを防止する機能を有するものであり、同時に嵌合部11にはそのかみ合せ時に基板3，3の密着性を保証すべく間隙12が設けられる構造となつている。このような構造の上・下板6a，6bは、例えば純度96%のアルミナセラミックからなるものである。

このような治具6に保持された基板3，3は、その受光面間空間は擬似的には密着され、外気とは隔離した閉空間となる。このように治具6により保持した状態で基板3，3を例えばベルト炉形の焼成炉に導び き、800℃で約10分間のAℓペースト4の焼成を空気中で行う。この焼成にて、基板3は第4図に示すようにAℓが基板3のp－n接合面13を突き抜けて、図中14に示す如く浸透し、Aℓペースト4は合金化してP型層（P型シリコン結晶板）1のオーミック接触電極15（裏面電極）となる。

に裏面電極用の導電性塗料、例えばAℓペースト4がスクリーン印刷により印刷塗布される。このAℓペースト4はアルミニウム（Aℓ）の有機化合物を主成分とするペースト状のもので、150～200℃の温度で空気中にて乾燥される。ここで上記Aℓペースト4が印刷されない面、つまり基板3の表面5は太陽電池受光面となるべく面である。

しかして上記Aℓペースト4を裏面に印刷した基板3は2枚を一組とし、受光面となるべく表面5を相互に密着対向させて第3図に示す如く、焼成用治具6に固定する。この治具6は上記重ね合せた基板3，3の汚染防止と共にその保持を行うものであり、下板6aと上板6bとにより構成される。これらの上・下板6a，6bは基板3の裏面周縁部に当接してこれを保持する段部7、Aℓペースト4印刷面と非接触に空間部8を形成するスペーサ部9、上記空間部8を外部に連通して空気流入出路を形成する孔10、そして上板6bおよび下板6aを前記基板3，

この際、受光面5の汚染は肉眼では観察できない程度のものであつた。

しかるのち、上記Aℓのオーミック接触電極15上にAgペーストを印刷し、乾燥して、上述したAℓの焼成と同様にして今度は加熱温度700℃で10分間の焼成を行い、ここに裏面電極15aを形成する。

この後、直ちに受光面5上に表面電極用のAgペーストを櫛歯状に印刷し、乾燥して、700℃なる温度で10分間焼成して第5図に示すように表面電極16を形成する。そして、基板3の裏面周縁部を選択性エッチングしてp－n接合分離を第5図に示す如き行い、ここに太陽電池が完成される。

以上のような工程にて製造された太陽電池は、本発明者らの実験によれば太陽光の下で平均12.5%の光電変換効率を示すことが確認され、また実用的に十分なる効率11%以上の太陽電池を得る製造歩留りを90%以上とすることができた。この点、従来法による太陽電池の製造

Petitioner Runergy USA Inc., Ex. 1002, p. 344

歩留は一般的に７０％程度であり、本発明方法が優れていることが示される。即ち、裏面電極15aの焼成による形成時における基板表面5の汚れを効果的に防止できるので従来方法における問題点を解消することができる。

さて、裏面電極形成用のAℓペーストおよびAgペーストの各焼成後に受光面の汚れが肉眼で確認できない程度であることを先に述べた。然乍ら、上記各焼成が空気中で行われることから、実際には僅かではあるが基板1（シリコン）の酸化が生じてシリコン酸化膜が形成される。表面電極16の基板1（n層2）に対するオーミック接触は、n層2の表面キャリア濃度が $10^{20}\,cm^{-3}$ 程度と極めて大きいことに起因するトンネル電流により実現されるものであり、従つて上記シリコン酸化膜はトンネル電流を妨げるものとして好ましくない。ところが本発明方法にあつては、裏面電極の焼成形成時には受光面表面が実質的に閉空間を構成しているので、焼成時に生成されるシリコン酸化膜の厚さは従

来に比して非常に薄いと云う特徴がある。従つて、表面電極を形成する前に上記基板3を、例えば１：２の混合比からなる弗酸と水との混合液中に短時間（約１０秒間）浸漬してシリコン酸化膜を除去してやれば素子の歩留を更に５％程度向上させることができる。しかも上記混合液によるシリコン酸化膜の除去は非常に短時間であるが故に、裏面電極15aに与える影響を殆んど無視することができる。しかも混合液は繰返し使用が可能なので、歩留り上昇を考慮すればこの処理工程は素子のコスト上昇の要因となることもない。尚、表面電極形成用のAgペースト中に数％のTiを混入して、シリコン酸化膜による悪影響を除去することも有効である。

以上述べたように本発明方法によれば、裏面電極の形成に際して太陽電池本体の受光面を、相互に密着対向させて外気と隔離した状態とすることにより、非常に簡単にその汚れを防止することができる。しかも僅かに形成される酸化膜の除去も裏面電極に悪影響を及ぼすことなく

可能ならしめ、全体的に歩留りの向上を図り得る等の絶大なる効果を奏する。また焼成用の治具6自体も簡単なものであるから製造コストの上昇に結びつくことがなく、更には表面電極を先に形成する場合のような不都合を招くこともない。そして、簡単で制御の容易な製造工程にて特性の優れた太陽電池を能率良く製造することを可能とする等の種々格別なる利点を奏する。

尚、本発明は上記実施例にのみ限定されるものではない。実施例では２枚の基板3，3を相互に受光面を密着対向させて裏面電極用のペーストを焼成したが、これを基本単位として複数組同時に焼成を行わしめてもよいことは勿論のことである。また、裏面電極形成にAℓペースト、Agペーストを格別に焼成することなく、一度に焼成したり、あるいはAℓを含有するAgペーストを用いて一度の焼成により裏面電極を形成するようにしてもよい。また実施例では受光面がn層であるn／p形太陽電池につき説明したが、p／n形太陽電池は勿論のこと、ショットキー型太陽電池や半導体との界面が重要となるMIS（Metad Insulator Semi conductor）型太陽電池等にも適用可能である。またp－n接合分離を受光面周縁部で行つてもよい。要するに本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

4. 図面の簡単な説明

図は本発明の一実施例工程を示すもので、第１図は太陽電池本体の構成図、第２図は太陽電池本体の裏面にAℓペーストを印刷した状態を示す図、第３図は焼成用治具と裏面電極の焼成状態を示す模式図、第４図はAℓペーストを焼成した状態を示す図、第５図は太陽電池の完成状態を示す図である。

3…太陽電池本体（基板）、4…Aℓペースト（導電性塗料）、6…焼成用治具、15a…裏面電極、16…表面電極（受光面電極）。

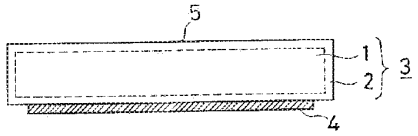
出願人代理人　弁理士　鈴　江　武　彦

Petitioner Runergy USA Inc., Ex. 1002, p. 345

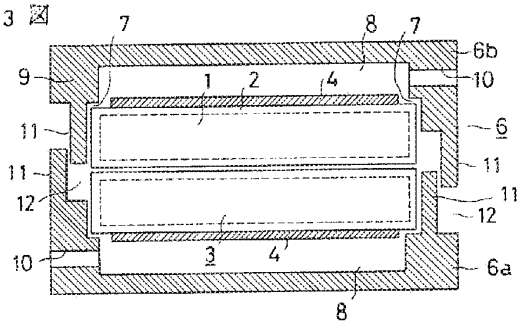
第 1 図



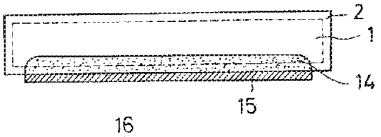
第 2 図



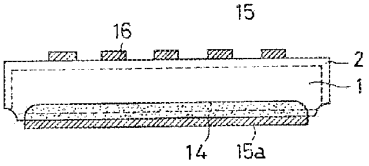
第 3 図



第 4 図



第 5 図



Petitioner Runergy USA Inc., Ex. 1002, p. 346

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 2 434 548 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
28.03.2012 Bulletin 2012/13

(51) Int Cl.:
H01L 31/0224 (2006.01) *H01L 31/0236* (2006.01)
H01L 31/068 (2012.01) *H01L 31/0216* (2006.01)

(21) Application number: **11000334.0**

(22) Date of filing: **17.01.2011**

(84) Designated Contracting States:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Designated Extension States:
BA ME

(30) Priority: **27.09.2010 KR 20100093107**

(71) Applicant: **LG ELECTRONICS INC.**
Yeongdeungpo-gu
Seoul 150-721 (KR)

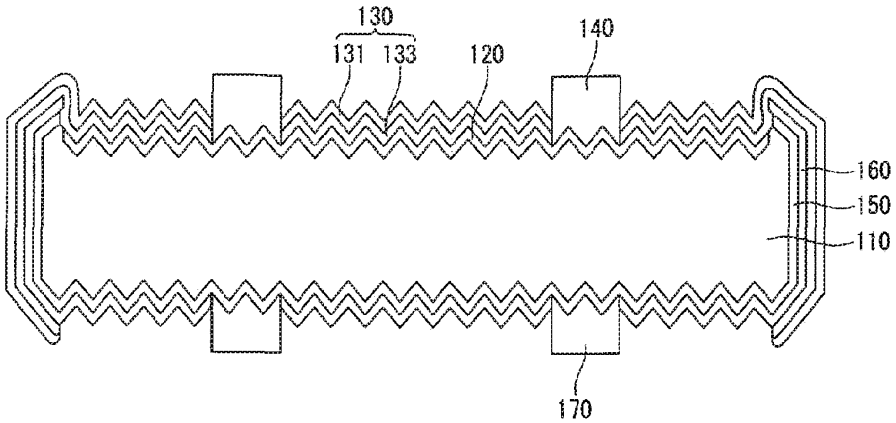
(72) Inventors:
- **Yoon, Philwon**
  Seoul 137-724 (KR)
- **Park, Changseo**
  Seoul 137-724 (KR)
- **Jin, Yoonsil**
  Seoul 137-724 (KR)
- **Kim, Jinsung**
  Seoul 137-724 (KR)
- **Shim, Goohwan**
  Seoul 137-724 (KR)
- **Choe, Youngho**
  Seoul 137-724 (KR)
- **Chang, Jaewon**
  Seoul 137-724 (KR)

(74) Representative: **Katérle, Axel**
Wuesthoff & Wuesthoff
Patent- und Rechtsanwälte
Schweigerstraße 2
81541 München (DE)

(54) Solar cell and method for manufacturing the same

(57) A solar cell and a method for manufacturing the same are disclosed. The solar cell includes a substrate, an emitter layer at a front surface of the substrate, a first anti-reflection layer on the emitter layer, a back surface field layer at a back surface of the substrate, and a second anti-reflection layer on the back surface field layer. The first anti-reflection layer and the second anti-reflection layer overlap may each other.

FIG. 1



EP 2 434 548 A2

Printed by Jouve, 75001 PARIS (FR)

Description

BACKGROUND

Field of the Invention

[0001] Exemplary embodiments of the invention relate to a solar cell and a method for manufacturing the same.

Description of the Related Art

[0002] The solar power generation of converting light energy into electric energy using a photoelectric transformation effect has been widely used as a method for obtaining eco-friendly energy. A solar power generation system using a plurality of solar cell panels has been installed in houses due to improvement of photoelectric transformation efficiency of solar cells.

[0003] The solar cell generally includes a substrate and an emitter layer that forms a p-n junction along with the substrate, thereby generating an electric current from light incident on the solar cell through one surface of the substrate. Further, an anti-reflection layer is formed on a light receiving surface of the substrate, so as to reduce a reflectance of light incident on the substrate and increase a light transmittance of a predetermined wavelength band. Hence, the photoelectric transformation efficiency of the solar cell increases.

[0004] Because light is generally incident on the solar cell through only one surface of the substrate, current transformation efficiency of the solar cell is low. Accordingly, a double-sided light receiving solar cell, in which light is incident on the solar cell through both surfaces of the substrate, has been recently developed.

SUMMARY

[0005] In one aspect, a solar cell may include a substrate, an emitter layer at a front surface of the substrate, a first anti-reflection layer on the emitter layer, a back surface field layer at a back surface of the substrate, and a second anti-reflection layer on the back surface field layer. The first anti-reflection layer and the second anti-reflection layer may overlap each other.

[0006] The second anti-reflection layer may be at the back surface, a side surface and an edge of the front surface of the substrate. The second anti-reflection layer may extend a distance over the edge of the front surface of the substrate of equal to or less than about 1 mm.

[0007] The back surface field layer may be at the back surface, the side surface and the edge of the front surface of the substrate. The second anti-reflection layer may extend a distance over the edge of the front surface of the substrate at least as much as a distance the back surface field layer extends over the edge of the front surface of the substrate.

[0008] The edge of the front surface of the substrate may be covered by the emitter layer or may be not covered by the emitter layer. The back surface field layer may extend over the edge of the front surface of the substrate less than a width of the edge of the front surface of the substrate that is not covered by the emitter layer. The second anti-reflection layer may extend over the edge of the front surface of the substrate about equal to a width of the edge of the front surface of the substrate that is not covered by the emitter layer.

[0009] The first anti-reflection layer may be on the second anti-reflection layer. The first anti-reflection layer may be at the front surface, the side surface and an edge of the back surface of the substrate. The first anti-reflection layer may extend a distance over the edge of the back surface of the substrate of equal to or less than about 1 mm.

[0010] The solar cell may include a plurality of first electrodes electrically connected to the emitter layer and may include a plurality of second electrodes electrically connected to the back surface field layer.

[0011] One or both of the front surface and the back surface of the substrate may be textured to form a textured surface having a plurality of uneven portions.

[0012] The first anti-reflection layer may include: an upper layer; and a lower layer between the emitter layer and the upper layer. The lower layer may include an aluminum oxide layer or a thermal oxide layer. The upper layer may include a silicon nitride layer.

[0013] The second anti-reflection layer may include a silicon nitride layer.

[0014] A method for manufacturing a solar cell may include: forming a back surface field layer at a back surface, a side surface, and a front surface of a substrate; forming a second anti-reflection layer on the back surface field layer at the back surface, the side surface and an edge of the front surface of the substrate, wherein a portion of the back surface field layer at the front surface of the substrate is uncovered; removing the uncovered portion of the back surface field layer; forming an emitter layer at the front surface of the substrate where the back surface field layer was removed; and forming a first anti-reflection layer on the emitter layer.

[0015] The first anti-reflection layer may be formed on the second anti-reflection layer. The first anti-reflection layer may be formed at the front surface, the side surface and an edge of the back surface of the substrate.

[0016] Before the emitter layer and the back surface field layer are formed, one or both of the front surface and the back surface of the substrate may be textured to form a textured surface.

[0017] It is to be understood that both the foregoing general description and the following detailed description are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

BRIEF DESCRIPTION OF THE DRAWINGS

[0018] The accompanying drawings, which are included to provide a further understanding of the invention and

Petitioner Runergy USA Inc., Ex. 1002, p. 348

are incorporated in and constitute a part of this specification, illustrate embodiments of the invention and together with the description serve to explain the principles of the invention. In the drawings:

[0019] FIG. 1 is a schematic cross-sectional view of an exemplary solar cell;

[0020] FIG. 2 is an enlarged cross-sectional view of a main part of the solar cell shown in FIG. 1; and

[0021] FIGS. 3 to 9 are cross-sectional views illustrating an exemplary method for manufacturing the solar cell shown in FIG. 1.

DETAILED DESCRIPTION OF THE ILLUSTRATED EMBODIMENTS

[0022] The invention will be described more fully hereinafter with reference to the accompanying drawings, in which example embodiments of the inventions are shown. This invention may, however, be embodied in many different forms and should not be construed as limited to the embodiments set forth herein.

[0023] In the drawings, the thickness of layers, films, panels, regions, etc., may be exaggerated for clarity. Like reference numerals designate like elements throughout the specification.

[0024] It will be understood that when an element such as a layer, film, region, or substrate is referred to as being "on" another element, it can be directly on the other element or intervening elements may also be present. In contrast, when an element is referred to as being "directly on" another element, there are no intervening elements present.

[0025] Further, it will be understood that when an element such as a layer, film, region, or substrate is referred to as being "on" another element, it can be on an entire surface of the other element or it can be on only a portion of the entire surface of the other element. In contrast, when an element is referred to as being "entirely on" another element, it is on the entire surface of the other element and not on only a portion of the entire surface of the other element.

[0026] FIG. 1 is a schematic cross-sectional view of an exemplary solar cell. FIG. 2 is an enlarged cross-sectional view of a main part of the solar cell shown in FIG. 1. FIGS. 3 to 9 are cross-sectional views illustrating an exemplary method for manufacturing the solar cell shown in FIG. 1.

[0027] The solar cell may include a substrate 110, an emitter layer 120, a first anti-reflection layer 130, a plurality of first electrodes 140, a back surface field (BSF) layer 150, a second anti-reflection layer 160 and a plurality of second electrodes 170. The emitter layer 120 may be positioned at one surface, for example, a front surface of the substrate 110. The first anti-reflection layer 130 may be positioned on the emitter layer 120. The plurality of first electrodes 140 may be positioned on the emitter layer 120 where the first anti-reflection layer 130 is not positioned. The back surface field (BSF) layer 150 may be positioned at a back surface of the substrate 110. The second anti-reflection layer 160 may be positioned on the back surface field layer 150. The plurality of second electrodes 170 may be positioned on the back surface field layer 150 where the second anti-reflection layer 160 is not positioned.

[0028] The substrate 110 may be formed of a silicon wafer of a first conductive type, for example, n-type, though not required. Silicon used in the substrate 110 may be crystalline silicon, such as single crystal silicon and polycrystalline silicon, or amorphous silicon. When the substrate 110 is of the n-type, the substrate 110 may contain impurities of a group V element such as phosphorus (P), arsenic (As), and antimony (Sb). The substrate 110 may have resistivity of about 1 $\Omega \cdot cm^2$ to about 10 $\Omega \cdot cm^2$.

[0029] Alternatively, the substrate 110 may be of a p-type and/or may be formed of other semiconductor materials other than silicon. When the substrate 110 is of the p-type, the substrate 110 may contain impurities of a group III element such as boron (B), gallium (Ga), and indium (In).

[0030] The surface of the substrate 110 may be uniformly textured to form a textured surface corresponding to an uneven surface or having uneven characteristics. More specifically, the substrate 110 may have a first textured surface 111 corresponding to the front surface where the emitter layer 120 is positioned and a second textured surface 113 corresponding to the back surface where the back surface field layer 150 is positioned.

[0031] The back surface field layer 150 may be formed at the entire back surface, the entire side surface, and a portion of the front surface (for example, an edge of the front surface) of the substrate 110.

[0032] The back surface field layer 150 may be a region (for example, n+-type region) that is more heavily doped than other portions the substrate 110. The back surface field layer may be doped with impurities of the same conductive type as the substrate 110. The back surface field layer 150 may have a surface resistivity of about 50 Ω/sq to about 150 Ω/sq.

[0033] The movement of holes to the back surface of the substrate 110 may be prevented or reduced by a potential barrier resulting from a difference between impurity concentrations of the substrate 110 and the back surface field layer 150. Hence, a recombination and/or a disappearance of electrons and holes around the back surface of the substrate 110 may be prevented or reduced.

[0034] Further, when the back surface field layer 150 is formed at the entire side surface and the edge of the front surface as well as the entire back surface of the substrate 110, carriers generated by light may be efficiently collected in an internal electric field.

[0035] The second electrodes 170 may be electrically and physically connected to a portion of the back surface field layer 150, and the second anti-reflection layer 160 may be positioned on the back surface field layer 150

Petitioner Runergy USA Inc., Ex. 1002, p. 349

where the second electrodes 170 are not positioned.

[0036] The second electrodes 170 may collect carriers (for example, electrons) moving to the substrate 110 and output the carriers to an external device. The second electrodes 170 may be formed of a conductive material. The conductive material may be, for example, aluminum (Al), nickel (Ni), copper (Cu), silver (Ag), tin (Sn), zinc (Zn), indium (In), titanium (Ti), gold (Au), or a combination thereof.

[0037] In one exemplary embodiment of the invention, the second electrodes 170 may be formed of Ag or a mixture (AgAl) of Ag and Al. In another exemplary embodiment, the second electrodes 170 may be formed of a plating layer formed by plating a metal material. The plating layer may include a metal seed layer formed of nickel silicide (for example, Ni_2Si, NiSi, and $NiSi_2$), a nickel diffusion barrier layer, a copper layer, and a tin layer. Other layered or non-layered structures may be used for the plating layer.

[0038] The second anti-reflection layer 160 reduces reflectance of light incident through the back surface of the substrate 110 and may increase selectivity of a predetermined wavelength band, thereby increasing the efficiency of the solar cell. The second anti-reflection layer 160 may be formed on the entire back surface of the substrate 110 except a formation area of the second electrodes 170, the entire side surface, and the edge of the front surface of the substrate 110.

[0039] According to the above-described structure of the solar cell, the back surface field layer 150 and the second anti-reflection layer 160 may be formed at the entire side surface and the edge of the front surface of the substrate 110.

[0040] In one aspect, a width W of the second anti-reflection layer 160 positioned at the edge of the front surface of the substrate 110 may be equal to or less than about 1 mm.

[0041] In another aspect, a width of the back surface field layer 150 positioned at the edge of the front surface of the substrate 110 may be equal to or less than the width W of the second anti-reflection layer 160 positioned at the edge of the front surface of the substrate 110.

[0042] In other words, as shown in FIG. 2, an end of the back surface field layer 150 may protrude less than an end of the second anti-reflection layer 160. Alternatively, the end of the back surface field layer 150 and the end of the second anti-reflection layer 160 may be formed on the same line. Thus, the back surface field layer 150 may be electrically insulated from the emitter layer 120.

[0043] The second anti-reflection layer 160 may be formed of silicon nitride (SiNx: H) having a refractive index of about 1.9 to about 2.3 and may have a thickness of about 50 nm to about 300 nm.

[0044] The emitter layer 120 positioned at the front surface, first textured surface 111, of the substrate 110 may be separated and electrically insulated from the end of the back surface field layer 150 positioned at the edge of the front surface of the substrate 110. In this case, an end of the emitter layer 120 and the end of the second anti-reflection layer 160 may be positioned on the same line.

[0045] The emitter layer 120 may be an impurity region of a second conductive type (for example, p-type) opposite the first conductive type (for example, n-type) of the substrate 110 and may form a p-n junction along with the substrate 110.

[0046] A plurality of electron-hole pairs produced by light incident on the substrate 110 may be separated into electrons and holes by a built-in potential difference resulting from the p-n junction between the substrate 110 and the emitter layer 120. The separated electrons may move to the n-type semiconductor, and the separated holes may move to the p-type semiconductor. When the substrate 110 is of the n-type and the emitter layer 120 is of the p-type, the separated electrons and the separated holes may move to the substrate 110 and the emitter layer 120, respectively. Accordingly, the electrons may become major carriers in the substrate 110, and the holes may become major carriers in the emitter layer 120.

[0047] When the emitter layer 120 is of the p-type, the emitter layer 120 may be formed by doping the substrate 110 with impurities of a group III element such as B, Ga, and In. The emitter layer 120 may have a surface resistivity of about 30 Ω/sq to about 120 Ω/sq.

[0048] Alternatively, when the substrate 110 is of the p-type, the emitter layer 120 may be of the n-type. In this case, the separated holes move to the substrate 110, and the separated electrons move to the emitter layer 120. When the emitter layer 120 is of the n-type, the emitter layer 120 may be formed by doping the substrate 110 with impurities of a group V element such as P, As, and Sb.

[0049] An end of the first anti-reflection layer 130 on the emitter layer 120 may extend to an edge of the back surface of the substrate 110. The first anti-reflection layer 130 may be positioned at the edge of the back surface of the substrate 110 may have a width equal to or less than about 1 mm in the same manner as the second anti-reflection layer 160.

[0050] Accordingly, the back surface field layer 150, the second anti-reflection layer 160, and the first anti-reflection layer 130 may overlap one another at the edges of the front and back surfaces of the substrate 110 as well as at the entire side surface of the substrate 110.

[0051] Although it is not shown in detail, the first anti-reflection layer 130 may be formed on the entire surface of the emitter layer 120 except the edge of the front surface of the substrate 110, or may extend to the edge of the front surface of the substrate 110.

[0052] The first anti-reflection layer 130 serves as an anti-reflection layer that reduces reflectance of light incident through the front surface of the substrate 110 and may increase selectivity of a predetermined wavelength band to thereby increase the efficiency of the solar cell. In addition, the first anti-reflection layer 130 may serve as a passivation layer.

Petitioner Runergy USA Inc., Ex. 1002, p. 350

[0053] The first anti-reflection layer 130 may have a double-layered structure including an upper layer 131 and a lower layer 133 between the emitter layer 120 and the upper layer 131.

[0054] The upper layer 131 may be formed of silicon nitride (SiNx:H), and the lower layer 133 may be formed of silicon nitride (SiNx:H) and a material, for example, aluminum oxide (AlOx) having a large absorption coefficient or a large bandgap. The lower layer 133 may have a refractive index of about 1.55 to about 1.7 and a thickness equal to or less than about 50 nm, and the upper layer 131 may have a refractive index of about 1.9 to about 2.3 and a thickness of about 50 nm to about 100 nm, so as to minimize the light reflectance in the first anti-reflection layer 130.

[0055] The light reflectance in the first anti-reflection layer 130 may be minimized when the first anti-reflection layer 130 has the double-layered structure including the upper layer 131 formed of silicon nitride (SiNx:H) and the lower layer 133 formed of aluminum oxide (AlOx) each of which being within the above refractive index and thickness ranges.

[0056] Thermal oxide may be used for the lower layer 133, instead of aluminum oxide (AlOx).

[0057] The plurality of first electrodes 140 may be positioned on the emitter layer 120 at the front surface of the substrate 110 and may be electrically and physically connected to the emitter layer 120. The first electrodes 140 may extend substantially parallel to one another in a fixed direction. The first electrodes 140 may have substantially the same width and pitch as the second electrodes 170. The widths of the first electrodes 140 may be less than the widths of the second electrodes 170.

[0058] The first electrodes 140 may collect carriers (for example, holes) moving to the emitter layer 120. The first electrodes 140 may be formed of a conductive material, such as aluminum (Al), nickel (Ni), copper (Cu), silver (Ag), tin (Sn), zinc (Zn), indium (In), titanium (Ti), gold (Au), or a combination thereof. The first electrodes 140 may be formed in the same manner as the second electrodes 170. For example, the first electrodes 140 may be formed of Ag or a mixture (AgAl) of Ag and Al.

[0059] Alternatively, the first electrodes 140 may be formed of a plating layer.

[0060] The solar cell having the above-described structure may serve as a double-sided light receiving solar cell, and an operation of the solar cell is described below.

[0061] When light irradiated onto the solar cell is incident on the substrate 110 through the emitter layer 120 and/or the back surface field layer 150, a plurality of electron-hole pairs are generated in the substrate 110 by the light energy. In this case, because the front surface and the back surface of the substrate 110 may be the first textured surface 111 and the second textured surface 113, respectively, the light reflectance in each of the front surface and the back surface of the substrate 110 may be reduced. Further, because both a light incident operation and a light reflection operation may be performed on each of the first and second textured surfaces 111 and 113 of the substrate 110, light may be confined in the solar cell. Hence, light absorption may increase, and the efficiency of the solar cell may be improved. In addition, because a reflection loss of the light incident on the substrate 110 may be reduced by the first anti-reflection layer 130 and/or the second anti-reflection layer 160, an amount of light incident on the substrate 110 may further increase.

[0062] The electron-hole pairs are separated into electrons and holes by the p-n junction between the substrate 110 and the emitter layer 120, and the separated holes move to the p-type emitter layer 120 and the separated electrons move to the n-type substrate 110. The holes moving to the emitter layer 120 move to the first electrodes 140, and the electrons moving to the substrate 110 move to the second electrodes 170 through the back surface field layer 150. Accordingly, when the first electrodes 140 of one solar cell are connected to the second electrodes 170 of another solar cell adjacent to the one solar cell using electric wires (not shown) such as interconnectors, electric current flows through the solar cells and allows use of the electric current for electric power.

[0063] The solar cell having the above-described configuration may be used in a state where the solar cell is positioned between a light transmission front substrate and a light transmission back substrate and is sealed by a protective layer.

[0064] An exemplary method for manufacturing the solar cell having the above-described configuration is described below with reference to FIGs. 3 to 9.

[0065] A substrate formed of a silicon wafer may be manufactured by slicing a silicon block or an ingot using a blade or a multi-wire saw.

[0066] More specifically, as shown in FIG. 3, a silicon wafer may be provided and then doped with impurities of a group V element, for example, phosphorus (P) to form a substrate 110 having resistivity of about 1 $\Omega \cdot cm^2$ to about 10 $\Omega \cdot cm^2$.

[0067] When the silicon block or the ingot is sliced, a mechanical damage layer may be formed in the silicon wafer. Thus, a wet etching process for removing the mechanical damage layer may be performed, so as to prevent a reduction in characteristics of the solar cell resulting from the mechanical damage layer. An alkaline etchant or an acid etchant may be used in the wet etching process.

[0068] After the mechanical damage layer is removed, the wet etching process or a dry plasma etching process may be performed to form a first textured surface 111 in the front surface of the substrate 110 and a second textured surface 113 in the back surface of the substrate 110.

[0069] As shown in FIG. 4, after the first and second textured surfaces 111 and 113 are formed, a back surface field layer 150 may be formed at each of the front surface, the back surface, and the side surface of the substrate

Petitioner Runergy USA Inc., Ex. 1002, p. 351

110 by doping each of the front surface, the back surface, and the side surface of the substrate 110 with impurities of a group V element.

[0070] As shown in FIG. 5, a second anti-reflection layer 160 formed of silicon nitride (SiNx: H) may be formed at the entire back surface, the entire side surface, and an edge of the front surface of the substrate 110. The second anti-reflection layer 160 may be formed by depositing silicon nitride using a plasma enhanced chemical vapor deposition (PECVD) method, a sputtering method, or other methods. The second anti-reflection layer 160 may have a refractive index of about 1.9 to about 2.3 and a thickness of about 50 nm to about 300 nm.

[0071] Subsequently, as shown in FIG. 6, an etched back process using the second anti-reflection layer 160 as a mask may be performed on the front surface of the substrate 110 to remove the back surface field layer 150 formed at the front surface of the substrate 110.

[0072] More specifically, the etched back process may be performed so that an end of the back surface field layer 150 protrudes less than an end of the second anti-reflection layer 160. Hence, electrical insulation between the back surface field layer 150 and an emitter layer 120 may be implemented.

[0073] As shown in FIG. 7, after the etched back process is performed, the emitter layer 120 may be formed at the front surface of the substrate 110 by doping the front surface of the substrate 110 with impurities of a group III element.

[0074] In this case, the second anti-reflection layer 160 is positioned at the edge of the front surface of the substrate 110, and the second anti-reflection layer 160 may serve as an impurity diffusion barrier layer during formation of the emitter layer 120. Further, the emitter layer 120 may be formed at the first textured surface 111 which is not covered by the second anti-reflection layer 160 and thus may be electrically insulated from the back surface field layer 150.

[0075] Subsequently, a natural oxide layer may be removed by etching the substrate 110 using hydrofluoric acid (HF), and the first anti-reflection layer 130 may be formed on the emitter layer 120.

[0076] As shown in FIG. 8, the first anti-reflection layer 130 may be formed by sequentially stacking the lower layer 133 and the lower layer 131.

[0077] The lower layer 133 may serve as a passivation layer as well as an anti-reflection layer. The lower layer 133 may be formed by depositing aluminum oxide using the PECVD method, the sputtering method, or other methods. The lower layer 133 may have a refractive index of about 1.55 to about 1.7 and a thickness equal to or less than about 50 nm. Alternatively, the lower layer 133 may be formed using thermal oxide.

[0078] The upper layer 131 may be formed by depositing silicon nitride using the PECVD method, the sputtering method, or other methods. The upper layer 131 may have a refractive index of about 1.9 to about 2.3 and a thickness of about 50 nm to about 100 nm.

[0079] As shown in FIG. 8, the first anti-reflection layer 130 may extend to the edge of the back surface of the substrate 110. Alternatively, the first anti-reflection layer 130 may be formed only on the emitter layer 120 or may extend to the edge of the front surface of the substrate 110.

[0080] According to the above-described manufacturing method, the back surface field layer 150, the second anti-reflection layer 160, and the first anti-reflection layer 130 may be positioned at the edge of the front surface of the substrate 110, the side surface of the substrate 110, and the edge of the back surface of the substrate 110.

[0081] Next, as shown in FIG. 9, a first conductive paste 141 may be printed on the front surface of the substrate 110 with a first electrode pattern, and a second conductive paste 171 may be printed on the back surface of the substrate 110 with a second electrode pattern. The first conductive paste 141 and the second conductive paste 171 may be fired.

[0082] The first conductive paste 141 may be a conductive material obtained by mixing a mixture (AgAl) of silver (Ag) and aluminum (Al) with a glass frit, and the second conductive paste 171 may be a conductive material obtained by mixing silver (Ag) with the glass frit. Alternatively, the conductive material contained in each of the first conductive paste 141 and the second conductive paste 171 may be at least one material selected from the group consisting of nickel (Ni), copper (Cu), tin (Sn), zinc (Zn), indium (In), titanium (Ti), gold (Au), and a combination thereof, other than the above materials.

[0083] When the first conductive paste 141 and the second conductive paste 171 are fired, a punch through operation is generated because of lead (Pb) contained in the glass frit. Thus, first electrodes 140 electrically and physically connected to the emitter layer 120 may be formed, and second electrodes 170 electrically and physically connected to the back surface field layer 150 may be formed.

[0084] Although it is not shown, the first electrodes 140 and the second electrodes 170 may be formed using a plating layer. In this case, a contact line may be formed on each of the first anti-reflection layer 130 and the second anti-reflection layer 160, and the plating layer may be formed on each of the emitter layer 120 and the back surface field layer 150 exposed through the contact lines. Hence, the first electrodes 140 and the second electrodes 170 may be formed.

[0085] The plating layer may include a metal seed layer formed of nickel silicide (for example, Ni_2Si, NiSi, and $NiSi_2$), a nickel diffusion barrier layer, a copper layer, and a tin layer. Other layered or non-layered structures may be used for the plating layer.

[0086] Although embodiments have been described with reference to a number of illustrative embodiments thereof, it should be understood that numerous other modifications and embodiments can be devised by those skilled in the art that will fall within the scope of the prin-

Petitioner Runergy USA Inc., Ex. 1002, p. 352

ciples of this disclosure. More particularly, various variations and modifications are possible in the component parts and/or arrangements of the subject combination arrangement within the scope of the disclosure, the drawings and the appended claims. In addition to variations and modifications in the component parts and/or arrangements, alternative uses will also be apparent to those skilled in the art.

Claims

1. A solar cell, comprising:

   a substrate;
   an emitter layer at a front surface of the substrate;
   a first anti-reflection layer on the emitter layer;
   a back surface field layer at a back surface of the substrate; and
   a second anti-reflection layer on the back surface field layer,

   wherein the first anti-reflection layer and the second anti-reflection layer overlap each other.

2. The solar cell of claim 1, wherein the second anti-reflection layer is at the back surface, a side surface and an edge of the front surface of the substrate.

3. The solar cell of claim 2, wherein the second anti-reflection layer extends a distance over the edge of the front surface of the substrate of equal to or less than about 1 mm.

4. The solar cell of claim 2 or 3, wherein the back surface field layer is at the back surface, the side surface and the edge of the front surface of the substrate.

5. The solar cell of claim 4, wherein the second anti-reflection layer extends a distance over the edge of the front surface of the substrate at least as much as a distance the back surface field layer extends over the edge of the front surface of the substrate.

6. The solar cell of claim 5, wherein the edge of the front surface of the substrate is not covered by the emitter layer.

7. The solar cell of claim 6, wherein the distance the back surface field layer extends over the edge of the front surface of the substrate is less than a width of the edge of the front surface of the substrate that is not covered by the emitter layer.

8. The solar cell of claim 7, wherein the distance the second anti-reflection layer extends over the edge of the front surface of the substrate is about equal to the width of the edge of the front surface of the substrate that is not covered by the emitter layer.

9. The solar cell of any one preceding claim, wherein the first anti-reflection layer is on the second anti-reflection layer.

10. The solar cell of claim 9, wherein the first anti-reflection layer is at the front surface, the side surface and an edge of the back surface of the substrate.

11. The solar cell of any one preceding claim, further comprising:

    a plurality of first electrodes electrically connected to the emitter layer; and
    a plurality of second electrodes electrically connected to the back surface field layer.

12. The solar cell of any one preceding claim, wherein at least one of the front surface and the back surface of the substrate is textured to form a textured surface having a plurality of uneven portions.

13. The solar cell of any one preceding claim, wherein the first anti-reflection layer includes:

    an upper layer; and
    a lower layer between the emitter layer and the upper layer.

14. The solar cell of claim 13, wherein the lower layer includes an aluminum oxide layer or a thermal oxide layer, and wherein the upper layer includes a silicon nitride layer.

15. The solar cell of any one preceding claim, wherein the second anti-reflection layer includes a silicon nitride layer.

Petitioner Runergy USA Inc., Ex. 1002, p. 353

FIG. 1

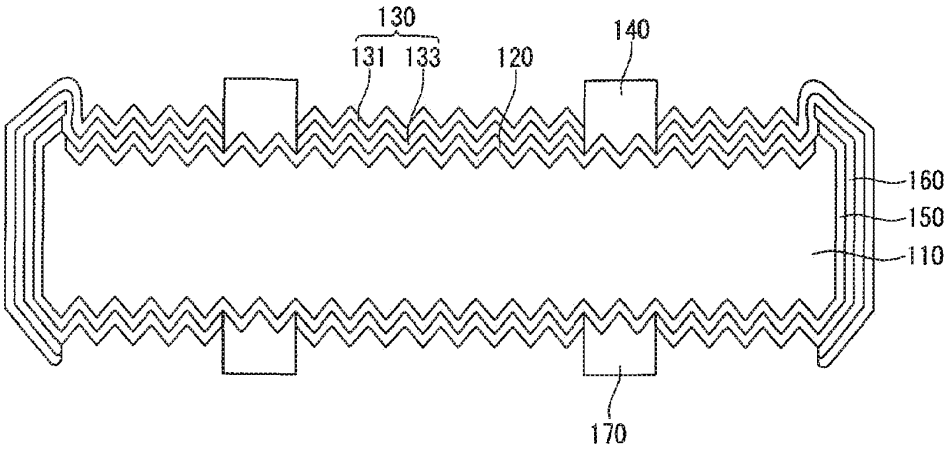
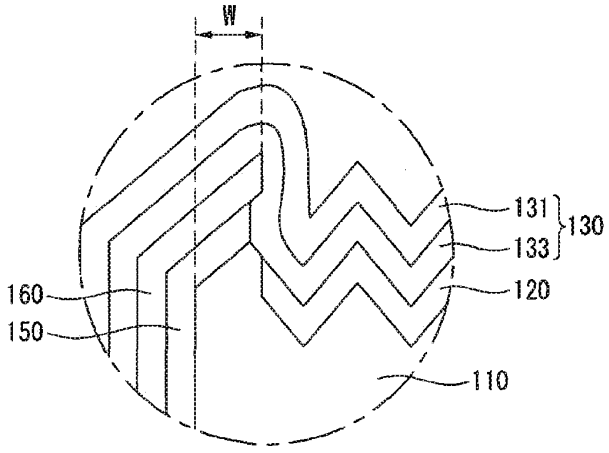


FIG. 2



Petitioner Runergy USA Inc., Ex. 1002, p. 354

FIG. 3

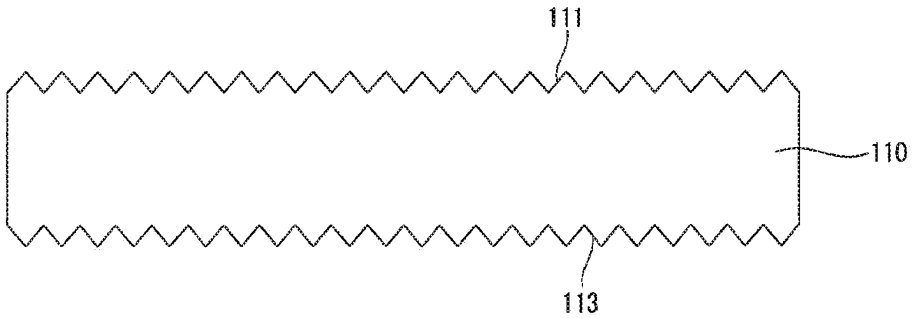


FIG. 4

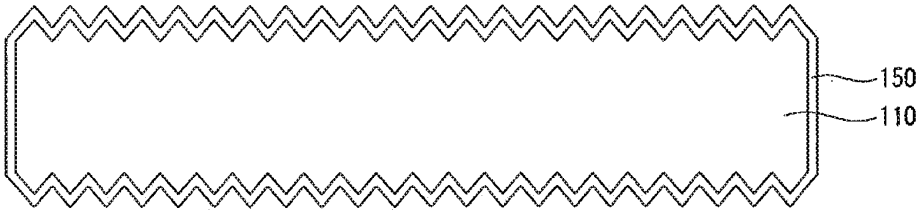
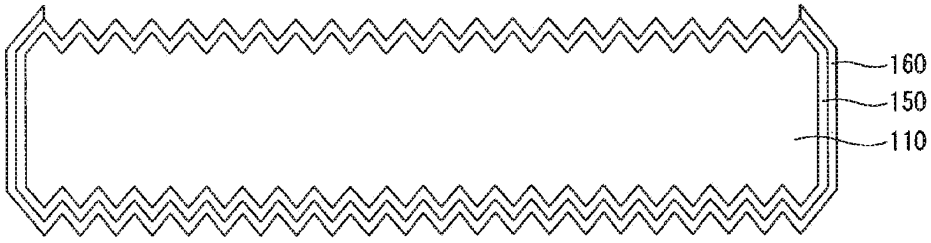


FIG. 5



Petitioner Runergy USA Inc., Ex. 1002, p. 355

FIG. 6

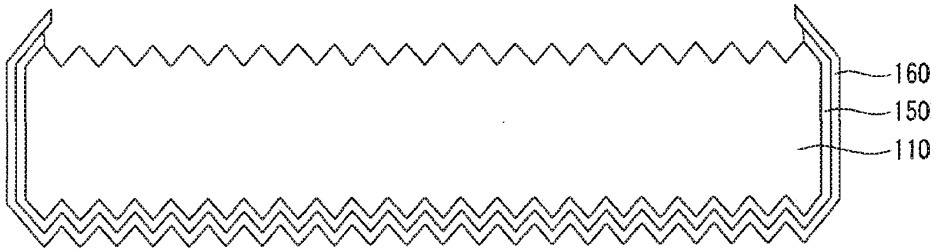
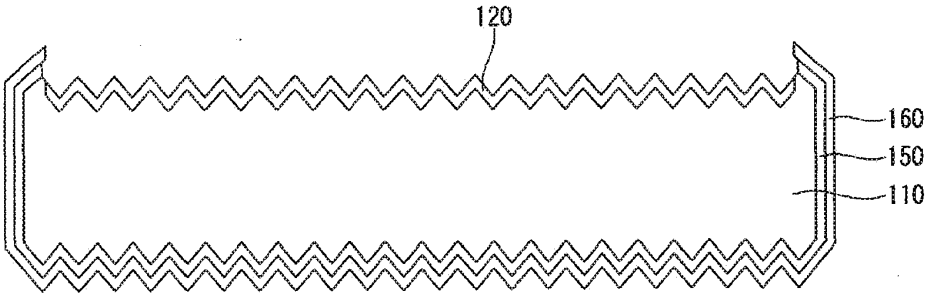


FIG. 7



Petitioner Runergy USA Inc., Ex. 1002, p. 356

FIG. 8

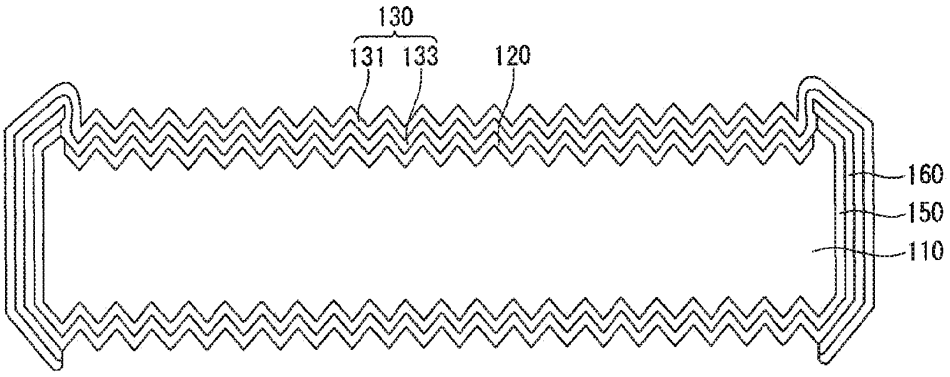
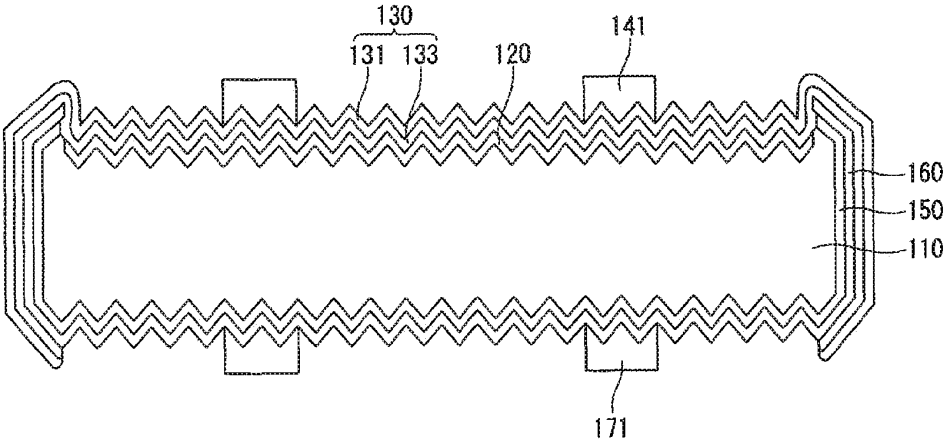


FIG. 9



Petitioner Runergy USA Inc., Ex. 1002, p. 357

Docket No.: 1630-1332PUS3
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	15/995,701	Confirmation No.:	6871
Filed:	June 01, 2018	Art Unit:	1721
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	CHERN, C.

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

A copy of a Japanese Office Action for Japanese Application No. 2017-149116, dated June 19, 2018, is provided.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☐ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of the IDS. *See 37 C.F.R § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

Petitioner Runergy USA Inc., Ex. 1002, p. 359

☐ b. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS. *See 37 C.F.R. § 1.97(e)(2)*; or

☐ c. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. *See 37 C.F.R. § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement. *See 37 C.F.R. § 1.97(e)(2).*

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(i))*; or

Petitioner Runergy USA Inc., Ex. 1002, p. 360

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(ii))*.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. *See 37 C.F.R. § 1.97(b)(1) and 37 C.F.R. § 1.97(b)(2).* No fee is required.

☑ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. *See 37 C.F.R. § 1.97(b)(3).* No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application. *See 37 C.F.R. § 1.97(c)(1).*

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed on or after the mailing date of a Final Office Action, on or after the mailing date of a Notice of Allowance, or on or after an action that otherwise closes prosecution in the application (*see 37 C.F.R. § 1.97(d)*), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

Petitioner Runergy USA Inc., Ex. 1002, p. 361

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: SEP 7 2018

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
Falls Church, VA 22042
703-205-8000

Attachment(s):
☑ PTO/SB/08
☑ Document(s)
☑ Foreign Patent Office Communication(s)
☐ Foreign Search Report(s)
☐ Fee
☐ Other:

Petitioner Runergy USA Inc., Ex. 1002, p. 362

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3

CONFIRMATION NO. 6871

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

PUBLICATION NOTICE



Title:SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Publication No.US-2018-0277694-A1
Publication Date:09/27/2018

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Petitioner Runergy USA Inc., Ex. 1002, p. 363

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

2292 7590 10/24/2018

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

EXAMINER	
CHERN, CHRISTINA	
ART UNIT	PAPER NUMBER
1721	

DATE MAILED: 10/24/2018

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3	6871

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	01/24/2019

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

Petitioner Runergy USA Inc., Ex. 1002, p. 364

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 10/24/2018

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3	6871

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	01/24/2019

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHERN, CHRISTINA	1721	136-255000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1_____
2_____
3_____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑Issue Fee ❑Publication Fee (if required) ❑Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

Petitioner Runergy USA Inc., Ex. 1002, p. 365

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3	6871

2292 7590 10/24/2018

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

EXAMINER	
CHERN, CHRISTINA	
ART UNIT	**PAPER NUMBER**
1721	

DATE MAILED: 10/24/2018

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Petitioner Runergy USA Inc., Ex. 1002, p. 366

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 15/995,701	Applicant(s) HA et al.	
	Examiner CHRISTINA CHERN	Art Unit 1721	AIA Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 6/1/2018.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-6 and 8-18 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information , please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some *c) ☐ None of the:

   1. ☑ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file areply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☑ Interview Summary (PTO-413), Paper No./Mail Date. 20181011.
5. ☑ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1721

DETAILED CORRESPONDENCE

EXAMINER'S AMENDMENT

1. An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

Authorization for this examiner's amendment was given in an interview with Brad Fritz (# 63,406) on 10/11/18.

The application has been amended as follows:

Amended claim 1 as follows:

1. (Currently Amended) A solar cell, comprising:

a silicon semiconductor substrate having a first conductive type;

an oxide layer on a first surface of the silicon semiconductor substrate;

a polysilicon layer on the oxide layer and having the first conductive type;

an emitter region at a second surface of the silicon semiconductor substrate opposite to the first surface and having a second conductive type opposite to the first conductive type;

a first passivation film on the polysilicon layer;

a first electrode connected to the polysilicon layer through an opening formed in the first passivation film;

a second passivation film on the emitter region;~~region; and~~

a second electrode connected to the emitter region through an opening formed in the second passivation film; and

an isolation portion for preventing a contact between the polysilicon layer and the emitter region,

wherein the isolation portion excludes the oxide layer and the polysilicon layer, and is in an edge portion of the first surface of the silicon semiconductor substrate, and

the first passivation film covers the first surface of the silicon semiconductor substrate and the isolation portion together.

Amended claim 6 as follows:

6. (Currently Amended) The solar cell of claim 1, ~~further comprising an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region,~~

wherein the isolation portion is formed on at least one of the first surface, a side surface, or the second surface of the silicon semiconductor substrate.

Amended claim 9 as follows:

9. (Currently Amended) The solar cell of claim 1~~claim 6~~, wherein a thickness of the edge portion~~region~~ in the polysilicon layer ~~first conductive type semiconductor region~~ progressively decreases toward the isolation portion.

Amended claim 18 as follows:

18. (Currently Amended) The solar cell of claim 1, wherein a contact area in which the first electrode is connected to the polysilicon layer~~,~~ includes a plurality~~the plurality~~ of metal crystals ~~extracted from the first electrode~~.

Amended paragraph [00117] of the specification as follows:

[00117] However, the present invention is not limited to the examples. The passivation films 190A and 190B and the anti-reflection layer 130 may include various materials. Additionally, the passivation films 190 A and 190B can be formed of a plurality of layers.

Canceled claim 7.

Allowable Subject Matter

2. Claims 1-6 and 8-18 are allowed.

3. The following is an examiner's statement of reasons for allowance:

The closest prior arts are considered to be represented by Yoon et al. (US 2011/0100459) and Gortzen et al. (US 2015/0086729).

However, Yoon does not teach or render obvious the claimed features such that an oxide layer is on a first surface of the silicon semiconductor substrate and a polysilicon layer is on the oxide layer and having the first conductive type, and the isolation portion excludes the oxide layer and the polysilicon layer, and Gortzen does not teach or render obvious the claimed features such that a polysilicon layer is on the oxide layer and having the first conductive type and an isolation portion for preventing a contact between the polysilicon layer and the emitter region is in an edge portion of the first surface of the semiconductor substrate, and wherein the first passivation film covers the first surface of the semiconductor substrate and the isolation portion together.

Therefore, the claims were found to be allowable over the prior arts.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to CHRISTINA CHERN whose telephone number is (408)918-7559. The examiner can normally be reached on Monday-Friday, 9:00 AM-5:30 PM PST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jennifer Michener can be reached on 571-272-1424. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1721

Examiner-Initiated Interview Summary	Application No. 15/995,701	Applicant(s) HA et al.	
	Examiner CHRISTINA CHERN	Art Unit 1721	AIA Status Yes

All participants (applicant, applicant's representative, PTO personnel):

(1) CHRISTINA CHERN. (3) _____.

(2) Brad Fritz (# 63,406). (4) _____.

Date of Interview: 11 October 2018.

Type: ☑ Telephonic ☐ Video Conference
☐ Personal [copy given to: ☐ applicant ☐ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☑ No.
If Yes, brief description: _____.

Issues Discussed ☐ 101 ☐ 112 ☐ 102 ☐ 103 ☑ Others
(For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: 1,6,9 and 18.

Identification of prior art discussed: N/A.

Substance of Interview
(For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Examiner proposed amendments to the claims and specification to place the application in condition for allowance in light of the prosecution history of related application 14/953264. Applicant's representative indicated they will accept the amendment to place the application in condition for allowance..

Applicant recordation instructions: It is not necessary for applicant to provide a separate record of the substance of interview.

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☐ Attachment

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1721

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/995,701	HA et al.
	Examiner	**Art Unit**
	CHRISTINA CHERN	1721

CPC							
Symbol						**Type**	**Version**
H01L	/	31	/	022433		F	2013-01-01
H01L	/	31	/	02168		I	2013-01-01
H01L	/	31	/	022425		I	2013-01-01
H01L	/	31	/	0747		I	2013-01-01
H01L	/	31	/	0201		I	2013-01-01
H01L	/	31	/	02167		I	2013-01-01
H01L	/	31	/	03685		I	2013-01-01
H01L	/	31	/	077		I	2013-01-01
H01L	/	31	/	1824		I	2013-01-01
H01L	/	31	/	1864		I	2013-01-01
H01L	/	31	/	1868		I	2013-01-01
Y02E	/	10	/	50		A	2013-01-01

CPC Combination Sets								
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	17	
/CHRISTINA CHERN/ Primary Examiner, Art Unit 1721	11 October 2018	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	2

U.S. Patent and Trademark Office — Part of Paper No.: 20181011

Petitioner Runergy USA Inc., Ex. 1002, p. 376

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/995,701	HA et al.
	Examiner	**Art Unit**
	CHRISTINA CHERN	1721

INTERNATIONAL CLASSIFICATION				
CLAIMED				
H01L	/	31	/	0216

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	17	
/CHRISTINA CHERN/ Primary Examiner, Art Unit 1721	11 October 2018	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	2

U.S. Patent and Trademark Office — Part of Paper No.: 20181011

Petitioner Runergy USA Inc., Ex. 1002, p. 377

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/995,701	HA et al.
	Examiner	Art Unit
	CHRISTINA CHERN	1721

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	9	10												
2	2	10	11												
3	3	11	12												
4	4	12	13												
5	5	13	14												
6	6	14	15												
	7	15	16												
7	8	16	17												
8	9	17	18												

NONE (Assistant Examiner)	(Date)	Total Claims Allowed: 17	
/CHRISTINA CHERN/ Primary Examiner, Art Unit 1721 (Primary Examiner)	11 October 2018 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 2

U.S. Patent and Trademark Office Part of Paper No.: 20181011

Petitioner Runergy USA Inc., Ex. 1002, p. 378

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/995,701	HA et al.
	Examiner	Art Unit
	CHRISTINA CHERN	1721

CPC - Searched*		
Symbol	Date	Examiner
H01L31/00,02,0216,02167,0248,0352	03/20/2017	CC

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
Text limited search in the above CPC subgroups. See search history.	03/20/2017	CC
Inventor name search in PALM	10/11/2018	CC
Reviewed prosecution history of related application 14/953264 in DAV	10/11/2018	CC

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
H01L31	00,02,0216,02167,0248,0352	03/20/2017	CC

Petitioner Runergy USA Inc., Ex. 1002, p. 379

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2009/0205712 - A1	08-20-2009	COUSINS	
	2	US-2011/0100459 - A1	05-05-2011	YOON et al.	
	3	US-2011/0275175 - A1	11-10-2011	MINSEK et al.	
	4	US-2012/0298175 - A1	11-29-2012	VAN ROOSMALEN et al.	
	5	US-2012/0318340 - A1	12-20-2012	HENG et al.	
	6	US-2014/0073105 - A1	03-13-2014	ISOGAI	
	7	US-2014/0299187 - A1	10-09-2014	CHANG et al.	
	8	US-2015/0086729 - A1	03-26-2015	Gortzen et al.	
	9	US-2015/0129037 - A1	05-14-2015	NAM et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	10	KR	10-1442011 - B1	09-29-2014			☐
	11	KR	10-2011-0059366 - A	06-02-2011			☐
	12	KR	10-2012-0120260 - A	11-01-2012			☐
	13	KR	10-2015-0053551 - A	05-18-2015			☐
	14	CN	103703567 - A	04-02-2014			☐
	15	JP	2000-340812 - A	12-08-2000			☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	16	WO 2009/094578 - A2	07-30-2009			☐
	17	JP 2009-295715 - A	12-17-2009			☐
	18	WO 2010/151476 - A1	12-29-2010			☐
	19	JP 2010-186862 - A	08-26-2010			☐
	20	JP 2011-181953 - A	09-15-2011			☐
	21	JP 2011-512689 - A	04-21-2011			☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 3 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code	Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	22	WO	2013/094052 - A1	06-27-2013			☐
	23	JP	2014-203999 - A	10-27-2014			☐
	24	JP	2014-204128 - A	10-27-2014			☐
	25	JP	2014-523853 - A	09-11-2014			☐
	26	JP	2014-53452 - A	03-20-2014			☐
	27	CN	201812825 - U	04-27-2011			☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2. See Kinds Codes of USPTO patent Documents, at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 4 of 4

Complete if Known	
Application Number	NEW
Filing Date	
First Named Inventor	Jungmin Ha
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner Initial *	Cite No.	Document Number: Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document: Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	28	CN 203760493 - U	08-06-2014			☐
	29	EP 2787541 - A1	10-08-2014			☐
	30	EP 2797124 - A1	10-29-2014			☐
	31	EP 3018719 - A2	05-11-2016			☐
						☐
						☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 10:41
S2	2	"20120318340"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 10:42
S3	6	"2014204128"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:02
S4	3	"20140204128"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:02
S5	1	"2011512689"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:03
S7	16	"2787541"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:16
S8	2	"20140299187"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:28
S9	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB;	OR	ON	2017/03/14

Petitioner Runergy USA Inc., Ex. 1002, p. 384

			USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			11:42
S10	163	(S1 S9) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:43
S11	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S12	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S13	163	(S11 S12) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S14	721	(S11 S12) and oxide with layer same (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S13	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S15	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S16	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S17	163	(S15 S16) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	ON	2017/03/14 17:39

Petitioner Runergy USA Inc., Ex. 1002, p. 385

			IBM_TDB			
S18	499	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") same (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S19	337	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") with (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:40
S20	86	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") with (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and edge with isolati$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:52
S21	4	"20110100459"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 10:29
S22	2000303	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S23	14961	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S24	2000303	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S25	14961	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S26	163	(S24 S25) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS;	OR	ON	2017/03/20 11:48

Petitioner Runergy USA Inc., Ex. 1002, p. 386

			EPO; JPO; DERWENT; IBM_TDB			
S27	247	(S22 S23) and tunnel$3 and (front light first) with (passivati$2) and (rear back second) with (passivati$2) and (emitter second adj conducti$2) not S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S28	94	(S22 S23) and tunnel$3 and (front light first) with (passivati$2) and (rear back second) with (passivati$2) same (side edge) and (emitter second adj conducti$2) not S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:50

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S29	639294	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT	OR	ON	2017/03/20 11:43
S30	4072	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:43
S31	0	(S29 S30) and tunnel$3 same passivati$2 same (second with conducti$2 emitter) same isolati$2 with (part portion).clm.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:46
S32	0	(S29 S30) and (silicon with oxide silicon with dioxide silicon with nitride aluminum with oxide) same passivati$2 same (second with conducti$2 emitter) same isolati$2 with (part portion).clm.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:47

10/ 11/ 2018 1:39:52 PM
C:\ Users\ cchern\ Documents\ EAST\ Workspaces\ 14953264.wsp

Petitioner Runergy USA Inc., Ex. 1002, p. 387

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	15/995,701
Filing Date	June 01, 2018
First Named Inventor	Jungmin Ha
Art Unit	1721
Examiner Name	CHERN, C.
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	1	JP 2003-298080 - A	10-17-2003			☑
	2	JP 2011-187904 - A	09-22-2011			☑
	3	JP 2012-4571 - A	01-05-2012			☑
	4	JP 2013-526053 - A	06-20-2013			☑
	5	JP 2013-77789 - A	04-25-2013			☑
	6	JP 2016-103642 - A	06-02-2016			☑

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	15/995,701
Filing Date	June 01, 2018
First Named Inventor	Jungmin Ha
Art Unit	1721
Examiner Name	CHERN, C.
Attorney Docket Number	1630-1332PUS3

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country [3] Code Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T [6]
	7	EP 2434548 - A2	03-28-2012			☐
	8	JP 56-60070 - A	05-23-1981			☑
						☐
						☐
						☐
						☐
						☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	09/21/2018

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6871

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
15/995,701	06/01/2018	136	1721	1630-1332PUS3

APPLICANTS

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;

INVENTORS

Jungmin HA, Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

**** CONTINUING DATA ************************

This application is a CON of 15/643,180 07/06/2017 PAT 10014419
which is a CON of 14/953,264 11/27/2015 PAT 9722104

**** FOREIGN APPLICATIONS ************************

REPUBLIC OF KOREA 10-2014-0168624 11/28/2014
REPUBLIC OF KOREA 10-2015-0122846 08/31/2015

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

06/20/2018

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /CHRISTINA CHERN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		KOREA, REPUBLIC OF	18	18	1

ADDRESS

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248
UNITED STATES

TITLE

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

FILING FEE RECEIVED	FEES: Authority has been given in Paper	☐ All Fees
1720	No._____ to charge/credit DEPOSIT ACCOUNT	☐ 1.16 Fees (Filing)
	No._____ for following:	☐ 1.17 Fees (Processing Ext. of time)
		☐ 1.18 Fees (Issue)
		☐ Other _____
		☐ Credit

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 10/24/2018
BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3	6871

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	01/24/2019

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHERN, CHRISTINA	1721	136-255000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 **Birch, Stewart, Kolasch &**
2 **Birch, LLP**
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: **LG ELECTRONICS INC.**

(B) RESIDENCE: (CITY and STATE OR COUNTRY): **Seoul, Republic of Korea**

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. **02-2448**

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date JAN 18 2019

Typed or printed name **Esther H. CHONG** Registration No. **40,953**

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Petitioner Runergy USA Inc., Ex. 1002, p. 391

Electronic Patent Application Fee Transmittal

Application Number:	15995701
Filing Date:	01-Jun-2018
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Filer:	Esther Hyeri Chong/Brian Mukuria
Attorney Docket Number:	1630-1332PUS3

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1000**

Electronic Acknowledgement Receipt	
EFS ID:	34898583
Application Number:	15995701
International Application Number:	
Confirmation Number:	6871
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Brian Mukuria
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS3
Receipt Date:	18-JAN-2019
Filing Date:	01-JUN-2018
Time Stamp:	13:16:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1000
RAM confirmation Number	011819INTEFSW13165800
Deposit Account	022448
Authorized User	Brian Mukuria
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

37 CFR 1.19 (Document supply fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	2019-01-18_IssueFee_1630-1332PUS3.pdf	115582 ecc2e6cb20d746626c20da7520c94a45f89e6fac	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30326 618ecbaf554170783026caa2aaddb49cadce0378	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	145908		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/995,701	03/12/2019	10230009	1630-1332PUS3	6871

2292 7590 02/20/2019

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Jungmin HA, Seoul, KOREA, REPUBLIC OF;
LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

507548531 10/18/2022

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
Stylesheet Version v1.2

EPAS ID: PAT7595422

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT

CONVEYING PARTY DATA

Name	Execution Date
JUNGMIN HA	03/02/2016
SUNGJIN KIM	03/02/2016
JUHWA CHEONG	03/02/2016
JUNYONG AHN	03/02/2016
HYUNGWOOK CHOI	03/02/2016
WONJAE CHANG	03/02/2016
JAESUNG KIM	03/02/2016

RECEIVING PARTY DATA

Name:	LG ELECTRONICS INC.
Street Address:	128, YEOUI-DAERO, YEONGDEUNGPO-GU
City:	SEOL
State/Country:	KOREA, REPUBLIC OF
Postal Code:	07336

PROPERTY NUMBERS Total: 5

Property Type	Number
Application Number:	16250463
Patent Number:	10230009
Patent Number:	10014419
Patent Number:	11239379
Patent Number:	11133426

CORRESPONDENCE DATA

Fax Number: (703)770-7900

Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.

Phone: (703) 770-7901
Email: docket_ip@pillsburylaw.com, chad.hammerlind@pillsburylaw.com, amanda.childs@pillsburylaw.com, nicole.banks@pillsburylaw.com
Correspondent Name: PILLSBURY WINTHROP SHAW PITTMAN LLP
Address Line 1: P.O. BOX 10500
Address Line 2: ATTN. DOCKETING DEPT.

Address Line 4:	MCLEAN, VIRGINIA 22102
ATTORNEY DOCKET NUMBER:	066061-0571463
NAME OF SUBMITTER:	NICOLE BANKS
SIGNATURE:	/Nicole Banks/
DATE SIGNED:	10/18/2022
	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 3
source=066061-0571463 Parent Assignment - Inventors to LG#page3.tif
source=066061-0571463 Parent Assignment - Inventors to LG#page4.tif
source=066061-0571463 Parent Assignment - Inventors to LG#page5.tif

BIRCH, STEWART, KOLASCH & BIRCH, LLP
P.O. Box 747 • Falls Church, Virginia 22040-0747
Telephone: (703) 205-8000 • Facsimile: (703) 205-8050 • Email: mailroom@bskb.com

DECLARATION AND ASSIGNMENT FOR PATENT AND DESIGN APPLICATIONS

UNITED STATES PATENT RIGHTS, OR
UNITED STATES PLUS ALL FOREIGN PATENT RIGHTS

Title of Invention ⇨ SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

As a below named inventor (hereinafter designated as the undersigned), I hereby declare that:

This declaration is directed to the application attached hereto.

Application not Attached ⇨ If the application is not attached hereto, the application is as identified by the attorney docket number as set forth above and/or the following:

Enter Appln. No. ⇨ United States Application Number or PCT International Appln. No. 14/953,264

Enter Filing Date ⇨ filed on November 27, 2015.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I have reviewed and understand the contents of the above-identified application, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations § 1.56.

WHEREAS, the undersigned has invented certain new and useful improvements described in the application identified.

Insert Name of Assignee ⇨ WHEREAS, LG ELECTRONICS INC.

Insert Address of Assignee ⇨ of 128, Yeoui-daero, Yeongdeungpo-gu, Seoul, 07336, Republic of Korea

its heirs, successors, legal representatives and assigns (hereinafter designated as the Assignee) is desirous of acquiring the entire right, title and interest in and to said invention and in and to any Letters Patent(s) that may be granted therefor in the United States of America and

Check Box if Appropriate ⇨ ☐ **in any foreign countries.**

NOW, THEREFORE, for good and valuable consideration, the receipt of which is hereby acknowledged, the undersigned has sold, assigned and transferred, and by these presents does (do) sell, assign and transfer unto said Assignee the full and exclusive right to the said invention in the United States of America, its territories, dependencies and possessions and the entire right, title and interest in and to any and all Letters Patent(s) which may be granted therefor in the United States of America, its territories, dependencies and possessions, and if the box above is designated, in any and all foreign countries; and to any and all divisions, reissues, continuations, conversions and extensions thereof for the full term or terms for which the same may be granted.

Petitioner Runergy USA Inc., Ex. 1002, p. 399

The undersigned agrees to execute all papers necessary in connection with this application and any continuing, divisional, conversion or reissue applications thereof and also to execute separate assignments in connection with such applications as the Assignee may deem necessary or expedient.

The undersigned agrees to execute all papers necessary in connection with any interference which may be declared concerning this application or continuation, division, conversion or reissue thereof or Letters Patent(s) or reissue patent issued thereon and to cooperate with the Assignee in every way possible in obtaining and producing evidence and proceeding with such interference.

The undersigned agrees to execute all papers and documents and to perform any act which may be necessary in connection with claims or provisions of the International Convention for the Protection of Industrial Property or similar agreements.

The undersigned agrees to perform all affirmative acts which may be necessary to obtain a grant of (a) valid United States of America patent(s) or a grant of (a) valid United States of America and any foreign patent(s) to the Assignee and to vest all rights therein hereby conveyed to said Assignee as fully and entirely as the same would have been held by the undersigned if this Assignment and sale had not been made.

The undersigned hereby authorizes and requests the Patent and Trademark Office Officials in the United States of America and in any foreign countries to issue any and all Letters Patent(s) resulting from said application or any continuing, divisional conversion or reissue applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has the full right to convey the entire interest herein assigned, and that he has not executed, and will not execute, any agreement in conflict herewith.

The undersigned hereby grants the law firm of Birch, Stewart, Kolasch & Birch, LLP the power to insert any further identification which may be necessary or desirable in order to comply with the rules of the U.S. Patent and Trademark Office.

The undersigned hereby covenants that no assignment, sale, agreement or encumbrance has been or will be made or entered into which would conflict with this assignment.

The undersigned hereby acknowledges that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

In witness whereof, executed by the undersigned on the date opposite the undersigned name.

LEGAL NAME OF INVENTOR

Inventor's Name ⇨ Inventor: Jungmin HA Date: 2016. 3. 2.

Inventor's Signature ⇨ Signature:

An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use a separate form for each inventor; or check the box below and complete the attached page(s) to list additional inventors.

☒ Additional inventors are being named on the 1 supplemental sheet attached hereto.

Petitioner Runergy USA Inc., Ex. 1002, p. 400

Attorney Docket No. 1630-1332PUS1

SUPPLEMENTAL SHEET FOR DECLARATION AND ASSIGNMENT

ADDITIONAL INVENTORS
Supplemental Sheet Page 1 of 1

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨ Inventor: Sungjin KIM Date: 2016. 3. 2

Inventor's Signature ⇨ Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨ Inventor: Juh wa CHEONG Date: 2016. 3. 2

Inventor's Signature ⇨ Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Junyong AHN Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Hyungwook CHOI Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Wonjae CHANG Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Jaesung KIM Date: 2016. 3. 2

Inventor's Signature ⇨Signature: KIM JAE SUNG

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Date:

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Date:

Inventor's Signature ⇨Signature:

Petitioner Runergy USA Inc., Ex. 1002, p. 401

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

POWER OF ATTORNEY BY ASSIGNEE
(REVOCATION OF PRIOR POWERS AND EXCLUSION OF INVENTIVE ENTITY)

In re PATENTs/PATENT application(s) assigned to:

Assignee: Shangrao Jinko solar Technology Development Co., LTD

Address: NO. 3 YINGBIN ROAD, SHANGRAO ECONOMIC AND TECHNICAL DEVELOPMENT ZONE, JIANGXI PROVINCE, CHINA

The above assignee (hereinafter "Assignee") hereby revokes all powers of attorney previously given and hereby appoints and authorizes the attorneys associated with

Customer Number 00909
(the customer number associated with the attorneys of
Pillsbury Winthrop Shaw Pittman LLP)

to prosecute and transact all business in the U.S. Patent and Trademark Office connected with the following matters, and any applications claiming priority to one or more of the following matters; and to the exclusion of the inventive entity or any prior assignees:

U.S. Patent Application No. or U.S. Patent No.	Filing Date
US12/812910	2010/7/14
US15/076111	2016/3/21
US16/560384	2019/9/4
US17/540983	2021/12/2
US14/478935	2014/9/5
US14/622034	2015/2/13
US16/456575	2019/6/28
US16/456621	2019/6/28
US14/793427	2015/7/7
US16/179664	2018/11/2
US14/806455	2015/7/22
US15/407812	2017/1/17
US16/597105	2019/10/9
US15/925076	2018/3/19
US17/522085	2021/11/9
US16/504995	2019/7/8
US15/142664	2016/4/29
US15/919478	2018/3/13

Petitioner Runergy USA Inc., Ex. 1002, p. 402

US16/250463	2019/1/17
US17/889200	2022/8/16
US7838761	2010/11/23
US8426723	2013/4/23
US9343599	2016/5/17
US7858426	2010/12/28
US8232128	2012/7/31
US7927498	2011/4/19
US8999740	2015/4/7
US7838762	2010/11/23
US7985610	2011/7/26
US8513754	2013/8/20
US8203072	2012/6/19
US8507789	2013/8/13
US8481847	2013/7/9
US8253013	2012/8/28
US8680392	2014/3/25
US8772630	2014/7/8
US9306084	2016/4/5
US8723018	2014/5/13
US9583653	2017/2/28
US8263857	2012/9/11
US8039734	2011/10/18
US9698293	2017/7/4
US9070798	2015/6/30
US9478680	2016/10/25
US9947811	2018/4/17
US9691919	2017/6/27
US8884158	2014/11/11
US9172119	2015/10/27
US9337359	2016/5/10
US10784385	2020/9/22
US8420927	2013/4/16
US8012531	2011/9/6
US9000291	2015/4/7
US9935212	2018/4/3
US10964827	2021/3/30
US9853178	2017/12/26
US8586855	2013/11/19
US8835744	2014/9/16
US10566472	2020/2/18
US8525018	2013/9/3
USRE46515	2017/8/15
USRE47484	2019/7/2
US9064999	2015/6/23
US9508875	2016/11/29
US8912035	2014/12/16
US10651331	2020/5/12
US9148961	2015/9/29
US9166076	2015/10/20
US9385256	2016/7/5

Petitioner Runergy USA Inc., Ex. 1002, p. 403

US8507788	2013/8/13
US9385248	2016/7/5
US8952569	2015/2/10
US9362752	2016/6/7
US9099607	2015/8/4
US8748218	2014/6/10
US8697475	2014/4/15
US10090428	2018/10/2
US9972738	2018/5/15
US10424685	2019/9/24
US9076905	2015/7/7
US9356165	2016/5/31
US10680122	2020/6/9
US8119901	2012/2/21
US9608154	2017/3/28
US10181543	2019/1/15
US9157662	2015/10/13
US8418417	2013/4/16
US9147787	2015/9/29
US9698291	2017/7/4
US10121915	2018/11/6
US8927854	2015/1/6
US9608133	2017/3/28
US10446697	2019/10/15
US9117963	2015/8/25
US9660129	2017/5/23
US10340412	2019/7/2
US8993876	2015/3/31
US9698294	2017/7/4
US9893225	2018/2/13
US10153390	2018/12/11
US9768336	2017/9/19
US10236403	2019/3/19
US10304974	2019/5/28
US11309441B2	2022/4/19
US11329172B2	2022/5/10
US9583648	2017/2/28
US9553226	2017/1/24
US10475944	2019/11/12
US9960290	2018/5/1
US10164130	2018/12/25
US11201252	2021/12/14
US10170646	2019/1/1
US10566487	2020/2/18
US9947810	2018/4/17
US9722104	2017/8/1
US10014419	2018/7/3
US10230009	2019/3/12
US11239379	2022/2/1
US11133426	2021/9/28
US11164984	2021/11/2

Direct correspondence to the address associated with Customer Number **00909.**

Assignee hereby authorizes the aforesaid attorneys to accept and follow instructions from its authorized representatives, **Beijing Uni-intel Patent and Trademark Law Firm**, as to any actions to be taken in the U.S. Patent and Trademark Office regarding the above-identified application. In the event of a change in the person(s) from whom instructions may be taken, the aforesaid attorneys will be so notified by Assignee.

The undersigned confirms that he or she is authorized to act on behalf of the assignee.

Shangrao Jinko solar Technology Development Co., LTD

Signed: Xiande Li

Name: Xiande Li

Title: President

Date: 2022.09.21

PTO/AIA/96 (08-12)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: Shangrao Jinko solar Technology Development Co., LTD

Application No./Patent No.: 10,230,009 Filed/Issue Date: March 12, 2019

Titled: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Shangrao Jinko solar Technology Development Co., LTD, a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. ☑ The assignee of the entire right, title, and interest.

2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):

☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.

☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (*e.g.*, bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

B. ☑ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: INVENTORS To: LG ELECTRONICS INC.

The document was recorded in the United States Patent and Trademark Office at

Reel 061448, Frame 0929, or for which a copy thereof is attached.

2. From: LG ELECTRONICS INC. To: Shangrao Jinko solar Technology Development Co., LTD

The document was recorded in the United States Patent and Trademark Office at

Reel 061572, Frame 0487, or for which a copy thereof is attached.

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/96 (08-12)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☑ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Chad Hammerlind/	November 7, 2022
Signature	Date
Chad Hammerlind	67,565
Printed or Typed Name	Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
15/995,701	**11/07/2022 01:57:18 PM ET**	**1630-1332PUS3**

Title of Invention

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	10230009
CONFIRMATION #	6871	FILED BY	Nicole Banks
PATENT CENTER #	61150449	FILING DATE	06/01/2018
CUSTOMER #	2292	FIRST NAMED INVENTOR	Jungmin HA
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Chad Hammerlind

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
066061 Power of Attorney - Shangrao Jinko solar Technology Development Co., LTD filed 07NOV2022.pdf	4	Power of Attorney	877 KB
066061-0571515 Statement under 37 CFR 373c filed 07NOV2022.pdf	3	Assignee showing of ownership per 37 CFR 3.73	115 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)

066061 Power of Attorney - Shangrao Jinko solar Technology Development Co., LTD filed 07NOV2022.pdf	0331ECB111A0D5B4789152E9D9DA52825ACCEB89182E2B78B F527611A4F993FC5B0CE4FF5287A9D0FF39A02A3244170D2C AE1A499E0CF2732B3A6BD50C71F466
066061-0571515 Statement under 37 CFR 373c filed 07NOV2022.pdf	261AD17511E725FEF09717514 4CCE1D5A756681AD0CCB4F5B 27A53C2A0BB265AEC5E425430FD34464FD2162C1312170B7D F3C814F1F0C2920C787E8C3302814C

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
15/995,701	06/01/2018	Jungmin HA	

CONFIRMATION NO. 6871

909
Pillsbury Winthrop Shaw Pittman, LLP
PO Box 10500
McLean, VA 22102

POA ACCEPTANCE LETTER

OC000000136800815

Date Mailed: 11/10/2022

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/07/2022.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/nrhayden/

Petitioner Runergy USA Inc., Ex. 1002, p. 411

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
15/995,701	06/01/2018	Jungmin HA	1630-1332PUS3

CONFIRMATION NO. 6871

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
Falls Church, VA 22042-1248

POWER OF ATTORNEY NOTICE

OC000000136800800

Date Mailed: 11/10/2022

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/07/2022.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/nrhayden/