PTO/AIA/15 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	1630-1332PUS1
First Named Inventor	Jungmin HA
Title	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
Express Mail Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [✓] **Fee Transmittal Form** (PTO/SB/17 or equivalent)
2. [ ] **Applicant asserts small entity status.** See 37 CFR 1.27
3. [ ] **Applicant certifies micro entity status.** See 37 CFR 1.29. Applicant must attach form PTO/SB/1SA or B or equivalent.
4. [✓] **Specification** [*Total Pages* 62] Both the claims and abstract must start on a new page. *(See MPEP § 608.01(a) for information on the preferred arrangement)*
5. [✓] **Drawing(s)** (35 U.S.C. 113) [*Total Sheets* 18]
6. **Inventor's Oath or Declaration** [*Total Pages*] *(including substitute statements under 37 CFR 1.64 and assignments serving as an oath or declaration under 37 CFR 1.63(e))*
   a. [ ] Newly executed (original or copy)
   b. [ ] A copy from a prior application (37 CFR 1.63(d))
7. [✓] **Application Data Sheet** ** See note below.* See 37 CFR 1.76 (PTO/AIA/14 or equivalent)
8. [ ] **CD-ROM or CD-R** in duplicate, large table, or Computer Program (*Appendix*)
   [ ] Landscape Table on CD
9. **Nucleotide and/or Amino Acid Sequence Submission** (*if applicable, items a. – c. are required*)
   a. [ ] Computer Readable Form (CRF)
   b. [ ] Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] Paper
   c. [ ] Statements verifying identity of above copies

ADDRESS TO:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

ACCOMPANYING APPLICATION PAPERS

10. [ ] **Assignment Papers** (cover sheet & document(s)) Name of Assignee
11. [ ] **37 CFR 3.73(c) Statement** (*when there is an assignee*) [✓] **Power of Attorney**
12. [ ] **English Translation Document** (*if applicable*)
13. [ ] **Information Disclosure Statement** (PTO/SB/08 or PTO-1449)
    [ ] Copies of citations attached
14. [ ] **Preliminary Amendment**
15. [ ] **Return Receipt Postcard** (*MPEP § 503*) (*Should be specifically itemized*)
16. [ ] **Certified Copy of Priority Document(s)** (*if foreign priority is claimed*)
17. [ ] **Nonpublication Request** Under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
18. [✓] **Other:** Transmittal for Power of Attorney (PTO/AIA/82A)

***Note:** (1) Benefit claims under 37 CFR 1.78 and foreign priority claims under 1.55 **must** be included in an Application Data Sheet (ADS).
(2) For applications filed under 35 U.S.C. 111, the application must contain an ADS specifying the applicant if the applicant is an assignee, person to whom the inventor is under an obligation to assign, or person who otherwise shows sufficient proprietary interest in the matter. See 37 CFR 1.46(b).

19. CORRESPONDENCE ADDRESS

[✓] The address associated with Customer Number: 02292 **OR** [ ] Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone		Email	

Signature	DAVID A. BILODEAU USPTO #42,325	Date	November 27, 2015
Name (Print/Type)	Esther H. Chong	Registration No. (Attorney/Agent)	40,953

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application claims priority to and the benefit of Korean Patent Application No. 10-2014-0168624 filed in the Korean Intellectual Property Office on November 28, 2014 and Korean Patent Application No. 10-2015-0122846 filed in the Korean Intellectual Property Office on August 31, 2015, the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

Field of the Invention

[0002] Embodiments of the present invention relate to a solar cell and a method for manufacturing the same.

Discussion of the Related Art

[0003] Recently, as the exhaustion of existing energy resources, such as petroleum and coal, is expected, there is a growing interest in alternative energy sources which will replace the existing energy resources. A solar cell as the alternative energy sources generates electric power from solar energy and has been in the spotlight because the solar cell uses energy resources that are abundant and the solar cell has no problem from an environmental pollution point of view.

[0004] A solar cell includes substrates made of semiconductors having different conductive types, such as a p type and an n type, a second conductive type semiconductor region (or emitter layer), and electrodes respectively connected to the substrates and the second conductive type semiconductor region. A p-n junction is formed at the interface of the substrate and the second conductive type semiconductor region.

[0005] When light is incident on such a solar cell, a plurality of electron-hole pairs are generated from the semiconductors. The generated electron-hole pairs are separated into electrons and holes. The separated electrons and holes move toward the n type semiconductor and the p type semiconductor, for example, toward the second conductive type semiconductor region and the substrate, respectively, and are collected by the electrodes electrically connected to the substrates and the second conductive type

Petitioner Runergy USA Inc., Ex. 1005, p. 2

semiconductor region. The electrodes are connected by lines, thereby obtaining power.

SUMMARY OF THE INVENTION

[0006] A solar cell according to an example of the present invention includes a semiconductor substrate, a tunnel layer on the first surface of the semiconductor substrate, a first conductive type semiconductor region on the tunnel layer and configured to include impurities of a first conductive type, a second conductive type semiconductor region on a second surface which is the opposite surface of the semiconductor substrate and configured to include impurities of a second conductive type opposite the first conductive type, a first passivation film on the first conductive type semiconductor region, a first electrode formed on the first passivation film and connected to the first conductive type semiconductor region through an opening portion formed in the first passivation film, a second passivation film on the second conductive type semiconductor region, and a second electrode formed on the second passivation film and connected to the second conductive type semiconductor region through an opening portion formed in the second passivation film.

[0007] In this instance, the first electrode may include a plurality of first finger electrodes spaced apart from each other and extended in parallel in a first direction, and the second electrode may include a plurality of second finger electrodes spaced apart from each other and extended in parallel in the first direction.

[0008] Furthermore, the first electrode may further include a first bus bar configured to interconnect the plurality of first finger electrodes, and the second electrode may further include a second bus bar configured to interconnect the plurality of second finger electrodes.

[0009] In this instance, the first conductive type semiconductor region may be made of a polycrystalline silicon material, and the second conductive type semiconductor region may be made of a single crystal silicon material.

[0010] Furthermore, an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region may be formed on any one of the first surface, side, and second surface of the semiconductor substrate.

[0011] For example, the isolation portion may exclude the tunnel layer and the first conductive type semiconductor region, and may be in the edge portion of any one of the

Petitioner Runergy USA Inc., Ex. 1005, p. 3

first surface, side, and second surface of the semiconductor substrate. The first passivation film may cover any one of the first surface, side, and second surface of the semiconductor substrate along with the isolation portion.

[0012] In this instance, the width of the isolation portion may be 1 nm to 1 mm. The thickness of the edge region in the first conductive type semiconductor region may be progressively decreased toward the isolation portion.

[0013] Furthermore, the first passivation film may include a side portion extending up the side of the semiconductor substrate.

[0014] Moreover, the second passivation film may include a side portion formed on the side surface of the semiconductor substrate. The side portion of the first passivation film on the side of the semiconductor substrate may be on the side portion of the second passivation film.

[0015] Furthermore, a first boundary surface in which the first conductive type semiconductor region and the first electrode come into contact with each other may be closer to the semiconductor substrate than a second boundary surface in which the first conductive type semiconductor region and the first passivation film come into contact with each other.

[0016] In this instance, a plurality of metal crystals extracted from the first electrode may be in an electrode forming region which belongs to the first conductive type semiconductor region and in which the first electrode may be formed. That is, the metal crystals may not be in a non-forming region which belongs to the first conductive type semiconductor region and in which the first electrode may not be formed. Furthermore, the metal crystals may not be in the tunnel layer.

[0017] The plurality of metal crystals may be in direct contact with the first electrode or may be spaced apart from the first electrode.

[0018] In this instance, all of the plurality of first finger electrodes and the first bus bar may be connected to the first conductive type semiconductor region through the first passivation film.

[0019] In this instance, all of the plurality of first finger electrodes and the first bus bar may have a single layer or double layer structure. In some embodiments, the plurality of first finger electrodes may have a single layer structure, and the first bus bar may have a double layer structure.

[0020] In this instance, the plurality of metal crystals may be in a region which belongs

Petitioner Runergy USA Inc., Ex. 1005, p. 4

to the first conductive type semiconductor region and in which the plurality of first finger electrodes is formed and a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

[0021] In some embodiments, the plurality of first finger electrodes may be connected to the first conductive type semiconductor region through the first passivation film. The first bus bar may be configured to not penetrate the first passivation film and may be formed on the back surface of the first passivation film.

[0022] In this instance, the plurality of metal crystals may be in a region which belongs to the first conductive type semiconductor region and in which the first finger electrodes are formed. The plurality of metal crystals may not be in a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

[0023] In this instance, the plurality of first finger electrodes and the first bus bar may have different compositions. For example, a content of a frit glass per unit volume which is included in the plurality of first finger electrodes may be greater than a content of a frit glass per unit volume which is included in the first bus bar.

[0024] Furthermore, a content of a frit glass per unit volume which is included in the plurality of first finger electrodes may be identical with a content of a frit glass per unit volume which is included in the first bus bar.

[0025] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes may be greater than content of a metal material per unit volume which is included in the first bus bar.

[0026] Furthermore, a method for manufacturing a solar cell according to an example of the present invention includes a tunnel layer forming operation of forming a tunnel layer on the first surface of a semiconductor substrate, an intrinsic semiconductor layer forming operation of forming an intrinsic semiconductor layer on the tunnel layer formed on the first surface of the semiconductor substrate, a first conductive type semiconductor region forming operation of forming a first conductive type semiconductor region by doping impurities of a first conductive type into the intrinsic semiconductor layer formed on the first surface of the semiconductor substrate, a second conductive type semiconductor region forming operation of forming a second conductive type semiconductor region by doping impurities of a second conductive type into the second surface of the semiconductor substrate, a first passivation film forming operation of forming a first passivation film on the first conductive type semiconductor

Petitioner Runergy USA Inc., Ex. 1005, p. 5

region, and an electrode forming operation of forming a first electrode connected to the first conductive type semiconductor region and a second electrode connected to the second conductive type semiconductor region.

[0027] In this instance, the method may further include the operation of forming an opening portion in the first passivation film after the first passivation film forming operation.

[0028] The operation of forming the opening portion in the first passivation film may be performed by thermal treatment in the electrode forming operation.

[0029] The electrode forming operation may include a first electrode forming operation of forming the first electrode. The first electrode forming operation may include printing a paste for first finger electrodes for forming the first finger electrodes and a paste for a first bus bar for forming the first bus bar on the first passivation film and performing thermal treatment on the pastes. During such a thermal treatment process, the paste for the first finger electrodes and the paste for the first bus bar may perforate the first passivation film and may be connected to the first conductive type semiconductor region. In this instance, the opening portion may be formed in the first passivation film.

[0030] In the first electrode forming operation, the highest temperature for the thermal treatment may be between 795°C to 870°C.

[0031] In the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar may be printed through a single process. In this instance, a material included in the paste for the first finger electrodes may be identical with a material included in the paste for the first bus bar.

[0032] Furthermore, in some embodiments, in the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar may be printed using separate printing processes. In this instance, a material included in the paste for the first finger electrodes and a material included in the paste for the first bus bar may be different.

[0033] Furthermore, the tunnel layer forming operation may include forming the tunnel layer on the first and second surfaces of the semiconductor substrate. The intrinsic semiconductor layer forming operation may include forming the intrinsic semiconductor layer on the tunnel layers formed on the first and second surfaces of the semiconductor substrate. The method may further include a removing operation of removing the

Petitioner Runergy USA Inc., Ex. 1005, p. 6

tunnel layer and the intrinsic semiconductor layer or the first conductive type semiconductor region placed at least on the second surface of the semiconductor substrate prior to the second conductive type semiconductor region forming operation after the first conductive type semiconductor region forming operation.

[0034] The removing operation may include forming an isolation portion by removing the tunnel layer placed on one side of the semiconductor substrate and an edge portion of the first conductive type semiconductor region. The first passivation film may cover the first surface of the semiconductor substrate along with the isolation portion.

[0035] More specifically, the removing operation may include forming a mask layer having a smaller area than the semiconductor substrate on the first conductive type semiconductor region on the other side of the semiconductor substrate, etching the first conductive type semiconductor region and the tunnel layer placed in a portion in which the mask layer has not been formed, and removing the mask layer.

[0036] Furthermore, the method may further include forming a second passivation film covering the second conductive type semiconductor region between the operation of forming the second conductive type semiconductor region and the operation of forming the first passivation film. The second passivation film may be placed on the side of the semiconductor substrate, and the first passivation film may be placed on the second passivation film.

BRIEF DESCRIPTION OF THE DRAWINGS

[0037] The accompanying drawings, which are included to provide a further understanding of the invention and are incorporated in and constitute a part of this application, illustrate embodiments of the invention and together with the description serve to explain the principle of the invention.

[0038] FIGS. 1 to 3 are diagrams illustrating a solar cell according to a first embodiment of the present invention;

[0039] FIG. 4 is a cross-sectional view of a solar cell for illustrating a modified example of the first embodiment of the present invention;

[0040] FIGS. 5 to 7 depict a solar cell according to a second embodiment of the present invention;

[0041] FIG. 8 depicts a comparison example different from the second embodiment of the present invention;

Petitioner Runergy USA Inc., Ex. 1005, p. 7

[0042] FIG. 9 is a diagram illustrating a solar cell according to a third embodiment of the present invention;

[0043] FIG. 10 is a comparison example photograph of the degree of the deterioration of a semiconductor substrate 100 according to firing temperatures in a thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste for first bus bar is the same as the material of a paste for first finger electrodes;

[0044] FIG. 11 is photograph of the degree of the deterioration of the semiconductor substrate according to firing temperatures in a thermal treatment process, which was taken through photo luminescence (PL), if the material of the paste for the first bus bar is different from the material of the paste for the first finger electrodes in accordance with the third embodiment of the present invention;

[0045] FIG. 12 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a first embodiment of the present invention;

[0046] FIGS. 13A to 13J are cross-sectional views of the method for manufacturing a solar cell according to the flowchart of FIG. 12;

[0047] FIG. 14 is a diagram illustrating a modified example of the method for manufacturing a solar cell according to the first embodiment;

[0048] FIG. 15 is a diagram illustrating another modified example of the method for manufacturing a solar cell according to the first embodiment;

[0049] FIG. 16 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a second embodiment of the present invention; and

[0050] FIG. 17 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a third embodiment of the present invention.

DETAILED DESCRIPTION OF THE EMBODIMENTS

[0051] Embodiments of the present invention are described more fully hereinafter with reference to the accompanying drawings. As those skilled in the art would realize, the described embodiments may be modified in various different ways, all without departing from the spirit or scope of the present invention. In order to clarify a description of the present invention, a description of parts not related to the description is omitted, and the same reference numbers are used throughout the specification to refer to the same or like parts.

[0052] In the drawings, the thickness of layers and an area has been enlarged for better

Petitioner Runergy USA Inc., Ex. 1005, p. 8

understanding and ease of description. When it is described that a part, such as a layer, film, area, or substrate, is "over" or "on" another part, the part may be "directly" on another part or a third part may be present between the two parts. In contrast, when it is described that a part is "directly on" another part, it means that a third part is not present between the two parts. Furthermore, when it is described that a part is "generally" formed on another part, it means the part is not formed on the entire surface (or front surface) of another part and is also not formed in part of the edge of the entire surface.

[0053] Furthermore, expressions, such as "the first" and "the second", are used to distinguish one part from the other part, and the present invention is not limited thereto.

[0054] Furthermore, a "front surface" may be one surface of a semiconductor substrate on which direct light is incident, and a "back surface" may be the opposite surface of the semiconductor substrate on which direct light is not incident or on which reflected light other than direct light may be incident.

[0055] Furthermore, if two values are the same, it means that the two values are the same within an error range of 10% or less.

[0056] Solar cells and methods for manufacturing the same according to embodiments of the present invention are described in detail below.

[0057] FIGS. 1 to 3 are diagrams illustrating a solar cell according to a first embodiment of the present invention.

[0058] FIG. 1 is a partial perspective view of the solar cell according to the first embodiment of the present invention, FIG. 2 is the entire cross-sectional view of the solar cell according to the first embodiment of the present invention, and FIG. 3 is the entire plan view of the back surface of the solar cell according to the first embodiment of the present invention.

[0059] Furthermore, FIG. 4 is a cross-sectional view of a solar cell for illustrating a modified example of the first embodiment of the present invention.

[0060] As shown in FIG. 1, an example of a solar cell according to an embodiment of the present invention includes a semiconductor substrate 100, a second conductive type semiconductor region 120, an anti-reflection layer 130, a tunnel layer 160, a first conductive type semiconductor region 170, a first passivation film 190A, a second passivation film 190B, a second electrode 140, and a first electrode 150.

[0061] In FIG. 1, the solar cell according to an embodiment of the present invention

has been illustrated as including the anti-reflection layer 130 and the second passivation film 190B, but the anti-reflection layer 130 and the second passivation film 190B may be omitted in some embodiments. However, an example in which the anti-reflection layer 130 and the second passivation film 190B are included in the solar cell is described below because better efficiency is obtained if the anti-reflection layer 130 and the second passivation film 190B are included from a viewpoint of efficiency of the solar cell.

[0062] The semiconductor substrate 100 may be made of a crystalline semiconductor including a single semiconductor material (e.g., a group 4 element). For example, the semiconductor substrate 100 may be made of a single crystal or polycrystalline semiconductor (e.g., single crystal or polycrystalline silicon). In particular, the semiconductor substrate 100 may be made of a single crystal semiconductor (e.g., a single crystal semiconductor wafer, more specifically, a single crystal silicon wafer).

[0063] If the semiconductor substrate 100 is made of a single crystal semiconductor (e.g., single crystal silicon) as described above, the solar cell is based on the semiconductor substrate 100 made of a single crystal semiconductor having less defects because it has high crystallizability. Accordingly, the solar cell can have excellent electrical characteristics. In embodiments of the invention, crystallizability may refer to a degree to which a material may be crystallize or crystallizable, for example.

[0064] Furthermore, the front surface and/or back surface of the semiconductor substrate 100 may be textured and may have concave-convex portions. For example, an external surface of the concave-convex portions may be formed of the (111) face of the semiconductor substrate 100 and may have a pyramid shape having an irregular size.

[0065] If the concave-convex portions are formed in the front surface of the semiconductor substrate 100 by texturing as described above and thus the surface roughness of the front surface is increased, the reflectance of light incident through the front surface of the semiconductor substrate 100 can be reduced.

[0066] Accordingly, an optical loss can be minimized because the amount of light which reaches a pn junction formed by a base region 110 and the first or second conductive type semiconductor region 170 or 120 is increased. In the present embodiment, the concave-convex portions have been illustrated as being formed in the front and back surfaces of the semiconductor substrate 100, thereby effectively preventing the reflection of light incident through both surfaces.

[0067] However, the present invention is not limited to the example. Accordingly, as shown in FIG. 4, the concave-convex portions may be formed only in the front surface of the semiconductor substrate 100, and concave-convex portions may not be formed in the back surface of the semiconductor substrate 100.

[0068] In this instance, the back surface of the semiconductor substrate 100 in which the tunnel layer 160 is formed may be formed to have smaller surface roughness than the front surface thereof so that the tunnel layer 160 is formed more stably and uniformly. Alternatively, the present invention may be modified in various ways, for example, concave-convex portions may not be formed in the front and back surfaces of the semiconductor substrate 100.

[0069] Referring back to FIG. 2, in the present embodiment, the semiconductor substrate 100 may include the base region 110 doped with impurities of a first or second conductive type at a low doping concentration and configured to have the first or second conductive type.

[0070] In this instance, the base region 110 of the semiconductor substrate 100 may have a lower doping concentration, higher resistance, or lower carrier concentration than one of the first and second conductive type semiconductor regions 170 and 120, which has the same conductive type as the base region 110.

[0071] The first conductive type semiconductor region 170 having the first conductive type may be placed on one surface (e.g., the back surface) of the semiconductor substrate 100. For example, the tunnel layer 160 may be formed on the semiconductor substrate 100, and the first conductive type semiconductor region 170 may be formed on the tunnel layer 160.

[0072] In this instance, the tunnel layer 160 may be disposed on the back surface of the semiconductor substrate 100 and may have a direct contact with the semiconductor substrate 100.

[0073] Such a tunnel layer 160 may be generally formed in portions other than an isolation portion I in the back surface of the semiconductor substrate 100. In this instance, "generally formed" may include "generally formed closely" and "some areas are not inevitably formed." Accordingly, the tunnel layer 160 can be easily formed because a separate patterning process is not required. However, the present invention is not limited to such an example.

[0074] Such a tunnel layer 160 may generate a tunneling effect. More specifically,

Petitioner Runergy USA Inc., Ex. 1005, p. 11

the tunnel layer 160 may function as a kind of barrier for electrons and holes.

[0075] That is, the tunnel layer 160 may not transmit minority carriers. After the minority carriers are accumulated in a portion neighboring the tunnel layer 160, only majority carriers having energy of a specific level or higher may pass through the tunnel layer 160. The majority carriers having energy of a specific level or higher may easily pass through the tunnel layer 160 by a tunneling effect.

[0076] Furthermore, the tunnel layer 160 may also function as a diffusion barrier for preventing the dopant of the first conductive type semiconductor region 170 from being diffused into the semiconductor substrate 100. The tunnel layer 160 may include various materials through which majority carriers can be tunneled. For example, the tunnel layer 160 may include oxides, nitrides, a semiconductor, and a conductive polymer.

[0077] In particular, the tunnel layer 160 may be formed of a silicon oxide (SiOx) layer including silicon oxide. The reason for this is that the silicon oxide layer has an excellent passivation characteristic and carriers can easily tunnel through the silicon oxide layer.

[0078] In some embodiments, the tunnel layer 160 may be made of a dielectric material including SiCx having strong durability even in a high temperature process or may be made of SiNx, hydrogenated SiNx, AlOx, SiON, or hydrogenated SiON.

[0079] Furthermore, in order to sufficiently implement the tunneling effect, the thickness of the tunnel layer 160 may be smaller than the thickness of each of the first and the second passivation films 190A and 190B and the first and the second conductive type semiconductor regions 170 and 120.

[0080] For example, the thickness of the tunnel layer 160 may be 0.5 nm ~ 2.5 nm. In this instance, the tunnel layer 160 may be formed by an oxidation process, an LPCVD process, or a PECVD deposition process, for example.

[0081] The thickness of the tunnel layer 160 is limited to the range of 0.5 nm ~ 2.5 nm in order to implement the tunneling effect. The range of 0.5 nm ~ 2.5 nm may be slightly exceeded. In this instance, however, the tunneling effect may be reduced.

[0082] More specifically, the tunnel layer 160 is formed to have the thickness of 0.5 nm or higher because it is practically very difficult to form the tunnel layer 160 having a thickness of less than 0.5 nm. Furthermore, the tunnel layer 160 is formed to have the thickness of 2.5 nm or less because the tunneling effect is meager if the thickness

Petitioner Runergy USA Inc., Ex. 1005, p. 12

exceeds 2.5 nm.

[0083] The first conductive type semiconductor region 170 may be placed on the back surface of the semiconductor substrate 100, may include impurities of the first conductive type having a higher concentration than the impurities of the first conductive type included in the semiconductor substrate 100, and may include a polycrystalline silicon material.

[0084] That is, the first conductive type semiconductor region 170 may be formed on the back surface of the tunnel layer 160 formed on the back surface of the semiconductor substrate 100 and may be isolated from the semiconductor substrate 100, as shown in FIG. 1.

[0085] The first conductive type semiconductor region 170 may be brought into contact with and formed on the tunnel layer 160, thereby simplifying the structure of the solar cell and maximizing the tunneling effect of the tunnel layer 160.

[0086] If the first conductive type semiconductor region 170 is not formed within the semiconductor substrate 100, the first conductive type semiconductor region 170 is formed on the back surface of the semiconductor substrate 100, but spaced apart from the semiconductor substrate 100 as shown in FIGS. 1 and 2, and the first conductive type semiconductor region 170 includes a polycrystalline silicon material formed on the back surface of the tunnel layer 160, the open voltage Voc of the solar cell can be further improved.

[0087] Furthermore, the first conductive type semiconductor region 170 is not formed within the semiconductor substrate 100, but is formed outside the semiconductor substrate 100. Accordingly, the characteristics of the semiconductor substrate 100 can be prevented from being deteriorated because thermal damage to the semiconductor substrate 100 is minimized in the process of forming the first conductive type semiconductor region 170 from a viewpoint of a manufacturing process. Accordingly, an embodiment of the present invention can further improve efficiency of the solar cell.

[0088] The thickness of the first conductive type semiconductor region 170 may be 50 nm ~ 500 nm.

[0089] The first conductive type semiconductor region 170 may include the same semiconductor material (more specifically, a silicon semiconductor material) as the semiconductor substrate 100. Accordingly, a difference between the characteristics of the second conductive type semiconductor region 120 and the semiconductor substrate

Petitioner Runergy USA Inc., Ex. 1005, p. 13

100 can be minimized because the second conductive type semiconductor region 120 has similar characteristics as the semiconductor substrate 100.

[0090] In this instance, since the first conductive type semiconductor region 170 is formed on the semiconductor substrate 100 separately from the semiconductor substrate 100, the first conductive type semiconductor region 170 may have a crystal structure different from the crystal structure of the semiconductor substrate 100 so that it is easily formed on the semiconductor substrate 100.

[0091] For example, the first conductive type semiconductor region 170 may be formed by doping impurities of the first conductive type into an amorphous silicon material, a fine crystal silicon material, or a polycrystalline silicon material which may be easily manufactured using various methods, such as deposition.

[0092] In particular, if the first conductive type semiconductor region 170 includes a polycrystalline silicon material, carriers can smoothly move because the first conductive type semiconductor region 170 has excellent electrical conductivity and the tunneling of carriers can be smoothly generated in the tunnel layer 160 made of oxide.

[0093] The second conductive type semiconductor region 120 is placed on the opposite surface of the semiconductor substrate 100, for example, on the front surface of the semiconductor substrate 100 on which light is incident. The second conductive type semiconductor region 120 may include impurities of the second conductive type which is opposite the conductive type of the semiconductor substrate 100, for example, a conductive type of an n type.

[0094] For example, in the present embodiment, the second conductive type semiconductor region 120 may be formed into a doping region formed by doping impurities of the second conductive type into part of the semiconductor substrate 100.

[0095] For example, the second conductive type semiconductor region 120 may be formed by diffusing the impurities of the second conductive type into the front surface of the semiconductor substrate 100. In this instance, the second conductive type semiconductor region 120 may be made of the same silicon material as the semiconductor substrate 100.

[0096] For example, if the semiconductor substrate 100 is formed of a wafer made of a polycrystalline silicon material, the second conductive type semiconductor region 120 may also be made of a polycrystalline silicon material. Furthermore, the second conductive type semiconductor region 120 in which the semiconductor substrate 100 is

Petitioner Runergy USA Inc., Ex. 1005, p. 14

formed of a wafer made of a single crystal silicon material may also be made of a single crystal silicon material.

[0097] The base region 110 and the second conductive type semiconductor region 120 may have the same crystal structure and semiconductor material as the semiconductor substrate 100, but may have different conductive types or different doping concentrations.

[0098] More specifically, if the base region 110 has the first conductive type, the base region 110 and the second conductive type semiconductor region 120 may have different conductive types. If the base region 110 has the second conductive type, the second conductive type semiconductor region 120 may have a higher doping concentration than the base region 110.

[0099] If the base region 110 has the first conductive type, the first conductive type semiconductor region 170 having the first conductive type has the same conductive type as the semiconductor substrate 100 and may form a back surface field (BSF) region which has a higher doping concentration than the semiconductor substrate 100 and forms a BSF. The second conductive type semiconductor region 120 having the second conductive type has a conductive type different from that of the base region 110 and may form an emitter region forming a pn junction along with the base region 110.

[00100] Accordingly, the second conductive type semiconductor region 120 forming the emitter region is placed on the front surface side of the semiconductor substrate 100, thereby being capable of minimizing the path of light regioned with the pn junction.

[00101] However, the present invention is not limited to the example. For example, if the base region 110 has the second conductive type, the first conductive type semiconductor region 170 forms the emitter region, and the second conductive type semiconductor region 120 has the same conductive type as the semiconductor substrate 100 and may form a front surface field (FSF) region which has a higher doping concentration than the semiconductor substrate 100 and forms a FSF.

[00102] A p type dopant used as the impurities of the first or second conductive type may include group 3 elements, such as boron (B), aluminum (Al), gallium (Ga), and indium (In). An n type dopant used as the impurities of the first or second conductive type may include group 5 elements, such as phosphorous (P), arsenic (As), bismuth (Bi), and antimony (Sb). However, the present invention is not limited to the examples, and various dopants may be used as the impurities of the first or second conductive type.

[00103] In the present embodiment, the first conductive type semiconductor region 170 formed separately from the semiconductor substrate 100 may be placed on the back surface side of the semiconductor substrate 100, and the second conductive type semiconductor region 120 forming part of the semiconductor substrate 100 may be placed on the front surface side of the semiconductor substrate 100.

[00104] If the first conductive type semiconductor region 170 having a crystal structure different from that of the semiconductor substrate 100 is placed on the front surface side of the semiconductor substrate 100, the amount of light reaching the pn junction may be reduced because the absorption of light in the first conductive type semiconductor region 170 is increased. Accordingly, the first conductive type semiconductor region 170 may be placed on the back surface side of the semiconductor substrate 100, but the present invention is not limited thereto.

[00105] The passivation films 190A and 190B may be generally formed on the first and the second conductive type semiconductor regions 170 and 120 other than opening portions 102 and 104 respectively corresponding to the first and the second electrodes 150 and 140. Each of the passivation films 190A and 190B may be formed of an undoped passivation film not separately including a dopant.

[00106] More specifically, the first passivation film 190A may be generally formed on (e.g., brought into contact with) the portions of the first conductive type semiconductor region 170 other than the opening portion 102. The second passivation film 190B may be generally formed on (e.g., brought into contact with) the portions of the second conductive type semiconductor region 120 other than the opening portion 104.

[00107] Furthermore, the anti-reflection layer 130 may be placed on the second passivation film 190B.

[00108] The passivation films 190A and 190B are brought into contact with and formed on the first and the second conductive semiconductor regions 170 and 120, thereby being capable of immobilizing defects present in the first and the second conductive type semiconductor regions 170 and 120.

[00109] Accordingly, the open voltage Voc of the solar cell can be increased because the recombination sites of minority carriers are removed. The anti-reflection layer 130 can reduce the reflectance of light incident on the front surface of the semiconductor substrate 100.

[00110] Accordingly, the amount of light reaching the pn junction formed at the

Petitioner Runergy USA Inc., Ex. 1005, p. 16

interface of the base region 110 and the first conductive type semiconductor region 170 can be increased because the reflectance of light incident through the front surface of the semiconductor substrate 100 is lowered. Accordingly, the short circuit current Isc of the solar cell can be increased. As a result, efficiency of the solar cell can be improved because the open voltage and short circuit current of the solar cell are increased by the passivation films 190A and 190B and the anti-reflection layer 130 as described above.

[00111] For example, the passivation film 190A, 190B or the anti-reflection layer 130 may have a single film selected from the group consisting of a silicon nitride film, a silicon nitride film including hydrogen, a silicon oxide film, a silicon oxynitride film, an aluminum oxide film, MgF_2, ZnS, TiO_2, and CeO_2 or may have a multi-layer structure in which two or more films selected from the group are combined.

[00112] For example, if a contacted conductive semiconductor region of the first and the second conductive semiconductor regions 170 and 120 has an n type, a corresponding one of the first and the second passivation films 190A and 190B may include a silicon oxide film or a silicon nitride film having fixed positive charges. If the contacted conductive semiconductor region has a p type, the corresponding passivation film may include an aluminum oxide film having fixed negative charges. Furthermore, the anti-reflection layer 130 may include silicon nitride, for example.

[00113] More specifically, in an embodiment of the present invention, the first passivation film 190A brought into contact with the first conductive type semiconductor region 170 may be formed of a silicon nitride film, may have a refractive index of 1.9 ~ 2.1, and may have a thickness of 30 nm ~ 50 nm.

[00114] Furthermore, the second passivation film 190B brought into contact with the second conductive type semiconductor region 120 may have a dual-layer structure in which an aluminum oxide film and a silicon nitride film are sequentially stacked on the second conductive type semiconductor region 120. In this instance, the aluminum oxide film may have a refractive index of 1.5 ~ 1.7 and a thickness of 5 nm ~ 10 nm. The silicon nitride film of the second passivation film 190B may have a refractive index of 1.9 ~ 2.1 and a thickness of 70 nm ~ 120 nm.

[00115] However, the present invention is not limited to the examples. The passivation films 190A and 190B and the anti-reflection layer 130 may include various materials.

Petitioner Runergy USA Inc., Ex. 1005, p. 17

[00116] The first electrode 150 is placed on (e.g., brought into contact with) on the first conductive type semiconductor region 170 and electrically connected to the first conductive type semiconductor region 170. The first electrode 150 may be electrically connected to the first conductive type semiconductor region 170 through the opening portion 102 formed in the first passivation film 190A (i.e., by penetrating the first passivation film 190A).

[00117] In this instance, the first electrode 150 penetrates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, but may be connected to a surface of the first conductive type semiconductor region 170.

[00118] Likewise, the second electrode 140 is placed on (e.g., brought into contact with) the second conductive type semiconductor region 120 and electrically connected to the second conductive type semiconductor region 120. The second electrode 140 may be electrically connected to the first conductive type semiconductor region 170 through the opening portion 104 formed in the second passivation film 190B and the anti-reflection layer 130 (i.e., through the second passivation film 190B and the anti-reflection layer 130).

[00119] The first and the second electrodes 150 and 140 may include various materials (more specifically, metal) and may have various shapes.

[00120] For example, the first electrode 150 may include a plurality of first finger electrodes 151 and a plurality of first bus bars 153, as shown in FIG. 1.

[00121] The plurality of first finger electrodes 151 may be spaced apart from each other on the back surface of the first conductive type semiconductor region 170, may be extended in a first direction x, and may collect carriers moved toward the first conductive type semiconductor region 170.

[00122] Furthermore, the plurality of first bus bars 153 may be placed on the same layer as the plurality of first finger electrodes 151 on the first conductive type semiconductor region 170, may electrically connect the plurality of first finger electrodes 151, and may be extended in a second direction y crossing the plurality of first finger electrodes 151.

[00123] Furthermore, the second electrode 140 may include a plurality of second finger electrodes 141 and a plurality of second bus bars 143, as shown in FIG. 1.

[00124] The plurality of second finger electrodes 141 may be placed on the second conductive type semiconductor region 120, may be electrically connected to the second

conductive type semiconductor region 120, may be spaced apart from each other, and may be extended in the first direction x.

[00125] The plurality of second finger electrodes 141 may collect carriers, for example, holes moved toward the second conductive type semiconductor region 120.

[00126] Furthermore, the plurality of second bus bars 143 may be placed on the same layer as the plurality of second finger electrodes 141 on the second conductive type semiconductor region 120, may electrically connect the plurality of second finger electrodes 141, and may be extended in the second direction y crossing the plurality of second finger electrodes 141.

[00127] In the solar cell having such a structure, the tunnel layer 160 and the first conductive type semiconductor region 170 placed on the back surface of the semiconductor substrate 100 may be spaced apart from the edge of the back surface of the semiconductor substrate 100 (or the side of the semiconductor substrate 100) at a first distance D1.

[00128] Accordingly, the area of each of the tunnel layer 160 and the first conductive type semiconductor region 170 may be smaller than the area of the semiconductor substrate 100. The first distance D1 may mean the shortest distance of distances between the edge of the back surface of the semiconductor substrate 100 and the tunnel layer 160 and the first conductive type semiconductor region 170.

[00129] That is, the isolation portion I in which the tunnel layer 160 and the first conductive type semiconductor region 170 (including the first electrode 150 connected to the first conductive type semiconductor region 170 in addition to the tunnel layer 160 and the first conductive type semiconductor region 170) are not formed may be placed at the edge of the back surface of the semiconductor substrate 100. In this instance, the first passivation film 190A may be formed to cover one surface of the semiconductor substrate 100, including the isolation portion I.

[00130] The isolation portion I may block a contact between the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 in any one of the first surface, side, and second surface of the semiconductor substrate 100. For example, the isolation portion I may function as an edge isolator for isolating the first conductive type semiconductor region 170 from the edge of the back surface of the semiconductor substrate 100.

[00131] That is, when the second conductive type semiconductor region 120 is formed,

the impurities of the second conductive type may be diffused into the side of or the edge of the back surface of the semiconductor substrate 100, and thus the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 may be unwantedly short-circuited in the side of or the edge of the back surface of the semiconductor substrate 100. In the present embodiment, such a problem can be fundamentally prevented by removing the first conductive type semiconductor region 170 from the edge of the back surface of the semiconductor substrate 100.

[00132] Furthermore, the area of the second conductive type semiconductor region 120 can be maximized because the second conductive type semiconductor region 120 is generally formed on the front surface of the semiconductor substrate 100.

[00133] The isolation portion I may be formed in the entire edge of the back surface of the semiconductor substrate 100 and may have a closed shape, as shown in FIG. 3. Furthermore, a specific step or operation is present between portions in which the isolation portion I and the tunnel layer 160 and the first conductive type semiconductor region 170 have been formed.

[00134] For example, the first distance D1 (i.e., the width of the isolation portion I) may be 1 mm or less. If the first distance D1 exceeds 1 mm, efficiency may be deteriorated because the area of the first conductive type semiconductor region 170 is reduced. For example, the first distance D1 may be 1 nm to 1 mm. If the first distance D1 is less than 1 mm, the effect of the isolation portion I may not be sufficient. However, the present invention is not limited to the above values. The first distance D1 may have a different value depending on the size of the semiconductor substrate 100, for example.

[00135] The first conductive type semiconductor region 170 may have a shape having a smaller area as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100. In this instance, the side of the first conductive type semiconductor region 170 may be formed to be not vertical to the semiconductor substrate 100 (e.g., approximately slanted) as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100.

[00136] That is, as shown in FIG. 2, the thickness of the edge region of the first conductive type semiconductor region 170 may be gradually decreased toward the isolation portion I.

[00137] For example, the area of the first conductive type semiconductor region 170

Petitioner Runergy USA Inc., Ex. 1005, p. 20

may be reduced as the first conductive type semiconductor region 170 becomes distant from the semiconductor substrate 100, so the side of the first conductive type semiconductor region 170 may be formed to be rounded. The side of the tunnel layer 160 may be placed so that it is extended along with the side of the first conductive type semiconductor region 170 and may have a rounded shape similar to the first conductive type semiconductor region 170.

[00138] The reason for this is that a wet process is used in the process of forming the isolation portion I by removing the first conductive type semiconductor region 170 and the tunnel layer 160. This is described later. In some embodiments, the sides of the first conductive type semiconductor region 170 and the tunnel layer 160 may have various shapes in addition to the rounded shape.

[00139] Furthermore, the first passivation film 190A placed on the back surface side of the semiconductor substrate 100 may be placed on the first conductive type semiconductor region 170 in the portion in which the tunnel layer 160 and the first conductive type semiconductor region 170 are present and may come into contact with the back surface of the semiconductor substrate 100 in the isolation portion I.

[00140] That is, the first passivation film 190A may be directly brought into contact with and formed on the back surface of the semiconductor substrate 100 near the edge of the semiconductor substrate 100, may be extended from the edge of the semiconductor substrate 100, may be brought into contact with and formed on the sides of the tunnel layer 160 and the first conductive type semiconductor region 170 while covering the sides, may be extended from the sides, and may be brought into contact with and formed on the top surface of the first conductive type semiconductor region 170 while covering the top surface.

[00141] In an embodiment of the present invention, in the process of manufacturing the solar cell, the isolation portion I may be formed by removing the tunnel layer 160 and the first conductive type semiconductor region 170 placed in the edge of the back surface of the semiconductor substrate 100.

[00142] Accordingly, the first passivation film 190A may be formed to cover an edge portion of the back surface of the semiconductor substrate 100 which has been exposed by removing the tunnel layer 160 and the second conductive type semiconductor region 160, that is, the isolation portion I.

[00143] Accordingly, the isolation portion I can prevent a passivation characteristic

Petitioner Runergy USA Inc., Ex. 1005, p. 21

from being deteriorated. In this instance, the structure of the solar cell and the process of manufacturing the solar cell can be simplified because the first passivation film 190A is used without forming a separate film for protecting the isolation portion I.

[00144] Furthermore, the first passivation film 190A may include a side portion 190Aa extended up to the top of the side of the semiconductor substrate 100. If the side portion 190Aa of the first passivation film 190A is used, the first passivation film 190A may be formed to cover the upper side of the back surface of the semiconductor substrate 100 generally and stably.

[00145] Furthermore, the second passivation film 190B and the anti-reflection layer 130 may include side portions 190Ba and 130a extended up to the top of the side of the semiconductor substrate 100.

[00146] In this instance, the second passivation film 190B may be placed close to the semiconductor substrate 100 on the side of the semiconductor substrate 100, and the first passivation film 190A may be placed on the second passivation film 190B.

[00147] More specifically, the side portion 190Ba of the second passivation film 190B may come into contact with the side of the semiconductor substrate 100. The side portion 130a of the anti-reflection layer 130 may come into contact with the side portion 190Ba of the second passivation film 190B. The side portion 190Aa of the first passivation film 190A may come into contact with the side portion 130a of the anti-reflection layer 130.

[00148] Accordingly, the second conductive type semiconductor region 120 can be stably passivated because the second passivation film 190B is first formed and the first passivation film 190A is then formed in the process of forming the first passivation film 190A. This is described in more detail later.

[00149] However, the present invention is not limited to the example. For example, at least one of the side portions 190Aa, 190Ba, and 130a may not be provided on the side of the semiconductor substrate 100, or sequence in which the side portions 190Aa, 190Ba, and 130a are stacked may be changed.

[00150] A plane shape of the first electrode 150 is described in detail with reference to FIG. 3, and a plane shape of the second electrode 140 is then described in detail.

[00151] Referring to FIG. 3, the first electrode 150 may include the plurality of first finger electrodes 151 spaced apart from each other at a specific pitch. In FIG. 3, the first finger electrodes 151 have been illustrated as being parallel and as being parallel in

Petitioner Runergy USA Inc., Ex. 1005, p. 22

the edge of the semiconductor substrate 100, but the present invention is not limited thereto.

[00152] Furthermore, only one first bus bar 153 may be included. As shown in FIG. 3, a plurality of the first bus bars 153 having a pitch greater than the pitch between the first finger electrodes 151 may be included.

[00153] The width of the first bus bar 153 may be greater than the width of the first finger electrode 151, but the present invention is not limited thereto. Accordingly, the width of the first bus bar 153 may be the same as or smaller than the width of the first finger electrode 151.

[00154] When viewed from a cross section, both the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be formed to penetrate the first passivation film 190A. That is, the opening portion 102 may be formed in accordance with all of the first finger electrodes 151 and first bus bar 153 of the first electrode 150.

[00155] However, the present invention is not limited to the example. For example, the first finger electrodes 151 of the first electrode 150 may be formed to penetrate the first passivation film 190A, and the first bus bar 153 may be formed on the first passivation film 190A. In this instance, the opening portion 102 may be formed to have a shape corresponding to the first finger electrodes 151, but may not be formed in a portion in which only the first bus bar 153 is placed.

[00156] As described above, in the present embodiment, the isolation portion I may be formed in the portion in which the tunnel layer 160 and the first conductive type semiconductor region 170 are not formed along the edge of the semiconductor substrate 100. Accordingly, the first electrode 150 formed on the first conductive type semiconductor region 170 may not be formed in the isolation portion I.

[00157] Accordingly, the ends of the first finger electrodes 151 and bus bar 153 of the first electrode 150 may be spaced apart from the edge of the semiconductor substrate 100 at least at the first distance D1.

[00158] Furthermore, the second finger electrodes 141 and second bus bar 142 of the second electrode 140 may be respectively formed in accordance with the first finger electrodes 151 and first bus bar 153 of the first electrode 150.

[00159] The contents described in connection with the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be applied to the second finger electrodes 141 and second bus bar 142 of the second electrode 140 without a change except the

Petitioner Runergy USA Inc., Ex. 1005, p. 23

contents described in connection with the isolation portion I.

[00160] Furthermore, the contents related to the first passivation film 190A in the first electrode 150 may be applied to the second passivation film 190B and the anti-reflection layer 130 in the second electrode 140 without a change.

[00161] In this instance, the width and pitch of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 may be the same as or different from the width and pitch of the second finger electrodes 141 and second bus bar 142 of the second electrode 140.

[00162] However, the present invention is not limited to the example. For example, the first electrode 150 and the second electrode 140 may have different plane shapes and may be modified in various ways.

[00163] As described above, in the present embodiment, since the first and the second electrodes 150 and 140 of the solar cell have a specific pattern, the solar cell has a bi-facial structure in which light may be incident on the front and back surfaces of the semiconductor substrate 100.

[00164] Accordingly, efficiency of the solar cell can be improved because the amount of light used in the solar cell is increased. However, the present invention is not limited to the bi-facial structure. For example, the solar cell may have a structure in which the first electrode 150 is generally formed on the back surface side of the semiconductor substrate 100 and may have various structures.

[00165] In this instance, if the isolation portion I is formed on the back surface of the semiconductor substrate 100, the first conductive type semiconductor region 170 and the second conductive type semiconductor region 120 can be effectively prevented from being unnecessarily interconnected.

[00166] Furthermore, a surface of the semiconductor substrate 100 on which the isolation portion I is placed may be covered and passivated by the first passivation film 190A covering the first conductive type semiconductor region 170.

[00167] Accordingly, problems attributable to surface recombination can be minimized because the isolation portion I is passivated by such a simple structure. That is, efficiency and reliability of a solar cell can be improved and a defective ratio of the solar cell can be reduced by the simple structure.

[00168] In the first embodiment of the present invention, an example in which the first electrode 150 penetrates the first passivation film 190A and the first electrode 150 is

Petitioner Runergy USA Inc., Ex. 1005, p. 24

connected to the first conductive type semiconductor region 170, but is connected to a surface of the first conductive type semiconductor region 170 has been described.

[00169] In some embodiments, however, the first electrode 150 penetrates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, but at least part of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170. This is described in more detail below.

[00170] FIGS. 5 to 7 depict a solar cell according to a second embodiment of the present invention.

[00171] FIG. 5 is a cross-sectional view of the solar cell taken along line Ⅱ-Ⅱ of FIG. 1. Furthermore, FIG. 6 is an enlarged view of a portion K in FIG. 5, and FIG. 7 is a real photograph of a contact portion between the first electrode 150 and the first conductive type semiconductor region 170.

[00172] Furthermore, FIG. 8 depicts a comparison example different from the second embodiment of the present invention.

[00173] A description of contents redundant with the contents described with reference to FIGS. 1 to 4 is omitted.

[00174] For reference, in FIG. 5, a region that belongs to the first conductive type semiconductor region 170 and that is placed in the space between the first finger electrode 151 and the tunnel layer 160 is called a finger forming region 170A1. A region that belongs to the first conductive type semiconductor region 170 and that is placed in the space between the first bus bar 153 and the tunnel layer 160 is called a bus bar forming region 170A2. The remaining regions of the first conductive type semiconductor region 170 other than the finger forming region 170A1 and the bus bar forming region 170A2 is called a non-forming region 170B. Furthermore, the finger forming region 170A1 and the bus bar forming region 170A2 are collectively called an electrode forming region 170A.

[00175] In the solar cell according to the second embodiment of the present invention, at least part of the first electrode 150 may penetrate the first passivation film 190A and may be depressed into the first conductive type semiconductor region 170 and electrically connected to the first conductive type semiconductor region 170, as shown in FIGS. 5 and 6.

[00176] For example, both the first finger electrode 151 and first bus bar 153 of the

Petitioner Runergy USA Inc., Ex. 1005, p. 25

first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170.

[00177] In other words, as shown in FIG. 6, the location of a first boundary surface BS1 in which the first conductive type semiconductor region 170 and the first electrode 150 come into contact with each other may be more depressed and formed toward the semiconductor substrate 100 than the location of a second boundary surface BS2 in which the first conductive type semiconductor region 170 and the first passivation film 190A come into contact with each other.

[00178] Accordingly, the distance between the semiconductor substrate 100 and the first boundary surface BS1 may be smaller than the distance between the semiconductor substrate 100 and the second boundary surface BS2.

[00179] In this instance, all of the plurality of first finger electrodes 151 and the first bus bar 153 may be formed to have a single layer or double layer structure. In some embodiments, the plurality of first finger electrodes 151 may be formed to have a single layer structure, and the first bus bar 153 may be formed to have a double layer structure.

[00180] In FIG. 6, the first finger electrode 151 has been illustrated as being an example. Like the first finger electrode 151, the first bus bar 153 may have the same structure in which it has been depressed into the first conductive type semiconductor region 170.

[00181] As described above, the structure in which the first electrode 150 has been depressed into the first conductive type semiconductor region 170 may be formed when a paste for the first electrode perforates the first passivation film 190A and penetrates the first conductive type semiconductor region 170 in a thermal treatment process in the state in which the paste for the first electrode for forming the first electrode 150 has been patterned and formed on the back surface of the first passivation film 190A.

[00182] If the first electrode 150 is formed by the process of printing and thermally treating the paste for the first electrode as described above, there are advantages in that a cost is relatively low compared to a plating method and a process time can be reduced.

[00183] In this instance, a difference TBS between the heights of the first boundary surface BS1 and the second boundary surface BS2 may be set to 1 nm ~ 20 nm. The difference between the heights of the first and the second boundary surfaces BS1 and BS2 may vary depending on the time taken for the thermal treatment process for forming the first electrode 150 and content of frit glass included in the paste for the first

Petitioner Runergy USA Inc., Ex. 1005, p. 26

electrode.

[00184] FIGS. 5 and 6 have illustrated an example in which all of the plurality of first bus bars 153 and the plurality of first finger electrodes 151 forming the first electrode 150 have been depressed into the first conductive type semiconductor region 170.

[00185] However, the present invention is not necessarily limited to the example. For example, only the plurality of first finger electrodes 151 of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170. The example in which only the plurality of first finger electrodes 151 has been depressed into the first conductive type semiconductor region 170 as described above is described in detail later with reference to FIG. 9 and related drawings.

[00186] Accordingly, in the solar cell according to an embodiment of the present invention, as shown in FIG. 6, the first electrode 150 may be depressed into the first conductive type semiconductor region 170, and the first conductive type semiconductor region 170 and the first electrode 150 may come into contact with each other in the first boundary surface BS1 of the first conductive type semiconductor region 170.

[00187] In this instance, as shown in FIG. 5, a plurality of metal crystals MC extracted from the first electrode 150 may be placed in the electrode forming region 170A of the first conductive type semiconductor region 170 in which the first electrode 150 has been formed, as described above.

[00188] For example, as shown in FIG. 6, the plurality of metal crystals MC extracted from the first finger electrode 151 may be placed in the finger forming region 170A1 of the first conductive type semiconductor region 170 in which the first finger electrode 151 is formed.

[00189] Only the electrode finger forming region 170A1 of the electrode forming region 170A of the first conductive type semiconductor region 170 has been illustrated in FIG. 6. Likewise, the plurality of metal crystals MC extracted from the first bus bar 153 may be placed in the bus bar forming region 170A2, as shown in FIG. 5.

[00190] The plurality of metal crystals MC has relatively low resistance compared to the first conductive type semiconductor region 170 made of polycrystalline silicon. Accordingly, as shown in FIG. 6, carriers which have moved from the semiconductor substrate 100 to the first conductive type semiconductor region 170 through the tunnel layer 160, for example, electrons may directly move to the first electrode 150 through the metal crystals MC or may jump between the metal crystals MC and the metal

Petitioner Runergy USA Inc., Ex. 1005, p. 27

crystals MC and move to the first electrode 150.

[00191] Accordingly, the plurality of metal crystals MC may function to help carriers to move to the first electrode 150 more easily.

[00192] Accordingly, the metal crystals MC may narrow a substantial distance between the semiconductor substrate 100 and the first electrode 150 due to its low resistance.

[00193] Furthermore, when the first electrode 150 is connected to the first conductive type semiconductor region 170, the metal crystals MC are formed in the direction of the semiconductor substrate 100 on the basis of the first boundary surface BS1, that is, the boundary of the first electrode 150 and the first conductive type semiconductor region 170. Accordingly, contact resistance between the first electrode 150 and the first conductive type semiconductor region 170 can be further lowered.

[00194] Accordingly, if the plurality of metal crystals MC is further included in the first conductive type semiconductor region 170 between the first electrode 150 and the tunnel layer 160 as in the embodiment of the present invention shown in FIG. 6, efficiency of the solar cell can be further improved.

[00195] As shown in FIG. 5, the metal crystals MC may be placed in the electrode forming region 170A of the first conductive type semiconductor region 170 in which the first electrode 150 has been formed, but may not be placed in the non-forming region 170B of the first conductive type semiconductor region 170 in which the first electrode 150 has not been formed.

[00196] The reason why the metal crystals MC are placed in the electrode forming region 170A of the first conductive type semiconductor region 170, but are not placed in the non-forming region 170B of the first conductive type semiconductor region 170 as described above is that metal extracted from the first electrode 150 during the thermal treatment process for forming the first electrode 150 is recrystallized to form the plurality of metal crystals MC.

[00197] For example, the plurality of first electrodes 150 may be formed to include at least one conductive metal material. In this instance, the conductive metal material included in the plurality of first electrodes 150 may be at least one selected from the group consisting of nickel (Ni), copper (Cu), silver (Ag), aluminum (Al), tin (Sn), zinc (Zn), indium (In), titanium (Ti), and gold (Au) and a combination of them, for example, but may include other conductive metal materials.

Petitioner Runergy USA Inc., Ex. 1005, p. 28

[00198] In this instance, the plurality of metal crystals MC may include the same metal material as a metal material included in the first electrode 150 because the metal crystals MC are formed when the metal material included in the first electrode 150 is extracted and recrystallized.

[00199] Accordingly, if the first electrode 150 includes silver (Ag), for example, the metal crystals MC may also include silver (Ag).

[00200] Furthermore, as shown in FIGS. 6 and 7, the metal crystals MC are placed in the first conductive type semiconductor region 170, but may not be placed in the tunnel layer 160.

[00201] That is, if the metal crystals MC are placed in the tunnel layer 160 as in the comparison example of FIG. 8, the functions of the tunnel layer 160 may be deteriorated. If the metal crystals MC penetrate the back surface of the semiconductor substrate 100 through the tunnel layer 160, an open voltage (Voc) characteristic appearing due to the structure of the semiconductor substrate 100 – the tunnel layer 160 - the first conductive type semiconductor region 170 may be deteriorated, thereby being capable of deteriorating the semiconductor substrate 100.

[00202] If the semiconductor substrate 100 is deteriorated as described above, a characteristic of the semiconductor substrate 100, for example, a characteristic, such as a carrier life time, may be deteriorated.

[00203] If the metal crystals MC are placed in the first conductive type semiconductor region 170, but are not placed in the tunnel layer 160 as in the embodiment of the present invention, however, the deterioration of the characteristic described above can be prevented.

[00204] As shown in FIG. 6, some metal crystals MC1 of the plurality of metal crystals MC may have a direct contact with the first electrode 150. Furthermore, at least one metal crystal MC2 of the plurality of metal crystals MC may be spaced apart from the first electrode 150 and placed in the first conductive type semiconductor region 170.

[00205] In this instance, the length LMC of the plurality of metal crystals MC from the first electrode 150 to the direction of the tunnel layer 160 may be 2/3 or less of the thickness of the first conductive type semiconductor region 170. If the length LMC of the metal crystals MC is limited to 2/3 of the thickness of the first conductive type semiconductor region 170 as described above, damage to the tunnel layer 160 or the

Petitioner Runergy USA Inc., Ex. 1005, p. 29

semiconductor substrate 100 attributable to the excessive length LMC of the metal crystals MC can be prevented.

[00206] Some of the plurality of metal crystals MC may have a reduced width WMC from the first electrode 150 to the direction of the tunnel layer 160. That is, as shown in FIG. 6 or 7, the width WMC in the surface direction (x, y) of a portion that belongs to the metal crystal MC and that neighbors the first electrode 150 may be smaller than the width of a portion that belongs to the metal crystal MC and that is adjacent to the semiconductor substrate 100.

[00207] Such a size of the metal crystal MC may be determined in proportion to a firing temperature of the thermal treatment process for forming the first electrode 150.

[00208] That is, the length or width of the metal crystal MC is characterized in that it is increased as the firing temperature of thermal treatment process for forming the first electrode 150 rises and it is reduced as the firing temperature of thermal treatment process for forming the first electrode 150 drops. The length or width of the metal crystal MC may be increased as the width of the first electrode 150, that is, the source of the metal crystal MC, is increased.

[00209] If the firing temperature of the thermal treatment process for forming the first electrode 150 is excessively low, however, contact resistance between the first electrode 150 and the first conductive type semiconductor region 170 may be increased.

[00210] Accordingly, in the second embodiment of the present invention, an example in which all of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 have been depressed into the first conductive type semiconductor region 170 and the metal crystals MC have been formed in both the finger forming region 170A1 and bus bar forming region 170A2 of the first conductive type semiconductor region 170 has been described. In order to further improve efficiency of the solar cell, only the first finger electrodes 151 may be depressed into the first conductive type semiconductor region 170 and the metal crystals MC may be placed only in the finger forming region 170A1, but may not be placed in the bus bar forming region 170A2. This is described in detail below with reference to FIGS. 9 to 11.

[00211] FIG. 9 is a diagram illustrating a solar cell according to a third embodiment of the present invention.

[00212] In a description related to FIG. 9, a description of portions redundant with the contents described in connection with the second embodiment is omitted, and portions

Petitioner Runergy USA Inc., Ex. 1005, p. 30

different from the contents of the second embodiment are chiefly described.

[00213] As shown in FIG. 9, in the solar cell according to the third embodiment of the present invention, at least part of the first electrode 150 may be depressed and formed in the first conductive type semiconductor region 170, but only the plurality of first finger electrodes 151 of the first electrode 150 may penetrate the first passivation film 190A and may be depressed and formed in the first conductive type semiconductor region 170.

[00214] In this instance, the metal crystals MC may be formed only in the finger forming region 170A1 of the first conductive type semiconductor region 170, and the plurality of first bus bars 153 may not be depressed into the first conductive type semiconductor region 170, but may be formed on the back surface of the first passivation film 190A.

[00215] Accordingly, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170.

[00216] As described above, only the plurality of first finger electrodes 151 of the first electrode 150 may penetrate the first passivation film 190A and may be depressed into the first conductive type semiconductor region 170 so that the metal crystals MC are formed only in the finger forming region 170A1 of the first conductive type semiconductor region 170, and the first bus bar 153 may be formed on the first passivation film 190A.

[00217] As described above with reference to FIGS. 6 to 8, if the metal crystals MC are not formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 as described above, the metal crystals MC are not placed in the tunnel layer 160, and thus there can be prevented the phenomenon in which the semiconductor substrate 100 is deteriorated because the metal crystals MC penetrate the tunnel layer 160 and are connected to the semiconductor substrate 100.

[00218] More specifically, the width of the first bus bar 153 is relatively greater than the width of the first finger electrode 151 as described above with reference to FIGS. 1 and 5. Accordingly, in the thermal treatment process, the metal crystals MC having a relatively great length or width may penetrate the tunnel layer 160 and may be short-circuited with the semiconductor substrate 100, as shown in FIG. 8. Accordingly, the semiconductor substrate 100 may be deteriorated. If the metal crystals MC are not formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170, such a deterioration phenomenon can be prevented.

Petitioner Runergy USA Inc., Ex. 1005, p. 31

[00219] Accordingly, the solar cell according to the third embodiment of the present invention has a structure in which only the first finger electrodes 151 of the first finger electrodes 151 and first bus bar 153 of the first electrode 150 penetrate the first passivation film 190A and are depressed and formed in the first conductive type semiconductor region 170. Accordingly, only the first conductive type semiconductor region 170 and the first finger electrodes 151 come into contact with each other in the first boundary surface BS1 of the first conductive type semiconductor region 170, the plurality of metal crystals MC may be placed only in the finger forming region 170A1 which belongs to the electrode forming region 170A of the first conductive type semiconductor region 170 and in which the first finger electrode 151 is formed, and the plurality of metal crystals MC may not be placed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 which overlaps the first bus bar 153.

[00220] To this end, in an embodiment of the present invention, the plurality of first finger electrodes 151 and the plurality of first bus bars 153 may have different compositions.

[00221] More specifically, content of frit glass per unit volume, which is included in the plurality of first bus bars 153, may be smaller than content of frit glass per unit volume, which is included in the plurality of first finger electrodes 151, or content of frit glass may not be included in the plurality of first bus bars 153.

[00222] Accordingly, in the thermal treatment process for forming the first electrode 150, while the plurality of metal crystals MC is extracted into the finger forming region 170A1 when the first finger electrode 151 penetrates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170, the first bus bar 153 can be prevented from penetrating the first passivation film 190A and from being depressed into the first conductive type semiconductor region 170 or such a depression can be minimized.

[00223] Moreover, although the first bus bar 153 penetrates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170, the deterioration phenomenon in which the metal crystals MC extracted from the first bus bar 153 penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100 as shown in FIG. 8 can be prevented.

[00224] In this instance, the deterioration of the semiconductor substrate 100 may be

Petitioner Runergy USA Inc., Ex. 1005, p. 32

checked from FIGS. 10 and 11.

[00225] FIG. 10 is a comparison example photograph of the degree of the deterioration of the semiconductor substrate 100 according to firing temperatures in the thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste for the first bus bar is the same as the material of a paste for the first finger electrode. FIG. 11 is photograph of the degree of the deterioration of the semiconductor substrate 100 according to firing temperatures in the thermal treatment process, which was taken through photo luminescence (PL), if the material of a paste 153P for the first bus bar is different from the material of a paste for the first finger electrodes in accordance with the third embodiment of the present invention.

[00226] From the PL images showing the open voltages Voc of the semiconductor substrate 100, the deterioration phenomenon occurring because the metal crystals MC penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100 depending on the temperature of the thermal treatment process can be checked.

[00227] As some region of the semiconductor substrate 100 becomes darker in the PL image, it means the open voltage is reduced and thus the deterioration of the semiconductor substrate 100 is increased. As some region of the semiconductor substrate 100 becomes brighter, it means that the open voltage is sufficiently high and thus the deterioration of the semiconductor substrate 100 is reduced or is not present.

[00228] More specifically, if a shade region is increased in the PL image as the temperature of the thermal treatment process rises, it means that the open voltage is reduced and the deterioration of the semiconductor substrate 100 is increased because the metal crystals MC penetrate the tunnel layer 160 and are short-circuited with the semiconductor substrate 100. If a shade region is not increased in the PL image as the temperature of the thermal treatment process rises, it means that the open voltage is sufficiently high and the deterioration of the semiconductor substrate 100 is small or is almost not present because the metal crystals MC do not penetrate the tunnel layer 160 or the semiconductor substrate 100.

[00229] In FIGS. 10 and 11, images of the paste 153P for the first bus bar having a relatively great width have been illustrated, but images of a paste for the first finger electrodes having a very small width are not illustrated. The paste for the first finger electrodes may intersect the paste 153P for the first bus bars and may be formed.

[00230] FIG. 10 shows an instance where the paste 153P for the first bus bars having

Petitioner Runergy USA Inc., Ex. 1005, p. 33

the same material as the paste for the first finger electrodes was used, and FIG. 11 shows an instance where the paste 153P for the first bus bars having a material different from the material of the paste for the first finger electrodes as described above with reference to FIG. 9 was used.

[00231] In FIG. 10, the paste 153P for the first bus bars and the paste for the first finger electrodes have the same material. Accordingly, the paste 153P for the first bus bars may also penetrate the first passivation film 190A and may be depressed and formed in the first conductive type semiconductor region 170, so the metal crystals MC may be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170.

[00232] Accordingly, if the temperature of the thermal treatment process for forming the first electrode 150 is relatively low, for example, about 820°C or 795°C as shown in (c) and (d) of FIG. 10, the semiconductor substrate 100 is not deteriorated because there is almost no metal crystal MC which is extracted from the paste for the first electrode and subsides into the first conductive type semiconductor region 170. In this instance, efficiency of the solar cell may be reduced because contact resistance of the first finger electrodes 151 may be relatively high.

[00233] If the temperature of the thermal treatment process for forming the first electrode 150 is relatively high, for example, about 870°C or 845°C as shown in (a) and (b) of FIG. 10, the shade region is increased in the semiconductor substrate 100 and the deterioration of the semiconductor substrate 100 is relatively increased.

[00234] The reason for this is that the deterioration of the semiconductor substrate 100 is increased because the metal crystals MC extracted from the paste 153P for the first bus bars are placed in the first conductive type semiconductor region 170 and such metal crystals MC penetrate the tunnel layer 160 and are connected to the semiconductor substrate 100.

[00235] As described above with reference to FIG. 9, if the first finger electrodes 151 and the first bus bar 153 are made of different materials in accordance with the third embodiment of the present invention, it may be seen that the shade region of the semiconductor substrate 100 is rarely increased even in (a) and (b) of FIG. 11 in which the temperature of the thermal treatment process is relatively high as well as in (c) and (d) of FIG. 11 in which the temperature of the thermal treatment process is relatively low.

[00236] The reason for this is that the semiconductor substrate 100 is not deteriorated

Petitioner Runergy USA Inc., Ex. 1005, p. 34

because the paste 153P for the first bus bars does not penetrate the first passivation film 190A or although the paste 153P for the first bus bars penetrates the first passivation film 190A and connects to the first conductive type semiconductor region 170 and thus the metal crystals MC are formed in the first conductive type semiconductor region 170, the metal crystals MC are not placed in the tunnel layer 160 if the paste 153P for the first bus bars and the paste for the first finger electrodes are made of different materials.

[00237] As described above, the solar cell according to the third embodiment of the present invention can prevent the deterioration of the semiconductor substrate 100 and have further improved efficiency because the solar cell maintains a sufficient high open voltage Voc by forming the first finger electrodes 151 and the first bus bar 153 using different materials.

[00238] The structures of the solar cells according to embodiments of the present invention have been described so far. Hereinafter, methods for manufacturing solar cells are described.

[00239] FIG. 12 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a first embodiment of the present invention. FIGS. 13A to 13J are cross-sectional views of the method for manufacturing a solar cell according to the flowchart of FIG. 12.

[00240] Furthermore, FIG. 14 is a diagram illustrating a modified example of the method for manufacturing a solar cell according to the first embodiment. FIG. 15 is a diagram illustrating another modified example of the method for manufacturing a solar cell according to the first embodiment.

[00241] As shown in FIG. 12, an example of the method for manufacturing a solar cell according to the first embodiment of the present invention may include a tunnel layer forming step (operation) S1, an intrinsic semiconductor layer forming step (operation) S2, a first conductive type semiconductor region forming step (operation) S3, a removing step (operation) S4, a second conductive type semiconductor region forming step (operation) S5, an anti-reflection layer and second passivation film forming step (operation) S6, a first passivation film forming step (operation) S7, and an electrode forming step (operation) S8.

[00242] In this example, the removing step S4 and the anti-reflection layer and second passivation film forming step S6 have been illustrated as being included. In some embodiments, the removing step S4 and the anti-reflection layer and second passivation

Petitioner Runergy USA Inc., Ex. 1005, p. 35

film forming step S6 may be omitted.

[00243] An example in which the removing step S4 and the anti-reflection layer and second passivation film forming step S6 are included, for convenience of description, is described below.

[00244] As a preliminary step (operation) for manufacturing a solar cell according to the first embodiment of the present invention, the concave-convex portions may be formed by performing a texturing process on the front and back surfaces of the semiconductor substrate 100, as shown in FIG. 13A.

[00245] Wet or dry texturing may be used as the texturing technique for the semiconductor substrate 100.

[00246] The wet texturing may be performed by dipping the semiconductor substrate 100 into a texturing solution and is advantageous in that the process time is short. The dry texturing may be performed by cutting a surface of the semiconductor substrate 100 using a diamond grill or a laser. In the dry texturing, the concave-convex portions may be uniformly formed, but the process time is long and the semiconductor substrate 100 may be damaged.

[00247] In addition, the semiconductor substrate 100 may be textured using reactive ion etch (RIE). As described above, in an embodiment of the present invention, the semiconductor substrate 100 may be textured using various methods.

[00248] For a simple illustration, concave-convex portions have been illustrated as being not formed on the side of the semiconductor substrate 100 by the texturing. Furthermore, it may be difficult to clearly recognize the concave-convex portions by the texturing because the semiconductor substrate 100 has a very small thickness.

[00249] However, the present invention is not limited to the above description. For example, the concave-convex portions according to the texturing may be provided on the side of the semiconductor substrate 100. Furthermore, the texturing of the semiconductor substrate 100 may be performed in a subsequent process.

[00250] As shown in FIG. 12, the tunnel layer forming step S1 for forming the tunnel layer 160 on one surface of the semiconductor substrate 100 may be performed in the state in which the concave-convex portions have been provided in the semiconductor substrate 100 as described above.

[00251] In the tunnel layer forming step S1, for example, as shown in FIG. 13B, the tunnel layer 160 may be generally formed on one surface and the other surface of the

Petitioner Runergy USA Inc., Ex. 1005, p. 36

semiconductor substrate 100. In this instance, the tunnel layer 160 may also be generally formed on the side of the semiconductor substrate 100.

[00252] If the tunnel layer 160 is generally formed on the surfaces of the semiconductor substrate 100 as described above, the tunnel layer 160 formed on the other surface (i.e., the front surface) and side of the semiconductor substrate 100 may be removed in the removing step S4.

[00253] If the tunnel layer 160 is formed on only one surface of the semiconductor substrate 100, the removing step S4 may be omitted.

[00254] In this instance, the tunnel layer 160 may be formed by thermal oxidation, chemical oxidation, or deposition (e.g., an atmospheric pressure chemical vapor deposition (APCVD) method or a low-pressure chemical vapor deposition (LPCVD) method), for example. Additionally, after the tunnel layer 160 having a thin thickness is formed, the thickness or density of the tunnel layer 160 may be increased by subsequent thermal treatment within a furnace.

[00255] However, the present invention is not limited to such methods. The tunnel layer 160 may be formed by various other methods. In this instance, the tunnel layer 160 may be formed of a silicon oxide layer.

[00256] For example, in the present embodiment, the tunnel layer 160 may be formed in a gas atmosphere, including a source gas, at a temperature higher than normal temperature and pressure smaller than atmospheric pressure. In the present embodiment, the source gas includes an oxygen gas, and thus the tunnel layer 160 may be formed of an oxide layer.

[00257] More specifically, at a high temperature, the tunnel layer 160 may be formed of a thermal oxide (e.g., thermal silicon oxide) layer formed by a reaction of oxygen and the semiconductor material (e.g., silicon) of the semiconductor substrate 100.

[00258] In the present embodiment, the source gas does not include all source materials forming the tunnel layer 160, but may include only an oxygen gas of the oxide forming the tunnel layer 160 and may not include other source materials.

[00259] For example, if the tunnel layer 160 includes silicon oxide, it includes only an oxygen gas as the source gas, but does not include a gas including silicon, that is, other source material. Accordingly, the tunnel layer 160 may be formed by a thermal oxidation process in which oxygen included in the oxygen gas is diffused into the semiconductor substrate 100 and reacts with the semiconductor material.

Petitioner Runergy USA Inc., Ex. 1005, p. 37

[00260] In some embodiments, in a deposition process, a silane (SiH_4) gas including silicon, together with an oxygen gas including oxygen, may be supplied as the source gas. In this instance, oxygen separated from the oxygen gas may chemically react with silicon separated from the silane gas by thermal decomposition, thereby being capable of forming silicon oxide. When the tunnel layer 160 is formed, a gas atmosphere may include various gases in addition to the oxygen gas, that is, the source gas.

[00261] Furthermore, pressure when the tunnel layer 160 is formed may be lower than atmospheric pressure. In this instance, although the tunnel layer 160 is formed by a thermal oxidation process using a relatively high temperature (e.g., 600°C or more), the tunnel layer 160 can maintain low growth speed due to the low pressure. Accordingly, the thickness of the tunnel layer 160 can be significantly reduced.

[00262] For example, when the tunnel layer 160 is formed, a temperature may be set to 600°C to 800°C and pressure may be set to 600 Torr or less in order to effectively control the thickness of the tunnel layer 160.

[00263] As described above, in the present embodiment, when the tunnel layer 160 is formed, both the temperature and pressure need to be controlled. Accordingly, the tunnel layer 160 according to the present embodiment may not be formed in a conventional furnace whose pressure cannot be controlled, and the tunnel layer 160 has to be formed in an apparatus whose temperature and pressure can be controlled.

[00264] Accordingly, in the present embodiment, the tunnel layer 160 may be formed by a thermal oxidation process within deposition apparatus. In this instance, since low pressure needs to be implemented, the tunnel layer 160 may be formed in a low-pressure chemical vapor deposition apparatus.

[00265] An intrinsic semiconductor layer 170' formed on the tunnel layer 160 is formed by a deposition apparatus. Accordingly, if the tunnel layer 160 is formed in the deposition apparatus, the tunnel layer 160 and the intrinsic semiconductor layer 170' can be formed by an in-situ process for consecutively forming the tunnel layer 160 and the intrinsic semiconductor layer 170' in the same deposition apparatus (more specifically, a low-pressure chemical vapor deposition apparatus).

[00266] If the tunnel layer 160 and the intrinsic semiconductor layer 170' are formed by an in-situ process as described above, a manufacturing cost and a manufacturing time can be significantly reduced because the manufacturing process is significantly simplified.

Petitioner Runergy USA Inc., Ex. 1005, p. 38

[00267] A temperature within the deposition apparatus is controlled by applying heat (e.g., heating) or removing heat (e.g., cooling) for a long time, and a lot of time is taken to stabilize the temperature. In contrast, a gas atmosphere and pressure may be controlled by the type and amount of gas supplied to the deposition apparatus. Accordingly, a gas atmosphere and pressure can be more easily controlled than a temperature.

[00268] In the present embodiment, a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' may be set to 200°C or less (i.e., 0°C to 200°C). More specifically, a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' may be set to 100°C or less (i.e., 0°C to 100°C).

[00269] The reason for this is that a difference between a temperature at which the tunnel layer 160 is formed and a temperature in the process of depositing the intrinsic semiconductor layer 170' can be reduced because the tunnel layer 160 is formed at low pressure and thus the temperature at which the tunnel layer 160 is formed can be relatively raised. Accordingly, efficiency of the in-situ process of consecutively forming the tunnel layer 160 and the intrinsic semiconductor layer 170' can be further improved because a temperature that is relatively difficult to control can be maintained without a great change or variance as described above.

[00270] In contrast, a gas atmosphere in the process of depositing the intrinsic semiconductor layer 170' may be different from a gas atmosphere when the tunnel layer 160 is formed, and pressure in the process of depositing the intrinsic semiconductor layer 170' may be the same as or different from pressure when the tunnel layer 160 is formed. This is described in more detail later in a subsequent description of the deposition process of the intrinsic semiconductor layer 170'.

[00271] After the tunnel layer forming step S1 is completed as described above, the intrinsic semiconductor layer forming step S2 for forming the intrinsic semiconductor layer 170' on the tunnel layer 160 formed on one surface of the semiconductor substrate 100 may be performed as shown in FIG. 12.

[00272] For example, as shown in FIG. 13C, in the intrinsic semiconductor layer forming step S2, the intrinsic semiconductor layer 170' may be generally formed on the tunnel layer 160 formed on one surface and the other surface of the semiconductor

Petitioner Runergy USA Inc., Ex. 1005, p. 39

substrate 100. In this instance, the intrinsic semiconductor layer 170' may also be generally formed on the tunnel layer 160 placed on the side of the semiconductor substrate 100.

[00273] If the intrinsic semiconductor layer 170' is placed on both sides of the semiconductor substrate 100 as described above, the doping and damage of the front surface of the semiconductor substrate 100 can be effectively prevented in the process of doping the intrinsic semiconductor layer 170' in order to form the first conductive type semiconductor region 170.

[00274] In the present embodiment, the intrinsic semiconductor layer 170' may be formed by chemical vapor deposition. More specifically, the intrinsic semiconductor layer 170' may be formed by low-pressure chemical vapor deposition.

[00275] Accordingly, the intrinsic semiconductor layer 170' may be formed by the tunnel layer 160 and the in-situ process as described above, but the present invention is not limited thereto. The in-situ process may not be applied to the tunnel layer 160 and the intrinsic semiconductor layer 170'.

[00276] A gas used in the process of depositing the intrinsic semiconductor layer 170' may include a gas (e.g., a silane gas) including a semiconductor material which forms the intrinsic semiconductor layer 170'. In the present embodiment, since the intrinsic semiconductor layer 170' is deposited so that the gas atmosphere has the intrinsic property, the gas atmosphere may include only the gas including the semiconductor material.

[00277] Accordingly, a supply gas can be simplified, and the purity of the formed intrinsic semiconductor layer 170' can be improved, but the present invention is not limited thereto. A separate gas for accelerating the deposition process of the intrinsic semiconductor layer 170' or improving the characteristics of the intrinsic semiconductor layer 170' may be further used.

[00278] Furthermore, in the deposition process of the intrinsic semiconductor layer 170', the size of a crystal grain and crystallizability may be controlled by injecting the gas, including the semiconductor material, along with a nitrogen oxide (N_2O) gas and/or an oxygen (O_2) gas.

[00279] The deposition temperature of the intrinsic semiconductor layer 170' may be the same as or lower than a temperature when the tunnel layer 160 is formed. In particular, if the deposition temperature of the intrinsic semiconductor layer 170' is

Petitioner Runergy USA Inc., Ex. 1005, p. 40

lower than a temperature when the tunnel layer 160 is formed, a characteristic of the intrinsic semiconductor layer 170' which directly takes part in photoelectric conversion can become uniform.

[00280] In some embodiments, the deposition temperature of the intrinsic semiconductor layer 170' may be 500°C to 700°C. Such a deposition temperature is suitable for depositing the intrinsic semiconductor layer 170' having a crystal structure different from that of the semiconductor substrate 100.

[00281] The temperature of the tunnel layer 160 is set to be the same as or similar to the deposition temperature of the intrinsic semiconductor layer 170' as described above. Accordingly, the process can be simplified because the time taken to control a temperature and the time taken to stabilize a temperature are not required.

[00282] Furthermore, deposition pressure of the intrinsic semiconductor layer 170' may be lower than atmospheric pressure, for example, 600 Torr or less (e.g., 1 Torr to 600 Torr). To maintain the deposition pressure less than 1 Torr may be limited on the nature of the process, and the deposition pressure of less than 1 Torr may be difficult to apply to actual mass production because the process time of the intrinsic semiconductor layer 170' is greatly increased.

[00283] If the deposition pressure exceeds 600 Torr, the uniformity of the intrinsic semiconductor layer 170' may be deteriorated. In some embodiments, the deposition pressure of the intrinsic semiconductor layer 170' may be the same as or smaller than pressure when the tunnel layer 160 is formed.

[00284] In particular, if the deposition pressure of the intrinsic semiconductor layer 170' is smaller than pressure when the tunnel layer 160 is formed, a characteristic of the intrinsic semiconductor layer 170' which directly takes part in photoelectric conversion can become uniform.

[00285] This is described in more detail. A gas including a semiconductor material (e.g., silicon) is thermally decomposed and the semiconductor material is deposited on the tunnel layer 160, thereby being capable of forming the intrinsic semiconductor layer 170'.

[00286] If a temperature and/or pressure of the intrinsic semiconductor layer 170' are increased in order to increase deposition speed, the distribution of crystallizability within the intrinsic semiconductor layer 170' is increased. If the distribution of crystallizability within the intrinsic semiconductor layer 170' is increased, the

Petitioner Runergy USA Inc., Ex. 1005, p. 41

characteristics of the intrinsic semiconductor layer 170' may not become uniform because the crystallizability of the intrinsic semiconductor layer 170' takes part in moving speed of carriers.

[00287] In contrast, the tunnel layer 160 is formed in a very thin thickness, and the crystallizability of the tunnel layer 160 does not have an influence on the characteristics of the tunnel layer 160. Although the intrinsic semiconductor layer 170' needs to be formed in a thicker thickness than the tunnel layer 160, the deposition temperature and/or pressure of the intrinsic semiconductor layer 170' are set to be smaller than those when the tunnel layer 160 is formed in order to improve the characteristics of the intrinsic semiconductor layer 170'.

[00288] However, the present invention is not limited to such an example. A gas atmosphere, temperature, and pressure of the intrinsic semiconductor layer 170' may be changed in various ways.

[00289] As described above, the intrinsic semiconductor layer 170' may be formed by changing the type of gas supplied after the tunnel layer 160 is formed and controlling the amount of a supplied gas.

[00290] For example, the intrinsic semiconductor layer 170' may be formed by removing a gas (e.g., an oxygen gas, a nitrogen gas, or a chlorine gas), used when the tunnel layer 160 is formed after the tunnel layer 160 is formed, by pumping and purging, and then injecting a gas (e.g., a gas including a semiconductor material) for forming the intrinsic semiconductor layer 170'.

[00291] Accordingly, the process of forming the tunnel layer 160 and the intrinsic semiconductor layer 170' can be simplified. Furthermore, if the semiconductor substrate 100 on which the tunnel layer 160 has been formed is taken out from an apparatus after the tunnel layer 160 is formed as in a prior art, there is a problem in that the tunnel layer 160 is contaminated by impurities or the thickness of the tunnel layer 160 is increased due to an additional oxidation.

[00292] In the present embodiment, the tunnel layer 160 is not externally exposed until the intrinsic semiconductor layer 170' is formed because the intrinsic semiconductor layer 170' is consecutively formed in an apparatus in which the tunnel layer 160 has been formed. Accordingly, a problem occurring because the tunnel layer 160 is externally exposed before the intrinsic semiconductor layer 170' is formed can be prevented.

Petitioner Runergy USA Inc., Ex. 1005, p. 42

[00293] For reference, if plasma-enhanced chemical vapor deposition (PECVD) is used, a separate crystallization annealing process needs to be performed so that the intrinsic semiconductor layer 170' has a polycrystalline structure after it is formed. Accordingly, the structure becomes complicated, and performance may be deteriorated. Furthermore, since PECVD is a one-sided process, it may be difficult to generally form the intrinsic semiconductor layer 170' on both sides of the semiconductor substrate 100.

[00294] Thereafter, as shown in FIG. 12, the first conductive type semiconductor region forming step S3 may be performed.

[00295] In the first conductive type semiconductor region forming step S3, the first conductive type semiconductor region 170 may be formed by doping impurities of the first conductive type into the intrinsic semiconductor layer 170' formed on one surface of the semiconductor substrate 100.

[00296] More specifically, in the first conductive type semiconductor region forming step S3, as shown in FIG. 13D, a first conductive type semiconductor region 170'a may be formed on the entire surface of the semiconductor substrate 100 by doping impurities of the first conductive type into the intrinsic semiconductor layer 170' formed on the entire surface of the semiconductor substrate 100.

[00297] In this instance, in the present embodiment, the impurities of the first conductive type may be doped using a thermal diffusion method. The reason for this is that the thermal diffusion method is capable of doping while minimizing the deterioration of the characteristics of the tunnel layer 160. In contrast, if an ion implantation method is used, the characteristics of the tunnel layer 160 may be deteriorated due to activation thermal treatment performed at high temperature after ion implantation.

[00298] For example, as shown in FIG. 13D, the first conductive type semiconductor region 170'a may be generally formed by thermal treatment in a gas atmosphere including the impurities of the first conductive type.

[00299] If the first conductive type semiconductor region 170'a has an n type, thermal treatment may be performed in a gas atmosphere including $POCl_3$. If the first conductive type semiconductor region 170'a has a p type, thermal treatment may be performed in a gas atmosphere including BBr_3.

[00300] The process of forming the first conductive type semiconductor region 170'a can be simplified using a gas including the impurities of the first conductive type as

Petitioner Runergy USA Inc., Ex. 1005, p. 43

described above. In this instance, doping may be performed on the front surface and side of the semiconductor substrate 100 in addition to the back surface of the semiconductor substrate 100 due to such a process.

[00301] In the present embodiment, since portions of the intrinsic semiconductor layer 170' to be removed in a subsequent process are present on the front surface and side of the semiconductor substrate 100, a problem in that the front surface and side of the semiconductor substrate 100 are unnecessarily doped with the impurities of the first conductive type can be fundamentally prevented.

[00302] In an alternative embodiment, that is, a modified example, as shown in FIG. 14, the first conductive type semiconductor region 170'a may be formed by forming a first doping layer 210, including impurities of the first conductive type, on the intrinsic semiconductor layer 170' placed at least on the back surface side of the semiconductor substrate 100 and diffusing the impurities of the first conductive type included in the first doping layer 210 through thermal treatment.

[00303] For example, the first doping layer 210 may include phosphorous silicate glass (PSG) or boron silicate glass (BSG). The first doping layer 210 may be easily formed by deposition.

[00304] For example, the first doping layer 210 may be formed by atmospheric pressure chemical vapor deposition and may be formed on the back surface and/or side of the semiconductor substrate 100, but may not be formed on the front surface of the semiconductor substrate 100. Accordingly, the first conductive type semiconductor region 170'a may be formed on only the back surface and/or side of the semiconductor substrate 100, and the intrinsic semiconductor layer 170' may remain intact on the front surface of the semiconductor substrate 100.

[00305] Next, as shown in FIG. 13E, a mask layer 202 may be formed on the first conductive type semiconductor region 170'a placed on the back surface side of the semiconductor substrate 100 so that the mask layer 202 corresponds to the first conductive type semiconductor region (170 in FIG. 13F) to be left other than the isolation portion (I in FIG. 13F, hereinafter the same).

[00306] More specifically, the area of the mask layer 202 may be smaller than that of the semiconductor substrate 100. Accordingly, the first conductive type semiconductor region (170 in FIG. 13F) that remains other than the isolation portion I may have a smaller area than the semiconductor substrate 100 by removing an unwanted portion of

Petitioner Runergy USA Inc., Ex. 1005, p. 44

the first conductive type semiconductor region 170'a.

[00307] For example, the mask layer 202 may be spaced apart from each side (or the edge) of the semiconductor substrate 100 at a specific second distance D2. If the area of the mask layer 202 is the same as or greater than the area of the semiconductor substrate 100, it may be difficult to effectively remove the unwanted portion of the first conductive type semiconductor region 170'a which is adjacent to the side of the semiconductor substrate 100 on the back surface side of the semiconductor substrate 100.

[00308] The second distance D2 may be controlled so that the first distance D1 between the first conductive type semiconductor region 170'a and the edge of the back surface of the semiconductor substrate 100 has a required value. For example, the second distance D2 may have a value of 1 mm or less (e.g., 1 nm to 1 mm) so that the first distance D1 has a value of 1 mm or less (e.g., 1 nm to 1 mm), but the present invention is not limited thereto. The second distance D2 may have values other than 1 mm or less.

[00309] The mask layer 202 may include a material which is not removed in the process of removing part (i.e., the edge D2 of the other surface, side, or one surface of the semiconductor substrate 100) of the first conductive type semiconductor region 170'a including the semiconductor material.

[00310] For example, the mask layer 202 not etched by an etch solution which is used in the process of removing part of the first conductive type semiconductor region 170'a may include oxide, nitride, or resin. For example, the mask layer 202 may be formed of a silicon nitride layer so that the mask layer 202 is formed by a simple process.

[00311] As shown in FIG. 12, the removing step S4 may be performed prior to the second conductive type semiconductor region forming step S5 after the first conductive type semiconductor region forming step S3.

[00312] In the removing step S4, for example, the tunnel layer 160 and the intrinsic semiconductor layer 170' or the first conductive type semiconductor region 170'a placed on the other surface of the semiconductor substrate 100 in FIG. 13E may be removed.

[00313] Furthermore, in the removing step S4, portions of the first conductive type semiconductor region 170'a and the tunnel layer 160 not covered by the mask layer 202 in FIG. 13E may be removed, so the isolation portion I may be formed.

[00314] The tunnel layer 160 and the first conductive type semiconductor region 170'a are moved as described above, so the tunnel layer 160 and the first conductive type semiconductor region 170, such as those shown in FIG. 13F, may be formed.

[00315] In the removing step S4, wet etch using an alkali solution (e.g., a KOH solution), for example, may be performed on the first conductive type semiconductor region 170'a and the tunnel layer 160.

[00316] In accordance with such wet etch, the first conductive type semiconductor region 170'a and the tunnel layer 160 placed in the isolation portion I on the front surface, side, or back surface of the semiconductor substrate 100 can be removed by a simple and easy process.

[00317] The first conductive type semiconductor region 170'a may be removed selectively and easily using the alkali solution. The tunnel layer 160 having a very small thickness, albeit being an oxide, may also be removed when the first conductive type semiconductor region 170'a is removed.

[00318] Accordingly, as shown in FIG. 13F, the first conductive type semiconductor region 170 and the tunnel layer 160 each formed to have a smaller area than the semiconductor substrate 100 and spaced apart from the edge of the back surface of the semiconductor substrate 100 at the first distance D1 may be formed.

[00319] The first conductive type semiconductor region 170 and the tunnel layer 160 may have a shape having an area reduced as they become distant from the semiconductor substrate 100 and the sides thereof may be formed to be rounded by the wet etch.

[00320] However, the present invention is not limited to the above description. Part of the first conductive type semiconductor region 170 and the tunnel layer 160 may be removed by various methods, such as RIE and dry etch, and the first conductive type semiconductor region 170 and the tunnel layer 160 may have a different shape.

[00321] The mask layer 202 may be removed after part of the first conductive type semiconductor region 170 and the tunnel layer 160 is removed so that the isolation portion I is formed. The mask layer 202 may be removed by various methods depending on a material.

[00322] For example, if the mask layer 202 includes an oxide or a nitride, it may be removed by a process using diluted hydrofluoric acid. The mask layer 202 may be removed by a separate process or may be naturally removed by a cleaning process

Petitioner Runergy USA Inc., Ex. 1005, p. 46

including a solution including diluted hydrofluoric acid.

[00323] After the removing step S4 is performed as described above, as shown in FIG. 12, the second conductive type semiconductor region forming step S5 for forming the second conductive type semiconductor region 120 by doping impurities of the second conductive type on the other surface of the semiconductor substrate 100 may be performed.

[00324] More specifically, as shown in FIG. 13G, in the second conductive type semiconductor region forming step S5, the second conductive type semiconductor region 120 may be formed by doping impurities of the second conductive type on the front surface side of the semiconductor substrate 100.

[00325] The second conductive type semiconductor region 120 may be formed by known various methods. For example, the second conductive type semiconductor region 120 may be formed by a thermal diffusion method. The reason for this is that the thermal diffusion method is capable of doping while minimizing the deterioration of the characteristics of the tunnel layer 160. In contrast, if an ion implantation method is used, the characteristics of the tunnel layer 160 may be deteriorated due to activation thermal treatment performed at high temperature after ion implantation.

[00326] If the thermal diffusion method is used, in the second conductive type semiconductor region forming step S5, as shown in FIG. 13G, the second conductive type semiconductor region 120 may be formed on the front surface of the semiconductor substrate 100 by forming a capping film 204 on the side and back surface of the semiconductor substrate 100 and performing thermal treatment in a gas atmosphere including impurities of the second conductive type.

[00327] If the second conductive type semiconductor region 120 has a p type, the thermal treatment may be performed in a gas atmosphere including BBr_3. If the second conductive type semiconductor region 120 has an n type, the thermal treatment may be performed in a gas atmosphere including $POCl_3$. After the second conductive type semiconductor region 120 is formed through such thermal treatment, the capping film 204 may be removed. Various films capable of preventing the doping of the impurities of the second conductive type may be used as the capping film 204. The capping film 204 may be removed by a removing method depending on a material.

[00328] In the second conductive type semiconductor region forming step S5, for another example, as shown in FIG. 15, the second conductive type semiconductor region

Petitioner Runergy USA Inc., Ex. 1005, p. 47

120 may be formed by forming a second doping layer 310, including impurities of the second conductive type, on the front surface of the semiconductor substrate 100 and diffusing the impurities of the second conductive type, included in the second doping layer 310, into the semiconductor substrate 100 through thermal treatment.

[00329] The second doping layer 310 may include boron silicate glass (BSG) or phosphorous silicate glass (PSG). The second doping layer 310 may be easily formed by deposition. In this instance, the second doping layer 310 may be formed by atmospheric pressure chemical vapor deposition and may not be formed on the back surface of the semiconductor substrate 100.

[00330] Thereafter, as shown in FIG. 12, the anti-reflection layer and second passivation film forming step S6 may be performed.

[00331] In the anti-reflection layer and second passivation film forming step S6, the second passivation film 190B and the anti-reflection layer 130 may be sequentially formed on the second conductive type semiconductor region 120.

[00332] In the anti-reflection layer and second passivation film forming step S6, for example, as shown in FIG. 13H, the second passivation film 190B and the anti-reflection layer 130 may be sequentially formed on the side of the semiconductor substrate 100 in addition to the front surface of the second conductive type semiconductor region 120.

[00333] The second passivation film 190B or the anti-reflection layer 130 may be formed by various methods, such as a vacuum deposition method, a chemical vapor deposition method, spin coating, screen printing, or spray coating.

[00334] If one-sided deposition, such as plasma-enhanced chemical vapor deposition (PECVD), is used when the second passivation film 190B or the anti-reflection layer 130 is formed, the second passivation film 190B or the anti-reflection layer 130 may be formed on only the front surface and/or side of the semiconductor substrate 100. Accordingly, a separate patterning process for the second passivation film 190B or the anti-reflection layer 130 is not required.

[00335] Thereafter, as shown in FIG. 12, the first passivation film forming step S7 for forming the first passivation film 190A on the first conductive type semiconductor region 170 may be performed.

[00336] For example, as shown in FIG. 13I, the first passivation film 190A may be formed on the first conductive type semiconductor region 170 placed on the back

Petitioner Runergy USA Inc., Ex. 1005, p. 48

surface side of the semiconductor substrate 100, the isolation portion I placed in the edge of the back surface of the semiconductor substrate 100, and the second passivation film 190B and the anti-reflection layer 130 placed on the side of the semiconductor substrate 100.

[00337] Accordingly, after edge isolation according to the isolation portion I is performed, the isolation portion I may also be passivated while the first passivation film 190A is formed without a separate process.

[00338] The first passivation film 190A may be formed by various methods, such as a vacuum deposition method, a chemical vapor deposition method, spin coating, screen printing, or spray coating.

[00339] If one-sided deposition, such as plasma-enhanced chemical vapor deposition (PECVD), is used when the first passivation film 190A or the anti-reflection layer 130 is formed, the first passivation film 190A may be formed on only the back surface and/or side of the semiconductor substrate 100. Accordingly, a separate patterning process for the first passivation film 190A is not required.

[00340] In the present embodiment, an example in which the second passivation film 190B covering the front surface side of the semiconductor substrate 100 is first formed and the first passivation film 190A covering the back surface side of the semiconductor substrate 100 is then formed has been described.

[00341] In this instance, the characteristics of the first conductive type semiconductor region 170 can be prevented from being deteriorated or damaged in the process of forming the first passivation film 190A. The reason for this is that the characteristics of the first conductive type semiconductor region 170 may be very important, in particular, if the first conductive type semiconductor region 170 is an emitter region.

[00342] However, the present invention is not limited to the example. For example, after the first passivation film 190A covering the back surface side of the semiconductor substrate 100 is formed, the second passivation film 190B covering the front surface side of the semiconductor substrate 100 may be formed.

[00343] In this instance, the first passivation film 190A covering the back surface side of the semiconductor substrate 100 may be placed on (e.g., brought into contact with) the side of the semiconductor substrate 100, and the second passivation film 190B covering the front surface side of the semiconductor substrate 100 may be placed on (e.g., brought into contact with) on the first passivation film 190A.

Petitioner Runergy USA Inc., Ex. 1005, p. 49

[00344] After the first passivation film 190A is formed as described above, as shown in FIGS. 12 and 13J, the electrode forming step S8 for forming the first electrode 150 connected to the first conductive type semiconductor region 170 and the second electrode 140 connected to the second conductive type semiconductor region 120 may be performed.

[00345] The electrode forming step S8 may include the step (operation) of forming the opening portion 102 in the first passivation film 190A. Accordingly, in the electrode forming step S8, the first and the second opening portions 102 and 104 may be formed in the first and the second passivation films 190A and 190B by a patterning process, for example. Next, the first and the second electrodes 150 and 140 may be formed while the first and the second opening portions 102 and 104 are filled with metal for forming the first and the second electrodes 150 and 140.

[00346] In this instance, the first and the second opening portions 102 and 104 may be formed by laser ablation using a laser or various methods using an etch solution, an etch paste, and a photo process. Furthermore, the first and the second electrodes 150 and 140 may be formed by various methods, such as a plating method or a deposition method.

[00347] Accordingly, the isolation portion I can be formed by a simple process, and a problem attributable to surface recombination can be prevented by passivating the isolation portion I using the first passivation film 190A. Accordingly, productivity can be improved because a defective ratio of solar cells is reduced through a simple process.

[00348] In some embodiments, in the electrode forming step S8, the first and the second electrodes 150 and 140 may be formed by coating pastes for forming the first and the second electrodes 150 and 140 on the first and the second passivation films 190A and 190B using screen printing and then using a thermal treatment method, such as fire through or laser firing contact (or laser firing contact).

[00349] If the first electrode and the second electrode are formed using a printing method and a thermal treatment method as described above, the first and the second opening portions 102 and 104 are naturally formed when the first and the second electrodes 150 and 140 are formed. Accordingly, the manufacturing process can be further simplified because a separate process for forming the first and the second opening portions 102 and 104 is not required.

[00350] An example in which the first electrode and the second electrode are formed

using a printing method and a thermal treatment method as described above is described in more detail below.

[00351] FIG. 16 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a second embodiment of the present invention. FIG. 17 is a flowchart illustrating an example of a method for manufacturing a solar cell according to a third embodiment of the present invention.

[00352] The remaining steps (operations) of FIGS. 16 and 17 other than a first electrode forming step are the same as those of FIGS. 12 and 13A to 15, and thus different portions are chiefly described.

[00353] Accordingly, as in the manufacturing method of the first embodiment, each of the methods for manufacturing a solar cell according to the second embodiment and third embodiment of the present invention may include the tunnel layer forming step S1, the intrinsic semiconductor layer forming step S2, the first conductive type semiconductor region forming step S3, the removing step S4, the second conductive type semiconductor region forming step S5, the anti-reflection layer and second passivation film forming step S6, the first passivation film forming step S7, and the electrode forming step S8.

[00354] The remaining steps (operations) other than the electrode forming step S8 may be the same as those of the first embodiment, and thus a description thereof is omitted.

[00355] In the second embodiment or the third embodiment, the electrode forming step S8 may include the step of forming the first electrode and the step of forming the second electrode. In this instance, the step of forming the second electrode may be the same as that of the method for manufacturing a solar cell according to the first embodiment of the present invention, or the first electrode forming step S8 according to the second embodiment or the third embodiment may be applied to the step of forming the second electrode without a change. Accordingly, in an embodiment of the present invention, a detailed description of the method for forming the second electrode is omitted because it is not specially limited.

[00356] The step of forming the first electrode in the second embodiment or the third embodiment is described in detail because it is different from that in the first embodiment.

[00357] In the method for manufacturing a solar cell according to the second

Petitioner Runergy USA Inc., Ex. 1005, p. 51

embodiment or the third embodiment, the first electrode forming step S8 may include a process for printing a paste for the first finger electrodes for forming the first finger electrodes and a paste for the first bus bar for forming the first bus bar on the first passivation film 190A and a thermal treatment process.

[00358] In the thermal treatment process, the paste for the first finger electrodes and the paste for the first bus bar may perforate the first passivation film and may be connected to the first conductive type semiconductor region. Accordingly, the step of forming the opening portion in the first passivation film may be performed during the thermal treatment process of the electrode forming step.

[00359] More specifically, in the method for manufacturing a solar cell according to the second embodiment of the present invention, a first electrode forming step S8A may include a process S8A1 for printing the paste for the first finger electrodes and the paste for the first bus bar on the first passivation film 190A through a single printing process and a thermal treatment process S8A2.

[00360] In this instance, a material included in the paste for the first finger electrodes for forming the first finger electrodes 151 and a material included in the paste for the first bus bar for forming the first bus bar 153 may be the same.

[00361] Thereafter, the paste for the first finger electrodes and the paste for the first bus bar perforate the first passivation film 190A and are connected to the first conductive type semiconductor region 170 through the thermal treatment process. Accordingly, the paste for the first finger electrodes and the paste for the first bus bar may be partially depressed into the first conductive type semiconductor region 170 and then fired, thereby forming the first finger electrodes 151 and the first bus bar 153, such as those shown in FIG. 5.

[00362] Furthermore, during the thermal treatment process, metal may be extracted from the paste for the first finger electrodes and the paste for the first bus bar and recrystallized. Accordingly, the metal crystals MC may be formed in the electrode forming region 170A of the first conductive type semiconductor region 170.

[00363] In this instance, the highest temperature of the thermal treatment process may be between 700°C to 900°C, more specifically, between 795°C to 870°C.

[00364] If the highest temperature of the thermal treatment process is 795°C or more, the paste for the first finger electrodes and the paste for the first bus bar can perforate the first passivation film 190A and can be connected to the first conductive type

Petitioner Runergy USA Inc., Ex. 1005, p. 52

semiconductor region 170.

[00365] If the highest temperature of the thermal treatment process is 870°C or less, the metal crystals MC recrystallized when metal is extracted from the paste for the first finger electrodes and the paste for the first bus bar can be prevented from penetrating the tunnel layer 160.

[00366] Furthermore, in the method for forming a solar cell according to the third embodiment of the present invention, a first electrode forming step S8B may include a process S8B1 for printing the paste for the first finger electrodes on the first passivation film 190A in order to form the first finger electrodes 151, a process S8B2 for printing the paste for the first bus bar having a material different from the material of the paste for the first finger electrodes on the first passivation film 190A in order to form the first bus bar 153, and a thermal treatment process S8B3, as shown in FIG. 17.

[00367] In FIG. 17, the process S8B1 for printing the paste for the first finger electrodes has been illustrated as being first performed and the process S8B2 for printing the paste for the first bus bar has been illustrated as being then performed, but sequence of the two processes may be reversed.

[00368] As described above, the first finger electrodes 151 and the first bus bar 153, such as those shown in FIG. 9, may be formed through the first electrode forming step S8, such as that shown in FIG. 17.

[00369] As described above, in the method for forming a solar cell according to the third embodiment of the present invention, the paste for the first finger electrodes and the paste for the first bus bar may be performed by the separate printing processes S8B1 and S8B12.

[00370] Furthermore, in this instance, a material included in the paste for the first finger electrodes and a material included in the paste for the first bus bar may be different.

[00371] More specifically, content of frit glass per unit volume which is included in the paste for the first bus bar may be smaller than content of frit glass per unit volume which is included in the paste for the first finger electrodes, or frit glass may not be included in the paste for the first bus bar.

[00372] The reason for this is that while the paste for the second finger electrodes perforates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170 in the thermal treatment process for forming the first

Petitioner Runergy USA Inc., Ex. 1005, p. 53

electrode 150, the paste for the first bus bar perforates the first passivation film 190A, but is rarely depressed into the first conductive type semiconductor region 170 although it is connected to the first conductive type semiconductor region 170 or the paste for the first bus bar does not perforate the first passivation film 190A.

[00373] In this instance, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170, and the semiconductor substrate 100 can be prevented from being deteriorated.

[00374] Furthermore, content of frit glass per unit volume which is included in the plurality of first finger electrodes 151 may be the same as content of frit glass per unit volume which is included in the second electrode 140.

[00375] After the paste for the second electrode is coated, the second electrode 140 may also perforate the anti-reflection layer 130 and may be connected to the second conductive type semiconductor region 120. If content of frit glass per unit volume which is included in the paste for the second finger electrodes is the same as that included in the second electrode 140, speed at which the paste for the second electrode perforates the anti-reflection layer 130 and is depressed into the second conductive type semiconductor region 120 and speed at which the paste for the second finger electrodes perforates the first passivation film 190A and is depressed into the first conductive type semiconductor region 170 in the same thermal treatment process may become approximately the same.

[00376] Accordingly, temperatures in the thermal treatment processes for forming the second electrode 140 and the first electrode 150 may become the same, and speed at which the first finger electrodes 151 are depressed into the first conductive type semiconductor region 170 can be limited.

[00377] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be greater than content of a metal material per unit volume which is included in the plurality of first bus bars 153.

[00378] For example, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be 80 wt% or more to 95 wt% or less. Content of a metal material per unit volume which is included in the plurality of first bus bars 153 may be 60 wt% or more 80 wt% or less.

[00379] If content of a metal material per unit volume which is included in the first finger electrodes 151 is 80 wt% or more 95 wt% or less as described above, the metal

Petitioner Runergy USA Inc., Ex. 1005, p. 54

crystals MC can be sufficiently formed as described above with reference to FIG. 6 and resistance of the first finger electrodes 151 having relatively narrow widths can be sufficiently lowered in the state in which the paste for the second finger electrodes has perforated the first passivation film 190A and is depressed into the first conductive type semiconductor region 170.

[00380] Furthermore, if content of a metal material per unit volume which is included in the first bus bar 153 is 60 wt% or more 80 wt% or less, the metal crystals MC may not be formed in the bus bar forming region 170A2 of the first conductive type semiconductor region 170 due to the metal material included in the paste for the first bus bars although part of the paste for the first bus bars perforates the first passivation film 190A and is connected to the first conductive type semiconductor region 170, or the metal crystals MC may not be formed in the tunnel layer 160 as described above with reference to FIG. 7 although the metal crystals MC are formed in the bus bar forming region 170A2.

[00381] Furthermore, content of a metal material per unit volume which is included in the plurality of first finger electrodes 151 may be the same as content of a metal material per unit volume which is included in the second electrode 140.

[00382] If the first finger electrodes 151 and the first bus bar 153 having different materials are formed as described above, the deterioration of the semiconductor substrate 100 can be prevented, and the deterioration of efficiency of the solar cell can be further prevented.

[00383] As described above, the deterioration of the semiconductor substrate 100 may be generated during the thermal treatment process for forming the first electrode 150. If a temperature in the thermal treatment process is too low, the deterioration of efficiency of the solar cell can be prevented because contact resistance of the first electrode 150 is excessively increased.

[00384] The embodiments of the present invention have been described in detail above, but the scope of the present invention is not limited thereto. The scope of the present invention also includes a variety of modifications and changes which are defined in the appended claims and which will be performed by those skilled in the art using the basic concept of the present invention.

Petitioner Runergy USA Inc., Ex. 1005, p. 55

WHAT IS CLAIMED IS:

1. A solar cell, comprising:

a semiconductor substrate;

a tunnel layer on a first surface of the semiconductor substrate;

a first conductive type semiconductor region on the tunnel layer and containing impurities of a first conductive type;

a second conductive type semiconductor region on a second surface opposite to the first surface of the semiconductor substrate and containing impurities of a second conductive type opposite to the first conductive type;

a first passivation film on the first conductive type semiconductor region;

a first electrode formed on the first passivation film and connected to the first conductive type semiconductor region through an opening formed in the first passivation film;

a second passivation film on the second conductive type semiconductor region; and

a second electrode formed on the second passivation film and connected to the second conductive type semiconductor region through an opening formed in the second passivation film.

2. The solar cell of claim 1, wherein the first electrode comprises a plurality of first finger electrodes spaced apart from each other and extended in parallel in a first direction, and

the second electrode comprises a plurality of second finger electrodes spaced apart from each other and extended in parallel in the first direction.

3. The solar cell of claim 2, wherein the first electrode further comprises a first bus bar connected to the plurality of first finger electrodes, and

the second electrode further comprises a second bus bar connected to the plurality of second finger electrodes.

4. The solar cell of claim 1, wherein the first conductive type semiconductor region includes a polycrystalline silicon material, and

Petitioner Runergy USA Inc., Ex. 1005, p. 56

the second conductive type semiconductor region includes a single crystal silicon material.

5. The solar cell of claim 1, further comprising an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region,

wherein the isolation portion is formed on at least one of the first surface, a side surface, or the second surface of the semiconductor substrate.

6. The solar cell of claim 5, wherein the isolation portion excludes the tunnel layer and the first conductive type semiconductor region, and is in an edge portion of the first surface of the semiconductor substrate, and

the first passivation film covers the first surface of the semiconductor substrate and the isolation portion together.

7. The solar cell of claim 6, wherein a width of the isolation portion is 1 nm to 1 mm.

8. The solar cell of claim 6, wherein a thickness of the edge region in the first conductive type semiconductor region progressively decreases toward the isolation portion.

9. The solar cell of claim 1, wherein the first passivation film comprises a side portion extending up a side surface of the semiconductor substrate.

10. The solar cell of claim 9, wherein the second passivation film comprises a side portion formed on the side surface of the semiconductor substrate, and

the side portion of the first passivation film on the side surface of the semiconductor substrate is on the side portion of the second passivation film.

11. The solar cell of claim 1, further comprising:

a first boundary surface in which the first conductive type semiconductor region and the first electrode come into contact with each other; and

Petitioner Runergy USA Inc., Ex. 1005, p. 57

a second boundary surface in which the first conductive type semiconductor region and the first passivation film come into contact with each other,

wherein the first boundary surface closer to the semiconductor substrate than the second boundary surface.

12. The solar cell of claim 1, further comprising a plurality of metal crystals extracted from the first electrode,

wherein the plurality of metal crystals are in an electrode forming region which belongs to the first conductive type semiconductor region and in which the first electrode is formed.

13. The solar cell of claim 12, wherein the plurality of metal crystals are not in a non-forming region which belongs to the first conductive type semiconductor region and in which the first electrode is not formed.

14. The solar cell of claim 12, wherein the plurality of metal crystals are not in the tunnel layer.

15. The solar cell of claim 12, wherein the plurality of metal crystals are in direct contact with the first electrode or is spaced apart from the first electrode.

16. The solar cell of claim 3, wherein all of the plurality of first finger electrodes and the first bus bar are connected to the first conductive type semiconductor region through the first passivation film.

17. The solar cell of claim 16, wherein all of the plurality of first finger electrodes and the first bus bar have a single layer or double layer structure.

18. The solar cell of claim 16, wherein:

the plurality of first finger electrodes have a single layer structure, and

the first bus bar has a double layer structure.

Petitioner Runergy USA Inc., Ex. 1005, p. 58

19. The solar cell of claim 16, further comprising a plurality of metal crystals which are in a region which belongs to the first conductive type semiconductor region and in which the plurality of first finger electrodes is formed and a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

20. The solar cell of claim 3, wherein:

the plurality of first finger electrodes are connected to the first conductive type semiconductor region through the first passivation film, and

the first bus bar is configured to not penetrate the first passivation film and is formed on a back surface of the first passivation film.

21. The solar cell of claim 20, further comprising a plurality of metal crystals,

wherein the plurality of metal crystals are in a region which belongs to the first conductive type semiconductor region and in which the first finger electrodes are formed, and

the plurality of metal crystals are not in a region which belongs to the first conductive type semiconductor region and in which the first bus bar is formed.

22. The solar cell of claim 20, wherein the plurality of first finger electrodes and the first bus bar have different compositions.

23. The solar cell of claim 20, wherein a content of a frit glass per unit volume which is included in the plurality of first finger electrodes is greater than a content of a frit glass per unit volume which is included in the first bus bar.

24. The solar cell of claim 20, wherein a content of a frit glass per unit volume which is included in the plurality of first finger electrodes is identical with a content of a frit glass per unit volume which is included in the first bus bar.

25. The solar cell of claim 20, wherein a content of a metal material per unit volume which is included in the plurality of first finger electrodes is greater than a content of a metal material per unit volume which is included in the first bus bar.

Petitioner Runergy USA Inc., Ex. 1005, p. 59

26. A method for manufacturing a solar cell, the method comprising:

a tunnel layer forming operation of forming a tunnel layer on a first surface of a semiconductor substrate;

an intrinsic semiconductor layer forming operation of forming an intrinsic semiconductor layer on the tunnel layer formed on the first surface of the semiconductor substrate;

a first conductive type semiconductor region forming operation of forming a first conductive type semiconductor region by doping impurities of a first conductive type into the intrinsic semiconductor layer formed on the first surface of the semiconductor substrate;

a second conductive type semiconductor region forming operation of forming a second conductive type semiconductor region by doping impurities of a second conductive type into a second surface of the semiconductor substrate;

a first passivation film forming operation of forming a first passivation film on the first conductive type semiconductor region; and

an electrode forming operation of forming a first electrode connected to the first conductive type semiconductor region and a second electrode connected to the second conductive type semiconductor region.

27. The method of claim 26, further comprising an operation of forming an opening portion in the first passivation film after the first passivation film forming operation.

28. The method of claim 27, wherein the operation of forming the opening portion in the first passivation film is performed by thermal treatment in the electrode forming operation.

29. The method of claim 28, wherein the electrode forming operation comprises a first electrode forming operation of forming the first electrode, and

wherein the first electrode forming operation comprises printing a paste for first finger electrodes for forming the first finger electrodes and a paste for a first bus bar for forming the first bus bar on the first passivation film and performing thermal treatment on the pastes.

Petitioner Runergy USA Inc., Ex. 1005, p. 60

30. The method of claim 29, wherein in the first electrode forming operation, a highest temperature for the thermal treatment is between 795°C to 870°C.

31. The method of claim 29, wherein in the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar are printed through a single process.

32. The method of claim 31, wherein a material included in the paste for the first finger electrodes is identical with a material included in the paste for the first bus bar.

33. The method of claim 29, wherein in the first electrode forming operation, the paste for the first finger electrodes and the paste for the first bus bar are printed using separate printing processes.

34. The method of claim 33, wherein a material included in the paste for the first finger electrodes and a material included in the paste for the first bus bar are different.

35. The method of claim 26, wherein:

the tunnel layer forming operation further comprises forming the tunnel layer on the first and second surfaces of the semiconductor substrate,

the intrinsic semiconductor layer forming operation further comprises forming the intrinsic semiconductor layer on the tunnel layers formed on the first and second surfaces of the semiconductor substrate, and

the method further comprises a removing operation of removing the tunnel layer and the intrinsic semiconductor layer or the first conductive type semiconductor region placed at least on the second surface of the semiconductor substrate prior to the second conductive type semiconductor region forming operation after the first conductive type semiconductor region forming operation.

36. The method of claim 35, wherein:

the removing operation comprises forming an isolation portion by removing the tunnel layer placed on a first side of the semiconductor substrate and an edge portion of the first conductive type semiconductor region, and

Petitioner Runergy USA Inc., Ex. 1005, p. 61

the first passivation film covers the first surface of the semiconductor substrate along with the isolation portion.

37. The method of claim 36, wherein the removing operation further comprises:

forming a mask layer having a smaller area than the semiconductor substrate on the first conductive type semiconductor region on a second side of the semiconductor substrate;

etching the first conductive type semiconductor region and the tunnel layer placed in a portion in which the mask layer has not been formed; and

removing the mask layer.

38. The method of claim 26, further comprising forming a second passivation film covering the second conductive type semiconductor region between the operation of forming the second conductive type semiconductor region and the operation of forming the first passivation film,

wherein the second passivation film is placed on a side of the semiconductor substrate, and the first passivation film is placed on the second passivation film.

Petitioner Runergy USA Inc., Ex. 1005, p. 62

ABSTRACT

Disclosed are a solar cell and a method for manufacturing the same. A solar cell includes a semiconductor substrate, a tunnel layer on the first surface of the semiconductor substrate, a first conductive type semiconductor region on the tunnel layer and includes impurities of a first conductive type, a second conductive type semiconductor region on a second surface and includes impurities of a second conductive type opposite the first conductive type, a first passivation film on the first conductive type semiconductor region, a first electrode formed on the first passivation film and connected to the first conductive type semiconductor region through an opening portion formed in the first passivation film, a second passivation film on the second conductive type semiconductor region, and a second electrode formed on the second passivation film and connected to the second conductive type semiconductor region through an opening portion formed in the second passivation film.

Petitioner Runergy USA Inc., Ex. 1005, p. 63

FIG. 1

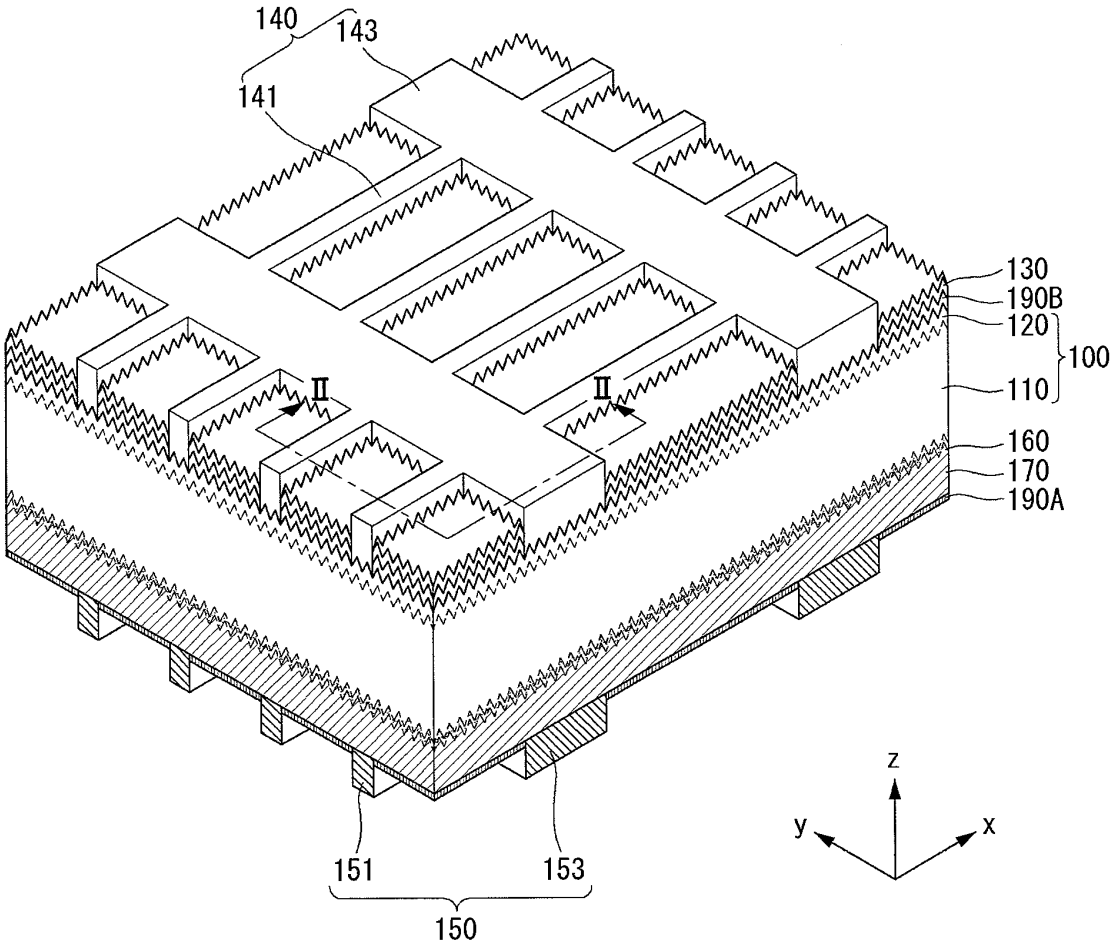

140
143
141
130
190B
120
100
110
160
170
190A
II
II
151
153
150
z
y
x

FIG. 2

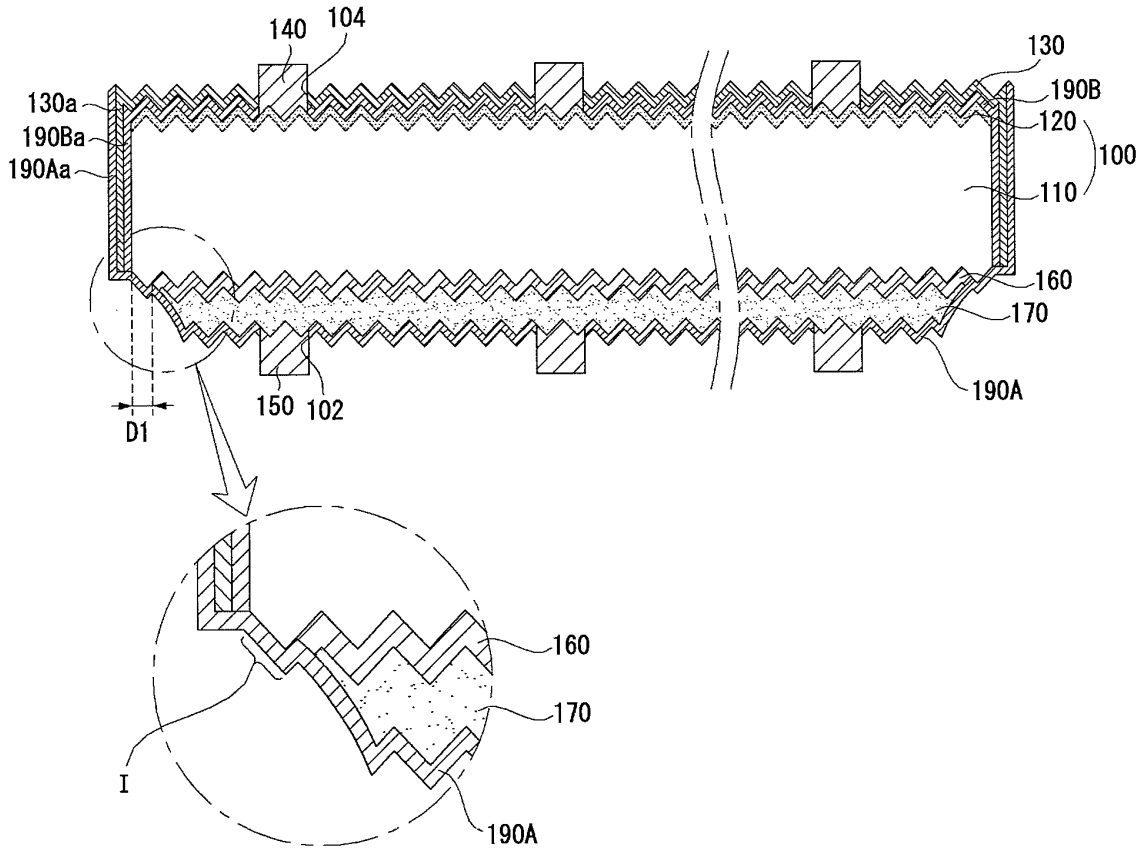

140
104
130
130a
190B
190Ba
120
100
190Aa
110
160
170
150
102
190A
D1
160
170
I
190A

FIG. 3

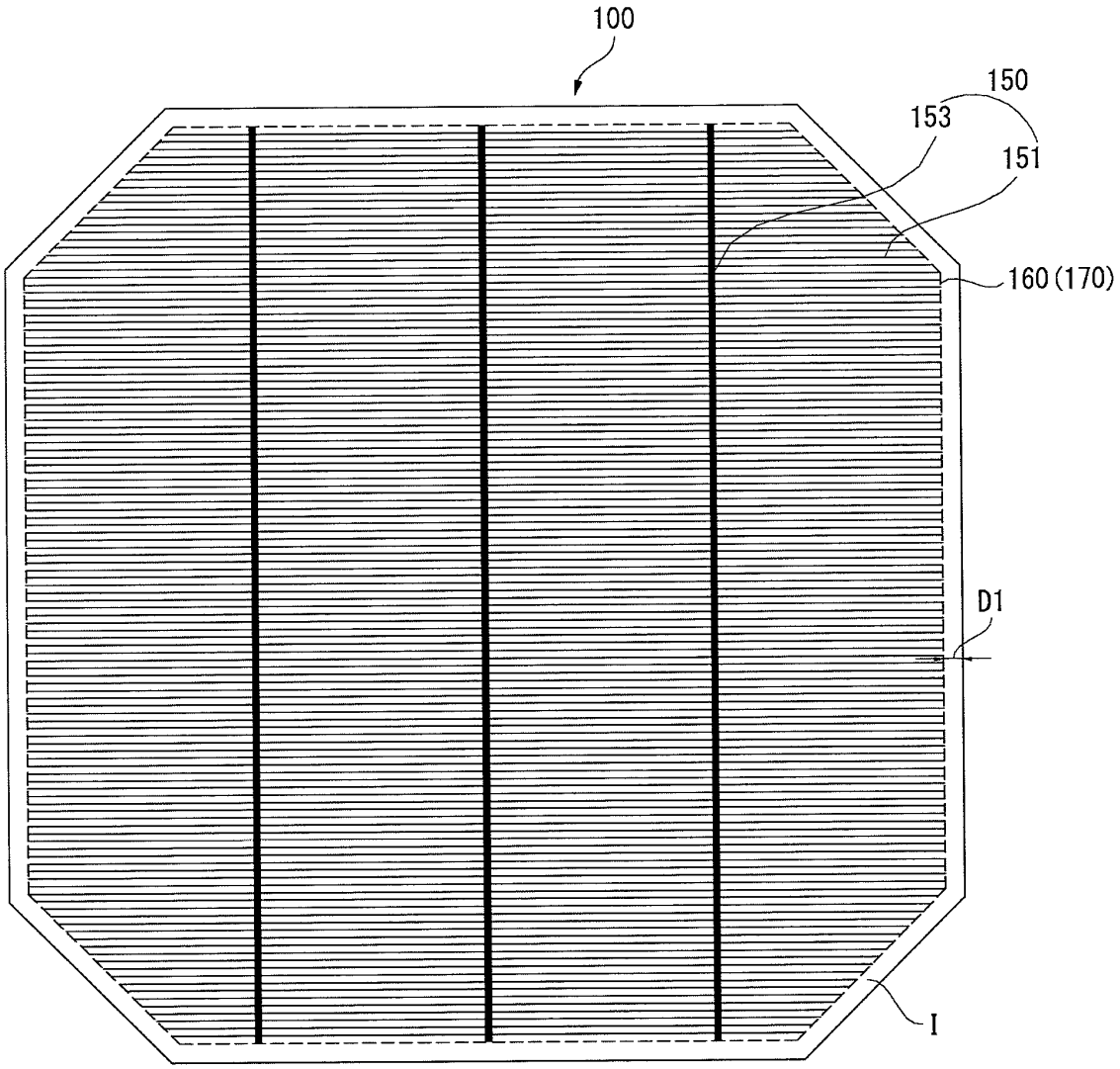


FIG. 4

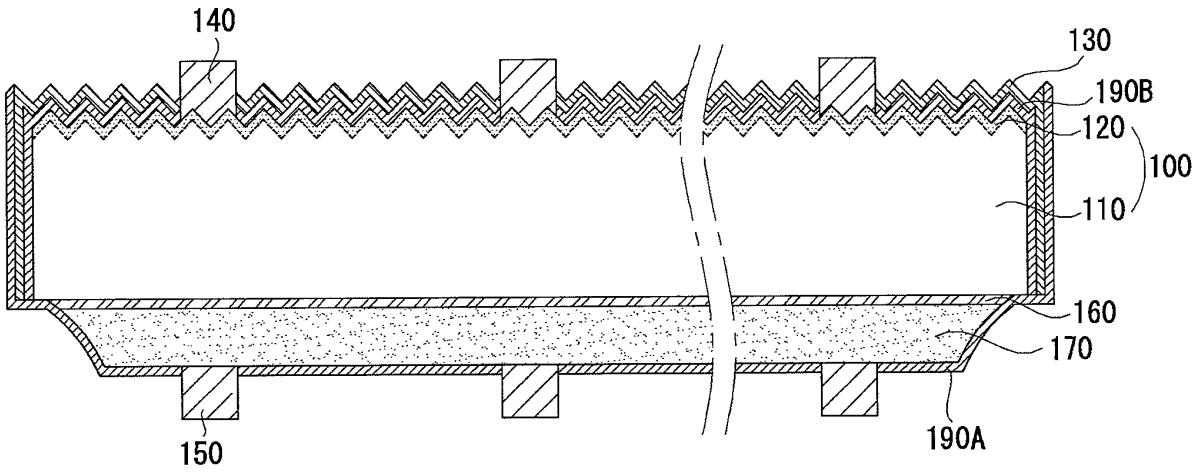


FIG. 5

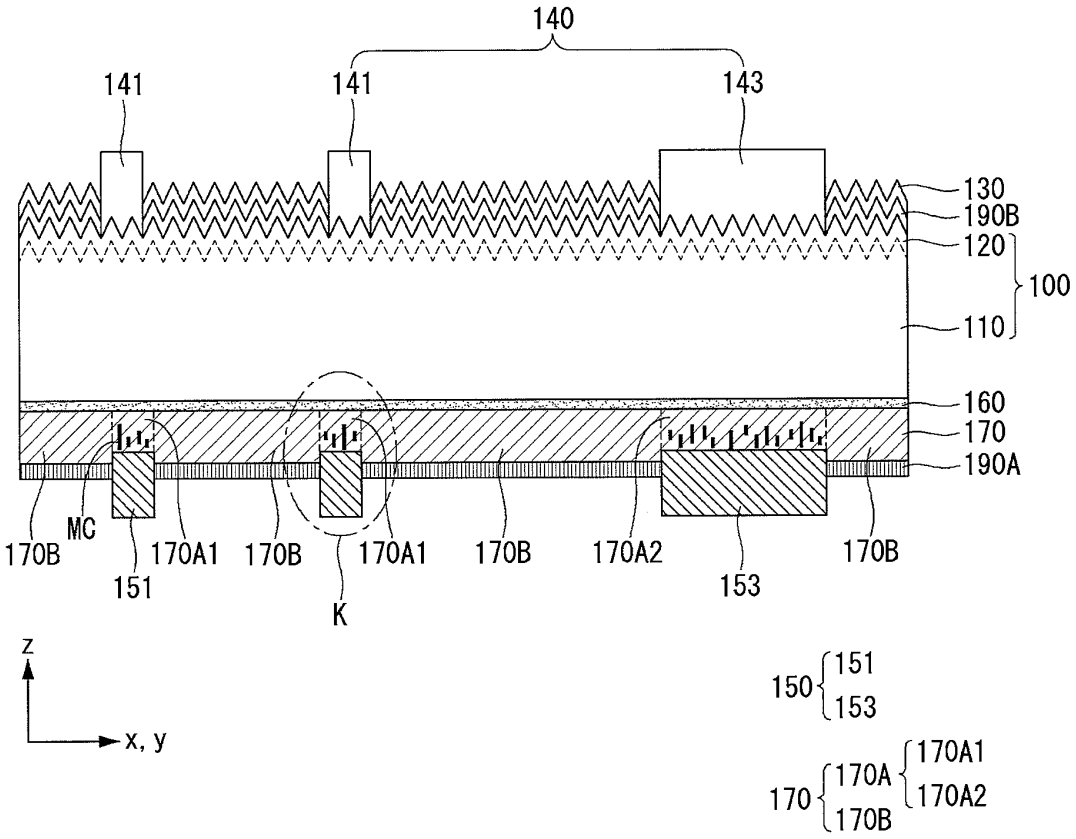

140
141
141
143
130
190B
120
100
110
160
170
190A
170B
MC
151
170A1
170B
K
170A1
170B
170A2
153
170B
z
x, y
150
151
153
170
170A
170A1
170A2
170B

FIG. 6

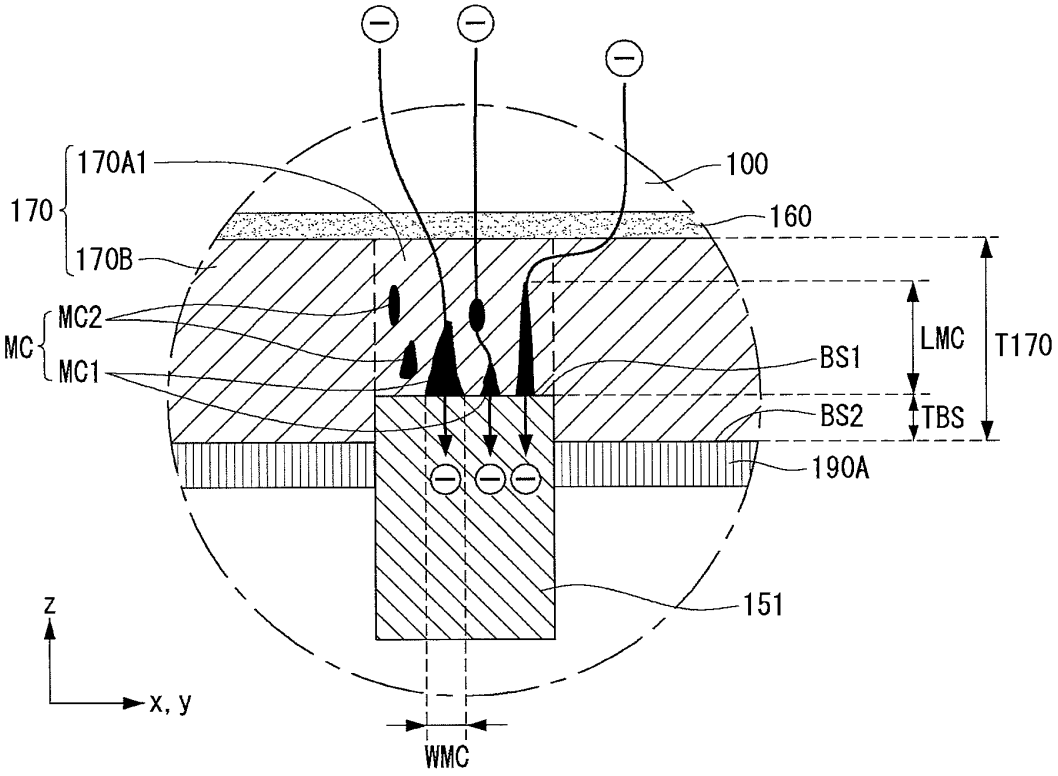

170A1
170
170B
100
160
MC
MC2
MC1
BS1
BS2
LMC
T170
TBS
190A
151
z
x, y
WMC

FIG. 7

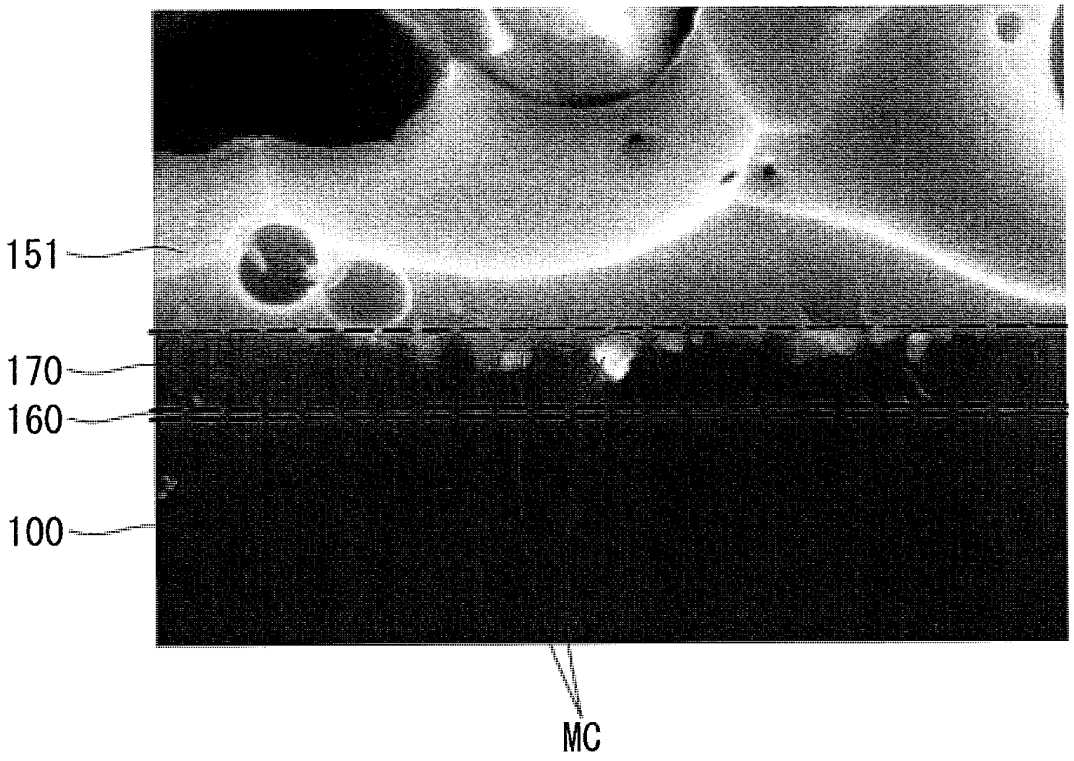


FIG. 8

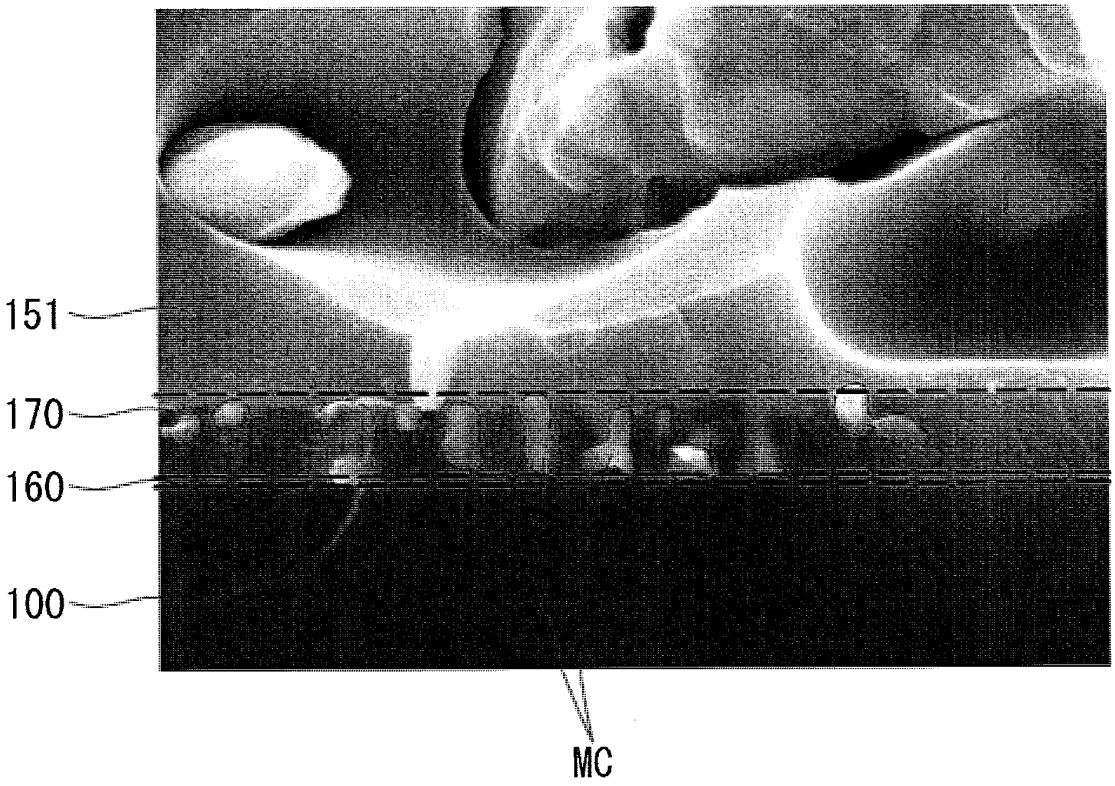


FIG. 9

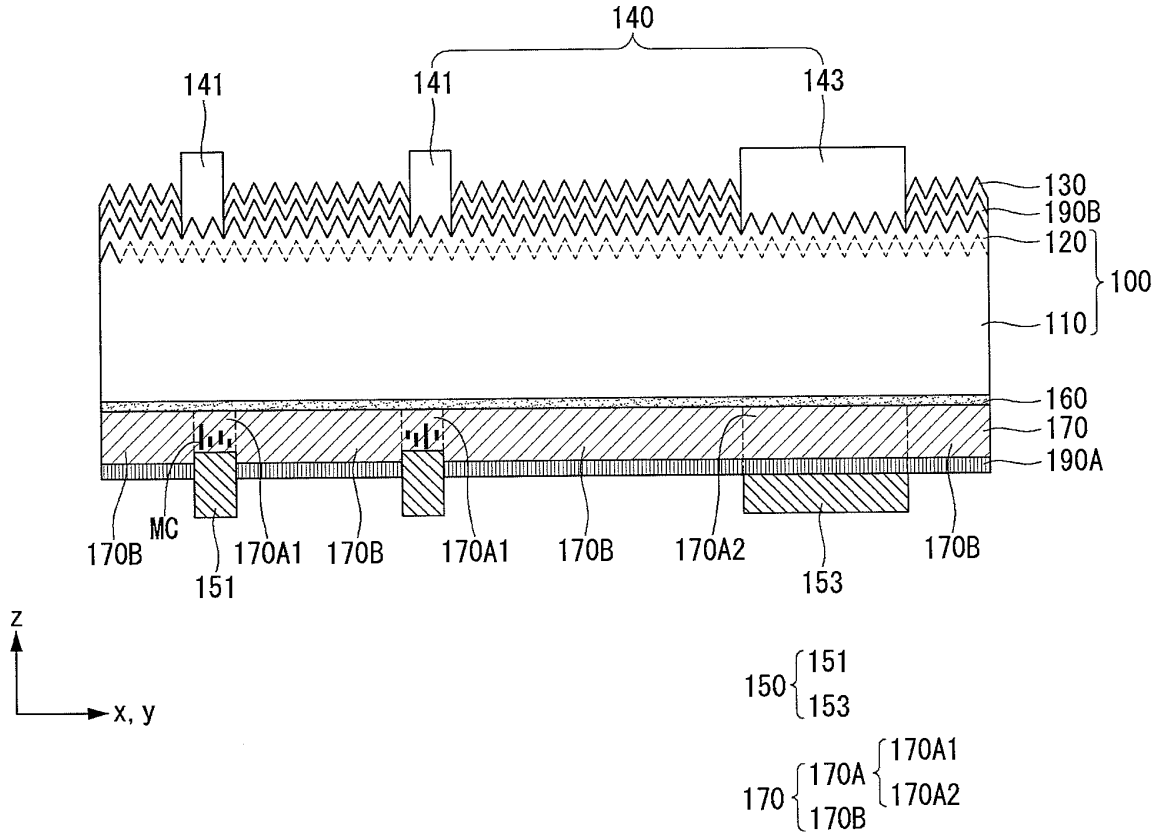

140
141
141
143
130
190B
120
100
110
160
170
190A
170B
MC
170A1
170B
170A1
170B
170A2
170B
151
153
z
x, y
150
151
153
170
170A
170A1
170A2
170B

FIG. 10

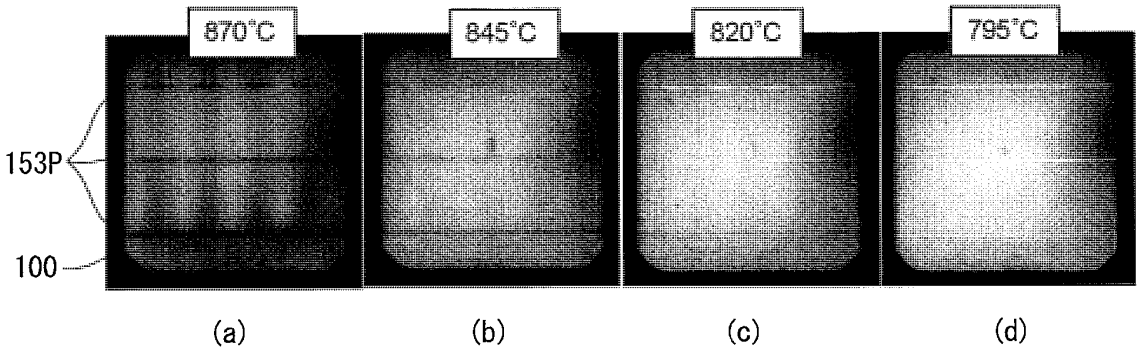

870°C
845°C
820°C
795°C
153P
100
(a)
(b)
(c)
(d)

FIG. 11

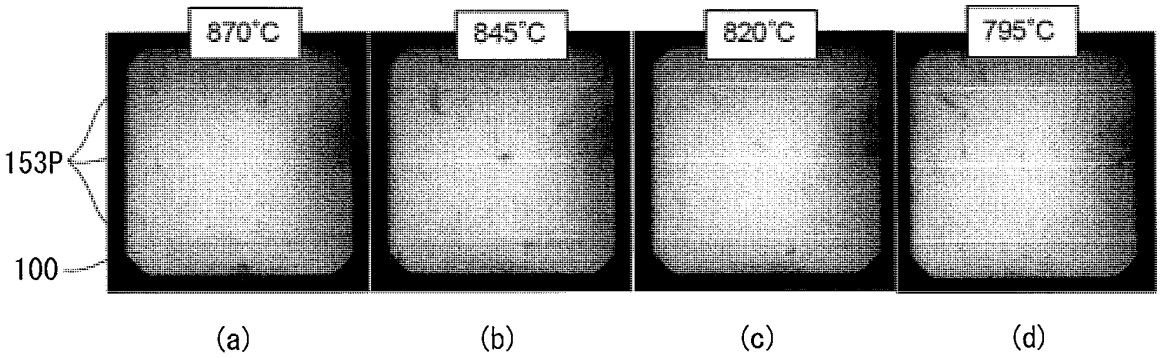

870°C
845°C
820°C
795°C
153P
100
(a)
(b)
(c)
(d)

FIG. 12

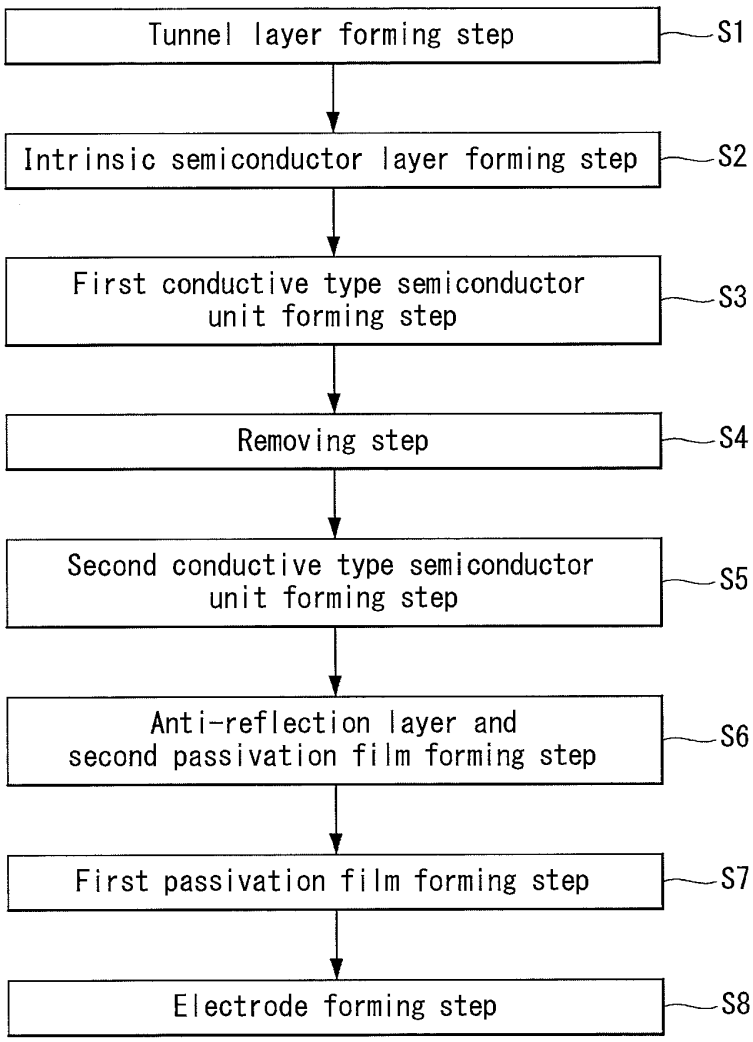

Tunnel layer forming step
S1
Intrinsic semiconductor layer forming step
S2
First conductive type semiconductor unit forming step
S3
Removing step
S4
Second conductive type semiconductor unit forming step
S5
Anti-reflection layer and second passivation film forming step
S6
First passivation film forming step
S7
Electrode forming step
S8

FIG. 13A

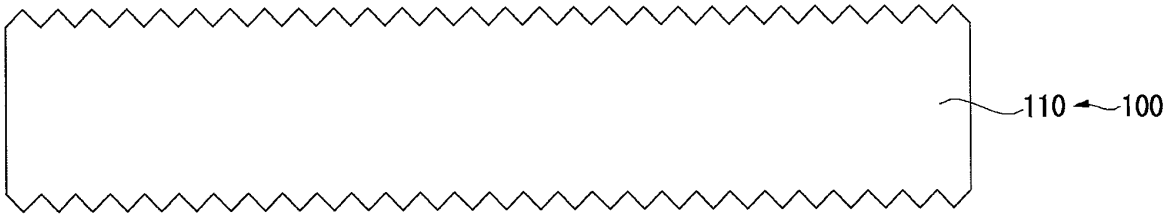


FIG. 13B

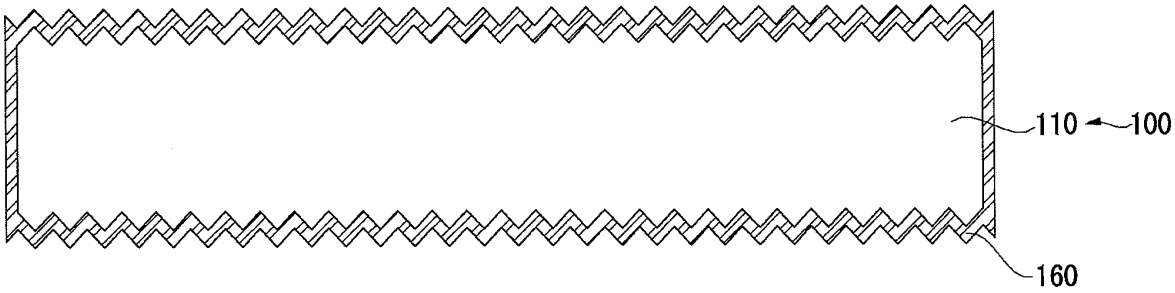


FIG. 13C

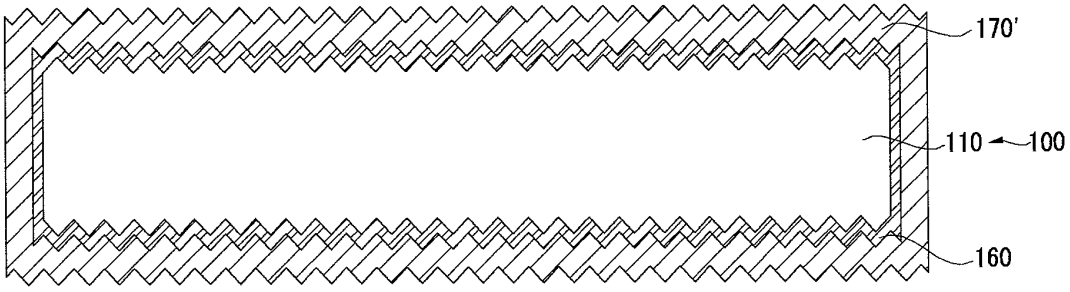


FIG. 13D

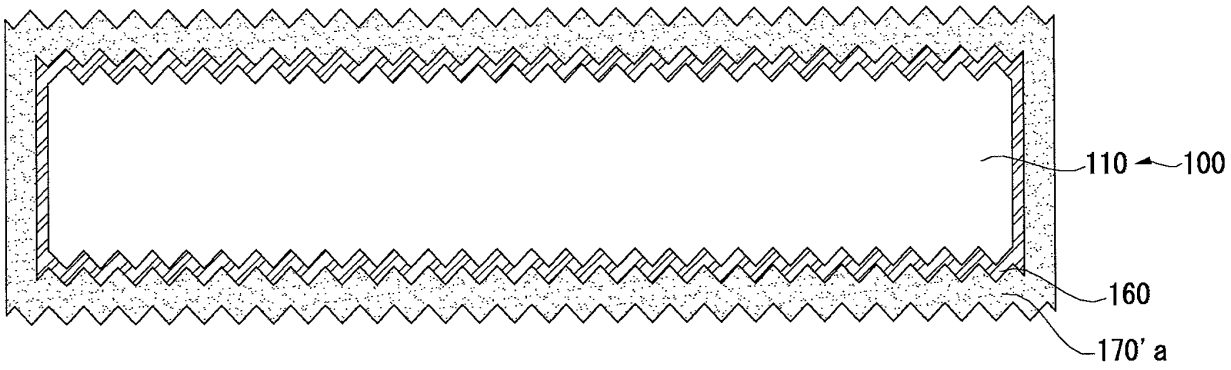


FIG. 13E

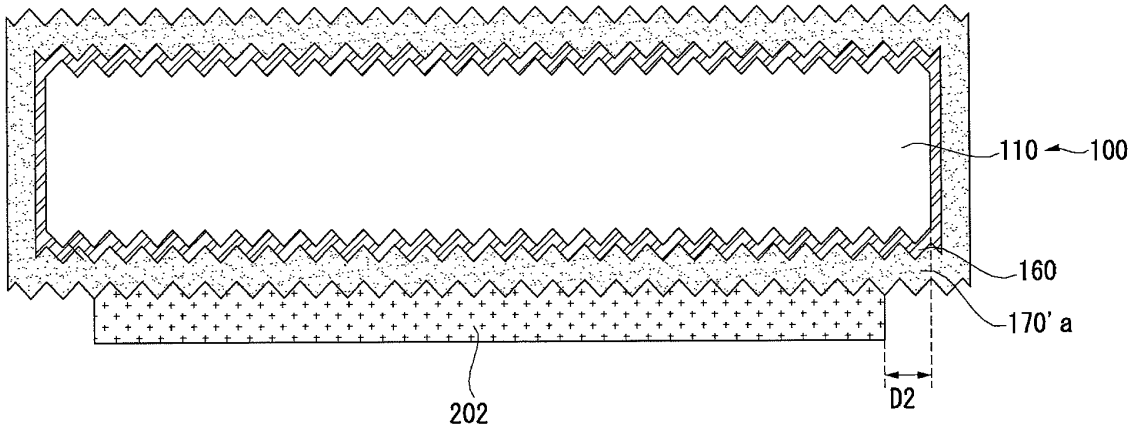


FIG. 13F

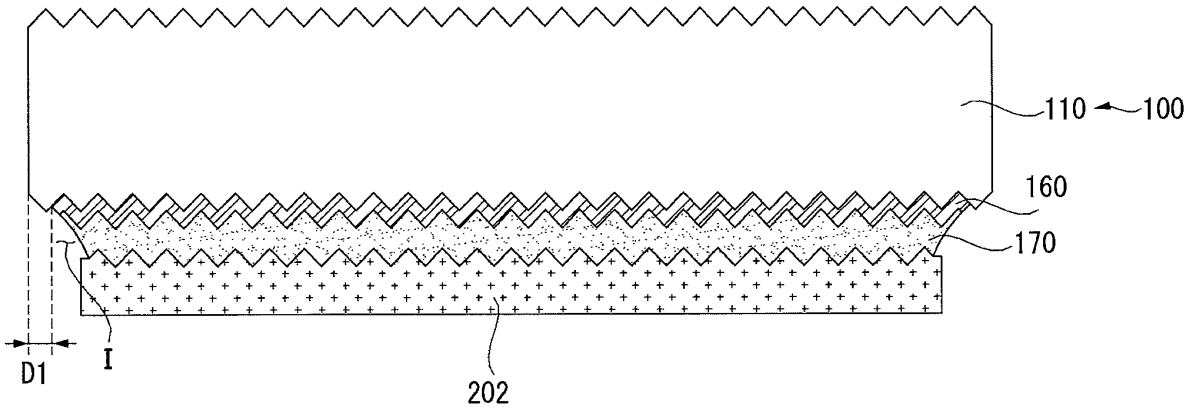


FIG. 13G

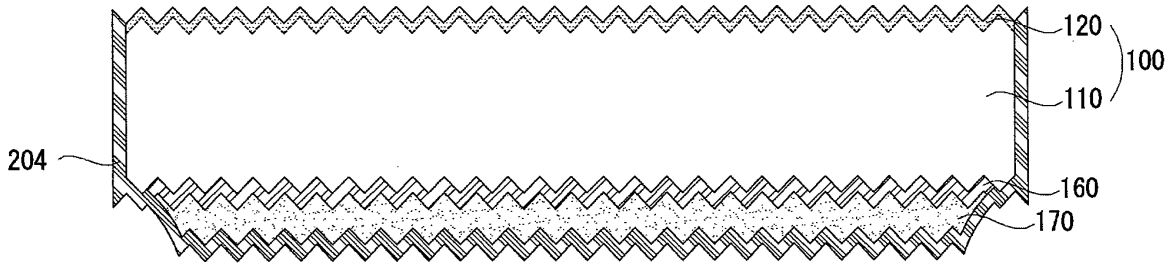


FIG. 13H

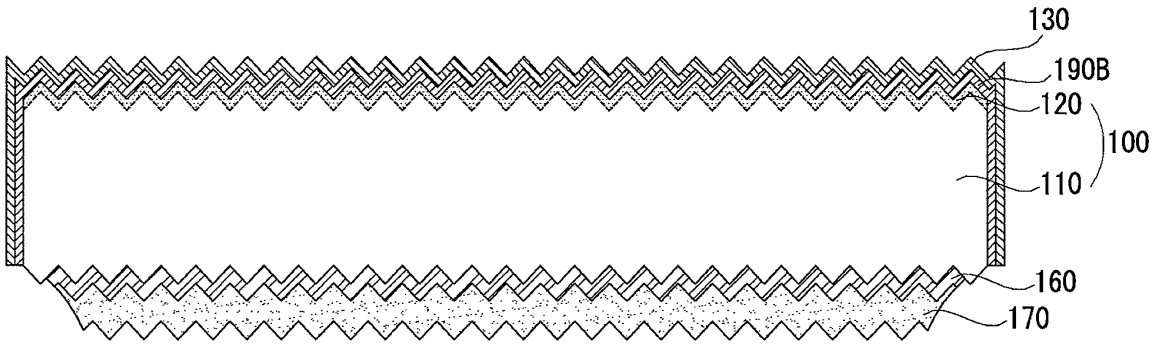


FIG. 13I

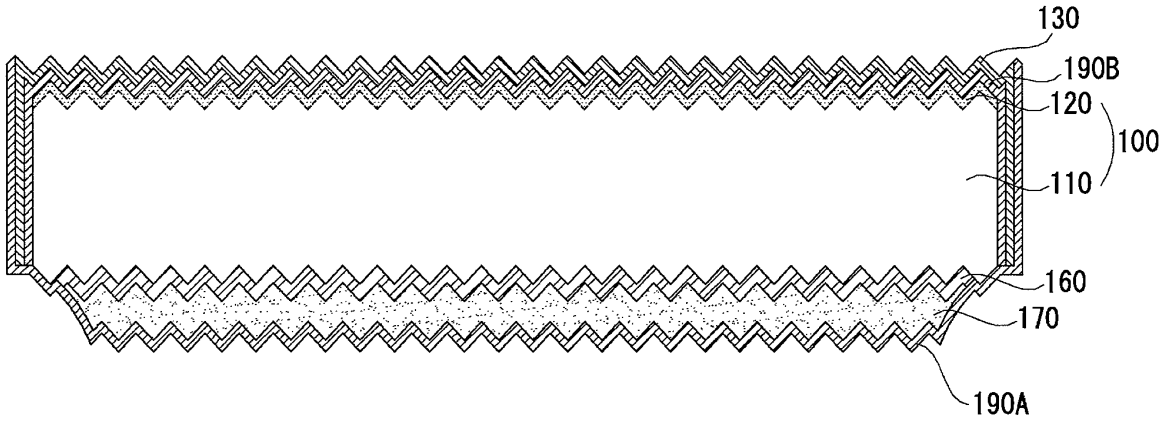


FIG. 13J

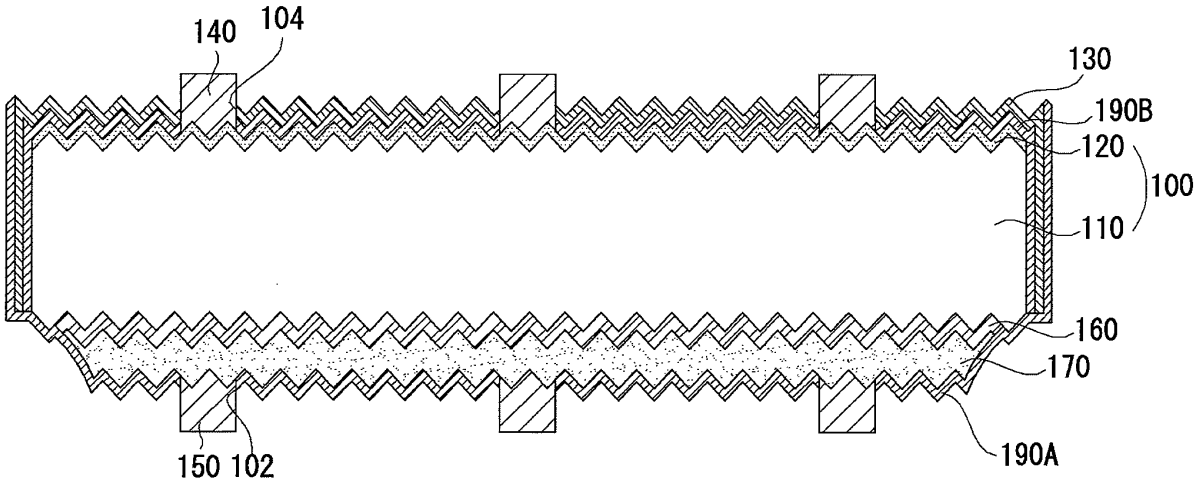


FIG. 14

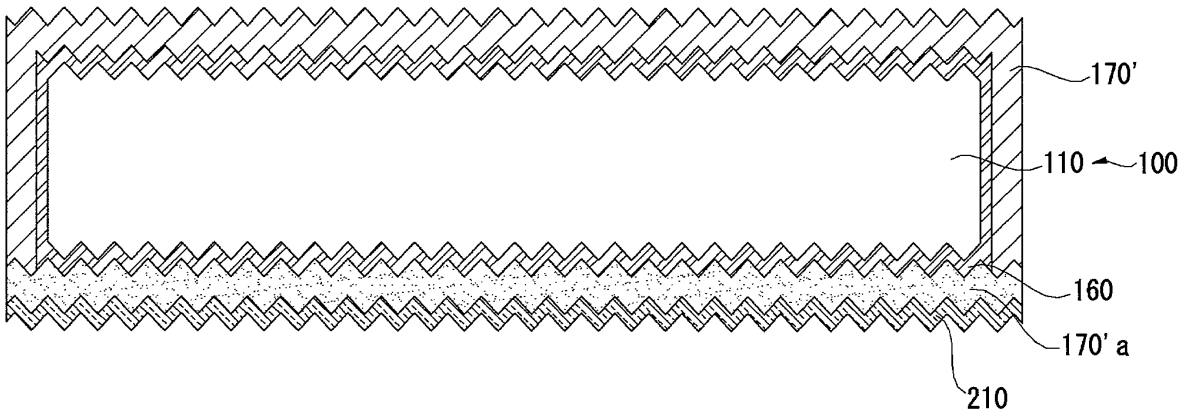


FIG. 15

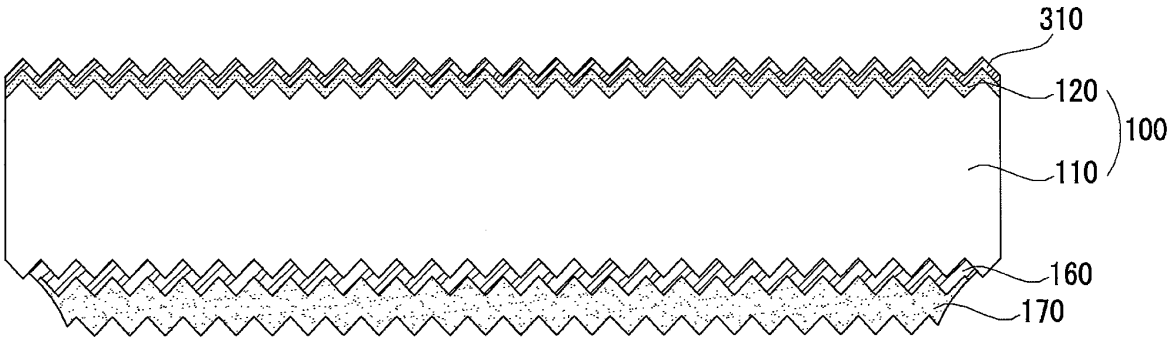

310
120
100
110
160
170

FIG. 16

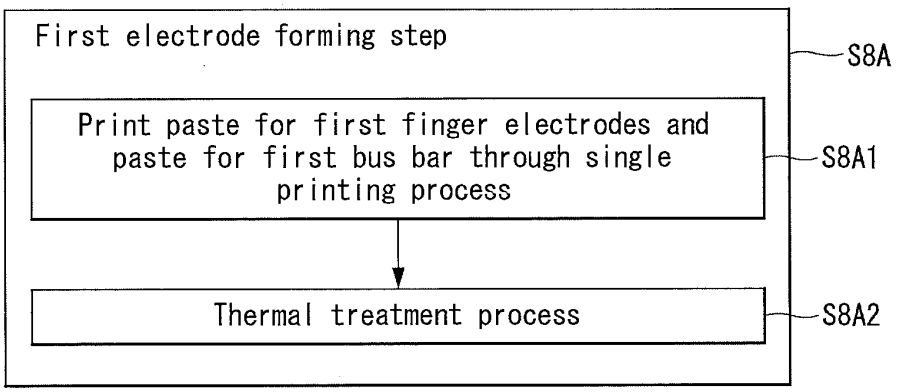
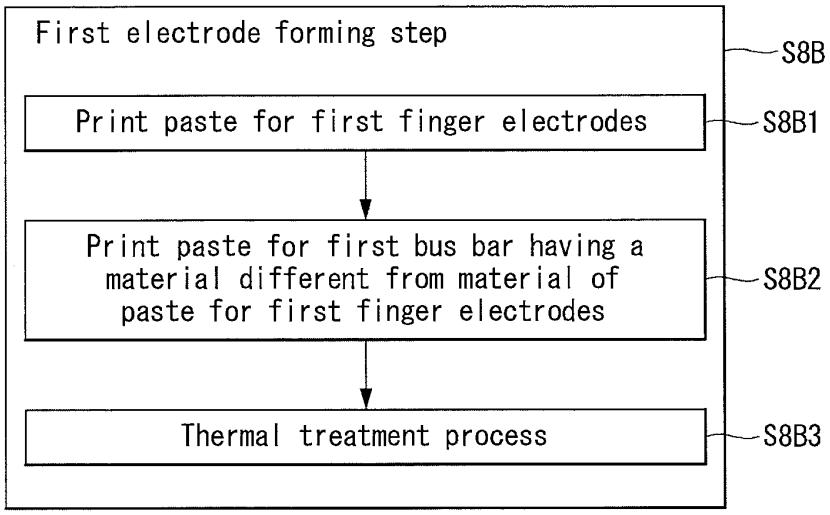

First electrode forming step
S8A
Print paste for first finger electrodes and paste for first bus bar through single printing process
S8A1
Thermal treatment process
S8A2

FIG. 17


First electrode forming step
S8B
Print paste for first finger electrodes
S8B1
Print paste for first bus bar having a material different from material of paste for first finger electrodes
S8B2
Thermal treatment process
S8B3

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 11/30/2014. OMB 0651-0051
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	--NEW--
Filing Date	November 27, 2015
First Named Inventor	Jungmin HA
Title	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	1630-1332PUS1

SIGNATURE of Applicant or Patent Practitioner

Signature		Date (Optional)	November 27, 2015
Name	Esther H. Chong DAVID A. BILODEAU USPTO #42,325	Registration Number	40,953
Title (if Applicant is a juristic entity)			
Applicant Name (if Applicant is a juristic entity)			

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/82B (07-12)
Approved for use through xx/xx/xxxx. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the above-identified patent application.

☑ I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

OR **02292**

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

Name Registration	Number	Name Registration	Number

Please recognize or change the correspondence address for the above-identified patent to:

☑ The address associated with the above-mentioned Customer Number.

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant:

☐ Inventor or Joint Inventor

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign

☐ Person Who Otherwise Shows Sufficient *Proprietary* Interest (*e.g.*, a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document)

SIGNATURE of Applicant for Patent

Signature		Date	Sep. 17, 2012
Name	Saeng-Gyu Jeon	Telephone	+82 02 2102-0100
Title and Company	Vice President, LG Electronics Inc.		

NOTE: Signature - This form must be signed by the applicant or applicant's representative in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms for more than one signature, see below *.

☐ *Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Filer:	David Alan Bilodeau/Alexandra Lynard
Attorney Docket Number:	1630-1332PUS1

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	280	280
Utility Search Fee	1111	1	600	600
Utility Examination Fee	1311	1	720	720
Pages:				
Claims:				
Claims in Excess of 20	1202	18	80	1440
Miscellaneous-Filing:				
Late Filing Fee for Oath or Declaration	1051	1	140	140

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**3180**

Electronic Acknowledgement Receipt	
EFS ID:	24203335
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	David Alan Bilodeau/Alexandra Lynard
Filer Authorized By:	David Alan Bilodeau
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	27-NOV-2015
Filing Date:	
Time Stamp:	18:50:55
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$3180
RAM confirmation Number	967
Deposit Account	022448
Authorized User	BILODEAU, DAVID A.
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Application Data Sheet	112715_App_Data_Sheet.pdf	1561195 03e23da2046f7765f78edeb5c9c95be60c842c1f	no	9
Warnings:					
Information:					
2		112715_New_Application.pdf	4864351 108c8b0894dc3b7f57e820a06eb609f3d2b7bd06	yes	84

Multipart Description/PDF files in .zip description

Document Description	Start	End
Miscellaneous Incoming Letter	1	1
Transmittal of New Application	2	2
Specification	3	56
Claims	57	63
Abstract	64	64
Drawings-only black and white line drawings	65	82
Power of Attorney	83	84

Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	38322 dadd326199bcd74a1dba0746374f98e62f2645ff	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	6463868		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/AIA/14 (12-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jungmin		HA	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Sungjin		KIM	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

Inventor 3 Remove

Legal Name

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Juhwa		CHEONG	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

Inventor 4 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Junyong		AHN	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

Inventor 5 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Hyungwook		CHOI	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Inventor 6 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wonjae		CHANG	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

Inventor 7 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Jaesung		KIM	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Seoul	Country of Residence i	KR

Mailing Address of Inventor:

Address 1	LG ELECTRONICS INC. IP GROUP		
Address 2	51, Gasan digital 1-ro, Geumcheon-gu		
City	Seoul	**State/Province**	
Postal Code	08592	**Country** i	KR

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	02292		
Email Address	mailroom@bskb.com	Add Email	Remove Email

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Application Information:

Title of the Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME		
Attorney Docket Number	1630-1332PUS1	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	18	**Suggested Figure for Publication (if any)**	

Filing By Reference :

Only compete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	02292		

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the application number blank.

Prior Application Status		Remove	
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(d). When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX) [i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(h)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country [i]	Filing Date (YYYY-MM-DD)	Access Code [i] (if applicable)
10-2014-0168624	KR	2014-11-28	

Remove

Application Number	Country [i]	Filing Date (YYYY-MM-DD)	Access Code [i] (if applicable)
10-2015-0122846	KR	2015-08-31	

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Authorization to Permit Access:

☐ Authorization to Permit Access to the Instant Application by the Participating Offices

If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.

In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.

In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Applicant 1 Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

◉ Assignee	○ Legal Representative under 35 U.S.C. 117	○ Joint Inventor
○ Person to whom the inventor is obligated to assign.	○ Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor :

If the Applicant is an Organization check here. ☒

Organization Name	LG ELECTRONICS INC.		
Mailing Address Information:			
Address 1	128, Yeoui-daero, Yeongdeungpo-gu		
Address 2			
City	Seoul	**State/Province**	
Country [i]	KR	Postal Code	07336
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not subsitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication . An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

PTO/AIA/14 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	1630-1332PUS1
	Application Number	
Title of Invention	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	

Organization Name	LG ELECTRONICS INC.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	128, Yeoui-daero, Yeongdeungpo-gu		
Address 2			
City	Seoul	**State/Province**	
Country i	KR	Postal Code	07336
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications

Signature	/David Bilodeau/			Date (YYYY-MM-DD)	2015-11-27
First Name	David	Last Name	Bilodeau	Registration Number	42325

Additional Signature may be generated within this form by selecting the Add button. Add

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/SB/17 (03-13)
Approved for use through 01/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

FEE TRANSMITTAL

Complete if known	
Application Number	--NEW-- Conf. No.:
Filing Date	November 27, 2015
First Named Inventor	Jungmin HA
Examiner Name	Not Yet Assigned
Art Unit	Not Yet Assigned
Practitioner Docket No.	1630-1332PUS1

☐ Applicant asserts small entity status. See 37 CFR 1.27.

☐ Applicant certifies micro entity status. See 37 CFR 1.29. Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously.

TOTAL AMOUNT OF PAYMENT ($) 3,180.00

METHOD OF PAYMENT (check all that apply)

☐ Check ☑ Credit Card ☐ Money Order ☐ None ☐ Other (please identify): _____

☑ Deposit Account Deposit Account Number: 02-2448 Deposit Account Name: Birch, Stewart, Kolasch & Birch, LLP

For the above-identified deposit account, the Director is hereby authorized to (check all that apply):

☐ Charge fee(s) indicated below ☐ Charge fee(s) indicated below, **except for the filing fee**

☑ Charge any additional fee(s) or underpayment of fee(s) under 37 CFR 1.16 and 1.17 ☑ Credit any overpayment of fee(s)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES (U = undiscounted fee; S = small entity fee; M = micro entity fee)

	FILING FEES			SEARCH FEES			EXAMINATION FEES			
Application Type	U ($)	S ($)	M ($)	U ($)	S ($)	M ($)	U ($)	S ($)	M ($)	Fees Paid ($)
Utility	280	140*	70	600	300	150	720	360	180	1,600.00
Design	180	90	45	120	60	30	460	230	115	
Plant	180	90	45	380	190	95	580	290	145	
Reissue	280	140	70	600	300	150	2,160	1,080	540	
Provisional	260	130	65	0	0	0	0	0	0	

* The $140 small entity status filing fee for a utility application is further reduced to $70 for a small entity status applicant who files the application via EFS-Web.

2. EXCESS CLAIM FEES

Fee Description	Undiscounted Fee ($)	Small Entity Fee ($)	Micro Entity Fee ($)
Each claim over 20 (including Reissues)	80	40	20
Each independent claim over 3 (including Reissues)	420	210	105
Multiple dependent claims	780	390	195

Total Claims		Extra Claims	Fee ($)		Fee Paid ($)
38	-20 or HP =	18	x 80.00	=	1,440.00

HP = highest number of total claims paid for, if greater than 20.

Indep. Claims		Extra Claims	Fee ($)		Fee Paid ($)
2	-3 or HP =	0	x 420.00	=	0.00

HP = highest number of independent claims paid for, if greater than 3.

Multiple Dependent Claims	
Fee ($)	Fee Paid ($)
0.00	0.00

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is $400 ($200 for small entity) ($100 for micro entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets		Extra Sheets		Number of each additional 50 or fraction thereof		Fee ($)		Fee Paid ($)
80	- 100 =	0	/ 50 =	_____ (round up to a whole number)	x	_____	=	0.00

4. OTHER FEE(S) **Fees Paid ($)**

Non-English specification, $130 fee (no small or micro entity discount) 0.00

Non-electronic filing fee under 37 CFR 1.16(t) for a utility application, $400 fee ($200 small or micro entity) _____

Other (e.g., late filing surcharge): Late Filing Declaration Surcharge 140.00

SUBMITTED BY

Signature	DAVID A. BILODEAU USPTO #42,325	Registration No. (Attorney/Agent) 40,953	Telephone 703-205-8000
Name (Print/Type)	Esther H. Chong	Date	November 27, 2015

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

DAVID A. BILODEAU
USPTO #42,325

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1

CONFIRMATION NO. 1071

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

INFORMAL NOTICE

OC000000079276784

Date Mailed: 12/11/2015

INFORMATIONAL NOTICE TO APPLICANT

Applicant is notified that the above-identified application contains the deficiencies noted below. No period for reply is set forth in this notice for correction of these deficiencies. However, if a deficiency relates to the inventor's oath or declaration, the applicant must file an oath or declaration in compliance with 37 CFR 1.63, or a substitute statement in compliance with 37 CFR 1.64, executed by or with respect to each actual inventor no later than the expiration of the time period set in the "Notice of Allowability" to avoid abandonment. See 37 CFR 1.53(f).

The item(s) indicated below are also required and should be submitted with any reply to this notice to avoid further processing delays.

- A properly executed inventor's oath or declaration has not been received for the following inventor(s):
  Jungmin HA
  Sungjin KIM
  Juhwa CHEONG
  Junyong AHN
  Hyungwook CHOI
  Wonjae CHANG
  Jaesung KIM

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/ngfissha/

Petitioner Runergy USA Inc., Ex. 1005, p. 99

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
14/953,264	11/27/2015	2827	3180	1630-1332PUS1	38	2

CONFIRMATION NO. 1071

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

FILING RECEIPT



Date Mailed: 12/11/2015

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Jungmin HA, Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

Applicant(s)

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;

Assignment For Published Patent Application

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF

Power of Attorney: The patent practitioners associated with Customer Number 02292

Domestic Applications for which benefit is claimed - None.
A proper domestic benefit claim must be provided in an Application Data Sheet in order to constitute a claim for domestic benefit. See 37 CFR 1.76 and 1.78.

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
REPUBLIC OF KOREA 10-2014-0168624 11/28/2014
REPUBLIC OF KOREA 10-2015-0122846 08/31/2015

Permission to Access Application via Priority Document Exchange: No

Petitioner Runergy USA Inc., Ex. 1005, p. 100

Permission to Access Search Results: No

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 12/09/2015

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 14/953,264**

Projected Publication Date: 06/02/2016

Non-Publication Request: No

Early Publication Request: No

Title

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Preliminary Class

365

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign

Petitioner Runergy USA Inc., Ex. 1005, p. 101

patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Petitioner Runergy USA Inc., Ex. 1005, p. 103

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 14/953,264

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	280
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	600
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	720
TOTAL CLAIMS (37 CFR 1.16(i))	38 minus 20 =	* 18			OR	x 80 =	1440
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 =	*				x 420 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	3040

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE($)	ADDITIONAL FEE($)	OR	RATE($)	ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

출 원 번 호 : 10-2014-0168624
Application Number

출 원 년 월 일 : 2014년 11월 28일
Filing Date NOV. 28, 2014

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2016년 02월 16일

특 허 청
COMMISSIONER

제출 일자 : 2014-11-28

【서지사항】

【서류명】 특허출원서

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【출원인코드】 1-2002-012840-3

【대리인】

【명칭】 특허법인로알

【대리인코드】 9-2007-100122-0

【포괄위임등록번호】 2007-071744-8

【발명의 국문명칭】 태양 전지

【발명의 영문명칭】 SOLAR CELL

【발명자】

【성명】 하정민

【성명의 영문표기】 Jungmin Ha

【주민등록번호】 771109-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김성진

【성명의 영문표기】 Sungjin Kim

【주민등록번호】 780913-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

Petitioner Runergy USA Inc., Ex. 1005, p. 106

제출 일자 : 2014-11-28

【발명자】

【성명】 최형욱

【성명의 영문표기】 Hyungwook Choi

【주민등록번호】 811017-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 특허법인로얄 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000 원
【가산출원료】	40	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	46,000 원		

Petitioner Runergy USA Inc., Ex. 1005, p. 107

제출 일자 : 2014-11-28

【명세서】

【발명의 명칭】

태양 전지{SOLAR CELL}

【기술분야】

<1> 본 발명은 태양 전지에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양 에너지로부터 전기 에너지를 생산하는 전지로서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없어 주목 받고 있다.

<3> 일반적인 태양 전지는 p형과 n형처럼 서로 다른 도전성 타입(conductive type)의 반도체로 이루어진 기판(substrate) 및 에미터부(emitter layer), 그리고 기판과 에미터부에 각각 연결된 전극을 구비한다. 이때, 기판과 에미터부의 계면에는 p-n 접합이 형성되어 있다.

<4> 이러한 태양 전지에 빛이 입사되면 반도체에서 복수의 전자-정공쌍이 생성되고, 생성된 전자-정공쌍은 전자와 정공으로 각각 분리되어 전자와 정공은 n형의 반도체와 p형 반도체쪽으로, 예를 들어 에미터부와 기판쪽으로 이동하고, 기판과 에미터부와 전기적으로 연결된 전극에 의해 수집되며, 이 전극들을 전선으로 연결하여 전력을 얻는다.

Petitioner Runergy USA Inc., Ex. 1005, p. 108

【발명의 내용】

【해결하려는 과제】

<5> 본 발명은 태양 전지를 제공하는데 그 목적이 있다.

【과제의 해결 수단】

<6> 본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

<7> 여기서, 후면 전계부와 제2 전극이 서로 접촉하는 제1 경계면은 후면 전계부와 후면 보호막이 서로 접촉하는 제2 경계면보다 반도체 기판 방향으로 더 인접하여 위치한다.

<8> 이때, 후면 전계부 중에서 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함할 수 있고, 이와 같은 금속 결정은 후면 전계부 중에서 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않을 수 있다.

<9> 또한, 금속 결정은 터널층 내에는 위치하지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 109

<10> 여기서, 복수의 금속 결정은 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다.

<11> 이와 같은 복수의 금속 결정의 중 일부는 제2 전극과 직접 접촉될 수 있고, 복수의 금속 결정의 중 적어도 하나 이상은 제2 전극과 이격될 수 있다.

<12> 아울러, 복수의 금속 결정은 제2 전극으로부터 터널층 방향으로의 길이가 후면 전계부 두께의 2/3 이하일 수 있으며, 복수의 금속 결정 중 일부는 제2 전극으로부터 터널층 방향으로 진행할수록 폭이 감소할 수 있다.

<13> 여기서, 제2 전극은 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함할 수 있다.

<14> 이때, 복수의 제2 핑거 전극은 후면 보호막을 관통하여 후면 전계부 내부로 함입되어 형성되고, 복수의 제2 버스바는 후면 보호막의 후면 위에 형성될 수 있다.

<15> 여기서, 후면 전계부의 제1 경계면에서 후면 전계부와 제2 핑거 전극은 서로 접촉하고, 후면 전계부의 전극 형성 영역 중에서 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함할 수 있다.

<16> 그리고, 후면 전계부의 전극 형성 영역 중에서 제2 버스바가 형성되는 버스바 형성 영역에는 복수의 금속 결정이 위치하지 않을 수 있다.

<17> 이를 위해, 복수의 제2 핑거 전극에 포함되는 재질과 복수의 제2 버스바에

Petitioner Runergy USA Inc., Ex. 1005, p. 110

포함되는 재질은 서로 다르게 형성될 수 있다.

<18> 구체적으로, 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작을 수 있다.

<19> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<20> 또한, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<21> 구체적으로, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<22> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

【발명의 효과】

<23> 본 발명에 따른 태양 전지는 제2 전극의 적어도 일부가 후면 전계부 내로 함입되어 형성되도록 하여, 태양 전지의 효율을 보다 증가시킬 수 있다.

【도면의 간단한 설명】

<24> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이다.

Petitioner Runergy USA Inc., Ex. 1005, p. 111

도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

도 7은 제2 버스바 페이스트(153P)의 재질이 제2 핑거 페이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이다.

도 8은 본 발명의 제2 실시예에 따라 제2 버스바 페이스트(153P)의 재질과 제2 핑거 페이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

【발명을 실시하기 위한 구체적인 내용】

<25> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

<26> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른

Petitioner Runergy USA Inc., Ex. 1005, p. 112

부분이 없는 것을 뜻한다. 또한 어떤 부분이 다른 부분 위에 "전체적"으로 형성되어 있다고 할 때에는 다른 부분의 전체 면(또는 전면)에 형성되어 있는 것뿐만 아니라 가장 자리 일부에는 형성되지 않은 것을 뜻한다.

<27> 또한, 전면이라 함은 직사광이 입사되는 반도체 기판의 일면일 수 있으며, 후면이라 함은 직사광이 입사되지 않거나, 직사광이 아닌 반사광이 입사될 수 있는 반도체 기판의 반대면일 수 있다.

<28> 아울러, 어떠한 두 개의 값이 동일하다는 것은 오차 범위 10% 이하에서 동일하다는 것을 의미한다.

<29> 그러면 첨부한 도면을 참고로 하여 본 발명에 따른 태양 전지에 대하여 설명한다.

<30> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이고, 도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

<31> 보다 구체적으로, 도 1은 본 발명의 제1 실시에에 따른 태양 전지의 일부 사시도이고, 도 2는 도 1에 도시한 태양 전지를 Ⅱ-Ⅱ선을 따라 잘라 도시한 단면도이다. 아울러, 도 3은 도 2에서 K 부분을 확대한 확대도이고, 도 4는 제2 전극(150)과 후면 전계부(170)의 접촉 부분에 대한 실물 사진을 도시한 것이다.

<32> 도 1에 도시된 바와 같이, 본 발명에 따른 태양 전지의 일례는 반도체 기판(110), 에미터부(120), 반사 방지막(130), 터널층(160), 후면 전계부(170), 후면 보호막(190), 제1 전극(140) 및 제2 전극(150)을 포함한다.

Petitioner Runergy USA Inc., Ex. 1005, p. 113

<33> 도 1에서는 본 발명에 따른 태양 전지가 반사 방지막(130)을 포함하는 것을 일례로 도시하고 있으나, 본 발명은 이와 다르게 반사 방지막(130)이 생략되는 것도 가능하다. 그러나, 태양 전지의 효율을 고려했을 때, 반사 방지막(130)이 포함되는 것이 더 나은 효율이 발생하므로, 반사 방지막(130)이 포함되는 것을 일례로 설명한다.

<34> 반도체 기판(110)은 제1 도전성 타입, 예를 들어 p형 도전성 타입의 불순물을 함유하는 실리콘으로 이루어진 반도체 반도체 기판(110)이다. 일례로, 반도체 기판(110)은 단결정 실리콘 또는 다결정 실리콘으로 이루어진 반도체 웨이퍼가 사용될 수 있다.

<35> 반도체 기판(110)이 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 함유한다. 하지만, 이와는 달리, 반도체 기판(110)은 n형 도전성 타입일 수 있고, 실리콘 이외의 다른 반도체 물질로 이루어질 수도 있다. 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 반도체 기판(110)은 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 함유할 수 있다. 이하에서는 반도체 기판(110)이 n형의 도전성 타입을 가지는 경우를 일례로 설명한다.

<36> 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 표면은 텍스처링(texturing)처리되어 있는 요철면인 텍스처링 표면(texturing surface)을 가질 수 있다.

<37> 에미터부(120)는 빛이 입사되는 반도체 기판(110)의 전면에 위치하며, 반도

Petitioner Runergy USA Inc., Ex. 1005, p. 114

체 기판(110)의 도전성 타입과 반대인 제2 도전성 타입, 예를 들어, n형의 도전성 타입의 불순물을 함유하여 반도체 반도체 기판(110)과 p-n 접합을 이룬다.

<38> 이와 같은 p-n 접합에 의해 외부로부터 반도체 기판(110)에 빛이 입사되어 생성된 캐리어인 전자-정공 쌍은 전자와 정공으로 분리되어 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동한다. 따라서, 반도체 기판(110)이 p형이고 에미터부(120)가 n형일 경우, 분리된 정공은 반도체 기판(110)쪽으로 이동하고 분리된 전자는 에미터부(120)쪽으로 이동할 수 있다.

<39> 그러나, 이와 달리, 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 에미터부(120)는 p형의 도전성 타입을 가진다. 이 경우, 분리된 전자는 반도체 기판(110)쪽으로 이동하고 분리된 정공은 에미터부(120)쪽으로 이동할 수 있다.

<40> 에미터부(120)가 n형의 도전성 타입을 가질 경우, 에미터부(120)는 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있고, 반대로 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있다.

<41> 이와 같은 에미터부(120)는 반도체 기판(110)의 전면 표면에 제2 도전성 타입의 불순물이 확산되어 형성될 수 있으며, 이와 같은 경우, 에미터부(120)는 반도체 기판(110)과 동일한 실리콘 재질로 형성될 수 있다.

<42> 일례로, 반도체 기판(110)이 다결정 실리콘 재질의 웨이퍼로 형성된 경우, 에미터부(120)도 다결정 실리콘 재질로 형성될 수 있으며, 반도체 기판(110)이 단

Petitioner Runergy USA Inc., Ex. 1005, p. 115

결정 실리콘 재질의 웨이퍼로 형성되는 에미터부(120)도 단결절 실리콘 재질로 형성될 수 있다.

<43> 반사 방지막(130)은 에미터부(120) 위에 위치하며, 알루미늄 산화막(AlOx), 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 및 실리콘 산화질화막(SiOxNy) 중 적어도 하나로 형성될 수 있고, 단일막 또는 다층막으로 형성될 수 있다.

<44> 도 1 및 도 2에서는 반사 방지막(130)이 단일막으로 형성된 경우를 일례로 도시하였으나, 반드시 단일막에 한정되지는 않는다.

<45> 이와 같은 반사 방지막(130)은 태양 전지로 입사되는 빛의 반사도를 줄이고 특정한 파장 영역의 선택성을 증가시켜, 태양 전지의 효율을 높인다.

<46> 제1 전극(140)은 에미터부(120) 위에 직접 접하여 배치되며, 에미터부(120)와 전기적으로 연결되어 있다. 이와 같은 제1 전극(140)은 도 1에 도시된 바와 같이, 복수의 제1 핑거 전극(141) 및 복수의 제1 버스바(143)를 포함할 수 있다.

<47> 여기서, 복수의 제1 핑거 전극(141)은 에미터부(120) 위에 위치하여 에미터부(120)와 전기적으로 연결되어 있고, 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있다.

<48> 이와 같은 복수의 제1 핑거 전극(141)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)이 n 타입인 경우, p 타입의 에미터부(120)쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<49> 그리고, 복수의 제1 버스바(143)는 에미터부(120) 위에서 복수의 제1 핑거

Petitioner Runergy USA Inc., Ex. 1005, p. 116

전극(141)과 동일 층에 위치하고, 복수의 제1 핑거 전극(141)을 서로 전기적으로 연결시키며, 복수의 제1 핑거 전극(141)과 교차하는 제2 방향(y)으로 뻗어있을 수 있다.

<50> 이와 같은 복수의 제1 버스바(143)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 복수의 제1 핑거 전극(141)에 의해 수집되어 이동하는 캐리어를 수집하여 외부 장치로 출력한다.

<51> 복수의 제1 핑거 전극(141)과 제1 버스바(143)는 적어도 하나의 도전성 금속 물질로 이루어져 있고, 이들 도전성 금속 물질의 예는 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<52> 이와 같은 제1 전극(140)은 반도체 기판(110)의 전면에 반사 방지막(130)이 형성된 이후, 제1 전극(140)을 형성하기 위한 제1 전극 페이스트를 반사 방지막(130)의 전면 위에 패터닝하여 도포한 이후, 열처리 공정을 통하여 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)에 접속되어 소성되면서 형성될 수 있다.

<53> 이를 위해, 제1 전극(140)은 전술한 금속 물질 이외에 글래스 프릿(glass frit)을 함유할 수 있다.

<54> 터널층(160)은 반도체 기판(110)의 후면 위에 배치되며, 유전체 재질을 포함

Petitioner Runergy USA Inc., Ex. 1005, p. 117

할 수 있다.

<55> 일례로, 터널층(160)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)의 후면 위에 직접 접촉되어 형성될 수 있다.

<56> 아울러, 터널층(160)은 반도체 기판(110)의 후면 전체 영역 위에 형성될 수 있다.

<57> 이와 같은 터널층(160)은 반도체 기판(110)에서 생성된 캐리어를 후면 전계부(170) 방향으로 통과시키며, 반도체 기판(110)의 후면에 대한 패시베이션 기능을 수행할 수 있다. 아울러, 이와 같은 터널층(160)은 태양 전지의 개방 전압(Voc)를 상승시키는 역할을 할 수 있다.

<58> 이와 같은, 터널층(160)은 600℃ 이상의 고온 공정에도 내구성이 강한 SiCx 또는 SiOx로 형성되는 유전체 재질로 형성될 수 있다. 그러나 이 외에도 silicon nitride (SiNx), hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON로 형성되는 것도 가능하다.

<59> 또한, 터널층(160)의 두께(T160)는 0.5nm ~ 2.5nm사이로 형성될 수 있다. 이와 같은 터널층(160)은 Oxidation 공정이나 LPCVD 공정 또는 PECVD 증착 공정에 의해 형성될 수 있다.

<60> 여기서, 터널층(160)의 두께(T160)를 0.5nm ~ 2.5nm 로 한정하는 것은 터널링 효과를 구현하기 위함이고, 이와 같은 한정 범위를 0.5nm ~ 2.5nm 범위를 조금

Petitioner Runergy USA Inc., Ex. 1005, p. 118

넘어서는 경우도 가능하나, 터널링의 효과가 감소할 수 있다.

<61> 보다 구체적으로, 터널층(160)의 두께(T160)를 0.5㎚ 이상으로 하는 것은 실질적으로 0.5㎚ 미만으로 터널층(160)을 형성하는 것은 현실적으로 매우 어렵고, 터널층(160)의 두께(T160)를 2.5㎚ 이하로 하는 것은 2.5㎚를 넘어서는 경우 터널링 효과가 거의 일어나지 않을 수 있기 때문이다.

<62> 아울러, 이와 같은 터널층(160)은 반도체 기판(110)의 후면 표면에 대한 패시베이션 기능도 일부 수행할 수 있다.

<63> 다음, 후면 전계부(170)는 반도체 기판(110)의 후면 표면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판(110)보다 고농도로 함유되며, 다결정 실리콘 재질을 포함할 수 있다.

<64> 즉, 이와 같은 후면 전계부(170)는 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면에 형성된 터널층(160)의 후면 위에 형성되어, 반도체 기판(110)과 이격되어 형성될 수 있다.

<65> 후면 전계부(170)가 반도체 기판(110) 내에 형성되지 않고, 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)가 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)과 직접 접촉하지 않고 이격되어, 터널층(160)의 후면 위에 다결정 실리콘 재질로 형성된 경우, 태양 전지의 개방 전압(Voc)을 더욱 향상시킬 수 있다.

<66> 아울러, 반도체 기판(110) 내에 후면 전계부(170)를 형성하지 않고 반도체

Petitioner Runergy USA Inc., Ex. 1005, p. 119

기판(110)의 외부에 후면 전계부(170)를 형성하므로, 제조 공정상 후면 전계부(170)를 형성하는 과정에서, 반도체 기판(110)에 대한 열손상을 최소화할 수 있어, 반도체 기판(110)의 특성이 저하되는 것을 방지할 수 있다. 따라서, 도 1 및 도 2에 도시된 바와 같은 태양 전지는 효율을 더 향상시킬 수 있다.

<67> 이와 같은, 후면 전계부(170)의 두께(T170)는 50nm ~ 500nm 사이로 형성될 수 있다.

<68> 제2 전극(150)은 후면 전계부(170)의 후면 위에 배치되며, 후면 전계부(170)와 전기적으로 연결되어 있다. 이와 같은 제2 전극(150)은 도 1 및 도 2에 도시된 바와 같이, 복수의 제2 핑거 전극(151) 및 복수의 제2 버스바(153)를 포함할 수 있다.

<69> 여기서, 복수의 제2 핑거 전극(151)은 후면 전계부(170)의 후면 위에 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있으며, 후면 전계부(170) 쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<70> 그리고, 복수의 제2 버스바(153)는 후면 전계부(170) 위에서 복수의 제2 핑거 전극(151)과 동일 층에 위치하고, 복수의 제2 핑거 전극(151)을 서로 전기적으로 연결시키며, 복수의 제2 핑거 전극(151)과 교차하는 제2 방향(y)으로 뻗어 있을 수 있다.

<71> 이와 같은 복수의 제2 버스바(153)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 제2 핑거 전극(151)에 의해 수집되어 이동하는 캐리어를

Petitioner Runergy USA Inc., Ex. 1005, p. 120

수집하여 외부 장치로 출력한다.

<72> 여기서, 제2 버스바(153)의 길이 방향은 제1 버스바(143)의 길이 방향과 동일하고, 제2 핑거 전극(151)의 길이 방향도 제1 핑거 전극(141)의 길이 방향과 동일할 수 있으며, 제2 전극(150)의 재질은 제1 전극(140)의 재질과 동일할 수 있다.

<73> 이와 같은 제2 전극(150)은 후면 전계부(170) 위에 후술할 후면 보호막(190)이 형성된 상태에서 후면 보호막(190)의 위에 제2 전극(150)을 형성하기 위한 제2 전극 패이스트를 패터닝하여 형성한 상태에서 열처리 공정을 통하여 형성될 수 있다.

<74> 여기서, 제2 핑거 전극(151)의 폭은 일례로, 150um ~ 400um 사이일 수 있으며, 제2 버스바(153)의 폭은 제2 핑거 전극(151)의 폭보다 크게 형성되되, 1mm ~ 3mm 사이의 범위에서 결정될 수 있다. 그러나, 이에 반드시 한정되는 것은 아니고, 다른 폭을 가질 수도 있다.

<75> 다음, 후면 보호막(190)은 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)의 후면 중에서 제2 전극(150)이 형성된 영역을 제외한 전체 영역 위에 위치할 수 있다.

<76> 이와 같은 후면 보호막(190)은 유전체 재질로 형성될 수 있으며, 단층 또는 다수의 층으로 형성될 수 있고, 후면 전계부(170)의 극성을 고려하여 특정 고정 전하를 가질 수 있다.

<77> 이와 같은 후면 보호막(190)의 재질은 SiCx, SiOx, silicon nitride (SiNx),

Petitioner Runergy USA Inc., Ex. 1005, p. 121

hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON 중 적어도 하나로 형성될 수 있다.

<78> 이와 같은 후면 보호막(190)은 후면 전계부(170)의 후면 표면을 패시베이션 하는 기능을 수행할 수 있다.

<79> 도 1 및 도 2에서, 이와 같은 구조를 갖는 본 실시예에 따른 태양 전지의 동작은 다음과 같다.

<80> 태양 전지로 빛이 조사되어 반사 방지막(130)과 에미터부(120)를 통해 반도체의 반도체 기판(110)으로 입사되면 빛 에너지에 의해 반도체의 반도체 기판(110)에서 전자-정공 쌍이 발생한다. 이때, 반사 방지막(130)에 의해 반도체 기판(110)으로 입사되는 빛의 반사 손실이 줄어들어 반도체 기판(110)으로 입사되는 빛의 양이 증가한다.

<81> 이들 전자-정공 쌍은 반도체 기판(110)과 에미터부(120)의 p-n접합에 의해 서로 분리되어 정공과 전자는, 예를 들어, p형의 도전성 타입을 갖는 에미터부(120)와 n형의 도전성 타입을 갖는 반도체 기판(110)쪽으로 각각 이동한다. 이처럼, 에미터부(120)쪽으로 이동한 정공은 제1 핑거 전극(141)에 의해 수집되어 제1 버스바(143)로 전달되고, 반도체 기판(110)의 후면 쪽에 위치한 후면 전계부(170)로 이동한 전자는 제2 핑거 전극(151)에 의해 수집되어 제2 버스바(153)로 전달될 수 있다.

<82> 아울러, 서로 인접한 태양 전지 각각의 제1, 2 버스바(143, 153)를 서로 인

Petitioner Runergy USA Inc., Ex. 1005, p. 122

터커넥터(미도시)로 연결하면 전류가 흐르게 되고, 이를 외부에서 전력으로 이용할 수 있게 된다.

<83> 한편, 본 발명에 따른 태양 전지는 도 1 내지 도 3에 도시된 바와 같이, 제2 전극(150)의 적어도 일부는 후면 전계부(170) 내부로 함입되어 형성될 수 있다. 구체적 일례로, 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어 형성될 수 있다.

<84> 다시 말하면, 후면 전계부(170)와 제2 전극(150)이 서로 접촉하는 제1 경계면(BS1)이 후면 전계부(170)와 후면 보호막(190)이 서로 접촉하는 제2 경계면(BS2)보다 반도체 기판(110) 방향으로 더 인접하여 형성되어 위치할 수 있다.

<85> 도 3에서는 제2 핑거 전극(151)을 일례로 도시하였지만, 제2 버스바(153)도 제2 핑거 전극(151)과 마찬가지로 후면 전계부(170) 내부로 함입된 동일한 구조를 가질 수 있다.

<86> 이와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되는 형상은 제2 전극(150)을 형성하기 위한 제2 전극 패이스트를 후면 보호막(190)의 후면에 패터닝하여 형성한 상태에서 열처리 공정을 통하여 제2 전극 패이스트가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 침투하면서 접촉될 때 나타날 수 있는 형상이다.

<87> 이와 같이, 제2 전극 패이스트를 이용하여 제2 전극(150)을 형성하면, 도금법에 비하여 상대적으로 비용이 저렴하고 공정 시간을 단축할 수 있는 장점이

Petitioner Runergy USA Inc., Ex. 1005, p. 123

있다.

<88> 여기서, 제1 경계면(BS1)과 제2 경계면(BS2)의 높이 차이는 1nm ~ 20nm 사이로 형성될 수 있으며, 이와 같은 제1, 2 경계면(BS1, BS2)의 높이 차이(TBS)는 제2 전극(150)을 형성하기 위한 열처리 공정의 시간 및 제2 전극 페이스트에 포함되는 글래스 프릿(glass frit)의 함유량에 따라 달라질 수 있다.

<89> 도 1 내지 도 3에서는 제2 전극(150)을 형성하는 복수의 제2 버스바(153)와 복수의 제2 핑거 전극(151) 모두가 후면 전계부(170) 내부로 함입된 경우를 일례로 도시하였지만, 반드시 이에 한정되는 것은 아니고, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되어 형성될 수도 있다. 이와 같이, 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입된 구성에 대해서는 도 6 이하에서 보다 구체적으로 설명한다.

<90> 따라서, 본 발명에 따른 태양 전지는 도 3에 도시된 바와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되어, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 전극(150)은 서로 접촉할 수 있다.

<91> 이때, 도 2에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(170OA)에는 복수의 금속 결정(MC)을 더 포함할 수 있다.

<92> 일례로, 도 3에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(170OF)에는 복수의 금속 결정(MC)을 더 포함할 수 있다. 도 3에서는 후면 전계부(170)의 전극 형성 영역(170OA) 중에서 전극 핑거

Petitioner Runergy USA Inc., Ex. 1005, p. 124

형성 영역(1700F)만 도시하였으나, 버스바 형성 영역(1700B)에도 동일하게 복수의 금속 결정(MC)을 더 포함할 수 있다.

<93> 참고로, 도 2를 참조하면, 후면 전계부(170) 중에서, 제2 핑거 전극(151)과 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 핑거 형성 영역(1700F)이라 하고, 제2 버스바(153)와 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 버스바 형성 영역(1700B)이라 하고, 후면 전계부(170) 중에서 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 제외한 나머지 영역을 비형성 영역(170NO)이라 한다. 아울러, 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 통칭하여 전극 형성 영역(1700A)이라 한다.

<94> 이와 같은 복수의 금속 결정(MC)은 다결정 실리콘으로 형성되는 후면 전계부(170)와 비교하여 상대적으로 저항이 낮아, 도 3에 도시된 바와 같이, 반도체 기판(110)으로부터 터널층(160)을 통과하여 후면 전계부(170)로 이동한 캐리어, 예를 들어 전자들이 금속 결정(MC)을 통하여 제2 전극(150)으로 직접 이동하거나, 금속 결정(MC)과 금속 결정(MC) 사이를 점프하여 제2 전극(150)으로 이동할 수 있다. 따라서, 이와 같은 복수의 금속 결정(MC)들은 캐리어가 제2 전극(150)으로 보다 용이하게 이동할 수 있도록 도와주는 역할을 할 수 있다.

<95> 따라서, 이와 같은 금속 결정(MC)은 낮은 저항으로 인하여, 반도체 기판(110)과 제2 전극(150) 사이의 실질적인 거리를 보다 좁혀줄 수 있다.

<96> 또한, 금속 결정(MC)은 제2 전극(150)이 후면 전계부(170)에 접속될 때, 제2 전극(150)과 후면 전계부(170)의 경계인 제1 경계면(BS1)을 중심으로 반도체 기판

Petitioner Runergy USA Inc., Ex. 1005, p. 125

(110) 방향으로 형성되기 때문에, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항을 보다 낮출 수 있다.

<97> 따라서, 도 3에 도시된 본 발명과 같이, 제2 전극(150)과 터널층(160) 사이의 후면 전계부(170) 내부에 복수의 금속 결정(MC)을 더 포함하는 경우, 태양 전지의 효율이 보다 향상될 수 있다.

<98> 이와 같은 금속 결정(MC)은 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(170OA)에 위치하고, 후면 전계부(170) 중에서 제2 전극(150)이 형성되지 않는 비형성 영역(170NO)에는 금속 결정(MC)이 위치하지 않을 수 있다.

<99> 이와 같이, 금속 결정(MC)이 후면 전계부(170) 중에서 전극 형성 영역(170OA)에만 위치하고, 비형성 영역(170NO)에는 위치하지 않는 것은 이와 같은 복수의 금속 결정(MC)이 제2 전극(150)을 형성하기 위한 열처리 공정 중에서 제2 전극(150)으로부터 빠져나온 금속이 재결정화되어 형성되기 때문이다.

<100> 일례로, 복수의 제2 전극(150)은 적어도 하나의 도전성 금속 물질을 포함하여 형성될 수 있다. 여기서, 복수의 제2 전극(150)에 포함되는 도전성 금속 물질은 일례로, 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<101> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)을 형성하기 위한 열처리 공

Petitioner Runergy USA Inc., Ex. 1005, p. 126

정 중에 전술한 제2 전극(150)에 포함된 금속 물질이 빠져나와 재결정화되면서 형성될 수 있어, 제2 전극(150)에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다. 따라서, 일례로, 제2 전극(150)이 은(Ag)을 포함하는 경우, 금속 결정(MC)도 은(Ag)을 포함할 수 있다.

<102> 또한, 도 3 및 도 4에 도시된 바와 같이, 금속 결정(MC)은 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않을 수 있다.

<103> 즉, 도 5에 도시된 비교예와 같이, 이와 같은 금속 결정(MC)이 터널층(160) 내에 위치하는 경우 터널층(160)의 기능이 저하될 수 있고, 금속 결정(MC)이 터널층(160)을 관통하여 반도체 기판(110)의 후면 내부로 침투되는 경우, 반도체 기판(110) ? 터널층(160) - 후면 전계부(170)로 형성된 구조에 의해 나타나는 개방 전압(Voc) 특성이 저하되어, 반도체 기판(110)이 열화될 수 있다.

<104> 이와 같이, 반도체 기판(110)이 열화되는 경우, 반도체 기판(110)의 특성, 일례로 캐리어 라이프 타임(carrier life time)과 같은 특성이 저하될 수 있다.

<105> 그러나, 본 발명과 같이 금속 결정(MC)이 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않는 경우, 이와 같은 특성 저하를 방지할 수 있다.

<106> 이와 같은 복수의 금속 결정(MC)의 중 일부(MC1)는 도 3에 도시된 바와 같이, 제2 전극(150)과 직접 접촉될 수 있고, 아울러, 복수의 금속 결정(MC)의 중 적어도 하나(MC2) 이상은 제2 전극(150)과 이격되어 후면 전계부(170) 내에 위치할

Petitioner Runergy USA Inc., Ex. 1005, p. 127

수 있다.

<107> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)으로부터 터널층(160) 방향으로의 길이(LMC)가 후면 전계부(170) 두께의 2/3 이하일 수 있다. 이와 같이, 금속 결정(MC)의 길이(LMC)를 후면 전계부(170) 두께의 2/3 이하로 한정하는 것은 금속 결정(MC)의 길이(LMC)가 과도하게 길게 되어, 전술한 바와 같이, 터널층(160)이나 반도체 기판(110)을 손상시키지 않도록 하기 위함이다.

<108> 복수의 금속 결정(MC) 중 일부는 제2 전극(150)으로부터 터널층(160) 방향으로 진행할수록 폭(WMC)이 감소할 수 있다. 즉, 도 3이나 도 4에 도시된 바와 같이, 금속 결정(MC)에서 제2 전극(150) 쪽에 인접한 부분의 면 방향(x, y) 폭(WMC)은 반도체 기판(110) 쪽에 인접한 부분의 폭보다 작을 수 있다.

<109> 이와 같은 금속 결정(MC)의 크기는 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도에 비례하여 크기가 결정될 수 있다.

<110> 즉, 금속 결정(MC)의 길이나 폭은 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 높을수록 커지고, 낮을수록 작아지는 특성이 있으며, 금속 결정(MC)의 소스인 제2 전극(150)의 폭이 증가할수록 금속 결정(MC)의 길이나 폭이 증가할 수 있다.

<111> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 과도하게 낮은 경우, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항이 증가할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 128

<112> 따라서, 본 발명의 제1 실시예에서는 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어, 후면 전계부(170) 중에 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B) 모두에 금속 결정(MC)이 형성되는 경우를 일례로 설명하였으나, 효율을 보다 향상시키기 위해, 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되고, 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성될 수도 있다. 이에 대해 보다 구체적으로 이하의 도 6 내지 도 8을 참조하여 설명한다.

<113> 도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

<114> 도 6에 대한 설명에서는 앞선 제1 실시예에서 설명한 내용과 중복되는 부분에 대한 설명은 생략하고, 제1 실시예와 다른 부분을 위주로 설명한다.

<115> 도 6에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 전극(150)의 적어도 일부가 후면 전계부(170) 내부로 함입되게 하되, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 관통하여 후면 전계부(170) 내부로 함입되어 형성되도록 형성할 수 있다.

<116> 이때에는, 금속 결정(MC)이 후면 전계부(170)의 핑거 형성 영역(1700F)에만 형성되고, 복수의 제2 버스바(153)는 후면 전계부(170) 내부로 함입되지 않고, 후면 보호막(190)의 후면 위에 형성될 수 있다.

<117> 따라서, 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 129

<118> 이와 같이, 제2 전극(150) 중에서 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내로 함입되도록 하여 후면 전계부(170) 중에서 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성되도록 하고, 제2 버스바(153)는 후면 보호막(190) 위에 형성되도록 하여 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않도록 하는 것은 앞선 도 3 내지 도 5에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하지 않도록 하거나 터널층(160)을 뚫고 반도체 기판(110) 내에 접속되지 않도록 하기 위함이다.

<119> 보다 구체적으로 설명하면, 제2 버스바(153)의 경우, 앞선 도 1 및 도 2에서 설명한 바와 같이, 폭이 제2 핑거 전극(151)에 비하여 상대적으로 크기 때문에, 열처리 공정시 상대적으로 큰 길이나 폭을 갖는 금속 결정(MC)이 후면 전계부(170)에 형성되어, 도 5에 도시된 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하거나 반도체 기판(110)과 접속될 수 있는데, 이를 사전에 차단하기 위함이다.

<120> 따라서, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153) 중에서 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되어 형성된 구조를 가지고 있으므로, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 핑거 전극(151)만 서로 접촉하고, 후면 전계부(170)의 전극 형성 영역(1700A) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(1700F)에만 복수의 금속 결정(MC)을 포함할 수 있고, 제2 버스바(153)와 중첩되는 후면 전계부(170)의 버스바 형성 영역(1700B)에는 복수의 금속 결정(MC)이 위치하지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 130

<121> 이를 위해, 본 발명은 복수의 제2 핑거 전극(151)에 포함되는 재질과 복수의 제2 버스바(153)에 포함되는 재질을 서로 다르게 할 수 있다.

<122> 보다 구체적으로, 제2 핑거 전극(151)이 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되도록 하고, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되는 것을 방지하거나 최소화하기 위하여, 복수의 제2 버스바(153)에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작거나 없을 수 있다.

<123> 즉, 제2 버스바(153)를 형성하기 위한 제2 버스바 페이스트의 단위 부피당 글래스 프릿의 함유량을 제2 핑거 전극(151)을 형성하기 위한 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량보다 작게 하거나 글래스 프릿이 포함되지 않도록 할 수 있다.

<124> 이와 같이 하는 이유는, 제2 전극(150)을 형성하기 위한 열처리 공정에서, 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 동안 제2 버스바 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도 후면 전계부(170) 내부로 거의 함입되지 못하게 하거나, 아예 후면 보호막(190)을 뚫지 못하게 하기 위함이다.

<125> 이와 같이 함으로써, 후면 전계부(170)의 버스바 형성 영역(1700B)에 금속 결정(MC)이 형성되지 않도록 할 수 있고, 반도체 기판(110)이 열화되는 것을 방지할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 131

<126> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극(140)에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<127> 이는, 제1 전극(140)도 제1 전극 페이스트를 도포한 후, 반사 방지막(130)을 뚫고 에미터부(120)에 접속하여 형성될 수 있는데, 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량을 제1 전극(140)과 동일하게 함으로써, 동일한 열처리 공정에서 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)로 함입되는 속도와 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 속도를 서로 대략적으로 동일하게 할 수 있다.

<128> 이로 인하여, 제1 전극(140)과 제2 전극(150)을 형성하기 위한 열처리 공정의 온도를 서로 동일하게 하면서도, 제2 핑거 전극(151)의 속도를 제한할 수 있다.

<129> 또한, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<130> 보다 구체적 일례로, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<131> 이와 같이, 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하로 하는 것은 제2 핑거 페이스트가 후면 보호막(190)을 뚫

Petitioner Runergy USA Inc., Ex. 1005, p. 132

고 후면 전계부(170) 내로 함입된 상태에서, 금속 결정(MC)이 앞선 도 3에서 설명한 바와 같이 충분히 형성되도록 하고, 상대적으로 폭이 좁은 제2 핑거 전극(151)의 저항을 충분히 낮추기 위함이다.

<132> 아울러, 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하가 되도록 함으로써, 제2 버스바 페이스트 중 일부가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도, 제2 버스바 페이스트에 포함된 금속 물질에 의해 후면 전계부(170)의 버스바 형성 영역(1700B)에 금속 결정(MC)이 형성되지 않도록 하거나, 금속 결정(MC)이 설사 형성된다 하더라도, 앞선 도 4에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내부에 형성되더라도 반도체 기판(110)에 접속되어 형성되지 않도록 방지할 수 있다.

<133> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극(140)에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

<134> 이와 같이 서로 다른 재질을 갖는 제2 핑거 전극(151)과 제2 버스바(153)를 형성함으로써, 반도체 기판(110)의 열화를 방지할 수 있고, 태양 전지의 효율이 저하되는 것을 보다 방지할 수 있다.

<135> 앞서 설명한 바와 같이, 반도체 기판(110)의 열화는 제2 전극(150)을 형성하기 위한 열처리 공정 중에 발생할 수 있고, 열처리 공정의 온도가 너무 낮으면 제2 전극(150)의 접촉 저항이 과도하게 높아져 태양 전지의 효율을 방지할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 133

<136> 여기서, 반도체 기판(110)의 열화는 다음의 도 7과 도 8에서 확인할 수 있다.

<137> 도 7은 제2 버스바 패이스트(153P)의 재질이 제2 핑거 패이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이고, 도 8은 본 발명의 제2 실시예에 따라 제2 버스바 패이스트(153P)의 재질과 제2 핑거 패이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

<138> 반도체 기판(110)의 개방 전압(Voc)를 보여주는 PL 이미지는 열처리 공정 온도에 따라 금속 결정(MC)이 반도체 기판(110)에 침투함에 따른 열화를 볼 수 있다.

<139> PL 이미지에서 반도체 기판(110)의 일부 영역이 어두워질수록 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 밝아질수록 개방 전압이 충분한 상태로 높아 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<140> 보다 구체적으로, PL 이미지에서 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하여 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하지 않는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하지 않아, 개방 전압이 충분히

Petitioner Runergy USA Inc., Ex. 1005, p. 134

높은 상태로 유지되어 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<141> 도 7 및 도 8에서는 상대적으로 폭이 큰 제2 버스바(153)의 이미지만 보이고, 제2 핑거 전극(151)의 이미지는 폭이 너무 작아 보이지 않으나, 실질적으로 각각의 제2 버스바(153)에는 복수의 제2 핑거 전극(151)이 교차하여 형성된다.

<142> 도 7에서는 제2 핑거 페이스트와 동일한 재질의 제2 버스바 페이스트(153P)를 사용한 경우이고, 도 8은 앞선 도 6에서 설명한 바와 같이 제2 핑거 페이스트와 다른 재질의 제2 버스바 페이스트(153P)를 사용한 경우이다.

<143> 도 7에서는 제2 버스바(153)와 제2 핑거 전극(151)의 동일한 재질이 서로 동일하므로, 제2 버스바 페이스트(153P)도 후면 보호막(190)을 뚫고 후면 전계부(170)에 함입되어 형성되고, 후면 전계부(170)의 버스바 형성 영역(1700B) 내로 금속 결정(MC)이 형성될 수 있다.

<144> 따라서, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (c) 및 (d)와 같이, 820℃나 795℃ 정도로 상대적으로 낮은 경우, 후면 전계부(170) 내에 금속 결정(MC)이 거의 형성되지 않고, 반도체 기판(110)의 열화가 거의 발생하지 않으나, 이와 같은 경우, 제2 핑거 전극(151)의 접촉 저항이 상대적으로 높게 형성될 수 있어 태양 전지의 효율이 감소할 수 있다.

<145> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (a) 및 (b)와 같이, 870℃나 845℃ 정도로 상대적으로 높은 경우, 반도체 기판(110)에 음

Petitioner Runergy USA Inc., Ex. 1005, p. 135

영 영역이 증가하고 상대적으로 심화되어, 제2 버스바 페이스트(153P)에 의해 형성된 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투되어 반도체 기판(110)의 열화가 심화되는 것을 알 수 있다.

<146> 그러나, 앞선 도 6에서 설명한 바와 같이, 본 발명의 제2 실시예에 따라 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 한 경우, 열처리 공정 온도가 상대적으로 낮은 도 8의 (c) 및 (d)의 경우는 물론, 상대적으로 높은 도 8의 (a) 및 (b)에서도 반도체 기판(110)의 음영 영역이 거의 증가되지 않는 것을 확인할 수 있다.

<147> 이는, 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되지 않거나, 접속되더라고 제2 버스바(153)에 의해 형성되는 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110) 내로 침투하지 않기 때문이다.

<148> 이와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 태양 전지의 개방 전압(Voc)을 충분히 높을 상태로 유지여 반도체 기판(110)의 열화를 방지하고, 태양 전지의 효율을 보다 향상시킬 수 있다.

<149> 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

Petitioner Runergy USA Inc., Ex. 1005, p. 136

【특허청구범위】

【청구항 1】

제1 도전성 타입의 불순물을 함유하는 반도체 기판;

상기 반도체 기판의 전면에 위치하고 상기 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부;

상기 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층;

상기 터널층의 후면 위에 위치하고, 상기 제1 도전성 타입의 불순물이 상기 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부;

상기 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막;

상기 에미터부와 연결되는 제1 전극; 및

상기 후면 전계부와 연결되는 제2 전극;을 포함하고,

상기 제2 전극의 적어도 일부는 상기 후면 전계부 내부로 함입되어 있는 태양 전지.

【청구항 2】

제1 항에 있어서,

상기 후면 전계부와 상기 제2 전극이 서로 접촉하는 제1 경계면은 상기 후면 전계부와 상기 후면 보호막이 서로 접촉하는 제2 경계면보다 상기 반도체 기판 방향으로 더 인접하여 위치하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 137

【청구항 3】

제1 항에 있어서,

상기 후면 전계부 중에서 상기 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 4】

제3 항에 있어서,

상기 금속 결정은 상기 후면 전계부 중에서 상기 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않는 태양 전지.

【청구항 5】

제3 항에 있어서,

상기 금속 결정은 상기 터널층 내에는 위치하지 않는 태양 전지.

【청구항 6】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함하는 태양 전지.

【청구항 7】

제3 항에 있어서,

상기 복수의 금속 결정의 중 일부는 상기 제2 전극과 직접 접촉되는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 138

【청구항 8】

제3 항에 있어서,

상기 복수의 금속 결정의 중 적어도 하나 이상은 상기 제2 전극과 이격되어 있는 태양 전지.

【청구항 9】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극으로부터 상기 터널층 방향으로의 길이가 상기 후면 전계부 두께의 2/3 이하인 태양 전지.

【청구항 10】

제3 항에 있어서,

상기 복수의 금속 결정 중 일부는 상기 제2 전극으로부터 상기 터널층 방향으로 진행할수록 폭이 감소하는 태양 전지.

【청구항 11】

제1 항에 있어서,

상기 제2 전극은 상기 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 상기 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 상기 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 139

【청구항 12】

제11 항에 있어서,

상기 복수의 제2 핑거 전극은 상기 후면 보호막을 관통하여 상기 후면 전계부 내부로 함입되어 형성되고,

상기 복수의 제2 버스바는 상기 후면 보호막의 후면 위에 형성되는 태양 전지.

【청구항 13】

제11 항에 있어서,

상기 후면 전계부의 상기 제1 경계면에서 상기 후면 전계부와 상기 제2 핑거 전극은 서로 접촉하고,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 14】

제11 항에 있어서,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 버스바가 형성되는 버스바 형성 영역에는 상기 복수의 금속 결정이 위치하지 않는 태양 전지.

【청구항 15】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 재질과 상기 복수의 제2 버스바에 포

Petitioner Runergy USA Inc., Ex. 1005, p. 140

함되는 재질은 서로 다른 태양 전지.

【청구항 16】

제11 항에 있어서,

상기 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작은 태양 전지.

【청구항 17】

제16 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일한 태양 전지.

【청구항 18】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많은 태양 전지.

【청구항 19】

제18 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고,

Petitioner Runergy USA Inc., Ex. 1005, p. 141

상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하인 태양 전지.

【청구항 20】

제18 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일한 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 142

제출 일자 : 2014-11-28

【요약서】

【요약】

본 발명은 태양 전지에 관한 것이다.

본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

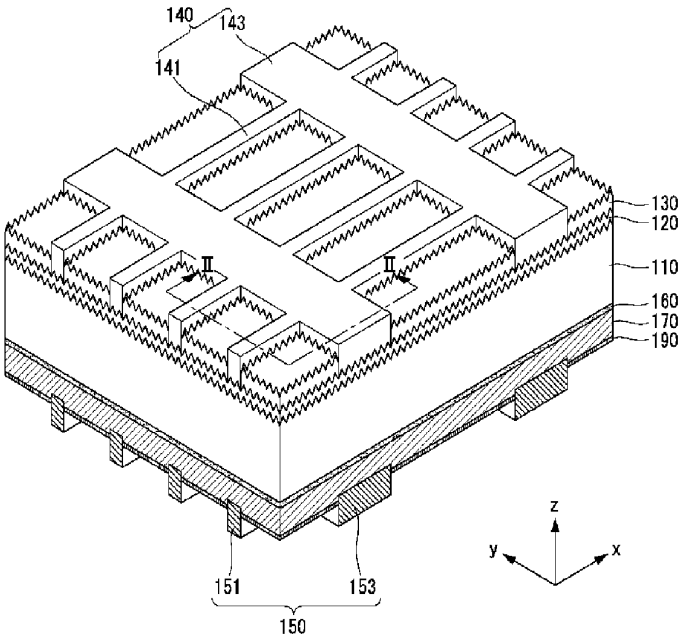
【대표도】

도 1

Petitioner Runergy USA Inc., Ex. 1005, p. 143

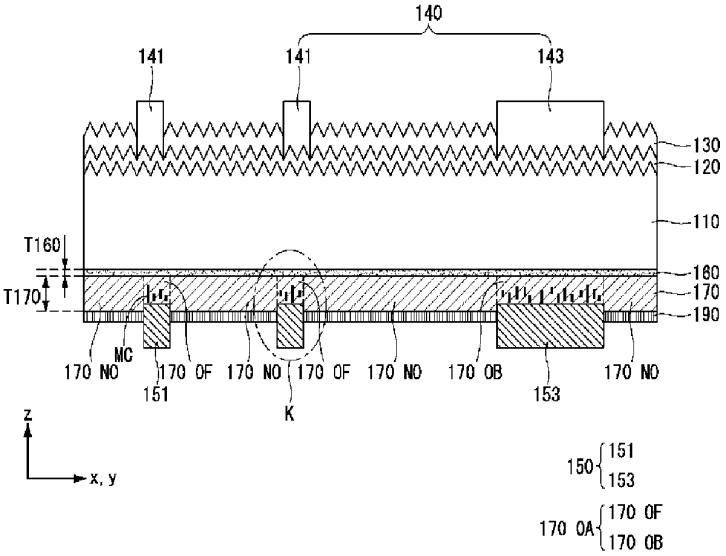
【도면】

【도 1】

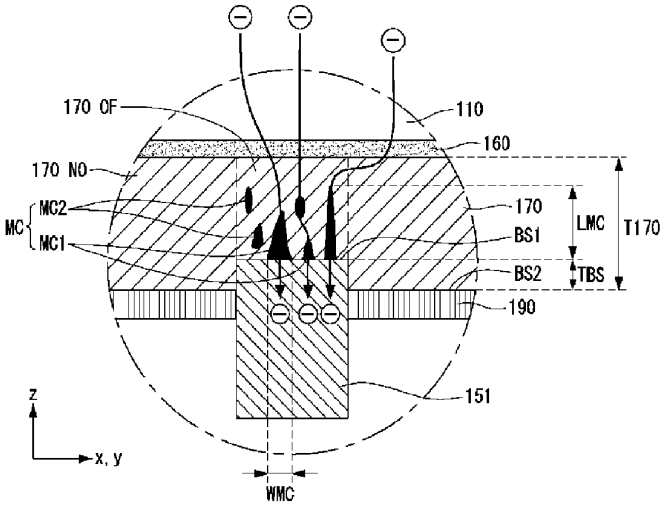


Petitioner Runergy USA Inc., Ex. 1005, p. 144

【도 2】

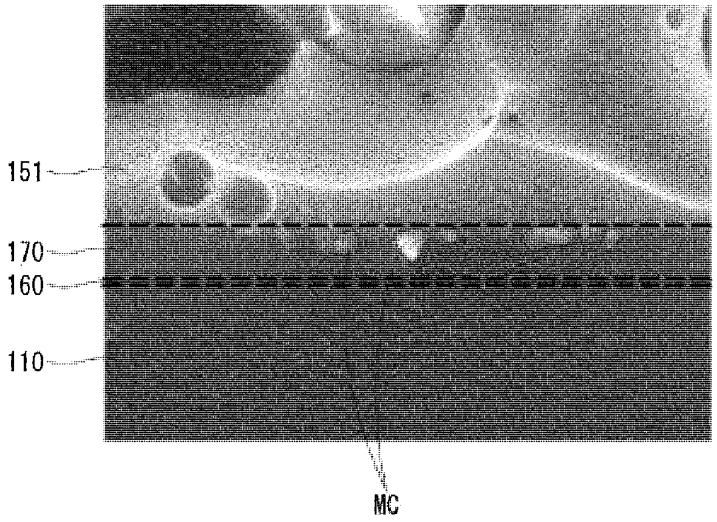


【도 3】

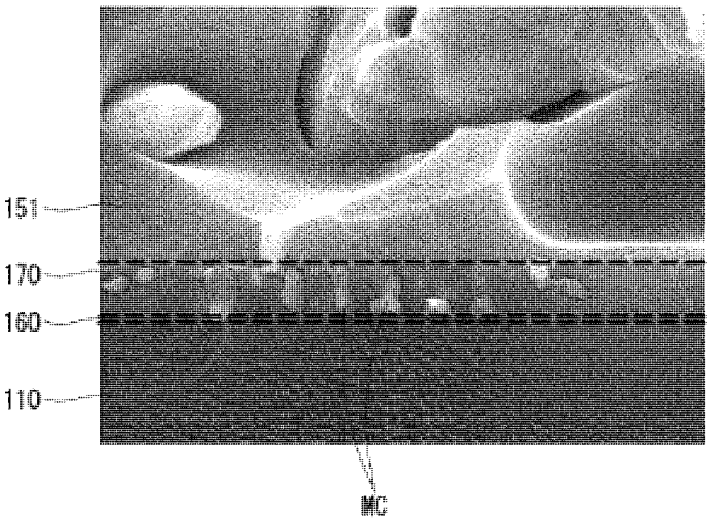


Petitioner Runergy USA Inc., Ex. 1005, p. 145

【도 4】

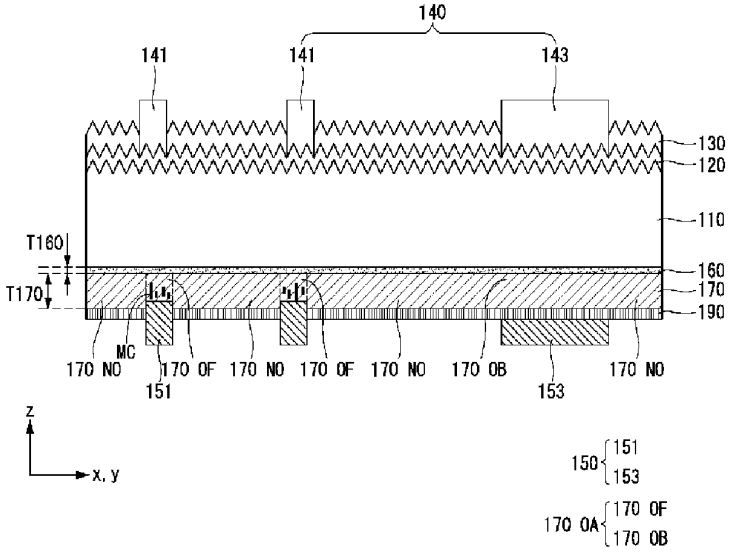


【도 5】

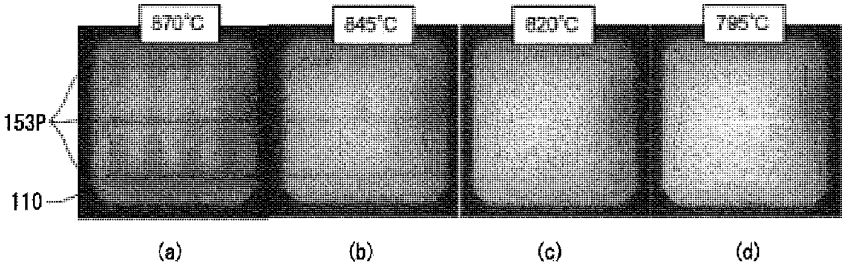


Petitioner Runergy USA Inc., Ex. 1005, p. 146

【도 6】

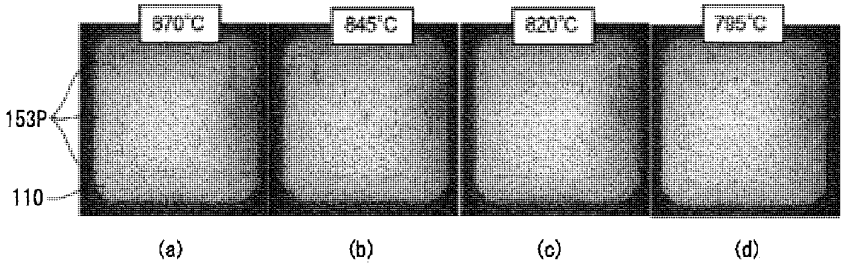


【도 7】



Petitioner Runergy USA Inc., Ex. 1005, p. 147

【도 8】



Petitioner Runergy USA Inc., Ex. 1005, p. 148

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

출 원 번 호 : 10-2015-0122846
Application Number

출 원 년 월 일 : 2015년 08월 31일
Filing Date AUG. 31, 2015

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2016년 02월 16일

특 허 청
COMMISSIONER

제출 일자 : 2015-08-31

【서지사항】

【서류명】 특허출원서

【참조번호】 01

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【출원인코드】 1-2002-012840-3

【대리인】

【성명】 박병창

【대리인코드】 9-1998-000238-3

【포괄위임등록번호】 2002-027067-4

【발명의 국문명칭】 태양 전지 및 이의 제조 방법

【발명의 영문명칭】 SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 정주화

【성명의 영문표기】 Juhwa Cheong

【주민등록번호】 750705-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

Petitioner Runergy USA Inc., Ex. 1005, p. 150

제출 일자 : 2015-08-31

【국적】 KR

【발명자】

【성명】 안준용

【성명의 영문표기】 Junyong Ahn

【주민등록번호】 720421-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 장원재

【성명의 영문표기】 Wonjae Chang

【주민등록번호】 721030-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【심사청구】 청구

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 박병창 (서명 또는 인)

【수수료】

【출원료】	0 면	46,000 원
【가산출원료】	50 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	20 항	1,023,000 원
【합계】	1,069,000 원	

Petitioner Runergy USA Inc., Ex. 1005, p. 151

제출 일자 : 2015-08-31

【수수료 자동납부번호】 301-0128-1620-71

Petitioner Runergy USA Inc., Ex. 1005, p. 152

제출 일자 : 2015-08-31

【명세서】

【발명의 명칭】

태양 전지 및 이의 제조 방법{SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME}

【기술분야】

<1> 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 좀더 상세하게는, 반도체 기판을 포함하는 태양 전지 및 이의 제조 방법에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

<3> 이러한 태양 전지는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 태양 전지에서는 다양한 층 및 전극의 설계에 따라 효율이 달라질 수 있다. 태양 전지의 상용화를 위해서는 태양 전지의 효율을 최대화하고 제조 방법을 단순화하는 것이 요구된다.

【발명의 내용】

【해결하려는 과제】

<4> 본 발명은 높은 효율 및 생산성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다.

Petitioner Runergy USA Inc., Ex. 1005, p. 153

【과제의 해결 수단】

<5> 본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

<6> 본 발명의 실시예에 따른 태양 전지의 제조 방법은, 반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계; 상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계; 적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계; 적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계; 상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계; 상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및 상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함하는 전극을 형성하는 단계를 포함한다. 상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기

Petitioner Runergy USA Inc., Ex. 1005, p. 154

제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는다.

【발명의 효과】

<7> 본 발명의 실시예에 따르면, 반도체 기판의 후면에 아이솔레이션부를 형성하여 제1 도전형 영역과 제2 도전형 영역이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층 및 제1 도전형 영역이 제거되어 형성된 아이솔레이션부가 위치하는 반도체 기판의 표면은 제1 도전형 영역을 덮는 제1 절연막에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조 및 공정에 의하여 아이솔레이션부를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조 및 공정에 의하여 태양 전지의 효율 및 신뢰성을 향상할 수 있으며 불량률을 낮춰 생산성을 향상할 수 있다.

【도면의 간단한 설명】

<8> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이다.

도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

도 3은 본 발명의 일 변형예에 따른 태양 전지를 도시한 단면도이다.

도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

도 5는 본 발명의 일 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정

Petitioner Runergy USA Inc., Ex. 1005, p. 155

을 도시한 단면도들이다.

도 6은 본 발명의 다른 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정을 도시한 단면도들이다.

【발명을 실시하기 위한 구체적인 내용】

<9> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

<10> 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

<11> 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다. 그리고 "제1", "제2" 등의 표현은 서로 간의 구별을 위하여 사용한 것일 뿐 본 발명이 이에 한정되

Petitioner Runergy USA Inc., Ex. 1005, p. 156

는 것은 아니다.

<12> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다.

<13> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이고, 도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

<14> 도 1을 참조하면, 태양 전지(100)는, 반도체 기판(110)과, 반도체 기판(110)의 일면 쪽에 위치하며 제1 도전형을 가지는 제1 도전형 영역(20)과, 반도체 기판(110)의 타면 쪽에 위치하며 제2 도전형을 가지는 제2 도전형 영역(30)을 포함할 수 있다. 전극(42, 44)은 제1 도전형 영역(20)에 연결되는 제1 전극(42)과, 제2 도전형 영역(30)에 연결되는 제2 전극(44)을 포함한다. 그리고 태양 전지(100)는, 제1 패시베이션막(24), 제2 패시베이션막(34), 반사 방지막(36)과 같은 절연막을 더 포함할 수 있다. 이를 상세하게 설명한다.

<15> 반도체 기판(110)은 단일 반도체 물질(일 예로, 4족 원소)를 포함하는 결정질 반도체로 구성될 수 있다. 일 예로, 반도체 기판(110)은 단결정 또는 다결정 반도체(일 예로, 단결정 또는 다결정 실리콘)로 구성될 수 있다. 특히, 반도체 기판(110)은 단결정 반도체(예를 들어, 단결정 반도체 웨이퍼, 좀더 구체적으로는, 단결정 실리콘 웨이퍼)로 구성될 수 있다. 이와 같이 반도체 기판(110)이 단결정 반도체(예를 들어, 단결정 실리콘)로 구성되면, 태양 전지(100)가 결정성이 높아 결함이 적은 단결정 반도체로 구성되는 반도체 기판(110)을 기반으로 하게 된다. 이에 따라 태양 전지(100)가 우수한 전기적 특성을 가질 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 157

<16> 반도체 기판(110)의 전면 및/또는 후면은 텍스처링(texturing)되어 요철을 가질 수 있다. 요철은, 일 예로, 외면이 반도체 기판(110)의 (111)면으로 구성되며 불규칙한 크기를 가지는 피라미드 형상을 가질 수 있다. 텍스처링에 의해 반도체 기판(110)의 전면 등에 요철이 형성되어 전면의 표면 거칠기가 증가되면, 반도체 기판(110)의 전면 등을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 베이스 영역(10)과 제1 또는 제2 도전형 영역(20, 30)에 의하여 형성된 pn 접합까지 도달하는 광량을 증가시킬 수 있어, 광 손실을 최소화할 수 있다. 본 실시예에서는 요철이 반도체 기판(110)의 전면 및 후면에 요철이 형성되어 양면으로 입사되는 광의 반사를 효과적으로 방지하는 것을 예시하였다.

<17> 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 도 3에 도시한 바와 같이, 반도체 기판(110)의 전면에만 요철이 형성되고 반도체 기판(110)의 후면에는 요철이 형성되지 않을 않을 수도 있다. 이에 의하면 터널링층(22)이 형성되는 반도체 기판(110)의 후면을 전면보다 작은 표면 거칠기를 가지도록 형성하여, 터널링층(22)이 좀더 안정적이고 균일하게 형성될 수 있다. 또는, 반도체 기판(110)의 전면 및 후면에 요철이 형성되지 않는 등 다양한 변형이 가능하다.

<18> 다시 도 1을 참조하면, 본 실시예에서 반도체 기판(110)은 제1 또는 제2 도전형 도펀트가 낮은 도핑 농도로 도핑되어 제1 또는 제2 도전형을 가지는 베이스 영역(10)을 포함한다. 이때, 반도체 기판(110)의 베이스 영역(10)은 이와 동일한 도전형을 가지는 제1 및 제2 도전형 영역(20, 30) 중 하나보다 낮은 도핑 농도, 높은 저항 또는 낮은 캐리어 농도를 가질 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 158

<19> 반도체 기판(110)의 일면(일 예로, 후면) 위에 제1 도전형을 가지는 제1 도전형 영역(20)이 위치할 수 있다. 일 예로, 반도체 기판(110) 위에 터널링층(22)이 형성되고, 터널링층(22) 위에 제1 도전형 영역(20)이 형성될 수 있다.

<20> 일 예로, 터널링층(22)은 반도체 기판(110)의 후면에 접촉 형성되어 구조를 단순화하고 터널링 효과를 향상할 수 있다. 이때, 터널링층(22)은 반도체 기판(110)의 후면에서 아이솔레이션부(I)를 제외한 부분에 전체적으로 형성될 수 있다. 여기서 전체적으로 형성되었다 함은 빈틈 없이 모두 형성된 것뿐 아니라 불가피하게 일부 영역이 형성되지 않는 것도 포함한다. 이에 의하여 별도의 패터닝 공정이 요구되지 않아 터널링층(22)을 쉽게 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<21> 터널링층(22)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 터널링층(22)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 터널링층(22)을 통과할 수 있도록 한다. 이때, 일정 이상의 에너지를 가지는 다수 캐리어는 터널링 효과에 의하여 쉽게 터널링층(22)을 통과할 수 있다. 또한, 터널링층(22)은 제1 도전형 영역(20)의 도펀트가 반도체 기판(110)으로 확산하는 것을 방지하는 확산 배리어로서의 역할을 수행할 수 있다. 이러한 터널링층(22)은 다수 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 산화물, 질화물, 반도체, 전도성 고분자 등을 포함할 수 있다. 특히, 터널링층(22)이 실리콘 산화물을 포함하는 실리콘 산화물층으로 구성될 수 있다. 실리콘 산화물층은 패시

Petitioner Runergy USA Inc., Ex. 1005, p. 159

베이션 특성이 우수하며 캐리어가 터널링되기 쉬운 막이기 때문이다.

<22> 터널링 효과를 충분하게 구현할 수 있도록 터널링층(22)의 두께가 제1 및 제2 패시베이션막(24, 34), 제1 또는 제2 도전형 영역(20, 30)의 두께보다 작을 수 있다. 일 예로, 터널링층(22)의 두께가 2nm 이하일 수 있고, 일 예로, 0.1nm 내지 1.5nm(좀더 구체적으로는, 0.5nm 내지 1.5nm)일 수 있다. 터널링층(22)의 두께가 2nm를 초과하면 터널링이 원할하게 일어나지 않아 태양 전지(100)의 효율이 저하될 수 있고, 터널링층(22)의 두께가 0.1nm 미만이면 원하는 품질의 터널링층(22)을 형성하기에 어려움이 있을 수 있다. 충분한 터널링 효과를 위해서는 터널링층(22)의 두께가 0.1nm 내지 1.5nm(좀더 구체적으로 0.5nm 내지 1.5nm)일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22)의 두께가 다양한 값을 가질 수 있다.

<23> 제1 도전형 영역(20)은 제1 도전형 도펀트를 포함하여 제1 도전형을 가지는 영역일 수 있다. 일 예로, 제1 도전형 영역(20)은 터널링층(22)에 접촉하여 형성되어 태양 전지(100)의 구조가 단순화되고 터널링층(22)의 터널링 효과가 최대화될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<24> 제1 도전형 영역(20)은 반도체 기판(110)과 동일한 반도체 물질(좀더 구체적으로, 단일 반도체 물질, 일례로, 실리콘)을 포함할 수 있다. 그러면, 제2 도전형 영역(30)이 반도체 기판(110)과 유사한 특성을 가져 서로 다른 반도체 물질을 포함할 경우에 발생할 수 있는 특성 차이를 최소화할 수 있다. 다만, 제1 도전형 영역(20)이 반도체 기판(110) 위에서 반도체 기판(110)과 별개로 형성되므로, 반도체

Petitioner Runergy USA Inc., Ex. 1005, p. 160

기판(110) 위에서 쉽게 형성될 수 있도록 제1 도전형 영역(20)이 반도체 기판(110)과 다른 결정 구조를 가질 수 있다.

<25> 예를 들어, 제1 도전형 영역(20)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체, 미세 결정 반도체, 또는 다결정 반도체(일 예로, 비정질 실리콘, 미세 결정 실리콘, 또는 다결정 실리콘) 등에 제1 도전형 도펀트를 도핑하여 형성될 수 있다. 특히, 제1 도전형 영역(20)은 다결정 반도체(일 예로, 다결정 실리콘)을 포함할 수 있다. 그러면 우수한 전기 전도도를 가져 캐리어의 이동을 원활하게 할 수 있고, 산화물 등으로 구성된 터널링층(22)에서 캐리어의 터널링이 원활하게 일어나도록 유도할 수 있다.

<26> 본 실시예에서 제1 도전형 영역(20)을 반도체 기판(110)과 별개로 형성하여 반도체 기판(110) 내부에 도핑 영역 형성 시에 발생할 수 있는 결함 또는 개방 전압 저하의 문제를 저감할 수 있다. 이에 의하여 태양 전지(100)의 개방 전압을 향상할 수 있다.

<27> 반도체 기판(110)의 다른 일면(일 예로, 전면) 쪽에 제2 도전형을 가지는 제2 도전형 영역(30)이 위치할 수 있다. 일 예로, 본 실시예에서는 제2 도전형 영역(30)이 반도체 기판(110)의 일부에 제2 도전형 도펀트가 도핑되어 형성된 도핑 영역으로 구성될 수 있다. 그러면, 베이스 영역(10)과 제2 도전형 영역(30)은 반도체 기판(110)과 동일한 결정 구조 및 반도체 물질을 포함하면서 도전형이 서로 다르거나 또는 도핑 농도가 서로 다를 수 있다. 구체적으로, 베이스 영역(10)이 제1 도전형을 가지는 경우에는 베이스 영역(10)과 제2 도전형 영역(30)의 도전형이 서로 다

Petitioner Runergy USA Inc., Ex. 1005, p. 161

르고, 베이스 영역(10)이 제2 도전형을 가지는 경우에는 제2 도전형 영역(30)의 도핑 농도가 베이스 영역(10)의 도핑 농도보다 높다.

<28> 베이스 영역(10)이 제1 도전형을 가지게 되면, 제1 도전형을 가지는 제1 도전형 영역(20)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 후면 전계(back surface field, BSF)를 형성하는 후면 전계 영역을 구성하고, 제2 도전형을 가지는 제2 도전형 영역(30)이 베이스 영역(10)과 다른 도전형을 가져 베이스 영역(10)과 pn 접합을 형성하는 에미터 영역을 구성한다. 그러면, 반도체 기판(110)의 전면 쪽에 에미터 영역을 구성하는 제2 도전형 영역(30)이 위치하여 pn 접합에 접합하는 광의 경로를 최소화할 수 있다.

<29> 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 베이스 영역(10)이 제2 도전형을 가지게 되면, 제1 도전형 영역(20)이 에미터 영역을 구성하고 제2 도전형 영역(30)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 전면 전계(front surface field, FSF)를 형성하는 전면 전계 영역을 구성한다.

<30> 제1 또는 제2 도전형 도펀트로 사용되는 p형 도펀트로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 들 수 있고, n형 도펀트로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 들 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 도펀트가 제1 또는 제2 도전형 도펀트로 사용될 수 있다.

<31> 여기서, 본 실시예에서는 반도체 기판(110)과 별개로 형성되는 제1 도전형

Petitioner Runergy USA Inc., Ex. 1005, p. 162

영역(20)이 반도체 기판(110)의 후면 쪽에 위치하고, 반도체 기판(110)의 일부를 구성하는 제2 도전형 영역(30)이 반도체 기판(110)의 전면 쪽에 위치한다. 반도체 기판(110)과 다른 결정 구조를 가지는 제1 도전형 영역(20)이 반도체 기판(110)의 전면 쪽에 위치하면 제1 도전형 영역(20)에서의 광 흡수가 증가되어 pn 접합에 도달하는 광량이 저하될 수 있으므로, 제1 도전형 영역(20)을 반도체 기판(110)의 후면 쪽에 위치시킨 것이다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<32> 제1 및 제2 도전형 영역(20, 30) 위에는 제1 및 제2 전극(42, 44)에 대응하는 개구부(102, 104)를 제외하고 절연막이 전체적으로 형성될 수 있다. 이러한 절연막은 별도로 도펀트를 포함하지 않는 언도프트 절연막으로 구성될 수 있다.

<33> 구체적으로, 제1 도전형 영역(20) 위에는 개구부(102)를 제외한 부분에 제1 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있고, 제2 도전형 영역(30) 위에는 개구부(104)를 제외한 부분에 제2 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있다. 본 실시예에서는 제1 절연막으로 제1 도전형 영역(20) 위에 형성(일 예로, 접촉)하는 제1 패시베이션막(24)을 사용하고, 제2 절연막으로 제2 도전형 영역(30) 위에 형성(일 예로, 접촉하는) 제2 패시베이션막(34) 및 이 위에 형성(일 예로, 접촉)하는 반사 방지막(36)을 사용하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 절연막은 원하는 기능에 따라 다양한 배치를 가질 수 있다.

<34> 패시베이션막(24, 34)은 도전형 영역(20, 30)에 접촉하여 형성되어 도전형 영역(20, 30)의 표면 또는 벌크 내에 존재하는 결함을 부동화 시킨다. 이에 의하여 소수 캐리어의 재결합 사이트를 제거하여 태양 전지(100)의 개방 전압(Voc)을 증가

Petitioner Runergy USA Inc., Ex. 1005, p. 163

시킬 수 있다. 반사 방지막(36)은 반도체 기판(110)의 전면으로 입사되는 광의 반사율을 감소시킨다. 이에 의하여 반도체 기판(110)의 전면을 통해 입사되는 광의 반사율이 낮추는 것에 의하여 베이스 영역(10)과 제1 도전형 영역(20)의 계면에 형성된 pn 접합까지 도달되는 광량을 증가시킬 수 있다. 이에 따라 태양 전지(100)의 단락 전류(Isc)를 증가시킬 수 있다. 이와 같이 패시베이션막(24, 34) 및 반사 방지막(36)에 의해 태양 전지(100)의 개방 전압과 단락 전류를 증가시켜 태양 전지(100)의 효율을 향상할 수 있다.

<35> 일례로, 패시베이션막(24, 34) 또는 반사 방지막(36)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, 알루미늄 산화막, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 일 예로, 패시베이션막(24, 34)은, 도전형 영역(20, 30)이 n형을 가지는 경우에는 고정 양전하를 가지는 실리콘 산화막, 실리콘 질화막 등을 포함할 수 있으며, p형을 가지는 경우에는 고정 음전하를 가지는 알루미늄 산화막 등을 포함할 수 있다. 일 예로, 반사 방지막(36)은 실리콘 질화물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 패시베이션막(24, 34), 그리고 반사 방지막(36)이 다양한 물질을 포함할 수 있다.

<36> 제1 전극(42)은 제1 도전형 영역(20) 위에 위치(일 예로, 접촉)하여 제1 도전형 영역(20)에 전기적으로 연결된다. 제1 전극(42)은 제1 패시베이션막(24)에 형성된 개구부(102)를 통하여(즉, 제1 패시베이션막(24)을 관통하여) 제1 도전형 영

Petitioner Runergy USA Inc., Ex. 1005, p. 164

역(20)에 전기적으로 연결될 수 있다. 이와 유사하게 제2 전극(44)은 제2 도전형 영역(30) 위에 위치(일 예로, 접촉)하여 제2 도전형 영역(30)에 전기적으로 연결된다. 제2 전극(44)은 제2 패시베이션막(34) 및 반사 방지막(36)에 형성된 개구부(104)를 통하여(즉, 제2 패시베이션막(34) 및 반사 방지막(36)을 관통하여) 제1 도전형 영역(20)에 전기적으로 연결될 수 있다. 이러한 제1 및 제2 전극(42, 44)은 다양한 물질(좀더 구체적으로, 금속)을 포함하고 다양한 형상을 가질 수 있다. 제1 및 제2 전극(42, 44)의 형상에 대해서는 추후에 도 2를 참조하여 상세하게 설명한다.

<37> 반도체 기판(110)의 후면 위에 위치한 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리(또는 반도체 기판(110)의 측면)과 일정한 제1 거리(D1)만큼 이격되어 위치한다. 이에 따라 터널링층(22) 및 제1 도전형 영역(20) 각각의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 여기서 제1 거리(D1)는 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리 사이의 거리 중 가장 짧은 거리를 의미할 수 있다.

<38> 즉, 반도체 기판(110)의 후면의 가장자리에는 터널링층(22) 및 제1 도전형 영역(20)(이와 함께, 제1 도전형 영역(20)에 연결되는 제1 전극(42))이 형성되지 않는 아이솔레이션부(I)가 위치할 수 있다. 아잇올레이션부(I)는 반도체 기판(110)의 후면의 가장자리로부터 제1 도전형 영역(20)을 이격시켜 에지 아이솔레이션(edge isolation)의 역할을 할 수 있다. 즉, 제2 도전형 영역(30)의 형성 시에 제2 도전형 도펀트가 반도체 기판(110)의 측면 또는 후면의 가장자리까지 확산되어 반

Petitioner Runergy USA Inc., Ex. 1005, p. 165

도체 기판(110)의 측면 또는 후면의 가장자리에서 제1 도전형 영역(20)과 제2 도전형 영역(30)이 원하지 않게 단락될 수 있는데, 본 실시예에서는 반도체 기판(110)의 후면 가장자리에서 제1 도전형 영역(20)을 제거하여 이러한 문제를 원천적으로 방지할 수 있다. 그리고 반도체 기판(110)의 전면에 위치하는 제2 도전형 영역(30)은 반도체 기판(110)의 전면에서 전체적으로 형성할 수 있어, 제2 도전형 영역(30)의 면적을 최대화할 수 있다.

<39> 아이솔레이션부(I)는, 도 2에 도시한 바와 같이, 반도체 기판(110)의 후면 가장자리 전체를 따라 형성되어 폐쇄된 형상(closed shape)를 가질 수 있다. 그리고 아이솔레이션부(I)와 터널링층(22) 및 제1 도전형 영역(20)이 형성된 부분 사이에는 일정한 단차가 존재하게 된다.

<40> 일 예로, 제1 거리(D1)(즉, 아이솔레이션부(I)의 폭)이 1㎜ 이하일 수 있다. 제1 거리(D1)가 1㎜를 초과하면, 제1 도전형 영역(20)의 면적이 작아져서 효율이 저하될 수 있다. 일 예로, 제1 거리(D1)가 1㎚ 내지 1㎜ 일 수 있다. 제1 거리(D1)가 1㎚ 미만이면, 아이솔레이션부(I)에 의한 효과가 충분하지 않을 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 반도체 기판(110)의 크기 등에 따라 상술한 제1 거리(D1)가 다른 값을 가질 수도 있다.

<41> 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지는 형상을 가질 수 있다. 이때, 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지도록 측면이 반도체 기판(110)과 수직이 되지 않도록(일 예로, 대략적으로 경사지게) 형성될 수 있다. 일 예로, 제1 도전형 영역(20)은 반

Petitioner Runergy USA Inc., Ex. 1005, p. 166

도체 기판(110)으로부터 멀어질수록 면적이 작아지면서 측면이 라운드지게 형성될 수 있다. 터널링층(22)의 측면은 제1 도전형 영역(20)의 측면과 연장되도록 위치할 수 있으며, 제1 도전형 영역(20)과 유사하게 라운드진 형상을 가질 수 있다. 이는 제1 도전형 영역(20)과 터널링층(22)을 제거하여 아이솔레이션부(I)를 형성하는 공정에서 습식 공정 등을 사용하였기 때문인데, 이에 대해서는 후술한다. 그러나 제1 도전형 영역(20) 및 터널링층(22)의 측면 형상 등은 이 외에도 다양한 형상을 가질 수도 있다.

<42> 그리고 반도체 기판(110)의 후면 쪽에 위치한 제1 절연막(즉, 제1 패시베이션막(24))은 터널링층(22) 및 제1 도전형 영역(20)이 있는 부분에서는 제1 도전형 영역(20) 위에 위치하고, 아이솔레이션부(I)에서는 반도체 기판(110)의 후면 위에 위치(좀더 구체적으로는, 접촉)한다. 즉, 제1 패시베이션막(24)은 반도체 기판(110)의 가장자리 부근에서 반도체 기판(110)의 후면에 접촉하여 형성되고, 이로부터 연장되어 터널링층(22) 및 제1 도전형 영역(20)의 측면들을 덮으면서 이들과 접촉하여 형성되고, 이로부터 연장되어 제1 도전형 영역(20)의 상부면을 덮으면서 이들과 접촉하여 형성된다.

<43> 본 실시예에서는 태양 전지(100)의 제조 공정 중에 반도체 기판(110)의 후면의 가장자리에 위치한 터널링층(22) 및 제1 도전형 영역(22)을 제거하여 아이솔레이션부(I)를 형성한다. 이에 따라 제1 패시베이션막(24)을 터널링층(22) 및 제2 도전형 영역(22)이 제거되어 노출된 반도체 기판(110)의 후면의 가장자리 부분(즉, 아이솔레이션부(I)에 대응하는 부분)을 덮도록 형성한다. 이에 의하여 아이솔레이

Petitioner Runergy USA Inc., Ex. 1005, p. 167

션부(I)에 의하여 패시베이션 특성이 저하되는 것을 방지한다. 이때, 별도의 패시베이션막을 사용하지 않고 제1 패시베이션막(24)을 사용하여 태양 전지(100)의 구조 및 제조 공정이 복잡해지는 것을 방지할 수 있다.

<44> 그리고 제1 절연막인 제1 패시베이션막(24)은 반도체 기판(110)의 측면 위까지 연장되는 측면부(24a)를 포함할 수 있다. 제1 패시베이션막(24)의 측면부(24a)를 구비하면 제1 패시베이션막(24)이 반도체 기판(110)의 후면 쪽 위를 전체적으로 안정적으로 덮으면서 형성될 수 있다.

<45> 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)도 반도체 기판(110)의 측면 위까지 연장되는 측면부(34a, 36a)를 포함할 수 있다. 이때, 반도체 기판(110)의 측면에서 제2 절연막이 반도체 기판(110)에 더 가까이 위치하고, 제1 절연막이 제2 절연막 위에 위치할 수 있다. 좀더 구체적으로는, 제2 패시베이션막(34)의 측면부(34a)가 반도체 기판(110)의 측면에 접촉하고, 반사 방지막(36)의 측면부(36a)가 제2 패시베이션막(34)의 측면부(34a)에 접촉하고, 제1 패시베이션막(24)의 측면부(24a)가 반사 방지막(36)의 측면부(36a)에 접촉할 수 있다. 이에 의하면, 제1 패시베이션막(24)을 형성하는 공정에서 제2 도전형 영역(30)을 안정적으로 보호할 수 있도록 제2 절연막을 먼저 형성한 다음 제1 절연막을 형성하였기 때문인데, 이에 대해서는 추후에 좀더 상세하게 설명한다.

<46> 그러나 본 발명이 이에 한정되는 것은 아니며, 반도체 기판(110)의 측면에 측면부(24a, 34a, 36a) 중 적어도 하나가 구비되지 않거나 이들의 적층 순서가 달라질 수도 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 168

<47> 도 2를 참조하여 제1 전극(42)의 평면 형상을 상세하게 설명한 다음, 제2 전극(44)의 평면 형상을 상세하게 설명한다.

<48> 도 2를 참조하면, 제1 전극(42)은 일정한 피치를 가지면서 서로 이격되는 복수의 핑거 전극(42a)을 포함할 수 있다. 도면에서는 핑거 전극(42a)이 서로 평행하며 반도체 기판(110)의 가장자리에 평행한 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 그리고 제1 전극(42)은 핑거 전극들(42a)과 교차하는 방향으로 형성되어 핑거 전극(42a)을 연결하는 버스바 전극(42b)을 포함할 수 있다. 이러한 버스바 전극(42b)은 하나만 구비될 수도 있고, 도 2에 도시된 바와 같이, 핑거 전극(42a)의 피치보다 더 큰 피치를 가지면서 복수 개로 구비될 수도 있다. 이때, 핑거 전극(42a)의 폭보다 버스바 전극(42b)의 폭이 클 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 따라서, 버스바 전극(42b)의 폭이 핑거 전극(42a)의 폭과 동일하거나 그보다 작은 폭을 가질 수 있다.

<49> 단면에서 볼 때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)은 모두 제1 절연막인 패시베이션막(24)을 관통하여 형성될 수도 있다. 즉, 개구부(102)가 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 모두 대응하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 제1 전극(42)의 핑거 전극(42a)이 제1 패시베이션막(24)을 관통하여 형성되고, 버스바 전극(42b)이 제1 패시베이션막(24) 위에 형성될 수 있다. 이 경우에는 개구부(102)가 핑거 전극(42a)에 대응하는 형상으로 형성되고, 버스바 전극(42b)만 위치한 부분에는 형성되지 않을 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 169

<50> 앞서 설명한 바와 같이 본 실시예에서는 반도체 기판(110)의 가장자리를 따라 터널링층(22) 및 제1 도전형 영역(20)이 형성되지 않는 형성되는 아이솔레이션부(I)가 형성된다. 이에 따라 제1 도전형 영역(20) 위에 형성되는 제1 전극(42)이 아이솔레이션부(I)에는 형성되지 않는다. 이에 따라 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(44b)의 단부는 반도체 기판(110)의 가장자리와 적어도 제1 거리(D1)만큼 이격되어 위치하게 된다.

<51> 제2 전극(44)은 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 각기 대응하는 핑거 전극 및 버스바 전극을 포함할 수 있다. 제2 전극(44)의 핑거 전극 및 버스바 전극에 대해서는 아이솔레이션부(I)에 대한 내용을 제외하고는 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 대한 내용이 그대로 적용될 수 있다. 그리고 제1 전극(42)에서 제1 절연막인 제1 패시베이션막(24)에 관련된 내용은 제2 전극(44)에서 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)에 그대로 적용될 수 있다. 이때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)의 폭, 피치 등은 제2 전극(44)의 핑거 전극 및 버스바 전극의 폭, 피치 등과 서로 동일할 수도 있고 서로 다를 수 있다.

<52> 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)과 제2 전극(44)의 평면 형상이 서로 다른 것도 가능하며, 그 외의 다양한 변형이 가능하다.

<53> 상술한 바와 같이 본 실시예에서는 태양 전지(100)의 제1 및 제2 전극(42, 44)이 일정한 패턴을 가져 태양 전지(100)가 반도체 기판(110)의 전면 및 후면으로 광이 입사될 수 있는 양면 수광형(bi-facial) 구조를 가진다. 이에 의하여 태양 전

Petitioner Runergy USA Inc., Ex. 1005, p. 170

지(100)에서 사용되는 광량을 증가시켜 태양 전지(100)의 효율 향상에 기여할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)이 반도체 기판(110)의 후면 쪽에서 전체적으로 형성되는 구조를 가지는 것도 가능하다. 그 외의 다양한 변형이 가능하다.

<54> 이때, 반도체 기판(110)의 후면에 아이솔레이션부(I)를 형성하여 제1 도전형 영역(20)과 제2 도전형 영역(30)이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층(22) 및 제1 도전형 영역(20)이 제거되어 형성된 아이솔레이션부(I)가 위치하는 반도체 기판(110)의 표면은 제1 도전형 영역(20)을 덮는 제1 절연막(제1 패시베이션막(24))에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조에 의하여 아이솔레이션부(I)를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조에 의하여 태양 전지(100)의 효율 및 신뢰성을 향상하고 불량률을 낮출 수 있다.

<55> 이러한 태양 전지(100)의 제조 방법을 도 4a 내지 도 4j를 참조하여 상세하게 설명한다. 이미 설명한 내용에 대해서는 상세한 설명을 생략하고 설명하지 않은 내용에 대해서만 상세하게 설명한다.

<56> 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

<57> 도 4a에 도시한 바와 같이, 반도체 기판(110)의 전면 및 후면에 텍스쳐링 공정을 수행하여 요철을 형성한다. 반도체 기판(110)의 텍스처링으로는 습식 또는 건식 텍스처링을 사용할 수 있다. 습식 텍스처링은 텍스처링 용액에 반도체 기판

Petitioner Runergy USA Inc., Ex. 1005, p. 171

(110)을 침지하는 것에 의해 수행될 수 있으며, 공정 시간이 짧은 장점이 있다. 건식 텍스처링은 다이아몬드 그릴 또는 레이저 등을 이용하여 반도체 기판(110)의 표면을 깍는 것으로, 요철을 균일하게 형성할 수 있는 반면 공정 시간이 길고 반도체 기판(110)에 손상이 발생할 수 있다. 그 외에 반응성 이온 식각(RIE) 등에 의하여 반도체 기판(110)을 텍스처링 할 수도 있다. 이와 같이 본 발명에서는 다양한 방법으로 반도체 기판(110)을 텍스처링 할 수 있다.

<58> 간략한 도시를 위하여 도면에서는 반도체 기판(110)의 측면에는 텍스처링에 의한 요철이 구비되지 않은 것으로 도시하였다. 또한, 반도체 기판(110)의 두께가 매우 작은 편이므로 텍스처링에 의한 요철이 명확하게 인식되기 어려울 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 반도체 기판(110)의 측면에도 텍스처링에 의한 요철이 구비될 수 있다. 그리고 반도체 기판(110)의 텍스처링은 이후의 공정 중에 수행할 수도 있다.

<59> 도 4b에 도시한 바와 같이, 반도체 기판(110)의 양면 각각에 전체적으로 터널링층(22)을 형성한다. 이때, 터널링층(22)은 반도체 기판(110)의 측면에도 전체적으로 형성될 수 있다.

<60> 여기서, 터널링층(22)은, 일례로, 열적 산화, 화학적 산화, 증착(일 예로, 상압 화학 기상 증착법(APCVD), 저압 화학 기상 증착법(LPCVD)) 등에 의하여 형성될 수 있다. 추가적으로 얇은 두께로 터널링층(22)을 형성한 후에 로(furnace) 내에서의 후속 열처리 등에 의하여 터널링층(22)의 두께 또는 밀도를 증가시킬 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 터널링

Petitioner Runergy USA Inc., Ex. 1005, p. 172

층(22)이 형성될 수 있다. 여기서, 터널링층(22)이 실리콘 산화물층으로 이루어질 수 있다.

<61> 일 예로, 본 실시예에서 터널링층(22)은 상온보다 높은 온도 및 상압보다 작은 압력에서 원료 기체를 포함하는 기체 분위기에서 형성될 수 있다. 본 실시예에서는 원료 기체가 산소 기체를 포함하여 터널링층(22)이 산화물층으로 구성될 수 있다. 좀더 구체적으로는, 높은 온도에서 터널링층(22)이 산소와 반도체 기판(110)의 반도체 물질(예를 들어, 실리콘)이 반응하여 형성되는 열적 산화물(thermal oxide material)(예를 들어, 열적 실리콘 산화물)층으로 구성될 수 있다. .

<62> 이때, 본 실시예에서는 원료 기체가 터널링층(22)을 구성하는 모든 원료 물질을 포함하지 않으며, 터널링층(22)을 구성하는 산화물 중에 산소 기체만을 포함하며 다른 원료 물질을 포함하지 않는다. 예를 들어, 터널링층(22)이 실리콘 산화물을 포함할 때, 원료 기체로 산소 기체만을 구비할 뿐 다른 원료 물질인 실리콘을 포함하는 기체를 포함하지 않는다. 이에 따라 산소 기체의 산소가 반도체 기판(110)의 내부로 확산하여 반도체 물질과 반응하는 열적 산화 공정에 의하여 터널링층(22)이 형성된다. 이와 달리, 증착 공정 등에서는 산소를 포함하는 산소 기체와 함께 실리콘을 포함하는 실란(SiH_4) 기체를 원료 기체로 함께 공급한다. 그러면, 열분해에 의하여 산소 기체에서 분리된 산소와 실란 기체에서 분리된 실리콘이 화학적으로 반응하여 실리콘 산화물을 형성하게 된다. 터널링층(22)을 형성할 때 기체 분위기는 원료 기체인 산소 기체 외에도 다양한 기체를 포함할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 173

<63> 그리고 터널링층(22)을 형성할 때의 압력을 상압보다 낮게 하여, 상대적으로 높은 온도(일 예로, 600℃ 이상)에 의한 열적 산화 공정으로 터널링층(22)을 형성하더라도 낮은 압력에 의하여 터널링층(22)의 성장 속도를 낮게 유지할 수 있다. 이에 의하여 터널링층(22)의 두께를 크게 줄일 수 있다. 일 예로, 터널링층(22) 형성 시 온도를 600℃ 내지 800℃로 하고 압력을 600 Torr 이하로 하여 터널링층(22)의 두께를 효과적으로 제어할 수 있다.

<64> 이와 같이 본 실시예에서는 터널링층(22)을 형성할 때 온도와 압력을 함께 제어하여야 하므로 압력 조절이 불가능한 종래의 로(furnace)에서 본 실시예의 터널링층(22)을 형성할 수 없고, 온도 및 압력 조절이 모두 가능한 장비 내에서 터널링층(22)을 형성하여야 한다. 이에 따라 본 실시예에서는 터널링층(22)은 증착 장비 등의 내부에서 열적 산화 공정에 의하여 형성될 수 있다. 이때, 낮은 압력을 구현하여야 하므로 터널링층(22)이 저압 화학 기상 증착 장비(low pressure chemical vapor deposition apparatus) 내에서 형성될 수 있다.

<65> 터널링층(22) 위에 형성되는 반도체층(도 4c의 참조부호 30)이 증착 장비에 의하여 형성되므로 터널링층(22)을 증착 장비에서 형성하게 되면, 터널링층(22)과 진성 반도체층(200)을 동일한 증착 장비(좀더 구체적으로는, 저압 화학 기상 증착 장비) 내에서 연속적으로 수행되는 인-시츄(in-situ) 공정에 의하여 형성될 수 있다. 이와 같이 터널링층(22)과 진성 반도체층(200)을 인-시츄 공정에 의하여 형성하게 되면, 제조 공정을 크게 단순화할 수 있어 제조 비용, 제조 시간 등을 크게 절감할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 174

<66> 증착 장비 내의 온도는 긴 시간 동안 열을 가하거나 열을 식히는 것에 의하여 조절되며 온도를 안정화하는 데 시간이 많이 소요되는 반면, 기체 분위기 및 압력은 증착 장비 내로 공급되는 기체의 종류, 양 등에 의하여 조절될 수 있다. 따라서, 기체 분위기 및 압력은 온도보다 쉽게 제어될 수 있다.

<67> 이를 고려하여 본 실시예에서는 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이가 200℃ 이내(즉, 0℃ 내지 200℃)가 되도록 할 수 있다. 좀더 구체적으로는, 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이를 100℃ 이내(즉, 00℃ 내지 100℃)가 되도록 할 수 있다. 이는 터널링층(22)을 저압에서 형성하므로 터널링층(22)의 형성 온도를 상대적으로 높일 수 있어서 진성 반도체층(200)의 증착 공정과의 온도 차이를 줄일 수 있기 때문이다. 이와 같이 상대적으로 조절이 힘든 온도를 큰 변화 없이 유지할 수 있어 터널링층(22)과 진성 반도체층(200)을 연속적으로 형성하는 인-시츄 공정의 효율을 좀 더 향상할 수 있다. 반면, 진성 반도체층(200)의 증착 공정의 기체 분위기는 터널링층(22)의 형성 시의 기체 분위기와 다르고, 진성 반도체층(200)의 증착 공정의 압력은 터널링층(22)의 형성 시의 압력과 같거나 이와 다를 수 있다. 이에 대해서는 추후에 진성 반도체층(200)의 증착 공정을 설명하면서 좀더 상세하게 설명한다.

<68> 도 4c에 도시한 바와 같이, 반도체 기판(110)의 양측 각각에서 터널링층(22) 위에 전체적으로 진성 반도체층(200)을 형성한다. 이때, 진성 반도체층(200)은 반도체 기판(110)의 측면 위에 위치한 터널링층(22) 위에도 전체적으로 형성될 수 있다. 이와 같이 진성 반도체층(200)이 양면에 위치하면 제1 도전형 영역(20)을 도핑

Petitioner Runergy USA Inc., Ex. 1005, p. 175

하는 공정에서 반도체 기판(110)의 전면의 도핑, 손상 등을 효과적으로 방지할 수 있다.

<69> 본 실시예에서 진성 반도체층(200)은 화학 기상 증착에 의하여 형성될 수 있고, 좀더 구체적으로는 저압 화학 기상 증착에 의하여 형성될 수 있다. 이에 따라 앞서 설명한 바와 같이 진성 반도체층(200)이 터널링층(22)과 인-시츄 공정에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22) 및 진성 반도체층(200)에 인-시츄 공정이 적용되지 않을 수도 있다.

<70> 진성 반도체층(200)의 증착 공정에 사용되는 기체는 진성 반도체층(200)을 구성하는 반도체 물질을 포함하는 기체(예를 들어, 실란 기체)를 포함할 수 있다. 본 실시예에서는 진성을 가지도록 진성 반도체층(200)을 증착하므로 기체 분위기가 반도체 물질을 포함하는 기체만으로 구성될 수 있다. 이에 의하여 공급 기체를 단순화할 수 있고, 형성되는 진성 반도체층(200)의 순도를 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 증착 공정을 촉진하거나, 진성 반도체층(200)의 특성을 향상하기 위한 별도의 기체 등을 더 사용될 수 있다. 그리고 진성 반도체층(200)의 증착 공정에서는 반도체 물질을 포함하는 기체 외에도 산화질소(N_2O) 기체 및/또는 산소(O_2) 기체를 함께 주입하여 결정립 크기, 결정성 등을 조절할 수 있다.

<71> 진성 반도체층(200)의 증착 온도는 터널링층(22)의 형성 시의 온도와 동일하거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 온도를 터널링층(22)

Petitioner Runergy USA Inc., Ex. 1005, p. 176

형성 시의 온도보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다. 또는, 진성 반도체층(200)의 증착 온도는 500℃ 내지 700℃일 수 있다. 이는 반도체 기판(110)과 다른 결정 구조를 가지는 진성 반도체층(200)을 증착하기에 적합한 온도로 한정된 것이다. 앞서 설명한 바와 같이, 터널링층(22)의 온도를 진성 반도체층(200)의 증착 온도와 동일 또는 유사하게 하였으므로, 온도를 조절하기 위한 시간, 온도를 안정화하기 위한 시간 등이 필요하지 않아 공정을 단순화할 수 있다.

<72> 그리고 진성 반도체층(200)의 증착 압력은 상압보다 낮은 압력, 일 예로, 600 Torr 이하(일 예로, 1 Torr 내지 600 Torr)일 수 있다. 증착 압력을 1 Torr 미만으로 유지하는 것은 공정 상 한계가 있을 수 있고 진성 반도체층(200)의 공정 시간이 크게 길어져서 실제 양산에 적용되기 어려울 수 있다. 증착 압력이 600 Torr를 초과하면, 진성 반도체층(200)의 균일도가 저하될 수 있다. 또는, 진성 반도체층(200)의 증착 압력은 터널링층(22)의 형성 시 압력과 같거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 압력을 터널링층(22) 형성 시의 압력보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다.

<73> 이를 좀더 상세하게 설명한다. 반도체 물질(예를 들어, 실리콘)을 포함하는 기체가 열분해되어 반도체 물질이 터널링층(22) 위에 증착되는 것에 의하여 진성 반도체층(200)이 형성된다. 그런데, 증착 속도를 증가시키기 위하여 온도 및/또는 압력을 증가시키게 되면 진성 반도체층(200) 내부에서 결정성의 산포가 커지게 된

Petitioner Runergy USA Inc., Ex. 1005, p. 177

다. 진성 반도체층(200)의 결정성은 캐리어의 이동 속도 등에 관여하게 되므로, 진성 반도체층(200)의 결정성의 산포가 커지면 진성 반도체층(200)의 특성이 불균해질 수 있다. 반면, 터널링층(22)은 아주 얇은 두께로 형성되며 결정성이 터널링층(22)의 특성에 큰 영향을 미치지 않는다. 이를 고려하여, 진성 반도체층(200)이 터널링층(22)보다 두꺼운 두께로 형성되어야 함에도 불구하고 진성 반도체층(200)의 증착 온도 및/또는 압력을 터널링층(22)의 형성 시보다 낮게 하여 진성 반도체층(200)의 특성을 향상하는 것이다.

<74> 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 기체 분위기, 온도, 압력 등은 다양하게 변화될 수 있다.

<75> 이와 같이 진성 반도체층(200)은 터널링층(22)의 형성 후에 공급되는 기체의 종류를 변경하고 공급되는 기체의 양을 조절하는 것에 의하여 형성될 수 있다. 예를 들어, 터널링층(22)의 형성이 완료된 후에 터널링층(22)의 형성 시에 사용되었던 기체(예를 들어, 산소 기체, 질소 기체, 염소 기체 등)을 펌핑(pumping) 및 퍼지(purge)에 의하여 제거한 후에, 진성 반도체층(200)을 형성하기 위한 기체(예를 들어, 반도체 물질을 포함하는 기체 등)를 주입하는 것에 의하여 진성 반도체층(200)을 형성할 수 있다.)

<76> 이에 따라 터널링층(22) 및 진성 반도체층(200)의 형성 공정을 단순화할 수 있다. 또한, 종래와 같이 터널링층을 형성한 다음 터널링층이 형성된 반도체 기판을 장비 외부로 꺼내게 되면, 터널링층이 불순물에 오염되거나 추가적인 산화에 의하여 터널링층의 두께가 두꺼워지는 문제가 있었다. 본 실시예에서는 터널링층(2

Petitioner Runergy USA Inc., Ex. 1005, p. 178

2)을 형성한 장비 내에서 진성 반도체층(200)을 연속하여 형성하므로 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되지 않는다. 따라서 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되어 발생할 수 있는 문제를 방지할 수 있다.

<77> 참고로, 플라스마 화학 기상 증착(PECVD)을 사용하는 경우에는 진성 반도체층(200)을 형성한 후에 다결정 구조를 가지게 하기 위하여 별도의 결정화 어닐링 공정을 수행하여야 한다. 이에 따라 구조가 복잡해지고 성능 또한 낮을 수 있다. 또한, 플라스마 화학 기상 증착은 단면 공정으로 반도체 기판(110)의 양측 각각에 전체적으로 진성 반도체층(200)을 형성하기 어려울 수 있다.

<78> 이어서, 도 4d에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200)을 제1 도전형 도펀트로 도핑하여 제1 도전형 영역(20a)을 형성한다. 이때, 본 실시예에서는 열 확산법에 의하여 제1 도전형 도펀트를 도핑할 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<79> 일 예로, 도 4d에 도시한 바와 같이, 제1 도전형 도펀트를 포함하는 기체 분위기에서 열처리하는 것에 의하여 전체적으로 제1 도전형 영역(20a)을 형성할 수 있다. 제1 도전형 영역(20a)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 또는, 제1 도전형 영역(20a)이 p형을 가질 경우에는 BBr_3를

Petitioner Runergy USA Inc., Ex. 1005, p. 179

포함하는 기체 분위기에서 열처리할 수 있다.

<80> 이와 같이 제1 도전형 도펀트를 포함하는 기체를 사용하여 제1 도전형 영역(20a)을 형성하는 공정을 단순화할 수 있다. 다만, 이러한 공정에 의하여 반도체 기판(110)의 후면 쪽과 함께 반도체 기판(110)의 전면 및 측면 쪽에서도 도핑이 이루어진다. 본 실시예에서는 반도체 기판(110)의 전면 및 측면 쪽에 후속 공정에서 제거될 진성 반도체층(200)의 부분이 존재하므로, 반도체 기판(110)의 전면 및 측면이 불필요하게 제1 도전형 도펀트로 도핑되는 것을 원천적으로 방지할 수 있다.

<81> 다른 예로, 도 5에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200) 위에 제1 도전형 도펀트를 포함하는 제1 도핑층(210)을 형성하고, 열처리에 의하여 제1 도핑층(210) 내에 포함된 제1 도전형 도펀트를 확산시켜 제1 도전형 영역(20a)을 형성할 수 있다. 일 예로, 제1 도핑층(210)은 인 실리케이트 유리(phosphorus silicate glass, PSG), 보론 실리케이트 유리(boron silicate glass, BSG) 등을 포함할 수 있다. 이러한 제1 도핑층(210)은 증착 등에 의하여 쉽게 형성할 수 있다.

<82> 일 예로, 제1 도핑층(210)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면 및/또는 측면 쪽에 형성되고 전면에는 형성되지 않는다. 이에 따라 제1 도전형 영역(20a)이 반도체 기판(110)의 후면 및/또는 측면 쪽에만 형성되고 전면에는 진성 반도체층(200)이 그대로 잔존할 수 있다.

<83> 이어서, 도 4e에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 위치한 제1 도전형 영역(20a) 위에 아이솔레이션부(도 4f의 참조부호 I, 이하 동일) 이외

Petitioner Runergy USA Inc., Ex. 1005, p. 180

에서 잔존하여야 할 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)에 대응하도록 마스크층(202)을 형성한다. 좀더 구체적으로, 마스크층(202)의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 이에 의하여 원하지 않는 제1 도전형 영역(20a)의 부분을 제거하여 아이솔레이션부(I) 이외에서 잔존하는 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)이 반도체 기판(110)보다 작은 면적을 가지도록 할 수 있다.

<84> 일 예로, 마스크층(202)은 반도체 기판(110)의 각 측면(또는 가장자리)로부터 일정한 제2 거리(D2)만큼 이격될 수 있다. 마스크층(202)이 반도체 기판(110)과 동일하거나 이보다 큰 면적을 가지면 반도체 기판(110)의 후면에서 반도체 기판(110)의 측면에 인접하여 위치한 제1 도전형 영역(20a)의 부분을 효과적으로 제거하기 어려울 수 있다. 제2 거리(D2)는 제1 도전형 영역(20)이 반도체 기판(110)의 후면 가장자리로부터 이격된 제1 거리(D1)가 원하는 값을 가질 수 있도록 제어될 수 있다. 일 예로, 제1 거리(D1)가 1㎜ 이하(일 예로, 1㎚ 내지 1㎜)의 값을 가질 수 있도록 제2 거리(D2)가 1㎜ 이하(일 예로, 1㎚ 내지 1㎜)의 값을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 거리(D2)가 이와 다른 값을 가질 수도 있다.

<85> 마스크층(202)은 반도체 물질을 포함하는 제1 도전형 영역(20a)을 제거하는 공정에서 제거되지 않는 물질을 포함할 수 있다. 예를 들어, 제1 도전형 영역(20a)을 제거하는 공정에서 사용되는 식각 용액에 식각되지 않는 마스크층(202)은 산화물, 질화물, 수지 등을 포함할 수 있다. 일 예로, 마스크층(202)이 실리콘 질화

Petitioner Runergy USA Inc., Ex. 1005, p. 181

물층으로 구성되어 단순한 공정으로 마스크층(202)을 형성할 수 있다.

<86> 이어서, 도 4f에 도시한 바와 같이, 마스크층(202)에 의하여 덮여지지 않은 제1 도전형 영역(20) 및 터널링층(22)의 부분을 제거하여 아이솔레이션부(I)를 형성한다. 일 예로, 제1 도전형 영역(20) 및 터널링층(22)은 알칼리 용액(일 예로, KOH 용액)을 이용한 습식 식각에 의하여 제거될 수 있다. 습식 식각에 의하면 간단하고 쉬운 공정에 의하여 반도체 기판(110)의 전면, 측면 및 후면의 아이솔레이션부(I)에 위치한 제1 도전형 영역(20) 및 터널링층(22)을 제거할 수 있다. 알칼리 용액에 의하여 제1 도전형 영역(20)을 선택적으로 쉽게 제거할 수 있으며, 비록 산화물이지만 매우 작은 두께를 가지는 터널링층(22)도 쉽게 제1 도전형 영역(20)이 제거될 때 함께 제거될 수 있다. 이에 의하여 반도체 기판(110)보다 작은 면적을 가지며 반도체 기판(110)의 후면 가장자리로부터 제1 거리(D1)만큼 떨어진 제1 도전형 영역(20) 및 터널링층(22)을 형성할 수 있다.

<87> 습식 식각에 의하여 제1 도전형 영역(20) 및 터널링층(22)이 반도체 기판(110)으로부터 멀어지면서 면적이 작아지는 형상을 가질 수 있고, 측면이 라운드지게 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 도전형 영역(20) 및 터널링층(22)의 일부가 반응성 이온 식각, 건식 식각 등의 다양한 방법에 의하여 제거될 수 있고, 제1 도전형 영역(20) 및 터널링층(22)의 형상이 다른 형상을 가질 수 있다.

<88> 아이솔레이션부(I)를 형성하도록 제1 도전형 영역(20) 및 터널링층(22)의 일부를 제거한 후에 이후에 마스크층(202)을 제거할 수 있다. 마스크층(202)은 물질

Petitioner Runergy USA Inc., Ex. 1005, p. 182

에 따라 다양한 방법에 의하여 제거될 수 있다. 일 예로, 마스크층(202)이 산화물, 질화물 등을 포함할 때에는 희석된 불산을 사용한 공정에 의하여 제거될 수 있다. 마스크층(202)은 별도의 공정에 의하여 제거될 수도 있고, 희석된 불산을 포함하는 용액을 포함하는 세정 공정에 의하여 자연스럽게 제거될 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 마스크층(202)의 제거 방법으로 알려진 다양한 방법이 사용될 수 있다.

<89> 이어서, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 도전형 영역(30)을 형성한다. 제2 도전형 영역(30)은 제2 도전형 도펀트를 반도체 기판(110)에 도핑하여 반도체 기판(110)의 일부를 구성하는 도핑 영역으로 구성될 수 있다.

<90> 제2 도전형 영역(30)은 알려진 다양한 방법에 의하여 형성될 수 있다. 예를 들어, 제2 도전형 영역(30)이 열 확산법에 의하여 형성될 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<91> 일 예로, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 측면 및 후면에 캡핑막(204)을 형성하고 제2 도전형 도펀트를 포함하는 가스 분위기에서 열처리하는 것에 의하여 반도체 기판(110)의 전면에 제2 도전형 영역(30)을 형성할 수 있다. 제2 도전형 영역(30)이 p형을 가질 경우에는 BBr_3를 포함하는 기체 분위기에서 열처

Petitioner Runergy USA Inc., Ex. 1005, p. 183

리할 수 있다. 또는, 제2 도전형 영역(30)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 제2 도전형 영역(30)이 형성된 후에는 캡핑막(204)을 제거할 수 있다. 캡핑막(204)은 제2 도전형 도펀트의 도핑을 막을 수 있는 다양한 막이 사용될 수 있으며, 물질에 따른 제거 방법에 의하여 제거될 수 있다.

<92> 다른 예로, 도 6에 도시한 바와 같이, 반도체 기판(110)의 전면 위에 제2 도전형 도펀트를 포함하는 제2 도핑층(310)을 형성하고, 열처리에 의하여 제2 도핑층(310) 내에 포함된 제2 도전형 도펀트를 반도체 기판(110)의 내부로 확산시켜 제2 도전형 영역(30)을 형성할 수 있다. 일 예로, 제2 도핑층(310)은 보론 실리케이트 유리(boron silicate glass, BSG), 인 실리케이트 유리(phosphorus silicate glass, PSG) 등을 포함할 수 있다. 이러한 제2 도핑층(310)은 증착 등에 의하여 쉽게 형성할 수 있다. 일 예로, 제2 도핑층(310)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면에는 형성되지 않는다.

<93> 이어서, 도 4h에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 전면 쪽에서 제2 도전형 영역(30) 위에 제2 패시베이션막(34) 및 반사 방지막(36)을 형성한다. 이때, 반도체 기판(110)의 측면에도 절연층(즉, 제2 패시베이션막(34) 및 반사 방지막(36))이 함께 형성될 수 있다. 예를 들어, 반도체 기판(110)의 전면 쪽에 위치한 절연막 중 적어도 일부(일 예로, 제2 패시베이션막(34))이 제2 도전형 영역(30)에 접촉할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 184

<94> 제2 패시베이션막(34) 또는 반사 방지막(36)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제2 패시베이션막(34) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 전면 및/또는 측면에만 제2 패시베이션막(34) 또는 반사 방지막(36)을 형성할 수 있다. 따라서 제2 패시베이션막(34) 또는 반사 방지막(36)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<95> 이어서, 도 4i에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 제1 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 후면 쪽에서 제1 도전형 영역(20) 및 반도체 기판(110)의 후면 위에 제1 패시베이션막(24)을 형성한다. 이때, 반도체 기판(110)의 측면 쪽에도 절연층(즉, 제1 패시베이션막(24))이 함께 형성될 수 있다.

<96> 좀더 구체적으로, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 반도체 기판(110)의 후면 위, 그리고 반도체 기판(110)의 측면 위에 연속적으로 연장되어 형성될 수 있다. 이때, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 그리고 반도체 기판(110)의 후면 위에 접촉할 수 있다. 이에 의하여 아이솔레이션부(I)에 의한 에지 아이솔레이션이 이루어진 후에 별도의 공정 없이 제1 패시베이션막(24)을 형성하면서 아이솔레이션부(I)를 함께 패시베이션할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 185

<97> 일 예로, 제1 패시베이션막(24)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제1 패시베이션막(24) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 후면 및/또는 측면에만 제1 패시베이션막(24)을 형성할 수 있다. 따라서 제1 패시베이션막(24)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<98> 본 실시예에서는 반도체 기판(110)의 전면 쪽은 덮는 제2 절연막을 먼저 형성한 후에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 형성하는 것을 예시하였다. 이에 의하면 제1 절연막을 형성하는 공정 중에 제1 도전형 영역(20)의 특성이 저하되거나 손상되는 것을 방지할 수 있다. 특히, 제1 도전형 영역(20)이 에미터 영역일 때에는 제1 도전형 영역(20)의 특성이 매우 중요할 수 있기 때문이다. 그러나 본 발명이 이에 한정되는 것은 아니다. 본 실시예에서는 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 먼저 형성한 후에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막을 형성할 수도 있다. 이 경우에는 이에 따라 반도체 기판(110)의 측면에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막이 위치(일 예로, 접촉)하고, 이 위에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막이 위치(일 예로, 접촉)할 수 있다.

<99> 이어서, 도 4j에 도시한 바와 같이, 제1 및 제2 도전형 영역(20, 30)에 각기 연결되는 제1 및 제2 전극(42, 44)을 형성한다.

<100> 일 예로, 패터닝 공정에 의하여 제1 및 제2 절연막에 제1 및 제2 개구부

Petitioner Runergy USA Inc., Ex. 1005, p. 186

(102, 104)를 형성하고, 그 이후에 제1 및 제2 개구부(102, 104) 내를 채우면서 제1 및 제2 전극(42, 44)을 형성한다. 이때, 제1 및 제2 개구부(102, 104)는 레이저를 이용한 레이저 어블레이션, 또는 식각 용액 또는 식각 페이스트 등을 이용한 다양한 방법에 의하여 형성될 수 있다. 그리고 제1 및 제2 전극(42, 44)은 도금법, 증착법 등의 다양한 방법에 의하여 형성될 수 있다.

<101> 다른 예로, 제1 및 제2 전극 형성용 페이스트를 제1 및 제2 절연막에 각기 스크린 인쇄 등으로 도포한 후에 파이어 스루(fire through) 또는 레이저 소성 컨택(laser firing contact) 등을 하여 상술한 형상의 제1 및 제2 전극(42, 44)을 형성하는 것도 가능하다. 이 경우에는 제1 및 제2 전극(42, 44)을 형성할 때 자연스럽게 제1 및 제2 개구부(102, 104)가 형성되므로, 별도로 제1 및 제2 개구부(102, 104)를 형성하는 공정을 추가하지 않아도 된다.

<102> 이에 따르면 단순한 공정에 의하여 아이솔레이션부(I)를 형성할 수 있으며 아이솔레이션부(I)를 제1 절연막인 제1 패시베이션막(24)에 의하여 패시베이션하여 표면 재결합에 의한 문제를 방지할 수 있다. 이에 의하여 간단한 공정에 의하여 태양 전지(100)의 불량률을 낮춰 생산성을 향상할 수 있다.

<103> 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되

Petitioner Runergy USA Inc., Ex. 1005, p. 187

어야 할 것이다.

【부호의 설명】

<104> 100: 태양 전지

110: 반도체 기판

22: 터널링층

20: 제1 도전형 영역

30: 제2 도전형 영역

24: 제1 패시베이션막

34: 제2 패시베이션막

36: 반사 방지막

42: 제1 전극

44: 제2 전극

Petitioner Runergy USA Inc., Ex. 1005, p. 188

【특허청구범위】

【청구항 1】

반도체 기판의 일면 위에 위치하는 터널링층;

상기 터널링층 위에 위치하는 제1 도전형 영역;

상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막;

상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역;

상기 제1 도전형 영역에 연결되는 제1 전극; 및

상기 제2 도전형 영역에 연결되는 제2 전극

을 포함하고,

상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는 태양 전지.

【청구항 2】

제1항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면에 접촉하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 189

【청구항 3】

제1항에 있어서,

상기 아이솔레이션부의 폭이 1㎜ 이하인 태양 전지.

【청구항 4】

제3항에 있어서,

상기 아이솔레이션부의 폭이 1㎚ 내지 1㎜ 이하인 태양 전지.

【청구항 5】

제1항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지.

【청구항 6】

제1항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지.

【청구항 7】

제1항에 있어서,

상기 제1 절연막은 상기 반도체 기판의 측면 위까지 연장되는 측면부를 포함하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 190

【청구항 8】

제7항에 있어서,

상기 제2 도전형 영역 위에 위치하는 제2 절연막을 더 포함하고,

상기 제2 절연막이 상기 반도체 기판의 측면 위에 형성되는 측면부를 포함하고,

상기 반도체 기판의 측면 위에서 상기 제1 절연막의 측면부가 상기 제2 절연막의 측면부 위에 위치하는 태양 전지.

【청구항 9】

반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계;

상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계;

적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계;

적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계;

상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계;

상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및

상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결

Petitioner Runergy USA Inc., Ex. 1005, p. 191

되는 제2 전극을 포함하는 전극을 형성하는 단계

를 포함하고,

상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기 제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는 태양 전지의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측에 접촉하는 태양 전지의 제조 방법.

【청구항 11】

제9항에 있어서,

상기 아이솔레이션부의 폭이 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 12】

제10항에 있어서,

상기 아이솔레이션부의 폭이 1㎚ 내지 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 13】

제9항에 있어서,

Petitioner Runergy USA Inc., Ex. 1005, p. 192

상기 제거하는 단계는,

상기 반도체 기판의 타측에서 상기 제1 도전형 영역 위에 상기 반도체 기판보다 작은 면적을 가지는 마스크층을 형성하는 단계;

상기 마스크층이 형성되지 않은 부분에 위치한 상기 제1 도전형 영역 및 상기 터널링층을 식각하는 단계; 및

상기 마스크층을 제거하는 단계

를 포함하는 태양 전지의 제조 방법.

【청구항 14】

제13항에 있어서,

상기 반도체 기판의 후면 가장자리와 상기 마스크층의 가장자리 사이의 거리가 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 15】

제9항에 있어서,

상기 제거하는 단계가 반응성 이온 식각(reactive ion etching, RIE) 또는 습식 식각에 의하여 수행되는 태양 전지의 제조 방법.

【청구항 16】

제9항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지의 제조 방법.

Petitioner Runergy USA Inc., Ex. 1005, p. 193

【청구항 17】

제9항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지의 제조 방법.

【청구항 18】

제9항에 있어서,

상기 제2 도전형 영역을 형성하는 단계와 상기 제1 절연막을 형성하는 단계 사이에, 상기 제2 도전형 영역을 덮는 제2 절연막을 형성하는 단계를 더 포함하고,

상기 반도체 기판의 측면 위에 상기 제2 절연막이 위치하고 상기 제2 절연막 위에 상기 제1 절연막이 위치하는 태양 전지의 제조 방법.

【청구항 19】

제9항에 있어서,

상기 제1 도전형 영역을 형성하는 단계 또는 상기 제2 도전형 영역을 형성하는 단계는 열 확산법을 이용하는 태양 전지의 제조 방법.

【청구항 20】

제9항에 있어서,

상기 터널링층 또는 상기 진성 반도체층은 저압 화학 기상 증착 장비에서 형성되는 태양 전지의 제조 방법.

Petitioner Runergy USA Inc., Ex. 1005, p. 194

제출 일자 : 2015-08-31

【요약서】

【요약】

본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

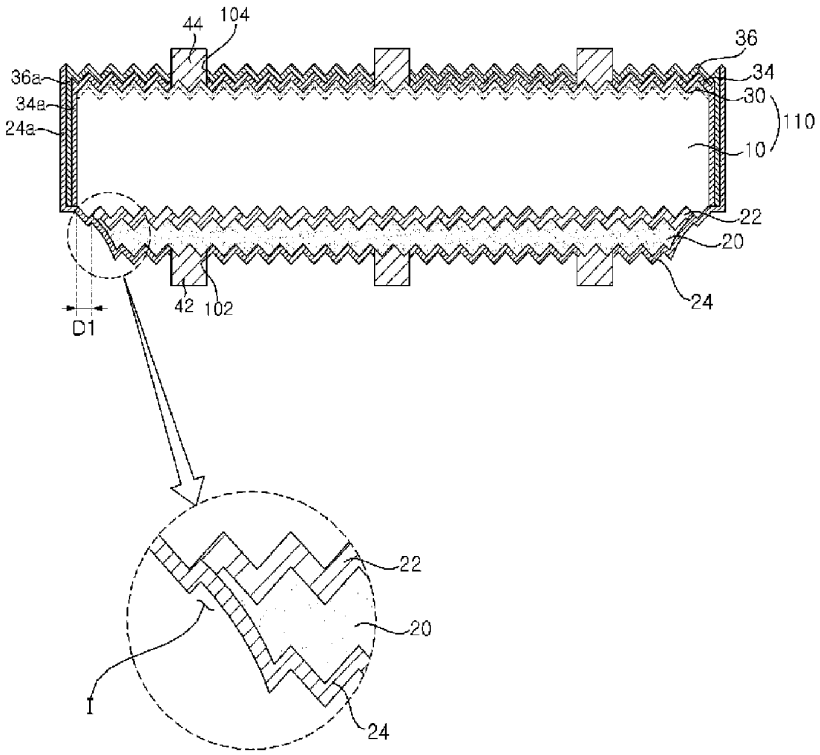
【대표도】

도 1

Petitioner Runergy USA Inc., Ex. 1005, p. 195

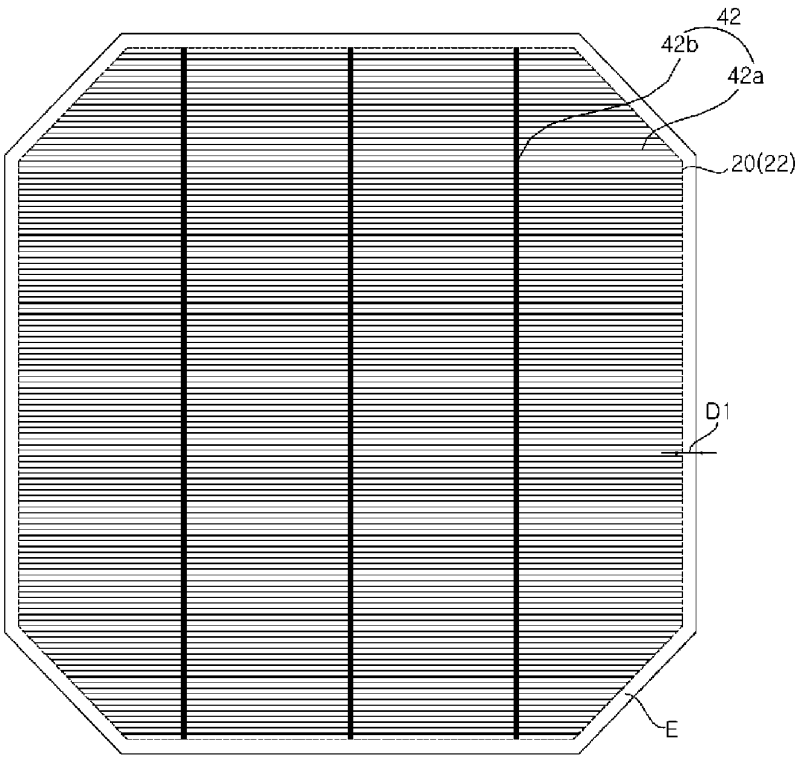
【도면】

【도 1】



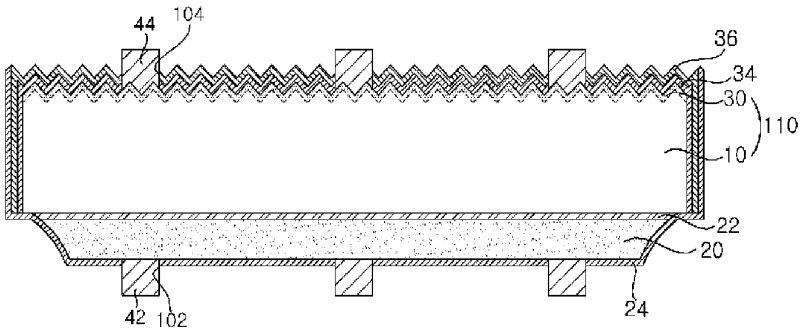
Petitioner Runergy USA Inc., Ex. 1005, p. 196

【도 2】



Petitioner Runergy USA Inc., Ex. 1005, p. 197

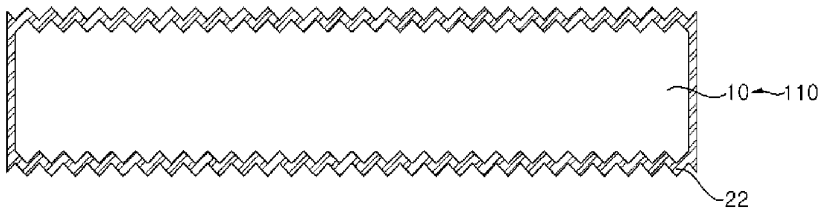
【도 3】



【도 4a】

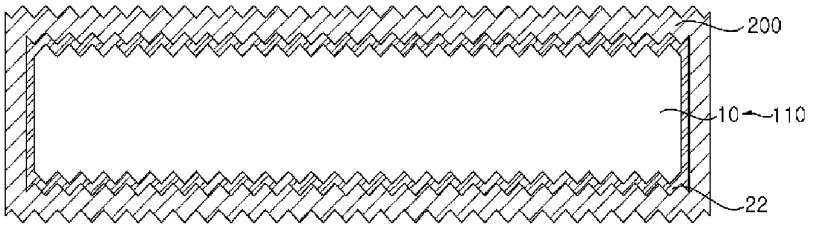


【도 4b】



Petitioner Runergy USA Inc., Ex. 1005, p. 198

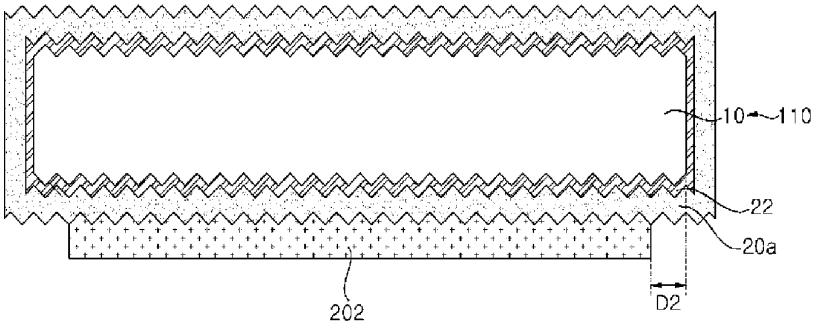
【도 4c】



【도 4d】

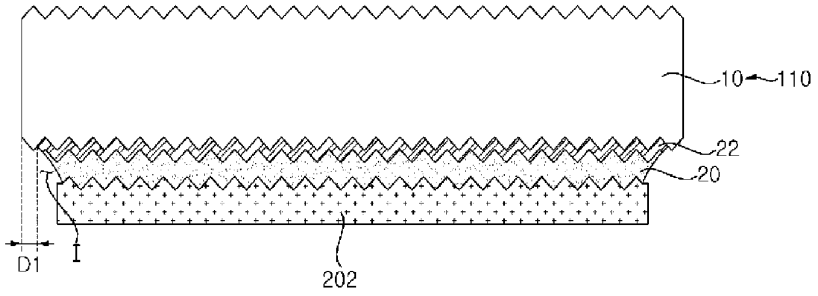


【도 4e】

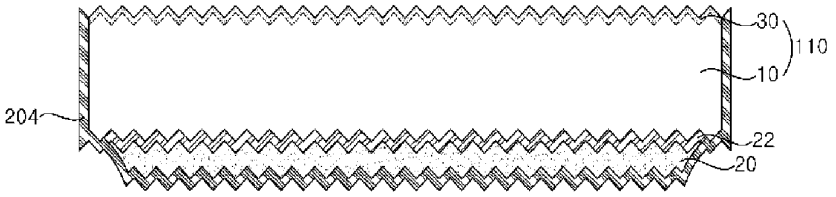


Petitioner Runergy USA Inc., Ex. 1005, p. 199

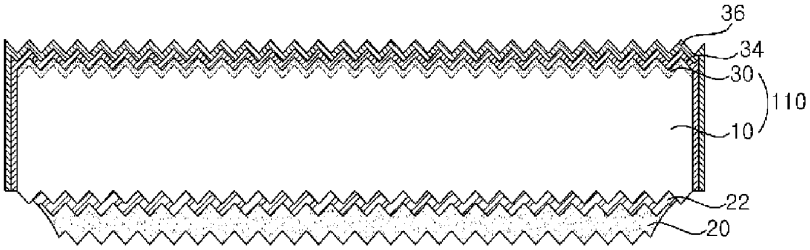
【도 4f】



【도 4g】

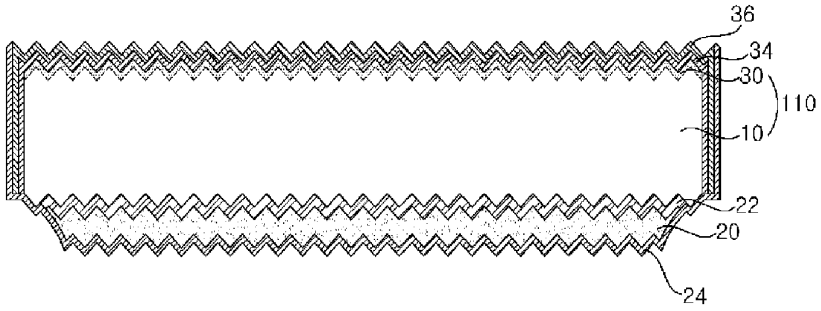


【도 4h】

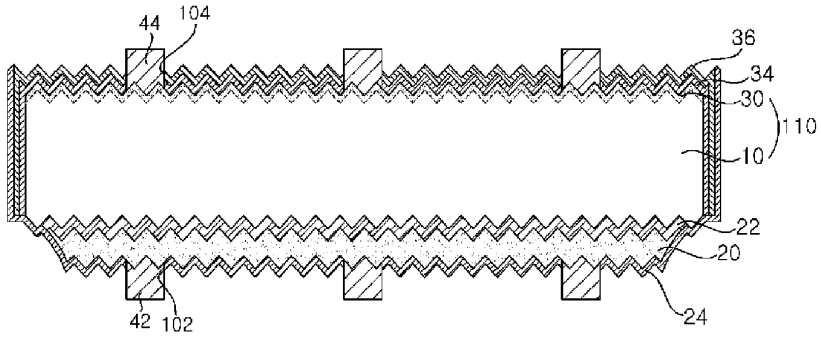


Petitioner Runergy USA Inc., Ex. 1005, p. 200

【도 4i】

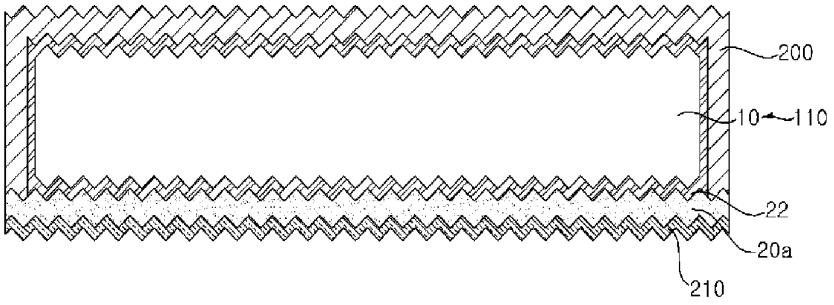


【도 4j】

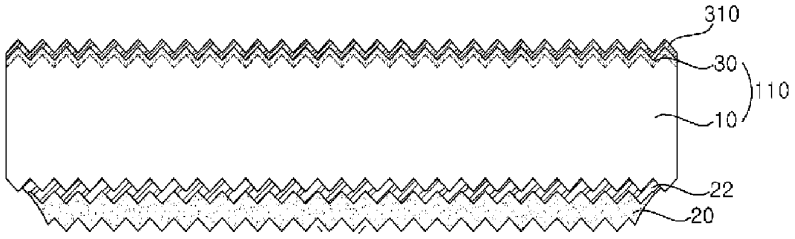


Petitioner Runergy USA Inc., Ex. 1005, p. 201

【도 5】



【도 6】



Petitioner Runergy USA Inc., Ex. 1005, p. 202

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1757
Examiner Name	Jeffrey Thomas Barton
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2012/0318340 - A1	12-20-2012	HENG et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	WO 2009/094578 - A2	07-30-2009			☐
	3	WO 2010/151478 - A1	12-29-2010			☐
	4	CN 203760493 - U	08-06-2014			☑
	5	EP 2787541 - A1	10-08-2014			☐
	6	EP 2797124 - A1	10-29-2014			☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	25079061
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Qiana Graham/tlb
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	04-MAR-2016
Filing Date:	27-NOV-2015
Time Stamp:	13:08:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Non Patent Literature	IDS-EESR-1630-1332PUS1.pdf	299649 b1f930dd9930dd814a82b5a5c5bf443ed4e43c28	no	6
Warnings:					
Information:					

2	Foreign Reference	IDS-WO2009094578-1630-1332PUS1.pdf	494914 98a2a4647328270728ff0ccf04c1f631588efc85	no	14
Warnings:					
Information:					
3	Foreign Reference	IDS-WO2010151478-1630-1332PUS1.pdf	1334139 58ada458bf963c50cc68a34ca4f60bdb88d2f01f	no	27
Warnings:					
Information:					
4	Foreign Reference	IDS-CN203760493U-1630-1332PUS1.pdf	883225 3adbcc65996debadc4d0ce470c08d5cde11a6063	no	11
Warnings:					
Information:					
5	Foreign Reference	IDS-EP2787541-1630-1332PUS1.pdf	694982 afd2b65193a81816a49bd8db11ff47cd9c6f6ef1	no	29
Warnings:					
Information:					
6	Foreign Reference	IDS-EP2797124-1630-1332PUS1.pdf	4709247 b2d1234aae9fb1db4cbb50d86288c35ed30c078f	no	25
Warnings:					
Information:					
7		2016-03-04-IDSTrasnmittal-1630-1332PUS1.pdf	342760 3e4425fca6d3864c708db5093b1571a8f6c6f5d8	yes	6

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Transmittal Letter	1	5
	Information Disclosure Statement (IDS) Form (SB08)	6	6
Warnings:			
Information:			
	Total Files Size (in bytes):	8758916	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
30 July 2009 (30.07.2009)

PCT

(10) International Publication Number
WO 2009/094578 A2

(51) International Patent Classification:
H01L 31/042 (2006.01)

(21) International Application Number:
PCT/US2009/031886

(22) International Filing Date: 23 January 2009 (23.01.2009)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
61/023,342 24 January 2008 (24.01.2008) US

(71) Applicant *(for all designated States except US)*: **APPLIED MATERIALS, INC.** [US/US]; 3050 Bowers Avenue, Santa Clara, CA 95054 (US).

(72) Inventor: **BORDEN, Peter**; 118 Seville Way, San Mateo, CA 94402 (US).

(74) Agent: **DANIELSON, Mark, J.**; Pillsbury Winthrop Shaw Pittman LLP, P.O. Box 10500, McLean, VA 22102 (US).

(81) Designated States *(unless otherwise indicated, for every kind of national protection available)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Designated States *(unless otherwise indicated, for every kind of regional protection available)*: ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— *without international search report and to be republished upon receipt of that report*

(54) Title: IMPROVED HIT SOLAR CELL STRUCTURE

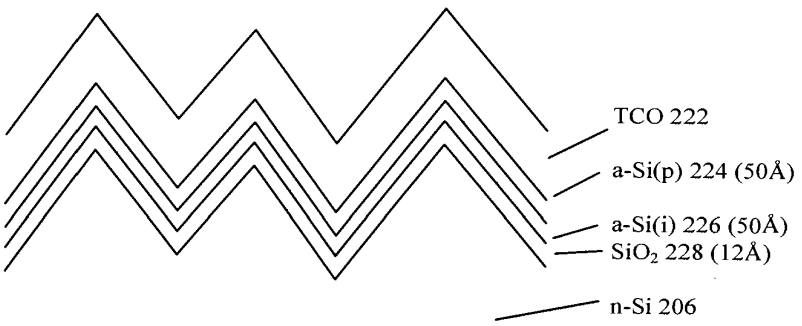


FIG. 2A

(57) Abstract: The present invention relates to improved HIT type or polysilicon emitter solar cells. According to certain aspects, the invention includes forming a masking oxide layer on the front and back of the cell and then patterning holes in the masking oxide. A HIT cell structure or polysilicon emitter solar cell structure is then formed over the patterned oxide, creating the cell junction only in the areas where holes have been cut. Benefits of the invention include that it provides a controlled interface for the HIT cell through insertion of a thin tunnel oxide. Moreover, the tunnel oxide prevents epitaxial growth of amorphous silicon, allowing it to remain amorphous for the optimum band structure. Still further, it provides a layer to protect the surface from plasma damage during deposition of the a-Si layer. Further, it may be used in conjunction with a point contact structure to further increase efficiency.

WO 2009/094578 A2

IMPROVED HIT SOLAR CELL STRUCTURE

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] The present application claims priority to U.S. Prov. Appln. No. 61/023,342 filed January 24, 2008, the contents of which are incorporated herein by reference in their entirety.

FIELD OF THE INVENTION

[0002] The present invention relates to photovoltaic devices, and more particularly to methods and apparatuses for providing an improved structure of a HIT type or polysilicon emitter type solar cells.

BACKGROUND

[0003] HIT type solar cells are high efficiency devices with relatively simple structures. Sanyo Corporation of Japan has reported lab efficiencies of 21.5% and manufacturing efficiency in the mid-19% range. Many other groups have worked on this device, although none has shown as high efficiencies.

[0004] A typical HIT type solar cell structure is shown in FIG. 1A and 1B. The device is symmetric, with the front and back of the n-type substrate 106 both coated with a coating 102 and 110, respectively and metal grid lines 104 and 108, respectively. As shown in the blowup portion of FIG. 1B, the coating 102 on the front consists of two amorphous silicon layers, an intrinsic layer 126 under a p-type layer 124, both about 50 Angstroms thick. On the back, the amorphous silicon layer consists of an intrinsic (i) layer under an n-type layer. As further shown in FIG. 1B, the coating 102 further includes a layer of transparent conductive oxide (TCO) 122.

[0005] The purpose of the thin a-Si layers is to both passivate the surface and to provide a heterojunction with a wide bandgap window layer to improve the open circuit voltage, as shown in FIG. 1C. More particularly, FIG. 1C illustrates the band structure of such a device. As shown in FIG. 1C, there is a large potential step at the front surface, creating a junction much like a junction found at the step between p- and n-type dopants. However, because this junction is formed by depositing a layer of amorphous silicon, it is very abrupt, and nearly ideal.

[0006] Despite their benefits, these amorphous silicon layers also introduce considerable complexity into the fabrication of the HIT cell. For example, the layers must be formed on a carefully prepared surface, whose preparation details have not been published. Further, they must not crystallize, as can happen when the amorphous silicon is seeded by the crystal silicon substrate, as this will eliminate the beneficial passivation and heterojunction effects.

[0007] Therefore, there is a lingering need for an improved interface that is well controlled and understood and easy to manufacture, and does not seed crystal growth.

SUMMARY

[0008] The present invention relates to improved HIT type or polysilicon emitter solar cells. According to certain aspects, the invention includes forming a masking oxide layer on the front and back of the cell and then patterning holes in the masking oxide. A HIT cell structure or polysilicon emitter solar cell structure is then formed over the patterned oxide, creating the cell junction only in the areas where holes have been cut. Benefits of the invention include that it provides a controlled interface for the HIT cell through insertion of a thin tunnel oxide. Moreover, the tunnel oxide prevents epitaxial growth of amorphous silicon, allowing it to remain amorphous for the optimum band structure. Still further, it provides a layer to protect the surface

Petitioner Runergy USA Inc., Ex. 1005, p. 209

from plasma damage during deposition of the a-Si layer. Further, it may be used in conjunction with a point contact structure to further increase efficiency.

[0009] In furtherance of these and other aspects, a solar cell according to embodiments of the invention comprises an amorphous semiconductor layer formed over a substrate; and a dielectric layer interposed between the substrate and the amorphous semiconductor layer, wherein the dielectric layer is sufficiently thin so as to support a tunneling current therethrough.

[0010] In additional furtherance of these and other aspects, a method of fabricating a solar cell according to embodiments of the invention includes forming a dielectric layer on a substrate, wherein the dielectric layer is sufficiently thin so as to support a tunneling current therethrough; and forming an amorphous semiconductor layer formed over the dielectric layer.

BRIEF DESCRIPTION OF THE DRAWINGS

[0011] These and other aspects and features of the present invention will become apparent to those ordinarily skilled in the art upon review of the following description of specific embodiments of the invention in conjunction with the accompanying figures, wherein:

[0012] FIGs. 1A to 1C show a conventional HIT cell and its band structure.

[0013] FIGs. 2A and 2B show an example solar structure of the present invention and its band structure, respectively.

[0014] FIG. 3 is a diagram illustrating an example process flow to form the structure of FIG. 2 according to aspects of the invention.

DETAILED DESCRIPTION

[0015] The present invention will now be described in detail with reference to the drawings, which are provided as illustrative examples of the invention so as to enable those

Petitioner Runergy USA Inc., Ex. 1005, p. 210

skilled in the art to practice the invention. Notably, the figures and examples below are not meant to limit the scope of the present invention to a single embodiment, but other embodiments are possible by way of interchange of some or all of the described or illustrated elements. Moreover, where certain elements of the present invention can be partially or fully implemented using known components, only those portions of such known components that are necessary for an understanding of the present invention will be described, and detailed descriptions of other portions of such known components will be omitted so as not to obscure the invention. In the present specification, an embodiment showing a singular component should not be considered limiting; rather, the invention is intended to encompass other embodiments including a plurality of the same component, and vice-versa, unless explicitly stated otherwise herein. Moreover, applicants do not intend for any term in the specification or claims to be ascribed an uncommon or special meaning unless explicitly set forth as such. Further, the present invention encompasses present and future known equivalents to the known components referred to herein by way of illustration.

[0016] In general, the present inventors recognize that thin tunnel oxide layers can be used in solar cells. For example, some MIS cells can be made using aluminum over tunnel oxides. The present inventors further recognize that tunnel oxides can be used between a heavily doped or insulating layer of polysilicon and a crystal silicon substrate, forming a polysilicon emitter solar cell. Such a solar cell has a similar band structure to a HIT cell, essentially replacing the TCO and a-Si layers with polysilicon. However, such cells do not provide the heterojunction and its benefit of a higher cell voltage due to the higher bandgap of a-Si.

Petitioner Runergy USA Inc., Ex. 1005, p. 211

[0017] An example solar cell structure according to embodiments of the invention and the associated band structure is shown in FIGs. 2A and 2B, respectively.

[0018] As shown in FIG. 2A, which can be part of a front surface of a HIT-type solar cell similar to that shown in FIG. 1, a thin dielectric layer 228 (e.g. tunnel oxide) is provided between the a-Si layers 224 and 226 and the n-type substrate 206 in a HIT cell. The dielectric layer is preferably thin, on the order of 8-15Å, in order to support a tunneling current between the substrate and a-Si layers. As will be described in more detail below, layer 228 can be formed using conventional methods such as rapid thermal oxidation, furnace oxidation, or the Chemox process (formation in an ozonated H_2O_2 bath). In some cases, the layer may be nitrided or formed using other materials such as silicon nitride or silicon oxynitride.

[0019] As shown in FIG. 2B, added dielectric layer at the interface provides a bandgap much larger than the bandgap of the semiconductors. Carriers cannot get over the energy barrier, but tunnel through if the layer is sufficiently thin (<15Å). Note that oxide and nitride will have different barrier heights, so the layer shown is not meant to represent any one material. The barrier height for nitride is about 2.5 eV and is symmetric. The barrier height for oxide is asymmetric (lower for electrons).

[0020] The benefits provided by dielectric layer 228 are several-fold. For example, it may be formed using conventional surface cleaning and preparation methods, as are used to make MOS gates for ICs. Therefore, the surface preparation is well known and understood, and routinely implemented in high volume manufacturing. Moreover, as it is an amorphous layer, it separates the subsequent a-Si layer from the substrate, preventing epitaxial seeding of crystal

Petitioner Runergy USA Inc., Ex. 1005, p. 212

growth in the a-Si layer. Further, it provides an intervening layer to protect the crystal silicon surface from plasma damage during deposition of the a-Si layer.

[0021] It should be noted that, although benefits of the invention are obtained with a-Si layers formed over a crystalline silicon substrate, that this is not limiting, and that the invention can be applied to other types of substrates and thin semiconductor layers. It should be further noted that many solar cells use heterojunctions. So, for example, the invention could be used with a thin film solar cell with amorphous silicon on micro-crystal silicon. It could also be used on CdTe, CIGS or AlGaAs/GaAs cells, all of which use heterojunctions.

[0022] That said, it should be still further noted that amorphous silicon on silicon is known to provide excellent passivation properties, nearly eliminating surface recombination. This is because the high band bending at the surface repels carriers. Accordingly, this is one advantage of using amorphous silicon on silicon.

[0023] FIG. 3 is a diagram illustrating an example process flow used to make the structure of FIG. 2A. First, in step S302, the front surface of the n-type substrate is textured. This may be accomplished using conventional etching, such as isopropyl alcohol and KOH. Next in step S304, the surface is provided with a standard MOS clean to remove native oxides, ionic contamination, and organics.

[0024] In one embodiment, a rapid thermal oxide process is then used in step S306 to form a thin tunnel oxide, typically 12Å thick, on the front surface. In another embodiment of the invention, the oxide is formed on both front and back at the same time. Next the a-Si layers are deposited on the front surface. In one embodiment, the a-Si is formed as a two layer stack on the front surface, with an intrinsic a-Si, 20-50 Å thick formed first in step S308, for example by

Petitioner Runergy USA Inc., Ex. 1005, p. 213

plasma enhanced chemical vapor deposition (PE-CVD), which is the decomposition of silane in a plasma, often with hydrogen present. These processes are well known in the literature. Boron may be added to provide p-type doping, and phosphorous may be added to provide n-type doping. Next, a p-type a-Si, 20-50 Å thick is formed on top of the intrinsic a-Si layer in step S312, for example by the same PE-CVD process. In another embodiment, only a doped p-type layer is formed on the front surface in step S310, without the i-type layer. The TCO is deposited in step S314, which may be a quarter wave thick layer of indium tin oxide.

[0025] The wafer is then flipped over in step S316, and the structure is deposited in the same manner on the back side, now using n-type a-Si instead of p-type. As shown, depending on whether the oxide layer has already been formed, processing returns to step S306 or step S308. It should be further apparent that processing could also return to step S310 if the oxide layer has already been formed. Finally, contacts are formed in step S318, for example by screen printing or sputtering.

[0026] Additionally or alternatively to the process described above, a method to form point contacts for HIT or polysilicon emitter solar cells, as described in co-pending application No. ____ (AMAT-12964), the contents of which are incorporated herein by reference in their entirety, may be performed.

[0027] Although the present invention has been particularly described with reference to the preferred embodiments thereof, it should be readily apparent to those of ordinary skill in the art that changes and modifications in the form and details may be made without departing from the spirit and scope of the invention. It is intended that the appended claims encompass such changes and modifications.

Petitioner Runergy USA Inc., Ex. 1005, p. 214

WHAT IS CLAIMED IS:

1. A solar cell comprising:

an amorphous semiconductor layer formed over a substrate;

a dielectric layer interposed between the substrate and the amorphous semiconductor layer, wherein the dielectric layer is sufficiently thin so as to support a tunneling current therethrough.

2. A solar cell according to claim 1, wherein the substrate comprises silicon and the dielectric layer comprises silicon dioxide.

3. A solar cell according to claim 1, wherein the substrate comprises silicon and the dielectric layer comprises nitrogen.

4. A solar cell according to claim 1, wherein the amorphous semiconductor layer comprises silicon.

5. A solar cell according to claim 1, wherein the amorphous semiconductor layer comprises a two-layer stack of an intrinsic amorphous silicon layer and a doped amorphous silicon layer.

6. A solar cell according to claim 1, wherein the amorphous semiconductor layer is formed on a front surface of the substrate, wherein the solar cell further comprises:

Petitioner Runergy USA Inc., Ex. 1005, p. 215

another amorphous semiconductor layer is formed on an opposite back surface of the substrate; and

another dielectric layer interposed between the substrate and the another amorphous semiconductor layer, wherein the another dielectric layer is sufficiently thin so as to support a tunneling current therethrough.

7. A solar cell according to claim 6, wherein both the amorphous semiconductor layer and the another amorphous semiconductor layer comprise a two-layer stack of an intrinsic amorphous silicon layer and a doped amorphous silicon layer.

8. A method of fabricating a solar cell, comprising:

forming a dielectric layer on a substrate, wherein the dielectric layer is sufficiently thin so as to support a tunneling current therethrough; and

forming an amorphous semiconductor layer formed over the dielectric layer.

9. A method according to claim 8, wherein the step of forming the amorphous semiconductor layer includes forming a two-layer stack of an intrinsic amorphous silicon layer and a doped amorphous silicon layer.

10. A method according to claim 8, further comprising:

texturing a surface of the substrate before forming the dielectric layer.

Petitioner Runergy USA Inc., Ex. 1005, p. 216

11. A method according to claim 8, wherein a rapid thermal oxide process is used to form the dielectric layer.

12. A method according to claim 9, wherein the intrinsic and doped amorphous silicon layers are both about 20-50 Å thick.

13. A method according to claim 8, further comprising depositing a layer of TCO over the amorphous semiconductor layer.

14. A method according to claim 13, wherein the TCO comprises a quarter wave thick layer of indium tin oxide.

15. A method according to claim 8, wherein the amorphous semiconductor layer is formed on a front surface of the substrate, wherein the method further comprises:

forming another dielectric layer on an opposite back surface of the substrate, wherein the another dielectric layer is sufficiently thin so as to support a tunneling current therethrough; and

forming another amorphous semiconductor layer over the another dielectric layer.

Petitioner Runergy USA Inc., Ex. 1005, p. 217

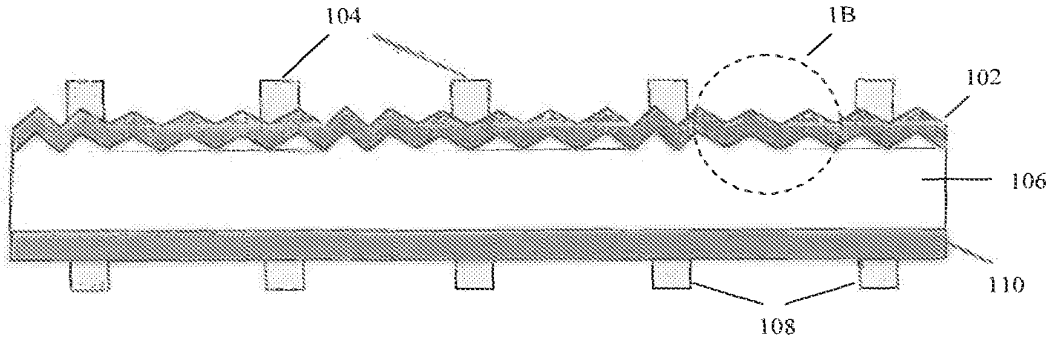


FIG. 1A

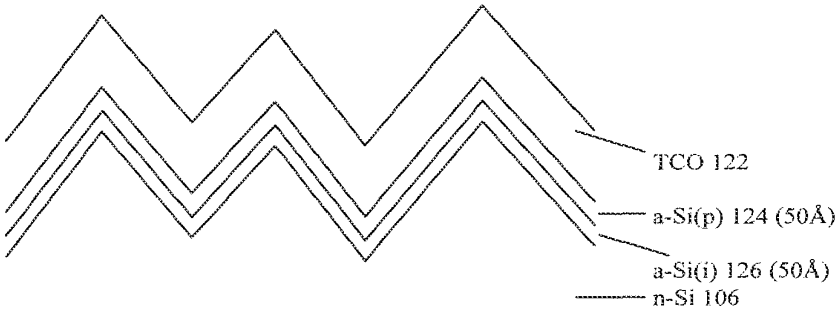


FIG. 1B

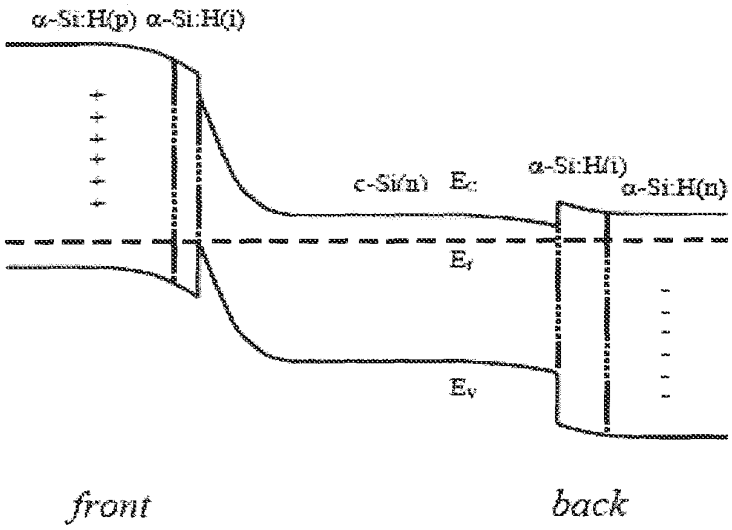


FIG 1C

Petitioner Runergy USA Inc., Ex. 1005, p. 218

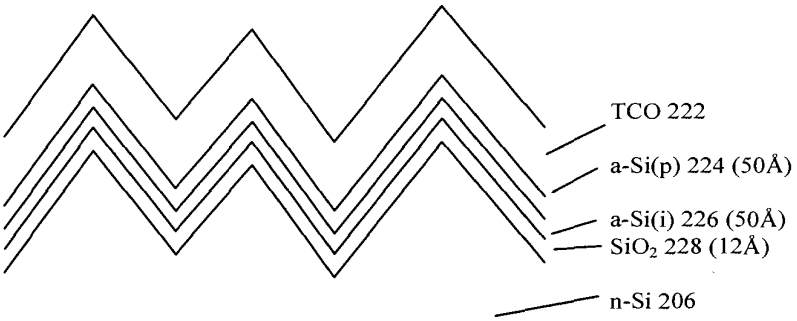


FIG. 2A

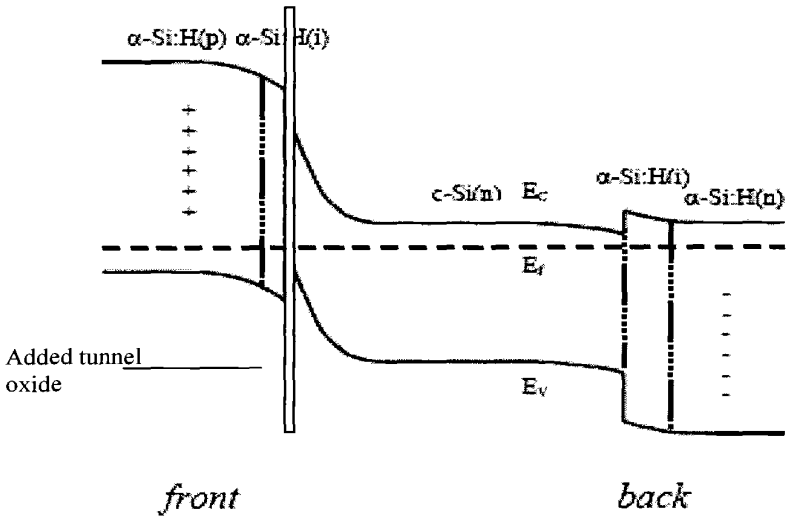


FIG. 2B

Petitioner Runergy USA Inc., Ex. 1005, p. 219

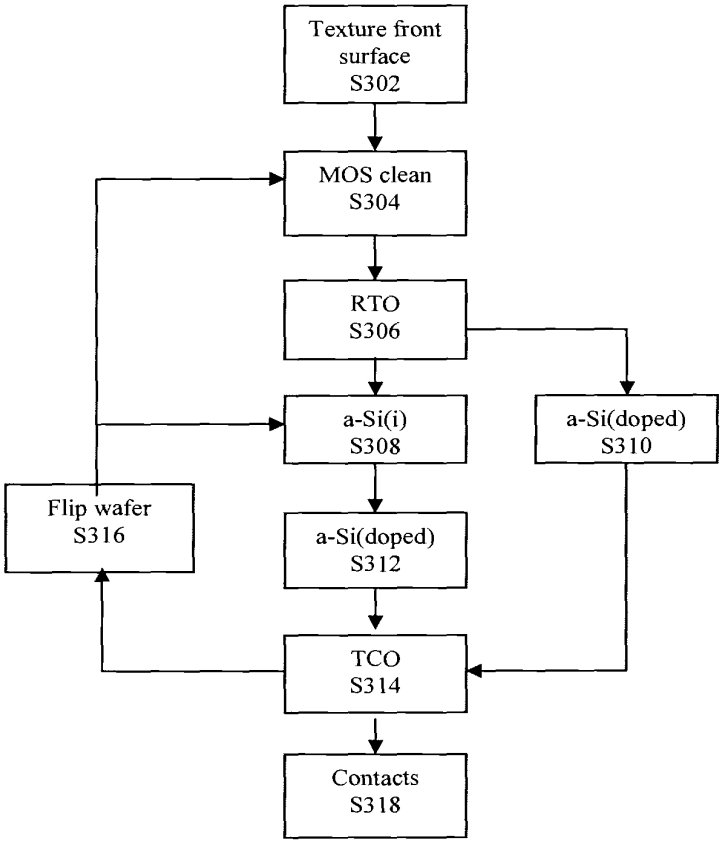


FIG. 3

Petitioner Runergy USA Inc., Ex. 1005, p. 220

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
29 December 2010 (29.12.2010)

PCT

(10) International Publication Number
WO 2010/151478 A1

(51) International Patent Classification:
H01L 31/102 (2006.01)

(21) International Application Number:
PCT/US2010/039008

(22) International Filing Date:
17 June 2010 (17.06.2010)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
61/219,131 22 June 2009 (22.06.2009) US

(71) Applicant *(for all designated States except US)*: **INTERNATIONAL BUSINESS MACHINES CORPORATION** [US/US]; New Orchard Road, Armonk, New York 10504 (US).

(72) Inventors; and

(75) Inventors/Applicants *(for US only)*: **DE SOUZA, Joel** [BR/US]; IBM Corporation, 1101 Kitchawan Road, Route 134, P.O. Box 218, Yorktown Heights, New York 10568 (US). **HOVEL, Harold** [US/US]; IBM Corporation, 1101 Kitchawan Road, Route 134, P.O. Box 218, Yorktown Heights, New York 10598 (US). **INNS, Daniel** [AU/US]; 501 Forest Avenue, Apartment 502, Palo Alto, California 94301 (US). **KIM, Jee** [KR/US]; IBM Corporation, 1101 Kitchawan Road, Route 134, P.O. Box 218, Yorktown Heights, New York 10598 (US). **SADANA, Devendra** [US/US]; IBM Corporation, 1101 Kitchawan Road, Route 134, P.O. Box 218, Yorktown Heights, New York 10598 (US).

(74) Agent: **PERCELLO, Louis**; International Business Machines Corporation, 1101 Kitchawan Road, Route 134, Box 218, Yorktown Heights, New York 10598 (US).

(81) Designated States *(unless otherwise indicated, for every kind of national protection available)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Designated States *(unless otherwise indicated, for every kind of regional protection available)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

— *with international search report (Art. 21(3))*

(54) **Title**: METHOD OF MAKING A SEMICONDUCTOR OPTICAL DETECTOR STRUCTURE

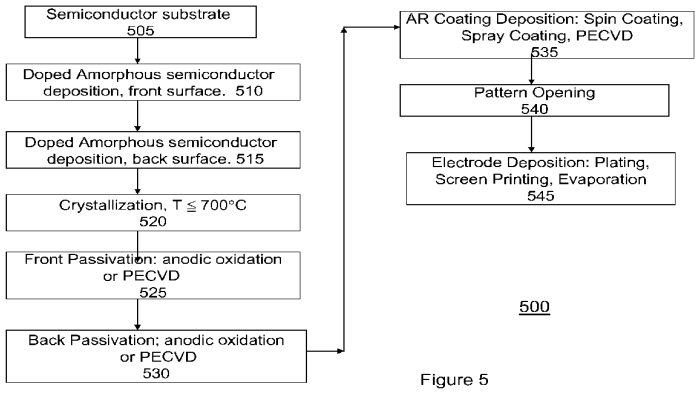


Figure 5

(57) **Abstract**: A method of making a semiconductor structure is disclosed that deposits a front amorphous semiconductor layer on a front side of a semiconductor substrate and crystallizes the front amorphous semiconductor layer into a front doped crystalline semiconductor layer by applying heat within a low thermal budget temperature. In an alternative embodiment, a back doped crystalline semiconductor layer is added on a back side of the semiconductor substrate in the same way. Preferably the thermal budget temperature is below 700 degrees Centigrade. Alternatively, the thermal budget temperature is a rapid thermal processing temperature where the temperature is less than 900 degrees Centigrade and the time of temperature application is short to keep the thermal budget low. A method of making a tandem structure is also disclosed.

WO 2010/151478 A1

METHOD OF MAKING A SEMICONDUCTOR OPTICAL DETECTOR STRUCTURE

Cross-Reference to Related Applications

[0001] This application is related to an application entitled "Semiconductor Optical Detector Structure" filed by the same inventive entity on the same day as this application and which is herein incorporated by reference in its entirety.

[0002] This application claims priority to provisional patent application serial number 61/219,131 filed on June 22, 2009 entitled Low Cost, Low Thermal Budget Solar Cells.

Field of the Invention

[0003] This invention relates to a method of making a semiconductor optical detector structure. More specifically, this invention relates to a method of making a solar cell structure at low temperature.

Background of the Invention

Description of the Prior Art

[0004] Solar cells are a highly promising method for enhancing the world's energy supply. Solar cells based on silicon are the major photovoltaics technology at present. Silicon solar cells can be made starting from semiconductor wafers which may consist of a single crystal or multiple crystal regions (multicrystal). These cells consist of P-N junctions, so called because the have regions of positive conductivity (P-region) and negative conductivity (N region). They also have optical coatings, termed anti-reflection coatings (AR), to minimize the amount of light reflected from the upper surface, and passivating layers required to minimize the amount of photocurrent that would be lost due to surface recombination. Metal electrodes on the P–region and N-region are used to collect the current and voltage which ensue upon exposure to light. The junction on the side of the solar cell exposed to light is generally termed the emitter junction. Other embellishments are often used to enhance the performance of the device, such as a P/P junction at the back (unexposed) surface consisting of different amounts of doping, known as a "back surface field," graded doping profiles at the exposed surface to create a front surface field, and "texturing" of the exposed surface to make it rougher to reflect less light along with the AR coatings.

[0005] Silicon solar cells, whether single crystal or multicrystal, are made by procedures that require high temperatures, generally 850 degrees centigrade or higher. These high temperatures are used to create the P/N junction by diffusion of an n-type producing dopant such as phosphorus into a p-type wafer substrate, or a p-type

Petitioner Runergy USA Inc., Ex. 1005, p. 222

producing dopant such as boron into an n-type wafer substrate. Other high temperature steps may be included, such as the back surface field formation by diffusion or by alloying of an aluminum layer, and a high temperature alloying step to alloy the metal electrodes to the silicon regions through one or more dielectric layers that form the antireflective coating. A detailed description of many of the process steps used to fabricate silicon solar cells can be found in Nijs et al, " Advanced Manufacturing Concepts for Crystalline Silicon Solar Cells," IEEE Transactions on Electron Devices Vol. 46, page 1948, October 1999 which is herein incorporated by reference.

[0006] Figure 1 shows a solar cell structure 100 made by methods practiced in the prior art. Substrate 105 has created on it a grown region 110 consisting of an interface 125, a doping level 115, and a surface 140. A transition region 130 is formed between the substrate 105 and the grown region 110 where some of the dopant 115 from the grown region 110 may have migrated below interface 125.

[0007] The doping level 115 may be constant or have a doping profile 150 which may be erfc, Gaussian, constant, or graded. The substrate 105 has a substrate doping 107. The substrate doping 107 is generally constant and in the range of 10^{14} cm^{-3} to 10^{17} cm^{-3} and of opposite conductivity type as region 110.

[0008] There are several undesirable consequences of high temperature processing.

[0009] One potential consequence is a degradation in the minority carrier lifetime, the time that hole-electron pairs created by sunlight exist in free form before recombining and therefore being lost as power output. Such degradation can occur when heat treatments higher than 900 degrees centigrade are used and may be due to impurity interactions in the silicon wafer. This effect is particularly detrimental to high efficiency solar cells which require the high carrier lifetime to be highly efficient (greater than 20%, for example). The diffusion step used to create the front junction and/or back surface field uses temperatures approaching or exceeding 900 degrees centigrade, for example. The front junction is a P/N junction on the side of the substrate 105 exposed to the illumination and the back surface field is a junction such as the P / P junction described earlier on the rear side of the substrate 105 not exposed to the light.

[0010] A second undesirable consequence of high temperature processing is the amount of energy required. Diffusion requires large furnaces heated to high temperatures for long times, such that fabricating the cell can take almost as much energy usage as the cell will be able to pay back in its lifetime. Deposition of the AR coatings and the Al alloying on the back, if used, also take up a large amount of energy, contributing to the amount of time needed for the cell to pay back the amount of energy used to create it. This high energy usage also adds considerably to the cost of manufacturing the cells, and supplying this high energy usage may involve burning fossil fuels to create the electricity to run the furnaces, contributing to pollution and problems with climate change.

Petitioner Runergy USA Inc., Ex. 1005, p. 223

[0011] The design and processing details of the standard silicon solar cells are intimately connected to the temperatures required and energy used. One method for making solar cells in the prior art involves ion implantation into one or both silicon surfaces to create the needed doping. A high temperature anneal step is required to remove the damage created in the silicon by the ion bombardment. The resulting dopant profile 150 is known as an error function or complementary error function (erfc), with a peak near the surface 140 and slowly decaying dopant density away from the peak. The doping level is controlled by the amount of incident dopant ions used in the implantation and the implant potential used, normally tens to hundreds of kilovolts. The depth of the dopant profile is also related by the implant potential. The depth, dopant density, dopant profile, anneal temperature, and implant energy are all interrelated and dependent on each other. These interrelations reduce control of emitter parameters such as depth, dopant profile, and density and creates design trade offs in manufacturing.

[0012] Another type of dopant profile 150 is created by diffusion, resulting in a so-called Gaussian profile which looks similar to the erfc profile with a peak below the surface 140 and slowing decreasing density away from the peak. The dopant profile is controlled by the amount of dopant in the dopant source, which may be a gas, liquid, or solid source, the temperature during the diffusion, and the length of time the wafer remains at the high temperature. As in implantation, the dopant density, depth, length of time, and temperature for diffusion are all interrelated and dependent on each other. This causes the same manufacturing implantation problems stated above for the diffusion process.

[0013] A third dopant profile 150 type is a constant, unvarying profile that can be obtained, for example, by epitaxial growth. The dopant density is controlled by the gas composition and the dopant depth is the thickness of the epitaxial layer. The growth rate of the silicon epitaxy is strongly temperature dependent and may involve even higher temperatures than used in diffusion or ion implantation annealing to obtain acceptable growth rates. Besides a constant dopant profile, a graded profile can be obtained in epitaxial growth by varying the gas composition during the growth. Epitaxial growth requires high temperatures that increase manufacturing costs and energy use.

[0014] The high temperatures involved in epitaxy result in a dopant transition region 130 where the dopant profile 150 extends farther from the surface 140 than the physical interface 125 between the original substrate surface and the grown layer 110. This transition is a result of some amount of dopant diffusing into the substrate 105 during the high temperature steps. This transition region 130 is unavoidable using prior art epitaxy methods and the dopant concentration and depth is related to both the dopant concentration in the epitaxial layer and the temperature and time taken to grow the layer. All these parameters are interrelated and dependent on one another causing the manufacturing limitations stated above for the epitaxial growth process as well. This diffusion and transfer region makes it difficult to create very abrupt junctions where

Petitioner Runergy USA Inc., Ex. 1005, p. 224

the dopant profile 150 is very abrupt and the abrupt change occurs at the interface 125 with the substrate 105. It also makes it difficult to create a staircase-like dopant profile 150 where the profile consists of multiple abrupt regions of dopant density and thicknesses. The high temperatures involved in the prior art result in "washing out" of the abruptness due to interdiffusion.

[0015] A thick transition region 130 between the intentionally doped layer 110 and the substrate 105 can't be avoided in any of the prior art doping methods – ion implant, diffusion, or epitaxy, due to the high temperatures involved. The most abrupt or thin transition 130 would come from epitaxy, but the diffusion that takes place during growth results in transition regions of several hundreds of Angstroms at a minimum. Diffusion and ion implantation inherently do not have abrupt doping changes since the dopants are deposited over an extended range, so that their transition regions 130 describing their dopant abruptness are even larger than several hundreds of Angstroms.

[0016] Therefore, device designs and structures that suggest or require abrupt changes in doping profiles 150 and/or narrow transition regions 130, for example transition regions 130 with widths less than 100 Angstroms, are precluded by the prior art methods such as epitaxy, diffusion, or ion implantation.

[0017] Another difficulty associated with high temperature processing is that it precludes the use of foreign substrates. (A foreign substrate is any substrate that is not composed of the material of the layer being grown.) Low cost solar cells generally require low cost foreign substrates such as glass, metal, ceramic, graphite, or plastic. Though silicon films can be produced on such substrates, for example by polycrystalline film growth, the quality of the silicon material is often compromised due to defects, overactive grain boundaries and dislocations, and impurities since the lattice properties of the foreign substrate differ from the growth layer causing unwanted interaction such as cross doping. Metallugical grade silicon can be consider as a foreign substrate and while it is the same material as a silicon grown layer it causes problems due to a high impurity concentration. The same high temperature processes used for single crystal cell fabrication are needed for cell fabrication on these foreign substrates, which further worsens the material quality and lowers the cell efficiency, increases costs, and causes similar design trade offs.

[0018] Moreover, since the major purpose of thin film solar cells is to reduce cost and reduce payback time, the thermal budget involved in producing these cells is of key importance. The thermal budget is defined as the product of time x temperature. The longer the time a device resides at high temperature and/or the higher the temperature, the larger is the thermal budget. Cells made with lower thermal budgets reduce the energy consumed in their manufacture and can minimize or prevent photocarrier lifetime degradation. It is also desirable for thick silicon cells to have low thermal budgets for the reasons stated above.

Petitioner Runergy USA Inc., Ex. 1005, p. 225

[0019] One type of silicon solar cell made without ion implantation, diffusion, or epitaxy is the heterojunction cell known as HIT for "heterojunction with intrinsic" layer. This cell uses plasma enhanced chemical vapor deposition (PECVD) to deposit layers of amorphous silicon on one or both sides of a silicon wafer. These layers remain amorphous throughout the cell fabrication. Some degree of passivation is also provided by the PECVD layers. A layer of transparent conducting oxide (TCO) is deposited on top of the amorphous Si to provide lateral conduction since the amorphous silicon itself has very low conductivity that would degrade the device by adding a large series resistance. PECVD amorphous silicon deposition has a lower thermal budget than epitaxy, diffusion, or implant and anneal, though the required TCOs add to the budget. While these devices can be made at lower temperature, they comprise amorphous regions and TCO to provide conductivity above the amorphous region.

[0020] Another type of solar cell incorporating amorphous silicon layers is the tandem junction cell which consists of an amorphous Si solar cell residing on top of a micro-crystalline Si cell and joined electrically and optically by heavily doped regions which act as low resistance tunneling junctions. Though this cell can be made using temperatures less than 900 degrees centigrade, the quality of the tandem junction cell is strongly limited by the poor quality of the microcrystalline portion which has grain sizes much less than 1 micron and often less than 0.1 micron. Thus the efficiency of the tandem junction cell is restricted to values less than about 12%.

Aspects of the Invention

[0021] An aspect of this invention is a method of making a low cost semiconductor optical device.

[0022] An aspect of this invention is a method of making a low thermal budget semiconductor optical device.

[0023] An aspect of this invention is a low cost and easier and faster method to manufacture solar cells.

[0024] An aspect of this invention is a method of making a low cost solar cell at temperatures less than 700 degrees F.

[0025] An aspect of this invention is a method of making an improved solar cell using a foreign substrate.

[0026] An aspect of this invention is an improved a method of making a solar cell device with a semiconductor substrate with crystalline layers on both sides.

Petitioner Runergy USA Inc., Ex. 1005, p. 226

[0027] An aspect of this invention is a method of making a tandem junction cell with large grain size crystalline Si region having average grain sizes larger than 1 micron and efficiency greater than 12%.

[0028] An aspect of this inventions is a silicon solar cell fabrication method which uses a low thermal budget, where the maximum temperature is kept low, where foreign substrates can be used if desired, where the efficiency and throughput (number of cells manufactured per unit of time) are kept at acceptable levels, the energy used and payback time are minimized, and the manufacturing cost can be reduced.

Summary of the Invention

[0029] The present invention is a method of making a semiconductor structure. The method deposits a front amorphous semiconductor layer on a front side of a semiconductor substrate and crystallizes the front amorphous semiconductor layer into a front doped crystalline semiconductor layer using a low thermal budget temperature. In an alternative embodiment, a back doped crystalline semiconductor layer is added on a back side of the semiconductor substrate using the same crystallization step. Preferably the thermal budget temperature is a temperature that does not exceed 700 degrees Centigrade. Alternatively, the thermal budget temperature is a rapid thermal processing temperature where the temperature is less than 900 degrees Centigrade and the time of temperature application is short to keep the thermal budget low.

[0030] An alternative method creates a structure with the front doped crystalline semiconductor layer and deposits an amorphous silicon layer on a side of the front doped crystalline semiconductor layer opposite the substrate. The front doped crystalline semiconductor layer has a layer doping. The amorphous silicon layer has an amorphous doping such that levels of layer doping and the amorphous doping form a tunnel junction between the front doped crystalline semiconductor layer and the amorphous layer.

Brief Description of the Figures

[0031] Figure 1 is a block diagram of a prior art structure showing a substrate, growth region with an interface, and a transition region.

[0032] Figure 2, comprising Figure 2A (prior art) and novel Figures 2B through 2D, shows various types of doping profiles in the growth region.

Petitioner Runergy USA Inc., Ex. 1005, p. 227

[0033] Figure 3 is a block diagram of one preferred structure, with various alternatives showing two abrupt interfaces, i.e. transition regions with a negligible thickness.

[0034] Figure 4 is a block diagram of an alternate preferred structure showing two abrupt interfaces, i.e. transition regions with a negligible thickness.

[0035] Figure 5 is a flow chart of a preferred process for making a semiconductor optical detector at low temperature.

[0036] Figure 6 is a flow chart of a preferred process for making a semiconductor optical tandem junction structure at low temperature.

[0037] Figure 7 shows the spectral response, and light current-voltage behavior of a low temperature silicon solar cell.

[0038] Figure 8 is a block diagram of a tandem junction structure made by low temperature processing.

Detailed Description of the Invention

[0039] Various device structures are described comprising a semiconductor substrate. An amorphous semiconductor layer is deposited on a first substrate surface, annealed at a temperature sufficient to crystalize the amorphous layer but equal to or less than 700C. In a preferred embodiment, passivation and antireflective coating layers are deposited at or below 700C as are metal electrodes contacting the semiconductor surfaces, creating a device capable of detecting electromagnetic radiation. The substrate 105 can comprise a single crystal or multicrystal semiconductor wafer or a thin film semiconductor residing on a foreign substrate (material) such as glass, quartz, metal, graphite, plastic, metallurgical grade silicon, or ceramic. In alternate embodiments, the substrate 105 can be silicon, silicon on glass, silicon on sapphire, silicon on quartz, silicon on metal, silicon on graphite, silicon on ceramic, a silicon and Germanium compound, metallurgical grade silicon, and solar grade silicon. In other embodiments, the substrate could be germanium, germanium on glass, germanium on sapphire, germanium on quartz, germanium on metal, germanium on graphite, and germanium on ceramic. The low temperature processes of this disclosure enable this wide diversity of substrates 105 including substrates made of foreign substances.

[0040] The semiconductor layer 110 (optionally 310) can be made of the following materials: silicon, germanium, a compound of silicon and germanium, and a compound of silicon and carbon.

Petitioner Runergy USA Inc., Ex. 1005, p. 228

[0041] One preferred structure comprises amorphous semiconductor layers deposited on both opposite sides of a semiconductor substrate 105 and crystallized at temperatures equal or less than 700C, followed by passivation and antireflection layers deposited on one opposite side of the substrate plus crystallized layer, and passivation and reflecting layers deposited on the other opposite side of the substrate plus crystallized layer. Metal electrodes are attached to both opposite sides of the substrate plus crystallized layers at temperatures equal or less than 700C.

[0042] Another preferred embodiment would use RTP (rapid thermal processing) to crystallize the deposited amorphous layers which could elevate the temperature to 900C for very short periods such that the thermal budget is still minimized.

[0043] The structure resulting from the low temperature, low thermal budget procedure has a transition region 130 much thinner than the prior art structures. The transition region is generally less than or equal to 100 Angstroms. Likewise, various doping profile 150, e.g., stepped doping, are easily accomplished in the structure since diffusion of the dopants after the doped layer deposition is negligible. Doping profiles 150 can be created to provide beneficial electric fields in the grown region 110 which aid in current collection.

[0044] Figure 2 shows various alternative embodiment (Figures 2A through 2D) where the region 110 is shown more closely and where the surface 140 lies to the left, the interface 125 (the surface of the substrate 105 before the growth region 110 is applied) and transition region 130 lie toward the right.

[0045] Profile 160 in Figure 2A is typical of prior art erfc or Gaussian profiles.

[0046] The profiles 162, 164 and 166 of Figures 2B, 2C, and 2D, respectively, represent profiles that are difficult or impossible to create in the prior art without dopant penetration to create a transition region 130 larger than 100 Angstroms. The profile 162 of Figure 2B is a step profile that has one or more abrupt changes in doping level between the surface 140 and the interface 125. The profile 164 of Figure 2C is a constant doping profile. The profile 166 of Figure 2D represents a graded profile.

[0047] This invention affords the flexibility to create these and other profiles since the profiles can be created in the amorphous silicon deposition. The created profiles (e.g., 162, 164, and 166) are maintained in the low temperature processing step. The invention provides a flexibility of profile design choice not provided by the prior art.

[0048] Figure 3 is a block diagram of a novel low thermal budget silicon cell structure 300. Substrate 105 is a semiconductor with a substrate doping 107 and has recrystallized regions 110 and 310 on front 126 and back 326 surfaces (e.g. opposite sides) at front interface 125 and back interface 325, respectively. The

Petitioner Runergy USA Inc., Ex. 1005, p. 229

front doped crystalline semiconductor layer 110 has a front layer doping 115 and the back doped crystalline semiconductor layer 310 has a back layer doping 315. In this embodiment, the front doped crystalline semiconductor layer 110 represents the emitter and the back doped crystalline semiconductor layer 310 represents the back surface field region of the device 300. The transition regions 330 (front) and 340 (back) are insignificantly thin for the low temperature cells 300 of the invention and can be made with thickness less than 100 angstroms because there is limited diffusion of dopant at the lower temperature processing step(s) 500.

[0049] A front passivating layer 360 resides on silicon surface 140 and AR coating 370 resides on top of the front passivating layer 360. The front passivating layer 360 and AR coating 370 are deposited by any well known methods such as chemical vapor deposition (CVD), evaporation, sputtering, spray coating, or other equivalent deposition methods.

[0050] Electrodes 350 reside at the front silicon surface 140 and electrode 380 resides on the back silicon surface (side) 390 of the back doped crystalline semiconductor layer 310. The back silicon surface (side) 390 is the side of the back doped crystalline semiconductor layer 310 opposite the back interface 325. The electrodes 350 and 380 are attached using known methods, e.g., plating, evaporation, sputtering or other equivalents.

[0051] Figure 4 shows a low thermal budget silicon cell 400 with a patterned back contact (355, 380) for higher cell efficiency. Back passivating layer 465 resides on the back silicon surface 390. Back electrodes 355 are fabricated through back passivating layer 465 using known techniques and electrically contact back silicon surface (side) 390. Back metallization layer 380 electrically contacts the electrodes 355 and also serves as a back surface reflecting layer to reflect some of the light penetrating throughout the silicon volume 450 back into the silicon instead of being lost.

[0052] Structures in Figure 4 with the same number as in Figure 3 are the same structures. The transition regions 330 and 340 are insignificantly thin for the low temperature cells (300, 400) of the invention and can be made with thickness less than 100 angstroms because there is limited diffusion of dopant at the lower temperature processing step(s) 500.

[0053] Figure 5 shows one preferred process 500 flow for fabricating low temperature silicon cells in accordance with the invention.

[0054] Silicon solar cells can be made by depositing (510, optionally 515) amorphous silicon onto silicon substrates (105, 505), preferably substrates of low cost, by low temperature processes such as evaporation or PECVD. Both the emitter 110 and optional back surface field (back doped crystalline semiconductor layer) 310 can be made by these low temperature processes. Unlike the prior art, the thickness,

Petitioner Runergy USA Inc., Ex. 1005, p. 230

doping level, and deposition temperature are all independent and can be controlled as desired, including providing graded doping, step function doping, and other doping profiles as possible efficiency enhancements. See the doping profile description of Figure 2 above. This is accomplished because all steps in the process 500 are performed at temperatures less than or equal to 700 degrees Centigrade therefore the initial doping levels will be maintained. After growth/deposition of the amorphous silicon, these films are "crystallized" 520 by either an anneal at a low temperature (550 - 700C) and short time, for example 30 minutes to 6 hours, or by RTP (rapid thermal processing) 520 for seconds to minutes, for example, 30 seconds to 90 seconds. This creates a device (300, 400) with a crystalline structure since all amorphous material has been converted to crystalline layers (110 and 310).

[0055] Passivation (525, optionally 530) can be provided at low temperature by anodic oxidation or by PECVD of thin amorphous Si (aSi) wth Hydrogen (aSi:H) or other known processes. If there are two sides of the structure (300, 400) to be passivated, a front 525 and a back 530 passivation step are performed.

[0056] Antireflective coatings can be provided 535 by spin-on dielectrics such as TiO2, SiO2, and low temperature glass or other known materials. Spin-on techniques are known.

[0057] Opening for contacts are made 540. Contacts can be made 545 by evaporation or preferably metal plating and/or screen printing. Other known methods can be used. The result is an all low-temperature solar cell made with a low thermal budget that comprises a crystalline structure.

[0058] In step 505 of Figure 5, the process 500 begins with a semiconductor substrate 105 such as glass, metal, ceramic, graphite, metallurgical grade silicon, plastic, or any other known substrate material.

[0059] More preferred Si substrates 105 are chosen which could be solar grade multicrystalline, single crystalline, UMG (upgraded metallurgical grade), ribbon Si, thin film Si, or other. The substrate could be p-type or n-type. The substrate 105 may also consist of silicon-germanium alloy regions on glass, metal, graphite, ceramic, plastic, silicon, or any other substrate material.

[0060] In step 510 a layer (growth layer 110) of doped amorphous semiconductor, e.g. silicon, carbon doped silicon, germanium, silicon – germanium compounds, is deposited on the front surface of the substrate 105. The doped amorphous semiconductor is provided with a doping level and doping profile that can be any profile required by the device designer. Profiles are created in amorphous material by known methods such as changing gas composition, temperature variations, etc.

Petitioner Runergy USA Inc., Ex. 1005, p. 231

[0061] In step 515, a second amorphous semiconductor (e.g, silicon, carbon doped silicon, germanium, silicon – germanium compounds) layer (to become layer 310) is deposited on the back surface with a back layer doping level 315 and profile. Again the invention allows these profiles to be designed in the amorphous material using known techniques and maintained by the novel low temperature process. For example, for evaporated films, a dopant can be co-evaporated simultaneously with the amorphous semiconductor. For gaseous growth of the amorphous semiconductor, a dopant gas can be mixed to provide the desired dopant profile.

[0062] A front layer 110 of amorphous silicon is deposited 510 with an opposite conductivity type to the substrate 105 to act as the emitter. A back layer (after the crystallization step, layer 310) of amorphous silicon is optionally deposited 515 of the same conductivity type to the substrate 105 to act as the BSF (back surface field). The layers (to become layers 110, 310, respectively) can be deposited by evaporation, PECVD, plating, or other acceptable process. The thickness of each layer is chosen as desired, and the doping levels are chosen as desired. One preferred device type has the emitter and BSF on opposite sides of the substrate. Another preferred device type has both emitter and BSF deposited on the same side of the substrate ("Interdigitated Front surface Cell or" Interdigitated Back surface Cell").

[0063] The layers are deposited at a low temperature, 200 - 300C typical. In a preferred embodiment the doping gas is modulated during the deposition to provide differences in doping levels throughout the layer, providing high-low junctions for the "double emitter" approach where a higher doping level is provided just under the future electrical contacts, or a graded doping level which provides, for example, a built-in electric field to improve efficiency. The double emitter device structure is especially valuable in minimizing the photocarrier loss (hole-electron pairs created by incident radiation) while also minimizing the contact resistance.

[0064] In step 520, the amorphous silicon layers (aSi) are transformed to crystallization by annealing at a temperature of 700 degrees centigrade or less. In this step, regions 110 and 310 in Figure 3 and 110 and 310 in Figure 4 are transformed from an amorphous state to a crystalline state. Since this transformation occurs at low temperature, the profiles implemented in these regions in steps 510 and 515 do not change. In this step a more preferred temperature range is between 400 and 600 degree centigrade.

[0065] In the anneal step 520 the substrate 105 acts as the seed for the crystallization. Single crystal substrates 105 result in single crystal layers (110, 310) and polycrystalline substrates 105 result in poly layers, though poly layers can also be obtained on single crystal substrates 105 under some anneal conditions if desired. The anneal is usually carried out at temperatures of 400C to 700C for minutes to several hours; however, Rapid Thermal Processing which takes the substrate and

Petitioner Runergy USA Inc., Ex. 1005, p. 232

deposited films to high temperatures above 900C for a few seconds could also be used, while still providing a low thermal budget.

[0066] In step 525, a low temperature passivation is provided by known anodic oxidation or PECVD deposition or spin coating. Other known methods may be applicable only if they can be used at these low temperatures.

[0067] In step 530, an optional back surface passivation is provided with oxide or PECVD layers as described above for front surface passivation. Other methods may be applicable only if they can be used at these low temperatures.

[0068] Surface passivation (front 525 and optionally back 530) on either or both front and back surfaces can be provided by several techniques. In one method, a low temperature anodic oxidation is carried out in chemical solution by applying a bias between the cell and a counter electrode. In another approach, PECVD amorphous silicon with hydrogen is deposited to satisfy dangling bonds and lower surface recombination velocity. This amorphous Si region remains amorphous and acts as the passivating layer and not part of the emitter or back surface field junctions. In a third approach, thin films such as Al2O3, silicon nitride, silicon dioxide, or HfO2 are deposited by one of several methods such as atomic layer deposition (ALD), evaporation, low pressure chemical vapor deposition (LPCVD), or PECVD. The passivating film can be thin, 10 nm for example, to satisfy the passivation function.

[0069] Antireflection coatings can be added in step 535 be several known methods - evaporation, sputtering, spray-coating, spin coating, PECVD, LPCVD. A particularly advantageous method is to spray on or spin on the AR coating materials followed by a low temperature anneal. For example, layers of TiO2, SiO2, "Low-K" material, and others can be spun-on and annealed at 200-300C. The film thicknesses are controlled by the spin or spray conditions. Silicon nitride can also be deposited by low temperature processes such as PECVD and LPCVD. Other methods may be applicable only if they can be used at these low temperatures.

[0070] In step 540, a pattern is opened in the front and back surfaces for example by etching, laser ablation, or other known low temperature techniques in the positions where the metal electrodes (350, 355) will be located.

[0071] Patterning 540 can be employed to create desirable efficiency-enhancing structures. For example, a double emitter whereby a heavily doped region exists beneath the electrical contacts and more lightly doped emitter regions apply outside the contacts can be produced by etching off the heavily doped regions using the contact metal as a mask. A local back surface field (BSF) can be produced on the cell bottom by either a patterned deposition of the heavily doped amorphous silicon or etching the amorphous silicon from in between the metal contacts and applying a passivating layer in between. The metal layer covering

Petitioner Runergy USA Inc., Ex. 1005, p. 233

the entire back then contacts the local electrodes while serving to reflect some of the light penetrating the entire silicon volume back into the silicon. Crystallization of the deposited doped amorphous silicon can be carried out either before or after patterning.

[0072] In step 545, the electrodes (350, 355) are deposited by a low temperature process such as evaporation, screen printing, or laser printing or other known low temperature (below 700 degrees Centigrade, more preferably less the 600 degrees centigrade) techniques.

[0073] Electrodes (350, 355) can be fabricated by evaporation, sputtering, screen printing, or plating, with the last two methods likely to be the lowest cost. A pattern can be etched in the surface coatings to reach the silicon surface. Etching can be done by, for example, wet chemical etch, RIE (reactive ion etch) or plasma etch. The metal electrode (350, 355) can then be deposited. Since the solar cell is functional at this stage, plating can be carried out by light-induced plating if desired. Some metals such as Ni could be deposited by electroless plating also. Light induced plating, normally involving copper plating, is carried out by immersing the solar cell in a copper sulfate solution and exposing it to light. The voltage and current generated by the solar cell itself result in copper deposition on the metal electrodes.

[0074] The low temperature process 500, e.g. used for silicon solar cells, can also be applied to thin silicon films situated on lower cost foreign substrates such as glass, ceramic, graphite, plastic, or metal. After creating the silicon film on the foreign substrate, by direct deposition such as CVD or layer transfer in which a thin silicon region is removed from a silicon substrate and transferred onto the foreign substrate, the processes of low temperature amorphous silicon deposition 510, crystallization 520, passivation 525, AR coating 535, and metallization 545 can all be carried out at temperatures of 700 degrees centigrade or less and generally at 600 degrees centigrade or less, resulting in a low cost, low thermal budget thin film silicon cell with high quality silicon material.

[0075] Similarly, silicon films can be deposited on alternate substrates 105 such as silicon on sapphire, silicon on quartz, silicon on germanium. Silicon can also be deposited onto hybrid substrates 105 such as germanium on metal, germanium on ceramic, germanium on glass, germanium on graphite, germanium on quartz, germanium on sapphire, or germanium on plastics such as polyimide which can withstand temperatures up to nearly 600°C. The deposited films may themselves be alloys with other elements, for example, amorphous silicon-germanium compounds or amorphous silicon containing carbon. In all cases, the concept which facilitates these flexibilities and opportunities are that devices are subsequently fabricated by low temperature, low thermal budget processes.

Petitioner Runergy USA Inc., Ex. 1005, p. 234

[0076] The amorphous Si films can be deposited by, for example, PECVD or evaporation of Si in evaporator systems with suitably low base pressure to prevent silicon oxide formation.

[0077] Figure 7 shows the results of a silicon solar cell 300 made 500 in accordance with the invention. The process flow 500 for this device (called a CMA-F Cell M3) includes a 10 ohm-cm p-type substrate wafer (505, 105), deposition 510 of heavily doped 0.8 μm thick e-beam deposited n-type layer (1E19 cm-3) amorphous silicon by evaporation on one side of the wafer, deposition 515 of heavily doped p-type 3 μm thick e-beam p-type layer (1E19 cm-3) amorphous silicon by evaporation onto the opposite side, crystallization 520 by annealing at 600°C, anodic oxidation for passivation 525 carried out at 25°C, PECVD of silicon nitride 535 at 250°C, and metallization by metal evaporation (540, 545). In addition a copper plating was used to increase the thickness of the metal electrodes 350. The resulting cell is a back surface field silicon cell created with all steps in the process 500 with the temperatures in all process steps being less than or equal to 600°C.

[0078] The spectral response (internal quantum efficiency, IQE, versus wavelength) is indicated by 720. The graph 720 shows the number of charge carriers collected per incident photon over an incident wavelength of light between 300 and 1100 nanometers.

[0079] Graph 730 is a plot of the illuminated current-voltage behavior of the cell of graph 720. The cell was exposed to 1 sun of illumination intensity and provided a current density of nearly 35 milliamperes per centimeter over a range of output voltages between 0 and 0.35 volts.

[0080] The silicon cell has an efficiency (electrical power out of the device divided by solar power into the device) of 12.5%.

[0081] Figure 8 is a block diagram of a tandem junction crystalline silicon / amorphous silicon device 800 made by low temperature processing 600 in accordance with the present invention. Refer also to process in Figure 600. An amorphous silicon region (to be crystallized into region 810 is deposited 610 on a suitable substrate 805 (step 605) by any known low temperature process 610 and recrystallized 620 at temperatures less than 700 degrees centigrade and preferably less than 600 degrees centigrade. The recrystallized region 810 has a grain size of 1 micron or larger. An amorphous silicon region is then deposited 630 on recrystallized region 810. (This is similar to step 515 except instead of depositing on a back surface, the amorphous semiconductor is deposited on recrystallized region 810.) A desired doping profile is incorporated in regions 810 and 820 to result in a connecting tunnel junction 830 is created 630. Regions 810 and 820 contain p-doped regions and n-doped regions to result in a crystalline silicon solar cell and an amorphous silicon solar cell connected 630 by tunnel junction 830. Passivating layers, anti-reflection coatings, and metal electrodes (not shown) are then applied 640 by methods described hereinabove.

Petitioner Runergy USA Inc., Ex. 1005, p. 235

Claims

We claim:

1. A method of making a semiconductor structure, comprising the steps of:

depositing a front amorphous semiconductor layer on a front side of a semiconductor substrate, the front amorphous semiconductor layer having a front amorphous doping and the substrate having a substrate doping; and

crystallizing the front amorphous semiconductor layer into a front doped crystalline semiconductor layer by applying heat at a low thermal budget temperature, the front doped crystalline semiconductor layer having a front layer doping., and

wherein the doping transition region between crystallized semiconductor layer and the semiconductor substrate is less than 100 Angstroms.

2. A method, as in claim 2, where the front amorphous doping is controlled to create a front layer doping with a doping profile.

3. A method, as in claim 3, where the front amorphous doping profile is a profile with at least one step change in doping level.

4. A method, as in claim 1, where the thermal budget temperature is below 700 degrees Centigrade.

5. A method, as in claim 1, where the thermal budget temperature is below 600 degrees Centigrade.

6. A method, as in claim 1, where the thermal budget temperature is a rapid thermal processing temperature where the temperature is less than 900 degrees Centigrade and the time of temperature application is less than 90 seconds.

7. A method, as in claim 6, where the time is less than 30 seconds.

8. A method, as in claim 1, where the substrate is comprised of any one of the following materials: silicon, silicon on glass, silicon on sapphire, silicon on quartz, silicon on metal, silicon on graphite, silicon on ceramic, a silicon and germanium compound, metallurgical grade silicon, solar grade silicon, germanium, germanium on glass, germanium on sapphire, germanium on quartz, germanium on metal, germanium on graphite, and germanium on ceramic, glass, metal, ceramic, graphite, and plastic.

9. A method, as in claim 1, where the a front amorphous semiconductor layer is any one of the following: silicon, germanium, a compound silicon and germanium, and a compound of silicon and carbon.

Petitioner Runergy USA Inc., Ex. 1005, p. 236

10. A method, as in claim 1, further comprising the step of depositing a front passivation layer on the front doped crystalline semiconductor layer.

11. A method, as in claim 10, where the front passivation layer is deposited by any one of the following methods: low temperature anodic oxidation, depositing PECVD amorphous silicon with hydrogen, depositing a thin film by either atomic layer deposition (ALD), evaporation, low pressure chemical vapor deposition (LPCVD), and PECVD.

12. A method, as in claim 10, further comprising the step of depositing an antireflective coating on the front passivation layer.

13. A method, as in claim 12, where the antireflective coating is deposited by any one of the following methods: sputtering, spray-coating, spin coating, PECVD, LPCVD, and spin-on followed by a low temperature anneal.

14. A method, as in claim 12, further comprising the steps of

providing openings in the front passivation layer and antireflective layer; and

attaching one or more first conductive contact to substrate through the openings in the antireflective layer and attaching one or more second conductive contacts to the front doped crystalline semiconductor layer through the openings in the passivation layer.

15. A method, as in claim 14, where the first conductive contacts and the second conductive contacts are attached using one or more of the following: evaporation, screen printing, laser printing, and a process performed below 700 degrees Centigrade.

16. A method, as in claim 1, where the a front doped crystalline semiconductor layer is crystallized to have a grain size larger than 1 micron.

17. A method, as in claim 1, where the a front doped crystalline semiconductor layer is crystallized to form one of the following: a single crystal and a multicrystalline layer.

18. A method of making a semiconductor structure, comprising the steps of:

depositing a front amorphous semiconductor layer on a front side of a semiconductor substrate, the front amorphous semiconductor layer having a front amorphous doping and the substrate having a substrate doping;

crystallizing the front amorphous semiconductor layer into a front doped crystalline semiconductor layer by applying heat at a low thermal budget temperature; and

depositing an amorphous silicon layer on the front doped crystalline semiconductor layer on an amorphous side of the doped crystalline semiconductor layer that is opposite the substrate, the amorphous silicon layer having an amorphous doping, the layer doping and

Petitioner Runergy USA Inc., Ex. 1005, p. 237

the amorphous doping being at levels so that a tunnel junction is formed between the front doped crystalline semiconductor layer and the amorphous layer.

19. A method of making a semiconductor structure, comprising the steps of:

depositing a front amorphous semiconductor layer on a front side of a semiconductor substrate, the front amorphous semiconductor layer having a front amorphous doping and the substrate having a substrate doping;

depositing a back amorphous semiconductor layer on a back side of the semiconductor substrate, the back amorphous semiconductor layer having a back amorphous doping and the substrate having a substrate doping; and

crystallizing the front amorphous semiconductor layer into a front doped crystalline semiconductor layer and the back amorphous semiconductor layer into a back doped crystalline semiconductor layer by applying heat at a low thermal budget temperature, the front doped crystalline semiconductor layer having a front layer doping and the back doped crystalline semiconductor layer having a back layer doping.

20. A method, as in claim 19, where the thermal budget temperature is below 700 degrees Centigrade.

21. A method, as in claim 19, where the thermal budget temperature is below 600 degrees Centigrade.

22. A method, as in claim 19, where the thermal budget temperature is a rapid thermal processing temperature where the temperature is less than 900 degrees Centigrade and the time of temperature application is less than 90 seconds.

23. A method, as in claim 22, where the time of application is less than 30 seconds.

Petitioner Runergy USA Inc., Ex. 1005, p. 238

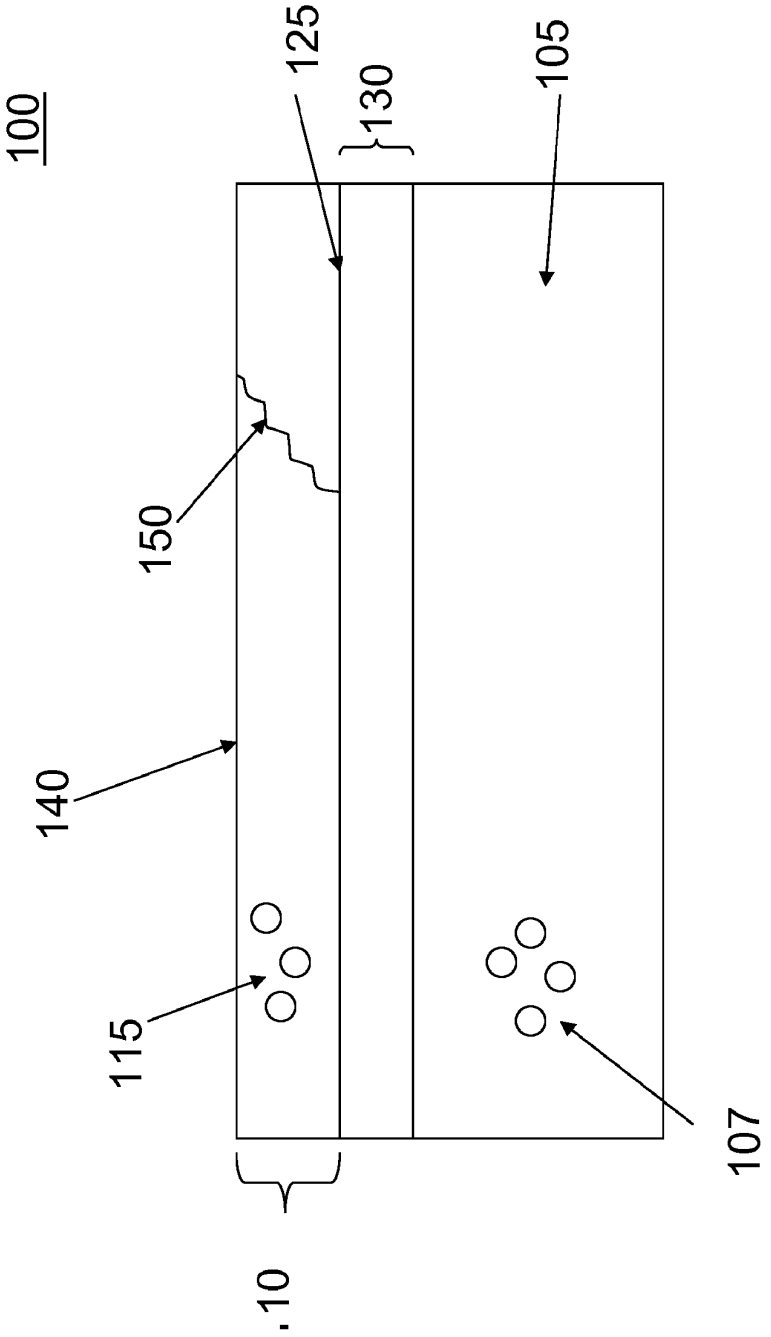


Figure 1
Prior Art

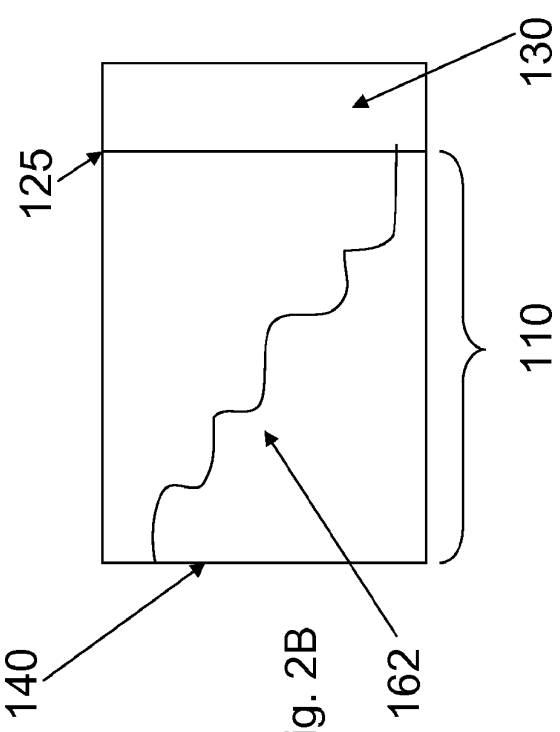


Fig. 2B

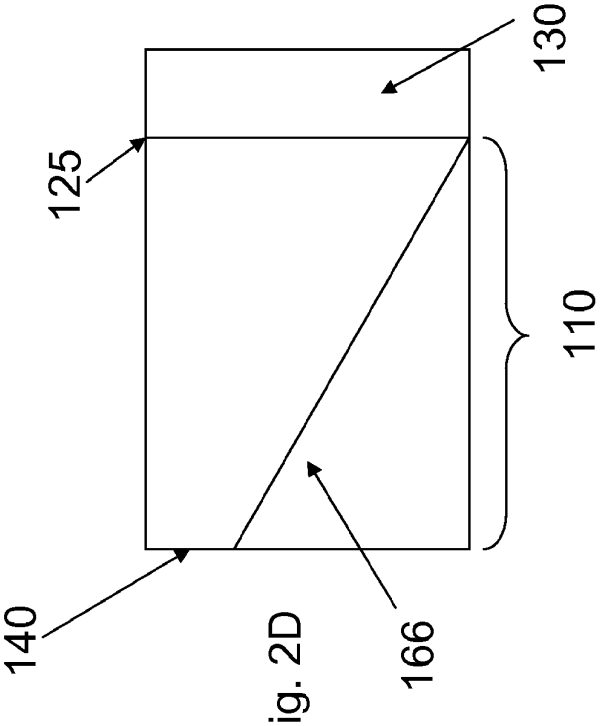


Fig. 2D

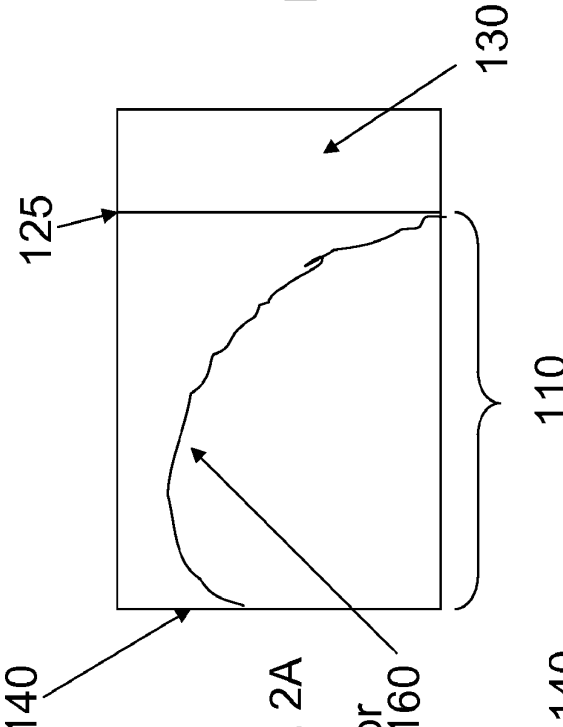


Fig. 2A Prior Art

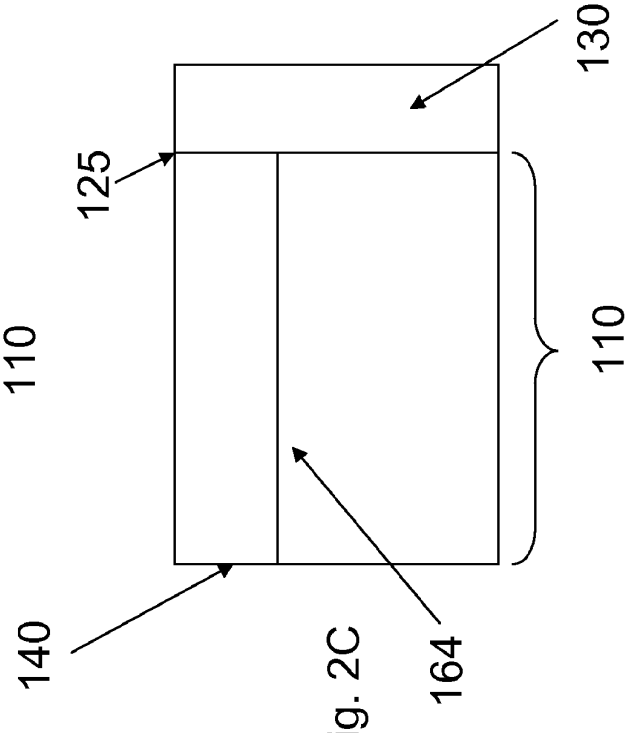


Fig. 2C

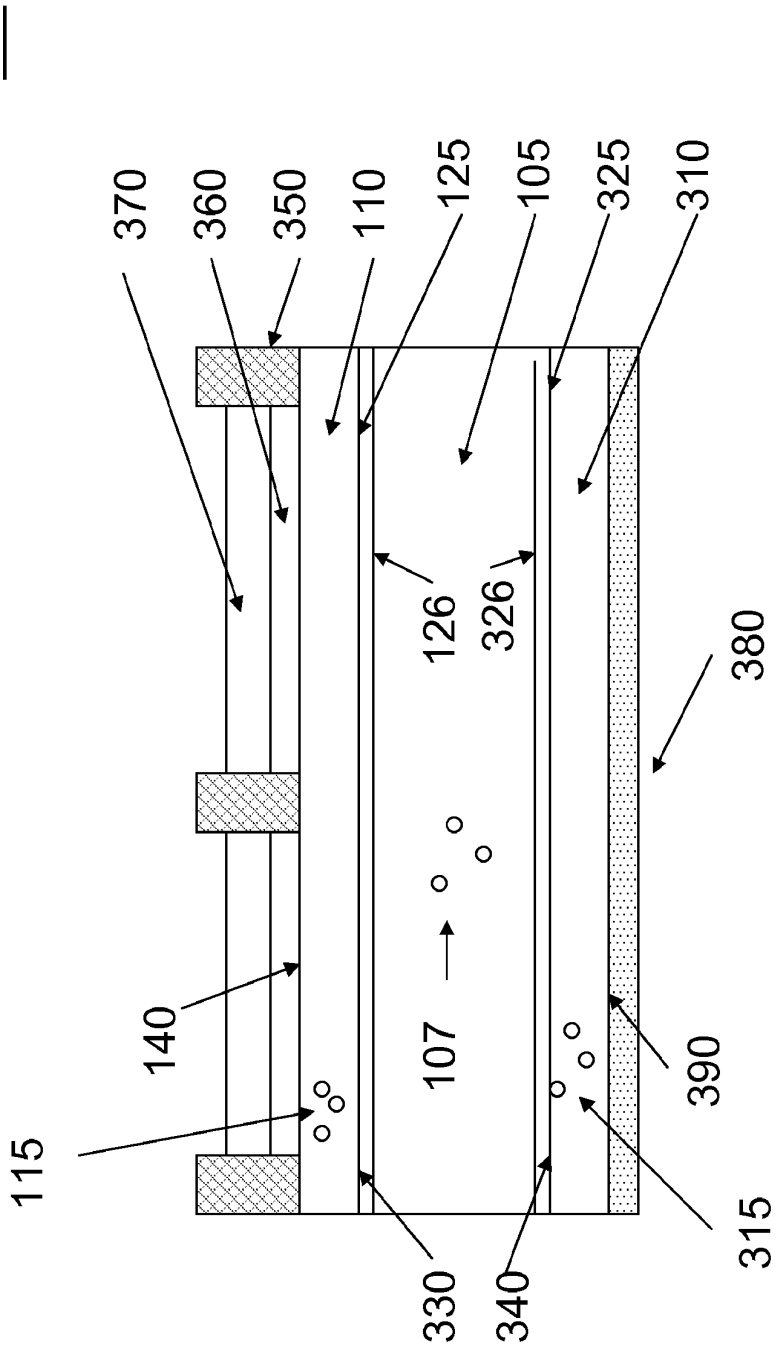

300
370
360
350
110
125
105
325
310
126
326
380
140
107
390
115
315
330
340

Figure 3.

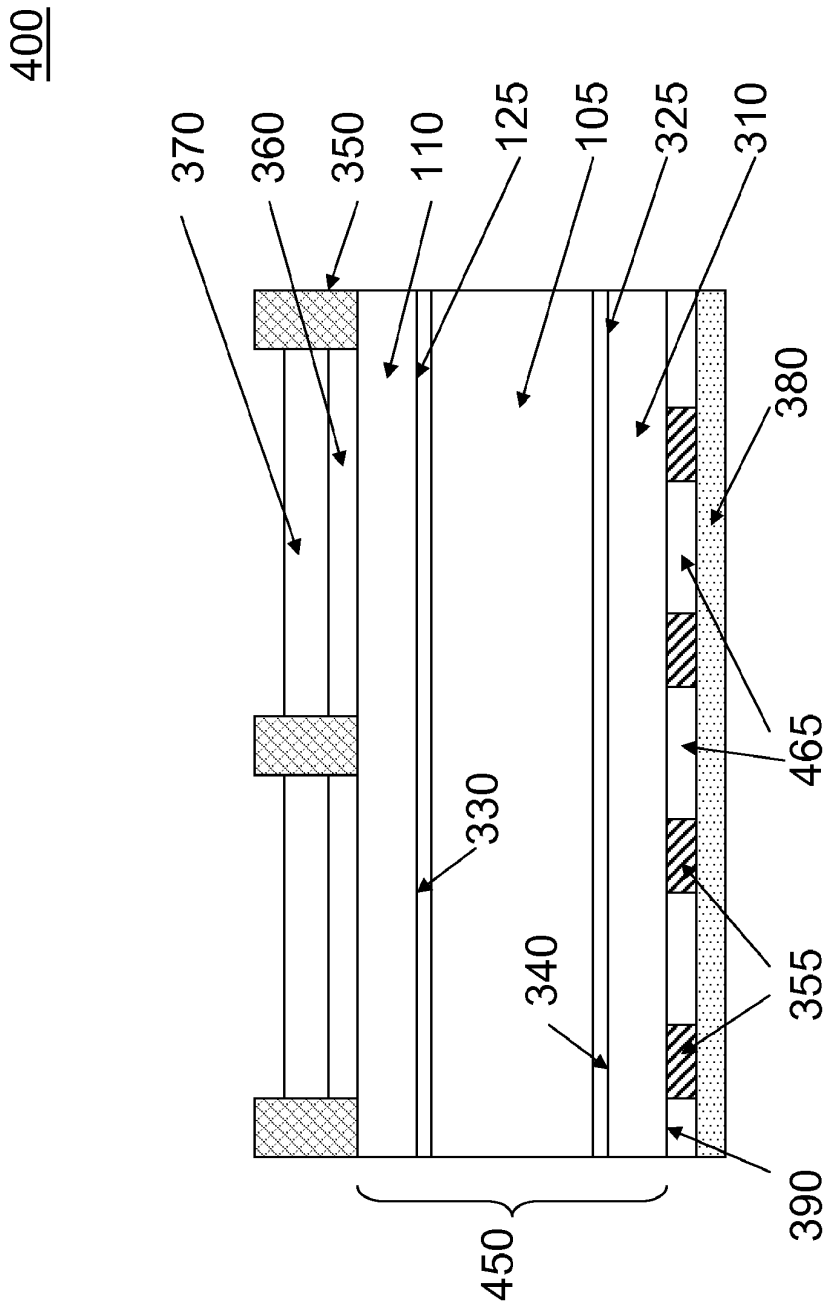


Figure 4.

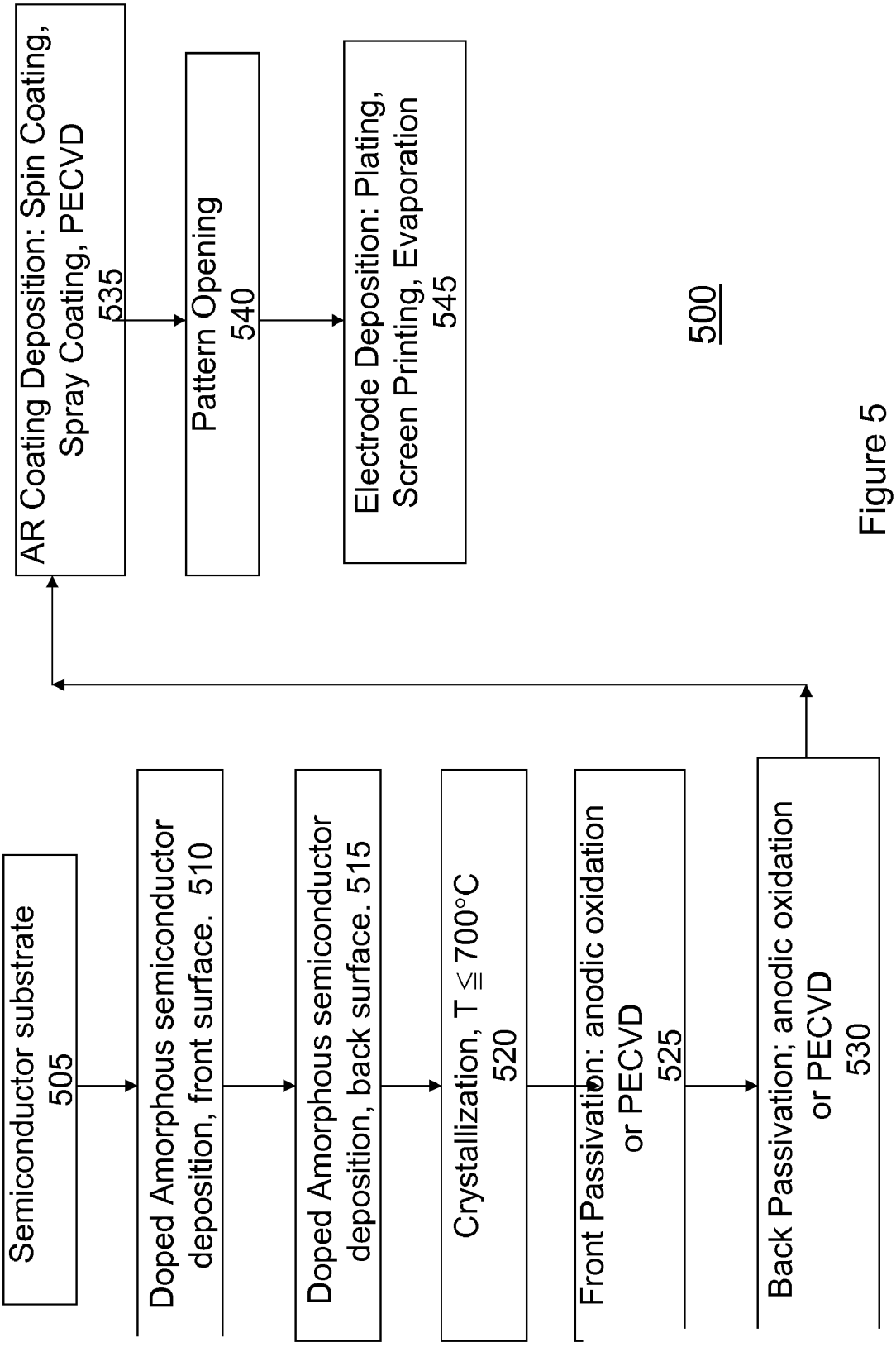

Semiconductor substrate
505
Doped Amorphous semiconductor deposition, front surface. 510
Doped Amorphous semiconductor deposition, back surface. 515
Crystallization, T ≤ 700°C
520
Front Passivation: anodic oxidation or PECVD
525
Back Passivation; anodic oxidation or PECVD
530
AR Coating Deposition: Spin Coating, Spray Coating, PECVD
535
Pattern Opening
540
Electrode Deposition: Plating, Screen Printing, Evaporation
545
500

Figure 5

Figure 6

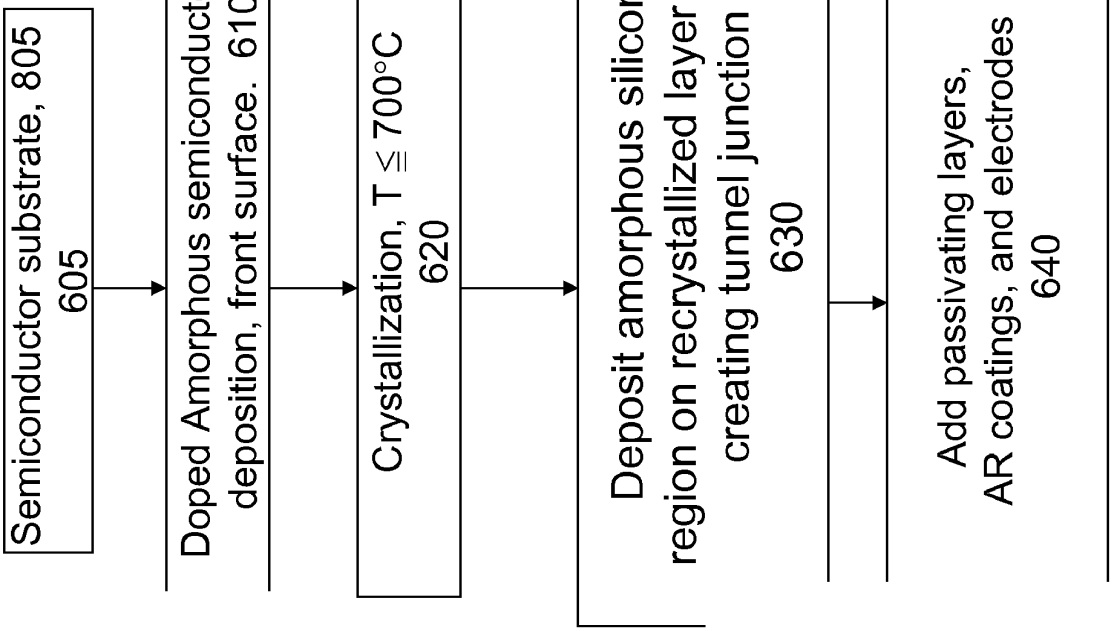
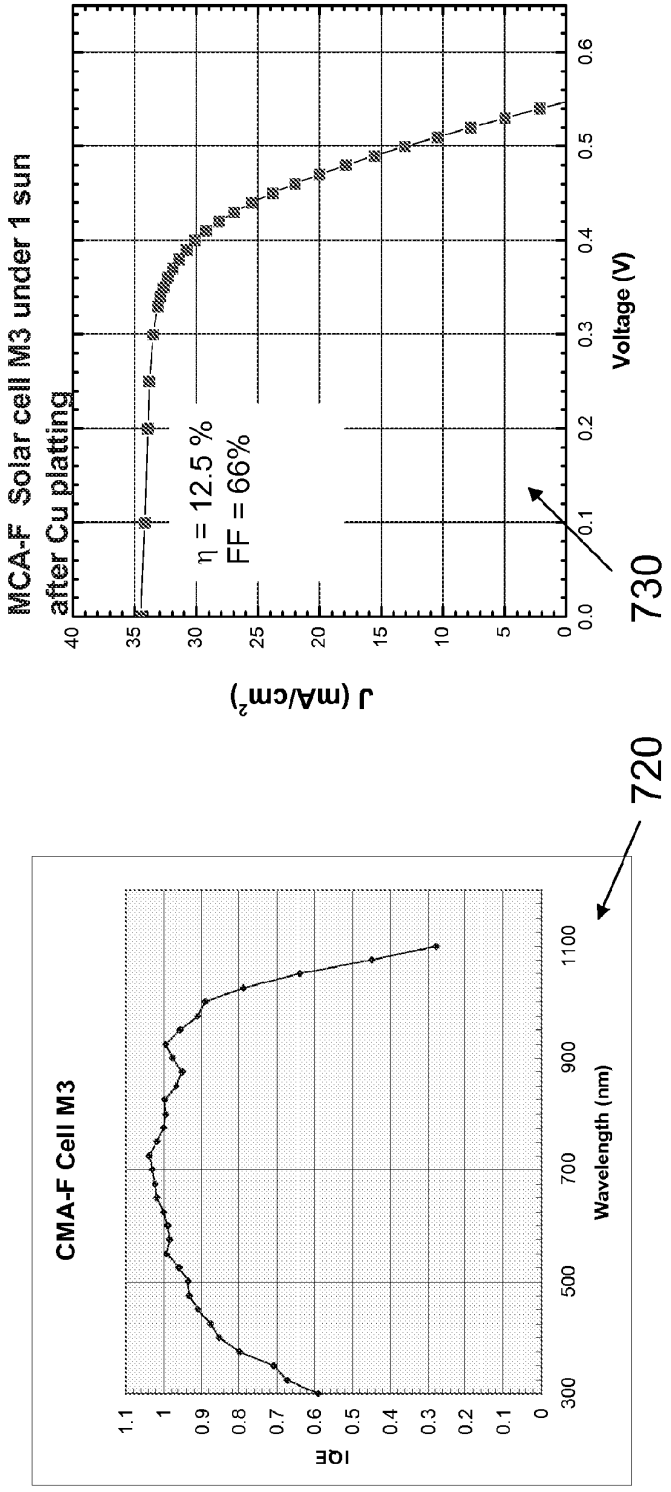

Semiconductor substrate, 805
605
Doped Amorphous semiconductor deposition, front surface. 610
Crystallization, T ≤ 700°C
620
Deposit amorphous silicon region on recrystallized layer 810, creating tunnel junction
630
Add passivating layers, AR coatings, and electrodes
640
600

Figure 7


MCA-F Solar cell M3 under 1 sun
after Cu platting
η = 12.5 %
FF = 66%
J (mA/cm²)
Voltage (V)
730
CMA-F Cell M3
IQE
Wavelength (nm)
720

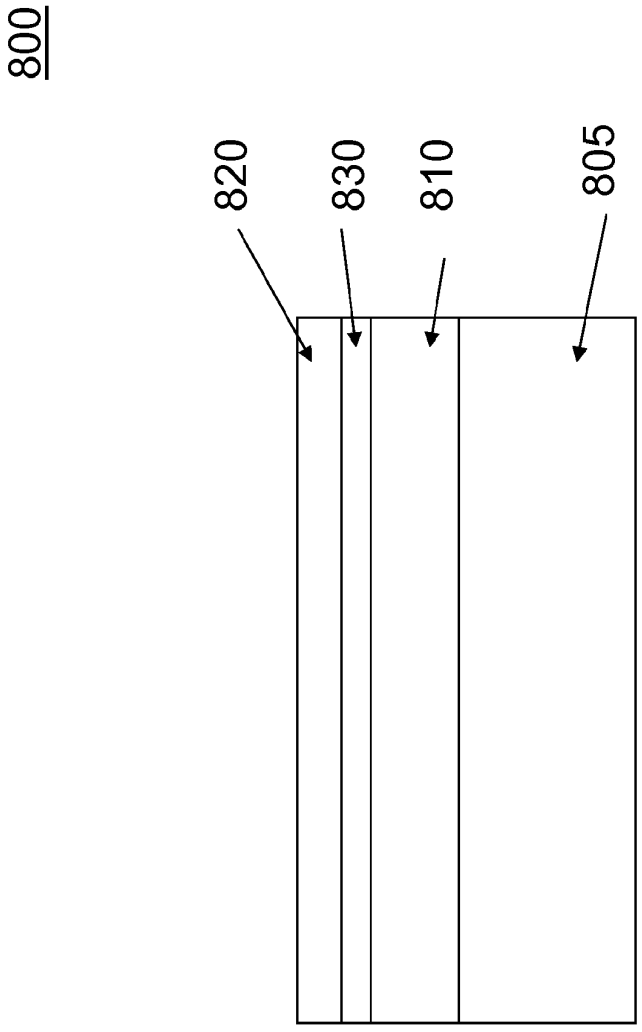


Figure 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US 10/39008

A. CLASSIFICATION OF SUBJECT MATTER
IPC(8) - H01L 31/102 (2010.01)
USPC - 257/186; 257/16; 257/21
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
USPC - 257/186; 257/16; 257/21

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
USPC - 257/186; 257/16; 257/21 (keyword limited; terms below)

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Pubwest (PGPB, USPT, EPAB, JPAB); Google Patents, Google Scholar;
Search Terms: low thermal budget, heat$5, dop$6, transition (region OR area OR layer), crystal$7, amorphous, semiconductor,1 micron, 10 nm, antioreflective, anti reflective coating, passivation layer, conductive contact, grain size, rapid thermal processing, PECVD, sil

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6,399,450 B1 (YU) 04 June 2002 (04.06.2002), col 3, ln 1-13 and 65-67; col 4, ln 1-2 and 10 -23; col 5, ln 53-59; col 6, ln 22-39	1-23
Y	YOKOGAWA et al., "Nitrogen Delta Doping in 6H Silicon Carbide Layers." Journal of Applied Physics, Vol 89, No 3, pp 1794-1799, 01 February 2001 (01.02.2001), p 1795, col 1, para 2-3; and figure 2	1-17
Y	US 6,784,361 B2 (CARLSON et al.) 31 August 2004 (31.08.2004), col 5, ln 21-35	18
Y	US 2007/0023082 A1 (MANIVANNAN et al.) 01 February 2007 (01.02.2007), para [0014, 0023, 0031, 0034, 0035, 0038]; figure 4	10-15, 19-23
Y	US 7,087,534 B2 (CHEN) 08 August 2006 (08.08.2006), col 4, ln 45-55	6, 7, 22, 23
Y	US 5,147,826 A (LIU et al.) 15 September 1992 (15.09.1992), col 4, ln 4-15	16

☐ Further documents are listed in the continuation of Box C. ☐

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
2 Aug 2010 (02.08.2010)	18 AUG 2010
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201	Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (July 2009)

Espacenet

Bibliographic data: CN203760493 (U) — 2014-08-06

N-type crystalline silicon battery

Inventor(s): MAO WEIPING; WEN ZHUANPING; TIAN XIAORANG; ZHANG JUAN; YANG RONG; LI LIWEI; MENG YUAN; GUO TIE ± (MAO WEIPING, ; WEN ZHUANPING, ; TIAN XIAORANG, ; ZHANG JUAN ; YANG RONG, ; LI LIWEI, ; MENG YUAN, ; GUO TIE)

Applicant(s): ENN SOLAR ENERGY CO LTD ± (ENN SOLAR ENERGY CO., LTD)

Classification: **- international:** ***H01L31/0216; H01L31/0224***
- cooperative:

Application number: CN20142191034U 20140418

Priority number(s): CN20142191034U 20140418

Abstract of CN203760493 (U)

The utility model discloses an N-type crystalline silicon battery. The backlight side of an N-type crystalline silicon layer is sequentially provided with a tunneling passivation layer, a (P+)-type crystalline silicon layer and a back electrode, so that a (P+N)-type transmitting electrode can be formed on the backlight side of the N-type crystalline silicon layer to separate photon-generated carriers, the back electrode can be prevented from being in direct ohm contact with the N-type crystalline silicon layer through the tunneling passivation layer, so that the surface passivation of the N-type crystalline silicon layer can be guaranteed, and the carrier compounding of the N-type crystalline silicon battery in a (P+N) node area can be reduced; moreover, the tunneling passivation layer has a quantum tunneling effect, so that a good tunneling effect can be realized, and the effective transmission of the carriers can be guaranteed; meanwhile, the light-incidence side of the N-type crystalline silicon layer is provided with an (N+)-type crystalline silicon layer, an (N+)-type crystalline silicon layer and the N-type crystalline silicon layer can form an NN+ node, so that the compounding of the carriers can be further reduced, and the separation and the collection of the multiple carriers can be promoted; finally open-circuit voltage of the battery can be improved is increased and the transformation efficiency of the battery can be improved.

Petitioner Runergy USA Inc., Ex. 1005, p. 248

(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 203760493 U
(45)授权公告日 2014.08.06

(21)申请号 201420191034.9

(22)申请日 2014.04.18

(73)专利权人 新奥光伏能源有限公司
地址 065001 河北省廊坊市经济技术开发区华祥路 106 号

(72)发明人 毛卫平 温转萍 田小让 张娟 杨荣 李立伟 孟原 郭铁

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 黄志华

(51)Int.Cl.
H01L 31/0224(2006.01)
H01L 31/0216(2014.01)

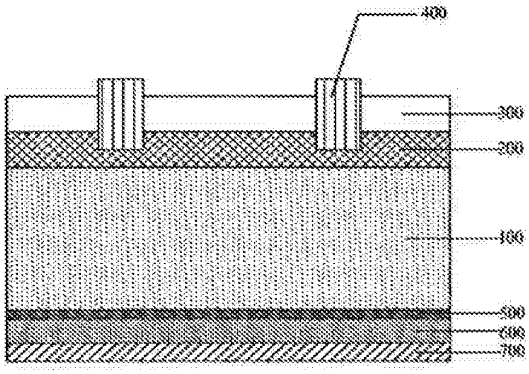
权利要求书1页 说明书5页 附图2页

(54)实用新型名称

一种 N 型晶体硅电池

(57)摘要

本实用新型公开了一种 N 型晶体硅电池，由于在 N 型晶体硅层的背光侧依次设置有隧穿钝化层、P+ 型晶体硅层和背电极，从而在 N 型晶体硅层的背光侧可以形成 P+N 型发射极以分离光生载流子，并且隧穿钝化层可以避免背电极与 N 型晶体硅层直接欧姆接触，因此可以保证 N 型晶体硅层的表面钝化，从而降低 N 型晶体硅电池在 P+N 结区的载流子复合；并且由于隧穿钝化层具有量子隧穿效应，因此还可以起到较好的隧穿效果以保证载流子的有效传输；同时由于在 N 型晶体硅层的入光侧设置有 N+ 型晶体硅层，N+ 型晶体硅层与 N 型晶体硅层可以形成 NN+ 结，从而可以进一步减少载流子的复合，促进多数载流子的分离与收集，最终可以提高电池的开路电压和转换效率。



CN 203760493 U

BNSDOCID: <CN_____203760493U__I_>

1. 一种 N 型晶体硅电池，包括 N 型晶体硅层，其特征在于，还包括：N+ 型晶体硅层、抗反射钝化层、具有量子隧穿效应的隧穿钝化层、P+ 型晶体硅层、栅线电极和背电极；其中，

所述 N+ 型晶体硅层位于所述 N 型晶体硅层的入光侧，所述抗反射钝化层位于所述 N+ 型晶体硅层之上；

所述栅线电极位于所述抗反射钝化层之上且通过贯穿所述抗反射钝化层的过孔与所述 N+ 型晶体硅层欧姆接触；

所述隧穿钝化层位于所述 N 型晶体硅层的背光侧，所述 P+ 型晶体硅层位于所述隧穿钝化层之上，所述背电极位于所述 P+ 型晶体硅层之上。

2. 如权利要求 1 所述的 N 型晶体硅电池，其特征在于，所述隧穿钝化层的材料为氧化硅、碳化硅、氮化硅、氧化铝或氧化钛。

3. 如权利要求 2 所述的 N 型晶体硅电池，其特征在于，所述隧穿钝化层的厚度为 1nm ～ 3nm。

4. 如权利要求 1 所述的 N 型晶体硅电池，其特征在于，所述 P+ 型晶体硅层的材料为硼掺杂的多晶硅或硼掺杂的微晶硅。

5. 如权利要求 4 所述的 N 型晶体硅电池，其特征在于，所述 P+ 型晶体硅层的厚度为 10nm ～ 10 μ m。

6. 如权利要求 1-5 任一项所述的 N 型晶体硅电池，其特征在于，所述背电极为金属和 / 或透明导电氧化物。

7. 如权利要求 6 所述的 N 型晶体硅电池，其特征在于，所述金属为铝、金、银、镍、铜镍合金、铝镍合金、和钛钯银合金中之一或组合。

8. 如权利要求 6 所述的 N 型晶体硅电池，其特征在于，所述透明导电氧化物为氧化铟锡、氧化铝锌、氟掺杂锡氧化物、掺杂氧化铟和掺杂氧化锌中之一或组合。

9. 如权利要求 1-5 任一项所述的 N 型晶体硅电池，其特征在于，所述 N+ 型晶体硅层的厚度为 0.15 μ m ～ 1.5 μ m。

10. 如权利要求 1-5 任一项所述的 N 型晶体硅电池，其特征在于，所述抗反射钝化层的材料为非晶态氮化硅、非晶态氧化硅、非晶态碳化硅、非晶态碳氮化硅、非晶态氮氧化硅和非晶态氧化铝中之一或组合。

11. 如权利要求 10 所述的 N 型晶体硅电池，其特征在于，所述抗反射钝化层的厚度为 60nm ～ 120nm。

12. 如权利要求 1-5 任一项所述的 N 型晶体硅电池，其特征在于，所述栅线电极的材料具体为银、镍银合金、镍铜合金、镍铜锡合金或镍铜银合金。

8NSDOCID: <CN_____203760493U__L>

Petitioner Runergy USA Inc., Ex. 1005, p. 250

一种 N 型晶体硅电池

技术领域

[0001] 本实用新型涉及太阳能电池技术领域，尤指一种 N 型晶体硅电池。

背景技术

[0002] 太阳能电池是一种能将太阳能转换成电能的半导体器件，在光照条件下太阳能电池内部会产生光生电流，通过电极将电能输出。具体地，当光照射时，合适波长的辐射导致太阳能电池中的半导体产生空穴 - 电致对，而 P+N 结上存在的电势差使空穴和电子以相反的方向迁移并穿过该结，从而产生了电流的流动，这种流动可将电能传递给外电路。

[0003] 目前，市场上大多数的晶体硅电池均为 P 型晶体硅电池，由于 P 型晶体硅电池一般采用硼掺杂的晶体硅片作衬底，在光照的情况下，会产生硼 - 氧（B-O）络合体，从而导致光生载流子的复合率增加和电池效率下降，即所谓的光致衰退现象。另外，由于 P 型晶体硅中的金属杂质和缺陷对其少数载流子电子的捕获截面较大，因此会限制 P 型晶体硅中的少数载流子寿命，最终导致产业化的 P 型晶体硅电池的效率很难继续大幅度提升。

[0004] 随着太阳能光伏市场的发展，人们对高效的晶体硅电池的需求越来越急迫。N 型晶体硅电池相对 P 型晶体硅电池而言，由于 N 型晶体硅对金属杂质不敏感，或者说具有很好的忍耐性能，因此 N 型晶体硅中少数载流子具有较大的扩散长度。此外，由于 N 型晶体硅采用磷掺杂，因此不存在因光照而导致的 B-O 络合体的形成，因而不存在 P 型晶体硅电池中的光致衰退现象。因此，N 型晶体硅电池逐渐成为众多研究机构和光伏企业关注的对象。

[0005] 目前，在所有 N 型晶体硅电池中，背面钝化的 N 型（n-type passivated emitter and rear totally diffused，n-PERT）晶体硅电池，因结构和制备工艺与现有的 P 型晶体硅电池最接近，而被大多数企业所关注和研究。一般 n-PERT 晶体硅电池如图 1 所示，以 N 型晶体硅层 01 为衬底，在 N 型晶体硅层 01 的入光侧和背光侧分别掺杂硼原子和磷原子形成 P+ 型晶体硅层 02 和 N+ 型晶体硅层 05，以形成 P+N 发射极和 NN+ 背电场，在 P+ 型晶体硅层 02 上设置有抗反射钝化层 03 和位于抗反射钝化层 03 之上且通过贯穿抗反射钝化层 03 的过孔与 P+ 型晶体硅层 02 欧姆接触的栅线电极 04，在 N+ 型晶体硅层 05 上设置钝化介质层 06，以及位于钝化介质层 06 之上且通过贯穿钝化介质层 06 的过孔与 N+ 型晶体硅层 05 欧姆接触的背电极 07。

[0006] 上述结构的 n-PERT 晶体硅电池，由于在栅线电极 04 在与 P+ 型晶体硅层 02 直接接触的区域，栅线电极 04 中的金属离子很容易渗透到 P+ 型晶体硅层 02 中，从而破坏栅线电极下面的 P ＋ N 结，从而造成 P ＋ N 结区的复合率增加，最终导致电池开路电压和转换效率难以提高。因此，上述结构的 n-PERT 晶体硅电池与现有的 P 型晶体硅电池相比，从转换效率或制造成本来说并无明显优势。

实用新型内容

[0007] 本实用新型实施例提供的一种 N 型晶体硅电池，用以解决 N 型晶体硅电池中由于栅线电极与 P+ 型晶体硅层接触所导致的 P ＋ N 结区复合率增大的问题，从而提高 N 型晶体

BNSDOCID: <CN_____203760493U__I_>

Petitioner Runergy USA Inc., Ex. 1005, p. 251

硅电池的开路电压和转换效率。

[0008] 本实用新型实施例提供的一种 N 型晶体硅电池，包括 N 型晶体硅层，还包括：N+ 型晶体硅层、抗反射钝化层、具有量子隧穿效应的隧穿钝化层、P+ 型晶体硅层、栅线电极和背电极；其中，

[0009] 所述 N+ 型晶体硅层位于所述 N 型晶体硅层的入光侧，所述抗反射钝化层位于所述 N+ 型晶体硅层之上；

[0010] 所述栅线电极位于所述抗反射钝化层之上且通过贯穿所述抗反射钝化层的过孔与所述 N+ 型晶体硅层欧姆接触；

[0011] 所述隧穿钝化层位于所述 N 型晶体硅层的背光侧，所述 P+ 型晶体硅层位于所述隧穿钝化层之上，所述背电极位于所述 P+ 型晶体硅层之上。

[0012] 本实用新型实施例提供的上述 N 型晶体硅电池，由于在 N 型晶体硅层的入光侧设置有 N+ 型晶体硅层，而 N+ 型晶体硅层与 N 型晶体硅层可以形成 NN+ 结，从而可以减少光生载流子的复合，促进多数载流子的分离与收集；同时，由于在 N 型晶体硅层的背光侧依次设置有隧穿钝化层、P+ 型晶体硅层和背电极，从而在 N 型晶体硅层的背光侧形成 P+N 型发射极，而隧穿钝化层可以避免背电极与 N 型晶体硅层直接欧姆接触，因此该隧穿钝化层可以保证 N 型晶体硅层背光侧的表面钝化效果，从而进一步降低 N 型晶体硅电池在 P+N 结区的载流子复合速率；并且，由于隧穿钝化层具有量子隧穿效应，因此还可以起到较好的隧穿效果以保证载流子的有效传输；最终可以提高 N 型晶体硅电池的开路电压和转换效率。

[0013] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述隧穿钝化层的材料为氧化硅、碳化硅、氮化硅、氧化铝或氧化钛。

[0014] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述隧穿钝化层的厚度为 1nm ～ 3nm。

[0015] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述 P+ 型晶体硅层的材料为硼掺杂的多晶硅或硼掺杂的微晶硅。

[0016] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述 P+ 型晶体硅层的厚度为 10nm ～ 10μm。

[0017] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述背电极的材料为金属和 / 或透明导电氧化物。

[0018] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述金属为铝、金、银、镍、铜镍合金、铝镍合金和钛钯银合金中之一或组合。

[0019] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述透明导电氧化物为氧化铟锡、氧化铝锌、氟掺杂锡氧化物、掺杂氧化铟、掺杂氧化锌中之一或组合。

[0020] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述 N+ 型晶体硅层的厚度为 0.15μm ～ 1.5μm。

[0021] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述抗反射钝化层的材料为非晶态氮化硅、非晶态氧化硅、非晶态碳化硅、非晶态碳氮化硅、非晶态氮氧化硅和非晶态氧化铝中之一或组合。

[0022] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述抗反射钝化层的厚度为 60nm ～ 120nm。

BNSDOCID: <CN_____203760493U_1_>

Petitioner Runergy USA Inc., Ex. 1005, p. 252

[0023] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，所述栅线电极的材料具体为银、镍银合金、镍铜合金、镍铜锡合金或镍铜银合金。

附图说明

[0024] 图 1 为现有的 n-PERT 晶体硅电池的结构示意图；

[0025] 图 2 为本实用新型实施例提供的 N 型晶体硅电池的结构示意图。

具体实施方式

[0026] 下面结合附图，对本实用新型实施例提供的 N 型晶体硅电池的具体实施方式进行详细地说明。

[0027] 其中，附图中各膜层厚度和形状不反映 N 型晶体硅电池的真实比例，目的只是示意说明本实用新型内容。

[0028] 本实用新型实施例提供的一种 P 型晶体硅电池，如图 2 所示，包括 N 型晶体硅层 100，还包括：N+ 型晶体硅层 200、抗反射钝化层 300、具有量子隧穿效应的隧穿钝化层 500、P+ 型晶体硅层 600、栅线电极 400 和背电极 700；其中，

[0029] N+ 型晶体硅层 200 位于 N 型晶体硅层 100 的入光侧，抗反射钝化层 300 位于 N+ 型晶体硅层 200 之上；

[0030] 栅线电极 400 位于抗反射钝化层 300 之上且通过贯穿抗反射钝化层 400 的过孔与 N+ 型晶体硅层 200 欧姆接触；

[0031] 隧穿钝化层 500 位于 N 型晶体硅层 100 的背光侧，P+ 型晶体硅层 600 位于隧穿钝化层 500 之上，背电极 700 位于 P+ 型晶体硅层 600 之上。

[0032] 本实用新型实施例提供的上述 N 型晶体硅电池，由于在 N 型晶体硅层的入光侧设置有 N+ 型晶体硅层，而 N+ 型晶体硅层与 N 型晶体硅层可以形成 NN+ 结，从而可以减少光生载流子的复合，促进多数载流子的分离与收集；同时，由于在 N 型晶体硅层的背光侧依次设置有隧穿钝化层、P+ 型晶体硅层和背电极，从而在 N 型晶体硅层的背光侧形成 P+N 型发射极，而隧穿钝化层可以避免背电极与 N 型晶体硅层直接欧姆接触，因此该隧穿钝化层可以保证 N 型晶体硅层背光侧的表面钝化效果，从而进一步降低 N 型晶体硅电池在 P+N 结区的载流子复合速率；并且，由于隧穿钝化层具有量子隧穿效应，因此还可以起到较好的隧穿效果以保证载流子的有效传输；最终可以提高 N 型晶体硅电池的开路电压和转换效率。

[0033] 需要说明的是，在本实用新型实施例提供的上述 N 型晶体硅电池中，抗反射钝化层是指能抗反射的、表面钝化的介质膜层；隧穿钝化层是指具有隧穿效应的、表面钝化的纳米介质膜层。

[0034] 进一步需要说明的是，在本实用新型实施例提供的上述 N 型晶体硅电池中，抗反射钝化层位于 N+ 型晶体硅层之上是指抗反射钝化层位于 N+ 型晶体硅层背离 N 型晶体硅层一侧的表面上；栅线电极位于抗反射钝化层之上是指栅线电极位于抗反射钝化层背离 N 型晶体硅层一侧的表面上。相应地，P+ 型晶体硅层位于隧穿钝化层之上是指 P+ 型晶体硅层位于隧穿钝化层背离 N 型晶体硅层一侧的表面上，背电极位于 P+ 型晶体硅层之上是指背电极位于 P+ 型晶体硅层背离 N 型晶体硅层一侧的表面上。

[0035] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N 型晶体硅层主要用

BNSDOCID: <CN_____203760493U__I_>

Petitioner Runergy USA Inc., Ex. 1005, p. 253

于吸收太阳能中的光子，以产生光生载流子。具体地，N 型晶体硅层的材料可以是 N 型单晶硅或者 N 型类单晶硅，在此不做限定。

[0036] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N 型晶体硅层的电阻率可以控制在 0.5Ω cm ～ 10Ω cm 之间，在此不做限定。较佳地，N 型晶体硅层的电阻率控制在 1Ω cm ～ 3Ω cm 之间效果较佳。

[0037] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N 型晶体硅层的厚度可以控制在 50μm ～ 500μm 之间，在此不做限定。较佳地，N 型晶体硅层的厚度控制在 180μm ～ 200μm 之间效果较佳。

[0038] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，隧穿钝化层的材料可以为氧化硅，这样在制备时可以通过对 N 型晶体硅层的背光一侧进行热氧化或湿化学氧化就可形成；当然隧穿钝化层也可以是其它能够实现本实用新型方案的材料，例如、碳化硅、氮化硅、氧化铝或氧化钛等，在此不做限定。

[0039] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，隧穿钝化层的厚度可以控制在 1nm ～ 3nm 之间，在此不做限定。较佳地，隧穿钝化层的厚度控制在 1nm ～ 1.5nm 之间效果较佳。

[0040] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，如图 2 所示，P+ 型多晶硅膜层 600 与隧穿钝化层 500 及 N 型晶体硅层 100 形成 P+N 型发射极，用于用来分离光生载流子；同时，该 P+ 型晶体硅层又能与背电极形成良好的欧姆接触。

[0041] 较佳地，在本实用新型实施例提供的上述 N 型晶体硅电池中，P+ 型晶体硅层的材料可以为硼掺杂的多晶硅或硼掺杂的微晶硅，当然，在具体实施时，P+ 型晶体硅层也可以为能够实现本实用新型方案的掺杂其它材料的多晶硅或掺杂其它材料的微晶硅，在此不做限定。

[0042] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，P+ 型晶体硅层的厚度可以控制在 10nm ～ 10μm 之间，在此不做限定。较佳地，P+ 型晶体硅层的厚度控制在 20nm 左右效果为佳。

[0043] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，背电极的材料可以为金属和 / 或透明导电氧化物，主要用来收集光生载流子中的空穴，同时形成背面反射层，增加 N 型晶体硅电池长波光响应。

[0044] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，背电极的材料可以仅为金属。金属具体可以为铝、金、银、镍、铜镍合金、铝镍合金和钛钯银合金中之一或组合。背电极的厚度控制在 100nm ～ 100um 之间效果为佳。

[0045] 或者，在本实用新型实施例提供的上述 N 型晶体硅电池中，背电极的材料也可以仅为透明导电氧化物。透明导电氧化物具体可以为氧化铟锡、氧化铝锌、氟掺杂锡氧化物、掺杂氧化铟、掺杂氧化锌中之一或组合。背电极的厚度控制在 50nm ～ 5um 之间效果为佳。

[0046] 或者，在本实用新型实施例提供的上述 N 型晶体硅电池中，背电极的材料可以为金属和透明导电氧化物的组合。具体地，背电极的材料可以为氧化铟锡和银的组合，此时，氧化铟锡的厚度控制在 50nm ～ 120nm 之间，银的厚度控制在 150n ～ 200nm 之间效果为佳。

[0047] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N+ 型晶体硅层可以通过在该 N 型晶体硅层的入光侧进行掺杂形成，形成的 N+ 型晶体硅层与 N 型晶体硅层形成

BNSDOCID: <CN 203760493U >

Petitioner Runergy USA Inc., Ex. 1005, p. 254

同质 NN+ 结，既能作为 N 型晶体硅电池的前表面场，减少光生载流子的复合，促进多数载流子（电子）的分离与收集；同时，该 N+ 型晶体硅层又能与栅线电极形成良好的欧姆接触。

[0048] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N+ 型晶体硅层的厚度可以控制在 0.15μm ～ 1.5μm 之间，在此不做限定。较佳地，N+ 型晶体硅层的厚度控制在 0.2μm 左右效果较佳。

[0049] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，N+ 型晶体硅层的方块电阻可以控制在 20Ω／□～ 200Ω／□之间，在此不做限定。较佳地，N+ 型晶体硅层的方块电阻控制在 80Ω／□左右效果较佳。

[0050] 具体地，在本实用新型实施例提供的上述 N 型晶体硅电池中，抗反射钝化层主要用来减少入射光在 P 型晶体硅层表面的反射，同时对 N+ 型晶体硅层形成良好的表面钝化。在具体实施时，抗反射钝化层的材料可以为非晶态氮化硅（a-SiNx）、非晶态氧化硅（a-SiOx）、非晶态碳化硅（a-SiCx）、非晶态碳氮化硅（a-SiCxNy）、非晶态氮氧化硅（a-SiNxOy）和非晶态氧化铝（a-AlOx）中之一或组合。抗反射钝化层的厚度可以控制在 60nm ～ 120nm 之间，在此不做限定；较佳地，厚度控制在 70nm ～ 90nm 之间为佳。

[0051] 较佳地，在具体实施时，在本实用新型实施例提供的上述 N 型晶体硅电池中，抗反射钝化层采用非晶态氮化硅，厚度控制在 70nm ～ 90nm 之间，折射率为 1.9 ～ 2.2 之间效果为佳。

[0052] 进一步地，在本实用新型实施例提供的上述 N 型晶体硅电池中，栅线电极主要用来收集光生载流子中的电子。栅线电极可以通过丝网印刷或高温烧结市场上可获得的银浆形成。

[0053] 具体地，栅线电极可以为银（Ag）、镍银合金（Ni/Ag）、镍铜合金（Ni/Cu）、镍铜锡合金（Ni/Cu/Sn）或镍铜银合金（Ni/Cu/Ag）等，在此不做限定。

[0054] 本实用新型实施例提供的一种 N 型晶体硅电池，由于在 N 型晶体硅层的入光侧设置有 N+ 型晶体硅层，而 N+ 型晶体硅层与 N 型晶体硅层可以形成 NN+ 结，从而可以减少光生载流子的复合，促进多数载流子的分离与收集；同时，由于在 N 型晶体硅层的背光侧依次设置有隧穿钝化层、P+ 型晶体硅层和背电极，从而在 N 型晶体硅层的背光侧形成 P+N 型发射极，而隧穿钝化层可以避免背电极与 N 型晶体硅层直接欧姆接触，因此该隧穿钝化层可以保证 N 型晶体硅层背光侧的表面钝化效果，从而进一步降低 N 型晶体硅电池在 P+N 结区的载流子复合速率；并且，由于隧穿钝化层具有量子隧穿效应，因此还可以起到较好的隧穿效果以保证载流子的有效传输；最终可以提高 N 型晶体硅电池的开路电压和转换效率。另外，在上述 N 型晶体硅电池中，由于在 N 型晶体硅层的入光侧采用的是依次设置的 N+ 型晶体硅层、抗反射钝化层和贯穿抗反射钝化层的栅线电极的结构，因此该结构的制备工艺完全可以借鉴现有的 P 型晶体硅电池的成熟技术。

[0055] 显然，本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样，倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内，则本实用新型也意图包含这些改动和变型在内。

BNSDOCID: <CN_____203760493U__I_>

Petitioner Runergy USA Inc., Ex. 1005, p. 255

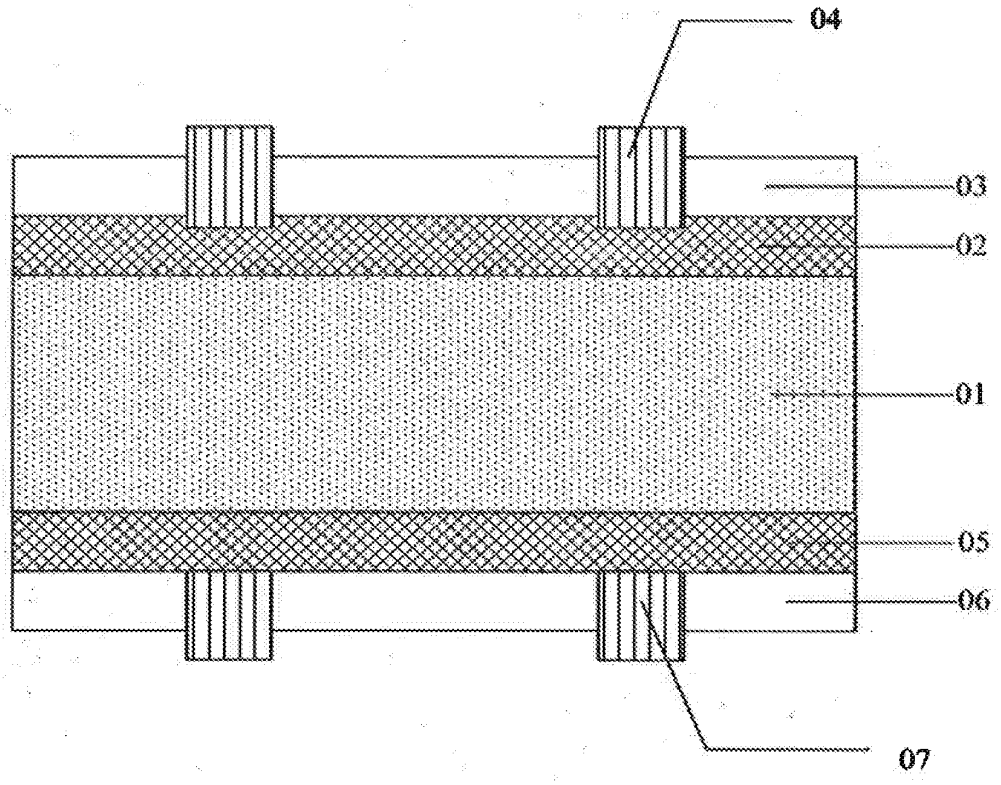


图 1

BNSDOCID: <CN 203760493U I>

Petitioner Runergy USA Inc., Ex. 1005, p. 256

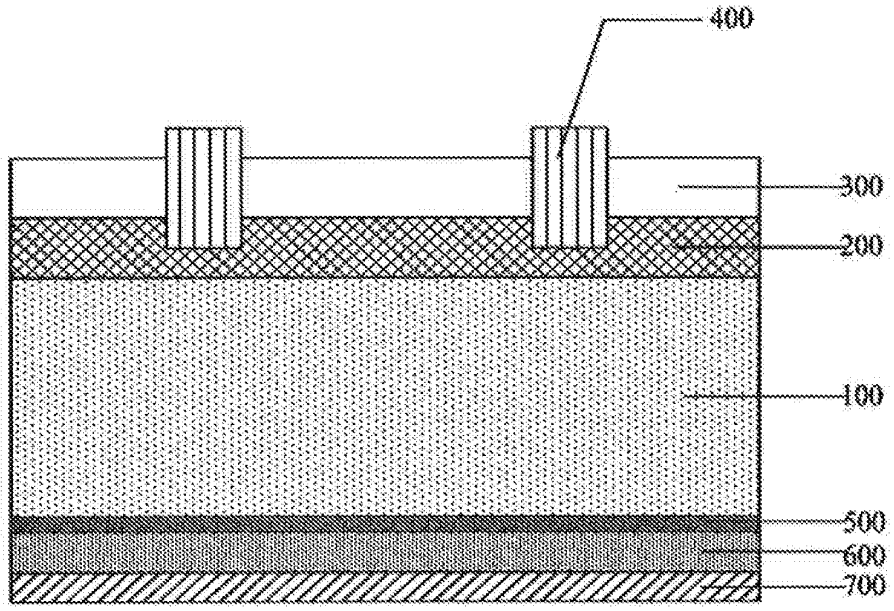


图 2

BNSDOCID: <CN_____203760493U__1_>

Petitioner Runergy USA Inc., Ex. 1005, p. 257

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 2 787 541 A1

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
08.10.2014 Bulletin 2014/41

(51) Int Cl.:
H01L 31/0747 *(2012.01)*

(21) Application number: **14001223.8**

(22) Date of filing: **02.04.2014**

(84) Designated Contracting States:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Designated Extension States:
BA ME

(30) Priority: **03.04.2013 KR 20130036455**
09.09.2013 KR 20130108046

(71) Applicant: **LG Electronics, Inc.**
Seoul 150-721 (KR)

(72) Inventors:
- **Chang, Jaewon**
  137-724 Seoul (KR)
- **Shim, Kyungjin**
  137-724 Seoul (KR)
- **Park, Hyunjung**
  137-724 Seoul (KR)
- **Choi, Junghoon**
  137-724 Seoul (KR)

(74) Representative: **Katérle, Axel**
Wuesthoff & Wuesthoff
Patent- und Rechtsanwälte
Schweigerstraße 2
81541 München (DE)

(54) Solar cell

(57) Discussed is a solar cell including a semiconductor substrate, a first tunneling layer entirely formed over a surface of the semiconductor substrate, a first conductive type area disposed on the surface of the semiconductor substrate, and an electrode including a first electrode connected to the first conductive type area.

EP 2 787 541 A1

Printed by Jouve, 75001 PARIS (FR)

Description

CROSS-REFERENCE TO RELATED APPLICATION

[0001] This application claims the priority benefit of Korean Patent Applications Nos. 10-2013-0036455 filed on April 3, 2013 and 10-2013-0108046 filed on September 9, 2013 in the Korean Intellectual Property Office, the disclosure of all these applications is incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the invention

[0002] The embodiments of the invention relate to a solar cell and, more particularly, to a solar cell including a semiconductor substrate.

2. Description of the Related Art

[0003] In recent years, as conventional energy resources such as petroleum and coal are expected to be depleted, interest in alternative energy resources replacing these energy resources is on the rise. Of these, solar cells are attracting considerable attention as next generation cells which convert solar energy into electrical energy.

[0004] Such a solar cell may be manufactured by forming conductive type areas and electrodes electrically connected thereto on a semiconductor substrate in order to cause photoelectric conversion. In addition, the solar cell may include a passivation film for passivating a conductive type area, an anti-reflective film for preventing reflection and the like in order to improve properties of the solar cells.

[0005] In this regard, efficiency of conventional solar cells may be deteriorated due to recombination of carriers on the semiconductor substrate, long transfer distances of the carriers and the like. Accordingly, solar cells should be designed so that efficiency thereof can be maximized.

SUMMARY OF THE INVENTION

[0006] It is an object of the embodiment of the invention to provide a solar cell which is capable of maximizing efficiency.

[0007] In accordance with one aspect of the embodiment of the invention, the above and other objects can be accomplished by the provision of a solar cell including a semiconductor substrate, a first tunneling layer entirely formed over a surface of the semiconductor substrate, a first conductive type area disposed on the surface of the semiconductor substrate, and an electrode including a first electrode connected to the first conductive type area, wherein the first conductive type area includes a first portion which is disposed on the first tunneling layer and includes a polycrystalline, amorphous or microcrystalline semiconductor doped with a first conductive type dopant.

[0008] According to an embodiment of the invention, after the tunneling layer is formed on the semiconductor substrate, conductive type areas (emitter area, back surface field area and the like) are formed on the tunneling layer. As a result, defects on the back surface of the semiconductor substrate are effectively removed and carriers causing photoelectric conversion are efficiently transferred. Accordingly, damage to the semiconductor substrate is prevented and recombination sites on the back surface of the semiconductor substrate are thus efficiently removed. Accordingly, efficiency of the solar cells can be further improved.

[0009] In a solar cell according to another embodiment of the invention, conductive type areas include a plurality portions disposed such that the tunneling layer is interposed between the portions, thereby minimizing recombination on the semiconductor substrate and improving electrical connection to electrodes. As a result, efficiency of the solar cells can be improved.

BRIEF DESCRIPTION OF THE DRAWINGS

[0010] The above and other objects, features and other advantages of the embodiments of the invention will be more clearly understood from the following detailed description taken in conjunction with the accompanying drawings, in which:

FIG. 1 is a sectional view illustrating a solar cell according to an embodiment of the invention;

FIG. 2 is a plan view illustrating the solar cell according to the embodiment;

FIG. 3 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 1;

FIG. 4 is a sectional view illustrating a solar cell according to another embodiment of the invention;

FIG. 5 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 4;

FIG. 6 is a sectional view illustrating another modified embodiment of the embodiment shown in FIG. 4;

FIG. 7 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 4;

FIG. 8 is a sectional view illustrating a solar cell according to another embodiment of the invention;

FIG. 9 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 8;

FIG. 10 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 8;

FIG. 11 is a sectional view illustrating a solar cell according to another embodiment of the invention;

FIG. 12 is a sectional view illustrating a solar cell according to another modified embodiment of the

Petitioner Runergy USA Inc., Ex. 1005, p. 260

embodiment shown in FIG. 11;

FIG. 13 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 11;

FIG. 14 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 11;

FIG. 15 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 11;

FIG. 16A to 16E are sectional views for illustrating the manufacturing method of the solar cell shown in FIG. 11; and

FIG. 17 is a sectional view illustrating a solar cell according to another embodiment of the invention.

DETAILED DESCRIPTION OF THE EMBODIMENTS

[0011] Reference will now be made in detail to the example embodiments of the invention, examples of which are illustrated in the accompanying drawings. The embodiments of the invention are not limited to the embodiments and the embodiments may be modified into various forms.

[0012] In the drawings, parts unrelated to description are not illustrated for clear and brief description of the embodiments of the invention, and the same reference numbers will be used throughout the specification to refer to the same or similar parts.

[0013] In the drawings, the thickness or size is exaggerated or reduced for more clear description. In addition, the size or area of each constituent element is not limited to that illustrated in the drawings.

[0014] It will be further understood that, throughout this specification, when one element is referred to as "comprising" another element, the term "comprising" specifies the presence of another element but does not preclude the presence of other additional elements, unless context clearly indicates otherwise. In addition, it will be understood that when one element such as a layer, a film, a region or a plate is referred to as being "on" another element, the one element may be directly on the another element, and one or more intervening elements may also be present. In contrast, when one element such as a layer, a film, a region or a plate is referred to as being "directly on" another element, one or more intervening elements are not present.

[0015] Hereinafter, a solar cell according to an embodiment of the invention will be described in more detail with reference to the annexed drawings.

[0016] FIG. 1 is a sectional view illustrating a solar cell according to an embodiment of the invention. FIG. 2 is a plan view illustrating the solar cell according to the embodiment.

[0017] Referring to FIGS. 1 and 2, the solar cell 100 according to the embodiment of the invention includes a substrate (for example, semiconductor substrate, hereinafter, referred to as a "semiconductor substrate") 10, conductive type areas 20 and 30, electrodes 24 and 34 connected to the conductive type areas 20 and 30, and at least one tunneling layer 40. The conductive type areas 20 and 30 may include an emitter area 20 and a back surface field area 30 and the electrodes 24 and 34 may include first and second electrodes 24 and 34 respectively connected to the emitter area 20 and the back surface field area 30. The tunneling layer 40 may be interposed between the semiconductor substrate 10 and at least one of the conductive type areas 20 and 30. The tunneling layer 40 may be included with a first passivation film 21, a first anti-reflective film 22, a second passivation film 31, a second anti-reflective film 32 and the like. This configuration will be described in more detail.

[0018] One of the emitter area 20 and the back surface field area 30 is referred to as a "first conductive type area" and the other is referred to as a "second conductive type area". In the embodiment of the invention, terms such as first or second are used for only distinguishing the elements and the embodiments of the invention are not limited thereto.

[0019] The semiconductor substrate 10 may include a base area 110 containing a relatively low doping concentration of a first conductive type dopant. The base area 110 may be composed of a crystalline semiconductor including the first conductive type dopant. For example, the base area 110 may include a monocrystalline or polycrystalline semiconductor (for example, monocrystalline or polycrystalline silicon) including a first conductive type dopant. In particular, the base area 110 may be composed of a monocrystalline semiconductor (for example, a monocrystalline semiconductor wafer, more specifically, a semiconductor silicon wafer) including a first conductive type dopant. As such, when the base area 110 is composed of monocrystalline silicon, the solar cell 100 constitutes a monocrystalline silicon solar cell. As such, the solar cell 100 including a monocrystalline semiconductor is based on the base area 110 or the semiconductor substrate 10 which has little defects due to superior crystallinity, thus exhibiting superior electrical properties.

[0020] The first conductive type dopant is for example an n-type or a p-type dopant. That is, the first conductive type dopant may be an n-type impurity such as a Group V element including phosphorous (P), arsenic (As), bismuth (Bi), antimony (Sb) or the like. Alternatively, the first conductive-type dopant may be a p-type impurity such as a Group III element including boron (B), aluminum (Al), gallium (Ga), indium (In) or the like.

[0021] In this instance, the base area 110 may include an n-type impurity as a first conductive type dopant. As a result, the emitter area 20 forming a pn junction with the base area 110 is p-type. When light is emitted to the pn junction, electrons created by photoelectric effect are moved to a second surface (hereinafter, referred to a "back surface") of the semiconductor substrate 10 and are collected by the second electrode 34, and holes are moved toward a front surface of the semiconductor sub-

Petitioner Runergy USA Inc., Ex. 1005, p. 261

strate 10 and are then collected by the first electrode 24. As a result, electric energy is generated. Holes having a low movement speed are moved to the front surface of the semiconductor substrate 10, rather than the back surface thereof, thereby improving photoelectric conversion efficiency, but the embodiment of the invention is not limited thereto, and the base area 110 and the back surface field area 30 may be p-type and the emitter area 20 may be n-type in other embodiment of the invention.

[0022] In the embodiment of the invention, the semiconductor substrate 10 may include only the base area 110. That is, in conventional solar cells, a doping area having a conductive type different from the semiconductor substrate 10, or a doping area having the same conductive type as the semiconductor substrate 10 and a relatively high doping concentration or the like is formed on the semiconductor substrate 10. On the other hand, in the embodiment of the invention, the semiconductor substrate 10 includes only the base area 110 and does not include an additional doping area.

[0023] As described above, the semiconductor substrate 10 is composed of only the base area and does not include an additional doping area. For example, a difference between the lowest doping concentration and the highest doping concentration in the semiconductor substrate 10 may be 10% or less. The difference of 10% or less is given as an example for determining a level in which doping for forming an additional dopant area is not performed and the embodiment of the invention is not limited thereto. That is, the difference of 10% or less is a range of doping variation that may occur within the substrate, and is akin to a margin of error. Accordingly, the embodiment of the invention includes all instances in which a semiconductor substrate 10 is generally not provided with an additional doping area.

[0024] In the embodiment of the invention, the semiconductor substrate 10 is not provided with an additional doping area, thus improving an open circuit voltage. The reason for this is that it is possible to prevent surface recombination of carriers which may be generated or occur due to formation of the doping area on the semiconductor substrate 10.

[0025] In the embodiment of the invention, the front and back surfaces of the semiconductor substrate 10 are textured so that the surfaces have irregularities such as pyramidal shape. When surface roughness is increased due to irregularities formed on the front surface of the semiconductor substrate 10 by texturing, reflection of light incident upon the front surface of the semiconductor substrate 10 can be decreased. Accordingly, an amount of light reaching the tunnel junction formed by the semiconductor substrate 10 and the emitter area 20 is increased and light loss is thus minimized, but the embodiment of the invention is not limited thereto and only one of the front and back surfaces of the semiconductor substrate 10 may be textured or both of them may be not textured.

[0026] A first tunneling layer 42 is entirely formed over one surface (for example, front surface, hereinafter, referred to as a "front surface") of the semiconductor substrate 10. As used herein, the expression "entirely formed" means that an element such as a layer is formed over an entire surface without an empty area or a non-coverage area, or is formed over an entire area excluding pre-designated or inevitably formed regions such as periphery region, isolation region or the like.

[0027] The first tunneling layer 42 passivates the surface of the semiconductor substrate 10 having many recombination sites and facilities transfer of carriers through a tunneling effect.

[0028] The first tunneling layer 42 may include a material providing passivation and tunneling effects, for example, oxide, nitride, a semiconductor, a conductive polymer or the like. For example, the first tunneling layer 42 may include silicon oxide, silicon nitride, silicon oxide nitride, intrinsic amorphous silicon, intrinsic polycrystalline silicon or the like. In this instance, the first tunneling layer 42 can be easily and stably formed.

[0029] In order to provide sufficient passivation and tunneling effects, the first tunneling layer 42 may have a thickness of 5 nm or less, or 0.5 nm to 5 nm (for example, 0.5 nm to 4 nm, for example, 0.5 nm to 2 nm). When the thickness of the first tunneling layer 42 exceeds 5 nm, tunneling is not efficiently performed and the solar cell 100 may not operate, and when the thickness of the first tunneling layer 42 is less than 0.5 nm, passivation property may be deteriorated. In order to further improve the tunneling effect, the thickness of the first tunneling layer 42 may be 0.5 nm to 4 nm, more specifically, 0.5 nm to 2 nm, but the embodiment of the invention is not limited thereto and the thickness of the first tunneling layer 42 may be changed.

[0030] In the embodiment of the invention, the first tunneling layer 42 is formed over the front surface of the semiconductor substrate 10, thereby entirely removing defects on the front surface of the semiconductor substrate 10. As a result, open circuit voltage of the solar cell 100 is improved and efficiency of the solar cell 100 is thus enhanced.

[0031] In the embodiment of the invention, the emitter area 20 includes a first portion 20a formed on the first tunneling layer 42. The first portion 20a may include a polycrystalline, amorphous or microcrystalline semiconductor having a different conductive type (for example, p-type or n-type) from the semiconductor substrate 10. For example, the emitter area may include polycrystalline silicon, amorphous silicon or microcrystalline silicon doped with a second conductive type dopant. In this instance, the emitter area 20 including the first portion 20a can be easily manufactured by various methods by forming the first portion 20a with a polycrystalline, amorphous or microcrystalline semiconductor.

[0032] In the embodiment of the invention, the first portion 20a of the emitter area 20 may be entirely formed over the first tunneling layer 42. As used herein, the expression "entirely formed" means that an element such

Petitioner Runergy USA Inc., Ex. 1005, p. 262

as a layer is formed over an entire surface without an empty area or a non-coverage area, or is formed over an entire area excluding pre-designated or inevitably formed regions such as periphery region, isolation region or the like. A first passivation film 21 and/or a first anti-reflective film 22 may be formed on the emitter area 20 (more specifically, a first portion 20a). In the embodiment of the invention, a configuration in which the first passivation film 21 is formed on the emitter area 20 and the first anti-reflective film 22 is formed on the first passivation film 21 is exemplified. In the embodiment, the first passivation film 21 may be formed in a substantially entire region over the front surface of the back surface field area 30, excluding a region corresponding to the first electrode 24. In addition, the first anti-reflective film 22 may be formed in a substantially entire region over the front surface of the first passivation film 21, excluding a region corresponding to the first electrode 24.

[0033] The first passivation film 21 passivates defects present in the emitter area 20, removes recombination sites of minority carriers and thereby increases an open circuit voltage of the solar cell 100. In addition, the first anti-reflective film 22 reduces reflectivity of light incident upon the front surface of the semiconductor substrate 10, thereby increasing the amount of light reaching the tunnel junction formed through the semiconductor substrate 10 and the emitter area 20. Accordingly, short circuit current (Isc) of the solar cell 100 can be increased. As such, the first passivation film 21 and the first anti-reflective film 22 increase open circuit voltage and short circuit current of the solar cell 100, thereby improving efficiency of the solar cell 100.

[0034] The first passivation film 21 may be formed of a material capable of effectively passivating the emitter area 20. For example, the first passivation film 21 may be a single film including one selected from the group consisting of silicon nitride, silicon nitride containing hydrogen, silicon oxide, silicon oxide nitride, aluminum oxide, zirconium oxide, hafnium oxide, MgF_2, ZnS, TiO_2 and CeO_2, or a multilayer film including a combination of two or more films. When the emitter area 20 is n-type, the first passivation film 21 may include silicon oxide or silicon nitride having a positive charge or the like, and when the emitter area 20 is p-type, the first passivation film 21 may include aluminum oxide, zirconium oxide, hafnium oxide or the like having a negative charge.

[0035] In addition, the first anti-reflective film 22 may be formed of a variety of materials capable of preventing surface reflection. For example, the first anti-reflective film 22 may be a single film including one selected from the group consisting of silicon nitride, silicon nitride containing hydrogen, silicon oxide, silicon oxide nitride, aluminum oxide, MgF_2, ZnS, TiO_2 and CeO_2, or a multilayer film including a combination of two or more films. However, the embodiment of the invention is not limited thereto and the first anti-reflective film 22 may include a variety of materials.

[0036] The first electrode 24 is electrically connected to the emitter area 20 via an opening formed in the first passivation film 21 and the first anti-reflective film 22 (that is, while passing through the first passivation film 21 and first anti-reflective film 22). The first electrode 24 may be formed to have various shapes using various materials. Plane shape of the first electrode 24 or the like will be described in more detail later.

[0037] Meanwhile, a second tunneling layer 44 is entirely formed over another surface (for example, back surface, hereinafter, referred to as a "back surface") of the semiconductor substrate 10. As used herein, the expression "entirely formed" means that an element such as a layer is formed over an entire surface without an empty area or a non-coverage area, or is formed in an entire area excluding pre-designated or inevitably formed regions such as periphery region, isolation region or the like.

[0038] The second tunneling layer 44 passivates the surface of the semiconductor substrate 10 having many recombination sites and facilities transfer of carriers through a tunneling effect.

[0039] The second tunneling layer 44 may include a material providing passivation and tunneling effects, for example, oxide, nitride, a semiconductor, a conductive polymer or the like. For example, the second tunneling layer 44 may include silicon oxide, silicon nitride, silicon oxide nitride, intrinsic amorphous silicon, intrinsic polycrystalline silicon or the like. In this instance, the second tunneling layer 44 can be easily and stably formed.

[0040] In order to provide sufficient passivation and tunneling effects, the second tunneling layer 44 may have a thickness of 5 nm or less, or 0.5 nm to 5 nm (for example, 0.5 nm to 4 nm, for example, 0.5 nm to 2 nm). When the thickness of the second tunneling layer 44 exceeds 5 nm, tunneling is not efficiently performed and the solar cell 100 may not operate, and when the thickness of the second tunneling layer 44 is less than 0.5 nm, passivation property may be deteriorated. In order to further improve the tunneling effect, the thickness of the second tunneling layer 44 may be 0.5 nm to 4 nm, more specifically, 0.5 nm to 2 nm, but the embodiment of the invention is not limited thereto and the thickness of the second tunneling layer 44 may be changed.

[0041] The second tunneling layer 44 is formed over the back surface of the semiconductor substrate 10, thereby entirely removing defects on the back surface of the semiconductor substrate 10. As a result, open circuit voltage of the solar cell 100 is improved and efficiency of the solar cell 100 is thus enhanced.

[0042] In the embodiment of the invention, the back surface field area 30 includes a first portion 30a formed on the second tunneling layer 44. The first portion 30a of the back surface field area 30 formed on the second tunneling layer 44 may include a polycrystalline, amorphous or microcrystalline semiconductor having the same conductive type (for example, p-type or n-type) as the semiconductor substrate 10. For example, the first portion 30a of the back surface field area 30 may include

Petitioner Runergy USA Inc., Ex. 1005, p. 263

a polycrystalline silicon, amorphous silicon or microcrystalline silicon doped with a first conductive type dopant. In this instance, the back surface field area 30 can be easily manufactured by various methods by forming the first portion 30a of the back surface field area 30 with a polycrystalline, amorphous or microcrystalline semiconductor.

[0043] In the embodiment of the invention, the back surface field area 30 may be entirely formed over the second tunneling layer 44. As used herein, the expression "entirely formed" means that an element such as a layer is formed over an entire surface without an empty area or a non-coverage area, or is formed in an entire area excluding pre-designated or inevitably formed regions such as periphery region, isolation region or the like.

[0044] A second passivation film 31 and/or a second anti-reflective film 32 may be formed on the back surface field area 30. In the embodiment of the invention, a configuration in which the second passivation film 31 is formed on the back surface field area 30 and the second anti-reflective film 32 is formed on the second passivation film 31 is exemplified. In the embodiment of the invention, the second passivation film 31 may be formed in a substantially entire region over the front surface of the back surface field area 30, excluding a region corresponding to the second electrode 34. In addition, the second anti-reflective film 32 may be formed in a substantially entire region over the front surface of the second passivation film 31, excluding a region corresponding to the second electrode 34.

[0045] The second passivation film 31 passivates defects present in the back surface field area 30, removes recombination sites of minority carriers and thereby increases an open circuit voltage of the solar cell 100. In addition, the second anti-reflective film 32 reduces reflectivity of light incident upon the back surface of the semiconductor substrate 10, thereby increasing the amount of light reaching the tunnel junction formed through the semiconductor substrate 10 and the emitter area 20. Accordingly, short circuit current (Isc) of the solar cell 100 can be increased. As such, the second passivation film 31 and the second anti-reflective film 32 increase open circuit voltage and short circuit current of the solar cell 100, thereby improving efficiency of the solar cell 100.

[0046] The second passivation film 31 may be formed of a material capable of effectively passivating the back surface field area 30. For example, the second passivation film 31 may be a single film including one selected from the group consisting of silicon nitride, silicon nitride film containing hydrogen, silicon oxide, silicon oxide nitride, aluminum oxide, zirconium oxide, hafnium oxide, MgF_2, ZnS, TiO_2 and CeO_2, or a multilayer film including a combination of two or more films. When the back surface field area 30 is p-type, the second passivation film 31 may include aluminum oxide, zirconium oxide, hafnium oxide or the like having a negative charge, and when the back surface field area 30 is n-type, the second passivation film 31 may include silicon oxide, silicon nitride or the like having a positive charge.

[0047] In addition, the second anti-reflective film 32 may be formed of a variety of materials capable of preventing surface reflection. For example, the second anti-reflective film 32 may be a single film including one selected from the group consisting of silicon nitride, silicon nitride containing hydrogen, silicon oxide, silicon oxide nitride, aluminum oxide, MgF_2, ZnS, TiO_2 and CeO_2, or a multilayer film including a combination of two or more films. However, the embodiment of the invention is not limited thereto and the second anti-reflective film 32 may include a variety of materials.

[0048] The second electrode 34 is electrically connected to the back surface field area 30 via an opening formed in the second passivation film 31 and the second anti-reflective film 32 (that is, while passing through the second passivation film 31 and the second anti-reflective film 32). The second electrode 34 may be formed to have various shapes using various materials. Plane shape of the second electrode 34 or the like will be described in more detail later.

[0049] Hereinafter, plane shapes of the first and second electrodes 24 and 34 will be described in more detail with reference to FIG. 2.

[0050] Referring to FIG. 2, the first and second electrodes 24 and 34 may for example include a plurality of finger electrodes 24a and 34a having a first pitch P1 and being disposed in parallel to each other. The first and second electrodes 24 and 34 may include bus bar electrodes 24b and 34b which are formed in a direction crossing a direction in which the finger electrodes 24a and 34a are disposed and connect the finger electrodes 24a and 34a. Such a bus bar electrode 24b or 34b may be only one, and bus bar electrodes having a second pitch P2 larger than the first pitch P1 may be provided. In this instance, a width W2 of the bus bar electrode 24b may be greater than a width W1 of the finger electrode 24a, but the embodiment of the invention is not limited thereto and the width W2 of the bus bar electrode 24b may be equal to or smaller than the width W1 of the finger electrode 24a. In addition, various modifications such as a configuration in which the bus bar electrode 24b is not formed are possible. The shape of the first electrode 24 is provided only as an example, but the embodiment of the invention is not limited thereto. In the drawing, the first pitch P1 of the first and second electrodes 24 and 34 is described without distinction and the second pitch P2 of the first and second electrodes 24 and 34 is described without distinction. The first pitch P1 of the first electrode 24 may be equal to or different from the first pitch P1 of the second electrode 34, and the second pitch P2 of the first electrode 24 may be equal to or different from the second pitch P2 of the second electrode 34.

[0051] As seen from the cross-section, the finger electrode 24a and the bus bar electrode 24b of the first electrode 24 may pass through the first passivation film 21 and the first anti-reflective film 22. Similarly, the finger

Petitioner Runergy USA Inc., Ex. 1005, p. 264

electrode 34a and the bus bar electrode 34b of the second electrode 34 may pass through the second passivation film 31 and the second anti-reflective film 32. Alternatively, the finger electrode 24a of the first electrode 24 may pass through the first passivation film 21 and the first anti-reflective film 22 and the bus bar electrode 24b may be formed on the first passivation film 21. Similarly, the finger electrode 34a of the second electrode 34 may pass through the second passivation film 31 and the second anti-reflective film 32 and the bus bar electrode 34b may be formed on the second passivation film 31 and the anti-reflective film 32.

[0052] The first and second electrodes 24 and 34 may be composed of a highly conductive metal or the like and may be formed by a variety of methods such as coating, deposition, printing or the like. The embodiment of the invention is not limited to materials, formation method and the like, of the first and second electrodes 24 and 34.

[0053] In the solar cell 100 having the structure, the first portion 20a of the emitter area 20 which is another conductive type area is formed on the front surface of the semiconductor substrate 10 such that the first tunneling layer 42 is interposed between the first portions 20a and the semiconductor substrate 10. The first tunneling layer 42 is entirely formed over the front surface of the semiconductor substrate 10, thereby effectively removing defects on the front surface of the semiconductor substrate 10. In this instance, the first tunneling layer 42 effectively transfers carriers causing photoelectric conversion. That is, in conventional solar cells, a portion of the semiconductor substrate is doped at a high concentration with a dopant, thereby forming a doping area serving as an emitter area in the semiconductor substrate. In such an instance, doping with the dopant causes damage to the semiconductor substrate and generation of recombination sites on the surface of the semiconductor substrate. Although a passivation film is formed in order to prevent these problems, the passivation film is not disposed in portions adjacent to electrodes on the semiconductor substrate, thus making effective removal of the recombination sites difficult. Accordingly, efficiency of the solar cell is low due to recombination sites on the surface of the semiconductor substrate.

[0054] On the other hand, in the embodiment of the invention, the front surface of the semiconductor substrate 10 where many recombination sites may be present is entirely passivated using the first tunneling layer 42 and the first portion 20a of the emitter area 20 is formed on the first tunneling layer 42. As a result, damage to the semiconductor substrate 10 is prevented and recombination sites on the front surface of the semiconductor substrate 10 are effectively removed. In particular, the emitter area 20 is composed of only the first portion 20a, thereby simplifying a structure of the emitter area 20 and minimizing damage to the semiconductor substrate 10. As a result, efficiency of the solar cell 100 can be improved.

[0055] In addition, the back surface field area 30 which is another conductive type area is formed on the back surface of the semiconductor substrate 10 such that the second tunneling layer 44 is interposed between the back surface field area 30 and the semiconductor substrate 10. The second tunneling layer 44 is entirely formed over the back surface of the semiconductor substrate 10, thereby effectively removing defects on the back surface of the semiconductor substrate 10. In this instance, the second tunneling layer 44 effectively transfers carriers causing photoelectric conversion. As a result, damage to the semiconductor substrate 10 is further prevented and recombination sites on the back surface of the semiconductor substrate 10 are effectively removed. In particular, the back surface field area 30 is composed of only the first portion 30a, thereby simplifying a structure of the back surface field area 30 and minimizing damage to the semiconductor substrate 10. As a result, efficiency of the solar cell 100 can be further improved.

[0056] Based on this configuration, the semiconductor substrate 10 includes only the base area 110 without any additional doping area, thus maintaining superior properties of the semiconductor substrate 10.

[0057] In this instance, the emitter area 20 and the back surface field area 30 may be disposed at different sides of the semiconductor substrate 10 to form a double-surface light-receiving type structure. As a result, light is incident upon the back surface of the semiconductor substrate 10 as well as the front surface of the semiconductor substrate 10, thereby increasing an amount of incident light and improving efficiency of the solar cell 100. Because the emitter area 20 and the back surface field area 30 are not adjacent to each other, the necessity of performing an isolation process when the emitter area 20 and the back surface field area 30 are formed to be adjacent to each other is eliminated. In addition, because the emitter area 20 and the back surface field area 30 are entirely formed, thus requiring no additional patterning and alignment processes. As a result, manufacturing process is simplified and cost is thus reduced.

[0058] In addition, the first passivation film 21 and the first anti-reflective film 22 are formed on the front surface of the semiconductor substrate 10, thereby further improving efficiency of the solar cell 100.

[0059] In addition, the second electrode 34 is formed to have a configuration including the finger electrode 34a and the bus bar electrode 34b, thereby enabling light to be incident upon the back surface of the semiconductor substrate 10 and enhancing utilization of light. In this instance, the second passivation film 31 and the second anti-reflective film 32 are formed on the back surface of the semiconductor substrate 10, thereby further improving efficiency of the solar cell 100.

[0060] Hereinafter, solar cells according to modified embodiments and other embodiments of the invention will be described in more detail with reference to FIGS. 3 to 10. Details of contents or elements that are the same as or similar to the description given above are not further mentioned, and only description that differ from the de-

Petitioner Runergy USA Inc., Ex. 1005, p. 265

scription above is described in detail.

[0061] FIG. 3 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 1.

[0062] Referring to FIG. 3, the solar cell according to the modified embodiment does not include first and second passivation films 21 and 31, and includes the first anti-reflective film 22 formed on the emitter area 20 and the second anti-reflective film 32 formed on the back surface field area 30. Based on this configuration, the overall process is simplified and manufacturing cost is thus reduced. In addition, the first and second anti-reflective films 22 and 32 also serve as passivation films. As a result, production efficiency is improved and superior properties of the solar cell are maintained.

[0063] The embodiment of the invention allows other various modifications. For example, all configurations in which at least one of the first and second passivation films 21 and 22 and the first and second anti-reflective films 31 and 32 is not provided fall into the scope of the embodiment of the invention.

[0064] FIG. 4 is a sectional view illustrating a solar cell according to another embodiment of the invention.

[0065] Referring to FIG. 4, the solar cell according to the embodiment of the invention has a configuration in which the back surface field area 30 includes a second portion 30b including a doping area formed in the semiconductor substrate 10. That is, the semiconductor substrate 10 may include the base area 110 as an undoped area and the second portion 30b of the back surface field area 30 formed by doping the semiconductor substrate 10 with a dopant having the same conductive type as the semiconductor substrate 10. As a result, the second portion 30b may have the same crystalline structure as the base area 110. The second portion 30b of the back surface field area 30 may be formed by a variety of doping methods (for example, thermal diffusion, ion implantation or the like).

[0066] In the drawing, an instance in which the second portion 30b of the back surface field area 30 has a homogeneous structure having a uniform doping concentration is exemplified, but the embodiment of the invention is not limited thereto and modified embodiments associated therewith will be described again with reference to FIGS. 5 and 6.

[0067] The second passivation film 31 and/or the second anti-reflective film 32 may be formed on the back surface field area 30.

[0068] In an instance in which the back surface field area 30 including the second portion 30b formed by doping the semiconductor substrate 10 is formed, a previous process may be used on the back surface during formation of the back surface field area 30. That is, the first portion 20a of the emitter area 20 is formed on the first tunneling layer 42 on the front surface of the semiconductor substrate 10, thereby improving efficiency of the solar cell and previous equipment may be used in the second portion 30b of the back surface field area 30. That is, properties can be improved in consideration of efficiency and production efficiency.

[0069] FIG. 5 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 4.

[0070] Referring to FIG. 5, the back surface field area 30 in the modified embodiment may have a selective structure for the back surface field area 30. That is, the back surface field area 30 may include a first region 301 which has a high dopant concentration and thus a relatively low resistance, and a second region 302 which has a lower dopant concentration than the first region 301 and thus a relatively high resistance. The first region 301 is formed such that the first region 301 contacts a part or an entirety (that is, at least a part) of the second electrode 34.

[0071] Based on this configuration, the second region 302 having a relatively high resistance is formed between the second electrodes 34 upon which light is incident, thereby improving passivation effect. Together with this, the first region 301 having a relatively low resistance in a region adjacent to the first electrode 34 is formed, thereby reducing contact resistance with the first electrode 34. That is, the second portion 30b of the back surface field area 30 of the embodiment of the invention maximizes efficiency of the solar cell through the selective structure.

[0072] FIG. 6 is a sectional view illustrating another modified embodiment of the embodiment shown in FIG. 4.

[0073] Referring to FIG. 6, in the embodiment of the invention, the second portion 30b of the back surface field area 30 may have a local structure. That is, the second portion 30b of the back surface field area 30 may include a first region 301 locally formed only in a region corresponding to at least a part of the second electrode 34. As a result, damage to the semiconductor substrate 10 is minimized and surface recombination sites are thus minimized.

[0074] FIG. 7 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 4.

[0075] Referring to FIG. 7, the solar cell according to the modified embodiment does not include first and second passivation films 21 and 31 and includes the first anti-reflective film 22 formed on the emitter area 20 and the second anti-reflective film 32 formed on the back surface field area 30. As a result, the overall process is simplified and cost is reduced. In addition, the first and second anti-reflective films 22 and 32 also serve as passivation films. As a result, production efficiency is improved and superior properties of the solar cell are maintained.

[0076] The embodiment of the invention allows other various modifications. For example, all configurations in which at least one of the first and second passivation films 21 and 22, and the first and second anti-reflective films 31 and 32 is not provided fall into the scope of the embodiment of the invention.

[0077] FIG. 7 illustrates an example in which the sec-

Petitioner Runergy USA Inc., Ex. 1005, p. 266

ond portion 30b of the back surface field area 30 has a uniform structure shown in FIG. 4, but the second portion 30b of the back surface field area 30 may have a selective structure or a local structure shown in FIG. 5 or 6.

[0078] FIG. 8 is a sectional view illustrating a solar cell according to another embodiment of the invention.

[0079] Referring to FIG. 8, in the solar cell according to the embodiment of the invention, the emitter area 20 includes a second portion 20b including a doping area formed in the semiconductor substrate 10. That is, the semiconductor substrate 10 may include the base area 110 as an undoped region and the second portion 20b of the emitter area 20 formed by doping the semiconductor substrate 10 with a dopant having a conductive type different from the semiconductor substrate 10. As a result, the second portion 20b may have the same crystalline structure as the base area 110. The emitter area 20 may be formed by a variety of doping methods (for example, thermal diffusion, ion implantation or the like).

[0080] In the drawing, an instance in which the second portion 20b of the emitter area 20 has a homogeneous structure having a uniform doping concentration is exemplified, but the embodiment of the invention is not limited thereto and modified embodiments associated therewith will be described again with reference to FIG. 9.

[0081] The first passivation film 21 and/or the first anti-reflective film 22 may be formed on the emitter area 20.

[0082] In an instance in which the emitter area 20 including the second portion 20b formed by doping the semiconductor substrate 10 is formed, a previous process may be used on the back surface during formation of the emitter area 20. Accordingly, previous equipment may be used. That is, properties can be improved in consideration of efficiency and production efficiency.

[0083] FIG. 9 is a sectional view illustrating a solar cell according to a modified embodiment of the embodiment shown in FIG. 8.

[0084] Referring to FIG. 9, in the embodiment of the invention, the second portion 20b of the emitter area 20 may have a selective structure.

[0085] That is, the emitter area 20 may include a first region 201 which has a high dopant concentration and thus a relatively low resistance, and a second region 202 which has a lower dopant concentration than the first region 301 and thus a relatively high resistance. The first region 201 is formed such that the first region 201 contacts a part or an entirety (that is, at least a part) of the first electrode 24.

[0086] As such, in the embodiment of the invention, the second region 202 having a relatively high resistance is formed in a region between the first electrode 24 into which light is incident, thereby implementing a shallow emitter. As a result, current density of the solar cell is improved. Together with this, the first region 201 having a relatively low resistance is formed in a region adjacent to the first electrode 24, thereby reducing contact resistance with the first electrode 24. That is, the second portion 20b of the emitter area 20 according to the embodiment of the invention maximizes efficiency of the solar cell through the selective emitter structure.

[0087] FIG. 10 is a sectional view illustrating a solar cell according to another modified embodiment of the embodiment shown in FIG. 8.

[0088] Referring to FIG. 10, the solar cell according to the modified embodiment does not include first and second passivation films 21 and 31, and includes the first anti-reflective film 22 formed on the emitter area 20 and the second anti-reflective film 32 formed on the back surface field area 30. As a result, the overall process is simplified and cost is reduced. In addition, the first and second anti-reflective films 22 and 32 also serve as passivation films. As a result, production efficiency is improved and superior properties of the solar cell are maintained.

[0089] The embodiment of the invention allows other various modifications. For example, all configurations in which at least one of the first and second passivation films 21 and 22, and the first and second anti-reflective films 31 and 32 is not provided fall into the scope of the embodiment of the invention.

[0090] FIG. 10 illustrates an example in which the second portion 20b of the emitter area 20 has a uniform structure shown in FIG. 8, but the second portion 20b of the emitter area 20 may have a selective structure shown in FIG. 9 in other embodiments of the invention.

[0091] FIG. 11 is a sectional view illustrating a solar cell according to another embodiment of the invention. Referring to FIG. 11, in the embodiment of the invention, at least one of the conductive type areas 20 and 30 may include a plurality of portions 20a, 20b, 30a and 30b disposed such that tunneling layers 42 and 44 are interposed between the portions.

[0092] In the embodiment of the invention, the emitter area 20 includes a plurality of portions disposed such that the first tunneling layer 42 is interposed between the portions. Specifically, in the embodiment of the invention, the emitter area 20 includes the first portion 20a and the second portion 20b disposed such that the first tunneling layer 42 is interposed between the first and second portions 20a and 20b. In the drawings and the descriptions, an instance in which the portions of the emitter area 20 includes two layers in total (that is, the first portion 20a and the second portion 20b) is exemplified, but the embodiment of the invention is not limited thereto and the portions of the emitter area 20 may include a plurality of portions including three or more layers. The emitter area 20 will be described in more detail.

[0093] In this instance, the first portion 20a of the emitter area 20 may be disposed between the first tunneling layer 42 and the first electrode 24 on the first tunneling layer 42. The first portion 20a has been described with reference to the embodiment shown in FIG. 1 and a detailed explanation of contents the same as the description thereof is omitted.

[0094] The second portion 20b of the emitter area 20 is formed in an inner portion of the semiconductor substrate 10 adjacent to the front surface of the semicon-

Petitioner Runergy USA Inc., Ex. 1005, p. 267

ductor substrate 10, or is formed adjacent to the semiconductor substrate 10 on the front surface of the semiconductor substrate 10. That is, the emitter area 20 may be formed in a portion of the semiconductor substrate 10 adjacent to the first tunneling layer 42 or may be disposed between the semiconductor substrate 10 and the first tunneling layer 42 or between the base area 110 and the first tunneling layer 42.

[0095] For example, in the embodiment of the invention, the second portion 20b may be composed of a doping area formed by doping the semiconductor substrate 10 with a second conductive type dopant. Accordingly, the second portion 20b may be composed of a monocrystalline semiconductor (for example, monocrystalline silicon) doped with a second conductive type dopant. In this instance, the second conductive type dopant may be any impurity having a second conductive type opposite to the base area 110. That is, when the second conductive type dopant is p-type, a Group III element such as boron (B), aluminum (Al), gallium (Ga) or indium (In) may be used. When the second conductive type dopant is n-type, a Group V element such as phosphorous (P), arsenic (As), bismuth (Bi) or antimony (Sb) may be used.

[0096] The first portion 20a and the second portion 20b may be entirely formed over the front surface of the semiconductor substrate 10. As used herein, the expression "entirely formed" means that the first portion 20a or the second portion 20b is formed over 100% of the front surface, or an area in which the first portion 20a or the second portion 20b is not formed is inevitably disposed in a part of the surface. By entirely forming the first portion 20a and the second portion 20b, an area of pn junction is maximized and an additional patterning process or the like is omitted.

[0097] The second portion 20b may include a doping area formed by diffusing the second conductive type dopant in the first portion 20a into the semiconductor substrate 10. In this instance, the second conductive type dopant in the second portion 20b and the second conductive type dopant in the first portion 20a may include an identical material. For example, when the first portion 20a includes boron (B) as the second conductive type dopant, the second portion 20b also includes boron as the second conductive type dopant. This will be described in more detail later, but the embodiment of the invention is not limited thereto and various processes such as separate formation of the first portion 20a and the second portion 20b may be performed.

[0098] The second portion 20b is an area which forms a pn junction with the base area 110 in the semiconductor substrate 10. The first portion 20a is an area connected to the first electrode 24 on the first tunneling layer 42.

[0099] In this Instance, the second portion 20b and the first portion 20a of the emitter area 20 are doped at different doping concentrations with the second conductive type dopant. Specifically, because the doping concentration of the first portion 20a is higher than the doping concentration of the second portion 20b, the second portion 20b forms a low concentration doping portion and the first portion 20a forms a high concentration doping portion. In this instance, the doping concentration in the first portion 20a may be uniform. Alternatively, a doping concentration of a region adjacent to the first electrode 24 may be higher than a doping concentration of a region adjacent to the first tunneling layer 42. In this instance, by controlling process conditions for forming the first portion 20a, the doping concentration is gradually or stepwise increased, as a distance from the first tunneling layer 42 increases. As such, when the doping concentration of the region adjacent to the first electrode 24 is relatively higher, contact resistance between the emitter area 20 and the first electrode 24 can be minimized.

[0100] The second portion 20b disposed in the semiconductor substrate 10 is formed in a low concentration, thereby minimizing recombination of carriers (in particular, Auger recombination) which may be generated or occur in the second portion 20b. In addition, the first portion 20a which is connected to the first electrode 24 while contacting the first electrode 24 is formed in a high concentration, thereby minimizing contact resistance with the first electrode 24.

[0101] For example, a ratio of the doping concentration of the first portion 20a to the doping concentration of the second portion 20b may be 5 to 10. When the concentration ratio is lower than 5, the effect of reducing recombination may be insufficient due to a high doping concentration of the second portion 20b. When the concentration ratio exceeds 10, properties of pn junction may be deteriorated due to insufficient formation of the second portion 20b. In this instance, the doping concentration of the second portion 20b may be $5 \times 10^{18}/cm^3$ to $5 \times 10^{19}/cm^3$, and the doping concentration of the first portion 20a may be $5 \times 10^{19}/cm^3$ to $5 \times 10^{20}/cm^3$ which is higher than the doping concentration of the second portion 20b. Within the doping concentration range, the first portion 20a forms a pn junction and recombination is minimized, and the second portion 20b may have superior electrical properties with the first electrode 24, but the embodiment of the invention is not limited thereto and doping concentrations or the like of the first and second portions 20a and 20b may be changed.

[0102] In addition, the second portion 20b and the first portion 20a of the emitter area 20 may differ from each other in thickness. More specifically, the first portion 20a is thicker than the second portion 20b, and the first and second portions 20a and 20b may be thicker than the first tunneling layer 42. The thickness of the second portion 20b is controlled to a relatively small level, thereby minimizing recombination of carriers which may be generated or occur in the semiconductor substrate 10. In addition, the first portion 20a is formed at a relatively great thickness, thereby maintaining excellent contact with the first electrode 24. In addition, the thickness of the first tunneling layer 42 is controlled to the minimum, thereby preventing blocking of flow of majority carriers between the second portion 20b and the first portion 20a, but the

Petitioner Runergy USA Inc., Ex. 1005, p. 268

embodiment of the invention is not limited thereto and the second portion 20b may be thicker than the first portion 20a.

[0103] For example, a ratio of the thickness of the first portion 20a to the thickness of the second portion 20b may be 0.5 to 100, more specifically, 1 to 100. When taking into consideration recombination of carriers which may be generated or occur by the second portion 20b, minimization of damage to the semiconductor substrate 10, electrical properties of the first portion 20a and the like, the thickness ratio may be 10 to 50. In this instance, the thickness of the second portion 20b may be 5 nm to 100 nm, and the thickness of the first portion 20a may be 50 nm to 500 nm, but the embodiment of the invention is not limited thereto and thicknesses or the like of the first and second portions 20a and 20b may be changed.

[0104] As described above, the low concentration doping portion, the second portion 20b, forms a pn junction with the base area 110. Unlike the embodiment of the invention, the emitter layer is formed only on the first tunneling layer 42, thereby preventing problems generated upon formation of pn junction between the first tunneling layer 42 and the emitter layer. That is, when the emitter layer is formed only on the first tunneling layer 42, physical interface is formed between the first tunneling layer 42 and the emitter layer constituting the pn junction and properties of the emitter layer is greatly affected by properties of the interface. For this reason, there is a difficulty in securing stability of qualities of the emitter layer. On the other hand, in the embodiment of the invention, the second portion 20b of the emitter area 20 forms a pn junction such that the second portion 20b is disposed in the semiconductor substrate 10 or contacts the semiconductor substrate 10, thus securing stability of the pn junction. As a result, open circuit voltage of the solar cell 100 is improved and efficiency of the solar cell 100 is thus improved.

[0105] The first tunneling layer 42 disposed between the second portion 20b and the first portion 20a prevents minority carriers from being injected into the first portion 20a from the second portion 20b and thereby inhibits recombination between the carriers in the first portions 20a having a high concentration. In addition, the first electrode 24 is connected to the high concentration doping portion, the first portion 20a, thereby minimizing contact resistance between the emitter area 20 and the first electrode 24. As a result, fill factor of the solar cell 100 is improved and efficiency of the solar cell 100 is thus improved.

[0106] In the embodiment of the invention, the back surface field area 30 includes a plurality of portions disposed such that the second tunneling layer 44 is interposed between the portions. Specifically, in the embodiment of the invention, the back surface field area 30 includes the second portion 30b and the first portion 30a which are disposed such that the second tunneling layer 44 is interposed between the portions 30b and 30a. In the drawings and the description, an instance in which the portions of the back surface field area 30 includes two layers in total (that is, the first portion 30a and the second portion 30b) is exemplified, but the embodiment of the invention is not limited thereto and the portions of the back surface field area 30 include a plurality of portions including three or more layers. The back surface field area 30 will be described in more detail.

[0107] The second portion 30b of the back surface field area 30 may be formed in an inner portion of the semiconductor substrate 10 adjacent to the back surface of the semiconductor substrate 10, or may be formed adjacent to the semiconductor substrate 10 on the back surface of the semiconductor substrate 10. That is, the back surface field area 30 may be formed in a portion of the semiconductor substrate 10 adjacent to the second tunneling layer 44, or between the semiconductor substrate 10 and the second tunneling layer 44, or between the base area 110 and the second tunneling layer 44.

[0108] In this instance, the first portion 30a of the back surface field area 30 may be disposed between the second tunneling layer 44 and the second electrode 34 on the second tunneling layer 44. The first portion 30a has been described with reference to the embodiment shown in FIG. 1 and a detailed explanation of contents the same as the description thereof is omitted.

[0109] For example, in the embodiment of the invention, the second portion 30b may be composed of a doping region formed by doping the semiconductor substrate 10 with a first conductive type dopant in a higher concentration than the base area 100. Accordingly, the second portion 30b may be composed of a monocrystalline semiconductor (for example, monocrystalline silicon) doped with a first conductive type dopant. In this instance, the first conductive type dopant may be any impurity having the same first conductive type as the base area 110. That is, when the first conductive type dopant is n-type, a Group V element such as phosphorous (P), arsenic (As), bismuth (Bi) or antimony (Sb) may be used. When the first conductive type dopant is p-type, a Group III element such as boron (B), aluminum (Al), gallium (Ga) or indium (In) may be used.

[0110] The second portion 30b and the first portion 30a may be entirely formed over the back surface of the semiconductor substrate 10. As used herein, the expression "entirely formed" means that the first portion 20a or the second portion 20b is formed over 100% of the front surface, or an area in which the first portion 20a or the second portion 20b is not formed is inevitably disposed in a part of the surface. By entirely forming the second portion 30b and the first portion 30a, an area of the back surface field structure is maximized and an additional patterning process or the like is omitted.

[0111] The second portion 30b may include a doping area formed by diffusing the first conductive type dopant in the first portion 30a into the semiconductor substrate 10. In this instance, the first conductive type dopant in the second portion 30b and the first conductive type dopant in the first portion 30a may include an identical ma-

Petitioner Runergy USA Inc., Ex. 1005, p. 269

terial. For example, when the first portion 30a includes phosphorous (P) as the first conductive type dopant, the second portion 30b may also include phosphorous (P) as the first conductive type dopant. This will be described in more detail later, but the embodiment of the invention is not limited thereto and various processes such as separate formation of the second portion 30b and the first portion 30a may be performed.

[0112] The second portion 30b is an area which forms a back surface field structure with the base area 110 in the semiconductor substrate 10. The first portion 30a is an area connected to the second electrode 34 on the second tunneling layer 44.

[0113] In this instance, the second portion 30b and the first portion 30a of the back surface field area 30 are doped at different doping concentrations with the first conductive type dopant. Specifically, because the doping concentration of the first portion 30a is higher than the doping concentration of the second portion 30b, the second portion 30b forms a low concentration doping portion and the first portion 30a forms a high concentration doping portion. In this instance, the doping concentration in the first portion 30a may be uniform. Alternatively, a doping concentration of a region adjacent to the second electrode 34 may be higher than a doping concentration of a region adjacent to the second tunneling layer 44. In this instance, by controlling process conditions for forming the first portion 30a, the doping concentration is gradually or stepwise increased, as a distance from the second tunneling layer 44 increases. As such, when the doping concentration of the region adjacent to the second electrode 34 is relatively higher, contact resistance between the back surface field area 30 and the second electrode 34 can be minimized.

[0114] The second portion 30b disposed in the semiconductor substrate 10 is formed in a low concentration, thereby minimizing recombination of carriers which may be generated or occur in the second portion 30b. In addition, the first portion 30a, which is connected to the second electrode 34 while contacting the second electrode 34, is formed in a high concentration, thereby minimizing contact resistance with the second electrode 34.

[0115] For example, a ratio of the doping concentration of the second portion 30a to the doping concentration of the second portion 30b may be 5 to 10. When the concentration ratio is lower than 5, the effect of reducing recombination may be insufficient due to a high doping concentration of the second portion 30b. When the concentration ratio exceeds 10, the back surface field effect may be insufficient due to insufficient formation of the second portion 30b. In this instance, the doping concentration of the second portion 30b may be $5 \times 10^{18}/cm^3$ to $5 \times 10^{19}/cm^3$, and the doping concentration of the first portion 30a may be $5 \times 10^{19}/cm^3$ to $5 \times 10^{20}/cm^3$ which is higher than the doping concentration of the second portion 30b. Within the doping concentration range, the second portion 30b forms a back surface field structure with superior properties and the second portion 30a may have superior electrical properties with the second electrode 34, but the embodiment of the invention is not limited thereto and doping concentrations or the like of the first and second portions 30a and 30b may be changed.

[0116] In addition, the second portion 30b and the first portion 30a of the back surface field area 30 may differ from each other in thickness. More specifically, the first portion 30a is thicker than the second portion 30b, and the first and second portions 30a and 30b may be thicker than the second tunneling layer 44. The thickness of the second portion 30b is controlled to a relatively small level, thereby minimizing recombination of carriers which may be generated or occur in the semiconductor substrate 10. In addition, the first portion 30a is formed at a relatively great thickness, thereby maintaining excellent contact with the second electrode 44. In addition, the thickness of the second tunneling layer 44 is controlled to the minimum, thereby preventing blocking of flow of majority carriers between the second portion 30b and the first portion 30a, but the embodiment of the invention is not limited thereto and the second portion 30b may be thicker than the first portion 30a.

[0117] For example, a ratio of the thickness of the first portion 30a to the thickness of the second portion 30b may be 0.5 to 100, more specifically, 1 to 100. When taking into consideration recombination of carriers which may be generated or occur by the second portion 30b, minimization of damage to the semiconductor substrate 10, electrical properties of the first portion 30a and the like, the thickness ratio may be 10 to 50. In this instance, the thickness of the second portion 30b may be 5 nm to 100 nm, and the thickness of the first portion 30a may be 50 nm to 500 nm, but the embodiment of the invention is not limited thereto and thicknesses or the like of the first and second portions 30a and 30b may be changed.

[0118] As described above, the low concentration doping portion, the second portion 30b forms the back surface field structure with the base area 110. Accordingly, the back surface field structure is formed in the semiconductor substrate 10 or is formed while contacting the semiconductor substrate 10, thereby securing stability of the back surface field structure. As a result, open circuit voltage of the solar cell 100 is improved and efficiency of the solar cell 100 is thus enhanced.

[0119] The second tunneling layer 44 disposed between the second portion 30b and the first portion 30a prevents minority carriers from being injected into the first portion 30a from the second portion 30b and thereby inhibits recombination between the carriers in the first portions 30a having a high concentration. In addition, the second electrode 34 is connected to the high concentration doping portion, the first portion 30a, thereby minimizing contact resistance between the back surface field area 30 and the second electrode 34. As a result, fill factor of the solar cell 100 is improved and efficiency of the solar cell 100 is thus improved.

[0120] In the embodiment of the invention, the conductive type areas 20 and 30 include first portions 20a and

Petitioner Runergy USA Inc., Ex. 1005, p. 270

30a, and second portions 20b and 30b disposed such that tunneling layers 42 and 44 are interposed therebetween, thereby minimizing recombination in the semiconductor substrate 10 and improving electrical connection to the first and second electrodes 24 and 34. As a result, efficiency of the solar cell 100 can be improved.

[0121] In the drawing of FIG. 11, an instance in which the emitter area 20 includes the first and second portions 20a and 20b, while the back surface field area 30 includes the first and second portions 30a and 30b is exemplified, but the embodiment of the invention is not limited thereto. In a modified embodiment, as shown in FIGS. 12 and 13, the emitter area 20 includes the first and second portions 20a and 20b and the back surface field area 30 includes a single portion. In this instance, as shown in FIG. 12, the back surface field area 30 may include a second portion 30b including a doping area disposed in the semiconductor substrate 10. Alternatively, as shown in FIG. 13, the back surface field area 30 may include an additional first portion 30a formed on the second tunneling layer 44 on the back surface of the semiconductor substrate 10. In another modified embodiment, as shown in FIGS. 14 and 15, the back surface field area 30 includes first and second portions 30a and 30b and the emitter area 20 includes a single portion. In this instance, as shown in FIG. 14, the emitter area 20 may include a second portion 20b including a doping area disposed in the semiconductor substrate 10. Alternatively, as shown in FIG. 15, the emitter area 20 may include an additional first portion 20a on the second tunneling layer 44 formed on the back surface of the semiconductor substrate 10. In addition, the second portions 20b and 30b of the emitter area 20 or the back surface field area 30 may have a variety of structures such as a selective structure including portions having different doping concentrations or a local structure locally formed in areas adjacent to the electrodes 42 and 44. The selective structure or local structure or the like has been described with reference to FIGS. 5, 6 and 9 and a detailed explanation thereof is omitted.

[0122] Hereinafter, the manufacturing method of the solar cell 100 according to the embodiment shown in FIG. 11 will be described in detail with reference to FIGS. 16A to 16E. Hereinafter, details of the description given above are not mentioned and only difference from the description above is described in detail. In addition, the manufacturing method described below may be applied to the corresponding part of the embodiment shown in FIG. 1.

[0123] FIGS. 16A to 16E are sectional views for illustrating a method for manufacturing a solar cell according to an embodiment of the invention.

[0124] First, as shown in FIG. 16A, a semiconductor substrate 10 including a base area 110 having a first conductive type dopant is prepared. In the embodiment of the invention, the semiconductor substrate 10 may include silicon having an n-type impurity. Examples of the n-type impurity include, but are not limited to, Group V elements such as phosphorous (P), arsenic (As), bismuth (Bi) and antimony (Sb).

[0125] At least one of the front and back surfaces of the semiconductor substrate 10 is textured so that the surface has irregularities. Wet or dry texturing may be used as the texturing of the surface of the semiconductor substrate 10. Wet texturing may be carried out by dipping the semiconductor substrate 10 in a texturing solution and has an advantage of a short process time. Dry texturing is a process of cutting the surface of the semiconductor substrate 10 using a diamond drill, laser or the like and enables formation of uniform irregularities, but disadvantageously has long process time and causes damage to the semiconductor substrate 10. Alternatively, the semiconductor substrate 10 may be textured by reactive ion etching (RIE) or the like. As such, the semiconductor substrate 10 may be textured by a variety of methods.

[0126] Then, as shown in FIG. 16B, a first tunneling layer 42 and a first portion 20a of an emitter area 20 are formed on the front surface of the semiconductor substrate 10 and a second tunneling layer 44 and a first portion 30a of a back surface field area 30 are formed on the back surface of the semiconductor substrate 10.

[0127] In this instance, the first and second tunneling layers 42 and 44 may be formed, for example, by a method such as thermal growth or deposition (for example, plasma-enhanced chemical vapor deposition chemical (PECVD), atomic layer deposition (ALD)) or the like, but the embodiment of the invention is not limited thereto and the first and second tunneling layers 42 and 44 may be formed by a variety of methods. In addition, first portions 20a and 30a of conductive type areas 20 and 30 may be formed of an amorphous, microcrystalline, or polycrystalline semiconductor. In this instance, the first portions 20a and 30a may be formed by a method, for example, thermal growth, deposition (for example, plasma-enhanced chemical vapor deposition chemical (PECVD)) or the like.

[0128] In addition, the first or second conductive type dopant may be incorporated when forming the semiconductor layer constituting the first portions 20a and 30a, and may be doped after forming the semiconductor layer constituting the first portions 20a and 30a, but the embodiment of the invention is not limited thereto and the first portions 20a and 30a may be formed by a variety of methods.

[0129] A formation order or the like of the first tunneling layer 42, the second tunneling layer 44, and the first portions 20a and 30a may be varied.

[0130] Then, as shown in FIG. 16C, the second conductive type dopant in the first portion 20a is diffused into the semiconductor substrate 10 by thermal treatment to form the second portion 20b of the emitter area 20, and the first conductive type dopant in the first portion 30a is diffused into the semiconductor substrate 10 to form the second portion 30b of the back surface field area 30. As such, in the embodiment of the invention, the first portions 20a and 30a serve as doping sources, thereby forming

Petitioner Runergy USA Inc., Ex. 1005, p. 271

the second portions 20b and 30b through diffusion using thermal treatment without using an additional doping method such as ion implantation. As a result, the manufacturing process can be simplified.

[0131] Then, as s.hown in FIG. 16D, a first passivation film 21 and a first anti-reflective film 22 are formed on the first portion 20a of the emitter area 20 and a second passivation film 31 and a second anti-reflective film 32 are formed on the first portion 30a of the back surface field area 30. The passivation films 21 and 31 and the anti-reflective films 22 and 32 may be formed by a variety of methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing or spray coating. A formation order or the like of the passivation films 21 and 31 and the anti-reflective films 22 and 32 may be varied.

[0132] Then, as shown in FIG. 16E, first and second electrodes 24 and 34 respectively connected to the conductive type areas 20 and 30 are formed. In this instance, for example, openings are formed in the passivation films 21 and 31 and the anti-reflective films 22 and 32, and the first and second electrodes 24 and 34 are formed in the openings by a variety of methods such as coating or deposition.

[0133] In another embodiment, the first and second electrodes 24 and 34 may be formed by applying a paste for forming the first and second electrodes onto the passivation films 21 and 31 and the anti-reflective films 22 and 32 by screen printing or the like, and then performing fire through, laser firing contact or the like thereon. In this instance, because the openings are formed during formation of the first and second electrodes 24 and 34, a process of separately forming the openings is not required.

[0134] According to the embodiment of the invention, the second portions 20b and 30b can be formed without using an additional doping method such as ion implantation through diffusion of first or second conductive type dopant in the first portions 20a and 30a. As a result, the solar cell 100 with superior efficiency can be manufacturing by a simple manufacturing process.

[0135] In the embodiment described above, an instance in which the first and second tunneling layers 42 and 44, and the conductive type areas 20 and 30 are formed, the passivation films 21 and 31 and the anti-reflective films 22 and 32 are formed, and the first and second electrodes 24 and 34 are then formed is exemplified, but the embodiment of the invention is not limited thereto. Accordingly, a formation order of the first and second tunneling layers 42 and 44, the conductive type areas 20 and 30, the passivation films 21 and 31, the anti-reflective films 22 and 32, and the first and second electrodes 24 and 34 may be varied.

[0136] In addition, in the embodiment described above, an instance in which the second portion 20b is formed by diffusing the second conductive type dopant in the first portion 20a of the emitter area 20 and the second portion 30b is formed by diffusing the second conductive type dopant in the first portion 30a of the back surface field area 30 is exemplified, but the embodiment of the invention is not limited thereto and the second portions 20b and 30b may be formed by an additional process (ion implantation, thermal diffusion, laser doping or the like).

[0137] FIG. 17 is a sectional view illustrating a solar cell according to another embodiment of the invention.

[0138] Referring to FIG. 17, in the embodiment of the invention, the emitter area 20 includes a first portion 20a and a second portion 20b disposed such that the first tunneling layer 42 is interposed between the portions 20a and 20b, and the back surface field area 30 includes a first portion 30a and a second portion 30b disposed such that the second tunneling layer 44 is interposed between the portions 20a and 20b.

[0139] In the embodiment of the invention, the second portions 20b and 30b of the conductive type areas 20 and 30 may be formed by doping an amorphous, microcrystalline or polycrystalline semiconductor layer (for example, silicon layer) or the like formed on the semiconductor substrate 10 with a conductive type dopant. That is, the second portions 20b and 30b of the conductive type areas 20 and 30 may be interposed between the semiconductor substrate 10 and the tunneling layers 42 and 44. In this instance, the conductive type dopant may be incorporated during formation of the semiconductor layer constituting the second portions 20b and 30b, and may be doped after formation of the semiconductor layer constituting the second portions 20b and 30b.

[0140] As such, in an instance in which the first and second portions 20a and 30a are formed on the semiconductor substrate 10, the semiconductor substrate 10 may include only the base area 110. As a result, problems such as damage to the semiconductor substrate 10 or increased recombination of carriers which may be generated or occur during formation of the doping area on the semiconductor substrate 10 can be fundamentally prevented, but the embodiment of the invention is not limited thereto. Only the second portions 20b and 30b of one of the emitter area 20 and the back surface field area 30 may be formed on the semiconductor substrate 10. Alternatively, any one of the emitter area 20 and the back surface field area 30 may include the first portions 20a and 30a and the second portions 20b and 30b.

[0141] Although the example embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

Claims

1. A solar cell comprising:

a semiconductor substrate;

Petitioner Runergy USA Inc., Ex. 1005, p. 272

a first tunneling layer entirely formed over a surface of the semiconductor substrate;
a first conductive type area on the surface of the semiconductor substrate; and
an electrode including a first electrode connected to the first conductive type area,
wherein the first conductive type area comprises a first portion which is disposed on the first tunneling layer and comprises a polycrystalline, amorphous or microcrystalline semiconductor doped with a first conductive type dopant.

2. The solar cell according to claim 1, wherein the first tunneling layer has a thickness of 0.5 nm to 5 nm.

3. The solar cell according to claim 1, wherein the first portion of the first conductive type area is entirely formed over the first tunneling layer, and
the first tunneling layer is entirely disposed over the semiconductor substrate.

4. The solar cell according to claim 1, wherein the first conductive type area further comprises a second portion which is disposed in a portion of the semiconductor substrate adjacent to the first tunneling layer or is interposed between the first tunneling layer and the semiconductor substrate.

5. The solar cell according to claim 4, wherein at least one of the following is fulfilled for the first portion and second portion:

the first portion and the second portion are doped at different concentrations with a conductive type dopant; and
a thickness of the first portion is different from a thickness of the second portion.

6. The solar cell according to claim 5, wherein the doping concentration of the first portion is higher than the doping concentration of the second portion.

7. The solar cell according to claim 6, wherein a ratio of the doping concentration of wherein at least one of the following is fulfilled for the first portion and second portion:

the first portion to the doping concentration of the second portion is 5 to 10; and
a ratio of the thickness of the first portion to the thickness of the second portion is 10 to 50.

8. The solar cell according to claim 1, wherein a doping concentration of an area of the first portion adjacent to the first electrode is higher than a doping concentration of an area of the first portion adjacent to the first tunneling layer.

9. The solar cell according to claim 4, wherein the first tunneling layer is thinner than the first portion and the second portion.

10. The solar cell according to claim 4, wherein the second portion comprises a doping area formed by doping the semiconductor substrate with the first conductive type dopant.

11. The solar cell according to claim 4, wherein materials for conductive type dopants of the first portion and the second portion are identical.

12. The solar cell according to claim 4, wherein the second portion of the first conductive type area is formed entirely over the semiconductor substrate.

13. The solar cell according to claim 1, further comprising:

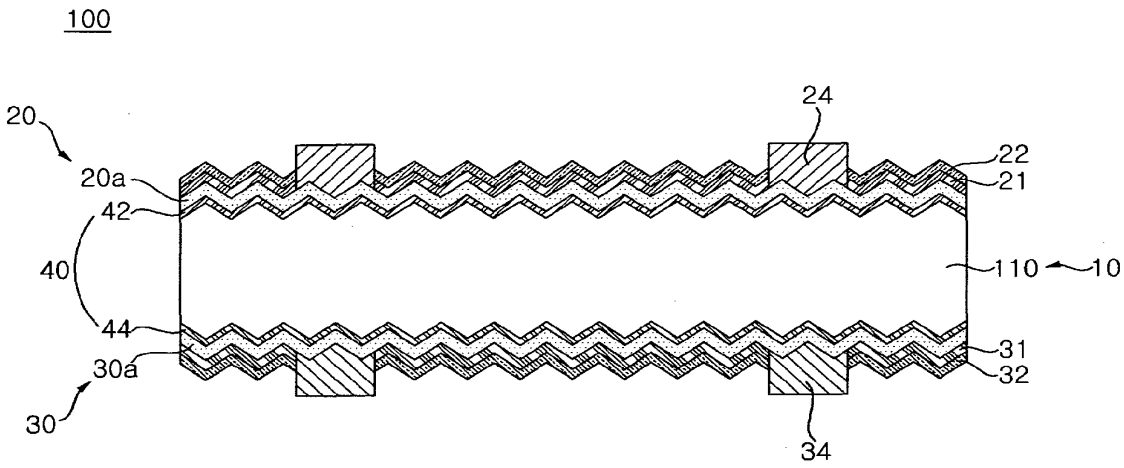
a second tunneling layer entirely formed on another surface of the semiconductor substrate; and
a second conductive type area on the another surface of the semiconductor substrate, the second conductive type area having a conductive type different from the first conductive type area,
wherein the electrode further comprises a second electrode connected to the second conductive type area,
wherein the second conductive type area further comprises another first portion which is interposed between the second tunneling layer and the second electrode, and comprises a polycrystalline, amorphous or microcrystalline semiconductor doped with a second conductive type dopant.

14. The solar cell according to claim 13, wherein the second conductive type area further comprises another second portion which is disposed in a portion of the semiconductor substrate adjacent to the second tunneling layer, or is interposed between the second tunneling layer and the semiconductor substrate.

15. The solar cell according to claim 1, wherein the semiconductor substrate comprises a base area.

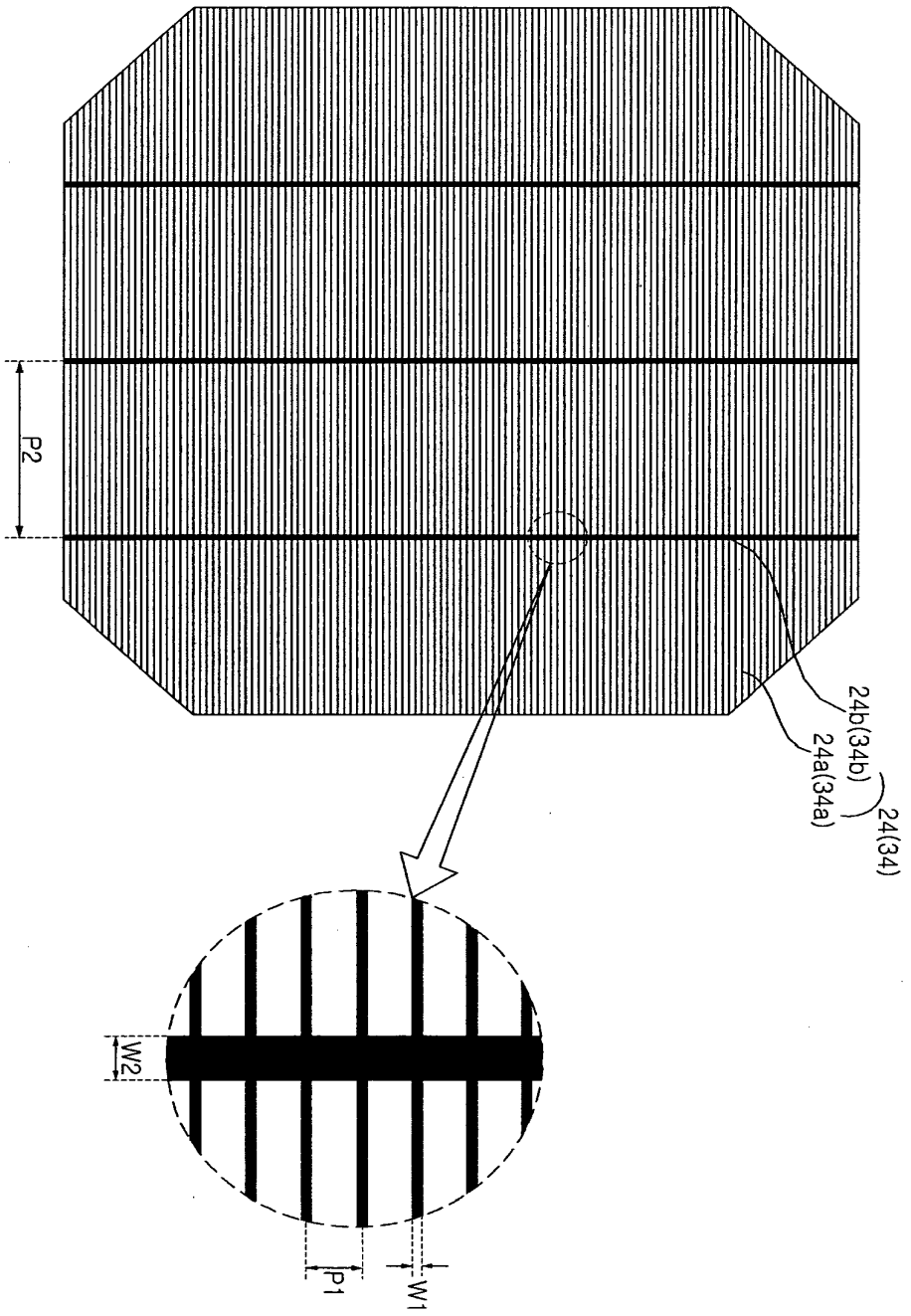
Petitioner Runergy USA Inc., Ex. 1005, p. 273

FIG. 1



Petitioner Runergy USA Inc., Ex. 1005, p. 274

FIG. 2



Petitioner Runergy USA Inc., Ex. 1005, p. 275

FIG. 3

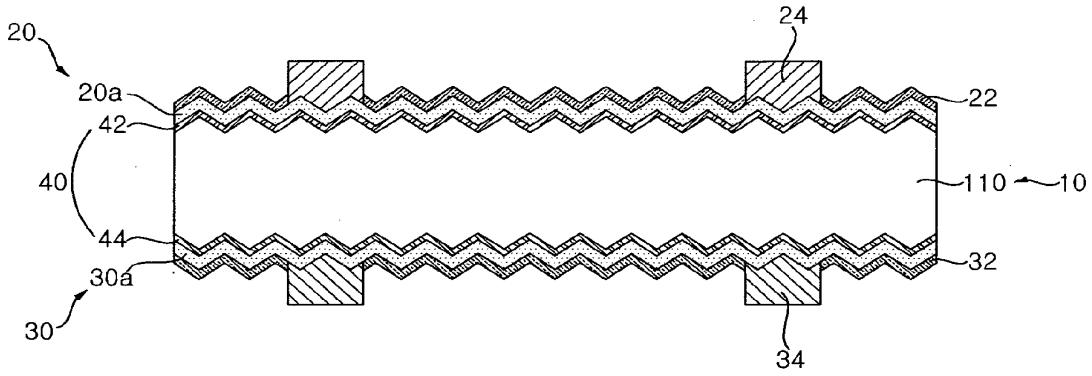
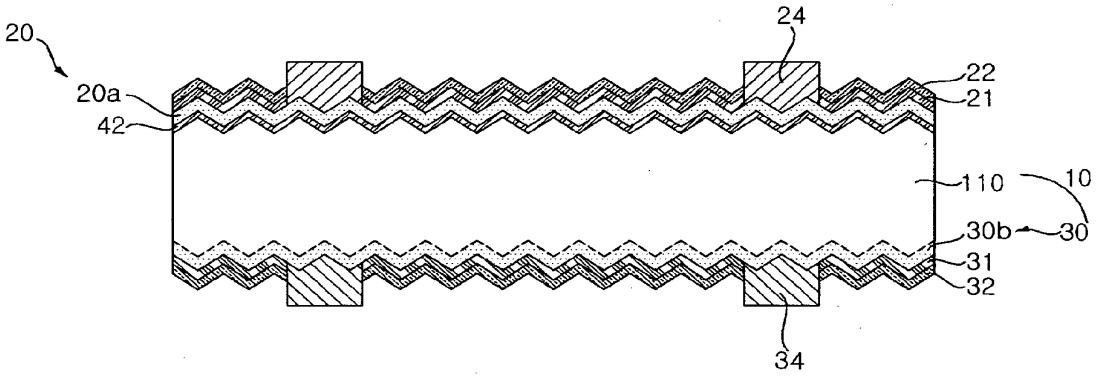


FIG. 4



Petitioner Runergy USA Inc., Ex. 1005, p. 276

FIG. 5

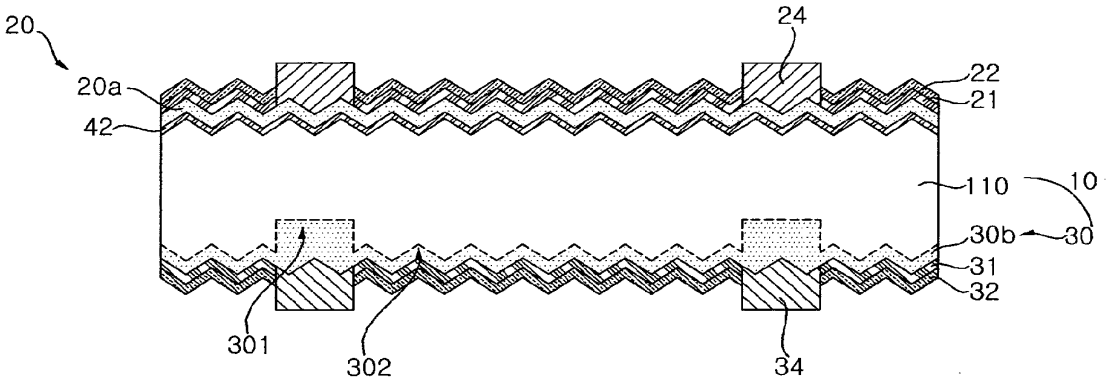
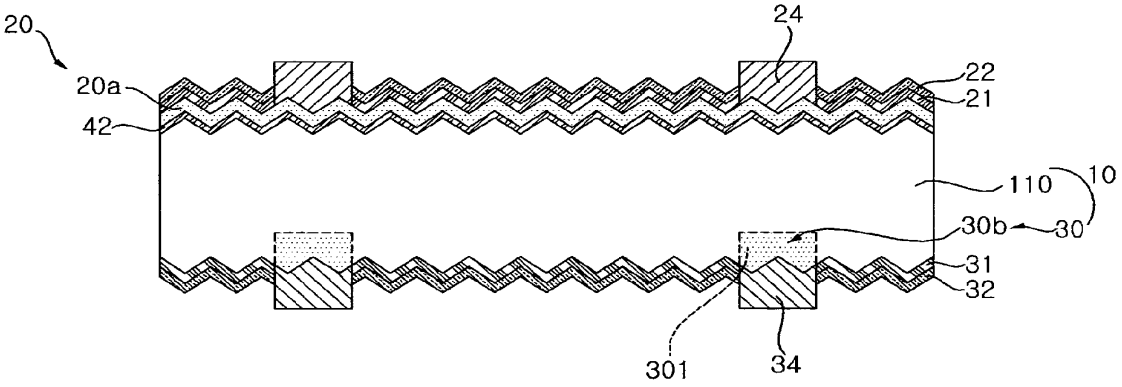


FIG. 6



Petitioner Runergy USA Inc., Ex. 1005, p. 277

FIG. 7

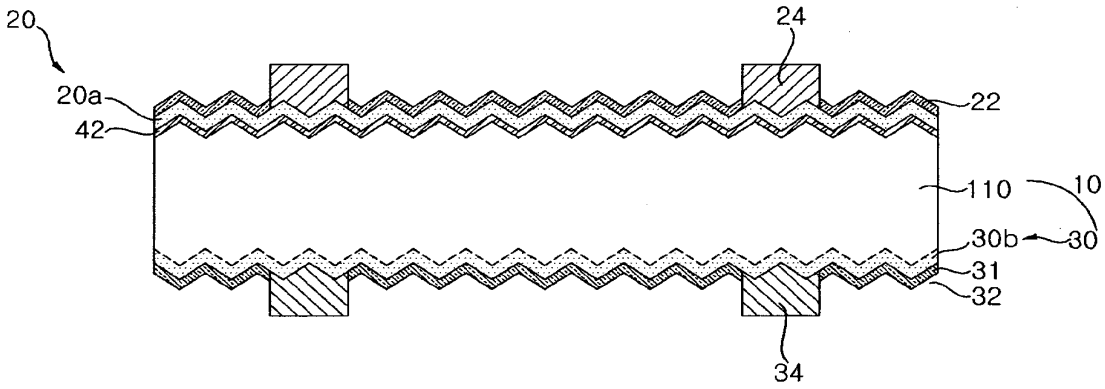
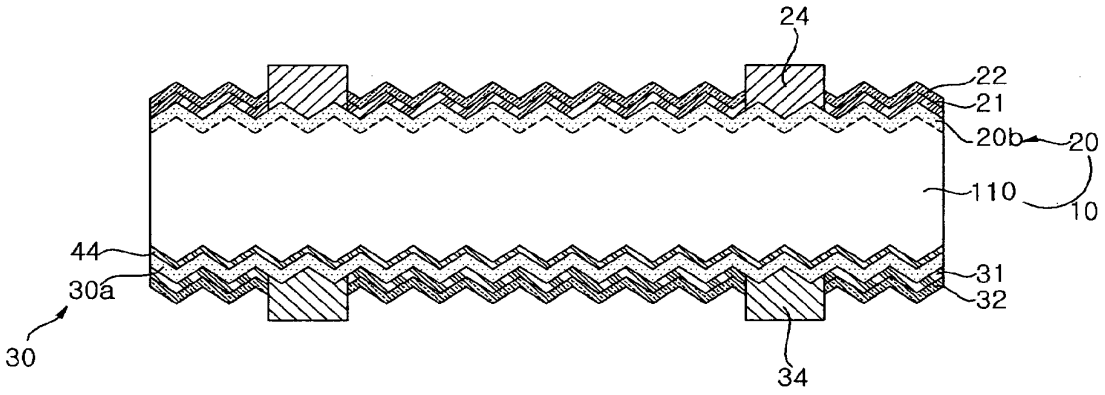


FIG. 8



Petitioner Runergy USA Inc., Ex. 1005, p. 278

FIG. 9

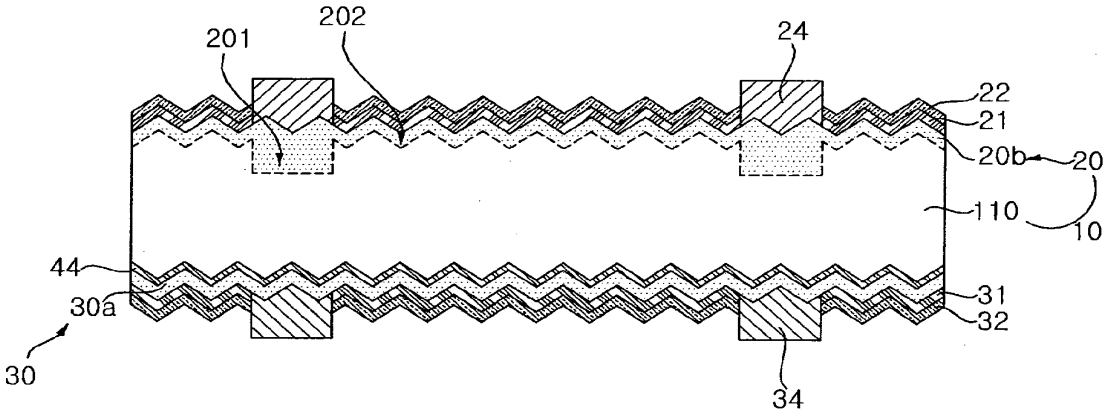
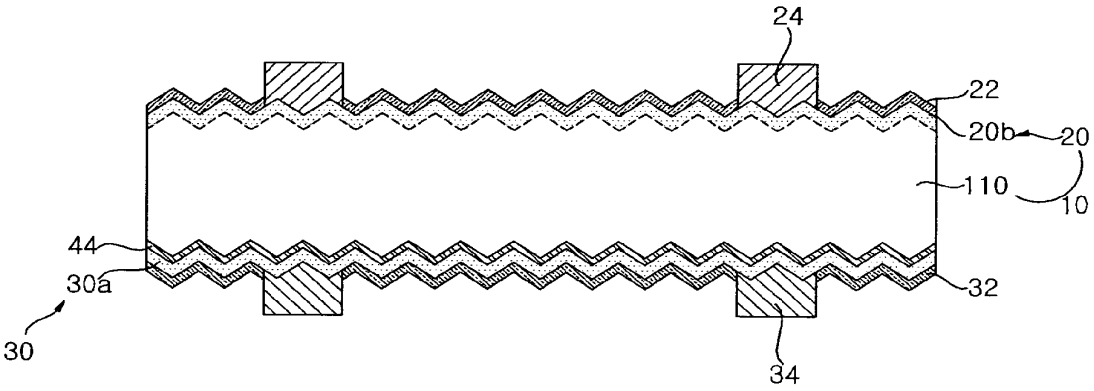


FIG. 10



Petitioner Runergy USA Inc., Ex. 1005, p. 279

FIG. 11

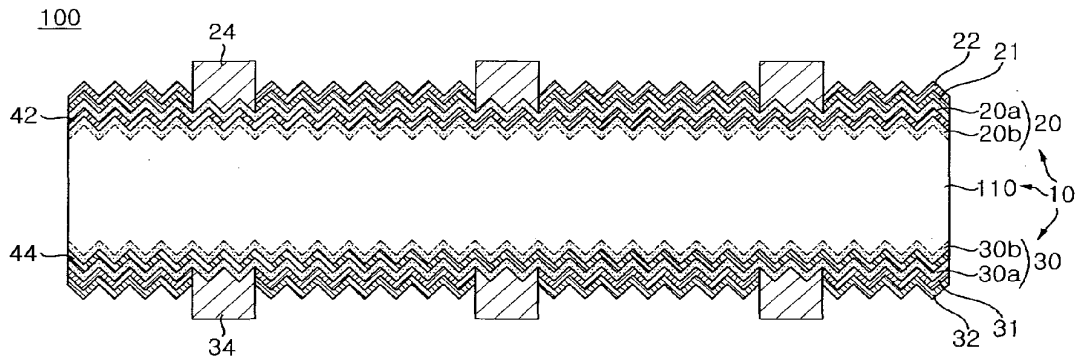
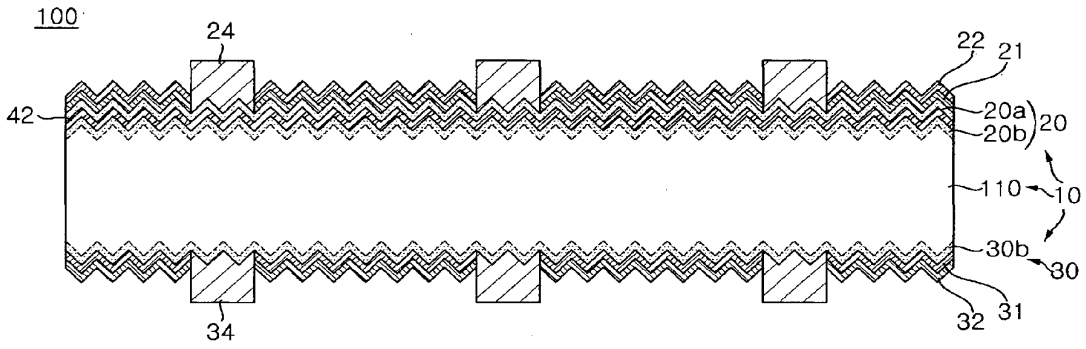


FIG. 12



Petitioner Runergy USA Inc., Ex. 1005, p. 280

FIG. 13

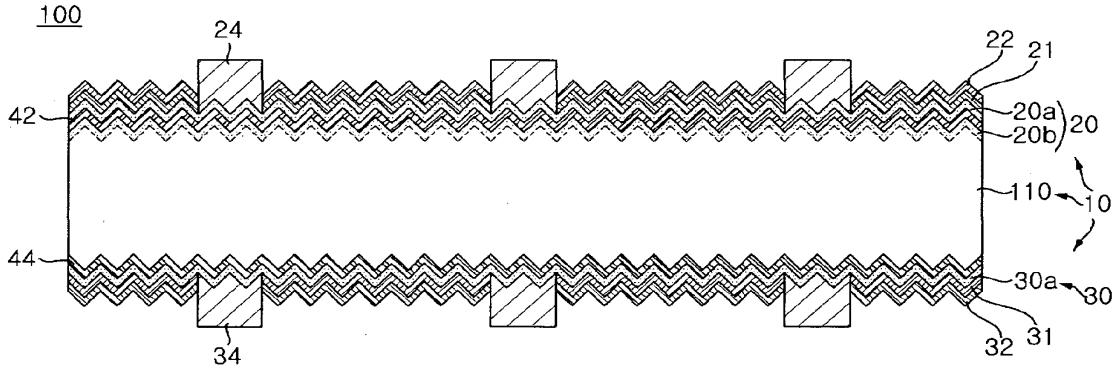
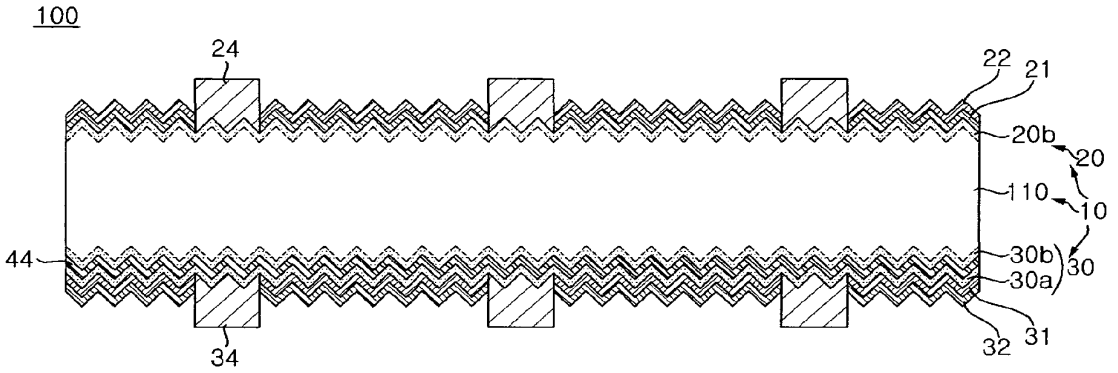


FIG. 14



Petitioner Runergy USA Inc., Ex. 1005, p. 281

FIG. 15

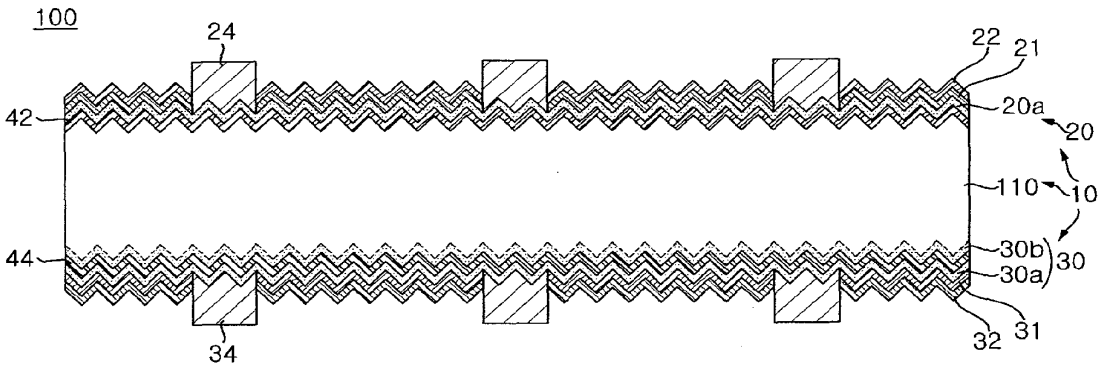


FIG. 16A

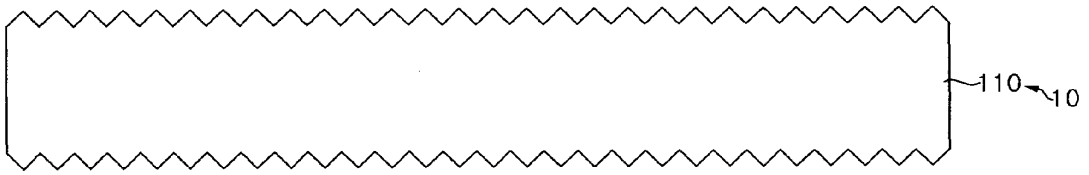
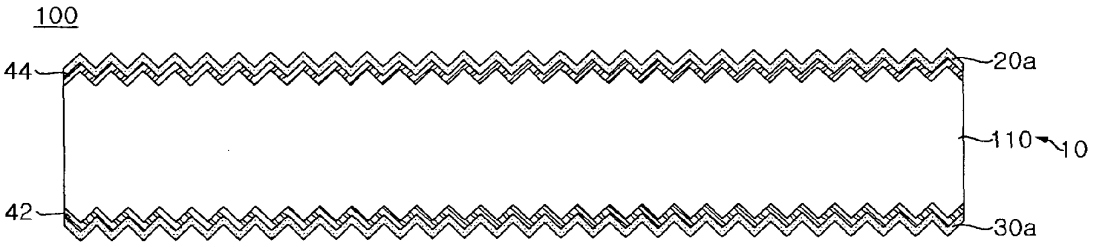


FIG. 16B



Petitioner Runergy USA Inc., Ex. 1005, p. 282

FIG. 16C

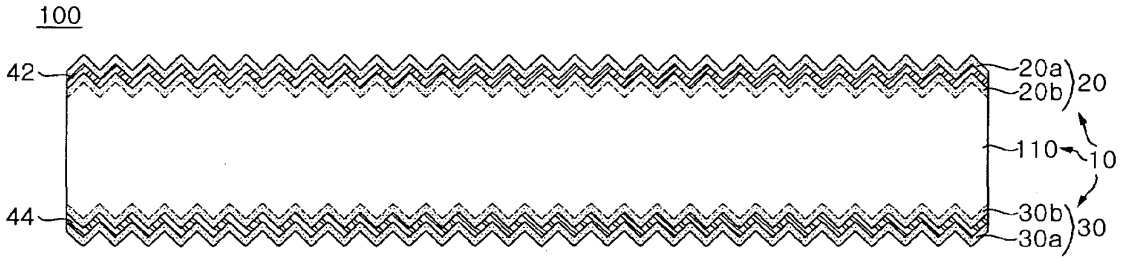
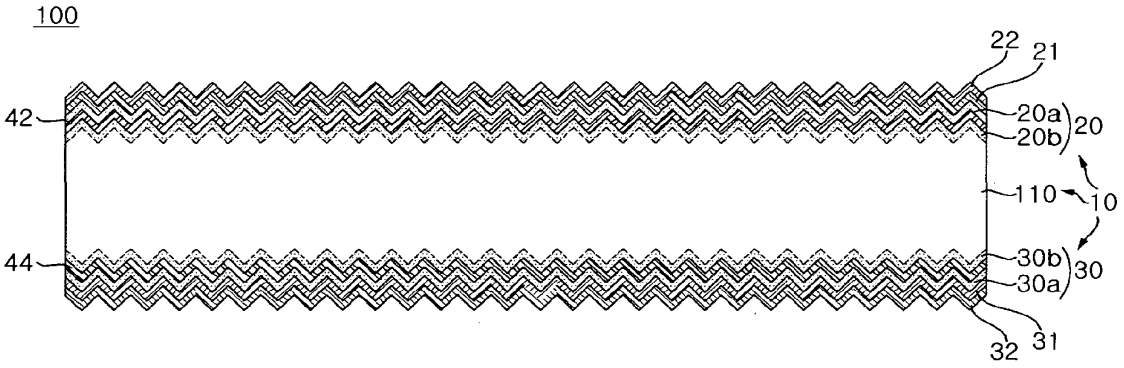


FIG. 16D



Petitioner Runergy USA Inc., Ex. 1005, p. 283

FIG. 16E

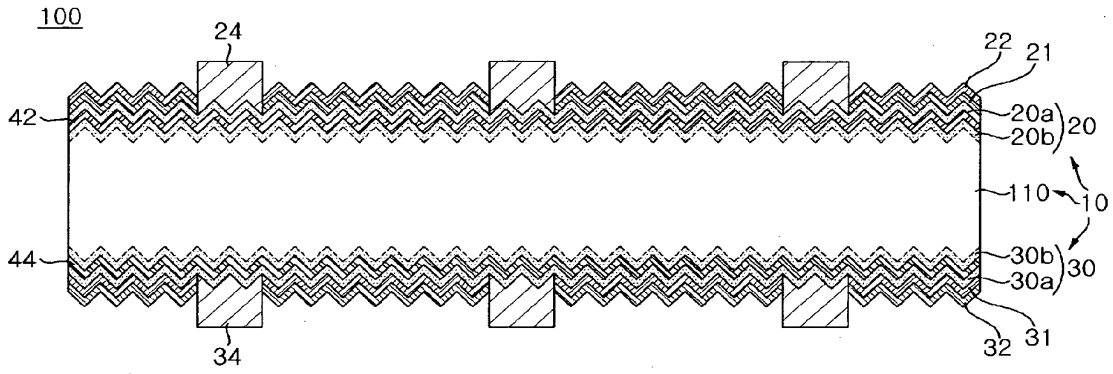
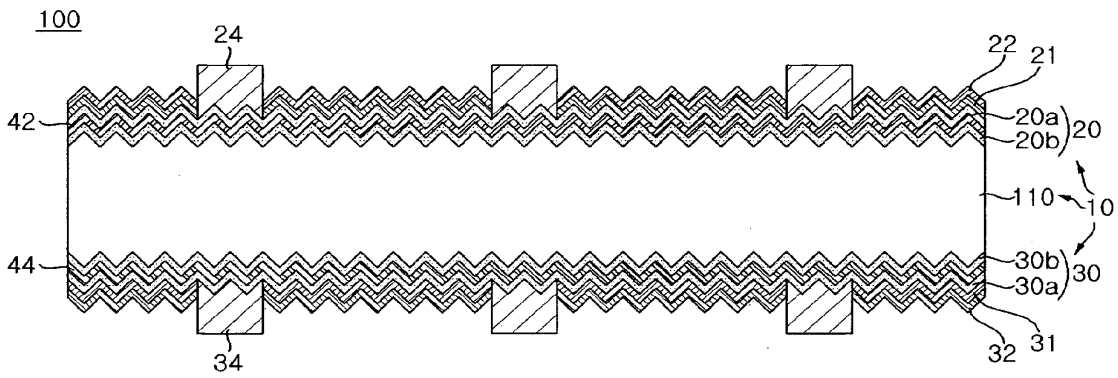


FIG. 17



Petitioner Runergy USA Inc., Ex. 1005, p. 284

Europäisches Patentamt
European Patent Office
Office européen des brevets

EUROPEAN SEARCH REPORT

Application Number
EP 14 00 1223

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	US 2011/284064 A1 (ENGELHART PETER [DE] ET AL) 24 November 2011 (2011-11-24) * abstract; paragraphs [0002] - [0004], [0009], [0011], [0013] - [0014], [0016], [0019], [0021] - [0023], [0025] - [0026], [0044], [0046], [0048]; figures 1-3 *	1-15	INV. H01L31/0747
X	US 2012/318340 A1 (HENG JIUNN BENJAMIN [US] ET AL) 20 December 2012 (2012-12-20) * abstract; figures 1A, 2A-2G * * paragraphs [0004], [0010] - [0014], [0016] - [0020], [0029], [0034], [0036] - [0040], [0043] *	1-3,8, 13,15	
X	US 2009/215218 A1 (MEIER DANIEL L [US] ET AL) 27 August 2009 (2009-08-27) * paragraphs [0003], [0007], [0016] - [0017], [0020], [0025], [0029] - [0032], [0037] - [0041], [0043] - [0049]; figures 2, 3A-3F *	1-4, 10-15	TECHNICAL FIELDS SEARCHED (IPC) H01L
X	EP 2 387 079 A2 (SIERRA SOLAR POWER INC [US]) 16 November 2011 (2011-11-16) * paragraphs [0001], [0013] - [0031], [0043], [0044], [0047], [0049], [0074] - [0077]; figures 1B, 5 *	1-3,8, 13,15	

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
Berlin	26 June 2014	Cichos, Anna

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

Petitioner Runergy USA Inc., Ex. 1005, p. 285

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 14 00 1223

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

26-06-2014

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011284064 A1	24-11-2011	CN 102257623 A	23-11-2011
		DE 102008055028 A1	01-07-2010
		EP 2380203 A1	26-10-2011
		ES 2408194 T3	18-06-2013
		US 2011284064 A1	24-11-2011
		WO 2010070015 A1	24-06-2010
US 2012318340 A1	20-12-2012	NONE	
US 2009215218 A1	27-08-2009	EP 2257996 A1	08-12-2010
		TW 200937502 A	01-09-2009
		TW 200937658 A	01-09-2009
		US 2009215218 A1	27-08-2009
		US 2012171806 A1	05-07-2012
		WO 2009108161 A1	03-09-2009
		WO 2009108163 A1	03-09-2009
EP 2387079 A2	16-11-2011	CN 102263152 A	30-11-2011
		EP 2387079 A2	16-11-2011
		US 2011277825 A1	17-11-2011

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

Petitioner Runergy USA Inc., Ex. 1005, p. 286

REFERENCES CITED IN THE DESCRIPTION

This list of references cited by the applicant is for the reader's convenience only. It does not form part of the European patent document. Even though great care has been taken in compiling the references, errors or omissions cannot be excluded and the EPO disclaims all liability in this regard.

Patent documents cited in the description

- KR 1020130036455 **[0001]**
- KR 1020130108046 **[0001]**

Petitioner Runergy USA Inc., Ex. 1005, p. 287

(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) EP 2 797 124 A1

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
29.10.2014 Bulletin 2014/44

(51) Int Cl.:
H01L 31/18 *(2006.01)* ***H01L 31/068*** *(2012.01)*

(21) Application number: **14001446.5**

(22) Date of filing: **22.04.2014**

(84) Designated Contracting States:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Designated Extension States:
BA ME

(30) Priority: **23.04.2013 KR 20130044982**

(71) Applicant: **LG Electronics, Inc.**
Seoul 150-721 (KR)

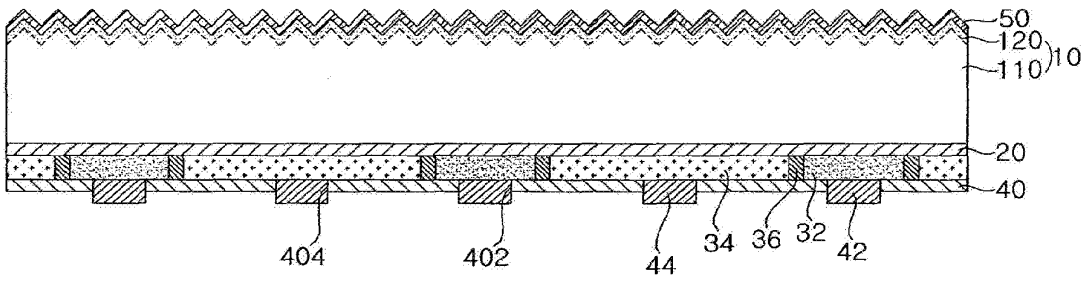
(72) Inventors:
- **Choi, Minho**
  137-724 Seoul (KR)
- **Park, Hyunjung**
  137-724 Seoul (KR)
- **Choi, Junghoon**
  137-724 Seoul (KR)

(74) Representative: **Frenkel, Matthias Alexander**
Wuesthoff & Wuesthoff
Schweigerstrasse 2
81541 München (DE)

(54) Solar cell and method for manufacturing the same

(57) A solar cell includes a semiconductor substrate (10), a tunneling layer (20) on one surface of the semiconductor substrate, a first conductive type area (32) on the tunneling layer, a second conductive type area (34) on the tunneling layer such that the second conductive type area (34) is separated from the first conductive type area (32), and a barrier area (36) interposed between the first conductive type area and the second conductive type area such that the barrier area (36) separates the first conductive type area (32) from the second conductive type area (34).

FIG. 3k



EP 2 797 124 A1

Petitioner Runergy USA Inc., Ex. 1005, p. 288

Description

CROSS-REFERENCE TO RELATED APPLICATION

[0001] This application claims the priority benefit of Korean Patent Application No. 10-2013-0044982, filed on April 23, 2013 in the Korean Intellectual Property Office, the disclosure of which is incorporated herein by reference.

BACKGROUND

1. Field of the Disclosure

[0002] The present disclosure relates to a solar cell and a method for manufacturing the same and, more particularly, to a solar cell having an improved structure and a method for manufacturing the same.

2. Background

[0003] In recent years, as conventional energy resources such as petroleum and coal are expected to be depleted, interest in alternative energy replacing these energy resources is on the rise. Of these, solar cells are attracting considerable attention as next generation cells which convert solar energy into electrical energy.

[0004] Such a solar cell may be manufactured by forming various layers and electrodes according to design. Solar cell efficiency may be determined according to design of various layers and electrodes. Low efficiency should be overcome in order to commercialize solar cells. Various layers and electrodes should be designed so that efficiency of solar cells can be maximized.

SUMMARY

[0005] One object is to provide a solar cell which is capable of improving reliability and maximizing efficiency.

[0006] In accordance with one aspect, the above and other objects may be accomplished by the provision of a solar cell including a semiconductor substrate, a tunneling layer on one surface of the semiconductor substrate, a first conductive type area on the tunneling layer, a second conductive type area on the tunneling layer such that the second conductive type area is separated from the first conductive type area, and a barrier area interposed between the first conductive type area and the second conductive type area such that the barrier area separates the first conductive type area from the second conductive type area.

[0007] In accordance with another aspect, a method for manufacturing a solar cell includes forming a tunneling layer on one surface of a semiconductor substrate, forming a semiconductor layer on the tunneling layer, and doping the semiconductor layer with a first conductive type dopant and a second conductive type dopant to form a first conductive type area and a second conductive type area separated from each other via a barrier area.

[0008] The solar cell according to the present embodiment includes the barrier area interposed between the first conductive type area and the second conductive type area disposed on one surface (for example, back surface) of the semiconductor substrate. As a result, shunt caused by undesired short between the first conductive type area and the second conductive type area can be prevented. In addition, the barrier area prevents connection between the first and second conductive type areas to undesired impurity layers, when alignment of the first and second electrodes connected to the first and second conductive type areas, respectively, is not reasonable. As a result, opening voltage and fill factor of the solar cell are improved and efficiency and power of the solar cell can be thus increased. The method for manufacturing a solar cell according to the present embodiment enables formation of the solar cell having a structure in a simple method.

[0009] As a result, according to the present embodiment, properties and production efficiency of the solar cell can be improved.

BRIEF DESCRIPTION OF THE DRAWINGS

[0010] The above and other objects, features and other advantages of the present invention will be more clearly understood from the following detailed description taken in conjunction with the accompanying drawings, in which:

FIG. 1 is a sectional view of a solar cell according to an embodiment of the present invention;

FIG. 2 is a partial back plan view illustrating the solar cell according to the embodiment;

FIGS. 3A to 3K are sectional views illustrating a method for manufacturing a solar cell according to an embodiment of the present invention;

FIG. 4 is a back plan view illustrating a solar cell according to another embodiment of the present invention; and

FIG. 5 is a sectional view illustrating a solar cell according to another embodiment of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0011] Reference will now be made in detail to the preferred embodiments of the present invention, examples of which are illustrated in the accompanying drawings. The present invention is not limited to the embodiments and the embodiments may be modified into various forms.

[0012] In the drawings, parts unrelated to the description may not be illustrated for clear and brief description of the present disclosure, and the same reference num-

Petitioner Runergy USA Inc., Ex. 1005, p. 289

bers may be used throughout the specification to refer to the same or considerably similar parts. In the drawings, the thickness or size may be exaggerated or reduced for more clear description. In addition, the size or area of each constituent element is not limited to that illustrated in the drawings.

[0013] It will be further understood that, throughout this specification, when one element is referred to as "comprising" another element, the term "comprising" specifies the presence of another element but does not preclude the presence of other additional elements, unless context clearly indicates otherwise. In addition, it will be understood that when one element such as a layer, a film, a region or a plate is referred to as being "on" another element, the one element may be directly on the another element, and one or more intervening elements may also be present. In contrast, when one element such as a layer, a film, a region or a plate is referred to as being "directly on" another element, one or more intervening elements are not present.

[0014] Hereinafter, a solar cell according to an embodiment of the present invention will be described in detail with reference to the annexed drawings.

[0015] FIG. 1 is a sectional view of a solar cell according to an embodiment of the present invention.

[0016] Referring to FIG. 1, the solar cell 100 according to the present embodiment includes a semiconductor substrate 10, a tunneling layer 20 formed on one surface (for example, back surface) of the semiconductor substrate 10, and a first conductive type area 32, a second conductive type area 34 and a barrier area 36 formed on the tunneling layer 20. In this case, the first conductive type area 32 and the second conductive type area 34 are spaced from each other via the barrier area 36. The solar cell 100 further includes first and second electrodes 42 and 44 which are connected to first and second conductive type areas 32 and 34, respectively, and collect carriers. In addition, an anti-reflective film 50 may be further formed on another surface of the semiconductor substrate 10. This configuration will be described in detail.

[0017] The semiconductor substrate 10 may include a base area 110 containing a low doping concentration of first conductive type dopant.

[0018] The semiconductor substrate 10 may, for example, include a crystalline semiconductor (for example, crystalline silicon) containing a first conductive-type dopant. The crystalline semiconductor may be monocrystalline silicon, and the first conductive-type dopant may be, for example, an n-type or p-type dopant. That is, the first conductive-type dopant may be an n-type impurity such as a Group V element including phosphorous (P), arsenic (As), bismuth (Bi), antimony (Sb) or the like. Alternatively, the first conductive-type dopant may be a p-type impurity such as a Group III element including boron (B), aluminum (Al), gallium (Ga), indium (In) or the like.

[0019] The base area 110 may have an n-type impurity as the first conductive-type dopant. As a result, the second conductive type area 34 forming a tunnel junction through the tunneling layer 20 with the base area 110 may be a p-type. As a result, the first conductive type area 32 serving as an emitter causing photoelectric transformation through junction with the base area 110 may be widely formed and, as a result, holes having movement speed lower than electrons can be efficiently collected. Electrons created by photoelectric effect are collected by a first electrode 42 when light is emitted to the tunnel junction, and holes are moved toward the front surface of the semiconductor substrate 10 and are then collected by a second electrode 44. As a result, electric energy is generated, but the present invention is not limited thereto, and the base area 110 and the first conductive type area 32 may be a p-type while the second conductive type area 34 may be an n-type.

[0020] The front surface of the semiconductor substrate 10 is textured to have irregularities having a shape such as a pyramidal shape. When surface roughness is increased due to irregularities formed on the front surface of the semiconductor substrate 10 through such texturing, reflection of light incident through the front surface of the semiconductor substrate 10 can be reduced. Accordingly, an amount of light which reaches the tunnel junction formed by the semiconductor substrate 10 and the second conductive type area 34 is increased and light loss can thus be minimized.

[0021] In addition, the back surface of the semiconductor substrate 10 may be a smooth and even surface having a surface roughness lower than the front surface, obtained through mirror polishing or the like. As a result, light which passes through the semiconductor substrate 10 and travels toward the back surface thereof is reflected at the back surface and travels toward the semiconductor substrate 10 again. When tunnel junction is formed through the tunneling layer 20 on the back surface of the semiconductor substrate 10, as in the present embodiment, properties of the solar cell 100 may be greatly changed according to properties of the semiconductor substrate 10. For this reason, irregularities obtained by texturing are not formed on the back surface of the semiconductor substrate 10, but the present invention is not limited thereto and a variety of modifications are possible.

[0022] A front surface field layer 120 may be formed on the front surface of the semiconductor substrate 10 (that is, on the base area 110). The front surface field layer 120 is an area where the first conductive-type dopant is doped at a concentration higher than the semiconductor substrate 10 and performs similar functions to a back surface field (BSF) layer. That is, the front surface field layer 120 prevents electrons and holes separated by incident light from being recombined and then decay on the front surface of the semiconductor substrate 10. However, the present invention is not limited to this configuration, and the front surface field layer 120 may be omitted. This example will be described in more detail with reference to FIG. 5.

[0023] In addition, an anti-reflective film 50 may be formed on the front surface field layer 120. The anti-re-

Petitioner Runergy USA Inc., Ex. 1005, p. 290

flective film 50 may be entirely formed over the front surface of the semiconductor substrate 10. The anti-reflective film 50 decreases reflectivity of light incident upon the front surface of the semiconductor substrate 10 and passivates defects present on the surface or in the bulk of the front surface field layer 120.

[0024] The decrease in reflectivity of light incident upon the front surface of the semiconductor substrate 10 causes an increase in amount of light reaching the tunnel junction. Accordingly, short current (Isc) of the solar cell 100 can be increased. In addition, the anti-reflective film 50 passivates defects, removes recombination sites of minority carriers and thus increases open-circuit voltage (Voc) of the solar cell 100. As such, the anti-reflective film 50 increases open-circuit voltage and short current of the solar cell 100, thus improving conversion efficiency of the solar cell 100.

[0025] The anti-reflective film 50 may be formed of a variety of materials. For example, the anti-reflective film 50 may be a single film selected from the group consisting of a silicon nitride film, a silicon nitride film containing hydrogen, a silicon oxide film, a silicon oxide nitride film, MgF_2, ZnS, TiO_2 and CeO_2, or a multilayer film including a combination of two or more thereof, but the present invention is not limited thereto and the anti-reflective film 50 may include a variety of materials.

[0026] In the present embodiment, a tunneling layer 20 is formed on the back surface of the semiconductor substrate 10. The tunneling layer 20 improves interface properties of the back surface of the semiconductor substrate 10 and enables produced carriers to be efficiently transferred through tunneling effect. The tunneling layer 20 may include a variety of materials enabling tunneling of carriers and examples of the materials include oxides, nitrides and conductive polymers. The tunneling layer 20 may be entirely formed on the back surface of the semiconductor substrate 10. Accordingly, the tunneling layer 20 entirely passivates the back surface of the semiconductor substrate 10 and can be easily formed without additional patterning.

[0027] A thickness of the tunneling layer 20 may be 5.0 nm or less so that the tunneling layer 20 sufficiently exhibits a tunneling effect, or may be 0.5 nm to 5 nm (for example, 1.0 nm to 4 nm). When the thickness of the tunneling layer 20 exceeds 5 nm, tunneling is not efficiently performed and the solar cell 100 may not operate, and when the thickness of the tunneling layer 20 is less than 0.5 nm, there may be difficulty in formation of the tunneling layer 20 with desired qualities. In order to further improve the tunneling effect, the thickness of the tunneling layer 20 may be 1.0 nm to 4.0 nm, but the present invention is not limited thereto and the thickness of the tunneling layer 20 may be changed.

[0028] In addition, a first conductive type area 32 having a first conductive type dopant, a second conductive type area 34 having a second conductive type dopant, and a barrier area 36 formed between the first conductive type area 32 and the second conductive type area 34 are formed on the tunneling layer 20.

[0029] The first conductive type area 32 may include a semiconductor (for example, silicon) having the same conductive type as the semiconductor substrate 10. The first conductive type area 32 may have a crystalline structure different from the base area 110 so that it is easily formed by a variety of methods such as deposition. For example, the first conductive type area 32 may be easily formed by doping amorphous silicon, microcrystalline silicon, polycrystalline silicon or the like with a first conductive type dopant. The first conductive type dopant may be any dopant having the same conductive type as the semiconductor substrate 10. That is, when the first conductive type dopant is an n-type dopant, a Group V element such as phosphorus (P), arsenic (As), bismuth (Bi) or antimony (Sb) may be used. When the first conductive type dopant is a p-type dopant, a Group III element such as boron (B), aluminum (Al), gallium (Ga) or indium (In) may be used. The first conductive type area 32 forms a back surface field structure and thereby functions to prevent carrier loss through recombination on the surface of the semiconductor substrate 10. In addition, the first conductive type area 32 also functions to reduce contact resistance in a portion thereof contacting the first electrode 42.

[0030] The second conductive type area 34 may include a semiconductor (for example, silicon) having a conductive type opposite to the semiconductor substrate 10. The second conductive type area 34 may have a crystalline structure different from the base area 110 so that it is easily formed by a variety of methods such as deposition. For example, the second conductive type area 34 may be easily formed by doping amorphous silicon, microcrystalline silicon, polycrystalline silicon or the like with a second conductive type dopant by a variety of methods such as deposition or printing. In this case, the second conductive type dopant may be any impurity having a conductive type opposite to the semiconductor substrate 10. That is, when the second conductive type dopant is a p-type dopant, a Group III element such as boron (B), aluminum (Al), gallium (Ga) or indium (In) may be used. When the second conductive type dopant is an n-type dopant, a Group V element such as phosphorus (P), arsenic (As), bismuth (Bi) or antimony (Sb) may be used. The second conductive type area 34 forms a tunnel junction with the semiconductor substrate 10 through the tunneling layer 20, thus substantially contributing to photoelectric transformation.

[0031] In addition, the barrier area 36 is disposed between the first conductive type area 32 and the second conductive type area 34 and separates the first conductive type area 32 from the second conductive type area 34. When the first conductive type area 32 contacts the second conductive type area 34, shunt is generated and performance of the solar cell 100 is deteriorated. Accordingly, in the present embodiment, the barrier area 36 is interposed between the first conductive type dopant 32 and the second conductive type area 34, thereby pre-

Petitioner Runergy USA Inc., Ex. 1005, p. 291

venting unnecessary shunt.

[0032] The barrier area 36 may include a variety of materials for substantially insulating the first conductive type area 32 from the second conductive type area 34 and may be between the first and second conductive type areas 32 and 34. The barrier area 36 may be an undoped insulating material (for example, oxide or nitride) or the like. In addition, the barrier area 36 may include an intrinsic semiconductor. In this case, the first and second conductive type areas 32 and 34, and the barrier area 36 are flush with one another and may include an identical semiconductor material (for example, amorphous silicon, microcrystalline silicon or polycrystalline silicon). In this case, a semiconductor layer (represented by reference number "30" in FIG. 3C, the same will be applied below) including a semiconductor material is formed, a portion of the semiconductor layer 30 is doped with a first conductive type dopant to form a first conductive type area 32, another portion of the semiconductor layer 30 is doped with a second conductive type dopant to form a second conductive type area 34, and a portion of the semiconductor layer 30 in which the first and second conductive type areas 32 and 34 are not formed constitutes the barrier area 36, thereby manufacturing the solar cell. That is, the formation methods of the first and second conductive type areas 32 and 34 and the barrier area 36 are simplified. This will be described in more detail in description associated with the manufacturing method later.

[0033] However, the present invention is not limited thereto and a variety of modifications are possible. That is, in the drawing, an example in which the barrier area 36 and the first and second conductive type areas 32 and 34 are formed simultaneously and have a substantially identical thickness is given. However, when the barrier area 36 is separately formed with the first and second conductive type areas 32 and 34, that is, the barrier area 36 is formed by patterning or the like, the barrier area 36 may not have the same thickness as the first and second conductive type areas 32 and 34. For example, in order to effectively prevent short of the first and second conductive type areas 32 and 34, the barrier area 36 may have a thickness greater than the first and second conductive type areas 32 and 34. In addition, in order to reduce raw materials for forming the barrier area 36, the thickness of the barrier area 36 may be smaller than that of the first and second conductive type areas 32 and 34. Other modifications are possible.

[0034] Here, an area of the second conductive type area 34 having a conductive type different from the base area 110 may be greater than an area of the first conductive type area 32 having the same conductive type as the base area 110. As a result, a tunnel junction formed through the tunneling layer 20 between the semiconductor substrate 110 and the second conductive type area 34 can be widely formed. In addition, as described above, when the base area 110 and the first conductive type area 32 have an n-conductive type and the second conductive type area 34 has a p-conductive type, holes having a low movement speed can be efficiently collected. Plane shapes of the first and second conductive type areas 32 and 34 and the barrier area 36 will be described in more detail with reference to FIG. 2 later.

[0035] An insulating layer 40 may be formed on the first and second conductive type areas 32 and 34 and the barrier area 36. The insulating layer 40 prevents undesired connection between the first and second conductive type areas 32 and 34 and an improper electrode connection (that is, the second electrode 44 in case of the first conductive type area 32, and the first electrode 42 in case of the second conductive type area 34) and passivates the first and second conductive type areas 32 and 34. The insulating layer 40 includes a first opening 402 exposing the first conductive type area 32 and a second opening 404 exposing the second conductive type area 34.

[0036] The insulating layer 40 may have a thickness greater than the tunneling layer 20. As a result, insulating and passivation properties can be improved. The insulating layer 40 may be composed of a variety of insulating materials (for example, oxide or nitride). For example, the insulating layer 40 may have a structure of a single film selected from the group consisting of a silicon nitride film, a silicon nitride film containing hydrogen, a silicon oxide film, a silicon oxide nitride film, Al_2O_3, MgF_2, ZnS, TiO_2 and CeO_2, or a structure of a multilayer film including a combination of two or more thereof, but the present invention is not limited thereto and the insulating layer 40 may include a variety of materials.

[0037] The first electrode 42 passes through the first opening 402 of the insulating layer 40 and is connected to the first conductive type area 32, and the second electrode 44 passes through the second opening 404 of the insulating layer 40 and is connected to the second conductive type area 34. The first and second electrodes 42 and 44 may include a variety of metal materials. In addition, the first and second electrodes 42 and 44 may have a variety of plane shapes which are not electrically connected to each other and are connected to the first conductive type area 32 and the second conductive type area 34, respectively, to collect produced carriers and transport the same to the outside. That is, the present invention is not limited to the plane shapes of the first and second electrodes 42 and 44.

[0038] Hereinafter, the plane shapes of the first and second conductive type areas 32 and 34 and the barrier area 36 will be described in detail with reference to FIG. 2. FIG. 2 is a partial back plan view illustrating the solar cell 100 according to the embodiment of the present invention.

[0039] The shapes of the first and second electrodes 42 and 44 shown in FIG. 2 is provided only as an example and the present invention is not limited thereto. That is, as shown in FIG. 2, a plurality of first and second electrodes 42 and 44 are alternately disposed such that the first and second electrodes 42 and 44 are spaced from

Petitioner Runergy USA Inc., Ex. 1005, p. 292

each other by a predetermined distance. The first electrodes 42 shown in FIG. 2 correspond to branch portions 42a of the first electrode 42 shown in FIG. 4. The second electrodes 44 shown in FIG. 2 correspond to branch portions 44a shown in FIG. 4. Although not separately shown in FIG. 2, as shown in FIG. 4, the first and second electrodes 42 and 44 may further include stem portions 42b and 44b connecting the branch portions 42a and 44a, respectively, at a side. However, as described above, the present invention is not limited thereto and shape, connection configuration or the like of the first and second electrodes 42 and 44 may be varied.

[0040] Referring to FIG. 2, as described above, in the solar cell 100 according to the present embodiment, the first conductive type area 32 is formed to have an area smaller than the second conductive type area 34.

[0041] For this purpose, in the present embodiment, a plurality of first conductive type areas 32 have an island shape and are spaced from one another. An area of the first conductive type areas 32 are minimized and the first conductive type areas 32 are entirely disposed over the semiconductor substrate 10. The first conductive type area 32 efficiently prevents surface recombination and maximizes an area of the second conductive type area 34, but the present invention is not limited thereto and the first conductive type area 32 may have a variety of shapes capable of minimizing the area of the first conductive type area 32.

[0042] In addition, the first conductive type area 32 having a circular shape is exemplarily shown in the drawing, but the present invention is not limited thereto. Accordingly, the first conductive type area 32 may have a plane shape including an oval or a polygon, for example, a triangle, rectangle or hexagon.

[0043] A ratio of a total area of the first conductive type area 32 to a total area of the solar cell 100 may be 0.5% to 49% (more preferably 20% to 40%). When the ratio of the total area of the first conductive type area 32 is less than 0.5%, contact between the first conductive type area 32 and the first electrode 42 is not accurately formed and contact resistance between the first conductive type area 32 and the first electrode 42 may thus be increased. When the area ratio exceeds 49%, the area of the second conductive type area 34 is decreased and efficiency of the solar cell 100 is thus deteriorated, as described above. The area ratio is preferably 20% to 40% in consideration of efficiency of the solar cell.

[0044] The first conductive type area 32 may be respectively surrounded by the barrier area 36. For example, when the first conductive type area 32 has a circular shape, the barrier area 36 may have a loop or ring shape. That is, the barrier area 36 surrounds the first conductive type area 32 to separate the first conductive type area 32 from the second conductive type area 34 and thereby prevents generation of undesired shunt. The drawing illustrates a case in which the barrier area 36 entirely surrounds the first conductive type area 32 and fundamentally prevents generation of shunt. However, the present invention is not limited thereto and the barrier area 36 may surround only a portion of a periphery of the first conductive type area 32.

[0045] In this case, the barrier area 36 is interposed between the first conductive type area 32 and the second conductive type area 34 and functions to separate the first conductive type area 32 from the second conductive type area 34. For this reason, the barrier area 36 has a minimal width, enabling separation between the first and second conductive type areas 32 and 34. That is, a width T1 of the barrier area 36 may be smaller than a width T2 of the first conductive type area 32 having a smaller area. Here, the width T2 of the first conductive type area 32 may be varied according to the shape of the first conductive type area 32. When the first conductive type area 32 has a circular shape as shown in the drawing, the width T2 of the first conductive type area 32 is defined by a diameter and when the first conductive type area 32 has a polygonal shape, the width T2 of the first conductive type area 32 is defined by a long width. As a result, only undesired shunt of the first conductive type area 32 and the second conductive type area 34 can be prevented through a minimal area.

[0046] Here, the width T1 of the barrier area 36 may be 0.5 μm to 100 μm. When the width T1 of the barrier area 36 is less than 0.5 μm, the effect of electrically insulating the first and second conductive type areas 32 and 34 may be insufficient and when the width T1 of the barrier area 36 exceeds 100 μm, a ratio of a region (that is, a region corresponding to the barrier area 36) not greatly contributing to photoelectric transformation is increased and efficiency of the solar cell 100 is thus deteriorated. In consideration of insulating effect and efficiency of the solar cell 100, the width T1 of the barrier area 36 may be 1 μm to 30 μm.

[0047] For example, a ratio of a total area of the barrier area 36 to a total area of the solar cell 100 may be 0.5% to 5%. When the ratio is less than 0.5%, it may be difficult to form the barrier area 36. When the ratio exceeds 5%, a ratio of a region (that is, a region corresponding to the barrier area 36) not greatly contributing to photoelectric transformation is increased and a ratio of the first and second conductive areas 32 and 34 is decreased. And thus, efficiency of the solar cell 100 may be deteriorated. The width T2 of the first conductive type area 32 may be 50 μm to 1,000 μm. When the width T2 of the first conductive type area 32 is less than 50 μm, electrical connection between the first conductive type area 32 and the first electrode 42 may be not efficiently formed and when the width T2 exceeds 1,000 μm, an area of the second conductive type area 34 is decreased or a distance between the first conductive type areas 32 is increased. In consideration of connection to the first electrode 42, area ratio or the like, the width T2 of the first conductive type area 32 may be 100 μm to 500 μm.

[0048] The first and second openings 402 and 404 formed in the insulating layer 40 may be formed to have different shapes in consideration of shapes of the first

Petitioner Runergy USA Inc., Ex. 1005, p. 293

and second conductive type areas 32 and 34. That is, a plurality of first openings 402 may be spaced from one another while being formed in regions corresponding to the first conductive type areas 32 and the second opening 404 may extend lengthwise. This is based on the configuration that the first electrode 42 is disposed on both the first conductive type area 32 and the second conductive type area 34, while the second electrode 44 is disposed only on the second conductive type area 34. That is, the first opening 402 is formed in a portion of the insulating layer 40 on the first conductive type area 32 and the first opening 402 connects the first electrode 42 to the first conductive type area 32. In addition, the first opening 402 is not formed in a portion of the insulating layer 40 on the second conductive type area 34 to maintain insulation between the first electrode 42 and the second conductive type area 34. Because the second electrode 44 is formed only on the second conductive type area 34, the second opening 404 is formed to have a shape the same as or similar to the second electrode 44 such that the second electrode 44 entirely contacts the second conductive type area 34.

[0049] As described above, the solar cell 100 according to the present embodiment includes the barrier area 36 interposed between the first conductive type area 32 and the second conductive type area 34 disposed on one surface (for example, back surface) of the semiconductor substrate 10. As a result, shunt caused by undesired short between the first conductive type area 32 and the second conductive type area 34 can be prevented. In addition, the barrier area 36 prevents connection between the first and second conductive type areas 32 and 34 and undesired impurity layers, when alignment of the first and second electrodes 42 and 44 connected to the first and second conductive type areas 32 and 34, respectively, is not reasonable. As a result, opening voltage and fill factor of the solar cell 100 are improved, and efficiency and power of the solar cell 100 can be thus increased.

[0050] In the present embodiment, the first and second conductive type areas 32 and 34 and the barrier area 36 are simultaneously formed in a single process, thereby obtaining the solar cell 100 with an improved structure through a simple process. This will be described in more detail with reference to FIGS. 3A to 3K. Hereinafter, details of the description given above may not be mentioned and only the difference from the description above may be described in detail.

[0051] FIGS. 3A to 3K are sectional views illustrating a method for manufacturing the solar cell according to an embodiment of the present invention.

[0052] First, as shown in FIG. 3A, a semiconductor substrate 10 including a base area 110 having a first conductive-type dopant is prepared during preparation of the substrate. In the present embodiment, the semiconductor substrate 10 may include silicon having an n-type impurity. Examples of the n-type impurity include Group V elements such as phosphorous (P), arsenic (As), bismuth (Bi) and antimony (Sb).

[0053] The front surface of the semiconductor substrate 10 is textured so that the front surface has irregularities and the back surface of the semiconductor substrate 10 is subjected to treatment such as mirror polishing so that the back surface of the semiconductor substrate 10 has a lower surface roughness than the front surface thereof.

[0054] Wet or dry texturing may be used as the texturing of the front surface of the semiconductor substrate 10. Wet texturing may be carried out by dipping the semiconductor substrate 10 in a texturing solution and has an advantage of short process time. Dry texturing is a process of cutting the surface of the semiconductor substrate 10 using a diamond drill, laser or the like and enables formation of uniform irregularities, but disadvantageously has long process time and may cause damage to the semiconductor substrate 10. Alternatively, the semiconductor substrate 10 may be textured by reactive ion etching (RIE) or the like. As such, the semiconductor substrate 10 may be textured by a variety of methods. In addition, the back surface of the semiconductor substrate 10 may be treated by a known mirror surface polishing method.

[0055] Next, as shown in FIG. 3B, a tunneling layer 20 is formed on the back surface of the semiconductor substrate 10. The tunneling layer 20 may be formed by a method such as thermal growth or deposition (for example, plasma-enhanced chemical vapor deposition chemical (PECVD), atomic layer deposition (ALD)) or the like, but the present invention is not limited thereto and the tunneling layer 20 may be formed by a variety of methods.

[0056] Next, as shown in FIG. 3C, a semiconductor layer 30 is formed on the tunneling layer 20. The semiconductor layer 30 includes a microcrystalline, amorphous or polycrystalline semiconductor. The semiconductor layer 30 may be formed by a method, for example, thermal growth, deposition (for example, plasma-enhanced chemical vapor deposition chemical (PECVD)) or the like, but the present invention is not limited thereto and the semiconductor layer 30 may be formed by a variety of methods.

[0057] Next, as shown in FIGS. 3D to 3G, a plurality of first conductive type areas 32, a plurality of second conductive type areas 34 and a plurality of barrier areas 36 are formed on the semiconductor layer 30. This will be described in more detail.

[0058] That is, as shown in FIG. 3D, a first doping layer 322 is formed in regions corresponding to the first conductive type areas 32. The first doping layer 322 may include various layers including a first conductive type dopant and may be phosphorous silicate glass (PSG). The first doping layer 322 can be easily formed using phosphorous silicate glass (PSG). The first doping layer 322 may include a plurality of doping portions corresponding to the first conductive type areas 32. The doping portions may have island shapes corresponding to the second conductive type areas 32.

Petitioner Runergy USA Inc., Ex. 1005, p. 294

[0059] The first doping layer 322 may be formed to have a shape corresponding to the first conductive type area 32 on the semiconductor layer 30 using a mask. Alternatively, the first doping layer 322 may be formed to have a shape corresponding to the first conductive type area 32 on the semiconductor layer 30 by a method such as ink-jetting or screen printing. Alternatively, the first doping layer 322 may be formed by entirely forming a material for forming the first doping layer 322 on the semiconductor layer 30, and removing regions where the first conductive type areas 32 are not formed using an etching solution, an etching paste or the like.

[0060] Next, as shown in FIG. 3E, an undoped layer 362 is formed such that the undoped layer 362 covers the first doping layer 322 and a portion of the semiconductor layer 30 adjacent thereto. The undoped layer 362 includes a material not including the first and second conductive type areas. For example, the undoped layer 362 may include silicate or an insulating film. The undoped layer 362 may include a plurality of portions respectively corresponding to the doping portions of the first doping layer 322 and covering areas greater than the doping portions of the first doping layer 322.

[0061] The undoped layer 362 may be formed to have a desired shape using a mask on the semiconductor layer 30. Alternatively, the undoped layer 362 may be formed on the semiconductor layer 30 by a method such as ink-jetting or screen printing. Alternatively, the undoped layer 362 may be formed by entirely forming a material for forming the undoped layer 362 over the first doping layer 322 and the semiconductor layer 30, and removing undesired regions using an etching solution, an etching paste or the like.

[0062] Next, as shown in FIG. 3F, a second doping layer 342 are formed on the undoped layer 362 and the semiconductor layer 30. The second doping layer 342 may include a variety of layers including a second conductive type dopant and may be boron silicate glass (BSG). The second doping layer 342 can be easily formed using boron silicate glass. The second doping layer 342 may be entirely formed to cover the undoped layer 362 and the semiconductor layer 30.

[0063] Next, as shown in FIG. 3G, the first conductive type dopant in the first doping layer 322 is diffused into the semiconductor layer 30 by thermal treatment to form a plurality of first conductive type areas 32, and the second conductive type dopant in the second doping layer 342 is diffused into the semiconductor layer 30 to form a plurality of second conductive type areas 34. Portions adjacent to the undoped layer 362 and interposed between the first conductive type area 32 and the second conductive type area 34 are not doped and the semiconductor layer 30 remains unremoved to constitute a plurality of barrier areas 36. As a result, each barrier area 36 is interposed between the first conductive type area 32 and the second conductive type area 34, while separating the first conductive type area 32 from the second conductive type area 34.

[0064] The first doping layer 322, the undoped layer 362 and the second doping layer 342 are removed. The removal may be carried out using well-known various methods. For example, the first doping layer 322, the undoped layer 362 and the second doping layer 342 are removed by immersing in diluted HF and then cleaning with water, but the present invention is not limited thereto.

[0065] Next, as shown in FIG. 3H, an insulating layer 40 is formed on the first and second conductive type areas 32 and 34 and the barrier area 36. The insulating layer 40 may be formed by a variety of methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing or spray coating, but the present invention is not limited thereto and various methods may be used.

[0066] Next, as shown in FIG. 3I, a front surface field layer 120 and an anti-reflective film 50 are formed on the front surface of the semiconductor substrate 10.

[0067] The front surface field layer 120 may be formed by doping a first conductive type dopant. For example, the front surface field layer 120 may be formed by doping the semiconductor substrate 10 with a first conductive type dopant by a variety of methods such as ion implantation or thermal diffusion.

[0068] The anti-reflective film 50 may be formed by a variety of methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing or spray coating.

[0069] Next, as shown in FIG. 3J, openings 402 and 404 exposing the first and second conductive type areas 32 and 34 are formed and as shown in FIG. 3K, first and second electrodes 42 and 44 electrically connected to the first and second conductive type areas 32 and 34, respectively, are formed. In this case, for example, the first and second electrodes 42 and 44 may be formed in the opening by a variety of methods such as coating or deposition.

[0070] In another embodiment, the first and second electrodes 42 and 44 may be formed by applying a paste for forming the first electrode onto the insulating layer 40 by screen printing or the like and then performing fire through, laser firing contact or the like thereon. In this case, because the openings 402 and 404 are formed during formation of the first and second electrodes 42 and 44, a process (process of FIG. 3J) of separately forming openings 402 and 404 is not required.

[0071] According to the present embodiment, the first and second conductive type areas 32 and 34 and the barrier area 36 are simultaneously formed by a simple process including forming the semiconductor layer 30 and then doping a portion thereof with an impurity, thereby simplifying manufacturing method of the solar cell 100 and improving production efficiency. In particular, the first doping layer 322 and the undoped layer 362, each including a plurality of portions, are formed and the second doping layer 342 is then formed over the entire surface including the resulting structure, thereby minimizing the number of patterning operations and simultaneously

Petitioner Runergy USA Inc., Ex. 1005, p. 295

forming the first and second conductive type areas 32 and 34 and the barrier area 36. Accordingly, production efficiency can be greatly improved.

[0072] Unlike the present embodiment, when the first and second conductive type areas are separated by etching portions between the first and second conductive type areas, a portion of the semiconductor substrate is etched and is thus exposed to the outside. As a result, the semiconductor substrate is damaged and properties of solar cell are deteriorated. In order to prevent these problems, an additional passivation layer should be formed in a portion of the semiconductor substrate exposed to the outside. As a result, qualities and production efficiency of solar cells are deteriorated.

[0073] A example in which the tunneling layer 20, the first and second conductive type areas 32 and 34, the barrier area 36 and the insulating layer 40 are formed, the front surface field layer 120 and anti-reflective film 50 are formed, and the first and second electrodes 42 and 44 are formed is given in the embodiment described above, but the present invention is not limited thereto. Accordingly, a formation order of the tunneling layer 20, the first and second conductive type areas 32 and 34, the barrier area 34, the insulating layer 40, the front surface field layer 120, the anti-reflective film 50, and the first and second electrodes 42 and 44 may be varied.

[0074] In addition, an example, in which the first doping layer 322 is formed, and the undoped layer 362 and the second doping layer 342 are then formed, is given in the embodiment described above, but the present invention is not limited thereto. That is, the undoped layer 362 and the first doping layer 322 may be sequentially formed after the second doping layer 342 is formed. The first and second doping layers 322 and 342 may be formed after the undoped layer 362 is formed only a region corresponding to the barrier area 36. Accordingly, formation order of the first and second doping layers 322 and 342 and the undoped layer 362 may be varied.

[0075] Hereinafter, a method for manufacturing the solar cell according to another embodiment will be described in more detail with reference to FIGS. 4 and 5. Details of contents the same as or similar to the description given above may not be mentioned and only the difference from the description above may be described in detail.

[0076] FIG. 4 is a back surface plan view illustrating a solar cell according to another embodiment of the present invention. For clear and brief illustration, the insulating layer 40 is not shown in FIG. 4.

[0077] Referring to FIG. 4, in the present embodiment, the first conductive type area 32 may include a first stem portion 32a formed along a first edge (upper edge in the drawing) of the semiconductor substrate 10 and a plurality of first branch portions 32b which extend from the first stem portion 32a toward a second edge (lower edge in the drawing) opposite to the first edge. The plurality of first branch portions 32b are aligned to be parallel to each other to have a shape of a stripe pattern. The second conductive type area 34 may include a second stem portion 34a formed along the second edge of the semiconductor substrate 110 and a plurality of second branch portions 32b which extend between the first branch portions 32b toward the first edge from the second stem portion 34a. The plurality of second branch portions 34b are aligned to be parallel to each other to have a shape of a stripe pattern. The first branch portions 32b of the first conductive type area 32 and the second branch portions 34b of the second conductive type area 34 may be alternately disposed. Though this configuration, a junction area can be increased and carriers can be entirely collected. In addition, the barrier area 36 may be formed between the first conductive type area 32 and the second conductive type area 34.

[0078] As described above, an area of the first conductive type area 32 may be smaller than an area of the second conductive type area 34. For example, the area of the first and second conductive type areas 32 and 34 can be controlled by changing the first and second stem portions 32a and 34a and/or the first and second branch portions 32b and 34b of the first and second conductive type areas 32 and 34.

[0079] The first electrode 42 includes a stem portion 42a formed in a region corresponding to the first stem portion 32a of the first conductive type area 32, and a branch portion 42b formed in a region corresponding to the branch portion 32b of the first conductive type area 32. Similarly, the second electrode 44 may include a stem portion 44a in a region corresponding to the second stem portion 34a of the second conductive type area 34, and a branch portion 44b formed in a region corresponding to the branch portion 34b of the second conductive type area 34, but the present invention is not limited thereto and the first electrode 42 and the second electrode 44 may have a variety of plane shapes.

[0080] In the embodiment, it is exemplified that the first conductive type area has the first stem portion 32a, the second conductive type area has the second stem portion 34a, the first electrode 42 has the stem portion 42a, and the second electrode 44 has the stem portion 44a. However, the present invention is not limited thereto, and the first and second stem portions 32a and 34a, and the stem portions 42a and 44a are not necessary. Therefore, the first and/or second stem portions 32a and 34a, and/or the stem portions 42a and 44a may be not formed or may be not included. In this case, each of the first and second conductive type areas 32 and 34 consisting of the first and second branch portions 32b and 34b has a stripe pattern, and the barrier area 36 has a shape of a stripe pattern between the branch portion 32b of the first conductive type area 32 and the branch portion 32b of the second conductive type area 34.

[0081] For example, a ratio of a total area of the first conductive type area 32 to a total area of the solar cell 100 may be 0.5% to 49% (more preferably 20% to 40%). When the ratio of the total area of the first conductive type area 32 is less than 0.5%, contact between the first

Petitioner Runergy USA Inc., Ex. 1005, p. 296

conductive type area 32 and the first electrode 42 is not accurately formed and contact resistance between the first conductive type area 32 and the first electrode 42 may thus be increased. When the area ratio exceeds 49%, the area of the first conductive type area 32 is decreased and efficiency of the solar cell 100 is thus deteriorated, as described above. The area ratio is preferably 20% to 40% in consideration of efficiency of the solar cell.

[0082] The width of each of the first branch portions 32b having the stripe pattern may be 50 μm to 1,000 μm. When the width of the first branch portions 32b is less than 50 μm, electrical connection between the first conductive type area 32 and the first electrode 42 may be not efficiently formed. When the width exceeds 1,000 μm, an area of the second conductive type area 34 is decreased or a distance between the first conductive type areas 32 is increased. In consideration of connection to the first electrode 42, area ratio or the like, the width of each of the first branch portions 32b 32 may be 100 μm to 500 μm.

[0083] When the first branch portions 32b has the stripe pattern, the first branch portions 32b can be stably connected to the first electrode 42, compared with the first conductive type having a dot shape shown in FIG. 2.

[0084] FIG. 5 is a sectional view illustrating a solar cell according to another embodiment of the present invention.

[0085] Referring to FIG. 5, in the solar cell according to the embodiment, the semiconductor substrate 10 includes only the base area 110 and does not include an additional front surface field layer (represented by reference numeral "120" in FIG. 1, the same will be applied below). Instead, a field effect-forming layer 52 which contacts the base area 110 of the semiconductor substrate 10 and has a fixed charge is formed. Similar to the front surface field layer 112, the field effect-forming layer 52 generates a certain field effect and thereby prevents surface recombination. The field effect-forming layer 52 may be composed of aluminum oxide having a negative charge, or silicon oxide or silicon nitride having a positive charge or the like. Although not additionally shown, an additional anti-reflective film (represented by reference numeral "50" in FIG. 1) may be further formed on the field effect-forming layer 52.

[0086] As such, in the present embodiment, the semiconductor substrate 10 does not include an additional doping area and includes only a base area 110. As a result, a process of forming the additional doping area is eliminated and the overall process is thus simplified. During doping to form the additional doping area, deterioration in properties of the solar cell 100 caused by damage to the semiconductor substrate 10 can be prevented.

[0087] Here, an amount of fixed charges of the field effect-forming layer 52 is for example 1 X 10^{12}/cm^2 to 9 X 10^{13} /cm^2. The amount of the fixed charges is a level enabling generation of the field effect in the semiconductor substrate 10 not including the doping area. More specifically, in consideration of the field effect, the amount of fixed charges may be 1 X 10^{12}/cm^2 to 1 X 10^{13}/cm^2, but the present invention is not limited thereto and the amount of fixed charges may be varied.

[0088] In this case, the base area 110 not including the doping area may have a specific resistance of 0.5 ohm · cm to 20 ohm · cm (for example, 1 ohm · cm to 15 ohm · cm). Accordingly, in a region adjacent to the field effect-forming layer 52, the semiconductor substrate 10 may have a specific resistance of 0.5 ohm · cm to 20 ohm · cm (for example, 1 ohm · cm to 15 ohm · cm). However, this specific resistance range is given as an example of a case when the semiconductor substrate 10 includes an n-type base area 110 using phosphorous (P) as an impurity and may be changed according to conductive type, impurity type or the like.

[0089] Although the preferred embodiments of the present invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

Claims

1. A solar cell comprising:

   a semiconductor substrate;
   a tunneling layer on one surface of the semiconductor substrate;
   a first conductive type area on the tunneling layer;
   a second conductive type area on the tunneling layer such that the second conductive type area is separated from the first conductive type area; and
   a barrier area interposed between the first conductive type area and the second conductive type area such that the barrier area separates the first conductive type area from the second conductive type area.

2. The solar cell according to claim 1, wherein the barrier area comprises an intrinsic semiconductor material or an undoped insulating material.

3. The solar cell according to claim 1, wherein the first conductive type area is an n-type, the second conductive type area is a p-type, and an area of the first conductive type area is smaller than an area of the second conductive type area.

4. The solar cell according to claim 1, wherein a ratio of a total area of the barrier area to a total area of the solar cell is 0.5% to 5%.

5. The solar cell according to claim 1, wherein the first conductive type area is surrounded with the barrier

Petitioner Runergy USA Inc., Ex. 1005, p. 297

area and the first conductive type area has an island shape; or
wherein the first conductive type area includes a plurality of first branch portions aligned to be parallel to each other to have a shape of a stripe pattern, the second conductive type area includes a plurality of second branch portions aligned to be parallel to each other to have a shape of a stripe pattern, and the plurality of first branch portions and the plurality of second branch portions are alternately disposed.

6. The solar cell according to claim 1, wherein a width of the barrier area is smaller than a width of the first conductive type area.

7. The solar cell according to claim 1, wherein the width of the barrier area is 0.5 μm to 100 μm.

8. The solar cell according to claim 7, wherein the width of the barrier area is 1 μm to 30 μm.

9. The solar cell according to claim 1, wherein at least one of the following is fulfilled:

wherein the first conductive type area, the second conductive type area and the barrier area are flush with one another and comprise an identical semiconductor material;
wherein the first conductive type area, the second conductive type area and the barrier area comprise at least one of amorphous silicon, microcrystalline silicon and polycrystalline silicon;
wherein the tunneling layer comprises at least one of oxide and nitride;
wherein a thickness of the tunneling layer is 0.5 nm to 5 nm; and
wherein thicknesses of the first conductive type area, the second conductive type area and the barrier area are 50 nm to 300 nm.

10. The solar cell according to claim 1, wherein the one surface of the semiconductor substrate has a surface roughness lower than another surface of the semiconductor substrate.

11. The solar cell according to claim 10, wherein a field effect layer having a fixed charge is formed on the another surface of the semiconductor substrate.

12. The solar cell according to claim 11, wherein a portion of the semiconductor substrate adjacent to the field effect layer has a specific resistance of 0.5 ohm · cm to 20 ohm · cm, and
an amount of the fixed charge of the field effect layer is 1 X 10^{12}/cm^2 to 9 X 10^{13}/cm^2.

13. A method for manufacturing a solar cell comprising:

forming a tunneling layer on one surface of a semiconductor substrate;
forming a semiconductor layer on the tunneling layer; and
doping the semiconductor layer with a first conductive type dopant and a second conductive type dopant to form a first conductive type area and a second conductive type area separated from each other via a barrier area.

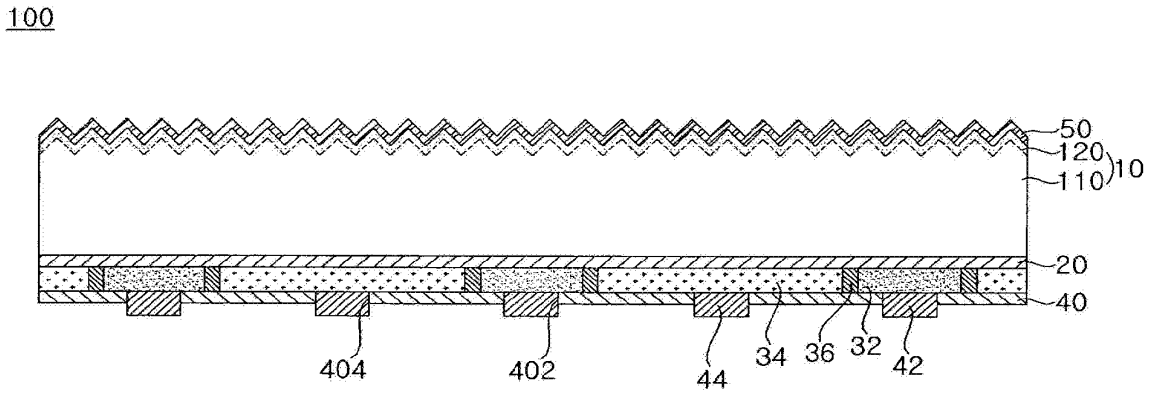
14. The method according to claim 13, wherein the doping comprises:

forming a first doping layer including the first conductive type dopant on the semiconductor layer;
forming an undoped layer on the first doping layer and on a portion of the semiconductor layer adjacent to the first doping layer;
entirely forming a second doping layer including the second conductive type dopant over the undoped layer and the semiconductor layer; and
diffusing the first conductive type dopant and the second conductive type dopant into the semiconductor layer to simultaneously form a first conductive type area, a second conductive type area and a barrier area,
wherein, in the diffusion, a portion of the semiconductor layer into which the first conductive type dopant is diffused constitutes the first conductive type area, a portion of the semiconductor layer into which the second conductive type dopant is diffused constitutes the second conductive type area, and an undoped portion between the first conductive type area and the second conductive type area constitutes the barrier area.

15. The method according to claim 14, wherein one of the first doping layer and the second doping layer comprises boron silicate glass (BSG) and the other comprises phosphorous silicate glass (PSG).

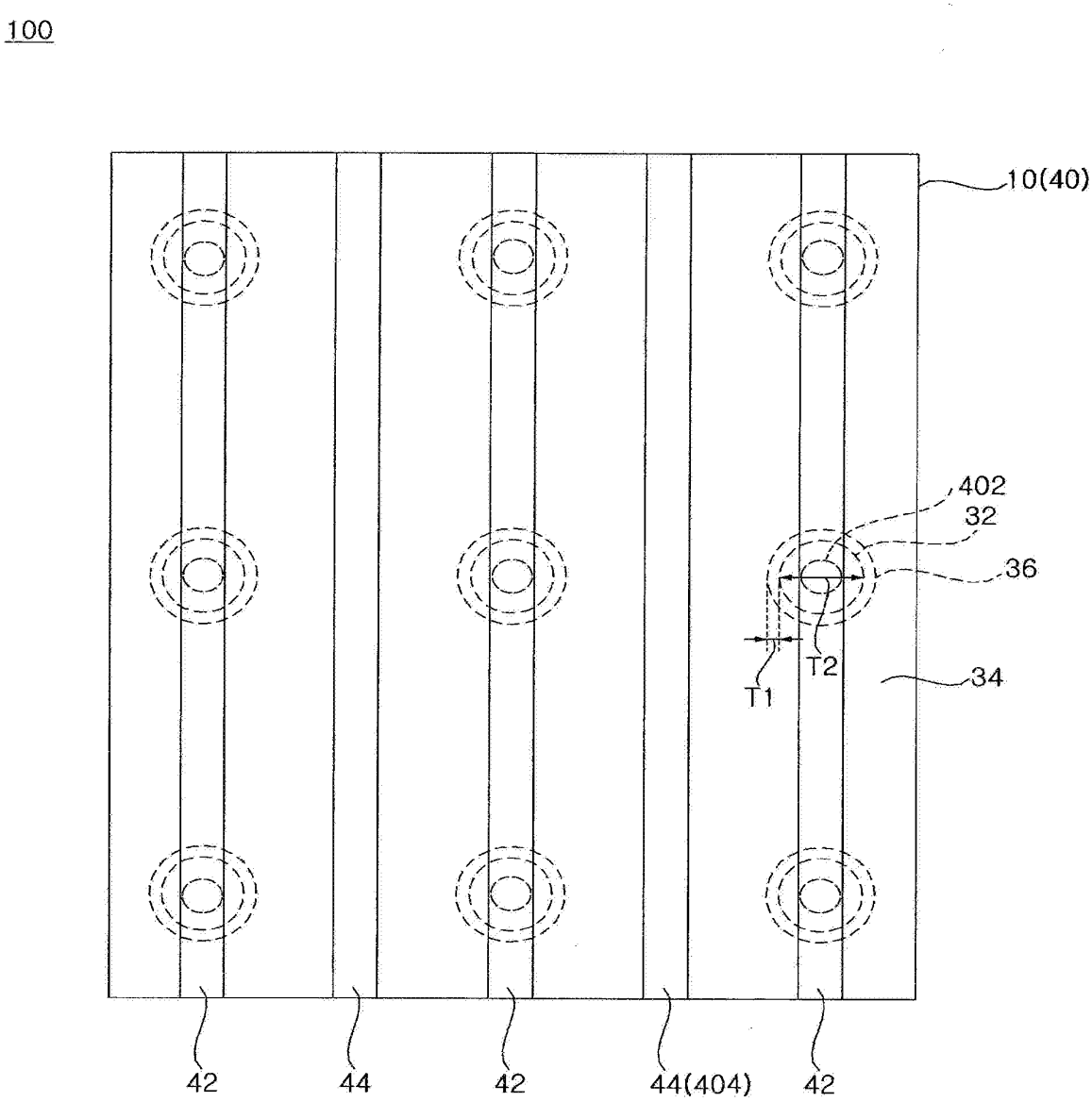
Petitioner Runergy USA Inc., Ex. 1005, p. 298

FIG. 1



Petitioner Runergy USA Inc., Ex. 1005, p. 299

FIG. 2



Petitioner Runergy USA Inc., Ex. 1005, p. 300

FIG. 3a

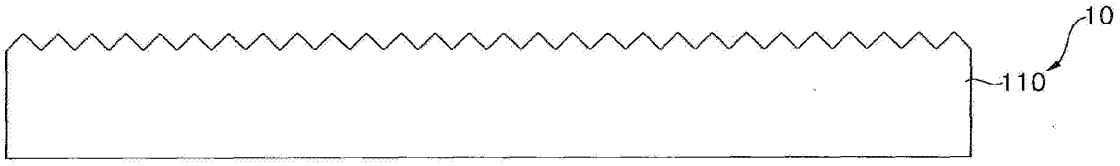


FIG. 3b

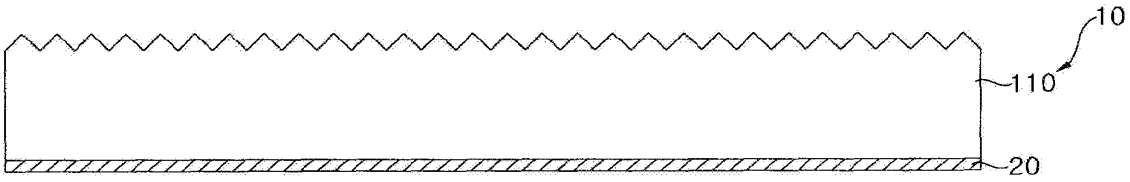
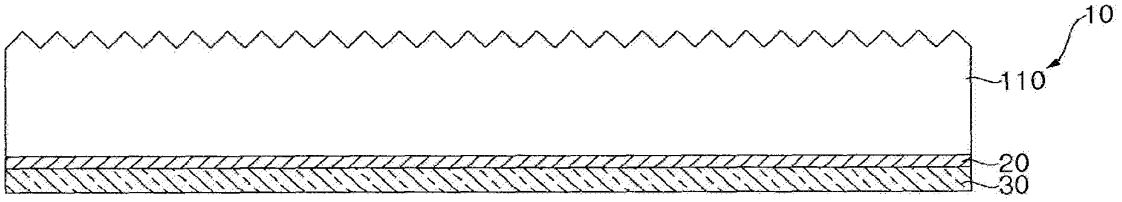


FIG. 3c



Petitioner Runergy USA Inc., Ex. 1005, p. 301

FIG. 3d

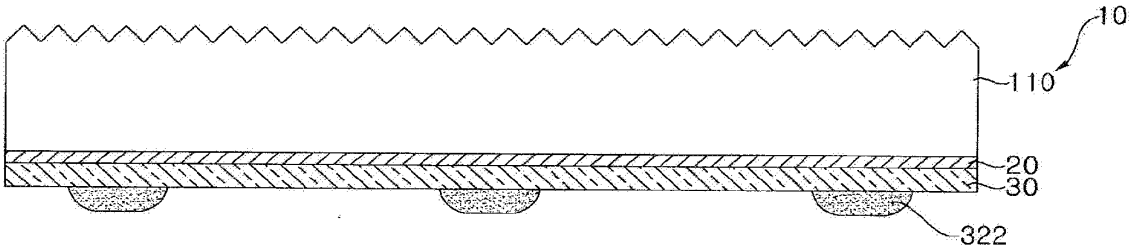
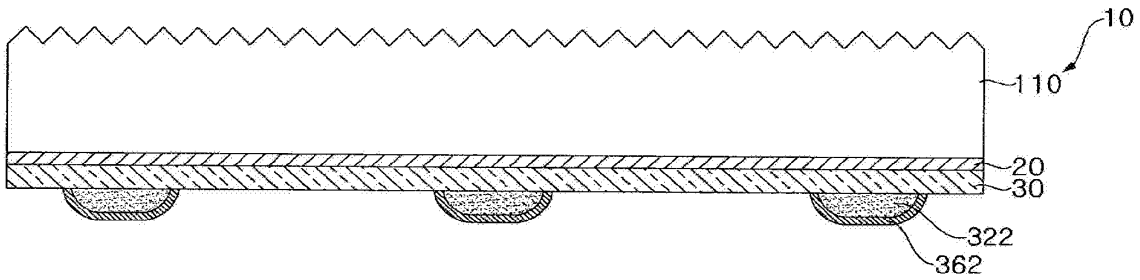


FIG. 3e



Petitioner Runergy USA Inc., Ex. 1005, p. 302

FIG. 3f

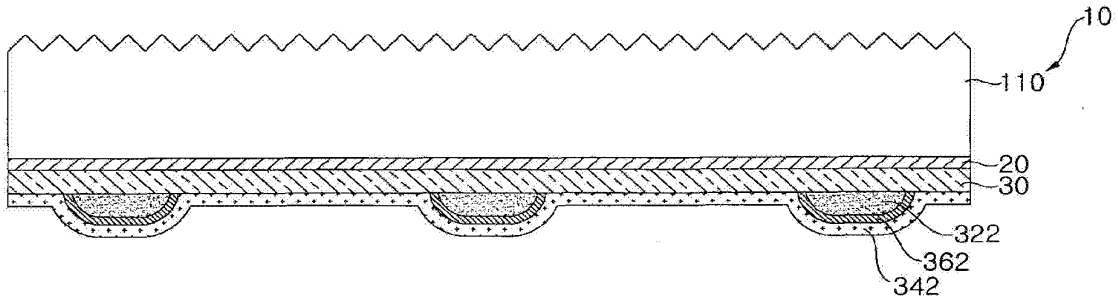
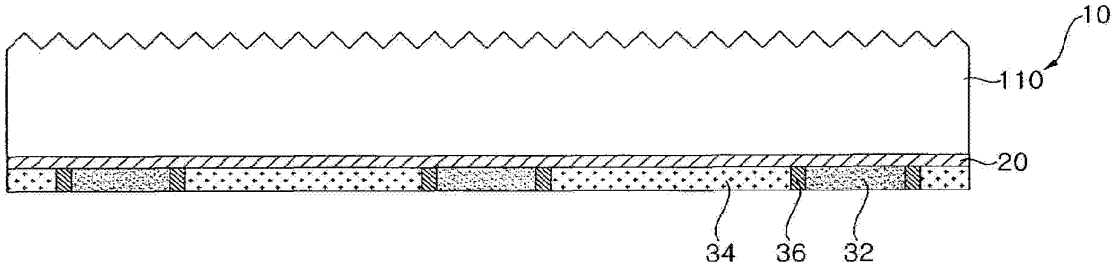


FIG. 3g



Petitioner Runergy USA Inc., Ex. 1005, p. 303

FIG. 3h

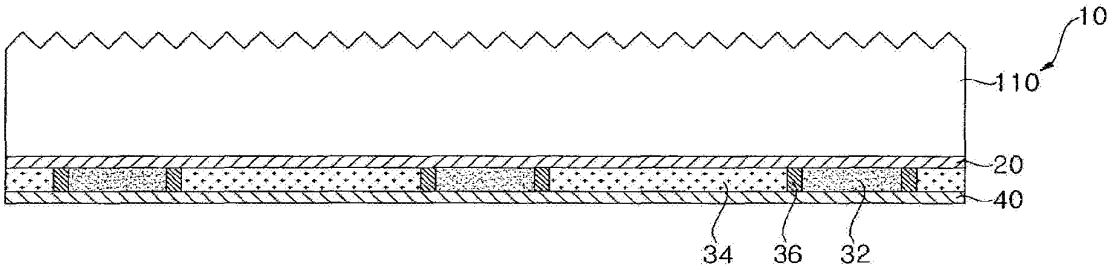
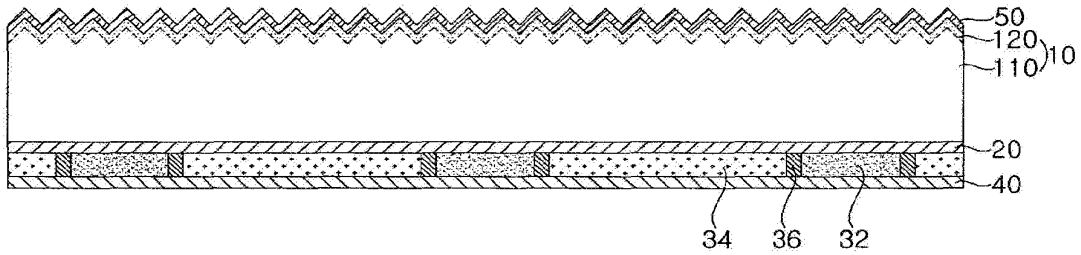


FIG. 3i



Petitioner Runergy USA Inc., Ex. 1005, p. 304

FIG. 3j

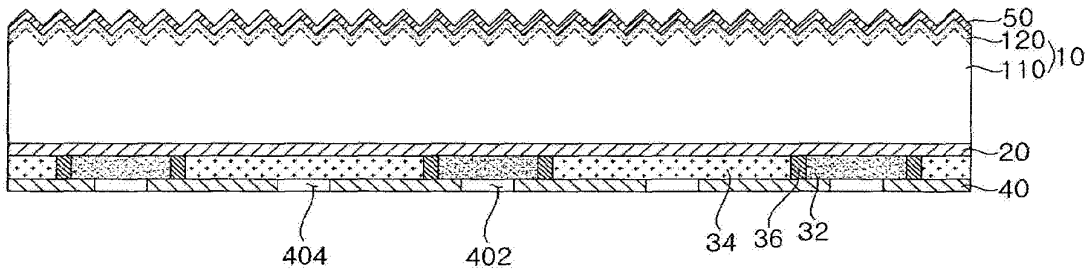
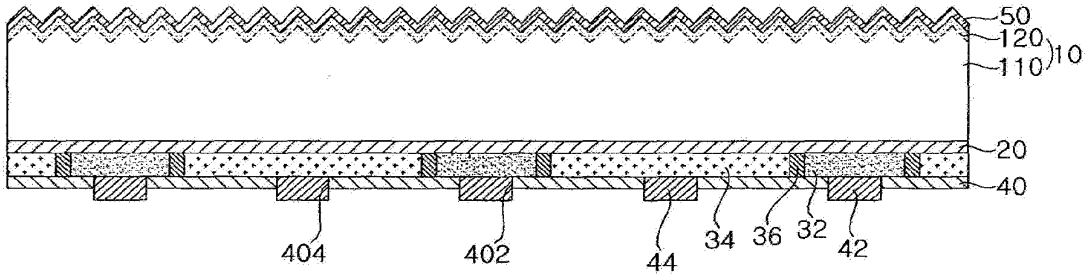
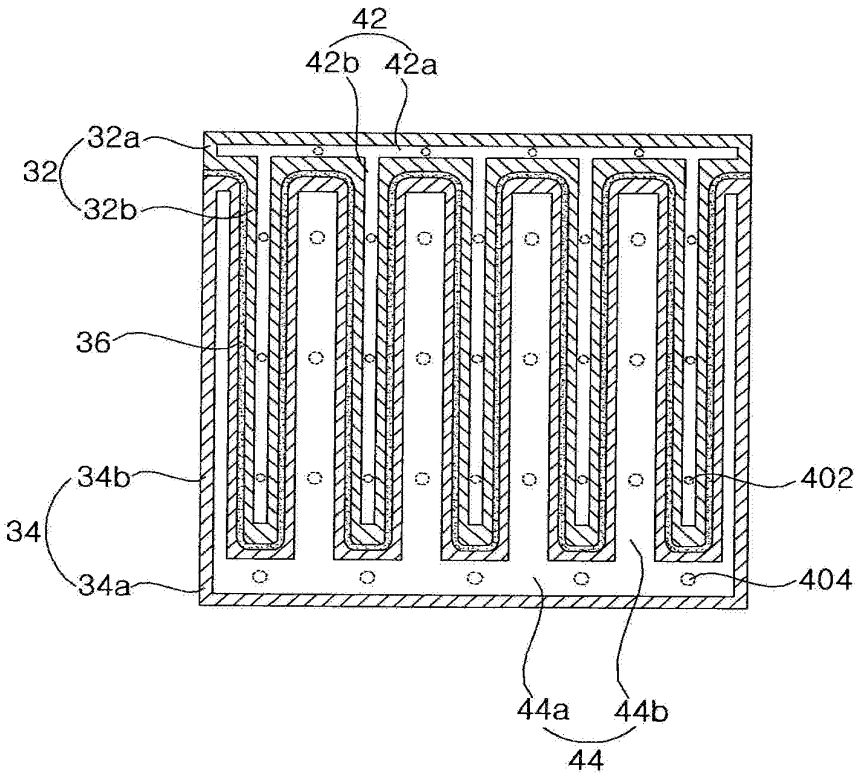


FIG. 3k



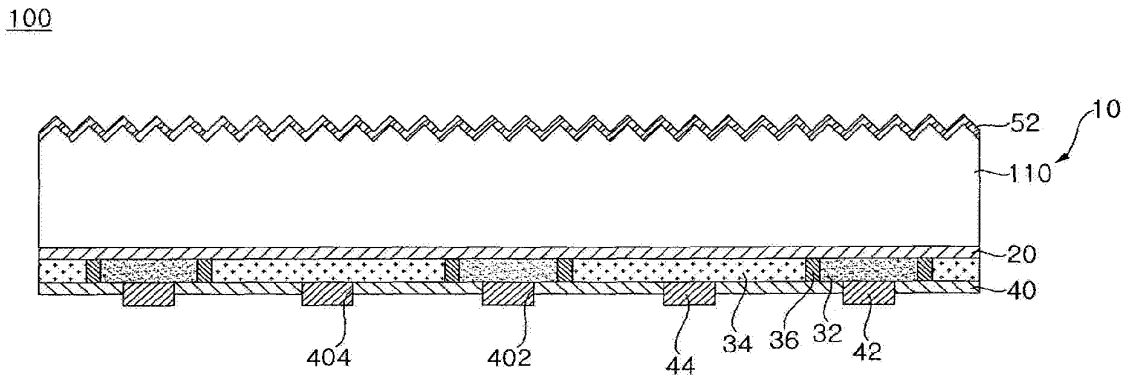
Petitioner Runergy USA Inc., Ex. 1005, p. 305

FIG. 4



Petitioner Runergy USA Inc., Ex. 1005, p. 306

FIG. 5



Petitioner Runergy USA Inc., Ex. 1005, p. 307

Europäisches Patentamt
European Patent Office
Office européen des brevets

EUROPEAN SEARCH REPORT

Application Number
EP 14 00 1446

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	US 2012/138135 A1 (MANNING JANE [US]) 7 June 2012 (2012-06-07)	1-13	INV. H01L31/18
A	* abstract * * page 2, paragraph 23 - page 3, paragraph 41 * * figures 1,2A-2L *	14,15	H01L31/068
X	US 2012/322199 A1 (GRAFF JOHN [US]) 20 December 2012 (2012-12-20)	1-13	
A	* abstract * * page 2, paragraph 28 - page 3, paragraph 30 * * page 3, paragraph 39-41 * * figures 4A-4C,,5A,5B *	14,15	
X	US 2012/247560 A1 (RIM SEUNG BUM [US] ET AL) 4 October 2012 (2012-10-04)	1-13	
A	* abstract * * page 3, paragraph 26 - page 4, paragraph 35 * * figures 8-11 *	14,15	
			TECHNICAL FIELDS SEARCHED (IPC)
X	MARIO TUCCI ET AL: "Back Enhanced Heterostructure with INterDigitated contact - BEHIND - solar cell", OPTOELECTRONIC AND MICROELECTRONIC MATERIALS AND DEVICES, 2008. COMMAD 2008. CONFERENCE ON, IEEE, PISCATAWAY, NJ, USA, 28 July 2008 (2008-07-28), pages 242-245, XP031437700, ISBN: 978-1-4244-2716-1	1-12	H01L
A	* abstract * * page 242, right-hand column, paragraph 2 - page 243, left-hand column, paragraph 1 * * figure 1 *	13-15	

-/--

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
Berlin	5 September 2014	Ekoué, Adamah

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

Petitioner Runergy USA Inc., Ex. 1005, p. 308

Europäisches Patentamt
European Patent Office
Office européen des brevets

EUROPEAN SEARCH REPORT

Application Number
EP 14 00 1446

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	WO 2012/163517 A2 (RENEWABLE ENERGY CORP ASA [NO]; KIRKENGEN MARTIN [NO]; SAUAR ERIK [NO]) 6 December 2012 (2012-12-06)	1-12	
A	* abstract * * page 19, line 24 - page 27, line 8 * * figures 1,2 *	13-15	

X	US 2009/308438 A1 (DE CEUSTER DENIS [US] ET AL) 17 December 2009 (2009-12-17)	1-13	
A	* abstract * * page 2, paragraph 40 - page 3, paragraph 51 * * figures 3-10 *	14,15	

			TECHNICAL FIELDS SEARCHED (IPC)

The present search report has been drawn up for all claims

Place of search	Date of completion of the search	Examiner
Berlin	5 September 2014	Ekoué, Adamah

CATEGORY OF CITED DOCUMENTS

X : particularly relevant if taken alone
Y : particularly relevant if combined with another document of the same category
A : technological background
O : non-written disclosure
P : intermediate document

T : theory or principle underlying the invention
E : earlier patent document, but published on, or after the filing date
D : document cited in the application
L : document cited for other reasons

& : member of the same patent family, corresponding document

EPO FORM 1503 03.82 (P04C01)

Petitioner Runergy USA Inc., Ex. 1005, p. 309

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 14 00 1446

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

05-09-2014

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012138135 A1	07-06-2012	AU 2011337153 A1	10-01-2013
		CN 102959730 A	06-03-2013
		EP 2647056 A1	09-10-2013
		JP 2014504003 A	13-02-2014
		KR 20130142883 A	30-12-2013
		US 2012138135 A1	07-06-2012
		US 2013291940 A1	07-11-2013
		WO 2012074602 A1	07-06-2012
US 2012322199 A1	20-12-2012	CN 103608930 A	26-02-2014
		JP 2014519723 A	14-08-2014
		KR 20140040216 A	02-04-2014
		TW 201251083 A	16-12-2012
		US 2012322199 A1	20-12-2012
		WO 2012174421 A2	20-12-2012
US 2012247560 A1	04-10-2012	AU 2012238016 A1	10-10-2013
		CN 103460354 A	18-12-2013
		EP 2691980 A1	05-02-2014
		JP 2014509795 A	21-04-2014
		KR 20140027172 A	06-03-2014
		SG 193949 A1	29-11-2013
		TW 201301550 A	01-01-2013
		US 2012247560 A1	04-10-2012
		US 2014034128 A1	06-02-2014
		WO 2012134866 A1	04-10-2012
WO 2012163517 A2	06-12-2012	CN 103765600 A	30-04-2014
		EP 2715794 A2	09-04-2014
		GB 2491209 A	28-11-2012
		JP 2014515556 A	30-06-2014
		KR 20140042815 A	07-04-2014
		TW 201310687 A	01-03-2013
		US 2014096819 A1	10-04-2014
		WO 2012163517 A2	06-12-2012
US 2009308438 A1	17-12-2009	AU 2009257973 A1	17-12-2009
		AU 2009257974 A1	17-12-2009
		CN 102057497 A	11-05-2011
		CN 103325861 A	25-09-2013
		CN 202307920 U	04-07-2012
		CN 202930394 U	08-05-2013
		EP 2297788 A1	23-03-2011
		EP 2297789 A1	23-03-2011
		JP 5524194 B2	18-06-2014
		JP 2011523230 A	04-08-2011

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

Petitioner Runergy USA Inc., Ex. 1005, p. 310

ANNEX TO THE EUROPEAN SEARCH REPORT ON EUROPEAN PATENT APPLICATION NO. EP 14 00 1446

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

05-09-2014

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		JP 2011523231 A	04-08-2011
		KR 20110025826 A	11-03-2011
		KR 20110030561 A	23-03-2011
		US 2009308438 A1	17-12-2009
		US 2009308457 A1	17-12-2009
		US 2011003423 A1	06-01-2011
		US 2011059571 A1	10-03-2011
		US 2013237007 A1	12-09-2013
		US 2013240029 A1	19-09-2013
		US 2014224319 A1	14-08-2014
		WO 2009151808 A1	17-12-2009
		WO 2009151809 A1	17-12-2009

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

Petitioner Runergy USA Inc., Ex. 1005, p. 311

REFERENCES CITED IN THE DESCRIPTION

This list of references cited by the applicant is for the reader's convenience only. It does not form part of the European patent document. Even though great care has been taken in compiling the references, errors or omissions cannot be excluded and the EPO disclaims all liability in this regard.

Patent documents cited in the description

- KR 1020130044982 **[0001]**

Petitioner Runergy USA Inc., Ex. 1005, p. 312

Docket No.: 1630-1332PUS1
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	14/953,264	Confirmation No.:	1071
Filed:	November 27, 2015	Art Unit:	1757
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	Jeffrey Thomas Barton

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

BIRCH, STEWART, KOLASCH & BIRCH, LLP

EHC/SSK/qng

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☑ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

A copy of the Extended European Search Report dated January 18, 2016, for European Application No. 15003390.0 is provided.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☐ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **30 days** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

Petitioner Runergy USA Inc., Ex. 1005, p. 314

☑ b. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ c. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS; or

☐ d. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement.

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution

Petitioner Runergy USA Inc., Ex. 1005, p. 315

(processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement; or

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. No fee is required.

☑ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application (see 37 C.F.R. § 1.97(c)(1)).

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

Petitioner Runergy USA Inc., Ex. 1005, p. 316

☐ e. This Information Disclosure Statement is being filed after the mailing date of a Final Office Action or after the mailing date of a Notice of Allowance or after an action that otherwise closes prosecution in the application (see 37 C.F.R. § 1.97(d)), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: MAR 04 2016

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):
☑ PTO/SB/08
☑ Document(s)
☐ Foreign Patent Office Communication(s)
☑ Foreign Search Report(s)
☐ Fee
☐ Other:

Petitioner Runergy USA Inc., Ex. 1005, p. 317

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
Stylesheet Version v1.2

EPAS ID: PAT3783462

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT

CONVEYING PARTY DATA

Name	Execution Date
JUNGMIN HA	03/02/2016
SUNGJIN KIM	03/02/2016
JUHWA CHEONG	03/02/2016
JUNYONG AHN	03/02/2016
HYUNGWOOK CHOI	03/02/2016
WONJAE CHANG	03/02/2016
JAESUNG KIM	03/02/2016

RECEIVING PARTY DATA

Name:	LG ELECTRONICS INC.
Street Address:	128, YEOUI-DAERO, YEONGDEUNGPO-GU
City:	SEOUL
State/Country:	KOREA, REPUBLIC OF
Postal Code:	07336

PROPERTY NUMBERS Total: 1

Property Type	Number
Application Number:	14953264

CORRESPONDENCE DATA

Fax Number: (703)205-8050

Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.

Phone: 703-208-8000
Email: Spencer.Garth@bskb.com, mailroom@bskb.com
Correspondent Name: BIRCH, STEWART, KOLASCH & BRICH, LLP
Address Line 1: P.O. BOX 747
Address Line 4: FALLS CHURCH, VIRGINIA 22040-0747

ATTORNEY DOCKET NUMBER:	1630-1332PUS1
NAME OF SUBMITTER:	SPENCER GARTH
SIGNATURE:	/spencer garth/
DATE SIGNED:	03/11/2016

	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 3
source=2016-03-09-DeclarationAndAssignment-1630-1332PUS1#page1.tif
source=2016-03-09-DeclarationAndAssignment-1630-1332PUS1#page2.tif
source=2016-03-09-DeclarationAndAssignment-1630-1332PUS1#page3.tif

BIRCH, STEWART, KOLASCH & BIRCH, LLP
P.O. Box 747 • Falls Church, Virginia 22040-0747
Telephone: (703) 205-8000 • Facsimile: (703) 205-8050 • Email: mailroom@bskb.com

DECLARATION AND ASSIGNMENT FOR PATENT AND DESIGN APPLICATIONS

UNITED STATES PATENT RIGHTS, OR
UNITED STATES PLUS ALL FOREIGN PATENT RIGHTS

Title of Invention ⇨ SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

As a below named inventor (hereinafter designated as the undersigned), I hereby declare that:

This declaration is directed to the application attached hereto.

Application not Attached ⇨ If the application is not attached hereto, the application is as identified by the attorney docket number as set forth above and/or the following:

Enter Appln. No. ⇨ United States Application Number or PCT International Appln. No. 14/953,264

Enter Filing Date ⇨ filed on November 27, 2015.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I have reviewed and understand the contents of the above-identified application, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations § 1.56.

WHEREAS, the undersigned has invented certain new and useful improvements described in the application identified.

Insert Name of Assignee ⇨ WHEREAS, LG ELECTRONICS INC.

Insert Address of Assignee ⇨ of 128, Yeoui-daero, Yeongdeungpo-gu, Seoul, 07336, Republic of Korea

its heirs, successors, legal representatives and assigns (hereinafter designated as the Assignee) is desirous of acquiring the entire right, title and interest in and to said invention and in and to any Letters Patent(s) that may be granted therefor in the United States of America and

Check Box if Appropriate ⇨ ☐ **in any foreign countries.**

NOW, THEREFORE, for good and valuable consideration, the receipt of which is hereby acknowledged, the undersigned has sold, assigned and transferred, and by these presents does (do) sell, assign and transfer unto said Assignee the full and exclusive right to the said invention in the United States of America, its territories, dependencies and possessions and the entire right, title and interest in and to any and all Letters Patent(s) which may be granted therefor in the United States of America, its territories, dependencies and possessions, and if the box above is designated, in any and all foreign countries; and to any and all divisions, reissues, continuations, conversions and extensions thereof for the full term or terms for which the same may be granted.

Petitioner Runergy USA Inc., Ex. 1005, p. 320

The undersigned agrees to execute all papers necessary in connection with this application and any continuing, divisional, conversion or reissue applications thereof and also to execute separate assignments in connection with such applications as the Assignee may deem necessary or expedient.

The undersigned agrees to execute all papers necessary in connection with any interference which may be declared concerning this application or continuation, division, conversion or reissue thereof or Letters Patent(s) or reissue patent issued thereon and to cooperate with the Assignee in every way possible in obtaining and producing evidence and proceeding with such interference.

The undersigned agrees to execute all papers and documents and to perform any act which may be necessary in connection with claims or provisions of the International Convention for the Protection of Industrial Property or similar agreements.

The undersigned agrees to perform all affirmative acts which may be necessary to obtain a grant of (a) valid United States of America patent(s) or a grant of (a) valid United States of America and any foreign patent(s) to the Assignee and to vest all rights therein hereby conveyed to said Assignee as fully and entirely as the same would have been held by the undersigned if this Assignment and sale had not been made.

The undersigned hereby authorizes and requests the Patent and Trademark Office Officials in the United States of America and in any foreign countries to issue any and all Letters Patent(s) resulting from said application or any continuing, divisional conversion or reissue applications thereof to the said Assignee, as Assignee of the entire interest, and hereby covenants that he has the full right to convey the entire interest herein assigned, and that he has not executed, and will not execute, any agreement in conflict herewith.

The undersigned hereby grants the law firm of Birch, Stewart, Kolasch & Birch, LLP the power to insert any further identification which may be necessary or desirable in order to comply with the rules of the U.S. Patent and Trademark Office.

The undersigned hereby covenants that no assignment, sale, agreement or encumbrance has been or will be made or entered into which would conflict with this assignment.

The undersigned hereby acknowledges that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

In witness whereof, executed by the undersigned on the date opposite the undersigned name.

LEGAL NAME OF INVENTOR

Inventor's Name ⇨ Inventor: Jungmin HA Date: 2016. 3. 2

Inventor's Signature ⇨ Signature:

An application data sheet (PTO/SB/14 or equivalent), including naming the entire inventive entity, must accompany this form. Use a separate form for each inventor; or check the box below and complete the attached page(s) to list additional inventors.

☒ Additional inventors are being named on the 1 supplemental sheet attached hereto.

Petitioner Runergy USA Inc., Ex. 1005, p. 321

Attorney Docket No. 1630-1332PUS1

SUPPLEMENTAL SHEET FOR DECLARATION AND ASSIGNMENT

ADDITIONAL INVENTORS
Supplemental Sheet Page 1 of 1

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨ Inventor: Sungjin KIM Date: 2016. 3. 2

Inventor's Signature ⇨ Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨ Inventor: Juhwa CHEONG Date: 2016. 3. 2

Inventor's Signature ⇨ Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Junyong AHN Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Hyungwook CHOI Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Wonjae CHANG Date: 2016. 3. 2

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Jaesung KIM Date: 2016. 3. 2

Inventor's Signature ⇨Signature: KIM JAE SUNG

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Date:

Inventor's Signature ⇨Signature:

LEGAL NAME OF JOINT INVENTOR, IF ANY

Inventor's Name ⇨Inventor: Date:

Inventor's Signature ⇨Signature:

Petitioner Runergy USA Inc., Ex. 1005, p. 322

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1

CONFIRMATION NO. 1071

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

PUBLICATION NOTICE



Title:SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Publication No.US-2016-0155866-A1
Publication Date:06/02/2016

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Petitioner Runergy USA Inc., Ex. 1005, p. 323

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1755
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2015/0129037 - A1	05-14-2015	NAM et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	KR 10-1442011 - B1	09-29-2014			☑
	3	KR 10-2015-0053551 - A	05-18-2015			☑

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	26538135
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Thao Dong (TLB)
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	08-AUG-2016
Filing Date:	27-NOV-2015
Time Stamp:	17:13:07
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Non Patent Literature	IDS-KROA1020150122846dated2016-05-16-1630-1332PUS1.pdf	130291 e92d15b5894151bd70352a8e4bc722c089398983	no	7

Warnings:

Information:					
2	Foreign Reference	IDS-KR101442011-1630-1332PUS1.pdf	618964 26493419718bd812b6ee67e75b52d30b09283ddf	no	16
Warnings:					
Information:					
3	Foreign Reference	IDS-KR1020150053551-1630-1332PUS1.pdf	1219649 491f808ff21c3a9d61aa172d19ac51e8a469b892	no	28
Warnings:					
Information:					
4		2016-08-08_IDSTransmittal_1630-1332PUS1.pdf	333985 2a96b5b03c8c0957143b424358fbdae1bbae522f	yes	6

Multipart Description/PDF files in .zip description

Document Description	Start	End
Transmittal Letter	1	5
Information Disclosure Statement (IDS) Form (SB08)	6	6

Warnings:	
Information:	
Total Files Size (in bytes):	2302889

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Espacenet

Bibliographic data: KR101442011 (B1) — 2014-09-29

SOLLAR CELL AND MANUFACTURING PROCESS THEREOF

Inventor(s): PARK SEUNG IL [KR]; PECK JONG HYEON [KR] ± (PARK, SEUNG IL, ; PECK, JONG HYEON)

Applicant(s): KOREA IND TECH INST [KR] ± (KOREA INSTITUTE OF INDUSTRIAL TECHNOLOGY)

Classification: **- international:** ***H01L31/04; H01L31/06; H01L31/18***
- cooperative: Y02E10/50

Application number: KR20130056545 20130520

Priority number (s): KR20130056545 20130520

Abstract of KR101442011 (B1)

The present invention relates to a solar cell and a manufacturing method thereof which forms an emitter layer which shows the photoelectric effect with a substrate in a part except for the edge part in the front side of the substrate, or asymmetrically forms a collector layer which transmits long-wavelength light (for example, greater than 1100 nm) which cannot be absorbed by the silicon substrate on the back side, or oppositely, forms a collector layer on the front side of the substrate, asymmetrically forms an emitter layer on the back side of the substrate and forms a high-concentration front side layer which is in contact with a front side electrode and a high-concentration back side layer which is in contact with a back side electrode on the front and back sides, respectively. The present invention can increase the photoelectric efficiency by fundamentally preventing short circuit between the front and back sides by making a potential barrier at the edge part, on which the front side layer is not formed, in P-N junction bandgap. Particularly, the photoelectric efficiency can be improved by rapidly collecting electrons or holes separated by the photoelectric effect from the symmetrically formed high-concentration front side layer and high-concentration back side layer. The degradation can be prevented and photoelectric efficiency can be improved by preventing recombination of electron-hole pairs separated by the photoelectric effect by transmitting the long-wavelength light (for example, greater than 1100 nm) which cannot be absorbed by the silicon substrate.

Petitioner Runergy USA Inc., Ex. 1005, p. 327

등록특허 10-1442011

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월29일
(11) 등록번호 10-1442011
(24) 등록일자 2014년09월12일

(51) 국제특허분류(Int. Cl.)
H01L 31/06 (2006.01) *H01L 31/04* (2014.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2013-0056545
(22) 출원일자 2013년05월20일
심사청구일자 2013년05월20일
(56) 선행기술조사문헌
JP2012054457 A*
KR100590258 B1*
KR101073016 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국생산기술연구원
충청남도 천안시 서북구 입장면 양대기로길 89
(72) 발명자
박승일
충남 천안시 서북구 백석동 벽산블루밍1차아파트 105-1205
백종현
경기도 용인시 수지구 동천동 래미안 이스트팰리스 1403-1502
(74) 대리인
특허법인 이노

전체 청구항 수 : 총 10 항 심사관 : 유병철

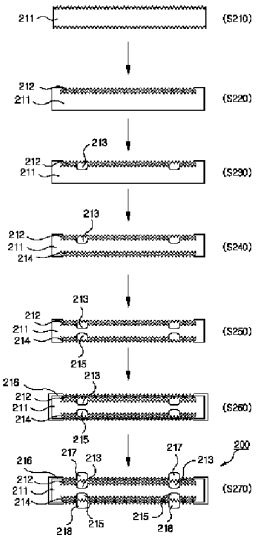
(54) 발명의 명칭 태양전지 및 그 제조방법

(57) 요 약

본 발명은 태양전지 및 그 제조방법에 관한 것으로, 기판의 전면 중 에지 부분을 제외한 나머지 부분에만 기판과 함께 광전효과를 나타내는 이미터 층을 형성하고 기판의 후면에 대칭으로 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛을 투과시키는 컬렉터 층을 형성하거나, 그 반대로 기판의 전면에 컬렉터 층

(뒷면에 계속)

대 표 도 - 도6



Petitioner Runergy USA Inc., Ex. 1005, p. 328

을 형성하고 기판의 후면에 대칭으로 이미터 층을 형성하고, 전면 층과 후면 층에 전면 전극이 접속하는 고농도 전면 층과 후면 전극이 접속하는 고농도 후면 층을 서로 대칭으로 더 형성한다.

본 발명은 기판의 전면 중 전면 층이 형성되지 않은 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 전면 층과 기판의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내므로 누설전류를 줄여 광전 효율을 증대할 수 있으며, 특히 서로 대칭으로 형성되는 고농도 전면 층과 고농도 후면 층은 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선할 수 있고, 전면 층과 대칭으로 형성되는 후면 층은 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100㎚ 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 329

특허청구의 범위

청구항 1

P형 실리콘 기판 혹은 N형 실리콘 기판 중 어느 하나로 된 기판(211)을 표면조직화(texturing) 처리하는 제1과정(S210)과;

스크린 인쇄 후 열처리 건조 방식으로 표면조직화 처리된 상기 기판(211)의 전면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 기판(211)과의 P-N 접합을 형성한 상태에서 상기 기판(211)과 함께 광전효과를 나타내는 이미터 층이나 컬렉터 층으로 된 전면 층(212)을 형성함으로써 상기 전면 층(212)이 형성되지 않은 기판(211)의 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층(212)과 상기 기판(211)의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내도록 하고, 상기 P형 실리콘 기판에 상기 전면 층(212)을 N형 이미터 층으로 형성할 때 더 형성되는 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층 혹은 상기 N형 실리콘 기판에 상기 전면 층(212)으로 P형 컬렉터 층을 형성할 때 더 형성되는 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층을 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거하는 제2과정(S220);

스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층(212) 위에 전극이 형성될 부분에 상기 전면 층(212)을 관통하여 상기 기판(211)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층(213)을 형성하고, 스크린 인쇄 후 열처리 방식으로 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 상기 고농도 전면 층(213)을 형성할 때 더 형성되는 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층 혹은 스크린 인쇄 후 열처리 방식으로 P형 컬렉터 층보다 상대적으로 더 고농도인 P형 불순물로 상기 고농도 전면 층(213)을 형성할 때 더 형성되는 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층을 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거하는 제3과정(S230);

스크린 인쇄 후 열처리 건조 방식으로 상기 기판(211)의 후면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 전면 층(212)과 대칭으로 컬렉터(collector) 층이나 이미터(emitter) 층으로 된 후면 층(214)을 형성함으로써 실리콘 기판이 흡수하지 못하는 1100nm 이상의 장파장을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하도록 하고, 상기 P형 실리콘 기판에 상기 후면 층(214)을 P형 컬렉터 층으로 형성할 때 더 형성되는 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층 혹은 상기 N형 실리콘 기판에 상기 후면 층(214)을 N형 이미터 층으로 형성할 때 더 형성되는 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층을 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거하는 제4과정(S240);

스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층(214) 위에 전극이 형성될 부분에 상기 후면 층(214)을 관통하여 상기 기판(111)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층(215)을 상기 고농도 전면 층(213)과 대칭으로 형성하고, 스크린 인쇄 후 열처리 방식으로 P형 컬렉터 층보다 상대적으로 더 고농도인 붕소(B)와 같은 P형 불순물로 상기 고농도 후면 층(215)을 형성할 때 더 형성되는 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층 혹은 스크린 인쇄 후 열처리 방식으로 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 상기 고농도 후면 층(215)을 형성할 때 더 형성되는 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층을 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거하는 제5과정(S250);

상기 전면 층(212) 위와 상기 후면 층(214) 위 및 상기 기판(211)의 측면 위에 반사 방지막(216)을 형성하는 제6과정(S260); 및

스크린 인쇄 후 열처리 건조 방식으로 상기 반사 방지막(216)을 관통하여 상기 고농도 전면 층(213)과 접속하는 복수의 전면 전극(217)을 형성하고, 상기 복수의 전면 전극(217) 각각과 대칭으로 상기 반사 방지막(216)을 관통하여 상기 고농도 후면 층(215)과 접속하는 복수의 후면 전극(218)을 형성하는 제7과정(S270);

으로 이루어지는 것을 특징으로 하는 태양전지 제조방법.

Petitioner Runergy USA Inc., Ex. 1005, p. 330

청구항 2

제 1 항에 있어서, 상기 제2과정(S220)에서 상기 P형 실리콘 기판에 대응하여 N형 이미터 층으로 상기 전면 층(212)을 형성하면 상기 제3과정(S230)에서는 이 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 상기 고농도 전면 층(213)을 형성하는 것을 특징으로 하는 태양전지 제조방법.

청구항 3

제 1 항에 있어서, 상기 제4과정(S240)에서 상기 P형 실리콘 기판에 대응하여 P형 컬렉터 층으로 상기 후면 층(214)을 형성하면 상기 제5과정(S250)에서는 이 P형 컬렉터 층보다 상대적으로 더 고농도인 P형 불순물로 상기 고농도 후면 층(215)을 형성하는 것을 특징으로 하는 태양전지 제조방법.

청구항 4

제 1 항에 있어서, 상기 제2과정(S220)에서 상기 N형 실리콘 기판에 대응하여 P형 컬렉터 층으로 상기 전면 층(212)을 형성하면 상기 제3과정(S230)에서는 이 P형 컬렉터 층보다 상대적으로 더 고농도인 P형 불순물로 상기 고농도 전면 층(213)을 형성하는 것을 특징으로 하는 태양전지 제조방법.

청구항 5

제 1 항에 있어서, 상기 제4과정(S240)에서 상기 N형 실리콘 기판에 대응하여 N형 이미터 층으로 상기 후면 층(214)을 형성하면 상기 제5과정(S250)에서는 이 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 상기 고농도 후면 층(215)을 형성하는 것을 특징으로 하는 태양전지 제조방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 따른 태양전지 제조방법으로 제조된 것이며,

P형 실리콘 기판 혹은 N형 실리콘 기판 중 어느 하나로 된 기판(211)과;

스크린 인쇄 후 열처리 건조 방식으로 상기 기판(211)의 전면 중 에지 부분을 제외한 나머지 부분에 도핑 처리되어 형성되고, 상기 기판(211)과의 P-N 접합을 형성한 상태에서 상기 기판(211)과 함께 광전효과를 나타내는 이미터(emitter) 층으로 형성되거나 컬렉터(collector) 층으로 형성되는 전면 층(212);

스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층(212) 위에 전극이 형성될 부분에 형성되어 상기 전면 층(212)을 관통하여 상기 기판(211)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층(213);

스크린 인쇄 후 열처리 건조 방식으로 상기 기판(211)의 후면 중 에지 부분을 제외한 나머지 부분에 도핑 처리되어 상기 전면 층(212)과 대칭으로 형성되고, 실리콘 기판이 흡수하지 못하는 1100㎚ 이상의 장파장을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하는 컬렉터(collector) 층으로 형성되거나 이미터(emitter) 층으로 형성되는 후면 층(214);

스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층(214) 위에 전극이 형성될 부분에 상기 고농도 전면 층(213)과 대칭으로 형성되어 상기 후면 층(214)을 관통하여 상기 기판(111)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층(215);

상기 전면 층(212) 위와 상기 후면 층(214) 위 및 상기 기판(211)의 측면 위에 형성되는 반사 방지막(216)(ARC: Anti-Reflection Coating layer); 및

상기 반사 방지막(216)을 관통하여 상기 고농도 전면 층(213)과 접속하는 복수의 전면 전극(217); 및

상기 복수의 전면 전극(217) 각각과 대칭으로 형성되고, 상기 반사 방지막(313)을 관통하여 상기 고농도 후면 층(215)과 접속하는 복수의 후면 전극(218);

으로 구성되며,

상기 기판(211)의 전면 중 상기 전면 층(212)이 형성되지 않은 상기 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층(212)과 상기 기판(211)의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타

Petitioner Runergy USA Inc., Ex. 1005, p. 331

내는 것을 특징으로 하는 태양전지.

청구항 7

제 6 항에 있어서, 상기 전면 층(212)은 상기 기판(211)이 P형 실리콘 기판이면 N형 이미터 층으로 형성되고, 상기 고농도 전면 층(212)은 이 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 형성되는 것을 특징으로 하는 태양전지.

청구항 8

제 6 항에 있어서, 상기 전면 층(212)은 상기 기판(211)이 N형 실리콘 기판이면 P형 컬렉터 층으로 형성되고, 상기 고농도 전면 층(212)은 이 P형 컬렉터 층보다 상대적으로 더 고농도인 P형 불순물로 형성되는 것을 특징으로 하는 태양전지.

청구항 9

제 6 항에 있어서, 상기 후면 층(214)은 상기 기판(211)이 P형 실리콘 기판이면 P형 컬렉터 층으로 형성되고, 상기 고농도 후면 층(215)은 이 P형 컬렉터 층보다 상대적으로 더 고농도인 P형 불순물로 형성되는 것을 특징으로 하는 태양전지.

청구항 10

제 6 항에 있어서, 상기 후면 층(214)은 상기 기판(211)이 N형 실리콘 기판이면 N형 이미터 층으로 형성되고, 상기 고농도 후면 층(215)은 이 N형 이미터 층보다 상대적으로 더 고농도인 N형 불순물로 형성되는 것을 특징으로 하는 태양전지.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

명 세 서

기 술 분 야

Petitioner Runergy USA Inc., Ex. 1005, p. 332

[0001] 본 발명은 태양전지에 관한 것이며, 더욱 상세히는 기판의 전면 중 에지 부분을 제외한 나머지 부분에만 기판과 함께 광전효과를 나타내는 이미터(emitter) 층을 형성하고 기판의 후면에 대칭으로 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛을 투과시키는 컬렉터(collector) 층을 형성하거나, 그 반대로 기판의 전면에 컬렉터 층을 형성하고 기판의 후면에 대칭으로 이미터 층을 형성하는 태양전지 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 도 1은 종래의 태양전지의 구성을 나타낸 단면도이다.

[0003] 도 1에 나타낸 태양전지(100)는 P형 실리콘 기판(111)의 표면 전체에 연결되어 형성된 N형 이미터 층(112)을 상기 기판(111)의 전면 양측에서 분리하여 전기적으로 단절함으로써 상기 기판(111)의 전면과 후면의 단락에 기인하는 누설전류를 방지하기 위한 절연 홈(114)을 형성한 실시예이다.

[0004] 참고로, 특허문헌1은 도 1에 나타낸 태양전지와 유사하게 기판의 전면 양측에 절연 홈을 형성한 다른 태양전지를 게시하고 있다.

[0005] 도 2는 도 1의 태양전지 제조방법(S100)을 나타낸 순서도이고, 도 3은 도 1의 태양전지 제조방법(S100)을 나타낸 공정도이다.

[0006] 도 2 및 도 3을 참조하면, 도 1에 나타낸 태양전지(100)는 다음과 같이 제조된다.

[0007] 먼저, 태양전지(100)의 표면 반사 손실을 줄이고 입사 경로를 증가시킴으로써 광 흡수율을 높이고 태양전지의 전류를 증가시키기 위하여, P형 실리콘 기판(111)을 표면조직화(texturing) 처리하여 표면에 요철 형상의 패턴을 형성한다(S110).

[0008] 이어서, 표면조직화 처리된 상기 기판(111)의 전면과 후면 및 측면 전부를 도핑 처리하여 상기 기판(111)과의 P-N 접합을 형성한 상태에서 상기 기판(111)과 함께 광전효과를 나타내는 N형 이미터 층(112)을 형성한다(S120).

[0009] 이때, N형 이미터 층(112)은 물질 또는 전하의 농도가 높은 쪽에서 낮은 쪽으로 이동하는 확산현상을 이용하는 기판 표면의 도핑 처리 공정을 통해 형성된다.

[0010] 예컨대, P-N 접합을 위한 N형 이미터 층(112)은 원소주기율표 V족에 속하는 인(P)과 같은 N형 불순물을 포함하는 $POCl_3$, H_3PO_4 등을 고온에서 확산시켜 형성한다.

[0011] 이 경우, P형 실리콘 기판(111)에 인(P)과 같은 N형 불순물을 증착하고 적어도 850℃ 이상의 확산로에서 이 불순물을 실리콘 속으로 밀어 넣어 확산시킴으로써 도핑 처리가 완료되며, 일 예로 고온의 $POCl_3$과 O_2가 확산로 안에서 서로 반응하여 P_2O_5층을 형성하고 고온의 열처리를 하면 P_2O_5 층의 인(P)이 실리콘(Si) 속으로 확산되어 N형 이미터 층(112)이 형성되며, 이때 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층이 더 형성되는데, 이 산화물층은 도핑공정 이후에 농도 5%로 희석된 불화수소(HF)의 수용액에서 15초 내외로 침지하여 실리콘 표면에 손상 없이 제거할 수 있다.

[0012] 참고로, N형 실리콘 기판에 붕소(B)와 같은 P형 불순물을 증착하고 적어도 850℃ 이상의 확산로에서 이 불순물을 실리콘 속으로 밀어 넣어 확산시킴으로써 도핑 처리가 완료되는 경우에는 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층이 더 형성되는데, 이 산화물층은 도핑공정 이후에 농도 5%로 희석된 불화수소(HF)의 수용액에서 15초 내외로 침지하여 실리콘 표면에 손상 없이 제거할 수 있다.

[0013] 이어서, 상기 기판(111)의 전면의 N형 이미터 층(112) 위에 반사 방지막(113)(ARC: Anti-Reflection Coating layer)을 형성한다(S130).

[0014] 이어서, 스크린 인쇄 후 열처리 건조 방식으로 상기 반사 방지막(113)을 관통하여 상기 N형 이미터 층(112)과 접속하는 복수의 전면 전극(115) 및 상기 반사 방지막(113)을 관통하여 상기 P형 실리콘 기판(111)과 접속하는 복수의 후면 전극(116)을 형성한다(S140).

[0015] 이때, 상기 전면 전극(115)은 Ag과 유리 프리트(frit) 등이 포함된 전면 전극용 페이스트를 마스크를 사용하여 상기 반사 방지막(113) 위에 스크린 인쇄한 후 열처리와 소성 과정을 통해 포함된 은(Ag)이 고온에서 액상이 되었다가 다시 고상으로 재결정되면서, 상기 반사 방지막(113)을 관통하는 파이어 스루(fire through) 현상에 의

Petitioner Runergy USA Inc., Ex. 1005, p. 333

해 상기 N형 이미터 층(112)과 접속하게 된다.

[0016] 또한, 상기 후면 전극(116)은 AgAl을 포함하는 후면 전극용 페이스트를 마스크를 사용하여 상기 기판(111)의 후면 위에 스크린 인쇄한 후 열처리와 소성 과정을 통해 포함된 은(Ag)이 고온에서 액상이 되었다가 다시 고상으로 재결정되면서, 상기 반사 방지막(113)을 관통하는 파이어 스루(fire through) 현상에 의해 상기 P형 실리콘 기판(111)과 접속하게 되고, 이처럼 상기 후면 전극(116)을 형성할 때 Al과 붕소(B)를 포함하는 후면 전계층용 페이스트를 마스크를 사용하여 상기 기판(111)의 후면 위에 전극이 형성되지 않는 부분에 스크린 인쇄한 후 열처리와 소성 처리하면 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 광전 효율을 개선하는 후면 전계층(117) (BSF: Back Surface Field layer)이 더 형성된다.

[0017] 이 후면 전계층(117)은 상기 기판(111)이 N형 실리콘 기판인 경우에도 이 N형 실리콘 기판의 후면에 형성될 수 있으며, 이 경우에는 Al과 인(P)을 포함하는 후면 전계층용 페이스트를 사용한다.

[0018] 이어서, 레이저를 이용하여 상기 P형 실리콘 기판(111)의 표면 전체에 연결되어 형성된 N형 이미터 층(112)을 상기 기판(111)의 전면 양측에서 분리하여 상기 P형 실리콘 기판(111)과 N형 이미터 층(112)을 전기적으로 단절함으로써 상기 기판(111)의 전면과 후면의 단락에 기인하는 누설전류를 방지하기 위한 절연 홈(114)을 형성한다(S150).

[0019] 참고로, 도 1과 도 3에서는 레이저를 이용하여 상기 P형 실리콘 기판(111)의 표면 전체에 연결되어 형성된 N형 이미터 층(112)을 상기 기판(111)의 전면 양측에서 분리하여 상기 P형 실리콘 기판(111)과 N형 이미터 층(112)을 전기적으로 단절하는 실시예를 나타내고 있으나, 상기 기판(111)의 후면 양측에 상기 절연 홈(114)을 형성할 수도 있다.

[0020] 하지만, 상기와 같이 제조되는 도 1에 나타낸 종래의 태양전지(100)는 다음과 같은 문제점이 있다.

[0021] 첫째로, 에지 부분에 절연 홈(114)을 형성하므로 에지 부분이 취약해져 파손율의 증가 원인이 된다.

[0022] 둘째로, 특히 레이저를 이용하여 형성한 상기 절연 홈(114)과 그 주변에 잔여물이 쌓이기 때문에 수광 면적이 감소하여 태양전지의 단락전류밀도가 줄어들고, 잔여물을 통하여 측면으로 누설전류가 발생하여 광전 효율이 저하되는 단점이 있다.

[0023] 셋째로, 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛이 Al을 포함하는 후면 전계층용 페이스트를 사용하여 형성한 상기 후면 전계층(117)을 투과하지 못하고 실리콘 기판 측으로 반사되어 계속적인 열화를 발생하여 광전 효율이 저하되는 단점이 있다.

[0024] 넷째로, 소성 시 상기 전면 전극(115)과 상기 Al을 포함하는 후면 전계층용 페이스트로 형성한 상기 후면 전계층(117)의 열팽창계수의 차이로 인해 태양전지(100)의 휨 현상이 발생하여 파손율이 증가한다.

선행기술문헌

특허문헌

[0025] (특허문헌 0001) KR 10-2011-0068167 A

발명의 내용

해결하려는 과제

[0026] 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 표면조직화 처리된 기판의 전면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 기판과의 P-N 접합을 형성한 상태에서 상기 기판과 함께 광전효과를 나타내는 이미터 층이나 컬렉터 층으로 된 전면 층을 형성함으로써 상기 전면 층이 형성되지 않은 기판의 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층과 상기 기판의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내도록 하는 태양전지 및 그 제조방법을 제공하는 것이다.

[0027] 본 발명의 다른 목적은 상기 기판의 후면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 전면 층과 대칭으로 컬렉터 층이나 이미터 층으로 된 후면 층을 형성함으로써 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열

Petitioner Runergy USA Inc., Ex. 1005, p. 334

화를 방지하고 광전 효율을 개선하도록 하는 태양전지 및 그 제조방법을 제공하는 것이다.

[0028] 본 발명의 또 다른 목적은 상기 전면 층 위에 전극이 형성될 부분에 상기 전면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면층을 형성하는 태양전지 및 그 제조방법을 제공하는 것이다.

[0029] 본 발명의 또 다른 목적은 상기 후면 층 위에 전극이 형성될 부분에 상기 후면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면층을 상기 고농도 전면 층과 대칭으로 형성하는 태양전지 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0030] 상기와 같은 본 발명의 목적을 달성하기 위하여, 본 발명에 따른 태양전지는, P형 실리콘 기판 혹은 N형 실리콘 기판 중 어느 하나로 된 기판과; 스크린 인쇄 후 열처리 건조 방식으로 상기 기판의 전면 중 에지 부분을 제외한 나머지 부분에 도핑 처리되어 형성되고, 상기 기판과의 P-N 접합을 형성한 상태에서 상기 기판과 함께 광전효과를 나타내는 이미터 층으로 형성되거나 컬렉터 층으로 형성되는 전면 층; 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층 위에 전극이 형성될 부분에 형성되어 상기 전면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층; 스크린 인쇄 후 열처리 건조 방식으로 상기 기판의 후면 중 에지 부분을 제외한 나머지 부분에 도핑 처리되어 상기 전면 층과 대칭으로 형성되고, 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100㎚ 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하는 컬렉터 층으로 형성되거나 이미터 층으로 형성되는 후면 층; 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층 위에 전극이 형성될 부분에 상기 고농도 전면 층과 대칭으로 형성되어 상기 후면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층; 상기 전면 층 위와 상기 후면 층 위 및 상기 기판의 측면 위에 형성되는 반사 방지막; 및 상기 반사 방지막을 관통하여 상기 고농도 전면 층과 접속하는 복수의 전면 전극; 및 상기 복수의 전면 전극 각각과 대칭으로 형성되고, 상기 반사 방지막을 관통하여 상기 고농도 후면 층과 접속하는 복수의 후면 전극;으로 구성되는 것을 특징으로 한다.

[0031] 본 발명에 따른 태양전지에 있어서, 상기 기판의 전면 중 상기 전면 층이 형성되지 않은 상기 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층과 상기 기판의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내는 것을 특징으로 한다.

[0032] 본 발명에 따른 태양전지 제조방법은, P형 실리콘 기판 혹은 N형 실리콘 기판 중 어느 하나로 된 기판을 표면조직화 처리하는 제1과정과; 스크린 인쇄 후 열처리 건조 방식으로 표면조직화 처리된 상기 기판의 전면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 기판과의 P-N 접합을 형성한 상태에서 상기 기판과 함께 광전효과를 나타내는 이미터 층이나 컬렉터 층으로 된 전면 층을 형성함으로써 상기 전면 층이 형성되지 않은 기판의 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층과 상기 기판의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내도록 하는 제2과정; 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층 위에 전극이 형성될 부분에 상기 전면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층을 형성하는 제3과정; 스크린 인쇄 후 열처리 건조 방식으로 상기 기판의 후면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 전면 층과 대칭으로 컬렉터 층이나 이미터 층으로 된 후면 층을 형성함으로써 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100㎚ 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하도록 하는 제4과정; 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층 위에 전극이 형성될 부분에 상기 후면 층을 관통하여 상기 기판에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층을 상기 고농도 전면 층과 대칭으로 형성하는 제5과정; 상기 전면 층 위와 상기 후면 층 위 및 상기 기판의 측면 위에 반사 방지막을 형성하는 제6과정; 및 스크린 인쇄 후 열처리 건조 방식으로 상기 반사 방지막을 관통하여 상기 고농도 전면 층과 접속하는 복수의 전면 전극을 형성하고, 상기 복수의 전면 전극 각각과 대칭으로 상기 반사 방지막을 관통하여 상기 고농도 후면 층과 접속하는 복수의 후면 전극을 형성하는 제7과정;으로 이루어지는 것을 특징으로 한다.

발명의 효과

Petitioner Runergy USA Inc., Ex. 1005, p. 335

[0033] 본 발명은 기판의 전면 중 전면 층이 형성되지 않은 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 전면 층과 기판의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내므로 누설전류를 줄여 광전 효율을 증대할 수 있으며, 특히 서로 대칭으로 형성되는 고농도 전면 층과 고농도 후면 층은 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선할 수 있고, 전면 층과 대칭으로 형성되는 후면 층은 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100㎚ 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선할 수 있다.

[0034] 또한, 본 발명은 전면 층과 후면 층, 고농도 전면 층과 고농도 후면 층, 전면 전극과 후면 전극이 모두 대칭 구조이므로 소성 시 도 1 내지 도 3을 참고하여 설명한 종래의 태양전지에 비해 상대적으로 태양전지의 휨 현상이 작게 발생하여 파손율이 현저하게 감소하는 장점이 있다.

도면의 간단한 설명

[0035] 도 1은 종래의 태양전지의 구성을 나타낸 단면도.

도 2는 도 1의 태양전지 제조방법을 나타낸 순서도.

도 3은 도 1의 태양전지 제조방법을 나타낸 공정도.

도 4는 본 발명에 따른 태양전지의 구성을 나타낸 단면도.

도 5는 본 발명에 따른 태양전지 제조방법을 나타낸 순서도.

도 6은 본 발명에 따른 태양전지 제조방법을 나타낸 공정도.

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 더욱 상세하게 설명한다.

[0037] 도 4는 본 발명에 따른 태양전지의 구성을 나타낸 단면도이다.

[0038] 도 4에 나타낸 태양전지(200)는 표면조직화 처리된 기판(211)의 전면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 기판(211)과 함께 광전효과를 나타내는 이미터 층이나 컬렉터 층으로 된 전면 층(212)을 형성함으로써 상기 기판(211)의 전면 중 상기 전면 층(212)이 형성되지 않은 상기 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층(212)과 상기 기판(211)의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내도록 하는 실시예이다.

[0039] 도 4에 나타낸 태양전지(200)는 스크린 인쇄 후 열처리 건조 방식으로 상기 기판(211)의 후면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 전면 층(212)과 대칭으로 컬렉터(collector) 층이나 이미터(emitter) 층으로 된 후면 층(214)을 형성함으로써 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100㎚ 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하도록 하는 실시예이다.

[0040] 도 4에 나타낸 태양전지(200)는 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층(212) 위에 전극이 형성될 부분에 상기 전면 층(212)을 관통하여 상기 기판(211)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층(213)을 형성하는 실시예이다.

[0041] 도 4에 나타낸 태양전지(200)는 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층(214) 위에 전극이 형성될 부분에 상기 후면 층(214)을 관통하여 상기 기판(111)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층(215)을 상기 고농도 전면 층(213)과 대칭으로 형성하는 실시예이다.

[0042] 도 5는 도 7의 태양전지 제조방법(S200)을 나타낸 순서도이고, 도 6은 도 4의 태양전지 제조방법(S200)을 나타낸 공정도이다.

[0043] 도 5 및 도 6을 참조하면, 도 4에 나타낸 본 발명에 따른 태양전지(200)는 다음과 같이 제조된다.

[0044] 먼저, 태양전지(200)의 표면 반사 손실을 줄이고 입사 경로를 증가시킴으로써 광 흡수율을 높이고 태양전지의 전류를 증가시키기 위하여, P형 실리콘 기판 혹은 N형 실리콘 기판 중 어느 하나로 된 기판(211)을 표면조직화

Petitioner Runergy USA Inc., Ex. 1005, p. 336

처리하여 표면에 요철 형상의 패턴을 형성한다(S210).

[0045] 이어서, 스크린 인쇄 후 열처리 건조 방식으로 표면조직화 처리된 상기 기판(211)의 전면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 기판(211)과의 P-N 접합을 형성한 상태에서 상기 기판(211)과 함께 광전효과를 나타내는 이미터 층이나 컬렉터 층으로 된 전면 층(212)을 형성함으로써 상기 기판(211)의 전면 중 상기 전면 층(212)이 형성되지 않은 상기 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 상기 전면 층(212)과 상기 기판(211)의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내도록 한다(S220).

[0046] 이때, 상기 기판(211)이 P형 실리콘 기판이면 N형 이미터 층으로 상기 전면 층(212)을 형성하고, 상기 기판(211)이 N형 실리콘 기판이면 P형 컬렉터 층으로 상기 전면 층(212)을 형성하며, 이 전면 층(212)은 상기한 도 1 내지 도 3을 참고하는 실시예에서 설명한 확산현상을 이용하는 기판 표면의 도핑 처리 공정을 통해 형성된다.

[0047] 또한, 상기 N형 이미터 층으로 상기 전면 층(212)을 형성할 때 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0048] 또한, 상기 P형 컬렉터 층으로 상기 전면 층(212)을 형성할 때 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0049] 이어서, 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 전면 층(212) 위에 전극이 형성될 부분에 상기 전면 층(212)을 관통하여 상기 기판(211)에 접속한 상태에서 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 전면 층(213)을 형성한다(S230).

[0050] 이때, 상기 N형 이미터 층으로 상기 전면 층(212)을 형성하면 상기 고농도 전면 층(212)은 이 N형 이미터 층보다 상대적으로 더 고농도인 인(P)과 같은 N형 불순물로 형성하고, 반대로 상기 P형 컬렉터 층으로 상기 전면 층(212)을 형성하면 상기 고농도 전면 층(212)은 이 P형 컬렉터 층보다 상대적으로 더 고농도인 붕소(B)와 같은 P형 불순물로 형성한다.

[0051] 또한, 스크린 인쇄 후 열처리 건조 방식으로 상기 고농도 전면 층(213)을 형성하면 상기한 산화물층, 즉 PSG 층 혹은 BSG층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0052] 이와 달리, 레이저 방식으로 상기 고농도 전면 층(213)을 형성하면 상기한 산화물층을 제거하지 않은 상태에서 단지 레이저가 가해지는 영역에서 N형 불순물 혹은 P형 불순물이 상기 기판(211) 측으로 더 확산하는 현상이 발생한다.

[0053] 이어서, 스크린 인쇄 후 열처리 건조 방식으로 표면조직화 처리된 상기 기판(211)의 후면 중 에지 부분을 제외한 나머지 부분을 도핑 처리하여 상기 전면 층(212)과 대칭으로 컬렉터 층이나 이미터 층으로 된 후면 층(214)을 형성함으로써 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선하도록 한다(S240).

[0054] 이때, 상기 기판(211)이 P형 실리콘 기판이면 P형 컬렉터 층으로 상기 후면 층(214)을 형성하고, 상기 기판(211)이 N형 실리콘 기판이면 N형 이미터 층으로 상기 후면 층(214)을 형성하며, 이 후면 층(214) 형성 과정은 상기한 전면 층(212)을 기판 표면의 도핑 처리 공정을 통해 형성하는 과정으로부터 통상의 기술자가 용이하게 이해할 수 있다.

[0055] 또한, 상기 P형 컬렉터 층으로 상기 후면 층(214)을 형성할 때 붕소(B)와 실리콘 내부에서 석출된 불순물을 포함하는 산화물(BSG: Boron Silicate Glass)층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0056] 또한, 상기 N형 이미터 층으로 상기 후면 층(214)을 형성할 때 인(P)과 실리콘 내부에서 석출된 불순물을 포함하는 산화물(PSG: Phosphorous Silicate Glass)층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0057] 이어서, 스크린 인쇄 후 열처리 건조 방식 혹은 레이저 방식 중 어느 하나의 방식으로 상기 후면 층(214) 위에 전극이 형성될 부분에 상기 후면 층(214)을 관통하여 상기 기판(211)에 접속한 상태에서 광전효과에 의해 분리

Petitioner Runergy USA Inc., Ex. 1005, p. 337

된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선하는 고농도 후면 층(215)을 상기 고농도 전면 층(213)과 대칭으로 형성한다(S250).

[0058] 이때, 상기 P형 컬렉터 층으로 상기 후면 층(214)을 형성하면 상기 고농도 후면 층(215)은 이 P형 컬렉터 층보다 상대적으로 더 고농도인 붕소(B)와 같은 P형 불순물로 형성하고, 반대로 상기 N형 이미터 층으로 상기 후면 층(214)을 형성하면 상기 고농도 후면 층(215)은 이 N형 이미터 층보다 상대적으로 더 고농도인 인(P)과 같은 N형 불순물로 형성한다.

[0059] 또한, 스크린 인쇄 후 열처리 건조 방식으로 상기 고농도 후면 층(215)을 형성하면 상기한 산화물층, 즉 BSG 층 혹은 PSG층이 더 형성되는데, 이 산화물층은 불화수소(HF)의 수용액에서 침지하여 실리콘 표면에 손상 없이 제거한다.

[0060] 이와 달리, 레이저 방식으로 상기 고농도 후면 층(215)을 형성하면 상기한 산화물층을 제거하지 않은 상태에서 단지 레이저가 가해지는 영역에서 P형 불순물 혹은 N형 불순물이 상기 기판(211) 측으로 더 확산하는 현상이 발생한다.

[0061] 이어서, 상기 전면 층(212) 위와 상기 후면 층(214) 위 및 상기 기판(211)의 측면 위에 반사 방지막(ARC)(216)을 형성한다(S260).

[0062] 이어서, 스크린 인쇄 후 열처리 건조 방식으로 상기 반사 방지막(216)을 관통하여 상기 고농도 전면 층(213)과 접속하는 복수의 전면 전극(217)을 형성하고, 상기 복수의 전면 전극(217) 각각과 대칭으로 상기 반사 방지막(216)을 관통하여 상기 고농도 후면 층(215)과 접속하는 복수의 후면 전극(218)을 형성한다(S270).

[0063] 이때, 상기 전면 전극(217)은 Ag과 유리 프리트(frit) 등이 포함된 전면 전극용 페이스트를 마스크를 사용하여 상기 반사 방지막(216) 위에 스크린 인쇄한 후 열처리와 소성 과정을 통해 포함된 은(Ag)이 고온에서 액상이 되었다가 다시 고상으로 재결정되면서, 상기 반사 방지막(216)을 관통하는 파이어 스루(fire through) 현상에 의해 상기 고농도 전면 층(213)과 접속하게 된다.

[0064] 또한, 상기 후면 전극(218)도 Ag과 유리 프리트(frit) 등이 포함된 후면 전극용 페이스트를 마스크를 사용하여 상기 반사 방지막(216) 위에 스크린 인쇄한 후 열처리와 소성 과정을 통해 포함된 은(Ag)이 고온에서 액상이 되었다가 다시 고상으로 재결정되면서, 상기 반사 방지막(216)을 관통하는 파이어 스루(fire through) 현상에 의해 상기 고농도 후면 층(215)과 접속하게 된다.

[0065] 상기한 바와 같이 본 발명에 따른 태양전지(200)는 상기 기판(211)의 전면 중 전면 층(212)이 형성되지 않은 에지 부분에서 P-N 접합 밴드 갭 상에서 전위장벽을 만들어 전면 층(212)과 기판(211)의 후면의 단락을 원천적으로 방지하는 절연 성능을 나타내므로 누설전류를 줄여 광전 효율을 증대할 수 있으며, 특히 서로 대칭으로 형성되는 고농도 전면 층(213)과 고농도 후면 층(215)은 광전효과에 의해 분리된 전자 혹은 정공을 빠르게 수집함으로써 광전 효율을 개선할 수 있고, 전면 층(212)과 대칭으로 형성되는 후면 층(214)은 실리콘 기판이 흡수하지 못하는 장파장(예컨대, 1100nm 이상)을 가지는 빛을 투과시키고 광전효과에 의해 분리된 전자 정공 쌍의 재결합을 방지함으로써 열화를 방지하고 광전 효율을 개선할 수 있다.

[0066] 또한, 본 발명은 전면 층(212)과 후면 층(214), 고농도 전면 층(213)과 고농도 후면 층(215), 전면 전극(217)과 후면 전극(218)이 모두 대칭 구조이므로 소성 시 도 1 내지 도 3을 참고하여 설명한 종래의 태양전지에 비해 상대적으로 태양전지의 휨 현상이 작게 발생하여 파손율이 현저하게 감소하는 장점이 있다.

[0067] 이상에서 설명한 본 발명에 태양전지 및 그 제조방법은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양하게 변경하여 실시할 수 있는 범위까지 그 기술적 정신이 있다.

부호의 설명

[0068]

100: 태양전지	111: P형 실리콘 기판
112: N형 이미터 층	113: 반사 방지막
114: 절연 홈	115: 전면 전극
116: 후면 전극	117: 후면 전계층

Petitioner Runergy USA Inc., Ex. 1005, p. 338

200: 태양전지 211: 기판

212: 전면 층 213: 고농도 전면 층

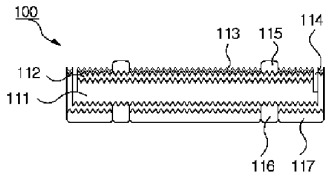
214: 후면 층 215: 고농도 후면 층

216: 반사 방지막 217: 전면 전극

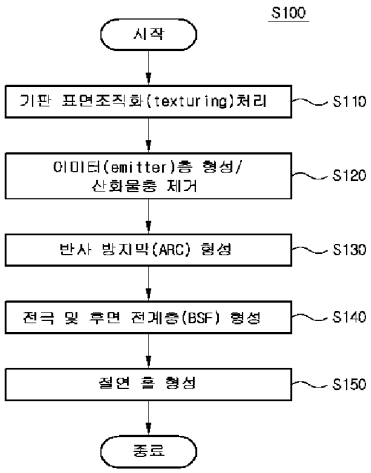
218: 후면 전극

도면

도면1

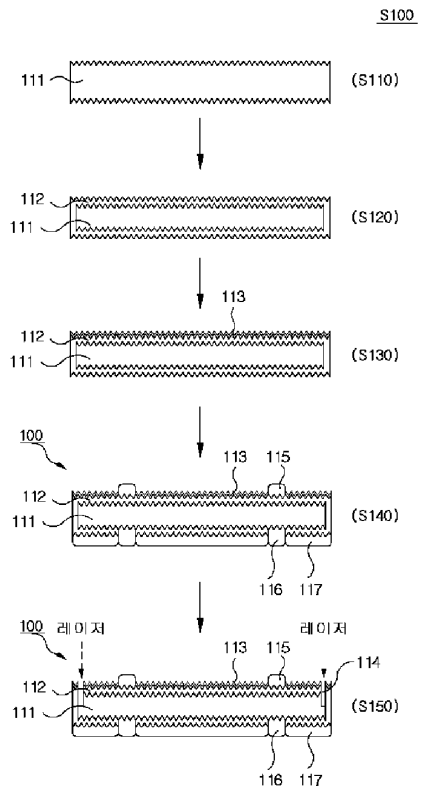


도면2

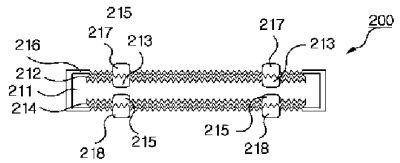


Petitioner Runergy USA Inc., Ex. 1005, p. 339

도면3

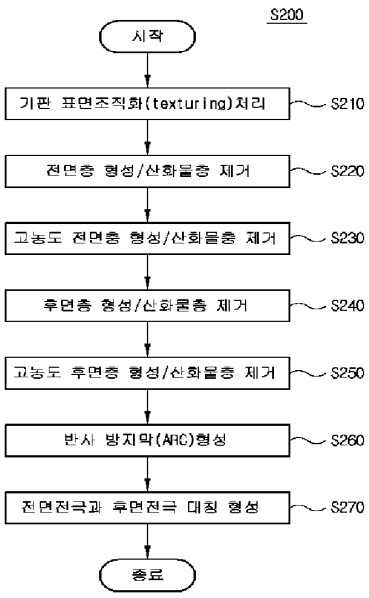


도면4



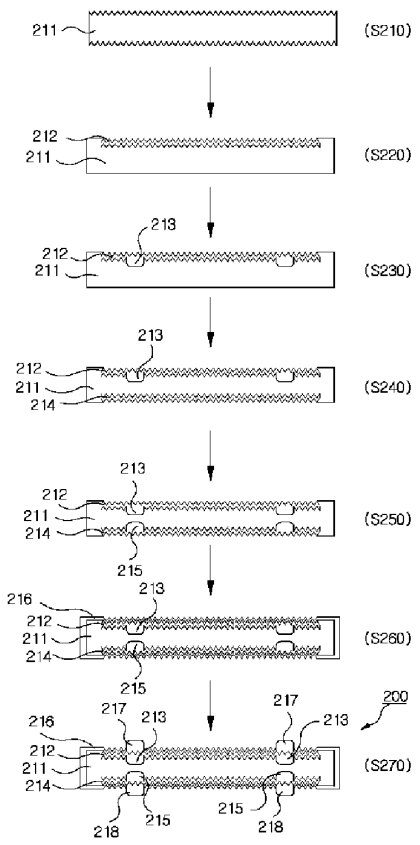
Petitioner Runergy USA Inc., Ex. 1005, p. 340

도면5



Petitioner Runergy USA Inc., Ex. 1005, p. 341

도면6



Petitioner Runergy USA Inc., Ex. 1005, p. 342

Espacenet

Bibliographic data: KR20150053551 (A) — 2015-05-18

SOLAR CELL

Inventor(s): NAM JEONG BEOM [KR]; YANG DO HWAN [KR]; LEE EUN JOO [KR]; JUNG IL HYOUNG [KR] ± (NAM, JEONG BEOM, ; YANG, DO HWAN, ; LEE, EUN JOO, ; JUNG, IL HYOUNG)

Applicant(s): LG ELECTRONICS INC [KR] ± (LG ELECTRONICS INC)

Classification: - international: ***H01L31/04***
- cooperative: **H01L31/022425**; **H01L31/022441**; **H01L31/022491**; **H01L31/028**; **H01L31/0516**; **H01L31/056**; **H01L31/0682**; Y02E10/52; Y02E10/547 more

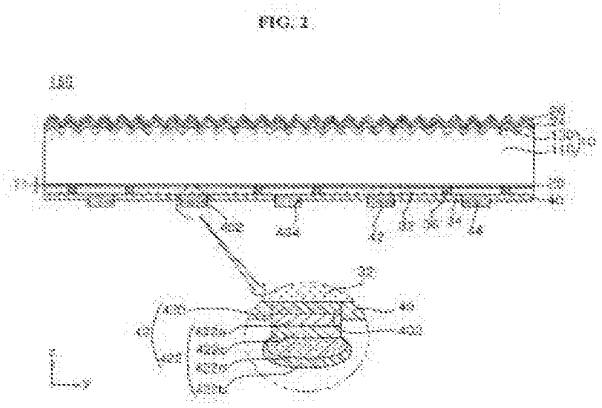
Application number: KR20130135649 20131108

Priority number (s): KR20130135649 20131108

Also published as: EP2871682 (A1) US2015129037 (A1) JP2015095653 (A) CN104638030 (A)

Abstract not available for KR20150053551 (A)
Abstract of corresponding document: EP2871682 (A1)

A solar cell is discussed. The solar cell (150) according to an embodiment includes a photoelectric conversion unit including a first conductivity type region (32) and a second conductivity type region (34) formed on the same side of the photoelectric conversion unit; and an electrode (42) formed on the photoelectric conversion unit and including an adhesive layer (420) formed on the photoelectric conversion unit and an electrode layer (422) formed on the adhesive layer, wherein the adhesive layer has a coefficient of thermal expansion that is greater than a coefficient of thermal expansion of the photoelectric conversion unit and is less than a coefficient of thermal expansion of the electrode layer.



Petitioner Runergy USA Inc., Ex. 1005, p. 343

Petitioner Runergy USA Inc., Ex. 1005, p. 344

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0053551
(43) 공개일자 2015년05월18일

(51) 국제특허분류(Int. Cl.)
H01L 31/04 (2014.01)
(21) 출원번호 10-2013-0135649
(22) 출원일자 2013년11월08일
심사청구일자 2014년10월28일

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
남정범
서울특별시 서초구 바우뫼로 38 LG연구소
양두환
서울특별시 서초구 바우뫼로 38 LG연구소
(뒷면에 계속)
(74) 대리인
박병창

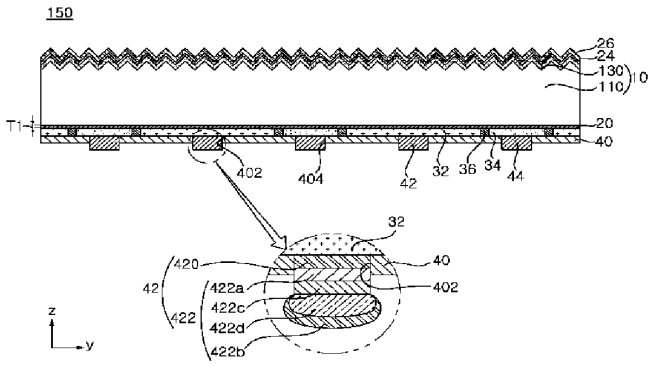
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 태양 전지

(57) 요 약

본 실시예에 따른 태양 전지는, 반도체 기판 및 반도체층 적어도 하나를 포함하는 광전 변환부; 및 상기 반도체 기판 또는 상기 반도체층 위에 형성된 전극을 포함한다. 상기 전극은, 상기 반도체 기판 또는 상기 반도체층에 접촉하여 형성되며 전도성을 가지는 접착층과, 상기 접착층 위에 형성되는 전극층을 포함한다. 상기 접착층의 열팽창 계수가 상기 반도체 기판의 열팽창 계수와 상기 전극층에서 상기 접착층과 인접한 부분의 열팽창 계수 사이의 값을 가진다.

대 표 도 - 도2



Petitioner Runergy USA Inc., Ex. 1005, p. 345

(72) 발명자
이은주
서울특별시 서초구 바우뫼로 38 LG연구소
정일형
서울특별시 서초구 바우뫼로 38 LG연구소

Petitioner Runergy USA Inc., Ex. 1005, p. 346

특허청구의 범위

청구항 1

반도체 기판 및 반도체층 적어도 하나를 포함하는 광전 변환부; 및

상기 반도체 기판 또는 상기 반도체층 위에 형성된 전극

을 포함하고,

상기 전극은, 상기 반도체 기판 또는 상기 반도체층에 접촉하여 형성되며 전도성을 가지는 접착층과, 상기 접착층 위에 형성되는 전극층을 포함하고,

상기 접착층의 열팽창 계수가 상기 반도체 기판의 열팽창 계수와 상기 전극층에서 상기 접착층과 인접한 부분의 열팽창 계수 사이의 값을 가지는 태양 전지.

청구항 2

제1항에 있어서,

상기 접착층이 투과성을 가지는 태양 전지.

청구항 3

제1항에 있어서,

상기 접착층이 금속을 포함하는 태양 전지.

청구항 4

제3항에 있어서,

상기 접착층이 티타늄(Ti) 또는 텅스텐(W)을 포함하는 태양 전지.

청구항 5

제1항에 있어서,

상기 전극층이 복수 개의 층을 포함하고,

상기 접착층의 두께가 상기 전극층의 상기 복수 개의 층의 각각의 두께보다 작은 태양 전지.

청구항 6

제1항에 있어서,

상기 접착층의 두께가 50nm 이하인 태양 전지.

청구항 7

제1항에 있어서,

상기 반도체 기판 또는 상기 반도체층이 실리콘(Si)을 포함하고,

상기 전극층에서 상기 접착층에 인접한 부분이 구리(Cu), 알루미늄(Al), 은(Ag), 금(Au) 및 이들의 합금 중 적어도 하나를 포함하는 태양 전지.

청구항 8

제1항에 있어서,

상기 전극층은, 상기 접착층 위에 위치하며 반사 물질을 포함하는 제1 전극층과, 상기 제1 전극층 위에 형성되며 리본과 연결되는 제2 전극층을 포함하는 태양 전지.

Petitioner Runergy USA Inc., Ex. 1005, p. 347

청구항 9

제8항에 있어서,

상기 제1 전극층이 구리(Cu), 알루미늄(Al), 은(Ag), 금(Au) 및 이들의 합금 중 적어도 하나를 포함하는 태양 전지.

청구항 10

제9항에 있어서,

상기 접착층 : 상기 제1 전극층의 두께 비율이 1:2 내지 1:60의 범위 내에 속하는 태양 전지.

청구항 11

제10항에 있어서,

상기 접착층 : 상기 제1 전극층의 두께 비율이 1:10 내지 1:30의 범위 내에 속하는 태양 전지.

청구항 12

제8항에 있어서,

상기 제1 전극층이 50nm 내지 300nm의 두께를 가지는 태양 전지.

청구항 13

제8항에 있어서,

상기 제2 전극층이 주석 및 니켈-바나듐 합금 중 적어도 하나를 포함하는 태양 전지.

청구항 14

제13항에 있어서,

상기 제2 전극층이 스퍼터링에 의하여 형성되며 50nm 내지 300nm의 두께를 가지는 태양 전지.

청구항 15

제13항에 있어서,

상기 제2 전극층이 도금에 의하여 형성되며 5um 내지 10um의 두께를 가지는 태양 전지.

청구항 16

제8항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에, 상기 제1 전극층 위에 형성되며 상기 제1 및 제2 전극층보다 두꺼운 두께를 가지면서 상기 제1 및 제2 전극층보다 큰 면적을 가지는 제3 전극층을 포함하는 태양 전지.

청구항 17

제19항에 있어서,

상기 제3 전극층이 도금에 의하여 형성되며 구리를 포함하는 태양 전지.

청구항 18

제16항에 있어서,

상기 제1 전극층과 상기 제3 전극층 사이에 위치하는 시드 전극층을 더 포함하는 태양 전지.

청구항 19

제18항에 있어서,

Petitioner Runergy USA Inc., Ex. 1005, p. 348

상기 시드 전극층이 스퍼터링에 의하여 형성되며 구리를 포함하는 태양 전지.

청구항 20

반도체 기판 및 반도체층 적어도 하나를 포함하는 광전 변환부; 및

상기 반도체 기판 또는 상기 반도체층 위에 형성된 전극

을 포함하고,

상기 전극은, 상기 반도체 기판 또는 상기 반도체층에 접촉하여 형성되며 투과성을 가지는 접착층과, 상기 접착층 위에 형성되는 전극층을 포함하고,

상기 접착층이 티타늄 또는 텅스텐을 포함하는 태양 전지.

명 세 서

기 술 분 야

[0001] 본 발명은 태양 전지에 관한 것으로서, 좀더 상세하게는, 전극 구조를 개선한 태양 전지에 관한 것이다.

배 경 기 술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

[0003] 이러한 태양 전지에서는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 그런데 이러한 다양한 층 및 전극의 설계에 따라 태양 전지 효율이 결정될 수 있다. 태양 전지의 상용화를 위해서는 낮은 효율을 극복하여야 하는바, 다양한 층 및 전극이 태양 전지의 효율을 최대화할 수 있도록 설계되는 것이 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 효율을 향상할 수 있는 태양 전지를 제공하고자 한다.

과제의 해결 수단

[0005] 본 실시예에 따른 태양 전지는, 반도체 기판 및 반도체층 적어도 하나를 포함하는 광전 변환부; 및 상기 반도체 기판 또는 상기 반도체층 위에 형성된 전극을 포함한다. 상기 전극은, 상기 반도체 기판 또는 상기 반도체층에 접촉하여 형성되며 전도성을 가지는 접착층과, 상기 접착층 위에 형성되는 전극층을 포함한다. 상기 접착층의 열팽창 계수가 상기 반도체 기판의 열팽창 계수와 상기 전극층에서 상기 접착층과 인접한 부분의 열팽창 계수 사이의 값을 가진다.

[0006] 상기 접착층은 투과성을 가질 수 있다.

[0007] 상기 접착층이 금속을 포함할 수 있다.

[0008] 상기 접착층이 티타늄(Ti) 또는 텅스텐(W)을 포함할 수 있다.

[0009] 상기 전극층이 복수 개의 층을 포함하고, 상기 접착층의 두께가 상기 전극층의 상기 복수 개의 층의 각각의 두께보다 작을 수 있다.

[0010] 상기 접착층의 두께가 50nm 이하일 수 있다.

[0011] 상기 반도체 기판 또는 상기 반도체층이 실리콘(Si)을 포함하고, 상기 전극층에서 상기 접착층에 인접한 부분이 구리(Cu), 알루미늄(Al), 은(Ag), 금(Au) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

[0012] 상기 전극층은, 상기 접착층 위에 위치하며 반사 물질을 포함하는 제1 전극층과, 상기 제1 전극층 위에 형성되

Petitioner Runergy USA Inc., Ex. 1005, p. 349

며 리본과 연결되는 제2 전극층을 포함할 수 있다.

[0013] 상기 제1 전극층이 구리(Cu), 알루미늄(Al), 은(Ag), 금(Au) 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

[0014] 상기 접착층 : 상기 제1 전극층의 두께 비율이 1:2 내지 1:60의 범위 내에 속할 수 있다.

[0015] 상기 접착층 : 상기 제1 전극층의 두께 비율이 1:10 내지 1:30의 범위 내에 속할 수 있다.

[0016] 상기 제1 전극층이 50㎚ 내지 300㎚의 두께를 가질 수 있다.

[0017] 상기 제2 전극층이 주석 및 니켈-바나듐 합금 중 적어도 하나를 포함할 수 있다.

[0018] 상기 제2 전극층이 스퍼터링에 의하여 형성되며 50㎚ 내지 300㎚의 두께를 가질 수 있다.

[0019] 상기 제2 전극층이 도금에 의하여 형성되며 5㎛ 내지 10㎛의 두께를 가질 수 있다.

[0020] 상기 제1 전극층과 상기 제2 전극층 사이에, 상기 제1 전극층 위에 형성되며 상기 제1 및 제2 전극층보다 두꺼운 두께를 가지면서 상기 제1 및 제2 전극층보다 큰 면적을 가지는 제3 전극층을 포함할 수 있다.

[0021] 상기 제3 전극층이 도금에 의하여 형성되며 구리를 포함할 수 있다.

[0022] 상기 제1 전극층과 상기 제3 전극층 사이에 위치하는 시드 전극층을 더 포함할 수 있다.

[0023] 상기 시드 전극층이 스퍼터링에 의하여 형성되며 구리를 포함할 수 있다.

[0024] 본 발명의 다른 실시예에 따른 태양 전지는, 반도체 기판 및 반도체층 적어도 하나를 포함하는 광전 변환부; 및 상기 반도체 기판 또는 상기 반도체층 위에 형성된 전극을 포함하고, 상기 전극은, 상기 반도체 기판 또는 상기 반도체층에 접촉하여 형성되며 투과성을 가지는 접착층과, 상기 접착층 위에 형성되는 전극층을 포함하고, 상기 접착층이 티타늄 또는 텅스텐을 포함한다.

발명의 효과

[0025] 본 실시예에 따른 태양 전지는, 전극이 전도성 및 투과성을 가지며 일정 범위의 열팽창 계수를 가지는 접촉층을 구비하여 우수한 특성을 가질 수 있다. 즉, 접촉층이 전도성 및 투과성을 가지므로, 전극의 전도도를 우수한 상태로 유지하면서 이에 인접한 전극층(일 예로, 제1 전극층)에서 반사를 유도할 수 있다. 이에 의하여 제1 전극층이 반사 전극층으로 기능하여 장파장의 반사를 증가시켜 광전 변환에 사용되는 광의 양을 증가시킬 수 있다. 그리고 접촉층이 반도체 기판(또는 반도체층)과 전극층 사이의 열팽창 계수를 가져 반도체 기판(또는 반도체층)과 전극층 사이의 열팽창 계수 차이를 줄이는 것에 의하여, 반도체 기판(또는 반도체층)과 전극의 접촉 특성을 향상할 수 있다. 이와 같이 태양 전지의 다양한 특성을 향상하여 태양 전지의 효율을 향상할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 태양 전지 모듈을 도시한 후면 사시도이다.

도 2는 본 발명의 실시예에 따른 태양 전지의 단면도이다.

도 3는 도 2에 도시한 태양 전지의 부분 후면 평면도이다.

도 4는 본 발명의 실시예에 따른 태양 전지의 전극과 리본의 부착 구조의 다양한 예를 확대하여 도시한 개략도이다.

도 5는 본 발명의 다른 실시예에 따른 태양 전지에 사용될 수 있는 전극을 도시한 도면이다. 도 5에는 도 1의 확대원에 대응하는 부분을 도시하였다.

도 6은 본 발명의 다른 실시예에 따른 태양 전지에 사용될 수 있는 전극을 도시한 도면이다. 도 6에는 도 1의 확대원에 대응하는 부분을 도시하였다.

도 7은 본 발명의 또 다른 실시예에 따른 태양 전지의 부분 후면 평면도이다.

도 8은 본 발명의 또 다른 실시예에 따른 태양 전지의 단면도이다.

도 9는 본 발명의 실시예 1 내지 3, 그리고 비교예 1 내지 2에 따른 태양 전지의 전극에서 파장에 따른 반사도를 측정한 결과를 나타낸 그래프이다.

도 10의 (a) 및 (b) 각각은 본 발명의 실시예 1에서 후면 패시베이션막의 균열을 줄이기 위한 열처리 전의 태양

Petitioner Runergy USA Inc., Ex. 1005, p. 350

전지의 후면 사진과, 열처리 후의 태양 전지의 후면 사진이다.

도 11의 (a) 및 (b) 각각은 본 발명의 비교예 1에서 후면 패시베이션막의 균열을 줄이기 위한 열처리 전의 태양 전지의 후면 사진과, 열처리 후의 태양 전지의 후면 사진이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

[0028] 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

[0029] 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다.

[0030] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지 및 이에 사용되는 전극을 상세하게 설명한다. 먼저, 태양 전지 모듈을 상세하게 설명한 다음, 이에 포함되는 태양 전지 및 이에 사용되는 전극을 상세하게 설명한다.

[0031] 도 1은 본 발명의 실시예에 따른 태양 전지 모듈을 도시한 후면 사시도이다.

[0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 태양 전지 모듈(100)은 태양 전지(150), 태양 전지(150)의 전면 상에 위치하는 제1 기판(이하 "전면 기판")(121) 및 태양 전지(150)의 후면 상에 위치하는 제2 기판(이하 "후면 시트")(122)을 포함할 수 있다. 또한, 태양 전지 모듈(100)은 태양 전지(150)와 전면 기판(121) 사이의 제1 밀봉재(131)와, 태양 전지(150)와 후면 시트(122) 사이의 제2 밀봉재(132)를 포함할 수 있다. 이를 좀더 상세하게 설명한다.

[0033] 먼저, 태양 전지(150)는 태양 에너지를 전기 에너지로 변환하는 광전 변환부와, 광전 변환부에 전기적으로 연결되는 전극을 포함하여 형성된다. 본 실시예에서는 일례로 반도체 기판(일 예로, 실리콘 웨이퍼) 또는 반도체층(일 예로, 실리콘층)을 포함하는 광전 변환부가 적용될 수 있다. 이러한 구조의 태양 전지(150)를 추후에 도 2 및 도 3을 참조하여 상세하게 설명한다.

[0034] 이러한 태양 전지(150)는 리본(144)를 포함하며, 리본(144)에 의하여 전기적으로 직렬, 병렬 또는 직병렬로 연결될 수 있다. 이를 서로 인접한 제1 및 제2 태양 전지(151, 152)를 예시로 하여 설명한다. 즉, 리본(144)은 제1 태양 전지(151)의 제1 전극(도 2 및 도 3의 참조부호 42, 이하 동일)과, 인접한 제2 태양 전지(152)의 제2 전극(도 2 및 도 3의 참조부호 44, 이하 동일)을 연결할 수 있다. 리본(144)과 제1 태양 전지(151)의 제1 전극(42)과 제2 태양 전지(152)의 제2 전극(44)의 연결 구조 등은 다양한 구조가 적용될 수 있다. 일 예로, 제1 및 제2 태양 전지(151, 152)에서 제1 전극(42)이 제1 가장자리에서 이를 따라 서로 연결되고, 제2 전극(44)이 제1 가장자리와 반대되는 제2 가장자리에서 이를 따라 서로 연결될 수 있다. 그러면, 리본(144)은 제1 태양 전지(151)의 제1 가장자리에 위치한 제1 전극(42)과 이에 인접한 제2 태양 전지(152)의 제2 가장자리에 위치한 제2 전극(44)을 연결하도록 제1 및 제2 태양 전지(151, 152)에 걸쳐서 형성되며 제1 및 제2 가장자리를 따라 연장되어 형성될 수 있다. 이때, 리본(144)과 제1 및 제2 태양 전지(151, 152)의 필요한 쇼트를 방지하기 위하여 리본(144)과 제1 및 제2 태양 전지(151, 152)의 사이에 부분적으로 절연 필름(142)이 위치하고, 리본(144)에서 절연 필름(142)보다 돌출된 부분이 제1 또는 제2 전극(42, 44)에 연결되도록 할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니고 다양한 변형이 가능하다.

[0035] 또한, 버스 리본(145)은 리본(144)에 의하여 연결된 하나의 열(列)의 태양 전지(150)의 리본(144)의 양끝단을 교대로 연결한다. 버스 리본(145)은 하나의 열을 이루는 태양 전지(150)의 단부에서 이와 교차하는 방향으로 배치될 수 있다. 이러한 버스 리본(145)은 태양 전지(150)가 생산한 전기를 모으며 전기가 역류되는 것을 방지하는 정션 박스(미도시)와 연결된다.

Petitioner Runergy USA Inc., Ex. 1005, p. 351

[0036] 제1 밀봉재(131)는 태양 전지(150)의 수광면에 위치하고, 제2 밀봉재(132)는 태양 전지(150)의 이면에 위치할 수 있으며, 제1 밀봉재(131)와 제2 밀봉재(132)는 라미네이션에 의해 접착하여, 태양 전지(150)에 악영향을 미칠 수 있는 수분이나 산소를 차단하며, 태양 전지(150)의 각 요소들이 화학적으로 결합할 수 있도록 한다.

[0037] 이러한 제1 밀봉재(131)와 제2 밀봉재(132)는 에틸렌초산비닐 공중합체 수지(EVA), 폴리비닐부티랄, 규소 수지, 에스테르계 수지, 올레핀계 수지 등이 사용될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 제1 및 제2 밀봉재(131, 132)는 그 외 다양한 물질을 이용하여 라미네이션 이외의 다른 방법에 의하여 형성될 수 있다.

[0038] 전면 기판(121)은 태양광을 투과하도록 제1 밀봉재(131) 상에 위치하며, 외부의 충격 등으로부터 태양 전지(150)를 보호하기 위해 강화유리인 것이 바람직하다. 또한, 태양광의 반사를 방지하고 태양광의 투과율을 높이기 위해 철분이 적게 들어간 저철분 강화유리인 것이 더욱 바람직하다. 그러나 본 발명이 이에 한정되는 것은 아니며, 전면 기판(121)이 다른 물질 등으로 이루어질 수 있다.

[0039] 후면 시트(122)는 태양 전지(150)의 이면에서 태양 전지(150)를 보호하는 층으로서, 방수, 절연 및 자외선 차단 기능을 한다. 후면 시트(122)는 필름 또는 시트 등의 형태로 구성될 수 있다. 후면 시트(122)은 TPT(Tedlar/PET/Tedlar) 타입이거나, 폴리에틸렌테레프탈레이트(PET)의 적어도 일면에 폴리불화비닐리덴(poly vinylidene fluoride, PVDF) 수지 등이 형성된 구조일 수 있다. 폴리불화비닐리덴은 $(CH_2CF_2)n$의 구조를 지닌 고분자로서, 더블(Double)불소분자 구조를 가지기 때문에, 기계적 성질, 내후성, 내자외선성이 우수하다. 그러나 본 발명이 이에 한정되는 것은 아니며 후면 시트(122)가 다른 물질 등으로 이루어질 수 있다. 이때, 후면 시트(122)는 전면 기판(121) 측으로부터 입사된 태양광을 반사하여 재이용될 수 있도록 반사율이 우수한 재질일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 후면 시트(122)가 태양광이 입사될 수 있는 투명 재질(예를 들어, 유리)로 형성되어 양면 수광형 태양 전지 모듈(100)을 구현할 수도 있다.

[0040] 상술한 태양 전지(150)의 구조를 도 2 및 도 3을 참조하여 상세하게 설명한다.

[0041] 도 2는 본 발명의 실시예에 따른 태양 전지(150)의 단면도이고, 도 3는 도 2에 도시한 태양 전지(150)의 부분 후면 평면도이다.

[0042] 도 2 및 도 3을 참조하면, 본 실시예에 따른 태양 전지(150)는, 베이스 영역(110)을 포함하는 반도체 기판(10)과, 반도체 기판(10)의 일면(일 예로, 반도체 기판(10)의 후면) 쪽에 위치하는 터널링층(20)과, 터널링층(20) 위에 위치하는 도전형 영역(32, 34)과, 도전형 영역(32, 34)에 연결되는 전극(42, 44)을 포함한다. 그리고 태양 전지(150)는 패시베이션막(24), 반사 방지막(26), 절연층(또는 후면 패시베이션막)(40) 등을 더 포함할 수 있다. 이를 좀더 상세하게 설명한다.

[0043] 반도체 기판(10)은 제2 도전형 도펀트를 상대적으로 낮은 도핑 농도로 포함하는 베이스 영역(110)을 포함할 수 있다. 본 실시예의 베이스 영역(110)은 제2 도전형 도펀트를 포함하는 결정질(단결정 또는 다결정) 실리콘을 포함할 수 있다. 일 예로, 베이스 영역(110)은 제2 도전형 도펀트를 포함하는 단결정 실리콘 기판(일 예로, 단결정 실리콘 웨이퍼)으로 구성될 수 있다. 그리고 제2 도전형 도펀트는 n형 또는 p형일 수 있다. n형 도펀트로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있고, p형 도펀트로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있다. 일 예로, 베이스 영역(110)이 n형을 가지면 베이스 영역(110)과 광전 변환에 의하여 캐리어를 형성하는 접합(일 예로, 터널링층(20)을 사이에 둔 pn 접합)을 형성하는 p형의 제1 도전형 영역(32)을 넓게 형성하여 광전 변환 면적을 증가시킬 수 있다. 또한, 이 경우에는 넓은 면적을 가지는 제1 도전형 영역(32)이 이동 속도가 상대적으로 느린 정공을 효과적으로 수집하여 광전 변환 효율 향상에 좀더 기여할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[0044] 그리고 반도체 기판(10)은 전면 쪽에 위치하는 전면 전계 영역(130)을 포함할 수 있다. 전면 전계 영역(130)은 베이스 영역(110)과 동일한 도전형을 가지면서 베이스 영역(110)보다 높은 도핑 농도를 가질 수 있다.

[0045] 본 실시예에서는 전면 전계 영역(130)이 반도체 기판(10)에 제2 도전형 도펀트를 상대적으로 높은 도핑 농도로 도핑하여 형성된 도핑 영역으로 구성된 것을 예시하였다. 이에 따라 전면 전계 영역(130)이 제2 도전형을 가지는 결정질(단결정 또는 다결정) 반도체를 포함하여 반도체 기판(10)을 구성하게 된다. 일 예로, 전면 전계 영역(130)은 제2 도전형을 가지는 단결정 반도체 기판(일 예로, 단결정 실리콘 웨이퍼 기판)의 일부분으로 구성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 반도체 기판(10)과 다른 별개의 반도체층(예를 들어, 비정질 반도체층, 미세 결정 반도체층, 또는 다결정 반도체층)에 제2 도전형 도펀트를 도핑하여 전면 전계 영역(130)을 형성할 수도 있다. 또는, 전면 전계 영역(130)이 반도체 기판(10)에 인접하여 형성된 층(예를

Petitioner Runergy USA Inc., Ex. 1005, p. 352

들어, 패시베이션막(24) 및/또는 반사 방지막(26))의 고정 전하에 의하여 도핑된 것과 유사한 역할을 하는 전계 영역으로 구성될 수도 있다. 그 외의 다양한 방법에 의하여 다양한 구조의 전면 전계 영역(130)을 형성할 수 있다.

[0046] 본 실시예에서 반도체 기판(10)의 전면은 텍스쳐링(texturing)되어 피라미드 등의 형태의 요철을 가질 수 있다. 이와 같은 텍스쳐링에 의해 반도체 기판(10)의 전면 등에 요철이 형성되어 표면 거칠기가 증가되면, 반도체 기판(10)의 전면을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 베이스 영역(110)과 제1 도전형 영역(32)에 의하여 형성된 pn 접합까지 도달하는 광의 양을 증가시킬 수 있어, 광 손실을 최소화할 수 있다.

[0047] 그리고 반도체 기판(10)의 후면은 경면 연마 등에 의하여 전면보다 낮은 표면 거칠기를 가지는 상대적으로 매끈하고 평탄한 면으로 이루어질 수 있다. 본 실시예와 같이 반도체 기판(10)의 후면 쪽에 제1 및 제2 도전형 영역(32, 34)이 함께 형성되는 경우에는 반도체 기판(10)의 후면의 특성에 따라 태양 전지(150)의 특성이 크게 달라질 수 있기 때문이다. 이에 따라 반도체 기판(10)의 후면에는 텍스쳐링에 의한 요철을 형성하지 않아 패시베이션 특성을 향상할 수 있고, 이에 의하여 태양 전지(150)의 특성을 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 경우에 따라 반도체 기판(10)의 후면에 텍스쳐링에 의한 요철을 형성할 수도 있다. 그 외의 다양한 변형도 가능하다.

[0048] 반도체 기판(10)의 후면 위에는 터널링층(20)이 형성된다. 터널링층(20)에 의하여 반도체 기판(10)의 후면의 계면 특성을 향상할 수 있으며 광전 변환에 의하여 생성된 캐리어가 터널링 효과에 의하여 원활하게 전달되도록 한다. 이러한 터널링층(20)은 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 산화물, 질화물, 반도체, 전도성 고분자 등을 포함할 수 있다. 예를 들어, 터널링층(20)은 실리콘 산화물, 실리콘 질화물, 실리콘 산화 질화물, 진성 비정질 실리콘, 진성 다결정 실리콘 등을 포함할 수 있다. 이때, 터널링층(20)은 반도체 기판(10)의 후면에 전체적으로 형성될 수 있다. 이에 따라 반도체 기판(10)의 후면을 전체적으로 패시베이션할 수 있고, 별도의 패터닝 없이 쉽게 형성될 수 있다.

[0049] 터널링 효과를 충분하게 구현할 수 있도록 터널링층(20)의 두께(T1)는 절연층(40)의 두께보다 작을 수 있다. 일 예로, 터널링층(20)의 두께(T1)가 10nm 이하일 수 있고, 0.5nm 내지 10nm(좀더 구체적으로는, 0.5nm 내지 5nm, 일 예로, 1nm 내지 4nm)일 수 있다. 터널링층(20)의 두께(T1)가 10nm를 초과하면 터널링이 원활하게 일어나지 않아 태양 전지(150)가 작동하지 않을 수 있고, 터널링층(20)의 두께(T1)가 0.5nm 미만이면 원하는 품질의 터널링층(20)을 형성하기에 어려움이 있을 수 있다. 터널링 효과를 좀더 향상하기 위해서는 터널링층(20)의 두께(T1)가 0.5nm 내지 5nm(좀더 구체적으로 1nm 내지 4nm)일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(20)의 두께(T1)가 다양한 값을 가질 수 있다.

[0050] 터널링층(20) 위에는 도전형 영역(32, 34)이 위치할 수 있다. 좀더 구체적으로, 도전형 영역(32, 34)은 제1 도전형 도펀트를 가져 제1 도전형을 나타내는 제1 도전형 영역(32)과, 제2 도전형 도펀트를 가져 제2 도전형을 나타내는 제2 도전형 영역(34)을 포함할 수 있다. 그리고 제1 도전형 영역(32)과 제2 도전형 영역(34) 사이에 배리어 영역(36)이 위치할 수 있다.

[0051] 제1 도전형 영역(32)은 베이스 영역(110)과 터널링층(20)을 사이에 두고 pn 접합(또는 pn 터널 접합)을 형성하여 광전 변환에 의하여 케리어를 생성하는 에미터 영역을 구성한다.

[0052] 이때, 제1 도전형 영역(32)은 베이스 영역(110)과 반대되는 제1 도전형 도펀트를 포함하는 반도체(일례로, 실리콘)을 포함할 수 있다. 본 실시예에서는 제1 도전형 영역(32)이 반도체 기판(10) 위(좀더 명확하게는, 터널링층(20) 위)에서 반도체 기판(10)과 별개로 형성되며 제1 도전형 도펀트가 도핑된 반도체층으로 구성된다. 이에 따라 제1 도전형 영역(32)은 반도체 기판(10) 상에 쉽게 형성될 수 있도록 반도체 기판(10)과 다른 결정 구조를 가지는 반도체층으로 구성될 수 있다. 예를 들어, 제1 도전형 영역(32)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체, 미세 결정 반도체, 또는 다결정 반도체(일 예로, 비정질 실리콘, 미세 결정 실리콘, 또는 다결정 실리콘) 등에 제1 도전형 도펀트를 도핑하여 형성될 수 있다. 제1 도전형 도펀트는 반도체층을 형성하는 공정에서 반도체층에 함께 포함되거나, 또는, 반도체층을 형성한 후에 열 확산법, 이온 주입법 등의 다양한 도핑 방법에 의하여 반도체층에 포함될 수도 있다.

[0053] 이때, 제1 도전형 도펀트는 베이스 영역(110)과 반대되는 도전형을 나타낼 수 있는 도펀트이면 족하다. 즉, 제1 도전형 도펀트가 p형일 경우에는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있다. 제1 도전형 도펀트가 n형일 경우에는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 353

[0054] 제2 도전형 영역(34)은 후면 전계(back surface field)를 형성하여 반도체 기판(10)의 표면(좀더 정확하게는, 반도체 기판(10)의 후면)에서 재결합에 의하여 캐리어가 손실되는 것을 방지하는 후면 전계 영역을 구성한다.

[0055] 이때, 제2 도전형 영역(34)은 베이스 영역(110)과 동일한 제2 도전형 도펀트를 포함하는 반도체(일례로, 실리콘)을 포함할 수 있다. 본 실시예에서는 제2 도전형 영역(34)이 반도체 기판(10) 위(좀더 명확하게는, 터널링층(20) 위)에서 반도체 기판(10)과 별개로 형성되며 제2 도전형 도펀트가 도핑된 반도체층으로 구성된다. 이에 따라 제2 도전형 영역(34)은 반도체 기판(10) 상에 쉽게 형성될 수 있도록 반도체 기판(10)과 다른 결정 구조를 가지는 반도체층으로 구성될 수 있다. 예를 들어, 제2 도전형 영역(34)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체, 미세 결정 반도체, 또는 다결정 반도체(일 예로, 비정질 실리콘, 미세 결정 실리콘, 또는 다결정 실리콘) 등에 제2 도전형 도펀트를 도핑하여 형성될 수 있다. 제2 도전형 도펀트는 반도체층을 형성하는 공정에서 반도체층에 함께 포함되거나, 또는, 반도체층을 형성한 후에 열 확산법, 이온 주입법 등의 다양한 도핑 방법에 의하여 반도체층에 포함될 수도 있다.

[0056] 이때, 제2 도전형 도펀트는 베이스 영역(110)과 동일한 도전형을 나타낼 수 있는 도펀트이면 족하다. 즉, 제2 도전형 도펀트가 n형일 경우에는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다. 제2 도전형 도펀트가 p형일 경우에는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있다.

[0057] 그리고 제1 도전형 영역(32)과 제2 도전형 영역(34) 사이에 배리어 영역(36)이 위치하여 제1 도전형 영역(32)과 제2 도전형 영역(34)을 서로 이격시킨다. 제1 도전형 영역(32)과 제2 도전형 영역(34)이 서로 접촉하는 경우에는 션트(shunt)가 발생하여 태양 전지(150)의 성능을 저하시킬 수 있다. 이에 따라 본 실시예에서는 제1 도전형 영역(32)과 제2 도전형 영역(34) 사이에 배리어 영역(36)을 위치시켜 불필요한 션트를 방지할 수 있다.

[0058] 배리어 영역(36)은 제1 도전형 영역(32)과 제2 도전형 영역(34) 사이에서 이들을 실질적으로 절연할 수 있는 다양한 물질을 포함할 수 있다. 즉, 배리어 영역(36)으로 도핑되지 않은(즉, 언도프트) 절연 물질(일례로, 산화물, 질화물) 등을 사용할 수 있다. 또는, 배리어 영역(36)이 진성(intrinsic) 반도체를 포함할 수도 있다. 이때, 제1 도전형 영역(32) 및 제2 도전형 영역(34)과 배리어 영역(36)이 동일 평면 상에서 형성되며 실질적으로 동일한 두께를 가지며 동일한 반도체(일례로, 비정질 실리콘, 미세 결정 실리콘, 다결정 실리콘)로 구성되되, 실질적으로 도펀트를 포함하지 않을 수 있다. 일 예로, 반도체 물질을 포함하는 반도체층을 형성한 다음, 반도체층의 일부 영역에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역(32)을 형성하고 다른 영역 중 일부에 제2 도전형 도펀트를 도핑하여 제2 도전형 영역(34)을 형성하면, 제1 도전형 영역(32) 및 제2 도전형 영역(34)이 형성되지 않은 영역이 배리어 영역(36)을 구성하게 될 수 있다. 이에 의하면 제1 도전형 영역(32) 및 제2 도전형 영역(34) 및 배리어 영역(36)의 제조 방법을 단순화할 수 있다.

[0059] 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 배리어 영역(36)을 제1 도전형 영역(32) 및 제2 도전형 영역(34)과 별도로 형성한 경우에는 배리어 영역(36)의 두께가 제1 도전형 영역(32) 및 제2 도전형 영역(34)과 다를 수 있다. 일례로, 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 쇼트를 좀더 효과적으로 막기 위하여 배리어 영역(36)이 제1 도전형 영역(32) 및 제2 도전형 영역(34)보다 더 두꺼운 두께를 가질 수도 있다. 또는, 배리어 영역(36)을 형성하기 위한 원료를 절감하기 위하여 배리어 영역(36)의 두께를 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 두께보다 작게 할 수도 있다. 이외 다양한 변형이 가능함은 물론이다. 또한, 배리어 영역(36)의 기본 구성 물질이 제1 도전형 영역(32) 및 제2 도전형 영역(34)과 다른 물질을 포함할 수도 있다. 또는, 배리어 영역(36)이 제1 도전형 영역(32) 및 제2 도전형 영역(34) 사이에 위치한 빈 공간(예를 들어, 트렌치)으로 구성될 수도 있다.

[0060] 그리고 배리어 영역(36)이 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 경계의 일부만을 이격시키도록 형성될 수도 있다. 이에 의하면 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 경계의 다른 일부는 서로 접촉할 수도 있다. 또한, 배리어 영역(36)이 반드시 구비되어야 하는 것은 아니며, 제1 도전형 영역(32) 및 제2 도전형 영역(34)이 전체적으로 접촉하여 형성되는 것도 가능하다. 그 외의 다양한 변형이 가능하다.

[0061] 여기서, 베이스 영역(110)과 동일한 도전형을 가지는 제2 도전형 영역(34)의 면적보다 베이스 영역(110)과 다른 도전형을 가지는 제1 도전형 영역(32)의 면적을 넓게 형성할 수 있다. 이에 의하여 베이스 영역(110)과 제1 도전형 영역(32)의 사이에서 터널링층(20)을 통하여 형성되는 pn 접합을 좀더 넓게 형성할 수 있다. 이때, 베이스 영역(110) 및 제2 도전형 영역(34)이 n형의 도전형을 가지고 제1 도전형 영역(32)이 p형의 도전형을 가질 경우에, 넓게 형성된 제1 도전형 영역(32)에 의하여 이동 속도가 상대적으로 느린 정공을 효과적으로 수집할 수 있다. 이러한 제1 도전형 영역(32) 및 제2 도전형 영역(34) 및 배리어 영역(36)의 평면 구조는 추후에 도 3을 참

Petitioner Runergy USA Inc., Ex. 1005, p. 354

조하여 좀더 상세하게 설명한다.

[0062] 본 실시예에서는 도전형 영역(32, 34)이 터널링층(20)을 사이에 두고 반도체 기판(10)의 후면 위에 위치하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며, 터널링층(20)이 구비되지 않고 도전형 영역(32, 34)이 반도체 기판(10)에 도펀트를 도핑하여 형성된 도핑 영역으로 구성되는 것도 가능하다. 즉, 도전형 영역(32, 34)이 반도체 기판(10)의 일부를 구성하는 단결정 반도체 구조의 도핑 영역으로 구성될 수도 있다. 이러한 구조에 대해서는 추후에 도 8을 참조하여 좀더 상세하게 설명한다. 그 외의 다양한 방법에 의하여 도전형 영역(32, 34)이 형성될 수 있다.

[0063] 제1 도전형 영역(32) 및 제2 도전형 영역(34)과 배리어 영역(36) 위에 절연층(40)이 형성될 수 있다. 절연층(40)은 제1 도전형 영역(32) 및 제2 도전형 영역(34)이 연결되어야 하지 않을 전극(즉, 제1 도전형 영역(32)의 경우에는 제2 전극(44), 제2 도전형 영역(34)의 경우에는 제1 전극(42))과 연결되는 것을 방지하고, 제1 도전형 영역(32) 및 제2 도전형 영역(34)을 패시베이션하는 효과를 가질 수도 있다. 절연층(40)은 제1 도전형 영역(32)을 노출하는 제1 개구부(402)와, 제2 도전형 영역(34)을 노출하는 제2 개구부(404)를 구비한다.

[0064] 이러한 절연층(40)은 터널링층(20)과 같거나 그보다 두꺼운 두께로 형성될 수 있다. 이에 의하여 절연 특성 및 패시베이션 특성을 향상할 수 있다. 절연층(40)은 다양한 절연 물질(예를 들어, 산화물, 질화물 등)으로 이루어질 수 있다. 일례로, 절연층(40)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화질화막, Al_2O_3, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 절연층(40)이 다양한 물질을 포함할 수 있음은 물론이다.

[0065] 반도체 기판(10)의 후면에 위치하는 전극(42, 44)은, 제1 도전형 영역(32)에 전기적 및 물리적으로 연결되는 제1 전극(42)과, 제2 도전형 영역(34)에 전기적 및 물리적으로 연결되는 제2 전극(44)을 포함한다.

[0066] 이때, 제1 전극(42)은 절연층(40)의 제1 개구부(402)를 통하여 제1 도전형 영역(32)에 연결되고, 제2 전극(44)은 절연층(40)의 제2 개구부(404)를 통하여 제2 도전형 영역(34)에 연결된다. 이러한 제1 및 제2 전극(42, 44)으로는 다양한 금속 물질을 포함할 수 있다. 그리고 제1 및 제2 전극(42, 44)은 서로 전기적으로 연결되지 않으면서 제1 도전형 영역(32) 및 제2 도전형 영역(34)에 각기 연결되어 생성된 캐리어를 수집하여 외부로 전달할 수 있는 다양한 평면 형상을 가질 수 있다. 즉, 본 발명이 제1 및 제2 전극(42, 44)의 평면 형상에 한정되는 것은 아니다.

[0067] 이하에서는 도 2의 확대원을 참조하여 제1 및/또는 제2 전극(42, 44)의 적층 구조를 상세하게 설명한 다음, 도 3을 참조하여 제1 및/또는 제2 전극(42, 44)의 평면 구조를 상세하게 설명한다. 도 2의 확대원 및 이하의 설명에서는 제1 전극(42)을 예시로 하여 설명하였으나, 제2 전극(44)도 이와 동일 또는 극히 유사한 구조를 가질 수 있다. 이에 따라 아래의 제1 전극(42)의 적층 구조는 제2 전극(44)에도 적용될 수 있다.

[0068] 도 2의 확대원을 참조하면, 제1 전극(42)은, 반도체층으로 구성된 제1 도전형 영역(32)(제2 전극(44)의 경우에는 제2 도전형 영역(34))을 구성하는 반도체층(이하, 반도체층)에 접촉하여 형성되며 투과성 및 전도성을 가지는 접착층(420)과, 접착층(420) 위에 형성되는 전극층(422)을 포함할 수 있다. 여기서, 전극층(422)은 광전 변환에 의하여 생성된 캐리어를 수집하여 외부로 전달하는 전극의 기본적인 역할을 수행하고, 접착층(420)은 제1 도전형 영역(32)과 전극층(422)의 접착 특성을 향상하는 등의 역할을 할 수 있다.

[0069] 접착층(420)은 반도체층과 전극층(422) 사이에서 이들에 접촉하여 형성될 수 있다. 접착층(420)은 전도성을 가지며 반도체층과의 접촉 특성이 우수한 금속을 포함할 수 있다. 이에 의하여 제1 전극(42)의 전도성을 저하하지 않으면서 반도체층과 전극층(422)의 접착 특성을 향상할 수 있다. 접착층(420)이 반도체층과의 접촉 특성을 향상할 수 있도록 접착층(420)의 열팽창 계수가 반도체층의 열팽창 계수와 전극층(422)에서 접착층(420)에 인접한 부분의 열팽창 계수 사이의 값을 가질 수 있다.

[0070] 이를 좀더 상세하게 설명하면, 반도체층과 제1 전극(42) 사이의 열팽창 계수 차이가 크면, 태양 전지(150)을 형성하기 위한 다양한 열처리 공정 시 반도체층과 제1 전극(42) 사이에 계면 접촉 특성이 저하될 수 있다. 이에 의하여 반도체층과 제1 전극(42) 사이의 컨택 저항이 높아질 수 있다. 이는 반도체층 또는 제1 전극(42)의 선폭을 줄여 반도체층과 제1 전극(42)의 접촉 면적이 줄어드는 경우에 좀더 큰 문제가 될 수 있다. 이에 따라 본 실시예에서는 제1 전극(42) 중 반도체층에 접촉하는 접착층(420)의 열 팽창 계수를 한정하여 반도체층과 제1 전극(42) 사이의 열팽창 계수를 줄여 계면 접촉 특성을 향상하는 것이다.

Petitioner Runergy USA Inc., Ex. 1005, p. 355

[0071] 반도체층이 실리콘을 포함할 경우에 열팽창 계수가 약 4.2ppm/K이고, 전극층(422)에서 접착층(420)에 인접한 부분(일 예로, 본 실시예에서는, 제1 전극층(422a))을 구성할 수 있는 구리(Cu), 알루미늄(Al), 은(Ag), 금(Au) 등의 열팽창 계수가 대략 14.2 ppm/K 이상이다. 좀더 구체적으로, 구리의 열팽창 계수가 약 16.5ppm/K이고, 알루미늄의 열팽창 계수가 약 23.0 ppm/K이고, 은의 열팽창 계수가 약 19.2ppm/K이고, 금의 열팽창 계수가 약 14.2ppm/K이다.

[0072] 이를 고려하여 접착층(420)을 구성하는 물질(일 예로, 금속)의 열팽창 계수가 약 4.5ppm/K 내지 약 14ppm/K일 수 있다. 열팽창 계수가 4.5ppm/K 미만이거나 14 ppm/K를 초과하면, 반도체층과의 열팽창 계수 차이를 줄여 접착 특성을 향상하는 효과가 충분하지 않을 수 있다. 이를 고려하여, 접착층(420)은 열팽창 계수가 약 8.4ppm/K인 티타늄(Ti) 또는 열팽창 계수가 약 4.6ppm/K인 텅스텐(W)을 포함할 수 있고, 일 예로, 티타늄 또는 텅스텐으로 이루어질 수 있다.

[0073] 이와 같이 접착층(420)이 티타늄 또는 텅스텐을 포함하게 되면, 반도체층과 제1 전극(42) 사이의 열팽창 계수를 줄이는 것에 의하여 접촉 특성을 향상할 수 있다. 그리고 티타늄 또는 텅스텐은 전극층(422)에서 접착층(420)에 인접한 부분(일 예로, 본 실시예에서는, 제1 전극층(422a))을 구성하는 물질(예를 들어, 구리 등)의 배리어로 기능할 수 있어, 이들이 반도체층 또는 반도체 기판(10)으로 확산하는 것을 방지할 수 있다. 이에 의하여 전극층(422)을 구성하는 물질이 반도체층 또는 반도체 기판(10)으로 확산하여 발생할 수 있는 문제를 방지할 수 있다.

[0074] 이때, 본 실시예에 따른 접착층(420)은 광이 투과할 수 있는 투과성을 가질 수 있다. 접착층(420)이 금속을 포함하는 경우에도 두께가 작으면 투과성을 가질 수 있으므로, 본 실시예에서는 접착층(420)의 두께를 일정 수준 이하로 한정하여 접착층(420)이 투과성을 가질 수 있도록 한다. 이와 같이 접착층(420)이 투과도를 가지면, 접착층(420)을 통과한 광을 접착층(420) 위에 형성되는 전극층(422) 또는 전극층(422)의 일부를 구성하는 층(예를 들어, 제1 전극층(422a))에서 반사시켜 다시 반도체 기판(10)의 내부로 향할 수 있도록 한다. 이에 의하여 광을 제1 전극(42)에서 반사시켜 반도체 기판(10)에 존재하는 광의 양 및 잔류 시간을 증가시켜 태양 전지(150)의 효율을 향상할 수 있다.

[0075] 여기서, 투과성이라 함은 광을 100% 투과하는 경우뿐만 아니라, 광의 일부를 투과하는 경우를 포함한다. 즉, 접착층(420)은 금속 투과막 또는 금속 반투과막으로 구성될 수 있다. 예를 들어, 접착층(420)은 50% 내지 100%의 투과도를 가질 수 있고, 좀더 구체적으로는, 80% 내지 100%의 투과도를 가질 수 있다. 접착층(420)의 투과도가 50% 미만이면, 전극층(422)에서 반사되는 광의 양이 충분하지 않아 태양 전지(150)의 효율을 충분하게 향상하기 어려울 수 있다. 접착층(420)의 투과도가 80% 이상이면, 전극층(422)에서 반사되는 광의 양을 좀더 늘릴 수 있어 태양 전지(150)의 효율 향상에 좀더 기여하도록 할 수 있다.

[0076] 이를 위하여 접착층(420)의 두께는 전극층(422)의 두께보다 작을 수 있다. 그리고 본 실시예와 같이 전극층(422)이 복수 개의 층(예를 들어, 제1 전극층(422a), 제2 전극층(422b), 제3 전극층(422d), 시드 전극층(422c))으로 구성되는 경우에는, 전극층(422)을 구성하는 복수의 층 각각의 두께보다 작을 수 있다. 이에 의하여 접착층(420)이 투과성을 가지도록 형성될 수 있다.

[0077] 구체적으로, 접착층(420)의 두께는 50nm 이하일 수 있다. 접착층(420)이 두께가 50nm를 초과하면, 접착층(420)의 투과도가 저하되어 전극층(422)으로 향하도록 하는 광의 양이 충분하지 않을 수 있다. 접착층(420)의 두께를 15nm 이하로 하여 접착층(420)의 투과도를 좀더 향상할 수 있다. 여기서, 접착층(420)의 두께가 5nm 내지 50nm(일 예로, 5nm 내지 15nm)일 수 있다. 접착층(420)의 두께가 5nm 미만인 경우에는 접착층(420)의 반도체층 위에서 고르게 형성되는 것이 어려울 수 있고 접착층(420)에 의한 접착 특성 향상 효과가 충분하지 않을 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 접착층(420)의 두께 등이 물질, 공정 조건 등을 고려하여 변화될 수도 있다.

[0078] 접착층(420) 위에 형성되는 전극층(422)은 다양한 특성 등을 향상할 수 있도록 복수의 층을 포함할 수 있다. 본 실시예에서 전극층(422)은, 접착층(420) 위에 형성되며 반사 물질을 포함하는 제1 전극층(422a)과, 제1 전극층(422a) 위에 형성되며 리본(144)과 연결(일 예로, 접촉)하는 제2 전극층(422b)을 포함한다. 그리고 제1 전극층(422a)과 제2 전극층(422b) 사이에 형성되는 시드 전극층(422c), 제3 전극층(422d) 등을 더 포함할 수 있다. 이하에서는 적층 순서에 따라 전극층(422)을 구성하는 복수의 층을 설명한다.

[0079] 접착층(420) 위에 형성되는 제1 전극층(422a)은 접착층(420)과 접촉하여 형성될 수 있다. 제1 전극층(422a)은 전극층(422)을 구성하는 물질 등이 반도체층 또는 반도체 기판(10)으로 향하는 것을 방지하는 배리어 역할과 함

Petitioner Runergy USA Inc., Ex. 1005, p. 356

께 반사 물질에 의하여 반사가 이루어지도록 하는 역할을 한다. 즉, 제1 전극층(422a)은 배리어층으로서의 역할과 반사 전극층으로서의 역할을 함께 수행할 수 있다. 이러한 제1 전극층(422a)은 반사 특성이 우수한 금속으로 구성될 수 있고, 일 예로, 구리, 알루미늄, 은, 금, 또는 이들의 합금을 포함할 수 있다. 제1 전극층(422a) 위에 구리 등을 포함하거나 구리로 이루어지는 시드 전극층(422c)이 위치하는 경우에는 제1 전극층(422a)이 알루미늄, 은, 금, 또는 이들의 합금을 포함하거나 알루미늄, 은, 금, 또는 이들의 합금으로 이루어질 수 있다.

[0080] 제1 전극층(422a)은 접착층(420)보다 큰 두께를 가지면서 50㎚ 내지 300㎚의 두께를 가질 수 있다. 일 예로, 제1 전극층(422a)의 두께가 100㎚ 내지 300㎚일 수 있다. 제1 전극층(422a)의 두께가 50㎚ 미만이면, 배리어층 및 반사 전극층의 역할을 수행하기 어려울 수 있다. 제1 전극층(422a)의 두께가 300㎚를 초과하면, 반사 특성 등이 크게 향상되지 못하면서도 제조 비용은 증가할 수 있다. 제1 전극층(422a)의 두께가 100㎚ 내지 300㎚이면, 배리어층 및 반사 전극층으로서의 기능을 좀더 향상할 수 있다.

[0081] 그리고 접착층(420) : 제1 전극층(422a)의 두께 비율이 1:2 내지 1:60일 수 있다. 좀더 구체적으로는, 접착층(420) : 제1 전극층(422a)의 두께 비율이 1:10 내지 1:30일 수 있다. 상술한 두께 비율이 1:2 미만이면, 접착층(420)의 두께가 두꺼워서 투과도가 저하되거나 제1 전극층(422a)의 두께가 얇아서 반사 특성 등이 저하될 수 있다. 상술한 두께 비율이 1:60을 초과하면, 제1 전극층(422a)의 두께가 두꺼워서 제조 비용이 증가할 수 있다. 상기 비율이 1:10 내지 1:30이면, 접착층(420)의 특성 및 제1 전극층(422a)의 특성을 함께 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 두께 비율 등은 다양하게 변형될 수 있다.

[0082] 제1 전극층(422a) 위에 위치하는 시드 전극층(422c)은 시드 전극층(422c) 위에 형성되는 제3 전극층(422d)(제3 전극층(422d)이 구비되지 않는 경우 제2 전극층(422b), 이하 동일)의 시드 역할을 하여, 제3 전극층(422d)이 쉽게 형성될 수 있도록 한다. 즉, 시드 전극층(422c)은 제1 전극층(422a)과 제3 전극층(422d) 사이에 위치하며 이들에 접촉하여 형성될 수 있다.

[0083] 제3 전극층(422d)은 도금 등에 의하여 형성되는 층일 수 있는데, 제3 전극층(422d)이 도금에 의하여 잘 형성될 수 있도록 제1 전극층(422a)과 제3 전극층(422d) 사이에 시드 전극층(422c)을 형성하는 것이다. 제3 전극층(422d)이 구리를 포함하는 경우에는, 시드 전극층(422c)이 구리를 포함하거나 구리로 이루어질 수 있다. 이에 의하여 도금에 의하여 구리를 포함하도록 형성되는 제3 전극층(422d)이 시드 전극층(422c)을 시드로 하여 쉽고 우수한 특성을 가지도록 형성할 수 있다.

[0084] 시드 전극층(422c)의 두께는 50㎚ 내지 200㎚의 두께를 가질 수 있다. 시드 전극층(422c)의 두께가 50㎚ 미만이면 시드 전극층(422c)에 의한 효과가 충분하지 않을 수 있고, 시드 전극층(422c)의 두께가 200㎚를 초과하면 제조 비용 등이 증가할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 시드 전극층(422c)의 두께 등은 다양한 변형이 가능하다.

[0085] 상술한 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)은 스퍼터링 방법 등에 의하여 형성될 수 있다. 즉, 반도체층으로 이루어진 제1 및 제2 도전형 영역(32, 34), 그리고 배리어 영역(36) 위에 형성된 절연층(40)의 개구부(402)(제2 전극(44)의 경우에는 개구부(404))를 채우도록 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c) 각각을 구성하는 금속층들을 전체적으로 형성한 후에, 금속층들을 패터닝하는 것에 의하여 제1 전극(42)(및/또는 제2 전극(44))의 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)을 형성할 수 있다. 패터닝 방법으로는 다양한 방법이 적용될 수 있는데, 일 예로, 레지스트와 에칭 용액을 이용한 방법에 의하여 수행될 수 있다.

[0086] 이와 같이 스퍼터링에 의하여 형성된 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)은 대부분 두께 방향으로 적층되므로 균일한 두께를 가지도록 적층된다. 그리고 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)이 이에 해당하는 금속층들을 차례로 전체적으로 형성한 다음 이들을 동일한 레지스트(또는 마스크)를 이용하여 함께 패터닝하여 형성되므로, 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c) 중 적어도 일부의 측면 단면이 서로 연속적으로 형성될 수 있다. 그리고 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c) 중 적어도 일부의 면적 오차 범위가 10% 이내(예를 들어, 5% 이내)의 값을 가질 수 있다. 이와 같은 두께, 형상, 면적 차이 등에 따라 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)이 스퍼터링법에 의하여 형성되어 함께 패터닝되었음을 알 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 접촉층(420), 제1 전극층(422a) 및 시드 전극층(422c)이 다양한 방법에 의하여 형성될 수도 있다.

[0087] 제3 전극층(422d)이 시드 전극층(422c) 위에서 시드 전극층(422c)에 접촉하여 형성될 수 있다. 제3 전극층(422d)은 전극층(422)의 저항을 낮추고 전기 전도도를 향상하는 역할을 수행하여, 실질적으로 전류를 전달하는

Petitioner Runergy USA Inc., Ex. 1005, p. 357

전도층의 역할을 수행할 수 있다. 제3 전극층(422d)은 가격이 저렴하여, 전도도가 우수한 금속(예를 들어, 구리)를 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제3 전극층(422d)으로 알려진 다양한 금속을 사용할 수 있다.

[0088] 이러한 제3 전극층(422d)은 접착층(420), 제1 전극층(422a), 시드 전극층(422c) 및 제2 전극층(422b)보다 두꺼운 두께를 가질 수 있다. 예를 들어, 제3 전극층(422d)은 20um 내지 30um의 두께를 가질 수 있다. 제3 전극층(422d)의 두께가 20um 미만이면 저항을 충분하게 낮추기 어려울 수 있고, 제2 전극층(422b)의 두께가 30um를 초과하면 공정 시간이 증가하여 제조 비용이 증가할 수 있다.

[0089] 제3 전극층(422d)은 시드 전극층(422c)을 시드로 하여 도금에 의하여 형성될 수 있다. 이와 같이 제3 전극층(422d)을 도금에 의하여 형성하면, 충분한 두께를 가지는 제3 전극층(422d)을 짧은 시간 내에 형성할 수 있다. 이와 같이 도금에 의하여 형성된 제3 전극층(422d)은 두께 방향뿐만 아니라 측면 방향으로도 성장하여, 접착층(420), 제1 전극층(422a) 및 시드 전극층(422c)보다 큰 면적을 가지도록 볼록하게 형성되어 라운드진 표면을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제3 전극층(422d)의 형성 방법, 형상 등은 다양하게 변형될 수 있다.

[0090] 제3 전극층(422d) 위에 제2 전극층(422b)이 형성될 수 있다. 일 예로, 제2 전극층(422b)이 제3 전극층(422d) 위에 접촉 형성될 수 있다. 제2 전극층(422b)은 리본(144)과 연결하는 부분으로서, 리본(144)과의 연결 특성이 우수한 물질을 포함할 수 있다. 제2 전극층(422b)과 리본(144)이 연결되는 구조의 다양한 예를 도 4를 참조하여 설명한다. 도 4는 본 발명의 실시예에 따른 태양 전지(150)의 제1 전극(42)과 리본(144)의 부착 구조의 다양한 예를 확대하여 도시한 도면이다. 명확하고 간략한 설명을 위하여 도 4에서 제1 전극(42)의 형상은 도 2의 확대원에 도시한 형상을 기준으로 도시하였다.

[0091] 일 예로, 도 4의 (a)에 도시한 바와 같이, 제2 전극층(422b) 위에 일 예로 납(Pb)과 주석을 함께 포함하는 리본(144)을 위치시킨 후에 열을 가하여 리본(144)을 제2 전극층(422b) 위에 직접 부착할 수 있다. 또는, 도 4의 (b)에 도시한 바와 같이, 제2 전극층(422b)과 리본(144) 사이에 페이스트(예를 들어, 주석과 비스무스 등을 포함하는 페이스트)를 위치한 상태에서 열을 가하여 페이스트층(146)를 매개로 하여 제2 전극층(422b)과 리본(144)을 부착할 수도 있다. 또는, 도 4의 (c)에 도시한 바와 같이, 제2 전극층(422b)과 리본(144) 사이에 전도성 필름(148) 등을 위치한 상태에서 가압하여 전도성 필름(148)을 매개로 하여 제2 전극층(422b)과 리본(144)을 부착할 수도 있다. 전도성 필름(148)은 도전성이 우수한 금, 은, 니켈, 구리 등으로 형성된 도전성 입자가 예폭시 수지, 아크릴 수지, 폴리이미드 수지, 폴리카보네이트 수지 등으로 형성된 필름 내에 분산된 것일 수 있다. 이러한 전도성 필름을 열을 가하면서 압착하면 도전성 입자가 필름의 외부로 노출되고, 노출된 도전성 입자에 의해 태양 전지(150)와 리본(144)이 전기적으로 연결될 수 있다. 이와 같이 전도성 필름(미도시)에 의해 복수의 태양 전지(150)를 연결하여 모듈화하는 경우는, 공정 온도를 저하시킬 수 있어 태양 전지(150)의 휘어짐을 방지할 수 있다. 이 외에도 다양한 방법에 의하여 제2 전극층(422b)과 리본(144)을 부착 및 연결할 수 있다.

[0092] 제2 전극층(422b)은 주석(Sn) 또는 니켈-바나듐 합금(NiV)를 포함할 수 있다. 주석은 리본(144) 또는 이와의 연결을 위한 페이스트 등과의 접합 특성이 우수한 장점이 있다. 그리고 니켈-바나듐 합금은 리본(144) 또는 이와의 연결을 위한 페이스트와의 접합 특성이 우수하다. 좀더 구체적으로, 주석과 비스무스를 포함하는 페이스트의 경우에, 페이스트의 주석과 니켈-바나듐 합금의 니켈의 접합 특성이 매우 우수하다. 그리고 니켈-바나듐 합금은 융점이 약 1000℃ 이상으로 매우 높은 수준이므로, 전극층(422)을 구성하는 다른 층의 물질보다 높은 융점을 가진다. 이에 의하여 리본(144)과의 접합 공정 또는 태양 전지(150)의 제조 공정 중에 변형되지 않으며 전극층(422)을 구성하는 다른 층을 보호하는 캡핑막의 역할을 충분하게 수행할 수 있다.

[0093] 이러한 제2 전극층(422b)은 다양한 방법에 의하여 형성될 수 있는데, 본 실시예에서는 제2 전극층(422b)이 도금에 의하여 형성된 주석을 포함하는 것을 예시하였다. 이와 같이 형성된 제2 전극층(422b)은 5um 내지 10um의 두께를 가질 수 있으며, 제1 전극층(422a)을 덮으면서 볼록하게 라운드진 형상을 가지면서 형성될 수 있다. 제2 전극층(422b)이 5um 미만이면 제2 전극층(422b)을 균일하게 형성하기 어려울 수 있고, 제2 전극층(422b)이 10um를 초과하면 제조 비용이 증가할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제2 전극층(422b)이 스퍼터링에 의하여 형성된 주석 또는 니켈-바나듐 합금을 포함한 예에 대해서는 추후에 도 6을 참조하여 상세하게 설명한다.

[0094] 이하에서는 도 3를 참조하여, 제1 도전형 영역(32) 및 제2 도전형 영역(34), 배리어 영역(36), 그리고 제1 및 제2 전극(42, 44)의 평면 형상을 상세하게 설명한다.

Petitioner Runergy USA Inc., Ex. 1005, p. 358

[0095] 도 3를 참조하면, 본 실시예에서는, 제1 도전형 영역(32)과 제2 도전형 영역(34)은 각기 스트라이프 형상을 이루도록 길게 형성되면서, 길이 방향과 교차하는 방향에서 서로 교번하여 위치하고 있다. 제1 도전형 영역(32)과 제2 도전형 영역(34) 사이에 이들을 이격하는 배리어 영역(36)이 위치할 수 있다. 도면에 도시하지는 않았지만, 서로 이격된 복수의 제1 도전형 영역(32)이 일측 가장자리에서 서로 연결될 수 있고, 서로 이격된 복수의 제2 도전형 영역(34)이 타측 가장자리에서 서로 연결될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[0096] 이때, 제1 도전형 영역(32)의 면적이 제2 도전형 영역(34)의 면적보다 클 수 있다. 일례로, 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 면적은 이들의 폭을 다르게 하는 것에 의하여 조절될 수 있다. 즉, 제1 도전형 영역(32)의 폭(W1)이 제2 도전형 영역(34)의 폭(W2)보다 클 수 있다. 이에 의하여 에미터 영역을 구성하는 제1 도전형 영역(32)의 면적을 충분하게 형성하여 광전 변환이 넓은 영역에서 일어나도록 할 수 있다. 이때, 제1 도전형 영역(32)이 p형을 가질 경우에 제1 도전형 영역(32)의 면적을 충분하게 확보하여 이동 속도가 상대적으로 느린 정공을 효과적으로 수집할 수 있다.

[0097] 그리고 제1 전극(42)이 제1 도전형 영역(32)에 대응하여 스트라이프 형상으로 형성되고, 제2 전극(44)이 제2 도전형 영역(34)에 대응하여 스트라이프 형상으로 형성될 수 있다. 제1 및 제2 개구부(402, 404) 각각이 제1 및 제2 전극(42, 44)에 대응하여 제1 및 제2 전극(42, 44)의 전체 면적에 형성될 수도 있다. 이에 의하면 제1 및 제2 전극(42, 44)과 제1 도전형 영역(32) 및 제2 도전형 영역(34)의 접촉 면적을 최대화하여 캐리어 수집 효율을 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 및 제2 개구부(402, 404)가 제1 및 제2 전극(42, 44)의 일부만을 제1 도전형 영역(32) 및 제2 도전형 영역(34)에 각기 연결하도록 형성되는 것도 가능함은 물론이다. 예를 들어, 제1 및 제2 개구부(402, 404)가 복수 개의 컨택홀로 구성될 수 있다. 그리고 도면에 도시하지는 않았지만, 제1 전극(42)이 일측 가장자리에서 서로 연결되어 형성되고, 제2 전극(44)이 타측 가장자리에서 서로 연결되어 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

[0098] 다시 도 2를 참조하면, 반도체 기판(10)의 전면 위(좀더 정확하게는, 반도체 기판(10)의 전면에 형성된 전면 전계 영역(130) 위)에 패시베이션막(24) 및/또는 반사 방지막(26)이 위치할 수 있다. 실시예에 따라, 반도체 기판(10) 위에 패시베이션막(24)만 형성될 수도 있고, 반도체 기판(10) 위에 반사 방지막(26)만 형성될 수도 있고, 또는 반도체 기판(10) 위에 패시베이션막(24) 및 반사 방지막(26)이 차례로 위치할 수도 있다. 도면에서는 반도체 기판(10) 위에 패시베이션막(24) 및 반사 방지막(26)이 차례로 형성되어, 반도체 기판(10)이 패시베이션막(24)과 접촉 형성되는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 반도체 기판(10)이 반사 방지막(26)에 접촉 형성되는 것도 가능하며, 그 외의 다양한 변형이 가능하다.

[0099] 패시베이션막(24) 및 반사 방지막(26)은 실질적으로 반도체 기판(10)의 전면에 전체적으로 형성될 수 있다. 여기서, 전체적으로 형성되었다 함은 물리적으로 완벽하게 모두 형성된 것뿐만 아니라, 불가피하게 일부 제외된 부분이 있는 경우를 포함한다.

[0100] 패시베이션막(24)은 반도체 기판(10)의 전면에 접촉하여 형성되어 반도체 기판(10)의 전면 또는 벌크 내에 존재하는 결함을 부동화 시킨다. 이에 의하여 소수 캐리어의 재결합 사이트를 제거하여 태양 전지(150)의 개방 전압을 증가시킬 수 있다. 반사 방지막(26)은 반도체 기판(10)의 전면으로 입사되는 광의 반사율을 감소시킨다. 이에 의하여 반도체 기판(10)의 전면을 통해 입사되는 광의 반사율이 낮추는 것에 의하여 베이스 영역(110)과 제1 도전형 영역(32)의 계면에 형성된 pn 접합까지 도달되는 광량을 증가시킬 수 있다. 이에 따라 태양 전지(150)의 단락 전류(Isc)를 증가시킬 수 있다. 이와 같이 패시베이션막(24) 및 반사 방지막(26)에 의해 태양 전지(150)의 개방 전압과 단락 전류를 증가시켜 태양 전지(150)의 효율을 향상할 수 있다.

[0101] 패시베이션막(24) 및/또는 반사 방지막(26)은 다양한 물질로 형성될 수 있다. 일례로, 패시베이션막(24)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, 알루미늄 산화막, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 일 예로, 패시베이션막(24)은 실리콘 산화물을 포함하고, 반사 방지막(26)은 실리콘 질화물을 포함할 수 있다.

[0102] 본 실시예에 따른 태양 전지(150)에 광이 입사되면 베이스 영역(110)과 제1 도전형 영역(32) 사이에 형성된 pn 접합에서의 광전 변환에 의하여 전자와 정공이 생성되고, 생성된 정공 및 전자는 터널링층(20)을 터널링하여 각기 제1 도전형 영역(32) 및 제2 도전형 영역(34)로 이동한 후에 제1 및 제2 전극(42, 44)으로 이동한다. 이에 의하여 전기 에너지를 생성하게 된다.

[0103] 본 실시예에와 같이 반도체 기판(10)의 후면에 전극(42, 44)이 형성되고 반도체 기판(10)의 전면에는 전극이 형

Petitioner Runergy USA Inc., Ex. 1005, p. 359

성되지 않는 후면 전극 구조의 태양 전지(150)에서는 반도체 기판(10)의 전면에서 쉐이딩 손실(shading loss)를 최소화할 수 있다. 이에 의하여 태양 전지(150)의 효율을 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 반도체 기판(10)의 전면에 제1 전극(42)이 위치하는 구조의 태양 전지(150)에(특히, 태양 전지(150)의 후면에 위치하는 제2 전극(44)에) 본 실시예의 전극(42, 44)의 구조가 적용될 수 있다.

[0104] 상술한 구조의 태양 전지(150)는, 전극(42, 44)이 전도성 및 투과성을 가지며 일정 범위의 열팽창 계수를 가지는 접촉층(420)를 구비하여 우수한 특성을 가질 수 있다. 즉, 접촉층(420)이 전도성을 가지면서 투과성을 가지므로, 전극(42, 44)의 전도도를 우수한 상태로 유지하면서 이에 인접한 전극층(422)(일 예로, 제1 전극층(422a))에서 반사를 유도할 수 있다. 이에 의하여 제1 전극층(422a)이 반사 전극층으로 기능하여 장파장의 반사를 증가시켜 광전 변환에 사용되는 광의 양을 증가시킬 수 있다. 그리고 접촉층(420)이 제1 또는 제2 도전형 영역(32, 34)을 구성하는 반도체층과 전극층(422) 사이의 열팽창 계수를 가져 제1 또는 제2 도전형 영역(32, 34) 또는 반도체층과 전극층(422) 사이의 열팽창 계수 차이를 줄이는 것에 의하여, 제1 또는 제2 도전형 영역(32, 34) 또는 반도체층과 제1 또는 제2 전극(42, 44) 사이의 접촉 특성을 향상할 수 있다. 이와 같이 태양 전지(150)의 다양한 특성을 향상하여 태양 전지(150)의 효율을 향상할 수 있다.

[0105] 이하, 본 발명의 다른 실시예들에 따른 태양 전지 및 이에 사용되는 전극을 상세하게 설명한다. 상술한 설명과 동일 또는 극히 유사한 부분에 대해서는 상세한 설명을 생략하고 서로 다른 부분에 대해서만 상세하게 설명한다. 그리고 이하의 설명 및 도면에서는 제1 전극(42)을 예시로 하여 설명하였으나, 아래의 설명은 제2 전극(44)에도 적용될 수 있다.

[0106] 도 5는 본 발명의 다른 실시예에 따른 태양 전지에 사용될 수 있는 전극을 도시한 도면이다. 도 5에는 도 1의 확대원에 대응하는 부분을 도시하였다.

[0107] 도 5를 참조하면, 본 실시예에 따른 태양 전지의 제1 전극(42)은, 시드 전극층(도 2의 참조부호 422c, 이하 동일)을 구비하지 않고, 제1 전극층(422a) 위에 제3 전극층(422d)이 접촉하여 형성된다. 본 실시예에서는 시드 전극층(422c)을 구비하지 않아 제조 공정을 단순화하고 제조 비용을 절감할 수 있다.

[0108] 도 6은 본 발명의 다른 실시예에 따른 태양 전지에 사용될 수 있는 전극을 도시한 도면이다. 도 6에는 도 1의 확대원에 대응하는 부분을 도시하였다.

[0109] 도 6을 참조하면, 본 실시예에 따른 태양 전지의 제1 전극(42)은, 시드 전극층(도 2의 참조부호 422c, 이하 동일) 및 제3 전극층(도 2의 참조부호 422d, 이하 동일)을 구비하지 않고, 제1 전극층(422a) 위에 제2 전극층(422b)이 접촉하여 형성된다. 즉, 제1 전극(42)이 서로 접촉하여 형성되는 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)으로 이루어질 수 있다. 이때, 제2 전극층(422b)은 스퍼터링에 의하여 형성된 스퍼터층으로서, 주석 또는 니켈-바나듐 합금을 포함할 수 있다.

[0110] 이와 같이 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)을 포함하는 제1 전극(42)은 스퍼터링 등에 의하여 형성될 수 있다. 즉, 반도체 기판(10)의 후면 위에 형성된 절연층(40)의 개구부(402)(제2 전극(44)의 경우에는 개구부(404))를 채우도록 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b) 각각을 구성하는 금속층들을 전체적으로 형성한 후에, 금속층들을 패터닝하는 것에 의하여 제1 전극(42)(및/또는 제2 전극(44))의 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)을 형성할 수 있다. 패터닝 방법으로는 다양한 방법이 적용될 수 있는데, 일 예로, 레지스트와 에칭 용액을 이용한 방법에 의하여 수행될 수 있다.

[0111] 이와 같이 스퍼터링에 의하여 형성된 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)은 대부분 두께 방향으로 적층되므로 각기 균일한 두께를 가지도록 적층된다. 그리고 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)이 이에 해당하는 금속층들을 차례로 전체적으로 형성한 다음 이들을 동일한 레지스트(또는 마스크)를 이용하여 함께 패터닝하여 형성된다. 이에 의하여 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b) 중 적어도 일부의 측면이 연속적인 형상을 가지게 된다. 그리고 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b) 중 적어도 일부의 면적 오차 범위가 10% 이내(예를 들어, 5% 이내)의 값을 가질 수 있다. 이와 같은 두께, 형상, 면적 차이 등에 따라 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)이 스퍼터링법에 의하여 형성되어 함께 패터닝되었음을 알 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 접촉층(420), 제1 전극층(422a) 및 제2 전극층(422b)이 다양한 방법에 의하여 형성될 수도 있다.

[0112] 제2 전극층(422b)은 나노 수준의 두께, 예를 들어, 50nm 내지 300nm의 두께를 가질 수 있다. 제2 전극층(422b)의 두께가 50nm 미만이면 리본(144)과의 접합 특성이 저하될 수 있고, 300nm를 초과하면 제조 비용이 증가할 수

Petitioner Runergy USA Inc., Ex. 1005, p. 360

있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제2 전극층(422b)의 두께 등은 다양하게 변화될 수 있다.

[0113] 이와 같이 본 실시예에서는 제1 전극(42)이 도금 공정을 사용하지 않고 형성될 수 있다. 제1 전극(42)의 일부를 도금에 의하여 형성되면, 절연층(40)에 핀 홀, 스크래치 등의 결함이 있는 경우에 그 부분에서도 도금이 이루어져 원하지 않는 부분이 도금될 수 있다. 그리고 도금 공정에서 사용하는 도금 용액이 산 또는 알칼리이므로 절연층(40)에 손상을 주거나 절연층(40)의 특성을 저하시킬 수 있다. 본 실시예에서는 도금 공정을 제거하는 것에 의하여 절연층(40)의 특성을 향상할 수 있고, 간단한 공정에 의하여 제1 전극(42)을 형성할 수 있다.

[0114] 도 7은 본 발명의 또 다른 실시예에 따른 태양 전지(150)의 부분 후면 평면도이다.

[0115] 도 7을 참조하면, 본 실시예에 따른 태양 전지(150)에서는, 제2 도전형 영역(34)이 아일랜드 형상을 가지면서 서로 이격되어 복수 개 구비되고, 제1 도전형 영역(32)은 제2 도전형 영역(34) 및 이를 둘러싸는 배리어 영역(36)을 제외한 부분에 전체적으로 형성될 수 있다

[0116] 그러면, 제1 도전형 영역(32)으로 기능하는 제1 도전형 영역(32)이 최대한 넓은 면적을 가지면서 형성되어 광전 변환 효율을 향상할 수 있다. 그리고 제2 도전형 영역(34)의 면적을 최소화하면서도 반도체 기판(10)에 전체적으로 제2 도전형 영역(34)이 위치하도록 할 수 있다. 그러면 제2 도전형 영역(34)에 의하여 표면 재결합을 효과적으로 방지하면서 제2 도전형 영역(34)의 면적을 최대화할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 도전형 영역(34)이 제2 도전형 영역(34)의 면적을 최소화할 있는 다양한 형상을 가질 수 있음은 물론이다.

[0117] 도면에서는 제2 도전형 영역(34)이 원형의 형상을 가지는 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 따라서, 제2 도전형 영역(34)이 각기 타원형, 또는 삼각형, 사각형, 육각형 등의 다각형의 평면 형상을 가질 수도 있음은 물론이다.

[0118] 절연층(40)에 형성된 제1 및 제2 개구부(402, 404)는 제1 도전형 영역(32) 및 제2 도전형 영역(34) 각각의 형상을 고려하여 서로 다른 형상을 가질 수 있다. 즉, 제1 개구부(402)는 제1 도전형 영역(32) 위에서 길게 이어지면서 형성될 수 있고, 제2 개구부(404)는 복수 개가 제2 도전형 영역(34)에 대응하여 서로 이격되어 형성될 수 있다. 제1 전극(42)은 제1 도전형 영역(32) 위에만 위치하고, 제2 전극(44)은 제1 도전형 영역(32)과 제2 도전형 영역(34) 위에 함께 위치하는 것을 고려한 것이다. 즉, 절연층(40)에서 제2 도전형 영역(34) 위에 위치한 부분에 대응하여 제2 개구부(404)가 형성되고, 제2 개구부(404)에 의하여 제2 전극(44)과 제2 도전형 영역(34)이 연결된다. 그리고 제1 도전형 영역(32) 위에 해당하는 절연층(40)의 부분에는 제2 개구부(404)가 형성되지 않아 제2 전극(44)과 제1 도전형 영역(32)이 서로 절연된 상태를 유지할 수 있도록 한다. 제1 전극(42)은 제1 도전형 영역(32) 위에만 형성되므로 제1 개구부(402)가 제1 전극(42)과 동일 또는 유사한 형상을 가질 수 있고, 이에 의하여 제1 전극(42)이 제1 도전형 영역(32) 상에 전체적으로 컨택될 수 있도록 한다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 변형이 가능하다. 예를 들어, 제1 개구부(402)가 제2 개구부(404)와 유사한 형상을 가지는 복수 개의 컨택홀로 구성될 수 있다.

[0119] 도 8은 본 발명의 또 다른 실시예에 따른 태양 전지의 단면도이다.

[0120] 도 8을 참조하면, 본 실시예에 따른 태양 전지(150)는 터널링층(도 2의 참조부호 20, 이하 동일)을 구비하지 않고, 제1 및 제2 도전형 영역(32, 34)을 반도체 기판(10)의 내부에 형성되는 도핑 영역으로 구성한다. 즉, 제1 및 제2 도전형 영역(32, 34) 각각이 반도체 기판(10)에 제1 또는 제2 도전형 도펀트를 상대적으로 높은 도핑 농도로 도핑하여 형성된 도핑 영역으로 구성된다. 이에 따라 제1 및 제2 도전형 영역(32, 34)이 제1 또는 제2 도전형을 가지는 결정질(단결정 또는 다결정) 반도체를 포함하여 반도체 기판(10)을 구성하게 된다. 일 예로, 제1 및 제2 도전형 영역(32, 34) 각각은 제1 또는 제2 도전형을 가지는 단결정 반도체 기판(일 예로, 단결정 실리콘 웨이퍼 기판)의 일부분으로 구성될 수 있다.

[0121] 이러한 실시예에서는 제1 전극(42)의 접촉층(도 2의 참조부호 422 참조)이 반도체 기판(10)(또는 반도체 기판(10)의 일부를 구성하는 제1 도전형 영역(32))에 접촉하여 형성되고, 제2 전극(44)의 접촉층이 반도체 기판(10)(또는 반도체 기판(10)의 일부를 구성하는 제2 도전형 영역(34))에 접촉하여 형성된다. 상술한 설명에서 제1 및 제2 전극(42, 44)의 접촉층(422)이 반도체층 대신 반도체 기판(10)에 접촉하는 것에만 차이가 있으므로, 이에 대한 상세한 설명은 생략한다.

[0122] 이하, 본 발명의 실험예를 통하여 본 발명을 좀더 상세하게 설명한다. 이하의 실험예는 본 발명의 예시를 위하

Petitioner Runergy USA Inc., Ex. 1005, p. 361

여 제시한 것에 불과할 뿐 본 발명이 이에 한정되는 것은 아니다.

[0123] 실시예 1

[0124] n형인 베이스 영역을 가지는 반도체 기판을 준비하였다. 반도체 기판의 후면의 일 영역에 이온 주입법에 의하여 보론(B)을 도핑하여 에미터 영역을 형성하고, 반도체 기판의 후면의 다른 영역에 이온 주입법에 의하여 인(P)을 도핑하여 후면 전계 영역을 형성하였다.

[0125] 반도체 기판의 전면에 반사 방지막을 형성하고, 반도체 기판의 후면에 후면 패시베이션막을 형성하였다. 그리고 후면 패시베이션막 위에 5㎚ 두께의 티타늄층(접촉층), 200㎚ 두께의 구리층(제1 전극층)을 각기 스퍼터링에 의하여 형성한 다음 패터닝하여 에미터 영역에 전기적으로 연결되는 제1 전극과 후면 전계 영역에 전기적으로 연결되는 제2 전극을 형성하였다. 그리고 후면 패시베이션막의 크랙을 줄이는 공정(일명, 큐어링(curing) 공정)을 250℃의 온도에서의 열처리에 의하여 수행하였다. 이에 의하여 태양 전지를 제조하였다.

[0126] 참고로, 본 실시예에서는 접촉층과 제1 전극층에 의한 특성만을 측정하기 위하여 제2 전극층 등을 형성하지 않고 접촉층과 제1 전극층만을 형성하였다.

[0127] 실시예 2

[0128] 티타늄층의 두께가 10㎚라는 점을 제외하고는 실시예 1과 동일한 방법에 의하여 태양 전지를 제조하였다.

[0129] 실시예 3

[0130] 티타늄층의 두께가 30㎚라는 점을 제외하고는 실시예 1과 동일한 방법에 의하여 태양 전지를 제조하였다.

[0131] 비교예 1

[0132] 티타늄층을 형성하지 않았다는 점을 제외하고는 실시예 1과 동일한 방법에 의하여 태양 전지를 제조하였다.

[0133] 비교예 2

[0134] 티타늄층의 두께가 200㎚라는 점을 제외하고는 실시예 1과 동일한 방법에 의하여 태양 전지를 제조하였다.

[0135] 실시예 1 내지 3, 그리고 비교예 1 내지 2에 따른 태양 전지의 전극에서 파장에 따른 반사도를 측정하여 그 결과를 도 9에 나타내었다.

[0136] 도 9를 참조하면, 티타늄층의 두께가 증가할수록 제1 전극의 반사도(특히, 장파장의 반사도)가 크게 저하되는 것을 알 수 있다. 이는 접촉층인 티타늄층의 두께가 증가할수록 티타늄층의 투과도가 저하되어 제1 전극층에서의 반사가 잘 일어날 수 없기 때문으로 보인다. 이때, 티타늄층의 두께가 50㎚ 이하인 실시예 1 내지 3에 따른 태양 전지에서는 1200㎚ 파장의 광에 대한 반사도가 30% 이상의 값을 가진다. 따라서 장파장의 광을 반사에 의하여 재사용할 수 있다. 반면, 티타늄층의 두께가 200㎚인 비교예 2에서는 1200㎚ 파장의 광에 대한 반사도가 20% 이하로서 매우 낮은 수치를 가져, 장파장의 광을 반사에 의하여 재사용하기 어려움을 알 수 있다.

[0137] 또한, 실시예 1에서 후면 패시베이션막의 균열을 줄이기 위한 열처리 전의 태양 전지의 후면 사진과, 열처리 후의 태양 전지의 후면 사진을 각기 도 10의 (a) 및 (b)에 나타내었다. 그리고 비교예 1에서 후면 패시베이션막의 균열을 줄이기 위한 열처리 전의 태양 전지의 후면 사진과, 열처리 후의 태양 전지의 후면 사진을 각기 도 11의 (a) 및 (b)에 나타내었다. 여기서, 도 10 및 도 11의 사진은 암실에서 제1 및 제2 전극에 바이어스를 인가하여 전자와 정공이 재결합할 때 발생하는 빛을 카메라로 검출하여 촬영한 사진이다. 이와 같이 태양 전지의 원리와 반대로 제1 및 제2 전극에 바이어스를 인가하여 발생하는 재결합이 많으면, 태양 전지에서와 같이 광이 입사되면 광전 변환이 활발하게 일어날 수 있음을 알 수 있다.

[0138] 도 10을 참조하면, 실시예 1에서는 열처리 전 및 열처리 후의 후면 사진이 모두 대체로 밝은 것을 알 수 있다. 이로부터 제1 및 제2 전극이 반도체 기판과 우수한 접촉 특성을 가지면서 접착되었으며 후속의 열처리 등에서도 접촉 특성이 우수하게 유지되었음을 알 수 있다. 반면, 도 11을 참조하면, 비교예 1에서는 열처리 전에 비하여 열처리 후의 후면 사진의 밝기가 크게 떨어진 것을 알 수 있다. 이는 비교예 1과 접착층을 구비하지 않은 경우에는 열처리 공정에 의하여 반도체 기판과 제1 및 제2 전극 사이의 접촉 특성이 저하되는 것을 알 수 있다.

[0139] 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통

Petitioner Runergy USA Inc., Ex. 1005, p. 362

상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0140] 150: 태양 전지

10: 반도체 기판

20: 터널링층

32: 제1 도전형 영역

34: 제2 도전형 영역

42: 제1 전극

44: 제2 전극

420: 접촉층

422: 전극층

422a: 제1 전극층

422b: 제2 전극층

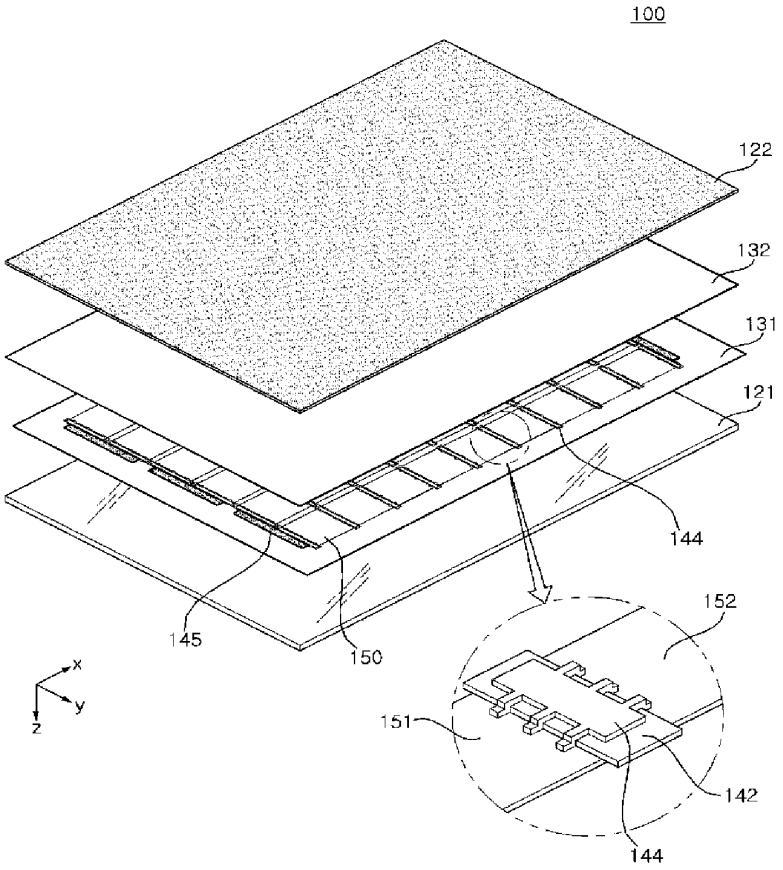
422c: 시드 전극층

422d: 제3 전극층

Petitioner Runergy USA Inc., Ex. 1005, p. 363

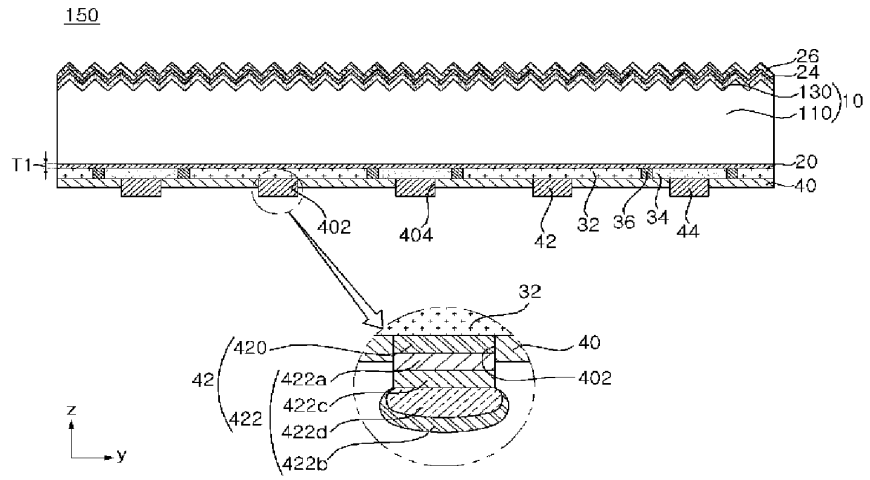
도면

도면1



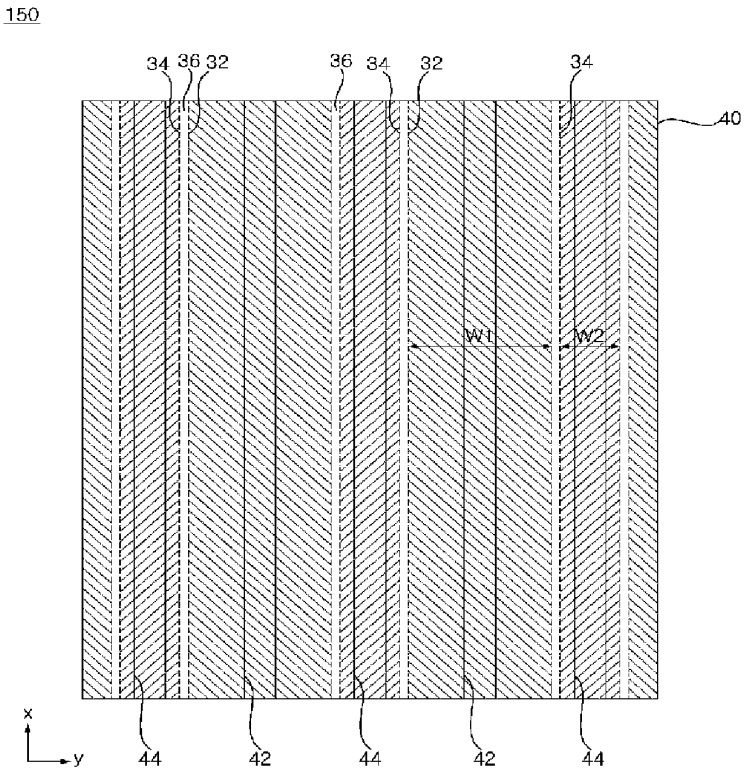
Petitioner Runergy USA Inc., Ex. 1005, p. 364

도면2



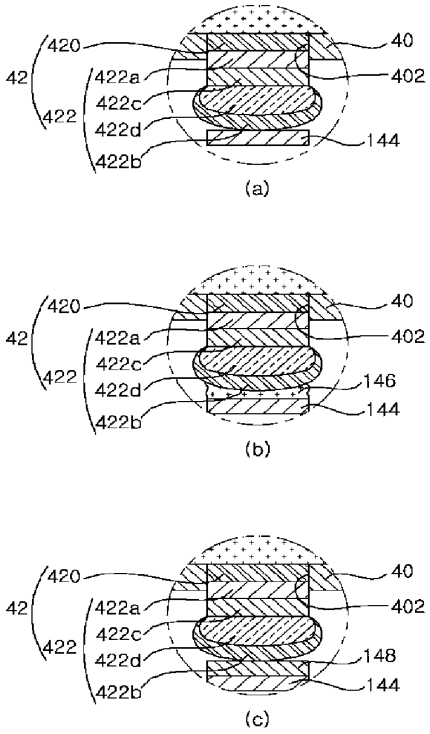
Petitioner Runergy USA Inc., Ex. 1005, p. 365

도면3

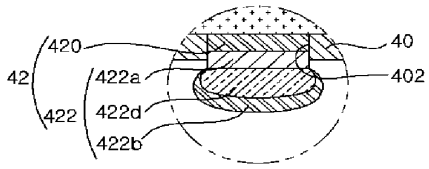


Petitioner Runergy USA Inc., Ex. 1005, p. 366

도면4

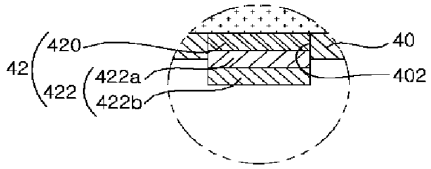


도면5

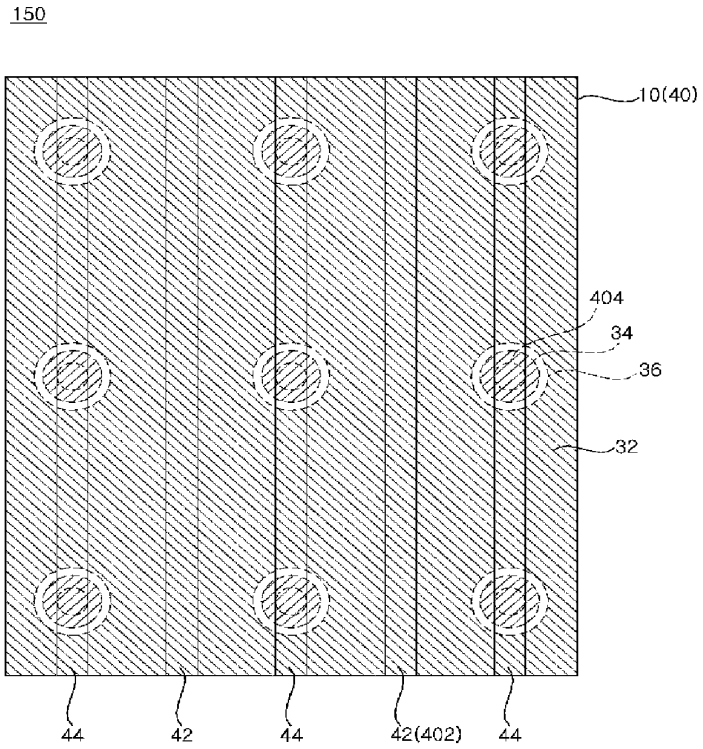


Petitioner Runergy USA Inc., Ex. 1005, p. 367

도면6

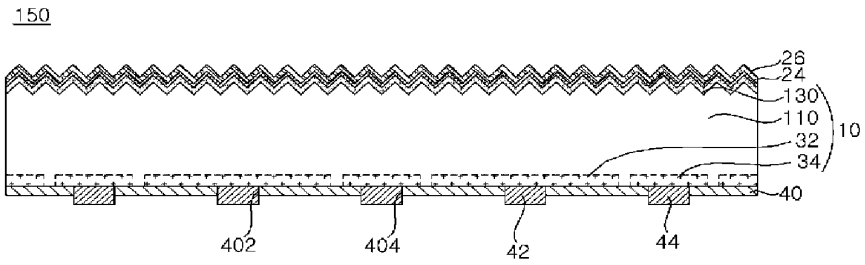


도면7

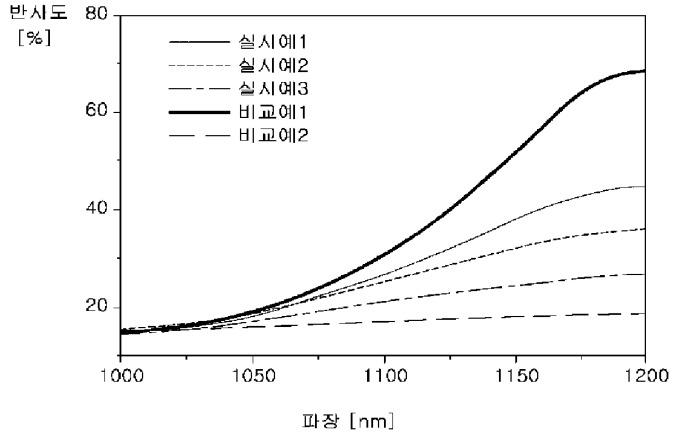


Petitioner Runergy USA Inc., Ex. 1005, p. 368

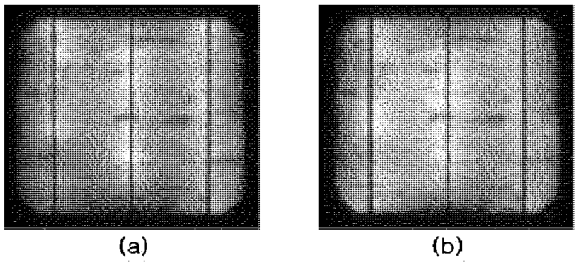
도면8



도면9

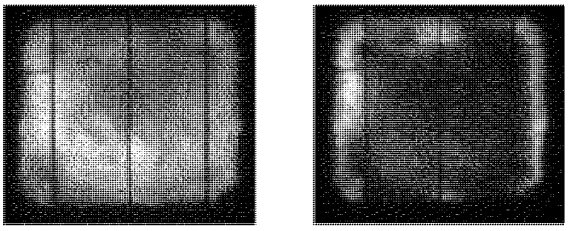


도면10



Petitioner Runergy USA Inc., Ex. 1005, p. 369

도면11



(a) (b)

Petitioner Runergy USA Inc., Ex. 1005, p. 370

Docket No.: 1630-1332PUS1
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	14/953,264	Confirmation No.:	1071
Filed:	November 27, 2015	Art Unit:	1755
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	C. CHERN

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

BIRCH, STEWART, KOLASCH & BIRCH, LLP

EHC/SSK/thd

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

A copy of the Korean Office Action, dated May 16, 2016, for Korean Application No. 10-2015-0122846 is attached.

KR-10-2015-0053551-A corresponds to US-2015/0129037-A1.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☑ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of the IDS. *See 37 C.F.R § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

Petitioner Runergy USA Inc., Ex. 1005, p. 372

☐ b. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS. *See 37 C.F.R. § 1.97(e)(2)*; or

☐ c. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. *See 37 C.F.R. § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement. *See 37 C.F.R. § 1.97(e)(2).*

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(i))*; or

Petitioner Runergy USA Inc., Ex. 1005, p. 373

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(ii))*.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. *See 37 C.F.R. § 1.97(b)(1) and 37 C.F.R. § 1.97(b)(2).* No fee is required.

☑ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. *See 37 C.F.R. § 1.97(b)(3).* No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application. *See 37 C.F.R. § 1.97(c)(1).*

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed on or after the mailing date of a Final Office Action, on or after the mailing date of a Notice of Allowance, or on or after an

Petitioner Runergy USA Inc., Ex. 1005, p. 374

action that otherwise closes prosecution in the application (*see 37 C.F.R. § 1.97(d)*), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: AUG 08 2016

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):
☑ PTO/SB/08
☑ Document(s)
☑ Foreign Patent Office Communication(s)
☐ Foreign Search Report(s)
☐ Fee
☐ Other:

Petitioner Runergy USA Inc., Ex. 1005, p. 375

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1	1071

2292 7590 01/09/2017

BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

EXAMINER
CHERN, CHRISTINA

ART UNIT	PAPER NUMBER
1758	

NOTIFICATION DATE	DELIVERY MODE
01/09/2017	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

mailroom@bskb.com

Office Action Summary	Application No. 14/953,264	Applicant(s) HA ET AL.	
	Examiner CHRISTINA CHERN	Art Unit 1758	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5)☒ Claim(s) *1-38* is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6)☐ Claim(s) _____ is/are allowed.

7)☐ Claim(s) _____ is/are rejected.

8)☐ Claim(s) _____ is/are objected to.

9)☒ Claim(s) *1-38* are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☐ The drawing(s) filed on _____ is/are: a)☐ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .

4) ☐ Other: _____.

DETAILED ACTION

Election/Restrictions

1. Restriction to one of the following inventions is required under 35 U.S.C. 121:

I. Claims 1-25, drawn to a solar cell, classified in H01L31/02167.

II. Claims 26-38, drawn to a method for manufacturing a solar cell, classified in H01L31/18.

The inventions are distinct, each from the other because of the following reasons:

2. Inventions I and II are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case, the process as claimed can be used to make another and materially different product, such as a solar cell comprising an intrinsic semiconductor layer on a tunnel layer on a semiconductor substrate, wherein impurities from a first conductive type is doped into the intrinsic semiconductor layer and impurities of a second conductive type is doped into the semiconductor substrate, whereas the product as claimed does not require an intrinsic semiconductor layer and requires a second passivation film and a second electrode not required by the process as claimed.

3. Restriction for examination purposes as indicated is proper because all the inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of the following reasons apply:

the inventions require a different field of search (e.g., searching different classes /subclasses or electronic resources, or employing different search strategies or search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a invention to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected invention**.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

4. Upon the election of invention Group I, this application contains claims directed to the following patentably distinct species of the solar cell structure:

Species A-1, directed to a solar cell comprising an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region as described in paragraphs [0057]-[00168] and as shown in Figures 2 and 4;

Species A-2, directed to a solar cell comprising non-forming regions and the first finger electrode and the first bus bar are depressed and formed in the first conductive type semiconductor region creating boundary surfaces as described in paragraphs [00170]-[00210] and as shown in Figures 5 and 6; and

Species A-3, directed to a solar cell comprising only the plurality of first finger electrodes of the first electrode may penetrate the first passivation film and may be depressed and formed in the first conductive type semiconductor region as described in paragraphs [00211]-[00223] and as shown in Figure 9.

The species are independent or distinct because as disclosed the different species have mutually exclusive characteristics for each identified species. In addition, these species are not obvious variants of each other based on the current record.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species, or a single grouping of patentably indistinct species, for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, claim 1 appears to be generic.

There is a search and/or examination burden for the patentably distinct species as set forth above because at least the following reason(s) apply:

the species or groupings of patentably indistinct species require a different field of search (e.g., searching different classes /subclasses or electronic resources, or employing different search strategies or search queries).

5. Further, upon the election of invention Group II, this application contains claims directed to the following patentably distinct species of the method for manufacturing a solar cell:

Species B-1, directed to a method for manufacturing the solar cell as described in the steps shown in Figure 12;

Species B-2, directed to a method for manufacturing the solar cell as described in the steps shown in Figure 16; and

Species B-3, directed to a method for manufacturing the solar cell as described in the steps shown in Figure 17.

The species are independent or distinct because as disclosed the different species have mutually exclusive characteristics for each identified species. In addition, these species are not obvious variants of each other based on the current record.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species, or a single grouping of patentably indistinct species, for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, none of the claims appears to be generic.

There is a search and/or examination burden for the patentably distinct species as set forth above because at least the following reason(s) apply:

the species or groupings of patentably indistinct species require a different field of search (e.g., searching different classes /subclasses or electronic resources, or employing different search strategies or search queries).

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a species to be examined even though the requirement may be traversed (37 CFR 1.143) **and (ii) identification of the claims encompassing the elected species or grouping of patentably indistinct species**, including any claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

The election may be made with or without traverse. To preserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the election of species requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable on the elected species or grouping of patentably indistinct species.

Should applicant traverse on the ground that the species, or groupings of patentably indistinct species from which election is required, are not patentably distinct,

applicant should submit evidence or identify such evidence now of record showing them to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the species unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other species.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which depend from or otherwise require all the limitations of an allowable generic claim as provided by 37 CFR 1.141.

6. Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

7. The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to CHRISTINA CHERN whose telephone number is (408)918-7559. The examiner can normally be reached on Mon.-Fri., 9:00 AM-5:30 PM PST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jennifer Michener can be reached on (571) 272-1424. The fax phone

number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1758

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2009/0205712 - A1	08-20-2009	COUSINS	
	2	US-2011/0275175 - A1	11-10-2011	MINSEK et al.	
	3	US-2012/0298175 - A1	11-29-2012	VAN ROOSMALEN et al.	
	4	US-2014/0073105 - A1	03-13-2014	ISOGAI	
	5	US-2014/0299187 - A1	10-09-2014	CHANG et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	6	KR 10-2011-0059366 - A	06-02-2011			☑
	7	KR 10-2012-0120260 - A	11-01-2012			☑
	8	JP 2000-340812 - A	12-08-2000			☑
	9	JP 2009-295715 - A	12-17-2009			☑
	10	JP 2010-186862 - A	08-26-2010			☑
	11	JP 2011-181963 - A	09-15-2011			☑

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of Information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country [3] Code	Number [4] Kind Code (if known) [5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	12	JP	2011-512689 - A	04-21-2011			☑
	13	WO	2013/094052 - A1	06-27-2013			☑
	14	JP	2014-203999 - A	10-27-2014			☑
	15	JP	2014-204128 - A	10-27-2014			☑
	16	JP	2014-523653 - A	09-11-2014			☑
	17	JP	2014-53452 - A	03-20-2014			☑

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	28008858
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Daniel Kavulak
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	09-JAN-2017
Filing Date:	27-NOV-2015
Time Stamp:	15:31:32
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Foreign Reference	KR1020110059366.pdf	720440 47b920d03ade19ccd15641b8b9f330c9d9d64e9d	no	18

Warnings:

Information:					
2	Foreign Reference	KR1020120120260.pdf	1984167 41deeea8206813bfb2c1ba838314d5ee9383f0bd	no	34
Warnings:					
Information:					
3	Foreign Reference	JP2000340812.pdf	403666 80e6ec6de53f6c5efa10cc201762ee6622d029e7	no	5
Warnings:					
Information:					
4	Foreign Reference	JP2009295715.pdf	300316 bde4f9214fd8bfb4f775b267b331a842a6dc20ab	no	21
Warnings:					
Information:					
5	Foreign Reference	JP2010186862.pdf	302649 ddd36074b4bacf12325f0a75745f098af00bf0b4	no	10
Warnings:					
Information:					
6	Foreign Reference	JP2011181963.pdf	7072379 aa4626f8d6ac96acc94053890829af96d77cfa6b	no	17
Warnings:					
Information:					
7	Foreign Reference	JP2011512689.pdf	394472 9b29de6f8bb12c508585330ed6c702cc803bc1c1	no	17
Warnings:					
Information:					
8	Foreign Reference	WO2013094052.pdf	994698 b70c989aeaf0082925c7ce63f69222304fc4abe6	no	26
Warnings:					
Information:					

9	Foreign Reference	JP2014203999.pdf	10084313 4c63e766dd9af37ed3589ca500febcd8cc059692	no	22
Warnings:					
Information:					
10	Foreign Reference	JP2014204128.pdf	509699 56fd7dd531f4e45f420fe0194f30020c0a524ffd	no	26
Warnings:					
Information:					
11	Foreign Reference	JP2014523653.pdf	456442 04688689b92e60a2c13d7d7691619df72ab57ad1	no	19
Warnings:					
Information:					
12	Foreign Reference	JP2014053452.pdf	397786 7ad35b3367fbbd3af6f9dddf8c6ffee60bc19d54	no	19
Warnings:					
Information:					
13	Non Patent Literature	KRNOA1020150122846_dated_2016-11-25.pdf	83668 5272e00e9b3e7256dab63f8f5b45e843e9ffa928	no	2
Warnings:					
Information:					
14	Non Patent Literature	JPOA2015231421_dated_2016-10-25.pdf	680771 167e87e1ec096a9776eaeb3f61a29ca47d9db224	no	3
Warnings:					
Information:					
15		2017-01-09_IDS_Transmittals_1630-1332PUS1.pdf	496728 de1b136a908d5658c8a2014772ba096e90b62e2e	yes	8
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	

	Transmittal Letter	1	6
	Information Disclosure Statement (IDS) Form (SB08)	7	8
Warnings:			
Information:			
	Total Files Size (in bytes):	24882194	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Espacenet

Bibliographic data: KR20110059366 (A) — 2011-06-02

SINGLE CRYSTALLINE SEMICONDUCTOR SUBSTRATE HAVING ISOLATION REGION, SOLAR CELL USING THE SAME AND MANUFACTURING METHOD THEREOF

Inventor(s): LEE HEON [KR] ± (LEE, HEON)

Applicant(s): NEOSEMITECH CORP [KR] ± (NEOSEMITECH CORPORATION)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: KR20090116076 20091127 Global Dossier

Priority number(s): KR20090116076 20091127

Abstract of KR20110059366 (A)

PURPOSE: A single crystal semiconductor substrate with a separation region, a solar cell using the same, and a manufacturing method thereof are provided to prevent the recombination of electrons by preventing a short between a top electrode and a bottom electrode. CONSTITUTION: A semiconductor substrate includes a p type substrate area(110) and a p+ type separation area(120). The p+ type separation area is formed on the edge of the substrate area. The substrate area and the separation area are single crystal silicon.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0059366
(43) 공개일자 2011년06월02일

(51) Int. Cl.
H01L 21/301 (2006.01) *H01L 31/04* (2006.01)
(21) 출원번호 10-2009-0116076
(22) 출원일자 2009년11월27일
심사청구일자 2009년11월27일

(71) 출원인
네오세미테크 주식회사
인천 연수구 송도동 7 - 14
(72) 발명자
이헌
서울특별시 서초구 방배동 808-4 그랑씨엘방배 -302

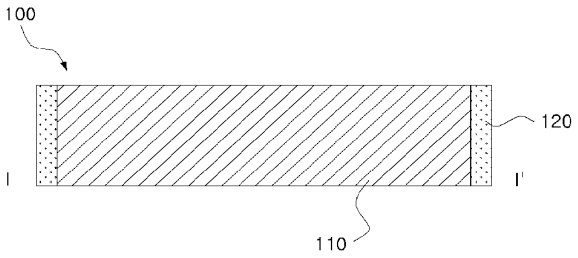
전체 청구항 수 : 총 21 항

(54) 분리 영역이 형성된 단결정 반도체 기판과 이를 이용한 태양전지 및 그 제조방법

(57) 요 약

본 발명에서는 분리 영역이 형성된 단결정 반도체 기판과 이를 이용한 태양전지 및 그 제조방법이 개시된다. 본 발명에 따른 분리 영역이 형성된 단결정 반도체 기판은 소정의 도전형(p 형)을 갖는 기판 영역(110); 및 기판 영역(110)의 가장자리부에 형성되며 도전형(p 형)과 동일하되 농도가 높은(p+ 형) 분리 영역(120)을 포함하는 것을 특징으로 한다.

대 표 도 - 도12



Petitioner Runergy USA Inc., Ex. 1005, p. 393

특허청구의 범위

청구항 1

소정의 도전형을 갖는 기판 영역; 및

상기 기판 영역의 가장자리부에 형성되며 상기 도전형과 동일하되 농도가 높은 분리 영역

을 포함하는 것을 특징으로 하는 단결정 반도체 기판.

청구항 2

제1항에 있어서,

상기 기판 영역과 상기 분리 영역은 단결정 실리콘인 것을 특징으로 하는 단결정 반도체 기판.

청구항 3

제1항에 있어서,

상기 기판 영역과 상기 분리 영역은 p 형, p+ 형인 것을 특징으로 하는 단결정 반도체 기판.

청구항 4

제1항에 있어서,

상기 기판 영역과 상기 분리 영역은 n 형, n +형인 것을 특징으로 하는 단결정 반도체 기판.

청구항 5

(a) 잉곳을 제공하는 단계;

(b) 상기 잉곳의 가장자리부에 상기 잉곳의 중앙부의 도전형과 동일하되 농도가 높은 분리 영역을 형성하는 단계; 및

(c) 상기 잉곳을 반도체 기판으로 슬라이싱 하는 단계

를 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 6

제5항에 있어서,

상기 잉곳은 단결정 실리콘인 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 7

제5항에 있어서,

상기 (b) 단계는,

상기 잉곳의 표면에 상기 잉곳과 동일한 도전형의 불순물을 포함하는 코팅막을 형성하는 단계;

상기 잉곳을 열처리하는 단계; 및

상기 코팅막을 제거하는 단계

를 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 8

제5항에 있어서,

상기 (b) 단계는,

상기 잉곳을 소정의 가스로 표면 처리하는 단계

Petitioner Runergy USA Inc., Ex. 1005, p. 394

를 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 9

제7항에 있어서,

상기 잉곳이 p 형이면 상기 코팅막은 3족 물질을 포함하고, 상기 잉곳이 n 형이면 상기 코팅막은 5족 물질을 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 10

제8항에 있어서,

상기 잉곳이 p 형이면 상기 가스는 3족 물질을 포함하고, 상기 잉곳이 n 형이면 상기 가스는 5족 물질을 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 11

제5항에 있어서,

상기 (a) 단계는,

상기 잉곳을 단결정으로 성장시키는 단계;

상기 잉곳을 블록화하는 단계; 및

상기 잉곳을 평탄화하는 단계

를 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 12

제11항에 있어서,

상기 블록화 단계는 크로핑(cropping) 과정 또는 스퀘링(squaring) 과정 중 어느 하나 이상을 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 13

제11항에 있어서,

상기 평탄화 단계는 에칭 과정 또는 그라인딩 과정 중 어느 하나 이상을 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법.

청구항 14

제1, 제2, 제3 반도체층이 순서대로 적층되어 형성된 기판 영역과, 상기 기판 영역의 가장자리부에 형성되며 상기 제2 반도체층과 도전형이 동일하거나 진성(i 형)인 분리 영역을 포함하는 단결정 반도체 기판;

상기 제3 반도체층 상에 형성되는 절연층;

상기 절연층 상에 형성되며 상기 절연층을 통해 상기 제3 반도체층과 콘택되는 상부전극; 및

상기 제1 반도체층 하부에 형성되는 하부전극

을 포함하는 것을 특징으로 하는 태양전지.

청구항 15

제14항에 있어서,

상기 단결정 반도체 기판은 단결정 실리콘인 것을 특징으로 하는 태양전지.

청구항 16

Petitioner Runergy USA Inc., Ex. 1005, p. 395

제14항에 있어서,

상기 제1, 제2, 제3 반도체층은 p+ 형, p 형, n 형인 것을 특징으로 하는 태양전지.

청구항 17

제14항에 있어서,

상기 제1, 제2, 제3 반도체층은 n+ 형, n 형, p 형인 것을 특징으로 하는 태양전지.

청구항 18

제14항에 있어서,

상기 제1 반도체층의 도전형은 상기 하부전극에 따라 결정되는 것을 특징으로 하는 태양전지.

청구항 19

제14항에 있어서,

상기 단결정 반도체 기판은 거칠기를 갖는 것을 특징으로 하는 태양전지.

청구항 20

(a) 소정의 도전형을 갖는 기판 영역과 상기 기판 영역의 가장자리부에 형성되며 상기 도전형과 동일하되 농도가 높은 분리 영역을 포함하는 단결정 반도체 기판을 제공하는 단계; 및

(b) 상기 기판의 표면에 상기 기판 영역과 다른 도전형의 불순물을 도핑하여 상기 기판 영역을 순서대로 적층된 제1, 제2, 제3 반도체층으로 형성하고, 상기 분리 영역을 상기 제2 반도체층의 도전형과 동일하거나 진성(i 형)으로 변화시키는 단계

를 포함하며,

상기 제1, 제3 반도체층의 도전형은 상기 불순물과 동일하고 상기 제2 반도체층의 도전형은 상기 기판 영역과 동일한 것을 특징으로 하는 태양전지의 제조방법.

청구항 21

제20항에 있어서,

(c) 상기 제3 반도체층 상에 절연층을 형성하는 단계;

(d) 상기 절연층 상에 상부전극을 형성하는 단계;

(e) 상기 제1 반도체층 하부에 하부전극을 형성하는 단계;

(f) 상기 기판을 열처리하여 상기 상부전극과 제3 반도체층을 콘택시키고, 상기 제1 반도체층의 도전형을 변화시키는 단계

를 더 포함하는 것을 특징으로 하는 태양전지의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 분리 영역이 형성된 단결정 반도체 기판과 이를 이용한 태양전지 및 그 제조방법에 관한 것이다. 보다 상세하게는 단결정 잉곳의 표면에 잉곳과 다른 도전형의 불순물을 도핑시켜 가장자리부에 분리 영역이 형성된 단결정 반도체 기판과, 이를 이용하여 별도의 에지 분리(edge isolation) 공정이 필요 없는 태양전지 및 이를 제조하는 방법에 관한 것이다.

배 경 기 술

Petitioner Runergy USA Inc., Ex. 1005, p. 396

[0002] 최근 들어 정보화와 녹색 기술 분야의 연구가 활발하게 진행되고 있는데, 반도체 제조 공정 기술은 메모리, 비메모리, 평판 디스플레이(flat panel display: FPD) 및 태양전지 등의 다양한 분야에 활용되는 핵심 기술이다.

[0003] 특히, 석유나 석탄과 같은 기존 화석 에너지 자원의 고갈이 예측되고, 환경에 대한 관심이 높아지면서, 이를 해결할 수 있는 대체 에너지인 태양전지에 관한 기술이 주목 받고 있다. 이러한 태양전지에는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열 전지와, 반도체의 성질을 이용하여 태양빛(photons)을 전기 에너지로 변환시키는 태양광 전지가 있는데, 태양전지라고 하면 일반적으로 태양광 전지(이하, '태양전지'라 함)를 의미한다.

[0004] 이와 같이, 광을 수광하여 전기 에너지로 변환할 수 있는 태양전지를 크게 나누어 보면, 기판형(벌크형)[단결정(single crystalline), 다결정(poly crystalline)] 태양전지, 박막형[비정질(amorphous), 다결정(poly crystalline)] 태양전지, CdTe나 CIS($CuInSe_2$) 등의 화합물 박막 태양전지, III-V족 태양전지, 염료 감응형 태양전지 및 유기 태양전지 등을 포함할 수 있다. 이때, 단결정 태양전지는 기판으로 원통형으로 성장시킨 단결정 반도체 잉곳(ingot)을 얇게 절단한 원형의 판인 웨이퍼(wafer)를 사용한다.

[0005] 도 1 내지 도 5는 종래의 단결정 태양전지의 제조 과정을 나타내는 단면도이다.

[0006] 먼저, 도 1을 참조하면, 붕소(boron)가 첨가된 p 형 실리콘 단결정 잉곳(미도시함)을 절단하여 제조한 원형의 웨이퍼인 기판(10)을 준비한다.

[0007] 다음으로, 도 2를 참조하면, 기판(10)에 n 형 불순물을 주입시켜 기판(10)의 표면을 n 형으로 도핑시킬 수 있다. 일례로, 불순물을 도핑하는 방법으로 p 형 영역(11)으로 형성된 기판(10)에 5족의 n 형 불순물인 인(phosphorus)을 주입함으로써 기판(10)의 표면부는 n 형 영역(n 형 반도체층: 12)이 형성되어 p-n 접합 구조를 얻을 수 있다.

[0008] 다음으로, 도 3을 참조하면, 기판(10)의 상부 영역에 형성된 n형 반도체층(12)의 가장자리부 일부(20)를 제거하는 에지 분리(edge isolation)를 수행할 수 있다. 대개 상기 에지 분리 공정은 레이저를 조사하여 수행할 수 있다.

[0009] 다음으로, 도 4를 참조하면, 기판(10) 상에, 더 상세하게는 n 형 반도체층(12) 상에 은(Ag)으로 상부전극(30)을 형성할 수 있다. 이어서, 기판(10)의 하면에, 더 상세하게는 n 형 반도체층(12)의 하면에 알루미늄(Al)으로 하부전극(40)을 형성할 수 있다.

[0010] 다음으로, 도 5를 참조하면, 기판(10)을 열처리하여 하부전극(40)의 알루미늄(Al)이 기판(10)의 하면에 형성된 n 형 반도체층(12)으로 확산되어 n 형 반도체층(12)을 p+ 형 반도체층(13)으로 변화시킬 수 있다. 이로써 p+ 형, p 형, n 형 반도체층이 적층된 단결정 태양전지를 구현할 수 있다.

[0011] 한편, 상술한 바 있는 레이저 에지 분리 과정을 통하여 도 2에서 형성된 p 형 영역(11)을 둘러싸고 있는 n 형 반도체층(12)의 일부(20)를 제거하지 않을 경우, 상부전극(30)과 하부전극(40)이 단락(short circuit)되어 태양전지가 정상적으로 작동할 수 없다. 따라서, 실리콘 단결정 웨이퍼를 이용하는 단결정 태양전지의 제조 과정에서 상기 레이저 에지 분리 공정은 반드시 필요한 공정이라고 할 수 있다.

[0012] 그러나, 이와 같은 레이저 에지 분리 공정을 수행할 경우 태양전지의 제조 과정이 복잡해지고 제조 비용이 상승하며, 특히 레이저에 의한 에지 분리 과정에 시간이 많이 소요됨으로써 태양전지의 생산성이 감소되는 한계를 가진다.

발명의 내용

해결 하고자하는 과제

[0013] 이에 본 발명은 상기와 같은 종래기술의 제반 문제점을 해결하기 위하여 안출된 것으로서, 기판 자체에 분리 영역이 형성된 단결정 반도체 기판과 그 제조 방법을 제공하는데 목적이 있다.

[0014] 또한, 본 발명은 기판 자체에 분리 영역이 형성된 단결정 반도체 기판을 이용하여 에지 분리(edge isolation) 공정이 필요 없는 태양전지와 그 제조방법을 제공하는데 다른 목적이 있다.

[0015] 또한, 본 발명은 제조 과정이 간단하고 제조 비용이 저렴하며 생산성이 향상된 태양전지와 그 제조방법을 제공하는데 다른 목적이 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 397

과제 해결수단

[0016] 상기 목적을 달성하기 위한 본 발명의 대표적인 구성은 다음과 같다.

[0017] 본 발명의 상기 목적은 소정의 도전형을 갖는 기판 영역; 및 상기 기판 영역의 가장자리부에 형성되며 상기 도전형과 동일하되 농도가 높은 분리 영역을 포함하는 것을 특징으로 하는 단결정 반도체 기판에 의해 달성된다.

[0018] 이때, 상기 기판 영역과 상기 분리 영역은 단결정 실리콘일 수 있다.

[0019] 상기 기판 영역과 상기 분리 영역은 p 형, p+ 형일 수 있다.

[0020] 상기 기판 영역과 상기 분리 영역은 n 형, n+ 형일 수 있다.

[0021] 그리고, 본 발명의 상기 목적은 (a) 잉곳을 제공하는 단계; (b) 상기 잉곳의 가장자리부에 상기 잉곳의 중앙부의 도전형과 동일하되 농도가 높은 분리 영역을 형성하는 단계; 및 (c) 상기 잉곳을 반도체 기판으로 슬라이싱하는 단계를 포함하는 것을 특징으로 하는 단결정 반도체 기판의 제조 방법에 의해서도 달성된다.

[0022] 이때, 상기 잉곳은 단결정 실리콘일 수 있다.

[0023] 상기 (b) 단계는, 상기 잉곳의 표면에 상기 잉곳과 동일한 도전형의 불순물을 포함하는 코팅막을 형성하는 단계; 상기 잉곳을 열처리하는 단계; 및 상기 코팅막을 제거하는 단계를 포함할 수 있다.

[0024] 상기 (b) 단계는, 상기 잉곳을 소정의 가스로 표면 처리하는 단계를 포함할 수 있다.

[0025] 상기 잉곳이 p 형이면 상기 코팅막은 3족 물질을 포함하고, 상기 잉곳이 n 형이면 상기 코팅막은 5족 물질을 포함할 수 있다.

[0026] 상기 잉곳이 p 형이면 상기 가스는 3족 물질을 포함하고, 상기 잉곳이 n 형이면 상기 가스는 5족 물질을 포함할 수 있다.

[0027] 상기 (a) 단계는 상기 잉곳을 단결정으로 성장시키는 단계; 상기 잉곳을 블록화하는 단계; 및 상기 잉곳을 평탄화하는 단계를 포함할 수 있다.

[0028] 상기 블록화 단계는 크로핑(cropping) 과정 또는 스퀴링(squaring) 과정 중 어느 하나 이상을 포함할 수 있다.

[0029] 상기 평탄화 단계는 에칭 과정 또는 그라인딩 과정 중 어느 하나 이상을 포함할 수 있다.

[0030] 그리고, 본 발명의 상기 목적은 제1, 제2, 제3 반도체층이 순서대로 적층되어 형성된 기판 영역과, 상기 기판 영역의 가장자리부에 형성되며 상기 제2 반도체층과 도전형이 동일하거나 진성(i 형)인 분리 영역을 포함하는 단결정 반도체 기판; 상기 제3 반도체층 상에 형성되는 절연층; 상기 절연층 상에 형성되며 상기 절연층을 통해 상기 제3 반도체층과 콘택되는 상부전극; 및 상기 제1 반도체층 하부에 형성되는 하부전극을 포함하는 것을 특징으로 하는 태양전지에 의해서도 달성된다.

[0031] 이때, 상기 단결정 반도체 기판은 단결정 실리콘일 수 있다.

[0032] 상기 제1, 제2, 제3 반도체층은 p+ 형, p 형, n 형일 수 있다.

[0033] 상기 제1, 제2, 제3 반도체층은 n+ 형, n 형, p 형일 수 있다.

[0034] 상기 제1 반도체층의 도전형은 상기 하부전극에 따라 결정될 수 있다.

[0035] 상기 단결정 반도체 기판은 거칠기를 가질 수 있다.

[0036] 그리고, 본 발명의 상기 목적은 (a) 소정의 도전형을 갖는 기판 영역과 상기 기판 영역의 가장자리부에 형성되며 상기 도전형과 동일하되 농도가 높은 분리 영역을 포함하는 단결정 반도체 기판을 제공하는 단계; 및 (b) 상기 기판의 표면에 상기 기판 영역과 다른 도전형의 불순물을 도핑하여 상기 기판 영역을 순서대로 적층된 제1, 제2, 제3 반도체층으로 형성하고, 상기 분리 영역을 상기 제2 반도체층의 도전형과 동일하거나 진성(i 형)으로 변화시키는 단계를 포함하며, 상기 제1, 제3 반도체층의 도전형은 상기 불순물과 동일하고 상기 제2 반도체층의 도전형은 상기 기판 영역과 동일한 것을 특징으로 하는 태양전지의 제조방법에 의해서도 달성된다.

[0037] 이때, (c) 상기 제3 반도체층 상에 절연층을 형성하는 단계; (d) 상기 절연층 상에 상부전극을 형성하는 단계; (e) 상기 제1 반도체층 하부에 하부전극을 형성하는 단계; (f) 상기 기판을 열처리하여 상기 상부전극과 제3 반도체층을 콘택시키고, 상기 제1 반도체층의 도전형을 변화시키는 단계를 더 포함할 수 있다.

Petitioner Runergy USA Inc., Ex. 1005, p. 398

효 과

[0038] 본 발명에 의하면, 잉곳 제조 공정시 일괄적으로 분리 영역을 형성할 수 있어 분리 영역이 형성된 단결정 반도체 기판을 대량으로 얻을 수 있는 효과를 갖는다.

[0039] 또한, 본 발명에 의하면, 단결정 반도체 기판 자체에 분리 영역이 형성되어 있어 별도의 에지 분리(edge isolation) 공정이 없이도 태양전지를 용이하게 구현할 수 있는 효과를 갖는다.

[0040] 또한, 본 발명에 의하면, 태양전지 제조시 단결정 반도체 기판의 분리 영역을 이용하여 상부전극과 하부전극이 전기적으로 단락되는 것을 방지하여 전자의 재결합 통로가 형성되는 문제점을 해결할 수 있는 효과를 갖는다.

[0041] 또한, 본 발명에 의하면, 제조 과정이 간단하고 제조 비용이 저렴하며 생산성이 향상된 태양전지와 그 제조방법을 제공할 수 있는 효과를 갖는다.

발명의 실시를 위한 구체적인 내용

[0042] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭하며, 길이 및 면적, 두께 등과 그 형태는 편의를 위하여 과장되어 표현될 수도 있다.

[0043] 이하에서는, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 바람직한 실시예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0044] [본 발명의 바람직한 실시예]

[0045] 본 명세서에 있어서, 분리 영역이 형성된 단결정 반도체 기판이란, 단결정 웨이퍼인 기판의 중앙부(기판 영역)와 가장자리부(분리 영역)가 서로 동일한 타입의 도전형을 가지되 가장자리부가 중앙부 보다 높은 농도인 것을 의미한다. 이하의 상세한 설명에서는 설명의 편의를 위해 분리 영역이 형성된 단결정 반도체 기판은 p형 잉곳의 가장자리부에 p형 불순물(3족 불순물)을 도핑하여 슬라이싱(slicing)된 기판으로서 중앙부가 p형, 가장자리부가 p+ 형인 경우를 일 예로 설명하지만, 본 발명에서의 분리 영역이 형성된 단결정 반도체 기판은 이와 다른 도전형의 경우(예를 들면, 5족 불순물을 이용하여 중앙부가 n 형, 가장자리부가 n+ 형인 경우)를 포괄적으로 모두 의미하는 것으로 이해되어야 한다.

[0046] 또한, 본 명세서에 있어서, 분리 영역이 형성된 단결정 반도체 기판을 가장 널리 사용되는 실리콘(Si)을 중심으로 설명하지만, 게르마늄(Ge) 및 갈륨비소(GaAs)와 같이 공지된 다른 재질도 포괄적으로 모두 의미하는 것으로 이해되어야 한다.

[0047] 또한, 이하의 상세한 설명에서는 분리 영역이 형성된 단결정 반도체 기판 상에 태양전지가 형성된 경우를 예를 들어 설명하지만, 단결정 반도체 기판을 사용하는 반도체 기술 분야 전반에 본 발명의 분리 영역이 형성된 단결정 반도체 기판이 동일하게 적용할 수 있음은 자명할 것이다.

[0048] 또한, 이하의 상세한 설명에서, +의 의미는 불순물의 도핑 농도의 상대적인 차이를 나타내는 것으로, +가 - 또는 표시가 없는 경우 보다 고농도의 도핑 농도를 가짐을 의미한다.

[0049] 분리 영역이 형성된 단결정 반도체 기판

[0050] 도 6은 본 발명의 일 실시예에 따른 분리 영역이 형성된 단결정 반도체 기판의 제조 과정을 설명하기 위한 흐름도이다.

[0051] 도 7 내지 도 11은 본 발명의 도 6에 따른 공정을 구체적으로 나타내는 도면이다.

[0052] 도 6을 참조하면, 먼저 원료(예를 들면, 다결정 실리콘)를 용해하여 단결 잉곳(ingot: IG)을 성장시킬 수 있다

Petitioner Runergy USA Inc., Ex. 1005, p. 399

(S10). 이러한 잉곳(IG)은 용융 대역(Float Zone; FZ)법 등의 공지된 방법을 제한 없이 사용할 수 있으나, 일례로 대구경의 잉곳을 용이하게 성장시킬 수 있는 쵸크랄스키(Czochralski; CZ)법을 이용할 수 있다.

[0053] 보다 상세하게, 도 7을 참조하면, 도가니 내에 다결정 실리콘을 포함하는 원료를 넣고 가열할 수 있다. 일례로, 잉곳(IG) 성장시 붕소(boron)를 첨가하여 p 형 단결정 실리콘 잉곳을 성장시킬 수 있다.

[0054] 이어서, 목표로 하는 결정 방향과 동일한 결정 방향을 갖는 단결정 씨드(seed)를 다결정 실리콘 용융액의 표면 중앙부에 접촉시킬 수 있다.

[0055] 이어서, 단결정 씨드를 천천히 상측으로 이동시켜 실리콘 단결정 잉곳(IG)을 성장시킬 수 있는데, 이 경우 단결정 씨드와 도가니를 반대 방향으로 회전시킬 수도 있다. 단결정 씨드가 다결정 실리콘 용융액 상측으로 인상되는 경우, 단결정 씨드와 다결정 실리콘 용융액 표면 사이에는 표면 장력이 발생하게 되어 얇은 실리콘 막들이 형성함과 동시에 냉각되면서 실리콘 단결정 잉곳(IG)이 성장될 수 있다. 이때, 다결정 실리콘 용융액 내의 실리콘 원자들은 단결정 씨드와 동일한 결정 방위(crystal orientation)를 가지면서 실리콘 단결정 잉곳(IG)으로 성장될 수 있다.

[0056] 다시, 도 6을 참조하면, 성장된 잉곳(IG)의 상하부와 같이 불필요한 부분을 제거하는 블록화 공정을 통해 잉곳(IG)을 원기둥 형상으로 가공할 수 있다(S20).

[0057] 보다 상세하게, 도 8을 참조하면, 도 7과 같이 초크랄스키법을 통해 성장된 잉곳(IG)은 상하부가 돌출된 기둥 형상일 수 있다. 따라서, 크로핑(cropping) 과정을 수행하여 돌출부를 절단하여 하나 또는 다수개의 블록(원통형의 단결정 실리콘 잉곳)을 형성할 수 있다.

[0058] 또한, 본 발명의 일 실시예에 따른 블록화 공정(S20)에서는, 잉곳(100)의 외주면을 사각 형상으로 가공하는 스퀴링(squaring) 과정을 수행할 수도 있다. 물론, 크로핑 과정과 스퀴링 공정은 필요에 따라 생략될 수도 있다.

[0059] 다시, 도 6을 참조하면, 블록화된 잉곳(IG)의 표면을 평탄화하기 위한 평탄화 공정을 수행할 수 있다(S30).

[0060] 보다 상세하게, 도 9를 참조하면, 도 8과 같이 블록화된 잉곳(IG)의 표면을 화학적으로 연마하는 에칭 과정을 수행할 수 있다. 이러한 에칭 과정은 대량으로 용이하게 처리할 수 있는 습식 방식을 이용하여 수행할 수 있다. 이때, 에칭액은 일례로, KOH 또는 NaOH를 포함하는 알칼리계를 사용할 수 있으나, 이에 한정되는 것은 아니며 HNO_3와 같은 산성계를 포함하는 공지된 에칭액을 제한 없이 사용할 수 있다.

[0061] 또한, 본 발명의 일 실시예에 따른 평탄화 공정(S30)에서는, 블록화된 잉곳(IG)의 표면을 물리적으로 연마하는 그라인딩(grinding) 방식을 이용하여 수행할 수도 있다. 이러한 그라인딩 방식은 일례로, 회전력을 이용한 그라인딩 휠로 블록화된 잉곳(IG)의 표면 거칠기를 제거할 수 있지만 이에 한정되는 것은 아니며, 반도체 웨이퍼 가공시 사용되는 공지된 그라인딩 방식을 제한 없이 사용할 수 있다.

[0062] 이와 같은 평탄화 공정(S30)을 통하여 이전 단계에서 수행된 블록화 공정(S20) 등에서 불가피하게 얻는 잉곳(IG)의 각종 손상(damage)을 화학적 및/또는 물리적으로 용이하게 제거할 수 있다.

[0063] 다시, 도 6을 참조하면, 평탄화된 잉곳(IG)의 가장자리부에 잉곳(IG)과 동일한 도전형의 불순물을 주입시켜 잉곳(IG)의 중앙부와 도전형은 동일하되 농도가 높은 분리 영역(120)을 형성할 수 있다(S40).

[0064] 보다 상세하게, 도 10의 (A)를 참조하면, 도 9와 같이 평탄화된 잉곳(IG)의 표면에 코팅막(C)을 형성할 수 있다. 일례로, p 형 잉곳(IG)인 경우 코팅막(C)은 알루미늄(Al)일 수 있으나, 이에 한정되는 것은 아니며 이와 동일한 3족의 물질이 포함된 소재라면 제한 없이 사용될 수 있다. 예를 들어, 붕규산 글래스(Borosilicate Glass; BSG), 알루미나(Al_2O_3)와 실리카(SiO_2)를 포함하는 화합물인 알루미노규산염 글래스(Aluminosilicate Glass) 등을 사용할 수 있다.

[0065] 이어서, 도 10의 (B)를 참조하면, 코팅막(C)이 형성된 잉곳(IG)을 열처리하여 코팅막(C)의 알루미늄(Al)이 p 형 잉곳(IG)의 표면으로 확산되는 과정을 수행할 수 있다. 이로써, p형 잉곳(IG)의 가장자리부에는 알루미늄(Al)이 도핑되어 p+ 형인 분리 영역(120)을 형성할 수 있다.

[0066] 이어서, 도 10의 (C)를 참조하면, 코팅막(C)을 제거하여 가장자리부는 p+ 형인 분리 영역(120)이고 중앙부는 p 형 영역인 기판 영역(110)으로 형성된 본 발명의 일 실시예에 따른 잉곳(IG)을 얻을 수 있다.

[0067] 물론, 이러한 고체 형태의 코팅막 대신 3족 물질을 포함하는 도핑 가스로 표면을 처리할 수 있는데, 일례로 BH_3

Petitioner Runergy USA Inc., Ex. 1005, p. 400

으로 잉곳(IG)을 도핑 처리할 수도 있다.

[0068] 다시, 도 6을 참조하면, 본 발명의 일 실시예에 따른 잉곳(IG)을 다수개의 기판으로 절단하는 슬라이싱(slicing) 공정을 수행할 수 있다(S50).

[0069] 보다 상세하게, 도 11을 참조하면, 잉곳(IG)을 소정의 절단 수단을 이용한 소잉(sawing) 과정을 통해 얇은 두께의 판 형상으로 절단할 수 있다. 이러한 절단 수단은, 일례로 와이어일 수 있으나 이에 한정되는 것은 아니며, 다이아몬드 쏘(saw)와 같은 공지된 절단 수단을 사용할 수도 있다. 한편, 도시되지는 않았지만, 슬라이싱 공정에서 발생한 파티클 및 슬러지 등을 제거하기 위한 세정 공정을 더 수행할 수 있다.

[0070] 상기와 같은 공정들에 따라 제조된 본 발명의 일 실시예에 따른 기판 영역(100)과 분리 영역(120)을 포함하는 단결정 반도체 기판(100)은 다양한 반도체의 기판으로 사용될 수 있는데, 이에 관하여는 도 12 이하를 참조한 이하의 상세한 설명을 통해 이해될 수 있을 것이다. 다만, 하기의 예는 이해를 돕기 위한 것일 뿐이며 이에 한정되는 것이 아님을 밝혀둔다.

[0071] 분리 영역이 형성된 단결정 반도체 기판을 이용한 태양전지

[0072] 도 12 내지 도 16은 본 발명의 일 실시예에 따른 분리 영역이 형성된 단결정 반도체 기판을 이용한 태양전지의 제조 과정을 나타내는 도면이다.

[0073] 먼저, 도 12는 상술된 도 11과 같이 제조된 본 발명의 단결정 반도체 기판(100)의 I 부터 I' 영역의 단면을 나타낸 것으로서, 중앙부에 기판 영역(110)과 가장자리부에 분리 영역(120)이 형성된 기판(100)을 제공할 수 있다.

[0074] 다음으로, 도 13을 참조하면, 텍스처링(texturing) 공정을 수행하여 기판(100)의 표면에 거칠기를 형성할 수 있다. 본 발명에서 텍스처링이란, 태양전지의 기판 표면에 입사되는 빛이 반사되어 광학적으로 손실됨으로써 그 특성이 저하되는 현상을 방지하지 위한 것이다. 즉, 기판의 표면을 거칠게 만드는 것으로, 기판 표면에 요철 패턴(예를 들면, 도시된 바와 같은 삼각형 구조)을 형성하는 것을 말한다. 이와 같이, 텍스처링으로 기판의 표면이 거칠어지면 표면에서 한번 반사된 빛이 태양전지 방향으로 재반사될 수 있으므로 빛이 손실되는 것을 감소시킬 수 있고, 광 포획량이 증가되어 태양전지의 광전 변환 효율을 향상시킬 수 있다.

[0075] 이때, 대표적인 텍스처링 방법으로는 샌드 블래스팅 방법을 사용할 수 있는데, 식각 입자를 압축 공기로 분사하여 식각하는 건식 블래스팅과 액체와 함께 식각 입자를 분사하여 식각하는 습식 블래스팅을 모두 포함하는 것이다. 한편, 본 발명의 샌드 블래스팅에 사용되는 식각 입자는 모래, 작은 금속과 같이 물리적 충격으로 기판에 요철을 형성시킬 수 있는 입자를 제한 없이 사용할 수 있다. 물론 필요에 따라 텍스처링 공정을 생략할 수도 있다.

[0076] 다음으로, 도 14를 참조하면, 기판(100)의 표면에 기판 영역(110)과 다른 도전형의 불순물을 주입시켜 p-n 접합을 형성할 수 있다.

[0077] 예를 들면, 기판 영역(110)이 p 형이면 n 형 불순물인 인(P)을 기판(100)의 표면에 주입시켜 기판 영역(110)의 하/상부에 n 형인 제1 영역(제1 반도체층: 111), n 형인 제3 영역(제3 반도체층: 113)을 형성할 수 있다. 이때, 중간층인 제2 영역(제2 반도체층: 112)은 원래의 도전형인 p 형을 그대로 유지할 수 있다. 이와 동시에, 기판(100)의 가장자리부의 p+ 형을 갖는 분리 영역(120)에도 인(P)이 확산되어 p+ 형에서 i 형(진성: intrinsic) 또는 p 형으로 변화될 수 있다.

[0078] 결국, 기판(100)에서 분리 영역(120)은 절연 기능을 수행할 수 있는 i 형 또는 기판 영역(110: 111, 112, 113) 중 제1 영역(111) 및/또는 제3 영역(113)과 서로 다른 도전형을 가지게 됨으로써, 이후 형성될 상부전극(140)과 하부전극(150)이 단락되는 것을 방지하여 전자의 재결합 통로가 형성되는 문제점을 해결할 수 있다.

[0079] 한편, 불순물 주입 방법으로는 대표적으로 고체 소스(solid source)와 가스 소스(gas source)를 이용하는 방식을 사용할 수 있다. 고체 소스를 사용하는 경우에는, 예를 들면, P_2O_5의 등과 같은 물질을 기판(100) 상에 증착시킨 후에 약 900℃에서 일정 시간 동안 가열함으로써 기판(100) 내부로 인(P)을 확산시켜서 주입할 수 있다. 또한, 가스 소스를 사용하는 경우에는, 예를 들면, PH_3, $POCl_3$ 등과 같은 가스를 사용하여 약 850℃ 내지 950℃의 온도에서 일정 시간 동안 인(P)을 기판(100) 내부로 확산시켜서 주입할 수 있다.

[0080] 다음으로, 도 15를 참조하면, 기판(100)의 제3 영역(113) 상에 절연층(130)을 형성할 수 있다. 이러한 절연층(130)은 일례로, 실리콘 산화막(SiO_X) 또는 실리콘 질화막(SiN_X)일 수 있으나, 빛을 투과시킬 수 있고 절연 특성

Petitioner Runergy USA Inc., Ex. 1005, p. 401

을 가지는 재질이라면 제한 없이 사용할 수 있다.

[0081] 이러한 절연층(130)의 형성 방법으로는 공지된 화학기상 증착법(Chemical Vapor Deposition: CVD)을 사용할 수 있다.

[0082] 이어서, 절연층(130) 상에 전도성 재질의 상부전극(140)을 형성할 수 있다. 이러한 상부전극(140)은 일례로, 은, 구리, 알루미늄, 티타늄 및 이들의 합금을 포함할 수 있으나, 통상적인 전도성 소재를 제한 없이 사용할 수 있다.

[0083] 이러한 상부전극(140)의 형성 방법으로는, 공지된 물리기상 증착법(Physical Vapor Deposition: PVD), 화학기상 증착법(Chemical Vapor Deposition: CVD)을 사용할 수 있으나, 보다 간편하고 공정 단가가 저렴한 스크린 프린팅법(screen printing)을 사용하는 것이 바람직하다.

[0084] 이어서, 기판(100)의 제1 영역(111) 상에 전도성 재질의 하부전극(150)을 형성할 수 있다. 이러한 하부전극(150)은 제2 영역(112)과 동일한 도전형인 전도성 재질을 제한 없이 사용할 수 있다. 일례로, p 형인 제2 영역(112)과 동일한 3족 물질인 알루미늄(Al)을 사용할 수 있다.

[0085] 이러한 하부전극(150)의 형성 방법으로는, 공지된 물리기상 증착법(Physical Vapor Deposition: PVD), 화학기상 증착법(Chemical Vapor Deposition: CVD)을 사용할 수 있다.

[0086] 다음으로, 도 16을 참조하면, 기판(100)을 열처리하여 절연층(130) 상에 형성된 상부전극(140)이 절연층(130)을 뚫고 확산되어 기판(100)의 제3 영역(113)과 직접 콘택을 형성할 수 있다.

[0087] 이와 동시에, 하부전극(150)을 이루는 물질이 기판(100)으로 확산되어 제1 영역(111)의 도전형을 변화시킬 수 있다. 예를 들면, 하부전극(150)을 이루는 알루미늄(Al)이 n 형인 제1 영역(111)에 확산되어 n 형을 p+ 형으로 변화시킬 수 있다.

[0088] 이로써, 단결정 실리콘 웨이퍼이 적절한 불순물을 주입한 p+ 형, p 형, n 형(또는, n+ 형, n 형, p 형) 반도체층(111, 112, 113)이 순서대로 적층된 광전 변환 소자로 이루어진 단결정 태양전지를 구현할 수 있다. 이때, 가장자리부에는 절연 기능을 수행하는 분리 영역(120)이 형성되어 있어 별도의 에지 분리(edge isolation) 공정을 수행하지 않아도 상부전극(140)과 하부전극(150)의 단락(short circuit)이 발생하지 않는 전자의 재결합 통로가 차단된 양호한 태양전지를 구현할 수 있다.

[0089] 이와 같이, 본 발명에 따른 단결정 태양전지는 종래기술에서 불가피하게 수행되어야 했던 레이저 에지 분리 공정을 생략하여도 제조가 가능함에 따라 태양전지의 제조 공정이 간단해지고 제조 비용이 저렴해지며 생산성이 향상될 수 있다.

[0090] 이상의 상세한 설명에서 본 발명은 구체적인 구성요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 상기 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형을 꾀할 수 있다. 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하게 또는 등가적으로 변형된 모든 것들은 본 발명의 사상의 범주에 속한다고 할 것이다.

도면의 간단한 설명

[0091] 도 1 내지 도 5는 종래의 단결정 태양전지의 제조 과정을 나타내는 단면도이다.

[0092] 도 6은 본 발명의 일 실시예에 따른 분리 영역이 형성된 단결정 반도체 기판의 제조 과정을 설명하기 위한 흐름도이다.

[0093] 도 7 내지 도 11은 도 6에 따른 공정을 구체적으로 나타내는 도면이다.

[0094] 도 12 내지 도 16은 본 발명의 일 실시예에 따른 분리 영역이 형성된 단결정 반도체 기판을 이용한 태양전지의 제조 과정을 나타내는 도면이다.

[0095] <도면의 주요 부분에 대한 부호의 설명>

[0096] 100: 기판

[0097] 110: 기판 영역

Petitioner Runergy USA Inc., Ex. 1005, p. 402

[0098] 111: 제1 반도체층

[0099] 112: 제2 반도체층

[0100] 113: 제3 반도체층

[0101] 120: 분리 영역

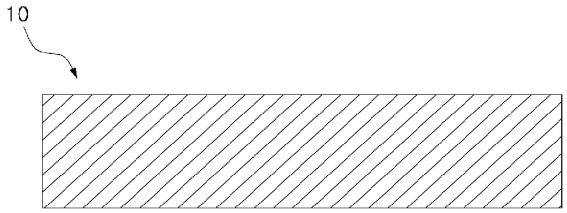
[0102] 130: 절연층

[0103] 140: 상부전극

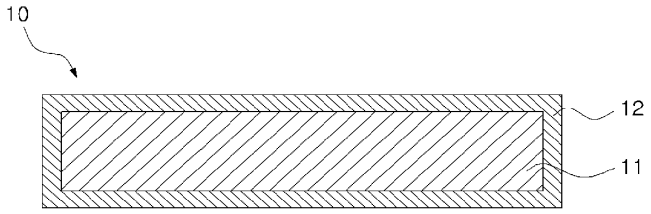
[0104] 150: 하부전극

도면

도면1

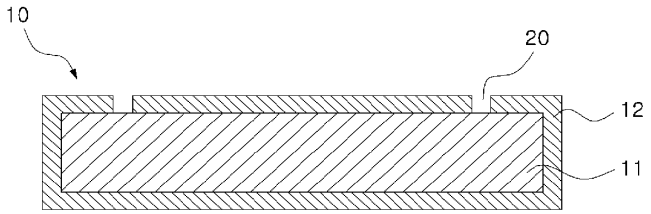


도면2

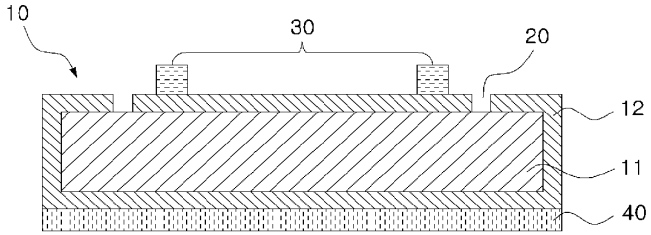


Petitioner Runergy USA Inc., Ex. 1005, p. 403

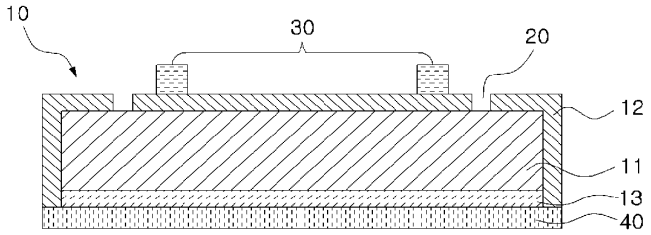
도면3



도면4

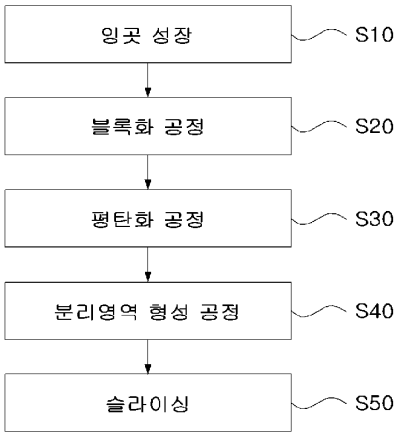


도면5

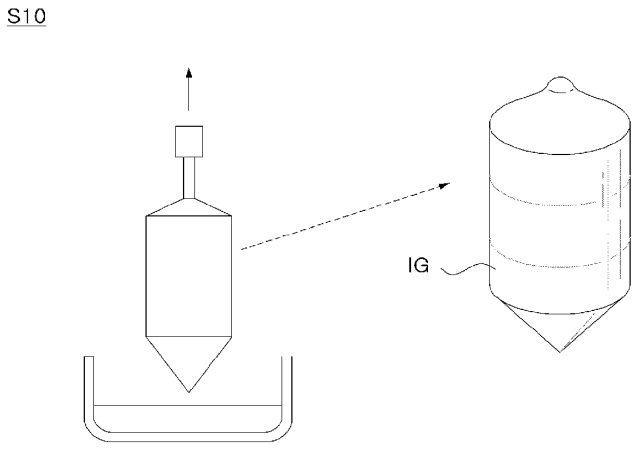


Petitioner Runergy USA Inc., Ex. 1005, p. 404

도면6

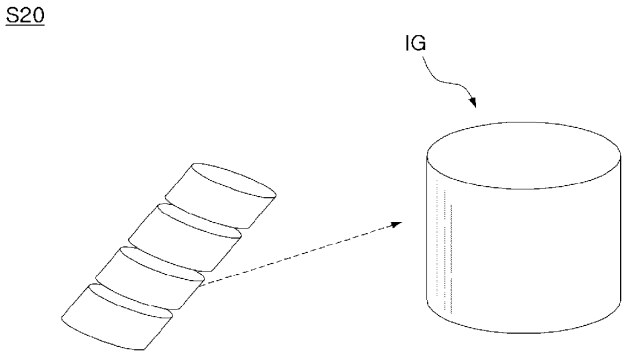


도면7

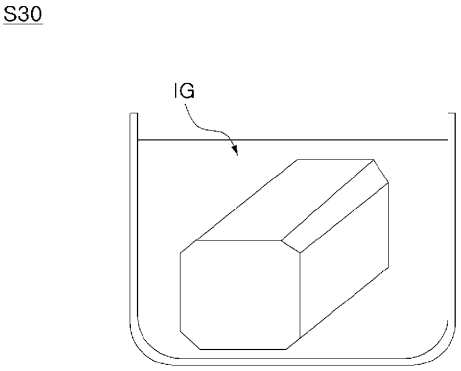


Petitioner Runergy USA Inc., Ex. 1005, p. 405

도면8



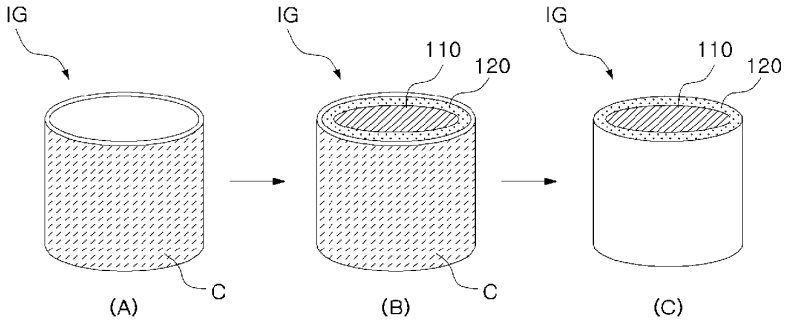
도면9



Petitioner Runergy USA Inc., Ex. 1005, p. 406

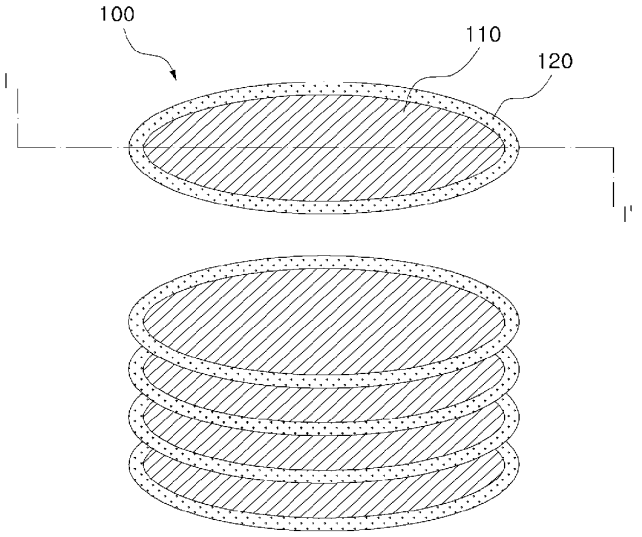
도면10

S40



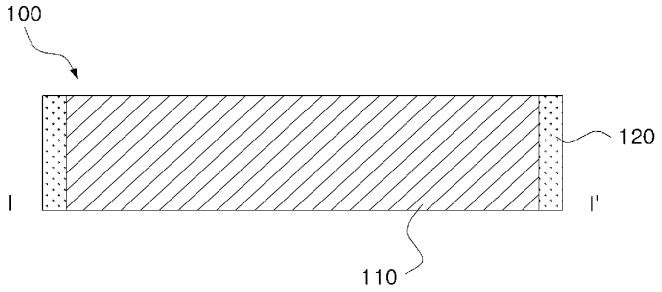
도면11

S50

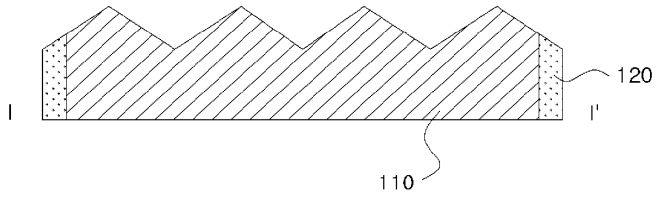


Petitioner Runergy USA Inc., Ex. 1005, p. 407

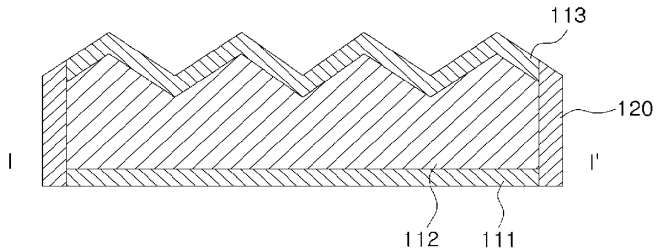
도면12



도면13

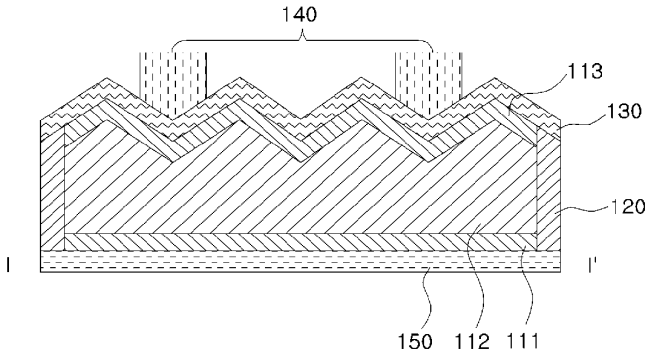


도면14

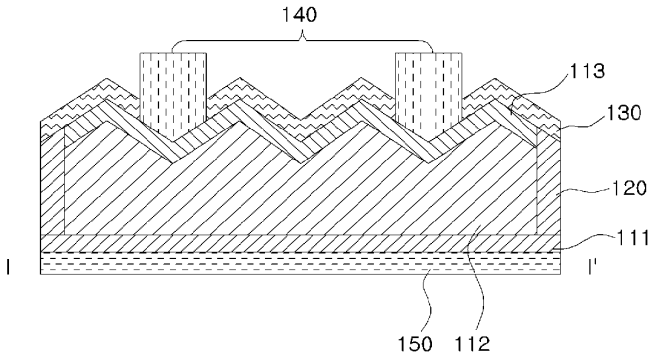


Petitioner Runergy USA Inc., Ex. 1005, p. 408

도면15



도면16



Petitioner Runergy USA Inc., Ex. 1005, p. 409

Espacenet

Bibliographic data: KR20120120260 (A) — 2012-11-01

SOLAR PANEL MODULE AND METHOD FOR MANUFACTURING SUCH A SOLAR PANEL MODULE

Inventor(s):

Applicant(s):

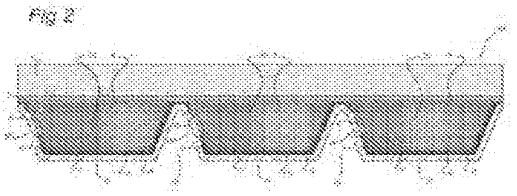
Classification: - **international:** ***H01L31/0224; H01L31/042; H01L31/18***
- **cooperative:** **H01L31/022441**; **H01L31/03529**; **H01L31/0475**; **H01L31/0747**; Y02E10/50

Application number: KR20127019751 20110105 Global Dossier

Priority number (s): WO2011NL50004 20110105 ; NL20102004065 20100106

Also published as: WO2011084053 (A2) WO2011084053 (A3) US2012298175 (A1) TW201145534 (A) NL2004065 (C) more

Abstract not available for KR20120120260 (A)
Abstract of corresponding document: WO2011084053 (A2)



A solar panel module includes a transparent carrier and semi-conductor substrate portions that have a front surface and a rear surface. The front surface is arranged for capturing radiation energy. The semiconductor substrate portions are arranged adjacent to each other on the transparent carrier and are separated from each other by a groove. Each semiconductor substrate portion is attached with the front surface to the transparent carrier. Each groove includes a side wall of each of the adjacent semiconductor substrate portions. The front surface of each semiconductor substrate portion is provided with a doped layer of a first conductivity type. Each semiconductor substrate portion includes a first electric contact for minority charge carriers and a second electric contact for majority charge carriers in the semiconductor substrate portion. The first electric contact is arranged on at least the rear surface of the semiconductor substrate portion as a heterostructure of a first type. The hetero junction of the first type includes an intrinsic semiconductor layer on the semiconductor substrate portion and a semiconductor layer of a second conductivity type, opposite to the first conductivity type,on top of the intrinsic semiconductor layer.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0120260
(43) 공개일자 2012년11월01일

(51) 국제특허분류(Int. Cl.)
H01L 31/042 (2006.01) *H01L 31/0224* (2006.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2012-7019751
(22) 출원일자(국제) 2011년01월05일
심사청구일자 없음
(85) 번역문제출일자 2012년07월26일
(86) 국제출원번호 PCT/NL2011/050004
(87) 국제공개번호 WO 2011/084053
국제공개일자 2011년07월14일
(30) 우선권주장
2004065 2010년01월06일 네덜란드(NL)

(71) 출원인
쉬티흐팅크 에네르지온데르조크 센트룸 네덜란드
네덜란드, 엔엘-1755 엘이 패턴 베스터듀인베그 3
(72) 발명자
반 루스말렌, 요하네스 아드리아누스 마리아
네덜란드 엔엘-1755 엘이 패턴 베스터듀인베그 3
브론스벨드, 파울라 카타리나 페트로넬라
네덜란드 엔엘-1755 엘이 패턴 베스터듀인베그 3
(74) 대리인
특허법인무한

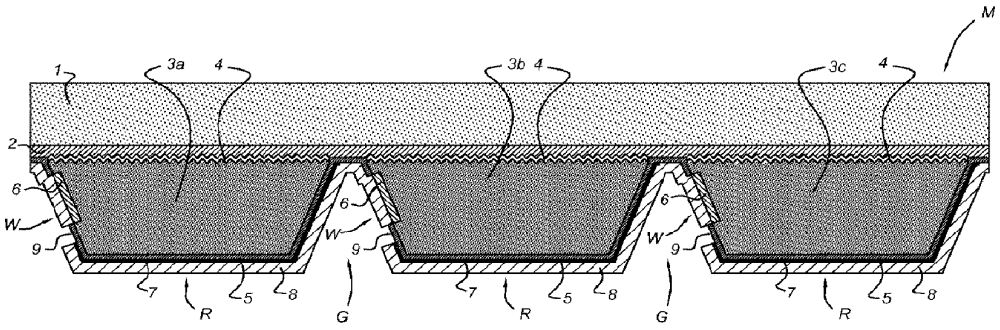
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 **솔라 패널 모듈 및 그 제조방법**

(57) 요 약

솔라 패널 모듈은 투명 캐리어 및 전면과 후면을 가지는 반도체 기판 부분을 포함한다. 상기 전면은 복사 에너지를 포획하는데 사용되도록 배열되어 있다. 상기 실리콘 기판 부분들은 상기 투명 캐리어 상에 서로 인접하도록 배열되고 홈에 의하여 서로로부터 분리되어 있다. 각 반도체 기판 부분은 상기 전면 기판과 함께 상기 투명 캐리어에 붙어있다. 각 홈은 서로에게 인접한 각 반도체 기판 부분들의 측벽을 포함한다. 각 반도체 기판 부분의 상기 전면은 제1 전도성 타입 도핑 층을 구비한다. 각 반도체 기판 부분은 상기 반도체 기판 부분의 소수 전하 캐리어들을 위한 제1 전기 접촉 및 상기 반도체 기판 부분의 다수 전하 캐리어들을 위한 제2 전기 접촉을 포함한다. 상기 제1 전기 접촉은 적어도 상기 반도체 기판 부분의 상기 후면 상에 제1 타입 이형구조 배열된다. 상기 제1 타입 이형접합은 상기 반도체 기판 부분 상의 진성 반도체 층 및 상기 진성 반도체 층의 상부 상의, 상기 제1 전도성 타입과 반대인 제2 전도성 타입 반도체 층을 포함한다.

대 표 도



Petitioner Runergy USA Inc., Ex. 1005, p. 411

특허청구의 범위

청구항 1

투명 캐리어, 전면과 후면 (a front surface and a rear surface)을 가지는 실리콘 반도체 기판 부분들 (portions)을 포함하고, 상기 전면은 복사 에너지를 포획 (capturing)하는데 사용되도록 배열되어 있고;

상기 실리콘 기판 부분들은 상기 투명 캐리어 상에 서로 인접하도록 배열되고 홈 (groove)에 의하여 서로로부터 분리되고, 각 반도체 기판 부분은 상기 전면 기판과 함께 상기 투명 캐리어에 붙어있고 (each semiconductor substrate portion being attached with the front surface to the transparent carrier), 각 홈은 서로에게 인접한 각 반도체 기판 부분들의 측벽 (side wall)을 포함하고;

상기 반도체 기판 부분들은 벌크 전도성 타입 (bulk conductivity type)이고;

각 반도체 기판 부분의 상기 전면은 제1 전도성 타입 도핑 층 (doped layer of a first conductivity type)을 구비하고;

각 반도체 기판 부분은 상기 반도체 기판 부분의 소수 전하 캐리어들 (minority charge carriers)을 위한 제1 전기 접촉 (first electric contact) 및 상기 반도체 기판 부분의 다수 전하 캐리어들 (majority charge carriers)을 위한 제2 전기 접촉 (second electric contact)을 포함하고;

상기 제1 전기 접촉은 적어도 상기 반도체 기판 부분의 상기 후면 상에 배열되고, 상기 제1 전기 접촉은 제1타입 이형구조 (heterostructure of a first type)이고, 상기 제1 타입 이형접합 (heterojunction of the first type)은 상기 반도체 기판 부분 상의 진성 반도체 층 및 상기 진성 반도체 층의 상부 상의 제2 전도성 타입 반도체 층을 포함하고, 상기 제2 전도성 타입은 상기 제1 전도성 타입과 반대 (being opposite to the first conductivity type)인 것인,

솔라 패널 모듈 (solar panel module).

청구항 2

제1항에 있어서,

상기 진성 반도체 물질 층은 비정질 실리콘을 포함하는 것인,

솔라 패널 (solar panel).

청구항 3

제1항 또는 제2항에 있어서,

상기 제2 전도성 타입 반도체 물질 층은, 상기 제2 전도성 타입이 되는, 하나 이상의 도펀트 종들을 포함하는 비정질 실리콘을 포함하는 것인,

솔라 패널.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 진성 반도체 층은 인접한 반도체 기판 부분들 사이의 상기 홈을 커버 (cover)하는 것인,

솔라 셀 (solar cell).

Petitioner Runergy USA Inc., Ex. 1005, p. 412

청구항 5

제4항에 있어서,

상기 제2 전도성 타입 상기 반도체 물질 층은 적어도 실질적으로 상기 후면을 커버하는 것인,

솔라 셀.

청구항 6

제5항에 있어서,

상기 제2 전도성 타입 상기 반도체 물질 층은 상기 제2 전기 접촉을 포함하지 않는 상기 반도체 기판 부분의 측벽을 커버하는 것인,

솔라 셀.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 반도체 기판 부분들의 상기 전면은 반사 방지 코팅 및 보호 층을 구비하는 것인,

솔라 셀.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 제1 전기 접촉은 저온 접합 형성 공정 (a low-temperature junction formation process)에 의하여 형성되는 접합 (junction)인 것인,

솔라 패널 모듈.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 제2 전기 접촉은, 상기 반도체 기판 부분의 일 측벽의 (in one side wall), 상기 제1 전도성 타입 고 도핑 접촉 영역 (a highly doped contact area of the first conductivity type)인 것인,

솔라 패널 모듈.

청구항 10

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 제2 전기 접촉은, 상기 제1 전기 접촉에 인접한 상기 반도체 기판 부분의 후면의 일 부분의 (in a portion of the rear surface of the semiconductor substrate portion adjacent to the first electric contact), 제1 전도성 타입 고 도핑 접촉 영역인 것인,

솔라 패널 모듈.

청구항 11

Petitioner Runergy USA Inc., Ex. 1005, p. 413

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 제2 전기 접촉은 제2 타입 이형접합 (a heterojunction of a second type)이고, 상기 제2 타입 이형접합은, 실질적으로 상기 반도체 기판 부분의 일 측벽 상에, 진성 반도체 층 및 제1 전도성 타입 반도체 층을 포함하는 것인,

솔라 패널 모듈.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

전도성 층은 각 반도체 기판 부분의 상기 후면 및 측벽들 상에 배열되고, 상기 각 반도체 기판 부분 상에, 상기 전도성 층은 상기 제1 전기 접촉의 위치와 상기 제2 전기 접촉의 위치 사이의 방해 요소 (an interrupting element)를 포함하는 것인,

솔라 패널 모듈.

청구항 13

제12항에 있어서,

상기 방해 요소는, 상기 전도성 층 내의 (in the conductive layer) 슬릿 (slit) 또는 상기 전도성 층 내의 절연체 스텝 요소 (isolator step element)인 것인,

솔라 패널 모듈.

청구항 14

제9항 또는 제10항에 종속하는 (as far as dependent on claim 9 or claim 10) 제12항 또는 제13항에 있어서,

상기 보호 층은 상기 고 도핑 접촉 영역 상에 배열된 것이고, 상기 보호 층은, 상기 전도성 층과의 연결을 위한 (for connection with the conductive layer) 상기 고 도핑 접촉 영역의 적어도 일 부분의 노출을 위한 (for exposure of at least a portion) 개구 (opening)을 갖는 것인,

솔라 패널 모듈.

청구항 15

제10항에 있어서,

상기 인접한 반도체 기판 부분들 사이의 홈은 절연 물질로 채워져 있는 것인,

솔라 패널 모듈.

청구항 16

제15항에 있어서,

상기 절연 물질은 솔라 패널의 솔라 셀을 인캡슐레이팅 (encapsulating)하기 위한 인캡슐레이팅 물질인 것인,

솔라 패널 모듈.

Petitioner Runergy USA Inc., Ex. 1005, p. 414

청구항 17

제10항 또는 제15항에 있어서,

인접한 반도체 기판 부분들 사이의 홈은 브리징 요소 (a bridging element)에 의하여 가교되는 (bridged) 것인,

솔라 패널 모듈.

청구항 18

제1항 내지 제17항 중 어느 한 항에 있어서,

상기 홈은, 상기 투명 캐리어로부터 상기 반도체 기판 부분들의 상기 후면 측으로 향하는 방향으로 가늘어지는 것인 (tapered in a direction from the transparent carrier towards the rear surface side of the semiconductor substrate portions),

솔라 패널.

청구항 19

제1항 내지 제18항 중 어느 한 항에 있어서,

상기 홈은 상기 후면에 수직하거나 또는 상기 반도체 기판 부분들의 상기 후면 측으로부터 상기 투명 캐리어 방향으로 가늘어지는 것인,

솔라 패널.

청구항 20

제1항 내지 제19항 중 어느 한 항에 있어서,

상기 벌크 전도성 타입 (the bulk conductivity type)은 상기 제1 전도인 것인,

솔라 패널 모듈.

청구항 21

제4항에 있어서,

상기 벌크 전도성 타입은 제2 전도성 타입이고, 상기 제2 전기 접촉은, 각 반도체 기판 부분의 전면의 제1 전도성 타입 도핑 층에 연결된 것인,

솔라 패널 모듈.

청구항 22

제18항 또는 제19항에 있어서,

상기 각 반도체 기판 부분들의 측벽들은 노출된 것인,

솔라 패널.

청구항 23

Petitioner Runergy USA Inc., Ex. 1005, p. 415

제18항 또는 제19항에 있어서,

상기 각 반도체 기판 부분들의 측벽들은 제1 전도성 타입 도핑 표면 층에 의하여 커버된 것인,

솔라 패널.

청구항 24

제23항에 있어서,

상기 각 반도체 기판 부분들의 측벽들 상의 도핑 표면 층은 보호 층에 의하여 커버된 것인,

솔라 패널.

청구항 25

제18항 또는 제19항에 있어서,

상기 각 반도체 기판 부분들의 측벽들은 보호 층에 의하여 커버된 것인,

솔라 패널.

청구항 26

제9항 또는 제10항에 있어서,

상기 제2 진기 접촉의 부분은, 진성 반도체 층 또는 보호 층에 의하여 커버되고, 진도성 층은 상기 진성 반도체 층 또는 상기 보호 층 각각의 개구를 통하여 (through an opening in the intrinsic semiconductor layer or the passivation layer, respectively) 상기 제2 전기 접촉의 나머지 부분에 접촉하는 것인,

솔라 패널.

청구항 27

제24항 내지 제26항 중 어느 한 항에 있어서,

상기 보호 층은 질화 실리콘, 산화 알루미늄 및 이산화 실리콘 (silicon dioxide) 또는 비정질 실리콘, 또는 보호 물질 층들의 적층 (stack) 또는 보호 물질들의 조합의 군으로부터 선택되는 보호 물질 (passivating material)을 포함하는 것인,

솔라 패널.

청구항 28

투명 캐리어, 각각 전면과 후면을 가지는 제1 (primary) 및 제2 반도체 기판 부분들을 포함하고, 상기 전면은 복사 에너지를 포획하는데 사용되도록 배열되어 있고; 상기 제1 (primary) 및 제2 반도체 기판 부분들은 상기 투명 캐리어 상에 서로 인접하도록 배열되고 홈에 의하여 분리되고, 각 제1 (primary) 및 제2 반도체 기판 부분은 상기 전면 기판과 함께 상기 투명 캐리어에 붙어있고, 각 홈은 서로에게 인접한 각 반도체 기판 부분들의 측벽을 포함하고; 상기 제1 (primary) 및 제2 반도체 기판 부분들은 제1 전도성 타입 벌크 전도성 타입이고; 각 제1 (primary) 및 제2 반도체 기판 부분의 상기 전면은 제1 전도성 타입 도핑 층을 구비하고; 상기 투명 캐리어 표면과 평행한 표면 방향을 따르는 제1 (primary) 반도체 기판 부분의 길이는 (a length of the primary semiconductor substrate portion along a surface direction parallel to the transparent carrier surface) 그 방향을 따르는 제2 반도체 기판 부분의 길이보다 상대적으로 더 길고,

Petitioner Runergy USA Inc., Ex. 1005, p. 416

각 제1 (primary) 반도체 기판 부분의 일측에 배치된 제1 홈 상에 (on a first groove disposed on one side of each primary semiconductor substrate portion), 제1 타입 이형접합은 배열되고, 진성 반도체 물질 층 및 제2 전도성 타입 반도체 물질 층의 적층을 포함하고 (a heterojunction of a first type is arranged which comprises a stack of an intrinsic semiconductor material layer and a semiconductor material layer of a second conductivity type), 상기 제2 전도성 타입은 상기 제1 전도성 타입과 반대이고; 각 제1 (primary) 반도체 기판 부분의 일측에 배치된 제2 홈 상에, 제2 타입 이형접합은 배열되고, 진성 반도체 물질 층 및 제1 전도성 타입 반도체 물질 층의 적층을 포함하고; 상기 제1 타입 상기 이형접합은 상기 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 둘 모두 상의 상기 제1 홈으로부터 연장되고; 상기 제2 타입 상기 이형접합은 상기 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 둘 모두 상의 상기 제2 홈으로부터 연장되고; 상기 제1 (primary) 반도체 기판 부분의 후면 상에 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은, 상기 제2 전도성 타입 상기 반도체 물질 층과 상기 제1 전도성 타입 상기 반도체 물질 층 사이에의 틈에 의하여 서로 격리되어 있는 것인 (isolated from each other by a gap in between the semiconductor material layer of the second conductivity type and the semiconductor material layer of the first conductivity type),

솔라 패널 모듈.

청구항 29

제28항에 있어서,

상기 제2 반도체 기판 부분의 후면 상에, 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은 서로 연결되어 있고; 상기 제2 전도성 타입 상기 반도체 물질 층 및 상기 제1 전도성 타입 상기 반도체 물질 층은 서로 인접한 (abutting) 것인,

솔라 패널 모듈.

청구항 30

적어도 하나의 반도체 기판은 벌크 전도성 타입을 가지는 상기 적어도 하나의 반도체 기판을 제공하는 단계; 상기 전면을 텍스처링하고, 사용 중, 복사 에너지를 포획하기 위한 상기 전면을 배열하기 위하여 상기 전면에 제1 진도성 타입 도핑 층을 제공하는 단계; 투명 캐리어를 제공하는 단계; 적어도 하나의 반도체 기판을 상기 투명 캐리어에 붙여서 상기 적어도 하나의 반도체 기판의 전면이 상기 투명 캐리어를 향하도록(facing) 하는 단계; 상기 적어도 하나의 반도체 기판을 반도체 기판 부분으로 나누는 단계; 각 반도체 기판 부분은 전면 및 후면을 가지고; 상기 반도체 기판 부분들은 상기 투명 캐리어 상 서로 접하도록 배열되고 홈에 의하여 서로 분리되고, 각 홈은 상기 각 인접한 반도체 기판 부분들의 측벽을 포함하고; 진성 반도체 물질 층을 상기 홈들의 측벽들 및 상기 후면 상에 증착하는 단계;

각 반도체 기판 부분에 소수 전하 캐리어들을 위한 제1 전기 접촉 및 반도체 기판 부분에 다수 전하 캐리어들을 위한 제2 전기 접촉을 형성하는 단계;를 포함하고, 상기 제1 전기 접촉은 각 반도체 기판 부분의 적어도 후면 상에 형성되고 상기 제1 전기 접촉은 제1 타입 이형접합을 포함하고, 상기 제1 타입 상기 이형접합은 상기 반도체 기판 부분 상의 진성 반도체 층 및 상기 진성 반도체 층의 상부 상의 제2 전도성 타입 반도체 층을 포함하고, 상기 진성 반도체 층을 상기 반도체 기판 부분 상에 증착하고 상기 제2 전도성 타입 상기 반도체 물질 층을 각 반도체 기판 부분의 적어도 후면 상의 상기 진성 반도체 층의 상부 상에 증착함으로써 상기 제2 전도성 타입은 상기 제1 진도성 타입에 반대이고, 상기 제2 진도성 타입은 상기 제1 진도성 타입에 반대인 것인,

솔라 패널 모듈의 제조방법.

청구항 31

제30항에 있어서,

상기 후면 및 상기 홈들에 전도성 층을 증착하는 단계; 각 반도체 기판 부분상에 접촉하는 상기 제1 전기 접촉

Petitioner Runergy USA Inc., Ex. 1005, p. 417

의 위치와 상기 제2 전기 접촉의 위치 사이의 전도성 층을 방해하기 위한 (for interrupting the conductive layer) 격리 공정 (isolation process)을 수행하는 단계;

를 더 포함하는 것인,

솔라 패널 모듈의 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 솔라 패널 모듈에 관한 것이다. 추가적으로, 본 발명은 그 솔라 패널 모듈의 제조방법에 관한 것이다.

배 경 기 술

[0002] 솔라 패널 모듈은 적재 프레임 (carrying frame) 및 적재 프레임에 의하여 지지되는 복수의 솔라 셀을 포함한다. 각 솔라 셀은 태양 등과 같은 복사원 (radiation source)로부터 복사 에너지를 포획할 수 있는 적어도 하나 이상의 수광 면 (light receiving surface)을 가지고, 복사 에너지를 전기 에너지로 전환할 수 있도록 구성되어 있다. 일반적으로, 솔라 패널 모듈의 적재 프레임은 마운팅 캐리어 (mounting carrier) 및 투명 캐리어 (transparent carrier)를 포함한다. 솔라 셀들은, 솔라 셀들의 수광 면이 투명 캐리어를 향하는 방향으로 마운팅 캐리어와 투명 캐리어 사이에 샌드위칭되거나 마운팅된다.

[0003] 투명 캐리어는 일반적으로 보호 층으로서 솔라 셀들의 수광 면들을 커버하는 호일 층 또는 유리 플레이트이다.

[0004] 각 솔라 셀은 적어도 하나의 제1 극성 전극 (an electrode of a first polarity)과, 반대의, 솔라 셀로부터 포획된 전기 에너지를 탭핑 (tapping)하도록 하는 제2 극성 반대 전극을 포함한다.

[0005] 종래기술로부터, 솔라 셀들을 전기적 직렬 연결 (in an electrical series connection)하는 것은 병렬로 연결된 솔라 셀들로부터 기인하는 오믹 손실을 방지함으로써 모듈의 효율을 향상시키는 고 전압 솔라 셀 배열을 형성하는 것으로 알려져 있다. 일반적으로 단일 실리콘 솔라 셀은 약 0 내지 0.7 볼트의 포텐셜을 형성한다.

[0006] 직렬 연결 솔라 셀들 (series-connected solar cells)의 일 컨셉은, 반도체 웨이퍼의 사용가능한 평면 영역 (usable planar surface area)을 증가시키는 반도체 웨이퍼 제조방법이 개시되어 있는 국제 출원 WO0245143으로부터 알려져 있다. 반도체 웨이퍼는 실질적 평면과 상기 실질적 평면에 직각인 두께 치수 (a thickness dimension at right angles to said substantially planar surface)를 가진다. 상기 방법은 복수의 스트립들로의 웨이퍼의 분리를 위한 스트립 두께의 선별하는 단계, 실질적 평면과 교차하도록 상기 스트립들로 웨이퍼를 절단하여, 상기 절단으로 제거된 웨이퍼의 폭과 스트립 두께의 결합이 웨이퍼의 두께보다 작게하기 위한 기법의 선별하는 단계, 선별된 기법을 사용하여 웨이퍼를 스트립들로 절단하는 단계 및 스트립들을 서로 분리하는 단계를 포함한다.

[0007] 웨이퍼를 스트립들로 절단한 후에, 스트립들은 가공된 웨이퍼에 여전히 고정되어 있다. 상기 고정된 형태에서 스트립들은 각 스트립들의 절단면들 (the cut surfaces) 상에 양면 솔라 셀 스트립들 (bifacial solar cell strips)을 형성하는 공정에 노출된다. 솔라 셀 스트립들은 상기 스트립들의 선택된 영역들 상의 금속 접촉들을 포함한다. 분리 이후에 상기 솔라 셀 스트립들은 서로의 옆에 배열되고 (arranged next to each other) 전기적으로 서로 연결된다. 마지막으로, 솔라 셀 스트립들은 솔라 패널 모듈을 형성하기 위하여 유리 시트들 사이에 배열된다.

[0008] 먼저 상기 스트립들을 분리하고, 다음에 서로에게 인접하도록 그들을 배열하고, 이어서 그들을 서로 연결하는 시퀀스 때문에, 종래 기술로부터 솔라 패널을 형성하기 위한 방법은 복잡하다.

[0009] 접촉들의 스크린프린팅은 일반적으로 낮은 가동 시간 (low uptime) 및 중요한 셀 파손을 수반하는 부담스러운 공정으로 알려져 있다. 그와 같이, 스크린프린팅은 반대로 향상된 처리량과 수율을 목표로 하는 개선된 제조 컨셉에 영향을 미친다.

Petitioner Runergy USA Inc., Ex. 1005, p. 418

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 종래 기술의 단점 중 하나 이상을 극복 또는 제거하는 고 전압 솔라 셀을 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명은, 투명 캐리어, 전면과 후면 (a front surface and a rear surface)을 가지는 실리콘 반도체 기판 부분들 (portions)을 포함하고, 상기 전면은 복사 에너지를 포획 (capturing)하는데 사용되도록 배열되어 있고;

[0012] 상기 실리콘 기판 부분들은 상기 투명 캐리어 상에 서로 인접하도록 배열되고 홈 (groove)에 의하여 서로로부터 분리되고, 각 반도체 기판 부분은 상기 전면 기판과 함께 상기 투명 캐리어에 붙어있고 (each semiconductor substrate portion being attached with the front surface to the transparent carrier), 각 홈은 서로에게 인접한 각 반도체 기판 부분들의 측벽 (side wall)을 포함하고;

[0013] 상기 반도체 기판 부분들은 벌크 전도성 타입 (bulk conductivity type)이고;

[0014] 각 반도체 기판 부분의 상기 전면은 제1 전도성 타입 도핑 층 (doped layer of a first conductivity type)을 구비하고;

[0015] 각 반도체 기판 부분은 상기 반도체 기판 부분의 소수 전하 캐리어들 (minority charge carriers)을 위한 제1 전기 접촉 (first electric contact) 및 상기 반도체 기판 부분의 다수 전하 캐리어들 (majority charge carriers)을 위한 제2 전기 접촉 (second electric contact)을 포함하고;

[0016] 상기 제1 전기 접촉은 적어도 상기 반도체 기판 부분의 상기 후면 상에 배열되고, 상기 제1 전기 접촉은 제1타입 이형구조 (heterostructure of a first type)이고, 상기 제1 타입 이형접합 (heterojunction of the first type)은 상기 반도체 기판 부분 상의 진성 반도체 층 및 상기 진성 반도체 층의 상부 상의 제2 전도성 타입 반도체 층을 포함하고, 상기 제2 전도성 타입은 상기 제1 전도성 타입과 반대 (being opposite to the first conductivity type)인 것인, 솔라 패널 모듈 (solar panel module)에 관한 것이다.

[0017] 유용하게, 솔라 패널 모듈의 배치 (layout)는, 중요한 비용적 이익이 되는 상호연결을 위한 사용되는 금속들의 양의 최소화 및 금속화에 수반되고 성능상 이익이 되는 오믹과 새도우 손실들 (ohmic and shadow losses)의 최소화에 의하여 고효율 저비용 생산을 가능하게 한다. 나아가, 본 발명은 금속화를 위한 은을 사용하지 않고, 이는 비용적 및 지속성 이익이 되고, 비효율적인 금속화 기법의 처리량 제한인 스크린프린팅을 사용하지 않고 솔라 패널들을 제조하게 할 수 있다 (Further, the present invention may allow to produce solar panels without the use of silver for metallization which is a cost and sustainability advantage and without screenprinting as a inefficient, throughput limiting metallization technology.) 더욱이, 본 발명은 대면적 (패널 면적 대 웨이퍼 면적 (panel area versus wafer area)) 상에서 고 처리량으로 결정화 실리콘 솔라 패널 모듈을 제조하도록 할 수 있다. 또한, 본 발명은, 제한된 핸들링 및 열적 버짓 (budget) 제한된 고온 공정, 스트레스 최소화 때문에 얇은 결정화 실리콘 웨이퍼의 사용을 가능하게 할 수 있고, 이는 비용적 이익이다. 고효율 및 우수한 표면 보호를 위한 후면전극 (back-contact) 이형접합의 사용은 박형 웨이퍼들 및 저온 제조 공정의 사용을 더욱 가능하게 한다.

[0018] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 진성 반도체 물질 층은 비정질 실리콘을 포함한다.

[0019] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전도성 타입 반도체 물질 층은, 상기 제2 전도성 타입이 되는, 하나 이상의 도펀트 종들을 포함하는 비정질 실리콘을 포함하는 것이다.

[0020] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 진성 반도체 층은 인접한 반도체 기판 부분들 사이의 상기 홈을 커버 (cover)하는 것이다.

[0021] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전도성 타입 상기 반도체 물질 층은 적어도 실질적으로 상기 후면을 커버하는 것이다.

[0022] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전도성 타입 상기 반도체 물

Petitioner Runergy USA Inc., Ex. 1005, p. 419

질 층은 상기 제2 전기 접촉을 포함하지 않는 상기 반도체 기판 부분의 측벽을 커버하는 것이다.

[0023] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 반도체 기판 부분들의 상기 전면은 반사 방지 코팅 및 보호 층을 구비하는 것이다.

[0024] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제1 전기 접촉은 저온 접합 형성 공정 (low-temperature junction formation process)에 의하여 형성되는 접합 (junction)인 것이다.

[0025] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전기 접촉은, 상기 반도체 기판 부분의 일 측벽의 (in one side wall), 상기 제1 전도성 타입 고 도핑 접촉 영역 (highly doped contact area of the first conductivity type)인 것이다.

[0026] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전기 접촉은, 상기 제1 전기 접촉에 인접한 상기 반도체 기판 부분의 후면의 일 부분의 (in a portion of the rear surface of the semiconductor substrate portion adjacent to the first electric contact), 제1 전도성 타입 고 도핑 접촉 영역인 것이다.

[0027] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전기 접촉은 제2 타입 이형 접합 (a heterojunction of a second type)이고, 상기 제2 타입 이형접합은, 실질적으로 상기 반도체 기판 부분의 일 측벽 상에, 진성 반도체 층 및 제1 진도성 타입 반도체 층을 포함하는 것이다.

[0028] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 전도성 층은 각 반도체 기판 부분의 상기 후면 및 측벽들 상에 배열되고, 상기 각 반도체 기판 부분 상에, 상기 전도성 층은 상기 제1 전기 접촉의 위치와 상기 제2 전기 접촉의 위치 사이의 방해 요소 (interrupting element)를 포함하는 것이다.

[0029] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 방해 요소는, 상기 전도성 층 내의 (in the conductive layer) 슬릿 (slit) 또는 상기 전도성 층 내의 절연체 스텝 요소 (isolator step element)인 것이다.

[0030] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 보호 층은 상기 고 도핑 접촉 영역 상에 배열된 것이고, 상기 보호 층은, 상기 전도성 층과의 연결을 위한 (for connection with the conductive layer) 상기 고 도핑 접촉 영역의 적어도 일 부분의 노출을 위한 (for exposure of at least a portion) 개구 (opening)을 갖는 것이다.

[0031] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 인접한 반도체 기판 부분들 사이의 홈은 절연 물질로 채워져 있는 것이다.

[0032] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 절연 물질은 솔라 패널의 솔라 셀을 인캡슐레이팅 (encapsulating)하기 위한 인캡슐레이팅 물질인 것이다.

[0033] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 인접한 반도체 기판 부분들 사이의 홈은 브리징 요소 (bridging element)에 의하여 가교되는 (bridged) 것이다.

[0034] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 홈은, 상기 투명 캐리어로부터 상기 반도체 기판 부분들의 상기 후면 측으로 향하는 방향으로 가늘어지는 (경사진) (tapered in a direction from the transparent carrier towards the rear surface side of the semiconductor substrate portions) 것이다.

[0035] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 홈은 상기 후면에 수직하거나 또는 상기 반도체 기판 부분들의 상기 후면 측으로부터 상기 투명 캐리어 방향으로 가늘어지는 (경사지는) 것이다.

[0036] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 벌크 전도성 타입 (bulk conductivity type)은 상기 제1 전도성 타입인 것이다.

[0037] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 벌크 전도성 타입은 제2 전도성 타입이고, 상기 제2 전기 접촉은, 각 반도체 기판 부분의 전면의 제1 전도성 타입 도핑 층에 연결된 것이다.

[0038] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 각 반도체 기판 부분들의 측벽들은 노출된 것이다.

Petitioner Runergy USA Inc., Ex. 1005, p. 420

[0039] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 각 반도체 기판 부분들의 측벽들은 제1 전도성 타입 도핑 표면 층에 의하여 커버된 것이다.

[0040] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 각 반도체 기판 부분들의 측벽들 상의 도핑 표면 층은 보호 층에 의하여 커버된 것이다.

[0041] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 각 반도체 기판 부분들의 측벽들은 보호 층에 의하여 커버된 것이다.

[0042] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 전기 접촉의 일 부분은, 진성 반도체 층 또는 보호 층에 의하여 커버되고, 전도성 층은 상기 진성 반도체 층 또는 상기 보호 층 각각의 개구를 통하여 (through an opening in the intrinsic semiconductor layer or the passivation layer, respectively) 상기 제2 전기 집촉의 나머지 부분에 집촉하는 것이다.

[0043] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 보호 층은 질화 실리콘, 산화 알루미늄 및 이산화 실리콘 (silicon dioxide) 또는 비정질 실리콘, 또는 보호 물질 층들의 적층 (stack) 또는 보호 물질들의 조합의 군으로부터 선택되는 보호 물질 (passivating material)을 포함하는 것이다.

[0044] 나아가, 본 발명은, 투명 캐리어, 각각 전면과 후면을 가지는 제1 (primary) 및 제2 반도체 기판 부분들을 포함하고, 상기 전면은 복사 에너지를 포획하는데 사용되도록 배열되어 있고; 상기 제1 (primary) 및 제2 반도체 기판 부분들은 상기 투명 캐리어 상에 서로 인접하도록 배열되고 홈에 의하여 분리되고, 각 제1 (primary) 및 제2 반도체 기판 부분은 상기 전면 기판과 함께 상기 투명 캐리어에 붙어있고, 각 홈은 서로에게 인접한 각 반도체 기판 부분들의 측벽을 포함하고; 상기 제1 (primary) 및 제2 반도체 기판 부분들은 제1 전도성 타입 벌크 전도성 타입이고; 각 제1 (primary) 및 제2 반도체 기판 부분의 상기 전면은 제1 전도성 타입 도핑 층을 구비하고; 상기 투명 캐리어 표면과 평행한 표면 방향을 따르는 제1 (primary) 반도체 기판 부분의 길이는 (a length of the primary semiconductor substrate portion along a surface direction parallel to the transparent carrier surface) 그 방향을 따르는 제2 반도체 기판 부분의 길이보다 상대적으로 더 길고, 각 제1 (primary) 반도체 기판 부분의 일측에 배치된 제1 홈 상에 (on a first groove disposed on one side of each primary semiconductor substrate portion), 제1 타입 이형접합은 배열되고, 진성 반도체 물질 층 및 제2 전도성 타입 반도체 물질 층의 적층을 포함하고 (a heterojunction of a first type is arranged which comprises a stack of an intrinsic semiconductor material layer and a semiconductor material layer of a second conductivity type), 상기 제2 전도성 타입은 상기 제1 전도성 타입과 반대이고; 각 제1 (primary) 반도체 기판 부분의 일측에 배치된 제2 홈 상에, 제2 타입 이형접합은 배열되고, 진성 반도체 물질 층 및 제1 전도성 타입 반도체 물질 층의 적층을 포함하고; 상기 제1 타입 상기 이형접합은 상기 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 둘 모두 상의 상기 제1 홈으로부터 연장되고; 상기 제2 타입 상기 이형접합은 상기 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 둘 모두 상의 상기 제2 홈으로부터 연장되고; 상기 제1 (primary) 반도체 기판 부분의 후면 상에 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은, 상기 제2 전도성 다입 상기 반도체 물질 층과 상기 제1 전도성 다입 상기 반도체 물질 층 사이에의 틈에 의하여 서로 격리되어 있는 것인 (isolated from each other by a gap in between the semiconductor material layer of the second conductivity type and the semiconductor material layer of the first conductivity type), 솔라 패널 모듈에 관한 것이다.

[0045] 일 구현예에 따르면, 본 발명은 상술된 솔라 패널 모듈에 관한 것으로서, 상기 제2 반도체 기판 부분의 후면 상에, 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은 서로 연결되어 있고; 상기 제2 전도성 타입 상기 반도체 물질 층 및 상기 제1 전도성 타입 상기 반도체 물질 층은 서로 인접한 (abutting) 것이다.

[0046] 나아가, 본 발명은, 적어도 하나의 반도체 기판은 벌크 전도성 타입을 가지는 상기 적어도 하나의 반도체 기판을 제공하는 단계; 상기 전면을 텍스처링하고, 사용 중, 복사 에너지를 포획하기 위한 상기 전면을 배열하기 위하여 상기 전면에 제1 전도성 타입 도핑 층을 제공하는 단계; 투명 캐리어를 제공하는 단계; 적어도 하나의 반도체 기판을 상기 투명 캐리어에 붙여서 상기 적어도 하나의 반도체 기판의 전면이 상기 투명 캐리어를 향하도록(facing) 하는 단계; 상기 적어도 하나의 반도체 기판을 반도체 기판 부분으로 나누는 단계; 각 반도체 기판 부분은 전면 및 후면을 가지고; 상기 반도체 기판 부분들은 상기 투명 캐리어 상 서로 접하도록 배열되고 홈에 의하여 서로 분리되고, 각 홈은 상기 각 인접한 반도체 기판 부분들의 측벽을 포함하고; 진성 반도체 물질 층을 상기 홈들의 측벽들 및 상기 후면 상에 증착하는 단계;

Petitioner Runergy USA Inc., Ex. 1005, p. 421

[0047] 각 반도체 기판 부분에 소수 전하 캐리어들을 위한 제1 전기 접촉 및 반도체 기판 부분에 다수 전하 캐리어들을 위한 제2 전기 접촉을 형성하는 단계;를 포함하고, 상기 제1 전기 접촉은 각 반도체 기판 부분의 적어도 후면 상에 형성되고 상기 제1 전기 접촉은 제1 타입 이형접합을 포함하고, 상기 제1 타입 상기 이형접합은 상기 반도체 기판 부분 상의 진성 반도체 층 및 상기 진성 반도체 층의 상부 상의 제2 전도성 타입 반도체 층을 포함하고, 상기 진성 반도체 층을 상기 반도체 기판 부분 상에 증착하고 상기 제2 전도성 타입 상기 반도체 물질 층을 각 반도체 기판 부분의 적어도 후면 상의 상기 진성 반도체 층의 상부 상에 증착함으로써 상기 제2 전도성 타입은 상기 제1 전도성 타입에 반대이고, 상기 제2 전도성 타입은 상기 제1 전도성 타입에 반대인 것인, 솔라 패널 모듈의 제조방법에 관한 것이다.

[0048] 유용하게, 상기 홀들은 분리된 인접한 반도체 기판 부분들로 상기 실리콘 웨이퍼를 나눈다. 상기 투명 캐리어에 그것을 붙인 후 상기 웨이퍼를 커팅함으로써, 상기 반도체 기판 부분들의 배열이 분리된 자유 반도체 스트립들의 임의의 핸들링 없이 쉽게 획득된다.

[0049] 일 구현예에 따르면, 본 발명은 상술된 방법에 관한 것으로서, 상기 후면 및 상기 홀들에 전도성 층을 증착하는 단계; 각 반도체 기판 부분상에 접촉하는 상기 제1 전기 접촉의 위치와 상기 제2 전기 접촉의 위치 사이의 전도성 층을 방해하기 위한 (for interrupting the conductive layer) 격리 공정 (isolation process)을 수행하는 단계;를 더 포함한다.

[0050] 유용한 구현예들은 종속항들에 의해 더 정의된다.

[0051] 이하, 본 발명은 단지 설명의 목적을 위해 고안된 몇몇 도면들과 관련하여 설명될 것이고, 첨부된 청구항들에서 정의된 것처럼 보호의 범위를 제한하지 않는다.

도면의 간단한 설명

[0052] 도 1은 본 발명에 따른 솔라 패널 모듈을 제조하는 방법에 대한 순서도를 나타낸다.

도 2는 제1 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

도 3a 내지 도 3c는 제1 구현예에 따른 솔라 패널 모듈의 추가적인 예들의 단면을 나타낸다.

도 4는 제2 구현예에 따른 솔라 패널 모듈의 단면도를 나타낸다.

도 5a 및 도 5b는 제2 구현예에 따른 솔라 패널 모듈의 추가적인 예들의 단면을 나타낸다.

도 6은 제 3 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

도 7a 및 도 7b는 제 3 구현예에 따른 솔라 패널 모듈의 추가적인 예들의 단면을 나타낸다.

도 8은 제 4 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

도 9는 제 5 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

도 10a 내지 도 10c는 추가적인 실시예에 따른 솔라 패널 모듈의 단면을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0053] 아래 도시된 도면들에서, 동일한 참조번호는 동일한 또는 비슷한 요소들 (elements)을 언급한다.

[0054] 도 1은 본 발명에 따른 솔라 패널 모듈을 제조하는 방법에 대한 순서도를 나타낸다.

[0055] 본 발명에 따른 솔라 셀 모듈을 제조하기 위한 처리 공정 스킴(100)은 일련의 공정들을 포함한다.

[0056] 초기 공정(102)에서, 결정화 실리콘을 포함하는 반도체 웨이퍼가 제공된다. 상기 실리콘 웨이퍼는 불순물 종들을 가진 상기 실리콘의 의도적 도핑 때문에 제1 전도성 타입의 벌크 전도도를 가지고 있다. 예를 들어, 상기 제1 진도성 타입은 인 (phosphor), 안티몬 (antimony) 또는 비소 (arsenic)와 같은 도너 불순물로 상기 실리콘 결정화 매트릭스를 도핑하기 때문에 n-타입이다.

[0057] 상기 실리콘 웨이퍼는 전면 및 후면을 가진다. 상기 전면은 태양과 같은 복사원 (radiation source)으로부터의 빛을 포획 (capturing)하기 위한 표면의 역할을 할 것이다.

Petitioner Runergy USA Inc., Ex. 1005, p. 422

[0058] 상기 전면은, 상기 빛 포획 효율을 향상하기 위해 예를 들어, 텍스처링 (texturing)에 의해 처리된다. 텍스처링은 상기 전면의 식각 공정을 포함할 수 있다.

[0059] 다음 공정(104)에서, 상기 제1 전도성 타입 고 도핑 층은 실리콘 웨이퍼의 텍스처링된 전면에 형성된다. 상기 고 도핑 층은 다수 전하 캐리어들 (n-타입 벌크 전도성의 예로서, 상기 다수 전하 캐리어는 전자들이다)의 수평적 전도성 (lateral conductivity)을 향상하고 표면 보호를 향상하기 위해 전면 전계 층으로서 역할을 할 것이다. 용어 "수평적 전도성"은 상기 실리콘 웨이퍼의 텍스처링된 전면을 따라 상기 전하 캐리어의 전도 (conduction)로서 정의된다.

[0060] 추가적으로, 상기 반도체 웨이퍼의 전면은 당업계로부터 알려진 방식으로, 반사 방지 코팅 및 보호 층이 제공된다.

[0061] 다음 공정(106)에서, 투명 캐리어 (예를 들어, 유리 플레이트 또는 호일 층)가 제공되고 상기 실리콘 웨이퍼의 전면은 상기 투명 캐리어의 표면에 부착된다. 일 구현예에 있어서, 상기 실리콘 웨이퍼의 전면은 인캡슐레이션 층 (encapsulant layer)에 의해 상기 투명 캐리어에 부착된다. 상기 인캡슐레이션 층은 실리콘 또는 세라믹 물질 또는 (저온) 유리-프릿 물질 (glass-frit material)을 포함하는 폴리머 물질을 포함할 수 있다. 다른 구현예에 있어서, 상기 실리콘 웨이퍼의 전면은 상기 투명 층에 직접적으로 부착된다.

[0062] 다음에, 다음 공정(108)에서, 상기 실리콘 웨이퍼는 홈들을 형성함으로써 다수의 기판 부분들로 나눠진다. 상기 홈들은 절단 공구 (cutting tool)에 의해 기계적으로 또는 레이저 빔에 의해 광학적으로 절단될 수 있다. 또한, 리소그래피 공정 (마스킹 및 에칭을 이용한) 또는 플라즈마 에칭은 상기 홈들을 생성하기 위해 가능할 수 있다.

[0063] 상기 홈들은 분리된 인접한 반도체 기판 부분들로 상기 실리콘 웨이퍼를 나눈다. 홈들은 넓거나 좁을지도 모른다. 또한, 홈들은 경사 측벽들 (가늘어지는 측벽들)(tapered side walls) 또는 상기 기판의 전면에 실질적으로 수직인 측벽들을 가질 수 있다.

[0064] 일 구현예에 있어서, 상기 반도체 기판 부분들은 상기 투명 캐리어에 부착된 직사각형 베이스 면 (rectangular base plane)을 가진다.

[0065] 상기 투명 캐리어에 그것을 붙인 후 웨이퍼를 절단함으로써, 상기 반도체 기판 부분들의 배열은 분리된 자유 반도체 스트립들의 임의의 핸들링 (handling) 없이 쉽게 획득된다.

[0066] 상기 홈들의 테이퍼링 (tapering)은 통상의 지식을 가진 자에 의해 이해될 것처럼 절단 공정에 의해 제어될 수 있다.

[0067] 후속 공정(110)에서, 진성 반도체 물질 층은 상기 반도체 기판 부분들의 후면 및 상기 홈들의 측벽들에 증착된다. 이 증착 단계는 상기 진성 반도체 물질 층의 제2 전도성 타입 반도체 물질 층의 증착으로 이어진다. 상기 제2 전도성 타입 반도체 물질은 각각의 반도체 기판 부분의 실질적으로 후면에 국부적으로 (to be localized) 패턴화 (마스킹 또는 식각 기술에 의해)된다. 상기 제2 전도성 타입은 제1 전도성 타입과 반대이다. 상기 제1 전도성 타입이 n-타입인 상기 예에서, 상기 제2 전도성 타입은 p-타입이다.

[0068] 상기 진성 반도체 물질 층은 비정질 실리콘을 포함할 수 있다.

[0069] 상기 제2 전도성 타입 반도체 물질 층은 상기 제2 전도성 타입의 하나 이상의 도펀트 종들을 포함하는 비정질 실리콘을 포함할 수 있다.

[0070] 이 방식으로, 제1 타입의 이형접합은 제1 전기 접촉으로서 각 반도체 기판 부분의 실질적으로 후면에 형성된다.

[0071] 다음에, 각 반도체 기판 부분에 제2 전기 접촉이 형성된다.

[0072] 본 발명에 따르면, 상기 제1 전기 접촉은 실질적으로 후면에 위치하는 상기 제1 타입의 이형접합에 의해 정의된다. 제1 구현예에 있어서, 상기 제2 전기 접촉은 상기 반도체 기판 부분의 측벽들 중 하나 내 또는 상에 (in or on) 위치된 고 도핑 접촉이다. 제2 구현예에 있어서, 상기 제2 전기 접촉은 상기 제1 전기 접촉에 인접한 상기 후면의 일 부분 내 또는 상에 위치된 고 도핑 접촉이다. 제3 구현예에 있어서, 상기 제2 전기 접촉은 상기 반도체 기판 부분의 상기 측벽들 중 하나 내 또는 상에 위치된 제2 타입의 제2 이형접합 접촉으로서 형성된다.

[0073] 다음 공정(112)에서, 전도층은 상기 후면에 증착된다.

Petitioner Runergy USA Inc., Ex. 1005, p. 423

[0074] 추가적으로, 격리 공정(isolation process, 114)은 상기 반도체 기판 부분 상에 상기 제1 전기 접촉의 위치와 상기 제2 전기 접촉의 위치 사이의 전도성 층을 방해하기 위해 (for interrupting the conductive layer) 수행된다.

[0075] 다음, 추가적인 공정들 (미도시)은 상기 솔라 패널 모듈의 구조를 완료하기 위해 실시될 수 있다.

[0076] 상기 공정의 순서는 본 발명에 따라 필수적이 아닌 다른 중간 공정들을 포함할 수 있다. 또한, 통상의 지식을 가진 자는 기술된 공정들의 순서가 상술한 바와 같은 순서들로 다를 수 있다는 것을 알 것이다.

[0077] 상기 투명 캐리어가 호일 층인 경우에, 상기 캐리어는 플렉시블 (flexible)하고 상기 반도체 기판 부분들은 상기 반도체 웨이퍼의 절단 또는 제어된 파손 (controlled breakage)에 의해 형성될 수 있다.

[0078] 상기 투명 캐리어가 반도체 기판 부분들 안으로 나눠지는 하나 이상의 반도체 기판을 운반할 수 있는 것이 이해될 것이다. 본 방법은 부분들로 나뉘진 하나의 기판을 홀딩하는 솔라 패널 모듈에 제한되지 않는다 (The method is not limited to solar panel module that holds one substrate divided in portions).

[0079] 더욱이, 상기 공정의 초기 단계에서 상기 투명 캐리어에 대한 반도체 기판의 부착은 그 때로부터 (as from that moment) 저온 공정을 사용하도록 허용한다. 이형 구조들을 형성하는 대신에 선택적 저온 접합 형성 공정은 상기 반도체 기판 부분들의 후면에서 접합들을 형성하기 위한 레이저 빔 보조 도핑 공정 (laser beam assisted doping process)인 전체 영역 레이저 스캐닝 (full area laser scanning)과 같이 사용될 수 있다. 접합 형성이 레이저 스폿 히팅 (laser spot heating)에 의해 발생한 좁은 영역 때문에, 전체 솔라 셀의 온도에 대한 이 공정의 전체적인 열적 버짓 (thermal budget)은 낮다.

[0080] 아래, 상술한 바와 같이 공정 흐름 다음 도 2 내지 도 9를 참조하여 더 자세하게 기술된다.

[0081] 상기 도면들에 도시된 바와 같은 동일한 참조 번호를 가지는 도 2 내지 도 9의 개체들 (entities)은 상응하는 개체들을 언급한다. 이러한 개체들 소개의 상세한 설명은 전술의 도면들과 그들의 설명으로 한다.

[0082] 도 2는 제1 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

[0083] 상술한 바와 같이 본 방법에 따라서 제조된 솔라 패널 모듈(M)은 투명 캐리어(1) (유리 플레이트 또는 유리층 또는 호일층) 및 반도체 기판 부분들(3a, 3b, 3c)을 포함한다. 상기 반도체 기판 부분들(3a-3c)은, 인캡슐레이션 층(2)에 의해 상기 투명 캐리어(1)로 부착되고 그 뒤에 부분들 안으로 절단되는 제1 전도성 타입 (예를 들어, n-타입) 반도체 기판으로부터 형성된다. 상기 반도체 기판 부분들은 절단 홈들(G)에 의해 분리되고, 각각은 상기 홈들(G)에 의해 정의된 바와 같이 전면(F), 후면(R) 및 측벽들(W)을 포함한다. 각 반도체 기판 부분은 복사 에너지를 받기 위해 배열된 전면 층(4)을 포함하며, 전면은 또한 제1 전도성 타입의 가볍게 도핑된 전면 전계 층을 포함한다 (Each semiconductor substrate portion comprises a front surface layer 4 arranged for receiving radiation energy, which front surface comprises a lightly doped front surface field layer also of the first conductivity type). 통상의 지식을 가진 자에 의해 이해될 것처럼, 상기 전면 층(4)의 도펀트 레벨은 상기 실리콘 웨이퍼 벌크의 도펀트 레벨과 비교하여 상대적으로 높지만, 솔라 셀의 에미터의 일반적 도펀트 레벨과 비교하여 상대적으로 낮다. 실제로, 상기 전면 층 내의 도펀트 레벨은 상기 표면을 따라 컨덕턴스를 향상하도록 설계되고, 반면에 전하 캐리어들의 재결합 (recombination)은 매우 낮은 레벨 (즉, 가상적으로 존재하지 않는(virtually nil))에서 유지된다.

[0084] n-타입의 전면 층은 상기 전면 상에 포스퍼-실리케이트 층(phosphor-silicate layer)의 증착에 의해 형성되었고, 그 다음에 상기 전면 층 형성을 위한 도펀트 소스로서 작용하는 동안 상기 포스퍼-실리케이트 층을 어닐링하고, 마지막으로 상기 전면으로부터 상기 포스퍼-실리케이트 층을 제거한다.

[0085] 제1 구현예에 있어서, 상기 전면(F)에 평행한 후면(R)은, 소수 전하 캐리어들을 위한 제1 전기 접촉으로서 제1 도전성 타입과 반대인 제2 전도성 타입의 도핑 반도체 물질 층(7) 및 진성 반도체 물질 층(5)을 포함하는 제1 타입 이형접합 접촉(5, 7)을 포함한다. 상기 제1 전기 접촉은 적어도 실질적으로 상기 후면을 커버링한다. 다수 전하 캐리어들을 위한 고 도핑된 접촉 면적(6)을 포함하는 제2 전기 접촉은 상기 반도체 기판 부분의 측벽들(W) 중 하나 상에 위치한다. 상기 제2 전기 접촉 도핀트는 상기 반도체 기판 부분 빌크의 전도성 타입과 비슷한 제1 도전성 타입을 가진다.

[0086] 상기 제2 전기 접촉(6)은 상기 전면 전계 층(4)으로의 연결 (connection)을 위한 필요 없이 한 측벽(W)에서 분리되어 배열된다.

Petitioner Runergy USA Inc., Ex. 1005, p. 424

[0087] 추가적으로, 상기 제1 전기 접촉은 상기 제2 전기 접촉을 포함하는 상기 측벽 반대편의 상기 측벽(W)을 커버할 수 있다.

[0088] 상기 진성 반도체 층(5)은 인접한 반도체 기판 부분들 사이의 상기 홈들(G)을 커버할 수 있다. 상기 제2 전도성 타입 반도체 물질 층(7)은 일반적으로 적어도 실질적으로 후면을 커버한다. 추가적으로, 상기 제2 전도성 타입 반도체 물질 층(7)은 상기 제2 전기 접촉(6)을 포함하지 않는 측벽(W)을 커버할 수 있다. 상기 제2 전도성 타입 반도체 물질 층(7)은 인접한 반도체 기판 부분들 사이의 홈들을 커버하지 않는다.

[0089] 통상의 지식을 가진 자는 상기 제2 전도성 타입 반도체 물질 층(7)이 마스킹 및/또는 에칭을 포함하는, 적절한 리소그래피 공정 (lithographical process)에 의해 요구되는 것처럼 형성화/패턴화될 수 있다는 것을 이해할 것이다.

[0090] 상기 제2 전도성 타입의 진성 반도체 물질 층(5) 및/또는 상기 반도체 물질 층(7), 및 제2 전기 집촉(6)의 상부에, 전도성 층(8)이 위치한다. 상기 전도성 층(8)은 하나의 반도체 기판 부분(3a)의 제1 전기 접촉 및 상기 하나의 반도체 기판 부분(3a)에 인접하여 위치된 인접한 반도체 기판 부분(3b)의 제2 전기 섭촉을 연결하기 위해 배열될 수 있다.

[0091] 상기 전도성 층은 금속 층 (예를 들어, 알루미늄 및/또는 은) 및/또는 투명 전도성 산화물 층 (인듐-주석 산화물 또는 산화 아연과 같은)을 포함할 수 있다.

[0092] 각 반도체 기판 부분(3a, 3b, 3c) 상에 전도성 층(8)은 방해 요소(interrupting element, 9)에 의해 제2 전기 접촉(6)의 위치 및 제1 전기 접촉(5, 7)의 위치 사이를 방해한다. 상기 진성 반도체 물질 층(5)은 상기 방해 요소(9)에 의해 방해될 수도 있고 방해되지 않을 수도 있다.

[0093] 이 방식으로 솔라 셀로서 각 배열된 인접한 반도체 기판 부분들을 연결시킴으로써, 솔라 셀들의 직렬 연결 (series connection)은 고 전압 솔라 패널 모듈을 획득하기 위해 제공된다. 상기 방해 요소(9)는 슬릿 (또는 틈) 및 분리 요소 (isolation element) 중 하나일 수 있다. 상기 분리 요소는 일반적으로 절연성 (또는 유전성) 물질을 포함한다.

[0094] 일 예에 있어서, 솔라 셀 모듈은 다음 크기를 가질 수 있다. 상기 투명 캐리어의 두께는 약 3과 약 4 밀리미터 사이에 있을 수 있다. 상기 반도체 기판과 그것의 부분들의 두께는 약 50과 약 200 미크론 사이에 있을 수 있다. 상기 반도체 기판 부분들의 폭은 약 1000과 약 5000 미크론 사이에 있을 수 있다.

[0095] 도 3a 내지 도 3c는 제1 구현예에 따른 솔라 패널 모듈의 추가적인 예들의 단면을 나타낸다.

[0096] 도 3a에서, 상기 방해 요소(9)는 상기 제2 전기 접촉(6) 및 후면을 홀드하는 상기 측벽 사이의 모서리에 위치된다. 이 방식으로 상기 제2 전기 접촉은 또 상기 전면 전계 층(4) 및/또는 후면(R)을 가지는 최소 공간(10)으로 상기 측벽의 대부분을 커버하기 위해 치수화 (dimensioned)될 수 있다.

[0097] 상기 측벽의 최대 영역에 제2 전기 집촉을 치수화함으로써, 적은 정확도는 제조 공정을 위해 요구된다. 또한, 그것은 상기 금속 층의 접촉 저항 (contacting resistance)을 최적화하는 것이 더 쉽게 된다.

[0098] 도 3b에서 상기 방해 요소(9)는 상기 제2 전기 접촉(6)을 홀드하는 측벽과 후면(R) 사이의 모서리에 배치되고, 동일한 반도체 기판 부분 상에 상기 제1 전기 접촉과 접촉한 상기 전도성 층으로부터 상기 제2 전기 접촉과 접촉한 상기 전도성 층(8)을 격리시키기 위한 절연 물질을 포함한다. 이 구현예에서, 상기 절연 요소(9)는 상기 전도성 층(8)의 증착 전에 (마스킹 및 증착에 의해 또는 증착 및 패터닝에 의해) 형성된다. 상기 절연 요소(9)의 상부에서 상기 전도성 층(8)의 분리된 (가교되지 않은 (non-bridging)) 부분이 존재할지도 모른다.

[0099] 도 3c에서, 상기 진성 반도체 물질 층(5)은 상기 제2 전기 접촉(6) 위로 부분적으로 확장하기 위해 증착되고, 상기 진성 반도체 물질 층은 적어도 상기 제2 전기 접촉(6) 부분 위로 개구 (opening) 또는 틈(11)을 가진다. 상기 전도성 층(8)은 진성 반도체 물질 층(5) 내에 개구(11)를 통하여 상기 제2 전기 접촉(6)과 접촉하기 위해 배열된다. 유용하게, 이 구현예는 상기 제2 전기 접촉, 즉, 다수 전하 캐리어 접촉을 위한 향상된 보호를 허용한다.

[0100] 도 4는 제2 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

[0101] 본원에 도시된 구현예에 있어서, 상기 제2 전기 접촉(6)은 상기 제1 전기 접촉(5, 7)에 인접한 상기 후면의 일부분 상에 위치하고, 반면에 상기 방해 요소(9)는 상기 제1 및 제2 전기 접촉들 사이에 위치한다. 도 3c에 논의되고 도시된 것처럼, 상기 제2 전기 접촉(6)은 상기 제2 전기 접촉(6)의 일 부분 위로 틈(11)을 가진 진성 반

Petitioner Runergy USA Inc., Ex. 1005, p. 425

도체 물질 층(5)에 의해 커버된다. 유용하게, 이 구현예에서, 상기 제2 전기 접촉의 보호는 향상된다.

[0102] 도 5a 및 도 5b는 제2 구현예에 따른 솔라 패널 모듈의 추가적인 예시들의 단면을 나타낸다.

[0103] 도 5a 및 도 5b에서, 인접한 반도체 기판 부분들 사이의 홈들(G)은 상대적으로 좁으며, 하나의 반도체 기판 부분에서 다음으로 각 홈에 가교되는 브리징 층들 (bridging layers)을 생성하도록 허용한다. 상기 브리징 층들의 형성은 통상의 지식을 가진 자에 의해 이해될 것처럼 다양한 방식들로 이루어질 수 있다.

[0104] 도 5a는 상기 반도체 기판 부분들의 후면(R) 상에 둘 다 위치한 제1 전기 및 제2 전기 접촉을 포함하는 도 4의 그것과 비슷한 구성을 나타낸다. 상기 전도성 층(8)은 가교 요소(BR)의 수단들 (means)에 의하여 상기 홈들(G)에 브리징하기 위해 배열된다.

[0105] 도 5b는 도 5a의 그것과 비슷한 구성을 나타내지만, 여기에서 각 홈 내에 분리된 브리징 요소(BR2)는 상기 홈(G)을 가로질러 상기 전도층을 운반하기 위해 형성된다.

[0106] 각 홈을 가로질러 브리지를 제공함으로써, 상기 제2 전도성 타입의 상기 진성 반도체 물질 층(5) 및 상기 반도체 물질 층은 각 좁은 홈 내에 증착되지 않았을 수 있다.

[0107] 또 다른 구현예로서, 상기 홈(G)은 이산화 실리콘과 같은, 절연 물질로 충진된다.

[0108] 더 추가적인 구현예에서, 이산화 실리콘으로 충진된 상기 홈(G)은 상기 기판의 후면에서 전면으로 확장하는 기판에서 형상화된 이산화 실리콘 영역들 (shaped silicon dioxide regions)을 형성할 수 있는 국부 산화 공정 (local oxidation process)에 의해 형성된다. 상기 형상화된 이산화 실리콘 영역들은 상기 홈(G)과 동일한 방식으로 인접한 기판 부분들을 격리시키기 위해 배열된다. 상기 형상화된 이산화 실리콘 영역들의 형성 후에, 브리징 요소(BR)는 실질적으로 상기 후면의 레벨에서 상기 형상화된 이산화 실리콘 영역들 상에 형성된다.

[0109] 선택적 구현예에 있어서, 상기 홈(G)은 솔라 패널의 솔라 셀을 인캡슐레이팅 (encapsulating)하기 위한 인캡슐레이팅 물질인 절연 물질로 충진된다. 솔라 패널은 일반적으로 패널 프레임 내에 탑재되는 하나 이상의 솔라 셀들로부터 조립되고, 다른 것들 중에서, 상기 솔라 패널 외부로부터 하나 이상의 솔라 셀들을 보호하기 위하여 폴리머 물질에 의해 상기 패널 프레임 내에 인캡슐레이트된다 (encapsulated).

[0110] 도 6은 제 3 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다.

[0111] 제 3 구현예에 있어서, 제1 및 제2 전기 접촉들 둘 다는 각각 제1 및 제2 타입의 이형접합으로서 배열된다. 상기 제2 전기 접촉은 상기 제1 전도성 타입의 진성 반도체 물질 층(5) 및 반도체 물질 층(12)을 포함하는 이형접합 구조화된 층 (heterojunction structured layer)이다.

[0112] 도 6에서 상기 제2 전기 접촉이 각 반도체 기판 부분들의 측벽들 중 하나 상에 배열되는 것을 포함하는 이형접합 구조화된 층(5, 12)이다. 상기 제1 및 제2 전기 접촉들은 상기 전도성 층(8)에 의해 커버되지만, 상기 방해 요소(9)에 의해 여전히 격리된다.

[0113] 상기 방해 요소(9)는 상기 제2 전기 접촉으로부터 상기 제1 전기 접촉을 격리시키기 위해 상기 후면(R) 및 한 측벽의 모서리에 위치한다.

[0114] 유용하게, 상기 다수 캐리어들을 위한 접촉이 상기 홈 내에 형성될 때 (상기 측벽에서), 상기 후면의 많은 영역은 소수 캐리어들의 수집 (collection)을 위해 이용가능하다. 더욱이, 상기 소수 캐리어들은, 상기 다수 캐리어 접촉에 의해 차지될 후면의 영역을 지나가지 않아야 한다 (In addition, the minority carriers do not have to cross the area of the rear surface that would otherwise be occupied by the majority carrier contact.)

[0115] 도 7a 및 도 7b는 제 3 구현예에 따른 솔라 패널 모듈의 추가적인 예시들의 단면을 나타낸다.

[0116] 도 7a는 상기 제2 전기 접촉은 후면(R)의 일 부분 및 일 측벽(W)을 커버하는 상기 제2 타입 이형접합으로서 배열되고 상기 제1 전기 접촉은 상기 반도체 기판 부분의 다른 측벽(W1) 및 후면(R)의 다른 부분을 커버하는 제1 타입의 이형접합으로서 배열되는 구성을 나타낸다. 다시, 상기 제1 및 제2 전기 접촉은 상기 전도성 층(8)에 의해 커버되지만, 방해 요소(9)에 의해 여전히 격리된다.

[0117] 상기 후면 상에 접촉들 및 분리의 부분적인 형성의 장점은 제조가 상기 접촉 및 격리가 각각 상기 홈과 모서리로 절대적으로 제한되어야 하는 상황과 비교하여 공정 정확도에 덜 민감하게 된다는 것이다.

[0118] 도 7b는 인접한 반도체 기판 부분들 사이의 홈들이 좁은, 선택적 구성을 나타낸다. 브리징 요소(BR)는 인접한

Petitioner Runergy USA Inc., Ex. 1005, p. 426

반도체 기판 부분들 사이의 가교 (bridge)로서 위치한다. 제1 전기 접촉은 후면(R)의 일 부분을 커버하는 제1 타입의 이형접합으로서 배열되고 제2 전기 접촉은 반도체 기판 부분의 후면(R)의 다른 부분을 커버하는 제2 타입의 이형접합으로서 배열된다. 상기 브리징 요소(BR)는 상기 제2 전기 접촉의 제2 전도성 타입 반도체 물질 층으로부터 상기 제1 전기 접촉의 제1 전도성 타입의 반도체 물질 층(12)을 격리시킨다. 도 7a에서와 같이, 상기 제1 및 제2 전기 접촉들은 상기 전도성 층(8)에 의해 커버되지만, 상기 방해 요소(9)에 의해 여전히 격리된다. 유용하게, 좁은 홈들은 광기전력 변환 (photovoltaic conversion)을 위한 활성 표면 영역과 실리콘의 낮은 손실을 야기시킨다. 상기 홈을 통한 방해 없는 전도성 금속 증착 (예를 들어, 상기 홈으로 금속을 넣고, 상기 홈 표면을 커버함)은 좁은 홈을 브리징하는 것보다 달성하기에 더 비싸다. 이것은 또한 상기 제2 타입의 이형접합 접촉을 위해 홀드할 수 있다.

[0119] 도 8은 제 4 구현예에 따른 솔라 패널 모듈의 단면을 나타낸다. 이 구현예에서, 벌크 전도성 타입은 제2 전도성 타입, 즉, p-타입이다. 결과로서, 사용에서, 소수 전하 캐리어들은 반도체 기판 부분들의 각 전면에 수집될 것이다. 이 구현예에서, 제2 전기 접촉은 상기 반도체 기판 부분의 일 측벽(W) 상에 제1 도전성 타입 (n-타입)의 고 도핑 영역(6)이고, 제1 전기 접촉은 다른 측벽(W1)과 후면(R)의 적어도 일 부분 상에 제2 타입 (제2 전도성 타입, p-타입의 반도체 물질 층(7) 및 진성 반도체 물질 층(5)을 포함함)의 이형접합이다.

[0120] 소수 전하 캐리어의 향상된 수집을 위해 제2 전기 접촉은 또한 상기 제1 전도성 타입 (n-타입)의 텍스처링된 전면 전계 층(4)에 연결된다. 상기 제1 및 제2 전기 접촉들은 절연체 요소와 같은 방해 요소(9)에 의해 분리된다. 제1 구현예와 관련되어 도시된 바와 같이 모든 변경들은 여기에도 적용된다. 더욱이, 상기 제2 전기 접촉은 도 6과 관련하여 상술한 바와 같이 일 측벽(W) 위의 제1 타입의 이형접합으로서 구체화될 수 있다.

[0121] 도 9는 제 5 구현예에 따른 솔라 패널 모듈을 나타낸다.

[0122] 제 5 구현예에서, 상기 솔라 패널 모듈은 투명 캐리어(1) 및 실리콘 반도체 기판을 포함한다. 이 구현예에서 상기 기판은 제1 도전성 타입 (n-타입)과 동일한 벌크 전도성 타입을 가진다.

[0123] 상기 기판은 전면 전계 층(4)을 형성하기 위한 제1 전도성 타입으로서 고도로 도핑된 텍스처링된 표면을 가진다. 상기 기판은 홈들(G1, G2)에 의해 다수의 제1 (primary) 및 제2 반도체 기판 부분들(30, 31)로 나눠진다.

[0124] 상기 제1 (primary) 및 제2 반도체 기판 부분들(30, 31)은 상기 투명 캐리어(1)로 향하는 각 기판 부분의 상기 진면 진계 층(4)과 상기 투명 캐리어(1) 상에 서로 인접하도록 교대로 (in alternation) 배열된다 (The primary and secondary semiconductor substrate portions 30, 31 are arranged in alternation adjacent to each other on the transparent carrier 1 with the front surface field layer 4 of each substrate portion being directed towards the transparent carrier 1.) 상기 제1 (primary) 및 제2 반도체 기판 부분들(30, 31)은 인캡슐레이션 층(2)에 의해 투명 캐리어(1)에 부착된다.

[0125] 상기 투명 캐리어 표면에 평행한 표면 방향 X를 따라 상기 제1 (primary) 반도체 기판 부분(30)의 길이는 그 방향 X를 따라 제2 반도체 기판 부분(31)의 길이보다 상대적으로 길다.

[0126] 각 홈(G1, G2)의 측벽들(Wg) 및 하부(Bg) 상에 이형접합이 배열된다. 각 제1 (primary) 반도체 기판 부분의 일 측 상에 배치된 제1 홈(G1) 상에, 제1 타입의 이형접합이 배열되고 상기 제2 전도성 타입의 진성 반도체 물질 층(5) 및 반도체 물질 층(7)의 적층을 포함한다.

[0127] 각 제1 (primary) 반도체 기판 부분의 타측 상에 제2 홈(G2)에서 제2 타입의 이형접합이 배열되고 상기 제1 전도성 타입의 진성 반도체 물질 층(5) 및 반도체 물질층(12)의 적층을 포함한다.

[0128] 상기 제1 타입의 이형접합은 소수 전하 캐리어들을 위한 제2 전기 접촉으로서의 역할을 할 수 있고, 반면에 상기 제2 타입의 이형접합은 다수 전하 캐리어들을 위한 제1 전기 접촉으로서의 역할을 할 수 있다.

[0129] 상기 제1 타입 상기 이형접합은 상기 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 둘 모두 상의 제1 홈으로부터 연장되고, 반면에 상기 제2 타입 상기 이형접합은 제1 (primary) 및 제2 반도체 기판 부분들의 상기 후면 두 모두 상의 제2 홈으로부터 연장된다.

[0130] 상기 제1 (primary) 반도체 기판 부분(30)은, 그것의 후면 (30r) 상에, 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은, 상기 제2 전도성 타입 상기 반도체 물질 층(7) 및 상기 제1 전도성 타입 상기 반도

Petitioner Runergy USA Inc., Ex. 1005, p. 427

체 물질 층(12) 사이에의 틈(9)에 의하여 서로 격리된다는 사실에 의해 특징 지어진다.

[0131] 상기 제2 반도체 기판 부분(31)은 그것의 후면(31r) 상에, 상기 제1 타입 상기 이형접합 및 상기 제2 타입 상기 이형접합은 서로 연결된다는 사실에 의해 특징 지어진다; 상기 제2 전도성 타입 반도체 물질 층(7) 및 상기 제1 전도성 타입 반도체 물질 층(12)은 서로 인접하다.

[0132] 상기 제2 타입 상기 이형접합과 상기 제1 타입 상기 이형접합 상부에서 전도성 층(8)이 배열되며, 각 제1(primary) 반도체 기판 부분(30)의 상기 후면(30r) 상의 틈(9)에서 방해된다.

[0133] 이 방식으로 인접한 반도체 기판 부분의 직렬 연결 (series connection)이 획득되고 유용한 소수 및 다수 전하 캐리어들의 재결합이 강하게 감소된다.

[0134] 제 5 구현예에 있어서, 상기 반도체 기판 부분들의 상기 벌크 전도성 타입은 바람직하게는 제1 전도성 타입이다. 또 다른 구현예에 있어서, 상기 제1 전도성 타입은 바람직하게는 n-타입이다.

[0135] 제 5 구현예에 있어서, 상기 홈들(G1, G2)은 넓거나 좁고, 상기 전면에 경사 (가늘어지는) 측벽들 또는 실질적으로 수직 측벽들을 가질 수 있다.

[0136] 도 10a 내지 도 10c는 추가적인 구현예들에 따른 솔라 셀판 모듈(M)의 단면을 나타낸다.

[0137] 추가적인 구현예에 따르면, 인접한 반도체 기판 부분들(3a, 3b; 3b, 3c) 사이의 상기 홈(GT)은, 상기 투명 캐리어(1)로부터 상기 반도체 기판 부분들의 상기 후면 측으로 향하는 방향으로 가늘어지는 (경사지는) 것이다.

[0138] 도 10a 내지 도 10c에 도시된 구현예들에 있어서 상기 제2 전기 접촉(6)은 상기 제1 전기 접촉(5, 7)에 인접한 각 반도체 기판 부분(3a ; 3b ; 3c)의 상기 후면 부분 상에 고 도핑된 영역이다. 상기 제1 전기 접촉(5, 7)은 더 상세히 상술한 바와 같이 상기 제1 타입 상기 이형접합에 의해 구체화된다.

[0139] 통상의 지식을 가진 자는 선택적으로 상기 제2 전기 접촉(6)이 도 7b와 관련하여 기술된 것처럼 상기 제2 다입 이형접합으로서 구체화될 수 있다는 것을 이해할 것이다.

[0140] 각 반도체 기판 부분이 복사 에너지를 수신하기 위해 배열된 상기 전면 층(4)을 포함하며, 전면 층은 또한 상기 제1 전도성 타입의 (가볍게) 도핑된 전면 전계 층을 포함한다.

[0141] 인접한 반도체 기판 부분들의 각 쌍 사이의 상기 전기적 직렬 연결은 전도성 층(8)에 의해 구체화되며, 하나의 반도체 기판 부분의 상기 제1 전기 접촉이 상기 인접한 반도체 기판 부분의 상기 제2 전기 접촉에 연결한다. 상기 전도성 층(8)은 각 반도체 기판 부분(3a ; 3b ; 3c) 상에 상기 제1 전기 접촉(5,7)과 상기 제2 전기 접촉(6) 사이에서 슬릿(S) 또는 방해 요소(9)에 의해 방해된다.

[0142] 바람직하게는, 상기 전도성 층(8)은 상기 두 반도체 기판 부분 사이의 가늘어지는 (경사진)(tapered) 홈(GT)에 가교하는 가교적 부분(BR)을 포함한다.

[0143] 도 10a에 도시된 바와 같은 구현예에 있어서, 상기 이형접합(5, 7)의 상기 진성 반도체 층(5)은 상기 제2 전기 접촉(6)을 또한 커버한다. 상기 전도성 층(8)은 상기 진성 반도체 층(5)에 있는 개구부를 통하여 상기 제2 전기 접촉과 접촉한다. 이 구현예에서, 각 반도체 기판 부분들의 상기 측벽들은 노출된다.

[0144] 선택적으로, 상기 제2 전기 접촉의 영역은 노출되고, 진성 반도체에서 물질(5)로부터 자유롭게 될 수 있다. 그러한 경우에, 상기 전도성 층(8)은 상기 제2 전기 접촉(6)의 상기 영역과 직접적으로 접촉할 수 있다.

[0145] 도 10b는 가늘어진 홈들(GT)로 상기 솔라 패널 모듈(M)의 추가적인 구현예를 나타내며, 상기 반도체 기판 부분들의 상기 측벽들은 기본적으로 상기 전면 전계 층(4)의 연장인 도핑된 표면 층(41, 42)에 의해 커버된다. 전면 및 측면 층들(4, 41, 42) 모두는 동일한 제1 전도성 타입을 가진다.

[0146] 상기 제2 전기 접촉(6)의 상기 배열은 상기 진성 반도체 층(5)을 가지는 상기 제2 전기 접촉 영역의 부분 커버리지 (partial coverage)로, 도 10a과 같을 수 있다. 도 10b에 도시된 구현예에서, 상기 제2 전기 접촉 영역은 실리콘 질화물, 알루미늄 산화물 및 이산화 실리콘 또는 비정질 실리콘, 또는 다른 보호 물질 또는 물질 조합의 군으로부터 선택되는 보호 물질, 예를 들어 보호 물질들의 적층된 층들을 포함하는 추가적인 보호 층(51)에 의해 부분적으로 커버된다. 상기 전도성 층(8)은 상기 보호 층(51)에 있는 개구부를 통하여 상기 제2 전기 접촉과 접촉하기 위해 배열된다.

[0147] 통상의 지식을 가진 자는 보호 층(51)과 같은 적용이 도 10b에 나타낸 특정 구현예에 제한되지 않지만, 상기에

Petitioner Runergy USA Inc., Ex. 1005, p. 428

기술된 각 구현예들에 적용될 수 있다는 것을 이해할 것이다.

[0148] 도 10c는 가늘어진 홈들(GT)로 상기 솔라 패널 모듈(M)의 추가적인 구현예를 나타내며, 상기 반도체 기판 부분의 측벽들은 상기 도핑된 표면층(41, 42) 및 보호 층(55)의 적층에 의해 커버된다. 상기 도핑된 표면층(41, 42)은 상기 반도체 기판 부분들의 측벽들을 커버하고, 반면에 상기 보호 층(55)은 상기 도핑된 표면 층(41, 42)을 커버한다. 상기 도핑된 표면 층 상에 상기 보호 층(55)의 적용은 상기 도핑된 표면 층들 내에 다수 및 소수 전하 캐리어들의 재결합 확률을 감소시킨다.

[0149] 상기 보호 층(55)은 또한 도 10a에 도시된 바와 같이 상기 반도체 기판 부분들의 상기 노출된 측벽들에 직접적으로 적용될 수 있다.

[0150] 상기 보호 층(55)은 실리콘 질화물, 알루미늄 산화물 및 이산화 실리콘 또는 비정질 실리콘 또는 임의의 다른 보호 물질, 물질 조합 또는 보호 물질 층들의 적층의 군으로부터 선택되는 보호 물질을 포함할 수 있다.

[0151] 더욱이, 상기 가늘어진 홈들(GT)은 에틸렌 비닐 아세테이트 (Ethylene vinyl acetate; EVA) 또는 실리콘 또는 폴리비닐 부티랄 (Polyvinyl butyral; PVB) 또는 임의의 다른 인캡슐란트 물질 (encapsulant material)과 같은 절연성 물질로 (부분적으로) 충진될 수 있다.

[0152] 추가적인 구현예에 있어서, 상기 홈들 내에 그러한 절연성 물질은, 솔라 패널 프레임에 있는 솔라 셀들을 인캡슐레이팅 (encapsulating)하기 위해 사용되는 것처럼, 인캡슐레이션 물질 (encapsulation material), 예를 들어 폴리머일 수 있다.

[0153] 추가적으로, 도 10a 내지 도 10c에 나타낸 상기 구현예들은 예를 들어 도 4에서와 같이, 수직 홈들 또는 상기 반도체 기판 부분들의 후면 측으로부터 상기 투명 캐리어(1)를 향하는 방향으로 가늘어진 홈들을 가지는 솔라 패널 모듈들에 또한 구현될 수 있다는 것이 이해될 수 있다.

[0154] 본 발명의 다른 구현예들은 본 발명의 실질적 사상을 벗어나지 않으면서 수행하도록 구상 및 축소 (reduced)될 수 있고, 본 발명의 범위는 단지 최종적으로 승인된 첨부된 청구항들에 의해서만 제한된다는 것은 해당 분야의 통상의 지식을 가진 자에게 명백하다. 상기 명세서가 본 발명을 제한하여서는 안된다.

부호의 설명

[0155] 1: 투명 캐리어

2: 인캡슐레이션 층

3a, 3b, 3c: 반도체 기판 부분들

4: 전면 층

5: 제1 전기 접촉

6: 제2 전기 접촉

7: 반도체 물질 층

8: 전도성 층

9: 방해 요소

10: 공간

11: 개구

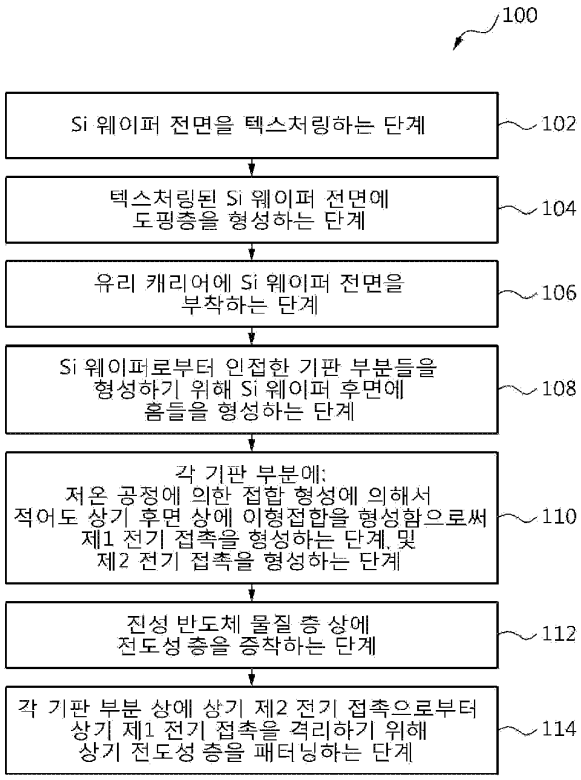
30: 제1 (primary) 반도체 기판 부분

31: 제2 반도체 기판 부분

Petitioner Runergy USA Inc., Ex. 1005, p. 429

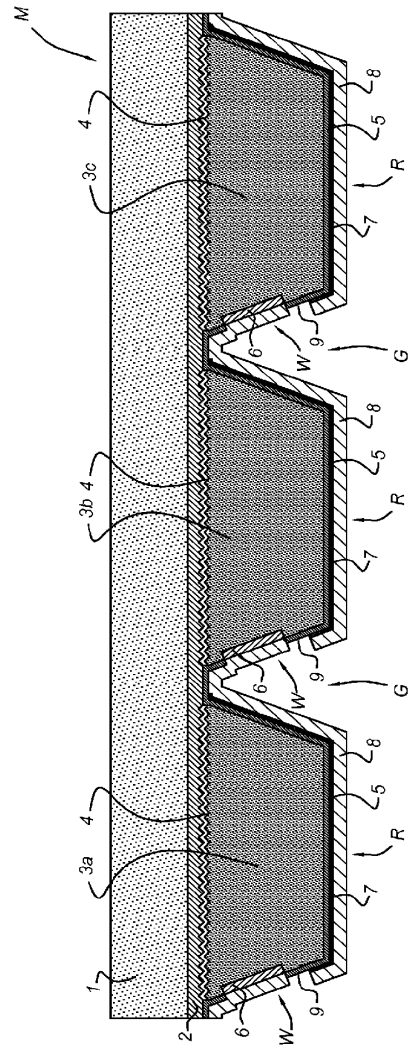
도면

도면1

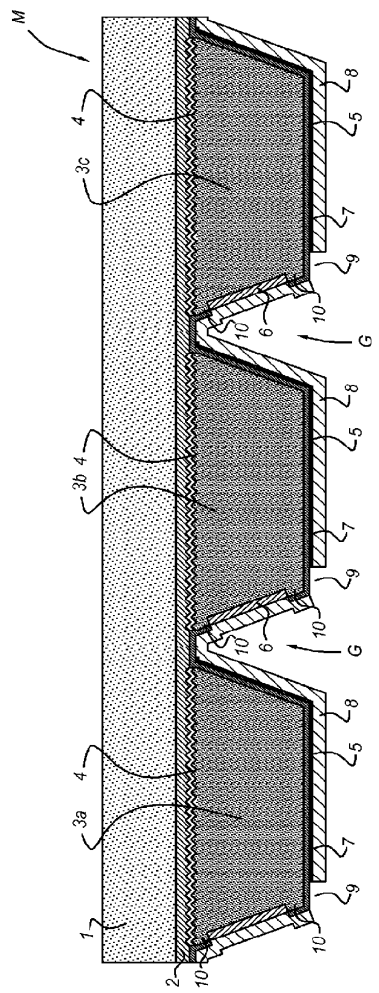


Petitioner Runergy USA Inc., Ex. 1005, p. 430

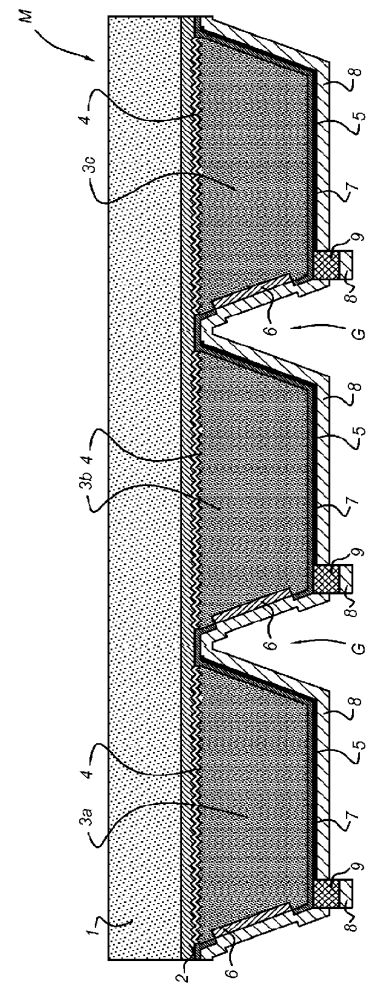
도면2



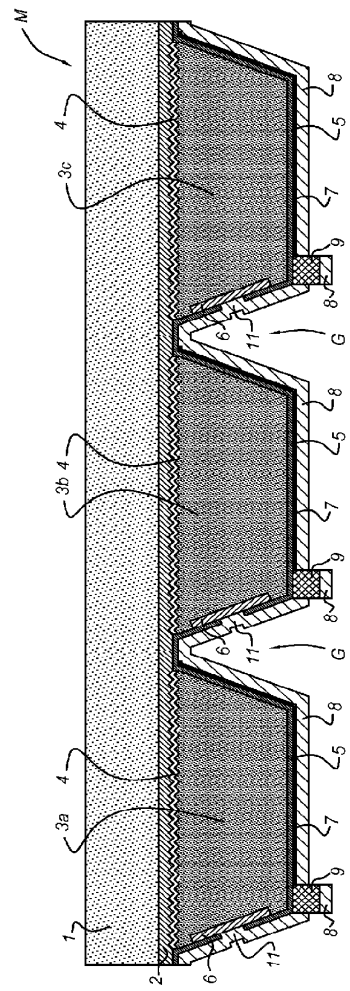
도면3a



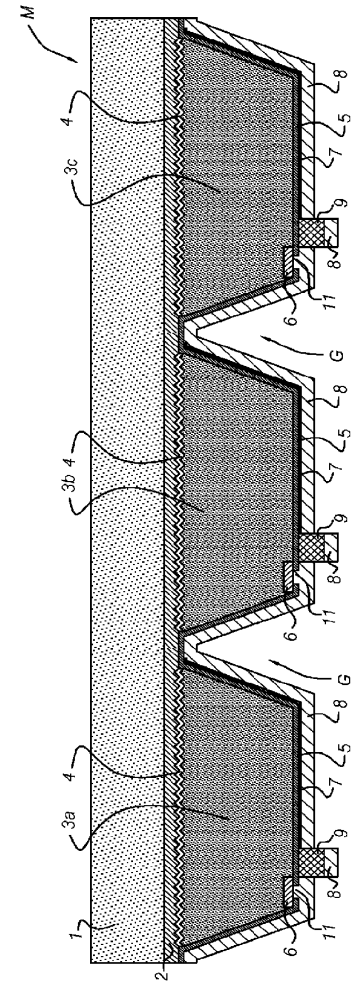
도면5b



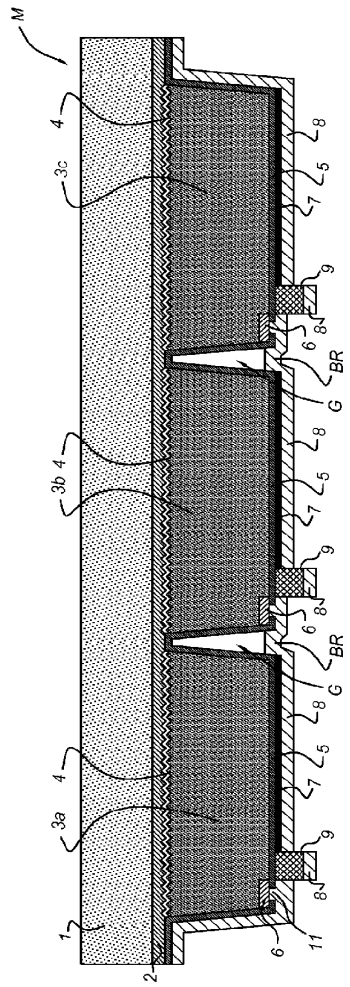
도면3c



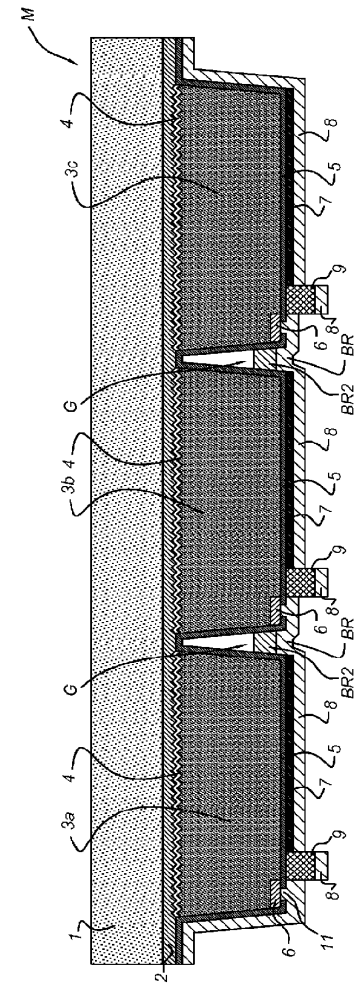
도면4



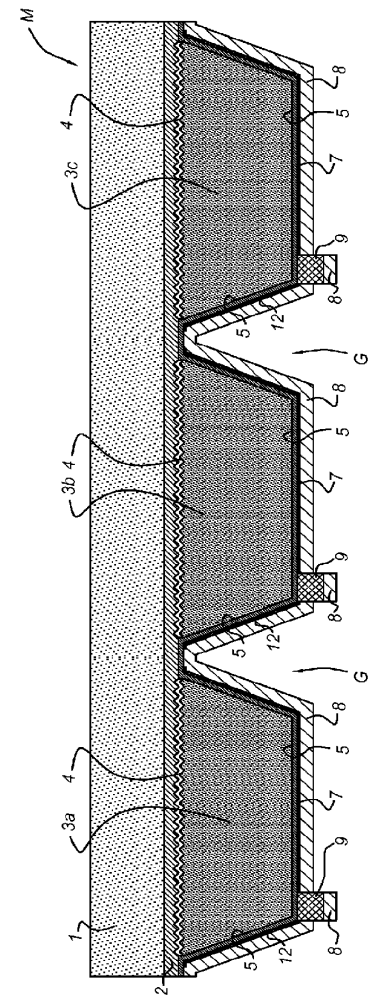
도면5a



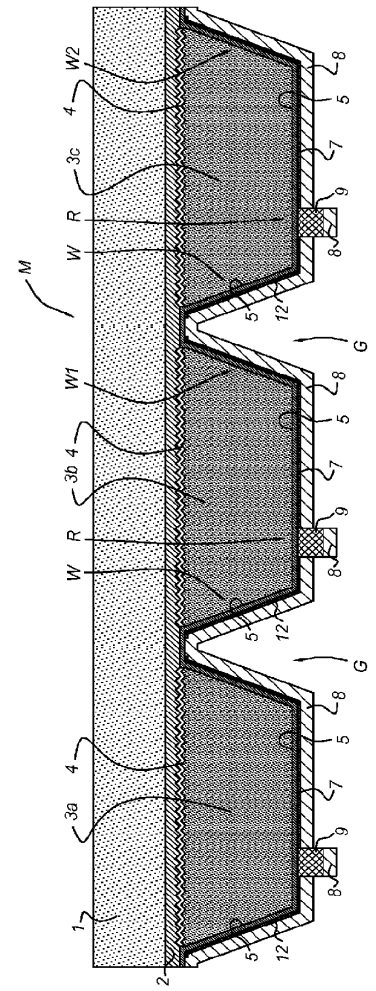
도면5b



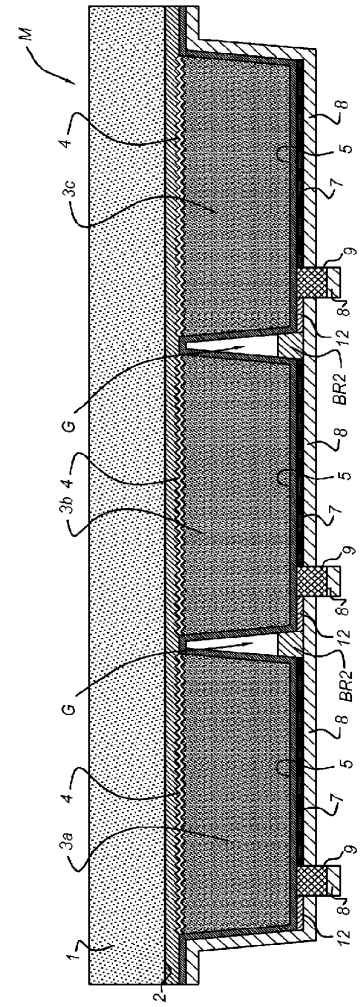
도면6



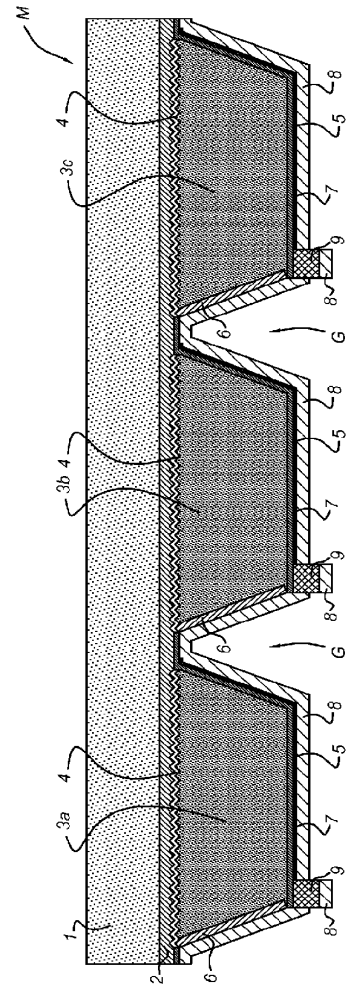
도면7a



도면7b

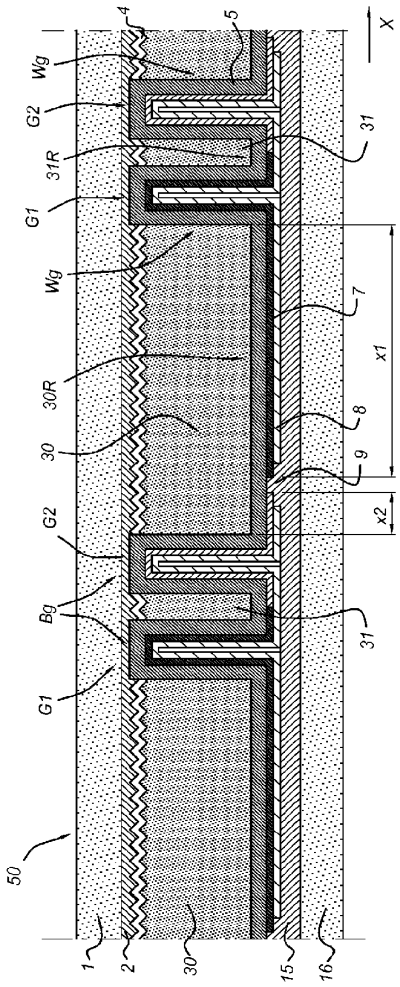


도면8

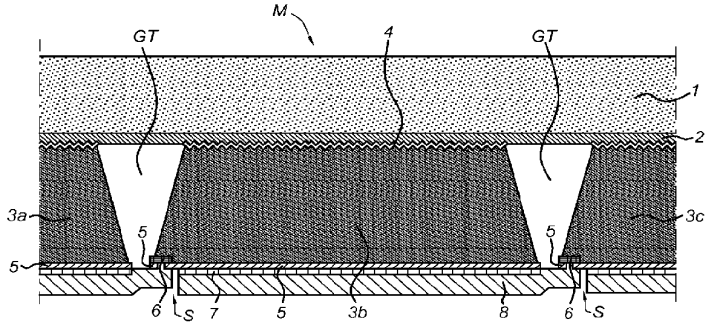


Petitioner Runergy USA Inc., Ex. 1005, p. 441

도면9

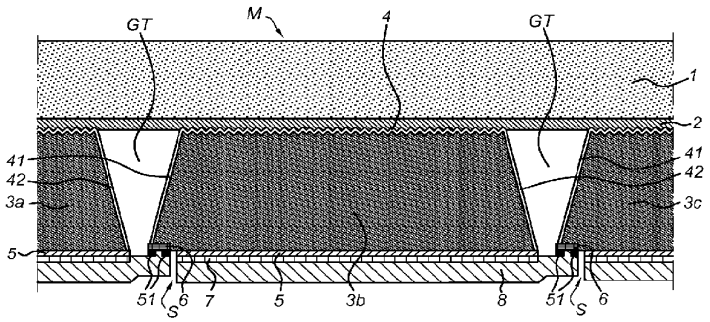


도면10a

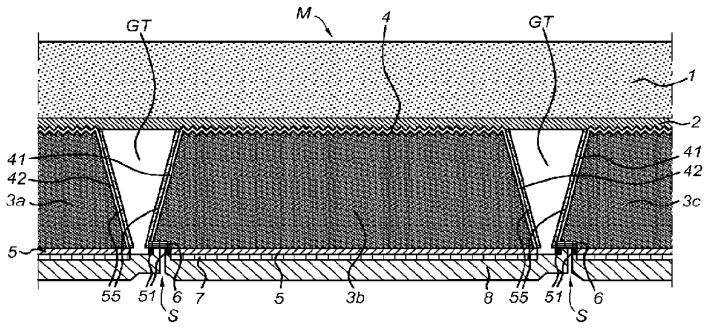


Petitioner Runergy USA Inc., Ex. 1005, p. 442

도면10b


M
4
GT
GT
1
2
41
42
3a
3c
5
51
6
7
5
3b
8
51
S
6
S

도면10c


M
4
GT
GT
1
2
41
42
3a
3c
5
55
51
6
7
5
3b
8
55
51
S
6
S

Espacenet

Bibliographic data: JP2000340812 (A) — 2000-12-08

SOLAR BATTERY

Inventor(s): TAKAHASHI HIROAKI; FUKUI KENJI; SHIRASAWA KATSUHIKO ± (TAKAHASHI HIROAKI, ; FUKUI KENJI, ; SHIRASAWA KATSUHIKO)

Applicant(s): KYOCERA CORP ± (KYOCERA CORP)

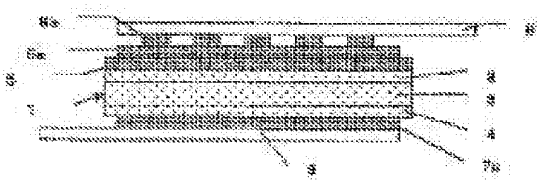
Classification: - **international:** ***H01L31/04;*** (IPC1-7): H01L31/04
- **cooperative:** Y02E10/50

Application number: JP19990150147 19990528 Global Dossier

Priority number (s): JP19990150147 19990528

Abstract of JP2000340812 (A)

PROBLEM TO BE SOLVED: To hardly to release a copper foil jointed to a surface electrode, and enhance a wiring yield in a later step in manufacturing, by a method where in copper foils are provided by jointing to a bus bar part of the surface elec trode in a plurality of locations, and also a joint part to the copper foil of this surface electrode is formed thicker than the other parts. SOLUTION: A reflection preventing film 5 is formed on one main plane side of a semiconductor substrate 1, and a surface electrode is formed thereon. This surface electrode comprises a bus bar part 6a, a bus bar thick film part 6b formed thicker than the other bus bars 6a in a connection part with a surface copper foil 8, and a finger part 6c formed by crossing the bus bar part 6a for branching. The surface copper foil 8 is adhered onto this surface electrode. This surface copper foil 8 is connected to the bus bar thick film part 6b formed to be thicker than the other bus bar part 6a by thermal welding, etc. Accordingly, as the surface copper foil 8 is jointed to the thick film part 6b of the surface electrode, adherence intensity of an electrode and a silicon substrate 11 is increased in a thick part.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2000－340812
（P2000－340812A）
(43)公開日　平成12年12月８日(2000.12.8)

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　31/04		Ｈ０１Ｌ　31/04	Ｈ　５Ｆ０５１

審査請求　未請求　請求項の数１　ＯＬ　（全　４　頁）

(21)出願番号　特願平11－150147

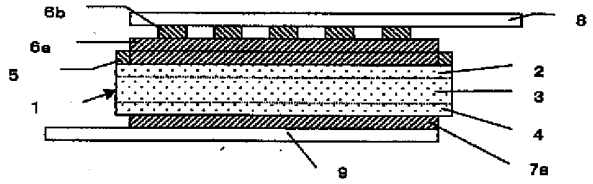
(22)出願日　平成11年５月28日(1999.5.28)

(71)出願人　000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町６番地
(72)発明者　高橋　宏明
滋賀県八日市市蛇溝町長谷野1166番地の６
京セラ株式会社滋賀工場内
(72)発明者　福井　健次
滋賀県八日市市蛇溝町長谷野1166番地の６
京セラ株式会社滋賀工場内
(72)発明者　白沢　勝彦
滋賀県八日市市蛇溝町長谷野1166番地の６
京セラ株式会社滋賀工場内

Ｆターム(参考)　5F051 BA11 BA17 FA10 FA13 FA16
FA17 FA30

(54)【発明の名称】　太陽電池

(57)【要約】
【課題】　電極の接着強度を向上させるために、特性低下やプロセスコストの増加が発生するという問題あった。
【解決手段】　半導体接合部を有する半導体の一主面側にバスバー部とフィンガー部とから成る表面電極を形成し、他の主面側に裏面電極を形成した太陽電池であって、上記表面電極のバスバー部に銅箔を複数個所で接合して設けると共に、この表面電極の上記銅箔との接合部分を他の部分よりも厚く形成する。



Petitioner Runergy USA Inc., Ex. 1005, p. 445

【特許請求の範囲】

【請求項１】　半導体接合部を有する半導体基板の一主面側にバスバー部とフィンガー部とから成る表面電極を形成し、他の主面側に裏面電極を形成した太陽電池において、前記表面電極のバスバー部に銅箔を複数個所で接合して設けると共に、この表面電極の前記銅箔との接合部分を他の部分よりも厚く形成したことを特徴とする太陽電池。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は太陽電池に関する。

【０００２】

【従来の技術】従来の太陽電池を図４に示す。図４中、１１はシリコン基板、１６は表面電極、１８は表面銅箔、１７は裏面電極バスバー、１９は裏面銅箔である。シリコン基板１１内にはＮ型領域１２とＰ型領域１３とP^+型領域１４とが設けられている。Ｎ型領域１２の表面には反射防止膜１５が形成され、その上から表面電極１６（１６ａ）が設けられ、P^+型領域１４の表面には裏面電極１７（１７ａ）が設けられている。この表面電極１６は表面銅箔接続用のバスバー部１５ａと集電用のフィンガー部１５ｃとから成る。また、裏面電極１７もバスバー部１７ａとフィンガー部（不図示）とから成る。

【０００３】複数の太陽電池を接続するには、表面側銅箔１８の一方端が表面電極１６ａ上の略全長にわたって配設され、その複数個所を表面電極１６ａと接合することによって表面電極１６に接続され、他方端が裏面側銅箔１８を介して裏面電極１７のバスバー部１７ａの端部に半田付けされて裏面電極１７に接続される。

【０００４】

【発明が解決しようとする課題】反射防止膜１５上に導電ペーストを印刷して焼成し、導電ペーストが反射防止膜１５を貫通することでシリコン基板１１とコンタクトを取る電極の形成方法においては、電極１６とシリコン基板１１との接着強度を向上させるためには、導電ペースト中のガラスフリットを増やしたり、焼成温度を高くしたり、電極１６とシリコン基板１１との界面にＴｉ等のシリサイド層を形成する必要がある。

【０００５】しかし、Ｎ型領域１２の拡散層が浅い接合を持つ太陽電池においては、導電ペースト中のガラスフリットを増やしたり、焼成温度を高くしたりすると、ガラスフリットが拡散層１２を突き抜ける割合が多くなるため、半導体接合部（Ｎ型領域とＰ型領域の界面）でのリークが発生し、太陽電池の変換効率が低下するという問題がある。

【０００６】また、表面電極１６とシリコン基板１１との界面にＴｉ等のシリサイド層を形成する方法では、反射防止膜１５上にＴｉ等の金属をスパッタリングによって製膜した後、水素雰囲気中で熱処理を行ってシリサイド層を形成してから導電ペーストを印刷して焼成するため、低コストな量産プロセスには適しないという問題がある。

【０００７】本発明はこのような従来技術の問題点に鑑みてなされたものであり、電極の接着強度を向上させるために生じる特性低下やプロセスコストの増加の問題を解消した太陽電池を提供することを目的とする。

【０００８】

【課題を解決するための手段】上記目的を達成するために、本発明に係る太陽電池では、半導体接合部を有する半導体基板の一主面側にバスバー部とフィンガー部とから成る表面電極を形成し、他の主面側に裏面電極を形成した太陽電池において、前記表面電極のバスバー部に銅箔を複数個所で接合して設けると共に、この表面電極の前記銅箔との接合部分を他の部分よりも厚く形成する。

【０００９】

【発明の実施の形態】以下、本発明の実施形態を添付図面に基づき詳細に説明する。図１は本発明に係る太陽電池の一実施形態を示す断面図、図２は平面図であり、１は半導体基板、６は表面電極、７は裏面電極、８は表面銅箔、９は裏面銅箔である。

【００１０】半導体基板１は、厚み０．３ｍｍ程度の単結晶シリコンや多結晶シリコンなどから成る。この半導体基板１はボロン（Ｂ）を1×10^{16}～10^{18}ａｔｏｍｓ・ｃｍ$^{-3}$程度含有し、比抵抗は１．５Ωｃｍである。この半導体基板１内には、Ｎ型領域２とP^+型領域４があり、Ｎ型領域２はＰ型のシリコン基板１を拡散炉中に配置して、オキシ塩化リン（$POCl_3$）中で加熱することによって、シリコン基板１の全体の表面部にリン原子を1×10^{16}～10^{18}ａｔｏｍｓ・ｃｍ$^{-3}$程度拡散させ、その後に側面部と裏面部の拡散層を除去することにより、厚み０．３～０．４μｍ程度に形成する。なお、この半導体基板１は単結晶ガリウム砒素などで形成してもよい。

【００１１】また、半導体基板１の裏面側には、アルミニウム（Ａｌ）ペーストを印刷して焼成することにより、アルミニウムを５～１０μｍ程度の厚みに1×10^{20}～10^{22}ａｔｏｍｓ・ｃｍ$^{-3}$程度P^+層４を形成する。

【００１２】次に、半導体基板１の一主面側に反射防止膜５を形成する。この反射防止膜５はたとえば窒化シリコン膜などからなり、シランとアンモニアとの混合ガスを用いたプラズマＣＶＤ法などで厚みに５００～１０００Å、屈折率１．９０～２．３０に形成される。この反射防止膜５は、半導体基板１の表面で光が反射するのを防止して、半導体基板１内に光を有効に取り込むために設ける。

【００１３】この反射防止膜５上には、表面電極６が形成されている。この表面電極６は、バスバー部６ａと、表面銅箔８との接続部分で他のバスバー部６ａよりも厚

Petitioner Runergy USA Inc., Ex. 1005, p. 446

く５～１０μｍ程度の厚みに形成されたバスバー厚膜部６ｂと、バスバー部６ａと交差して分岐して幅１００～３００μｍ、ピッチ１５～３ｍｍ程度に形成されたフィンガー部６ｃとから成る。バスバー部６ａは基板１の略全長にわたって２本あるいは３本平行に形成されており、フィンガー部６ｃはバスバー部６ａに交差して多数本が基板１の略全長にわたって形成される。このような表面電極６は、たとえば銀粉末、ガラスフリット、結合剤、および溶剤から成るペーストをスクリーン印刷して６００～８００℃程度の温度で焼き付け、全体を半田層（不図示）で被覆することにより形成される。

【００１４】この表面電極６（６ａ）上には５０～２５０μｍ程度の厚みの表面銅箔８が貼り付けられている。この表面銅箔８は、表面電極６（６ａ）の断面積を大きくして表面電極６の電気抵抗を下げるとともに、太陽電池の出力を取り出すために設けられる。このような表面銅箔８をバスバー部６ａ上の他のバスバー部よりも厚く形成されたバスバー厚膜部６ｂと熱溶着等により接続する。

【００１５】この場合、表面銅箔８は表面電極６の厚膜部６ｂに接合されることから、厚くした部分での電極６とシリコン基板１１の接着強度が強くなり、銅箔８が剥がれにくくなる。

【００１６】基板１の裏面側には裏面電極７が設けられている。この裏面電極７も、裏面銅箔９を接続するための幅１～２ｍｍ、厚み５～１０μｍ程度のバスバー部７ａとこのバスバー部７ａと交差して分岐して多数本形成される幅１００～３００μｍ程度、厚み５～１０μｍ程度、ピッチ１．５～５ｍｍ程度のフィンガー部（不図示）とから成る。バスバー部７ａは基板１の略全長にわたって２本あるいは３本平行に形成されており、フィンガー部はバスバー部７ａに交差して多数本が基板１の略全長にわたって形成される。このような裏面電極６は、たとえば銀粉末、ガラスフリット、結合剤、および溶剤から成るペーストをスクリーン印刷して焼き付け、全体を半田層（不図示）で被覆することにより形成される。

【００１７】この裏面電極７（７ａ）上には裏面銅箔９が貼り付けられている。この裏面銅箔９は、裏面電極７（７ａ）の断面積を大きくして裏面電極７の電気抵抗を下げるとともに、太陽電池の出力を取り出すために設けられる。このような裏面銅箔９は、裏面バスバー部７ａ上に複数箇所で熱溶着等により接続する。

【００１８】図３は本発明に係る太陽電池の他の実施形態を示す図である。この太陽電池では、表面電極６のバスバー部６ａの幅の方向の一部に厚膜部６ｂを形成している。このように、バスバー部６ａの幅方向の一部に厚膜部６ｂを形成しても、上述した太陽電池と同様な効果が得られる。

【００１９】

【実施例】図２（ａ）に示すように、反射防止膜５上に、バスバー部６ａとフィンガー部６ｃを同時に印刷して乾燥した後、表面銅箔８との接続部分にバスバー厚膜部６ｂを印刷して、焼成した。バスバー部６ａとフィンガー部６ｃの電極厚みは焼成後で１０μｍ、バスバー厚膜部６ｂの電極厚みは焼成後で２５μｍ、幅は２ｍｍである。その後、バスバー部６ａ上に表面銅箔８をバスバー厚膜部６ｂで接続し、表面銅箔８を引っ張ることによって電極強度を測定した。

【００２０】また、図２（ｂ）に示すように、バスバー厚膜部６ｂをバスバー部６ａとフィンガー部６ｃの交差部のみに形成する方法においても、電極強度を測定した。この場合、バスバー部６ａを印刷して乾燥した後、バスバー部６ａと交差するようにフィンガー部６ｃを印刷する。このとき、バスバー部６ａと交差するバスバー厚膜部６ｂは、幅が０．１μｍ～０．５μｍ程度で形成される。その後バスバー部６ａ上に表面銅箔８を複数箇所で接続した。電極強度の測定結果を表１に示す。

【００２１】

【表１】

	電極引張り強度(kg)
従来構造	0.5
本発明構造【図2】(a)	1.1
本発明構造【図2】(b)	1.0

【００２２】表１に示すとおり、従来構造の太陽電池においては電極の引っ張り強度が０．５ｋｇであるのに対し、請求項１のように表面銅箔と接合する部分の電極を厚くすることで１．０ｋｇ以上の電極強度が得られ、電極強度が向上することが確認された。

【００２３】

【発明の効果】以上詳細に説明したように、本発明に係る太陽電池によれば、表面銅箔とバスバー電極との接合部分のバスバー電極を厚くしたことから、厚くした部分での電極とシリコン基板との接着強度が強くなり、もって表面電極に接合される銅箔が剥がれにくくなる。そのため、製造工程における後工程での配線歩留りが向上する。

【図面の簡単な説明】

【図１】本発明に係る太陽電池の一実施形態を示す断面図である。

【図２】本発明に係る太陽電池の一実施形態を示す平面図であり、（ａ）はバスバー電極の厚膜部を長く形成した場合、（ｂ）はバスバー電極の厚膜部をフィンガー電極と同じピッチに形成した場合を示す。

【図３】本発明に係る太陽電池の他の実施形態を示す平面図である。

【図４】従来の太陽電池を示す図であり、（ａ）は断面図、（ｂ）は平面図である。

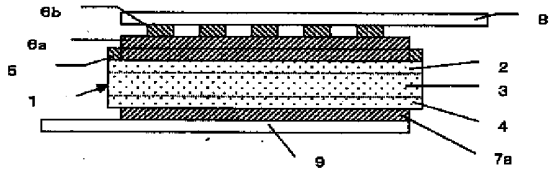
【符号の説明】

１…基板、２…Ｎ型領域、３…Ｐ型領域、４…P^+型領域、５ａ…表面電極バスバー、５ｂ…表面電極厚膜部、

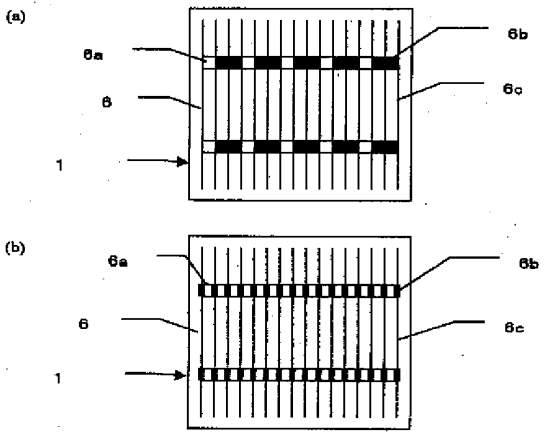
Petitioner Runergy USA Inc., Ex. 1005, p. 447

５ｃ…表面電極フィンガー、６…表面電極側の銅箔、７　ａ…裏面電極バスバー、８…裏面電極側の銅箔

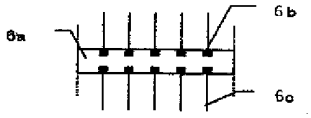
【図１】



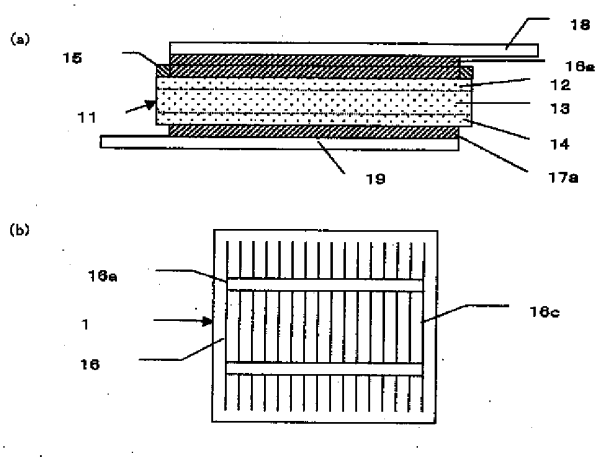
【図２】



【図３】



【図４】



Petitioner Runergy USA Inc., Ex. 1005, p. 448

Espacenet

Bibliographic data: JP2009295715 (A) — 2009-12-17

PHOTOELECTRIC CONVERSION DEVICE AND METHOD OF MANUFACTURING THE SAME

Inventor(s): OOKA YUKIYO; OZAKI AKIRA ± (OOKA YUKIYO, ; OZAKI AKIRA)

Applicant(s): SHARP KK ± (SHARP CORP)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

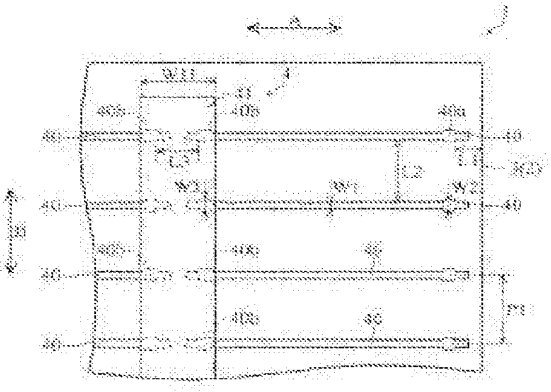
Application number: JP20080146585 20080604 Global Dossier

Priority number(s): JP20080146585 20080604

Also published as: JP5172480 (B2)

Abstract of JP2009295715 (A)

PROBLEM TO BE SOLVED: To provide a solar battery cell capable of improving the efficiency of photoelectric conversion. ;SOLUTION: The solar battery cell 1 includes a semiconductor substrate 2 and a light receiving surface electrode 4 formed on the light receiving surface side of the semiconductor substrate 2 and including a plurality of finger electrodes 40 extended in an A-direction. On both the end side portions of each finger electrode 40, wide-width regions 40a, 40b are respectively formed at prescribed distances from both the ends of the finger electrode 40, and the B-direction widths (W2 and W3) of the wide-width regions 40a, 40b of the finger electrode 40 are larger than the B-direction width (W1) of the center portion of the finger electrode 40. ;COPYRIGHT: (C)2010,JPO&INPIT



Petitioner Runergy USA Inc., Ex. 1005, p. 449

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-295715
(P2009-295715A)
(43)公開日　平成21年12月17日(2009.12.17)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	H	5F051

審査請求 未請求　請求項の数 11　ＯＬ　（全 20 頁）

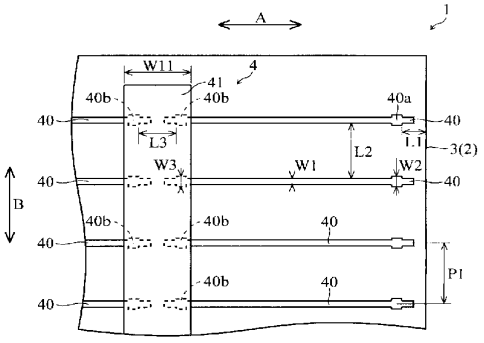
(21)出願番号　特願2008-146585 (P2008-146585)
(22)出願日　平成20年6月4日 (2008.6.4)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100085501
弁理士　佐野　静夫
(74)代理人　100128842
弁理士　井上　温
(72)発明者　大岡　幸代
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内
(72)発明者　尾崎　亮
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

Ｆターム(参考)　5F051 AA03　CB20　FA10　FA13　FA16

(54)【発明の名称】光電変換装置およびその製造方法

(57)【要約】
【課題】変換効率を向上させることが可能な太陽電池セルを提供する。
【解決手段】この太陽電池セル１は、半導体基板２と、半導体基板２の受光面側に設けられ、Ａ方向に延びる複数のフィンガー電極４０を含む受光面電極４とを備えている。フィンガー電極４０の両端部側の部分には、フィンガー電極４０の両端部からそれぞれ所定の距離を隔てて、幅広領域４０ａおよび４０ｂが形成されており、フィンガー電極４０の幅広領域４０ａおよび４０ｂのＢ方向の幅（＝Ｗ２およびＷ３）は、フィンガー電極４０の中央部のＢ方向の幅（＝Ｗ１）よりも大きい。
【選択図】図４



【特許請求の範囲】
【請求項１】
半導体層と、
前記半導体層の受光面側に設けられ、第１の方向に延びる複数のフィンガー電極を含む受光面電極とを備え、
前記フィンガー電極の少なくとも一方の端部側の部分には、前記フィンガー電極の端部から所定の距離を隔てて、幅広領域が形成されており、
前記フィンガー電極の幅広領域の前記第１の方向に直交する第２の方向の幅は、前記フィンガー電極の中央部側の部分の前記第２の方向の幅よりも大きいことを特徴とする光電変換装置。
【請求項２】
前記複数のフィンガー電極は、前記第２の方向に所定のピッチで配置されており、
前記フィンガー電極の幅広領域は、前記半導体層の端部から前記所定のピッチの半分よりも小さい長さだけ隔てて配置されていることを特徴とする請求項１に記載の光電変換装置。
【請求項３】
前記フィンガー電極の両端部側の部分には、前記フィンガー電極の両端部からそれぞれ所定の距離を隔てて、前記幅広領域が形成されていることを特徴とする請求項１または２に記載の光電変換装置。
【請求項４】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記バスバー電極は、前記フィンガー電極の幅広領域の少なくとも一部を覆うように配置されていることを特徴とする請求項１～３のいずれか１項に記載の光電変換装置。
【請求項５】
前記フィンガー電極の前記バスバー電極が接続される側とは反対側の部分にも、前記幅広領域が形成されており、
前記フィンガー電極の前記バスバー電極が接続される幅広領域の前記第２の方向の幅は、前記フィンガー電極の前記バスバー電極が接続される側とは反対側の幅広領域の前記第２の方向の幅以上の大きさであることを特徴とする請求項４に記載の光電変換装置。
【請求項６】
前記フィンガー電極は、印刷用マスクを用いて印刷された導電性ペーストを焼成することにより形成されており、
前記フィンガー電極の幅広領域の前記第２の方向の幅は、前記印刷用マスクの厚み以上の大きさであることを特徴とする請求項１～５のいずれか１項に記載の光電変換装置。
【請求項７】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記バスバー電極は、ガラスフリットを含有せず、
前記フィンガー電極は、ガラスフリットを含有することを特徴とする請求項１～６のいずれか１項に記載の光電変換装置。
【請求項８】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記フィンガー電極および前記バスバー電極は、それぞれ、第１導電性ペーストおよび第２導電性ペーストを焼成することにより形成されており、
前記第１導電性ペーストは、前記第２導電性ペーストよりも粘度が大きいことを特徴とする請求項１～７のいずれか１項に記載の光電変換装置。
【請求項９】
半導体層の受光面側に、導電性ペーストを配置する工程と、

前記導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程とを備え、
前記導電性ペーストを配置する工程は、
前記導電性ペーストの少なくとも一方の端部側の部分に、前記導電性ペーストの端部から所定の距離を隔てて、幅広領域が形成され、かつ、前記導電性ペーストの幅広領域の前記第１の方向に直交する第２の方向の幅が、前記導電性ペーストの中央部側の部分の前記第２の方向の幅よりも大きくなるように、前記導電性ペーストを配置する工程を含むことを特徴とする光電変換装置の製造方法。
【請求項１０】
前記導電性ペーストを配置する工程は、印刷用マスクを用いて、前記導電性ペーストを印刷する工程を含み、
前記導電性ペーストの幅広領域の前記第２の方向の幅は、前記印刷用マスクの厚み以上の大きさであることを特徴とする請求項９に記載の光電変換装置の製造方法。
【請求項１１】
前記導電性ペーストを配置する工程は、第１導電性ペーストおよび第２導電性ペーストを配置する工程を含み、
前記導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程は、
前記第１導電性ペーストを焼成することにより、前記第１の方向に延びる複数のフィンガー電極を形成する工程と、
前記第２導電性ペーストを焼成することにより、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を形成する工程とを含み、
前記第１導電性ペーストは、前記第２導電性ペーストよりも粘度が大きいことを特徴とする請求項９または１０に記載の光電変換装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、光電変換装置およびその製造方法に関する。
【背景技術】
【０００２】
太陽電池などの光電変換装置の製造工程の１つである電極形成の方法としては、蒸着法、メッキ法、印刷法およびノズル法などが挙げられる。現在では、太陽電池の低コスト化と大量生産の観点から、スクリーン印刷法が多く用いられている。
【０００３】
このスクリーン印刷法によれば、ｎ$^{+}$ｐ型の太陽電池セルに対しては、受光面（ｎ$^{+}$面）電極の形成時に、Ａｇ粉末、ガラス粉末および有機樹脂を溶媒と共に混合して作製したＡｇ導電性ペーストを、マスクを用いて受光面に印刷する。その後、乾燥および焼成することにより、複数のフィンガー電極（幅５０μｍ～２００μｍ程度）と、フィンガー電極に垂直に接するバスバー電極（幅１ｍｍ～２ｍｍ程度）とを含む受光面電極を形成する。従来、フィンガー電極やバスバー電極のアスペクト比（高さ／線幅）は、０．１～０．２程度であり、フィンガー電極の単位長さ当たりの抵抗値は、おおよそ０．１５Ω／ｃｍ～０．７０Ω／ｃｍである。
【０００４】
また、太陽電池セルの裏面電極の形成時には、Ａｌ粉末、ガラス粉末および有機樹脂を溶媒と共に混合して作製したＡｌ導電性ペーストを、裏面全面に印刷する。その後、乾燥および焼成することにより、裏面電極を形成する。この裏面電極の形成時には、開放電圧（Ｖｏｃ）を向上させ、かつ、短絡電流（Ｉｓｃ）を向上させるための裏面電界（ＢＳＦ：Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｆｉｅｌｄ）層も同時に形成している。
【０００５】
スクリーン印刷による微細電極の形成方法としては、エッチングにより略樽形状の断面

を有する開口部が形成されたメタルマスクを用いる方法が知られている（例えば、特許文献１参照）。この特許文献１では、略樽形状の断面を有する開口部が形成されたメタルマスクを用いて、半田ペースト（導電性ペースト）をスクリーン印刷することによって、メタルマスクに対する半田ペーストの版離れを改善している。これにより、半田ペーストが転写されなかったり、印刷後の半田ペーストの幅が小さくなり焼成後の微細電極が剥離しやすくなるのをある程度抑制することが可能である。

【特許文献１】特開２００４－６９２７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

太陽電池を高効率化するためには、電極形成の際に半導体層上の受光面電極の面積を低減することにより、受光面電極の表面での反射損失を少なくして半導体層（発電層）に入射する光の量を多くすることが必要である。また、接触抵抗値や受光面電極の長さ方向の線抵抗値などの電流導出方向の抵抗値を小さくすることにより、発生したキャリアを、抵抗損失なく取り出すことも必要である。

【０００７】

受光面電極の線幅を微細化することは、入射する光の量を多くすることができるので非常に有効である一方、受光面電極の線抵抗値が増大する。このため、受光面電極の線抵抗値が増大するのを抑制するために、受光面電極の高さ（厚み）を大きくする必要がある。

【０００８】

５０μｍ以下の幅の微細な電極を形成する方法としては、フォトリソグラフィーを用いる方法が知られているが、この方法を太陽電池セルの製造に用いるには、非常に複雑な工程を要し、高コストであるので、大規模量産の技術には向いていない。

【０００９】

現在のスクリーン印刷技術を用いた電極形成方法では、実用可能な電極の線幅は、おおよそ１００μｍ程度である。

【００１０】

現在のスクリーン印刷法では、一般的にメッシュマスクや、メタルマスクが用いられている。

【００１１】

メッシュマスクを用いて受光面電極となる導電性ペーストのパターンの線幅を小さく（微細化）する場合、導電性ペーストのメッシュマスクに対する抜け性を良くするために、メッシュの数を増やすとともに、メッシュの線径を小さくするのが好ましい。しかしながら、メッシュの線径を小さくした場合、紗厚が小さくなるので、印刷時の導電性ペーストの吐出量が減少し、形成される受光面電極の高さ（厚み）が小さくなるという不都合がある。また、印刷後の導電性ペーストがだれないように、高粘度の導電性ペーストを用いた場合、受光面電極の高さ（厚み）が均一になりにくく、受光面電極の線抵抗値が増大するという不都合がある。

【００１２】

一方、メタルマスクを用いた場合、メッシュマスクを用いる場合に比べて、導電性ペーストの抜け性は良くなる。しかしながら、受光面電極の高さ（厚み）を大きくするためにメタルマスクの厚みを大きくした場合、メタルマスクの開口部の端部では、転写された導電性ペーストがメタルマスクの開口部の壁面３辺から抵抗を受けるので、メタルマスクに対する導電性ペーストの版離れが悪くなる。これにより、導電性ペーストが転写されなかったり、印刷後の導電性ペーストの幅が小さくなり焼成後の受光面電極の端部が剥離しやすくなるという不都合がある。このように受光面電極の一部が形成されなかったり剥離した場合、Ｊｓｃ（電流密度）やＦＦ（曲線因子）が低下しやすくなるという不都合が生じる。また、高粘度の導電性ペーストを用いる場合、メタルマスクの開口部の壁面３辺から受ける抵抗が大きくなるので、メタルマスクに対する導電性ペーストの版離れが、より悪くなるという不都合がある。

【００１３】
上記特許文献１では、メタルマスクの開口部の断面を略樽形状に形成しているので、開口部内に残留した導電性ペーストを除去しにくい。すなわち、メタルマスクを、洗浄しにくい。また、メタルマスクの開口部の断面を略樽形状に形成しているので、高粘度の導電性ペーストを用いた場合、開口部に導電性ペーストが十分に充填されにくくなる。これにより、導電性ペーストが良好に転写されにくくなるので、受光面電極が断線したり剥離する場合がある。その結果、光電変換装置の変換効率が低下する場合があるという問題点がある。
【００１４】
この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、変換効率を向上させることが可能な光電変換装置およびその製造方法を提供することである。
【課題を解決するための手段】
【００１５】
上記目的を達成するために、この発明の第１の局面による光電変換装置は、半導体層と、半導体層の受光面側に設けられ、第１の方向に延びる複数のフィンガー電極を含む受光面電極とを備え、フィンガー電極の少なくとも一方の端部側の部分には、フィンガー電極の端部から所定の距離を隔てて、幅広領域が形成されており、フィンガー電極の幅広領域の第１の方向に直交する第２の方向の幅は、フィンガー電極の中央部側の部分の第２の方向の幅よりも大きい。
【００１６】
この第１の局面による光電変換装置では、上記のように、フィンガー電極の少なくとも一方の端部側の部分に幅広領域を形成し、フィンガー電極の幅広領域の第２の方向の幅を、フィンガー電極の中央部側の部分の第２の方向の幅よりも大きくしている。これにより、例えば、印刷用マスクを用いて導電性ペーストを印刷することにより、導電性ペースト（フィンガー電極）を高いアスペクト比（高さ／線幅）に形成する場合にも、印刷用マスクの高さ（厚み）が導電性ペースト（フィンガー電極）の幅広領域の第２の方向の幅よりも大きくなるのを抑制することができる。すなわち、幅広領域に対応する印刷用マスクの開口部の部分のアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを抑制することができるので、導電性ペーストの端部側の部分（幅広領域）が転写されなかったり、端部側の部分（幅広領域）の第２の方向の幅が小さくなり焼成後のフィンガー電極が剥離しやすくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのを抑制することができる。
【００１７】
また、第１の局面による光電変換装置では、上記のように、印刷用マスクに対する導電性ペーストの版離れが悪くなるのを抑制しながら、フィンガー電極を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極の線抵抗値が大きくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのをより抑制することができる。
【００１８】
また、第１の局面による光電変換装置では、上記のように、幅広領域を、フィンガー電極の端部から所定の距離を隔てて形成することによって、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、フィンガー電極の幅広領域から内側の部分が剥離するのを抑制することができる。また、フィンガー電極が剥離する場合、通常、端部から剥離するので、幅広領域をフィンガー電極の端部に形成する場合に比べて、幅広領域が剥離するのを抑制することができる。また、フィンガー電極の幅広領域が、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置されていれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下することがない。

【００１９】
上記第１の局面による光電変換装置において、好ましくは、複数のフィンガー電極は、第２の方向に所定のピッチで配置されており、フィンガー電極の幅広領域は、半導体層の端部から所定のピッチの半分よりも小さい長さだけ隔てて配置されている。このように構成すれば、フィンガー電極の幅広領域を、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置することができるので、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下するのを抑制することができる。なお、フィンガー電極の第２の方向のピッチは、通常、電子が流れる距離に基づいて設定されており、電子が流れる距離の約２倍がフィンガー電極の第２の方向のピッチ（所定のピッチ）となる。このため、フィンガー電極の幅広領域を、半導体層の端部から所定のピッチの半分の長さよりも小さい長さだけ隔てて配置すれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも電流の損失がない。

【００２０】
上記第１の局面による光電変換装置において、好ましくは、フィンガー電極の両端部側の部分には、フィンガー電極の両端部からそれぞれ所定の距離を隔てて、幅広領域が形成されている。このように構成すれば、フィンガー電極の両端部側において、フィンガー電極が剥離するのを抑制することができるので、光電変換装置の変換効率が低下するのをより抑制することができる。

【００２１】
上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、バスバー電極は、フィンガー電極の幅広領域の少なくとも一部を覆うように配置されている。このように構成すれば、フィンガー電極に幅広領域を設けた場合にも、受光面電極の表面での反射損失が増加するのを抑制することができるので、光電変換装置の変換効率が低下するのをより抑制することができる。

【００２２】
上記バスバー電極がフィンガー電極の幅広領域の少なくとも一部を覆うように配置されている光電変換装置において、好ましくは、フィンガー電極のバスバー電極が接続される側とは反対側の部分にも、幅広領域が形成されており、フィンガー電極のバスバー電極が接続される幅広領域の第２の方向の幅は、フィンガー電極のバスバー電極が接続される側とは反対側の幅広領域の第２の方向の幅以上の大きさである。このように構成すれば、バスバー電極とフィンガー電極との接触面積を、容易に大きくすることができるので、バスバー電極が、フィンガー電極から剥離するのを、容易に抑制することができる。

【００２３】
上記第１の局面による光電変換装置において、好ましくは、フィンガー電極は、印刷用マスクを用いて印刷された導電性ペーストを焼成することにより形成されており、フィンガー電極の幅広領域の第２の方向の幅は、印刷用マスクの厚み以上の大きさである。このように構成すれば、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを容易に抑制することができる。

【００２４】
上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、バスバー電極は、ガラスフリットを含有せず、フィンガー電極は、ガラスフリットを含有する。このように構成すれば、半導体層上に絶縁膜を形成した後、絶縁膜上に、ガラスフリットを含有した導電性ペースト、および、ガラスフリットを含有しない導電性ペーストを印刷し、焼成することによりフィンガー電極およびバスバー電極を形成する場合、ガラスフリットを含有したフィンガー電極を、半導体層に接触させるとともに、ガラスフリットを含有しないバスバー電極を、半導体層に接触しないように形成することができる。これにより、フィンガー電極およびバスバー電極の両方が半導体層に接触する場合に比べて、パッシベーション効果を向上させることができるので、Ｖｏｃ（開放電圧）を大きくすることができる

。

【００２５】

上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、フィンガー電極およびバスバー電極は、それぞれ、第１導電性ペーストおよび第２導電性ペーストを焼成することにより形成されており、第１導電性ペーストは、第２導電性ペーストよりも粘度が大きい。このように構成すれば、第１導電性ペーストがだれるのを、容易に抑制することができるので、フィンガー電極を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【００２６】

この発明の第２の局面による光電変換装置の製造方法は、半導体層の受光面側に、導電性ペーストを配置する工程と、導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程とを備え、導電性ペーストを配置する工程は、導電性ペーストの少なくとも一方の端部側の部分に、導電性ペーストの端部から所定の距離を隔てて、幅広領域が形成され、かつ、導電性ペーストの幅広領域の第１の方向に直交する第２の方向の幅が、導電性ペーストの中央部側の部分の第２の方向の幅よりも大きくなるように、導電性ペーストを配置する工程を含む。

【００２７】

この第２の局面による光電変換装置の製造方法では、上記のように、導電性ペーストの少なくとも一方の端部側の部分に幅広領域が形成され、かつ、導電性ペーストの幅広領域の第２の方向の幅が、導電性ペーストの中央部側の部分の第２の方向の幅よりも大きくなるように、導電性ペーストを配置する。これにより、例えば、印刷用マスクを用いて導電性ペーストを印刷することにより、導電性ペースト（フィンガー電極）を高いアスペクト比（高さ／線幅）に形成する場合にも、印刷用マスクの高さ（厚み）が導電性ペースト（フィンガー電極）の幅広領域の第２の方向の幅よりも大きくなるのを抑制することができる。すなわち、幅広領域に対応する印刷用マスクの開口部の部分のアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを抑制することができるので、導電性ペーストの端部側の部分（幅広領域）が転写されなかったり、端部側の部分（幅広領域）の第２の方向の幅が小さくなり焼成後のフィンガー電極が剥離しやすくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのを抑制することができる。

【００２８】

また、第２の局面による光電変換装置の製造方法では、上記のように、印刷用マスクに対する導電性ペーストの版離れが悪くなるのを抑制しながら、フィンガー電極（導電性ペースト）を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極の線抵抗値が大きくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのをより抑制することができる。

【００２９】

また、第２の局面による光電変換装置の製造方法では、上記のように、幅広領域を、導電性ペースト（フィンガー電極）の端部から所定の距離を隔てて形成することによって、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、フィンガー電極の幅広領域から内側の部分が剥離するのを抑制することができる。また、フィンガー電極が剥離する場合、通常、端部から剥離するので、幅広領域を導電性ペースト（フィンガー電極）の端部に形成する場合に比べて、幅広領域が剥離するのを抑制することができる。また、フィンガー電極の幅広領域が、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置されていれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下することがない。

【００３０】

上記第２の局面による光電変換装置の製造方法において、好ましくは、導電性ペースト

を配置する工程は、印刷用マスクを用いて、導電性ペーストを印刷する工程を含み、導電性ペーストの幅広領域の第２の方向の幅は、印刷用マスクの厚み以上の大きさである。このように構成すれば、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを容易に抑制することができる。

【００３１】

上記第２の局面による光電変換装置の製造方法において、好ましくは、導電性ペーストを配置する工程は、第１導電性ペーストおよび第２導電性ペーストを配置する工程を含み、導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程は、第１導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を形成する工程と、第２導電性ペーストを焼成することにより、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を形成する工程とを含み、第１導電性ペーストは、第２導電性ペーストよりも粘度が大きい。このように構成すれば、第１導電性ペーストがだれるのを、容易に抑制することができるので、フィンガー電極を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【発明の効果】

【００３２】

以上のように、本発明によれば、変換効率を向上させることが可能な光電変換装置を容易に得ることができる。

【発明を実施するための最良の形態】

【００３３】

図１は、本発明の一実施形態による太陽電池セルの構造を示した平面図である。図２は、図１の１００－１００線に沿った断面図である。図３は、図１の２００－２００線に沿った断面図である。図４は、図１に示した一実施形態による太陽電池セルの受光面電極の詳細構造を示した平面図である。まず、図１～図４を参照して、本発明の一実施形態による太陽電池セル１の構造について説明する。

【００３４】

本発明の一実施形態による太陽電池セル１は、図２および図３に示すように、ｐ型の半導体基板２と、半導体基板２の受光面側に設けられた絶縁膜３および受光面電極４と、半導体基板２の裏面上の略全面に設けられた裏面電極５とを含んでいる。なお、太陽電池セル１は、本発明の「光電変換装置」の一例であり、半導体基板２は、本発明の「半導体層」の一例である。

【００３５】

半導体基板２は、キャスト法により作製されたシリコンインゴットをマルチワイヤー法によりスライスしたｐ型のシリコン基板や、ＣＺ法やＦＺ法により作製されたシリコンインゴットをスライスしたｐ型の単結晶シリコン基板などからなる。

【００３６】

また、半導体基板２の受光面には、凹凸構造（テクスチャ構造）が形成されている。これにより、太陽光が半導体基板２の表面で反射するのを抑制することが可能である。

【００３７】

また、半導体基板２には、ｐ型導電領域２ａと、半導体基板２の受光面側の全面に設けられたｎ$^+$型導電領域２ｂと、半導体基板２の裏面側の全面に設けられたｐ$^+$型導電領域２ｃとが形成されている。そして、ｐ型導電領域２ａとｎ$^+$型導電領域２ｂとによって、ｐｎ接合が形成されている。

【００３８】

ｐ$^+$型導電領域２ｃは、裏面電極５に電気的に接続されている。なお、ｐ$^+$型導電領域２ｃは、裏面電界（ＢＳＦ）効果が得られるように構成することも可能である。また、半導体基板２の裏面側に、内部反射を高めるために裏面反射層（Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｒｅｆｌｅｃｔｏｒ）を形成したり、表面再結合を防止するために酸化膜や窒化膜を形成してもよい。

【００３９】
絶縁膜３は、反射防止膜としての機能を有する。なお、絶縁膜３（反射防止膜）や裏面反射膜としては、各種酸化膜などを用いることが可能である。
【００４０】
また、絶縁膜３は、半導体基板２の受光面上に設けられている。また、絶縁膜３は、図２および図３に示すように、受光面電極４の後述するバスバー電極４１（図２参照）と半導体基板２との間に配置されている一方、受光面電極４の後述するフィンガー電極４０（図３参照）と半導体基板２との間には配置されていない。
【００４１】
受光面電極４は、図１に示すように、複数のフィンガー電極４０と、フィンガー電極４０に電気的に接続されるバスバー電極４１とによって構成されている。図２および図３に示すように、フィンガー電極４０（図３参照）は、半導体基板２（n^+型導電領域２ｂ）に接触している一方、バスバー電極４１（図２参照）は、半導体基板２（n^+型導電領域２ｂ）に接触していない。また、フィンガー電極４０は、半導体基板２の内部で発生した電気を収集するために設けられており、バスバー電極４１は、収集した電気を外部に取り出すために設けられている。
【００４２】
複数のフィンガー電極４０は、図４に示すように、Ａ方向に延びるように形成されているとともに、Ａ方向と直交するＢ方向に、例えば、約２ｍｍのピッチ（＝Ｐ１）で配置されている。なお、Ａ方向は、本発明の「第１の方向」の一例であり、Ｂ方向は、本発明の「第２の方向」の一例である。
【００４３】
ここで、本実施形態では、フィンガー電極４０のＡ方向の両端部側の部分には、フィンガー電極４０の両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域４０ａおよび４０ｂが形成されている。
【００４４】
また、本実施形態では、幅広領域４０ａは、半導体基板２（絶縁膜３）の端部（端面）から所定の距離（＝Ｌ１）だけ隔てて形成されている。具体的には、この所定の距離（＝Ｌ１）は、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）の半分よりも小さい長さであり、好ましくは、Ｂ方向に隣接するフィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域間の距離（＝Ｌ２）の半分以下の長さである。
【００４５】
ここで、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）は、電子が流れる距離に基づいて設定されており、電子が流れる距離の約２倍がフィンガー電極４０のＢ方向のピッチ（＝Ｐ１）となっている。このため、所定の距離（＝Ｌ１）は、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）の半分よりも小さい長さであるので、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離したとしても、電流の損失がない。
【００４６】
また、本実施形態では、Ａ方向に隣接する幅広領域４０ｂ（または、Ａ方向に隣接する幅広領域４０ａ）は、互いに所定の距離（＝Ｌ３）を隔てて形成されている。この所定の距離（＝Ｌ３）は、上記と同様の理由により、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）よりも小さい長さであり、好ましくは、距離（＝Ｌ２）以下の長さである。
【００４７】
また、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（フィンガー電極４０の中央部および外側の部分）は、例えば、約４０μｍ～約４５μｍのＢ方向の幅（線幅）（＝Ｗ１）を有する。
【００４８】
また、フィンガー電極４０の幅広領域４０ａは、例えば、約６０μｍ～約６５μｍのＢ方向の幅（＝Ｗ２）を有する。また、フィンガー電極４０の幅広領域４０ｂは、幅広領域４０ａ以上のＢ方向の幅（＝Ｗ３）を有する。なお、フィンガー電極４０の幅広領域４０

ｂのＢ方向の幅（＝Ｗ３）は、幅広領域４０ａのＢ方向の幅（＝Ｗ２）よりも大きくするのが好ましい。

【００４９】

また、フィンガー電極４０は、例えば、約４０μｍの厚みを有する。すなわち、フィンガー電極４０は、アスペクト比（高さ／線幅）が０．５以上である。なお、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（フィンガー電極４０の中央部および外側の部分）のＢ方向の幅（＝Ｗ１）が約４０μｍ～約４５μｍである場合、線抵抗値が増大するのを抑制するためには、フィンガー電極４０は、４０μｍ程度の厚みが必要である。

【００５０】

また、フィンガー電極４０は、ガラスフリットを含有している。すなわち、フィンガー電極４０は、ガラスフリットを含有する導電性ペーストを焼成することにより形成されている。

【００５１】

バスバー電極４１は、フィンガー電極４０に対して直交するＢ方向に延びるように形成されている。また、バスバー電極４１は、Ａ方向に、例えば約２ｍｍの幅（＝Ｗ１１）を有しており、Ａ方向に隣接する２つのフィンガー電極４０に跨るように配置されている。また、バスバー電極４１は、フィンガー電極４０の幅広領域４０ｂの上面全面を覆うように配置されている。

【００５２】

また、バスバー電極４１は、ガラスフリットを含有していない。すなわち、バスバー電極４１は、ガラスフリットを含有していない導電性ペーストを焼成することにより形成されている。なお、バスバー電極４１は、ガラスフリットを含有していてもよい。

【００５３】

裏面電極５（図２参照）は、インターコネクタ（図示せず）を介して、隣接する他の太陽電池セル１の受光面電極４のバスバー電極４１に電気的に接続されている。なお、裏面電極５は、裏面での内部反射を向上させるための裏面反射層として構成することも可能である。

【００５４】

図５は、図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。図６は、図１に示した一実施形態による太陽電池セルの製造プロセスに用いるメタルマスクの構造を示した平面図である。図７は、図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。次に、図１～図７を参照して、本発明の一実施形態による太陽電池セル１の製造プロセスについて説明する。

【００５５】

まず、キャスト法、ＣＺ法またはＦＺ法などにより作製されたシリコンインゴットをマルチワイヤー法によりスライスして、ｐ型の半導体基板２（図２および図３参照）を準備する。

【００５６】

そして、酸性またはアルカリ性の溶液や、反応性プラズマなどを用いて、半導体基板２の表面をエッチングすることによって、半導体基板２の少なくとも受光面側の表面に凹凸構造（テクスチャ構造）を形成する。

【００５７】

その後、図２および図３に示すように、半導体基板２の受光面側にｎ型の不純物を導入することにより、ｎ$^{+}$型導電領域２ｂを形成する。

【００５８】

そして、半導体基板２の受光面上の全面に、絶縁膜３を形成する。

【００５９】

次に、半導体基板２の裏面上にＡｌなどのｐ型の不純物を含むペースト材料を印刷し、焼成することにより裏面電極５を形成する。このとき、ｐ型の不純物が半導体基板２内に

熱拡散し、半導体基板２の裏面側にｐ$^{+}$型導電領域２ｃが形成される。

【００６０】

そして、絶縁膜３の所定領域上に、受光面電極４を形成する。

【００６１】

以上で述べた製造プロセスは、現在、多結晶シリコン太陽電池などで一般的に用いられるプロセスであるが、その順序を変えることや、真空にするプロセスを部分的に用いることも可能である。

【００６２】

以下、本発明の太陽電池セル１の受光面電極４の形成方法について、詳細に説明する。

【００６３】

絶縁膜３の所定領域上に、図５に示すように、メタルマスク１０（図６参照）を用いて、ガラスフリットを約２ｗｔ％～約５ｗｔ％含有する導電性ペースト４０ｃをスクリーン印刷する。なお、導電性ペースト４０ｃは、後の工程において焼成されることにより、フィンガー電極４０となる。また、導電性ペースト４０ｃは、微細電極印刷時でも断線しない程度の高粘度のペーストを使用する。なお、メタルマスク１０は、本発明の「印刷用マスク」の一例であり、導電性ペースト４０ｃは、本発明の「第１導電性ペースト」の一例である。

【００６４】

このとき用いるメタルマスク１０には、図６に示すように、Ａ方向に延びる複数の開口部１１が設けられている。また、開口部１１の両端部側の部分には、開口部１１の両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域１１ａおよび１１ｂが形成されている。

【００６５】

また、開口部１１の幅広領域１１ａおよび１１ｂ以外の領域（開口部１１の中央部および外側の部分）は、例えば、約４０μｍのＢ方向の幅（開口幅）（＝Ｗ４１）を有する。また、開口部１１の幅広領域１１ａは、例えば、約６０μｍのＢ方向の幅（開口幅）（＝Ｗ４２）を有する。また、開口部１１の幅広領域１１ｂは、幅広領域１１ａ以上のＢ方向の幅（開口幅）（＝Ｗ４３）を有する。

【００６６】

これにより、図５に示すように、スクリーン印刷後の導電性ペースト４０ｃのＡ方向の両端部側の部分には、導電性ペースト４０ｃの両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域４０ｄおよび４０ｅが形成される。なお、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅは、後の工程において焼成されることにより、それぞれ、フィンガー電極４０の幅広領域４０ａおよび４０ｂとなる。

【００６７】

また、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅ以外の領域（導電性ペースト４０ｃの中央部および外側の部分）は、例えば、約４０μｍ～約４５μｍのＢ方向の幅（＝Ｗ２１）を有するように形成される。また、導電性ペースト４０ｃの幅広領域４０ｄは、例えば、約６０μｍ～約６５μｍのＢ方向の幅（＝Ｗ２２）を有するように形成される。また、導電性ペースト４０ｃの幅広領域４０ｅは、幅広領域４０ｄ以上のＢ方向の幅（＝Ｗ２３）を有するように形成される。

【００６８】

また、メタルマスク１０は、例えば、約５０μｍの厚みを有しており、導電性ペースト４０ｃを焼成した後のフィンガー電極４０の厚みは、約４０μｍになる。

【００６９】

次に、図７に示すように、絶縁膜３の所定領域上、および、導電性ペースト４０ｃの所定領域上に、メッシュマスク（図示せず）を用いて、ガラスフリットを含有しない導電性ペースト４１ａをスクリーン印刷する。なお、導電性ペースト４１ａは、後の工程において焼成されることにより、バスバー電極４１となる。また、導電性ペースト４１ａは、導電性ペースト４０ｃと同様に、ガラスフリットを含有していてもよい。なお、導電性ペー

スト４１ａは、本発明の「第２導電性ペースト」の一例である。

【００７０】

また、導電性ペースト４１ａは、導電性ペースト４０ｃよりも小さい粘度を有する。なお、導電性ペースト４１ａは、導電性ペースト４０ｃと同程度の粘度を有していてもよい。

【００７１】

導電性ペースト４１ａは、Ａ方向に、例えば約２ｍｍの幅（＝Ｗ３１）を有しており、Ａ方向に隣接する２つの導電性ペースト４０ｃに跨がるように配置されている。また、導電性ペースト４１ａは、導電性ペースト４０ｃの幅広領域４０ｅの上面全面を覆うように配置される。

【００７２】

その後、導電性ペースト４０ｃおよび４１ａを焼成することにより、図１および図４に示すように、フィンガー電極４０およびバスバー電極４１からなる受光面電極４が形成される。このとき、導電性ペースト４０ｃ（フィンガー電極４０）にはガラスフリットが含有されているので、図３に示すように、焼成する際に、導電性ペースト４０ｃ（フィンガー電極４０）が絶縁膜３を貫通し、半導体基板２のｎ$^{+}$型導電領域２ｂと電気的に接続される。その一方、導電性ペースト４１ａ（バスバー電極４１）にはガラスフリットが含有されていないので、図２に示すように、焼成した場合にも、導電性ペースト４１ａ（バスバー電極４１）は絶縁膜３を貫通しない。

【００７３】

以上のようにして、図１に示した一実施形態による太陽電池セル１が製造される。

【００７４】

本実施形態では、上記のように、フィンガー電極４０の両端部側の部分に幅広領域４０ａおよび４０ｂを形成し、フィンガー電極４０の幅広領域４０ａおよび４０ｂのＢ方向の幅（＝Ｗ２およびＷ３）を、フィンガー電極４０の中央部および外側の部分のＢ方向の幅（＝Ｗ１）よりも大きくしている。これにより、導電性ペースト４０ｃ（フィンガー電極４０）を高いアスペクト比（高さ／線幅）に形成する場合にも、メタルマスク１０の高さ（厚み）（約５０μｍ）が導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅのＢ方向の幅（約６０μｍ）よりも大きくなるのを抑制することができる。すなわち、メタルマスク１０の開口部１１の幅広領域１１ａおよび１１ｂのアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペースト４０ｃの端部側の部分（幅広領域４０ｄおよび４０ｅ）においても、メタルマスク１０に対して版離れが悪くなるのを抑制することができるので、導電性ペースト４０ｃの端部側の部分（幅広領域４０ｄおよび４０ｅ）が転写されなかったり、端部側の部分（幅広領域４０ｄおよび４０ｅ）のＢ方向の幅が小さくなり焼成後のフィンガー電極４０が剥離しやすくなるのを抑制することができる。その結果、太陽電池セル１の変換効率が低下するのを抑制することができる。

【００７５】

また、本実施形態では、上記のように、メタルマスク１０に対する導電性ペースト４０ｃの版離れが悪くなるのを抑制しながら、フィンガー電極４０を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極４０の線抵抗値が大きくなるのを抑制することができる。その結果、太陽電池セル１の変換効率が低下するのをより抑制することができる。

【００７６】

また、本実施形態では、上記のように、幅広領域４０ａおよび４０ｂを、フィンガー電極４０の両端部からそれぞれ所定の距離を隔てて形成することによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離した場合にも、フィンガー電極４０の幅広領域４０ａおよび４０ｂから内側の部分が剥離するのを抑制することができる。また、フィンガー電極４０が剥離する場合、通常、端部から剥離するので、幅広領域４０ｄおよび４０ｅをフィンガー電極４０の端部に形成する場合に比べて、幅広領域４０

ｄおよび４０ｅが剥離するのを抑制することができる。また、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離しても電流の損失がない位置に配置しているので、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離した場合にも、太陽電池セル１の変換効率が低下することがない。

【００７７】

また、本実施形態では、上記のように、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、半導体基板２（絶縁膜３）の端部から所定のピッチ（＝Ｐ１）の半分よりも小さい長さ（＝Ｌ１）だけ隔てて配置することによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、容易に、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離しても電流の損失がない位置に配置することができる。

【００７８】

また、本実施形態では、上記のように、バスバー電極４１を、フィンガー電極４０の幅広領域４０ｂの上面全面を覆うように配置することによって、フィンガー電極４０に幅広領域４０ｂを設けた場合にも、受光面電極４の表面での反射損失が増加するのを抑制することができるので、太陽電池セル１の変換効率が低下するのをより抑制することができる。

【００７９】

また、本実施形態では、上記のように、フィンガー電極４０のバスバー電極４１が接続される幅広領域４０ｂのＢ方向の幅（＝Ｗ３）を、フィンガー電極４０の幅広領域４０ａのＢ方向の幅（＝Ｗ２）以上の大きさにすることによって、バスバー電極４１とフィンガー電極４０との接触面積を、容易に大きくすることができる。これにより、ガラスフリットを含有するフィンガー電極４０（導電性ペースト４０ｃ）と、ガラスフリットを含有しないバスバー電極４１（導電性ペースト４１ａ）との接着強度が弱い場合にも、バスバー電極４１が、フィンガー電極４０から剥離するのを、容易に抑制することができる。

【００８０】

また、本実施形態では、上記のように、フィンガー電極４０を、ガラスフリットを含有する導電性ペースト４０ｃにより形成し、バスバー電極４１を、ガラスフリットを含有しない導電性ペースト４１ａにより形成することによって、ガラスフリットを含有するフィンガー電極４０を、半導体基板２に接触させるとともに、ガラスフリットを含有しないバスバー電極４１を、半導体基板２に接触しないように形成することができる。これにより、フィンガー電極４０およびバスバー電極４１の両方が半導体基板２に接触する場合に比べて、パッシベーション効果を向上させることができるので、Ｖｏｃ（開放電圧）を大きくすることができる。

【００８１】

また、本実施形態では、上記のように、フィンガー電極４０を、導電性ペースト４１ａよりも粘度の大きい導電性ペースト４０ｃを用いて形成している。これにより、導電性ペースト４０ｃがだれるのを、容易に抑制することができるので、フィンガー電極４０を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【００８２】

また、本実施形態では、上記のように、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（中央部および外側の部分）のアスペクト比（高さ／線幅）を、約１（０．５以上）にすることによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（中央部および外側の部分）のＢ方向の幅（＝Ｗ１）を小さくした場合（フィンガー電極４０を微細化した場合）にも、フィンガー電極４０の線抵抗値が増大するのを容易に抑制することができる。

【実施例】

【００８３】

次に、上記した本発明の一実施形態による太陽電池セル１の効果を確認するために行った比較実験について説明する。この比較実験では、上記実施形態に対応する実施例１によ

る太陽電池セルと、上記実施例１とは異なりフィンガー電極に幅広領域が形成されていない比較例１～３による太陽電池セルとを作製した。そして、実施例１および比較例１～３による太陽電池セルについて、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）と、剥離したフィンガー電極の数、および、剥離長さとを測定した。以下、詳細に説明する。

【００８４】

（実施例１）

実施例１による太陽電池セル１は、以下のように作製した。まず、シリコンインゴットをマルチワイヤー法によりスライスすることによって、約１０ｃｍ×約１０ｃｍの外形と、約０．３ｍｍの厚みと、約１．５Ωｃｍの比抵抗とを有するｐ型の多結晶シリコン基板（半導体基板２）を準備した。

【００８５】

そして、５％ＮａＯＨアルカリ水溶液に対して７％アルコールを加えた溶液中で、約８０℃の温度で約１０分間、半導体基板２をエッチングすることにより、破砕層の除去と凹凸構造（テクスチャ構造）の形成とを同時に行った。

【００８６】

その後、$POCl_3$（オキシ塩化リン）を含む約８４０℃の雰囲気の電気炉中の治具に半導体基板２を載置して、約２０分間リン拡散（熱拡散）を行うことによって、半導体基板２の受光面側にn^+型導電領域２ｂを形成した。そして、ＨＦ水溶液中で、ＰＳＧ（リンガラス）層などを除去した後、洗浄および乾燥を行った。これにより、約７０Ω／□のシート抵抗と、約０．３μｍの深さ（接合深さ）と、表面付近に約10^{20} cm^{-2}のドーパント濃度とを有するn^+型導電領域２ｂを形成した。

【００８７】

その後、半導体基板２の受光面上に、プラズマＣＶＤ法を用いて、約７２ｎｍの厚みと反射防止機能とを有するＳｉＮ層からなる絶縁膜３を形成した。このとき、ガス種として、シランおよびアンモニアを用いた。

【００８８】

そして、半導体基板２の裏面上に、Ａｌ粉末を含有する導電性ペーストを印刷し、乾燥させた。その後、近赤外線炉中で焼成することにより、p^+型導電領域２ｃおよび裏面電極５を形成した。

【００８９】

次に、メタルマスク１０を用いて、絶縁膜３の所定領域上に導電性ペースト４０ｃをスクリーン印刷した。

【００９０】

具体的には、メタルマスク１０の厚みは、約５０μｍであった。また、メタルマスク１０の開口部１１のＡ方向の長さは、約２４ｍｍであった。また、開口部１１の幅広領域１１ａおよび１１ｂ以外の領域（開口部１１の中央部および外側の部分）のＢ方向の幅（＝Ｗ４１）は、約４０μｍであった。また、開口部１１の幅広領域１１ａおよび１１ｂは、約６０μｍ×約６０μｍの正方形状であった。また、開口部１１の幅広領域１１ａおよび１１ｂは、開口部１１の両端部からそれぞれ約０．５ｍｍ隔てた位置に形成されていた。また、開口部１１のＢ方向のピッチは、約２．０ｍｍであった。

【００９１】

また、導電性ペースト４０ｃは、銀、ガラスフリット、有機樹脂および溶媒を適宜混合して調整したものを用いた。また、導電性ペースト４０ｃの粘度は、約５００Ｐａ・ｓであった。

【００９２】

その後、メッシュマスクを用いて、絶縁膜３の所定領域上、および、導電性ペースト４０ｃの所定領域上に、導電性ペースト４１ａをスクリーン印刷した。導電性ペースト４１ａは、ガラスフリットを用いずに、銀、有機樹脂および溶媒を適宜混合して調整したものを用いた。また、導電性ペースト４１ａの粘度は、約１００Ｐａ・ｓであった。

【００９３】
その後、導電性ペースト４０ｃおよび４１ａを焼成することにより、フィンガー電極４０およびバスバー電極４１からなる受光面電極４を形成した。
【００９４】
このときのフィンガー電極４０の単位長さ当たりの抵抗値は、約０．１１Ω／ｃｍであった。また、フィンガー電極４０の厚みは、約４０μｍであり、フィンガー電極４０の幅広領域４０ｄおよび４０ｅ以外の領域の幅（＝Ｗ１）は、約４２μｍであった。また、バスバー電極４１のＡ方向の幅（＝Ｗ１１）は、約２ｍｍであった。なお、実施例１による太陽電池セル１のその他の構造および製造方法は、上記実施形態と同様である。
【００９５】
（比較例１）
比較例１による太陽電池セルは、上記実施例１と異なり、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。すなわち、約４０μｍの均一なＢ方向の幅を有する開口部が設けられたメタルマスクを用いてフィンガー電極を形成した。なお、比較例１による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記実施例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約４０μｍおよび約４２μｍであった。
【００９６】
（比較例２）
比較例２による太陽電池セルは、上記比較例１と同様、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。この比較例２では、上記比較例１と異なり、約３０μｍの厚みを有するメタルマスクを用いてフィンガー電極を形成した。なお、比較例２による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記比較例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約２０μｍおよび約４２μｍであった。
【００９７】
（比較例３）
比較例３による太陽電池セルは、上記比較例１および２と同様、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。この比較例３では、上記比較例１と異なり、約６０μｍの均一なＢ方向の幅を有する開口部が設けられたメタルマスクを用いてフィンガー電極を形成した。なお、比較例３による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記比較例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約４０μｍおよび約６３μｍであった。
【００９８】
上記のように作製した実施例１および比較例１～３による太陽電池セルについて、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）と、剥離したフィンガー電極の数、および、剥離長さとを測定した。なお、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）の測定は、照射強度１００ｍＷ／ｃｍ^{2}の擬似太陽光（ＪＩＳ標準光ＡＭ１．５Ｇ）下で行った。また、各太陽電池セルについて、８０本のフィンガー電極を目視で観察することにより、フィンガー電極の剥離の有無を確認した。その結果を、以下の表１に示す。なお、フィンガー電極の幅広領域よりも外側の部分に対応する領域（フィンガー電極の端部から約０．５ｍｍまでの領域）に剥離が発生しても、電流の損失がないので、約０．５ｍｍ以下の剥離についてはカウントしていない。
【００９９】

【表１】

	Jsc (mA/cm^2)	Voc (mV)	FF	Eff (%)	電極剥離本数 (本)	剥離長さ (mm)
実施例1	34.0	616	0.775	16.2	(0/80)	0
比較例1	33.5	615	0.745	15.3	(42/80)	3〜10
比較例2	34.2	613	0.740	15.5	(0/80)	0
比較例3	33.4	612	0.770	15.9	(0/80)	0

【０１００】
上記表１に示すように、実施例１では、フィンガー電極４０の剥離が確認されなかった。その一方、比較例１では、４２本のフィンガー電極において、約３ｍｍ〜約１０ｍｍの剥離が確認された。これは、以下の理由によるものと考えられる。すなわち、実施例１では、メタルマスク１０の厚み（約５０μｍ）がメタルマスク１０の開口部１１の幅広領域１１ａおよび１１ｂのＢ方向の幅（＝Ｗ４２およびＷ４３）（約６０μｍ）よりも小さいために、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅが開口部１１の壁面から受ける抵抗が小さくなり、メタルマスク１０に対する導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅの版離れが良くなった。これにより、フィンガー電極４０の幅広領域４０ａおよび４０ｂから内側（中央部側）の部分では、剥離が発生しなかったと考えられる。その一方、比較例１では、メタルマスクの厚み（約５０μｍ）がメタルマスクの開口部のＢ方向の幅（約４０μｍ）よりも大きいために、導電性ペーストが開口部の壁面から受ける抵抗が大きくなり、メタルマスクに対する導電性ペーストの版離れが悪くなるとともに、フィンガー電極の端部が剥離しやすくなったと考えられる。

【０１０１】
また、実施例１では、比較例１に比べて、Ｊｓｃ（電流密度）およびＦＦ（曲線因子）が共に大きく、高いＥｆｆ（変換効率）を得ることができた。具体的には、実施例１のＪｓｃ（電流密度）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）は、それぞれ、３４．０ｍＡ／ｃｍ^2、０．７７５および１６．２％であった。また、比較例１のＪｓｃ（電流密度）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）は、それぞれ、３３．５ｍＡ／ｃｍ^2、０．７４５および１５．３％であった。実施例１が比較例１に比べて、Ｊｓｃ（電流密度）およびＦＦ（曲線因子）が共に大きくなったのは、比較例１では、フィンガー電極に剥離が発生した一方、実施例１では、フィンガー電極に剥離が発生しなかったためであると考えられる。

【０１０２】
比較例２では、比較例１と異なり、フィンガー電極の剥離が確認されなかった。これは、以下の理由によるものと考えられる。すなわち、比較例２で用いたメタルマスクは、比較例１と異なり、メタルマスクの厚み（約３０μｍ）がメタルマスクの開口部のＢ方向の幅（約４０μｍ）よりも小さいために、導電性ペーストが開口部の壁面から受ける抵抗が小さくなり、メタルマスクに対する導電性ペーストの版離れが良くなったためであると考えられる。

【０１０３】
また、比較例２では、実施例１に比べて、ＦＦ（曲線因子）が小さくなった。具体的には、比較例２のＦＦ（曲線因子）は、０．７４０であった。これは、比較例２では、実施例１に比べて厚みの小さいメタルマスクを用いているので、フィンガー電極の厚みが小さくなり、フィンガー電極自体の抵抗値が高くなったためであると考えられる。

【０１０４】
比較例３では、比較例１と異なり、フィンガー電極の剥離が確認されなかった。これは

、以下の理由によるものと考えられる。すなわち、比較例３で用いたメタルマスクは、比較例１と異なり、メタルマスクの厚み（約５０μｍ）がメタルマスクの開口部のＢ方向の幅（約６０μｍ）よりも小さいために、導電性ペーストが開口部の壁面から受ける抵抗が小さくなり、メタルマスクに対する導電性ペーストの版離れが良くなったためであると考えられる。

【０１０５】

また、比較例３では、実施例１に比べて、Ｊｓｃ（電流密度）が小さくなった。具体的には、比較例３のＪｓｃ（電流密度）は、３３．４ｍＡ／ｃｍ^{2}であった。これは、以下の理由によるものと考えられる。すなわち、比較例３では、実施例１に比べて開口部のＢ方向の幅の大きいメタルマスクを用いているので、フィンガー電極の面積が大きくなる。これにより、フィンガー電極の表面での反射損失が増加し、半導体基板に入射する光の量が減少したので、Ｊｓｃ（電流密度）が小さくなったと考えられる。

【０１０６】

なお、上記実施例１とは異なりガラスフリットを含有する導電性ペーストを用いてバスバー電極を形成した別の実施例では、実施例１に比べて、Ｖｏｃ（開放電圧）が小さくなった。これは、以下の理由によるものと考えられる。すなわち、上記別の実施例では、ガラスフリットを含有する導電性ペーストを用いてバスバー電極を形成するので、導電性ペーストを焼成してバスバー電極を形成する際に、バスバー電極が、フィンガー電極と同様、絶縁膜３を貫通して、ｎ$^{+}$型導電領域２ｂと電気的に接続される。これにより、パッシベーション効果が低下し、Ｖｏｃ（開放電圧）が小さくなったと考えられる。

【０１０７】

なお、今回開示された実施形態および実施例は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態および実施例の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【０１０８】

例えば、上記実施形態では、光電変換装置として太陽電池（太陽電池セル）を例に挙げて説明したが、本発明はこれに限らず、太陽電池（太陽電池セル）以外の光電変換装置にも適用可能である。

【０１０９】

また、上記実施形態では、半導体層としてシリコン基板を用いた太陽電池セルについて示したが、本発明はこれに限らず、薄膜のシリコン層を用いた太陽電池セルに適用してもよい。また、シリコンゲルマニウム基板またはガリウム砒素基板などの化合物半導体基板や、有機半導体などのシリコン以外の半導体層を用いた太陽電池セルにも適用可能である。

【０１１０】

また、上記実施形態では、ｐ型の半導体基板を用いた例について示したが、本発明はこれに限らず、ｎ型の半導体基板を用いてもよい。この場合、半導体基板の受光面側に、ｐ型、または、ｐ$^{+}$型の導電領域を設ければよい。

【０１１１】

また、上記実施形態では、半導体基板の受光面側にｎ$^{+}$型導電領域を設けた例について示したが、本発明はこれに限らず、半導体基板の受光面側にｎ型導電領域を設けてもよい。

【０１１２】

また、上記実施形態では、幅広領域をフィンガー電極の両端部側の部分に設けた例について示したが、本発明はこれに限らず、幅広領域をフィンガー電極の一方の端部側の部分に設けてもよい。

【０１１３】

また、上記実施形態では、フィンガー電極の幅広領域を正方形状に形成した例について示したが、本発明はこれに限らず、フィンガー電極の幅広領域を正方形状以外の多角形状

や、円形状または楕円形状などに形成してもよい。

【０１１４】

また、上記実施形態では、フィンガー電極の形成にメタルマスクを用いた例について示したが、本発明はこれに限らず、フィンガー電極の形成にメッシュマスクを用いてもよい。

【０１１５】

また、上記実施形態では、バスバー電極の形成にメッシュマスクを用いた例について示したが、本発明はこれに限らず、バスバー電極の形成にメタルマスクを用いてもよい。

【０１１６】

また、上記実施形態では、半導体基板の受光面上の全面に絶縁膜を形成し、絶縁膜の所定領域上に導電性ペーストを印刷した後、焼成することにより、導電性ペースト（フィンガー電極）が絶縁膜を貫通して、フィンガー電極が半導体基板と電気的に接続する例について示したが、本発明はこれに限らず、半導体基板の受光面上の、フィンガー電極を形成する予定の領域を除く領域のみに絶縁膜を形成し、半導体基板の受光面上の絶縁膜が形成されていない領域に導電性ペーストを印刷することによりフィンガー電極を形成してもよい。

【０１１７】

また、上記実施形態では、半導体基板のｎ　　$^{+}$型導電領域およびｐ　　$^{+}$型導電領域を、熱拡散により形成した例について示したが、イオンインプランテーション法などにより形成してもよい。

【０１１８】

また、上記実施形態では、半導体基板の受光面上に、反射防止膜としての機能を有する絶縁膜を形成した例について示したが、本発明はこれに限らず、絶縁膜上に、別途、反射防止膜を形成してもよい。

【０１１９】

また、上記実施形態では、半導体基板の受光面に、凹凸構造（テクスチャ構造）を形成した例について示したが、本発明はこれに限らず、半導体基板の受光面に、凹凸構造（テクスチャ構造）を形成しなくてもよい。

【０１２０】

また、上記実施形態では、半導体基板の表面（受光面）に凹凸構造（テクスチャ構造）を形成した後に、受光面電極を形成した例について示したが、本発明はこれに限らず、半導体基板の表面（受光面）に陽極酸化などにより、鋭く微細な凹凸構造を形成し、その上に受光面電極を形成した後に、半導体基板の表面に凹凸構造（テクスチャ構造）を形成してもよい。このように構成すれば、受光面電極と半導体基板との接着強度をより大きくすることができるので、受光面電極が剥離するのをより抑制することができる。

【０１２１】

また、上記実施形態では、受光面電極をフィンガー電極およびバスバー電極により構成した太陽電池セルについて示したが、本発明はこれに限らず、バスバー電極を設けず、受光面電極をフィンガー電極のみにより構成したＭＷＴ（メタルラップスルー）構造の太陽電池セルにも適用可能である。

【０１２２】

また、上記実施形態では、バスバー電極を、Ａ方向に隣接する２つのフィンガー電極に跨るように配置した例について示したが、本発明はこれに限らず、バスバー電極を、Ａ方向に隣接する２つのフィンガー電極に跨らないように配置してもよい。すなわち、Ａ方向に隣接するフィンガー電極の数だけバスバー電極を設けてもよい。

【図面の簡単な説明】

【０１２３】

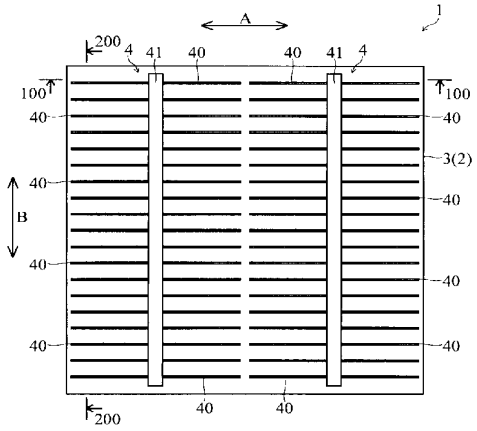
【図１】本発明の一実施形態による太陽電池セルの構造を示した平面図である。

【図２】図１の１００－１００線に沿った断面図である。

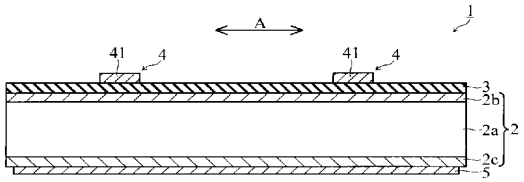
【図３】図１の２００－２００線に沿った断面図である。

【図４】図１に示した一実施形態による太陽電池セルの受光面電極の詳細構造を示した平面図である。
【図５】図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。
【図６】図１に示した一実施形態による太陽電池セルの製造プロセスに用いるメタルマスクの構造を示した平面図である。
【図７】図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。
【符号の説明】
【０１２４】
１　太陽電池セル（光電変換装置）
２　半導体基板（半導体層）
４　受光面電極
１０　メタルマスク（印刷用マスク）
４０　フィンガー電極
４０ａ、４０ｂ　幅広領域
４０ｃ　導電性ペースト（第１導電性ペースト）
４０ｄ、４０ｅ　幅広領域
４１　バスバー電極
４１ａ　導電性ペースト（第２導電性ペースト）

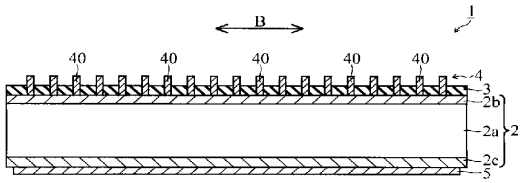
【図１】



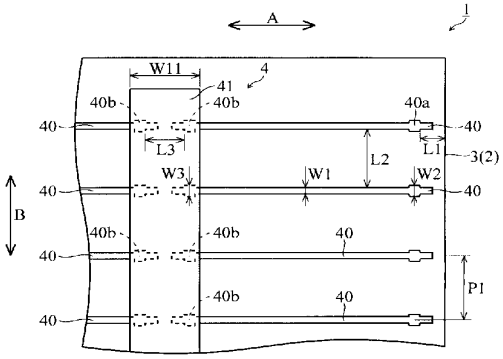
【図２】



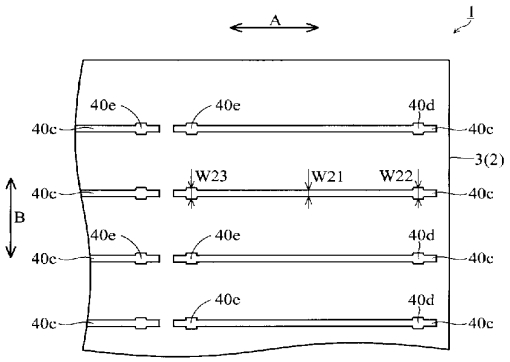
【図３】



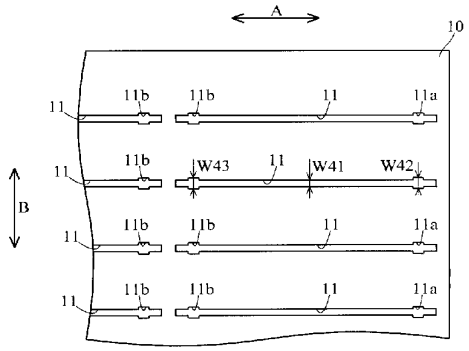
【図４】



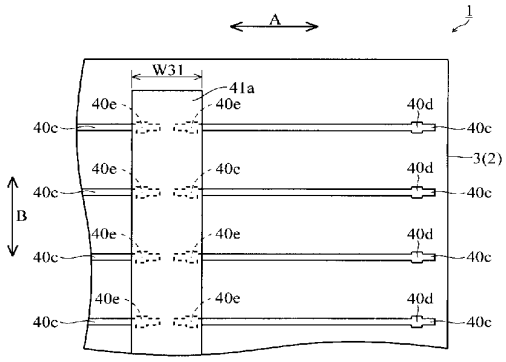
【図５】


A
1
40e
40e
40d
40c
40c
3(2)
W23
W21
W22
B

【図６】


A
10
11b
11b
11
11a
11
W43
W41
W42
B

【図７】


A
1
W31
41a
40e
40d
40c
3(2)
B

Espacenet

Bibliographic data: JP2010186862 (A) — 2010-08-26

SOLAR CELL

Inventor(s): WATABE TAKENORI; OTSUKA HIROYUKI; ISHIKAWA NAOKI ± (WATABE TAKENORI, ; OTSUKA HIROYUKI, ; ISHIKAWA NAOKI)

Applicant(s): SHINETSU CHEMICAL CO ± (SHIN-ETSU CHEMICAL CO LTD)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: JP20090029835 20090212 Global Dossier

Priority number (s): JP20090029835 20090212

Also published as: JP5353282 (B2)

Abstract of JP2010186862 (A)

PROBLEM TO BE SOLVED: To provide a solar cell remarkably reducing manufacturing cost. SOLUTION: This solar cell includes: a semiconductor substrate with a PN junction formed thereon; a comb-likely formed finger electrode at least on one surface of the semiconductor substrate; and a bus bar electrode connected to the finger electrode. At least the finger electrode is formed of a material prepared by printing and baking conductive paste containing particulates of copper or a copper compound. ;COPYRIGHT: (C) 2010,JPO&INPIT



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-186862
(P2010-186862A)
(43)公開日　平成22年8月26日(2010.8.26)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	H	5F051 5F151

審査請求 未請求　請求項の数 4　OL　（全 9 頁）

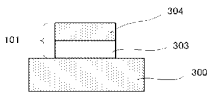
(21)出願番号　特願2009-29835 (P2009-29835)
(22)出願日　平成21年2月12日 (2009.2.12)

(71)出願人　000002060
信越化学工業株式会社
東京都千代田区大手町二丁目６番１号
(74)代理人　100079304
弁理士　小島　隆司
(74)代理人　100114513
弁理士　重松　沙織
(74)代理人　100120721
弁理士　小林　克成
(74)代理人　100124590
弁理士　石川　武史
(72)発明者　渡部　武紀
群馬県安中市磯部二丁目１３番１号　信越化学工業株式会社精密機能材料研究所内

最終頁に続く

(54)【発明の名称】太陽電池

(57)【要約】
【解決手段】ＰＮ接合が形成された半導体基板と、該半導体基板の少なくとも片面上に櫛歯状に形成されたフィンガー電極と、該フィンガー電極に接続するバスバー電極とを具備する太陽電池であって、少なくともフィンガー電極が銅もしくは銅化合物の微粒子を含有する導電性ペーストが印刷され焼成されたもので構成されることを特徴とする太陽電池。
【効果】本発明により、太陽電池の性能を損なうことなく、また、配線とのはんだ付けの信頼性も維持したまま、太陽電池の製造コストを大幅に低減することが可能となる。また、本発明はペーストの変更を行うのみであり、設備の変更が不要であるため、実施が極めて容易である。
【選択図】図３



【特許請求の範囲】
【請求項１】
ＰＮ接合が形成された半導体基板と、該半導体基板の少なくとも片面上に櫛歯状に形成されたフィンガー電極と、該フィンガー電極に接続するバスバー電極とを具備する太陽電池であって、少なくともフィンガー電極が銅もしくは銅化合物の微粒子を含有する導電性ペーストが印刷され焼成されたもので構成されることを特徴とする太陽電池。
【請求項２】
前記導電性ペーストとして、銅もしくは銅化合物の微粒子含有量が、銅換算で３０～９０質量％である導電性ペーストが印刷され焼成されたものであることを特徴とする請求項１記載の太陽電池。
【請求項３】
少なくとも前記バスバー電極が２層以上の多層構造を有するものであり、前記フィンガー電極がバスバー電極のいずれかの層と同一のペーストを用いて形成されることを特徴とする請求項１又は２記載の太陽電池。
【請求項４】
少なくとも前記半導体基板に直接接合するバスバー電極の第一電極層及び／又はフィンガー電極の第一電極層が銅もしくは銅化合物の微粒子を含有する導電性ペーストにより構成されることを特徴とする請求項３記載の太陽電池。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、安価で高効率を有する太陽電池に関する。
【背景技術】
【０００２】
単結晶や多結晶シリコン基板を用いた量産用太陽電池の概観を図１に示す。受光面の集電電極として、フィンガー電極（１０１）とよばれる数百～数十μｍ幅の電極を多数有し、また、太陽電池セルを連結するための集電電極としてバスバー電極（１０２）を数本有するのが一般的である。この電極の形成方法としては、蒸着法、スパッタ法などを利用してもよいが、コストの面から、銀などの金属微粒子を有機バインダーに混ぜた金属ペーストを、スクリーン版などを用いて印刷し、数百度で熱処理を行って基板と接着する方法が広く利用されている。
【０００３】
太陽電池の光電変換効率の高効率化のためには、電池の内部直列抵抗を極力低下させる必要があり、電極には高い電気伝導性が求められる。このためには、電気伝導率が高い銅もしくは銀を用いるのが有効である。銅は銀に比べ非常に安価であることから、コスト低下に極めて有効であるが、下記理由から銅は殆ど用いられていない。
【０００４】
太陽電池はセル１枚の発電量が小さいため、普通数枚連結して使用される。連結には、製造コストや作業の容易性等の観点から、連結用の配線をバスバー電極にはんだ付けするのが一般的である。銅は銀に比べはんだ濡れ性が悪いため、セル連結の際の信頼性が低下してしまうおそれがあった。
【０００５】
特開平７－９０２０４号公報（特許文献１）では銀銅合金を、特開２００１－１５７８２号公報（特許文献２）では銀ペーストに銅微粒子を加えるなどの提案がなされているが、いずれも銀を使用しており、コスト高につながってしまう。
【０００６】
一方、特開２００８－４２０９５号公報（特許文献３）に示される方法は、同一装置・同一製版でペースト印刷を積層していく手法であり、半導体基板に直接接合する第一電極層及び配線と接合される最表層の電極層を銀にし形成するものであるが、更にコストの低下が望まれる。

【先行技術文献】
【特許文献】
【０００７】
【特許文献１】特開平７－９０２０４号公報
【特許文献２】特開２００１－１５７８２号公報
【特許文献３】特開２００８－４２０９５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００８】
本発明は、上記要望に応えたもので、製造コストを大幅に低減することを可能にした太陽電池を提供することを目的とする。
【課題を解決するための手段】
【０００９】
本発明者らは、上記目的を達成するために鋭意検討を行った結果、ＰＮ接合が形成された半導体基板と、該半導体基板の少なくとも片面上に櫛歯状に形成されたフィンガー電極と、該フィンガー電極に接続するバスバー電極とを具備する太陽電池において、上記フィンガー電極を銅もしくは銅化合物の微粒子を含有する導電性ペーストにて形成すること、この場合、特に基板に直接接着する第一電極層を銅ペーストで形成し、連結用配線と接着する最表層電極を銀ペーストで形成すれば、性能を損なうことなくはんだ付け可能な太陽電池が製造でき、更にコスト低下を達成することができることを知見し、本発明をなすに至ったものである。
【００１０】
従って、本発明は、ＰＮ接合が形成された半導体基板と、該半導体基板の少なくとも片面上に櫛歯状に形成されたフィンガー電極と、該フィンガー電極に接続するバスバー電極とを具備する太陽電池であって、少なくともフィンガー電極が銅もしくは銅化合物の微粒子を含有する導電性ペーストが印刷され焼成されたもので構成されることを特徴とする太陽電池を提供する。電極ペーストとして銅を含有するペーストを用いることで、銀ペーストの場合に比べ、内部抵抗を維持したままコスト低下が可能となる。
【００１１】
この場合、前記導電性ペーストとして、銅もしくは銅化合物の微粒子の含有量が、銅換算で３０～９０質量％である導電性ペーストが印刷され焼成されたものであることが好ましい。即ち、ペースト中の銅もしくは銅化合物の微粒子の含有量は多いほどコスト低下につながり好ましいが、印刷性の観点からは、３０～９０質量％であることが望ましい。
【００１２】
また、少なくとも前記バスバー電極が２層以上の多層構造を有するものであり、前記フィンガー電極がバスバー電極のいずれかの層と同一のペーストを用いて形成されることが好ましい。電極の多層化によりフィンガー電極を形成する場合は、いずれかの印刷でフィンガー及びバスバーを同時に形成すると、生産性が向上し、コスト低下につながる。
【００１３】
更に、少なくとも前記半導体基板に直接接合するバスバー電極の第一電極層及び／又はフィンガー電極の第一電極層が銅もしくは銅化合物の微粒子を含有する導電性ペーストにより構成されることが好ましい。この際、基板と接触する第一電極層を銅ペーストで形成し、配線と接合される最表層の電極層を銀等の銅以外の物質を含有するペーストを用いて形成すれば、太陽電池の性能を損なうことなく配線との接着強度が維持される。
【発明の効果】
【００１４】
本発明により、太陽電池の性能を損なうことなく、また、配線とのはんだ付けの信頼性も維持したまま、太陽電池の製造コストを大幅に低減することが可能となる。また、本発明はペーストの変更を行うのみであり、設備の変更が不要であるため、実施が極めて容易である。

【図面の簡単な説明】
【００１５】
【図１】本発明に係る、一般的な太陽電池の電極の配置図である。
【図２】本発明に係る、フィンガー電極の一例を示す断面図である。
【図３】本発明に係る、バスバー電極の一例を示す断面図である。
【図４】本発明に係る、フィンガー電極の他の例を示す断面図である。
【図５】本発明に係る、フィンガー電極の別の例を示す断面図である。
【図６】本発明に係る、バスバー電極の他の例を示す断面図である。
【発明を実施するための形態】
【００１６】
本発明の太陽電池は、ＰＮ接合が形成された半導体基板と、該半導体基板の少なくとも片面上に櫛歯状に形成されたフィンガー電極と、該フィンガー電極に接続するバスバー電極とを具備する太陽電池であって、少なくともフィンガー電極が銅もしくは銅化合物の微粒子を含有する導電性ペーストが印刷され焼成されたもので構成されたものである。
【００１７】
この場合、バスバー電極も銅もしくは銅化合物の微粒子を含有する導電性ペーストにて形成することができ、また、少なくともバスバー電極、場合によってはフィンガー電極も２層以上の多層構造を有するように形成することができ、この際、少なくとも前記半導体基板に直接接合するバスバー電極の第一電極層及び／又はフィンガー電極の第一電極層が銅もしくは銅化合物の微粒子を含有する導電性ペーストにより構成されることが好ましく、この場合、配線と接合される最表層の電極層は、銀等の物質を含有するペーストを用いて形成してもよい。また、フィンガー電極がバスバー電極のいずれかの層と同一のペーストを用いて形成することができる。
【００１８】
ここで、上記銅もしくは銅化合物の微粒子を含有する導電性ペーストとしては、銅もしくは銅化合物の微粒子の含有量が銅換算で３０～９０質量％、特に６０～８０質量％のものが好ましい。銅化合物としては、金、銀、亜鉛、錫、ニッケル等の遷移金属のうちの１以上からなる合金等が挙げられ、上記微粒子の平均粒径としては、走査型電子顕微鏡による測定法で、０．１５～１５μｍ、特に１～５μｍであることが好ましい。
【００１９】
上記導電性ペーストのその他の成分としては、公知の成分が用いられ、例えば、エチルセルロース、ターピオネール等のバインダーを１～２０質量％、特に２～１５質量％の割合で用いられる他、基板との密着性を確保するためガラス粉末等を１～２０質量％の割合で使用することができる。
【００２０】
また、上記銀等の物質を含有するペーストとしては、導電性材料として銀、チタン、ニッケル、パラジウム、白金、金等の銅又は銅化合物以外のものが使用でき、その他の成分は上記銅含有導電性ペーストと同様である。
【００２１】
以下、本発明の太陽電池の作製方法の一例を述べる。但し、本発明はこの方法で作製された太陽電池に限られるものではない。
【００２２】
高純度シリコンにホウ素あるいはガリウムのようなＩＩＩ族元素をドープし、比抵抗０．１～５Ω・ｃｍとしたアズカット単結晶｛１００｝ｐ型シリコン基板表面のスライスダメージを、濃度５～６０質量％の水酸化ナトリウムや水酸化カリウムのような高濃度のアルカリ、もしくは、ふっ酸と硝酸の混酸等を用いてエッチングする。単結晶シリコン基板は、ＣＺ法、ＦＺ法いずれの方法によって作製されてもよい。
【００２３】
引き続き、基板表面にテクスチャとよばれる微小な凹凸形成を行う。テクスチャは太陽電池の反射率を低下させるための有効な方法である。テクスチャは、加熱した水酸化ナト

リウム、水酸化カリウム、炭酸カリウム、炭酸ナトリウム、炭酸水素ナトリウム等のアルカリ溶液（濃度１～１０質量％、温度６０～１００℃）中に１０～３０分程度浸漬することで容易に作製される。上記溶液中に、所定量の２－プロパノールを溶解させ、反応を促進させることが多い。

【００２４】

テクスチャ形成後、塩酸、硫酸、硝酸、ふっ酸等、もしくはこれらの混合液の酸性水溶液中で洗浄する。経済的及び効率的見地から、塩酸中での洗浄が好ましい。清浄度を向上させるため、塩酸溶液中に、０．５～５％の過酸化水素を混合させ、６０～９０℃に加温して洗浄してもよい。

【００２５】

この基板上に、オキシ塩化リンを用いた気相拡散法によりエミッタ層を形成する。一般的なシリコン太陽電池は、ＰＮ接合を受光面にのみ形成する必要があり、これを達成するために基板同士を２枚重ね合わせた状態で拡散したり、拡散前に裏面にSiO_2膜やSiN_x膜等を拡散マスクとして形成して、裏面にＰＮ接合ができないような工夫を施す必要がある。拡散後、表面にできたガラスをふっ酸等で除去する。なお、窒化珪素膜（SiN_x膜）は化学量論比ではSi_3N_4の組成をとるが、マスク性を高めたり、後述のように反射防止膜として有効となるよう、通常化学量論比よりＳｉを多めにして使用することが多く、本発明においては便宜上SiN_xと記述してある。

【００２６】

次に、受光面の反射防止膜形成を行う。製膜にはプラズマＣＶＤ装置等を用いSiN_x膜を約１００ｎｍ製膜する。反応ガスとして、モノシラン（SiH_4）及びアンモニア（NH_3）を混合して用いることが多いが、NH_3の代わりに窒素を用いることも可能であり、また、プロセス圧力の調整、反応ガスの希釈、更には、基板に多結晶シリコンを用いた場合には基板のバルクパッシベーション効果を促進するため、反応ガスに水素を混合することもある。ＣＶＤの反応ガスの励起方法としては、前述のプラズマによるもののほか、熱ＣＶＤや光ＣＶＤ等を用いてもよい。

【００２７】

次いで、裏面電極及び受光面の電極をスクリーン印刷法で形成する。上記基板の裏面に、Ａｌ粉末を有機物バインダで混合したペーストをスクリーン印刷する。印刷後、３～３０分間６００～８００℃の温度で焼成して、裏面電極が形成される。裏面電極形成は製造コストの観点から印刷法によるほうが好ましいが、蒸着法、スパッタ法等で作製することも可能である。

【００２８】

受光面電極もスクリーン印刷法を用いる。印刷製版として、バスバー・フィンガーが同時に印刷できる製版を用いるのが生産性が向上し、好ましい。第一電極層には銅を含有するペーストを用い、コスト低下を図る。第二電極層には、第一電極層と同一の製版を用いて銀を含有するペーストを印刷する。結果として、フィンガー電極の断面は図２に示す構造となり、１層のみの場合に比べ電気抵抗は大幅に低下する。なお、図２中、２００は基板、２０３は銅又は銅化合物の微粒子を含有する導電性ペースト（以下、銅ペーストという）にて形成されたフィンガー第一電極層、２０４は銀を含有する導電性ペースト（以下、銀ペーストという）にて形成されたフィンガー第二電極層である。また、バスバー電極の断面は図３に示す構造となり、最表層に銅が露出しないため、はんだ付けによる配線との接着強度信頼性が高まる。なお、図３中、３００は基板、３０３は銅ペーストにて形成されたバスバー第一電極層、３０４は銀ペーストにて形成されたバスバー第二電極層である。第一電極層・第二電極層の印刷用製版のパターンをそれぞれ異なるものにすれば、フィンガー電極は図４や図５に示す構造をとることも可能である。バスバー電極上には配線が接続されるから、バスバーの配線抵抗は下げる必要はないため、バスバーは図６に示す構造としてもよい。

【００２９】

ここで、図４中、４００は基板、４０３は銅ペーストにて形成されたフィンガー第一電

極層、図５中、５００は基板、５０４は銀ペーストにて形成されたフィンガー第一電極層、５０３は銅ペーストにて形成されたフィンガー第二電極層、図６中、６００は基板、６０４は銀ペーストにて形成されたバスバー第一電極層である。

【００３０】

これらの印刷の後、熱処理によりＳｉＮ$_x$膜に銀粉末を貫通させ（ファイアースルー）、電極とシリコンを導通させる。なお、裏面電極及び受光面電極の焼成は一度に行うことも可能である。

【００３１】

金属ペーストの単価はほぼ材料金属の単価で決定されている。銀に比べ銅は５０分の１程度の単価であるから、ペーストの単価もおよそ５０分の１となる。従来の製法による太陽電池セル製造の際の全材料費に占める銀ペーストの割合は１２％程度であるが、本発明により、受光面の電極ペーストの占める割合は６％程度まで半減することができる。本発明によれば、製版や印刷機等は現状設備から変更する必要はないため、製造コストには設備投資は積み増しされず単純に材料費の低減分太陽電池の製造コストが低減され、非常に有効である。

【実施例】

【００３２】

以下、実施例と比較例を示し、本発明を具体的に説明するが、本発明は下記の実施例に制限されるものではない。

【００３３】

［実施例、比較例］

本発明の有効性を確認するため、第一電極層に銅ペーストを使用した場合の条件Ａ（実施例）と銀ペーストを使用した場合の条件Ｂ（比較例）で特性の比較を行った。第二電極層は両条件とも銀ペーストとした。

１００×１００mm^2、厚さ２５０μm、比抵抗１Ω・ｃmの、ホウ素ドープ｛１００｝ｐ型アズカットシリコン基板６０枚に対し、熱濃水酸化カリウム水溶液によりダメージ層を除去後、水酸化カリウム／２－プロパノール水溶液中に浸漬し、テクスチャ形成を行い、引き続き塩酸／過酸化水素混合溶液中で洗浄を行った。次に、オキシ塩化リン雰囲気下、８７０℃で裏面同士を重ねた状態で熱処理し、エミッタ層を形成した。拡散後、ふっ酸にてガラスを除去し、洗浄、乾燥させた。

以上の処理の後、プラズマＣＶＤ装置を用いてＳｉＮ$_x$膜を受光面反射防止膜として全試料に対し形成した。

【００３４】

次に、裏面電極としてＡｌペーストを裏面全面にスクリーン印刷し、１８０℃のホットプレート上で乾燥した。

次いで、上記のうち３０枚に対し、受光面の第一電極層として銅ペーストを印刷し、乾燥した（条件Ａ）。銅ペーストの粘度は有機溶剤で１８０Ｐａ・ｓ程度に調整し、断線やにじみは殆ど発生しなかった。残りの３０枚には、比較例として銀ペーストを印刷し乾燥した（条件Ｂ）。

【００３５】

引き続き第一電極層と同じ製版を使用して、全試料に対して第二電極層として銀ペーストを印刷した。この際、第二電極層が第一電極層の真上にのるよう適宜ステージの微調整を行った。印刷後乾燥し、最後に７８０℃の空気雰囲気下で焼成した。

【００３６】

なお、銅ペーストの組成は以下の通りであった。銅約７６質量％、エチルセルロース約８質量％、ターピオネール約４質量％、ガラス粉末約５質量％、有機溶媒約７質量％を追加して粘度調整して使用した。

また、銀ペーストの組成は以下の通りであった。銀約８６質量％、エチルセルロース約５質量％、ターピオネール約２質量％、ガラス粉末約３質量％、有機溶媒約４質量％を追加して粘度調整して使用した。

【００３７】
山下電装社製ソーラーシミュレータを用いてＡＭ１．５スペクトル、照射強度１００ｍＷ／ｃｍ^2、２５℃の条件下で、作製されたセルの太陽電池特性を測定した。得られた結果の平均値を表１に示す。

【００３８】
【表１】

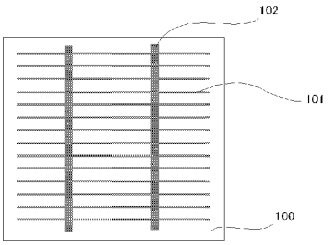
	短絡電流 (mA／cm^2)	開放電圧 (mV)	形状因子 (%)	変換効率 (%)
条件A(実施例)	34．8	623	77．9	16．9
条件B(比較例)	34．6	625	78．4	17．0

【００３９】
条件Ａは形状因子がわずかに低下したが、短絡電流が向上して変換効率は比較例と同等となった。
各条件からそれぞれ任意の１０枚を抜取り、連結用の配線をはんだ付けして引っ張り強度試験を実施した。どのセルも配線の剥離は認められなかった。

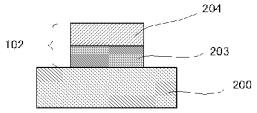
【符号の説明】

【００４０】
１００、２００、３００、４００、５００、６００　基板
１０１　フィンガー電極
１０２　バスバー電極
２０３、３０３、４０３、５０３　銅ペースト
２０４、３０４、５０４、６０４　銀ペースト

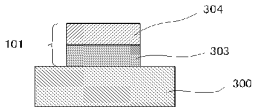
【図１】



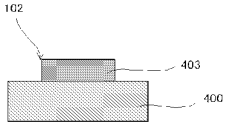
【図２】



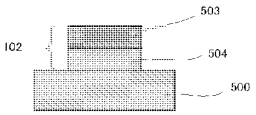
【図３】



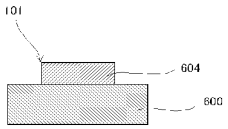
【図４】



【図５】



【図６】



フロントページの続き

(72)発明者 大塚　寛之
群馬県安中市磯部二丁目１３番１号　信越化学工業株式会社精密機能材料研究所内
(72)発明者 石川　直揮
群馬県安中市磯部二丁目１３番１号　信越化学工業株式会社精密機能材料研究所内
Ｆターム(参考) 5F051 AA02 CB27 DA03 FA06 FA10 FA14 GA04
5F151 AA02 CB27 DA03 FA06 FA10 FA14 GA04

Espacenet

Bibliographic data: JP2011181963 (A) — 2011-09-15

METHOD OF MANUFACTURING SOLAR CELL MODULE

Inventor(s): HASHIMOTO HARUHISA ± (HASHIMOTO HARUHISA)

Applicant(s): SANYO ELECTRIC CO ± (SANYO ELECTRIC CO LTD)

Classification: **- international:** ***H01L31/042***
- cooperative: Y02E10/50

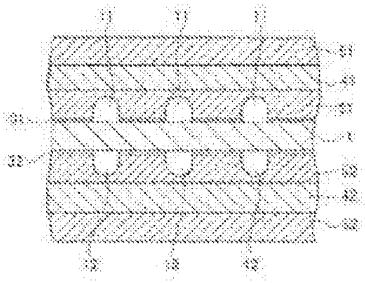
Application number: JP20110136119 20110620 Global Dossier

Priority number(s): JP20110136119 20110620

Also published as: JP5328849 (B2)

Abstract of JP2011181963 (A)

PROBLEM TO BE SOLVED: To provide a solar cell module suppressing yield degradation. SOLUTION: Finger electrodes 11 formed on a solar cell 1 and finger electrodes 12 formed on the back face thereof are arranged at positions where at least partial parts thereof overlap on a projection surface parallel to a light reception surface or the back face of the solar cell 1; a resin adhesive is interposed on each of the finger electrodes 11 and the finger electrodes 12; and a wiring tab 41 is crimped at least at a pressure of 2 Mpa. ;COPYRIGHT: (C)2011,JPO&INPIT



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-181963
(P2011-181963A)
(43)公開日　平成23年9月15日(2011.9.15)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/042	***(2006.01)***	H01L 31/04	R	5F151

審査請求 有　請求項の数 4　OL　（全 16 頁）

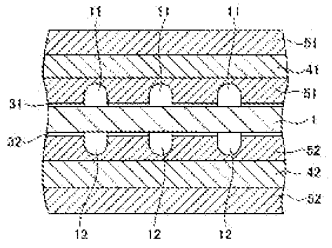
(21)出願番号　特願2011-136119 (P2011-136119)
(22)出願日　平成23年6月20日 (2011.6.20)
(62)分割の表示　特願2007-69127 (P2007-69127)の分割
原出願日　平成19年3月16日 (2007.3.16)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100131071
弁理士　▲角▼谷　浩
(72)発明者　橋本　治寿
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

Ｆターム(参考)　5F151 AA02 AA03 FA10 FA13 FA15 GA04 JA07

(54)【発明の名称】太陽電池モジュールの製造方法

(57)【要約】
【課題】　歩留まり低下を抑制することができる太陽電池モジュールを提供する。
【解決手段】太陽電池セル１上に形成されたフィンガー電極１１と、裏面に形成されたフィンガー電極１２とが、太陽電池セル１の受光面又は裏面と平行な投影面上において、少なくとも一部が互いに重なり合う位置に配置されており、フィンガー電極１１およびフィンガー電極１２上にそれぞれ樹脂接着剤を介在させて、配線タブ４１を少なくとも２Ｍｐａの圧力で圧着する。
【選択図】図３



【特許請求の範囲】
【請求項１】
配線タブを太陽電池セルの電極に接続する工程を備える太陽電池モジュールの製造方法であって，
前記太陽電池セルは，受光面に配設された複数の第１フィンガー電極と，裏面に配設された複数の第２フィンガー電極とを有し，
前記第１フィンガー電極と前記第２フィンガー電極とは，前記受光面或いは裏面と平行な投影面上において，少なくとも一部が互いに重なり合う位置に配置され，
前記第１フィンガー電極上及び前記第２フィンガー上にそれぞれ樹脂接着剤を介在させて前記配線タブを少なくとも２Ｍｐａの圧力で圧着する，太陽電池モジュールの製造方法。
【請求項２】
前記第１フィンガー電極と前記第２フィンガー電極とは同じ数であり，前記第２フィンガー電極の電極幅は，前記第１フィンガー電極の電極幅よりも大きい，請求項１記載の太陽電池モジュールの製造方法。
【請求項３】
前記第２フィンガー電極の数は，前記第１フィンガー電極の数よりも多く，前記受光面或いは裏面と平行な投影面上において，前記第１フィンガー電極と重ならない位置に形成された前記第２フィンガー電極が存在する，請求項１記載の太陽電池モジュールの製造方法。
【請求項４】
前記第２フィンガー電極のうち，前記第１フィンガー電極と少なくとも一部が互いに重なり合う位置に配置された第２フィンガー電極の前記裏面からの高さは，前記第１フィンガー電極と重なり合う位置にない第２フィンガー電極の高さより高い，請求項３に記載の太陽電池モジュールの製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は，隣接する太陽電池セルの表面上に形成されたフィンガー電極をタブによって接続することにより互いに接続された複数の太陽電池セルを備える太陽電池モジュールに関する。
【背景技術】
【０００２】
太陽電池は，クリーンで無尽蔵のエネルギー源である太陽からの光を直接電気に変換できることから，新しいエネルギー源として期待されている。
【０００３】
このような太陽電池を家屋或いはビル等の電源として用いるにあたっては，太陽電池セル１枚あたりの出力が数Ｗと小さいことから，通常複数の太陽電池セルを電気的に直列或いは並列に接続することで，出力を数１００Ｗにまで高めた太陽電池モジュールとして使用する。図７及び図８に，従来の太陽電池モジュールの一部分を示す。図８は，図７のＥ－Ｅ’線に伴う断面の，タブ１４１近傍の一部分を拡大して示す拡大断面図である。
【０００４】
複数の太陽電池セル１０１は，互いに銅箔等の導電材よりなるタブ１４１により，タブの幅と略同等若しくはそれ以上に印刷形成された集電極（バスバー電極１２１）に半田付けによって電気的に接続される。ここで，タブ１４１は，銅等の金属からなる薄板である。またタブ１４１の周囲には，半田１４２がコートされている。また，太陽電池セル１０１は，ガラス，透光性プラスチックのような透光性を有する表面部材と，ポリエチレンテレフタレートフィルムなどの樹脂フィルムや鋼板或いはガラス板等からなる裏面部材との間に，ＥＶＡ等の透光性を有する充填材により封止されている。そして，図７に示すように，隣接する太陽電池セルそれぞれは，一方の太陽電池セルの受光面側に設けられた集電

極におけるバスバー電極１２１と、他方の太陽電池の裏面電極とがタブ１４１により接続されることで、互いに電気的に接続される（例えば、特許文献１参照）。

【０００５】

ところで、太陽電池の低コスト化、低資源化のためには、太陽電池セルを薄型化することが求められている。太陽電池セルを薄くすると、太陽電池セル上のバスバー電極１２１に半田を用いてタブ１４１を接続する際に、例えば銅箔等でなるタブ１４１と、シリコン基板で構成される太陽電池セルとの線膨張係数が大きく異なるために、半田付け作業で加えられる加熱、冷却によって素材それぞれの膨張、収縮することにより、反り応力が発生してセル割れや電極剥がれなどが発生するおそれがある。このため、太陽電池セルを薄くすることが困難であった。

【０００６】

また、タブの厚みを大きくすることで、タブの直列抵抗を低減して太陽電池モジュールの出力を高くしようとする場合にも、同様に物性面での不具合が生じやすくなるという問題があった。

【０００７】

そこで本願出願人は、樹脂接着剤を用いて太陽電池上にタブを接続する方法を出願している（特願２００６－２２９２０９）。図９乃至図１１は、この方法を用いてタブ接続を行った太陽電池モジュールの一部分を示している。図１０は、図９のＦ－Ｆ’線に伴う断面の、２４１近傍の一部分を拡大して示す拡大断面図である。図１１は、図９のＧ－Ｇ’線に伴う断面の一部を示す拡大断面図である。

【０００８】

複数の太陽電池セル２０１は、主面上に一方向に沿って伸びると共に互いに並行に配列された複数のフィンガー電極２１１を有している。また、タブ２４１は、銅等の低抵抗体から構成されており、表面に半田等の軟導電体層２４２が付与されている。そして、図１１及び図１２に示すように、タブ２４１は、樹脂接着剤２３１によって接続されている。また、図１２に示すように、フィンガー電極２１１の先端が軟導電体層２４２中に埋設することによって、タブ２４１とフィンガー電極２１１とが電気的に接続されている。

【０００９】

また、太陽電池セル２０１は、ガラスや透光性プラスチック等の透光性を有する表面部材と、ＰＥＴ（ポリエチレンテレフタレート）フィルムなどの樹脂フィルムや樹脂フィルムと金属フィルムとの積層フィルム、或いは鋼板やステンレス板等からなる裏面部材との間にＥＶＡ等の透光性を有する充填材により封止されている。

【００１０】

この方法では、タブ接続に樹脂接着剤を用いるので、半田による接続に比べ、接着時の温度を低減することができる。このため、前述の熱膨張に起因する影響を低減できるので、太陽電池セルの厚みを従来に比べて薄くすることが可能となる。

【先行技術文献】

【特許文献】

【００１１】

【特許文献１】特開２００２－３５９３８８号公報

【発明の概要】

【発明が解決しようとする課題】

【００１２】

しかしながらタブ接続を樹脂接着剤でより行う方法では、フィンガー電極の先端部を軟導電体層２４２に埋設するために、タブ２４１を太陽電池セル方向に加圧する必要がある。このときの圧力の一部は、フィンガー電極を通じて太陽電池セルに伝わる。そして、特に、太陽電池セルの受光面に配したフィンガー電極２１１と裏面側に配したフィンガー電極との位置関係によっては、以下のような課題が生じる虞がある。

【００１３】

図１２は、この場合の太陽電池セル２０１のＧ－Ｇ’断面を示している。図１２に示す

ように、樹脂接着剤によりタブ接続を行う方法では、太陽電池セル２０１の受光面に形成されたフィンガー電極２１１と裏面に形成されたフィンガー電極２１２の位置関係が完全にずれている構造になっていると、表裏両側から表裏のタブを同時に圧着する工程で、太陽電池セル２０１に剪断応力が働き、セルにその負荷が蓄積されて、クラック２２１ａ、２２１ｂを生じやすい。

【００１４】

そこで、本発明は、上述したようなクラックの発生を抑制でき、歩留まり低下を抑制することができる太陽電池モジュールを提供することを目的とする。

【課題を解決するための手段】

【００１５】

上述した目的を達成するために、本発明の請求項１に係る太陽電池モジュールは、受光面側に配設された受光面部材と、反受光面側に配設された裏面部材と、前記受光面部材及び裏面部材の間に配設され、配線タブによって電気的に接続された複数の太陽電池セルと、前記受光面部材と裏面部材との間に配設され、前記複数の太陽電池セルを埋設する封止材と、を備え、前記太陽電池セルは、受光面に配設され、前記配線タブと接続される複数の第１フィンガー電極と、裏面に配設され、前記配線タブと接続される複数の第２フィンガー電極とを有し、前記第１フィンガー電極と前記第２フィンガー電極とは、前記受光面或いは裏面と平行な投影面上において、少なくとも一部が互いに重なり合う位置に配置されていることを特徴とする。

【００１６】

請求項１に記載の太陽電池モジュールは、第１フィンガー電極と第２フィンガー電極とを、受光面或いは裏面と平行な投影面上において、少なくとも一部が互いに重なり合う位置に配置したことにより、配線タブを太陽電池セル方向に加圧して接着する際に、太陽電池セル上のフィンガー電極形成部分にかかる圧力を緩和することができる。これにより、太陽電池セルを薄くした場合でも、セル割れを防止することができる。また、太陽電池セルの機械的強度が向上することで、製造時における歩留まりの低下を改善することができ、生産性を向上することができる。

【００１７】

また、本発明の請求項２に係る太陽電池モジュールは、請求項１の太陽電池モジュールにおいて、前記第１のフィンガー電極と前記第２のフィンガー電極が互いに同数形成されており、前記第２のフィンガー電極の電極幅が前記第１のフィンガー電極の電極幅よりも大きいことを特徴とする。

【００１８】

請求項２に記載の太陽電池モジュールは、受光面或いは裏面と平行な投影面上において、第２のフィンガー電極の電極幅が第１のフィンガー電極の電極幅よりも大きいので、太陽電池セルの受光面と裏面とにフィンガー電極を形成する工程における制限が緩やかになり、製造時における歩留まりの低下を改善することができるとともに生産性を向上することができる。

【００１９】

また、請求項３に係る太陽電池モジュールは、請求項１の太陽電池モジュールにおいて、第２のフィンガー電極が第１フィンガー電極よりも本数が多く形成されており、受光面或いは裏面と平行な投影面上において、第１のフィンガー電極と重ならない位置に形成された第２のフィンガー電極が存在することを特徴とする。

【００２０】

請求項３に記載の太陽電池モジュールは、受光面或いは裏面と平行な投影面上において、第２のフィンガー電極が第１フィンガー電極よりも本数が多く形成されているので、太陽電池セルの受光面と裏面とにフィンガー電極を形成する工程における制限が緩やかになり、製造時における歩留まりの低下を改善することができるとともに生産性を向上することができる。

【００２１】

また、請求項４に係る太陽電池モジュールは、請求項１の太陽電池モジュールにおいて、第２のフィンガー電極が第１フィンガー電極よりも本数が多く形成されており、受光面或いは裏面と平行な投影面上において、第１のフィンガー電極と少なくとも一部が互いに重なり合う位置に配置された第２のフィンガー電極の裏面からの高さは、第１のフィンガー電極と重なり合う位置にない第２のフィンガー電極の高さよりも高いことを特徴とする。

【００２２】

請求項４に記載の太陽電池モジュールは、受光面或いは裏面と平行な投影面上において、第１のフィンガー電極と少なくとも一部が重なり合う位置にない第２のフィンガー電極の高さが第１のフィンガー電極と少なくとも一部が重なり合う位置にある第２のフィンガー電極の高さよりも高いことにより、配線タブを太陽電池セル方向に加圧して接着する際に、太陽電池セル上のフィンガー電極形成部分にかかる圧力を緩和することができる。これにより、太陽電池セルを薄くした場合でも、セル割れを防止することができる。また、太陽電池セルの機械的強度が向上することで、製造時における歩留まりの低下を改善することができ、生産性を向上することができる。

【００２３】

更にまた、請求項５に係る太陽電池モジュールは、請求項４の太陽電池モジュールにおいて、配線タブが複数のフィンガー電極との電気的接続をとるための導電層を表面に有しており、受光面或いは裏面と平行な投影面上において、第１のフィンガー電極と少なくとも一部が互いに重なり合う位置に配置された第２のフィンガー電極の裏面からの高さと、第１のフィンガー電極と重なり合う位置にない第２のフィンガー電極の高さの差が導電層厚よりも小さいことを特徴とする。

【００２４】

請求項５に記載の太陽電池モジュールは、第１のフィンガー電極と少なくとも一部が互いに重なり合う位置に配置された第２のフィンガー電極の裏面からの高さと、第１のフィンガー電極と重なり合う位置にない第２のフィンガー電極の高さの差が導電層厚よりも小さいことにより、配線タブを太陽電池セル方向に加圧して接着する際に、太陽電池セル上のフィンガー電極形成部分にかかる圧力を緩和することができる。これにより、太陽電池セルを薄くした場合でも、セル割れを防止することができる。また、太陽電池セルの機械的強度が向上することで、製造時における歩留まりの低下を改善することができ、生産性を向上することができる。

【発明の効果】

【００２５】

本発明によれば、生産性を向上でき、太陽電池セルの厚みを低減できる太陽電池モジュールを提供することができる。

【図面の簡単な説明】

【００２６】

【図１】本発明の第１実施形態に係る太陽電池モジュールの平面図である。

【図２】本発明の第１実施形態に係る太陽電池モジュールのＡ－Ａ’断面を示す断面図である。

【図３】本発明の第１実施形態に係る太陽電池モジュールのＡ－Ａ’断面の要部を拡大して示す断面図である。

【図４】本発明の第２実施形態に係る太陽電池モジュールのＡ－Ａ’断面の要部を拡大して示す断面図である。

【図５】本発明の第３実施形態に係る太陽電池モジュールのＡ－Ａ’断面の要部を拡大して示す断面図である。

【図６】本発明の第４実施形態に係る太陽電池モジュールのＡ－Ａ’断面の要部を拡大して示す断面図である。

【図７】従来の太陽電池モジュール１００を説明する平面図である。

【図８】従来の太陽電池モジュール１００の太陽電池セルのＥ－Ｅ’断面を説明する断面

図である。
【図９】従来の太陽電池モジュールを示す平面図である。
【図１０】従来の太陽電池モジュールのＦ－Ｆ’断面を示す断面図である。
【図１１】従来の太陽電池モジュールのＧ－Ｇ’断面の要部を拡大して示す断面図である。
【図１２】従来の太陽電池モジュールの課題を説明する、Ｇ－Ｇ’断面の要部を拡大して示す断面図である。
【発明を実施するための形態】
【００２７】
次に、図面を用いて、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。但し、図面は模式的なものであり、各寸法の比率等は現実のものとは異なることに留意すべきである。従って、具体的な寸法等は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。
［第１実施形態］
（太陽電池モジュール）
本発明の第１実施形態に係る太陽電池モジュールについて、図１～図３を参照して説明する。図１は、太陽電池モジュール中における太陽電池セルの平面図であり、図２は、図１のＡ－Ａ’断面を示し、図３は、Ａ－Ａ’断面の要部を拡大したものである。
【００２８】
本実施形態に係る太陽電池セル１は、厚み０．１５ｍｍ程度の単結晶シリコンや多結晶シリコン等の結晶系半導体からなり、１辺が１００ｍｍの略正方形を有する。この太陽電池セル１内には、ｎ型領域とｐ型領域とがあり、ｎ型領域とｐ型領域との界面部分で半導体接合部が形成されている。この他に単結晶シリコン基板と非晶質シリコン層との間に実質的に真性な非晶質シリコン層を挟み、その界面での欠陥を低減し、ヘテロ結合界面の特性を改善した構造、いわゆるＨＩＴ構造を有する太陽電池セルであってもよい。
【００２９】
太陽電池セル１の受光面側表面（以下において、「受光面」という。）部分には、表面電極が形成されている。この表面電極は、互いに並行に形成された複数のフィンガー電極１１からなる。フィンガー電極１１は，例えば、フィンガー電極幅１００μｍ、ピッチ２ｍｍ、電極厚み６０μｍであり、太陽電池セル１の表面上に５０本程度形成される。このような表面電極は、例えば、銀ペーストをスクリーン印刷して百数十度の温度で硬化させて形成したものである。
【００３０】
また、太陽電池セル１の裏面側の表面（以下において、「裏面」という。）にも同様に裏面電極が設けられている。この裏面電極も、互いに並行に形成された複数のフィンガー電極１２とからなる。フィンガー電極１２は，例えば、フィンガー電極幅１００μｍ、ピッチ２ｍｍ、電極厚み６０μｍであり，太陽電池セル１の裏面上に５０本程度形成される。このような表面電極は、例えば、銀ペーストをスクリーン印刷して百数十度の温度で硬化させて形成したものである。
【００３１】
そして、第１実施形態では、太陽電池セル１の主面上に所定の配列方向に従ってライン状に形成されるフィンガー電極１１と、裏面にライン状に形成されるフィンガー電極１２とが、太陽電池セル１の主面と平行な投影面上において、個々のフィンガー電極の少なくとも一部が互いに重なり合う位置に形成されていることを特徴とする。第１実施形態では特に、フィンガー電極１１の中心線とフィンガー電極１２の中心線とが略一致するように形成した（図３参照）。
【００３２】
受光面側及び裏面側のフィンガー電極１１又はフィンガー電極１２には，接着層３１，３２を介して、タブ４１、４２が圧着されている。接着層３１，３２としては、エポキシ

樹脂を主成分とし、１８０℃の加熱で急速に架橋が促進され、１５秒程度で硬化が完了するような架橋促進剤を配合している。この接着層３１，３２の厚みは、０．０１～０．０５ｍｍであり、幅は入射光の遮蔽を考慮して、タブ４１と同等若しくはタブ厚より小であることが好ましい。本実施形態では，幅１．５ｍｍ、厚み０．０２ｍｍの帯状フィルムシートに成形された樹脂接着剤を用いる。

【００３３】

また、タブ４１，４２は、鋼薄板でなり、このタブ４１の表面には、錫をメッキすることによって形成した軟導電体層５１を有している。なお、本実施形態では、タブ４１，４２をコートしている軟導電体層５１として、錫を用いると説明したが、基本的には、フィンガー電極１１，１２より軟らかい導電材料であって、且つ接着層３１，３２が硬化する温度で軟化する材料を用いることが望ましい。融点を引き下げた共晶半田を含めて、軟らかい導電性金属を使用することができる。

【００３４】

図３には、太陽電池セルのＡ－Ａ’断面における要部が拡大して示されている。図３に示すように、第１実施形態として示す太陽電池モジュールは、太陽電池セル１の表面又は裏面上のフィンガー電極１１，１２が，太陽電池セル１の主面と平行な投影面上において、互いに重なり合う位置関係で形成されるので、圧着時にかかる圧力が表裏で相殺され、セルに対する剪断応力を緩和することが可能となる。これにより、圧着時のセルの破断等に起因する太陽電池モジュールの不具合を低減することができる。

【００３５】

太陽電池セル１の不具合が緩和されることを確認するために、表裏フィンガー電極の中心ずれが実質的に０μｍになるように表裏のフィンガー電極を形成し、太陽電池セル１の厚みを変化させて太陽電池セルを作製し、歩留まりを評価した。

【００３６】

実施例の太陽電池セルは、セルサイズ１０４ｍｍ角とし、セル厚みを２００μｍ，１６０μｍ，１２０μｍ，８０μｍとしたものを作製した。また，作製した太陽電池モジュールでは、フィンガー電極１１，１２ともに、フィンガー電極幅は１００μｍであり、フィンガー電極間ピッチは２ｍｍであり、フィンガー電極の厚さは６０μｍとした。また、タブ幅は１．５ｍｍであり、タブ厚さ２００μｍの鋼薄板に、軟導電体層としてＳｎＡｇＣｕメッキ層を厚さ４０μｍで形成した。

【００３７】

また、比較例として、太陽電池セル表面に、フィンガー電極幅１００μｍ，フィンガー電極間ピッチ２ｍｍ、フィンガー電極の厚さは６０μｍでフィンガー電極１１を形成した。セルの厚さは，実施例と同一の４種類（２００μｍ，１６０μｍ，１２０μｍ，８０μｍ）を用意した。また、この太陽電池セル裏面に、フィンガー電極幅１００μｍ，フィンガー電極間ピッチ２ｍｍ、フィンガー電極の厚さは３０μｍでフィンガー電極１２を形成した太陽電池セルを用意した。比較例の太陽電池セルは、表裏両面に形成された各フィンガー電極の中心が１２０μｍずれた関係にある。なお、フィンガー電極１１とフィンガー電極１２の位置関係は、フィンガー全長に亘って略同一である。

【００３８】

また、圧着条件は、実施例，比較例ともに、１８０℃に加熱した熱板で２Ｍｐａの圧力で表裏両方向から１５秒間圧着した。第１実施形態の圧着後の断面状態は図３に示す。

【００３９】

歩留まりの算出は、太陽電池セルの厚み２００μｍ，１６０μｍ，１２０μｍ，８０μｍに対して、それぞれ１００枚の太陽電池セルを作製し、「ＥＬ発光強度分布」により評価した。太陽電池セルに２Ａの電流を流すと、１０００ｎｍ近傍の紫外光の発光が観察される。この不可視な発光を捉えることのできる撮像装置と映像化するソフトウェアで構成されるＥＬ発光測定装置を用いて、タブを圧着したセルを観測すると、圧着時に発生したクラック部は、発光しないため、視認不可能なクラックを検出することができる。１枚の太陽電池セルに１カ所でもクラックが発見された場合、ＮＧとして、歩留まりを算出した

。歩留まりは、比較例として作製した太陽電池セルの厚み２００μｍを１とする相対値で表している。結果を表１に示す。表１は、表裏フィンガー電極の中心ずれが実質的に０μｍの場合の結果である。

【００４０】

【表１】

太陽電池セルの厚さ(μｍ)	歩留まり(比較例)	歩留まり(実施例)
200	1	1
160	0.9	1
120	0.75	0.98
80	0.55	0.90

【００４１】

表１に示す結果から、太陽電池セル１の主面と平行な投影面上において、フィンガー電極１１の中心線とフィンガー電極１２の中心線とが略一致するように形成したことにより、太陽電池セルの厚みを薄くしたときの歩留まりの低下を抑止できることが確認できた。

【００４２】

なお、本実施形態では、接着層３１として、エポキシ樹脂を主成分としたものを用いると説明したが、半田接合より低い温度、好ましくは２００℃以下の温度で接着でき、生産性を著しく阻害しない、２０秒程度で硬化が完了するものであれば良い。例えば、硬化温度が低く、熱ストレスの軽減に寄与できるアクリル系樹脂、柔軟性の高いポリウレタン系などの熱硬化性樹脂接着剤の他に、ＥＶＡ樹脂系、合成ゴム系などの熱可塑性接着剤、低温での接合作業が可能となるエポキシ樹脂、アクリル樹脂、或いはウレタン樹脂を主剤にして硬化剤を混ぜ合わせて接着する２液反応系接着剤なども用いることができる。

【００４３】

また、本実施形態では、接着層３１として樹脂接着剤を用いているが、接着層３１としては、樹脂製のものに限らず、半田より低温で接着可能な材料であれば使用できる。

【００４４】

また、樹脂製の接着層とした場合には、樹脂接着剤に微粒子を含有すると、太陽電池モジュールの機械的強度を向上させることができる。ここで、微粒子とは、２～３０μｍ、好ましくは、平均粒径１０μｍ程度の大きさであり、ニッケル、金コート付ニッケル、或いは、プラスチックに導電性金属をコートしたもの（例えば、金をコートしたプラスチック）を単体又は混合して用いることができる。これら微粒子を混合することにより、樹脂本来の接着力を損なうことなく、セルの応力耐性を高めることができる。樹脂中に混入させた異種微粒子は、例えば、セメントに骨材、鉄材を加えることで圧縮、伸縮等の耐性を高めることが可能であることと同様の効果を得ることができ、太陽電池モジュールの長期信頼性を更に高めることができる。

【００４５】

（作用及び効果）

第１実施形態に係る太陽電池モジュールは、フィンガー電極１１とフィンガー電極１２が太陽電池セル１の主面と平行な投影面上において、個々のフィンガー電極が互いに重なり合う位置に形成されてなる複数の太陽電池セルが、フィンガー電極１１とフィンガー電極１２とに電気的に直接接続されるタブ４１，４２により連結されている。

【００４６】

従って、第１実施形態に係る太陽電池モジュールによれば、太陽電池セル１の主面（表面）に形成されたフィンガー電極１１と、これに対応する裏面位置にフィンガー電極１２が形成されていることにより、圧着時に太陽電池セルに加わる応力が緩和される。また、これにより、太陽電池セルへのダメージ蓄積を防止でき、製造時における歩留まり低下を抑止することができる。

［第２実施形態］

次に、本発明の第２実施形態について、図面を参照しながら説明する。以下においては、上述した第１実施形態と第２実施形態との差異を主として説明する。なお、第２実施形態として示す太陽電池モジュールの平面外観は、第１実施形態の太陽電池モジュールと変わらないため、断面の位置関係を示すのに図１を用いて説明する。

【００４７】

第２実施形態は、太陽電池セル１の表面に形成されたフィンガー電極１１と裏面に形成されたフィンガー電極１２とが、太陽電池セル１の主面に平行な投影面において、少なくとも一部が互いに重なり合う位置に形成されている場合の実施形態である。

【００４８】

太陽電池セル１の不具合が緩和されることを確認するために、第１実施形態と同一条件で太陽電池モジュールを作製した。そして、太陽電池セル１の主面（表面）に形成されたフィンガー電極１１と、これに対応する裏面位置に形成されたフィンガー電極１２の中心（フィンガー中心）のずれｘを０μｍ＜ｘ＜１２０μｍの範囲で変化させて、歩留まりを評価した。第２実施形態の圧着後の断面状態を図４に示す。また、歩留まり評価の結果を表２に示す。なお、歩留まりは、第１実施形態と同様に「ＥＬ発光強度分布」により評価した。

【００４９】

【表２】

（ウエハ厚さは200μｍを使用）

ずれx（μｍ）	歩留まり
0	1
20	1
50	0.99
100	0.95
110	0.80
120	0.75

【００５０】

ずれｘが０μｍのとき、歩留まりは１であり、ずれ２０μｍのとき歩留まりは１であり、ずれ５０μｍのとき歩留まりは０．９９であり、ずれ１００μｍのとき歩留まりは０．９５であり、ずれ１１０μｍのとき歩留まりは０．８０であり、ずれ１２０μｍのとき歩留まりは０．７５である。

【００５１】

表２に示す結果によると、ずれｘが１１０μｍを超えると、歩留まりは、急激に低下し、ずれｘが１２０μｍに近づくにつれて、歩留まりは更に低下する。すなわち、太陽電池セル１の表面に形成されたフィンガー電極１１と裏面に形成されたフィンガー電極１２とが、太陽電池セル１の主面に平行な投影面において、少なくとも一部が重なり合う位置関係にあることで太陽電池セル１に及ぼされる剪断応力が緩和されていることが判る。

【００５２】

なお、第２実施形態は、太陽電池セル１の表面に形成されたフィンガー電極１１と裏面に形成されたフィンガー電極１２とが、太陽電池セル１の主面に平行な投影面において、少なくとも一部が互いに重なり合う位置に形成されていれば、第１実施形態と同等の効果が見込まれることを説明するための例であり、０μｍ＜ｘ＜１２０μｍという数値範囲は、本実施形態においてフィンガー電極幅が１００μｍであることに起因する数値範囲であって、これに限定されない。

【００５３】

（作用及び効果）

第２実施形態に係る太陽電池モジュールは、フィンガー電極１１とフィンガー電極１２

が太陽電池セル１の主面と平行な投影面上において，個々のフィンガー電極の少なくとも一部が互いに重なり合う位置に形成されてなる複数の太陽電池セルが、フィンガー電極１１とフィンガー電極１２とに電気的に直接接続されるタブ４１，４２により連結されている。

【００５４】

第２実施形態に係る太陽電池モジュールは、フィンガー電極１１，フィンガー電極１２の中心のずれｘが１１０μｍを超えると、歩留まりは、急激に低下するものの、太陽電池セル１の主面に平行な投影面において，少なくとも一部が重なり合う位置関係にあれば、圧着時に太陽電池セル１に及ぼされる剪断応力を緩和することができ、歩留まりの低下を抑止する効果があるといえる。

［第３実施形態］

続いて，本発明の第３実施形態について、図面を参照しながら説明する。なお、以下においては、上述した第１実施形態と第３実施形態との差異について主として説明する。なお、第３実施形態として示す太陽電池モジュールの平面外観は、第１実施形態の太陽電池モジュールと変わらないため、断面の位置関係を示すのに図１を用いて説明する。

【００５５】

第３実施形態は、太陽電池セル１の裏面上に、フィンガー電極１３が表面上に形成されたフィンガー電極１１と同数形成されており、フィンガー電極１３のライン幅の長さは、フィンガー電極１１のライン幅の長さより大であることを特徴とする。このような太陽電池モジュールは，太陽電池セル１の主面に平行な投影面において、フィンガー電極１１がフィンガー電極１３に完全に重なり合う位置に形成されている。

【００５６】

第３実施形態では、太陽電池セル１の表面に形成されたフィンガー電極１１の幅が１００μｍであることに対して、裏面に形成されたフィンガー電極１３の幅を２００μｍとした。接着後の断面状態を図５に示す。なお、第２実施形態では、太陽電池セル１の表面に形成されたフィンガー電極１１のフィンガー中心と、裏面に形成されたフィンガー電極１３のフィンガー中心とのずれが１０μｍ以下になるようにした。

【００５７】

第３実施形態では、太陽電池セル１の裏面上に形成されるフィンガー電極１３のフィンガー電極幅を表面上に形成されるフィンガー電極１１より大とすることで、太陽電池セル１の表面と裏面とでフィンガー電極の形成位置、すなわちフィンガー中心のずれｘを調整するための条件が緩やかになる。したがって、第１実施形態と同一条件で同様の歩留まりを維持することができた。これにより、生産性を向上させることができる。

【００５８】

また、太陽電池セル１の裏面上に形成するフィンガー電極の電極幅を大とすることで、フィンガー電極の本数を増やすことと同様の効果が得られ、裏面電極側での抵抗損失を低減することができる。これにより、第３実施形態では、太陽電池セル１の裏面側における変換効率が向上し、出力特性のうち曲線因子（Ｆ．Ｆ）が０．５％改善した。

（作用及び効果）

第３実施形態として示す太陽電池モジュールによれば、太陽電池セル１の裏面上に形成されるフィンガー電極１３のライン幅を、表面に形成されるフィンガー電極１１のライン幅よりも大としたことにより、太陽電池セル１の主面と平行な投影面上において、自ずと個々の集電極の少なくとも一部が互いに重なり合う位置に形成されるので、太陽電池セル１の表面と裏面とにフィンガー電極を形成する工程における制限を緩やかにすることができ、生産性を向上させることができる。また，太陽電池セル１の裏面上に形成するフィンガー電極の電極幅を大とすることで、裏面電極側での抵抗損失を低減することができる。

［第４実施形態］

次に、本発明の第４実施形態について、図面を参照しながら説明する。以下においては、上述した第１実施形態と第４実施形態との差異について説明する。なお，第４実施形態として示す太陽電池モジュールの平面外観は、第１実施形態の太陽電池モジュールと変わ

らないため、断面の位置関係を示すのに図１を用いて説明する。

【００５９】

第１実施形態では、太陽電池セル１の裏面上に形成されるフィンガー電極１２の本数は、表面上に形成されるフィンガー電極１１のそれと同数としたが、太陽電池セル１の裏面は、太陽光の入射面ではないため、フィンガー電極における抵抗ロスを考慮すると、太陽電池セル１の裏面では、一般的にフィンガー電極の数を増やした方が出力向上が期待できる。そこで、第４実施形態として、第１実施形態の太陽電池セル１の裏面において、表裏面に対称位置に形成されるフィンガー電極１４の間に、フィンガー電極１５を追加した構造とした。

【００６０】

太陽電池セル１の裏面上に形成されるフィンガー電極１４，１５の高さが全て同じであってもよいが、第４実施形態は、太陽電池セル１の主面と平行な投影面上において、フィンガー電極１１と少なくとも一部が互いに重なり合う位置に形成されたフィンガー電極１４の太陽電池セル１からの高さｈｆ２が、太陽電池セル１の主面と平行な投影面上において、フィンガー電極１１と重なり合う位置にないフィンガー電極１５の高さｈｆ１より高いことが特徴である。第１実施形態と同一条件で第４実施形態として示す太陽電池モジュールを作製した。第４実施形態の圧着後の断面状態を図６に示す。

【００６１】

第４実施形態として示す太陽電池モジュールは、太陽電池セル１に及ぶ剪断応力を考慮すると、フィンガー電極１５の高さｈｆ１をフィンガー電極１４の高さｈｆ２よりも低くすると、圧着時に、太陽電池セル１の表面と裏面とで対称位置に存在するフィンガー電極１１及びフィンガー電極１４がタブ４１，４２の周囲にコートされた軟導電体層５１，５２にめり込んだ後、裏面においては、タブ４２の軟導電体層５２に高さの低いフィンガー電極１５が緩やかに接触し、めり込むと考えられる。これにより、圧着時の応力分散を図ることができる。歩留まりは、第１実施形態と同様に算出した結果、表１と同等の効果を得ることができた。

【００６２】

なお、太陽電池セル１の裏面上のフィンガー電極１４，１５の高さの差（ｈｆ２－ｈｆ１）は、タブ４１，４２の周囲にコートされた軟導電体層５１，５２の厚みｈｍよりも小さいことが好ましい。この構成にすることにより、太陽電池セル１の薄型化に伴う歩留まりの低下を改善することが図れるとともに、変換効率を向上することができる。第４実施形態では、太陽電池セル１の裏面上に形成された２種類のフィンガー電極の高さの差（ｈｆ２－ｈｆ１）は、３０μｍで実質的に統一されるようにした。

（作用及び効果）

上述したように、第４実施形態として示す太陽電池モジュールは、太陽電池セル１の受光面よりも裏面にフィンガー電極がより多く形成されており、太陽電池セル１の受光面或いは裏面と平行な投影面上において、フィンガー電極１１と少なくとも一部が互いに重なり合う位置に形成されたフィンガー電極１４の太陽電池セル１からの高さが、太陽電池セル１の受光面或いは裏面と平行な投影面上において、フィンガー電極１１と重なり合う位置にないフィンガー電極１５の高さよりも高いので、圧着時における太陽電池セル１の応力を分散することができる。また、フィンガー電極１４とフィンガー電極１５の高さの差は、タブ４１の周囲にコートされた軟導電体層５１，５２の層厚よりも小さいことが好ましい。軟導電体層５１，５２の層厚よりも小とすることにより、圧着時に太陽電池セル１に加わる応力を効率よく分散することができる。

（その他の変更例）

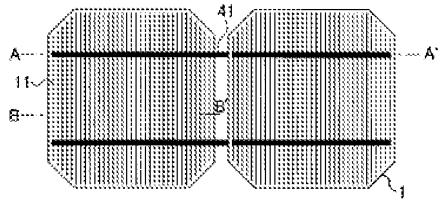
本発明は上述した実施形態によって説明したが、この開示の一部をなす論述及び図面は、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

【符号の説明】

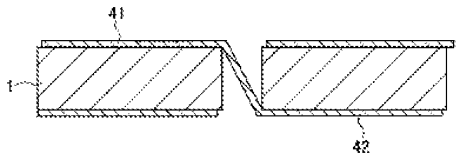
【００６３】

１…太陽電池セル、１１，１２，１３，１４，１５…フィンガー電極、３１，３２…接着層、４１，４２…タブ、５１，５２…軟導電体層

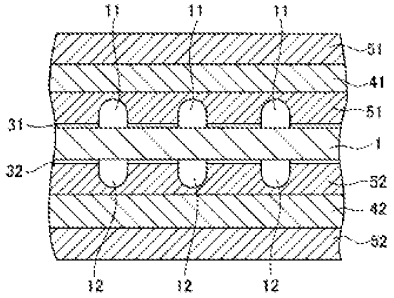
【図１】



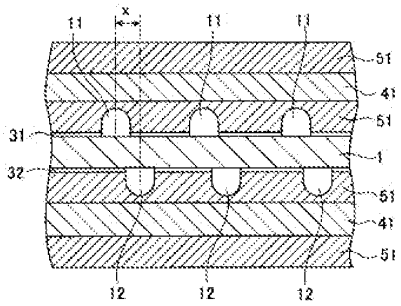
【図２】



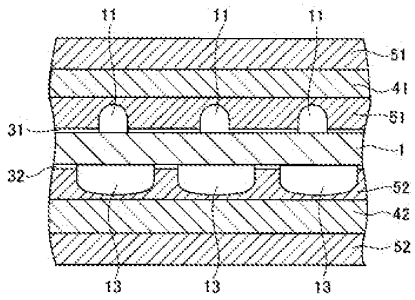
【図３】



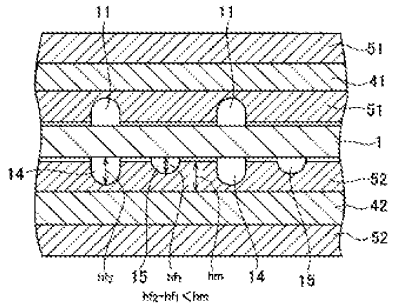
【図４】


11
x
11
11
51
41
51
31
1
32
51
41
51
12
12
12

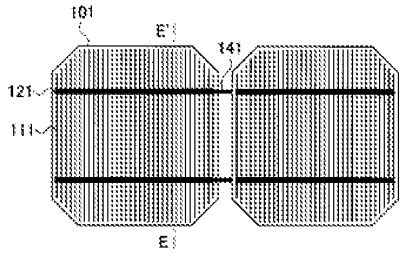
【図５】


11
11
11
51
41
51
31
1
32
52
42
52
13
13
13

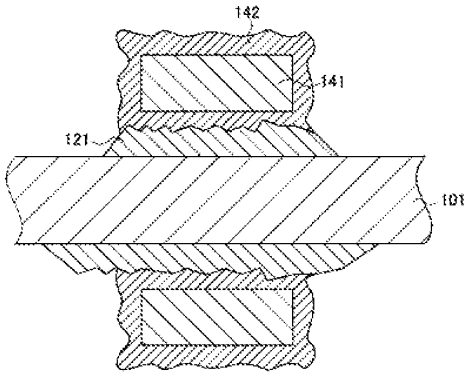
【図６】


11
11
51
41
51
1
14
52
42
52
15
14
15

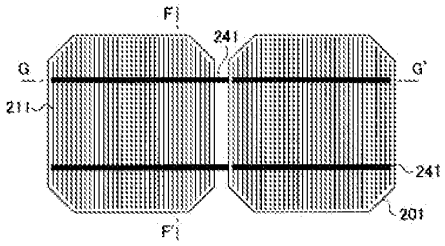
【図７】


101
141
121
111

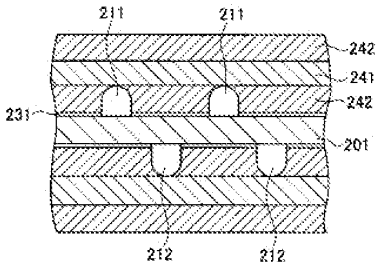
【図８】


142
141
121
101

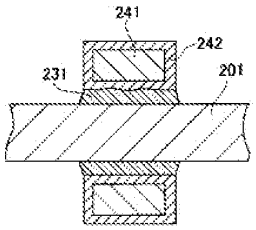
【図９】



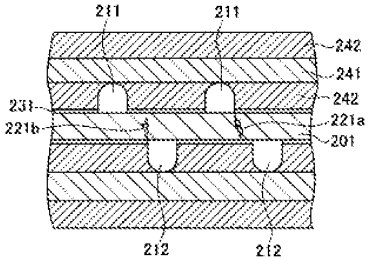
【図１１】



【図１０】



【図１２】



【手続補正書】
【提出日】平成23年7月6日(2011.7.6)
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００１
【補正方法】変更
【補正の内容】
【０００１】
本発明は、隣接する太陽電池セルの表面上に形成されたフィンガー電極をタブによって接続することにより互いに接続された複数の太陽電池セルを備える太陽電池モジュールの製造方法に関する。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
そこで、本発明は、上述したようなクラックの発生を抑制でき、歩留まり低下を抑制することができる太陽電池モジュールの製造方法を提供することを目的とする。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】変更
【補正の内容】
【００１５】

本発明に係る太陽電池モジュールの製造方法は、配線タブを太陽電池セルの電極に接続する工程を備える太陽電池モジュールの製造方法であって、太陽電池セルは、受光面に配設された複数の第１フィンガー電極と、裏面に配設された複数の第２フィンガー電極とを有し、第１フィンガー電極と第２フィンガー電極とは、受光面或いは裏面と平行な投影面上において、少なくとも一部が互いに重なり合う位置に配置され、第１フィンガー電極上及び前記第２フィンガー上にそれぞれ樹脂接着剤を介在させて配線タブを少なくとも２ＭＰａの圧力で圧着する。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】削除
【補正の内容】
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】削除
【補正の内容】
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００１８
【補正方法】削除
【補正の内容】
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】削除
【補正の内容】
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】削除
【補正の内容】
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】削除
【補正の内容】
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】削除
【補正の内容】
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】削除
【補正の内容】
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００２４

【補正方法】削除
【補正の内容】
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更
【補正の内容】
【００２５】
本発明によれば、生産性を向上でき、太陽電池セルの厚みを低減できる太陽電池モジュールの製造方法を提供することができる。

Espacenet

Bibliographic data: JP2011512689 (A) — 2011-04-21

Front contact solar cell with formed emitter

Inventor(s):

Applicant(s):

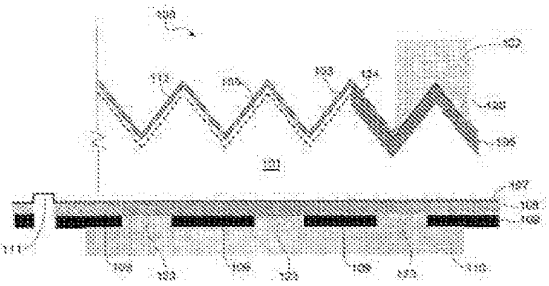
Classification: - international: ***H01L31/04***
- cooperative: **H01L31/022425**; **H01L31/0236**; **H01L31/056**; **H01L31/068**; **H01L31/0745**; **H01L31/1804**; **H01L31/182**; Y02E10/52; Y02E10/547; Y02P70/521

Application number: JP20100547669 20090129 Global Dossier

Priority number (s): US20080070742 20080220 ; WO2009US32345 20090129

Also published as: JP5572895 (B2) US2009205712 (A1) US8222516 (B2) US2015083215 (A1) US2014038338 (A1) more

Abstract not available for JP2011512689 (A)
Abstract of corresponding document: US2009205712 (A1)



A bipolar solar cell includes a backside junction formed by an N-type silicon substrate and a P-type polysilicon emitter formed on the backside of the solar cell. An antireflection layer may be formed on a textured front surface of the silicon substrate. A negative polarity metal contact on the front side of the solar cell makes an electrical connection to the substrate, while a positive polarity metal contact on the backside of the solar cell makes an electrical connection to the polysilicon emitter. An external electrical circuit may be connected to the negative and positive metal contacts to be powered by the solar cell. The positive polarity metal contact may form an infrared reflecting layer with an underlying dielectric layer for increased solar radiation collection.

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2011-512689
(P2011-512689A)
(43)公表日　平成23年4月21日(2011.4.21)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	H	5F151

審査請求 未請求　予備審査請求 未請求　（全 14 頁）

(21)出願番号　特願2010-547669 (P2010-547669)
(86)(22)出願日　平成21年1月29日 (2009.1.29)
(85)翻訳文提出日　平成22年9月1日 (2010.9.1)
(86)国際出願番号　PCT/US2009/032345
(87)国際公開番号　WO2009/105314
(87)国際公開日　平成21年8月27日 (2009.8.27)
(31)優先権主張番号　12/070,742
(32)優先日　平成20年2月20日 (2008.2.20)
(33)優先権主張国　米国 (US)

(71)出願人　505379467
サンパワー　コーポレイション
アメリカ合衆国カリフォルニア州９５１３４，サンノゼ，ノース・ファースト・ストリート・３９３９
(74)代理人　110000877
龍華国際特許業務法人
(72)発明者　カズンズ、ピーター　ジョン
アメリカ合衆国、カリフォルニア州　９５１３４、サンノゼ、ノース　ファースト　ストリート　３９３９　サンパワー　コーポレイション内

Fターム(参考)　5F151 AA02 AA03 CB12 CB20 CB21 FA06 FA14 FA16 FA17 GA04 GA15 HA03 HA11

最終頁に続く

(54)【発明の名称】エミッタを有するフロントコンタクト型太陽電池

(57)【要約】
バイポーラ太陽電池（bipolar solar cell）（１００）は、Ｎ型シリコン基板（１０１）と、太陽電池（１００）の裏面側に形成されたＰ型ポリシリコンのエミッタ（１０８）とによって形成される裏面接合を含む。シリコン基板（１０１）の受光面側のテクスチャード表面上には、反射防止層（１０３）が形成されてよい。太陽電池（１００）の受光面上の負極側金属コンタクト（１０２）は、基板（１０１）と電気的に接続し、太陽電池（１００）の裏面上の正極側金属コンタクト（１１０）は、ポリシリコンのエミッタ（１０８）と電気的に接続する。外部の電気回路は、負極側金属コンタクトおよび正極側金属コンタクトに接続されて、太陽電池（１００）を動力源としてよい。正極側金属コンタクト（１１０）は、その下の誘電体層（１０９）と一緒に赤外線反射層を形成して、太陽放射の収集を増加させてよい。
【選択図】図１

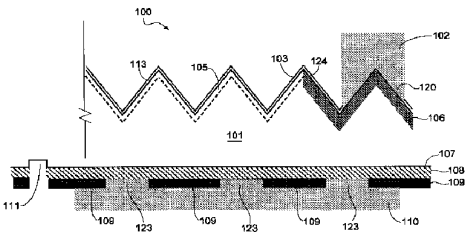


FIG. 1

【特許請求の範囲】
【請求項１】
通常の運転の間、太陽に面し、太陽放射を収集する受光面と、前記受光面の反対側の裏面とを有する太陽電池であって、
Ｎ型シリコン基板と、
前記太陽電池の前記受光面側の前記Ｎ型シリコン基板上のテクスチャード表面と、
前記Ｎ型シリコン基板の前記テクスチャード表面を覆う反射防止層と、
前記Ｎ型シリコン基板との裏面接合を形成するＰ型ポリシリコンのエミッタと、
前記太陽電池の前記受光面から前記Ｎ型シリコン基板と電気的に接続する負極側金属コンタクトと、
前記太陽電池の前記裏面から前記Ｐ型ポリシリコンのエミッタと電気的に接続する正極側金属コンタクトと、
を備える、太陽電池。
【請求項２】
前記反射防止層は、窒化ケイ素の層を含む、
請求項１に記載の太陽電池。
【請求項３】
前記Ｐ型ポリシリコンのエミッタを覆う誘電体層をさらに備える、
請求項１に記載の太陽電池。
【請求項４】
前記誘電体層は、二酸化ケイ素を含む、
請求項３に記載の太陽電池。
【請求項５】
前記誘電体層および前記Ｐ型ポリシリコンのエミッタを切断し、前記太陽電池の裏面側の前記Ｎ型シリコン基板の一部に切り込みをいれるトレンチをさらに備える、
請求項３に記載の太陽電池。
【請求項６】
前記正極側金属コンタクトは、誘電体層とともに赤外線反射層を形成する金属を含む、
請求項１に記載の太陽電池。
【請求項７】
前記正極側金属コンタクトは、二酸化ケイ素を含む誘電体層とともに赤外線反射層を形成する銀を含む、
請求項１に記載の太陽電池。
【請求項８】
前記負極側金属コンタクトは、前記Ｎ型シリコン基板に通じるコンタクトホールの内部に形成される、
請求項１に記載の太陽電池。
【請求項９】
通常の運転の間、太陽に面し、太陽放射を収集する受光面と、前記受光面の反対側の裏面とを有する太陽電池を製造する方法であって、
前記太陽電池の前記裏面側のＮ型シリコン基板の裏面を覆うポリシリコンの層を形成する段階と、
前記ポリシリコンの層を覆うＰ型ドーパント源を形成する段階と、
前記Ｐ型ドーパント源を覆うキャッピング層を形成する段階と、
前記Ｐ型ドーパント源から前記ポリシリコンの層にＰ型ドーパントを拡散させ、前記Ｎ型シリコン基板との裏面接合を形成する段階と、
前記Ｎ型シリコン基板の前記受光面側の表面にＮ型ドーパントを拡散させる段階と、
を備える、
太陽電池を製造する方法。
【請求項１０】

前記Ｐ型ドーパント源が、ホウケイ酸ガラスを含む、
請求項９に記載の太陽電池を製造する方法。
【請求項１１】
前記Ｎ型シリコン基板の前記受光面側の表面にＮ型ドーパントを拡散させる段階は、
前記Ｎ型シリコン基板を覆うＮ型ドーパント源を形成する段階と、
前記Ｎ型ドーパント源から前記Ｎ型シリコン基板の内部にＮ型ドーパントを拡散させる段階と、
を含む、
請求項９に記載の太陽電池を製造する方法。
【請求項１２】
前記Ｎ型ドーパント源は、リンがドープされた二酸化ケイ素を含む、
請求項１１に記載の太陽電池を製造する方法。
【請求項１３】
前記Ｎ型シリコン基板の前記受光面側の表面をテクスチャリングする段階と、
前記Ｎ型シリコン基板のテクスチャリングされた前記受光面側の表面を覆う反射防止層を形成する段階と、
をさらに備える、
請求項９に記載の太陽電池を製造する方法。
【請求項１４】
前記反射防止層は、窒化ケイ素を含む、
請求項１３に記載の太陽電池を製造する方法。
【請求項１５】
前記Ｐ型ドーパント源から前記ポリシリコンの層へのＰ型ドーパントの前記拡散、および、Ｎ型ドーパントの前記Ｎ型シリコン基板の前記受光面側の表面への前記拡散は、インサイチュで（ｉｎ　ｓｉｔｕ）実施される、
請求項９に記載の太陽電池を製造する方法。
【請求項１６】
前記キャッピング層は、ドープされていない二酸化ケイ素を含む、
請求項９に記載の太陽電池を製造する方法。
【請求項１７】
通常の運転の間、太陽に面し、太陽放射を収集する受光面と、前記受光面の反対側の裏面とを有する太陽電池であって、
受光面側のテクスチャード表面を有する基板と、
前記基板の裏面側の表面を覆って形成され、前記基板と裏面接合を形成するエミッタ層と、
前記太陽電池の前記受光面側で、前記基板と電気的に接続する第１の金属コンタクトと、
前記太陽電池の前記裏面側で、前記エミッタ層と電気的に接続する第２の金属コンタクトと、
を備え、
前記第１の金属コンタクトおよび前記第２の金属コンタクトは、外部の電気回路が前記太陽電池を動力源とすることができるように構成される、
太陽電池。
【請求項１８】
前記基板の前記受光面側のテクスチャード表面を覆う反射防止層をさらに備える、
請求項１７に記載の太陽電池。
【請求項１９】
前記基板は、Ｎ型シリコン基板を含み、
前記エミッタ層は、Ｐ型にドープされたポリシリコンを含む、
請求項１７に記載の太陽電池。

【請求項２０】
前記第２の金属コンタクトは、二酸化ケイ素の層を覆って形成される銀を含む、
請求項１７に記載の太陽電池。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、概して太陽電池に関する。本発明は、特に、太陽電池の製造プロセスおよび構造に関するが、これに限られるものではない。
【背景技術】
【０００２】
太陽電池は太陽放射を電気エネルギーに変換する装置であり、よく知られている。太陽電池は半導体製造技術を用いて半導体ウエハ上に製造されてよい。太陽電池はＰ型拡散領域およびＮ型拡散領域を含み、Ｐ型拡散領域およびＮ型拡散領域は接合部を形成する。太陽電池に衝突した太陽放射は電子とホールとを発生させ、電子およびホールは拡散領域に移動する。それにより拡散領域の間に電圧差が生じる。裏面電極型太陽電池（ｂａｃｋｓｉｄｅ　ｃｏｎｔａｃｔ　ｓｏｌａｒ　ｃｅｌｌ）においては、拡散領域と、拡散領域に結合する金属コンタクト（ｍｅｔａｌ　ｃｏｎｔａｃｔ）との両方が、太陽電池の裏面上に形成される。金属コンタクトは、外部の電気回路が太陽電池と結合され、太陽電池を動力源とすることができるようにする。
【０００３】
受光面電極型太陽電池（ｆｒｏｎｔ　ｃｏｎｔａｃｔ　ｓｏｌａｒ　ｃｅｌｌ）においては、拡散領域と電気的に接続される金属コンタクトの少なくとも１つが、太陽電池の受光面（ｆｒｏｎｔ　ｓｉｄｅ）上に形成される。太陽電池の受光面は、裏面の反対側の面であり、太陽放射を収集する通常の運転の間、太陽に面する。裏面型太陽電池は、その受光面上に金属コンタクトがないので、受光面型太陽電池に優る美的な利点を有し、住宅用途に好まれる。一方、発電所および発電が主要な懸案事項であるその他の用途において、審美性は主要な要求ではない。本明細書において、比較的効率が高く、費用対効果の大きな受光面電極型太陽電池の構造およびそれらの製造プロセスが開示される。
【発明の概要】
【０００４】
バイポーラ太陽電池（ｂｉｐｏｌａｒ　ｓｏｌａｒ　ｃｅｌｌ）は、Ｎ型シリコン基板と、太陽電池の裏面側に形成されたＰ型ポリシリコンのエミッタとによって形成される裏面接合を有する。シリコン基板の受光面側のテクスチャード表面（ｔｅｘｔｕｒｅｄ　ｆｒｏｎｔ　ｓｕｒｆａｃｅ）には、反射防止層が形成されてよい。太陽電池の受光面上に配された負極側の金属コンタクトは、基板と電気的に接続される。一方、太陽電池の裏面上に配された正極側の金属コンタクトは、ポリシリコンのエミッタと電気的に接続される。外部の電気回路は、正極および負極に接続され、太陽電池を動力源としてよい。正極側の金属コンタクトは、下部の絶縁層とともに赤外線反射層を形成し、太陽放射の収集を増加させてよい。
【０００５】
付随する図面および特許請求の範囲を含むこの開示の全体を読んだ当業者は、本発明のこれらの特徴およびその他の特徴を容易に理解することができるであろう。
【図面の簡単な説明】
【０００６】
【図１】図１は、本発明の一実施形態に係る太陽電池の断面図を概略的に示す。
【図２】図２は、図１に示す太陽電池の受光面を概略的に示す平面図である。
【図３】図３は、図１に示す太陽電池の裏面を概略的に示す平面図である。
【図４Ａ】図４Ａは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｂ】図４Ｂは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例

を概略的に示す。
【図４Ｃ】図４Ｃは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｄ】図４Ｄは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｅ】図４Ｅは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｆ】図４Ｆは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｇ】図４Ｇは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｈ】図４Ｈは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｉ】図４Ｉは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｊ】図４Ｊは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｋ】図４Ｋは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｌ】図４Ｌは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【図４Ｍ】図４Ｍは、本発明の一実施形態に係る、図１に示す太陽電池の製造方法の一例を概略的に示す。
【発明を実施するための形態】
【０００７】
異なる図面において、同一または類似する構成要素には同一の符号を付す。図面は正確な縮尺で作図されていない。
【０００８】
本明細書において、発明の実施形態を十分に理解できるように、装置、プロセスパラメータ、材料、プロセス段階および構造の実施例のような、多くの具体的詳細が提供される。しかしながら、当業者は、一以上の具体的詳細がなくても発明を実施することができることを認識するであろう。他の例では、発明の態様が不明瞭になることを防止する目的で、周知の詳細は図示または記載されていない。
【０００９】
図１は、本発明の一実施形態に係る太陽電池１００の断面図を概略的に示す。太陽電池１００は、金属コンタクト１０２が配される受光面と、金属コンタクト１１０と同じ側の裏面とを有する。受光面は、太陽放射を収集する通常の運転の間、太陽に面する。
【００１０】
図１に示す例において、太陽電池１００は、Ｐ型拡散領域として機能するＰ型にドープされたポリシリコンのエミッタ１０８と、Ｎ型拡散領域として機能するＮ型シリコン基板１０１とによって形成される裏面接合を有する。Ｎ型シリコン基板１０１は、長ライフタイム（例えば、２から５ｍｓ）のＮ型シリコンウエハを含んでよい。Ｎ型シリコン基板１０１の厚さは、基板の裏面側の表面から、基板の受光面側のテクスチャード表面の先端までを測定して、１００から２５０マイクロメートルであってよい。基板１０１の受光面側の表面は、符号１１３として示すように、不規則にテクスチャリングされる。基板１０１の受光面側の表面は、基板の内部に形成されＮ型にドープされた領域１０５および領域１０６を含む。Ｎ型にドープされた領域１０５は、太陽電池の妥協のない青色応答（ｂｌｕｅ　ｒｅｓｐｏｎｓｅ）を実現すると同時に、受光面側の表面再結合（ｆｒｏｎｔ　ｓｕｒｆａｃｅ　ｒｅｃｏｍｂｉｎａｔｉｏｎ）を低減し、横方向の伝導率（ｌａｔｅｒａｌ　ｃｏｎｄｕｃｔｉｖｉｔｙ）を改善する。領域１０６は、接触抵抗を低減し、接触面に

おける再結合（ｃｏｎｔａｃｔ　ｒｅｃｏｍｂｉｎａｔｉｏｎ）を抑制する。領域１０６は、リン拡散領域であってよい。一実施形態において、受光面側の表面における高濃度（ｈｅａｖｉｌｙ）拡散領域の面積（ａｒｅａ）を抑制する目的で、領域１０６がドット状に（ｄｏｔ　ｓｈａｐｅ）形成されるので、領域１０６はＮドット（Ｎ－ｄｏｔ）とも呼ばれる。Ｎ型にドープされた領域１０５は、１００から５００Ω／ｓｑのシート抵抗を有してよく、Ｎ型にドープされた領域１０６は、１０から５０Ω／ｓｑのシート抵抗を有してよい。

【００１１】

基板１０１の受光面側のテクスチャード表面上には、窒化ケイ素層１０３の反射防止膜（ＡＲＣ）が形成される。受光面側のテクスチャード表面と、窒化ケイ素層１０３とは、太陽放射の収集効率の向上に役立つ。保護酸化物１２４（ｐａｓｓｉｖａｔｉｎｇ　ｏｘｉｄｅ）は、基板１０１の受光面側の表面上に熱成長し、１０から２５０オングストロームの厚さを有する二酸化ケイ素を含んでよい。

【００１２】

一実施形態において、ポリシリコンのエミッタ１０８は、トンネル酸化物層１０７の上に形成される。ポリシリコンのエミッタ１０８は、低圧ＣＶＤ（ＬＰＣＶＤ）またはプラズマＣＶＤ（ＰＥＣＶＤ）のような化学気相成長法（ＣＶＤ）および熱アニール処理を用いて、ポリシリコンの層を形成することで形成されてよい。ポリシリコンのエミッタ１０８は、１００Ω／ｓｑのシート抵抗を有してよく、１０００から２０００オングストロームの厚さを有してよい。トンネル酸化物層１０７は、基板１０１の裏面の表面上に熱成長し、１０から５０オングストロームの厚さを有する二酸化ケイ素を含んでよい。金属コンタクト１１０は、二酸化ケイ素層１０９を含む誘電体を貫通して形成されるコンタクトホール１２３を介して、ポリシリコンのエミッタ１０８と電気的に接続してよい。金属コンタクト１１０は、外部の電気回路が太陽電池１００と結合され、太陽電池を動力源とすることができるようにする、正極側端子（ｐｏｓｉｔｉｖｅ　ｐｏｌａｒｉｔｙ　ｔｅｒｍｉｎａｌ）を提供する。二酸化ケイ素層１０９は、電気的な分離を与え、金属コンタクト１１０が赤外線反射層として働き、太陽放射の収集を増加させることができるようにする。一実施形態において、金属コンタクト１１０は、５から２５ｍΩ・ｃｍの電気伝導率（ｃｏｎｄｕｃｔａｎｃｅ）と、１５から３５マイクロメートルの厚さとを有する銀を含む。

【００１３】

太陽電池１００の受光面において、金属コンタクト１０２は、窒化ケイ素層１０３を貫通して形成されたコンタクトホール１２０を介して、領域１０６と電気的に接続する。金属コンタクト１０２は、外部の電気回路が太陽電池１００と結合され、太陽電池を動力源とすることができるようにする、負極側端子（ｎｅｇａｔｉｖｅ　ｐｏｌａｒｉｔｙ　ｔｅｒｍｉｎａｌ）を提供する。一実施形態において、金属コンタクト１０２は、約５ｍΩ・ｃｍのシート抵抗と、約１５マイクロメートルの厚さとを有する銀を含む。隣接する金属コンタクト１０２の間のピッチは、約１から４ｍｍであってよい。一実施形態において、金属コンタクト１０２（図２を参照。）は、互いに平行に、４００から１０００マイクロメートルの間隔をあけて配されてよい。

【００１４】

図１に例示するように、二酸化ケイ素層１０９、ポリシリコンのエミッタ１０８および基板１０１の一部の中を通って、端部分離トレンチ１１１（ｅｄｇｅ　ｉｓｏｌａｔｉｏｎ　ｔｒｅｎｃｈ）が形成され、電気的な端部分離が提供される。

【００１５】

図２は、太陽電池１００の受光面を概略的に示す平面図である。図２に例示するように、基板１０１の受光面には、平行に伸びる２本のバスバー２０１が配される。その内部に金属コンタクト１０２が形成されるコンタクトホール１２０のそれぞれは、約５０から２００マイクロメートルの直径を有してよい。複数の金属コンタクト１０２が、バスバー２０１に垂直に形成される。金属コンタクト１０２のそれぞれは、約６０から１２０マイク

ロメートルの幅を有してよい。

【００１６】

図３は、太陽電池１００の裏面を概略的に示す平面図である。　図３に例示するように、基板１０１の裏面には、平行に伸びる２本のバスバー３０１が配される。２本のバスバー３０１は、金属コンタクト１１０と電気的に結合される。実施する上では、バスバー２０１およびバスバー３０１は、隣接する太陽電池の対応するバスバーと電気的に接続され、太陽電池アレイを形成することができる。

【００１７】

太陽電池は、実行可能な再生可能エネルギー源として、エネルギーの消費者の間の賛同を得てきた。それでもやはり、他のエネルギー源との競争力があるエネルギー源であるために、太陽電池の製造業者は、効率的な太陽電池を比較的低コストで製造できなければならない。この目標を念頭において、以下、図４Ａから図４Ｍを参照しながら、太陽電池１００の製造プロセスについて説明する。

【００１８】

図４Ａから図４Ｍは、太陽電池１００の製造方法の一例を概略的に示す。

【００１９】

図４Ａにおいて、Ｎ型シリコン基板１０１が、ダメージ層をエッチングする段階を経ることで、太陽電池への加工に備える。本実施形態において、基板１０１はウエハ形状であり、それゆえ、通常は、ウエハベンダーが基板１０１をインゴットから切り出すために実施する切断プロセスに起因して、表面に損傷を受ける。基板１０１の厚さは、ウエハベンダーから受領した状態で、約１００から２００マイクロであってよい。一実施形態において、ダメージ層をエッチングする段階は、水酸化カリウムを含むウエットエッチングプロセスを用いて、基板１０１のそれぞれの面から、約１０から２０マイクロメートルを除去する段階を含む。ダメージ層をエッチングする段階は、また、基板１０１を洗浄して、金属汚染を除去する段階を含んでよい。

【００２０】

図４Ｂにおいて、トンネル酸化物４０２およびトンネル酸化物１０７は、それぞれ、基板１０１の受光面側の表面および裏面側の表面に形成される。トンネル酸化物４０２およびトンネル酸化物１０７は、Ｎ型シリコン基板１０１の表面上に熱成長し、約１０から５０オングストロームの厚さを有する二酸化ケイ素を含んでよい。次に、トンネル酸化物４０２およびトンネル酸化物１０７の上にポリシリコンが形成され、それぞれ、ポリシリコン層４０１およびポリシリコンのエミッタ１０８を形成する。ポリシリコン層４０１およびポリシリコンのエミッタ１０８のそれぞれは、ＣＶＤによって、約１０００から２０００オングストロームの厚さに形成されてよい。

【００２１】

図４Ｃにおいて、Ｐ型ドーパント源４６１が、ポリシリコンのエミッタ１０８の上に形成される。その名前が示すとおり、Ｐ型ドーパント源４６１は、引き続いて実行される不純物拡散工程（ｄｏｐａｎｔ　ｄｒｉｖｅ－ｉｎ　ｓｔｅｐ）における、ポリシリコンのエミッタ１０８への拡散に備えて、Ｐ型ドーパントのソース（ｓｏｕｒｃｅ）を提供する。Ｐ型ドーパント源４６１の上に、キャッピング誘電体層４６２（ｄｉｅｌｅｃｔｒｉｃ　ｃａｐｐｉｎｇ　ｌａｙｅｒ）が形成され、拡散工程（ｄｒｉｖｅ－ｉｎ　ｓｔｅｐ）の間に、太陽電池の裏面からドーパントが漏れること（ｅｓｃａｐｉｎｇ）を防止する。一実施形態において、Ｐ型ドーパント源は、常圧ＣＶＤ（ＡＰＣＶＤ）によって約５００から１０００オングストロームの厚さに堆積した（ｄｅｐｏｓｉｔｅｄ）ＢＳＧ（ｂｏｒｏｓｉｌｉｃａｔｅ　ｇｌａｓｓ）を含む。ドーパント濃度は、５から１０重量％であってよい。一方、上記の実施形態において、キャッピング層４６２もまた、常圧ＣＶＤ（ＡＰＣＶＤ）によって約２０００から３０００オングストロームの厚さに形成された（ｄｅｐｏｓｉｔｅｄ）、ドープされていない（ｕｎｄｏｐｅｄ）二酸化ケイ素を含んでよい。

【００２２】

図４Ｄにおいて、端部分離トレンチ１１１は、裏面上の基板１０１の端部の近傍に形成

される。トレンチ１１１は、比較的浅く（ｓｈａｌｌｏｗ）、例えば、基板１０１の内側へ１０マイクロメートルの深さであり、電気的な端部分離（ｅｄｇｅ　ｅｌｅｃｔｒｉｃａｌ　ｉｓｏｌａｔｉｏｎ）を提供する。一実施形態において、トレンチ１１１は、レーザーを用いて、キャッピング層４６２、Ｐ型ドーパント源４６１、ポリシリコンのエミッタ１０８、トンネル酸化物１０７を切断し、基板１０１の浅い部分（ｓｈａｌｌｏｗ　ｐｏｒｔｉｏｎ）に切り込みを入れることで形成される。

【００２３】

図４Ｅにおいて、基板１０１の受光面上の露出した領域が不規則にテクスチャリングされ、テクスチャード表面１１３（ｔｅｘｔｕｒｅｄ　ｓｕｒｆａｃｅ）を形成する。一実施形態において、水酸化カリウムおよびイソプロピルアルコールを含むウエットエッチングプロセスを用いて、基板１０１の受光面に、不規則なピラミッド形状の（ｒａｎｄｏｍ　ｐｙｒａｍｉｄｓ）テクスチャリングが施される。

【００２４】

図４Ｆにおいて、Ｎ型ドーパント源４１２は、テクスチャード表面１１３のうち、引き続いてコンタクトホール１２０（図１を参照。）が形成され、その後に形成される金属コンタクト１０２が基板１０１と電気的に接続することになる領域に形成される。その名前が示すとおり、Ｎ型ドーパント源４１２は、基板１０１の受光面への拡散に備えて、Ｎ型ドーパントのソース（ｓｏｕｒｃｅ）を提供する。一実施形態において、Ｎ型ドーパント源４１２は、ドーパント物質を基板１０１の上に直接インクジェット印刷することで、形成される。

【００２５】

一実施形態において、Ｎ型ドーパント源４１２は、リンがドープされた二酸化ケイ素を含む。　図４Ｆにおいては、明瞭に作図することを目的として、Ｎ型ドーパント源４１２を１つだけ示している。　実施する上では、いくつかのＮ型ドーパント源４１２がドット状に配されることができる。コンタクトホール１２０が形成されることになる領域（図２を参照。）のそれぞれに、１つのＮ型ドーパント源４１２が形成されてよい。これにより、図４Ｇを参照して説明される、引き続いて実施される拡散段階を経て、いくつかのドット状に配されたＮ型にドープされた領域１０６（ｓｅｖｅｒａｌ　ｄｏｔ　ｓｈａｐｅｄ　Ｎ−ｔｙｐｅ　ｄｏｐｅｄ　ｒｅｇｉｏｎｓ）（図１を参照。）を形成することができる。

【００２６】

図４Ｇにおいて、不純物拡散段階（ｄｏｐａｎｔ　ｄｒｉｖｅ−ｉｎ　ｓｔｅｐ）が実施され、Ｎ型ドーパントが、Ｎ型ドーパント源４１２から基板１０１の中へと拡散してＮ型にドープされた領域１０６を形成し、Ｐ型ドーパントが、Ｐ型ドーパント源４６１からポリシリコンのエミッタ１０８へと拡散する。また、Ｎ型ドーパントが基板１０１の受光面の中へと拡散し、Ｎ型にドープされた領域１０５を形成する。二酸化ケイ素層１０９は、拡散工程後の層４６１および層４６２を表す。ポリシリコンのエミッタ１０８もまた、拡散工程後に、Ｐ型にドープされた層になる。図４Ｇの例において、Ｎ型にドープされた領域１０５は、例えば、拡散炉（ｄｉｆｆｕｓｉｏｎ　ｆｕｒｎａｃｅ）の中でリンにさらされることで、形成されてよい。Ｎ型ドーパント源４１２を使用することで、Ｎ型にドープされた領域１０６への、よりコントロールされ、より高濃度の拡散を実現することができる。拡散プロセスの間に、テクスチャード表面１１３の上に、二酸化ケイ素の熱酸化薄膜層１２４（ｔｈｉｎ　ｔｈｅｒｍａｌ　ｓｉｌｉｃｏｎ　ｄｉｏｘｉｄｅ　ｌａｙｅｒ）が成長してよい。

【００２７】

裏面上のポリシリコンのエミッタ１０８をドーピングし、受光面上にＮ型にドープされた領域１０５および領域１０６を形成する拡散段階は、インサイチュで（ｉｎ　ｓｉｔｕ）形成されてよい。本開示に関連して、それは、炉（ｆｕｒｎａｃｅ）またはその他のシングルチャンバーもしくはマルチチャンバーの処理装置（ｐｒｏｃｅｓｓｉｎｇ　ｔｏｏｌ）において、（例えば、製造部門の社員によって、）基板１０１をシングルマニュアル

ローディングすること（ｓｉｎｇｌｅ　ｍａｎｕａｌ　ｌｏａｄｉｎｇ）を意味する。一実施形態において、拡散段階は、拡散炉の内部で実施される。拡散段階に至る段階の先行するシーケンス（ｐｒｅｃｅｄｉｎｇ　ｓｅｑｕｅｎｃｅ）は、原位置拡散（ｉｎ－ｓｉｔｕ　ｄｉｆｆｕｓｉｏｎ）を可能にし、製造コストを低減させるのに有利に働く。

【００２８】

いくつかの応用例において、Ｎ型ドーパント源４１２を使用して、ドーパントをＮ型にドープされた領域１０６の中に拡散させる段階が、省略されてもよいことに留意されたい。つまり、代替プロセスにおいては、図４Ｆに示すＮ型ドーパント源４１２の形成が省略されよい。その場合において、Ｎ型にドープされた領域１０５および領域１０６は、両方とも、拡散段階の間の拡散炉内へのＮ型ドーパントの導入によって、ドープされてよい。上記に開示された他のすべてのプロセスは原則的に同じままである。

【００２９】

図４Ｈにおいて、Ｎ型ドーパント源４１２が除去された後、窒化ケイ素層１０３の反射防止膜が、テクスチャード表面１１３を覆って形成される。窒化ケイ素層１０３は、反射防止膜として機能することに加えて、誘電体としても有利に機能し、選択的なコンタクト（ｓｅｌｅｃｔｉｖｅ　ｃｏｎｔａｃｔ）が受光面上に形成され、受光面側の表面再結合を低減させることを可能にする。窒化ケイ素層１０３は、例えば、ＰＥＣＶＤによって、約４５０オングストロームの厚さに形成されてよい。

【００３０】

図４Ｉにおいて、窒化ケイ素層１０３の上に、フロントコンタクトマスク４２０が形成され、コンタクトホール１２０（図１を参照。）を画定するパターン４２１を作る。マスク４２０は、レジストのような耐酸性のある有機材料を含んでよく、スクリーン印刷またはインクジェット印刷のような印刷プロセスを用いて形成されてよい。

【００３１】

図４Ｊにおいて、二酸化ケイ素層１０９の上に、バックコンタクトマスク４２２が形成され、コンタクトホール１２３（図１を参照。）を画定するパターン４２３を作る。マスク４２２は、マスク４２０と同様に、印刷プロセスを用いて形成された有機材料を含んでよい。

【００３２】

図４Ｋにおいて、コンタクトホール１２０およびコンタクトホール１２３は、コンタクトエッチング段階において、窒化ケイ素層１０３および二酸化ケイ素１０９の露出された部分が除去されることで、形成される。一実施形態において、コンタクトホール１２０は、窒化ケイ素層１０３の露出した部分を除去し、基板１０１の上で止まる選択的エッチングプロセスを用いて形成される。同一のエッチングプロセスは、二酸化ケイ素１０９の露出した部分を除去し、ポリシリコンのエミッタ１０８の上で止まる。一実施形態において、エッチングプロセスは、ＢＯＥ（ｂｕｆｆｅｒｅｄ　ｏｘｉｄｅ　ｅｔｃｈ）を含む。

【００３３】

図４Ｌにおいて、二酸化ケイ素層１０９の上に金属コンタクト１１０が形成され、コンタクトホール１２３を充填し、ポリシリコンのエミッタ１０８との電気的な接続を形成する。金属コンタクト１１０は、印刷プロセスを用いて形成されてよい。金属コンタクト１１０は、銀を含んでよい。銀は、二酸化ケイ素層１０９と一緒に用いられて、良好な裏面赤外線反射（ｂａｃｋｓｉｄｅ　ｉｎｆｒａｒｅｄ　ｒｅｆｌｅｃｔｏｒ）を実現する。金属コンタクト１１０として、例えば、アルミニウムのような他の金属が用いられてもよい。

【００３４】

図４Ｍにおいて、窒化ケイ素層１０３の上に、金属コンタクト１０２が形成され、コンタクトホール１２０を充填し、基板１０１との電気的な接続を形成する。金属コンタクト１０２は銀を含んでよく、印刷プロセスを用いて形成されてよい。

【００３５】

金属コンタクト１１０および金属コンタクト１０２の形成に続いて、焼成段階が実行さ

れてよい。焼成段階は、金属コンタクトとして、スクリーン印刷により塗布された銀ペーストを用いる場合に適用され、他のプロセスまたは金属を用いる場合には、適用されない。その後、太陽電池１００は、外観検査および試験がなされる。

【００３６】

以上、本発明の具体的な実施形態が提供されたが、これらの実施形態は例示を目的としたものであり、本発明を限定するものではないことが理解されよう。本開示に接した当業者には、多くの更なる実施形態が自明となろう。

【図１】

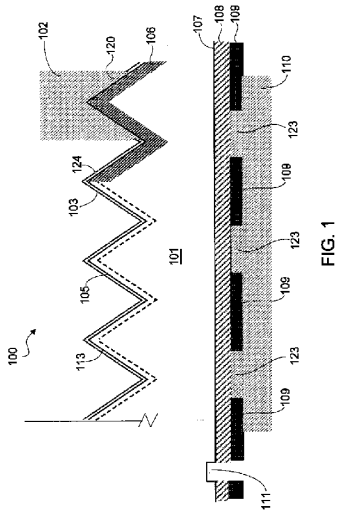


FIG. 1

【図２】

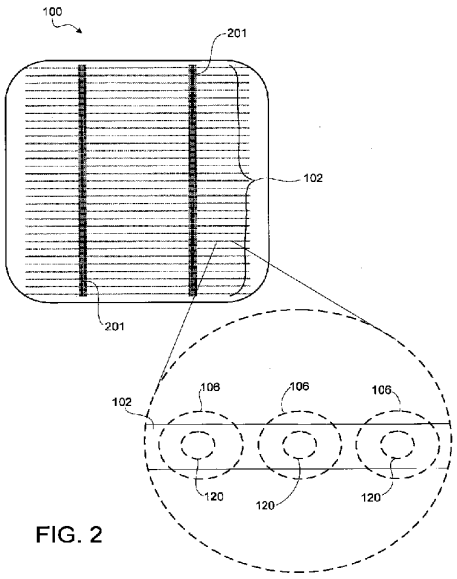


FIG. 2

【図３】

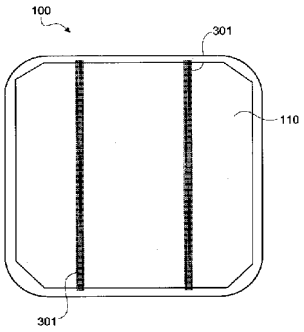


FIG. 3

【図４Ａ】

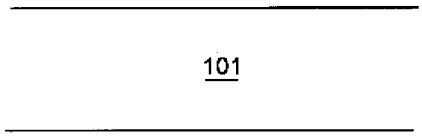


FIG. 4A

【図４Ｂ】

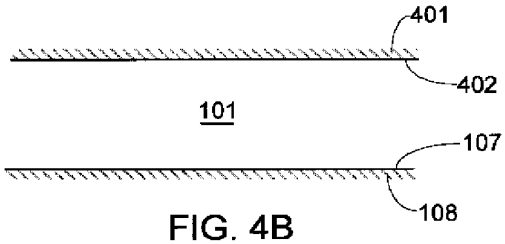


FIG. 4B

【図４Ｃ】

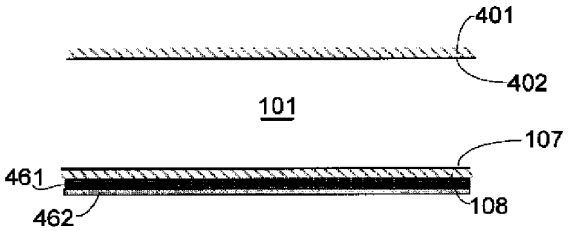


FIG. 4C

【図４Ｄ】

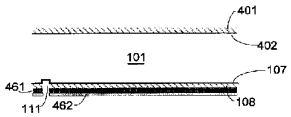


FIG. 4D

【図４Ｅ】

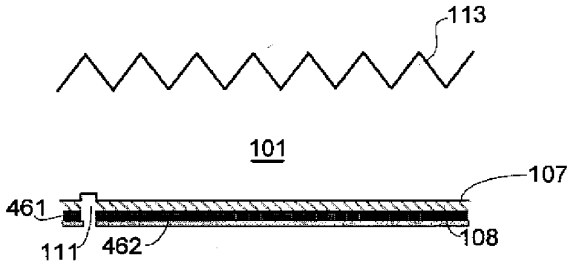


FIG. 4E

【図４Ｆ】

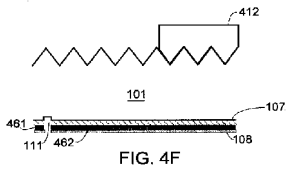


FIG. 4F

【図４Ｇ】

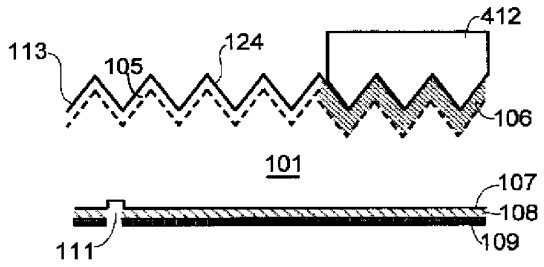


FIG. 4G

【図４Ｈ】

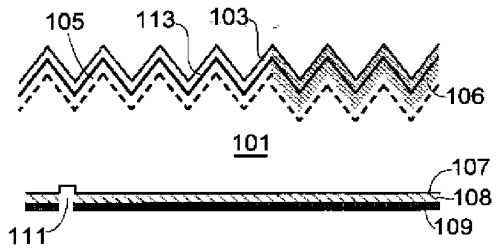


FIG. 4H

【図４Ｉ】

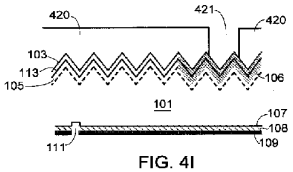


FIG. 4I

【図４Ｊ】

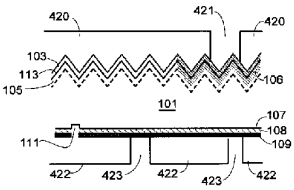


FIG. 4J

【図４Ｋ】

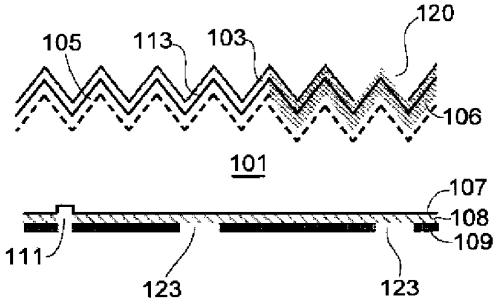


FIG. 4K

【図４Ｌ】

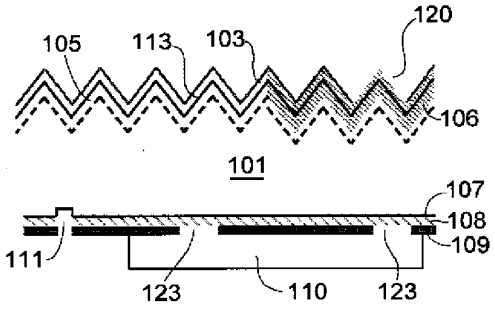


FIG. 4L

【図４Ｍ】

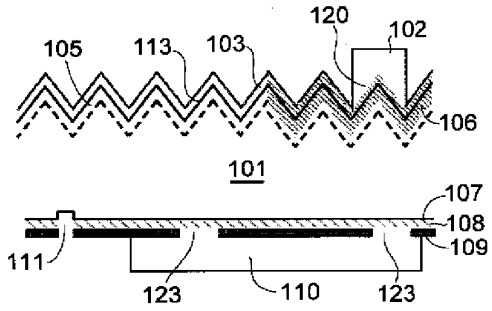


FIG. 4M

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US 09/32345

A. CLASSIFICATION OF SUBJECT MATTER
IPC(8) - H01L 31/00 (2009.01)
USPC - 136/252, 261
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC(8) - H01L 31/00 (2009.01)
USPC - 136/252, 261

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
IPC(8) - H01L 31/00 (2009.01), USPC - 136/252, 261: keyword search, as below

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Google Scholar, USPTO West (databases: PGPB,USPT,USOC,EPAB,JPAB) - Search Terms: solar, photovoltaic, cell, array, element, unit, device, panel, lateral, conductivity, p-type, n-type, dopant, silicon, wafer, crystalline, polysilicon, texture, rough, prismatic, triangular, pyramid, faceted, reflective, silver, infra-red

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US 2003/0134469 A1 (HORZEL et al.) 17 July 2003 (17.07.2003); abstract, para [0002]; [0007]; [0013]; [0022]; [0024]; [0025]; [0035]; [0036]; [0038]; [0047]	1-4, 8, 17-19 --- 5-7, 9-16, 20
Y	US 5,266,125 A (RAND et al.) 30 November 1993 (30.11.1993); abstract	6
Y	US 2007/0082206 A1 (HARTIG) 12 April 2007 (12.04.2007); para [0014]	6, 7, 20
Y	US 2006/0130891 A1 (CARLSON) 22 June 2006 (22.06.2006); para [0030]	9-16
Y	US 6,524,880 B2 (MOON et al.) 25 February 2003 (25.02.2003); col 2, ln 21-23	10, 12

☐ Further documents are listed in the continuation of Box C. ☐

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 March 2009 (09.03.2009)	23 MAR 2009
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201	Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (April 2007)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),
EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,S
K,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,
BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,K
E,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL
,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成24年3月15日(2012.3.15)

【公表番号】特表2011−512689(P2011−512689A)
【公表日】平成23年4月21日(2011.4.21)
【年通号数】公開・登録公報2011−016
【出願番号】特願2010−547669(P2010−547669)
【国際特許分類】
Ｈ０１Ｌ　31/04　　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　31/04　　Ｈ

【手続補正書】
【提出日】平成24年1月24日(2012.1.24)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
通常の運転の間、太陽に面し、太陽放射を収集する受光面と、前記受光面の反対側の裏面とを有する太陽電池であって、
Ｎ型シリコン基板と、
前記太陽電池の前記受光面側の前記Ｎ型シリコン基板上のテクスチャード表面と、
前記Ｎ型シリコン基板の前記テクスチャード表面を覆う反射防止層と、
前記Ｎ型シリコン基板との裏面接合を形成するＰ型ポリシリコンのエミッタと、
前記太陽電池の前記受光面から前記Ｎ型シリコン基板と電気的に接続する負極側の第１の金属コンタクトと、
前記太陽電池の前記裏面から前記Ｐ型ポリシリコンのエミッタと電気的に接続する正極側の第２の金属コンタクトと、
を備える、太陽電池。
【請求項２】
前記反射防止層は、窒化ケイ素の層を含む、
請求項１に記載の太陽電池。
【請求項３】
前記Ｐ型ポリシリコンのエミッタを覆う誘電体層をさらに備える、
請求項１または２に記載の太陽電池。
【請求項４】
前記誘電体層および前記Ｐ型ポリシリコンのエミッタを切断し、前記太陽電池の裏面側の前記Ｎ型シリコン基板の一部に切り込みをいれるトレンチをさらに備える、
請求項３に記載の太陽電池。
【請求項５】
前記正極側の第２の金属コンタクトは、誘電体層とともに赤外線反射層を形成する金属を含む、
請求項１から４の何れか１項に記載の太陽電池。
【請求項６】
前記負極側の第１の金属コンタクトは、前記Ｎ型シリコン基板に通じるコンタクトホールの内部に形成される、

請求項１から５の何れか１項に記載の太陽電池。
【請求項７】
通常の運転の間、太陽に面し、太陽放射を収集する受光面と、前記受光面の反対側の裏面とを有する太陽電池であって、
受光面側のテクスチャード表面を有する基板と、
前記基板の裏面側の表面を覆って形成され、前記基板と裏面接合を形成するエミッタ層と、
前記太陽電池の前記受光面側で、前記基板と電気的に接続する第１の金属コンタクトと、
前記太陽電池の前記裏面側で、前記エミッタ層と電気的に接続する第２の金属コンタクトと、
を備え、
前記第１の金属コンタクトおよび前記第２の金属コンタクトは、外部の電気回路が前記太陽電池を動力源とすることができるように構成される、
太陽電池。
【請求項８】
前記基板の前記受光面側のテクスチャード表面を覆う反射防止層をさらに備える、
請求項７に記載の太陽電池。
【請求項９】
前記基板は、Ｎ型シリコン基板を含み、
前記エミッタ層は、Ｐ型にドープされたポリシリコンを含む、
請求項７または８に記載の太陽電池。
【請求項１０】
前記第２の金属コンタクトは、二酸化ケイ素の層を覆って形成される銀を含む、
請求項１から９の何れか１項に記載の太陽電池。

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 6 月 27 日(27.06.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/094052 A1

(51) 国際特許分類:
H01L 31/04 (2006.01)

(21) 国際出願番号: PCT/JP2011/079802

(22) 国際出願日: 2011 年 12 月 22 日(22.12.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 吉嶺 幸弘 (YOSHIMINE, Yukihiro) [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号 三洋電機株式会社内 Osaka (JP).

(74) 代理人: 特許業務法人ＹＫＩ国際特許事務所 (YKI Patent Attorneys); 〒1800004 東京都武蔵野市吉祥寺本町一丁目３４番１２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

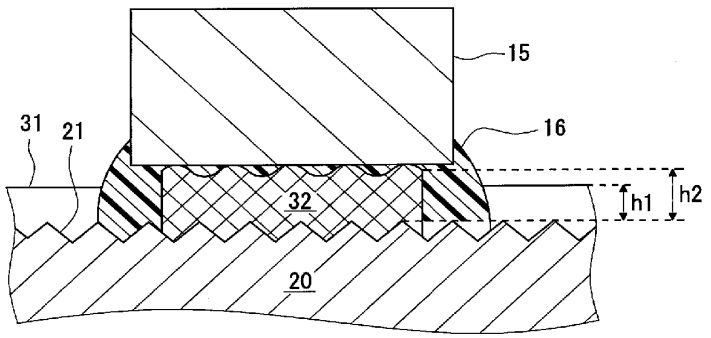
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SOLAR CELL AND SOLAR CELL MODULE

(54) 発明の名称 : 太陽電池及び太陽電池モジュール

[図4]



(57) **Abstract**: This solar cell (10) is provided with: a photoelectric converter (20); a first electrode (30) furnished on the light receiving surface of the photoelectric converter (20); and a second electrode (40) furnished on the back surface of the photoelectric converter (20). The first electrode (30) and the second electrode (40) have bus bars (32, 42) containing a binder resin and a conductive filler and having a Young's modulus (25ºC) of 0.05 to 1 GPa. By virtue of the aforementioned features of this solar cell, adhesion of the bus bars can be improved without diminishing the conductivity necessary for of carrier transmission.

(57) 要約: 本発明に係る太陽電池１０は、光電変換部２０と、光電変換部２０の受光面上に設けられた第１電極３０と、光電変換部２０の裏面上に設けられた第２電極４０とを備え、第１電極３０及び第２電極４０は、バインダ樹脂と導電性フィラーとを含んで構成されヤング率（２５℃）が０．０５～１ＧＰａであるバスバー３２，４２を有する。本発明の太陽電池は、上記の構成とすることにより、キャリアの伝達に必要な導電性を損なうことなく、バスバーの密着性を向上させることができる。

WO 2013/094052 A1

明　細　書

発明の名称 ： 太陽電池及び太陽電池モジュール

技術分野

[0001] 本発明は、太陽電池及び太陽電池モジュールに関する。

背景技術

[0002] 太陽電池は、受光により発生したキャリアを収集するために、光電変換部の主面上に電極を備える。かかる電極には、通常、光電変換部の広範囲からキャリアを収集するフィンガーと、各フィンガーが接続されて、各フィンガーからキャリアを集めるバスバーとが含まれる。

[0003] フィンガーは、キャリアを効率良く収集するため、低抵抗損失であることが要求される。一方、バスバーには、モジュール化に際して太陽電池同士を接続する配線材が取り付けられるため、配線材との良好な接続性が要求される。例えば、特許文献１には、焼結型の導電性材料を用いて形成されたフィンガーと、熱硬化型の導電性材料を用いて形成されたバスバーとを備える太陽電池が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００８－２０５１３７号公報

発明の概要

発明が解決しようとする課題

[0005] 上記従来技術によれば、キャリアを効率良く収集でき、且つバスバーと配線材との良好な接続性を実現できる。しかしながら、太陽電池の普及が急速に進んでいる現状において、さらなる光電変換効率の向上が要求されている。

課題を解決するための手段

[0006] 本発明の一態様に係る太陽電池は、光電変換部と、光電変換部の主面上に設けられた電極とを備え、電極は、バインダ樹脂と導電性フィラーとを含ん

で構成されたバスバーを有し、バスバーのヤング率（２５℃）は、０．０５～１ＧＰａである。

発明の効果

[0007] 本発明によれば、良好な光電変換特性を有する太陽電池を提供することができる。

図面の簡単な説明

[0008] [図1]本発明の実施形態の一例である太陽電池モジュールを示す断面図である。

[図2]本発明の実施形態の一例である太陽電池を受光面側から見た平面図である。

[図3]図２のＡ－Ａ線断面を示す図である。

[図4]図３のＢ部拡大図において、バスバーに配線材を取り付けた様子を示す図である。

[図5]本発明の実施形態の一例である太陽電池の変形例を示す図である。

発明を実施するための形態

[0009] 図面を参照して、本発明の実施形態を詳細に説明する。

本発明は、以下の実施形態に限定されない。また、実施形態において参照する図面は、模式的に記載されたものであり、図面に描画された構成要素の寸法比率などは、現物と異なる場合がある。具体的な寸法比率等は、以下の説明を参酌して判断されるべきである。

[0010] 図１は、太陽電池モジュール１０の一部を示す断面図である。

太陽電池モジュール１０は、複数の太陽電池１１と、太陽電池１１の受光面側に配置される第１保護部材１２と、太陽電池１１の裏面側に配置される第２保護部材１３とを備える。複数の太陽電池１１は、第１保護部材１２と第２保護部材１３とにより挟持されると共に、エチレン酢酸ビニル共重合体（ＥＶＡ）等の樹脂からなる充填剤１４の層中に封止されている。

[0011] 太陽電池モジュール１０は、さらに、各太陽電池１１を電気的に接続する配線材１５を備える。また、太陽電池モジュール１０は、通常、配線材１５

同士を接続する渡り配線材、フレーム、端子ボックス（いずれも図示せず）などを備える。

[0012] ここで、「受光面」とは、太陽電池１１の外部から光が主に入射する主面を意味する。例えば、光電変換素子１１に入射する光のうち５０％超過～１００％が受光面側から入射する。また、「裏面」とは、受光面と反対側の面を意味する。換言すると、主面のうち後述する電極面積が大きい方が裏面となる。

[0013] 太陽電池１１は、太陽光等の光を受光することでキャリアを生成する光電変換部２０と、光電変換部２０の受光面上に設けられた受光面電極である第１電極３０と、光電変換部２０の裏面上に設けられた裏面電極である第２電極４０とを備える。太陽電池モジュール１０では、光電変換部２０で生成されたキャリアが第１電極３０及び第２電極４０により収集され、配線材１５を介して外部に出力される。尚、太陽電池１１の裏面では、受光面と比べて光電変換特性に対する遮光ロスの影響が少ないため、第１電極３０よりも大面積に第２電極４０を形成できる。

[0014] 第１保護部材１２には、例えば、ガラス基板や樹脂基板、樹脂フィルム等の透光性を有する部材を用いることができるが、耐久性等の観点からガラス基板が好適である。第２保護部材１３には、第１保護部材１２と同様の部材を用いることができるが、コストの削減や軽量化等の観点から、ポリエチレンテレフタレート（ＰＥＴ）製等の樹脂基板又は樹脂フィルムが好適である。尚、裏面側からの受光を想定しない場合、第２保護部材１３は、不透明な基板や樹脂フィルムとしてもよく、例えば、アルミ箔をラミネートした積層基材であってもよい。

[0015] 配線材１５は、隣接して配置される太陽電池１１同士を接続する。配線材１５の一端側は、隣接して配置される太陽電池１１のうち、一方の太陽電池１１の第１電極３０に取り付けられる。配線材１５の他端側は、他方の太陽電池１１の第２電極４０に接続される。つまり、配線材１５は、隣接する太陽電池１１の間で太陽電池モジュール１０の厚み方向に折れ曲がり、隣接す

る太陽電池１１を電気的に直列に接続する。太陽電池モジュール１０では、後述するように、接着剤１６を用いてバスバー３２，４２と配線材１５とを接続する。接着剤１６には、非導電性の樹脂接着剤や銀（Ａｇ）等の導電性フィラーを含有する導電性の樹脂接着剤を用いることができるが、非導電性或いは異方導電性の樹脂接着剤が好適である。

[0016] 以下、図２～図４を参照しながら、さらに太陽電池１１の構成について詳説する。

図２は、太陽電池１１を受光面側から見た平面図である。図３は、図２のＡ－Ａ線断面図であって、フィンガー３１が延びる方向に沿って太陽電池１１を厚み方向に切断した断面を示す。図４は、図３のＢ部拡大図において、配線材１５の接続形態を示す。

[0017] 光電変換部２０は、例えば、結晶系シリコン（ｃ－Ｓｉ）、ガリウム砒素（ＧａＡｓ）、又はインジウム燐（ＩｎＰ）等の半導体材料からなる基板を有する。光電変換部２０は、例えば、ｎ型単結晶シリコン基板の受光面上に、ｉ型非晶質シリコン層と、ｐ型非晶質シリコン層と、酸化インジウム等を主成分とする透光性導電酸化物（ＴＣＯ：Ｔｒａｎｓｐａｒｅｎｔ　Ｃｏｎｄｕｃｔｉｖｅ　Ｏｘｉｄｅ）からなる透明導電層とを順に有する。また、ｎ型単結晶シリコン基板の裏面上に、ｉ型非晶質シリコン層と、ｎ型非晶質シリコン層と、透明導電層とを順に有する。尚、光電変換部２０はこの構成に限定されるものではなく、種々の構成を採ることができる。

[0018] 光電変換部２０の受光面は、テクスチャ構造２１（図４参照）を有することが好適である。テクスチャ構造２１とは、表面反射を抑制し、光電変換部２０の光吸収量を増大させる表面凹凸構造である。テクスチャ構造２１の凹凸高さ、即ち凹部の深さは、１μｍ～１５μｍが好適であり、５μｍ～１０μｍが特に好適である。テクスチャ構造２１の具体例としては、（１００）面を有する単結晶シリコンからなる基板の受光面に異方性エッチングを施すことによって得られるピラミッド状（四角錐状や四角錐台状）の凹凸構造が例示できる。或いは、結晶シリコンからなる基板の受光面に等方性エッチン

グを施すことによって得られる凹凸構造が例示できる。尚、テクスチャ構造２１は、裏面にも設けられることが好ましい。

[0019] 第１電極３０は、例えば、複数（例えば、５０本）のフィンガー３１と、複数（例えば、２本）のバスバー３２とを含んで構成される。フィンガー３１は、光電変換部２０で生成されたキャリアを収集するキャリア収集用の電極であり、受光面上の広範囲に形成される細線状の電極である。バスバー３２は、フィンガー３１からキャリアを集電する電極であって、全てのフィンガー３１に電気的に接続されている。バスバー３２は配線材１５が接続される接続用の電極でもある。

[0020] 太陽電池１１では、２本のバスバー３２が所定の間隔を空けて互いに平行に配置され、これに交差して複数のフィンガー３１が配置されている。複数のフィンガー３１は、一部がバスバー３２の各々から受光面の端縁側に延び、残りが２本のバスバー３２を繋ぐように配置される。尚、本実施形態では、第２電極４０も、複数（例えば、２５０本）のフィンガー４１と、複数（例えば、２本）のバスバー４２とを含んで構成され、第１電極３０と同様の電極配置を有する。

[0021] フィンガー３１の幅は、特に限定されないが、遮光ロス低減等の観点から３０μｍ～１５０μｍが好適である。バスバー３２からの距離が遠くなるほど幅を細くしてもよく、この場合、最細部の幅は３０μｍ～８０μｍが好適である。バスバー３２の幅は、例えば、０．５ｍｍ～１．５ｍｍが好適であり、配線材１５の接続により発生する応力の緩和等の観点から、配線材１５の幅の８０～１００％（同等）とすることが特に好適である。尚、第２電極４０では、フィンガー４１の幅をフィンガー３１よりも太くすることが好適であり、例えば、６０μｍ～２５０μｍに設定する。

[0022] フィンガー３１及びバスバー３２の高さは、特に限定されないが、抵抗損失低減等の観点から４０μｍ～１５０μｍが好適である。また、バスバー３２の高さｈ２は、配線材１５との電気的接続を良好にするため、フィンガー３１の高さｈ１と同等かｈ１よりも高いことが好適である（図４参照）。こ

こで、高さｈ１，ｈ２とは、光電変換部２０の最上面（テクスチャ構造２１の凸部）から各々の電極の最上面までの長さであって、走査型電子顕微鏡（ＳＥＭ）を用いた断面観察により計測される値の平均値である。尚、第２電極４０は、第１電極３０よりも電極面積が大きいため、第１電極３０の場合よりも電極高さを低くできる。バスバー４２の高さは、第１電極３０の場合と同様に、フィンガー４１の高さと同等かｈ１よりも高くすることが好適である

[0023] フィンガー３１，４１、及びバスバー３２，４２は、バインダ樹脂と導電性フィラーとを含んで構成される。導電性フィラーには、例えば、銀（Ａｇ）、銅（Ｃｕ）、ニッケル（Ｎｉ）等の金属粒子やカーボン、又はこれらの混合物などが用いられる。これらのうち、銀粒子が好適である。銀粒子の形状は、特に限定されず、球状や紡錘状、針状、フレーク状、イガ栗状等であってもよい。銀粒子等の導電性フィラーは、バインダ樹脂中に分散されており、その含有量は、電極構成成分の全重量に対して、７０～９５重量％が好ましく、７５～９２重量％がより好ましく、８０～９０重量％が特に好ましい。バインダ樹脂の含有量は、電極構成成分の全重量に対して、５～３０重量％が好ましく、８～２５重量％がより好ましく、１０～２０重量％が特に好ましい。尚、電極構成成分には、フィラー分散剤等の添加剤が少量含まれていてもよい。

[0024] フィンガー３１，４１、及びバスバー３２，４２は、スクリーン印刷法により形成されることが好適である。フィンガー３１等のスクリーン印刷法では、例えば、フィンガー３１等の形状に対応した開口部を有するスクリーン版、及びスキージを用いて、光電変換部２０の主面上に電極構成成分を含むインクを転写する。そして、転写されたインクを加熱等により固化させてフィンガー３１等を形成する。インクとしては、上記バインダ樹脂と上記導電性フィラーとを混合した加熱硬化タイプの導電性ペーストが好適である。当該導電性ペーストには、粘度調整等の目的で少量の溶剤（例えば、アルコール系、グリコールエーテル系、炭化水素系等の有機溶剤、又はこれらの混合

溶剤等）を加えても良い。尚、フィンガーとバスバーとは、別の印刷工程で印刷され、各印刷工程で異なる導電性ペーストが使用される。

[0025] 太陽電池１１では、フィンガー３１，４１のヤング率（２５℃）が、１超過～５０ＧＰａであり、バスバー３２，４２のヤング率（２５℃）が、０．０５～１ＧＰａである。

[0026] ヤング率は、ＴＭＡ(ｔｈｅｒｍａｌ　ｍｅｃｈａｎｉｃａｌ　ａｎａｌｙｓｉｓ)法を用いて測定する。ヤング率は、室温（２５℃）にて圧縮応力に対する歪み量を測定することにより得られる。これらの関係式を下記に示す。

$\sigma = E \cdot \varepsilon$（$\sigma$：応力，Ｅ：ヤング率，$\varepsilon$：歪み）

[0027] バスバー３２，４２における上記導電性フィラーの含有率（電極構成成分の全重量に対する）は、フィンガー３１，４１における上記導電性フィラーの含有率よりも低いことが好適である。即ち、各電極の機能に合わせて導電性フィラーの含有率を変更することが好適である。好ましくは、前者が８５重量％未満、後者が８５重量％以上である。フィンガー３１，４１における導電性フィラーの含有率を高くすることで、フィンガー３１，４１の抵抗損失を低減することができる。尚、導電性フィラーの含有率を下げると、電極の柔軟性が高まり、ヤング率が下がる傾向にある。

[0028] バスバー３２，４２の抵抗の大幅な上昇を抑制しながら、柔軟性をさらに高めるため、上記バインダ樹脂の組成を各電極の機能に合わせて変更することが好適である。本実施形態では、フィンガー３１及びバスバー３２は、各々のバインダ樹脂の組成が互いに異なり、フィンガー４１はフィンガー３１と同一組成、バスバー４２はバスバー３２と同一組成である。バスバー３２，４２は、導電性フィラーの含有率を７０～８５重量％、好ましくは８０～８５重量％とし、且つヤング率を０．０７～０．７ＧＰａとすることが好ましく、０．１～０．５ＧＰａとすることが特に好ましい。尚、フィンガー３１，４１のヤング率（２５℃）は、１０～４０ＧＰａが好ましく、１５～３５ＧＰａが特に好ましい。

[0029] 以下、上記バインダ樹脂の組成について詳説する。

フィンガー３１，４１を構成するバインダ樹脂は、熱硬化性樹脂を９０超過～１００重量％含有することが好適である。上記熱硬化性樹脂としては、例えば、エポキシ系樹脂、ウレタン系樹脂、ウレア系樹脂、アクリル系樹脂、イミド系樹脂、及びフェノール系樹脂からなる群より選択される少なくとも１種を用いることができる。これらのうち、エポキシ系樹脂、及びウレタン系樹脂が好ましく、エポキシ系樹脂を主成分（５０重量％以上）とすることが特に好ましい。また、エポキシ系樹脂等に、少量のシリコーン系樹脂等を加えてもよい。尚、上記熱硬化性樹脂は、複数のグループに分類されるもの（例えば、エポキシ系樹脂及びウレタン系樹脂の両方に分類できる樹脂）であってもよい。

[0030] 上記エポキシ系樹脂としては、脂環式エポキシ樹脂、鎖状エポキシ樹脂、ビスフェノールＡ型エポキシ樹脂、エポキシフェノールノボラック型樹脂、ポリグリシジルエーテル型エポキシ樹脂、ポリアルキレンエーテル型エポキシ樹脂、エポキシアクリレート樹脂、脂肪酸変性エポキシ樹脂、ウレタン変性エポキシ樹脂等が例示できる。

[0031] バスバー３２，４２を構成するバインダ樹脂は、上記熱硬化性樹脂を５０～９０重量％、及びガラス転移温度（以下、Ｔｇという）が２５℃以下であるゴム又はエラストマーを１０～５０重量％含有することが好適である。より好ましくは、前者が６０～８５重量％、後者が１５～４０重量％であり、特に好ましくは、前者が７０～８０重量％、後者が２０～３０重量％である。尚、Ｔｇは、示差走査型熱量計（ＤＳＣ）で測定した値である。エラストマーは、熱可塑性エラストマーでも良いし、架橋エラストマーでも良い。

[0032] 上記ゴムは、Ｔｇが２５℃以下、好ましくは０℃以下、特に好ましくは－２０℃以下の架橋性のポリマーを意味する。架橋構造は、加硫等により形成できる。上記ゴムとしては、例えば、ジエン系ゴム、オレフィン系ゴム、ウレタン系ゴム、アクリル系ゴム、含ケイ素ゴム、含ハロゲンゴム、及びこれらの変性物からなる群より選択される少なくとも１種を用いることができる。尚、上記ゴムは、複数のグループに分類されるものであってもよい。

[0033] ジエン系ゴムとしては、天然ゴム、ブタジエンゴム、イソプレンゴム、メチルゴム、ブチルゴム、ポリペンタジエンゴム、ノルボルネンゴム、ニトリルゴム（アクリロニトリルーブタジエン共重合体、アクリロニトリルーイソプレン共重合体等）、スチレンーブタジエン共重合体ゴム等が例示できる。

[0034] オレフィン系ゴムとしては、エチレンープロピレンゴム、エチレンープロピレンージエン共重合体ゴム、ポリイソブチレンゴム、ポリイソブチルエーテルゴム、ポリシクロペンテンゴム、マレイン酸変性エチレンープロピレン共重合体ゴム等が例示できる。

[0035] ウレタン系ゴムとしては、ポリエーテルウレタンゴム、ポリエステルウレタンゴム等が例示できる。

[0036] アクリル系ゴムとしては、アクリル酸エステルーアクリロニトリル共重合体ゴム、アクリル酸エステルークロロエチルビニルエーテル共重合体ゴム、アクリル酸エステルーブタジエン共重合体ゴム等が例示できる。

[0037] 含ケイ素ゴムとしては、シリコーンゴム（メチルビニルシリコーンゴム、メチルフェニルビニルシリコーンゴム等）等が例示できる。

[0038] 含ハロゲンゴムとしては、クロロプレンゴム、臭素化ブチルゴム、塩素化ブチルゴム、ヒドリンゴム（エピクロロヒドリンゴム等）、クロロスルホン化ポリエチレンゴム、塩素化ポリエチレンゴム、マレイン酸変性塩素化ポリエチレンゴム、フッ素ゴム（ビニリデンフルオロライドゴム、含フッ素ビニルエーテルゴム、含フッ素ホスファゼンゴム）等が例示できる。

[0039] 使用するゴム材に求められる特性としては、低温での密着性や柔軟性を保つためにＴｇが低いこと、太陽電池モジュール１０の最高到達温度（約１２０℃）での劣化(熱分解、酸化劣化、流動化)が少ない等の耐熱性が高いことなどが挙げられる。また、ゴム材は、導電性ペーストの安定性等の観点から熱硬化性樹脂との適切な相溶性、分散性を有する必要がある。このような特性を満たすものであれば、セルの保護性、密着性などの機能を保つことが可能となる。

[0040] 上記熱可塑性エラストマーは、Ｔｇが２５℃以下、好ましくは０℃以下、

特に好ましくはー２０℃以下の非架橋性のポリマーを意味する。上記熱可塑性エラストマーとしては、例えば、スチレン系熱可塑性エラストマー、オレフィン系熱可塑性エラストマー、ウレタン系熱可塑性エラストマー、エステル系熱可塑性エラストマー、アクリル系熱可塑性エラストマー、シリコーン系熱可塑性エラストマー、及びこれらの変性物からなる群より選択される少なくとも１種を用いることができる。これらのうち、スチレン系熱可塑性エラストマー、ウレタン系熱可塑性エラストマー、及びシリコーン系熱可塑性エラストマーが好ましく、シリコーン系熱可塑性エラストマー、及びウレタン系熱可塑性エラストマーが特に好ましい。尚、上記熱可塑性エラストマーは、複数のグループに分類されるものであってもよい。

[0041] スチレン系熱可塑性エラストマーとしては、スチレンーエチレンーブチレン共重合体（ＳＥＢ）等のスチレン系ＡＢ型ジブロック共重合体、スチレンーブタジエンースチレン共重合体（ＳＢＳ）、ＳＢＳの水素添加物（ＳＥＢＳ）、スチレンーイソプレンースチレン共重合体（ＳＩＳ）、ＳＩＳの水素添加物（ＳＥＰＳ）、スチレンーイソブチレンースチレン共重合体（ＳＩＢＳ）等のスチレン系ＡＢＡ型トリブロック共重合体、スチレンーブタジエンースチレンーブタジエン（ＳＢＳＢ）等のスチレン系ＡＢＡＢ型テトラブロック共重合体等が例示できる。

[0042] ウレタン系熱可塑性エラストマーとしては、低分子ジオールとジイソシアネートからなるハードセグメントと、高分子ジオールからなるソフトセグメントとを有するポリマー等が例示できる。

低分子ジオールには、例えば、炭素数２～１５の脂肪族二価アルコール、炭素数５～１５の脂環式二価アルコール、炭素数６～１５の芳香族二価アルコール等を用いることができる。これらのうち、二価アルコール及び二価フェノールが好ましく、エチレングリコール、ハイドロキノン、及びビスフェノールＡが特に好ましい。

ジイソシアネートには、例えば、炭素数６～２０の芳香族ジイソシアネート、炭素数２～１８の脂肪族ジイソシアネート、炭素数４～１５の脂環式ジ

イソシアネート、炭素数８～１５の芳香脂肪族ジイソシアネート等を用いることができる。これらのうち、芳香族ジイソシアネート、及び脂肪族ジイソシアネートが好ましく、ＴＤＩ(トリレンジイソシアネート)、ＭＤＩ(ジフェニルメタンジイソシアネート)、及びＨＤＩ(ヘキサメチレンジイソシアネート)が特に好ましい。

高分子ジオールには、低分子ジオールのアルキレンオキサイド付加物等の重量平均分子量が５００～１００００のポリエーテル、重量平均分子量が５００～１００００のポリエステル、重量平均分子量が５００～１００００のポリカーボネート等を用いることができる。これらのうち、二価アルコールのアルキレンオキサイド付加物、及び二価フェノールのアルキレンオキサイド付加物が好ましく、エチレングリコールのアルキレンオキサイド付加物、及びビスフェノールＡのアルキレンオキサイド付加物が特に好ましい。

[0043] シリコーン系熱可塑性エラストマーとしては、ポリジメチルシロキサン（ＰＤＭＳ）、ポリメチルフェニルシロキサン、ポリジフェニルシロキサン等が例示できる。

[0044] 上記熱可塑性エラストマーの重量平均分子量（Ｍｗ）は、組成等によって多少異なるが、２０，０００～５００，０００が好ましく、３０，０００～３００，０００がより好ましく、４０，０００～１５０，０００が特に好ましい。ここで、重量平均分子量（Ｍｗ）は、ポリスチレン換算の相対値であり、ＧＰＣ法により測定される。

[0045] 太陽電池１１を含む太陽電池モジュール１０によれば、バスバー３２，４２のヤング率を０．０５～１ＧＰａに制御することにより、配線材１５へのキャリアの伝達に必要な導電性を損なうことなく、バスバー３２，４２と配線材１５との密着性を向上させることができる。さらに、配線材１５の接続に起因して発生する応力の影響を緩和できる。当該応力としては、例えば、バスバー３２，４２と配線材１５との線膨張係数の違いに起因して発生する応力、配線材１５の圧着時に加わる応力、第２保護部材１３である樹脂フィルム等の伸縮に起因して発生する応力等がある。尚、当該応力は、バスバー

３２，４２と配線材１５との界面やバスバー３２，４２と光電変換部２０との界面に発生し易い。

[0046] つまり、バスバー３２，４２は、配線材１５の接続部として好適な柔軟性を有するため配線材１５の圧着時に加わる圧力によって変形し易く、配線材１５との接触面積を向上させることができる。これにより、配線材１５との密着性が向上し、例えば、高温又は寒冷環境下においても配線材１５の剥離を抑制することができる。そして、バスバー３２，４２は、柔軟性が高く弾性変形し易いため、上記応力を吸収して、その影響を緩和することができる。これにより、光電変換部２０の亀裂や割れ、脆性破壊等の損傷を抑制することができる。バスバー３２，４２は、光電変換部２０の厚みが薄い場合であっても、亀裂等の損傷を十分に抑制することができる。

[0047] また、バスバー３２，４２における導電性フィラーの含有率をフィンガー３１，４１よりも低くすることで、電極の柔軟性が向上するだけでなく、製造コストを削減できる。或いは、製造コストの上昇を抑制しながら、バスバー３２，４２の幅を太くして上記応力の分散を図り、上記応力の緩和性能をさらに高めることができる。

但し、バスバー３２，４２における導電性フィラーの含有率を低くし過ぎると、配線材１５へのキャリアの伝達に必要な導電性が損なわれる。そこで、バスバー３２，４２のバインダ樹脂に、室温以下でゴム弾性を有するゴム又は熱可塑性エラストマーを加えることによって、当該導電性を損なうことなく電極の柔軟性をさらに向上させることができる。

尚、ゴム又は熱可塑性エラストマーを増やしすぎるとバスバー３２，４２の機械的な強度が低下してしまい、配線材１５からの応力によりバスバー３２，４２中にマイクロクラックが発生し、キャリアの収集を阻害する可能性がある。

[0048] 一方、フィンガー３１，４１は、バスバー３２，４２よりも導電性フィラーの含有率を高めて、ヤング率を１超過～５０ＧＰａに制御する。これにより、光電変換部２０の広範囲から効率良くキャリアを収集できる。

以上のように、各電極の機能に合わせて、電極のヤング率を適切な範囲に制御することにより、良好な光電変換特性を有する太陽電池モジュール１０を提供することができる。

[0049] 尚、本実施形態は、本発明の目的を損なわない範囲で適宜設計変更できる。

例えば、図５に示されるように、フィンガー４１の代わりに、銀等の金属薄膜４１ｘを光電変換部２０の裏面上に形成した構成とすることもできる。図５に例示する太陽電池１１ｘにおいて、第２電極４０ｘは、金属薄膜４１ｘと、その上に形成されたバスバー４２ｘとを含んで構成されている。金属薄膜４１ｘは光電変換部２０で生成されたキャリアを収集し、バスバー４２ｘは金属薄膜４１ｘで収集されたキャリアを集電する。バスバー４２ｘは金属薄膜４１ｘ上の一部に形成されていれば良い。

[0050] また、バスバー３２とバスバー４２とでヤング率を異ならせてもよい。例えば、バスバー４２のヤング率をバスバー３２のヤング率より低くすることは好適である。これは、第１保護部材１２には、通常、ガラス基板が適用され、第２保護部材１３には、通常、ＰＥＴフィルム等の樹脂フィルムが適用されるため、第１電極３０側よりも第２電極４０側で上記応力が発生し易くなるからである。

或いは、第１電極３０では、フィンガー３１及びバスバー３２のヤング率を変化させず、同一の導電性ペーストを用いて形成し、第２電極４０のみにおいて、フィンガー３１及びバスバー３２のヤング率を変化させてもよい。

実施例

[0051] 以下、実施例により本発明をさらに説明するが、本発明はこれらの実施例に限定されるものではない。

[0052] ＜実施例１＞

評価用の光電変換部を以下の手順で作製する。尚、光電変換部は、全ての実施例・比較例で同じものを用いる。

まず、水酸化カリウム（ＫＯＨ）水溶液を用いて（１００）面を異方性エ

ッチングし、受光面及び裏面にテクスチャ構造を形成した清浄なｎ型単結晶シリコン基板（以下、基板という）を準備する。続いて、当該基板を真空チャンバ内に設置し、ＣＶＤにより、当該基板の裏面上にｉ型非晶質シリコン膜、ｎ型非晶質シリコン膜を順に形成する。ｉ型非晶質シリコン膜の形成工程では、シランガス（SiH_4）を原料ガスとする。また、ｎ型非晶質シリコン膜の形成工程では、シラン（SiH_4）、水素（H_2）、及びホスフィン（PH_3）を原料ガスとする。基板の受光面にも、ＣＶＤにより、ｉ型非晶質シリコン膜、ｐ型非晶質シリコン膜を順に形成する。ｐ型非晶質シリコン膜の形成工程では、PH_3の代わりに、ジボラン（B_2H_6）を原料ガスとする。

続いて、スパッタリングにより、ｎ型非晶質シリコン膜上、及びｐ型非晶質シリコン膜上に、酸化インジウムを主成分とするＴＣＯ膜を形成する。こうして、ＴＣＯ膜／ｉ型非晶質シリコン膜／ｐ型非晶質シリコン膜／基板／ｉ型非晶質シリコン膜／ｎ型非晶質シリコン膜／ＴＣＯ膜の層構造を有する光電変換部を作製した。

[0053] 次に、作製した光電変換部の受光面上に受光面電極を、光電変換部の裏面上に裏面電極をそれぞれ形成する。

受光面電極は、２本のバスバー、及びこれに直交する５０本のフィンガーとし、いずれもスクリーン印刷により下記組成等を有する導電性ペーストを受光面上に印刷して形成する。まず、フィンガーを印刷し、次いでバスバーを印刷する。尚、各印刷工程において、スキージ角度、印圧等の印刷条件は同じとする。続いて、仮乾燥工程（１５０℃×１５分）により転写された導電性ペーストの溶剤の一部を除去する。

裏面電極は、２本のバスバー、及びこれに直交する２５０本のフィンガーとする。スクリーン版の開口部のパターンが異なる以外は、受光面電極の場合と同様にして裏面電極を印刷する。

その後、本乾燥工程（２００℃×６０分）により転写された導電性ペーストの溶剤を除去し、バインダ樹脂を熱硬化させる。こうして、下記寸法等を有する受光面電極及び裏面電極を備える太陽電池を作製した。

＜フィンガー用導電性ペースト＞

［バインダ樹脂］ビスフェノールＡ型エポキシ樹脂

［導電性フィラー］銀粒子（粒径；１～１０μｍ、形状；フレーク粉及び球状粉の混合型（配合比は５０：５０ｗｔ％）

［配合比］溶剤：バインダ樹脂：導電性フィラー＝１：９：９０ｗｔ％

＜バスバー用導電性ペースト＞

［導電性フィラー］フィンガーの場合と同じ

［バインダ樹脂］

熱硬化性樹脂（６０重量％）；フィンガーの場合と同じ

エラストマーＡ（４０重量％）；シリコーンゴム（Ｔｇ；－１２０℃）

［配合比］溶剤：バインダ樹脂：導電性フィラー＝１：１９：８０

＜受光面電極＞

［フィンガー］高さ；４０μｍ、ヤング率；３０ＧＰａ

［バスバー］高さ；５０μｍ、ヤング率；０．０５ＧＰａ

＜裏面電極＞

［フィンガー］高さ；３０μｍ、ヤング率；３０ＧＰａ

［バスバー］高さ；４０μｍ、ヤング率；０．０５ＧＰａ

［0054］ 次に、作製した複数の太陽電池を同一平面上に並べて、隣接する太陽電池同士を配線材で接続し、太陽電池モジュールを作製する。

配線材は、フィルム状接着剤（エポキシ樹脂系接着剤）を用いてバスバー上に接続する。まず、フィルム状接着剤をバスバー上に配置し、次いで当該接着剤上に配線材を配置する。配線材は、バスバー上の全域を覆い、フィンガーにかからないように配置する。そして、配線材上にヒートシールバーを取り付けて熱圧着することにより、配線材とバスバーとを接続する。

続いて、配線材を接続して得られた太陽電池のストリングをＥＶＡ（充填材）、ガラス基板（第１保護部材）、ＰＥＴフィルム（第２保護部材）を用いてラミネートする。ラミネート装置では、ヒーター上にモジュール材料を重ね合わせた状態で置く。ヒーター側から、ガラス基板／ＥＶＡシート／ス

トリング／ＥＶＡシート／ＰＥＴフィルムの順に配置して、真空状態で材料を１５０℃程度で加熱する。その後、大気圧下でヒーター側に材料を押し付けながら加熱を継続し、ＥＶＡを架橋させる。最後に、フレーム等を取り付ける。こうして、太陽電池モジュールを作製した。

[0055] 作製した太陽電池モジュールについて、太陽電池／太陽電池モジュールの出力相関、及び温度サイクル試験の評価を行った。評価結果は、電極のヤング率等と共に表１に示した。出力相関は、モジュール化前後の曲線因子（ＦＦ）の変化を示す値であり、[モジュール化直後のＦＦ／電極を形成した直後の太陽電池のＦＦ]×１００（％）により算出される。温度サイクル試験の結果は、４００サイクル（最低温度（－４０℃）及び最高温度(９０℃）で３０分間保持し、それぞれの温度間を９０分間で変えている)の前後の最大出力Ｐｍａｘの変化を示し、[サイクル試験後のＰｍａｘ／サイクル試験前のＰｍａｘ]×１００（％）により算出される。

[0056] ＜実施例２～８、比較例１～３＞

バスバーを構成するバインダ樹脂の組成を表１に示すものに変更した以外は、実施例１と同様にして太陽電池の作製及び評価を行なった。

エラストマーＢ；ウレタンゴム（Ｔｇ；－３０℃）

エラストマーＣ；オレフィンゴム（Ｔｇ；－５５℃）

[0057] [表1]

	ヤング率（ＧＰａ）		バインダ樹脂（バスバー）		出力相関 (%)	温度サイクル試験 (%)
	フィンガー	バスバー	熱硬化性樹脂	エラストマー		
実施例１	３０	０．０５	６０重量%	Ａ；４０重量%	１００．０	９５．０
実施例２	３０	０．０７	６５重量%	Ａ；３５重量%	９９．９	９７．３
実施例３	３０	０．１	７０重量%	Ａ；３０重量%	１００．０	９９．２
実施例４	３０	０．５	８０重量%	Ａ；２０重量%	９９．９	９９．１
実施例５	３０	０．７	８５重量%	Ａ；１５重量%	９９．５	９９．２
実施例６	３０	１．０	９０重量%	Ａ；１０重量%	９８．９	９９．２
実施例７	３０	０．５	７５重量%	Ｂ；２５重量%	９９．９	９９．１
実施例８	３０	０．５	７５重量%	Ｃ；２５重量%	１００．０	９９．１
比較例１	３０	０．０３	４５重量%	Ａ；５５重量%	１００．０	９３．２
比較例２	３０	１．２	９５重量%	Ａ；５重量%	９８．５	９８．３
比較例３	３０	３．０	１００重量%	－	９８．０	９８．０

[0058] 表１に示すように、実施例の太陽電池モジュールは、いずれも出力相関が９９．５％以上であり、且つ温度サイクル試験によるＰｍａｘの変化率が９５．０％以上であった。つまり、実施例の太陽電池モジュールは、初期の出力

特性に優れると共に、その特性が長期の使用により劣化し難い。この優れた特性は、バスバーのヤング率（２５℃）を０．０５～１ＧＰａの範囲内に制御することによって、またフィンガーのヤング率（２５℃）を１超過～５０ＧＰａの範囲内に制御することによって得られたものである。

一方、比較例の太陽電池モジュールは、初期の出力特性が高いがその特性が劣化し易いもの（比較例１）、或いは初期の出力特性が低いもの（比較例２，３）であった。

また、エラストマーの含有量を１０～３０重量％として、バスバーのヤング率（２５℃）を０．１～１ＧＰａの範囲内に制御することにより、出力相関が９９．５％以上であり、且つ温度サイクル試験によるＰｍａｘの変化率が９９．１％以上という、特に優れた特性が得られる。

符号の説明

[0059] １０　太陽電池モジュール、１１　太陽電池、１２　第１保護部材、１３　第２保護部材、１４　充填材、１５　配線材、１６　接着剤、２０　光電変換部、２１　テクスチャ構造、３０　第１電極、３１，４１　フィンガー、３２，４２　バスバー、４０　第２電極。

請求の範囲

［請求項1］ 光電変換部と、

前記光電変換部の主面上に設けられた電極と、

を備え、

前記電極は、バインダ樹脂と導電性フィラーとを含んで構成されたバスバーを有し、

前記バスバーのヤング率（２５℃）は、０．０５～１ＧＰａである太陽電池。

［請求項2］ 請求項１に記載の太陽電池あって、

前記電極は、バインダ樹脂と導電性フィラーとを含んで構成されたフィンガーを有し、

前記フィンガーのヤング率（２５℃）は、１超過～５０ＧＰａである。

［請求項3］ 請求項２に記載の太陽電池あって、

前記フィンガー及び前記バスバーは、各々の前記バインダ樹脂の組成が互いに異なる。

［請求項4］ 請求項３に記載の太陽電池あって、

前記フィンガーを構成する前記バインダ樹脂は、エポキシ系樹脂、ウレタン系樹脂、ウレア系樹脂、アクリル系樹脂、イミド系樹脂、及びフェノール系樹脂からなる群より選択される少なくとも１種である熱硬化性樹脂を９０超過～１００重量％含有し、

前記バスバーを構成する前記バインダ樹脂は、前記熱硬化性樹脂を５０～９０重量％、及びガラス転移温度が２５℃以下であるゴム又は熱可塑性エラストマーを１０～５０重量％含有する。

［請求項5］ 請求項４に記載の太陽電池あって、

前記ゴムは、ジエン系ゴム、オレフィン系ゴム、ウレタン系ゴム、アクリル系ゴム、含ケイ素ゴム、含ハロゲンゴム、及びこれらの変性物からなる群より選択される少なくとも１種である。

［請求項6］ 請求項４に記載の太陽電池あって、

前記熱可塑性エラストマーは、スチレン系熱可塑性エラストマー、オレフィン系熱可塑性エラストマー、ウレタン系熱可塑性エラストマー、エステル系熱可塑性エラストマー、アクリル系熱可塑性エラストマー、シリコーン系熱可塑性エラストマー、及びこれらの変性物からなる群より選択される少なくとも１種である。

［請求項7］ 請求項２～６のいずれか１項に記載の太陽電池あって、

前記バスバーにおける前記導電性フィラーの含有率は、前記フィンガーにおける前記導電性フィラーの含有率よりも低い。

［請求項8］ 請求項２～７のいずれか１項に記載の太陽電池あって、

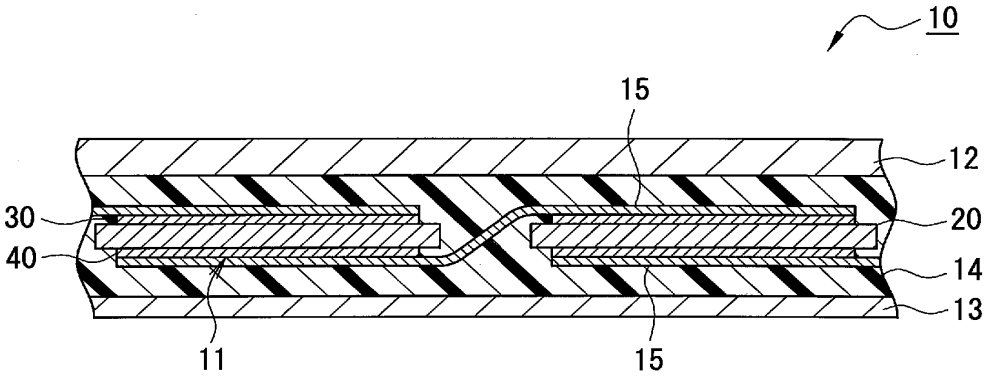
前記バスバーの高さは、前記フィンガーの高さよりも高い。

［請求項9］ 請求項１～８のいずれか１項に記載の複数の太陽電池と、

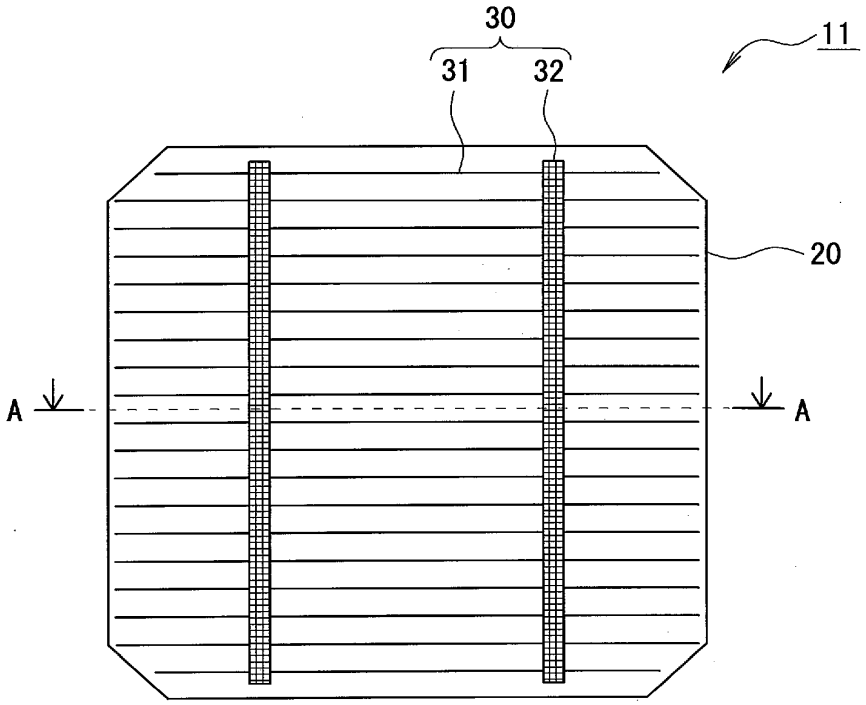
前記バスバーに取り付けられた配線材と、

を備えた太陽電池モジュール。

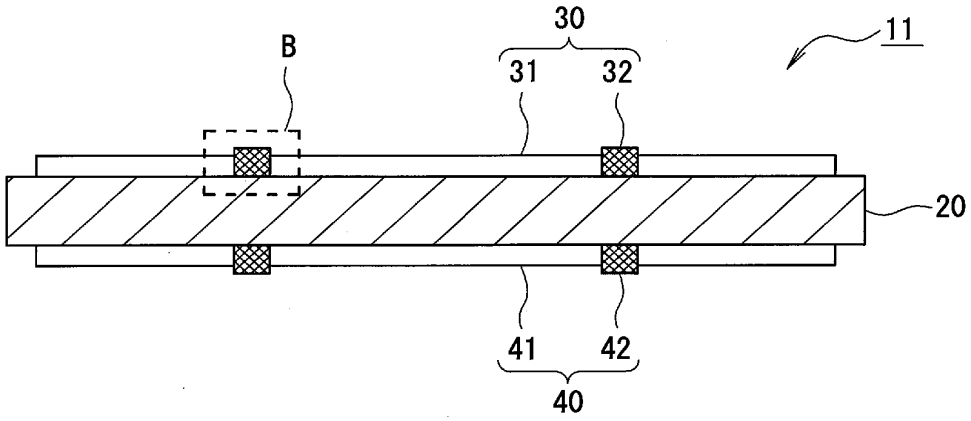
[図1]



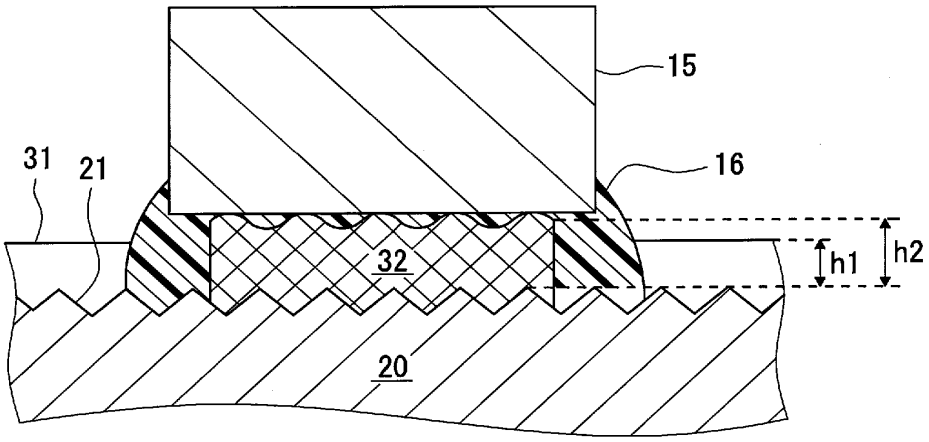
[図2]



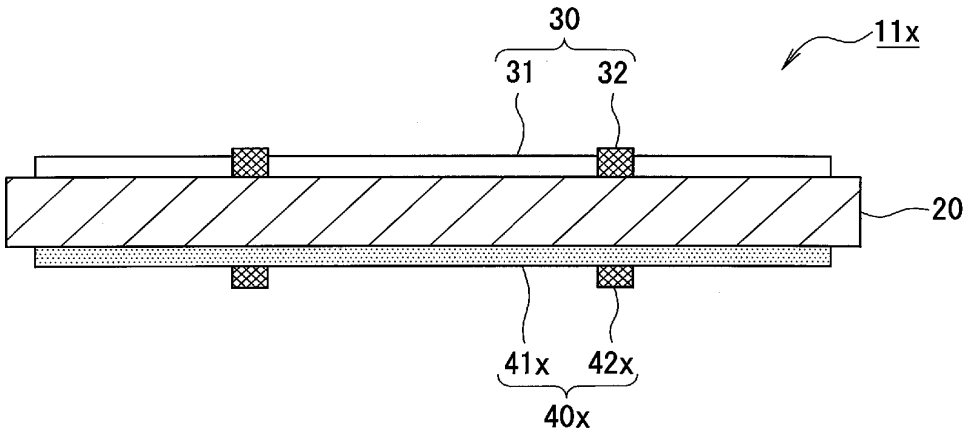
[図3]


B
30
31
32
11
20
41
42
40

[図4]


15
31
21
16
32
h1
h2
20

[図5]


30
31
32
11x
20
41x
42x
40x

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/079802

A. CLASSIFICATION OF SUBJECT MATTER
H01L31/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012
Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2008-205137 A (Sanyo Electric Co., Ltd.), 04 September 2008 (04.09.2008), paragraphs [0011] to [0069] & US 2008/0196757 A1	1-3,9 8 4-7
Y	JP 2009-88152 A (Sanyo Electric Co., Ltd.), 23 April 2009 (23.04.2009), fig. 2 (Family: none)	8
A	WO 2008/069035 A1 (Sanyo Electric Co., Ltd.), 12 June 2008 (12.06.2008), entire text; all drawings & US 2010/0032000 A1 & EP 2091088 A1	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 February, 2012 (02.02.12)	14 February, 2012 (14.02.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/079802

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/044357 A1 (Hitachi Chemical Co., Ltd.), 17 April 2008 (17.04.2008), entire text; all drawings & JP 2007-158302 A & US 2010/0147355 A1 & EP 2086023 A1 & CA 2666404 A & CN 101529603 A & KR 10-2009-0073218 A	1-9

Form PCT/ISA/210 (continuation of second sheet) (July 2009)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７９８０２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2008-205137 A（三洋電機株式会社）2008.09.04, 【００１１】－【００６９】 & US 2008/0196757 A1	１－３、９ ８ ４－７
Y	JP 2009-88152 A（三洋電機株式会社）2009.04.23, 【図２】 （ファミリーなし）	８

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０２．０２．２０１２	１４．０２．２０１２

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	森江　健蔵	２Ｋ　４４６６
	電話番号　０３－３５８１－１１０１　内線　３２５５	

Petitioner Runergy USA Inc., Ex. 1005, p. 538

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	WO 2008/069035 A1（三洋電機株式会社）2008.06.12, 全文、全図 & US 2010/0032000 A1 & EP 2091088 A1	１－９
Ａ	WO 2008/044357 A1（日立化成株式会社）2008.04.17, 全文、全図 & JP 2007-158302 A & US 2010/0147355 A1 & EP 2086023 A1 & CA 2666404 A & CN 101529603 A & KR 10-2009-0073218 A	１－９

Petitioner Runergy USA Inc., Ex. 1005, p. 539

Espacenet

Bibliographic data: JP2014203999 (A) — 2014-10-27

SOLAR CELL AND SOLAR CELL MODULE

Inventor(s): TSURUOKA YASUO; FUKUTOMI TAKAHIRO; SHIMIZU CHIAKI; TAKEMURA KENZO ± (TSURUOKA YASUO, ; FUKUTOMI TAKAHIRO, ; SHIMIZU CHIAKI, ; TAKEMURA KENZO)

Applicant(s): HITACHI CHEMICAL CO LTD ± (HITACHI CHEMICAL CO LTD)

Classification: **- international:** ***H01L31/04***
- cooperative: Y02E10/50

Application number: JP20130079654 20130405 Global Dossier

Priority number (s): JP20130079654 20130405

Abstract of JP2014203999 (A)

PROBLEM TO BE SOLVED: To provide a solar cell capable of ensuring current collection efficiency while reducing the manufacturing cost, and to provide a solar cell module.SOLUTION: A solar cell 1A includes a substrate 2, a plurality of linear finger electrodes provided on the light-receiving surface of the substrate 2, and a back electrode 5 provided on the back 22 of the substrate. On the back 22 of the substrate 2, an arrangement region AB, where wiring members for electrically connecting the back electrode 5 and the finger electrode of an adjacent solar cell 1A are arranged, is provided along the back electrode 5 separately therefrom. The arrangement region AB has a first region where collector members 6 connected to the back electrode 5 for electrically connecting the back electrode 5 and the wiring members are covering the substrate, and a second region where the substrate 2 is exposed because the collector members 6 are not provided.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-203999
(P2014-203999A)
(43)公開日　平成26年10月27日(2014.10.27)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	***(2014.01)***	H01L 31/04	H	5F151

審査請求 未請求　請求項の数 10　ＯＬ　（全 21 頁）

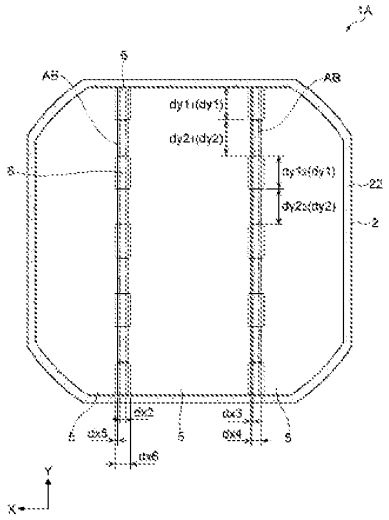
(21)出願番号　特願2013-79654(P2013-79654)
(22)出願日　平成25年4月5日(2013.4.5)

(71)出願人　000004455
日立化成株式会社
東京都千代田区丸の内一丁目９番２号
(74)代理人　100088155
弁理士　長谷川　芳樹
(74)代理人　100128381
弁理士　清水　義憲
(74)代理人　100162352
弁理士　酒巻　順一郎
(74)代理人　100148013
弁理士　中山　浩光
(72)発明者　鶴岡　恭生
茨城県筑西市五所宮１１５０番地　日立化成株式会社内

最終頁に続く

(54)【発明の名称】太陽電池セル及び太陽電池モジュール

(57)【要約】　（修正有）
【課題】製造コストを低減しつつ集電効率を確保できる太陽電池セル及び太陽電池モジュールを提供する。
【解決手段】太陽電池セル１Ａは、基板２と、基板２の受光面上に設けられた複数の線状のフィンガー電極と、基板の裏面２２上に設けられた裏面電極５と、を備える。基板２の裏面２２には、裏面電極５及び隣接する太陽電池セル１Ａのフィンガー電極を電気的に接続する配線部材が配置される配置領域ＡＢが、裏面電極５に沿うと共に裏面電極５と離間して設けられている。配置領域ＡＢは、裏面電極５に連結され裏面電極５と配線部材とを電気的に接続する集電部材６が基板を覆った第１の領域と、集電部材６が設けられていないことにより基板２が露出した第２の領域と、を有している。
【選択図】図２



【特許請求の範囲】
【請求項１】
基板と、前記基板の受光面上に設けられた複数のフィンガー電極と、前記基板の裏面上に設けられた裏面電極と、を備える太陽電池セルであって、
前記基板の前記裏面には、前記裏面電極及び隣接する前記太陽電池セルの前記フィンガー電極を電気的に接続する配線部材が配置される配置領域が、前記裏面電極に沿うと共に前記裏面電極と離間して設けられており、
前記配置領域は、
前記裏面電極に連結され前記裏面電極と前記配線部材とを電気的に接続する集電部材が前記基板を覆った第１の領域と、
前記集電部材が設けられていないことにより前記基板が露出した第２の領域と、を有している、
太陽電池セル。
【請求項２】
前記第１の領域及び前記第２の領域は、前記配線部材の延在方向に沿って交互に設けられ、それぞれ複数設けられている、請求項１記載の太陽電池セル。
【請求項３】
前記第１の領域のそれぞれは、前記配線部材の延在方向において、前記フィンガー電極の太さよりも大きい長さを有している、請求項２記載の太陽電池セル。
【請求項４】
前記複数の第１の領域は、前記配線部材の延在方向において、前記複数のフィンガー電極の配置周期以下の周期で配置されている、請求項２又は３記載の太陽電池セル。
【請求項５】
前記第１の領域のそれぞれは、前記配線部材の延在方向において、前記フィンガー電極の太さの５倍以下の長さを有している、請求項２～４のいずれか一項記載の太陽電池セル。
【請求項６】
前記複数の第１の領域は、前記配線部材の延在方向において、１ｍｍ以上５ｍｍ以下の周期で配置されている、請求項２～５のいずれか一項記載の太陽電池セル。
【請求項７】
前記複数の第１の領域の一部の前記第１の領域は、前記第１の領域の延在方向において、他の前記第１の領域の長さと異なる長さを有している、請求項２～６のいずれか一項記載の太陽電池セル。
【請求項８】
前記配線部材の延在方向において、前記配置領域の長さに対して、６％以上６７％以下の割合で、前記第１の領域が設けられている、請求項１～７のいずれか一項記載の太陽電池セル。
【請求項９】
前記集電部材は、銀ペーストの焼結体により形成されている、請求項１～８のいずれか一項記載の太陽電池セル。
【請求項１０】
請求項１～９のいずれか一項記載の太陽電池セルを複数備えた太陽電池モジュールであって、
前記第１の領域では、前記集電部材と前記配線部材とが、導電性接着剤により接続されている、
太陽電池モジュール。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、太陽電池セル及び太陽電池モジュールに関する。

【背景技術】
【０００２】
従来から、太陽電池セルが知られている（例えば、特許文献１を参照）。複数の太陽電池セルが配線部材（ＴＡＢ線）により電気的に接続されて、太陽電池モジュールが形成される。一般的に、太陽電池セルの受光面には、線状のフィンガー電極が複数設けられている。太陽電池セルの裏面には、裏面を覆うように裏面電極が設けられている。太陽電池セルの受光面及び裏面には、それぞれバスバー電極が設けられている。受光面側のバスバー電極は、複数のフィンガー電極と交差するように延在しており、複数のフィンガー電極と電気的に接続されている。裏面側のバスバー電極は、受光面側のバスバー電極と対応するように延在しており、裏面電極と電気的に接続されている。隣り合う太陽電池セルを接続する際には、一方の太陽電池セルの受光面側のバスバー電極と、他方の太陽電池セルの裏面側のバスバー電極とを、配線部材により接続する。バスバー電極とＴＡＢ線との接続には、例えば、導電性接着剤が使用される（例えば、特許文献２を参照）。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００４－２０４２５６号公報
【特許文献２】国際公開第２０１１／１１８５０３号
【発明の概要】
【発明が解決しようとする課題】
【０００４】
前述した太陽電池セル及び太陽電池モジュールでは、集電効率を確保するため、バスバー電極の形成に例えばＡｇ等の比較的高価な材料が用いられている。近年では、製造コストの低減が一層求められており、バスバー電極を用いずに裏面電極とＴＡＢ線とを導電性接着剤によって直接接続することも検討されている。しかしながら、裏面電極とＴＡＢ線とを導電性接着剤によって直接接続する場合、ヒートサイクル等に起因するＴＡＢ線の膨張及び収縮によって、裏面電極に負荷がかかってしまう。
【０００５】
本発明は、製造コストを低減しつつ集電効率を確保できる太陽電池セル及び太陽電池モジュールを提供することを目的とする。
【課題を解決するための手段】
【０００６】
本発明の一側面の太陽電池セルは、基板と、基板の受光面上に設けられた複数のフィンガー電極と、基板の裏面上に設けられた裏面電極と、を備える太陽電池セルであって、基板の裏面には、裏面電極及び隣接する太陽電池セルのフィンガー電極を電気的に接続する配線部材が配置される配置領域が、裏面電極に沿うと共に裏面電極と離間して設けられており、配置領域は、裏面電極に連結され裏面電極と配線部材とを電気的に接続する集電部材が基板を覆った第１の領域と、集電部材が設けられていないことにより基板が露出した第２の領域と、を有している。
【０００７】
本発明の一側面の太陽電池セルでは、集電部材によって裏面電極と配線部材とが電気的に接続された第１の領域において、集電効率を確保できる。一方で、集電部材が設けられていないことにより基板が露出した第２の領域において材料を低減することにより、製造コストを低減できる。また、配線部材が配置される配置領域が裏面電極と離間しているので、導電性接着剤を使用して配線部材を接続する際に、導電性接着剤と裏面電極との接触を防止できる。
【０００８】
第１の領域及び第２の領域は、配線部材の延在方向に沿って交互に設けられ、それぞれ複数設けられていてもよい。この場合、集電部材が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減で

きる。

【０００９】

第１の領域のそれぞれは、配線部材の延在方向において、フィンガー電極の太さよりも大きい長さを有していてもよい。この場合、例えば集電部材の材料がフィンガー電極の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セルを接続して太陽電池モジュールを形成した際、集電部材の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。

【００１０】

複数の第１の領域は、配線部材の延在方向において、複数のフィンガー電極の配置周期以下の周期で配置されていてもよい。この場合、集電部材の数がフィンガー電極の数以上になるため、例えば集電部材の材料がフィンガー電極の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セルを接続して太陽電池モジュールを形成した際、集電部材の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。また、この場合、電荷の移動距離が比較的小さくなるため、集電効率を向上することができる。また、この場合、太陽電池セルと配線部材との接続強度が配置領域内において均等に高められるため、配線部材が太陽電池セルから剥がれることを抑制できる。

【００１１】

第１の領域のそれぞれは、配線部材の延在方向において、フィンガー電極の太さの５倍以下の長さを有していてもよい。この場合、材料を好適に低減することが可能になる。従って、製造コストをさらに低減できる。

【００１２】

複数の第１の領域は、配線部材の延在方向において、１ｍｍ以上５ｍｍ以下の周期で配置されていてもよい。この場合、電荷の移動距離が比較的小さくなるため、集電効率を向上することができる。また、この場合、太陽電池セルと配線部材との接続強度が配置領域内において均等に高められるため、配線部材が太陽電池セルから剥がれることを抑制できる。

【００１３】

複数の第１の領域の一部の第１の領域は、配線部材の延在方向において、他の第１の領域の長さと異なる長さを有していてもよい。この場合、太陽電池セルと配線部材との接続強度を配置領域内で調節できる。

【００１４】

配線部材の延在方向において、配置領域の長さに対して、６％以上６７％以下の割合で、第１の領域が設けられていてもよい。この場合、集電効率を好適に確保できる。

【００１５】

集電部材は、銀ペーストの焼結体により形成されていてもよい。この場合、集電効率を好適に確保できる。

【００１６】

本発明の一側面の太陽電池モジュールは、前述のいずれかの太陽電池セルを複数備えた太陽電池モジュールであって、第１の領域では、集電部材と配線部材とが、導電性接着剤により接続されている。

【００１７】

本発明の一側面の太陽電池モジュールでは、製造コストを低減しつつ集電効率を確保できる。

【発明の効果】

【００１８】

本発明によれば、製造コストを低減しつつ集電効率を確保できる太陽電池セル及び太陽電池モジュールを提供することが可能となる。

【図面の簡単な説明】

【００１９】

【図１】第１実施形態の太陽電池セルの受光面を示す模式的な平面図である。
【図２】図１の太陽電池セルの裏面を示す模式的な平面図である。
【図３】第１実施形態の太陽電池モジュールの一部を示す模式的な斜視図である。
【図４】図３の太陽電池モジュールの裏面を示す模式的な平面図である。
【図５】図４中のV―V矢視図である。
【図６】図４中のVI―VI矢視図である。
【図７】導電性接着テープの模式的な断面図である。
【図８】第２実施形態の太陽電池セルの裏面を示す模式的な平面図である。
【図９】第３実施形態の太陽電池セルの裏面を示す模式的な平面図である。
【図１０】第４実施形態の太陽電池セルの裏面を示す模式的な平面図である。
【図１１】第５実施形態の太陽電池セルの裏面を示す模式的な平面図である。
【図１２】太陽電池セルの受光面の他の例を示す模式的な平面図である。
【発明を実施するための形態】
【００２０】
以下、図面を参照して、実施形態の太陽電池モジュールの製造方法について説明する。なお、同一又は相当要素には同一の符号を付し、重複する説明は省略する。
【００２１】
[太陽電池セル]
太陽電池セルについて説明する。図１は第１実施形態の太陽電池セルの受光面を示す模式的な平面図、図２は図１の太陽電池セルの裏面を示す模式的な平面図である。
【００２２】
図１及び図２に示される太陽電池セル１Ａは、複数の太陽電池セル１ＡがＴＡＢ線（配線部材）７（図３参照）により電気的に直列又は並列に接続されることにより、１つの太陽電池モジュールを形成する。太陽電池セル１Ａは、基板２と、複数（ここでは４８本）のフィンガー電極３と、複数（ここでは４個）の受光面側のアライメントマーク４と、複数（ここでは３個）の裏面電極５と、複数（ここでは１０個）の集電部材６と、を有している。
【００２３】
基板２は、例えば、略正方形の板状等を呈している。基板２の四隅は、それぞれ円弧状を呈している。基板２の一方の面は受光面２１であり、他方の面は裏面２２である。基板２の対向する２辺の距離は、例えば、基板２が５インチサイズである場合には１２５mm程度、６インチサイズである場合には１５６mm程度であり、ここでは１２５mmである。基板２は、例えば、Ｓｉの単結晶、多結晶、及び非結晶のうち少なくとも一つから形成されている。基板２は、受光面２１側がｎ型半導体であってもよく、ｐ型半導体であってもよい。
【００２４】
フィンガー電極３は、受光面２１上に設けられている。フィンガー電極３は、基板２の所定の辺に平行なＸ方向に沿って延びており、線状（詳細には、直線状）を呈している。複数のフィンガー電極３は、互いに離間しており、互いに平行に設けられている。フィンガー電極３の線幅は、例えば０．０５mm以上０．５mm以下であり、ここでは０．１６mm程度である。複数のフィンガー電極３は、フィンガー電極３と直交するＹ方向において、例えば２mm以上５mm以下の周期（フィンガー電極３の線幅と隣り合うフィンガー電極３，３同士の間の長さとの合計値）で配置されており、ここでは、２．５５１mm程度の周期で配置されている。隣り合うフィンガー電極３，３同士の間の長さは、ここでは、２．３９１mm程度である。
【００２５】
フィンガー電極３は、電気的導通を得ることができる公知の材料から形成されている。フィンガー電極３は、例えば、銀を含有したガラスペースト、接着剤樹脂に各種導電性粒子を分散した銀ペースト、金ペースト、カーボンペースト、ニッケルペースト若しくはアルミニウムペーストの焼結体、又は、蒸着によって形成されるＩＴＯから形成されている

。フィンガー電極３は、耐熱性、導電性、安定性、及びコストの観点から、銀を含有したガラスペーストにより形成されていてもよい。

【００２６】

受光面２１には、複数（ここでは２箇所）の配置領域ＡＦが設けられている。配置領域ＡＦは、受光面２１において、フィンガー電極３及び隣接する太陽電池セル１Ａの裏面電極５を電気的に接続するＴＡＢ線７が配置される予定の領域であり、本実施形態では、導電性接着剤８が接着される。配置領域ＡＦはＹ方向に沿って延びており、その両端部と基板２の周縁部とは離間している。配置領域ＡＦは、Ｙ方向を長手方向とする長方形状を呈している。複数の配置領域ＡＦは、Ｘ方向において互いに離間しており、互いに平行に設けられている。配置領域ＡＦ，ＡＦ間のピッチ（配置領域ＡＦ，ＡＦの中心線間のＸ方向における距離）は、ここでは６２．５ｍｍ程度である。配置領域ＡＦは、例えば全てのフィンガー電極３と直交している。配置領域ＡＦの幅（すなわちＴＡＢ線７の幅）ｄｘ１は、例えば０．５ｍｍ以上２．０ｍｍ以下であり、ここでは１．５ｍｍ程度である。配置領域ＡＦの数（すなわち、受光面２１側に接続されるＴＡＢ線７の数）は、２箇所に限定されない。配置領域ＡＦの数は、例えば，２箇所以上５箇所以下の中から選択できる。

【００２７】

アライメントマーク４は、導電性接着剤８の貼り付け及びＴＡＢ線７の接続の際に、目印として機能する。アライメントマーク４は、受光面２１上に設けられている。アライメントマーク４は，１箇所の配置領域ＡＦの内側に２個ずつ設けられている。アライメントマーク４は、Ｙ方向に沿って延びており、Ｙ方向において端に位置する４本のフィンガー電極３～３を連結している。なお、アライメントマーク４は、配置領域ＡＦの外側に設けられていてもよく、配置領域ＡＦの内側と外側とにまたがって設けられていてもよい。また、アライメントマーク４が連結するフィンガー電極３の数は、４本に限定されない。

【００２８】

アライメントマーク４は、例えば、電気的導通を得ることができる公知の材料から形成されている。アライメントマーク４は、例えば、銀を含有したガラスペースト、接着剤樹脂に各種導電性粒子を分散した銀ペースト、金ペースト、カーボンペースト、ニッケルペースト若しくはアルミニウムペーストの焼結体、又は、蒸着によって形成されるＩＴＯから形成されている。アライメントマーク４は、耐熱性、導電性、安定性、及びコストの観点から、銀を含有したガラスペーストにより形成されていてもよい。アライメントマーク４は、フィンガー電極３と同一の材料によって、フィンガー電極３と一体に形成されていてもよい。

【００２９】

アライメントマーク４の幅は、例えば、フィンガー電極３の幅と同様に０．０５ｍｍ以上０．５ｍｍ以下であり、ここでは０．１６ｍｍ程度である。アライメントマーク４は、上記実施形態に限られず、例えば、国際公開第２０１２／１２１３４８号、国際公開第２０１２／１２１３４９号、及び、国際公開第２０１２／１６５４６４号に記載されているような形態であってもよい。

【００３０】

裏面電極５は，裏面２２上に設けられている。複数の裏面電極５は、裏面２２の一部（基板２の周縁部及び裏面電極５，５同士の間）を除いて裏面２２を覆っている。複数の裏面電極５は、Ｘ方向において離間して設けられている。Ｙ方向における裏面電極５の長さ、及び、Ｘ方向における裏面電極５，５の両端部間の長さは、ここでは、それぞれ１２１ｍｍ程度である。裏面電極５は、例えば、アルミニウムペーストの焼結体により形成されている。

【００３１】

裏面２２には、複数（ここでは２箇所）の配置領域ＡＢが設けられている。配置領域ＡＢは、裏面２２において、裏面電極５及び隣接する太陽電池セル１Ａのフィンガー電極３を電気的に接続するＴＡＢ線７が配置される予定の領域であり、本実施形態では、導電性接着剤８が接着される。配置領域ＡＢは、隣り合う裏面電極５，５の間に設けられている

。配置領域ＡＢはＹ方向に沿って延びており，その両端部と基板２の周縁部とは離間している。配置領域ＡＢは、裏面電極５に沿っており、裏面電極５と離間している。配置領域ＡＢは、Ｙ方向を長手方向とする長方形状を呈している。複数の配置領域ＡＢは、Ｘ方向において互いに離間しており、互いに平行に設けられている。裏面２２側の配置領域ＡＢは、受光面２１側の配置領域ＡＦと対応する位置に設定されている。具体的には、裏面２２側の配置領域ＡＢは、受光面２１及び裏面２２の法線方向において、基板２を挟んで受光面２１側の配置領域ＡＦと対向する位置に設定されている。配置領域ＡＢの数（すなわち、裏面２２側に接続されるＴＡＢ線７の数）は、２箇所に限定されない。配置領域ＡＢの数は、例えば、２箇所以上５箇所以下の中から選択できる。

【００３２】

配置領域ＡＢの幅（すなわちＴＡＢ線７の幅）ｄｘ２は、例えば０．５ｍｍ以上２．０ｍｍ以下であり，ここでは１．５ｍｍ程度である（図２及び図５参照）。隣り合う裏面電極５，５の間隔ｄｘ４は、例えば、幅ｄｘ２、及び、配置領域ＡＢと裏面電極５との間隔ｄｘ３を考慮して設定することができる（図２及び図５参照）。間隔ｄｘ４は、例えば、間隔ｄｘ３を０．２５ｍｍ以上１．０ｍｍ以下に設定した場合、１．０ｍｍ以上４．０ｍｍ以下に設定することができ、ここでは４ｍｍ程度である。

【００３３】

集電部材６は、裏面２２上において、Ｙ方向においては配置領域ＡＢの内側に設けられ、Ｘ方向においては配置領域ＡＢの内側と外側とにまたがって設けられている。一つの配置領域ＡＢに対して、複数（ここでは、５個）の集電部材６が、ＴＡＢ線７の延在方向であるＹ方向に沿って、離間して設けられている。Ｙ方向において両端に位置する集電部材６は、配置領域ＡＢのＹ方向における両端縁に沿って設けられている。集電部材６は、隣り合う裏面電極５，５の双方に連結されている。集電部材６のＸ方向における端部は、基板２と裏面電極５とに挟まれている（図５参照）。複数の集電部材６は、隣り合う裏面電極５，５のいずれか一方に接続されていてもよい。また、複数の集電部材６は、例えば、Ｙ方向において隣り合う集電部材６，６が互いに異なる裏面電極５に接続されることにより，千鳥状に配置されていてもよい。

【００３４】

配置領域ＡＢにおいて、集電部材６が基板２を覆っている領域は、第１の領域として機能する。配置領域ＡＢにおいて、集電部材６が設けられていないことにより基板２が露出している領域は、第２の領域として機能する。すなわち、第１の領域及び第２の領域は、Ｙ方向に沿って交互に設けられ、それぞれ複数設けられている。

【００３５】

集電部材６は，電気的導通を得ることができる公知の材料から形成されている。集電部材６は、例えば、銀ペースト、金ペースト、カーボンペースト、ニッケルペースト、銅ペースト若しくはアルミニウムペーストの焼結体、又は、蒸着によって形成されるアルミニウム若しくは銀から形成されている。集電部材６は，耐熱性、導電性、安定性、及び膜としての凝集力の観点から，銀ペースト又は銅ペーストの焼結体により形成されていてもよく、ここでは、銀ペーストの焼結体により形成されている。

【００３６】

集電部材６のＸ方向における長さｄｘ６は、例えば、幅ｄｘ２、間隔ｄｘ３、及び、集電部材６と裏面電極５との重なり量ｄｘ５を考慮して設定することができる（図２及び図５参照）。長さｄｘ６は、例えば、重なり量ｄｘ５を０．５ｍｍ以上２．０ｍｍ以下に設定した場合、２．０ｍｍ以上８．０ｍｍ以下に設定することができ、ここでは６ｍｍである。

【００３７】

第１の領域のＹ方向における長さ（集電部材６のＹ方向における長さ）ｄｙ１は，例えば，集電部材６を形成するペーストの性質、ペーストの印刷に使用可能なマスク，ペーストの削減量、集電効率等を考慮して設定することができる。長さｄｙ１は，例えば０．１ｍｍ以上５０ｍｍ以下に設定することができる。複数の長さｄｙ１は、互いに同じであっ

てもよいし、互いに異なっていてもよい。ここでは、第１の領域（集電部材６）のそれぞれは、受光面２１側のフィンガー電極３の太さよりも大きい長さを有しており、複数の第１の領域の一部の第１の領域は、Ｙ方向において、他の第１の領域の長さと異なる長さを有している。具体的には、Ｙ方向において両端に位置する第１の領域の長さｄｙ１$_1$が１３ｍｍであり、それ以外の第１の領域の長さｄｙ１$_2$が１４ｍｍである。

【００３８】

第１の領域は、Ｙ方向において、配置領域ＡＢの長さに対して、合計で、６％以上６７％以下の割合で設けられていることが好ましく、８％以上６７％以下の割合で設けられていることがより好ましく，８％以上３３％以下の割合で設けられていることが最も好ましい。第１の領域が配置領域ＡＢの長さに対して６％以上６７％以下の割合で設けられていると、集電効率を好適に確保できる。

【００３９】

第２の領域のＹ方向における長さ（Ｙ方向において隣り合う集電部材６，６の間隔）ｄｙ２は、例えば、集電部材６を形成するペーストの削減量、集電効率等を考慮して設定することができる。長さｄｙ２は、例えば１ｍｍ以上３０ｍｍ以下に設定することができる。ここでは、Ｙ方向において両端に位置する第２の領域の長さｄｙ２$_1$が１３ｍｍであり、それ以外の第２の領域の長さｄｙ２$_2$が１３．５ｍｍである。

【００４０】

［太陽電池モジュール］

次に、太陽電池モジュールについて説明する。図３は第１実施形態の太陽電池モジュールの一部を示す模式的な斜視図、図４は図３の太陽電池モジュールの裏面を示す模式的な平面図、図５は図４中のV―V矢視図，図６は図４中のVI―VI矢視図である。

【００４１】

図３及び図４に示されるように、太陽電池モジュール１００は、複数の太陽電池セル１ＡをＴＡＢ線７によって電気的に接続することにより、形成されている。隣り合う太陽電池セル１Ａａ，１Ａｂのうち、一方の太陽電池セル１Ａａの受光面側のフィンガー電極３と、他方の太陽電池セル１Ａｂの裏面側の裏面電極５とが、ＴＡＢ線７によって接続されている。他の隣り合う太陽電池セル１Ａ，１Ａについても、同様に接続されている。これにより、複数の太陽電池セル１Ａが、電気的に直列に接続される。このような列が、１列又は複数列設けられることにより、太陽電池モジュール１００が形成される。

【００４２】

図５及び図６に示されるように、太陽電池セル１ＡとＴＡＢ線７とは、導電性接着剤８により互いに固定され，互いに電気的に接続されている。導電性接着剤８は、受光面２１側では、配置領域ＡＦの全面に接着されている。導電性接着剤８は、裏面２２側では、少なくとも集電部材６が設けられている第１の領域に接着されている。すなわち、図５に示されるように、第１の領域では、集電部材６とＴＡＢ線７とが導電性接着剤８により接続されている。導電性接着剤８は、集電部材６が設けられていない第２の領域においては、接着されていてもよいし，接着されていなくてもよく、ここでは第２の領域においても接着されている。すなわち、図６に示されるように、第２の領域では、ここでは、基板２とＴＡＢ線７とが導電性接着剤８により接続されている。例えば、太陽電池モジュール１００がフィルム等の保護部材によって覆われている場合には、導電性接着剤８は第２の領域に接着されていなくてもよく、この際、第２の領域において、基板２とＴＡＢ線７とは、接触していてもよく、接触していなくてもよい（不図示）。

【００４３】

［導電性接着テープ］

次に、導電性接着剤の貼り付けに使用される一例の導電性接着テープについて説明する。図７は、導電性接着テープの模式的な断面図である。導電性接着テープ９は、セパレータ（基材）１０と、導電性接着剤８とを備えている。

【００４４】

セパレータ１０としては、例えば、ポリエチレンテレフタレート、ポリエチレンナフタ

レート、ポリエチレンイソフタレート、ポリブチレンテレフタレート、ポリオレフィン、ポリアセテート、ポリカーボネート、ポリフェニレンサルファイド、ポリアミド、エチレン・酢酸ビニル共重合体、ポリ塩化ビニル、ポリ塩化ビニリデン、合成ゴム系又は液晶ポリマーから形成されている各種テープを使用することができる。セパレータ１０を形成する材質は、前述の材料に限定されない。セパレータ１０における導電性接着剤８との当接面等には、離型処理が施されていてもよい。

【００４５】

導電性接着剤８は、セパレータ１０の一方の面上に積層されている。導電性接着剤８は、接着剤組成物から形成されている。接着剤組成物は、例えば、接着剤成分８ａと導電粒子８ｂとを含んでいる。接着剤成分８ａとしては、熱又は光により硬化性を示す材料を使用することができ、例えばエポキシ系接着剤又はアクリル系接着剤を使用することができる。接着剤成分８ａとしては、接続後の耐熱性及び耐湿性に優れていることから、架橋性材料を使用してもよい。接着剤成分８ａとしては、熱硬化性樹脂であるエポキシ樹脂を主成分として含有するエポキシ系接着剤を使用してもよい。前述のエポキシ系接着剤は、短時間での硬化が可能で接続作業性がよく、分子構造上接着性に優れている。

【００４６】

エポキシ系接着剤としては、例えば、高分子量エポキシ、固形エポキシ若しくは液状エポキシ、又は、これらをウレタン、ポリエステル、アクリルゴム、ニトリルゴム（ＮＢＲ）若しくは合成線状ポリアミドで変性したエポキシを主成分とするものを使用することができる。エポキシ系接着剤は、主成分をなす前述のエポキシに、硬化剤、触媒、カップリング剤及び充填剤等のうち少なくとも一つを添加してなるものであってもよい。

【００４７】

アクリル系接着剤としては、例えば、アクリル酸、アクリル酸エステル、メタクリル酸エステル及びアクリロニトリルのうち少なくとも一つをモノマ成分とした重合体又は共重合体を使用することができる。

【００４８】

接着剤成分８ａに、内部応力の緩和作用を発揮する成分を配合してもよい。具体的には、接着剤成分８ａに、例えば、アクリルゴム又はエラストマ成分を配合してもよい。国際公開第９８／４４０６７号に記載されているようなラジカル硬化系接着剤も使用することができる。

【００４９】

導電粒子８ｂは、接着剤成分８ａ中に分散している。導電粒子８ｂとしては、例えば、金属（例えば、Ａｕ、Ａｇ、Ｐｔ、Ｎｉ、Ｃｕ、Ｗ、Ｓｂ、Ｓｎ、又は、はんだ）又はカーボンの粒子を使用することができる。非導電性の例えばガラス、セラミック又はプラスチックを核とし、この核を前述の金属又はカーボンで被覆した被覆粒子を使用してもよい。導電粒子８ｂの平均粒径は、分散性及び導電性の観点から、１～１８μｍであってもよい。なお、導電粒子を絶縁層で被覆してなる絶縁被覆粒子を使用してもよく、隣接する電極同士の絶縁性を向上させる観点から、導電粒子と絶縁性粒子とを併用してもよい。

【００５０】

導電粒子８ｂの配合割合は、導電性接着剤８に含まれる接着剤成分１００体積部に対して、例えば０．１～３０体積部であり、好ましくは０．１～１０体積部である。配合割合が０．１体積部以上であると、対向する電極間の接続抵抗の増加を抑制することができる。配合割合が３０体積部以下であると、接着力の低下を抑制することができる。

【００５１】

導電性接着テープ９は、例えばＴＡＢ線７の幅以下の幅を有している。セパレータ１０と導電性接着剤８とは同じ幅を有していてもよく、セパレータ１０が導電性接着剤８の幅よりも大きい幅を有していてもよい。セパレータ１０が導電性接着剤８の幅よりも大きい幅を有している場合、導電性接着テープ９の幅は、セパレータ１０の幅である。

【００５２】

以上のような本実施形態の太陽電池セル１Ａ及び太陽電池モジュール１００では、集電

部材６によって裏面電極５とＴＡＢ７とが電気的に接続された第１の領域において、集電効率を確保できる。

【００５３】

集電部材６が設けられていないことにより基板２が露出した第２の領域において材料を低減することにより、製造コストを低減できる。

【００５４】

ＴＡＢ線７が配置される配置領域ＡＢが裏面電極５と離間しているので、導電性接着剤８を使用してＴＡＢ線７を接続する際に、導電性接着剤８と裏面電極５との接触を防止できる。この結果、ヒートサイクルに起因して裏面電極５に負荷がかかることが抑制されるため、裏面電極５の膜の凝集力に依存せずに太陽電池セルの信頼性を確保できる。

【００５５】

第１の領域及び第２の領域は、ＴＡＢ線７の延在方向（Ｙ方向）に沿って交互に設けられ、それぞれ複数設けられている。このため、集電部材６が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減することができる。

【００５６】

第１の領域のそれぞれは、Ｙ方向において、フィンガー電極３の太さよりも大きい長さを有している。このため、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セル１Ａを接続して太陽電池モジュール１００を形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュール１００としての電気抵抗が増加してしまうことを抑制することが可能になる。

【００５７】

複数の第１の領域の一部の第１の領域は、Ｙ方向において、他の第１の領域の長さと異なる長さを有している。このため、太陽電池セル１ＡとＴＡＢ線７との接続強度を配置領域ＡＢ内で調節することができる。

【００５８】

Ｙ方向において、配置領域ＡＢの長さに対して、６％以上６７％以下の割合で、第１の領域が設けられている。このため、集電効率を好適に確保できる。

【００５９】

集電部材は、銀ペーストの焼結体により形成されている。このため、集電効率を好適に確保できる。

【００６０】

第１の領域及び第２の領域の配置パターン（集電部材６の配置パターン）について、種々の形態が考えられる。以下、第１の領域及び第２の領域の配置パターンの他の実施形態について説明する。

【００６１】

図８は、第２実施形態の太陽電池セルの裏面を示す模式的な平面図である。本実施形態の太陽電池セル１Ｂは、第１の領域及び第２の領域の配置パターンの構成において、第１実施形態の太陽電池セル１Ａと相違する。

【００６２】

本実施形態の太陽電池セル１Ｂにおいては、第１の領域（集電部材６）のそれぞれは、受光面２１側のフィンガー電極３の太さよりも大きい長さを有しており、複数の第１の領域（集電部材６）のうち、Ｙ方向において両端に配置された第１の領域は、Ｙ方向において、他の第１の領域の長さ$dy1_4$よりも大きい長さ$dy1_3$を有している。Ｙ方向において両端に配置された第１の領域は、配置領域ＡＢのＹ方向における両端縁に沿って設けられている。

【００６３】

より具体的には、Ｙ方向において両端に位置する第１の領域の長さ$dy1_3$は１３ｍｍであり、それ以外の第１の領域の長さ$dy1_4$は８ｍｍである。Ｙ方向において中央に位置する第２の領域の長さ$dy2_3$は６．８ｍｍであり、それ以外の第２の領域の長さｄｙ

2_4は６．７ｍｍである。

【００６４】

このような本実施形態の太陽電池セル１Ｂ及びこれを複数備える太陽電池モジュールでは、集電部材６によって裏面電極５とＴＡＢ７とが電気的に接続された第１の領域において、集電効率を確保できる。

【００６５】

集電部材６が設けられていないことにより基板２が露出した第２の領域において材料を低減することにより、製造コストを低減できる。

【００６６】

ＴＡＢ線７が配置される配置領域ＡＢが裏面電極５と離間しているので、導電性接着剤８を使用してＴＡＢ線７を接続する際に、導電性接着剤８と裏面電極５との接触を防止できる。この結果、ヒートサイクルに起因して裏面電極５に負荷がかかることが抑制されるため、裏面電極５の膜の凝集力に依存せずに太陽電池セルの信頼性を確保できる。

【００６７】

第１の領域及び第２の領域は、ＴＡＢ線７の延在方向（Ｙ方向）に沿って交互に設けられ、それぞれ複数設けられている。このため、集電部材６が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減できる。

【００６８】

第１の領域のそれぞれは、Ｙ方向において、フィンガー電極３の太さよりも大きい長さを有している。このため、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セル１Ｂを接続して太陽電池モジュールを形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。

【００６９】

複数の第１の領域の一部の第１の領域は、Ｙ方向において、他の第１の領域の長さと異なる長さを有している。このため、太陽電池セル１ＡとＴＡＢ線７との接続強度を配置領域ＡＢ内で調節できる。

【００７０】

複数の第１の領域のうちＹ方向において両端に配置された第１の領域は、Ｙ方向において、他の第１の領域の長さ$dy1_4$よりも大きい長さ$dy1_3$を有している。このため、太陽電池セル１ＢとＴＡＢ線７との接続強度が配置領域ＡＢ内において端寄りで高められるため、ＴＡＢ線７が太陽電池セル１Ｂから剥がれることを抑制できる。特に、本実施形態では、Ｙ方向において両端に配置された第１の領域は、Ｙ方向における配置領域ＡＢの周縁部に沿って設けられているため、接続強度が配置領域ＡＢ内においてＹ方向の両端部で高められ、上記効果が好適に発揮される。

【００７１】

Ｙ方向において、配置領域ＡＢの長さに対して、６％以上６７％以下の割合で、第１の領域が設けられている。このため、集電効率を好適に確保できる。

【００７２】

集電部材は、銀ペーストの焼結体により形成されている。このため、集電効率を好適に確保できる。

【００７３】

図９は、第３実施形態の太陽電池セルの裏面を示す模式的な平面図である。本実施形態の太陽電池セル１Ｃは、第１の領域及び第２の領域の配置パターンの構成において、第１実施形態の太陽電池セル１Ａと相違する。

【００７４】

本実施形態の太陽電池セル１Ｃにおいては、複数の第１の領域（集電部材６）は、Ｙ方向において、互いに同じ長さを有している。より具体的には、第１の領域の長さは１．０ｍｍであり、受光面２１側のフィンガー電極３（図１参照）の太さよりも大きい長さを有

している。なお、複数の第１の領域の一部の第１の領域が、Ｙ方向において、他の第１の領域の長さと異なる長さを有していてもよい。複数の第１の領域は、Ｙ方向において、例えば１ｍｍ以上５ｍｍ以下の周期（隣接する第１の領域と第２の領域とのＹ方向における長さの合計値）で配置されており、ここでは２ｍｍの周期で配置されている。換言すると、複数の第１の領域は、Ｙ方向において、受光面２１側の複数のフィンガー電極３の配置周期（２．５５１ｍｍ）以下の周期で配置されている。複数の第２の領域は、Ｙ方向において、互いに同じ長さを有している。具体的には、第２の領域の長さは１．０ｍｍである。なお、複数の第１の領域は例えば３ｍｍの周期で配置されていてもよく、この場合、第２の領域の長さは２．０ｍｍである。

【００７５】

第１の領域のそれぞれは、Ｙ方向において、受光面２１側のフィンガー電極３（図１参照）の太さと同じ長さを有していてもよい。この場合、第１の領域の長さは例えば０．１６ｍｍ程度であり、第２の領域の長さは１．８４ｍｍである。なお、第２の領域の長さは２．８４ｍｍであってもよい。

【００７６】

このような本実施形態の太陽電池セル１Ｃ及びこれを複数備える太陽電池モジュールでは、集電部材６によって裏面電極５とＴＡＢ７とが電気的に接続された第１の領域において、集電効率を確保できる。

【００７７】

集電部材６が設けられていないことにより基板２が露出した第２の領域において材料を低減することにより、製造コストを低減できる。

【００７８】

ＴＡＢ線７が配置される配置領域ＡＢが裏面電極５と離間しているので、導電性接着剤８を使用してＴＡＢ線７を接続する際に、導電性接着剤８と裏面電極５との接触を防止できる。この結果、ヒートサイクルに起因して裏面電極５に負荷がかかることが抑制されるため、裏面電極５の膜の凝集力に依存せずに太陽電池セルの信頼性を確保できる。

【００７９】

第１の領域及び第２の領域は、ＴＡＢ線７の延在方向（Ｙ方向）に沿って交互に設けられ、それぞれ複数設けられている。このため、集電部材６が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減できる。

【００８０】

第１の領域のそれぞれは、Ｙ方向において、フィンガー電極３の太さよりも大きい長さを有している。このため、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セル１Ｃを接続して太陽電池モジュールを形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。

【００８１】

複数の第１の領域は、Ｙ方向において、複数のフィンガー電極３の配置周期以下の周期で配置されている。このため、集電部材６の数がフィンガー電極３の数以上になり、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セルを接続して太陽電池モジュールを形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。また、電荷の移動距離が比較的小さくなるため、集電効率を向上することができる。また、太陽電池セル１ＣとＴＡＢ線７との接続強度が配置領域ＡＢ内において均等に高められるため、ＴＡＢ線７が太陽電池セル１Ｃから剥がれることを抑制できる。

【００８２】

複数の第１の領域は、Ｙ方向において、１ｍｍ以上５ｍｍ以下の周期で配置されている。このため、電荷の移動距離が比較的小さくなり、集電効率を向上することができる。ま

た、太陽電池セル１ＣとＴＡＢ線７との接続強度が配置領域ＡＢ内において均等に高められるため、ＴＡＢ線７が太陽電池セル１Ｃから剥がれることを抑制できる。

【００８３】

Ｙ方向において、配置領域ＡＢの長さに対して、６％以上６７％以下の割合で、第１の領域が設けられている。このため、集電効率を好適に確保できる。

【００８４】

第１の領域のそれぞれが、Ｙ方向においてフィンガー電極３の太さと同じ長さを有している場合には、第１の領域の集電部材６のそれぞれを形成する材料が低減される分、材料をさらに低減することが可能になる。従って，製造コストをさらに低減できる。

【００８５】

集電部材は、銀ペーストの焼結体により形成されている。このため、集電効率を好適に確保できる。

【００８６】

図１０は、第４実施形態の太陽電池セルの裏面を示す模式的な平面図である。本実施形態の太陽電池セル１Ｄは、第１の領域及び第２の領域の配置パターンの構成において、第１実施形態の太陽電池セル１Ａと相違する。

【００８７】

本実施形態の太陽電池セル１Ｄにおいては、複数の第１の領域（集電部材６）は、Ｙ方向において、互いに同じ長さを有している。より具体的には、第１の領域の長さは０．１６ｍｍであり、受光面２１側のフィンガー電極３（図１参照）の太さと同じである。

【００８８】

複数の集電部材６により、１つの集電部材群６０が形成されている。Ｙ方向において、集電部材群６０，６０同士の間は、集電部材群６０内の隣り合う第１の領域同士の間（集電部材６，６同士の間）の長さよりも大きい長さを有している。

【００８９】

このような本実施形態の太陽電池セル１Ｄ及びこれを複数備える太陽電池モジュールでは，集電部材６によって裏面電極５とＴＡＢ７とが電気的に接続された第１の領域において、集電効率を確保できる。

【００９０】

集電部材６が設けられていないことにより基板２が露出した第２の領域において材料を低減することにより、製造コストを低減できる。

【００９１】

ＴＡＢ線７が配置される配置領域ＡＢが裏面電極５と離間しているので，導電性接着剤８を使用してＴＡＢ線７を接続する際に、導電性接着剤８と裏面電極５との接触を防止できる。この結果、ヒートサイクルに起因して裏面電極５に負荷がかかることが抑制されるため、裏面電極５の膜の凝集力に依存せずに太陽電池セルの信頼性を確保できる。

【００９２】

第１の領域及び第２の領域は、ＴＡＢ線７の延在方向（Ｙ方向）に沿って交互に設けられ、それぞれ複数設けられている。このため、集電部材６が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減できる。

【００９３】

第１の領域のそれぞれは、Ｙ方向において、フィンガー電極３の太さと同じ長さを有している。このため、第１の領域の集電部材６のそれぞれを形成する材料が低減される分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減できる。

【００９４】

Ｙ方向において、配置領域ＡＢの長さに対して、６％以上６７％以下の割合で、第１の領域が設けられている。このため、集電効率を好適に確保できる。

【００９５】

集電部材は、銀ペーストの焼結体により形成されている。このため、集電効率を好適に

確保できる。

【００９６】

図１１は、第５実施形態の太陽電池セルの裏面を示す模式的な平面図である。本実施形態の太陽電池セル１Ｅは、第１の領域及び第２の領域の配置パターンの構成において、第１実施形態の太陽電池セル１Ａと相違する。

【００９７】

本実施形態の太陽電池セル１Ｅにおいては、複数の第１の領域（集電部材６）は、Ｙ方向において、互いに同じ長さを有している。より具体的には、第１の領域の長さは０．５ｍｍであり、受光面２１側のフィンガー電極３（図１参照）の太さよりも大きい長さを有している。なお、複数の第１の領域の一部の第１の領域が、Ｙ方向において、他の第１の領域の長さと異なる長さを有していてもよい。複数の第１の領域は、Ｙ方向に沿って例えば１ｍｍ以上５ｍｍ以下の周期で配置されており、ここでは２．５５１ｍｍの周期（すなわち、受光面２１側の複数のフィンガー電極３の配置の周期と同じ周期）で配置されている。複数の第２の領域は、Ｙ方向において、互いに同じ長さを有している。具体的には、第２の領域の長さは２．０５１ｍｍである。

【００９８】

第１の領域のそれぞれは、Ｙ方向において、受光面２１側のフィンガー電極３（図１参照）の太さと同じ長さを有していてもよい。この場合、第１の領域の長さは例えば０．１６ｍｍ程度であり、第２の領域の長さは２．３９１ｍｍである。

【００９９】

このような本実施形態の太陽電池セル１Ｅ及びこれを複数備える太陽電池モジュールでは、集電部材６によって裏面電極５とＴＡＢ７とが電気的に接続された第１の領域において、集電効率を確保できる。

【０１００】

集電部材６が設けられていないことにより基板２が露出した第２の領域において材料を低減することにより、製造コストを低減できる。

【０１０１】

ＴＡＢ線７が配置される配置領域ＡＢが裏面電極５と離間しているので、導電性接着剤８を使用してＴＡＢ線７を接続する際に、導電性接着剤８と裏面電極５との接触を防止できる。この結果、ヒートサイクルに起因して裏面電極５に負荷がかかることが抑制されるため、裏面電極５の膜の凝集力に依存せずに太陽電池セルの信頼性を確保できる。

【０１０２】

第１の領域及び第２の領域は、ＴＡＢ線７の延在方向（Ｙ方向）に沿って交互に設けられ、それぞれ複数設けられている。このため、集電部材６が設けられていない第２の領域が複数存在する分、材料をさらに低減することが可能になる。従って、製造コストをさらに低減できる。

【０１０３】

第１の領域のそれぞれは、Ｙ方向において，フィンガー電極３の太さよりも大きい長さを有している。このため、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セル１Ｅを接続して太陽電池モジュールを形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。

【０１０４】

複数の第１の領域は、Ｙ方向において、複数のフィンガー電極３の配置周期以下の周期で配置されている。このため、集電部材６の数がフィンガー電極３の数以上になり、例えば集電部材６の材料がフィンガー電極３の材料よりも大きい電気抵抗を有するとき等に、複数の太陽電池セル１Ｅを接続して太陽電池モジュールを形成した際、集電部材６の材料の電気抵抗に起因して太陽電池モジュールとしての電気抵抗が増加してしまうことを抑制することが可能になる。また、電荷の移動距離が比較的小さくなるため、集電効率を向上することができる。また、太陽電池セル１ＥとＴＡＢ線７との接続強度が配置領域ＡＢ内

において均等に高められるため、ＴＡＢ線７が太陽電池セル１Ｅから剥がれることを抑制できる。

【０１０５】

第１の領域のそれぞれは、Ｙ方向において、フィンガー電極の太さの５倍以下の長さを有している。このため、材料を好適に低減することが可能になる。従って、製造コストをさらに低減できる。

【０１０６】

複数の第１の領域は、Ｙ方向において、１ｍｍ以上５ｍｍ以下の周期で配置されている。このため、電荷の移動距離が比較的小さくなるため、集電効率を向上することができる。また、太陽電池セル１ＥとＴＡＢ線７との接続強度が配置領域ＡＢ内において均等に高められるため、ＴＡＢ線７が太陽電池セル１Ｅから剥がれることを抑制できる。

【０１０７】

Ｙ方向において、配置領域ＡＢの長さに対して、６％以上６７％以下の割合で、第１の領域が設けられている。このため、集電効率を好適に確保できる。

【０１０８】

集電部材は、銀ペーストの焼結体により形成されている。このため、集電効率を好適に確保できる。

【０１０９】

以上、本発明の実施形態について説明したが、本発明は必ずしも上記実施形態に限定されず、その要旨を逸脱しない範囲で様々な変更が可能である。

【０１１０】

図１２は、太陽電池セルの受光面の他の例を示す模式的な平面図である。例えば、上記実施形態では、太陽電池セル１Ａ～１Ｄの受光面２１には、アライメントマーク４（図１参照）が設けられているが、アライメントマーク４に代えてバスバー電極１１が設けられていてもよい。バスバー電極１１には、導電性接着剤８を介してＴＡＢ線７が接続される。

【０１１１】

具体的には、太陽電池セル１Ｆでは、バスバー電極１１は、フィンガー電極３と直交するＹ方向に沿って延びている。複数のバスバー電極１１は、互いに離間しており、互いに平行に設けられている。バスバー電極１１は、Ｙ方向を長手方向とする長方形状を呈している。バスバー電極１１は、全てのフィンガー電極３と直交しており、全てのフィンガー電極３と電気的に接続されている。バスバー電極１１の幅ｄｘ７は、例えば１．５ｍｍ程度である。バスバー電極１１の長さｄｙ３は、例えば、５インチサイズの太陽電池セルである場合には１２５ｍｍ程度、６インチサイズの太陽電池セルである場合には１５６ｍｍ程度である。バスバー電極１１の数（すなわち、受光面２１側に接続されるＴＡＢ線７の数）は、２本に限定されない。バスバー電極１１の数は、例えば、２本以上５本以下の中から選択できる。バスバー電極１１は、Ｙ方向において、断続して設けられていてもよい。

【０１１２】

バスバー電極１１は、電気的導通を得ることができる公知の材料から形成されている。バスバー電極１１は、例えば、銀を含有したガラスペースト、接着剤樹脂に各種導電性粒子を分散した銀ペースト、金ペースト、カーボンペースト、ニッケルペースト若しくはアルミニウムペーストの焼結体、又は、蒸着によって形成されるＩＴＯから形成されている。バスバー電極１１は、耐熱性、導電性、安定性、及びコストの観点から、銀を含有したガラスペーストにより形成されていてもよい。バスバー電極１１は、フィンガー電極３と同一の材料によって、フィンガー電極３と一体に形成されていてもよい。

【０１１３】

［評価試験］

図１及び図２に示されるような太陽電池セルにおいて、第１の領域及び第２の領域の構成（集電部材６の配置パターン）が異なる複数種類の太陽電池セルを準備し、太陽電池セ

ルの評価試験を実施した。実施例１～４は、第１の領域と第２の領域とを有する太陽電池セルであり、比較例１は、第１の領域のみを有する太陽電池セル（バスバー電極を有する従来の太陽電池セルに相当する太陽電池セル）である。なお、集電部材は、受光面側のフィンガー電極を形成する銀ペーストとは異なる銀ペーストの焼結体により形成した。また、裏面電極は、アルミニウムペーストの焼結体により形成した。

【０１１４】

［実施例１］

第１の領域（集電部材）のＹ方向における配置周期：３ｍｍ（１つの配置領域内に４１箇所）

第１の領域のＹ方向における長さ：１ｍｍ

第２の領域のＹ方向における長さ：２ｍｍ

【０１１５】

［実施例２］

第１の領域（集電部材）のＹ方向における配置周期：２ｍｍ（１つの配置領域内に６１箇所）

第１の領域のＹ方向における長さ：１ｍｍ

第２の領域のＹ方向における長さ：１ｍｍ

【０１１６】

［実施例３］

第１の領域（集電部材）のＹ方向における配置周期：２７ｍｍ（１つの配置領域内に５箇所）

第１の領域のＹ方向における長さ：１４ｍｍ

第２の領域のＹ方向における長さ：１３ｍｍ

【０１１７】

［実施例４］

第１の領域（集電部材）のＹ方向における配置周期：２．５５１ｍｍ（１つの配置領域内に４８箇所）

第１の領域のＹ方向における長さ：０．１６ｍｍ

第２の領域のＹ方向における長さ：２．３９１ｍｍ

【０１１８】

［比較例１］

第１の領域（集電部材）のＹ方向における配置周期：－（１つの配置領域内に１箇所）

第１の領域のＹ方向における長さ：１２１ｍｍ

第２の領域のＹ方向における長さ：－（無し）

【０１１９】

以下の表１は、試験結果を示している。初期セル特性は、太陽電池セル単体に導電性接着剤を介してＴＡＢ線を接続したものの性能を示している。

【表１】

	銀ペースト使用量（ｍｇ）	初期セル特性				
		Ｉｓｃ（Ａ）	Ｖｏｃ（Ｖ）	Ｐｍ（Ｗ）	Ｆ．Ｆ	Ｒｓ（Ω）
実施例１	55	5.82	0.613	2.33	65.3	0.0159
実施例２	76	5.84	0.612	2.35	65.8	0.0156
実施例３	66	5.81	0.610	2.29	64.4	0.0162
実施例４	10	5.81	0.613	2.29	64.3	0.0175
比較例１	110	5.81	0.612	2.31	65.2	0.0158

但し、

Ｐｍ：最大出力

Ｒｓ：直列抵抗
Ｉｓｃ：短絡電流
Ｖｏｃ：解放電圧
Ｆ．Ｆ：曲線因子

【０１２０】

表１に示されるように、実施例１及び実施例２における初期セル特性の最大出力Ｐｍは、比較例１における初期セル特性の最大出力Ｐｍよりも大きい。このことから、集電部材が設けられていない第２の領域を有する太陽電池セルであっても、銀ペーストの使用量を低減しつつ、最大出力Ｐｍを向上することが可能であることがわかる。これは、太陽電池セルを製造する際、裏面電極よりも下層に位置する集電部材（図５参照）を裏面電極よりも先に形成することになるため、裏面電極を形成するときに、集電部材が配置領域の全体に設けられていると、裏面電極を形成するアルミニウムの基板への拡散が集電部材により阻害され、集電部材周辺がＰ$^{++}$側になり難く高抵抗化するためと考えられる。

【０１２１】

実施例２における初期セル特性の最大出力Ｐｍは，実施例１における初期セル特性の最大出力Ｐｍよりも大きい。このことから、第１領域（集電部材）のＹ方向における配置周期が小さいほど、集電効率が向上すると考えられる。これは、第１の領域の配置周期が小さいと、電荷の移動距離が低減されるためと考えられる。一方で、第１領域（集電部材）のＹ方向における配置周期が小さ過ぎると、集電部材の形成が困難になると考えられる。

【０１２２】

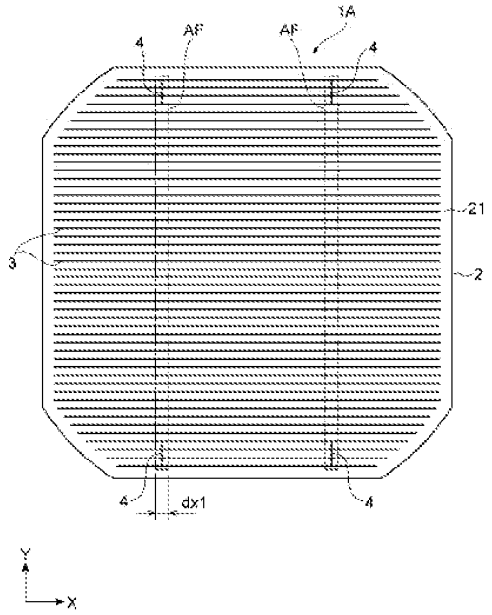
実施例４における初期セル特性の直列抵抗Ｒｓは、他の例における初期セル特性の直列抵抗Ｒｓよりも大きい。これは、本評価試験では、上述のように、受光面側のフィンガー電極を形成する銀ペーストと裏面側の集電部材を形成する銀ペーストとが異なり、且つ、実施例４では、集電部材のＹ方向における長さが受光面側のフィンガー電極の太さと同様であるため、電気抵抗が高いためと考えられる。このことから、集電部材のＹ方向における長さは，受光面側のフィンガー電極の太さよりも大きいことが好ましいと考えられる。また、複数の集電部材は、Ｙ方向において、フィンガー電極の配置周期以下の周期で配置されていることが好ましいと考えられる。

【符号の説明】

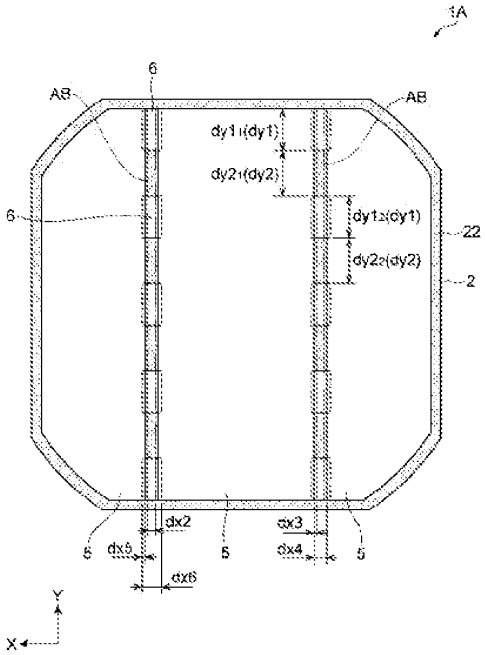
【０１２３】

１Ａ，１Ｂ，１Ｃ，１Ｄ，１Ｅ，１Ｆ…太陽電池セル，２…基板、３…フィンガー電極、５…裏面電極、６…集電部材、７…ＴＡＢ線（配線部材）、８…導電性接着剤、２１…受光面，２２…裏面，１００…太陽電池モジュール、ＡＢ…配置領域。

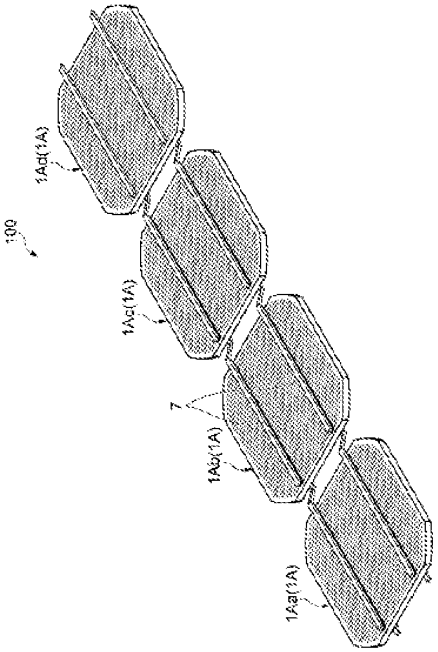
【図１】


1A
AF
AF
4
4
4
4
21
2
3
dx1
Y
X

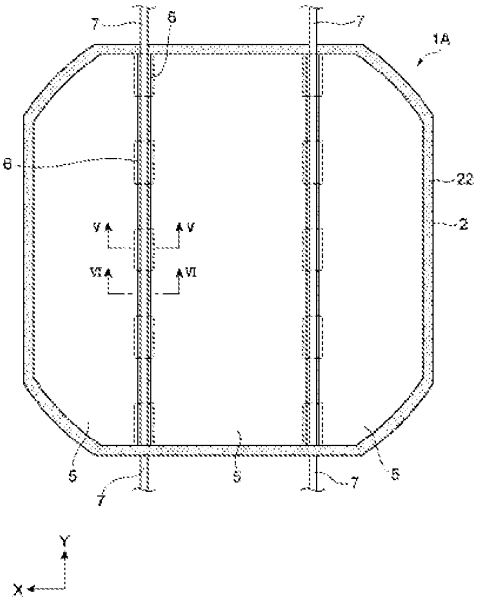
【図２】


1A
6
AB
AB
dy1₁(dy1)
dy2₁(dy2)
dy1₂(dy1)
dy2₂(dy2)
6
22
2
5
dx2
dx3
5
dx5
5
dx4
dx6
Y
X

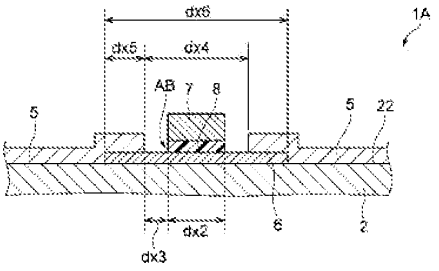
【図３】


100
1Ad(1A)
1Ac(1A)
7
1Ab(1A)
1Aa(1A)

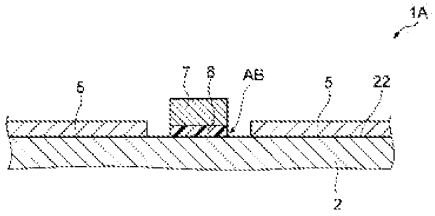
【図４】


7
6
7
1A
6
22
2
V
V
VI
VI
5
5
7
7
5
Y
X

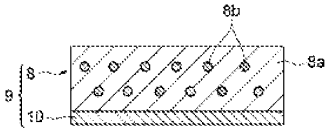
【図５】


dx6
dx5
dx4
AB
7
8
1A
5
5
22
6
2
dx2
dx3

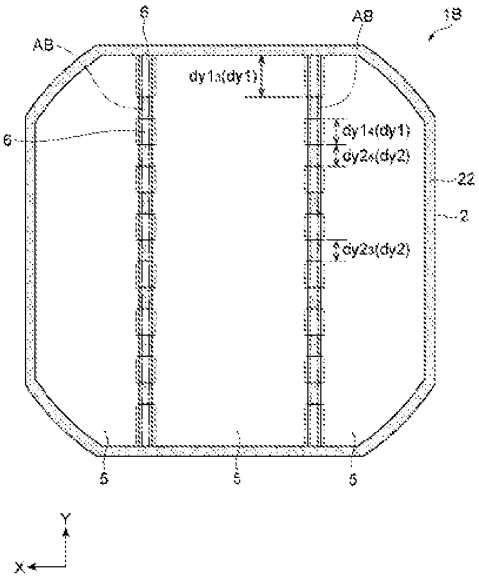
【図６】


1A
7
8
AB
6
5
22
2

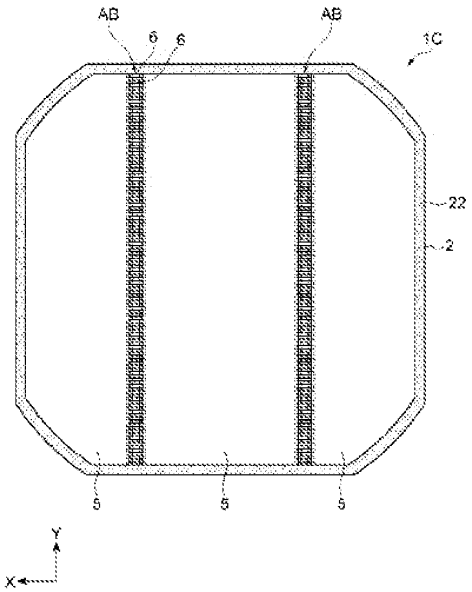
【図７】


8b
8a
8
9
10

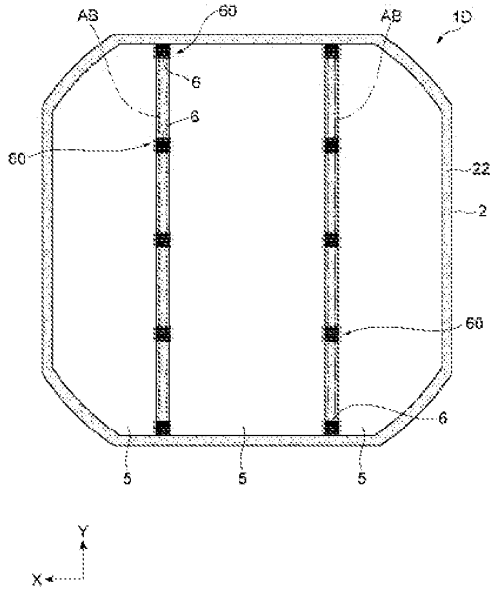
【図８】


6
AB
AB
1B
dy1a(dy1)
6
dy1a(dy1)
dy2a(dy2)
22
2
dy2a(dy2)
5
5
5
Y
X

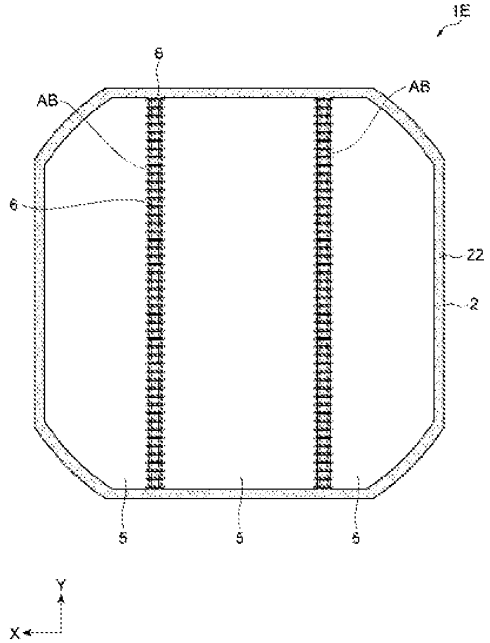
【図９】



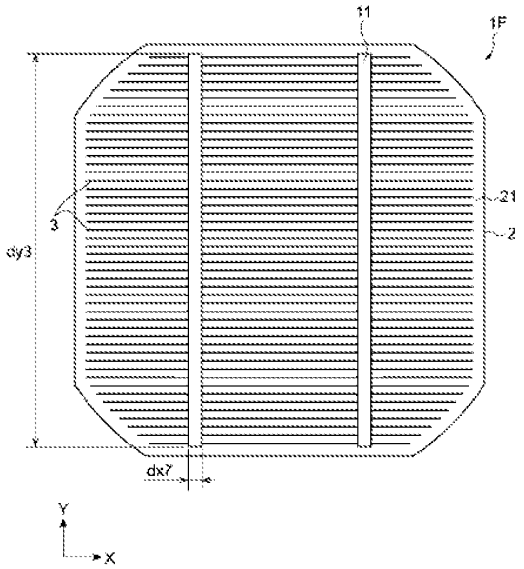
【図１０】



【図１１】



【図１２】



フロントページの続き

(72)発明者 福富　隆広
茨城県筑西市五所宮１１５０番地　日立化成株式会社内
(72)発明者 清水　千晶
茨城県筑西市五所宮１１５０番地　日立化成株式会社内
(72)発明者 竹村　賢三
茨城県筑西市五所宮１１５０番地　日立化成株式会社内
Ｆターム(参考) 5F151 AA02 AA03 EA19 FA16 FA17 GA04

Espacenet

Bibliographic data: JP2014523653 (A) — 2014-09-11

Light Induced Plating of Metals on Silicon Photovoltaic Cells

Inventor(s):

Applicant(s):

Classification: - **international:** *H01L31/0224*
- **cooperative:** C23C18/08; C23C18/14; C23C18/1608; C23C18/1667; C23C18/44; C23C18/54; H01L31/022425; H01L31/18; Y02E10/50

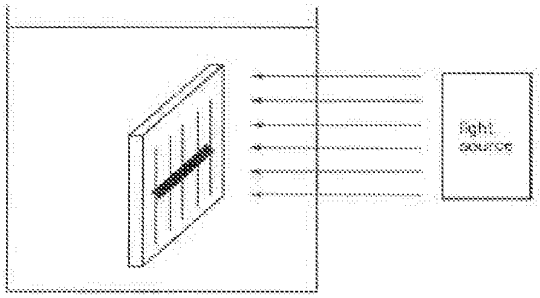
Application number: JP20140521704 20120717 Global Dossier

Priority number (s): US201113188615 20110722 ; WO2012US47025 20120717

Also published as: US2011275175 (A1) US8337942 (B2) US2013078754 (A1) US8956687 (B2) WO2013016067 (A1) more

Abstract not available for JP2014523653 (A)
Abstract of corresponding document: US2011275175 (A1)

A method and composition for plating metal contacts on photovoltaic solar cells is described. The cell is immersed in an aqueous bath containing platable metal ions and a solubilizing agent for aluminum or aluminum alloy ions from the back side of the solar cell. The cell is then exposed to light, causing the two sides of the cell to become oppositely charged. The metal ions are plated without requiring an external electrical contact.



(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2014-523653
(P2014-523653A)
(43)公表日　平成26年9月11日(2014.9.11)

(51)Int.Cl.	F I	テーマコード（参考）
H01L 31/0224 (2006.01)	H01L 31/04 260	5F151

審査請求 有　予備審査請求 未請求　（全 18 頁）

(21)出願番号	特願2014-521704 (P2014-521704)
(86)(22)出願日	平成24年7月17日 (2012.7.17)
(85)翻訳文提出日	平成26年3月5日 (2014.3.5)
(86)国際出願番号	PCT/US2012/047025
(87)国際公開番号	WO2013/016067
(87)国際公開日	平成25年1月31日 (2013.1.31)
(31)優先権主張番号	13/188,615
(32)優先日	平成23年7月22日 (2011.7.22)
(33)優先権主張国	米国 (US)

(71)出願人　502304286
マクダーミッド　アキューメン　インコーポレーテッド
アメリカ合衆国コネチカット州　０６７０２　ウォーターバリー　フライト　ストリート　２４５
(74)代理人　100107515
弁理士　廣田　浩一
(74)代理人　100107733
弁理士　流　良広
(74)代理人　100115347
弁理士　松田　奈緒子

最終頁に続く

(54)【発明の名称】シリコン光電池上の金属の光誘起めっき

(57)【要約】
太陽光電池上に金属接点をめっきするための方法及び組成物が記載される。電池は、めっき可能な金属イオンと、太陽電池の裏側からのアルミニウム又はアルミニウム合金のイオンの可溶化剤とを含む含水浴中に浸漬される。電池は次いで光に暴露され、電池の両側の逆帯電を生じる。金属イオンは、外部の電気的接続を必要とすることなくめっきされる。

【特許請求の範囲】
【請求項１】
表側と裏側とを有する太陽光電池に金属の層を堆積させて前記太陽光電池を金属化する方法であって、前記裏側が、アルミニウム及びアルミニウム合金からなる群から選択される金属の層を含み、前記表側が、その上に金属を含むパターンを含み、
ａ）前記太陽光電池を、ｉ）可溶性銀イオン源と、ｉｉ）裏側の金属の層から溶解したアルミニウム金属イオンの可溶化剤とを含む光誘起めっき組成物と接触させる工程と、その後、
ｂ）光源からの放射エネルギーを前記太陽光電池に照射する工程と、
を含み、前記光誘起めっき液からの金属イオンが前記太陽電池の前記表側の金属パターン上にめっきされ、前記太陽電池はめっきの間は外部電源に電気的に接続されておらず、前記裏側の金属層のイオンが前記光誘起めっき組成物中へ溶解することを特徴とする方法。
【請求項２】
光誘起めっき組成物が、銀イオンの錯化剤を含む請求項１に記載の方法。
【請求項３】
可溶性銀イオン源が、酸化銀、硝酸銀、メタンスルホン酸銀、酢酸銀、クエン酸銀、硫酸銀、及びこれらの１以上の組合せからなる群から選択される請求項１に記載の方法。
【請求項４】
可溶性銀イオン源が、酢酸銀である請求項３に記載の方法。
【請求項５】
可溶性銀イオン源が、メタンスルホン酸銀である請求項３に記載の方法。
【請求項６】
可溶性銀イオン源が、硫酸銀である請求項３に記載の方法。
【請求項７】
可溶性銀イオンの濃度が、約１ｇ／Ｌ～約３５ｇ／Ｌである請求項１に記載の方法。
【請求項８】
可溶化剤が、グリオキシル酸、グリコール酸、乳酸、α－又はオルト－ヒドロキシカルボン酸、脂肪族ジカルボン酸、ヒドロキシポリカルボン酸、又はこれらの任意の組合せからなる群から選択される請求項１に記載の方法。
【請求項９】
可溶化剤が、酒石酸又はその塩を含む請求項８に記載の方法。
【請求項１０】
可溶化剤が、クエン酸又はその塩を含む請求項８に記載の方法。
【請求項１１】
可溶化剤の濃度が、約１ｇ／Ｌ～１５０ｇ／Ｌであるが、最も好ましくは１０ｇ／Ｌ～３０ｇ／Ｌである請求項１に記載の方法。
【請求項１２】
錯化剤が、シアン化物、スクシンイミド又は置換スクシンイミド、ヒダントイン又は置換ヒダントイン、ウラシル、チオ硫酸塩、アミン、及びこれらの１以上の組合せからなる群から選択される請求項２に記載の方法。
【請求項１３】
錯化剤が、ヒダントイン又は置換ヒダントインである請求項１２に記載の方法。
【請求項１４】
錯化剤の濃度が、約２０ｇ／Ｌ～約１５０ｇ／Ｌである請求項２に記載の方法。
【請求項１５】
太陽電池の表側の金属を含むパターンが、その上に印刷された電流収集線及び母線を含む請求項１に記載の方法。
【請求項１６】
金属を含むパターンが、印刷された銀ペーストを含む請求項１５に記載の方法。

【請求項１７】
光源が、ハロゲンランプ、白熱ランプ、蛍光ランプ、発光ダイオード、又は水銀ランプからなる群から選択される請求項１に記載の方法。
【請求項１８】
光電池を光誘起めっき組成物と接触させる工程が、光誘起めっき組成物中に光電池を浸漬することを含む請求項１に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
関連出願の相互参照
本願は、現在係属中である２００９年８月２８日に出願された米国特許出願第１２／５４９，５４７号の一部継続出願である。
【０００２】
本発明は、一般的に、シリコン太陽電池を含む光電池上の金属接点の光誘起めっき方法に関する。
【背景技術】
【０００３】
太陽電池は、太陽光を直接電気に変換する光電池又はモジュールである。光起電（ＰＶ）電池は、半導体材料、最も一般的にはシリコンから作製される。光（紫外線、可視光線、及び赤外線）が電池に当たると、吸収光のエネルギーが半導体に転送されて電流が生成されるように、光の一定部分が半導体材料内に吸収される。ＰＶ電池の上下に金属接点を配置することにより、電流を外部で使用するために引き出すことができる。電流は、電池の電圧と共に、太陽電池が生成することができるワット数を定義する。
【０００４】
典型的な半導体光電池は、光の吸収が電子正孔対の生成をもたらす大面積のｐｎ接合部を含む。過剰な負電荷がｎドープ側に蓄積して過剰な正電荷がｐドープ側に蓄積するように、電子と正孔とが接合部の反対側に移動する。発電のために電流を集めるためには、ｐｎ接合部の両側の外部回路への電気的接続がなされなければならない。接点は、典型的には、半導体デバイスとの抵抗接点において各側に１つずつの２つの金属パターンからなる。理想的な接続パターンは、抵抗損失を最小化するための高伝導性、効率的に電流を集めるための基板への良好な電気的接続、及び機械的安定性を確保するための高接着性を有する。入射光に露光される電池の側として定義される電池の表側の金属パターンは、電池の表面上の任意の場所で生成された電流を集めるための低抵抗路を提供すると同時に、金属により遮断される入射放射線の量を最小にして電流発生目的での損失を最小にするように設計されている。
【０００５】
シリコンは、特にその結晶形態において、太陽電池を製造するために用いられる一般的な材料である。殆どの太陽電池は、ｐ型／ｎ型接合部を製造するために、ホウ素及びリンでドープされた結晶シリコンから作られている。製造コストを削減するために多結晶シリコンを太陽電池の製造に使用することができるが、得られた電池は、単結晶シリコン電池程には効率的でないことがある。結晶構造を持たないアモルファスシリコンを、製造コストを低減する試みで使用してもよい。製造した太陽電池において使用される他の材料としては、ガリウムヒ素、二セレン化銅インジウム、及びテルル化カドミウムが挙げられる。
【０００６】
シリコン太陽電池の典型的な配列は、
（ａ）アルミニウム又はアルミニウム合金の層と、銀又は銀－アルミニウム合金を含む母線とを通常含む裏側接点、
（ｂ）Ｐ型Ｓｉ、
（ｃ）Ｎ型Ｓｉ、
（ｄ）電池の表側の反射防止コーティング、

（ｅ）フィンガー及び母線の金属グリッドを通常含む表側接点、及び
（ｆ）カバーガラス、
を含む。

【０００７】

シリコンは極度に反射性であるため、反射防止コーティングが、典型的には反射損失を低減するために電池の上部に適用される。ガラスのカバープレートが次いで、典型的には素子から電池を保護するために反射防止層上に適用される。

【０００８】

従来の太陽電池は、結晶シリコンウエハを用いて作製されることがある。Ｓｉウエハは、ホウ素ドーパントを有するｐ型半導体として出発する。光を良好に捕えるため、光がシリコン中へ斜めに反射するように、ウエハを水酸化物又は硝酸／フッ化水素酸でテクスチャ化してもよい。ｐｎ接合部は、蒸着又は拡散を用い、ｎ型ドーパント、典型的にはリンの拡散によって形成される。誘電性の層、典型的にはシリコン窒化物又はシリコン酸化物が表側に適用され、この層が表面パッシベーション層及び反射防止コーティング（ＡＲＣ）の双方として機能する。

【０００９】

シリコン太陽電池の製造における一つの標準的な工程では、シリコンウエハの表側は、典型的にはシリコン窒化物を含む反射防止パッシベーション層で被覆されている。このシリコン窒化物層は、電池により吸収される（反射されない）光の割合を最大化するだけでなく、表面を不動態化し、表面での電子と正孔との再結合を防止して電池の効率を増加させるという二重の目的を提供している。電子と正孔との再結合を最小化するために、電池の裏面には異なる効果が典型的には採用されている。「裏面電界」（ＢＳＦ）は、裏面に近接したシリコンの所謂ｐ$^{+}$型ドープ層を作製することにより実現されれ、ここでｐ$^{+}$型ドープ層は、バルクｐ型ドープ基板よりも高濃度のｐ型ドーパントを含む。これが、少数キャリア（電子）の裏面への流出に対する障壁を提供する電界を、界面の近くに生成する。アルミニウム又はホウ素等の任意のｐ型ドーパントを用いることができる。典型的には、アルミニウム又はアルミニウム合金を裏面に堆積させ、ｐ型ドーパントをシリコン中に拡散させるために高温で焼成する。アルミニウム又はアルミニウム合金は、スクリーン印刷又は蒸着によって堆積させてもよい。典型的には、シリコン太陽電池の標準的な製造工程においては、銀又は銀−アルミニウムのペーストを含むはんだ付け可能な母線が裏面にスクリーン印刷され、次いでアルミニウムペーストが母線により被覆された領域を除いて裏面全体にスクリーン印刷され、次いで、溶剤バインダーを除去し、ペースト層を硬化し、アルミニウムのｐ型ドーパントをシリコン中に拡散させるために焼成される。

【００１０】

上記のｐ$^{+}$型ドープＢＳＦとはんだ付け可能な母線とを含む裏面上に全領域の金属接点が作製され、典型的には、銀ペーストを前記フィンガーと母線とのパターンへとスクリーン印刷し、次いで溶剤バインダーを除去し、パターンを硬化させ、電池との抵抗接点を形成するために高温で焼成することによって形成され、微細な「フィンガー」とより大きい「母線」とから構成されるグリッド状の金属接点が前面上に形成された、太陽電池の接点が形成されなければならない。太陽電池導電体が形成された後、次いで複数の太陽電池が平坦なワイヤ又は金属リボンによって直列（又は並列、或いはその両方）に相互接続され、モジュール又は「太陽電池パネル」へと組み立てられる。完成した太陽電池パネル製品は、典型的には、環境から保護するために、表側の強化ガラスのシート、及び裏側のポリマー封止を有する。

【００１１】

シリコンは、太陽電池パネルの製造において最も一般的に使用される材料である。図１は、典型的なシリコン太陽電池の、表側金属母線１２と金属線１４とを有する表側１０、及び裏側金属母線２２を有する裏側２０を示す。太陽電池の表側の金属母線１２及び金属線１４は、好ましくは、本発明のめっき組成物及び方法でその上にめっきされた、印刷された銀ペーストを含む。裏側金属母線２２は、好ましくは、シリコンと接触する銀ペース

ト又はアルミニウム−銀ペーストのいずれかを含む。電池裏側の残りの部分は、好ましくは、焼成アルミニウム層３８により覆われている。

【００１２】

図２は、反射防止コーティング層３２、ｎ型ドープシリコン層３４、及びｐ型ドープシリコン層３６を有する典型的なシリコン太陽電池の断面図を示す。シリコンは、単結晶シリコン又は多結晶シリコンであってもよいが、一例でありこれらに限定されるものではない。表側１０の金属線１４は、光誘起電流を収集する。表側母線１２は、複数の金属線１４即ち「フィンガー」から電流を収集する。電池の裏側２０は、典型的には表側と同様の１組の母線２２を有するが、裏側２０は、光を透過可能である必要はない。表側母線１２及び裏側母線２２は、モジュールのための連続した電池の接続を可能とする。裏側母線２２は、シリコン基板と接触する。裏側の残りの部分は、アルミニウム又はアルミニウム合金の層３８で覆われている。アルミニウム又はアルミニウム合金の層３８は、一般的に、太陽電池の裏側にアルミニウム又はアルミニウム合金のペーストを印刷した後、層を焼成することによって適用される。

【００１３】

表側金属パターンを設計する際には、競合因子を考慮しなければならない。遮光損失を最小限に抑えるために、金属トレースが可能な限り小さな領域を被覆するよう、デバイスの表面は光の透過を許容しなければならない。一方で、表側のシート抵抗は比較的高いことがあり（約５０Ω／□～１００Ω／□）、被覆率が低すぎると抵抗損失に繋がるので、効率的な電流の収集には、可能な限り大きい表面積被覆率が有利である。

【００１４】

表側金属パターンを形成するために、導電性ペーストのスクリーン印刷、インクジェット法、及びシード層上への電気めっきを含む種々の方法を使用してもよい。一般的に使用される１つの方法は、ガラスフリットを含む銀ペーストのスクリーン印刷であり、約８００℃での焼成工程が続いてこの間にペーストが反射防止コーティングを介して燃焼し、存在する場合には、金属ペーストの線と母線とのグリッドを形成する。この方法は合理的に良好な電気的接続、導電性及び接着性を有する導電性パターンを提供するが、焼成後のペーストは必然的に空隙及び非金属フィラーを含んでいるので、グリッド上への付加的な金属の堆積によって性能が更に向上する可能性がある。

【００１５】

表側導電性パターンを形成するために使用される別の方法では、反射防止コーティング中に形成された線と母線とのパターン上に、水溶性金属イオンの溶液から金属が堆積される。パターンを形成するために、エッチング、機械的スクライビング、又はレーザーイメージングが伴うフォトリソグラフィー等の種々の方法が使用されてもよい。そのような方法は、特許文献１に記載されている。

【００１６】

可溶性金属イオンの溶液からの金属の堆積は、酸化反応及び還元反応が起こる電気化学的機構により生じる。広く定義すると、溶液から基板上へ金属を堆積させる以下３つの異なる機構がある。

【００１７】

（１）ガルバニック堆積としても知られている置換堆積は、卑金属基板上への金属の堆積が、卑金属から貴金属への電子の移動を伴い、貴金属の堆積及び卑金属基板の溶解をもたらすものである。この方法は、卑金属基板が完全に覆われたときに通常は堆積が停止するので、堆積物の厚みが制限され得るという点において制限され得る。また、基板の一部が消費される。また、貴金属の堆積は下層の卑金属の溶解を伴うので、堆積した金属層は非連続となることがあり、導電性及び接着性が乏しくなる。

【００１８】

（２）電解めっきは、酸化及び還元が電流の外部供給源によって誘起されるものである。この方法は、速い堆積速度で緻密な高品質の金属層を提供し、厚みは制限されない。しかしながら、電気回路を完成させるために、基板に対して、浴中に存在するアノードと電

気的接続をしなければならない。電池との良好な電気的接続の作製は、壊れ易いシリコン基板の破損を生じる可能性があるため、問題となり得る。

【００１９】

（３）無電解めっきとしても知られる自己触媒堆積は、溶液中の還元剤の含有によって金属イオンの還元が化学的に行われ、触媒的に活性な表面上でのみ堆積が起こるものである。この方法は、電気的接続及び外部電源の必要性を排除する。しかしながら、実際にはこの方法には幾つかの欠点がある。まず、溶液が本質的に熱力学的に不安定であるため、工程が制御困難となることがあり、システムを最適化するために細心の注意を払わないと、金属の析出と共に自然分解が生じ得る。これが堆積速度を制限して堆積速度が非常に遅くなる可能性がある。具体的には、自己触媒銀めっき液は、非常に不安定であることが当技術分野でよく知られている。

【００２０】

これらの問題の幾つかを解決するために、従来技術は、例えば金属堆積をもたらす光誘起電圧を利用した光起電デバイスでの種々の電気めっき方法を示唆している。

【００２１】

その主題の全体が本願明細書中に援用される特許文献２は、金属イオンを含む電解質溶液中に電池を浸漬して、デバイスのアノード表面に金属のめっきが生じるように太陽電池の表面を光に露光し、太陽電池の表面上に電気接点をめっきする方法を記載している。デバイスが照射されると銀がアノードの裏側から溶解してカソードの表側に堆積するように、裏（アノード）側は銀の厚い犠牲層によって覆われている。シアン化物含有銀めっき液が記載されている。シアン化物含有銀電解質が優れためっきを生じさせることがよく知られているが、シアン化物の使用は、安全性だけでなく環境への配慮から好ましくない。

【００２２】

その主題の全体が参照することにより本願明細書中に援用される特許文献３は、特許文献２記載のものと同様の電解めっきの方法を記載している。加えて、特許文献３は、電池が光に照射されて電流が適切に調節されたときに裏側に堆積及び腐食のいずれも生じないように、デバイスのアノードの裏側がＤＣ電源の負極に取り付けられており、電源の正極がめっき液の銀電極に取り付けられている配置を記載している。この場合も、シアン化物含有銀めっき液が使用される。この配置を図３に示す。この方法の負の面は、電極の電池への取付けの必要性であり、これが壊れ易いシリコン基板の破損を生じる可能性がある。

【００２３】

その主題の全体が参照することにより本願明細書中に援用される特許文献４は、光電池上に印刷された金属の表側パターンが、銅又は銀等の金属の光誘起堆積により補強される方法を記載している。裏（アノード）側は、デバイスが照射されたときに裏側からの金属の溶解と同時に表側の堆積が起こることで電荷的中性が維持されるように、印刷された犠牲金属ペーストを含む。

【００２４】

その主題の全体が参照することにより本願明細書中に援用される特許文献５は、デバイスが、銀イオンと、少なくとも１つのニトロ含有化合物と、界面活性剤と、アミノ化合物と、アミノ酸又はスルホン酸のいずれかの少なくとも１つとを含む銀めっき液中に浸漬されながら光に露光される、光起電デバイスに電気接点をめっきする方法を記載している。しかしながら、この光起電デバイスを金属化する電解「光誘起めっき法」は、前述の特許文献３に記載された方法と同一又は同様であり、同じ欠点、即ち電源及びアノードに接続された電極の電池への接続の必要性がある。

【００２５】

その主題の全体が参照することにより本願明細書中に援用される特許文献６は、ヒダントイン又は置換ヒダントインとの錯体の形態の銀、電解質、及び２，２’－ジピリジルを含む非シアン化物銀めっき組成物を記載している。

【００２６】

その主題の全体が参照することにより本願明細書中に援用される特許文献７は、ヒダン

トイン又は置換ヒダントインとの錯体の形態の銀を含有する、シアン化物を含まない銀電気めっき浴を記載している。

【００２７】

その主題の全体が参照することにより本願明細書中に援用される特許文献８は、スクシンイミド等の有機ジカルボン酸のイミドと錯体化した銀を含有する、シアン化物を含まない銀めっき液を開示している。

【００２８】

その主題の全体が参照することにより本願明細書中に援用される特許文献９は、ピロリジン－２，５－ジオン（スクシンイミド）、又は３－ピロリン－２，５－ジオン（マレイミド）と錯体化した銀を含有する、シアン化物を含まない銀めっき液を記載している。

【００２９】

その主題の全体が参照することにより本願明細書中に援用される特許文献１０は、銀カチオン、チオ硫酸塩、及び亜硫酸塩を含む、シアン化物を含まない無電解銀めっき液を記載している。特許文献１０は、従来の銀めっき液よりも優れためっき速度及び溶液安定性を主張している。

【００３０】

無電解銀めっきもまた、幾つかの欠点がある。例えば、浴は、直ちに起こる分解に対して非常に不安定であることがよく知られており、沈殿による銀の損失、浴の寿命の制限、及び金属が存在しないままであるべき表面領域への望まない堆積を引き起こす。また、めっき速度は、好適な安定性に必要な条件下では一般的に非常に遅い。

【００３１】

外部電源がデバイスに電流を提供する従来技術に記載の光誘起めっき等の電気めっきにより、より高速なめっき速度を得ることができる。しかしながら、電気接点の取付けは、それが壊れ易いシリコン太陽電池の破損を生じ得るという点で問題となり得る。

【００３２】

従って、電気接点の取付けからシリコン太陽電池の破損を生じることなく、電気めっきにより実現されるめっき速度の高速化を可能にし、更に無電解銀めっきの上述の欠点を最小限にするめっき方法を提供することが望ましい。

【００３３】

本発明は、特定のめっき液及びめっき方法を用いることによって、これらの欠点に対処する。光電池上に金属をめっきするために使用する場合、本発明の改良されためっき液は、光により活性化される。めっき液はシアン化物を含まない。デバイスとの電気的接続は必要ない。

【先行技術文献】

【特許文献】

【００３４】

【特許文献１】国際公開第２００５／０８３７９９号
【特許文献２】米国特許第４，１４４，１３９号明細書（Ｄｕｒｋｅｅ）
【特許文献３】米国特許第４，２５１，３２７号明細書（Ｇｒｅｎｏｎ）
【特許文献４】米国特許第５，８８２，４３５号明細書（Ｈｏｌｄｅｒｍａｎｎ）
【特許文献５】米国特許出願公開第２００８／００３５４８９号明細書（Ａｌｌａｒｄｙｃｅ）
【特許文献６】米国特許出願公開第２００７／０１５１８６３号明細書（Ｍｏｒｒｉｓｓｅｙ）
【特許文献７】米国特許第５，６０１，６９６号明細書（Ａｓａｋａｗａ）
【特許文献８】米国特許第４，１２６，５２４号明細書（Ｈｒａｄｉｌ等）
【特許文献９】米国特許第４，２４６，０７７号明細書（Ｈｒａｄｉｌ等）
【特許文献１０】米国特許第５，３２２，５５３号明細書（Ｍａｎｄｉｃｈ等）

【発明の概要】

【発明が解決しようとする課題】

【００３５】
酸化アルミニウムは酸又は塩基により溶解可能であるため、水溶液中で極めて酸性度又はアルカリ性度の高いｐＨ下を除き、アルミニウムは、非貴金属でありながら、酸化アルミニウムによって不動態化されて通常良好に残存することがよく知られている。更に、酸性又はアルカリ性の溶液中の水との反応により、高速の制御不可能な腐食を受けることがある。従って、ジレンマは、制御されない腐食を回避するためには中性又は中性に近いｐＨが望ましいが、アルミニウムは通常、中性又は中性に近いｐＨでは良好に不動態化したままである点にある。本発明者らは、光電池の裏面の金属の溶解を補助する特定の試薬を含有させることが、より中性のｐＨ下で安定した制御可能な溶解をもたらすことができることを見出した。

【００３６】
本発明の目的は、非接触の、光誘起型の自己触媒又は置換工程により光起電デバイス上に金属導体をめっきするための方法及び組成物を提供することにある。

【００３７】
本発明の別の目的は、光によって活性化される自己触媒又は置換工程により光起電デバイス上に金属導体をめっきするための方法及び組成物を提供することにある。

【課題を解決するための手段】

【００３８】
この目的のために、一実施形態において、本発明は、一般的に、太陽光電池上の金属接点をめっきするための組成物であって、

【００３９】
ａ）可溶性銀イオン源と、
ｂ）太陽光電池の裏面の金属（通常はアルミニウム又はアルミニウム合金）の溶解補助剤と、
を含む組成物に関する。

【００４０】
別の実施形態において、本発明は、一般的に、表側と裏側とを有する太陽光電池に金属の厚い層を堆積させて前記太陽光電池を金属化する方法であって、前記裏側が、アルミニウム及びアルミニウム合金からなる群から選択される金属の層を含み、前記表側が、その上に金属パターンを有し、
ａ）太陽光電池を、ｉ）可溶性銀イオン源と、ｉｉ）裏側の金属から溶解した金属イオンの可溶化剤とを含む光誘起めっき組成物と接触させる工程と、その後、
ｂ）光源からの放射エネルギーを前記太陽光電池に照射する工程と、
を含み、太陽電池の表側と裏側とは逆帯電し、めっき液からの金属イオンが前記太陽電池の表側の金属パターン上にめっきされ、それによって、金属の層がその上に堆積されて裏側の金属層のイオンがめっき液中へ溶解することを特徴とする方法に関する。

【００４１】
この方法を使用すると、金属の還元電位が水の還元電位よりも大きいことを条件として、任意の金属をそのイオン溶液から太陽電池の表側に堆積させることができる。好ましい金属としては、その高い導電性により、銅及び銀、特に銀が挙げられる。

【図面の簡単な説明】

【００４２】
【図１】図１は、シリコン太陽電池の表側と裏側とを示す。
【図２】図２は、シリコン太陽電池の断面図を示す。
【図３】図３は、従来技術の光誘起電解めっき工程の実施形態を示す。
【図４】図４は、本発明の光誘起めっき工程の実施形態を示す。

【発明を実施するための形態】

【００４３】
本発明は、一般的に、光により活性化され、デバイスとの電気的接続を必要としない工程によって光起電デバイス上へ金属接点をめっきする方法及び組成物に関する。

【００４４】
一実施形態では、本発明の光誘起めっき組成物は、
ａ）可溶性銀イオン源と、
ｂ）アルミニウム及びアルミニウムの合金成分を含む金属イオンの溶解補助剤と、
を含む。
【００４５】
銀（Ｉ）を含む殆ど全ての化合物を、本発明の組成物において使用することができる。可溶性銀イオン源としては、酸化銀、硝酸銀、メタンスルホン酸銀、酢酸銀、硫酸銀、クエン酸銀、又は他の任意の銀塩であってもよいが、一例でありこれらに限定されるものではない。一実施形態では、可溶性銀イオン源は、好ましくは、硫酸銀、酢酸銀、又はメタンスルホン酸銀である。好ましい実施形態では、可溶性銀イオン源は、金属銀として約１ｇ／Ｌ～３５ｇ／Ｌの濃度で本発明の光誘起めっき組成物中に存在する。
【００４６】
理論に縛られることは望まないが、本発明者らは、太陽電池の表側上のめっき反応は、負電荷が電池の表（カソード）側に蓄積し、正電荷（「正孔」）が裏（アノード）側に蓄積される、光に対する太陽電池の曝露により引き起こされる電位によって推進される金属カチオンの還元として開始すると考えている。めっき反応が進行すると、光子の吸収がバルクシリコン中の電子－正孔対を生成し続け、ｐｎダイオードにより生じる電圧のため、負電荷は電池の表側に移動し、正電荷は裏側に移動する。アルミニウムイオンの溶解を伴う電池の裏側の金属アルミニウムからの電子の移動によって、正電荷、即ち正孔が中和され、めっき反応の進行を推進する。このようにしてめっき反応を円滑に継続するためには、めっき液が、裏側の他の金属、特に典型的には母線を形成する硬化銀ペーストの形で存在する銀に対して優先的に、太陽電池の裏側からのアルミニウムイオン（及び任意のアルミニウム合金成分のイオン）を可溶化させる作用因子を含むことが重要である。
【００４７】
めっき組成物は、太陽電池の裏側から溶解したアルミニウムイオンを（直接又はキレート化を介して）可溶化することができる化合物を含まなければならない。可溶化化合物は、銀よりも優先的にアルミニウムを可溶化することができなければならない。これらの可溶化化合物としては、グリオキシル酸、グリコール酸、乳酸、又は任意のα－又はオルト－ヒドロキシカルボン酸、脂肪族ジカルボン酸、例えばクエン酸、酒石酸、リンゴ酸、又は他の任意のヒドロキシポリカルボン酸等のヒドロキシポリカルボン酸を挙げることができる。好ましい可溶化化合物は、クエン酸、酒石酸、及びグリオキシル酸である。めっき組成物中の可溶化化合物の濃度は重要ではないが、好ましくは１ｇ／Ｌ～１５０ｇ／Ｌの範囲とすることができ、最も好ましくは１０ｇ／Ｌ～３０ｇ／Ｌである。
【００４８】
還元剤をめっき組成物に添加してもよいが、必須ではない。理論に縛られることは望まないが、本発明者らは、めっき反応は、還元剤によって、還元剤から電池の表側又は裏側への電子の直接の移動を介して補助され得ると考えている。使用する場合の還元剤としては、ホルムアルデヒド、グルコース、デキストロース、グリオキサール、硝酸により転化された糖、ヒドラジン又はヒドラジン硫酸塩、アルドン酸、アルドン酸ラクトン、酒石酸塩（「ロッシェル塩」としても知られる）、コバルトイオン、硫化物塩、亜硫酸塩、チオ硫酸塩、次亜リン酸塩、水素化ホウ素塩、ジメチルアミンボラン又は他のアルキルアミンボラン、ヒドラジンボラン、及びシアノ水素化ホウ素塩が挙げられるが、一例でありこれらに限定されるものではない。当技術分野で公知の他の還元剤も、本発明において使用できるであろう。一実施形態では、還元剤は、グリオキシル酸塩、ロッシェル塩、又はグリオキサールである。好ましい実施形態では、還元剤は、約１ｇ／Ｌ～約６０ｇ／Ｌの濃度で本発明の光誘起めっき組成物中に存在するが、最も好ましくは１５ｇ／Ｌ～２０ｇ／Ｌである。
【００４９】
銀カチオンを可溶化及び安定化するため、及び存在し得る金属不純物を封鎖するために

、随意の錯化剤を添加してもよい。銀錯化剤としては、シアン化物、スクシンイミド又は置換スクシンイミド、ヒダントイン又は置換ヒダントイン、ウラシル、チオ硫酸塩、アンモニア、又は他のアミン類が挙げられるが、一例でありこれらに限定されるものではない。前述のように、シアン化物の使用は、安全性及び環境への配慮から望ましくない。アンモニアの使用もまた、その揮発性、及び乾燥時に爆発性の銀塩を形成するその能力から好ましくない。好ましい実施形態では、錯化剤は、ヒダントイン又は５，５－ジメチルヒダントイン、又は他の置換ヒダントインである。使用する場合、錯化剤は、約２０ｇ／Ｌ～約１５０ｇ／Ｌ、より好ましくは約４０ｇ／Ｌ～８０ｇ／Ｌの濃度で、光誘起めっき組成物中に存在してもよい。

【００５０】

最後に、本発明の組成物は、種々の界面活性剤（ｓｕｒｆａｃｅ　ａｃｔｉｖｅ　ａｇｅｎｔ）、結晶成長抑制剤、光沢剤、又は界面活性剤（ｓｕｒｆａｃｔａｎｔ）を含んでもよい。例えば、ポリエチレンイミン、ポリエチレングリコール、２，２’－ジピリジル、ヒスチジン、システイン、イミダゾール、又はイミダゾール誘導体を本発明の組成物に添加してもよいが、一例でありこれらに限定されるものではない。銀白色の堆積層の製造に有益であることを本発明者らが見出した好ましい光沢剤は、ヒスチジンである。

【００５１】

溶液のｐＨは、適切なｐＨ調整剤を用いて、好ましくは約７．０～１２．０、より好ましくは約８．８～９．５に調整される。溶液のｐＨを調整するために、水酸化カリウム、水酸化ナトリウム、硫酸、又は酢酸を使用してもよいが、一例でありこれらに限定されるものではない。

【００５２】

図４に示すように、本発明は、一般的に、表側と裏側とを有する太陽光電池に金属の層を堆積させて金属化する方法であって、前記裏側が、アルミニウム及びアルミニウム合金からなる群から選択される金属の層を含み、前記表側が、その上に金属パターンを有し、

ａ）太陽光電池を、ｉ）可溶性銀イオン源と、ｉｉ）裏側の金属から溶解した金属イオンの可溶化剤とを含む光誘起めっき組成物と接触させる工程と、その後、

ｂ）光源からの放射エネルギーを前記太陽光電池に照射する工程と、

を含み、太陽電池の表側と裏側とは逆帯電し、光誘起めっき液からの金属イオンが前記太陽電池の表側の金属パターン上にめっきされ、それによって、金属の層がその上に堆積されて裏側の金属層のイオンが光誘起めっき液中へ溶解することを特徴とする方法に関する。

【００５３】

上述のように、太陽電池の表側の金属パターンは、一般的に、複数の電流収集線及び母線を含む。

【００５４】

本発明の光源は、放射エネルギーを太陽光電池に照射するように配置されている。例えば、ハロゲンランプ、白熱ランプ、蛍光ランプ、発光ダイオード、又は水銀ランプを含む種々の光源を、本発明の実施において使用することができる。波長がシリコンのバンドギャップエネルギーに対応する約１１５０ｎｍ以下であることを条件として、任意の強度又は波長の光を使用することができる。

【００５５】

光電池を光誘起めっき組成物と接触させる工程は、典型的には、めっき組成物中に光電池を浸漬することを含む。本発明の実施においては、外部電源への電気的接触が必要とされない。

【００５６】

理論に縛られることは望まないが、本発明者らは、カソード上の金属イオンの還元による光活性化めっきには、２つの可能な機構が存在すると考えている。まず、電子がカソードから金属カチオンに直接寄与して金属原子の堆積を引き起こす可能性があり、正電荷が反対のアノード側に蓄積するので、めっき液中に存在する化学的還元剤の酸化によるか、

又は反対のアノード側からの金属の酸化及び溶解により、電子がこの反対側に供給されるに違いない。或いは、カソードが化学的還元剤から金属への電子の寄与を触媒し、カソード上の金属イオンの堆積を生じる可能性がある。これらの２つの機構の組合せが生じていてもよい。どちらの機構の結果も同じであり、即ち、電池への外部の電気接点の取付けを必要とせずに、金属の光誘起堆積が金属カソード上へ選択的に生じる。

【実施例】

【００５７】

実施例１

めっき液を以下のように作製した。

７２．６ｇ／Ｌの５，５－ジメチルヒダントイン

２０．２ｇ／Ｌの酢酸銀

１４．０ｇ／Ｌのメタンスルホン酸カリウム

３０．０ｇ／Ｌの酒石酸ナトリウムカリウム（「ロッシェル塩」）

ＫＯＨを添加してｐＨ＝９．１にした。

【００５８】

実施例２

めっき液を以下のように作製した。

７２．６ｇ／Ｌの５，５－ジメチルヒダントイン

２０．２ｇ／Ｌの酢酸銀

１８．２のグリオキシル酸水和物

７２．７　ｇ／Ｌのメタンスルホン酸カリウム

ＮａＯＨを添加してｐＨ＝９．２にした。

【００５９】

実施例３

めっき液を以下のように作製した。

４８．０ｇ／Ｌのヒダントイン

１０．３ｇ／Ｌのメタンスルホン酸

３２．０ｇ／Ｌのホウ酸

２８．７ｇ／Ｌのメタンスルホン酸銀

５４．０ｇ／Ｌのグリオキシル酸水和物

ＫＯＨを添加してｐＨ＝８．８にした。

【００６０】

比較例１

比較のため、以下のように可溶化剤又は還元剤の無いめっき液を作製した。

７２．６ｇ／Ｌの５，５’－ジメチルヒダントイン

２０．２ｇ／Ｌの酢酸銀

ＮａＯＨを添加してｐＨ＝９．１にした。

【００６１】

図１及び図２に示すような太陽電池を、これらの溶液でめっきした。表側の線は、印刷された銀ペーストからなり、トップダウン型光学顕微鏡で測定して約８２μｍの平均幅であった。裏側の母線は、印刷された銀ペーストからなり、蛍光Ｘ線（ＸＲＦ）で測定して約４．５μｍの厚みであった。

【００６２】

めっき液を、透明なガラスビーカー中で４５℃に加熱した。太陽電池片を、約５インチの距離から２５０Ｗのハロゲンランプを使用して表側を照射しながら、８分間めっき液に浸漬した。次いで電池を脱イオン水ですすぎ、乾燥させた。処理後の線幅をトップダウン型光学顕微鏡により測定し、裏側の母線の厚みをＸＲＦにより測定した。

【００６３】

表１は、光顕微鏡及びＸＲＦを用いてそれぞれ測定した、表側の線幅及び裏側の母線の厚みの結果を示す。

【００６４】
【表１】

めっき液	表側の線幅（μｍ）	裏側の母線の厚み（μｍ）
無し（対照群）	82	4.5
実施例１	117	5.1
実施例２	98	5.6
実施例３	92	3.8
比較例１	81	2.8

【００６５】
実施例１～実施例３では表側の線幅の大幅な増加が観察された一方で、比較例１は増加を示さなかった。加えて、実施例１～実施例３では裏側の銀母線の厚みの純増加があった一方で、比較例１は、母線のアノード腐食の発生を示唆する純減少を示した。
【００６６】
実施例４
市販の非シアン化物銀めっき液（ＥＰＩ　Ｅ－Ｂｒｉｔｅ　５０／５０）から銀でめっきした電池と、本発明との間で比較を行った。
【００６７】
本発明の溶液を以下のように作製した。
１７．５ｇ／Ｌの酢酸銀
５２．５ｇ／Ｌのヒダントイン
２２．８ｇ／Ｌのホウ酸
８．７ｇ／Ｌのメタンスルホン酸
３９．５ｇ／Ｌのロッシェル塩
５２．０ｇ／Ｌのグリオキシル酸水和物
ＫＯＨを添加してｐＨを８．８に調整した。
【００６８】
太陽電池片を、これらの溶液でめっきした。表側の線は、印刷された銀ペーストからなり、トップダウン型光学顕微鏡で測定して約８２μｍの平均幅であった。電池片を、約５インチの距離から２５０Ｗのランプを使用して表側を照射しながら、透明なガラスビーカー中で４５℃で８分間、この実施例４の溶液中でめっきした。比較のために、銀ワイヤを表側の銀ペーストのグリッドに固定し、これを次いで回路を完成するために不活性アノードで電源に接続し、０．４ａｍｐｓ／ｄｍ^{2}と同等の電流を１８０秒間流すことによって、電池片を市販の銀めっき浴中で電気めっきした。次いで電池片を脱イオン水ですすぎ、乾燥させた。処理後の線幅をトップダウン型光学顕微鏡により測定した。
【００６９】
トップダウン型光学顕微鏡で観察されるように、未処理の対照群の平均のフィンガー幅は、約１２０μｍであった。めっき後、電気めっきしたフィンガー及び光誘起めっきしたフィンガーの双方とも、平均のフィンガー幅は約１３０μｍであった。本発明を用いてめっきしたフィンガーの表面形状は、より滑らかで均一であり、緻密な銀の堆積層は本発明の方がより厚い。
【００７０】
実施例５
光誘起めっきによりめっきされた裏側銀ペーストの母線について、ロッシェル塩の含有の有無で比較した。
【００７１】
溶液５Ａを以下のように作製した。
１３．５ｇ／Ｌの硫酸銀
８９．６ｇ／Ｌの５，５－ジメチルヒダントイン

３６．３ｇ／Ｌの酢酸ナトリウム
ＫＯＨを添加してｐＨを９．３に調整した。
【００７２】
１０．７５ｇ／Ｌのロッシェル塩を含有させた点を除いて、溶液５Ａと同様に溶液５Ｂを作製した。
【００７３】
太陽電池片を、これらの溶液でめっきした。電池片を、約５インチの距離から２５０Ｗのランプを使用して表側を照射しながら、透明なガラスビーカー中で５０℃で７分間、溶液５Ａ及び溶液５Ｂの中でめっきした。次いで電池片を脱イオン水ですすぎ、乾燥させた。
【００７４】
ロッシェル塩を含まない溶液５Ａ中でめっきした場合は、裏側母線を含む銀ペーストの激しい腐食が容易に観察できる一方で、ロッシェル塩を含む溶液５Ｂ中でめっきした場合は、目視では腐食を観察できない。母線における銀の厚みを、蛍光Ｘ線（ＸＲＦ）で測定した。溶液５Ａ中でめっきした片については、約０．１μｍ～２．７μｍの範囲の不均一な厚みが測定された。溶液５Ｂ中でめっきした片については、３．５μｍの均一な厚みが測定された。
【００７５】
実施例６
光誘起めっき後の表側銀ペーストのフィンガー、及び裏側銀ペーストの母線について、クエン酸又はロッシェル塩の含有の有無で比較した。
【００７６】
溶液６Ａを以下のように作製した。
８．６ｇ／Ｌの硫酸銀
５４．０ｇ／Ｌの５，５－ジメチルヒダントイン
１９．０ｇ／Ｌの酢酸
ＫＯＨを添加してｐＨを９．２に調整した。
【００７７】
表２に示す可溶化剤を含有させた点を除き、溶液６Ａと同様に溶液６Ｂ～溶液６Ｈを作製した。
【００７８】
【表２】

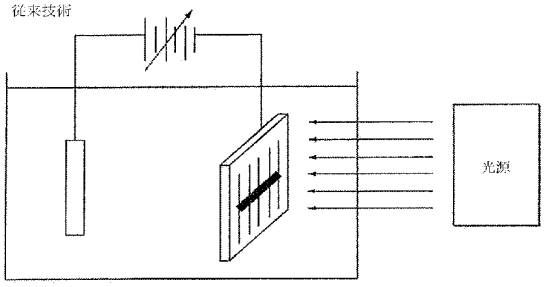
めっき液	可溶化剤	可溶化剤濃度（g／L）
6A	無し	n.a.
6B	ロッシェル塩	12.0
6C	クエン酸	15.0
6D	スルファミン酸	23.0
6E	ホウ酸	16.4
6F	リン酸ナトリウム	12.0
6G	グルコヘプタン酸ナトリウム	12.8
6H	グリシン	14.2

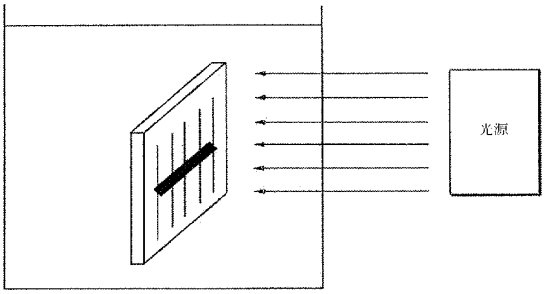
【００７９】
太陽電池片を、これらの溶液でめっきした。約５×５ｃｍ^{2}の電池片を、約５インチの距離から２５０Ｗのランプを使用して表側を照射しながら、透明なガラスビーカー中で５０℃で６分間及び１６分間、溶液６Ａ～溶液６Ｈの中でめっきした。次いで電池片を脱イオン水ですすぎ、乾燥させた。電池を、めっきの前後で秤量して増加した質量を決定した。処理後の線幅をトップダウン型光学顕微鏡により測定し、裏側の母線の厚みをＸＲＦにより測定した。未処理（対照群）の電池は、表側の平均のフィンガー幅が９４μｍであり、裏側の銀母線の厚みが７．７μｍであった。

【００８０】
【表３】

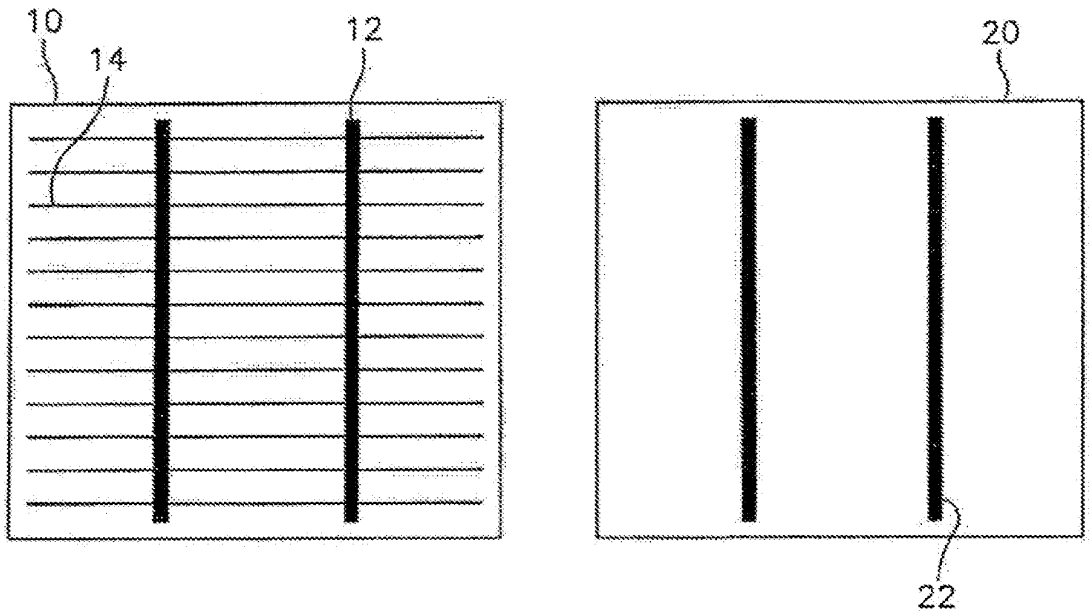
めっき液	電池の質量増加（mg）		表側の銀フィンガーの幅（μm）		裏側の銀母線の厚み（μm）	
	6分間	16分間	6分間	16分間	6分間	16分間
6A	4	7	106	115	7.3	7.1
6B	11	51	114	136	7.9	9.0
6C	12	56	108	138	7.8	9.6
6D	2	18	103	115	6.9	6.6
6E	−1	7	94	104	5.8	5.6
6F	1	2	104	107	6.4	2.9
6G	3	11	110	126	7.2	6.8
6H	7	9	99	108	6.4	6.1

【００８１】
ロッシェル塩及びクエン酸をそれぞれ含む、光誘起めっき液６Ｂ及び６Ｃは、めっき後の最大の質量増加及びフィンガー幅を与えた。

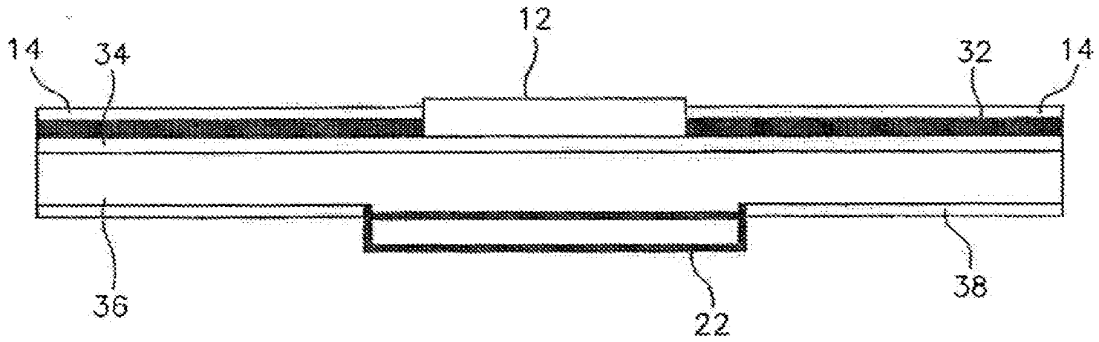
【図３】


【図４】


【図１】



【図２】



【国際調査報告】

INTERNATIONAL SEARCH REPORT	International application No. PCT/US12/47025

A. CLASSIFICATION OF SUBJECT MATTER
IPC: H01L 31/18(2006.01)

USPC: 438/66;257/E31.117
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
U.S. : 438/66, 226; 257/E31.117

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Please See Continuation Sheet

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2008/0035489 A1 (ALLARDYCE et al.) 14 February 2008 (14.02.2008), entire document.	1-18
Y	US 6,183,545 B1 (OKUHAMA et al.) 06 February 2001 (06.02.2001), entire document.	1-18
Y	US 5,882,435 A (HOLDERMANN) 16 March 1999 (16.03.1999), entire document.	1-18
Y	US 5,322,553 A (MANDICH et al.) 21 June 1994 (21.06.1994), entire document.	6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 August 2012 (21.08.2012)	24 AUG 2012
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Authorized officer Bill Krynski Telephone No. (571) 272-1024

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT	International application No. PCT/US12/47025

Continuation of B. FIELDS SEARCHED Item 3:
EAST: US-PGPUB; USPAT; USOCR
Search terms: reducing, complexing, light, illuminat$4, electroless, silver, rochelle, hydantoin, dissolv$3, photo, plat$3, solar, cell, disolv$3, aluminum, solubiliz$5, tartaric citric

Form PCT/ISA/210 (extra sheet) (April 2007)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA

(72)発明者 デヴィッド・ダブリュー・ミンスク
アメリカ合衆国 ０６７７６ コネチカット州 ニュー ミルフォード スカイビュー ドライブ ２０
(72)発明者 レブ・タイトサス
アメリカ合衆国 ０６７７０ コネチカット州 ノーガタック アパートメント ８ ビーコン バリー ロード ６９７

Ｆターム(参考) 5F151 AA02 AA03 FA06 FA10 FA13 FA15 GA04

Espacenet

Bibliographic data: JP2014053452 (A) — 2014-03-20

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Inventor(s): ISOGAI TATSUNORI ± (ISOGAI TATSUNORI)

Applicant(s): TOSHIBA CORP ± (TOSHIBA CORP)

Classification: - international: ***H01L21/22; H01L21/265; H01L21/336; H01L21/8234; H01L21/8238; H01L27/088; H01L27/092; H01L29/78***

- cooperative: **H01J37/32412**; **H01L21/2236**; **H01L21/26526**; **H01L21/823814**; **H01L29/66477**; H01J37/32091; H01L21/26506; H01L29/6659

Application number: JP20120196951 20120907 Global Dossier

Priority number (s): JP20120196951 20120907

Also published as: US2014073105 (A1)

Abstract of JP2014053452 (A)

PROBLEM TO BE SOLVED: To provide a manufacturing method that reduces the intrusion of hydrogen in introducing an impurity and improves the reliability of a semiconductor device.SOLUTION: A method of manufacturing a semiconductor device includes the steps of: forming a first impurity layer containing a first impurity element on an impurity diffusion layer; irradiating the first impurity layer with first ions having first energy; and irradiating the first impurity layer with second ions having second energy higher than the first energy.

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-53452
(P2014-53452A)
(43)公開日　平成26年3月20日(2014.3.20)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/22	(2006.01)	H01L	21/22	P	5F048
H01L 21/265	(2006.01)	H01L	21/265	F	5F140
H01L 21/336	(2006.01)	H01L	29/78	301Y	
H01L 29/78	(2006.01)	H01L	29/78	301S	
H01L 21/8238	(2006.01)	H01L	27/08	321E	

審査請求 未請求　請求項の数 8　OL　（全 18 頁）　最終頁に続く

(21)出願番号　特願2012-196951 (P2012-196951)
(22)出願日　平成24年9月7日 (2012.9.7)

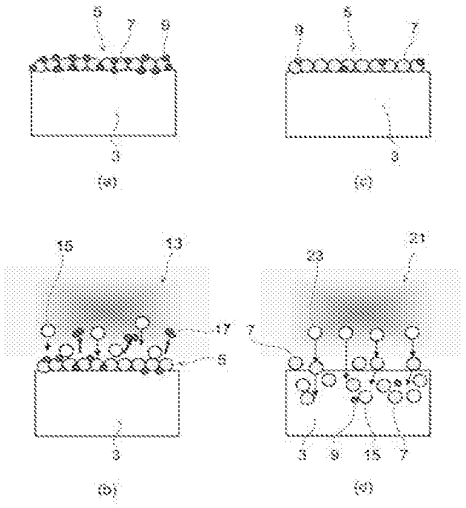
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100108062
弁理士　日向寺　雅彦
(72)発明者　磯貝　達典
東京都港区芝浦一丁目１番１号　株式会社東芝内

Fターム(参考)　5F048 AC01 AC03 BB06 BB07 BB08 BB12 BE03 BF06 BF07 BF15 BF16 BG13 DA23

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】
【課題】実施形態は、不純物の導入時における水素の混入を低減し、半導体装置の信頼性を向上させる製造方法を提供する。
【解決手段】実施形態に係る半導体装置の製造方法は、第１の不純物原子を含む第１の不純物層を、不純物拡散層の上に形成するステップと、前記第１の不純物層に第１のエネルギーを有する第１のイオンを照射するステップと、前記第１のエネルギーよりも高い第２のエネルギーを有する第２のイオンを前記第１の不純物層に照射するステップと、を備える。
【選択図】図１



【特許請求の範囲】
【請求項１】
半導体層上に絶縁膜を介して設けられた第１の不純物拡散層上に、Ｂ、Ｃ、Ｐ、Ａｓ、ＳｂおよびＩｎを含む群から選択された少なくとも１つの第１導電型の不純物原子を含む第１の不純物層を形成するステップと、
Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅを含む群から選択された少なくとも１つの原子を励起した第１のイオンであって、第１のエネルギーを有する第１のイオンを前記第１の不純物層に照射するステップと、
Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅを含む群から選択された少なくとも１つの原子を励起した第２のイオンであって、前記第１のエネルギーよりも高い第２のエネルギーを有する前記第２のイオンを前記第１の不純物層に照射し、前記第１導電型の不純物原子を前記不純物拡散層に導入するステップと、
第２の不純物拡散層上に、Ｂ、Ｃ、Ｐ、Ａｓ、ＳｂおよびＩｎを含む群から選択された少なくとも１つの第２導電型の不純物原子を含む第２の不純物層を形成するステップと、
Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅを含む群から選択された少なくとも１つの原子を励起した第３のイオンであって、第３のエネルギーを有する第３のイオンを前記第２の不純物層に照射するステップと、
Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅを含む群から選択された少なくとも１つの原子を励起した第４のイオンであって、前記第３のエネルギーよりも高い第４のエネルギーを有する前記第４のイオンを前記第２の不純物層に照射し、前記第２導電型の不純物原子を前記不純物拡散層に導入するステップと、
を備え、
前記第１の不純物層を形成するステップと、前記第１の不純物層に前記第１のエネルギーを有する前記第１のイオンを照射するステップと、前記第１の不純物層に前記第２のエネルギーを有する前記第２のイオンを照射するステップと、を、同一のチャンバー内で実施し、
前記第２の不純物層を形成するステップと、前記第２の不純物層に前記第３のエネルギーを有する前記第３のイオンを照射するステップと、前記第２の不純物層に前記第４のエネルギーを有する前記第４のイオンを照射するステップと、を、同一のチャンバー内で実施する半導体装置の製造方法。
【請求項２】
第１の不純物原子を含む第１の不純物層を、不純物拡散層の上に形成するステップと、
前記第１の不純物層に第１のエネルギーを有する第１のイオンを照射するステップと、
前記第１のエネルギーよりも高い第２のエネルギーを有する第２のイオンを前記第１の不純物層に照射するステップと、
を備えた半導体装置の製造方法。
【請求項３】
前記第２のイオンは、前記第１のイオンと同じ種類の原子を励起したイオンである請求項２記載の半導体装置の製造方法。
【請求項４】
前記第１の不純物層を形成するステップと、前記第１の不純物層に前記第１のエネルギーを有する前記第１のイオンを照射するステップと、前記第１の不純物層に前記第２のエネルギーを有する前記第２のイオンを照射するステップと、を、同一のチャンバー内で実施する請求項２または３に記載の半導体装置の製造方法。
【請求項５】
前記第１の不純物原子は、Ｂ、Ｃ、Ｐ、Ａｓ、ＳｂおよびＩｎから選択される少なくとも１つである請求項２～４のいずれか１つに記載の半導体装置の製造方法。
【請求項６】
前記第１のイオンは、Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅから選択される少なくとも１つの原子を励起したイオンであり、

前記第２のイオンは、Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅから選択される少なくとも１つの原子を励起したイオンである請求項２～５のいずれか１つに記載の半導体装置の製造方法。

【請求項７】

前記不純物拡散層を熱処理し、前記第１の不純物原子を活性化させるステップをさらに備えた請求項１～６のいずれか１つに記載の半導体装置の製造方法。

【請求項８】

前記不純物拡散層の上に第２の不純物原子を含み、前記第１の不純物層よりも厚い第２の不純物層を形成するステップと、

前記第２の不純物層に第３のエネルギーを有する第３のイオンを照射するステップと、

前記第２および第３のエネルギーよりも高い第４のエネルギーを有する第４のイオンを前記第２の不純物層に照射し、前記第２の不純物原子を前記第１の不純物原子よりも深い位置に導入するステップと、

を備えた請求項２記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

実施形態は、半導体装置の製造方法に関する。

【背景技術】

【０００２】

半導体装置の製造過程では、半導体に不純物をドーピングするために、ビームライン型のイオン注入装置が多用されている。このタイプのイオン注入装置は、低エネルギー、高ドーズの注入条件において、ビーム輸送効率が低下し生産性を低下させる場合がある。そこで、低エネルギー、高ドーズのイオン注入に適したプラズマドーピング法が注目されている。この方法では、プラズマ中に含まれる不純物イオンを、基板とプラズマとの間の電位差により加速し、半導体中に注入する。したがって、プラズマに曝される基板の全面に不純物を同時に注入することが可能であり、短時間の高ドーズ注入を実現できる。

【０００３】

しかしながら、プラズマドーピングでは、所望の不純物イオンだけではなく、プラズマ中に存在する他のイオンも注入されてしまう。例えば、不純物ガスとして用いられるジボラン（B_2H_6）、ホスフィン（PH_3）、アルシン（AsH_3）は、いずれも水素を含有している。このため、プラズマ中には、ホウ素（Ｂ）、リン（Ｐ）、ヒ素（Ａｓ）などの不純物イオンと水素イオンとが励起され、共に半導体に注入される。そして、質量の小さな水素イオンが不純物イオンよりも深い位置まで注入され、半導体装置の特性に悪影響を与える場合がある。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平０７－１０６５８７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

実施形態は、不純物の導入時における水素の混入を低減し、半導体装置の信頼性を向上させる半導体装置の製造方法を提供する。

【課題を解決するための手段】

【０００６】

実施形態に係る半導体装置の製造方法は、第１の不純物原子を含む第１の不純物層を、不純物拡散層の上に形成するステップと、前記第１の不純物層に第１のエネルギーを有する第１のイオンを照射するステップと、前記第１のエネルギーよりも高い第２のエネルギーを有する第２のイオンを前記第１の不純物層に照射するステップと、を備える。

【図面の簡単な説明】
【０００７】
【図１】第１実施形態に係る半導体装置の製造過程を表す模式断面図である。
【図２】第１実施形態に係る半導体製造装置を表す模式図である。
【図３】第１実施形態に係る半導体製造装置の動作を表すフローチャートである。
【図４】第２実施形態に係る半導体装置の製造過程を表す模式断面図である。
【図５】図４に続く製造過程を表す模式断面図である。
【図６】第３実施形態に係る半導体装置の製造過程を表す模式断面図である。
【図７】図６に続く製造過程を表す模式断面図である。
【図８】比較例に係る半導体装置の製造過程を表す模式断面図である。
【発明を実施するための形態】
【０００８】
以下、実施の形態について図面を参照しながら説明する。なお、図面中の同一部分には同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。
【０００９】
（第１実施形態）
図１は、第１の実施形態に係る半導体装置の製造過程を表す模式断面図である。本実施形態に係る半導体製造装置の製造方法は、不純物拡散層の上に不純物原子を含む不純物層を形成するステップと、不純物層に第１のエネルギーを有する第１のイオンを照射するステップと、第１のエネルギーよりも高い第２のエネルギーを有する第２のイオンを不純物層に照射するステップと、を備える。
【００１０】
ここで、不純物拡散層とは不純物原子が導入される層であり、例えば、絶縁層、金属層、半導体層、または、半導体基板であっても良い。以下、半導体基板に不純物を導入する例について説明する。
【００１１】
図１（ａ）は、基板３の上に不純物層５を形成するステップを表している。不純物層５は、基板３にドーピングする不純物原子７を含む。なお、ここで言う基板とは、例えば、半導体基板、ウェル領域を形成した半導体基板、または、半導体層を形成した基板である。
【００１２】
不純物層５は、例えば、ＰＣＶＤ（Plasma−assisted Chemical Vapor Deposition）法を用いて形成する。不純物原子７として、例えば、ボロン（Ｂ）、炭素（Ｃ）、リン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）およびインジウム（Ｉｎ）から選択される少なくとも１つを用いることができる。
【００１３】
不純物原子７としてリン（Ｐ）を用いる場合、例えば、ホスフィン（PH_3）を原料として、ＰＣＶＤ法により不純物層５を堆積する。そして、図１（ａ）に示すように、基板３の上に堆積された不純物層５は、不純物原子７であるリン原子と、水素原子９と、を含む。水素原子９は、例えば、リン原子と結合した状態（Ｐ－Ｈ結合）、または、水素分子の状態で不純物層５に取り込まれる。
【００１４】
図１（ｂ）は、不純物層５に第１のエネルギーを有する第１のイオン（以下、イオン１５）を照射するステップを表している。例えば、ヘリウム（Ｈｅ）、ネオン（Ｎｅ）、アルゴン（Ａｒ）、クリプトン（Ｋｒ）およびキセノン（Ｘｅ）から選択される少なくとも１つの原子を含むガスを励起してプラズマ１３を発生させ、その原子をイオン化させる。そして、基板３をプラズマ１３に曝すか、または、プラズマ１３と基板３との間に電位差を生じさせるか、もしくは、その両方により、第１のエネルギーを有するイオン１５を不純物層５に照射する。
【００１５】

この過程において、図１（ｂ）に示すように、不純物原子７と水素原子９との間の結合がイオン１５の衝突により断ち切られ、水素原子９は、水素分子１７となって不純物層５から離脱する。すなわち、イオン１５は、水素原子９に衝突し、不純物原子７と水素原子９の結合を断ち切るエネルギーを有する。一方、イオン１５との衝突により離脱した水素原子の基板３の内部への侵入を抑制することが望ましい。したがって、第１のエネルギーは、不純物原子７と水素原子の結合を断ち切り、基板３への侵入が可能な運動エネルギーを水素原子に与えないレベルである。また、不純物層５をスパッタエッチングしないレベルであることが望ましい。

【００１６】

プラズマ１３は、基板３よりも高い電位を有する。例えば、半導体製造に多用される平行平板型のプラズマ装置の場合、その電位差は数１０Ｖ程度であることが多い。従って、基板３にバイアス電圧を印加しない状態においても、プラズマ１３中に生じた１価のプラスイオンは、数１０ｅＶ程度のエネルギーを有する。例えば、Ｐ－Ｈ結合、Ｂ－Ｈ結合およびＡｓ－Ｈ結合のエネルギーは、いずれも数ｅＶ程度であるから、数１０ｅＶのエネルギーを有するイオン照射により容易に切断することができる。一方、１００ｅＶ程度の低エネルギーであれば、質量の軽い水素イオンであっても半導体中に深く侵入することはない。したがって、第１のエネルギーは、数１０ｅＶ～１００ｅＶの範囲であることが好ましい。

【００１７】

図１（ｃ）は、第１のエネルギーを有するイオン１５を照射した後の不純物層５を表している。図１（ａ）に示す形成直後の不純物層５に比べると、不純物原子７に結合した水素原子９の数が減少する。

【００１８】

図１（ｄ）は、第１のエネルギーよりも高い第２のエネルギーを有する第２のイオン（以下、イオン２３）を不純物層５に照射し、不純物原子７を基板３に導入するステップを表している。例えば、Ｈｅ、Ｎｅ、Ａｒ、ＫｒおよびＸｅから選択される少なくとも１つの原子を含むガスを励起してプラズマ２１を発生させ、さらに、基板３とプラズマ２３との間に所定の電位差を与える。これにより、プラズマ２１中で励起されたこれらの原子（イオン２３）を加速し、不純物層５に照射する。

【００１９】

すなわち、第２のエネルギーは、基板３とプラズマ２３との間の電位差により加速されたイオン２３のエネルギーであり、第１のエネルギーよりも大きい。そして、イオン２３との衝突により運動エネルギーを得た不純物原子７は、基板３の内部に侵入する。同時に、水素原子９にも運動エネルギーが与えられ、基板３の内部に侵入するが、図１（ｂ）に示すステップにおいて、水素原子の量が低減されているため、その数は少ない。また、イオン２３も、基板３の内部に注入される。このため、イオン２３は、半導体にキャリアを発生させない上記の不活性原子を用いることが望ましい。また、Ｓｉ、Ｇｅ等、基板３を構成する原子を用いても良い。

【００２０】

イオン２３と、イオン１５は、同じ元素であっても良いし、異なる元素であっても良い。すなわち、プラズマ２１を励起するガスは、プラズマ１３を励起するガスと同じでも良いし、異なるガスを用いても良い。また、それぞれの励起ガスは、水素を除いた複数の元素を含んでも良い。

【００２１】

上記の製造過程において実施されるプラズマドーピングは、所謂、プラズマリコイルインプランテーションと呼ばれる方式である。この方式では、基板の表面に不純物原子を含有する薄層を堆積し、プラズマ中で生成された高エネルギーのイオンを衝突させて不純物原子を基板中に導入する。このため、プラズマ中で不純物ガスを解離させ、イオン化した不純物原子を注入する方式に比べて、水素原子の混入を低減することができる。さらに、本実施形態では、基板３の上に形成した不純物層５に低エネルギーのイオン１５を照射す

ることにより、不純物層５から水素原子９を離脱させる。これにより、基板３に導入される水素原子９の量を大幅に減少させることができる。

【００２２】

不純物層５に混入した水素を脱離させる別の方法として、不純物層５を形成した基板３を熱処理することが考えられる。すなわち、不純物層５を加熱することにより、不純物原子７に結合した水素原子９を離脱させ、また、不純物層５に取り込まれた水素分子を放出させることができる。このような加熱は、例えば、２００℃以上の温度で実施される。一方、半導体に不純物を導入する過程では、基板表面の一部をレジストマスクで覆い、選択的にイオン注入する場合が多い。そして、レジストマスクは、１００℃を越えると変形や分解を生じる。このため、レジストマスクが形成された基板では、熱処理の上限は１００℃程度に制限され、水素原子を不純物層５から十分に脱離させることができない。

【００２３】

これに対し、本実施形態では、基板温度が１００℃以下であっても不純物層５に含まれる水素原子を効率良く離脱させることができるため、レジストマスクが形成された基板にも適用可能で有る。

【００２４】

図２は、第１の実施形態に係る半導体製造装置５０を表す模式図である。半導体製造装置５０は、平行平板型のプラズマ処理装置であり、チャンバー３０と、上部電極３１と、下部電極３３と、を備える。上部電極３１と下部電極３３とは、チャンバー３０の内部に対向して配置される。下部電極３３は、基板ホルダを兼ねる。

【００２５】

チャンバー３０の内部は、図示しない真空ポンプにより排気ポート４９を介して真空排気される。上部電極３１には、第１の高周波電源（以下、ＲＦ電源３５）が接続され、下部電極３３には、第２の高周波電源（以下、ＲＦ電源３７）が接続される。

【００２６】

ＲＦ電源３５は、上部電極３１と下部電極３３との間にプラズマを生じさせる。一方、ＲＦ電源３７は、プラズマと、下部電極３３に載置された基板３と、の間に電位差を生じさせるバイアス電源である。

【００２７】

チャンバー３０には、外部から不純物ガスと、不活性ガスと、を導入するガスポート４１および４３が設けられる。そして、ガスポート４１からマスフローコントローラ（ＭＦＣ）４５を介して不純物ガスが導入される。また、ガスポート４３からＭＦＣ４７を介して不活性ガスが導入される。

【００２８】

さらに、半導体製造装置５０は、ＲＦ電源３５と、ＲＦ電源３７と、ＭＦＣ４５と、ＭＦＣ４７と、を制御するコントローラ４０を備える。

【００２９】

図３は、半導体製造装置５０の動作を表すフローチャートである。例えば、半導体装置５０は、不純物層５を形成するステップと、不純物層５に第１のエネルギーを有するイオン１５を照射するステップと、不純物層５に第２のエネルギーを有するイオン２３を照射するステップと、を連続して実施する。

【００３０】

まず、チャンバー３０の内部に基板３を搬入し、下部電極３３の上に載置する（Ｓ０１）。続いて、ＭＦＣ４５をオンし、ガスポート４１から不純物ガスを導入する（Ｓ０２）。

【００３１】

次に、チャンバー３０の内部を所定の圧力に調整し、ＲＦ電源３５をオンにする（Ｓ０３）。これにより、上部電極３１と下部電極３３との間に高周波放電が生じ、プラズマが生成される。そして、プラズマ中で分離した不純物イオンが基板３の表面に堆積し、不純物層５が形成される。

【００３２】
不純物層５が所定の層厚に達した時、ＲＦ電源３５およびＭＦＣ４５をオフする（Ｓ０４）。具体的には、不純物層５の堆積速度から所定の層厚となる時間を算出し、ＲＦ電源３５のオン／オフを時間制御する。そして、不純物層５を形成後、チャンバー３０の内部を真空排気し不純物ガスを除去する。
【００３３】
次に、ＭＦＣ４７をオンし、ガスポート４３からチャンバー３０の内部に不活性ガスを導入する（Ｓ０５）。続いて、チャンバー３０の内部の圧力を所定の値に調整し、ＲＦ電源３５をオンする（Ｓ０６）。
【００３４】
これにより、上部電極３１と下部電極３３との間にプラズマが励起され、基板３の上に形成された不純物層５がプラズマに曝される。この場合、ＲＦ電源３７はオフであり、不純物層５には、プラズマと基板３との間の電位差、数１０Ｖで加速されたイオンが照射される。これにより、不純物層５から水素原子を離脱させる。また、ＲＦ電源３５とＲＦ電源３７とを同時にオンし、プラズマと基板３との間の電位差を、例えば、１００Ｖ以下の値に制御しても良い。
【００３５】
次に、ＲＦ電源３５をオンしてから所定時間が経過した後、ＲＦ電源３７をオンし、プラズマと基板３との間の電位差を大きくする（Ｓ０７）。これにより、不純物層５にエネルギーを増加させたイオンを照射し、不純物原子７を基板３の内部にノックオン（knock on）することができる。
【００３６】
続いて、所定時間の経過後、ＲＦ電源３５および３７を共にオフし、ＭＦＣ４７をオフすることにより、不活性ガスを遮断する（Ｓ０８）。
【００３７】
不純物層５に低エネルギーのイオンを照射する時間は、水素原子を離脱させるのに十分な時間であって、装置のスループットを低下させない範囲に設定する。例えば、ＲＦ電源３５をオンしてからＲＦ電源３７をオンするまでの時間を、０．５秒以上、１０秒以下に設定する。
【００３８】
上記の過程は、Ｓ０１～Ｓ１１の各ステップを実行するシーケンサまたはプログラムを備えたコントローラ４０により自動制御することができる。すなわち、コントローラ４０は、ＲＦ電源３５、ＲＦ電源３７、ＭＦＣ４５およびＭＦＣ４７をオン／オフ制御し、上記の過程を制御することができる。また、コントローラ４０を図示しない真空バルブに接続し、チャンバー３０の圧力を制御させても良い。
【００３９】
上記の例では、Ｓ０７～Ｓ１０の各ステップを通して、上部電極３１と下部電極３３との間に生じるプラズマが維持される。したがって、不純物層５に照射される低エネルギーのイオンと、高エネルギーのイオンは同じ元素である。しかしながら、これに限る訳ではなく、ステップＳ０８を完了した時点でＲＦ電源３５をオフし、励起ガスを入れ替えた後、Ｓ０９において、ＲＦ電源３５と、ＲＦ電源３７と、を同時オンしても良い。すなわち、低エネルギーのイオンと、高エネルギーのイオンが、異なる元素であっても良い。
【００４０】
（第２実施形態）
図４（ａ）～図５（ｂ）は、第２の実施形態に係る半導体装置１００の製造過程を表す模式断面図である。半導体装置１００は、例えば、エクステンション領域を有するＭＯＳ（Metal Oxide Semiconductor）トランジスタである。
【００４１】
図４（ａ）は、半導体基板１３０の表面にｎ型ウエル１０１とｐ型ウエル１０２とを、それぞれ選択的に形成した状態を示す断面図である。ｎ型ウエル１０１と、ｐ型ウエル１

０２と、の間は、素子分離領域１０３により分離される。素子分離領域１０３は、絶縁膜を埋め込んだＳＴＩ（Shallow Trench Isolation）構造を有する。

【００４２】

半導体基板１３０には、例えば、面方位（１００）のシリコン単結晶基板を用いるが、シリコンに限らずゲルマニウム、シリコンゲルマニウム（ＳｉＧｅ）、炭化ケイ素（ＳｉＣ）、ガリウムヒ素（ＧａＡｓ）等でも良い。また、ＳＯＩ (Silicon on Insulator)基板を用いても良い。

【００４３】

まず、半導体基板１３０の導電型および不純物濃度を、イオン注入およびその後の熱処理により調整する。Ｐ型ＭＯＳトランジスタを形成するｎ型ウエル１０１にはｎ型不純物をイオン注入し、所定の不純物濃度のｎ型領域を形成する。Ｎ型ＭＯＳトランジスタを形成するｐ型ウエル１０２にはｐ型不純物をイオン注入し、所定の不純物濃度のｐ型領域を形成する。

【００４４】

続いて、ＳＴＩ（Shallow Trench Isolation）を形成し素子分離を行う。半導体基板１３０に対し、ＲＩＥ（Reactive Ion Etching）を用いてトレンチを形成し、そのトレンチをシリコン酸化膜を主成分とする絶縁膜により埋め込む。その後、ＣＭＰ（Chemical Mechanical Polishing）を用いて基板表面の絶縁膜を除去し平坦化する。これにより、トレンチの内部に絶縁膜を埋め込んだ素子分離領域１０３が形成される。

【００４５】

次に、半導体基板１３０の表面を洗浄し、ゲート絶縁膜１０４を形成する。ゲート絶縁膜１０４には、熱酸化法あるいはプラズマ酸化法を用いたシリコン酸化膜、シリコン酸化膜を窒素含有のガス中で熱処理あるいはプラズマ処理することにより形成される窒化酸化膜、または、高誘電率（High–k）膜などを用いることができる。

【００４６】

続いて、ゲート絶縁膜１０４の上に、ゲート電極１０５となる多結晶シリコン膜を形成する。さらに、多結晶シリコン膜にイオン注入および熱処理を施し、導電性を付与する。例えば、ＭＯＳトランジスタのしきい値電圧を調整するため、Ｎ型ＭＯＳトランジスタのゲート電極の導電型をｎ型、Ｐ型ＭＯＳトランジスタのゲート電極の導電型をｐ型にする。なお、ゲート抵抗を低減するため、多結晶シリコン膜に代えて、金属膜、あるいは、多結晶シリコンと金属を積層した多層膜を用いても良い。

【００４７】

続いて、フォトリソグラフィを用いて基板上のレジストマスクに回路パターンを転写し、ＲＩＥを用いて多結晶シリコン膜を加工する。これにより、ｎ型ウエル１０１およびｐ型ウエル１０２の上に、ゲート絶縁膜１０４を介してゲート電極１０５を形成する。

【００４８】

次に、プラズマドーピング法を用いてエクステンション領域の形成を行う。例えば、図４（ｂ）および図４（ｃ）に示すように、ｐ型ウエル１０２をレジスト１０６で覆い、ｎ型ウエルの表面にｐ型のエクステンション領域１０７を形成する。

【００４９】

まず、第１のステップとして、レジスト１０６を形成した半導体基板１３０をプラズマドーピング装置に導入し、ＰＣＶＤ法によりｐ型不純物であるボロン（Ｂ）を含む不純物層（第１の不純物層）を形成する。例えば、アルゴンガスと、ヘリウムで希釈した１０％のジボランガス（B_2H_6）と、を２０：１の比率で混合した原料ガスをチャンバーに導入し、０．５パスカル（Ｐａ）の圧力においてプラズマを励起する。ＲＦ電源の周波数は、例えば、１３．５６ＭＨｚであり、出力は、５００Ｗ～４０００Ｗの範囲で調整する。

【００５０】

不純物層の層厚は、目標ドーズ量に応じて適宜調整する。高ドーズの場合は、不純物層を厚くし、低ドーズの場合は、不純物層を薄くする。不純物層の形成時には、半導体基板１３０の側に高周波電力を供給しなくても良いが、不純物層の質の向上を目的として、基

板側に数１０W程度の電力を供給し、プラズマと半導体基板１３０との間の電位差を調整しても良い。いずれの場合も、不純物膜には、ジボランが解離したボロン（Ｂ）と水素原子とが含まれる。

【００５１】

続いて、第２のステップとして、低エネルギーのイオン照射を実施する。プラズマの励起ガスをアルゴンガスに変更し、０．５Ｐａの圧力にてプラズマを励起する。この場合も、高周波出力を５００W～４０００Wの範囲に設定し、プラズマ中でイオン化したアルゴン（第１のイオン）を照射する。チャンバー内に残留する水素の排出を確実に実施するために、プラズマの励起ガスを切り替える過程に若干の待機時間を設けても良い。また、プラズマに対して半導体基板１３０をバイアスするために、基板側に高周波電力を投入しても良いが、不純物層のエッチング、および、不純物層中の水素原子の意図しないノックオン（knock on）を防止する観点から、プラズマと半導体基板１３０との間の電位差は、１００Ｖ以下とすることが望ましい。

【００５２】

適度のバイアスにより加速されたイオンの照射は、不純物層の表面から効率よくエネルギーを供給するため、例えば、５秒程度の低エネルギーのイオン照射により、不純物層から水素原子を離脱させることができる。一方、低エネルギーのイオン照射の導入により生産性を低下させないように、照射時間の最適化に留意する。すなわち、スループットを低下させないように、例えば、イオン照射時間を１０秒以内とする。

【００５３】

プラズマの励起ガスには、非放射性の希ガス、例えば、ヘリウム、ネオン、アルゴン、クリプトン、キセノンのいずれかを選択可能であるが、製造コストの観点からアルゴンが望ましい。

【００５４】

次に、第３のステップとして、ｐ型不純物であるボロン（Ｂ）をｎ型ウエル１０１に導入するノックオンを行う。すなわち、ボロンを含む不純物層に高エネルギーのイオンを照射し、基板中にボロンを注入する。

【００５５】

第２のステップに引き続き、プラズマ励起ガスとしてアルゴンガスを用いる。例えば、チャンバー内の圧力を０．５Ｐａとし、５００W～４０００Wの高周波電力を供給してプラズマを励起する（第２のステップにおけるプラズマを保持しても良い）。同時に、プラズマと半導体基板１３０との間の電位差が数１００Ｖ～数ｋＶになるように、基板側にバイアス電力を投入する。これにより、第２のステップよりも高エネルギーのイオン（第２のイオン）が励起される。基板側に投入する高周波電力の周波数は、数１００ｋＨｚ～２ＭＨｚの範囲であることが好ましい。

【００５６】

プラズマと半導体基板１３０との間の電位差が大きくなるほどイオンのエネルギーが高くなり、ノックオンされる不純物の注入深さも深くなる。また、ｎ型ウエル１０１の表面に堆積した不純物層の全てが、ｎ型ウエル１０１に導入されるまでイオン照射を行い、プラズマドーピングを完了する。

【００５７】

第１のステップから第３のステップまで同一のチャンバー内において連続的に行われることが望ましい。さらに、第２のステップと第３ステップとにおけるプラズマの励起は、同一の励起ガスを用いることが好ましい。この場合、第２のステップから第３のステップへの移行は、基板側に供給するバイアス電力を変更することにより実行される。これにより、プラズマドーピング装置のスループットを大きくして、製造効率を向上させることができる。

【００５８】

次に、レジスト１０６を除去し、半導体基板１３０を熱処理する。これにより、ｎ型ウエル１０１の導入されたｐ型不純物であるボロン（Ｂ）を活性化し、図４（ｃ）に示すよ

うに、ｎ型ウエル１０１の表面近傍にｐ型エクステンション領域１０７を形成することができる。

【００５９】

この熱処理には、例えば、最高温度が９００℃～１０００℃のＲＴＡ(Rapid Thermal Annealing)を用いることができる。また、高エネルギーのイオン照射により注入層をアモルファス化させた上で、固相エピタキシャル成長させる熱処理も可能である。この方法では、不純物を低温で活性化させることが可能であり、例えば、耐熱性の低い金属をゲート電極に用いる場合に有効である。他の活性化アニール方法、例えば、フラッシュランプアニール（flash lamp annealing：ＦＬＡ）やレーザーアニール（laser spike annealing：ＬＳＡ）を用いても良い。

【００６０】

次に、ｎ型ウエル１０１をレジストで覆い、ｐ型ウエル１０２にｎ型不純物をプラズマドーピングすることにより、ｎ型エクステンション領域１０８を形成する。ｎ型エクステンション領域１０８は、導入する不純物が異なる点を除いて、上記のｐ型エクステンション領域１０７と同じ手順で形成することができる。例えば、ジボラン（B_2H_6）に代えて、ホスフィン（PH_3）またはアルシン（AsH_3）を用いることができる。

【００６１】

次に、図５（ａ）に示すように、ゲート電極１０５の側壁にサイドウォール１０９を形成した後、ソース／ドレイン領域１１０および１１１を形成する。ｎ型ウエル１０１には、ｐ型不純物を選択的にイオン注入し、ｐ型ソース／ドレイン領域１１０を形成する。一方、ｐ型ウエル１０２には、ｎ型不純物を選択的にイオン注入し、ｎ型ソース／ドレイン領域１１１を形成する。

【００６２】

これらのソース／ドレイン領域の形成にも、上記のプラズマドーピングを用いることが可能である。但し、ソース／ドレイン領域は、エクステンション領域よりも深く形成され、不純物濃度も高い。したがって、不純物層の厚さ、および、基板バイアスを目的に合うよう適宜調整する。

【００６３】

例えば、ソース／ドレイン領域を形成する場合には、第１のステップにおいて形成される不純物層（第２の不純物層）の厚さを、エクステンション領域を形成する場合の不純物層の厚さの４～５倍とする。そして、第２のステップにおいて、低エネルギーのイオン（第３のイオン）を第２の不純物層に照射した後、第３のステップにおいて、基板バイアスをエクステンション領域を形成する場合の５～１０倍に高くし、高エネルギーのイオン（第４のイオン）を第２の不純物層に照射する。これにより、エクステンション領域よりも深く、不純物濃度が高いソース／ドレイン領域を形成することができる。

【００６４】

すなわち、ソース／ドレイン領域を形成する場合は、第３のステップ（不純物の導入）における基板バイアスをエクステンション領域を形成する場合よりも高くする。これにより、励起されるイオン（第４のイオン）のエネルギーは、エクステンション領域を形成する際のイオン（第２のイオン）のエネルギーよりも高くなる。よって、第４のイオンのエネルギーは、第２および第３のイオンのエネルギーよりも高い。なお、第４のイオンは、第３のイオンと同じ種類の原子を励起したものであっても良い。

【００６５】

続いて、図５（ｂ）に示すように、ｎ型ウエル１０１およびｐ型ウエル１０２の上に層間絶縁膜１１３を形成し、ソース／ドレイン領域１１０および１１１、ゲート電極１０５に連通するコンタクトプラグ１１４を形成する。

【００６６】

ソース／ドレイン領域１１０、１１１およびゲート電極１０５の上面には、シリサイド領域１１２を形成する。これにより、コンタクトプラグ１１４と、各ソース／ドレイン領域およびゲート電極１０５との間の寄生直列抵抗を低減することができる。

【００６７】
シリサイド領域１１２には、例えば、ニッケルシリサイド、コバルトシリサイド、チタンシリサイド等を用いることができる。コンタクトプラグ１１４は、例えば、タングステン（Ｗ）を用いて形成され、シリサイド領域１１２および層間絶縁膜１１３との間には、図示しないバリアメタルを含む。バリアメタルは、例えば、チタン（Ｔｉ）と、窒化チタン（ＴｉＮ）の積層膜である。
【００６８】
上記の通り本実施形態では、ゲート電極１０５の両側に表面からの深さが浅いエクステンション領域１０７および１０８を形成する。このエクステンション領域１０７および１０８の形成に、例えば、ビームライン型のイオン注入装置を用いると、注入時間が長くなりスループットが低下する。このため、プラズマドーピング法を用いることにより、スループットを上げて生産性を向上させることができる。さらに、プラズマドーピングの過程に、低エネルギーのイオン照射を導入することにより、水素原子の混入を抑制することができる。
【００６９】
例えば、図８（ａ）は、比較例に係る半導体装置の製造過程を表す模式断面図である。ここでは、第２のステップにおける低エネルギーのイオン照射を実施せず、水素原子を離脱させていない不純物層に高エネルギーのイオン２３を照射する。このため、同図に示すように、ｎ型ウエル１０１へ注入される水素原子９の量が、本実施形態に比べて多くなる。さらに、ゲート絶縁膜１０４へ注入される水素原子９も無視できない量となる。
【００７０】
例えば、ゲート電極１０５の上に、シリコン窒化膜１２３を用いたハードマスクを形成し、ゲート電極１０５への不純物の注入を阻止したとしても、ゲート電極１０５の側面からゲート絶縁膜１０４への水素原子９の侵入を抑制することは難しい。そして、ゲート絶縁膜１０４に注入された水素原子９は、ＭＯＳトランジスタの信頼性を低下させる。
【００７１】
このように、本実施形態に係る半導体装置の製造方法では、プラズマドーピングを用いることにより生産性を向上させると共に、ゲート絶縁膜１０４への水素原子の注入を抑制し、ＭＯＳトランジスタの信頼性を向上させることができる。
【００７２】
（第３実施形態）
図６（ａ）～図７（ｂ）を参照して、第３の実施形態に係る半導体装置２００の製造過程を説明する。各図は、それぞれの工程における基板の部分断面を模式的に表している。
【００７３】
第２実施形態では、ＭＯＳトランジスタのエクステンション領域への不純物導入にプラズマドーピングを用いる例を述べたが、本実施形態では、ゲート電極となる多結晶シリコンへの不純物導入にプラズマドーピングを適用する例について説明する。
【００７４】
ＭＯＳトランジスタでは、ｎ型ＭＯＳトランジスタのゲート電極には、ｎ型の多結晶シリコン、ｐ型ＭＯＳトランジスタのゲート電極には、ｐ型の多結晶シリコンを用いる。しかしながら、これに限定される訳ではなく、例えば、しきい値電圧の最適化やゲート絶縁膜の信頼性を確保する観点から、上記と異なる組み合わせを採用する場合もある。　本実施形態では、ｎ型ＭＯＳトランジスタの製造過程において、ゲート電極がｎ型の多結晶シリコンである領域と、ｐ型の多結晶シリコンである領域と、を作り分ける例について説明する。また、同じ基板上に図示しないｐ型ＭＯＳトランジスタが形成されても良い。
【００７５】
図６（ａ）に示すように、半導体基板２３０に対し、ＳＴＩ構造の素子分離領域２０２で分離されたｐ型ウエル領域２０１と、ゲート絶縁膜２０３、および、ｐ型多結晶シリコン膜２０４を形成する。ｐ型多結晶シリコン膜２０４は、例えば、減圧ＣＶＤ法を用いて７５ｎｍ～２００ｎｍの膜厚に形成する。また、アモルファスシリコン膜を形成後、熱処

理を施して多結晶シリコン膜とする方法も可能である。

【００７６】

例えば、減圧ＣＶＤ法による堆積過程において、ジボランガスを添加しｐ型不純物であるボロン（Ｂ）をドーピングしても良い。また、不純物を添加しない真性の多結晶シリコンを形成した後に、ビームライン型のイオン注入、あるいは、プラズマドーピングを用いてｐ型不純物をドーピングしても良い。

【００７７】

プラズマドーピングを用いてｐ型不純物を導入する場合には、前述した第１のステップ～第３のステップを実施する。すなわち、第１のステップとして、多結晶シリコン膜２０４の上にｐ型不純物を含む第１の不純物層を形成する。続いて、第２のステップにおいて、第１の不純物層に低エネルギーのイオン（第１のイオン）を照射し、第１の不純物層に含まれる水素原子を低減する。続いて、第３のステップとして、第１のイオンよりも高エネルギーの第２のイオンを第２の不純物層に照射し、ｐ型不純物を多結晶シリコン膜２０４中に導入する。この場合も、第２のイオンは、第１のイオンと同じ種類の原子を励起したものであっても良い。

【００７８】

次に、ｐ型多結晶シリコン膜２０４の一部を、ｎ型多結晶シリコン膜に反転させる、所謂、カウンタードーピングを実施する。すなわち、ｐ型多結晶シリコン膜２０４に含まれるｐ型不純物よりも高濃度のｎ型不純物を導入する。ｎ型不純物は、例えば、活性化率が高く、熱拡散係数の大きいリン（Ｐ)が好ましい。

【００７９】

図６（ａ）に示すように、ｐ型多結晶シリコン膜２０４の内の導電型を反転させない領域をレジスト２０５で覆う。続いて、プラズマドーピング法を用いてｎ型不純物であるリン（Ｐ）を導入する。

【００８０】

第１のステップとして、ｐ型多結晶シリコン膜２０４の上に、ｎ型不純物を含む第２の不純物層を形成する。例えば、原料ガスをジボランからホスフィンに変更し、ｐ型多結晶シリコン膜２０４をｎ型に反転させることが可能な量のリンを含む不純物層を形成する。次に、第２のステップとして、リンを含む第２の不純物層に低エネルギーのイオン（第３のイオン）を照射し、水素原子を離脱させる。続いて、第３のイオンよりも高エネルギーの第４のイオンを第２の不純物層に照射し、ｐ型多結晶シリコン膜２０４にｎ型不純物であるリンを導入する。第４のイオンを励起する際の基板バイアス電圧は、続いて実施する熱処理時のリンの外方拡散を抑えるために、ある程度深い位置までリンが到達するように調整することが好ましい。なお、第４のイオンは、第３のイオンと同じ種類の原子を励起したものであっても良い。

【００８１】

次に、レジスト２０５を除去した後、８５０℃～９５０℃の温度範囲で数１０秒～数分の熱処理を行う。これにより、リン（Ｐ）を深さ方向に拡散させると共に電気的に活性化させ、ｐ型多結晶シリコン膜２０４の一部をｎ型多結晶シリコン膜２０６に反転させる。続いて、図６（ｂ）に示すように、ハードマスクとしてシリコン窒化膜２０７を５０ｎｍ～１００ｎｍの厚さに形成する。

【００８２】

次に、図７（ａ）に示すように、ゲート電極２０８および２０９を形成する。例えば、フォトリソグラフィによりゲート電極加工用のレジストパターンを形成し、ＲＩＥを用いてｐ型多結晶シリコン膜２０４およびｎ型多結晶シリコン膜２０６の異方性エッチングを行う。ｐ型多結晶シリコン膜２０４およびｎ型多結晶シリコン膜２０６は、同時にエッチングしても良いが、多結晶シリコンのエッチングレートが導電型によって異なるため、それぞれの導電型に応じた別条件でエッチングしても良い。

【００８３】

次に、ゲート電極２０８および２０９の両側に、エクステンション領域２１０、および

、サイドウォール２１１を形成した後、ソース／ドレイン領域２１２を形成する。これらの形成工程は、第２実施形態に示した方法と同じである。本実施形態では、ｎ型ＭＯＳトランジスタを形成するため、エクステンション領域２１０およびソース／ドレイン領域２１２はｎ型であり、原料ガスにホスフィンまたはアルシンを用いたプラズマドーピングを用いる。

【００８４】

ｐ型のゲート電極２０９の直上には、シリコン窒化膜２０７が形成されているため、エクステンション領域２１０およびソース／ドレイン領域２１２を形成する際に、ｐ型ゲート電極０９にｎ型不純物が導入されることはなく、ｐ型ゲート電極２０９がｎ型に反転することはない。

【００８５】

続いて、ソース／ドレイン領域２１２の上面に形成されるシリサイド領域２１３、層間絶縁膜２１４、および、コンタクトプラグ２１５を第２実施形態と同じように形成する。これにより、ｎ型ＭＯＳトランジスタを含む半導体装置２００の製造過程を完了する。

【００８６】

本実施形態では、ハードマスク（シリコン窒化膜２０７）が形成されているため、ゲート電極２０８および２０９の上面がシリサイド化されない。別の例として、例えば、ハードマスクを除去し、ゲート電極２０８および２０９の上面をシリサイド化しても良い。

【００８７】

上記の通り本実施形態では、ｐ型多結晶シリコンへのｎ型不純物の導入、ｎ型エクステンション領域、および、ｎ型ソース／ドレイン領域の形成にプラズマドーピング法を用いる。これにより、半導体装置２００の生産性を向上させることができる。さらに、プラズマドーピングの過程に低エネルギーのイオン照射を導入することにより、水素原子の混入を抑制する。

【００８８】

図８（ｂ）は、比較例に係る多結晶シリコンへのドーピング過程を表す模式断面図である。ここでも、低エネルギーのイオン照射を実施せず、水素原子を離脱させていない不純物層に高エネルギーのイオン２３を照射する。このため、ゲート絶縁膜２０３に注入される水素原子９の量が、本実施形態に比べて多くなる。したがって、ｎ型ＭＯＳトランジスタの信頼性の低下を招く場合がある。

【００８９】

このように、本実施形態に係る半導体装置の製造方法では、ｎ型エクステンション領域２１０およびｎ型ソース／ドレイン領域２１２に加えてｐ型多結晶シリコン膜２０４への不純物ドーピングにプラズマドーピングを用いる。これにより、半導体装置２００の生産性を向上させると共に、ゲート絶縁膜２０３への水素原子の注入を抑制し、ＭＯＳトランジスタの信頼性を向上させることが可能となる。

【００９０】

本実施形態では、ｎ型ＭＯＳトランジスタ及びｐ型ＭＯＳトランジスタと言った２種類のトランジスタを形成する場合について説明したが、これに限定されるものではない。例えば、ＮＡＮＤ型フラッシュメモリのセル部と周辺回路部に異なる不純物を導入する場合にも適用できる。すなわち、第１のステップにおいて、第１の不純物層を、例えば、セル部の第１の不純物拡散領域上に形成し、第２の不純物層を、例えば、周辺回路部の第２の不純物拡散領域に形成することもできる。

【００９１】

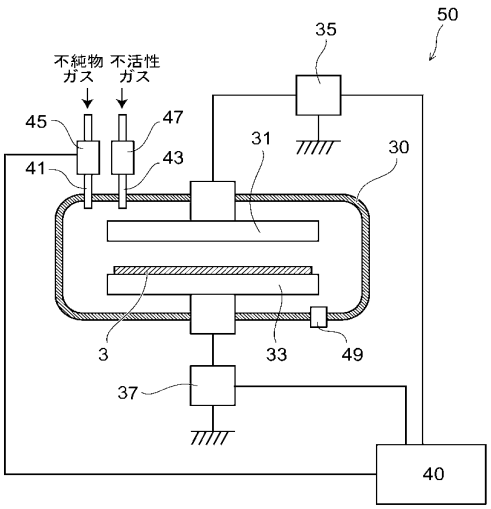
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

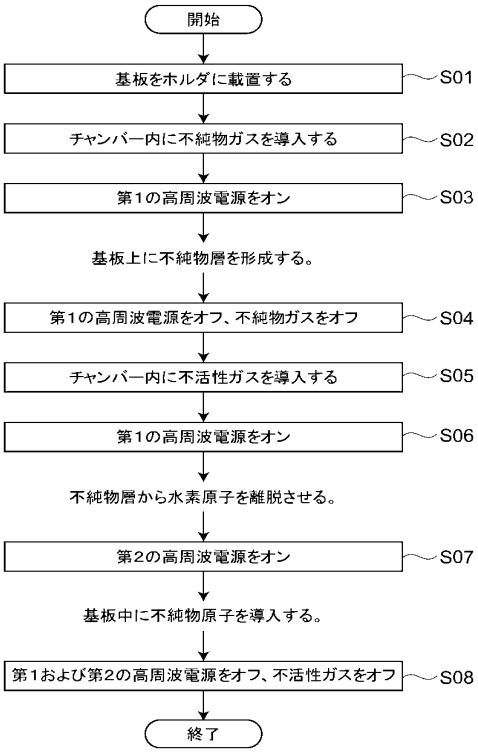
【００９２】

３・・・基板、　５・・・不純物層、　７・・・不純物原子、　９・・・水素原子、１３、２３・・・プラズマ、　１５、２３・・・イオン、　１７・・・水素分子、　３０・・・チャンバー、　３１・・・上部電極、　３３・・・下部電極、　３５、３７・・・ＲＦ電源、　４０・・・コントローラ、　４１、４３・・・ガスポート、　４５、４７・・・ＭＦＣ、　４９・・・排気ポート、　５０・・・半導体製造装置、　１００、２００・・・半導体装置、　１０１、２０１・・・ｐ型ウエル、　１０２・・・ｎ型ウエル、１０３、２０２・・・素子分離領域、　１０４、２０３・・・ゲート絶縁膜、　１０５、２０８、２０９・・・ゲート電極、　１０６、２０５・・・レジスト、　１０７、１０８、２１０・・・エクステンション領域、　１０９、２１１・・・サイドウォール、　１１０、１１１、２１２・・・ソース／ドレイン領域、　１１２、２１３・・・シリサイド領域、　１１３、２１４・・・層間絶縁膜、　１１４、２１５・・・コンタクトプラグ、１２３、２０７・・・シリコン窒化膜、　１３０、２３０・・・半導体基板、　２０４・・・ｐ型多結晶シリコン膜、　２０６・・・ｎ型多結晶シリコン膜

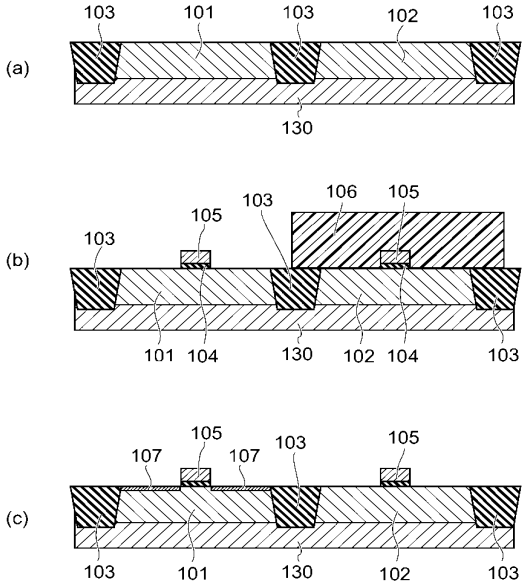
【図２】



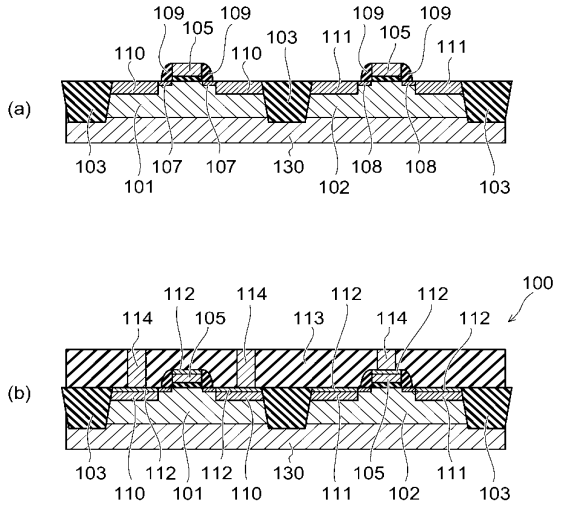
【図３】



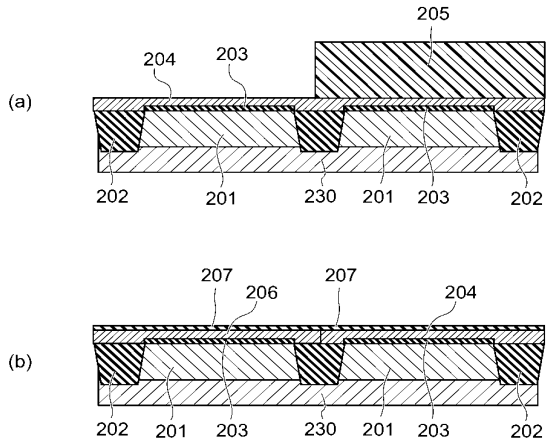
【図４】


(a)
103
101
103
102
103
130
(b)
103
105
103
106
105
101
104
130
102
104
103
(c)
105
107
107
103
105
103
101
130
102
103

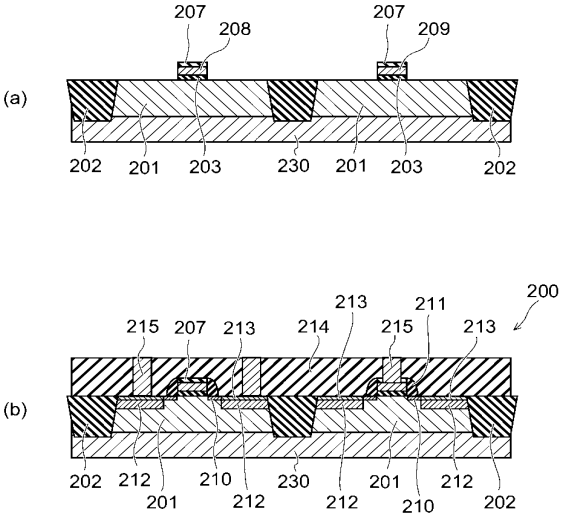
【図５】


(a)
109
105
109
103
109
105
109
110
110
111
111
103
107
107
130
108
108
103
101
102
(b)
100
112
114
112
112
114
105
113
114
112
103
112
112
130
105
111
110
101
110
111
102
103

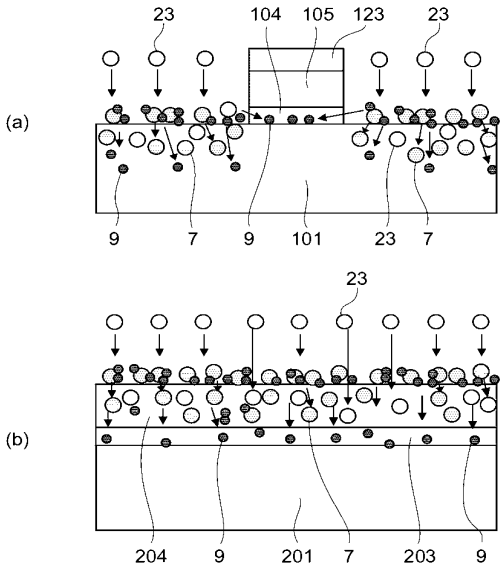
【図６】


(a)
205
204
203
202
201
230
201
203
202
(b)
207
206
207
204
202
201
203
230
201
203
202

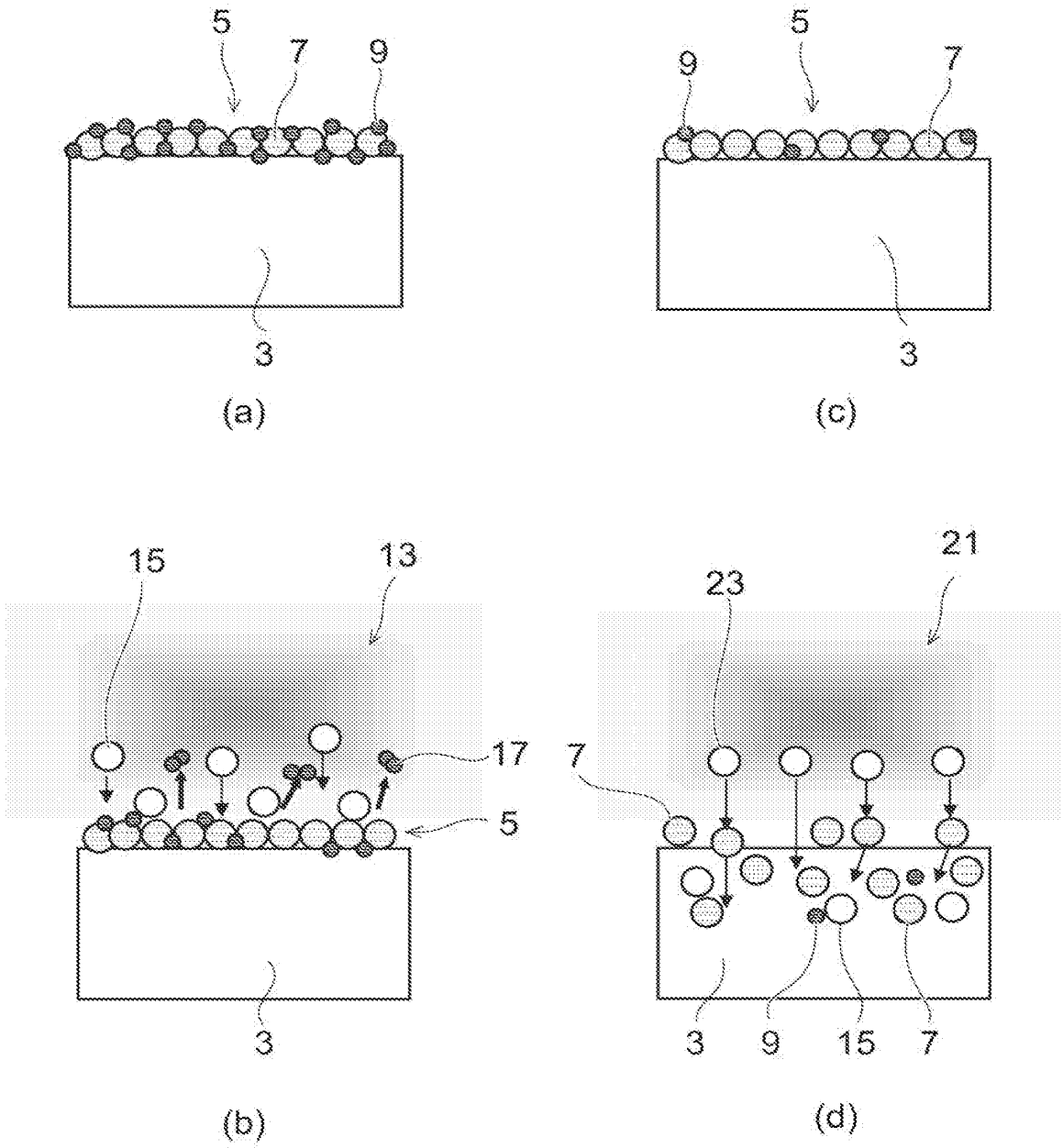
【図７】


(a)
207
208
207
209
202
201
203
230
201
203
202
(b)
200
213
211
215
207
213
214
215
213
202
212
201
210
212
230
212
201
210
212
202

【図８】



【図１】



フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
H01L 27/092 (2006.01)	Ｈ０１Ｌ 27/08 １０２Ｂ	
H01L 21/8234 (2006.01)	Ｈ０１Ｌ 21/22 Ｅ	
H01L 27/088 (2006.01)	Ｈ０１Ｌ 21/265 Ｗ	

Ｆターム(参考) 5F140 AB03 AC36 BA01 BA02 BA03 BA05 BA07 BD06 BD09 BE02
BE07 BE08 BF04 BF05 BF11 BF15 BF18 BF21 BF28 BG08
BG28 BG31 BG32 BG33 BG38 BH14 BJ08 BJ11 BJ17 BJ20
BJ27 BK02 BK12 BK21 BK34 CB04 CB08

Docket No.: 1630-1332PUS1
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:
Jungmin HA et al.

Application No.:	14/953,264	Confirmation No.:	1071
Filed:	November 27, 2015	Art Unit:	1758
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	C. CHERN

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☐ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

Attached hereto is a copy of the Korean Office Action, dated November 25, 2016, for Korean Application No. 10-2015-0122846.

Attached hereto is a copy of the Japanese Office Action, dated October 25, 2016, for Japanese Application No. 2015-231421.

Except for the references submitted herewith, the remaining references cited in the attached Office Actions are of record.

US-2009/0205712-A1 corresponds to JP-2011-512689-A.

US-2011/0275175-A1 corresponds to JP-2014-523653-A.

US-2012/0298175-A1 corresponds to KR-10-2012-0120260-A.

US-2014/0073105-A1 corresponds to JP-2014-53452-A.

US-2014/0299187-A1 corresponds to JP-2014-204128-A.

Petitioner Runergy USA Inc., Ex. 1005, p. 601

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☑ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of the IDS. *See 37 C.F.R § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ b. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS. *See 37 C.F.R. § 1.97(e)(2)*; or

☐ c. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. *See 37 C.F.R. § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement. *See 37 C.F.R. § 1.97(e)(2).*

Petitioner Runergy USA Inc., Ex. 1005, p. 602

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(i))*; or

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(ii))*.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. *See 37 C.F.R. § 1.97(b)(1) and 37 C.F.R. § 1.97(b)(2).* No fee is required.

☐ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. *See 37 C.F.R. § 1.97(b)(3).* No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the

Petitioner Runergy USA Inc., Ex. 1005, p. 603

statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☑ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application. *See 37 C.F.R. § 1.97(c)(1).*

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☑ See the above statement. No fee is required.

☐ e. This Information Disclosure Statement is being filed on or after the mailing date of a Final Office Action, on or after the mailing date of a Notice of Allowance, or on or after an action that otherwise closes prosecution in the application (*see 37 C.F.R. § 1.97(d)*), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

Petitioner Runergy USA Inc., Ex. 1005, p. 604

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: JAN 09 2017

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):
- ☑ PTO/SB/08
- ☑ Document(s)
- ☑ Foreign Patent Office Communication(s)
- ☐ Foreign Search Report(s)
- ☐ Fee
- ☐ Other:

Petitioner Runergy USA Inc., Ex. 1005, p. 605

Docket No.: 1630-1332PUS1
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	14/953,264	Confirmation No.:	1071
Filed:	November 27, 2015	Art Unit:	1758
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	CHERN, CHRISTINA

REPLY TO RESTRICTION REQUIREMENT AND ELECTION OF SPECIES REQUIREMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

In reply to the Restriction Requirement and Election of Species Requirement dated January 09, 2017, the following remarks are respectfully submitted in connection with the above-identified application.

This reply includes: Remarks.

REMARKS

Claims 1-38 are pending in the present application.

Restriction Requirement and Election of Species Requirement

The Examiner has required restriction between Groups I –II as set forth on page 2 of the Office Action. Also, the Examiner has required an Election of Species between various Species identified on pages 4 and 5 of the Office Action.

Applicants elect without traverse, Group I and Species A-1 (Figs. 2 and 4), where claims 1-10 and 16-18 read on the elected species.

Should there be any outstanding matters that need to be resolved in the present application, the Examiner is respectfully requested to contact Bradford F. Fritz, Registration No. 63406, at the telephone number of the undersigned below, to conduct an interview in an effort to expedite prosecution in connection with the present application.

If necessary, the Director is hereby authorized in this, concurrent, and future replies to charge any fees required during the pendency of the above-identified application or credit any overpayment to Deposit Account No. 02-2448.

Dated: MAR 09 2017

Respectfully submitted,

By _____
Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

DAVID A. BILODEAU
USPTO #42,325

Petitioner Runergy USA Inc., Ex. 1005, p. 607

Electronic Acknowledgement Receipt

EFS ID:	28586892
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Kyle Bekelja
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	09-MAR-2017
Filing Date:	27-NOV-2015
Time Stamp:	16:59:43
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2017-03-09RestrictionElection1630-1332PUS1.pdf	150482 79b48c955106b0ddffdbda22063716c49b3c1f49	yes	3

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Miscellaneous Incoming Letter	1	1
	Response to Election / Restriction Filed	2	2
	Applicant Arguments/Remarks Made in an Amendment	3	3
Warnings:			
Information:			
	Total Files Size (in bytes):	150482	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: TRAN.LET

Document Description: Transmittal Letter

PTO/SB/21 (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

Application Number	14/953,264 Conf. No.: 1071
Filing Date	November 27, 2015
First Named Inventor	Jungmin HA
Art Unit	1758
Examiner Name	CHERN, CHRISTINA
Attorney Docket Number	1630-1332PUS1

ENCLOSURES *(Check all that apply)*

- ☐ Fee Transmittal Form
  - ☐ Fee Attached
- ☐ Amendment/Reply
  - ☐ After Final
  - ☐ Affidavits/declaration(s)
- ☐ Extension of Time Request
- ☐ Express Abandonment Request
- ☐ Information Disclosure Statement
- ☐ Certified Copy of Priority Document(s)
- ☐ Reply to Missing Parts/ Incomplete Application
  - ☐ Reply to Missing Parts under 37 CFR 1.52 or 1.53
- ☐ Drawing(s)
- ☐ Licensing-related Papers
- ☐ Petition
- ☐ Petition to Convert to a Provisional Application
- ☐ Power of Attorney, Revocation Change of Correspondence Address
- ☐ Terminal Disclaimer
- ☐ Request for Refund
- ☐ CD, Number of CD(s) _____
  - ☐ Landscape Table on CD
- ☐ After Allowance Communication to TC
- ☐ Appeal Communication to Board of Appeals and Interferences
- ☐ Appeal Communication to TC **(Appeal Notice, Brief, Reply Brief)**
- ☐ Proprietary Information
- ☐ Status Letter
- ☑ Other Enclosure(s) (please Identify below):

Reply to Restriction Requirement and Election of Species Requirement.

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm Name	BIRCH, STEWART, KOLASCH & BIRCH, LLP		
Signature			
Printed name	Esther H. Chong		
Date	MAR 09 2017	Reg. No.	40953

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:

Signature			
Typed or printed name		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

BPR

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	CHERN, CHRISTINA
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2011/0100459 - A1	05-05-2011	YOON et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	CN 103703567 - A	04-02-2014			☑
	3	JP 2009-295715 - A	12-17-2009			☑
	4	CN 201812825 - U	04-27-2011			☑
						☐
						☐
						☐

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

Electronic Acknowledgement Receipt

EFS ID:	28665165
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Daniel Kavulak
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	17-MAR-2017
Filing Date:	27-NOV-2015
Time Stamp:	16:07:59
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Foreign Reference	CN103703567.pdf	3223485 30dc95aa6db2ca612fb40eeb1cdcb57657e758af	no	37

Warnings:

Information:					
2	Foreign Reference	JP2009295715.pdf	1027860 579d47fbde62796b4074325b0243a2072fa49d6e	no	22
Warnings:					
Information:					
3	Foreign Reference	CN201812825.pdf	736641 eb273e6df09c90a0d6846465bf80ea3c87c4ac54	no	15
Warnings:					
Information:					
4	Non Patent Literature	CNOA2015108920868_dated_2016-12-23.pdf	583666 1ca4a49b98b759592f96a08eed70a9f7190a2e21	no	24
Warnings:					
Information:					
5		2017-03-17_IDS_Transmittals_1630-1332PUS1.pdf	329858 adf367f6800b5412b5fdfe28f9d2607ed0483536	yes	6

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Transmittal Letter	1	5
	Information Disclosure Statement (IDS) Form (SB08)	6	6

Warnings:	
Information:	
Total Files Size (in bytes):	5901510

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Espacenet

Bibliographic data: CN103703567 (A) — 2014-04-02

Solar cell, solar cell manufacturing method, and solar cell module

Inventor(s):	ADACHI DAISUKE; YAMAMOTO KENJI ± (ADACHI DAISUKE, ; YAMAMOTO KENJI)
Applicant(s):	KANEKA CORP ± (KANEKA CORPORATION)
Classification:	**- international:** ***H01L31/0224; H01L31/18*** **- cooperative:** **H01L31/022425**; **H01L31/022475**; **H01L31/0747**; **H01L31/1804**; **H01L31/1884**; Y02E10/547; Y02P70/521 more
Application number:	CN2012835808 20121221 Global Dossier
Priority number (s):	WO2012JP83291 20121221 ; JP20120100355 20120425
Also published as:	CN103703567 (B) EP2765615 (A1) EP2765615 (A4) US2015075601 (A1) TW201349530 (A) more

Abstract of CN103703567 (A)

This solar cell has a photoelectric conversion unit (50), and a collecting electrode (70). The photoelectric conversion unit (50) has a first main surface and a second main surface, and the collecting electrode (70) is formed on the first main surface of the photoelectric conversion unit (50). The collecting electrode (70) includes a first conductive layer (71) and a second conductive layer (72) in this order from the photoelectric conversion unit (50) side, and also includes an insulating layer (9) between the first conductive layer (71) and the second conductive layer (72). The insulating layer (9) is provided with an opening, and the first conductive layer (71) and the second conducive layer (72) are electrically connected via the opening provided in the insulating layer (9).; The solar cell has an insulating region on the first main surface, the second main surface or the side surface of the photoelectric conversion unit, the insulating region having short-circuit between the front and the rear surfaces of the photoelectric conversion unit removed therefrom, and at least a part of insulating region surface is covered with an insulating layer.

Petitioner Runergy USA Inc., Ex. 1005, p. 615

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 103703567 A
(43)申请公布日 2014.04.02

(21)申请号 201280035808.2
(22)申请日 2012.12.21
(30)优先权数据
2012-100355 2012.04.25 JP
(85)PCT国际申请进入国家阶段日
2014.01.20
(86)PCT国际申请的申请数据
PCT/JP2012/083291 2012.12.21
(87)PCT国际申请的公布数据
WO2013/161127 JA 2013.10.31
(71)申请人 株式会社钟化
地址 日本大阪府
(72)发明人 足立大辅 山本宪治
(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 金世煜 赵曦
(51)Int.Cl.
H01L 31/0224(2006.01)
H01L 31/18(2006.01)

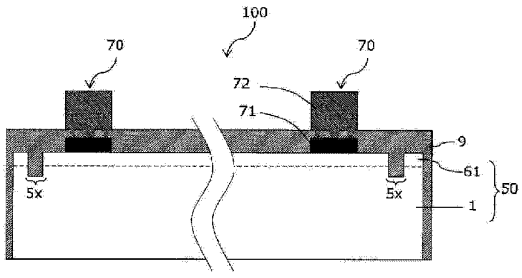
权利要求书2页 说明书24页 附图9页

(54)发明名称

太阳能电池及其制造方法以及太阳能电池模块

(57)摘要

本发明的太阳能电池具有光电转换部(50)和集电极(70)。光电转换部(50)具有第一主面和第二主面，集电极(70)形成在光电转换部(50)的第一主面上。集电极(70)从光电转换部(50)侧依次包含第一导电层(71)和第二导电层(72)，且在第一导电层(71)与上述第二导电层(72)之间包含绝缘层(9)。在绝缘层(9)设有开口，介由设置于绝缘层(9)的开口导通第一导电层(71)和第二导电层(72)。在本发明的太阳能电池中，在光电转换部的第一主面、第二主面或侧面具有除去了光电转换部的表面背面的短路的绝缘区域，绝缘区域表面的至少一部分被绝缘层覆盖。



CN 103703567 A

1. 一种太阳能电池，是具有光电转换部和集电极的太阳能电池，

所述光电转换部具有第一主面和第二主面，所述集电极形成在所述光电转换部的第一主面上，

所述光电转换部的第一主面侧的最外表面层是导电型半导体层或透明电极层，

所述集电极从所述光电转换部侧依次包含第一导电层和第二导电层，且在所述第一导电层与所述第二导电层之间包含绝缘层，

所述绝缘层设有开口，介由设置于绝缘层的所述开口导通所述第一导电层和第二导电层，

在所述光电转换部的第一主面、第二主面或侧面具有绝缘区域，在该绝缘区域除去了构成第一主面侧的最外表面层的成分与构成第二主面侧的最外表面层的成分的短路，

所述绝缘区域表面的至少一部分被所述绝缘层覆盖。

2. 根据权利要求 1 所述的太阳能电池，其中，所述绝缘区域设置于所述集电极的外周区域。

3. 根据权利要求 1 或 2 所述的太阳能电池，其中，在所述光电转换部的第一主面中，所述绝缘层也在第一导电层非形成区域上形成。

4. 根据权利要求 1 ～ 3 中任一项所述的太阳能电池，其中，在所述光电转换部的第一主面或侧面具有所述绝缘区域，

第一主面或侧面的绝缘区域没有附着构成第一主面的最外表面层的成分，且其表面的至少一部分被所述绝缘层覆盖。

5. 根据权利要求 1 ～ 4 中任一项所述的太阳能电池，其中，所述绝缘区域表面全部被所述绝缘层覆盖。

6. 根据权利要求 1 ～ 5 中任一项所述的太阳能电池，其中，所述光电转换部的第一主面侧的最外表面层为透明电极层。

7. 根据权利要求 6 所述的太阳能电池，其中，所述光电转换部在一导电类型晶体硅基板的一个主面上依次具有硅系薄膜和作为所述最外表面层的透明电极层，

在所述透明电极层上具有所述集电极。

8. 根据权利要求 1 ～ 7 中任一项所述的太阳能电池，其中，所述第一导电层含有低熔点材料，所述低熔点材料的热流动开始温度 T_1 比所述光电转换部的耐热温度低。

9. 根据权利要求 6 或 7 所述的太阳能电池，其中，所述第一导电层含有低熔点材料，所述低熔点材料的热流动开始温度 T_1 为 250℃以下。

10. 根据权利要求 8 或 9 所述的太阳能电池，其中，所述低熔点材料含有金属材料。

11. 根据权利要求 1 ～ 10 中任一项所述的太阳能电池，其中，所述第二导电层以铜为主成分。

12. 一种太阳能电池模块，具备权利要求 1 ～ 11 中任一项所述的太阳能电池。

13. 一种太阳能电池的制造方法，是制造权利要求 1 ～ 11 中任一项所述的太阳能电池的方法，

该方法依次具有以下工序：

第一导电层形成工序，在所述光电转换部上形成第一导电层，

绝缘层形成工序，在所述第一导电层上形成绝缘层，以及

Petitioner Runergy USA Inc., Ex. 1005, p. 617

镀覆工序，介由设置于所述绝缘层的开口，利用镀覆法形成与第一导电层导通的第二导电层；

进而，在所述绝缘层形成工序前，在所述光电转换部的第一主面、第二主面或侧面形成所述绝缘区域，

在所述绝缘层形成工序中，所述绝缘区域的至少一部分被绝缘层覆盖。

14. 根据权利要求 13 所述的太阳能电池的制造方法，其中，所述绝缘区域的形成是在第一导电层形成工序之后、绝缘层形成工序之前进行的。

15. 根据权利要求 13 或 14 所述的太阳能电池的制造方法，其中，在所述绝缘区域的形成中，利用以下方法在光电转换部的侧面形成没有附着构成所述最外表面层的成分的切割面，所述方法是在光电转换部形成槽后，沿着所述槽切割光电转换部。

16. 根据权利要求 13 ～ 15 中任一项所述的太阳能电池的制造方法，其中，所述第一导电层含有热流动开始温度 T_1 比所述光电转换部的耐热温度低的低熔点材料，

在所述绝缘层形成工序后，通过在比所述低熔点材料的热流动开始温度 T_1 高的退火温度 Ta 进行加热处理，从而形成所述开口。

17. 根据权利要求 13 ～ 15 中任一项所述的太阳能电池的制造方法，其中，所述第一导电层含有热流动开始温度 T_1 比所述光电转换部的耐热温度低的低熔点材料，

在所述绝缘层形成工序中，通过在比所述低熔点材料的热流动开始温度 T_1 高的基板温度 Tb 形成所述绝缘层，从而与绝缘层的形成同时地形成所述开口。

18. 根据权利要求 13 ～ 17 中任一项所述的太阳能电池的制造方法，其中，在所述绝缘层形成工序中，在所述光电转换部的第一导电层非形成区域上也形成有绝缘层。

19. 根据权利要求 13 ～ 18 中任一项所述的太阳能电池的制造方法，其中，所述光电转换部在一导电类型晶体硅基板的一个主面上依次具有硅系薄膜和透明电极层，在所述透明电极层上形成有所述集电极。

20. 根据权利要求 19 所述的太阳能电池的制造方法，其中，以所述一导电类型晶体硅基板露出的方式形成所述绝缘区域。

Petitioner Runergy USA Inc., Ex. 1005, p. 618

太阳能电池及其制造方法以及太阳能电池模块

技术领域

[0001] 本发明涉及太阳能电池及其制造方法。本发明还涉及太阳能电池模块。

背景技术

[0002] 能源问题、地球环境问题越来越深刻，作为代替化石燃料的能源，太阳能电池逐渐备受注目。在太阳能电池中，通过将对由半导体接合等形成的光电转换部进行光照射而产生的载流子（电子和空穴）导出到外部电路，从而进行发电。为了将光电转换部中产生的载流子有效地导出到外部电路，在太阳能电池的光电转换部上设置集电极。

[0003] 例如，在使用了单晶硅基板、多晶硅基板的晶体硅系的太阳能电池中，在受光面设置由细的金属形成的集电极。另外，就连在晶体硅基板上具有非晶硅层和透明电极层的异质结太阳能电池中，也在透明电极层上设置集电极。

[0004] 太阳能电池的集电极通常是通过利用丝网印刷法对银糊料进行图案印刷而形成的。该方法的工序本身简单，但存在银的材料成本高以及由于使用含有树脂的银糊料材料而集电极的电阻率增高的问题。为了减小使用银糊料形成的集电极的电阻率，需要较厚地印刷银糊料。然而，如果印刷厚度变大，则电极的线宽度也变大，因此电极的细线化困难，由集电极带来的遮光损失增大。

[0005] 作为用于解决上述课题的方法，已知有利用在材料成本和工序成本方面优异的镀覆法形成集电极的方法。例如，在专利文献 1 ～ 3 中，公开了利用镀覆法在构成光电转换部的透明电极上形成了由铜等形成的金属层的太阳能电池法。在专利文献 1、2 中，首先，在光电转换部的透明电极层上，形成具有与集电极的形状对应的开口部的抗蚀材料层（绝缘层），利用电镀在透明电极层的抗蚀开口部形成金属层。其后，通过除去抗蚀剂，从而形成规定形状的集电极。

[0006] 另外，在专利文献 3 中，公开了以如下方式形成金属集电极的方法，即，在透明电极上设置 SiO_2 等绝缘层后，设置贯通绝缘层的槽而使透明电极层的表面或侧面露出，与透明电极的露出部导通。具体而言，提出了利用光镀覆法等在透明电极层的露出部形成金属种，以该金属种为起点利用电镀形成金属电极的方法。根据该方法，无需像专利文献 1、2 这样使用抗蚀剂，因此在材料成本和工艺成本方面更有利。另外，通过设置低电阻的金属种，从而能够降低透明电极层与集电极之间的接触电阻。

[0007] 然而，在太阳能电池的光电转换部的形成中，通常利用等离子体 CVD 法、溅射法等在基板表面形成半导体层、透明电极层、金属电极层等薄膜。这些薄膜不仅形成于基板表面，也会迂回到侧面、背面，有时在表面与背面之间产生短路、漏电。为了防止这样的迂回，例如在专利文献 4 中提出了边用掩模覆盖晶体硅基板的外周端部边形成半导体层、透明电极层的方法。

[0008] 另外，在专利文献 5、6 中公开了在基板上形成半导体薄膜、电极后进行规定的加工而防止短路的方法。具体而言，在专利文献 5 中公开了通过利用激光照射形成槽后，沿着该槽切割晶体硅基板，从而形成光电转换部的侧面由切割面构成的太阳能电池的方法。在

Petitioner Runergy USA Inc., Ex. 1005, p. 619

专利文献 6 中提出了利用激光照射除去形成于晶体硅基板上的半导体层和透明电极层而形成槽的方法。由于在专利文献 5 的切割面、专利文献 6 的槽的表面不存在半导体薄膜、电极，所了解决了由迂回引起的短路的问题。

[0009] 应予说明，在专利文献 6 中图示了通过激光照射除去透明电极层和导电型的半导体层的方式，但困难的是通过激光照射选择性地仅将这些层除去。因此，通常通过激光照射形成的槽到达晶体硅基板的表面或内部。

[0010] 现有技术文献

[0011] 专利文献

[0012] 专利文献 1 :日本特昭 60-66426 号公报

[0013] 专利文献 2 :日本特开 2000-58885 号公报

[0014] 专利文献 3 :日本特开 2011-199045 号公报

[0015] 专利文献 4 :日本特开 2001-44461 号公报

[0016] 专利文献 5 :日本特开 2006-310774 号公报

[0017] 专利文献 6 :日本特开平 9-129904 号公报

[0018] 非专利文献

[0019] 非专利文献 1:C.M.Liu 等 Journal of The Electrochemical Society152 卷(3 号)，G234 ～ G239 页，2005 年

发明内容

[0020] 根据上述专利文献 3 的方法，能够在不使用昂贵的抗蚀材料的情况下利用镀覆法形成细线图案的集电极。然而，像专利文献 3 这样利用光镀覆法形成成为电镀的起点的金属种的方法，虽然在半导体接合的 n 层侧能够适用，但无法在 p 层侧适用。通常，已知在异质结太阳能电池中，使用 n 型单晶硅基板并以 p 层侧的异质结为光入射侧的构成的特性最高，但专利文献 3 的方法存在以下问题，即，不适于以 p 层侧为光入射侧的异质结太阳能电池中的光入射侧的集电极的形成。另外，在专利文献 3 中，在贯通绝缘层和透明电极层的槽内，透明电极层的侧面与金属集电极相接，但因透明电极层的厚度通常为 100nm 左右，因此两者的接触面积小。因此，存在透明电极与集电极之间的电阻增高而无法充分发挥作为集电极的功能的问题。

[0021] 另外，在像专利文献 4 ～ 6 这样通过使用掩模的方法、形成槽的方法来防止表面与背面之间的短路、漏电的方法中，硅基板上的半导体层、透明电极层被除去而成为硅基板的主面或侧面的一部分露出的状态。用作透明电极的材料的 ITO 等虽然作为防止铜向硅基板扩散的扩散阻挡层发挥作用(例如非专利文献 1)，但如果像专利文献 1 ～ 3 中公开这样地利用镀覆法形成集电极，则镀覆液中的金属成分等可能从硅基板的露出部向硅基板内扩散而对电特性造成不良影响。

[0022] 如上所述，利用镀覆法的集电极的形成在材料成本和工艺成本方面优异，但在以往提出的方法中，在不使用抗蚀剂的情况下利用镀覆法形成低电阻的集电极是困难的。另外，对于兼顾防止基板表面背面的短路、漏电以及防止镀覆液中的金属成分等向硅基板内的扩散的方法而言，现状是没有发现有效的解决方法。

[0023] 本发明的目的在于解决上述问题点，利用可降低太阳能电池的材料成本和工艺成

Petitioner Runergy USA Inc., Ex. 1005, p. 620

本的镀覆法形成集电极，且提高太阳能电池的转换效率。

[0024] 本发明人等鉴于上述课题进行了深入研究，结果发现通过规定的构成，能够抑制来自镀覆液的金属成分的扩散所导致的不良情况，并且能够利用镀覆法廉价地形成集电极，进而完成了本发明。

[0025] 即，本发明涉及具有光电转换部和集电极的太阳能电池，光电转换部具有第一主面和第二主面，上述集电极形成在上述光电转换部的第一主面上。光电转换部的第一主面侧的最外表面层是导电型半导体层或透明电极层。集电极从上述光电转换部侧依次包含第一导电层和第二导电层，且在上述第一导电层与上述第二导电层之间包含绝缘层。绝缘层设有开口，介由设置于绝缘层的开口使上述第一导电层与第二导电层导通。

[0026] 本发明的太阳能电池在光电转换部的第一主面、第二主面或侧面具有除去了构成第一主面侧的最外表面层的成分与构成第二主面侧的最外表面层的成分的短路的绝缘区域，绝缘区域表面的至少一部分被绝缘层覆盖。该绝缘区域优选设置在集电极的外周区域。

[0027] 在本发明的优选的方式中，在光电转换部的第一主面或侧面形成有绝缘区域，并且其表面的至少一部分被绝缘层覆盖。在该方式中，绝缘区域优选通过没有附着构成第一主面的最外表面层的成分来除去短路。应予说明，太阳能电池的“光电转换部”是指半导体层、由金属或金属氧化物等构成的电极等层叠而产生光电动势的部分，用于层叠它们的玻璃基板等绝缘基材不包含在光电转换部内。

[0028] 就绝缘层而言，在光电转换部的第一主面中，优选在第一导电层非形成区域上也形成有上述绝缘层。另外，优选绝缘区域表面全部被上述绝缘层覆盖。

[0029] 在本发明的优选的方式中，光电转换部的第一主面侧的最外表面层是透明电极层。另外，在一个实施方式中，光电转换部在一导电类型晶体硅基板的一个主面上依次具有硅系薄膜和作为最外表面层的透明电极层，在透明电极层上具有集电极。

[0030] 在一个实施方式中，第一导电层含有低熔点材料，上述低熔点材料的热流动开始温度 T_1 比上述光电转换部的耐热温度低。另外，光电转换部的最外表面层为透明电极层时，优选低熔点材料的热流动开始温度 T_1 为 250℃以下。另外，优选低熔点材料含有金属材料。

[0031] 在本发明的优选的方式中，第二导电层以铜为主成分。

[0032] 本发明还涉及具备上述太阳能电池的太阳能电池模块。

[0033] 本发明还涉及上述太阳能电池的制造方法。本发明的制造方法依次具有：在光电转换部上形成第一导电层的第一导电层形成工序；在第一导电层上形成绝缘层的绝缘层形成工序；以及介由设置于绝缘层的开口，利用镀覆法形成与第一导电层导通的第二导电层的镀覆工序。

[0034] 在本发明的制造方法中，优选在绝缘层形成工序前形成绝缘区域。绝缘区域的形成特别优选在第一导电层形成工序之后、绝缘层形成工序之前进行。另外，在绝缘层形成工序中，优选绝缘区域的至少一部分被绝缘层覆盖。

[0035] 在像异质结太阳能电池这样使用了硅基板的太阳能电池中，绝缘区域优选以硅基板露出的方式形成。在一个实施方式中，绝缘区域的形成是利用沿着形成于光电转换部的槽切割光电转换部的方法而进行的。

[0036] 根据本发明，由于能够利用镀覆法形成集电极，所以可使集电极低电阻化，能够提高太阳能电池的转换效率。另外，由于在光电转换部形成绝缘区域，所以可抑制由短路引起

Petitioner Runergy USA Inc., Ex. 1005, p. 621

的转换特性的降低，由于绝缘区域被绝缘层覆盖，所以太阳能电池的可靠性优异。此外，在利用镀覆法形成集电极时，由于在绝缘区域上形成有绝缘层，所以可抑制杂质向基板的扩散。因此，本发明的太阳能电池的初期转换特性优异，并且可靠性也优异。

附图说明

[0037] 图 1 是表示本发明的太阳能电池的一个方式的示意截面图。

[0038] 图 2 是表示一个实施方式涉及的异质结太阳能电池的示意截面图。

[0039] 图 3 是表示在太阳能电池的制造工序中，在不使用掩模的情况下形成直至硅系薄膜和电极层的状态的示意截面图。

[0040] 图 4 是表示一个实施方式的太阳能电池的制造工序的示意截面图。

[0041] 图 5 是表示一个实施方式的太阳能电池的制造工序的示意截面图。

[0042] 图 6 是表示一个实施方式的太阳能电池的制造工序的示意截面图。

[0043] 图 7 是表示一个实施方式的太阳能电池的制造工序的示意截面图。

[0044] 图 8 是表示低熔点材料加热时的形状变化的一个例子的概念图。

[0045] 图 9 是用于说明低熔点材料粉末加热时的形状变化和颈缩（ネッキング）的概念图。

[0046] 图 10 是发生烧结颈缩的金属微粒的 SEM 照片。

[0047] 图 11 是镀覆装置的结构示意图。

[0048] 图 12 是表示参考例的太阳能电池的制造工序的示意截面图。

[0049] 图 13 是表示实施例中的绝缘层的光学特性的图。

具体实施方式

[0050] 如图 1 示意所示，本发明的太阳能电池 100 在光电转换部 50 的第一主面上具备集电极 70。光电转换部的最外表面层 61 是导电型半导体层或透明电极层。集电极 70 从光电转换部 50 侧依次包含第一导电层 71 和第二导电层 72。在第一导电层 71 与第二导电层 72 之间形成有绝缘层 9。第二导电层 72 的一部分介由例如绝缘层 9 的开口部与第一导电层 71 导通。

[0051] 在光电转换部 50 的第一主面、第二主面以及侧面中的至少任一面设置绝缘区域 5×。绝缘区域表面的至少一部分被绝缘层 9 覆盖。

[0052] 以下，以作为本发明的一个实施方式的异质结晶体硅太阳能电池（以下，有时记载为“异质结太阳能电池”）为例子，进一步详细说明本发明。异质结太阳能电池是通过在一导电类型的单晶硅基板的表面具有与单晶硅带隙不同的硅系薄膜而形成了扩散电位的晶体硅系太阳能电池。作为硅系薄膜，优选非晶硅系薄膜。其中，已知在用于形成扩散电位的导电型非晶硅系薄膜与晶体硅基板之间夹有薄的本征非晶硅层的太阳能电池是转换效率最高的晶体硅太阳能电池的形态之一。

[0053] 图 2 是本发明的一个实施方式涉及的晶体硅系太阳能电池的示意截面图。对于晶体硅系太阳能电池 101 而言，作为光电转换部 50，在一导电类型单晶硅基板 1 的一个面（光入射侧面）上，依次具有导电型硅系薄膜 3a 和光入射侧透明电极层 6a。优选在一导电类型单晶硅基板 1 的另一个面（与光入射侧相反一侧的面）上，依次具有导电型硅系薄膜 3b 和背

Petitioner Runergy USA Inc., Ex. 1005, p. 622

面侧透明电极层 6b。光电转换部 50 的第一主面侧的最外表面层是透明电极层 6a，在该透明电极层上形成有包含第一导电层 71 和第二导电层 72 的集电极 70。在第一导电层 71 与第二导电层 72 之间形成有绝缘层 9。

[0054] 在图 2 所示的实施方式中，在构成光电转换部 50 的晶体硅基板 1 的侧面具有除去了硅系薄膜和透明电极层的绝缘区域 5×，绝缘区域 5× 被绝缘层 9 覆盖。

[0055] 优选在一导电类型单晶硅基板 1 与导电型硅系薄膜 3a、3b 之间，具有本征硅系薄膜 2a、2b。优选在背面侧透明电极层 6b 上具有背面金属电极层 8。

[0056] 首先，对本发明的晶体硅系太阳能电池中的一导电类型单晶硅基板 1 进行说明。通常为了使单晶硅基板具有导电性而含有对硅供给电荷的杂质。单晶硅基板有 n 型和 p 型，n 型含有用于向硅原子导入电子的原子（例如磷），p 型含有用于向硅原子导入空穴的原子（例如硼）。即，本发明中的“一导电类型”是指 n 型或者 p 型中的任一方。

[0057] 在异质结太阳能电池中，通过使最多吸收射向单晶硅基板的光的入射侧的异质结为反向结（逆接合）来设置强的电场，从而能够有效地分离回收电子 •空穴对。因此，优选光入射侧的异质结为反向结。另一方面，比较空穴和电子时，有效质量和散射截面积小的电子通常迁移率更大。从以上观点考虑，优选异质结太阳能电池中使用的单晶硅基板 1 为 n 型单晶硅基板。从光封闭的观点考虑，优选单晶硅基板 1 在其表面具有纹理结构。

[0058] 在形成有纹理的一导电类型单晶硅基板 1 的表面，将硅系薄膜进行制膜。作为硅系薄膜的制膜方法，优选等离子体 CVD 法。作为利用等离子体 CVD 法的硅系薄膜的形成条件，优选使用基板温度 100 ～ 300℃、压力 20 ～ 2600Pa、高频功率密度 0.004 ～ 0.8W/cm^2。作为用于形成硅系薄膜的原料气体，优选使用 SiH_4、Si_2H_6 等含硅的气体，或者硅系气体与 H_2 的混合气体。

[0059] 导电型硅系薄膜 3 为一导电类型或者相反导电类型的硅系薄膜。例如，使用 n 型作为一导电类型单晶硅基板 1 时，一导电类型硅系薄膜和相反导电类型硅系薄膜分别为 n 型和 p 型。作为用于形成 p 型或 n 型硅系薄膜的掺杂气体，优选使用 B_2H_6 或者 PH_3 等。另外，由于 P、B 之类的杂质的添加量为微量即可，所以优选使用预先用 SiH_4、H_2 稀释的混合气体。在导电型硅系薄膜的制膜时，通过添加 CH_4、CO_2、NH_3、GeH_4 等含有不同种类元素的气体，使硅系薄膜合金化，从而也能够变更硅系薄膜的能隙。

[0060] 作为硅系薄膜，可举出非晶硅薄膜、微晶硅（含有非晶硅和晶体硅的薄膜）等。其中优选使用非晶硅系薄膜。例如，作为使用 n 型单晶硅基板作为一导电类型单晶硅基板 1 时的光电转换部 50 的优选构成，可举出按透明电极层 6a/p 型非晶硅系薄膜 3a/i 型非晶硅系薄膜 2a/n 型单晶硅基板 1/i 型非晶硅系薄膜 2b/n 型非晶硅系薄膜 3b/ 透明电极层 6b 的顺序层叠而成的构成。此时，从上述理由出发，优选使 p 层侧为光入射面。

[0061] 作为本征硅系薄膜 2a、2b，优选由硅和氢构成的 i 型氢化非晶硅。如果利用 CVD 法在单晶硅基板上将 i 型氢化非晶硅进行制膜，则能够抑制杂质向单晶硅基板的扩散，并且能够有效进行表面钝化。另外，通过改变膜中的氢量，从而能够使能隙具有在进行载流子回收上有效的分布。

[0062] 优选 p 型硅系薄膜为 p 型氢化非晶硅层、p 型非晶碳化硅层、或者 p 型非晶氧化硅层。从抑制杂质扩散、降低串联电阻的观点考虑，优选 p 型氢化非晶硅层。另一方面，由于 p 型非晶碳化硅层和 p 型非晶氧化硅层为宽带隙的低折射率层，所以从能够减少光学损失的

Petitioner Runergy USA Inc., Ex. 1005, p. 623

角度出发优选。

[0063] 对于异质结太阳能电池 101 的光电转换部 50 而言，优选在导电型硅系薄膜 3a、3b 上，具备透明电极层 6a、6b。透明电极层通过透明电极层形成工序形成。透明电极层 6a、6b 以导电性氧化物为主成分。作为导电性氧化物，例如，可以单独或混合使用氧化锌、氧化铟、氧化锡。从导电性、光学特性以及长期可靠性的观点考虑，优选含氧化铟的铟系氧化物，其中更优选使用以氧化铟锡（ITO）为主成分的导电性氧化物。在此“为主成分”是指含量大于 50 重量％，优选为 70 重量％以上，更优选为 90％重量以上。透明电极层可以为单层，也可以为由多个层形成的层叠结构。

[0064] 可以在透明电极层中添加掺杂剂。例如，使用氧化锌作为透明电极层时，作为掺杂剂，可举出铝、镓、硼、硅、碳等。使用氧化铟作为透明电极层时，作为掺杂剂，可举出锌、锡、钛、钨、钼、硅等。使用氧化锡作为透明电极层时，作为掺杂剂，可举出氟等。

[0065] 掺杂剂可以添加到光入射侧透明电极层 6a 和背面侧透明电极层 6b 中的一方或两方。特别优选在光入射侧透明电极层 6a 中添加掺杂剂。通过在光入射侧透明电极层 6a 中添加掺杂剂，从而能够使透明电极层自身低电阻化，并且能够抑制在透明电极层 6a 与集电极 70 之间的电阻损失。

[0066] 从透明性、导电性以及减少光反射的观点考虑，优选光入射侧透明电极层 6a 的膜厚为 10nm ～ 140nm。透明电极层 6a 的作用是向集电极 70 输送载流子，因此具有必要的导电性即可，优选膜厚为 10nm 以上。通过使膜厚为 140nm 以下，从而能够减小在透明电极层 6a 的吸收损失，能够抑制与透射率下降相伴的光电转换效率的降低。另外，如果透明电极层 6a 的膜厚在上述范围内，则还能够防止透明电极层内的载流子浓度上升，因此也可抑制与红外区域的透射率降低相伴的光电转换效率的降低。

[0067] 透明电极层的制膜方法没有特别限定，优选溅射法等物理气相沉积法或利用了有机金属化合物与氧或水的反应的化学气相沉积（MOCVD）法等。在任意的制膜方法中，均可以利用热或等离子体放电所产生的能量。

[0068] 透明电极层制膜时的基板温度被适当地设定。例如，使用非晶硅系薄膜作为硅系薄膜时，优选基板温度为 200℃以下。通过使基板温度为 200℃以下，从而能够抑制氢从非晶硅层的脱离及随之相伴的硅原子的悬空键的产生，结果能够提高转换效率。

[0069] 优选在背面侧透明电极层 6b 上，形成背面金属电极层 8。作为背面金属电极层 8，优选使用从近红外区域到红外区域的反射率高，且导电性、化学稳定性高的材料。作为满足这样特性的材料，可举出银、铝等。背面金属电极层的制膜方法没有特别限定，可以使用溅射法、真空蒸镀法等物理气相沉积法，丝网印刷等印刷法等。

[0070] 图 3 是通过一个实施方式示意表示在硅基板 1 上形成硅系薄膜 2、3、透明电极层 6、以及直到背面金属电极层 8 的状态的截面图。在图 3 中，示意表示如下结构，即，在一导电类型单晶硅基板 1 的背面侧形成本征硅系薄膜 2b 和一导电类型硅系薄膜 3b 后，在光入射侧形成本征硅系薄膜 2a 和相反导电类型硅系薄膜 3b，然后，形成光入射侧的透明电极层 6a、背面侧的透明电极层 6b 以及直到背面金属电极层 8 时的结构（应予说明，晶体硅系太阳能电池的各层的形成顺序不限于图 3 所示的方式）。

[0071] 在不使用掩模的情况下利用 CVD 法、溅射法等形成上述各层时，一导电类型单晶硅基板 1 的背面侧的本征硅系薄膜 2b、一导电类型硅系薄膜 3b、透明电极层 6b 以及背面金

Petitioner Runergy USA Inc., Ex. 1005, p. 624

属电极层 8 由于制膜时的迂回而一直形成到一导电类型晶体硅基板 1 的侧面和光入射面。另外，形成于一导电类型单晶硅基板 1 的光入射面的本征硅系薄膜 2b、相反导电类型硅系薄膜 3b 以及透明电极层 6a 由于制膜时的迂回而一直形成到一导电类型单晶硅基板 1 的侧面和背面侧。从图 3 可以理解，产生这样的迂回时，表面侧的半导体层、电极层与背面侧的半导体层、电极层成为短路的状态，太阳能电池的特性可能降低。

[0072] 在本发明中，通过形成除去了光电转换部的最外表面层的绝缘区域，从而能够解决由迂回引起的短路的问题。在此，在本说明书中，“绝缘区域”是指形成于光电转换部的表面的单一或多个特定的区域的术语，意思是除去了第一主面侧的最外表面层与第二主面侧的最外表面层的短路的区域。典型的是绝缘区域是除去了构成光电转换部的第一主面和 / 或第二主面的最外表面层的成分、没有附着该成分的区域。应予说明，“没有附着的区域”不限于完全没有检测出构成该层的材料元素的区域，材料的附着量与周边的“形成部”相比明显少、未表现该层自身所具有的特性（电特性、光学特性、机械特性等）的区域也包含在“没有附着的区域”内。应予说明，对于图 2 所示的异质结太阳能电池而言，优选绝缘区域没有附着作为光电转换部的最外表面层的透明电极层 6、背面金属电极层 8，除此之外，优选也没有附着导电型硅系薄膜 3。

[0073] 绝缘区域的形成方法没有特别限定，例如可举出以下方法，即，通过在将电极层、半导体薄膜等制膜时使用掩模等，从而在规定区域以不附着电极层、半导体薄膜等的方式进行制膜的方法；通过激光照射、机械研磨、化学蚀刻等除去规定区域的电极层、半导体薄膜等的方法；将各层制膜后，连同基板一起切割端部，形成没有附着电极层、半导体薄膜等的切割面的方法等。

[0074] 图 4（A1）是表示通过使用掩模来形成没有附着电极层、半导体薄膜等的绝缘区域的情况的一个例子的示意截面图。在该实施方式中，在透明电极层、半导体薄膜等的制造时，使用遮挡晶体硅基板的外周部的掩模，能够防止透明电极层、半导体薄膜等向晶体硅基板的外周部（制膜面侧）、侧面以及制膜面的背面侧的迂回。在该方式中，由于透明电极层和导电型硅系薄膜在光入射侧和背面侧分离，所以能够防止光入射面与背面的短路。

[0075] 在图 4（A1）所示的实施方式中，通过在硅系薄膜 2、3 的制造时以及透明电极层 6 和背面金属电极层 8 的制造时使用遮挡区域不同的掩模，从而在作为光入射侧的第一主面侧形成未将透明电极层 6 制膜的透明电极层除去区域 511×。另外，同样地在第二主面侧形成未将透明电极层和背面金属电极层制膜的透明电极层除去区域 512×。此外，在这些透明电极层除去区域的外侧和晶体硅基板的侧面形成均未将透明电极层和硅系薄膜制膜的导电型半导体层除去区域 521×、522×、523×。这样，可以根据掩模的形状等适当变更绝缘区域的形状。

[0076] 图 4（B1）是表示使用掩模来形成没有附着透明电极层、半导体薄膜等的绝缘区域的其它实施方式的示意截面图。在该实施方式中，在制造硅系薄膜 2、3 时不使用掩模，在制造透明电极层 6 和背面金属电极层 8 时使用掩模。因此，虽然导电型硅系薄膜 3a、3b 在晶体硅基板 1 的表面背面发生短路，但由于形成了没有形成作为最外表面层的透明电极层和背面金属电极层的透明电极层除去区域 513×、514×、515×，因此不发生透明电极层的短路。

[0077] 图 4（C1）是表示使用掩模来形成没有附着透明电极层、半导体薄膜等的绝缘区域

Petitioner Runergy USA Inc., Ex. 1005, p. 625

的其它实施方式的示意截面图。在该实施方式中，通过在制造硅系薄膜 2、3 时以及制造透明电极层 6 和背面金属电极层 8 时使用遮挡区域不同的掩模，从而在作为光入射侧的第一主面侧形成没有将导电型硅系薄膜 3a 制膜的导电型层除去区域 501×。另外，同样地在第二主面侧也形成未将导电型硅系薄膜 3b 制膜的导电型层除去区域 502×。此外，在这些导电型层除去区域的外侧和晶体硅基板的侧面形成均未将透明电极层和硅系薄膜进行制膜的导电型半导体层除去区域 524×、525×、526×。

[0078] 图 5（A1）和（B1）是分别表示将半导体薄膜、透明电极层进行制膜后形成绝缘区域时的例子的示意截面图。在图 5（A1）中，在硅基板 1 的侧面形成有除去了透明电极层 6 和硅系薄膜 2、3 的导电型半导体层除去区域 527×。在图 5（B1）中，在作为光入射侧的第一主面侧形成有除去了透明电极层 6a 的透明电极层除去区域 515×，在第二主面侧形成有除去了背面金属电极层 8、透明电极层 6b 以及硅系薄膜 2b、3b 的导电型半导体层除去区域 528×。

[0079] 这些绝缘区域通过在将各层进行制膜后，利用激光照射、机械研磨、化学蚀刻等除去附着于规定区域的透明电极层、半导体薄膜等来形成。在这些薄膜除去区域中，硅基板 1 的一部分可以被削去。例如，通过激光照射除去透明电极层、半导体薄膜等时，通常像图 5（A1）所示的导电型半导体层除去区域 527×、图 6（A1）所示的导电型半导体层除去区域 529× 这样，形成到达硅基板 1 内侧的槽。

[0080] 将透明电极层、半导体薄膜各层进行制膜后，利用连同基板一起将端部切割的方法也能够形成没有附着电极层、半导体薄膜等的绝缘区域（切割面）。作为连同基板一起将端部切割而形成切割面的方法，可举出使用洗涤器、划片机等将基板的端部切断除去的方法等。优选使用在基板表面形成槽，以该槽为中心进行弯曲切断的方法。

[0081] 图 6（A1）和（B1）是示意表示以槽 529× 为中心进行弯曲切断时的工序的图。首先，如图 6（A1）所示，在硅基板 1 的主面形成槽 529×。槽的形成方法没有特别限定，优选激光照射。

[0082] 作为用于形成这样的槽的激光，可使用在晶体硅基板能够吸收的光的波长下具有对于槽 529× 的形成足够的输出功率的激光。例如，优选 YAG 激光、Ar 激光的二次谐波等波长为 400nm 以下的 UV 激光，优选激光功率为 1 ～ 20W 左右。作为激光的光径，例如可以使用 20 ～ 200μm 的激光。通过照射这种条件的激光，从而能够形成具有与激光的光径大致相同宽度的槽 529×。槽的深度可以适当设定成容易进行沿槽分割的深度。

[0083] 以这样形成的槽 529× 为中心切割硅基板 1。作为切割的方法，例如可举出用保持部件夹持硅基板的周边部（槽的外侧）进行弯折的方法等。通常，由于以具有规定的取向面的方式切割晶体硅基板，所以只要形成成为切割的起点的槽，就容易在与基板面正交的方向进行切割。通过这样切割基板，从而如图 6（B1）所示，能够形成没有附着透明电极层、半导体薄膜等的切割面 520×。

[0084] 如上所述，绝缘区域可以是实质上没有附着透明导电层的透明电极层除去区域 511× ～ 515× 和除透明电极层之外也没有附着导电型半导体层的导电型半导体层除去区域 520× ～ 529× 中的任一个。应予说明，在上述的说明例中示出了除导电型硅系薄膜 3a、3b 之外也除去了本征硅系薄膜 2a、2b 的例子，但导电型半导体层除去区域可以不除去本征硅系薄膜。另外，导电型半导体层除去区域可以像作为 527×、529× 所图示这样到达硅基

Petitioner Runergy USA Inc., Ex. 1005, p. 626

板 1 的内侧。

[0085] 应予说明，如图 5（B1）所示，绝缘区域可以是例如除去了背面金属电极层而实质上没有附着的区域528×。另外，像异质结太阳能电池这样在导电型半导体层 3 上形成透明电极层 6 时，从进一步提高防短路效果的观点出发，优选以除去透明电极层和导电型半导体层两者的方式形成绝缘区域。

[0086] 绝缘区域可以形成于基板的主面、侧面中的任一面。在基板的主面形成绝缘区域时，可以仅在单面形成绝缘区域，也可以在两面形成绝缘区域。绝缘区域的数目、形状没有特别限定，从实现高的太阳能电池性能的观点出发，优选以能够可靠地除去表面背面的短路的方式形成绝缘区域。

[0087] 从提高太阳能电池性能的观点出发，优选绝缘区域设置在集电极 70 外周的区域。特别是从增大有效发电面积的观点出发，优选在更靠近第一主面和 / 或第二主面的端部的位置（例如距离端部 5mm 以下的区域）设置绝缘区域，特别优选在基板的侧面设置绝缘区域。

[0088] 如后详述，在本发明中，通过在绝缘区域上形成绝缘层，从而可抑制利用镀覆法形成集电极时的杂质向基板的扩散。因此，优选绝缘区域以在绝缘层的制膜时覆盖其表面的位置和形状进行设置。从上述观点出发，优选将绝缘区域设置在形成绝缘层侧的面，即第一主面侧。另外，即使在侧面设置绝缘区域，由于绝缘层制膜时的迂回，也能够用绝缘层覆盖绝缘区域的表面。在第二主面侧设置绝缘区域时，优选将绝缘区域设置在更靠近第二主面的端部的位置。只要是靠近第二主面的端部的位置，就可以通过在第一主面侧将绝缘层 9 进行制膜时的向背面的迂回而在绝缘区域上形成绝缘层 9（例如参照图 4（C2））。

[0089] 在上述绝缘区域的形成方法中，从生产率的观点和可靠地除去短路的观点出发，特别优选切割基板的方法。如后所述，通过基板的切割面被绝缘层 9 覆盖，从而能够防止漏电电流，并且也能够有效地阻止为了模块化而连接引板等互连器时的短路，能够简化模块化工序。

[0090] 在如上形成的光电转换部的第一主面上形成集电极 70。在图 2 所示的异质结太阳能电池的实施方式中，在光入射侧的透明电极层 6a 上形成集电极 70。集电极 70 包含第一导电层 71 和第二导电层 72。

[0091] 在第一导电层 71 与第二导电层 72 之间，形成绝缘层 9。在集电极 70 中，第二导电层 72 的一部分与第一导电层 71 导通。在此“一部分导通”的典型方式是通过在绝缘层形成开口部，在该开口部填充第二导电层的材料而导通的状态。另外，也包括通过使绝缘层 9 的一部分的膜厚变成数纳米程度这样非常薄的厚度，从而使第二导电层 72 与第一导电层 71 导通。例如，第一导电层 71 含有铝等低熔点金属材料时，可举出介由在该金属材料表面形成的氧化被膜使第一导电层 71 与第二导电层之间导通的状态。

[0092] 在绝缘层 9 形成用于使第一导电层和第二导电层导通的开口部的方法没有特别限制，可以采用激光照射、机械钻孔、化学蚀刻等方法。在一个实施方式中，可举出通过使第一导电层中的低熔点材料热流动，从而在形成于其上的绝缘层形成开口部的方法。

[0093] 作为利用第一导电层中的低熔点材料的热流动形成开口的方法，可举出在含有低熔点材料的第一导电层 71 上形成绝缘层 9 后，加热到低熔点材料的热流动开始温度 T_1 以上（退火），使第一导电层的表面形状发生变化，在形成于其上的绝缘层 9 形成开口（龟裂）的方法；或者通过在含有低熔点材料的第一导电层 71 上形成绝缘层 9 时加热到温度 T_1 以上，从

Petitioner Runergy USA Inc., Ex. 1005, p. 627

而使低熔点材料热流动，在形成绝缘层的同时形成开口的方法。

[0094] 以下，基于附图说明利用第一导电层中的低熔点材料的热流动在绝缘层形成开口的方法。图 7 是表示在太阳能电池的光电转换部 50 上形成集电极 70 的方法的一个实施方式的工序概念图。在图 7 所示的实施方式中，首先，准备光电转换部 50（光电转换部准备工序，图 7(A)）。例如，异质结太阳能电池的情况下，如上所述，准备在一导电类型硅基板上具备硅系薄膜和透明电极层的光电转换部。

[0095] 在光电转换部的一个主面上，形成含有低熔点材料 711 的第一导电层 71（第一导电层形成工序，图 7（B））。然后，在光电转换部形成绝缘区域（图 7（C））。应予说明，在图 7（C）中，图示的是利用切割基板的方法形成绝缘区域的例子。在绝缘区域形成后，在第一导电层 71 上形成绝缘层 9（绝缘层形成工序，图 7（D））。绝缘层 9 可以仅形成在第一导电层 71 上，也可以形成在光电转换部 50 的没有形成第一导电层 71 的区域（第一导电层非形成区域）上。特别是，像异质结太阳能电池这样，在光电转换部 50 的表面形成有透明电极层时，优选在第一导电层非形成区域上也形成绝缘层 9。另外，在本发明中，优选在该绝缘层形成工序中，在图 7（C）的绝缘区域形成工序中形成的绝缘区域 5× 上也形成绝缘层 9。

[0096] 形成了绝缘层 9 后，实施利用加热的退火（退火工序，图 7(E)）。通过退火工序，第一导电层 71 被加热到退火温度 Ta，低熔点材料产生热流动，由此表面形状发生变化，随之形成于第一导电层 71 上的绝缘层 9 产生变形。对于绝缘层 9 的变形而言，典型的是在绝缘层形成开口部 9h。开口部 9h 例如形成为龟裂状。

[0097] 在退火后，利用镀覆法形成第二导电层 72（镀覆工序，图 7（F））。第一导电层 71 被绝缘层 9 覆盖，但在绝缘层 9 形成开口部 9h 的部分，第一导电层 71 为露出的状态。因此，使第一导电层曝露于镀覆液，能够以该开口部 9h 为起点析出金属。根据这种方法，即使不设置具有与集电极的形状对应的开口部的抗蚀材料层，也能利用镀覆法形成与集电极的形状对应的第二导电层。此外，由于除去透明电极层、硅系薄膜等而硅基板 1 露出的绝缘区域 5× 预先被绝缘层 9 覆盖，所以能够防止可引起太阳能电池特性的降低的杂质（例如，铜离子等）在镀覆工序中从绝缘区域 5× 向晶体硅基板扩散。

[0098] 应予说明，在图 7 中图示了在第一导电层形成后切割晶体硅基板 1 形成绝缘区域 5× 的方法，但绝缘区域 5× 的形成只要在绝缘层形成工序之前就可以在任意阶段进行。例如，可以在形成透明电极层 6a 后、第一导电层形成前形成绝缘区域 5×。另外，如图 2 所示形成背面金属层 8 时，在背面金属层 8 形成的前后均可以形成绝缘区域 5×。只要在绝缘层形成工序之前实施绝缘区域形成工序，就能够容易地用绝缘层 9 覆盖绝缘区域 5×。

[0099] 另外，更优选在第一导电层形成工序后实施绝缘区域形成工序，特别优选刚好在绝缘层形成工序之前实施。通过刚好在绝缘层 9 形成之前实施绝缘区域的形成，从而能够缩短从绝缘区域形成到绝缘层形成的时间，因此能够更有效地抑制杂质向晶体硅基板的混入，容易制造更高性能的太阳能电池。

[0100] 第一导电层 71 是作为利用镀覆法形成第二导电层时的导电性基底层发挥功能的层。因此，第一导电层具有可作为电镀的基底层发挥功能的程度的导电性即可。应予说明，在本说明书中，如果体积电阻率为 $10^{-2}\Omega \cdot cm$ 以下，则定义为导电性。另外，如果体积电阻率为 $10^{2}\Omega \cdot cm$ 以上，则定义为绝缘性。

[0101] 从成本的观点考虑，第一导电层 71 的膜厚优选为 20μm 以下，更优选为 10μm 以

Petitioner Runergy USA Inc., Ex. 1005, p. 628

下。另一方面，从使第一导电层 71 的线性电阻在所希望的范围的观点考虑，膜厚优选为 0.5μm 以上，更优选为 1μm 以上。

[0102] 在图 7 所示的实施方式中，第一导电层 71 含有热流动开始温度为 T_1 的低熔点材料。热流动开始温度是指通过加热材料产生热流动，含有低熔点材料的层的表面形状发生变化的温度，作为典型例子可举出熔点。对于高分子材料、玻璃而言，有时材料在比熔点低的温度软化而产生热流动。对于这样的材料而言，可以定义为热流动开始温度＝软化点。软化点是指粘度为 4.5×10^6Pa·s 的温度（与玻璃的软化点的定义相同）。

[0103] 优选低熔点材料在退火工序中产生热流动，使第一导电层 71 的表面形状发生变化。因此，优选低熔点材料的热流动开始温度 T_1 比退火温度 T_a 低。另外，在本发明中，优选在比光电转换部 50 的耐热温度低的退火温度 T_a 进行退火工序。因此，优选低熔点材料的热流动开始温度 T_1 比光电转换部的耐热温度低。

[0104] 光电转换部的耐热温度是指使用具备该光电转换部的太阳能电池（也称为“太阳能电池单元”或者“单元”）或者太阳能电池单元制作的太阳能电池模块的特性不可逆地降低的温度。例如，对于图 2 所示的异质结太阳能电池 101 而言，构成光电转换部 50 的单晶硅基板 1 即便被加热到 500℃以上的高温时，也难以发生特性变化，但如果透明电极层 6 或非晶硅系薄膜 2、3 被加热 250℃左右，则有时产生热劣化，或者产生掺杂杂质的扩散，产生太阳能电池特性的不可逆的降低。因此，对于异质结太阳能电池而言，优选第一导电层 71 含有热流动开始温度 T_1 为 250℃以下的低熔点材料。

[0105] 低熔点材料的热流动开始温度 T_1 的下限没有特别限定。从使退火工序中的第一导电层的表面形状的变化量大而在绝缘层 9 容易形成开口部 9h 的观点考虑，优选在第一导电层的形成工序中，低熔点材料不产生热流动。例如，利用涂布、印刷形成第一导电层时，有时为了干燥而进行加热。此时，优选低熔点材料的热流动开始温度 T_1 比用于干燥第一导电层的加热温度高。从上述观点考虑，优选低熔点材料的热流动开始温度 T_1 为 80℃以上，更优选为 100℃以上。

[0106] 只要热流动开始温度 T_1 在上述范围，低熔点材料可以为有机物，也可以为无机物。在电气特性方面，低熔点材料可以为导电性，也可以为绝缘性，但优选具有导电性的金属材料。如果低熔点材料为金属材料，则由于能够使第一导电层的电阻值变小，所以在利用电镀形成第二导电层时，能够提高第二导电层的膜厚的均匀性。另外，如果低熔点材料为金属材料，则也能够降低光电转换部 50 与集电极 70 之间的接触电阻。

[0107] 作为低熔点材料，可以优选使用低熔点金属材料的单体或合金、多种低熔点金属材料的混合物。作为低熔点金属材料，例如，可举出铟、铋、镓等。

[0108] 优选第一导电层 71 除含有上述低熔点材料之外，还含有具有与低熔点材料相比相对高温的热流动开始温度 T_2 的高熔点材料。第一导电层 71 通过具有高熔点材料，从而能够高效地导通第一导电层与第二导电层，能够提高太阳能电池的转换效率。例如，使用表面能大的材料作为低熔点材料时，如果由于退火工序第一导电层 71 被曝露于高温，低熔点材料成为液相状态，则如图 8 示意所示，有时低熔点材料的粒子集合成为粗大的粒状，在第一导电层 71 发生断线。与此相对，由于高熔点材料在退火工序中即便被加热也不会成为液相状态，所以通过在第一导电层形成材料中含有高熔点材料，从而可抑制图 8 所示的由低熔点材料的粗大化而引起的第一导电层的断线。

Petitioner Runergy USA Inc., Ex. 1005, p. 629

[0109] 优选高熔点材料的热流动开始温度 T_2 比退火温度 T_a 高。即，第一导电层 71 含有低熔点材料和高熔点材料时，优选低熔点材料的热流动开始温度 T_1、高熔点材料的热流动开始温度 T_2 以及退火工序中的退火温度 T_a 满足 $T_1 < T_a < T_2$。高熔点材料可以为绝缘性材料也可以为导电性材料，从使第一导电层的电阻变小的观点考虑，优选导电性材料。另外，低熔点材料的导电性低时，通过使用导电性高的材料作为高熔点材料，从而能够使作为第一导电层整体的电阻变小。作为导电性的高熔点材料，例如，可以优选使用银、铝、铜等金属材料的单体或多种金属材料。

[0110] 第一导电层 71 含有低熔点材料和高熔点材料时，从抑止如上所述的由低熔点材料的粗大化引起的断线、第一导电层的导电性、在绝缘层形成开口部的容易性（第二导电层的金属析出的起点数的增大）等观点考虑，可适当地调整其含有比。其最佳值根据使用的材料、粒径的组合而不同，例如，低熔点材料与高熔点材料的重量比（低熔点材料：高熔点材料）为 5:95 ～ 67:33 的范围。低熔点材料：高熔点材料的重量比更优选为 10:90 ～ 50:50，进一步优选为 15:85 ～ 35:65。

[0111] 作为第一导电层 71 的材料，使用金属粒子等粒子状低熔点材料时，从退火工序中在绝缘层形成开口变得容易的观点考虑，优选低熔点材料的粒径 D_L 为第一导电层的膜厚 d 的 1/20 以上，更优选为 1/10 以上。低熔点材料的粒径 D_L 优选为 0.25μm 以上，更优选为 0.5μm 以上。另外，利用丝网印刷等印刷法形成第一导电层 71 时，粒子的粒径可根据丝网版的网眼尺寸等适当地设定。例如，优选粒径比网眼尺寸小，更优选为网眼尺寸的 1/2 以下。应予说明，粒子为非球形的情况下，粒径被定义为与粒子的投影面积相等面积的圆的直径（投影面积圆相当直径，Heywood 径）。

[0112] 低熔点材料的粒子的形状没有特别限定，优选扁平状等非球形。另外，也优选使用利用烧结等方法使球形的粒子结合成为非球形的粒子。通常，如果金属粒子变成液相状态，则表面能变小，表面形状容易变成球形。如果退火工序前的第一导电层的低熔点材料为非球形，通过退火工序被加热到热流动开始温度 T_1 以上，则粒子接近于球形，因此第一导电层的表面形状的变化量变得更大。因此，容易对第一导电层 71 上的绝缘层 9 形成开口部。

[0113] 如上所述，第一导电层 71 为导电性，体积电阻率为 $10^{-2}\Omega \cdot cm$ 以下即可。第一导电层 71 的体积电阻率优选为 $10^{-4}\Omega \cdot cm$ 以下。第一导电层仅具有低熔点材料时，低熔点材料具有导电性即可。第一导电层含有低熔点材料和高熔点材料时，低熔点材料和高熔点材料中，至少一方具有导电性即可。例如，作为低熔点材料 / 高熔点材料的组合，可举出绝缘性 / 导电性、导电性 / 绝缘性、导电性 / 导电性，为了进一步使第一导电层低电阻，优选低熔点材料和高熔点材料这两者均为具有导电性的材料。

[0114] 作为第一导电层 71 的材料，除如上所述的低熔点材料与高熔点材料的组合以外，通过调整材料的大小（例如，粒径）等，也能够抑制退火工序中的因加热而导致的第一导电层的断线，提高转换效率。例如，银、铜、金等具有高熔点的材料如果为粒径 1μm 以下的微粒，则在低于熔点的 200℃左右或者该温度以下的温度 T_1' 发生烧结颈缩（微粒的融合），因此也可以作为本发明的“低熔点材料”使用。如果这种发生烧结颈缩的材料被加热到烧结颈缩开始温度 T_1' 以上，则在微粒的外周部附近发生变形，因此第一导电层的表面形状发生变化，从而能够在绝缘层 9 形成开口部。另外，即便微粒被加热到烧结颈缩开始温度以上时，只要为低于熔点 T_2' 的温度微粒就可维持固相状态，所以难以产生如图 8 所示的由材料的

Petitioner Runergy USA Inc., Ex. 1005, p. 630

粗大化而引起的断线。即，可以说金属微粒等发生烧结颈缩的材料为本发明中的“低熔点材料”，并且也具有作为“高熔点材料”的一面。

[0115] 对于这种发生烧结颈缩的材料而言，可以定义为烧结颈缩开始温度 T_1’＝热流动开始温度 T_1。图 9 是用于说明烧结颈缩开始温度的图。图 9（A）是示意表示烧结前的粒子的俯视图。由于为烧结前，所以粒子之间互相以点接触。图 9（B）和图 9（C）是示意表示用通过各粒子的中心的截面切开烧结开始后的粒子时的样子的截面图。图 9（B）表示烧结开始后（烧结初始阶段）的状态，图 9（C）表示从（B）开始进行了烧结的状态。在图 9（B）中，粒子 A（半径 r_A）与粒子 B（半径 r_B）的晶粒边界以长度 a_{AB} 的点线表示。

[0116] 烧结颈缩开始温度 T_1’被定义为晶粒边界的长度 a_{AB} 与 r_A 和 r_B 中大的一方的值 max（r_A，r_B）之比 $a_{AB}/\max(r_A, r_B)$ 变成 0.1 以上时的温度。即，将至少一对粒子的 $a_{AB}/\max(r_A, r_B)$ 变成 0.1 以上的温度称为烧结颈缩开始温度。应予说明，在图 9 中为了简单化，将粒子示作球形，但粒子为非球形时，将晶粒边界附近的粒子的曲率半径视为粒子的半径。另外，晶粒边界附近的粒子的曲率半径根据场所而不同时，将测定点中最大的曲率半径视为该粒子的半径。例如，如图 10（A）所示，在发生了烧结的一对微粒 A、B 间，形成了长度 a_{AB} 的晶粒边界。此时，粒子 A 的晶粒边界附近的形状近似于以点线表示的假想圆 A 的弧。另一方面，对于粒子 B 的晶粒边界附近，一方近似于以虚线表示的假想圆 B_1 的弧，另一方近似于以实线表示的假想圆 B_2 的弧。如图 10（B）所示，由于 $r_{B2} > r_{B1}$，所以将 r_{B2} 视为粒子 B 的半径 r_B。应予说明，上述假想圆可以通过利用截面或表面的观察像的白黑二值化处理界定边界，基于晶粒边界附近的边界的坐标利用最小二乘法算出中心坐标和半径的方法来决定。

[0117] 应予说明，难以利用上述定义严格测定烧结颈缩开始温度时，可以将下述温度视为烧结颈缩开始温度，即形成含有微粒的第一导电层，在其上形成绝缘层，通过加热在绝缘层产生开口部（龟裂）的温度。如后所述，在绝缘层形成时进行加热的情况下，可以将通过绝缘层形成时的基板的加热而产生开口部（龟裂）的温度视为烧结颈缩开始温度。

[0118] 在第一导电层的形成材料中，除使用上述低熔点材料（和高熔点材料）之外，还可以优选使用含有粘结剂树脂等的糊料等。另外，为了充分提高利用丝网印刷法形成的第一导电层的导电性，优选利用热处理使第一导电层固化。因此，作为糊料中含有的粘结剂树脂，优选使用可以在上述干燥温度进行固化的材料，可以使用环氧系树脂、酚醛系树脂、丙烯酸系树脂等。此时，在固化的同时低熔点材料的形状发生变化，这是由于如图 7（E）所示，在加热时，在低熔点材料附近的绝缘层容易产生开口（龟裂）。应予说明，粘结剂树脂与导电性的低熔点材料的比率以成为所谓的渗透（パーコレーション）的阈值（与显示导电性的低熔点材料含量相当的比率的临界值）以上的方式设定即可。

[0119] 第一导电层 71 可以利用喷墨法、丝网印刷法、导线粘接法、喷雾法、真空蒸镀法、溅射法等公知技术来制作。优选第一导电层 71 以梳形等规定形状图案化。从生产率的观点考虑，丝网印刷法适于图案化的第一导电层的形成。在丝网印刷法中，优选使用含有由金属粒子构成的低熔点材料的印刷糊料、以及具有与集电极的图案形状对应的开口图案的丝网版，印刷集电极图案的方法。

[0120] 另一方面，使用含溶剂的材料作为印刷糊料时，需要用于除去溶剂的干燥工序。优选此时的干燥温度比低熔点材料的热流动开始温度 T_1 低。干燥时间可以适当地设定为例如 5 分钟～ 1 小时左右。

Petitioner Runergy USA Inc., Ex. 1005, p. 631

[0121] 第一导电层可以由多个层构成。例如，可以是由与光电转换部表面的透明电极层的接触电阻低的下层和含有低熔点材料的上层形成的层叠结构。根据这样的结构，可以期待随着与透明电极层的接触电阻的降低而带来的太阳能电池的填充因子提高。另外，通过成为低熔点材料含有层与高熔点材料含有层的层叠结构，可以期待第一导电层进一步低电阻化。

[0122] 以上，以利用印刷法形成第一导电层的情况为中心进行了说明，但第一导电层的形成方法不限于印刷法。例如，第一导电层可以使用与图案形状对应的掩模，利用蒸镀法、溅射法形成。

[0123] （绝缘层）

[0124] 在第一导电层 71 上形成绝缘层 9。在此，第一导电层 71 形成为规定的图案（例如梳形）时，在光电转换部 50 的表面上存在形成了第一导电层的第一导电层形成区域和没有形成第一导电层的第一导电层非形成区域。在本发明中，绝缘层 9 至少在第一导电层形成区域以及第一导电层非形成区域的绝缘区域 5× 上形成。

[0125] 绝缘层 9 以覆盖绝缘区域 5× 的至少一部分的方式形成。另外，如图 4 的各实施方式等所示，存在多个绝缘区域时，其中至少 1 个绝缘区域被绝缘层 9 覆盖。应予说明，“1 个绝缘区域”是指在光电转换部的主面或侧面通过任一个工序形成的区域。例如，利用掩模形成绝缘区域时，在图 4（A1）的图示例中，绝缘区域 511×、521×、522×、523×、512× 分别是 1 个绝缘区域。在图 4（A2）中图示了在这些绝缘区域中，第一主面侧的绝缘区域 511×、521× 和侧面的绝缘区域 522× 的整体，以及第二主面侧的绝缘区域 523× 的全部被绝缘层 9 覆盖的例子。在通过激光照射而形成绝缘区域的图 5（A1）的图示例中，形成了 1 个绝缘区域 527×，在图 5（A2）中，绝缘区域 527× 的整体被绝缘层 9 覆盖。在图 5（B1）的图示例中，在第一主面侧形成有绝缘区域 515×，第二主面侧形成有绝缘区域 528×，在图 5（B2）中，第一主面侧的绝缘区域 515× 的整体被绝缘层 9 覆盖。在通过切割基板而形成绝缘区域的图 6（B1）的图示例中，形成有通过激光照射而形成的绝缘区域 529’× 和作为绝缘区域的切割面 520×，在图 6（B2）中，这些绝缘区域全部被绝缘层 9 覆盖。

[0126] 在本发明中，从进一步提高杂质的扩散抑制效果的观点考虑，特别优选绝缘区域全部被绝缘层覆盖。另外，在晶体硅基板 1 的表面或侧面直接形成绝缘层时，可以通过适当选择绝缘层的材料、制法来得到晶体硅的表面钝化效果等。应予说明，覆盖绝缘区域的绝缘层的材料可以与形成在第一导电层形成区域上的绝缘层的材料相同，也可以不同，但从生产率的观点考虑，优选使用相同的材料。使用相同的材料时，优选同时形成覆盖绝缘区域的绝缘层和第一导电层形成区域上的绝缘层。

[0127] 应予说明，在本发明中，从制造工序的简化等观点考虑，在第一导电层上形成绝缘层 9 时，优选绝缘区域全部被绝缘层 9 覆盖。另一方面，在绝缘层形成工序中绝缘区域的一部分被绝缘层 9 覆盖，其它部分没有被绝缘层覆盖时，可以在其前后设置其它工序，使绝缘区域全部被绝缘层覆盖。

[0128] 此外，在本发明中，优选也在绝缘区域 5× 以外的第一导电层非形成区域上形成绝缘层，特别优选在第一主面的第一导电层非形成区域的整面形成绝缘层。绝缘层也在第一导电层非形成区域形成的情况下，在利用镀覆法形成第二导电层时，能够化学及电保护光电转换部免受镀覆液损害。另外，能够抑制镀覆液中的杂质向晶体硅基板的扩散，可期待

Petitioner Runergy USA Inc., Ex. 1005, p. 632

长期可靠性的提高。

[0129] 例如，像图 2 所示的异质结太阳能电池这样在光电转换部 50 的第一主面侧形成有透明电极层 6a 的情况下，通过在透明电极层 6a 的表面形成绝缘层 9，从而能够抑止透明电极层与镀覆液的接触，能够防止金属层（第二导电层）向透明电极层上的析出。另外，从生产率的观点考虑，更优选在第一导电层形成区域与第一导电层非形成区域的整体上形成绝缘层。

[0130] 作为绝缘层 9 的材料，使用在电学特性上显示绝缘性的材料。另外，优选绝缘层 9 为对镀覆液具有化学稳定性的材料。通过使用对镀覆液的化学稳定性高的材料，从而在第二导电层形成时的镀覆工序中，难以引起由溶解等导致的绝缘层的变质、膜剥落等不良情况，难以发生对光电转换部表面的损害。另外，在第一导电层非形成区域上也形成绝缘层 9 时，优选绝缘层与光电转换部 50 的附着强度大。例如，在异质结太阳能电池中，优选绝缘层 9 与光电转换部 50 表面的透明电极层 6a 的附着强度大。通过使透明电极层与绝缘层的附着强度变大，从而在镀覆工序中绝缘层难以剥离，能够防止金属向透明电极层上的析出。

[0131] 优选在绝缘层 9 中使用光吸收少的材料。由于绝缘层 9 在光电转换部 50 的光入射面侧形成，所以如果绝缘层的光吸收小，则更多的光能够射入光电转换部。例如，绝缘层 9 具有透射率 90% 以上的充分的透明性时，在绝缘层的由光吸收引起的光学损失小，从而能够在第二导电层形成后不除去绝缘层，而直接用作太阳能电池。因此，能够使太阳能电池的制造工序简单化，能够进一步提高生产率。在不除去绝缘层 9 的情况下直接用作太阳能电池时，绝缘层 9 更优选使用除透明性以外，还具有充分的耐候性以及对热 •湿度的稳定性的材料。

[0132] 绝缘层的材料可以为无机绝缘性材料，也可以为有机绝缘性材料。作为无机绝缘性材料，例如，可以使用氧化硅、氮化硅、氧化钛、氧化铝、氧化镁、氧化锌等材料。作为有机绝缘性材料，例如，可以使用聚酯、乙烯 - 乙酸乙烯酯共聚物、丙烯酸树脂、环氧树脂、聚氨酯等材料。从由于退火工序中的随着第一导电层的表面形状的变化而产生的界面应力等而在绝缘层容易形成开口的观点考虑，绝缘层的材料优选为断裂伸长率小的无机材料。在这样的无机材料中，从镀覆液耐性、透明性的观点考虑，优选使用氧化硅、氮化硅、氧化氮化硅、氧化铝、SiAlON、氧化钇、氧化镁、钛酸钡、氧化钐、钽酸钡、氧化钽、氟化镁、氧化钛、钛酸锶等。其中，从电特性及与透明电极层的密合性等的观点考虑，优选氧化硅、氮化硅、氧化氮化硅、氧化铝、SiAlON、氧化钇、氧化镁、钛酸钡、氧化钐、钽酸钡、氧化钽、氟化镁等，从可适当地调整折射率的观点考虑，特别优选使用氧化硅、氮化硅等。应予说明，这些无机材料不限于具有化学计量（stoichiometric）组成的材料，可以是包括缺少氧等的材料。

[0133] 绝缘层 9 的膜厚根据绝缘层的材料、形成方法适当地设定。优选绝缘层 9 的膜厚薄到可通过随着退火工序中的第一导电层的表面形状的变化而产生的界面应力等，在绝缘层形成开口部的程度。从上述观点考虑，绝缘层 9 的膜厚优选 1000nm 以下，更优选 500nm 以下。另外，通过适当地设定第一导电层非形成部中的绝缘层 9 的光学特性、膜厚，从而能够改善光反射特性，增加向太阳能电池单元内部导入的光量，进一步提高转换效率。为了得到这样的效果，优选绝缘层 9 的折射率比光电转换部 50 表面的折射率低。另外，从对绝缘层 9 赋予适当的防反射特性的观点考虑，优选膜厚设定在 30nm ～ 250nm 的范围内，更优选设定在 50nm ～ 250nm 的范围内。应予说明，第一导电层形成区域上的绝缘层的膜厚和第一导电

Petitioner Runergy USA Inc., Ex. 1005, p. 633

层非形成区域上的绝缘层的膜厚可以不同。例如，对于第一导电层形成区域而言，可以从使退火工序中的开口部的形成变得容易的观点来设定绝缘层的膜厚，而对于第一导电层非形成区域而言，可以以成为具有适当的防反射特性的光学膜厚的方式设定绝缘层的膜厚。另外，在第一导电层非形成区域中，对于绝缘区域而言，为了可靠地保护硅基板表面免受镀覆液损害，可以以绝缘层的膜厚比第一导电层形成区域大的方式进行设定。

[0134] 像异质结太阳能电池这样在光电转换部 50 的表面具有透明电极层（通常折射率：1.9 ～ 2.1 左右）的情况，为了提高在界面的防光反射效果而增加向太阳能电池单元内部导入的光量，优选绝缘层的折射率为空气（折射率＝ 1.0）与透明电极层的中间值。另外，太阳能电池单元被密封模块化时，优选绝缘层的折射率为密封剂与透明电极层的中间值。从上述观点考虑，绝缘层 9 的折射率例如优选为 1.4 ～ 1.9，更优选为 1.5 ～ 1.8，进一步优选为 1.55 ～ 1.75。绝缘层的折射率可根据绝缘层的材料、组成等在所希望的范围调整。例如，氧化硅的情况下，通过使氧含量减小，从而折射率变高。应予说明，本说明书中的折射率在没有特殊说明的情况下，是指对波长 550nm 的光的折射率，是利用光谱椭偏仪测定的值。另外，优选根据绝缘层的折射率，以防反射特性提高的方式设定绝缘层的光学膜厚（折射率 × 膜厚）。

[0135] 绝缘层可以使用公知的方法形成。例如，氧化硅、氮化硅等无机绝缘性材料的情况下，优选使用等离子体 CVD 法、溅射法等干式法。另外，有机绝缘性材料的情况下，优选使用旋涂法、丝网印刷法等湿式法。根据这些方法，能够减少针孔等缺陷，形成致密的结构的膜。

[0136] 在上述制膜方法中，优选使用可在绝缘区域 5× 上形成绝缘层的方法。例如，利用切割硅基板的方法等在基板侧面形成绝缘区域 5× 时，优选采用在基板的侧面也形成绝缘层的方法。作为在基板的侧面也形成绝缘层的方法，优选 CVD 法、溅射法等。其中，从形成更致密的结构的膜的观点考虑，优选绝缘层 9 用等离子体 CVD 法形成。通过该方法，不仅是在形成 200nm 左右的厚的绝缘层时，而且形成 30 ～ 100nm 左右薄的膜厚的绝缘层时也能够形成致密性高的结构的膜。

[0137] 例如，如图 2 所示，在光电转换部 50 的表面具有纹理结构（凹凸结构）的情况，从无论在纹理的凹部或凸部均能够精度好地形成膜的观点考虑，优选绝缘层利用等离子体 CVD 法形成。通过使用致密性高的绝缘层，从而在能够减少镀覆处理时对透明电极层损害的基础上，能够防止金属向透明电极层上的析出。另外，作为用于防止来自绝缘区域 5× 的铜离子等杂质向硅基板 1 内侵入的保护膜的功能也优异。此外，致密性高的绝缘膜像图 2 的晶体硅系太阳能电池中的硅系薄膜 3 那样，对于光电转换部 50 内部的层而言，可作为水、氧等的阻挡层发挥功能，因此也可以期待太阳能电池的长期可靠性的提高的效果。

[0138] 应予说明，位于第一导电层 71 与第二导电层 72 之间的绝缘层 9，即第一导电层形成区域上的绝缘层 9 的形状不一定为连续的层状，也可以为岛状。应予说明，本说明书中的“岛状”的术语是指在表面的一部分具有没有形成绝缘层 9 的非形成区域的状态。

[0139] 在本发明中，绝缘层 9 也有助于第一导电层 71 和第二导电层 72 的附着力的提高。例如，利用镀覆法在作为基底电极层的 Ag 层上形成 Cu 层时，Ag 层和 Cu 层的附着力小，但通过在氧化硅等绝缘层上形成 Cu 层，从而第二导电层的附着力提高，可期待提高太阳能电池的可靠性。

[0140] 在本发明的一个实施方式中，在第一导电层 71 上形成绝缘层 9 后，在形成第二导

Petitioner Runergy USA Inc., Ex. 1005, p. 634

电层 72 前进行退火工序。在退火工序中，由于第一导电层 71 被加热到比低熔点材料的热流动开始温度 T_1 高的温度，低熔点材料成为流动状态，所以第一导电层的表面形状发生变化。随着该变化，在形成于其上的绝缘层 9 形成开口部 9h。因此，在其后的镀覆工序中，由于第一导电层 71 的表面的一部分曝露于镀覆液中而导通，所以如图 7（F）所示，能够以该导通部为起点析出金属。

[0141] 应予说明，开口部主要在第一导电层 71 的低熔点材料 711 上形成。低熔点材料为绝缘性材料时，开口部的正下方为绝缘性，但镀覆液也渗透到存在于低熔点材料周边的导电性的高熔点材料中，因此能够使第一导电层与镀覆液导通。

[0142] 优选退火工序中的退火温度（加热温度）T_a 比低熔点材料的热流动开始温度 T_1 大，即 $T_1 < T_a$。更优选退火温度 T_a 满足 $T_1 + 1℃ \leqslant T_a \leqslant T_1 + 100℃$，进一步优选满足 $T_1 + 5℃ \leqslant T_a \leqslant T_1 + 60℃$。退火温度可根据第一导电层的材料的组成、含量等适当地设定。

[0143] 另外，如上所述，优选退火温度 T_a 比光电转换部 50 的耐热温度低。光电转换部的耐热温度根据光电转换部的构成而不同。例如，像异质结太阳能电池、硅系薄膜太阳能电池这样具有非晶硅薄膜的情况的耐热温度为 250℃左右。因此，光电转换部具备非晶硅系薄膜的异质结太阳能电池、硅系薄膜太阳能电池的情况下，从抑制对非晶硅系薄膜及其界面的热损害的观点考虑，优选退火温度设定在 250℃以下。为了实现更高性能的太阳能电池，更优选退火温度为 200℃以下，进一步优选为 180℃以下。随之，优选第一导电层 71 的低熔点材料的热流动开始温度 T_1 低于 250℃，更优选低于 200℃，进一步优选低于 180℃。

[0144] 另一方面，在一导电类型晶体硅基板的一个主面上具有相反导电类型的扩散层的晶体硅太阳能电池由于不具有非晶硅薄膜、透明电极层，所以耐热温度为 800℃～ 900℃左右。因此，也可以在大于 250℃的退火温度 T_a 进行退火工序。

[0145] 应予说明，绝缘层的开口部的形成方法不限于像上述那样在绝缘层形成后进行退火处理的方法。例如，也可以像图 7 的虚线箭头所示这样，与绝缘层 9 的形成同时地形成开口部 9h。

[0146] 例如，通过边加热基板边形成绝缘层，从而与绝缘层的形成几乎同时地形成开口部。在此，“与绝缘层的形成几乎同时”是指除了绝缘层形成工序之外不进行退火处理等其它工序的状态，即，是指绝缘层的制膜中或者刚刚制膜后的状态。刚刚制膜后也包括从绝缘层的制膜结束后（停止加热后）到基板冷却返回至室温等的期间。另外，在低熔点材料上的绝缘层形成开口部时，也包括下述情况，即，即便在低熔点材料上的绝缘层的制膜结束后，也随着在其周边将绝缘层进行制膜，在低熔点材料周边的绝缘层发生变形，形成开口部。

[0147] 作为与绝缘层的形成几乎同时地形成开口部的方法，例如，在绝缘层形成工序中，使用边将基板加热到比第一导电层 71 的低熔点材料 711 的热流动开始温度 T_1 高的温度 Tb 边在第一导电层 71 上将绝缘层 9 制膜的方法。由于在低熔点材料成为流动状态的第一导电层上将绝缘层 9 制膜，所以与制膜同时地在制膜界面产生应力，例如在绝缘层上形成龟裂状的开口。

[0148] 应予说明，绝缘层形成时的基板温度 Tb（以下，“绝缘层形成温度”）表示绝缘层在制膜开始时刻的基板表面温度（也称为“基板加热温度”）。通常，绝缘层在制膜中的基板表面温度的平均值为通常制膜开始时刻的基板表面温度以上。因此，只要绝缘层形成温度 Tb 是比低熔点材料的热流动开始温度 T_1 高的温度，就能够在绝缘层形成开口部等变形。

Petitioner Runergy USA Inc., Ex. 1005, p. 635

[0149] 例如，利用 CVD 法、溅射法等干式法形成绝缘层 9 时，可以通过使绝缘层制膜中的基板表面温度比低熔点材料的热流动开始温度 T_1 高来形成开口部。另外，利用涂布等湿式法形成绝缘层 9 时，可以通过使干燥溶剂时的基板表面温度为高于低熔点材料的热流动开始温度 T_1 的温度来形成开口部。应予说明，利用湿式法形成绝缘层时的“制膜开始时刻”是指溶剂的干燥开始时刻。绝缘层形成温度 Tb 的优选范围与上述退火温度 Ta 的优选范围相同。

[0150] 基板表面温度例如可以通过在制膜面侧的基板表面贴附热敏纸、热电偶进行测定。另外，加热器等加热装置的温度以基板的表面温度成为所希望的范围的方式适当调整即可。

[0151] 利用等离子体 CVD 法形成绝缘层 9 时，从形成致密的膜的观点考虑，绝缘层形成温度 Tb 优选为 130℃以上，更优选为 140℃以上，进一步优选为 150℃以上。另外，优选绝缘层制膜时的基板表面的最高到达温度是比光电转换部的耐热温度低的温度。

[0152] 从形成更致密的膜的观点考虑，等离子体 CVD 的制膜速度优选为 1nm/ 秒以下，更优选为 0.5nm/ 秒以下，进一步优选为 0.25nm/ 秒以下。作为利用等离子体 CVD 形成氧化硅时的制膜条件，优选基板温度为 145℃～ 250℃，压力为 30Pa ～ 300Pa，功率密度为 0.01W/cm^2 ～ 0.16W/cm^2。

[0153] 与绝缘层的形成几乎同时地形成开口部后，存在开口部的形成不充分的位置时等，可以再次进行上述退火工序。

[0154] （第二导电层）

[0155] 如上所述，形成了具有开口部 9h 的绝缘层 9 后，利用镀覆法在第一导电层形成区域的绝缘层 9 上形成第二导电层 72。此时，作为第二导电层析出的金属只要是可用镀覆法形成的材料就没有特别限定，例如，可以使用铜、镍、锡、铝、铬、银、金、锌、铅、钯等或者它们的混合物。

[0156] 在太阳能电池工作时（发电时），电流主要流通第二导电层。因此，从抑制第二导电层中的电阻损失的观点考虑，优选第二导电层的线性电阻尽量小。具体而言，优选第二导电层的线性电阻为 1Ω/cm 以下，更优选为 0.5Ω/cm 以下。另一方面，第一导电层的线性电阻小到可作为电镀时的基底层发挥功能的程度即可，例如，为 5Ω/cm 以下即可。

[0157] 第二导电层可利用非电镀法、电镀法中的任一种来形成，从生产率的观点考虑，优选使用电镀法。在电镀法中，由于能够增大金属的析出速度，所以能够以短时间形成第二导电层。

[0158] 以酸性镀铜为例，说明利用电镀法形成第二导电层的方法。图 11 是第二导电层的形成中使用的镀覆装置 10 的概念图。在光电转换部上形成了第一导电层和绝缘层并实施了退火处理的基板 12 和阳极 13 浸渍在镀覆槽 11 中的镀覆液 16 中。基板 12 上的第一导电层 71 介由基板支架 14 与电源 15 连接。通过在阳极 13 和基板 12 之间施加电压，从而能够在没有被绝缘层 9 覆盖的第一导电层上，即能够以通过退火处理在绝缘层产生的开口部为起点，选择性析出铜。

[0159] 酸性镀铜中使用的镀覆液 16 含有铜离子。例如可以使用以硫酸铜、硫酸、水为主成分的公知的组成的镀覆液，通过向其中流通 0.1 ～ 10A/dm^2 的电流，从而使作为第二导电层的金属析出。适当的镀覆时间根据集电极的面积、电流密度、阴极电流效率、设定膜厚等

Petitioner Runergy USA Inc., Ex. 1005, p. 636

适当地设定。

[0160] 第二导电层可以由多个层构成。例如，隔着绝缘层在第一导电层上形成由 Cu 等导电率高的材料形成的第一镀覆层后，在第一镀覆层的表面形成化学稳定性优异的第二镀覆层，由此能够形成低电阻且化学稳定性优异的集电极。

[0161] 优选在镀覆工序后，设置镀覆液除去工序，除去残留在基板 12 的表面的镀覆液。通过设置镀覆液除去工序，从而能够除去能以退火工序中形成的绝缘层 9 的开口部 9h 以外为起点析出的金属。作为以开口部 9h 以外为起点析出的金属，例如可举出以绝缘层 9 的针孔等为起点析出的金属。通过镀覆液除去工序除去这样的金属，能够减少遮光损失，所以能进一步提高太阳能电池特性。

[0162] 镀覆液的除去可以通过下述方法进行，即，例如，通过吹气式的空气清洗除去残留在从镀覆槽取出的基板 12 的表面的镀覆液后，进行水洗，再通过吹气吹飞清洗液。通过在水洗前进行空气清洗减少残留在基板 12 表面的镀覆液量，从而能够减少在水洗时带入的镀覆液的量。因此，能够减少水洗所需的清洗液的量，并且也能够减少伴随水洗而产生的废液处理的工夫，因此能够减少由清洗所带来的环境负荷、费用，并且能够提高太阳能电池的生产率。

[0163] 在此，通常 ITO 等透明电极层、氧化硅等绝缘层为亲水性，基板 12 的表面即光电转换部 50 的表面、绝缘层 9 的表面与水的接触角大多为 10° 左右或其以下。另一方面，从容易除去由吹气等带来的镀覆液的观点考虑，优选基板 12 的表面与水的接触角为 20° 以上。为了增大基板表面的接触角，可以在基板 12 表面进行防水处理。防水处理例如通过在表面形成防水层来进行。通过防水处理，从而能够降低基板表面对镀覆液的润湿性。

[0164] 应予说明，可以形成具有防水性的绝缘层 9 来代替对绝缘层 9 的表面的防水处理。即，通过形成与水的接触角 θ 大（例如 20° 以上）的绝缘层 9，从而能够省略另外的防水处理工序，因此能够进一步提高太阳能电池的生产率。作为使绝缘层具有防水性的方法，例如可举出利用变更了绝缘层的制膜条件（例如，导入到制膜室的硅原料气体与氧原料气体的流量比）的等离子体 CVD 法将作为绝缘层的氧化硅层进行制膜的方法。

[0165] 在本发明中，可以在集电极形成后（镀覆工序后）进行绝缘层除去工序。例如，使用光吸收大的材料作为绝缘层时，为了抑制由绝缘层的光吸收而引起的太阳能电池特性的降低，优选进行绝缘层除去工序。绝缘层的除去方法根据绝缘层材料的特性适当地选择。例如，利用化学蚀刻或机械研磨可除去绝缘层。另外，根据材料也可以使用灰化（ashing）法。此时，从进一步提高光射入效果的观点考虑，更优选除去全部第一导电层非形成区域上的绝缘层。应予说明，使用氧化硅等光吸收小的材料作为绝缘层时，不需要进行绝缘层除去工序。

[0166] 以上，以在异质结太阳能电池的光入射侧设置集电极 70 的情况为中心进行了说明，但也可以在背面侧形成同样的集电极。由于像异质结太阳能电池这样使用了晶体硅基板的太阳能电池的电流量大，所以通常有由透明电极层 / 集电极间的接触电阻的损失所引起的发电耗损显著的趋势。与此相对，在本发明中，由于具有第一导电层和第二导电层的集电极与透明电极层的接触电阻低，所以能够减少因接触电阻引起的发电耗损。

[0167] 另外，本发明可适用于下述各种太阳能电池，即，异质结太阳能电池以外的晶体硅太阳能电池、使用 GaAs 等硅以外的半导体基板的太阳能电池、在非晶硅系薄膜或晶体硅系

Petitioner Runergy USA Inc., Ex. 1005, p. 637

薄膜的 pin 结或者 pn 结上形成了透明电极层的硅系薄膜太阳能电池、CIS、CIGS 等化合物半导体太阳能电池、色素敏化太阳能电池、有机薄膜(导电性聚合物)等的有机薄膜太阳能电池。

[0168] 作为晶体硅太阳能电池,可举出在一导电类型(例如 p 型)晶体硅基板的一个主面上具有相反导电类型(例如 n 型)的扩散层,在扩散层上具有上述集电极的构成。这样的晶体硅太阳能电池通常在一导电类型层的背面侧具备 p^+ 层等导电型层。在这样的构成中,通过设置除去了作为最外表面层的导电型半导体层(n 型的扩散层或 p^+ 层)的绝缘区域,从而可防止硅基板表面背面的导电型层的短路,并且能够抑制镀覆工序中的铜向硅基板等的扩散。应予说明,光电转换部不含有非晶硅层、透明电极层时,第一导电体层中的低熔点材料的热流动开始温度 T_1 和退火温度 Ta、基板温度 Tb 可以高于 250℃。

[0169] 另外,在晶体硅太阳能电池中,有时在作为光入射侧的第一主面上形成图案化为梳状等规定形状的集电极,在背面侧设置金属电极层。在这样的方式中,通过金属电极层的迂回而容易发生表面背面的短路,因此通过在第二主面或侧面设置绝缘区域,从而能够防止金属电极层与第一主面侧的扩散型层(例如 n 层)的短路。

[0170] 在使用了非晶硅薄膜、晶体硅薄膜等的硅系薄膜太阳能电池、CIGS、CIS 等化合物太阳能电池、有机薄膜太阳能电池、色素敏化太阳能电池等薄膜太阳能电池中,为了减少受光面的表面电阻,在光电转换部的受光面侧表面设置透明电极层。在这样的构成中,通过设置除去了作为最外表面层的透明电极层的绝缘区域,从而能够防止短路,并且通过镀覆工序能够生产率高地形成集电极。

[0171] 本发明的太阳能电池供于实用时,优选模块化。太阳能电池的模块化可利用适当的方法进行。例如,通过介由引线等互连器将汇流排与集电极连接,从而多个太阳能电池单元串联或并联地连接,利用密封剂和玻璃板密封而进行模块化。特别是在基板的表面和侧面形成绝缘层时,可抑止模块化时的短路,所以模块化工序中的生产率也优异。

[0172] 实施例

[0173] 以下,举出关于图 2 所示的异质结太阳能电池的实施例,具体说明本发明,但本发明并不限于以下实施例。

[0174] [实施例 1]

[0175] 在实施例 1 中,利用图 7 所示的方法进行异质结型太阳能电池的绝缘处理和集电极的形成。

[0176] (光电转换部的形成)

[0177] 使用入射面的晶面指数为(100)且厚度为 200μm 的 n 型单晶硅晶片作为一导电类型单晶硅基板,将该硅晶片浸渍在 2 重量%的 HF 水溶液中 3 分钟,除去表面的氧化硅膜后,进行 2 次利用超纯水的冲洗。将该硅基板浸渍在保持在 70℃的 5/15 重量%的 KOH/ 异丙醇水溶液中 15 分钟,对晶片的表面进行蚀刻,由此形成纹理。其后进行 2 次利用超纯水的冲洗。利用原子力显微镜(AFM,Pacific Nanotechnology 公司制),进行晶片的表面观察,结果晶片的表面的蚀刻充分进行,形成了露出了(111)面的金字塔形的纹理。

[0178] 蚀刻后的晶片被导入到 CVD 装置,在其光入射侧以 5nm 的膜厚将 i 型非晶硅制膜,制成本征硅系薄膜 2a。i 型非晶硅的制膜条件是基板温度 :170℃、压力 :120Pa、SiH_4/H_2 流量比 :3/10、输入功率密度 :0.011W/cm^2。应予说明,本实施例中的薄膜的膜厚是由通过下述

Petitioner Runergy USA Inc., Ex. 1005, p. 638

方式求得的制膜速度算出的值，即，通过用光谱椭偏仪测定在同条件下在玻璃基板上制膜而得的薄膜的膜厚（商品名 M2000，J.A.Woollam 公司制）来求出制膜速度。

[0179] 在 i 型非晶硅层 2a 上以 7nm 的膜厚将 p 型非晶硅制膜，制成相反导电类型硅系薄膜 3a。p 型非晶硅层 3a 的制膜条件是基板温度为 150℃、压力为 60Pa、SiH_4/B_2H_6 流量比为 1/3、输入功率密度为 0.01W/cm^2。应予说明，上述所说的 B_2H_6 气体流量是 B_2H_6 浓度被 H_2 稀释到 5000ppm 而成的稀释气体的流量。

[0180] 接着在晶片的背面侧，以 6nm 的膜厚将 i 型非晶硅层制膜，制成本征硅系薄膜 2b。i 型非晶硅层 2b 的制膜条件与上述 i 型非晶硅层 2a 的制膜条件同样。在 i 型非晶硅层 2b 上，以 8nm 的膜厚将 n 型非晶硅层制膜，制成一导电类型硅系薄膜 3b。n 型非晶硅层 3b 的制膜条件是基板温度：150℃、压力：60Pa、SiH_4/PH_3 流量比：1/2、输入功率密度：0.01W/cm^2。应予说明，上述所说的 PII_3 气体流量是 PII_3 浓度被 II_2 稀释到 5000ppm 而成的稀释气体的流量。

[0181] 在其上分别以 100nm 的膜厚将氧化铟锡（ITO，折射率：1.9）制膜，制成透明电极层 6a 和 6b。使用氧化铟和氧化锡的烧结体作为靶，在基板温度：室温、压力：0.2Pa 的氩环境中，施加 0.5W/cm^2 的功率密度进行透明电极层的制膜。利用溅射法以 500nm 的膜厚将银在背面侧透明电极层 6b 上形成作为背面金属电极层 8。

[0182] 应予说明，上述硅系薄膜、透明电极层以及背面金属电极均在不使用掩模的情况下，在晶片的整面（CVD 和溅射制膜时曝露于等离子体的面侧的整面）进行制膜。

[0183] 在通过上述过程形成的光电转换部的光入射侧透明电极层 6a 上，具有第一导电层 71 和第二导电层 72 的集电极 70 如下形成。

[0184] （第一导电层的形成）

[0185] 使用含有下述成分的印刷糊料用于第一导电层 71 的形成，即，以 20:80 的重量比含有作为低熔点材料的 SnBi 金属粉末（粒径 D_L = 25 ～ 35μm，熔点 T_1 = 141℃）和作为高熔点材料的银粉末（粒径 D_H = 2 ～ 3μm，熔点 T_2 = 971℃），并且含有作为高熔点材料的粘结剂树脂的环氧类树脂。使用具有与集电极图案对应的开口宽度（L = 80μm）的 # 230 网眼（开口宽度：1 = 85μm）的丝网版，将该印刷糊料进行丝网印刷，在 90℃进行干燥。

[0186] （绝缘区域的形成：硅晶片的切割）

[0187] 首先，将晶片移动到激光加工装置，利用激光遍及晶片的外周部的整周地如图 6（A1）所示地形成槽。槽的位置为距离晶片的端部 0.5mm。作为激光，使用 YAG 激光的三次谐波（波长 355nm），槽的深度为晶片厚度的三分之一左右。接着，如图 6（B1）所示，沿着槽将晶片弯折，切断端部，除去晶片的外周部。通过该工序，从而在晶片的侧面形成硅系薄膜、透明电极层以及背面金属电极均没有附着的绝缘区域。

[0188] （绝缘层的形成）

[0189] 将形成第一导电层 71 后切割了端部的晶片投入到 CVD 装置，利用等离子体 CVD 法以 120nm 的厚度在光入射面侧形成氧化硅层（折射率：1.5）作为绝缘层 9。

[0190] 绝缘层 9 的制膜条件是基板温度：135℃、压力：133Pa、SiH_4/CO_2 流量比：1/20、输入功率密度：0.05W/cm^2（频率 13.56MHz）。在该条件下形成于光入射面侧的绝缘层的折射率（n）和消光系数（k）如图 13 所示。其后，将形成绝缘层后的晶片导入到热风循环式烘箱，在大气环境中，在 180℃实施 20 分钟退火处理。

Petitioner Runergy USA Inc., Ex. 1005, p. 639

[0191] 如图 11 所示，将如上所述进行完退火工序的基板 12 投入到镀覆槽 11。对于镀覆液 16，使用在以五水硫酸铜、硫酸以及氯化钠分别成为 120g/l、150g/l 以及 70mg/l 的浓度的方式制备的溶液中添加了添加剂（上村工业制：物料编号为 ESY-2B、ESY-H、ESY-1A）而成的物质。使用该镀覆液，在温度 40℃、电流 3A/dm^2 的条件下进行镀覆，在第一导电层 71 上的绝缘层上，铜均匀地析出 10μm 左右的厚度作为第二导电层 72。几乎没有发现铜向未形成第一导电层的区域析出。

[0192] [参考例 1]

[0193] 与实施例 1 同样地在晶片的整面，在不使用掩模的情况下将硅系薄膜、透明电极层以及背面金属电极进行制膜，形成光电转换部。其后，与实施例 1 同样地进行第一导电层的形成。第一导电层形成后不进行硅晶片的切割，除此之外，与实施例 1 同样地进行绝缘层的形成和第二导电层的形成。

[0194] 将第二电极层形成后的基板移动到激光加工装置，使用 YAG 激光的三次谐波，与实施例 1 同样地遍及基板的外周部的整周地形成槽，切割基板的端部。这样得到的参考例 1 的太阳能电池具有与实施例 1 的太阳能电池几乎相同的构成，但在实施例 1 中，基板的侧面被绝缘层覆盖，与此相对，在参考例 1 中，基板的侧面露出，在这个方面不同。

[0195] [实施例 2]

[0196] 在各层制膜时使用掩模，除此之外，与实施例 1 同样地进行各层的制膜，形成具有图 4（A1）示意所示的截面的光电转换部。其后，不进行硅晶片的切割，除此以外，与实施例 1 同样地依次形成第一导电层、绝缘层以及第二导电层。得到的太阳能电池的截面如图 4（A2）示意所示，第一主面侧的单元外周部约 2mm 宽度的透明电极层除去区域 511× 和导电型半导体层除去区域 521×，以及侧面的导电型半导体层除去区域 522× 全部被绝缘层覆盖。此外，由于绝缘层制膜时不使用掩模，所以第二主面侧的透明电极层除去区域 512× 和导电型半导体层除去区域 523× 也被绝缘层覆盖。

[0197] [参考例 2]

[0198] 在参考例 2 中，在导电性硅薄膜的制膜时不使用掩模，在透明电极层和背面金属电极制膜时使用掩模，除此之外，与上述实施例 2 同样地形成具有图 12（A1）示意所示的截面的光电转换部。在图 12（A1）所示的方式中，基板表面背面的导电型半导体层 3a、3b 发生短路。另一方面，在单元外周部约 2mm 的区域 513×、515× 以及侧面 514× 中，没有形成电极层 6a、6b 以及 8，所以表面背面的电极层的短路被除去。

[0199] 其后，与实施例 2 同样地在第一主面侧的透明电极层上依次形成第一导电层、绝缘层以及第二导电层。绝缘层制膜时，由于使用与透明电极层形成时相同的掩模，所以得到的太阳能电池具有图 12（A2）示意所示的截面，电极层除去区域（区域 513×、514× 以及 515×）没有被绝缘层覆盖。

[0200] [比较例 1]

[0201] 使用不含低熔点材料的银糊料（即金属材料粉末与银粉末的比率为 0:100 的银糊料）作为第一导电层形成用的印刷糊料，除此之外，与参考例 1 同样地进行直至形成第一导电层（银电极）71。其后，不实施绝缘层形成工序、退火工序、第二导电层形成工序，制作以该银电极为集电极的晶体硅系太阳能电池。

[0202] [比较例 2]

Petitioner Runergy USA Inc., Ex. 1005, p. 640

[0203] 不形成绝缘层，利用光刻法形成第二导电层，除此之外，与参考例 1 同样地制作晶体硅系太阳能电池。

[0204] 在形成直到第一导电层的晶片基板上，利用旋涂法将光致抗蚀剂涂布于基板整面。使光致抗蚀剂干燥后，介由具有与第一导电层对应的开口图案的光掩模对光致抗蚀剂照射紫外线。此外，通过在显影液中浸渍，从而在第一导电层上形成光致抗蚀剂的开口图案。其后，导入到镀覆装置，对第一导电层通电，由此在光致抗蚀剂的开口图案部形成第二导电层。其后，利用抗蚀剂剥离液除去光致抗蚀剂，与参考例 1 同样地实施绝缘处理。

[0205] [评价]

[0206] 使用具有 AM1.5 的光谱分布的太阳模拟器，在 25℃下以 100mW/cm^2 的能量密度对如上得到的实施例、参考例以及比较例的晶体硅系太阳能电池照射模拟太阳光，进行太阳能电池特性的测定。此外，制作包含 1 枚该晶体硅系太阳能电池的迷你模块，对该迷你模块实施在温度 85 度、湿度 85% 的环境下放置 1000 小时的环境试验。

[0207] 迷你模块的结构为后板 / 密封材料 / 配线部件连接完毕的晶体硅系太阳能电池 / 密封材料 / 玻璃，介由贴附于晶体硅系太阳能电池的配线部件与外部的测定器连接，使用太阳模拟器进行太阳能电池特性的测定。在环境试验前后，比较太阳能电池输出，求得转换效率的保持率 = (环境试验后转换效率) ÷ (环境试验前转换效率)。应予说明，在比较例 1 中不实施环境试验。

[0208] 将上述各实施例、参考例以及比较例的太阳能电池的输出特性(开路电压(Voc)、短路电流密度(Jsc)、填充因子(FF)以及转换效率(Eff)的测定结果和转换效率的保持率示于表 1。

[0209] 表 1

[0210]

	绝缘处理			第二导电层	绝缘层		太阳能电池特性				环境试验
	方法	时期	参照图		材料	绝缘区域上	Voc	Jsc	FF	Eff.	
参考例1	切割	镀覆后		有	SiO_2	无	0.716	36.5	76.5	20.0	0.97
实施例1	切割	第一导电层形成后	图 6(B)	有	SiO_2	有	0.718	36.5	76.5	20.0	0.99
实施例2	掩模	制膜时	图 4(A)	有	SiO_2	有	0.718	36.5	76.5	20.0	0.99
参考例2	掩模	制膜时	图 12(B)	有	SiO_2	无	0.718	35.8	77.0	19.8	0.96
比较例1	切割	银电极形成后		无	无		0.718	35.9	74.5	19.2	—
比较例2	切割	镀覆后		有	无		0.718	35.9	76.7	19.7	0.92

[0211] 由实施例 1 和实施例 2 与比较例 1 的比较可知，本发明的晶体硅系太阳能电池与现有的仅由银糊料形成的集电极相比，转换效率(Eff)提高。认为这是由于以第一导电层为基底形成第二导电层，集电极的电阻变低，填充因子(FF)提高。

[0212] 另外，参考例 1 与比较例 2 相比，Jsc 以外的转换特性是大致相同的程度，但对于环境试验后的保持率，参考例 1 为 0.97，超过了比较例 5 的 0.92。认为这是由于在参考例 1 中，在镀覆工序中，基板的表面和侧面被绝缘层覆盖，所以抑制镀覆液中的杂质向硅基板扩散。

[0213] 此外，实施例 1 与参考例 1 相比，转换特性为大致相同的程度，在实施例 1 中，保持

Petitioner Runergy USA Inc., Ex. 1005, p. 641

率上升到0.99。认为这是由于在绝缘层形成前切割晶片而形成绝缘区域，在该绝缘区域上(晶片侧面)形成绝缘层，所以太阳能电池的侧面被绝缘层保护。同样认为在实施例2中，也由于绝缘区域被绝缘层保护，所以显示高保持率。

[0214] 在参考例2中，尽管硅基板的表面背面的导电型硅系薄膜接触，也显示比比较例2高的转换效率和保持率。认为这是由于导电型硅系薄膜与透明电极层相比电阻高，所以介由导电型硅系薄膜的短路与介由透明电极层的短路相比，其影响小。由该结果可知，在异质结太阳能电池中，从转换特性和可靠性的观点考虑，绝缘区域虽优选除去透明电极层和导电型半导体层两方，但即便是仅除去了透明电极层的情况，也得到转换特性和可靠性提高的效果。另一方面，实施例2与参考例2相比，实施例2显示了高保持率。认为这是由于在实施例2中，在除去了短路的绝缘区域上也形成绝缘层而保护了其表面。

[0215] 以上，如使用实施例说明的内容，根据本发明，能够抑制杂质向硅基板的混入，并且能够利用镀覆法制作太阳能电池的集电极，因此能够以低成本提供高输出的太阳能电池。

[0216] 符号说明

[0217] 1. 一导电类型单晶硅基板

[0218] 2. 本征硅系薄膜

[0219] 3. 导电型硅系薄膜

[0220] 6. 透明电极层

[0221] 7. 集电极

[0222] 71. 第一导电层

[0223] 711. 低熔点材料

[0224] 72. 第二导电层

[0225] 8. 背面金属电极

[0226] 9. 绝缘层

[0227] 9h. 开口部

[0228] 50. 光电转换部

[0229] 5×. 绝缘区域

[0230] 100. 太阳能电池

[0231] 101. 异质结太阳能电池

[0232] 10. 镀覆装置

[0233] 11. 镀覆槽

[0234] 12. 基板

[0235] 13. 阳极

[0236] 14. 基板支架

[0237] 15. 电源

[0238] 16. 镀覆液

Petitioner Runergy USA Inc., Ex. 1005, p. 642

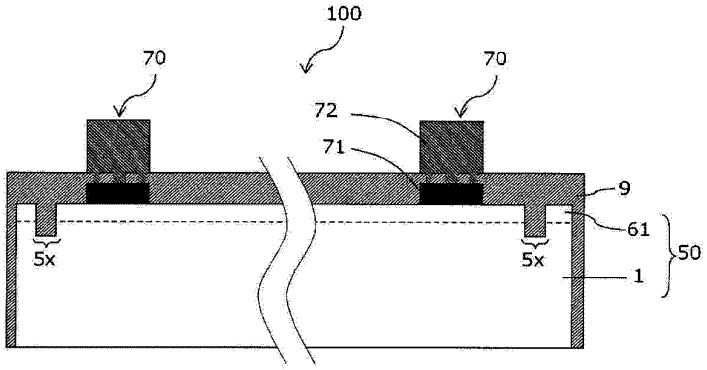


图 1

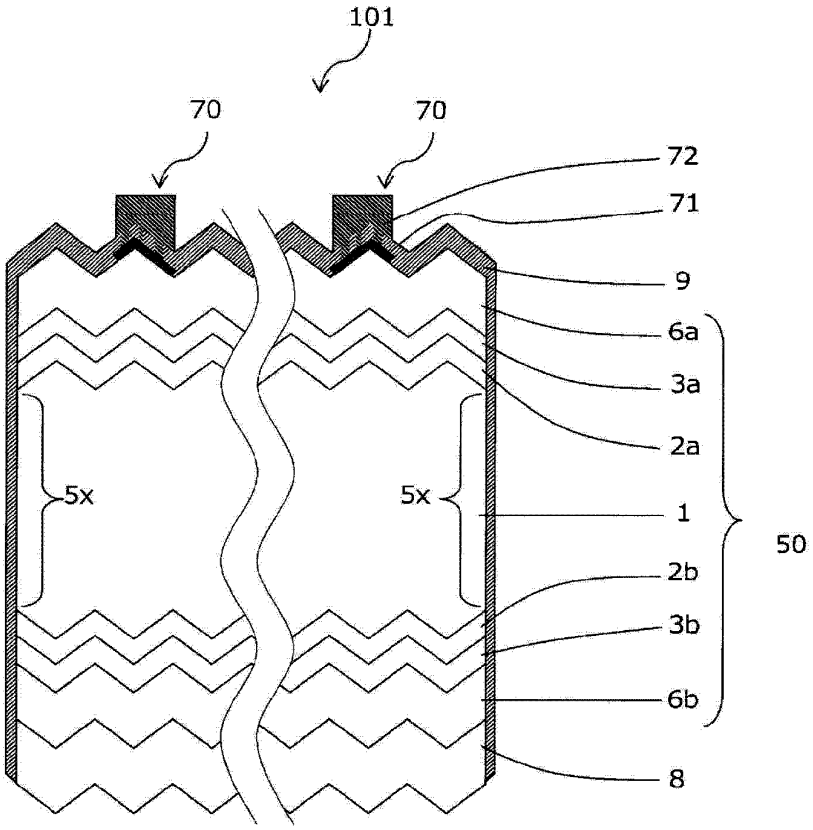


图 2

Petitioner Runergy USA Inc., Ex. 1005, p. 643

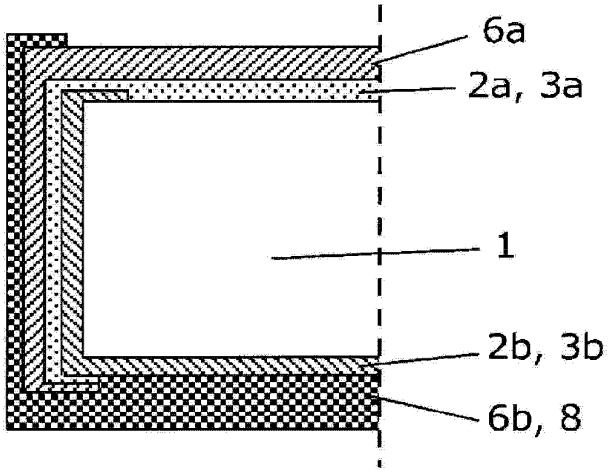


图 3

Petitioner Runergy USA Inc., Ex. 1005, p. 644

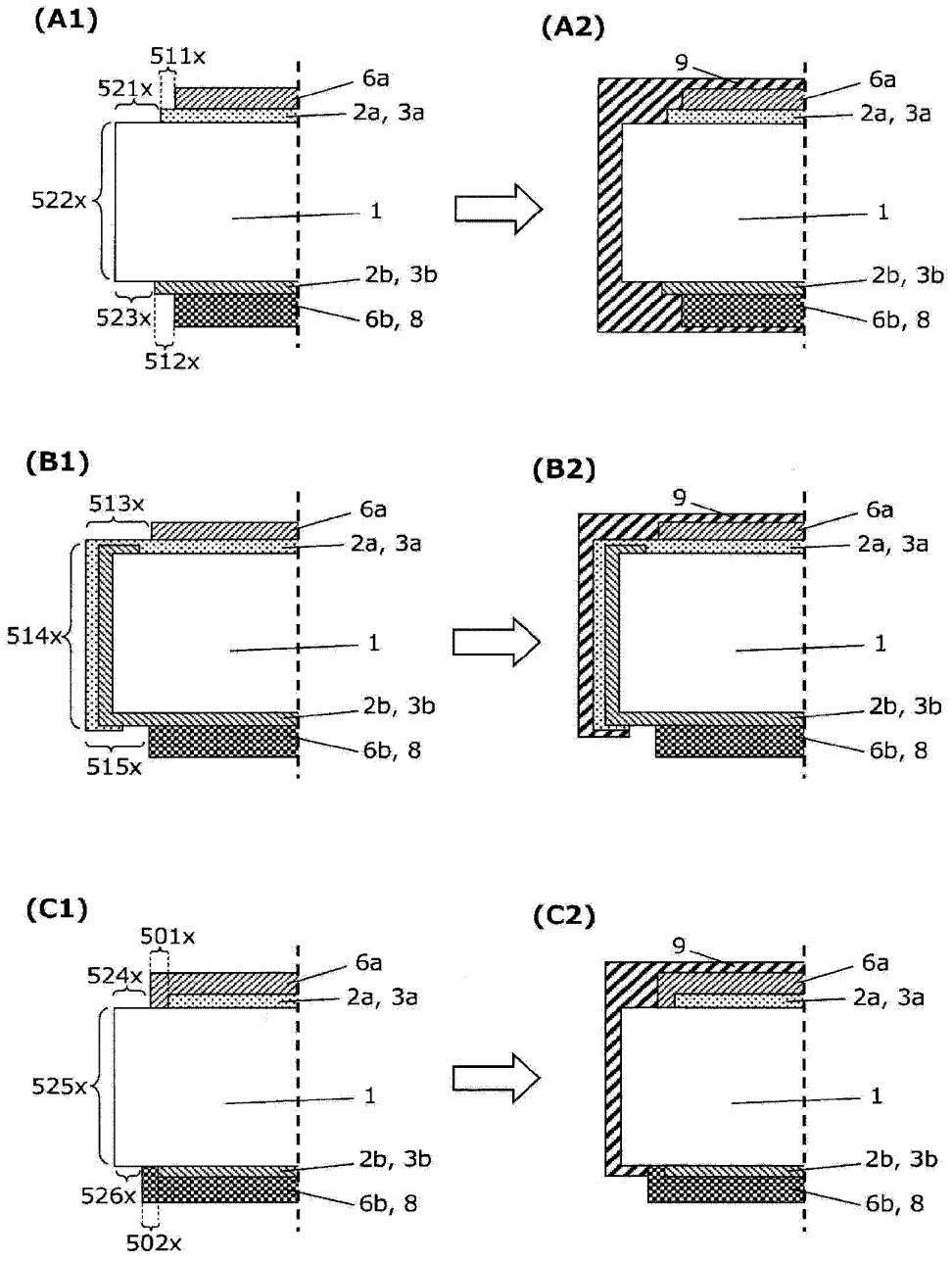


图 4

Petitioner Runergy USA Inc., Ex. 1005, p. 645

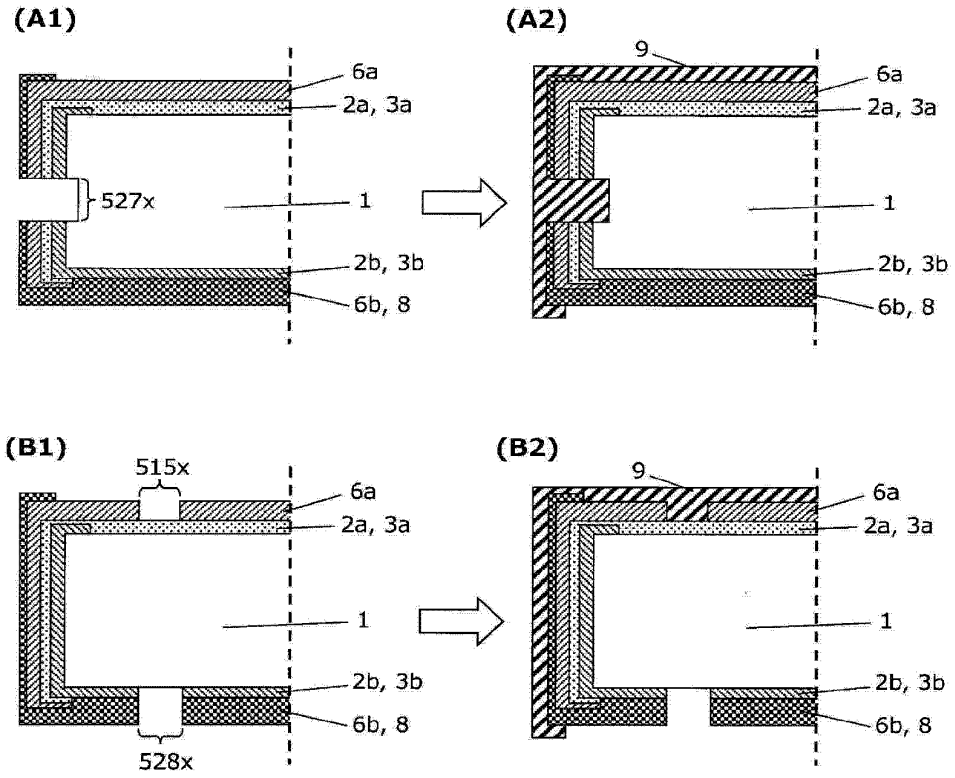


图 5

Petitioner Runergy USA Inc., Ex. 1005, p. 646

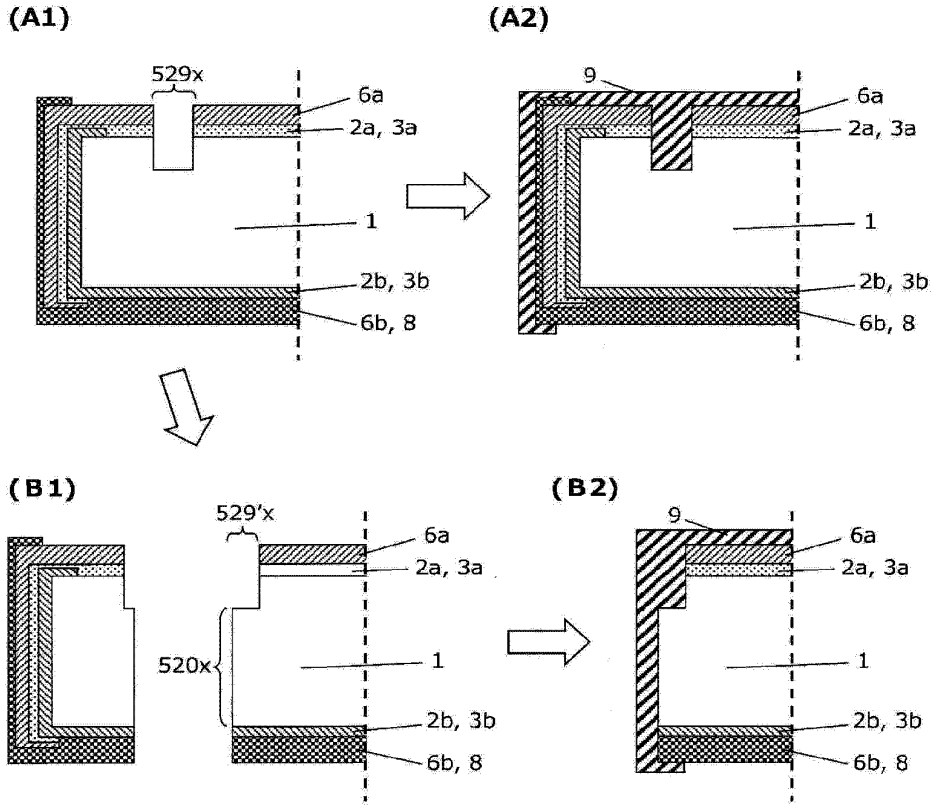


图 6

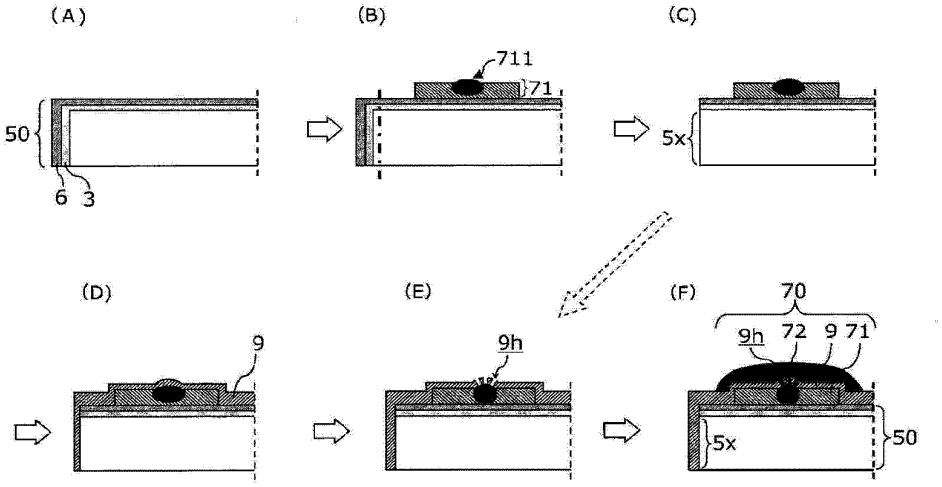


图 7

Petitioner Runergy USA Inc., Ex. 1005, p. 647

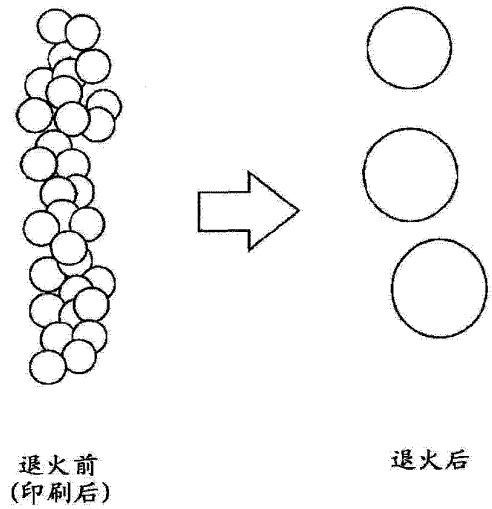


图 8

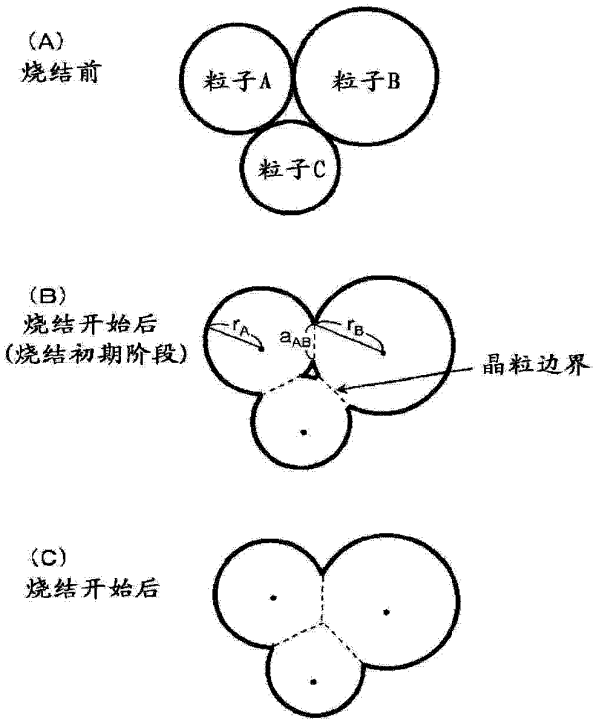
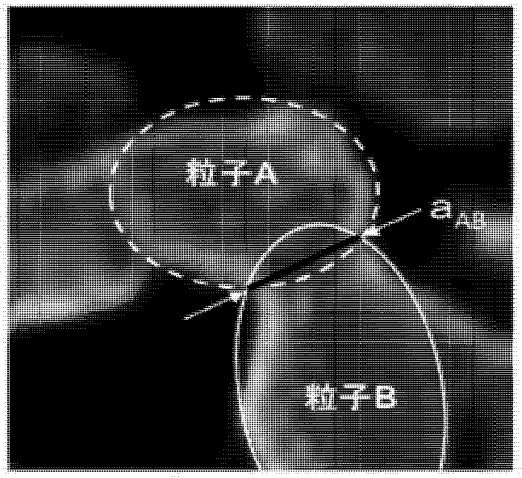


图 9

Petitioner Runergy USA Inc., Ex. 1005, p. 648

(A)



(B)

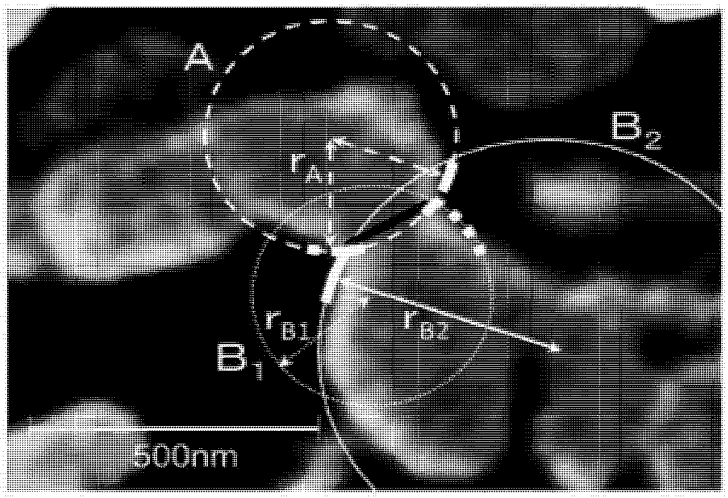


图 10

Petitioner Runergy USA Inc., Ex. 1005, p. 649

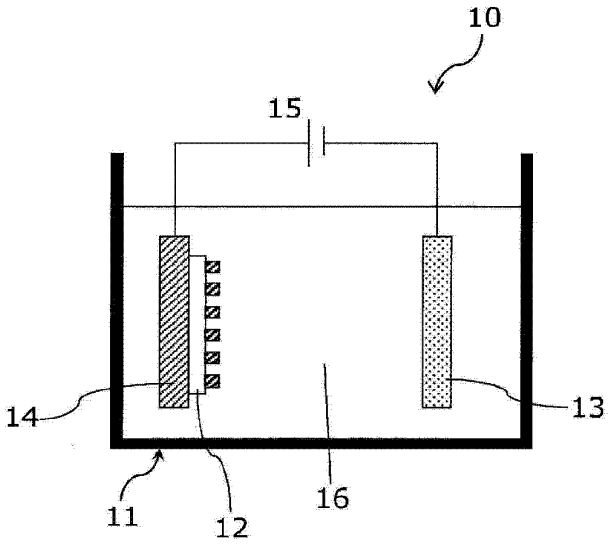


图 11

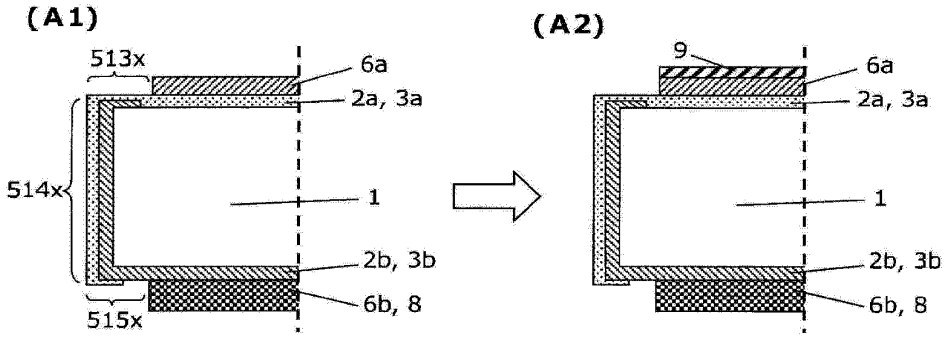


图 12

Petitioner Runergy USA Inc., Ex. 1005, p. 650

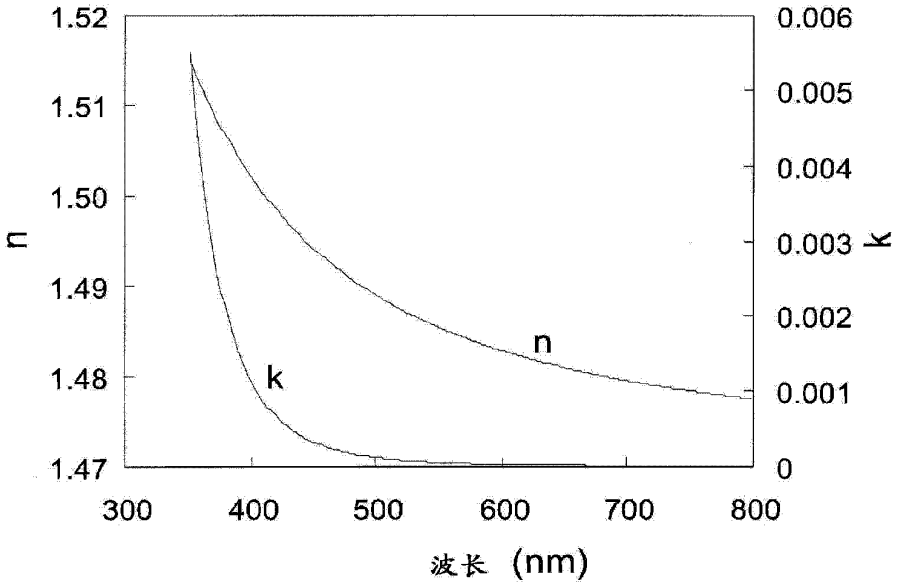


图 13

Petitioner Runergy USA Inc., Ex. 1005, p. 651

Espacenet

Bibliographic data: JP2009295715 (A) — 2009-12-17

PHOTOELECTRIC CONVERSION DEVICE AND METHOD OF MANUFACTURING THE SAME

Inventor(s): OOKA YUKIYO; OZAKI AKIRA ± (OOKA YUKIYO, ; OZAKI AKIRA)

Applicant(s): SHARP KK ± (SHARP CORP)

Classification: - international: ***H01L31/04***
- cooperative: Y02E10/50

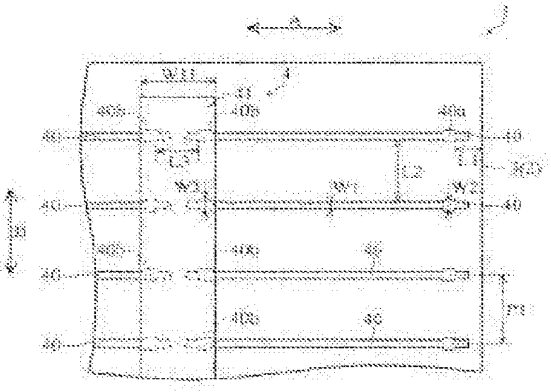
Application number: JP20080146585 20080604 Global Dossier

Priority number(s): JP20080146585 20080604

Also published as: JP5172480 (B2)

Abstract of JP2009295715 (A)

PROBLEM TO BE SOLVED: To provide a solar battery cell capable of improving the efficiency of photoelectric conversion. ;SOLUTION: The solar battery cell 1 includes a semiconductor substrate 2 and a light receiving surface electrode 4 formed on the light receiving surface side of the semiconductor substrate 2 and including a plurality of finger electrodes 40 extended in an A-direction. On both the end side portions of each finger electrode 40, wide-width regions 40a, 40b are respectively formed at prescribed distances from both the ends of the finger electrode 40, and the B-direction widths (W2 and W3) of the wide-width regions 40a, 40b of the finger electrode 40 are larger than the B-direction width (W1) of the center portion of the finger electrode 40. ;COPYRIGHT: (C)2010,JPO&INPIT



Petitioner Runergy USA Inc., Ex. 1005, p. 652

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-295715
(P2009-295715A)
(43)公開日　平成21年12月17日(2009.12.17)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 31/04	(2006.01)	H01L 31/04	H	5F051

審査請求 未請求　請求項の数 11　ＯＬ　（全 20 頁）

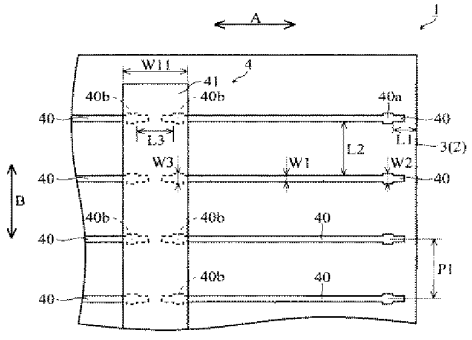
(21)出願番号　特願2008-146585 (P2008-146585)
(22)出願日　平成20年6月4日 (2008.6.4)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100085501
弁理士　佐野　静夫
(74)代理人　100128842
弁理士　井上　温
(72)発明者　大岡　幸代
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　尾崎　亮
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

Ｆターム(参考)　5F051 AA03　CB20　FA10　FA13　FA16

(54)【発明の名称】光電変換装置およびその製造方法

(57)【要約】
【課題】変換効率を向上させることが可能な太陽電池セルを提供する。
【解決手段】この太陽電池セル１は、半導体基板２と、半導体基板２の受光面側に設けられ、Ａ方向に延びる複数のフィンガー電極４０を含む受光面電極４とを備えている。フィンガー電極４０の両端部側の部分には、フィンガー電極４０の両端部からそれぞれ所定の距離を隔てて、幅広領域４０ａおよび４０ｂが形成されており、フィンガー電極４０の幅広領域４０ａおよび４０ｂのＢ方向の幅（＝Ｗ２およびＷ３）は、フィンガー電極４０の中央部のＢ方向の幅（＝Ｗ１）よりも大きい。
【選択図】図４



【特許請求の範囲】
【請求項1】
半導体層と、
前記半導体層の受光面側に設けられ、第１の方向に延びる複数のフィンガー電極を含む受光面電極とを備え、
前記フィンガー電極の少なくとも一方の端部側の部分には、前記フィンガー電極の端部から所定の距離を隔てて、幅広領域が形成されており、
前記フィンガー電極の幅広領域の前記第１の方向に直交する第２の方向の幅は、前記フィンガー電極の中央部側の部分の前記第２の方向の幅よりも大きいことを特徴とする光電変換装置。
【請求項2】
前記複数のフィンガー電極は、前記第２の方向に所定のピッチで配置されており、
前記フィンガー電極の幅広領域は、前記半導体層の端部から前記所定のピッチの半分よりも小さい長さだけ隔てて配置されていることを特徴とする請求項１に記載の光電変換装置。
【請求項3】
前記フィンガー電極の両端部側の部分には、前記フィンガー電極の両端部からそれぞれ所定の距離を隔てて、前記幅広領域が形成されていることを特徴とする請求項１または２に記載の光電変換装置。
【請求項4】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記バスバー電極は、前記フィンガー電極の幅広領域の少なくとも一部を覆うように配置されていることを特徴とする請求項１～３のいずれか１項に記載の光電変換装置。
【請求項5】
前記フィンガー電極の前記バスバー電極が接続される側とは反対側の部分にも、前記幅広領域が形成されており、
前記フィンガー電極の前記バスバー電極が接続される幅広領域の前記第２の方向の幅は、前記フィンガー電極の前記バスバー電極が接続される側とは反対側の幅広領域の前記第２の方向の幅以上の大きさであることを特徴とする請求項４に記載の光電変換装置。
【請求項6】
前記フィンガー電極は、印刷用マスクを用いて印刷された導電性ペーストを焼成することにより形成されており、
前記フィンガー電極の幅広領域の前記第２の方向の幅は、前記印刷用マスクの厚み以上の大きさであることを特徴とする請求項１～５のいずれか１項に記載の光電変換装置。
【請求項7】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記バスバー電極は、ガラスフリットを含有せず、
前記フィンガー電極は、ガラスフリットを含有することを特徴とする請求項１～６のいずれか１項に記載の光電変換装置。
【請求項8】
前記受光面電極は、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を含み、
前記フィンガー電極および前記バスバー電極は、それぞれ、第１導電性ペーストおよび第２導電性ペーストを焼成することにより形成されており、
前記第１導電性ペーストは、前記第２導電性ペーストよりも粘度が大きいことを特徴とする請求項１～７のいずれか１項に記載の光電変換装置。
【請求項9】

半導体層の受光面側に、導電性ペーストを配置する工程と、
前記導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程とを備え、
前記導電性ペーストを配置する工程は、
前記導電性ペーストの少なくとも一方の端部側の部分に、前記導電性ペーストの端部から所定の距離を隔てて、幅広領域が形成され、かつ、前記導電性ペーストの幅広領域の前記第１の方向に直交する第２の方向の幅が、前記導電性ペーストの中央部側の部分の前記第２の方向の幅よりも大きくなるように、前記導電性ペーストを配置する工程を含むことを特徴とする光電変換装置の製造方法。
【請求項10】
前記導電性ペーストを配置する工程は、印刷用マスクを用いて、前記導電性ペーストを印刷する工程を含み、
前記導電性ペーストの幅広領域の前記第２の方向の幅は、前記印刷用マスクの厚み以上の大きさであることを特徴とする請求項９に記載の光電変換装置の製造方法。
【請求項11】
前記導電性ペーストを配置する工程は、第１導電性ペーストおよび第２導電性ペーストを配置する工程を含み、
前記導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程は、
前記第１導電性ペーストを焼成することにより、前記第１の方向に延びる複数のフィンガー電極を形成する工程と、
前記第２導電性ペーストを焼成することにより、前記複数のフィンガー電極を接続するとともに前記第２の方向に延びるバスバー電極を形成する工程とを含み、
前記第１導電性ペーストは、前記第２導電性ペーストよりも粘度が大きいことを特徴とする請求項９または１０に記載の光電変換装置の製造方法。
【発明の詳細な説明】
【技術分野】
【0001】
この発明は、光電変換装置およびその製造方法に関する。
【背景技術】
【0002】
太陽電池などの光電変換装置の製造工程の１つである電極形成の方法としては、蒸着法、メッキ法、印刷法およびノズル法などが挙げられる。現在では、太陽電池の低コスト化と大量生産の観点から、スクリーン印刷法が多く用いられている。
【0003】
このスクリーン印刷法によれば、n^+p型の太陽電池セルに対しては、受光面（n^+面）電極の形成時に、Ａｇ粉末、ガラス粉末および有機樹脂を溶媒と共に混合して作製したＡｇ導電性ペーストを、マスクを用いて受光面に印刷する。その後、乾燥および焼成することにより、複数のフィンガー電極（幅５０μｍ～２００μｍ程度）と、フィンガー電極に垂直に接するバスバー電極（幅１ｍｍ～２ｍｍ程度）とを含む受光面電極を形成する。従来、フィンガー電極やバスバー電極のアスペクト比（高さ／線幅）は、０．１～０．２程度であり、フィンガー電極の単位長さ当たりの抵抗値は、おおよそ０．１５Ω／ｃｍ～０．７０Ω／ｃｍである。
【0004】
また、太陽電池セルの裏面電極の形成時には、Ａｌ粉末、ガラス粉末および有機樹脂を溶媒と共に混合して作製したＡｌ導電性ペーストを、裏面全面に印刷する。その後、乾燥および焼成することにより、裏面電極を形成する。この裏面電極の形成時には、開放電圧（Ｖｏｃ）を向上させ、かつ、短絡電流（Ｉｓｃ）を向上させるための裏面電界（ＢＳＦ：Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｆｉｅｌｄ）層も同時に形成している。
【0005】
スクリーン印刷による微細電極の形成方法としては、エッチングにより略樽形状の断面

を有する開口部が形成されたメタルマスクを用いる方法が知られている（例えば、特許文献１参照）。この特許文献１では、略樽形状の断面を有する開口部が形成されたメタルマスクを用いて、半田ペースト（導電性ペースト）をスクリーン印刷することによって、メタルマスクに対する半田ペーストの版離れを改善している。これにより、半田ペーストが転写されなかったり、印刷後の半田ペーストの幅が小さくなり焼成後の微細電極が剥離しやすくなるのをある程度抑制することが可能である。

【特許文献1】特開２００４－６９２７号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

太陽電池を高効率化するためには、電極形成の際に半導体層上の受光面電極の面積を低減することにより、受光面電極の表面での反射損失を少なくして半導体層（発電層）に入射する光の量を多くすることが必要である。また、接触抵抗値や受光面電極の長さ方向の線抵抗値などの電流導出方向の抵抗値を小さくすることにより、発生したキャリアを、抵抗損失なく取り出すことも必要である。

【0007】

受光面電極の線幅を微細化することは、入射する光の量を多くすることができるので非常に有効である一方、受光面電極の線抵抗値が増大する。このため、受光面電極の線抵抗値が増大するのを抑制するために、受光面電極の高さ（厚み）を大きくする必要がある。

【0008】

５０μｍ以下の幅の微細な電極を形成する方法としては、フォトリソグラフィーを用いる方法が知られているが、この方法を太陽電池セルの製造に用いるには、非常に複雑な工程を要し、高コストであるので、大規模量産の技術には向いていない。

【0009】

現在のスクリーン印刷技術を用いた電極形成方法では、実用可能な電極の線幅は、おおよそ１００μｍ程度である。

【0010】

現在のスクリーン印刷法では、一般的にメッシュマスクや、メタルマスクが用いられている。

【0011】

メッシュマスクを用いて受光面電極となる導電性ペーストのパターンの線幅を小さく（微細化）する場合、導電性ペーストのメッシュマスクに対する抜け性を良くするために、メッシュの数を増やすとともに、メッシュの線径を小さくするのが好ましい。しかしながら、メッシュの線径を小さくした場合、紗厚が小さくなるので、印刷時の導電性ペーストの吐出量が減少し、形成される受光面電極の高さ（厚み）が小さくなるという不都合がある。また、印刷後の導電性ペーストがだれないように、高粘度の導電性ペーストを用いた場合、受光面電極の高さ（厚み）が均一になりにくく、受光面電極の線抵抗値が増大するという不都合がある。

【0012】

一方、メタルマスクを用いた場合、メッシュマスクを用いる場合に比べて、導電性ペーストの抜け性は良くなる。しかしながら、受光面電極の高さ（厚み）を大きくするためにメタルマスクの厚みを大きくした場合、メタルマスクの開口部の端部では、転写された導電性ペーストがメタルマスクの開口部の壁面３辺から抵抗を受けるので、メタルマスクに対する導電性ペーストの版離れが悪くなる。これにより、導電性ペーストが転写されなかったり、印刷後の導電性ペーストの幅が小さくなり焼成後の受光面電極の端部が剥離しやすくなるという不都合がある。このように受光面電極の一部が形成されなかったり剥離した場合、Ｊｓｃ（電流密度）やＦＦ（曲線因子）が低下しやすくなるという不都合が生じる。また、高粘度の導電性ペーストを用いる場合、メタルマスクの開口部の壁面３辺から受ける抵抗が大きくなるので、メタルマスクに対する導電性ペーストの版離れが、より悪くなるという不都合がある。

【0013】
上記特許文献１では、メタルマスクの開口部の断面を略樽形状に形成しているので、開口部内に残留した導電性ペーストを除去しにくい。すなわち、メタルマスクを、洗浄しにくい。また、メタルマスクの開口部の断面を略樽形状に形成しているので、高粘度の導電性ペーストを用いた場合、開口部に導電性ペーストが十分に充填されにくくなる。これにより、導電性ペーストが良好に転写されにくくなるので、受光面電極が断線したり剥離する場合がある。その結果、光電変換装置の変換効率が低下する場合があるという問題点がある。
【0014】
この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、変換効率を向上させることが可能な光電変換装置およびその製造方法を提供することである。
【課題を解決するための手段】
【0015】
上記目的を達成するために、この発明の第１の局面による光電変換装置は、半導体層と、半導体層の受光面側に設けられ、第１の方向に延びる複数のフィンガー電極を含む受光面電極とを備え、フィンガー電極の少なくとも一方の端部側の部分には、フィンガー電極の端部から所定の距離を隔てて、幅広領域が形成されており、フィンガー電極の幅広領域の第１の方向に直交する第２の方向の幅は、フィンガー電極の中央部側の部分の第２の方向の幅よりも大きい。
【0016】
この第１の局面による光電変換装置では、上記のように、フィンガー電極の少なくとも一方の端部側の部分に幅広領域を形成し、フィンガー電極の幅広領域の第２の方向の幅を、フィンガー電極の中央部側の部分の第２の方向の幅よりも大きくしている。これにより、例えば、印刷用マスクを用いて導電性ペーストを印刷することにより、導電性ペースト（フィンガー電極）を高いアスペクト比（高さ／線幅）に形成する場合にも、印刷用マスクの高さ（厚み）が導電性ペースト（フィンガー電極）の幅広領域の第２の方向の幅よりも大きくなるのを抑制することができる。すなわち、幅広領域に対応する印刷用マスクの開口部の部分のアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを抑制することができるので、導電性ペーストの端部側の部分（幅広領域）が転写されなかったり、端部側の部分（幅広領域）の第２の方向の幅が小さくなり焼成後のフィンガー電極が剥離しやすくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのを抑制することができる。
【0017】
また、第１の局面による光電変換装置では、上記のように、印刷用マスクに対する導電性ペーストの版離れが悪くなるのを抑制しながら、フィンガー電極を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極の線抵抗値が大きくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのをより抑制することができる。
【0018】
また、第１の局面による光電変換装置では、上記のように、幅広領域を、フィンガー電極の端部から所定の距離を隔てて形成することによって、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、フィンガー電極の幅広領域から内側の部分が剥離するのを抑制することができる。また、フィンガー電極が剥離する場合、通常、端部から剥離するので、幅広領域をフィンガー電極の端部に形成する場合に比べて、幅広領域が剥離するのを抑制することができる。また、フィンガー電極の幅広領域が、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置されていれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下することがない。

【0019】
上記第１の局面による光電変換装置において、好ましくは、複数のフィンガー電極は、第２の方向に所定のピッチで配置されており、フィンガー電極の幅広領域は、半導体層の端部から所定のピッチの半分よりも小さい長さだけ隔てて配置されている。このように構成すれば、フィンガー電極の幅広領域を、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置することができるので、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下するのを抑制することができる。なお、フィンガー電極の第２の方向のピッチは、通常、電子が流れる距離に基づいて設定されており、電子が流れる距離の約２倍がフィンガー電極の第２の方向のピッチ（所定のピッチ）となる。このため、フィンガー電極の幅広領域を、半導体層の端部から所定のピッチの半分の長さよりも小さい長さだけ隔てて配置すれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも電流の損失がない。
【0020】
上記第１の局面による光電変換装置において、好ましくは、フィンガー電極の両端部側の部分には、フィンガー電極の両端部からそれぞれ所定の距離を隔てて、幅広領域が形成されている。このように構成すれば、フィンガー電極の両端部側において、フィンガー電極が剥離するのを抑制することができるので、光電変換装置の変換効率が低下するのをより抑制することができる。
【0021】
上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、バスバー電極は、フィンガー電極の幅広領域の少なくとも一部を覆うように配置されている。このように構成すれば、フィンガー電極に幅広領域を設けた場合にも、受光面電極の表面での反射損失が増加するのを抑制することができるので、光電変換装置の変換効率が低下するのをより抑制することができる。
【0022】
上記バスバー電極がフィンガー電極の幅広領域の少なくとも一部を覆うように配置されている光電変換装置において、好ましくは、フィンガー電極のバスバー電極が接続される側とは反対側の部分にも、幅広領域が形成されており、フィンガー電極のバスバー電極が接続される幅広領域の第２の方向の幅は、フィンガー電極のバスバー電極が接続される側とは反対側の幅広領域の第２の方向の幅以上の大きさである。このように構成すれば、バスバー電極とフィンガー電極との接触面積を、容易に大きくすることができるので、バスバー電極が、フィンガー電極から剥離するのを、容易に抑制することができる。
【0023】
上記第１の局面による光電変換装置において、好ましくは、フィンガー電極は、印刷用マスクを用いて印刷された導電性ペーストを焼成することにより形成されており、フィンガー電極の幅広領域の第２の方向の幅は、印刷用マスクの厚み以上の大きさである。このように構成すれば、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを容易に抑制することができる。
【0024】
上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、バスバー電極は、ガラスフリットを含有せず、フィンガー電極は、ガラスフリットを含有する。このように構成すれば、半導体層上に絶縁膜を形成した後、絶縁膜上に、ガラスフリットを含有した導電性ペースト、および、ガラスフリットを含有しない導電性ペーストを印刷し、焼成することによりフィンガー電極およびバスバー電極を形成する場合、ガラスフリットを含有したフィンガー電極を、半導体層に接触させるとともに、ガラスフリットを含有しないバスバー電極を、半導体層に接触しないように形成することができる。これにより、フィンガー電極およびバスバー電極の両方が半導体層に接触する場合に比べて、パッシベーション効果を向上させることができるので、Ｖｏｃ（開放電圧）を大きくすることができる

。

【0025】

上記第１の局面による光電変換装置において、好ましくは、受光面電極は、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を含み、フィンガー電極およびバスバー電極は、それぞれ、第１導電性ペーストおよび第２導電性ペーストを焼成することにより形成されており、第１導電性ペーストは、第２導電性ペーストよりも粘度が大きい。このように構成すれば、第１導電性ペーストがだれるのを、容易に抑制することができるので、フィンガー電極を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【0026】

この発明の第２の局面による光電変換装置の製造方法は、半導体層の受光面側に、導電性ペーストを配置する工程と、導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程とを備え、導電性ペーストを配置する工程は、導電性ペーストの少なくとも一方の端部側の部分に、導電性ペーストの端部から所定の距離を隔てて、幅広領域が形成され、かつ、導電性ペーストの幅広領域の第１の方向に直交する第２の方向の幅が、導電性ペーストの中央部側の部分の第２の方向の幅よりも大きくなるように、導電性ペーストを配置する工程を含む。

【0027】

この第２の局面による光電変換装置の製造方法では、上記のように、導電性ペーストの少なくとも一方の端部側の部分に幅広領域が形成され、かつ、導電性ペーストの幅広領域の第２の方向の幅が、導電性ペーストの中央部側の部分の第２の方向の幅よりも大きくなるように、導電性ペーストを配置する。これにより、例えば、印刷用マスクを用いて導電性ペーストを印刷することにより、導電性ペースト（フィンガー電極）を高いアスペクト比（高さ／線幅）に形成する場合にも、印刷用マスクの高さ（厚み）が導電性ペースト（フィンガー電極）の幅広領域の第２の方向の幅よりも大きくなるのを抑制することができる。すなわち、幅広領域に対応する印刷用マスクの開口部の部分のアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを抑制することができるので、導電性ペーストの端部側の部分（幅広領域）が転写されなかったり、端部側の部分（幅広領域）の第２の方向の幅が小さくなり焼成後のフィンガー電極が剥離しやすくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのを抑制することができる。

【0028】

また、第２の局面による光電変換装置の製造方法では、上記のように、印刷用マスクに対する導電性ペーストの版離れが悪くなるのを抑制しながら、フィンガー電極（導電性ペースト）を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極の線抵抗値が大きくなるのを抑制することができる。その結果、光電変換装置の変換効率が低下するのをより抑制することができる。

【0029】

また、第２の局面による光電変換装置の製造方法では、上記のように、幅広領域を、導電性ペースト（フィンガー電極）の端部から所定の距離を隔てて形成することによって、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、フィンガー電極の幅広領域から内側の部分が剥離するのを抑制することができる。また、フィンガー電極が剥離する場合、通常、端部から剥離するので、幅広領域を導電性ペースト（フィンガー電極）の端部に形成する場合に比べて、幅広領域が剥離するのを抑制することができる。また、フィンガー電極の幅広領域が、フィンガー電極の幅広領域よりも外側の部分が剥離しても電流の損失がない位置に配置されていれば、フィンガー電極の幅広領域よりも外側の部分が剥離した場合にも、光電変換装置の変換効率が低下することがない。

【0030】

上記第２の局面による光電変換装置の製造方法において、好ましくは、導電性ペースト

を配置する工程は、印刷用マスクを用いて、導電性ペーストを印刷する工程を含み、導電性ペーストの幅広領域の第２の方向の幅は、印刷用マスクの厚み以上の大きさである。このように構成すれば、導電性ペーストの端部側の部分（幅広領域）においても、印刷用マスクに対して版離れが悪くなるのを容易に抑制することができる。

【0031】

上記第２の局面による光電変換装置の製造方法において、好ましくは、導電性ペーストを配置する工程は、第１導電性ペーストおよび第２導電性ペーストを配置する工程を含み、導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を含む受光面電極を形成する工程は、第１導電性ペーストを焼成することにより、第１の方向に延びる複数のフィンガー電極を形成する工程と、第２導電性ペーストを焼成することにより、複数のフィンガー電極を接続するとともに第２の方向に延びるバスバー電極を形成する工程とを含み、第１導電性ペーストは、第２導電性ペーストよりも粘度が大きい。このように構成すれば、第１導電性ペーストがだれるのを、容易に抑制することができるので、フィンガー電極を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【発明の効果】

【0032】

以上のように、本発明によれば、変換効率を向上させることが可能な光電変換装置を容易に得ることができる。

【発明を実施するための最良の形態】

【0033】

図１は、本発明の一実施形態による太陽電池セルの構造を示した平面図である。図２は、図１の１００－１００線に沿った断面図である。図３は、図１の２００－２００線に沿った断面図である。図４は、図１に示した一実施形態による太陽電池セルの受光面電極の詳細構造を示した平面図である。まず、図１～図４を参照して、本発明の一実施形態による太陽電池セル１の構造について説明する。

【0034】

本発明の一実施形態による太陽電池セル１は、図２および図３に示すように、ｐ型の半導体基板２と、半導体基板２の受光面側に設けられた絶縁膜３および受光面電極４と、半導体基板２の裏面上の略全面に設けられた裏面電極５とを含んでいる。なお、太陽電池セル１は、本発明の「光電変換装置」の一例であり、半導体基板２は、本発明の「半導体層」の一例である。

【0035】

半導体基板２は、キャスト法により作製されたシリコンインゴットをマルチワイヤー法によりスライスしたｐ型のシリコン基板や、ＣＺ法やＦＺ法により作製されたシリコンインゴットをスライスしたｐ型の単結晶シリコン基板などからなる。

【0036】

また、半導体基板２の受光面には、凹凸構造（テクスチャ構造）が形成されている。これにより、太陽光が半導体基板２の表面で反射するのを抑制することが可能である。

【0037】

また、半導体基板２には、ｐ型導電領域２ａと、半導体基板２の受光面側の全面に設けられたn^+型導電領域２ｂと、半導体基板２の裏面側の全面に設けられたp^+型導電領域２ｃとが形成されている。そして、ｐ型導電領域２ａとn^+型導電領域２ｂとによって、ｐｎ接合が形成されている。

【0038】

p^+型導電領域２ｃは、裏面電極５に電気的に接続されている。なお、p^+型導電領域２ｃは、裏面電界（ＢＳＦ）効果が得られるように構成することも可能である。また、半導体基板２の裏面側に、内部反射を高めるために裏面反射層（Ｂａｃｋ　Ｓｕｒｆａｃｅ　Ｒｅｆｌｅｃｔｏｒ）を形成したり、表面再結合を防止するために酸化膜や窒化膜を形成してもよい。

【0039】
絶縁膜３は、反射防止膜としての機能を有する。なお、絶縁膜３（反射防止膜）や裏面反射膜としては、各種酸化膜などを用いることが可能である。
【0040】
また、絶縁膜３は、半導体基板２の受光面上に設けられている。また、絶縁膜３は、図２および図３に示すように、受光面電極４の後述するバスバー電極４１（図２参照）と半導体基板２との間に配置されている一方、受光面電極４の後述するフィンガー電極４０（図３参照）と半導体基板２との間には配置されていない。
【0041】
受光面電極４は、図１に示すように、複数のフィンガー電極４０と、フィンガー電極４０に電気的に接続されるバスバー電極４１とによって構成されている。図２および図３に示すように、フィンガー電極４０（図３参照）は、半導体基板２（n^+型導電領域２ｂ）に接触している一方、バスバー電極４１（図２参照）は、半導体基板２（n^+型導電領域２ｂ）に接触していない。また、フィンガー電極４０は、半導体基板２の内部で発生した電気を収集するために設けられており、バスバー電極４１は、収集した電気を外部に取り出すために設けられている。
【0042】
複数のフィンガー電極４０は、図４に示すように、Ａ方向に延びるように形成されているとともに、Ａ方向と直交するＢ方向に、例えば、約２ｍｍのピッチ（＝Ｐ１）で配置されている。なお、Ａ方向は、本発明の「第１の方向」の一例であり、Ｂ方向は、本発明の「第２の方向」の一例である。
【0043】
ここで、本実施形態では、フィンガー電極４０のＡ方向の両端部側の部分には、フィンガー電極４０の両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域４０ａおよび４０ｂが形成されている。
【0044】
また、本実施形態では、幅広領域４０ａは、半導体基板２（絶縁膜３）の端部（端面）から所定の距離（＝Ｌ１）だけ隔てて形成されている。具体的には、この所定の距離（＝Ｌ１）は、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）の半分よりも小さい長さであり、好ましくは、Ｂ方向に隣接するフィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域間の距離（＝Ｌ２）の半分以下の長さである。
【0045】
ここで、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）は、電子が流れる距離に基づいて設定されており、電子が流れる距離の約２倍がフィンガー電極４０のＢ方向のピッチ（＝Ｐ１）となっている。このため、所定の距離（＝Ｌ１）は、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）の半分よりも小さい長さであるので、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離したとしても、電流の損失がない。
【0046】
また、本実施形態では、Ａ方向に隣接する幅広領域４０ｂ（または、Ａ方向に隣接する幅広領域４０ａ）は、互いに所定の距離（＝Ｌ３）を隔てて形成されている。この所定の距離（＝Ｌ３）は、上記と同様の理由により、フィンガー電極４０のＢ方向のピッチ（＝Ｐ１）よりも小さい長さであり、好ましくは、距離（＝Ｌ２）以下の長さである。
【0047】
また、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（フィンガー電極４０の中央部および外側の部分）は、例えば、約４０μｍ～約４５μｍのＢ方向の幅（線幅）（＝Ｗ１）を有する。
【0048】
また、フィンガー電極４０の幅広領域４０ａは、例えば、約６０μｍ～約６５μｍのＢ方向の幅（＝Ｗ２）を有する。また、フィンガー電極４０の幅広領域４０ｂは、幅広領域４０ａ以上のＢ方向の幅（＝Ｗ３）を有する。なお、フィンガー電極４０の幅広領域４０

ｂのＢ方向の幅（＝Ｗ３）は、幅広領域４０ａのＢ方向の幅（＝Ｗ２）よりも大きくするのが好ましい。

【0049】

また、フィンガー電極４０は、例えば、約４０μｍの厚みを有する。すなわち、フィンガー電極４０は、アスペクト比（高さ／線幅）が０．５以上である。なお、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（フィンガー電極４０の中央部および外側の部分）のＢ方向の幅（＝Ｗ１）が約４０μｍ～約４５μｍである場合、線抵抗値が増大するのを抑制するためには、フィンガー電極４０は、４０μｍ程度の厚みが必要である。

【0050】

また、フィンガー電極４０は、ガラスフリットを含有している。すなわち、フィンガー電極４０は、ガラスフリットを含有する導電性ペーストを焼成することにより形成されている。

【0051】

バスバー電極４１は、フィンガー電極４０に対して直交するＢ方向に延びるように形成されている。また、バスバー電極４１は、Ａ方向に、例えば約２ｍｍの幅（＝Ｗ１１）を有しており、Ａ方向に隣接する２つのフィンガー電極４０に跨るように配置されている。また、バスバー電極４１は、フィンガー電極４０の幅広領域４０ｂの上面全面を覆うように配置されている。

【0052】

また、バスバー電極４１は、ガラスフリットを含有していない。すなわち、バスバー電極４１は、ガラスフリットを含有していない導電性ペーストを焼成することにより形成されている。なお、バスバー電極４１は、ガラスフリットを含有していてもよい。

【0053】

裏面電極５（図２参照）は、インターコネクタ（図示せず）を介して、隣接する他の太陽電池セル１の受光面電極４のバスバー電極４１に電気的に接続されている。なお、裏面電極５は、裏面での内部反射を向上させるための裏面反射層として構成することも可能である。

【0054】

図５は、図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。図６は、図１に示した一実施形態による太陽電池セルの製造プロセスに用いるメタルマスクの構造を示した平面図である。図７は、図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。次に、図１～図７を参照して、本発明の一実施形態による太陽電池セル１の製造プロセスについて説明する。

【0055】

まず、キャスト法、ＣＺ法またはＦＺ法などにより作製されたシリコンインゴットをマルチワイヤー法によりスライスして、ｐ型の半導体基板２（図２および図３参照）を準備する。

【0056】

そして、酸性またはアルカリ性の溶液や、反応性プラズマなどを用いて、半導体基板２の表面をエッチングすることによって、半導体基板２の少なくとも受光面側の表面に凹凸構造（テクスチャ構造）を形成する。

【0057】

その後、図２および図３に示すように、半導体基板２の受光面側にｎ型の不純物を導入することにより、n^+型導電領域２ｂを形成する。

【0058】

そして、半導体基板２の受光面上の全面に、絶縁膜３を形成する。

【0059】

次に、半導体基板２の裏面上にＡｌなどのｐ型の不純物を含むペースト材料を印刷し、焼成することにより裏面電極５を形成する。このとき、ｐ型の不純物が半導体基板２内に

熱拡散し、半導体基板２の裏面側にｐ⁺型導電領域２ｃが形成される。

【0060】

そして、絶縁膜３の所定領域上に、受光面電極４を形成する。

【0061】

以上で述べた製造プロセスは、現在、多結晶シリコン太陽電池などで一般的に用いられるプロセスであるが、その順序を変えることや、真空にするプロセスを部分的に用いることも可能である。

【0062】

以下、本発明の太陽電池セル１の受光面電極４の形成方法について、詳細に説明する。

【0063】

絶縁膜３の所定領域上に、図５に示すように、メタルマスク１０（図６参照）を用いて、ガラスフリットを約２ｗｔ％～約５ｗｔ％含有する導電性ペースト４０ｃをスクリーン印刷する。なお、導電性ペースト４０ｃは、後の工程において焼成されることにより、フィンガー電極４０となる。また、導電性ペースト４０ｃは、微細電極印刷時でも断線しない程度の高粘度のペーストを使用する。なお、メタルマスク１０は、本発明の「印刷用マスク」の一例であり、導電性ペースト４０ｃは、本発明の「第１導電性ペースト」の一例である。

【0064】

このとき用いるメタルマスク１０には、図６に示すように、Ａ方向に延びる複数の開口部１１が設けられている。また、開口部１１の両端部側の部分には、開口部１１の両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域１１ａおよび１１ｂが形成されている。

【0065】

また、開口部１１の幅広領域１１ａおよび１１ｂ以外の領域（開口部１１の中央部および外側の部分）は、例えば、約４０μｍのＢ方向の幅（開口幅）（＝Ｗ４１）を有する。また、開口部１１の幅広領域１１ａは、例えば、約６０μｍのＢ方向の幅（開口幅）（＝Ｗ４２）を有する。また、開口部１１の幅広領域１１ｂは、幅広領域１１ａ以上のＢ方向の幅（開口幅）（＝Ｗ４３）を有する。

【0066】

これにより、図５に示すように、スクリーン印刷後の導電性ペースト４０ｃのＡ方向の両端部側の部分には、導電性ペースト４０ｃの両端部からそれぞれ所定の距離（例えば、約０．５ｍｍ）を隔てて、幅広領域４０ｄおよび４０ｅが形成される。なお、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅは、後の工程において焼成されることにより、それぞれ、フィンガー電極４０の幅広領域４０ａおよび４０ｂとなる。

【0067】

また、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅ以外の領域（導電性ペースト４０ｃの中央部および外側の部分）は、例えば、約４０μｍ～約４５μｍのＢ方向の幅（＝Ｗ２１）を有するように形成される。また、導電性ペースト４０ｃの幅広領域４０ｄは、例えば、約６０μｍ～約６５μｍのＢ方向の幅（＝Ｗ２２）を有するように形成される。また、導電性ペースト４０ｃの幅広領域４０ｅは、幅広領域４０ｄ以上のＢ方向の幅（＝Ｗ２３）を有するように形成される。

【0068】

また、メタルマスク１０は、例えば、約５０μｍの厚みを有しており、導電性ペースト４０ｃを焼成した後のフィンガー電極４０の厚みは、約４０μｍになる。

【0069】

次に、図７に示すように、絶縁膜３の所定領域上、および、導電性ペースト４０ｃの所定領域上に、メッシュマスク（図示せず）を用いて、ガラスフリットを含有しない導電性ペースト４１ａをスクリーン印刷する。なお、導電性ペースト４１ａは、後の工程において焼成されることにより、バスバー電極４１となる。また、導電性ペースト４１ａは、導電性ペースト４０ｃと同様に、ガラスフリットを含有していてもよい。なお、導電性ペー

スト４１ａは、本発明の「第２導電性ペースト」の一例である。

【0070】

また、導電性ペースト４１ａは、導電性ペースト４０ｃよりも小さい粘度を有する。なお、導電性ペースト４１ａは、導電性ペースト４０ｃと同程度の粘度を有していてもよい。

【0071】

導電性ペースト４１ａは、Ａ方向に、例えば約２ｍｍの幅（＝Ｗ３１）を有しており、Ａ方向に隣接する２つの導電性ペースト４０ｃに跨がるように配置されている。また、導電性ペースト４１ａは、導電性ペースト４０ｃの幅広領域４０ｅの上面全面を覆うように配置される。

【0072】

その後、導電性ペースト４０ｃおよび４１ａを焼成することにより、図１および図４に示すように、フィンガー電極４０およびバスバー電極４１からなる受光面電極４が形成される。このとき、導電性ペースト４０ｃ（フィンガー電極４０）にはガラスフリットが含有されているので、図３に示すように、焼成する際に、導電性ペースト４０ｃ（フィンガー電極４０）が絶縁膜３を貫通し、半導体基板２のn^+型導電領域２ｂと電気的に接続される。その一方、導電性ペースト４１ａ（バスバー電極４１）にはガラスフリットが含有されていないので、図２に示すように、焼成した場合にも、導電性ペースト４１ａ（バスバー電極４１）は絶縁膜３を貫通しない。

【0073】

以上のようにして、図１に示した一実施形態による太陽電池セル１が製造される。

【0074】

本実施形態では、上記のように、フィンガー電極４０の両端部側の部分に幅広領域４０ａおよび４０ｂを形成し、フィンガー電極４０の幅広領域４０ａおよび４０ｂのＢ方向の幅（＝Ｗ２およびＷ３）を、フィンガー電極４０の中央部および外側の部分のＢ方向の幅（＝Ｗ１）よりも大きくしている。これにより、導電性ペースト４０ｃ（フィンガー電極４０）を高いアスペクト比（高さ／線幅）に形成する場合にも、メタルマスク１０の高さ（厚み）（約５０μｍ）が導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅのＢ方向の幅（約６０μｍ）よりも大きくなるのを抑制することができる。すなわち、メタルマスク１０の開口部１１の幅広領域１１ａおよび１１ｂのアスペクト比（厚み／開口幅）が大きくなるのを抑制することができる。これにより、導電性ペースト４０ｃの端部側の部分（幅広領域４０ｄおよび４０ｅ）においても、メタルマスク１０に対して版離れが悪くなるのを抑制することができるので、導電性ペースト４０ｃの端部側の部分（幅広領域４０ｄおよび４０ｅ）が転写されなかったり、端部側の部分（幅広領域４０ｄおよび４０ｅ）のＢ方向の幅が小さくなり焼成後のフィンガー電極４０が剥離しやすくなるのを抑制することができる。その結果、太陽電池セル１の変換効率が低下するのを抑制することができる。

【0075】

また、本実施形態では、上記のように、メタルマスク１０に対する導電性ペースト４０ｃの版離れが悪くなるのを抑制しながら、フィンガー電極４０を高いアスペクト比（高さ／線幅）に形成することができるので、フィンガー電極４０の線抵抗値が大きくなるのを抑制することができる。その結果、太陽電池セル１の変換効率が低下するのをより抑制することができる。

【0076】

また、本実施形態では、上記のように、幅広領域４０ａおよび４０ｂを、フィンガー電極４０の両端部からそれぞれ所定の距離を隔てて形成することによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離した場合にも、フィンガー電極４０の幅広領域４０ａおよび４０ｂから内側の部分が剥離するのを抑制することができる。また、フィンガー電極４０が剥離する場合、通常、端部から剥離するので、幅広領域４０ｄおよび４０ｅをフィンガー電極４０の端部に形成する場合に比べて、幅広領域４０

ｄおよび４０ｅが剥離するのを抑制することができる。また、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離しても電流の損失がない位置に配置しているので、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離した場合にも、太陽電池セル１の変換効率が低下することがない。

【0077】

また、本実施形態では、上記のように、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、半導体基板２（絶縁膜３）の端部から所定のピッチ（＝Ｐ１）の半分よりも小さい長さ（＝Ｌ１）だけ隔てて配置することによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂを、容易に、フィンガー電極４０の幅広領域４０ａおよび４０ｂよりも外側の部分が剥離しても電流の損失がない位置に配置することができる。

【0078】

また、本実施形態では、上記のように、バスバー電極４１を、フィンガー電極４０の幅広領域４０ｂの上面全面を覆うように配置することによって、フィンガー電極４０に幅広領域４０ｂを設けた場合にも、受光面電極４の表面での反射損失が増加するのを抑制することができるので、太陽電池セル１の変換効率が低下するのをより抑制することができる。

【0079】

また、本実施形態では、上記のように、フィンガー電極４０のバスバー電極４１が接続される幅広領域４０ｂのＢ方向の幅（＝Ｗ３）を、フィンガー電極４０の幅広領域４０ａのＢ方向の幅（＝Ｗ２）以上の大きさにすることによって、バスバー電極４１とフィンガー電極４０との接触面積を、容易に大きくすることができる。これにより、ガラスフリットを含有するフィンガー電極４０（導電性ペースト４０ｃ）と、ガラスフリットを含有しないバスバー電極４１（導電性ペースト４１ａ）との接着強度が弱い場合にも、バスバー電極４１が、フィンガー電極４０から剥離するのを、容易に抑制することができる。

【0080】

また、本実施形態では、上記のように、フィンガー電極４０を、ガラスフリットを含有する導電性ペースト４０ｃにより形成し、バスバー電極４１を、ガラスフリットを含有しない導電性ペースト４１ａにより形成することによって、ガラスフリットを含有するフィンガー電極４０を、半導体基板２に接触させるとともに、ガラスフリットを含有しないバスバー電極４１を、半導体基板２に接触しないように形成することができる。これにより、フィンガー電極４０およびバスバー電極４１の両方が半導体基板２に接触する場合に比べて、パッシベーション効果を向上させることができるので、Ｖｏｃ（開放電圧）を大きくすることができる。

【0081】

また、本実施形態では、上記のように、フィンガー電極４０を、導電性ペースト４１ａよりも粘度の大きい導電性ペースト４０ｃを用いて形成している。これにより、導電性ペースト４０ｃがだれるのを、容易に抑制することができるので、フィンガー電極４０を、容易に高いアスペクト比（高さ／線幅）に形成することができる。

【0082】

また、本実施形態では、上記のように、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（中央部および外側の部分）のアスペクト比（高さ／線幅）を、約１（０．５以上）にすることによって、フィンガー電極４０の幅広領域４０ａおよび４０ｂ以外の領域（中央部および外側の部分）のＢ方向の幅（＝Ｗ１）を小さくした場合（フィンガー電極４０を微細化した場合）にも、フィンガー電極４０の線抵抗値が増大するのを容易に抑制することができる。

【実施例】

【0083】

次に、上記した本発明の一実施形態による太陽電池セル１の効果を確認するために行った比較実験について説明する。この比較実験では、上記実施形態に対応する実施例１によ

る太陽電池セルと、上記実施例１とは異なりフィンガー電極に幅広領域が形成されていない比較例１～３による太陽電池セルとを作製した。そして、実施例１および比較例１～３による太陽電池セルについて、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）と、剥離したフィンガー電極の数、および、剥離長さとを測定した。以下、詳細に説明する。

【0084】

（実施例１）

実施例１による太陽電池セル１は、以下のように作製した。まず、シリコンインゴットをマルチワイヤー法によりスライスすることによって、約１０ｃｍ×約１０ｃｍの外形と、約０．３ｍｍの厚みと、約１．５Ωｃｍの比抵抗とを有するｐ型の多結晶シリコン基板（半導体基板２）を準備した。

【0085】

そして、５％ＮａＯＨアルカリ水溶液に対して７％アルコールを加えた溶液中で、約８０℃の温度で約１０分間、半導体基板２をエッチングすることにより、破砕層の除去と凹凸構造（テクスチャ構造）の形成とを同時に行った。

【0086】

その後、$POCl_3$（オキシ塩化リン）を含む約８４０℃の雰囲気の電気炉中の治具に半導体基板２を載置して、約２０分間リン拡散（熱拡散）を行うことによって、半導体基板２の受光面側にn^+型導電領域２ｂを形成した。そして、ＨＦ水溶液中で、ＰＳＧ（リンガラス）層などを除去した後、洗浄および乾燥を行った。これにより、約７０Ω／□のシート抵抗と、約０．３μｍの深さ（接合深さ）と、表面付近に約$10^{20}cm^{-2}$のドーパント濃度とを有するn^+型導電領域２ｂを形成した。

【0087】

その後、半導体基板２の受光面上に、プラズマＣＶＤ法を用いて、約７２ｎｍの厚みと反射防止機能とを有するＳｉＮ層からなる絶縁膜３を形成した。このとき、ガス種として、シランおよびアンモニアを用いた。

【0088】

そして、半導体基板２の裏面上に、Ａ１粉末を含有する導電性ペーストを印刷し、乾燥させた。その後、近赤外線炉中で焼成することにより、p^+型導電領域２ｃおよび裏面電極５を形成した。

【0089】

次に、メタルマスク１０を用いて、絶縁膜３の所定領域上に導電性ペースト４０ｃをスクリーン印刷した。

【0090】

具体的には、メタルマスク１０の厚みは、約５０μｍであった。また、メタルマスク１０の開口部１１のA方向の長さは、約２４ｍｍであった。また、開口部１１の幅広領域１１ａおよび１１ｂ以外の領域（開口部１１の中央部および外側の部分）のＢ方向の幅（＝Ｗ４１）は、約４０μｍであった。また、開口部１１の幅広領域１１ａおよび１１ｂは、約６０μｍ×約６０μｍの正方形状であった。また、開口部１１の幅広領域１１ａおよび１１ｂは、開口部１１の両端部からそれぞれ約０．５ｍｍ隔てた位置に形成されていた。また、開口部１１のＢ方向のピッチは、約２．０ｍｍであった。

【0091】

また、導電性ペースト４０ｃは、銀、ガラスフリット、有機樹脂および溶媒を適宜混合して調整したものを用いた。また、導電性ペースト４０ｃの粘度は、約５００Ｐａ・ｓであった。

【0092】

その後、メッシュマスクを用いて、絶縁膜３の所定領域上、および、導電性ペースト４０ｃの所定領域上に、導電性ペースト４１ａをスクリーン印刷した。導電性ペースト４１ａは、ガラスフリットを用いずに、銀、有機樹脂および溶媒を適宜混合して調整したものを用いた。また、導電性ペースト４１ａの粘度は、約１００Ｐａ・ｓであった。

【0093】
その後、導電性ペースト４０ｃおよび４１ａを焼成することにより、フィンガー電極４０およびバスバー電極４１からなる受光面電極４を形成した。
【0094】
このときのフィンガー電極４０の単位長さ当たりの抵抗値は、約０．１１Ω／ｃｍであった。また、フィンガー電極４０の厚みは、約４０μｍであり、フィンガー電極４０の幅広領域４０ｄおよび４０ｅ以外の領域の幅（＝Ｗ１）は、約４２μｍであった。また、バスバー電極４１のＡ方向の幅（＝Ｗ１１）は、約２ｍｍであった。なお、実施例１による太陽電池セル１のその他の構造および製造方法は、上記実施形態と同様である。
【0095】
（比較例１）
比較例１による太陽電池セルは、上記実施例１と異なり、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。すなわち、約４０μｍの均一なＢ方向の幅を有する開口部が設けられたメタルマスクを用いてフィンガー電極を形成した。なお、比較例１による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記実施例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約４０μｍおよび約４２μｍであった。
【0096】
（比較例２）
比較例２による太陽電池セルは、上記比較例１と同様、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。この比較例２では、上記比較例１と異なり、約３０μｍの厚みを有するメタルマスクを用いてフィンガー電極を形成した。なお、比較例２による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記比較例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約２０μｍおよび約４２μｍであった。
【0097】
（比較例３）
比較例３による太陽電池セルは、上記比較例１および２と同様、幅広領域が形成されていない開口部を有するメタルマスクを用いてフィンガー電極を形成した。この比較例３では、上記比較例１と異なり、約６０μｍの均一なＢ方向の幅を有する開口部が設けられたメタルマスクを用いてフィンガー電極を形成した。なお、比較例３による太陽電池セルのその他の製造プロセス、および、メタルマスクの構造は、上記比較例１と同様とした。また、焼成後のフィンガー電極の厚みおよびＢ方向の幅は、それぞれ、約４０μｍおよび約６３μｍであった。
【0098】
上記のように作製した実施例１および比較例１～３による太陽電池セルについて、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）と、剥離したフィンガー電極の数、および、剥離長さとを測定した。なお、Ｊｓｃ（電流密度）、Ｖｏｃ（開放電圧）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）の測定は、照射強度１００ｍＷ／ｃｍ^{2}の擬似太陽光（ＪＩＳ標準光ＡＭ１．５Ｇ）下で行った。また、各太陽電池セルについて、８０本のフィンガー電極を目視で観察することにより、フィンガー電極の剥離の有無を確認した。その結果を、以下の表１に示す。なお、フィンガー電極の幅広領域よりも外側の部分に対応する領域（フィンガー電極の端部から約０．５ｍｍまでの領域）に剥離が発生しても、電流の損失がないので、約０．５ｍｍ以下の剥離についてはカウントしていない。
【0099】

【表1】

	Jsc (mA/cm^2)	Voc (mV)	FF	Eff (%)	電極剥離本数 (本)	剥離長さ (mm)
実施例1	34.0	616	0.775	16.2	(0/80)	0
比較例1	33.5	615	0.745	15.3	(42/80)	3～10
比較例2	34.2	613	0.740	15.5	(0/80)	0
比較例3	33.4	612	0.770	15.9	(0/80)	0

【0100】
上記表１に示すように、実施例１では、フィンガー電極４０の剥離が確認されなかった。その一方、比較例１では、４２本のフィンガー電極において、約３ｍｍ～約１０ｍｍの剥離が確認された。これは、以下の理由によるものと考えられる。すなわち、実施例１では、メタルマスク１０の厚み（約５０μｍ）がメタルマスク１０の開口部１１の幅広領域１１ａおよび１１ｂのＢ方向の幅（＝Ｗ４２およびＷ４３）（約６０μｍ）よりも小さいために、導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅが開口部１１の壁面から受ける抵抗が小さくなり、メタルマスク１０に対する導電性ペースト４０ｃの幅広領域４０ｄおよび４０ｅの版離れが良くなった。これにより、フィンガー電極４０の幅広領域４０ａおよび４０ｂから内側（中央部側）の部分では、剥離が発生しなかったと考えられる。その一方、比較例１では、メタルマスクの厚み（約５０μｍ）がメタルマスクの開口部のＢ方向の幅（約４０μｍ）よりも大きいために、導電性ペーストが開口部の壁面から受ける抵抗が大きくなり、メタルマスクに対する導電性ペーストの版離れが悪くなるとともに、フィンガー電極の端部が剥離しやすくなったと考えられる。

【0101】
また、実施例１では、比較例１に比べて、Ｊｓｃ（電流密度）およびＦＦ（曲線因子）が共に大きく、高いＥｆｆ（変換効率）を得ることができた。具体的には、実施例１のＪｓｃ（電流密度）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）は、それぞれ、３４．０ｍＡ／ｃｍ^2、０．７７５および１６．２％であった。また、比較例１のＪｓｃ（電流密度）、ＦＦ（曲線因子）およびＥｆｆ（変換効率）は、それぞれ、３３．５ｍＡ／ｃｍ^2、０．７４５および１５．３％であった。実施例１が比較例１に比べて、Ｊｓｃ（電流密度）およびＦＦ（曲線因子）が共に大きくなったのは、比較例１では、フィンガー電極に剥離が発生した一方、実施例１では、フィンガー電極に剥離が発生しなかったためであると考えられる。

【0102】
比較例２では、比較例１と異なり、フィンガー電極の剥離が確認されなかった。これは、以下の理由によるものと考えられる。すなわち、比較例２で用いたメタルマスクは、比較例１と異なり、メタルマスクの厚み（約３０μｍ）がメタルマスクの開口部のＢ方向の幅（約４０μｍ）よりも小さいために、導電性ペーストが開口部の壁面から受ける抵抗が小さくなり、メタルマスクに対する導電性ペーストの版離れが良くなったためであると考えられる。

【0103】
また、比較例２では、実施例１に比べて、ＦＦ（曲線因子）が小さくなった。具体的には、比較例２のＦＦ（曲線因子）は、０．７４０であった。これは、比較例２では、実施例１に比べて厚みの小さいメタルマスクを用いているので、フィンガー電極の厚みが小さくなり、フィンガー電極自体の抵抗値が高くなったためであると考えられる。

【0104】
比較例３では、比較例１と異なり、フィンガー電極の剥離が確認されなかった。これは

、以下の理由によるものと考えられる。すなわち、比較例３で用いたメタルマスクは、比較例１と異なり、メタルマスクの厚み（約５０μｍ）がメタルマスクの開口部のＢ方向の幅（約６０μｍ）よりも小さいために、導電性ペーストが開口部の壁面から受ける抵抗が小さくなり、メタルマスクに対する導電性ペーストの版離れが良くなったためであると考えられる。

【0105】

また、比較例３では、実施例１に比べて、Ｊｓｃ（電流密度）が小さくなった。具体的には、比較例３のＪｓｃ（電流密度）は、３３．４ｍＡ／ｃｍ^{2}であった。これは、以下の理由によるものと考えられる。すなわち、比較例３では、実施例１に比べて開口部のＢ方向の幅の大きいメタルマスクを用いているので、フィンガー電極の面積が大きくなる。これにより、フィンガー電極の表面での反射損失が増加し、半導体基板に入射する光の量が減少したので、Ｊｓｃ（電流密度）が小さくなったと考えられる。

【0106】

なお、上記実施例１とは異なりガラスフリットを含有する導電性ペーストを用いてバスバー電極を形成した別の実施例では、実施例１に比べて、Ｖｏｃ（開放電圧）が小さくなった。これは、以下の理由によるものと考えられる。すなわち、上記別の実施例では、ガラスフリットを含有する導電性ペーストを用いてバスバー電極を形成するので、導電性ペーストを焼成してバスバー電極を形成する際に、バスバー電極が、フィンガー電極と同様、絶縁膜３を貫通して、ｎ$^+$型導電領域２ｂと電気的に接続される。これにより、パッシベーション効果が低下し、Ｖｏｃ（開放電圧）が小さくなったと考えられる。

【0107】

なお、今回開示された実施形態および実施例は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態および実施例の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0108】

例えば、上記実施形態では、光電変換装置として太陽電池（太陽電池セル）を例に挙げて説明したが、本発明はこれに限らず、太陽電池（太陽電池セル）以外の光電変換装置にも適用可能である。

【0109】

また、上記実施形態では、半導体層としてシリコン基板を用いた太陽電池セルについて示したが、本発明はこれに限らず、薄膜のシリコン層を用いた太陽電池セルに適用してもよい。また、シリコンゲルマニウム基板またはガリウム砒素基板などの化合物半導体基板や、有機半導体などのシリコン以外の半導体層を用いた太陽電池セルにも適用可能である。

【0110】

また、上記実施形態では、ｐ型の半導体基板を用いた例について示したが、本発明はこれに限らず、ｎ型の半導体基板を用いてもよい。この場合、半導体基板の受光面側に、ｐ型、または、ｐ$^+$型の導電領域を設ければよい。

【0111】

また、上記実施形態では、半導体基板の受光面側にｎ$^+$型導電領域を設けた例について示したが、本発明はこれに限らず、半導体基板の受光面側にｎ型導電領域を設けてもよい。

【0112】

また、上記実施形態では、幅広領域をフィンガー電極の両端部側の部分に設けた例について示したが、本発明はこれに限らず、幅広領域をフィンガー電極の一方の端部側の部分に設けてもよい。

【0113】

また、上記実施形態では、フィンガー電極の幅広領域を正方形状に形成した例について示したが、本発明はこれに限らず、フィンガー電極の幅広領域を正方形状以外の多角形状

や、円形状または楕円形状などに形成してもよい。

【0114】

また、上記実施形態では、フィンガー電極の形成にメタルマスクを用いた例について示したが、本発明はこれに限らず、フィンガー電極の形成にメッシュマスクを用いてもよい。

【0115】

また、上記実施形態では、バスバー電極の形成にメッシュマスクを用いた例について示したが、本発明はこれに限らず、バスバー電極の形成にメタルマスクを用いてもよい。

【0116】

また、上記実施形態では、半導体基板の受光面上の全面に絶縁膜を形成し、絶縁膜の所定領域上に導電性ペーストを印刷した後、焼成することにより、導電性ペースト（フィンガー電極）が絶縁膜を貫通して、フィンガー電極が半導体基板と電気的に接続する例について示したが、本発明はこれに限らず、半導体基板の受光面上の、フィンガー電極を形成する予定の領域を除く領域のみに絶縁膜を形成し、半導体基板の受光面上の絶縁膜が形成されていない領域に導電性ペーストを印刷することによりフィンガー電極を形成してもよい。

【0117】

また、上記実施形態では、半導体基板のｎ$^+$型導電領域およびｐ$^+$型導電領域を、熱拡散により形成した例について示したが、イオンインプランテーション法などにより形成してもよい。

【0118】

また、上記実施形態では、半導体基板の受光面上に、反射防止膜としての機能を有する絶縁膜を形成した例について示したが、本発明はこれに限らず、絶縁膜上に、別途、反射防止膜を形成してもよい。

【0119】

また、上記実施形態では、半導体基板の受光面に、凹凸構造（テクスチャ構造）を形成した例について示したが、本発明はこれに限らず、半導体基板の受光面に、凹凸構造（テクスチャ構造）を形成しなくてもよい。

【0120】

また、上記実施形態では、半導体基板の表面（受光面）に凹凸構造（テクスチャ構造）を形成した後に、受光面電極を形成した例について示したが、本発明はこれに限らず、半導体基板の表面（受光面）に陽極酸化などにより、鋭く微細な凹凸構造を形成し、その上に受光面電極を形成した後に、半導体基板の表面に凹凸構造（テクスチャ構造）を形成してもよい。このように構成すれば、受光面電極と半導体基板との接着強度をより大きくすることができるので、受光面電極が剥離するのをより抑制することができる。

【0121】

また、上記実施形態では、受光面電極をフィンガー電極およびバスバー電極により構成した太陽電池セルについて示したが、本発明はこれに限らず、バスバー電極を設けず、受光面電極をフィンガー電極のみにより構成したＭＷＴ（メタルラップスルー）構造の太陽電池セルにも適用可能である。

【0122】

また、上記実施形態では、バスバー電極を、Ａ方向に隣接する２つのフィンガー電極に跨るように配置した例について示したが、本発明はこれに限らず、バスバー電極を、Ａ方向に隣接する２つのフィンガー電極に跨らないように配置してもよい。すなわち、Ａ方向に隣接するフィンガー電極の数だけバスバー電極を設けてもよい。

【図面の簡単な説明】

【0123】

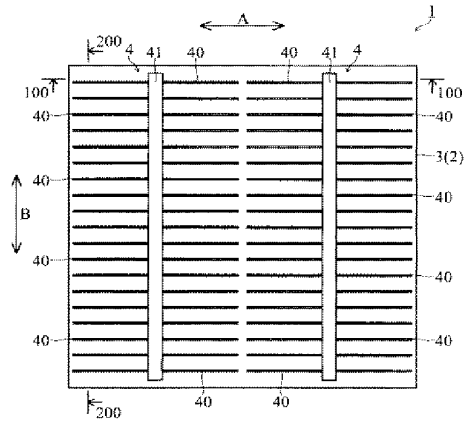
【図1】本発明の一実施形態による太陽電池セルの構造を示した平面図である。

【図2】図１の１００－１００線に沿った断面図である。

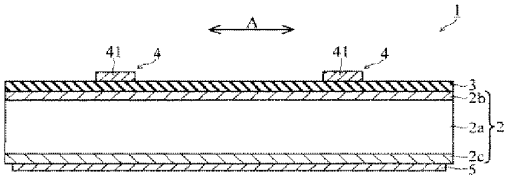
【図3】図１の２００－２００線に沿った断面図である。

【図4】図１に示した一実施形態による太陽電池セルの受光面電極の詳細構造を示した平面図である。
【図5】図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。
【図6】図１に示した一実施形態による太陽電池セルの製造プロセスに用いるメタルマスクの構造を示した平面図である。
【図7】図１に示した一実施形態による太陽電池セルの製造プロセスを説明するための平面図である。
【符号の説明】
【0124】
１　太陽電池セル（光電変換装置）
２　半導体基板（半導体層）
４　受光面電極
１０　メタルマスク（印刷用マスク）
４０　フィンガー電極
４０ａ、４０ｂ　幅広領域
４０ｃ　導電性ペースト（第１導電性ペースト）
４０ｄ、４０ｅ　幅広領域
４１　バスバー電極
４１ａ　導電性ペースト（第２導電性ペースト）

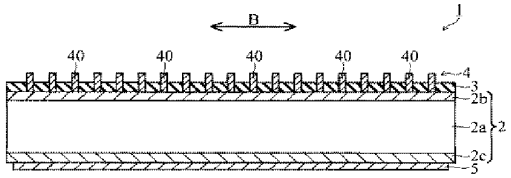
【図1】



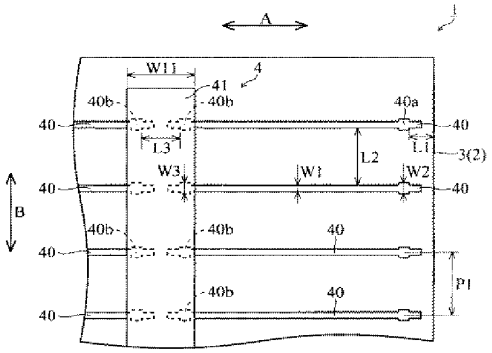
【図2】



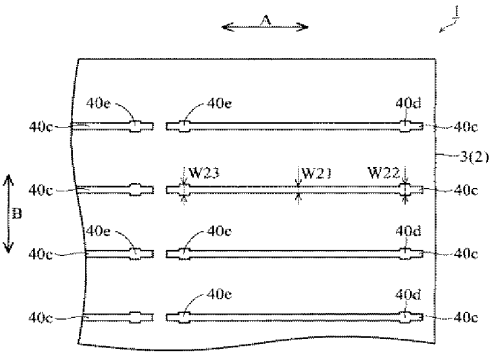
【図3】



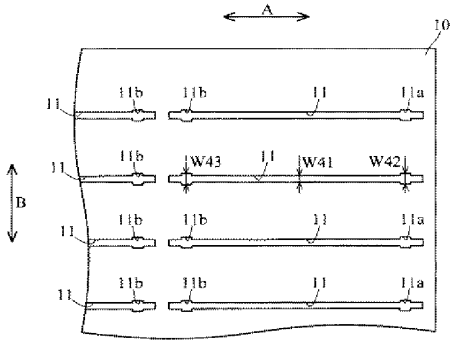
【図4】



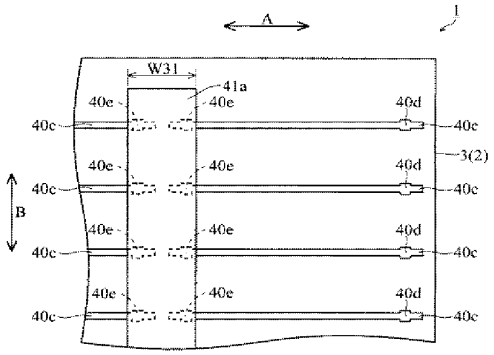
【図5】


A
1
40e
40c
40d
3(2)
W23
W21
W22
B

【図6】


A
10
11
11b
11a
W43
W41
W42
B

【図7】


A
1
W31
41a
40e
40c
40d
3(2)
B

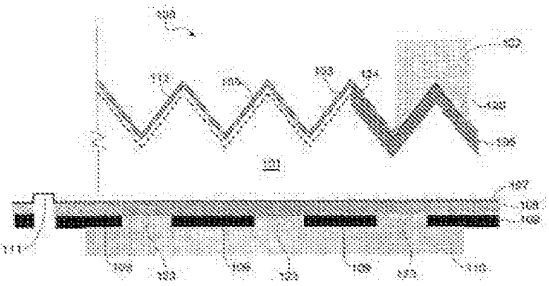
Espacenet

Bibliographic data: CN201812825 (U) — 2011-04-27

Front contact solar cell with formed emitter

Inventor(s):	COUSINS PETER JOHN ± (PETER.JOHN.COUSINS)
Applicant(s):	SOLAR ENERGY CO LTD ± (SOLAR ENERGY CO., LTD)
Classification:	**- international:*H01L31/00*** **- cooperative: H01L31/022425; H01L31/0236; H01L31/056; H01L31/068; H01L31/0745; H01L31/1804; H01L31/182;** Y02E10/52; Y02E10/547; Y02P70/521
Application number:	CN20099100086U 20090129
Priority number (s):	WO2009US32345 20090129 ; US20080070742 20080220
Also published as:	US2009205712 (A1) US8222516 (B2) US2015083215 (A1) US2014038338 (A1) US8878053 (B2) more

Abstract of CN201812825 (U)



The utility model provides a solar cell with a front face facing the sun during the normal operation period to collect solar radiation and a back face opposite to the front face. The solar cell (100) comprises an N-type silicon substrate (101), a rough surface (113) on the N-type silicon substrate on the front face of the solar cell (100), an antireflection layer (103) on the rough surface (113) on the N-type silicon substrate, a P-type polysilicon emitter (108) forming a back face junction with the N-type silicon substrate (101), a negative polarity metal contact (102) electrically connected to the N-type silicon substrate (101) from the front face of the solar cell (100), and a positive polarity metal contact (110) electrically connected to the P-type polysilicon emitter (108) from the back face of the solar cell (100).

Petitioner Runergy USA Inc., Ex. 1005, p. 674

(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 201812825 U
(45)授权公告日 2011.04.27

(21)申请号 200990100086.8
(22)申请日 2009.01.29
(30)优先权数据
12/070,742 2008.02.20 US
(85)PCT申请进入国家阶段日
2010.08.13
(86)PCT申请的申请数据
PCT/US2009/032345 2009.01.29
(87)PCT申请的公布数据
WO2009/105314 EN 2009.08.27
(73)专利权人 太阳能公司
地址 美国加利福尼亚州
(72)发明人 彼得·约翰·卡曾斯
(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 陈源 张天舒
(51)Int.Cl.
H01L 31/00(2006.01)

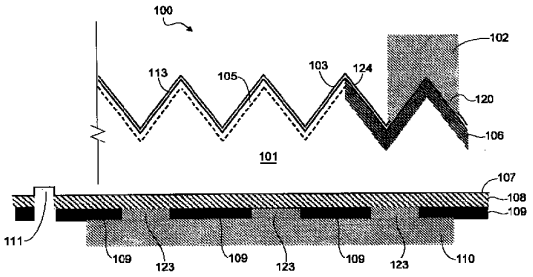
权利要求书 1 页 说明书 5 页 附图 7 页

(54)实用新型名称

具有形成的发射极的前触点太阳能电池

(57)摘要

一种太阳能电池，其具有在正常操作期间面对太阳以收集太阳辐射的正面和与该正面相反的背面。该太阳能电池(100)包括：N型硅衬底(101)；所述太阳能电池(100)正面上的所述N型硅衬底上的粗糙表面(113)；N型硅衬底的粗糙表面(113)上的抗反射层(103)；与N型硅衬底(101)形成背面结的P型多晶硅发射极(108)；从所述太阳能电池(100)正面电连接至N型硅衬底(101)的负极性金属触点(102)；以及从所述太阳能电池(100)背面电连接至P型多晶硅发射极(108)的正极性金属触点(110)。



CN 201812825 U

1. 一种太阳能电池，其具有在正常操作期间面对太阳以收集太阳辐射的正面和与该正面相反的背面，所述太阳能电池的特征在于包括：

N 型硅衬底；

所述太阳能电池正面上的所述 N 型硅衬底上的粗糙表面；

N 型硅衬底的粗糙表面上的抗反射层；

与 N 型硅衬底形成背面结的 P 型多晶硅发射极；

从所述太阳能电池正面电连接至 N 型硅衬底的负极性金属触点；以及

从所述太阳能电池背面电连接至 P 型多晶硅发射极的正极性金属触点。

2. 根据权利要求 1 所述的太阳能电池，其中所述抗反射层包括氮化硅层。

3. 根据权利要求 1 所述的太阳能电池，还包括 P 型多晶硅发射极上的电介质层。

4. 根据权利要求 3 所述的太阳能电池，其中所述电介质层包括二氧化硅。

5. 根据权利要求 3 所述的太阳能电池，还包括贯通所述电介质层和所述 P 型多晶硅发射极、并进入所述太阳能电池背面上的 N 型硅衬底的一部分的沟槽。

6. 根据权利要求 1 所述的太阳能电池，其中所述正极性金属触点包括与电介质层形成红外线反射层的金属。

7. 根据权利要求 1 所述的太阳能电池，其中所述正极性金属触点包括与电介质层形成红外线反射层的银，所述电介质层包括二氧化硅。

8. 根据权利要求 1 所述的太阳能电池，其中所述负极性金属触点包括在通到所述 N 型硅衬底的接触孔中形成的金属。

9. 一种太阳能电池，其具有在正常操作期间面对太阳以收集太阳辐射的正面和与该正面相反的背面，所述太阳能电池的特征在于包括：

衬底，其具有粗糙的前表面；

发射极层，其形成在所述衬底的后表面上，所述发射极层与所述衬底形成背面结；

第一金属触点，其电连接至所述太阳能电池正面上的所述衬底；

第二金属触点，其电连接至所述太阳能电池背面上的所述发射极层，所述第一金属触点和所述第二金属触点都被配置为允许外部电路由所述太阳能电池供电。

10. 根据权利要求 9 所述的太阳能电池，还包括所述衬底的粗糙的前表面上的抗反射层。

11. 根据权利要求 9 所述的太阳能电池，其中所述衬底包括 N 型硅衬底，而所述发射极层包括 P 型掺杂多晶硅。

12. 根据权利要求 9 所述的太阳能电池，其中所述第二金属触点包括银，其形成在二氧化硅层上。

Petitioner Runergy USA Inc., Ex. 1005, p. 676

具有形成的发射极的前触点太阳能电池

技术领域

[0001] 一般而言，本发明涉及太阳能电池，更具体地，本发明涉及但不仅仅涉及太阳能电池的制造工艺和结构。

背景技术

[0002] 太阳能电池是已知的用于将太阳辐射转换为电能的装置。 可以使用半导体加工技术将太阳能电池制造在半导体晶片上。 太阳能电池包括形成结的 P 型和 N 型扩散区。入射到太阳能电池上的太阳辐射产生电子和空穴，所述电子和空穴转移至扩散区，从而在扩散区之间产生电压差。 在背面触点太阳能电池中，扩散区和耦接至扩散区的金属触点均在太阳能电池的背面。 所述金属触点允许外部电路耦接至太阳能电池，并且允许外部电路由太阳能电池供电。

[0003] 在前触点太阳能电池中，电连接到扩散区的金属触点中的至少一个在太阳能电池的正面。 所述太阳能电池的正面与所述背面相反，其在正常操作期间面对太阳来收集太阳辐射。 但是，由于背面触点太阳能电池的正面上不存在金属触点，因此背面触点太阳能电池相对于前触点太阳能电池来说具有美感优势，并且因此，背面触点太阳能电池优选地用于住宅应用，而对于发电量为主要关注点的发电厂和其他应用，美感则不是主要要求。 本申请公开了相对高效且成本低的前触点太阳能电池的结构和制造该前触点太阳能电池的工艺。

发明内容

[0004] 一种太阳能电池，其具有在正常操作期间面对太阳以收集太阳辐射的正面和与该正面相反的背面。 该太阳能电池包括 ：N 型硅衬底 ；

[0005] 所述太阳能电池正面上的所述 N 型硅衬底上的粗糙表面 ；N 型硅衬底的粗糙表面上的抗反射层 ；与 N 型硅衬底形成背面结的 P 型多晶 硅发射极 ；从所述太阳能电池正面电连接至 N 型硅衬底的负极性金属触点 ；以及从所述太阳能电池背面电连接至 P 型多晶硅发射极的正极性金属触点。

[0006] 一种太阳能电池，其具有在正常操作期间面对太阳以收集太阳辐射的正面和与该正面相反的背面。 该太阳能电池包括 ：衬底，其具有粗糙的前表面 ；发射极层，其形成在所述衬底的后表面上，所述发射极层与所述衬底形成背面结 ；第一金属触点，其电连接至所述太阳能电池正面上的所述衬底 ；第二金属触点，其电连接至所述太阳能电池背面上的所述发射极层，所述第一金属触点和所述第二金属触点都被配置为允许外部电路由所述太阳能电池供电。

[0007] 通过阅读包括附图和权利要求的本公开的整体，本发明的这些和其他特征对于本领域普通技术人员来说将清楚。

Petitioner Runergy USA Inc., Ex. 1005, p. 677

附图说明

[0008] 图 1 简要示出了根据本发明的一个实施例的太阳能电池的截面。

[0009] 图 2 是简要示出了图 1 所示太阳能电池的正面的平面图。

[0010] 图 3 是简要示出了图 1 所示太阳能电池的背面的平面图。

[0011] 图 4（包括图 4A 至图 4M）简要示出了根据本发明的一个实施例的图 1 所示太阳能电池的制造。

[0012] 不同图示中所使用的相同参考标号指示相同或相似的部件。 所述图示并非按比例绘制。

具体实施方式

[0013] 在本发明的公开中，提供许多具体细节（例如，设备、工艺参数、材料、工艺步骤、以及结构的示例）以提供对本发明的实施例的全面理解。 但是，本领域普通技术人员可以理解的是，本发明可以在不具有一个或多个具体细节的情况下实施。 还有一些已知的细节未被示出或描述，以避免使本发明的方面变得不明显。

[0014] 图 1 简要示出了根据本发明的一个实施例的太阳能电池 100 的截面。 太阳能电池 100 具有金属触点 102 坐落的正面和与所述金属触 点 110 在同一侧的背面。 在正常操作期间，所述正面面对太阳来收集太阳辐射。

[0015] 在图 1 所示的示例中，太阳能电池 100 包括由用作 P 型扩散区的 P 型掺杂多晶硅发射极 108 和用作 N 型扩散区的 N 型硅衬底 101 形成的背面结。 所述 N 型硅衬底 101 可以包括长寿命（例如，2 至 5ms）N 型硅晶片，并且从背面表面至衬底的粗糙正面表面的顶部所测量的厚度约为 100 至 250μm。 所述衬底 101 的正面表面为任意粗糙的（如标号 113 所示），并且包括形成在衬底中的 N 型掺杂区 105 和 106。 所述 N 型掺杂区 105 提供了较低的前表面复合，并且在不损害太阳能电池的蓝光响应的同时改进了横向电导率。 可以是磷扩散的区域 106 提供了较低的触点电阻，并且使触点复合最小化。 区域 106 还可以被称为 “N 型点”，这是因为，在一个实施例中，其形成点形以使前表面上的重扩散区的面积最小化。 N 型掺杂区 105 可以具有 100 至 500Ω/sq 的薄层电阻，而 N 型掺杂区 106 可以具有 10 至 50Ω/sq 的薄层电阻。

[0016] 在衬底 101 的粗糙的正面表面上形成氮化硅层 103 的抗反射涂层（ARC）。 粗糙的正面表面和氮化硅层 103 有助于改进太阳辐射收集效率。 钝化氧化物 124 可以包括二氧化硅，其在衬底 101 的正面表面上热生长至约 10 至 250 埃的厚度。

[0017] 在一个实施例中，多晶硅发射极 108 形成在隧道氧化物层 107 上。 可以通过使用诸如低压 CVD（LPCVD）或等离子体增强 CVD（PECVD）之类的化学气相沉积（CVD）和热退火形成多晶硅层来形成多晶硅发射极 108。 所述多晶硅发射极 108 可以具有 100Ω/sq 的薄层电阻，其厚度为 1000 至 2000 埃。 所述隧道氧化物层 107 可以包括二氧化硅，其在衬底 101 的背面表面上热生长至约 10 至 50 埃的厚度。 金属触点 110 通过接触孔 123 电连接至多晶硅发射极 108，所述接触孔 123 穿过包括二氧化硅层 109 的电介质而形成。金属触点 110 提供正极性接线端，以允许外部电路耦接至该金属触点并由太阳能电池 100 供电。 二氧化硅层 109 提供电绝缘，并允许金属触点 110 作为红外线反射层来增强太阳辐射收集。 在一个实施例中，金属触点 110 包括电导约为 5 至 25mΩ.cm 并且厚度约为

Petitioner Runergy USA Inc., Ex. 1005, p. 678

15 至 35μm 的银。

[0018] 在太阳能电池 100 的正面，金属触点 102 通过接触孔 120 电连接至 N 型掺杂区 106，所述接触孔 120 穿过氮化硅层 103 形成。金属触点 102 提供负极性接线端，以允许外部电路耦接至该金属触点并由太阳能电池 100 供电。在一个实施例中，金属触点 102 包括具有约为 5mΩ.cm 的薄层电阻并且厚度约为 15μm 的银。相邻金属触点 102 之间的间距可以为约 1 至 4mm。在一个实施例中，金属触点 102 沿每个金属触点 102 间隔 400 至 1000μm（参见图 2）。

[0019] 在图 1 的示例中，通过二氧化硅层 109、多晶硅发射极 108、以及衬底 101 的部分形成边缘隔离槽 111，以提供边缘电绝缘。

[0020] 图 2 是简要示出太阳能电池 100 的正面的平面图。在图 2 所示的示例中，衬底 101 的正面上的两条母线 201 并行。其中形成有金属触点 102 的接触孔 120 可形成为每个具有约 50 至 200μm 的直径。垂直于母线 201 形成多个金属触点 102。每个金属触点 102 可具有约 60 至 120μm 的宽度。

[0021] 图 3 是简要示出太阳能电池 100 的背面的平面图。在图 3 所示的示例中，背面上电耦接至金属触点 110 的两条母线 301 并行。实际上，母线 201 和 301 都将电耦接至相邻太阳能电池的相应母线，以形成太阳能电池阵列。

[0022] 太阳能电池作为一种可再生能源已得到能源消费者的广泛认可。然而，为了与其他能源兼容，太阳能电池制造商必须可以制造相对低成本的高效太阳能电池。鉴于该目的，此处参考图 4A 至图 4M 来讨论用于制造太阳能电池 100 的工艺。

[0023] 包括图 4A 至图 4M 的图 4 简要示出了根据本发明的一个实施例的太阳能电池 100 的制造。

[0024] 在图 4A 中，通过经历损伤蚀刻步骤来制备 N 型硅衬底 101，以用于加工成太阳能电池。在该示例中，衬底 101 为晶片的形式，并且由于晶片厂商使用锯开处理来将衬底 101 从其坯料切下，因此所获得的衬底 101 通常具有损伤的表面。从晶片厂商所获得的衬底 101 可以为约 100 至 200 微米的厚度。在一个实施例中，所述损伤蚀刻步骤涉及使用包括氢氧化钾的湿蚀刻工艺来从衬底 101 的每侧移除约 10 至 20μm。所述损伤蚀刻步骤还可以包括对衬底 101 进行清洗以消除金属污染。

[0025] 在图 4B 中，分别在衬底 101 的前表面和后表面上形成隧道氧化物 402 和 107。所述隧道氧化物 402 和 107 可以包括二氧化硅，其在 N 型硅衬底 101 的表面上热生长至约 10 至 50 埃的厚度。接着，在所述隧道氧化物 402 和 107 上形成多晶硅层，以分别形成多晶硅层 401 和多晶硅发射极 108。多晶硅层 401 和多晶硅发射极 108 中的每一个都可以通过 CVD 形成为约 1000 至 2000 埃的厚度。

[0026] 在图 4C 中，在多晶硅发射极 108 上形成 P 型掺杂剂源 461。如其名称所示，P 型掺杂剂源 461 提供用于在随后的掺杂剂驱入（drive-in）步骤中扩散到多晶硅发射极 108 中的 P 型掺杂剂源。在 P 型掺杂剂源 461 上形成电介质覆盖层 462，以防止掺杂剂在所述驱入步骤中逸出太阳能电池的背面。在一个实施例中，P 型掺杂剂源包括通过大气压 CVD（APCVD）沉积为厚度约 500 至 1000 埃的 BSG（硼硅玻璃），并且具有重量比 5％至 10％的掺杂剂浓度，而覆盖层 462 包括也通过 APCVD 形成为厚度约 2000 至 3000 埃的无掺杂二氧化硅。

Petitioner Runergy USA Inc., Ex. 1005, p. 679

[0027] 在图 4D 中，在背面上的衬底 101 的边缘附近形成边缘隔离槽 111。所述边缘隔离槽 111 相对较浅（例如，深入衬底 101 中 10μm）并且提供边缘电绝缘。在一个实施例中，通过使用激光贯通覆盖层 462、P 型掺杂剂源 461、多晶硅发射极 108、隧道氧化物 107 进行切割并进入衬底 101 的较浅部分来形成边缘隔离槽 111。

[0028] 在图 4E 中，衬底 101 的前表面上的暴露区为任意粗糙的，以形成粗糙表面 113。在一个实施例中，通过使用包括氢氧化钾和异丙醇的湿蚀刻工艺来使衬底 101 的前表面以任意锥形变粗糙。

[0029] 在图 4F 中，在粗糙表面 113 的区域上形成 N 型掺杂剂源 412，在该区域中随后将形成接触孔 120（参见图 1），以允许随后形成的金属触点 102 电连接至衬底 101。如其名称所示，N 型掺杂剂源 412 提供用于扩散至衬底 101 的正面中的 N 型掺杂剂源。在一个实施例 中，通过将掺杂剂材料直接喷墨印刷在衬底 101 上来形成 N 型掺杂剂源 412。

[0030] 在一个实施例中，N 型掺杂剂源 412 包括掺杂有磷的二氧化硅。为了使说明清楚，图 4F 中仅示出了一个 N 型掺杂剂源 412。实际上，具有多个点形 N 型掺杂剂源 412，一个 N 型掺杂剂源 412 用于将要形成接触孔 120 的一个区域（参见图 2）。这使得可以在随后执行的驱入步骤之后形成多个点形 N 型掺杂区 106（参见图 1），此处将参考图 4G 讨论。

[0031] 在图 4G 中，执行掺杂剂驱入步骤，从而使 N 型掺杂剂从 N 型掺杂剂源 412 扩散至衬底 101 以形成 N 型掺杂区 106、使 P 型掺杂剂从 P 型掺杂剂源 461 扩散至多晶硅发射极 108、使 N 型掺杂剂扩散至衬底 101 的正面以形成 N 型掺杂区 105。所述驱入步骤之后，二氧化硅层 109 相当于层 461 和 462。所述驱入步骤之后，多晶硅发射极 108 也变为 P 型掺杂层。例如，可以在扩散炉中使图 4G 所示样本接触磷来形成 N 型掺杂区 105。N 型掺杂剂源 412 的使用使得对 N 型掺杂区 106 的 N 型扩散更容易掌握并且更集中。在所述驱入步骤期间，可以在粗糙表面 113 上生长薄的热二氧化硅层 124。

[0032] 可以在原位执行所述驱入步骤，以对背面上的多晶硅发射极 108 掺杂并在正面上形成 N 型掺杂区 105 和 106，结合本公开的上下文，原位即意味着在熔炉或者其他单腔或多腔处理工具中衬底 101 的一次人工（例如，通过制造人员）加载。在一个实施例中，在扩散炉中执行所述驱入步骤。引导所述驱入步骤的在前的一系列步骤允许原位扩散，这有助于降低制造成本。

[0033] 应该注意的是，在一些应用中，可以省略使用 N 型掺杂剂源 412 来使掺杂剂扩散至 N 型掺杂区 106 的步骤。即，在可选工艺中，可以省略图 4F 中 N 型掺杂剂源 412 的形成步骤。在这种情况下，在所述驱入步骤中，将通过在扩散炉中引入 N 型掺杂剂来对 N 型掺杂区 105 和 106 二者进行掺杂。本文所公开的其他工艺步骤基本保持相同。

[0034] 在图 4H 中，在移除 N 型掺杂剂源 412 之后，在粗糙表面 113 上形成氮化硅层 103 的抗反射涂层。除了作为抗反射涂层之外，氮化 硅层 103 还有利地用作电介质，使得可以在前表面上形成选择性接触，从而减小前表面的复合。例如，可通过 PECVD 将氮化硅层 103 形成为约 450 埃的厚度。

[0035] 在图 4I 中，在氮化硅层 103 上形成前触点掩模 420，以产生限定接触孔 120（参见图 1）的图案 421。所述前触点掩模 420 可以包括抗酸性有机材料（例如，抗蚀剂）并且使用印刷工艺（例如，丝网印刷或喷墨印刷）来形成。

[0036] 在图 4J 中，在二氧化硅层 109 上形成背触点掩模 422，以产生限定接触孔

Petitioner Runergy USA Inc., Ex. 1005, p. 680

123（参见图 1）的图案 423。 类似于前触点掩模 420，背触点掩模 422 可以包括使用印刷工艺形成的有机材料。

[0037] 在图 4K 中，在触点蚀刻步骤中，通过移除氮化硅层 103 和二氧化硅 109 的暴露部分来形成接触孔 120 和 123。 在一个实施例中，通过使用选择性蚀刻工艺来形成接触孔 120，所述选择性蚀刻工艺移除氮化硅层 103 的暴露部分并在衬底 101 处停止。 相同的蚀刻工艺移除二氧化硅 109 的暴露部分并在多晶硅发射极 108 处停止。 在一个实施例中，所述蚀刻工艺包括 BOE（缓冲氧化物蚀刻）。

[0038] 在图 4L 中，在二氧化硅层 109 上形成金属触点 110，以填充接触孔 123 并电连接至多晶硅发射极 108。 可以使用印刷工艺来形成金属触点 110。 所述金属触点 110 可以包括银，其与二氧化硅层 109 一起形成极好的背面红外线反射器。 例如，也可以将其他金属（例如，铝）用作金属触点 110。

[0039] 在图 4M 中，在氮化硅层 103 上形成金属触点 102，以填充接触孔 120 并电连接至衬底 101。 所述金属触点 102 可以包括银并且使用印刷工艺形成。

[0040] 金属触点 110 和 102 形成之后可以进行点火步骤。 当将丝网印刷的银贴片用作金属触点时，可以实施点火步骤，但是当使用其他工艺或金属形成金属触点时，不能实施点火步骤。 接着，可以对太阳能电池 100 进行直观的检查和测试。

[0041] 尽管已提供了本发明的具体实施例，但是应该理解的是，这些实施例仅用于说明的目的，而本发明并不限于此。 通过阅读该公开， 许多其他实施例对于本领域普通技术人员来说显而易见。

Petitioner Runergy USA Inc., Ex. 1005, p. 681

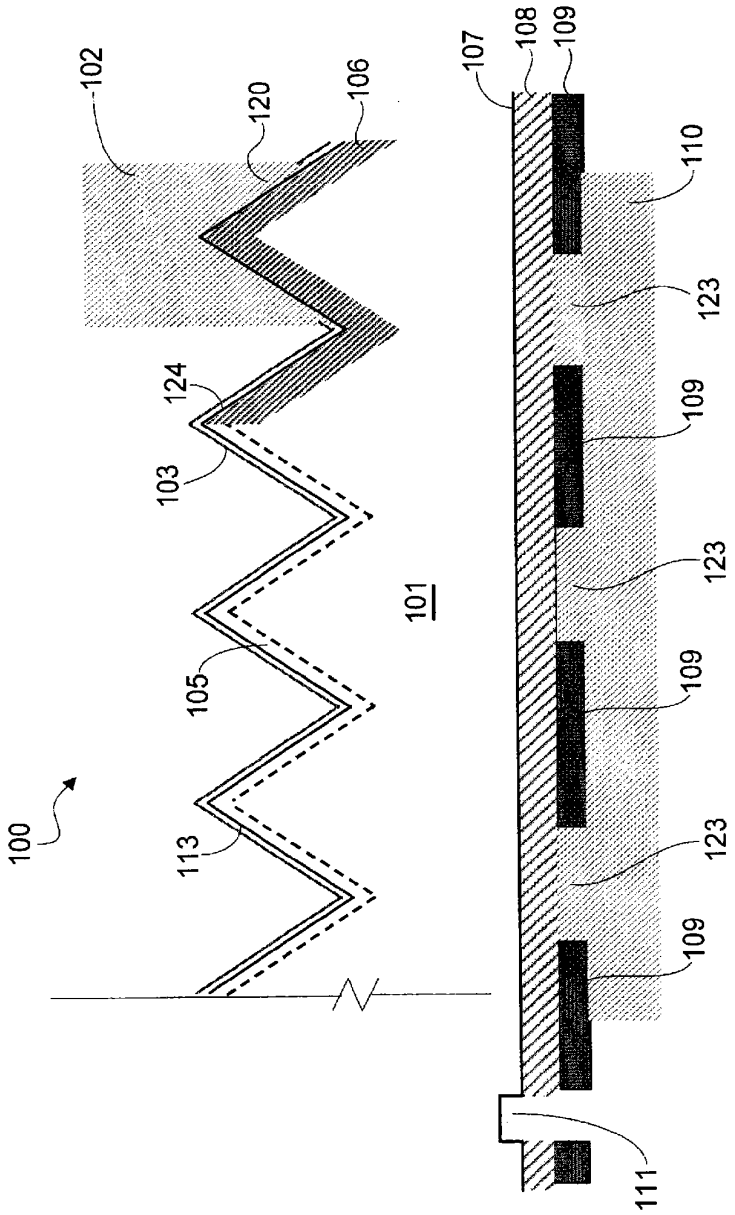


图 1

Petitioner Runergy USA Inc., Ex. 1005, p. 682

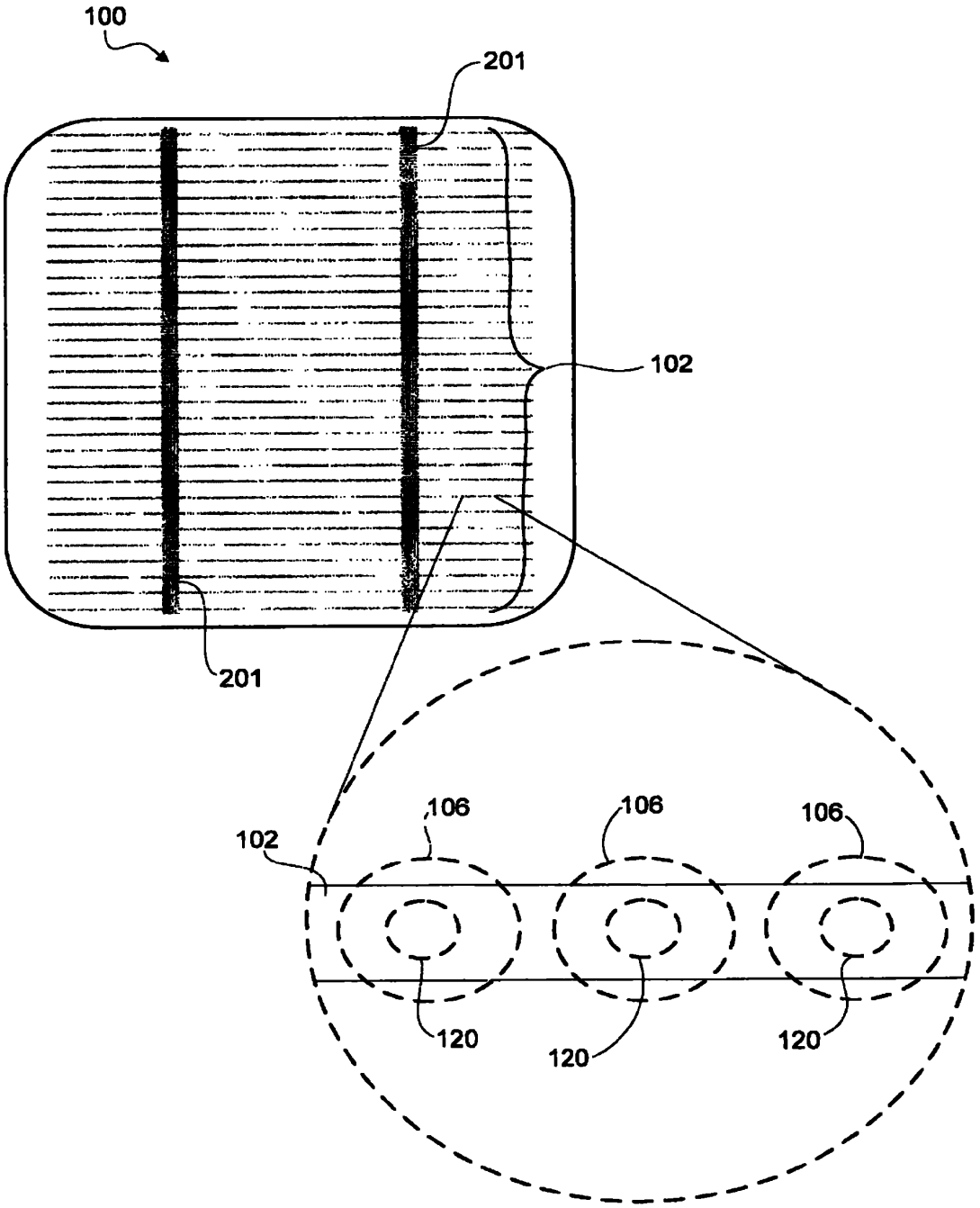


图 2

Petitioner Runergy USA Inc., Ex. 1005, p. 683

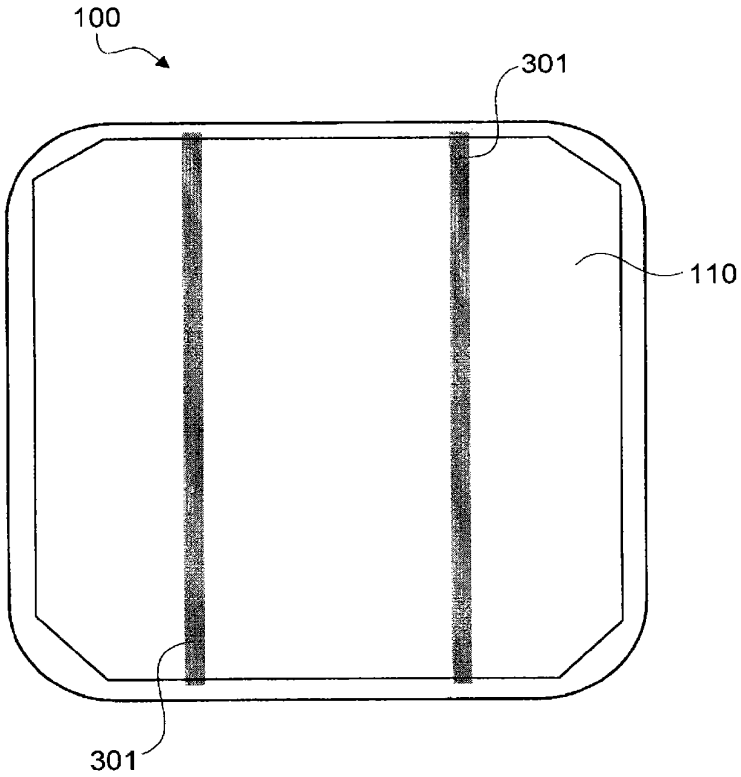


图 3

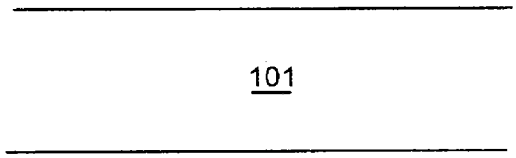


图 4A

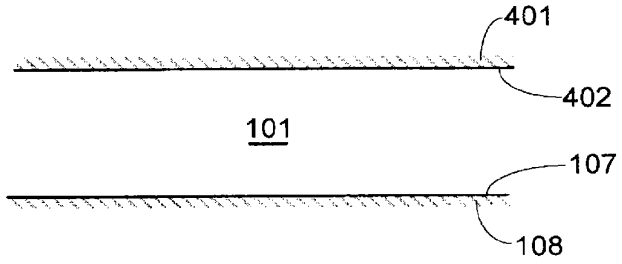


图 4B

Petitioner Runergy USA Inc., Ex. 1005, p. 684

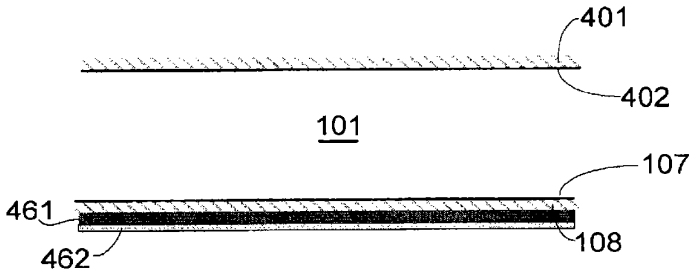


图 4C

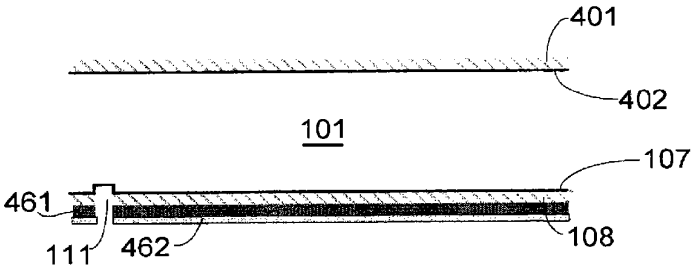


图 4D

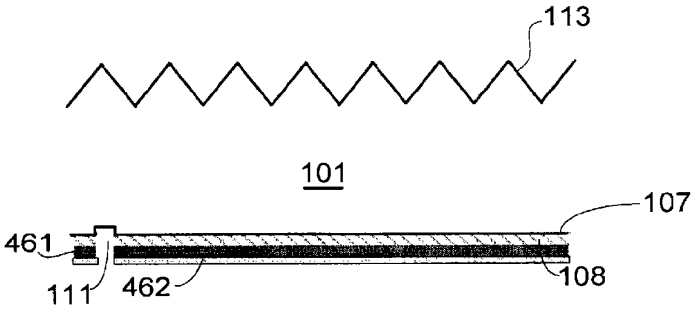


图 4E

Petitioner Runergy USA Inc., Ex. 1005, p. 685

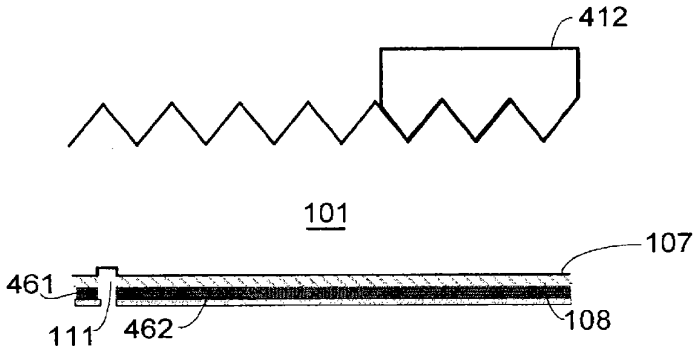


图 4F

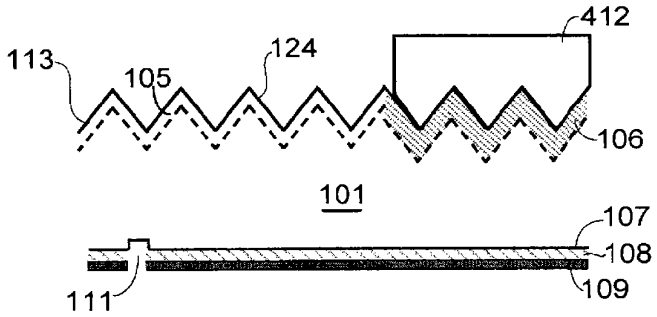


图 4G

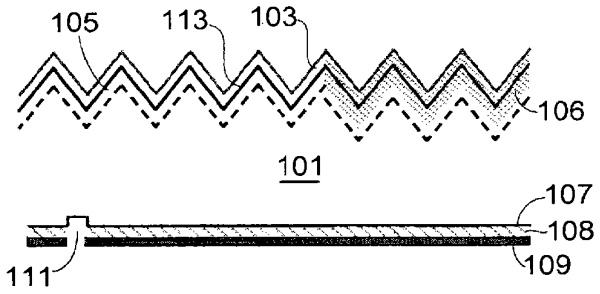


图 4H

Petitioner Runergy USA Inc., Ex. 1005, p. 686

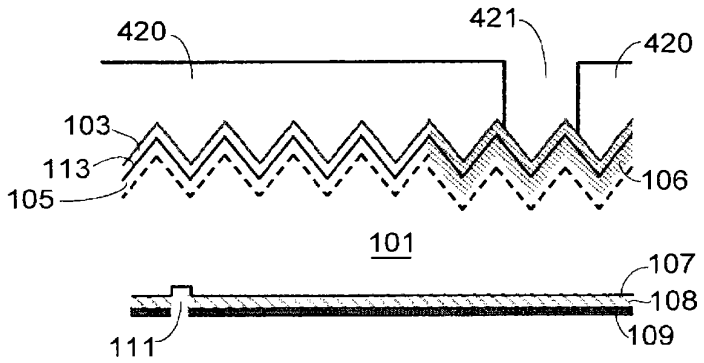


图 4I

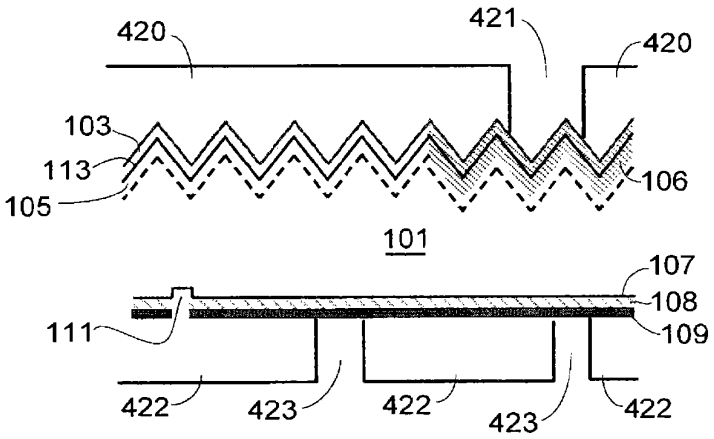


图 4J

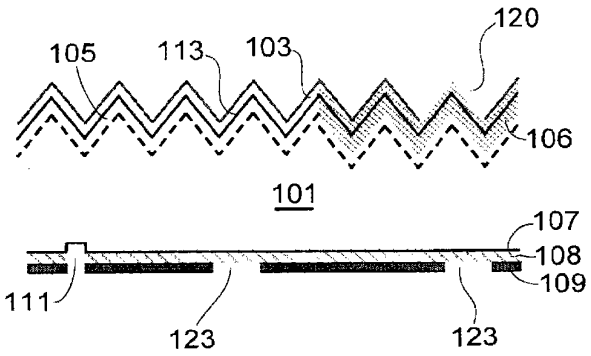


图 4K

Petitioner Runergy USA Inc., Ex. 1005, p. 687

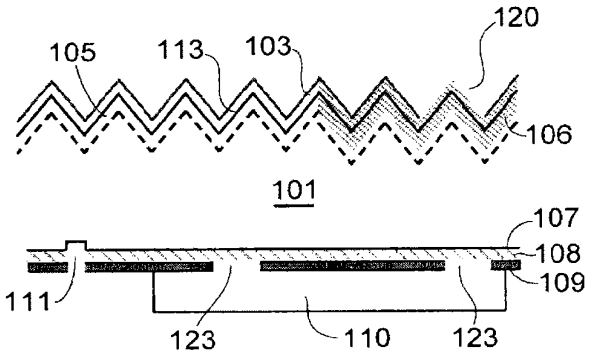


图 4L

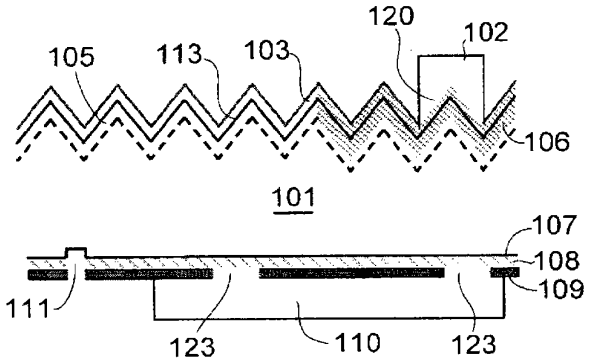


图 4M

Petitioner Runergy USA Inc., Ex. 1005, p. 688

Docket No.: 1630-1332PUS1
(Patent)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:	Jungmin HA et al.		
Application No.:	14/953,264	Confirmation No.:	1071
Filed:	November 27, 2015	Art Unit:	1758
For:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME	Examiner:	CHERN, CHRISTINA

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Applicant(s) hereby submit(s) an Information Disclosure Statement for consideration by the Examiner.

I. LIST OF PATENTS, PUBLICATIONS OR OTHER INFORMATION

The patents, publications, or other information submitted for consideration by the Office are listed on the attached PTO/SB/08.

II. COPIES

☑ a. Copies of foreign patent documents, non-patent literature and other information are provided.

Petitioner Runergy USA Inc., Ex. 1005, p. 689

☐ b. REFERENCES PREVIOUSLY CITED OR SUBMITTED: Copies of any information not provided can be found in one or more of the following applications which has been relied upon for an earlier filing date under 35 U.S.C. § 120:

U.S. Application No. and U.S. Filing Date

III. CONCISE EXPLANATION OF THE RELEVANCE/OTHER INFORMATION

☑ a. NON-ENGLISH LANGUAGE DOCUMENTS: A concise explanation of the relevance of all non-English language patents, publications, or other information listed on the attached PTO/SB/08 form(s) is indicated thereon by a check mark at column T to designate the submission of one or more of the following: an English language abstract (as a partial translation); a machine-generated translation; a full or partial translation; and/or a statement of relevance.

☑ b. ENGLISH LANGUAGE SEARCH REPORT OR FOREIGN PATENT OFFICE COMMUNICATION: An English language version of the search report or Foreign Patent Office communication that indicates the degree of relevance is attached.

☑ c. OTHER: The following additional information is provided.

Attached hereto is a copy of the Chinese Office Action and Search Report, issued December 23, 2016, for Chinese Application No. 201510892086.8, together with an English translation of the Chinese Office Action.

With the exception of the references submitted herewith, the remaining reference cited in the attached Chinese Office Action and Search Report is already of record.

IV. STATEMENT UNDER 37 C.F.R. § 1.97(e)

The undersigned hereby states that:

☑ a. Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of the IDS. *See 37 C.F.R § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent

Petitioner Runergy USA Inc., Ex. 1005, p. 690

office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office; or

☐ b. No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of IDS was known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of the IDS. *See 37 C.F.R. § 1.97(e)(2)*; or

☐ c. Some of the items of information in the IDS were cited in a communication from a foreign patent office. Such items were first cited in a communication from a foreign patent office in a counterpart foreign application not more than **three months** prior to the filing of this IDS. *See 37 C.F.R. § 1.97(e)(1).* This statement does not relate to English language counterparts not listed in a communication from the foreign patent office. Such English language counterparts are provided to aid the Examiner's consideration of non-English items first cited in the communication from the foreign patent office. As to the remaining items of information, to the knowledge of the person signing the certification after making reasonable inquiry, such remaining items were not known to any individual designated in 37 C.F.R. § 1.56(c) more than **three months** prior to the filing of this statement. *See 37 C.F.R. § 1.97(e)(2).*

V. STATEMENT UNDER 37 C.F.R. § 1.704(d)(1)

Patent Term Adjustment Reduction Should Not Apply

☐ The undersigned hereby states:

This Information Disclosure Statement is in compliance with 37 C.F.R. §§ 1.97 and 1.98 and will not be considered a failure to engage in reasonable efforts to conclude prosecution (processing or examination) of the present application under 37 C.F.R. § 1.704(c)(6), (c)(8), (c)(9), or (c)(10), because each item of information contained in the Information Disclosure Statement:

☐ (i) Was first cited in any communication from a patent office in a counterpart foreign or international application or from the Office, and this communication was not

Petitioner Runergy USA Inc., Ex. 1005, p. 691

received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(i))*; or

☐ (ii) Is a communication that was issued by a patent office in a counterpart foreign or international application or by the Office, and this communication was not received by any individual designated in § 1.56(c) more than **thirty days** prior to the filing of the information disclosure statement *(see 37 C.F.R. § 1.704(d)(1)(ii))*.

VI. FEES

☐ a. This Information Disclosure Statement is being filed concurrently with the filing of a new patent application or Request for Continued Examination. No fee is required.

☐ b. This Information Disclosure Statement is being filed within three months of the filing date of an application. *See 37 C.F.R. § 1.97(b)(1) and 37 C.F.R. § 1.97(b)(2).* No fee is required.

☑ c. This Information Disclosure Statement is being filed before the mailing date of a first Action on the merits. *See 37 C.F.R. § 1.97(b)(3).* No fee is required. If a first Office Action on the merits has issued, please consider this IDS under 37 C.F.R. § 1.97(c) and see the statement under 37 C.F.R. § 1.97(e) above. If no statement has been made, charge our deposit account for the required fee.

☐ d. This Information Disclosure Statement is being filed before the mailing date of a Final Office Action or before the mailing date of a Notice of Allowance or before an action that otherwise closes prosecution in the application. *See 37 C.F.R. § 1.97(c)(1).*

☐ No statement. The fee as required by 37 C.F.R. § 1.17(p) is provided.

or

☐ See the above statement. No fee is required.

Petitioner Runergy USA Inc., Ex. 1005, p. 692

☐ e. This Information Disclosure Statement is being filed on or after the mailing date of a Final Office Action, on or after the mailing date of a Notice of Allowance, or on or after an action that otherwise closes prosecution in the application (*see 37 C.F.R. § 1.97(d)*), see the statement above. The fee as required by 37 C.F.R. § 1.17(p) is provided.

VII. PAYMENT OF FEES

☐ The required fee is listed on the attached Fee Transmittal.

☑ No fee is required.

If the Examiner has any questions concerning this IDS, please contact the undersigned. If it is determined that this IDS has been filed under the wrong rule, the USPTO is requested to consider this IDS under the proper rule and charge the appropriate fee to Deposit Account No. 02-2448.

Dated: MAR 17 2017

Respectfully submitted,

By _____

Esther H. Chong
Registration No.: 40953
BIRCH, STEWART, KOLASCH & BIRCH, LLP
8110 Gatehouse Road, Suite 100 East
P.O. Box 747
Falls Church, VA 22040-0747
703-205-8000

Attachment(s):
☑ PTO/SB/08
☑ Document(s)
☑ Foreign Patent Office Communication(s)
☑ Foreign Search Report(s)
☐ Fee
☐ Other:

Petitioner Runergy USA Inc., Ex. 1005, p. 693

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

2292 7590 03/28/2017

BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

EXAMINER	
CHERN, CHRISTINA	
ART UNIT	PAPER NUMBER
1758	

DATE MAILED: 03/28/2017

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1	1071

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	06/28/2017

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 02/11)

Petitioner Runergy USA Inc., Ex. 1005, p. 694

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 03/28/2017
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1	1071

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	06/28/2017

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHERN, CHRISTINA	1758	136-255000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:
- ❑ Issue Fee
- ❑ Publication Fee (No small entity discount permitted)
- ❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
- ❑ A check is enclosed.
- ❑ Payment by credit card. Form PTO-2038 is attached.
- ❑ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ❑ Applicant certifying micro entity status. See 37 CFR 1.29
  NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
- ❑ Applicant asserting small entity status. See 37 CFR 1.27
  NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
- ❑ Applicant changing to regular undiscounted fee status.
  NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (10-13) Approved for use through 10/31/2013. OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Petitioner Runergy USA Inc., Ex. 1005, p. 695

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1	1071

2292 7590 03/28/2017

BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

EXAMINER	
CHERN, CHRISTINA	

ART UNIT	PAPER NUMBER
1758	

DATE MAILED: 03/28/2017

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Examiner-Initiated Interview Summary	Application No.	Applicant(s)	
	14/953,264	HA ET AL.	
	Examiner	Art Unit	
	CHRISTINA CHERN	1758	

All participants (applicant, applicant's representative, PTO personnel):

(1) *CHRISTINA CHERN*. (3)_____.

(2) *Bradford Fritz (63,406)*. (4)_____.

Date of Interview: *20 March 2017*.

Type: ☒ Telephonic ☐ Video Conference
☐ Personal [copy given to: ☐ applicant ☐ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☒ No.
If Yes, brief description: _____.

Issues Discussed ☐101 ☐112 ☐102 ☐103 ☒Others
(For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: *5,6 and 8*.

Identification of prior art discussed: *Gortzen et al. (US 2015/0086729)*.

Substance of Interview
(For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Examiner proposed to incorporate the claim limitations from claims 5 and 6 into claim 1 to put the application in condition for allowance and referenced Gortzen as the closest prior art. Examiner also indicated all withdrawn claims will be canceled, as being directed to non-elected inventions/species, where proposed amended claim 1 will be exclusively directed to the elected invention and is not generic to all species. Applicants' representative indicated applicants accept the examiner's amendment to put the application in condition for allowance.

Applicant recordation instructions: It is not necessary for applicant to provide a separate record of the substance of interview.

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☐ Attachment

/CHRISTINA CHERN/ Primary Examiner, Art Unit 1758	

Petitioner Runergy USA Inc., Ex. 1005, p. 698

Notice of Allowability	Application No. 14/953,264	Applicant(s) HA ET AL.	
	Examiner CHRISTINA CHERN	Art Unit 1758	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *3/9/2017*.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on_____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are *1-4,7-10 and 16-18*. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   Certified copies:
   a) ☒ All b) ☐ Some *c) ☐ None of the:
   1. ☒ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☒ Interview Summary (PTO-413), Paper No./Mail Date *20170320-A* .
5. ☒ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1758

DETAILED ACTION

Election/Restrictions

1. Claims 1-10 and 16-18 are allowable. The restriction requirement between Species A-1, A-2, and A-3, as set forth in the Office action mailed on 1/9/2017, has been reconsidered in view of the allowability of claims to the elected invention pursuant to MPEP § 821.04(a). **The restriction requirement is hereby withdrawn as to any claim that requires all the limitations of an allowable claim.** Claims 11-15 and 19-25, which DO NOT require ALL the limitations of an allowable claim, previously withdrawn from consideration as a result of the restriction requirement, are hereby canceled by applicant in the examiner's amendment . The canceled, nonelected claim(s) may be reinstated by applicant if submitted in an amendment, limited to the addition of such claim(s), filed within a time period of TWO MONTHS from the mailing date of this letter. Upon entry of the amendment, such amended claim(s) will be examined for patentability under 37 CFR 1.104. If NO such amendment is submitted within the set time period, the application will be passed to issue. PROSECUTION ON THE MERITS IS OTHERWISE CLOSED.

In view of the withdrawal of the restriction requirement as to the linked inventions, applicant(s) are advised that if any claim presented in a continuation or divisional application is anticipated by, or includes all the limitations of, a claim that is allowable in the present application, such claim may be subject to provisional statutory and/or nonstatutory double patenting rejections over the claims of the instant application.

Once the restriction requirement is withdrawn, the provisions of 35 U.S.C. 121 are no longer applicable. See *In re Ziegler*, 443 F.2d 1211, 1215, 170 USPQ 129, 131-32 (CCPA 1971). See also MPEP § 804.01.

EXAMINER'S AMENDMENT

2. An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

Authorization for this examiner's amendment was given in an interview with Bradford Fritz (# 63,406) on 3/20/2017.

The application has been amended as follows:

Amended claim 1 as follows:

1. A solar cell, comprising:

a semiconductor substrate;

a tunnel layer on a first surface of the semiconductor substrate;

a first conductive type semiconductor region on the tunnel layer and containing impurities of a first conductive type;

a second conductive type semiconductor region on a second surface opposite to the first surface of the semiconductor substrate and containing impurities of a second conductive type opposite to the first conductive type;

a first passivation film on the first conductive type semiconductor region;

a first electrode formed on the first passivation film and connected to the first conductive type semiconductor region through an opening formed in the first passivation film;

a second passivation film on the second conductive type semiconductor region; ~~and~~

a second electrode formed on the second passivation film and connected to the second conductive type semiconductor region through an opening formed in the second passivation film; and

an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region,

wherein the isolation portion excludes the tunnel layer and the first conductive type semiconductor region, and is in an edge portion of the first surface of the semiconductor substrate, and

wherein the first passivation film covers the first surface of the semiconductor substrate and the isolation portion together.

Amended claim 7 as follows:

7. The solar cell of ~~claim 6~~claim 1, wherein a width of the isolation portion is 1 nm to 1 mm.

Amended claim 8 as follows:

8. The solar cell of ~~claim 6~~claim 1, wherein a thickness of ~~the~~ an edge region in the first conductive type semiconductor region progressively decreases towards the isolation portion.

Canceled claims 5 and 6.

3. Claims 1-4, 7-10 and 16-18 are allowed.

4. The following is an examiner's statement of reasons for allowance:

The closest prior arts are considered to be represented by Yoon et al. (US 2011/0100459) and Gortzen et al. (US 2015/0086729).

However, Yoon does not teach or render obvious the claimed feature such that the isolation portion excludes the tunnel layer, and Gortzen does not teach or render obvious the claimed feature such that an isolation portion for preventing a contact between the first conductive type semiconductor region and the second conductive type semiconductor region is in an edge portion of the first surface of the semiconductor substrate, and wherein the first passivation film covers the first surface of the semiconductor substrate and the isolation portion together.

Therefore, the claims were found to be allowable over the prior arts.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to CHRISTINA CHERN whose telephone number is

(408)918-7559. The examiner can normally be reached on Mon.-Fri., 9:00 AM-5:30 PM PST.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jennifer Michener can be reached on (571) 272-1424. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/CHRISTINA CHERN/
Primary Examiner, Art Unit 1758

Examiner-Initiated Interview Summary	**Application No.** 14/953,264	**Applicant(s)** HA ET AL.	
	Examiner CHRISTINA CHERN	**Art Unit** 1758	

All participants (applicant, applicant's representative, PTO personnel):

(1) *CHRISTINA CHERN*. (3)_____.

(2) *Bradford Fritz (63,406)*. (4)_____.

Date of Interview: *20 March 2017*.

Type: ☒ Telephonic ☐ Video Conference
☐ Personal [copy given to: ☐ applicant ☐ applicant's representative]

Exhibit shown or demonstration conducted: ☐ Yes ☒ No.
If Yes, brief description: _____.

Issues Discussed ☐101 ☐112 ☐102 ☐103 ☒Others
(For each of the checked box(es) above, please describe below the issue and detailed description of the discussion)

Claim(s) discussed: *5,6 and 8*.

Identification of prior art discussed: *Gortzen et al. (US 2015/0086729)*.

Substance of Interview
(For each issue discussed, provide a detailed description and indicate if agreement was reached. Some topics may include: identification or clarification of a reference or a portion thereof, claim interpretation, proposed amendments, arguments of any applied references etc...)

Examiner proposed to incorporate the claim limitations from claims 5 and 6 into claim 1 to put the application in condition for allowance and referenced Gortzen as the closest prior art. Examiner also indicated all withdrawn claims will be canceled, as being directed to non-elected inventions/species, where proposed amended claim 1 will be exclusively directed to the elected invention and is not generic to all species. Applicants' representative indicated applicants accept the examiner's amendment to put the application in condition for allowance.

Applicant recordation instructions: It is not necessary for applicant to provide a separate record of the substance of interview.

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.

☐ Attachment

/CHRISTINA CHERN/ Primary Examiner, Art Unit 1758	

Petitioner Runergy USA Inc., Ex. 1005, p. 705

Notice of References Cited	Application/Control No. 14/953,264	Applicant(s)/Patent Under Reexamination HA ET AL.	
	Examiner CHRISTINA CHERN	Art Unit 1758	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-2015/0086729 A1	03-2015	Gortzen; Roger Mathias Wilhelm	C23C16/45529	427/576
	B	US-				
	C	US-				
	D	US-				
	E	US-				
	F	US-				
	G	US-				
	H	US-				
	I	US-				
	J	US-				
	K	US-				
	L	US-				
	M	US-				

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2009/0205712 - A1	08-20-2009	COUSINS	
	2	US-2011/0275175 - A1	11-10-2011	MINSEK et al.	
	3	US-2012/0298175 - A1	11-29-2012	VAN ROOSMALEN et al.	
	4	US-2014/0073105 - A1	03-13-2014	ISOGAI	
	5	US-2014/0299187 - A1	10-09-2014	CHANG et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	6	KR 10-2011-0059366 - A	06-02-2011			☑
	7	KR 10-2012-0120260 - A	11-01-2012			☑
	8	JP 2000-340812 - A	12-08-2000			☑
	9	JP 2009-295715 - A	12-17-2009			☑
	10	JP 2010-186862 - A	08-26-2010			☑
	11	JP 2011-181963 - A	09-15-2011			☑

Examiner Signature	/CHRISTINA CHERN/	Date Considered	03/20/2017

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of Information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	12	JP 2011-512689 - A	04-21-2011			☑
	13	WO 2013/094052 - A1	06-27-2013			☑
	14	JP 2014-203999 - A	10-27-2014			☑
	15	JP 2014-204128 - A	10-27-2014			☑
	16	JP 2014-523653 - A	09-11-2014			☑
	17	JP 2014-53452 - A	03-20-2014			☑

Examiner Signature	/CHRISTINA CHERN/	Date Considered	03/20/2017

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 1071

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
14/953,264	11/27/2015	136	1758	1630-1332PUS1

APPLICANTS

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;

INVENTORS

Jungmin HA, Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

**** CONTINUING DATA **************************

**** FOREIGN APPLICATIONS **************************

REPUBLIC OF KOREA 10-2014-0168624 11/28/2014
REPUBLIC OF KOREA 10-2015-0122846 08/31/2015

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

12/09/2015

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /CHRISTINA CHERN/ Examiner's Signature	☐ Met after Allowance Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		KOREA, REPUBLIC OF	18	38	2

ADDRESS

BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747
UNITED STATES

TITLE

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

FILING FEE RECEIVED	FEES: Authority has been given in Paper	☐ All Fees
3180	No._____ to charge/credit DEPOSIT ACCOUNT	☐ 1.16 Fees (Filing)
	No._____ for following:	☐ 1.17 Fees (Processing Ext. of time)
		☐ 1.18 Fees (Issue)
		☐ Other _____
		☐ Credit

Petitioner Runergy USA Inc., Ex. 1005, p. 709

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1758
Examiner Name	CHERN, CHRISTINA
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2011/0100459 - A1	05-05-2011	YOON et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	CN 103703567 - A	04-02-2014			☑
	3	JP 2009-295715 - A	12-17-2009			☑
	4	CN 201812825 - U	04-27-2011			☑
						☐
						☐
						☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	03/20/2017

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1755
Examiner Name	C. CHERN
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code[2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2015/0129037 - A1	05-14-2015	NAM et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	KR 10-1442011 - B1	09-29-2014			☑
	3	KR 10-2015-0053551 - A	05-18-2015			☑

Examiner Signature	/CHRISTINA CHERN/	Date Considered	03/20/2017

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assisstance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 10:41
S2	2	"20120318340"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 10:42
S3	6	"2014204128"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:02
S4	3	"20140204128"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:02
S5	1	"2011512689"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:03
S7	16	"2787541"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:16
S8	2	"20140299187"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:28
S9	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB;	OR	ON	2017/03/14

Petitioner Runergy USA Inc., Ex. 1005, p. 712

			USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			11:42
S10	163	(S1 S9) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 11:43
S11	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S12	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S13	163	(S11 S12) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S14	721	(S11 S12) and oxide with layer same (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S13	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 14:26
S15	1998944	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S16	14948	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S17	163	(S15 S16) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT;	OR	ON	2017/03/14 17:39

Petitioner Runergy USA Inc., Ex. 1005, p. 713

			IBM_TDB			
S18	499	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") same (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:39
S19	337	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") with (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2) not S17	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:40
S20	86	(S15 S16) and (silicon adj dioxide "SiO.sub.2" "sio.sub.x" "SiN.sub.x" "SiN.sub.2" "Al.sub.2O.sub.3") with (rear back) and (front light) with (passivati$2) and (rear back) with (passivati$2) and edge with isolati$2	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/14 17:52
S21	4	"20110100459"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 10:29
S22	2000303	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S23	14961	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S24	2000303	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S25	14961	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S26	163	(S24 S25) and tunnel and (front light) with (passivati$2) and (rear back) with (passivati$2) and (emitter second adj conducti$2)	US-PGPUB; USPAT; USOCR; FPRS;	OR	ON	2017/03/20 11:48

Petitioner Runergy USA Inc., Ex. 1005, p. 714

			EPO; JPO; DERWENT; IBM_TDB			
S27	247	(S22 S23) and tunnel$3 and (front light first) with (passivati$2) and (rear back second) with (passivati$2) and (emitter second adj conducti$2) not S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:48
S28	94	(S22 S23) and tunnel$3 and (front light first) with (passivati$2) and (rear back second) with (passivati$2) same (side edge) and (emitter second adj conducti$2) not S26	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2017/03/20 11:50

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S29	639294	(solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) (solar PV optoelectr$4 photovoltaic photocell photoelectric photodiode) with (device cell panel array module)	US-PGPUB; USPAT	OR	ON	2017/03/20 11:43
S30	4072	H01L31/00,02,0216,02167,0248,0352.cpc.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:43
S31	0	(S29 S30) and tunnel$3 same passivati$2 same (second with conducti$2 emitter) same isolati$2 with (part portion).clm.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:46
S32	0	(S29 S30) and (silicon with oxide silicon with dioxide silicon with nitride aluminum with oxide) same passivati$2 same (second with conducti$2 emitter) same isolati$2 with (part portion).clm.	US-PGPUB; USPAT	OR	ON	2017/03/20 11:47

3/20/2017 1:46:59 PM
C:\Users\cchern\Documents\EAST\Workspaces\14953264.wsp

Petitioner Runergy USA Inc., Ex. 1005, p. 715

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14953264	HA ET AL.
	Examiner	Art Unit
	CHRISTINA CHERN	1758

CPC- SEARCHED		
Symbol	Date	Examiner
H01L31/00,02,0216,02167,0248,0352	3/20/2017	CC

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner

SEARCH NOTES		
Search Notes	Date	Examiner
Text limited search in the following CPC subgroups: H01L31/00,02,0216,02167,0248,0352. See search history.	3/20/2017	CC
Inventor name search in PALM	3/20/2017	CC

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
H01L31	00,02,0216,02167,0248,0352	3/20/2017	CC

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14953264	HA ET AL.
	Examiner	**Art Unit**
	CHRISTINA CHERN	1758

CPC						
Symbol					**Type**	**Version**
H01L		31	/	022433	F	2013-01-01
H01L		31	/	02168	I	2013-01-01
H01L		31	/	022425	I	2013-01-01
H01L		31	/	0747	I	2013-01-01
H01L		31	/	0201	I	2013-01-01
H01L		31	/	02167	I	2013-01-01
H01L		31	/	03685	I	2013-01-01
H01L		31	/	077	I	2013-01-01
H01L		31	/	1824	I	2013-01-01
H01L		31	/	1864	I	2013-01-01
H01L		31	/	1868	I	2013-01-01
Y02E		10	/	50	A	2013-01-01
			/			
			/			
			/			

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
			/					
			/					

NONE (Assistant Examiner)	(Date)	**Total Claims Allowed:** 11	
/CHRISTINA CHERN/ Primary Examiner.Art Unit 1758 (Primary Examiner)	03/20/2017 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 2

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14953264	HA ET AL.
	Examiner	**Art Unit**
	CHRISTINA CHERN	1758

US ORIGINAL CLASSIFICATION		INTERNATIONAL CLASSIFICATION									
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED				
		H	0	1	L	31 / 0216 (2014.01.01)					
CROSS REFERENCE(S)											
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)										

NONE (Assistant Examiner) (Date)	**Total Claims Allowed:** 11	
/CHRISTINA CHERN/ Primary Examiner.Art Unit 1758 03/20/2017 (Primary Examiner) (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 2

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	14953264	HA ET AL.
	Examiner	**Art Unit**
	CHRISTINA CHERN	1758

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	10	17		33										
2	2	11	18		34										
3	3		19		35										
4	4		20		36										
	5		21		37										
	6		22		38										
5	7		23												
6	8		24												
7	9		25												
8	10		26												
	11		27												
	12		28												
	13		29												
	14		30												
	15		31												
9	16		32												

NONE (Assistant Examiner)	(Date)	**Total Claims Allowed:** 11	
/CHRISTINA CHERN/ Primary Examiner.Art Unit 1758 (Primary Examiner)	03/20/2017 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 2

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	14/953,264
Filing Date	November 27, 2015
First Named Inventor	Jungmin Ha
Art Unit	1757
Examiner Name	Jeffrey Thomas Barton
Attorney Docket Number	1630-1332PUS1

U.S. PATENT DOCUMENTS

Examiner initial *	Cite No.	Document Number Number - Kind Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	US-2012/0318340 - A1	12-20-2012	HENG et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initial *	Cite No. 1	Foreign Patent Document Country[3] Code Number[4] Kind Code (if known)[5]	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
	2	WO 2009/094578 - A2	07-30-2009			☐
	3	WO 2010/151478 - A1	12-29-2010			☐
	4	CN 203760493 - U	08-06-2014			☑
	5	EP 2787541 - A1	10-08-2014			☐
	6	EP 2797124 - A1	10-29-2014			☐

Examiner Signature	/CHRISTINA CHERN/	Date Considered	03/20/2017

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not Considered. Include copy of this form with next communication to applicant. 1. Applicant's unique citation design number (optional). 2 See Kinds Codes of USPTO patent Documents. at www.uspto.gov or MPEP 901.04. 3. Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5. Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6. Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, P.O. Box 1450 Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786.9199) and select option 2.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /C.C/

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

2292 7590 03/28/2017
BIRCH STEWART KOLASCH & BIRCH, LLP
PO BOX 747
FALLS CHURCH, VA 22040-0747

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1	1071

TITLE OF INVENTION: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$960	$0	$0	$960	06/28/2017

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHERN, CHRISTINA	1758	136-255000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Birch, Stewart, Kolasch &
2 Birch, LLP
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: LG ELECTRONICS INC.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Seoul, Republic of Korea

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
- ☒ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies _____

4b. Payment of Fee(s): (**Please first reapply any previously paid issue fee shown above**)
- ☐ A check is enclosed.
- ☒ Payment by credit card. Form PTO-2038 is attached.
- ☒ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number 02-2448 (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
- ☐ Applicant asserting small entity status. See 37 CFR 1.27
- ☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date JUN 27 2017

Typed or printed name Esther H. Chong Registration No. 40,953

BGR

PTOL-85 Part B (10-13) Approved for use through 10/31/2013. OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Petitioner Runergy USA Inc., Ex. 1005, p. 721

Electronic Patent Application Fee Transmittal

Application Number:	14953264
Filing Date:	27-Nov-2015
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Filer:	Esther Hyeri Chong/Kyle Bekelja
Attorney Docket Number:	1630-1332PUS1

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	960	960

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**960**

Electronic Acknowledgement Receipt	
EFS ID:	29621125
Application Number:	14953264
International Application Number:	
Confirmation Number:	1071
Title of Invention:	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
First Named Inventor/Applicant Name:	Jungmin HA
Customer Number:	2292
Filer:	Esther Hyeri Chong/Kyle Bekelja
Filer Authorized By:	Esther Hyeri Chong
Attorney Docket Number:	1630-1332PUS1
Receipt Date:	27-JUN-2017
Filing Date:	27-NOV-2015
Time Stamp:	14:50:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$960
RAM confirmation Number	062817INTEFSW14510300
Deposit Account	022448
Authorized User	Kyle Bekelja
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

37 CFR 1.19 (Document supply fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	2017-06-27IssueFee1630-1332 PUS1.pdf	111317 7a81bff8bebdc0b83785c4a4c7c597714792bb30	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30676 187b16298d2981f328ce47440f0b9cdf65f3d81b	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	141993		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/953,264	08/01/2017	9722104	1630-1332PUS1	1071

2292 7590 07/12/2017

BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
FALLS CHURCH, VA 22042-1248

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

LG ELECTRONICS INC., Seoul, KOREA, REPUBLIC OF;
Jungmin HA, Seoul, KOREA, REPUBLIC OF;
Sungjin KIM, Seoul, KOREA, REPUBLIC OF;
Juhwa CHEONG, Seoul, KOREA, REPUBLIC OF;
Junyong AHN, Seoul, KOREA, REPUBLIC OF;
Hyungwook CHOI, Seoul, KOREA, REPUBLIC OF;
Wonjae CHANG, Seoul, KOREA, REPUBLIC OF;
Jaesung KIM, Seoul, KOREA, REPUBLIC OF;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

POWER OF ATTORNEY BY ASSIGNEE
(REVOCATION OF PRIOR POWERS AND EXCLUSION OF INVENTIVE ENTITY)

In re PATENTs/PATENT application(s) assigned to:

Assignee: Shangrao Jinko solar Technology Development Co., LTD

Address: NO. 3 YINGBIN ROAD, SHANGRAO ECONOMIC AND TECHNICAL DEVELOPMENT ZONE, JIANGXI PROVINCE, CHINA

The above assignee (hereinafter "Assignee") hereby revokes all powers of attorney previously given and hereby appoints and authorizes the attorneys associated with

Customer Number 00909
(the customer number associated with the attorneys of
Pillsbury Winthrop Shaw Pittman LLP)

to prosecute and transact all business in the U.S. Patent and Trademark Office connected with the following matters, and any applications claiming priority to one or more of the following matters; and to the exclusion of the inventive entity or any prior assignees:

U.S. Patent Application No. or U.S. Patent No.	Filing Date
US12/812910	2010/7/14
US15/076111	2016/3/21
US16/560384	2019/9/4
US17/540983	2021/12/2
US14/478935	2014/9/5
US14/622034	2015/2/13
US16/456575	2019/6/28
US16/456621	2019/6/28
US14/793427	2015/7/7
US16/179664	2018/11/2
US14/806455	2015/7/22
US15/407812	2017/1/17
US16/597105	2019/10/9
US15/925076	2018/3/19
US17/522085	2021/11/9
US16/504995	2019/7/8
US15/142664	2016/4/29
US15/919478	2018/3/13

Petitioner Runergy USA Inc., Ex. 1005, p. 727

US16/250463	2019/1/17
US17/889200	2022/8/16
US7838761	2010/11/23
US8426723	2013/4/23
US9343599	2016/5/17
US7858426	2010/12/28
US8232128	2012/7/31
US7927498	2011/4/19
US8999740	2015/4/7
US7838762	2010/11/23
US7985610	2011/7/26
US8513754	2013/8/20
US8203072	2012/6/19
US8507789	2013/8/13
US8481847	2013/7/9
US8253013	2012/8/28
US8680392	2014/3/25
US8772630	2014/7/8
US9306084	2016/4/5
US8723018	2014/5/13
US9583653	2017/2/28
US8263857	2012/9/11
US8039734	2011/10/18
US9698293	2017/7/4
US9070798	2015/6/30
US9478680	2016/10/25
US9947811	2018/4/17
US9691919	2017/6/27
US8884158	2014/11/11
US9172119	2015/10/27
US9337359	2016/5/10
US10784385	2020/9/22
US8420927	2013/4/16
US8012531	2011/9/6
US9000291	2015/4/7
US9935212	2018/4/3
US10964827	2021/3/30
US9853178	2017/12/26
US8586855	2013/11/19
US8835744	2014/9/16
US10566472	2020/2/18
US8525018	2013/9/3
USRE46515	2017/8/15
USRE47484	2019/7/2
US9064999	2015/6/23
US9508875	2016/11/29
US8912035	2014/12/16
US10651331	2020/5/12
US9148961	2015/9/29
US9166076	2015/10/20
US9385256	2016/7/5

Petitioner Runergy USA Inc., Ex. 1005, p. 728

US8507788	2013/8/13
US9385248	2016/7/5
US8952569	2015/2/10
US9362752	2016/6/7
US9099607	2015/8/4
US8748218	2014/6/10
US8697475	2014/4/15
US10090428	2018/10/2
US9972738	2018/5/15
US10424685	2019/9/24
US9076905	2015/7/7
US9356165	2016/5/31
US10680122	2020/6/9
US8119901	2012/2/21
US9608154	2017/3/28
US10181543	2019/1/15
US9157662	2015/10/13
US8418417	2013/4/16
US9147787	2015/9/29
US9698291	2017/7/4
US10121915	2018/11/6
US8927854	2015/1/6
US9608133	2017/3/28
US10446697	2019/10/15
US9117963	2015/8/25
US9660129	2017/5/23
US10340412	2019/7/2
US8993876	2015/3/31
US9698294	2017/7/4
US9893225	2018/2/13
US10153390	2018/12/11
US9768336	2017/9/19
US10236403	2019/3/19
US10304974	2019/5/28
US11309441B2	2022/4/19
US11329172B2	2022/5/10
US9583648	2017/2/28
US9553226	2017/1/24
US10475944	2019/11/12
US9960290	2018/5/1
US10164130	2018/12/25
US11201252	2021/12/14
US10170646	2019/1/1
US10566487	2020/2/18
US9947810	2018/4/17
US9722104	2017/8/1
US10014419	2018/7/3
US10230009	2019/3/12
US11239379	2022/2/1
US11133426	2021/9/28
US11164984	2021/11/2

Direct correspondence to the address associated with Customer Number **00909.**

Assignee hereby authorizes the aforesaid attorneys to accept and follow instructions from its authorized representatives, **Beijing Uni-intel Patent and Trademark Law Firm**, as to any actions to be taken in the U.S. Patent and Trademark Office regarding the above-identified application. In the event of a change in the person(s) from whom instructions may be taken, the aforesaid attorneys will be so notified by Assignee.

The undersigned confirms that he or she is authorized to act on behalf of the assignee.

Shangrao Jinko solar Technology Development Co., LTD

Signed: Xiande Li

Name: Xiande Li

Title: President

Date: 2022.09.21

Petitioner Runergy USA Inc., Ex. 1005, p. 730

PTO/AIA/96 (08-12)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: Shangrao Jinko solar Technology Development Co., LTD

Application No./Patent No.: 9,722,104 Filed/Issue Date: August 01, 2017

Titled: SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Shangrao Jinko solar Technology Development Co., LTD, a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. ☑ The assignee of the entire right, title, and interest.

2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):

☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.

☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (*e.g.*, bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

B. ☑ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: INVENTORS To: LG ELECTRONICS INC.

The document was recorded in the United States Patent and Trademark Office at

Reel 037977, Frame 0995, or for which a copy thereof is attached.

2. From: LG ELECTRONICS INC. To: Shangrao Jinko solar Technology Development Co., LTD

The document was recorded in the United States Patent and Trademark Office at

Reel 061572, Frame 0487, or for which a copy thereof is attached.

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/96 (08-12)
Approved for use through 11/30/2020. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☑ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Chad Hammerlind/	November 7, 2022
Signature	Date
Chad Hammerlind	67,565
Printed or Typed Name	Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
14/953,264	**11/07/2022 11:27:16 AM ET**	**1630-1332PUS1**

Title of Invention

SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	9722104
CONFIRMATION #	1071	FILED BY	Nicole Banks
PATENT CENTER #	61149266	FILING DATE	11/27/2015
CUSTOMER #	2292	FIRST NAMED INVENTOR	Jungmin HA
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Chad Hammerlind

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
066061 Power of Attorney - Shangrao Jinko solar Technology Development Co., LTD filed 07NOV2022.pdf	4	Power of Attorney	877 KB
066061-0571535 Statement under 37 CFR 373c filed 07NOV2022.pdf	3	Assignee showing of ownership per 37 CFR 3.73	115 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)

066061 Power of Attorney - Shangrao Jinko solar Technology Development Co., LTD filed 07NOV2022.pdf	0331ECB111A0D5B4789152E9D9DA52825ACCEB89182E2B78B F527611A4F993FC5B0CE4FF5287A9D0FF39A02A3244170D2C AE1A499E0CF2732B3A6BD50C71F466
066061-0571535 Statement under 37 CFR 373c filed 07NOV2022.pdf	51ECE87D3A004BC8D1F85E8B7A71D429C6F4B7BB14D217F33 7DA3185D97EA410C6BE5197DD8D9EF995A028F0C5B1182C81 C01DB5F6D2C7AC603F83B285AB0113

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1

CONFIRMATION NO. 1071

909
Pillsbury Winthrop Shaw Pittman, LLP
PO Box 10500
McLean, VA 22102

POA ACCEPTANCE LETTER

OC000000136855532

Date Mailed: 11/16/2022

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/07/2022.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/sltorres/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/953,264	11/27/2015	Jungmin HA	1630-1332PUS1

CONFIRMATION NO. 1071

POWER OF ATTORNEY NOTICE

2292
BIRCH STEWART KOLASCH & BIRCH, LLP
8110 Gatehouse Road
Suite 100 East
Falls Church, VA 22042-1248

OC000000136855529

Date Mailed: 11/16/2022

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 11/07/2022.

- The Power of Attorney to you in this application has been revoked by the applicant. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/sltorres/

Petitioner Runergy USA Inc., Ex. 1005, p. 737