Korean Intellectual Property Office

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

Application Number: 10-2014-0168624

Filing Date: Nov. 28, 2014

Applicant(s): LG Electronics Inc.

February 16, 2016

Commissioner, Korean Intellectual Property Office [seal, Commissioner, Korean Intellectual Property Office]

[Bibliography]

[Document Name**]**	Patent Application
[Classification of Application**]**	Patent application
[Applicant**]**	
[Title**]**	LG Electronics Co., Ltd.
[Applicant Code**]**	1-2002-012840-3
[Agent**]**	
[Name**]**	Royal Patent & Law Firm
[Agent Code**]**	9-2007-071744-8
[Title of Invention in Korean]	태양 전지
[Title of Invention in English]	SOLAR CELL
[Inventor**]**	
[Name**]**	하정민
[Name in English characters]	Jungmin Ha
[Resident Registration No.]	771109—1XXXXXX
[Postal Code]	153-802
[Address]	51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Country]	KR
[Name**]**	김성진
[Name in English characters]	Sungjin Kim
[Resident Registration No.]	780913—1XXXXXX
[Postal Code]	153-802
[Address]	51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Country]	KR

[Inventor**]**

[Name**]**	최형묵
[Name in English characters]	Hyungwook Choi
[Resident Registration No.]	811017—1XXXXXX
[Postal Code]	153-802
[Address]	51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Country]	KR

[Inventor**]**

[Name**]**	김재성
[Name in English characters]	Jaesung Kim
[Resident Registration No.]	681020-1XXXXXX
[Postal Code]	153-802
[Address]	51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Country]	KR

[Object] Submission as outlined above to the Commissioner of the Korea Intellectual Property Office

Agent Royal Patent & Law Firm (signature or stamp)

[Fees**]**

[Application Fee**]**	0 pages	46,000 won
[Added Application Fee]	40 pages	0 won
[Priority Claims Fee]	0 items	0 won
[Examination Request Fee**]**	0 claims	0 won
[Total**]**	46,000 won	

[Specification]

[Title of the Invention]

Solar Cell

[Technical Field]

<l> The present invention relates to a solar cell.

[Prior Art]

<2> Recently, as the depletion of existing energy resources such as oil and coal is expected, interest in alternative energy sources to replace such resources is increasing. Among them, solar cells are attracting attention as a means of producing electrical energy from solar energy, as they are abundant in energy resources and do not cause environmental pollution.

<3> A typical solar cell has a substrate and an emitter layer made of semiconductors of different conductive types, such as p-type and n-type, and electrodes connected to the substrate and the emitter, respectively. At this time, a p-n junction is formed at the interface between the substrate and the emitter.

<4> When light is incident on such a solar cell, a plurality of electron-hole pairs are generated in the semiconductor; the generated electron-hole pairs are separated into electrons and holes, respectively; the electrons and holes move toward the n-type semiconductor and p-type semiconductor, for example, toward the emitter and the substrate, and are collected by electrodes electrically connected to the substrate and the emitter; and power is obtained by connecting the electrodes with wires.

[Details of the Invention]

[Problem to be solved]

<5> The purpose of the present invention is to provide a solar cell.

[Means for Solving the Problem]

<6> The solar cell according to one example of the present invention comprises: a semiconductor substrate containing an impurity of a first conductive type, an emitter unit positioned on the front surface of a semiconductor substrate and containing an impurity of a second conductive type opposite to the first conductive type, a tunnel layer positioned on the rear surface of the semiconductor substrate and comprising a dielectric material, a rear field unit positioned on the rear surface of the tunnel layer and comprising a polycrystalline silicon material doped with an impurity of the first conductive type at a higher concentration than the semiconductor substrate, a rear protective film positioned on the rear surface of the rear field unit and made of a dielectric material, a first electrode connected to the emitter unit, and a second electrode connected to the rear field unit; wherein at least a part of the second electrode is embedded into the rear field unit.

<7> Here, the first interface where the rear field unit and the second electrode contact each other is positioned closer to the semiconductor substrate than the second interface where the rear field unit and the back protective film contact each other.

<8> At this time, the electrode formation region where the second electrode is formed within the rear field unit may further comprise a plurality of metal crystals, and such metal crystals do not have to be positioned in the non-formation region where the second electrode is not formed within the rear field unit.

<9> In addition, the metal crystals do not have to be positioned within the tunnel layer.

<10> Here, the plurality of metal crystals may comprise the same metal material as the metal material comprised in the second electrode.

<11> Some of the plurality of metal crystals may be in direct contact with the second electrode, and at least one of the plurality of metal crystals may be spaced apart from the second electrode.

<12> In addition, the plurality of metal crystals may be elongated from the second electrode toward the tunnel layer to be 2/3 or less of the thickness of the rear field layer, and some of the plurality of metal crystals may have a width that decreases as they advance from the second electrode toward the tunnel layer.

<13> Here, the second electrode may comprise a plurality of second finger electrodes formed longwise in a first direction when viewed from the rear of the rear field layer, and a second bus bar formed longwise in a second direction intersecting the first direction, and to which the plurality of second finger electrodes are commonly connected.

<14> At this time, a plurality of second finger electrodes can be formed by penetrating the rear protective film and being embedded into the rear protective film, and a plurality of second bus bars can be formed on the rear surface of the rear protective film.

<15> Here, the rear field electrode and the second finger electrodes contact each other at a first boundary surface of the rear field electrode, and a plurality of metal crystals can be further comprised in the finger formation region where the second finger electrodes are formed among the electrode formation regions of the rear field electrode.

<16> Further, a plurality of metal crystals do not have to be positioned in the bus bar formation region where the second bus bar is formed among the electrode formation regions of the rear field electrode.

<17> To this end, the material comprised in the plurality of second finger electrodes and the material comprised in the plurality of second bus bars can be formed differently from each other.

<18> Specifically, the content of the glass frit per unit volume comprised in the plurality of second bus bars may be smaller than the content of the glass frit per unit volume comprised in the plurality of second finger electrodes.

<19> At this time, the content of the glass frit per unit volume comprised in the plurality of second finger electrodes may be the same as the content of the glass frit per unit volume comprised in the first electrode.

<20> In addition, the content of the metal material per unit volume comprised in the plurality of second finger electrodes may be greater than the content of the metal material per unit volume comprised in the plurality of second bus bars.

<21> Specifically, the content of the metal material per unit volume comprised in the plurality of second finger electrodes may be 80 wt% or more and 95 wt% or less, and the content of the metal material per unit volume comprised in the plurality of second bus bars may be 60 wt% or more and 80 wt% or less.

<22> At this time, the content of the metal material per unit volume comprised in the plurality of second finger electrodes may be the same as the content of the metal material per unit volume comprised in the first electrode.

[Effect of the Invention]

<23> The solar cell according to the present invention is able to further increase the efficiency of the solar cell by forming at least a part of the second electrode to be embedded in the rear field region.

[Brief Description of the Drawings]

<24> FIGS. 1 to 4 are drawings for explaining a solar cell according to the first embodiment of the present invention.

FIG. 5 is a diagram for explaining a comparative example different from the first embodiment of the present invention.

FIG. 6 is a diagram for explaining a solar cell according to the second embodiment of the present invention.

FIG. 7 is a comparative example photograph showing the degree of deterioration of a semiconductor substrate (110) according to the sintering temperature during the heat treatment process when the material of the second busbar paste (153P) is the same as the material of the second finger paste, using PL (photo luminescence).

FIG. 8 is a photograph showing the degree of deterioration of a semiconductor substrate (110) according to the sintering temperature during the heat treatment process when the material of the second busbar paste (153P) and the material of the second finger paste are different from each other according to the second embodiment of the present invention, using PL (photo luminescence).

[Specific Details for Carrying Out the Invention】

<25> Below, embodiments of the present invention are described in detail with reference to the drawings so that those with ordinary knowledge in the technical field to which this invention pertains can easily carry out the invention. However, the present invention can be implemented in various different forms and is not limited to the embodiments described herein. In addition, in order to clearly explain the present invention in the drawings, parts that are not related to the explanation are omitted, and similar drawing symbols are assigned to similar parts throughout the specification.

<26> In order to clearly express various layers and areas in the drawings, the thickness is enlarged and drawn. When a part, such as a layer, membrane, region, or plate, is said to be “on top” of another part, this comprises not only cases where it is “directly on top” of another part, but also cases where there are other parts in between. Conversely, when a part is said to be “directly on top” of another part, it means that there are no other parts in between. Also, when a part is said to be “entirely” formed on top of another part, it means that it is formed not only on the entire surface

(or front) of the other part, but also on some of the edges.

<27> In addition, the front side may be one side of the semiconductor substrate where direct light is incident, and the back side may be the opposite side of the semiconductor substrate where direct light is not incident and on which reflected light, not direct light, may be incident.

<28> In addition, the fact that two values are the same means that they are the same within a margin of error of 10% or less.

<29> Then, the solar cell according to the present invention will be described with reference to the attached drawings.

<30> FIGS. 1 to 4 are drawings for explaining a solar cell according to the first embodiment of the present invention, and FIG. 5 is a drawing for explaining a comparative example different from the first embodiment of the present invention.

<31> More specifically, FIG. 1 is a partial perspective view of a solar cell according to the first embodiment of the present invention, and FIG. 2 is a cross-sectional view of the solar cell illustrated in FIG. 1 cut along the line II-II. In addition, FIG. 3 is an enlarged view of the K portion in FIG. 2, and FIG. 4 is an actual photograph showing the contact portion between the second electrode (150) and the rear field unit (170).

<32> As illustrated in FIG. 1, an example of a solar cell according to the present invention comprises a semiconductor substrate (110), an emitter unit (120), a reflective barrier film (130), a tunnel layer (160), a rear field unit (170), a rear protective film (190), a first electrode (140), and a second electrode (150).

<33> In FIG. 1, the solar cell according to the present invention is illustrated as an example comprising an anti-reflection film (130), but the present invention is different from this and can be implemented by omitting the anti-reflection film (130). However, considering the efficiency of the solar cell, better efficiency is generated when the anti-reflection film (130) is comprised. The inclusion of the anti-reflection film (130) will be described as an example.

<34> The semiconductor substrate (110) is a semiconductor substrate (110) made of silicon containing impurities of the first conductive type, for example, p-type conductive type. For example, the semiconductor substrate (110) may be a semiconductor wafer made of single crystal silicon or polycrystalline silicon.

<35> If the semiconductor substrate (110) has a p-type conductive type, it contains impurities of trivalent elements such as boron (B), gallium, and indium. However, unlike this, the semiconductor substrate (110) may be an n-type conductive type and may be made of a semiconductor material other than silicon. If the semiconductor substrate (110) has an n-type conductive type, the semiconductor substrate (110) may contain impurities of pentavalent elements such as phosphorus (P), arsenic (As), and antimony (Sb). Hereinafter, a case in which the semiconductor substrate (110) has an n-type conductive type will be described as an example.

<36> As shown in FIG. 1 and FIG. 2, the surface of the semiconductor substrate (110) may have a textured surface, which is a rough surface that has been textured.

<37> The emitter unit (120) is positioned on the true surface of the semiconductor substrate (110) where light is incident, and contains an impurity of a second conductive type opposite to the

conductive type of the semiconductor substrate (110), for example, an n-type conductive type, to form a p-n junction with the semiconductor substrate (110).

<38> The carriers, which are electron-hole pairs generated by light incident on the semiconductor substrate (110) through the p-n junction, are separated into electrons and holes, and the electrons move toward the n-type side and the holes move toward the p-type side. Therefore, when the semiconductor substrate (110) is p-type and the emitter unit (120) is n-type, the separated holes can move toward the semiconductor substrate (110) and the separated electrons can move toward the emitter unit (120).

<39> However, in contrast, when the semiconductor substrate (110) has an n-type conductive line, the emitter unit (120) has a p-type conductive type. In this case, the separated electrons can move toward the semiconductor substrate (110) and the separated holes can move toward the emitter unit (120).

<40> If the emitter unit (120) has an n-type conductivity type, the emitter unit (120) can be formed by doping a semiconductor substrate (110) with an impurity of a pentavalent element, such as phosphorus (P), arsenic (As), or antimony (Sb); on the other hand, if the emitter unit (120) has a p-type conductivity type, the emitter unit (120) can be formed by doping a semiconductor substrate (110) with an impurity of a trivalent element, such as boron (CB), gallium, or indium.

<41> Such an emitter unit (120) can be formed by diffusing an impurity of a second conductivity type onto the entire surface of the semiconductor substrate (110); in such a case, the emitter unit (120) can be formed with the same silicon material as the semiconductor substrate (110).

<42> For example, if the semiconductor substrate (110) is formed of a wafer made of polycrystalline silicon, the emitter unit (120) may also be formed of polycrystalline silicon, and if the semiconductor substrate (110) is formed of a wafer made of single-crystal silicon, the emitter

unit (120) may also be formed of single-crystal silicon.

<43> The antireflection film (130) is positioned on the emitter unit (120) and may be formed of at least one of an aluminum oxide film (AlOx), a silicon nitride film (SiNx), a silicon oxide film (SiOx), and a silicon oxynitride film (SiOxNy); and it may be formed as a single film or a multilayer film.

<44> In FIGS. 1 and 2, the case where the antireflection film (130) is formed as a single film is illustrated as an example, but it is not necessarily limited to a single film.

<45> The antireflection film (130) reduces the reflectivity of light incident on the solar cell and increases the selectivity of a specific wavelength range, thereby increasing the efficiency of the solar cell.

<46> The first electrode (140) is positioned directly on the emitter unit (120) and is electrically connected to the emitter unit (120). The first electrode (140) as shown in FIG. 1 may comprise a plurality of first finger electrodes (141) and a plurality of first bus bars (143).

<47> Here, the plurality of first finger electrodes (141) may be positioned on the emitter unit (120) and may be electrically connected to the emitter unit (120) and may extend in the first direction (x) while being spaced apart from each other.

<48> As shown in FIG. 1 and FIG. 2, the plurality of first finger electrodes (141) may collect carriers, for example, holes, that have moved toward the emitter unit (120) of the p type when the semiconductor substrate (110) is of the n type.

<49> Further, the plurality of first bus bars (143) may be positioned on the same layer as the plurality of first finger electrodes (141) above the emitter unit (120), electrically connect the

plurality of first finger electrodes (141) to each other, and may extend in the second direction (y) intersecting the plurality of first finger electrodes (141).

<50> The plurality of first bus bars (143) are connected to an interconnector (not shown) that connects the solar cells to each other, and collects carriers that are collected and moved by the plurality of first finger electrodes (141) and outputs them to an external device.

<51> The plurality of first finger electrodes (141) and the first bus bar (143) are made of at least one conductive metal material; examples of these conductive metal materials may be at least one selected from a group consisting of nickel (Ni), copper (Cu), silver (Ag), aluminum (Al), tin (Sn), zinc (Zn), indium (In), titanium (Ti), gold (Au), and combinations thereof, but may be made of at least one selected from a group consisting of combinations of other conductive metal materials.

<52> The first electrode (140) as above can be formed by forming an anti-reflection film (130) on the entire surface of a semiconductor substrate (110), then patterning and applying a first electrode paste for forming the first electrode (140) on the front surface of the anti-reflection film (130), and then through a heat treatment process causing the first electrode paste to penetrate the anti-reflection film (130) so that the first electrode (140) is connect to the emitter unit (120) and is fired.

<53> For this purpose, the first electrode (140) may contain glass frit in addition to the aforementioned metal material.

<54> The tunnel layer (160) is arranged on the back surface of the semiconductor substrate (110) and may comprise a dielectric material.

<55> For example, the tunnel layer (160) may be formed on the back surface of the semiconductor substrate (110) as shown in FIGS. 1 and 2, but may be formed by directly contacting the back surface of the semiconductor substrate (110).

<56> In addition, the tunnel layer (160) may be formed on the back surface electric field region of the ballistic substrate (110).

<57> Such a tunnel layer (160) may allow carriers generated in the semiconductor substrate (110) to pass toward the back surface field unit (170) and may perform a passivation function for the back surface of the semiconductor substrate (110). In addition, such a tunnel layer (160) may play a role in increasing the open circuit voltage (Voc) of the solar cell.

<58> The tunnel layer (160) can be formed of a dielectric material such as SiCx or SiOx that is durable even in high-temperature processes of 600°C or higher. However, in addition to this, it can also be formed of silicon nitride (SiNx), hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON), or hydrogenerated SiON.

<59> In addition, the thickness (T160) of the tunnel layer (160) can be formed between 0.5 nm and 2.5 nm. The tunnel layer (160) can be formed by an oxidation process, an LPCVD process, or a PECVD deposition process.

<60> Here, the thickness (Tl60) of the tunnel layer (160) is limited to 0.5 nm - 2.5 nm to implement the tunneling effect, and although it is possible to slightly exceed this limited range of 0.5 nm - 2.5 nm, the tunneling effect may be reduced.

<61> More specifically, this is because, in making the thickness (T160) of the tunnel layer (160) 0.5 nm or greater, it is difficult in reality to make the thickness of the tunnel layer (160) less than 0.5 nm, and in making the thickness (T160) of the tunnel layer (160) 2.5 nm or less, the tunneling effect may hardly occur if it exceeds 2.5 nm.

<62> In addition, the tunnel layer (160) can also perform a passivation function for the rear surface of the semiconductor substrate (110).

<63> Next, the rear field unit (170) is positioned on the rear surface of the semiconductor substrate (110), contains a first conductive type impurity at a higher concentration than the semiconductor substrate (110), and may comprise a polycrystalline silicon material.

<64> That is, the rear field unit (170) can be formed on the rear surface of the tunnel layer (160) formed on the rear surface of the semiconductor substrate (110), as shown in FIGS. 1 and 2, and can be formed spaced apart from the semiconductor substrate (110).

<65> If the rear field unit (170) is not formed within the semiconductor substrate (110), but is formed on the rear surface of the semiconductor substrate (110), as shown in FIGS. 1 and 2, is spaced apart from the semiconductor substrate (110) and formed on the rear surface of the tunnel layer (160) using a polycrystalline silicon material, the open circuit voltage (Voc) of the solar cell can be further improved.

<66> In addition, since the rear field region (170) is formed outside the semiconductor substrate (110) without forming the rear field region (170) within the semiconductor period (110), thermal damage to the semiconductor substrate (110) can be minimized during the manufacturing process

of forming the rear field region (170), thereby preventing the characteristics of the semiconductor substrate (110) from being deteriorated. Therefore, the solar array as shown in FIG. 1 and FIG. 2 can further improve efficiency.

<67> The thickness (Tl70) of the rear field unit (170) can be formed between 50 nm and 500 nm.

<68> The second electrode (150) is arranged on the rear surface of the rear field unit (170) and is electrically connected to the rear field unit (170). The second electrode (150) can comprise a plurality of second finger electrodes (151) and a plurality of second bus bars (153), as shown in FIGS. 1 and 2.

<69> Here, the plurality of second finger electrodes (151) can extend in the first direction (x) spaced apart from each other on the rear surface of the rear field unit (170) and can collect carriers, for example, holes, moving toward the rear field unit (170).

<70> Moreover, the plurality of second bus bars (153) are positioned on the same layer as the plurality of second finger electrodes (151) above the rear field unit (170), electrically connect the plurality of second finger electrodes (151) to each other, and may extend in the second direction (y) intersecting the plurality of second finger electrodes (151).

<71> The plurality of second bus bars (153) are connected to an interconnector (not shown) that connects the solar cells to each other, and collects carriers that are collected and moved by the second finger electrodes (151) and outputs them to an external device.

<72> Here, the longitudinal direction of the second bus bar (153) is the same as the longitudinal direction of the first bus bar (143), the lengthwise direction of the second finger electrode (151) can also be the same as the longitudinal direction of the first finger electrode (141), and the material of the second electrode (150) can be the same as the material of the first electrode (140).

<73> Such a second electrode (150) can be formed by patterning a second electrode paste for forming the second electrode (150) on the rear protective film (190) while the rear protective film (190) described later is formed on the rear electric field unit (170) and then through a heat treatment process.

<74> Here, the width of the second finger electrode (151) may be, for example, between 150um and 400um, and the width of the second bus bar (153) may be formed to be larger than the width of the second finger electrode (151), but may be determined in a range between 1mm and 3mm. However, it is not necessarily limited thereto, and may have a different width.

<75> Next, the rear protection film (190) may be positioned on the entire area excluding the area where the second electrode (150) is formed within the rear of the rear field unit (170), as shown in FIGS. 1 and 2.

<76> Such a rear protection film (190) may be formed of a dielectric material, may be formed in a single layer or a plurality of layers, and may have a fixed charge considering the polarity of the rear field unit (170).

<77> The material of the rear protective film (190) may be formed of at least one of SiCx, SiOx, silicon nitride (SiNx), hydrogenated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON), or hydrogenated SiON.

<78> The rear protective film (190) like this can perform the function of passivating the rear surface of the rear field unit (170).

<79> In FIGS. 1 and 2, the operation of the solar cell according to the present embodiment having such a structure is as follows.

<80> When light from the sun is irradiated and incident on the semiconductor substrate (110) of the semiconductor through the antireflection film (130) and the emitter unit (120), electron-hole pairs are generated in the semiconductor substrate (110) of the semiconductor by the light energy. At this time, the reflection loss of the light incident on the semiconductor substrate (110) is reduced by the antireflection film (130), so the amount of light incident on the semiconductor substrate (110) increases.

<81> These electron-hole pairs are separated from each other by the p-n junction of the semiconductor substrate (110) and the emitter unit (120), and the holes and electrons move toward, for example, the emitter unit (120) having a p-type conductivity type and the semiconductor substrate (110) having an n-type conductivity type, respectively. In this way, the holes that have moved toward the emitter unit (120) are collected by the first finger electrode (141) and transferred to the first bus bar (143), and the electrons that have moved to the rear junction unit (170) positioned on the rear side of the semiconductor substrate (110) are collected by the second finger electrode (151) and transferred to the second bus bar (153).

<82> In addition, if the first and second busbars (143, 153) of each of the adjacent solar cells are connected to each other with an interconnector (not shown), current will flow, which can be used

as power in the battery.

<83> Meanwhile, the solar cell according to the present invention may be formed by having at least a unit of the second electrode (150) embedded into the rear field unit (170), as shown in FIGS. 1 to 3. As a specific example, both the second finger electrode (151) and the second bus bar (153) forming the second electrode (150) may be embedded into the rear field unit (170) and formed.

<84> In other words, the first boundary surface (BS1) where the rear field unit (170) and the second electrode (150) contact each other may be formed and positioned closer to the semiconductor substrate (110) than the second boundary surface (BS2) where the rear field unit (170) and the rear protective film (190) contact each other.

<85> In FIG. 3, the second finger electrode (151) is illustrated as an example, but the second bus bar (153) may also have the same structure as the second finger electrode (151) embedded into the rear field unit (170).

<86> In this way, the shape in which the second electrode (150) is embedded into the rear field unit (170) is a shape that can appear when the second electrode paste for forming the second electrode (150) is patterned on the rear of the rear protective film (190) and the second electrode paste penetrates the rear protective film (190) and enters the rear field unit (170) through a heat treatment process to form a connection.

<87> In this way, when the second electrode (150) is formed using the second electrode paste, it has the advantage of being relatively low cost and shortening the bean-cutting time compared to the plating method.

<88> Here, the height difference between the first boundary surface (BS1) and the second boundary surface (BS2) can be known as 1 nm - 20 nm, and the height difference (TBS) of the first and second boundary surfaces (BS1, BS2) can vary depending on the time of the heat treatment process for forming the second electrode (150) and the content of the glass frit comprised in the second electrode paste.

<89> In FIG. 1 and FIG. 3, a case in which all of the second busbars (153) and the second finger electrodes (151) forming the second electrode (150) are embedded into the rear field unit (170) is illustrated as an example, but it is not necessarily limited thereto, and only the second finger electrodes (151) among the second electrodes (150) can be embedded into the rear field unit (170) and formed. As shown, the configuration in which only a plurality of second finger electrodes (151) are embedded into the rear field unit (170) is described in more detail in FIG. 6 and below.

<90> Therefore, as shown in FIG. 3, the solar cell according to the present invention has the second electrode (150) embedded into the rear field unit (170), so that the rear field unit (170) and the second electrode (150) can contact each other at the first boundary surface (BS1) of the rear field unit (170).

<91> At this time, as shown in FIG. 2, the electrode formation area (1700A) formed by the second electrode (150) among the rear field unit (170) may further comprise a plurality of metal crystals (MC).

<92> For example, as illustrated in FIG. 3, the finger formation region (1700F) where the second finger electrode (151) is formed among the rear field unit (170) may further comprise a plurality of metal crystals (MC). In FIG. 3, only the electrode finger formation region (1700F) among the

electrode formation regions (1700A) of the rear field unit (170) is illustrated, but the bus bar formation region (1700B) may also further comprise a plurality of metal crystals (MC).

<93> For reference, referring to FIG. 2, among the rear field area (170), the area of the rear field area (170) positioned in the space between the second finger electrode (151) and the tunnel layer (160) is referred to as the finger formation area (1700F), the area of the rear field area (170) positioned in the space between the second bus bar (153) and the tunnel layer (160) is referred to as the bus bar formation area (1700B), and the area of the rear field area (170) excluding the finger formation area (1700F) and the bus bar formation area (1700B) is referred to as the non-formation area (170NO). In addition, the finger formation area (1700F) and the bus bar formation area (1700B) are collectively referred to as the electrode formation area (1700A).

<94> These plurality of metal crystals (MC) have relatively low resistance compared to the back-side field (170) formed of polycrystalline silicon, and as shown in FIG. 3, carriers, for example, electrons, that have moved from the semiconductor substrate (110) through the tunnel layer (160) to the back-side field (170) can move directly to the second electrode (150) through the metal crystals (MC) or jump between the metal crystals (MC) and the metal crystals (MC) to move to the second electrode (150). Therefore, these plurality of metal crystals (MC) can play a role in helping the carriers move more easily to the second electrode (150).

<95> Therefore, these metal crystals (MC) can narrow the practical distance between the semiconductor substrate (110) and the second electrode (150) due to their low resistance.

<96> In addition, since the metal crystal (MC) is formed toward the semiconductor substrate (110) with the second electrode (150) connected to the rear field unit (170) and the first boundary surface (BS1) between the second electrode (150) and the rear field unit (170) as the center, the contact

resistance between the second electrode (150) and the rear field unit (170) can be further reduced.

<97> Therefore, as in the present invention illustrated in FIG. 3, when a plurality of metal crystals (MC) are further comprised inside the rear field region (170) between the second electrode (150) and the tunnel layer (160), the efficiency of the solar cell can be further improved.

<98> Such metal crystals (MC) may be positioned in the electrode formation region (1700A) where the second electrode (150) is formed among the rear field region (170), and the metal crystals (MC) do not have to be positioned in the non-formation region (170NO) where the second electrode (150) is not formed among the rear field region (170).

<99> In this way, the metal crystals (MC) are positioned only in the electrode formation region (1700A) among the rear field area (170) and are not positioned in the non-formation region (170NO) because the plurality of metal crystals (MC) are formed by recrystallization of the metal that escaped from the second electrode (150) during the heat treatment process for forming the second electrode (150).

<100> For example, the plurality of second electrodes (150) may be formed by comprising at least one conductive metal material. Here, the conductive metal material comprised in the plurality of second electrodes (150) may be at least one selected from the group consisting of nickel (Ni), copper (Cu), silver (Ag), aluminum (Al), tin (Sn), zinc (Zn), indium (In), titanium (Ti), gold (Au) and a combination thereof, but may be formed of other conductive metal materials.

<101> Here, a plurality of metal crystals (MC) can be formed when the metal material comprised in the second electrode (150) described above is removed and recrystallized during the thermal

treatment process for forming the second electrode (150), so that they can comprise the same metal material as the metal material comprised in the second electrode (150). Therefore, for example, if the second electrode (150) comprises silver (Ag), the metal crystal (MC) may also comprise silver (Ag).

<102> In addition, as shown in FIGS. 3 and 4, the metal crystal (MC) may be positioned within the rear field region (170), but does not have to be positioned within the tunnel layer (160).

<103> That is, as in the comparative example shown in FIG. 5, if such a metal crystal (MC) is positioned within the tunnel layer (160), the function of the tunnel layer (160) may be deteriorated, and if the metal crystal (MC) penetrates through the tunnel layer (160) and penetrates into the rear interior of the semiconductor substrate (110), the open circuit voltage (Voc) characteristic shown by the structure formed by the semiconductor substrate (110) ? tunnel layer (160) - rear field region (170) may be deteriorated, and the semiconductor substrate (110) may be deteriorated.

<104> In this way, when the semiconductor substrate (110) is deteriorated, the characteristics of the semiconductor substrate (110), such as the carrier lifetime, may be deteriorated.

<105> However, in the case where the metal crystal (MC) is positioned in the rear field region (170) but not in the tunnel layer (160), such deterioration of the characteristics can be prevented.

<106> Some (MC1) of the plurality of metal crystals (MC) may be in direct contact with the second electrode (150), as shown in FIG. 3, and in addition, at least one (MC2) of the plurality of metal crystals (MC) may be separated from the second electrode (150) and positioned within the rear field region (170).

<107> Here, the plurality of metal crystals (MC) may have a length (LMC) from the second electrode (150) toward the tunnel layer (160) that is less than or equal to 2/3 of the thickness of the rear field region (170). In this way, the length (LMC) of the metal crystal (MC) is limited to less than or equal to 2/3 of the thickness of the rear field region (170) to prevent the length (LMC) of the metal crystal (MC) from becoming excessively long, thereby damaging the tunnel layer (160) or the semiconductor substrate (110), as described above.

<108> Some of the plurality of metal crystals (MC) may have a width (WMC) that decreases as they progress from the second electrode (150) toward the tunnel layer (160). That is, as shown in FIG. 3 or FIG. 4, the width (WMC) in the plane direction (x, y) of the part adjacent to the second electrode (150) in the metal crystal (MC) may be smaller than the width of the part adjacent to the semiconductor substrate (110).

<109> The size of the metal crystal (MC) may be determined in proportion to the sintering temperature of the heat treatment process for forming the second electrode (150).

<110> That is, the length or width of the metal crystal (MC) increases as the sintering temperature of the heat treatment process for forming the second electrode (150) increases, and decreases as the sintering temperature decreases. As the width of the second electrode (150), which is the source of the metal crystal (MC), increases, the length or width of the metal crystal (MC) may increase.

<111> However, if the sintering temperature of the thermal treatment process for forming the second electrode (150) is excessively low, the contact resistance between the second electrode (150) and the rear field unit (170) may increase.

<112> Therefore, in the first embodiment of the present invention, the case where both the second finger electrode (151) and the second bus bar (153) forming the second electrode (150) are embedded into the rear field region (170), and metal crystals (MC) are formed in both the finger formation region (1700F) and the bus bar formation region (1700B) among the rear field region (170) is described as an example, but in order to further improve efficiency, only the second finger electrode (151) may be embedded into the rear field region (170), and metal crystals (MC) may be formed only in the finger formation region (1700F). This will be described in more detail with reference to FIGS. 6 to 8 below.

<113> FIG. 6 is a diagram for explaining a solar cell according to the second embodiment of the present invention.

<114> In the description of FIG. 6, the description of the overlapping parts with the description of the first embodiment will be omitted, and the description will be focused on the parts that are different from the first embodiment.

<115> As shown in FIG. 6, the solar cell according to the second embodiment of the present invention can be formed so that at least a part of the second electrode (150) is embedded into the rear field unit (170), but only the plurality of second finger electrodes (151) among the second electrodes (150) penetrate the rear protective film (190) and are embedded into the rear field unit (170).

<116> At this time, the metal crystal (MC) is formed only in the finger formation area (1700F) of the rear field unit (170), and the plurality second bus bars (153) are not embedded into the rear field unit (170), but are formed on the rear surface of the rear protective film (190).

<117> Therefore, rapid crystals (MC) do not have to be formed in the busbar forming region (1700B) within the rear field unit (170).

<118> In this way, among the second electrodes (150), only the plurality of second finger electrodes (151) are formed to penetrate the rear protective film (190) and be embedded into the rear field unit (170) so that the metal crystal (MC) is formed only in the finger formation area (1700F) among the rear field unit (170), and the second bus bar (153) is formed on the rear protective film (190) so that the metal crystal (MC) is not formed in the bus bar formation area (1700B) within the rear field unit (170), as described in the previous FIGS. 3 to 5, to prevent the metal crystal (MC) from being positioned within the tunnel layer (160) or from being connected to the semiconductor substrate (110) by penetrating the tunnel layer (160).

<119> More specifically, in the case of the second bus bar (153), as described in the previous FIGS. 1 and 2, since the width is relatively large compared to the second finger electrode (151), a metal crystal (MC) having a relatively large length or width is formed in the rear field unit (170) during the thermal treatment process, As shown in FIG. 5, the slow crystal (MC) may be positioned in the tunnel layer (160) or connected to the semiconductor substrate (110), and this is to block this in advance.

<120> Therefore, the solar cell according to the second embodiment of the present invention has a structure formed by only the second finger electrode (151) among the second finger electrode (151) and the second bus bar (153) penetrating the back protective film (190) and being embedded into the rear field region unit (170), Therefore, only the rear field region unit (170) and the second finger electrode (151) contact each other at the first boundary surface (BS1) of the rear field region unit (170), only the finger formation area (1700F) where the second finger electrode (151) is formed among the electrode formation areas (1700A) of the rear field region unit (170) may comprise a plurality of metal crystals (MC), and the bus bar formation area (1700B) of the rear field region unit (170) overlapping with the second bus bar (153) does not have to have a plurality of metal crystals (MC).

<121> To this end, the present invention can make the materials comprised in the plurality of second finger electrodes (151) and the materials comprised in the plurality of second bus bars (153) different from each other.

<122> More specifically, in order to prevent or minimize the second finger electrode (151) from penetrating the rear protective film (190) and being embedded into the rear electric field unit (170) and the second bus bar (153) from penetrating the rear protective film (190) and being embedded into the rear electric field unit (170), the content of the glass frit per unit volume comprised in the plurality of second bus bars (153) may be smaller than or equal to the content of the glass frit per unit volume comprised in the plurality of second finger electrodes (151).

<123> That is, the content of glass frit per unit volume of the second busbar paste for forming the second busbar (153) can be made smaller than the content of glass frit per unit volume comprised in the second finger paste for forming the second finger electrode (151), or the glass frit does not have to be comprised at all.

<124> The reason for the above is to prevent the second busbar paste from being almost completely embedded into the rear field unit (170) even if it penetrates the rear protective film (190) and is connected to the rear field unit (170) while the second finger paste penetrates the rear protective film (190) and is embedded into the rear field unit (170), or to prevent the rear protective film (190) from being penetrated at all, during the heat treatment process for forming the second electrode (150).

<125> By doing this, it is possible to prevent metal crystals (MC) from being formed in the bus bar forming area (1700B) of the rear field unit (170), and to prevent the semiconductor substrate (110) from being deteriorated.

<126> In addition, the content of glass frit per unit volume comprised in the plurality of second finger electrodes (151) may be the same as the content of glass frit per unit volume comprised in the first electrode (140).

<127> This means that the first electrode (140) may also be formed by applying the first electrode paste and then penetrating the antireflection film (130) and connecting to the emitter unit (120). By making the content of glass frit per unit volume comprised in the second finger paste the same as that of the first electrode (140), the speed at which the first electrode paste penetrates the antireflection film (130) and is incorporated into the emitter unit (120) in the same heat treatment process and the speed at which the second finger paste penetrates the rear protective film (190) and is incorporated into the rear junction unit (170) can be made approximately the same.

<128> Therefore, while the temperature of the heat treatment process for forming the first electrode (140) and the second electrode (150) is made the same, the speed of the second finger electrode (151) can be limited.

<129> In addition, the content of the metal material per unit volume comprised in the plurality of second finger electrodes (151) can be greater than the content of the metal material per unit volume comprised in the plurality of second bus bars (153).

<130> As a more specific example, the content of the metal material per unit volume comprised in the plurality of second finger electrodes (151) can be 80 wt% or more and 95 wt% or less, and the content of the metal material per unit volume comprised in the plurality of second bus bars (153) can be 60 wt% or more and 80 wt% or less.

<131> In this way, the content of the metal material per unit volume comprised in the second finger electrode (151) is set to 80 wt% or more and 95 wt% or less, so that the metal crystal (MC) is sufficiently formed as described in FIG. 3 above, while the second finger paste penetrates the

rear protective film (190) and is embedded into the rear electric field unit (170), and the resistance of the relatively narrow second finger electrode (151) is sufficiently reduced.

<132> In addition, the content of the metal material per unit volume comprised in the second bus bar (153) is set to be 60 wt% or more and 80 wt% or less, so that even if some of the second bus bar paste penetrates the rear protective film (190) and is connected to the rear field area (170), metal crystals (MC) are not formed in the bus bar forming area (1700B) of the rear field area (170) by the metal material comprised in the second bus bar paste, or even if the metal crystals (MC) are formed, as described in the previous FIG. 4, the metal crystals (MC) are prevented from being formed by being connected to the semiconductor substrate (110) even if they are formed inside the tunnel layer (160).

<133> In addition, the content of the metal material per unit volume comprised in the plurality of second finger electrodes (151) may be the same as the content of the metal material per unit volume comprised in the first electrode (140).

<134> By forming the second finger electrodes (151) and the second bus bar (153) having different materials in this way, the deterioration of the semiconductor substrate (110) can be prevented, and the efficiency of the solar cell can be prevented from decreasing.

<135> As described above, the deterioration of the semiconductor substrate (110) may occur during the heat treatment process for forming the second electrode (150), and if the temperature of the heat treatment process is too low, the contact resistance of the second electrode (150) may be excessively high, which may prevent the efficiency of the solar cell.

<136> Here, the deterioration of the semiconductor substrate (110) can be confirmed in the following FIGS. 7 and 8.

<137> FIG. 7 is a comparative example photograph taken by PL (photo luminescence) of the deterioration degree of the semiconductor substrate (110) according to the sintering temperature during the heat treatment process when the material of the second busbar paste (153P) is the same as the material of the second finger paste, and FIG. 8 is a photograph taken by PL (photo luminescence) of the deterioration degree of the semiconductor substrate (110) according to the sintering temperature during the heat treatment process when the material of the second busbar paste (153P) and the material of the second finger paste are different according to the second embodiment of the present invention.

<138> The PL image showing the open circuit voltage (Voc) of semiconductor substrate (110) shows deterioration due to penetration of metal crystal (MC) into semiconductor substrate (110) depending on heat treatment process temperature.

<139> The PL image shows that as the area of semiconductor substrate (110) becomes darker, the open circuit voltage decreases, which means that the deterioration of semiconductor substrate (110) is severe, and as it becomes brighter, the open circuit voltage is sufficiently high, which means that the deterioration of semiconductor substrate (110) is small or almost non-existent.

<140> More specifically, if the shaded area increases as the heat treatment process temperature increases in the PL image, it means that the metal crystal (MC) penetrates into the tunnel layer (160) or the semiconductor substrate (110), thereby decreasing the open-circuit voltage and aggravating the deterioration of the semiconductor substrate (110). If the shaded area does not increase as the heat treatment process temperature increases, it means that the metal crystal (MC) does not penetrate into the tunnel layer (160) or the semiconductor substrate (110), thus maintaining the open-circuit voltage in a sufficiently high state, resulting in little or no deterioration of the semiconductor substrate (110).

<141> In FIGS. 7 and 8, only the image of the second bus bar (153) with a relatively large width is shown, and the image of the second finger electrode (151) does not appear to be too small in width, but in reality, a plurality of second finger electrodes (151) are formed by crossing each second bus bar (153).

<142> In FIG. 7, the second bus bar paste (153P) of the same material as the second finger paste is used, and in FIG. 8, the second bus bar paste (153P) of a different material from the second finger paste is used, as described in FIG. 6 above.

<143> In FIG. 7, since the second bus bar (153) and the second pin electrode (151) are made of the same material, the second bus bar paste (153P) is also formed by penetrating the rear protective film (190) and being embedded in the rear field unit (170), and a metal crystal (MC) can be formed within the bus bar forming area (1700B) of the rear field unit (170).

<144> Therefore, when the temperature of the heat treatment process for forming the second electrode (150) is relatively low, such as 820°C or 795°C as in (c) and (d) of FIG. 7, metal crystals (MC) are hardly formed in the rear field region (170) and deterioration of the semiconductor substrate (110) hardly occurs, but in this case, the contact resistance of the second finger electrode (151) may be formed relatively high, which may reduce the efficiency of the solar cell.

<145> However, when the heat treatment process for forming the second electrode (150) is relatively high, such as 870°C: or 845°C: as shown in (a) and (b) of FIG. 7, the shaded area on the semiconductor substrate (110) increases and is relatively deepened, so that the metal crystal (MC)

of the rear field region (170) formed by the second busbar paste (153P) is penetrated into the tunnel layer (160) or the semiconductor substrate (110), and the deterioration of the semiconductor substrate (110) is aggravated.

<146> However, as explained in the previous FIG. 6, according to the second embodiment of the present invention, when the materials of the second finger electrode (151) and the second bus bar (153) are different from each other, it can be confirmed that the shaded area of the semiconductor substrate (110) hardly increases even in the cases of FIG. 8 (c) and (d) where the thermal reduction process temperature is relatively low, as well as in FIG. 8 (a) and (b) where the thermal reduction process temperature is relatively high.

<147> This is because, by making the materials of the second finger electrode (151) and the second bus bar (153) different from each other, the second bus bar (153) does not penetrate the rear protective film (190) and connect to the rear field unit (170), or even if connected, the metal crystal (MC) of the rear field unit (170) formed by the second bus bar (153) does not penetrate into the tunnel layer (160) or the semiconductor substrate (110).

<148> In this way, the solar cell according to the second embodiment of the present invention can prevent deterioration of the semiconductor substrate (110) and further improve the efficiency of the solar cell by making the materials of the second finger electrode (151) and the second bus bar (153) different from each other, thereby maintaining the open circuit voltage (Voc) of the solar cell to be sufficiently high.

<149> Although the embodiments of the present invention have been described in detail above, the scope of the rights of the present invention is not limited thereto, and various modifications and improvements made by those skilled in the art using the basic concept of the present invention defined in the following claims are also comprised in the scope of the rights of the present invention.

[Claims]

[Claim 1]

A solar cell, comprising:

a semiconductor substrate containing an impurity of a first conductive type,

an emitter unit positioned on the front surface of a semiconductor substrate and containing an impurity of a second conductive type opposite to the first conductive type,

a tunnel layer positioned on the rear surface of the semiconductor substrate and comprising a dielectric material,

a rear field unit positioned on the rear surface of the tunnel layer and comprising a polycrystalline silicon material doped with an impurity of the first conductive type at a higher concentration than the semiconductor substrate,

a rear protective film positioned on the rear surface of the rear field unit and made of a dielectric material,

a first electrode connected to the emitter unit, and

a second electrode connected to the rear field unit;

wherein at least a part of the second electrode is embedded into the rear field unit.

[Claim 2]

The solar cell according to claim 1,

wherein the first interface where the rear field unit and the second electrode contact each other is positioned closer to the semiconductor substrate than the second interface where the rear field unit and the rear passivation layer contact each other.

[Claim 3]

The solar cell according to claim 1,

further comprising a plurality of metal crystals in the electrode formation region where the second electrode is formed within the rear field unit.

[Claim 4]

The solar cell according to claim 3,

wherein the metal crystal is not positioned in a non-formed region in which the second electrode is not formed within the rear field unit.

[Claim 5]

The solar cell according to claim 3,

wherein the metal crystal is not positioned within the tunnel layer.

[Claim 6]

The solar cell according to claim 3,

wherein the plurality of metal crystals comprise the same metal material as the metal material comprised in the second electrode.

[Claim 7]

The solar cell according to claim 3,

wherein some of the above plurality of metal crystals are in direct contact with the second electrode.

[Claim 8]

The solar cell according to claim 3,

wherein at least one of the plurality of metal crystals is spaced apart from the second electrode.

[Claim 9]

The solar cell according to claim 3,

wherein the plurality of metal crystals have a length from the second electrode in the direction of the tunnel layer of 2/3 or less of the thickness of the rear field unit.

[Claim 10]

The solar cell according to claim 3,

wherein some of the above plurality of metal crystals have a width that decreases as they proceed from the second electrode toward the tunnel layer.

[Claim 11]

The solar cell according to claim 1,

wherein the second electrode comprises a plurality of second finger electrodes formed longwise in a first direction when viewed from the rear of the rear field unit; and a second bus bar formed longwise in a second direction intersecting the first direction, and to which the plurality of second finger electrodes are commonly connected.

[Claim 12]

The solar cell according to claim 11,

wherein the plurality of second finger electrodes are embedded into the rear field unit by penetrating the rear protective film and are formed, and the plurality of second bus bars are formed on the rear surface of the rear protective film.

[Claim 13]

The solar cell according to claim 11,

wherein in the first boundary surface of the rear field unit, the rear field unit and the second finger electrodes are in contact with each other, and among the electrode formation regions of the rear field unit, a finger formation region in which the second finger electrodes are formed further comprises a plurality of metal crystals.

[Claim 14]

The solar cell according to claim 11,

wherein among the electrode forming regions of the rear field unit, no plurality of metal crystals are positioned in the bus-bar forming region where the second bus-bar is formed.

[Claim 15]

The solar cell according to claim 11,

wherein the material comprised in the plurality of second finger electrodes and the material comprised in the plurality of second bus bars are different from each other.

[Claim 16]

The solar cell according to claim 11,

wherein the content of the glass frit per unit volume comprised in the plurality of second bus bars is smaller than the content of the glass frit per unit volume comprised in the plurality of second finger electrodes.

[Claim 17]

The solar cell according to claim 16,

wherein the content of the glass frit per unit volume comprised in the plurality of second finger electrodes is the same as the content of the glass frit per unit volume comprised in the first electrode.

[Claim 18]

The solar cell according to claim 11,

wherein the content of the metal material per unit volume comprised in the plurality of second finger electrodes is greater than the content of the metal material per unit volume comprised in the plurality of second bus bars.

[Claim 19]

The solar cell according to claim 18,

wherein the content of the metal material per unit volume comprised in the plurality of second finger electrodes is 80 wt% or more and 95 wt% or less, and

the content of the metal material per unit volume comprised in the plurality of second bus bars is 60 wt% or more and 80 wt% or less.

[Claim 20]

The solar cell according to claim 18,

wherein the content of the metal material per unit volume comprised in the plurality of second finger electrodes is the same as the content of the metal material per unit volume comprised in the first electrode.

[Abstract]

[Abstract]

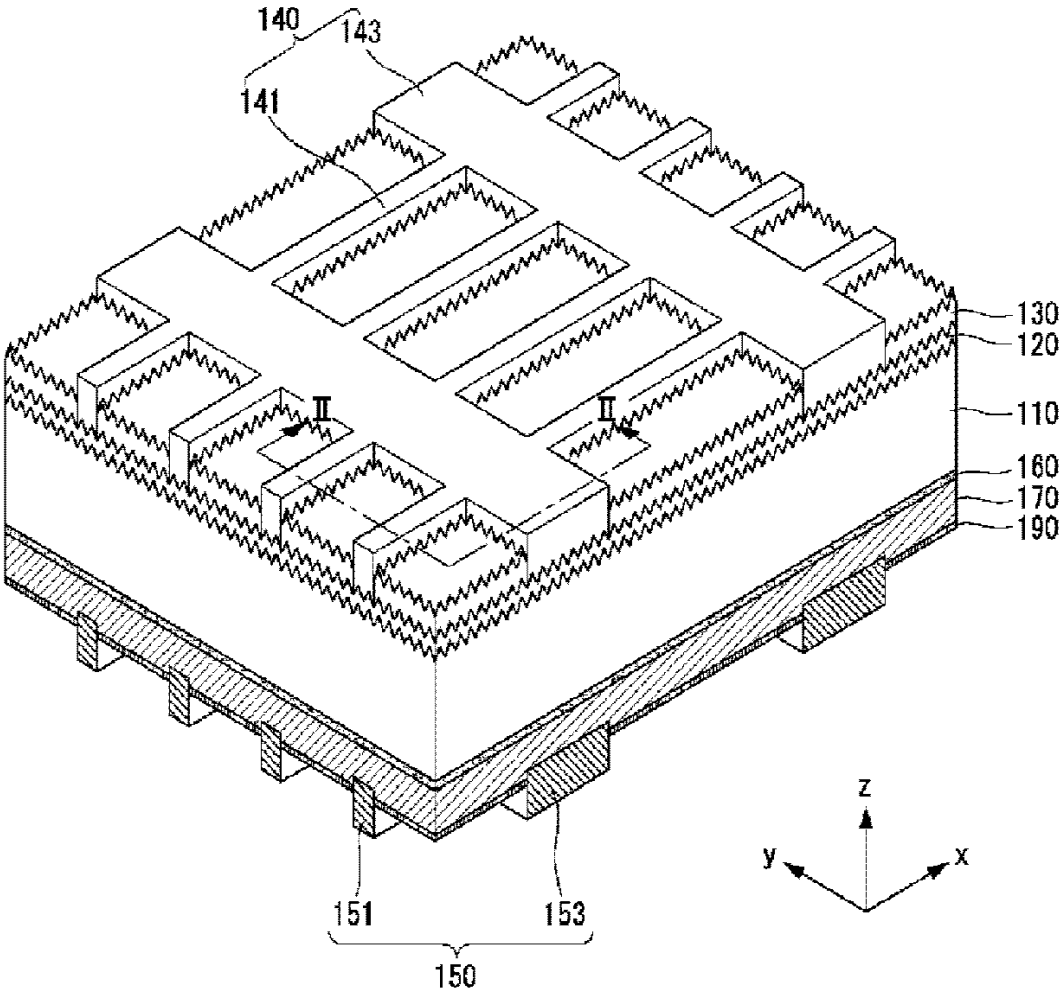
The present invention relates to a solar cell. The solar cell according to one embodiment of the present invention comprises: a semiconductor substrate containing an impurity of a first conductive type, an emitter unit positioned on the front surface of a semiconductor substrate and containing an impurity of a second conductive type opposite to the first conductive type, a tunnel layer positioned on the rear surface of the semiconductor substrate and comprising a dielectric material, a rear field unit positioned on the rear surface of the tunnel layer and comprising a polycrystalline silicon material doped with an impurity of the first conductive type at a higher concentration than the semiconductor substrate, a rear protective film positioned on the rear surface of the rear field unit and made of a dielectric material, a first electrode connected to the emitter unit, and a second electrode connected to the rear field unit; wherein at least a part of the second electrode is embedded into the rear field unit.

[Representative Drawing]

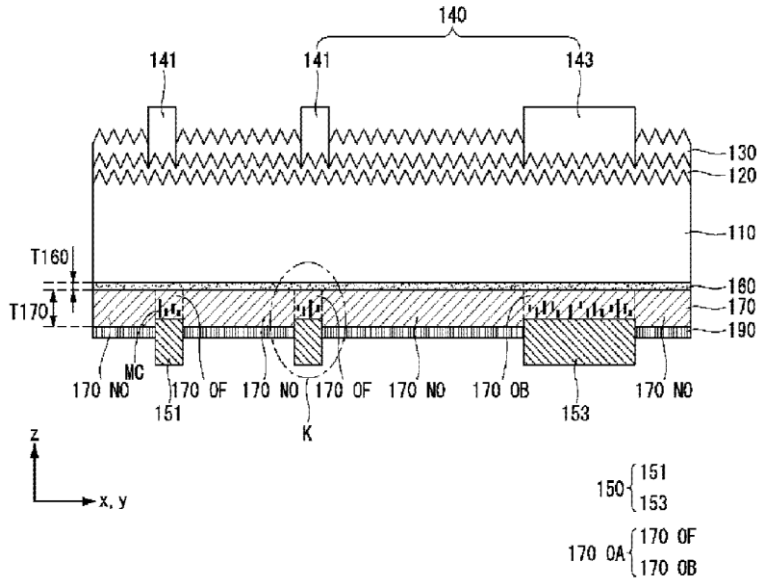
FIG. 1

[Drawings]

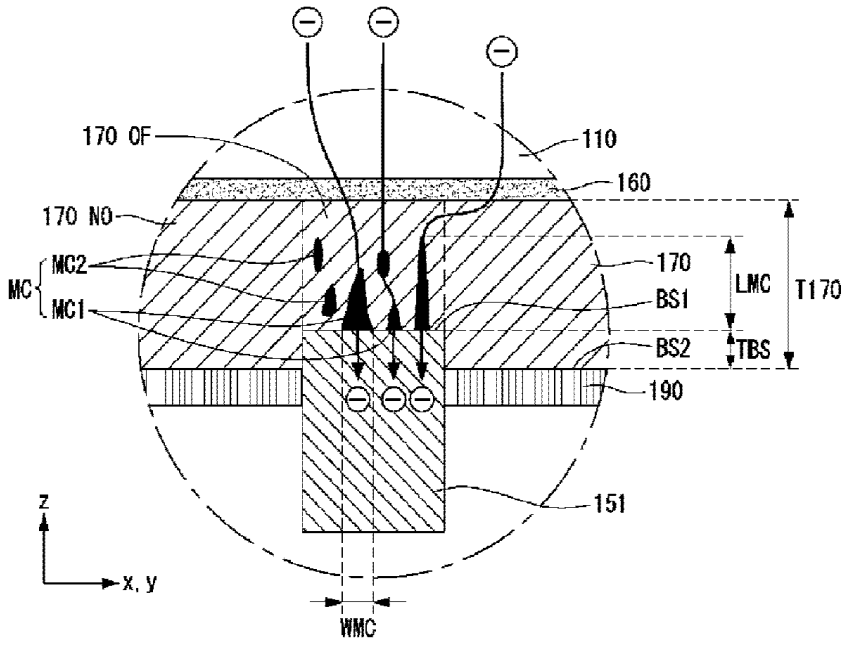
[FIG. 1]



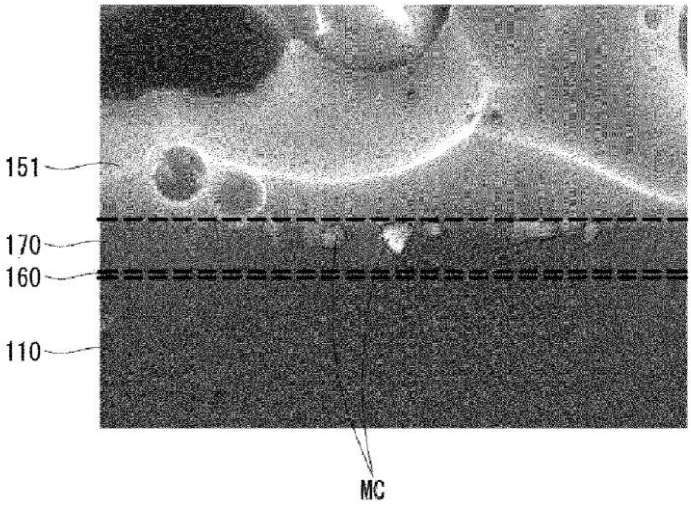
[FIG. 2]


140
141
141
143
130
120
110
T160
160
T170
170
190
MC
170 NO
170 OF
170 NO
170 OF
170 NO
170 OB
170 NO
151
K
153
z
x, y
150
151
153
170 OA
170 OF
170 OB

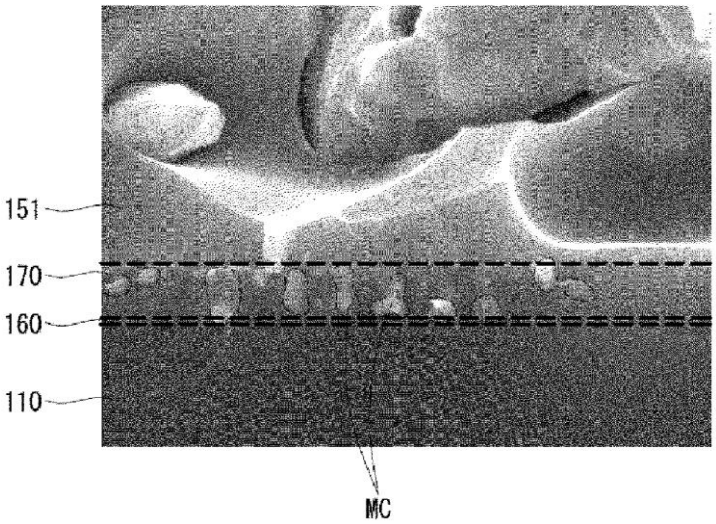
[FIG. 3]


170 OF
110
160
170 NO
MC
MC2
MC1
170
BS1
LMC
T170
BS2
TBS
190
151
z
x, y
WMC

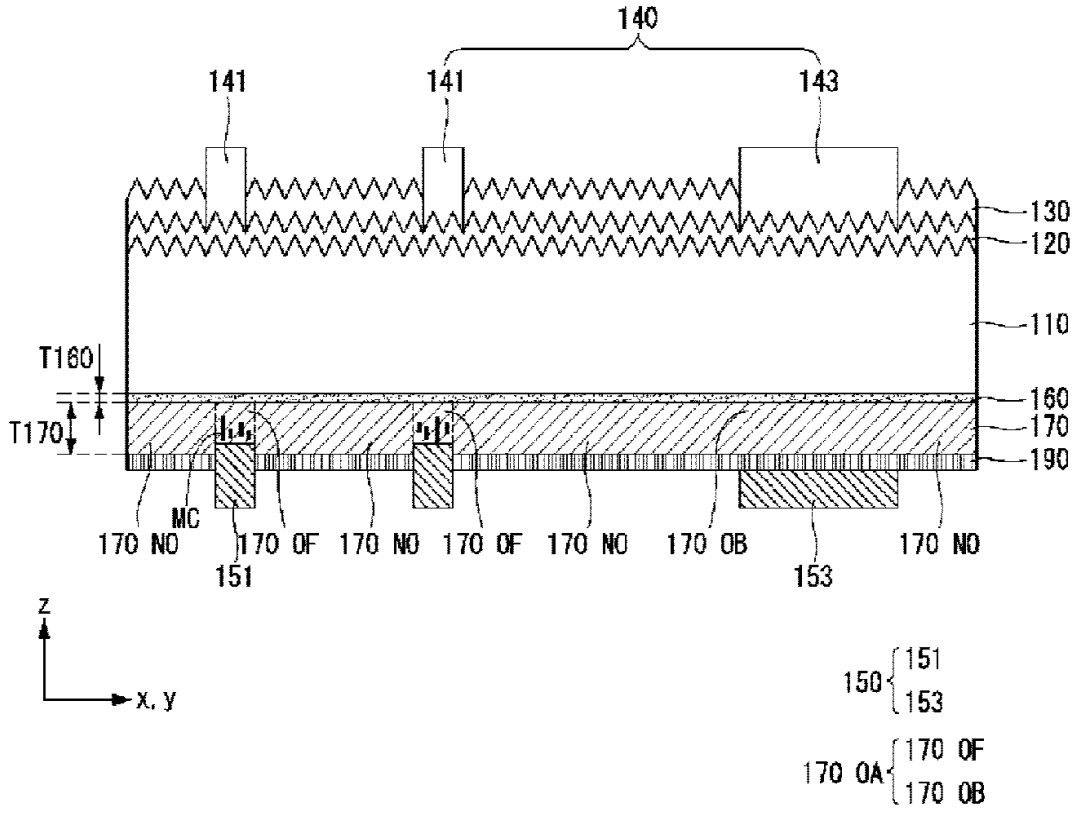
[FIG. 4]



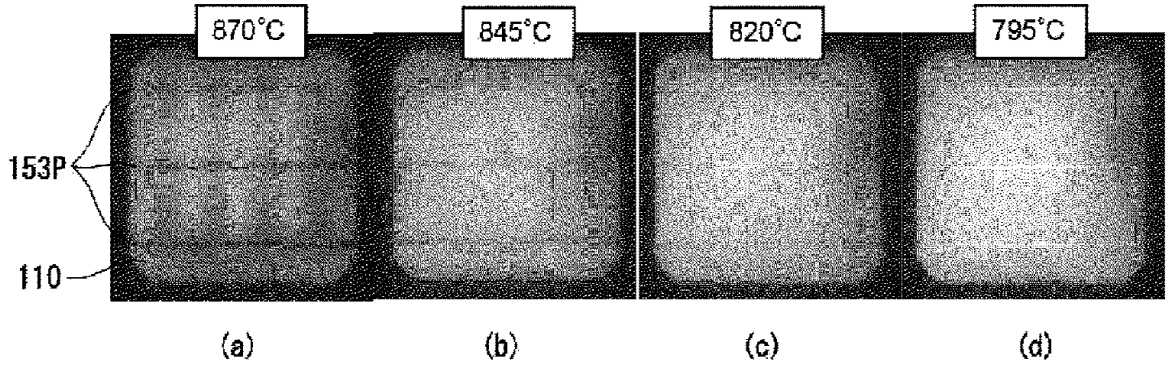
[FIG. 5]



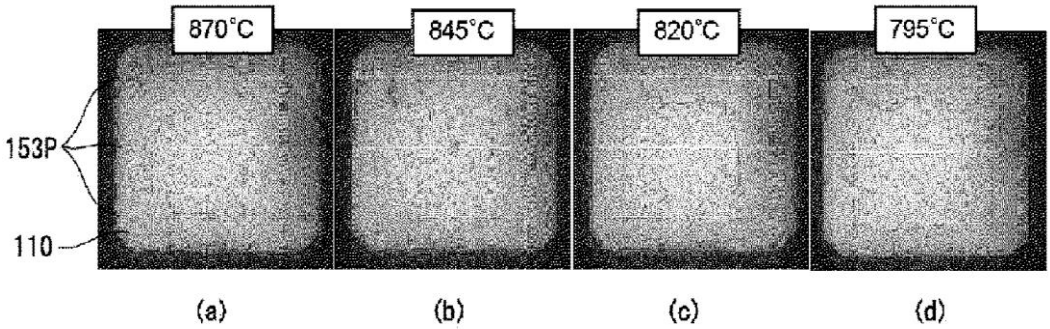
[FIG. 6]


140
141
141
143
130
120
110
T160
T170
160
170
190
MC
170 NO
151
170 OF
170 NO
170 OF
170 NO
170 OB
153
170 NO
z
x, y
150
151
153
170 OA
170 OF
170 OB

[FIG. 7]


870°C
845°C
820°C
795°C
153P
110
(a)
(b)
(c)
(d)

[FIG. 8]



Certification of Accuracy of Translation

Sun IP Project # 24-4843

Korean to English translation of KR 10-2014-0168624

I, Carl T. Sullivan, hereby certify that the attached English translation is, to the best of my knowledge, a true and accurate translation of "KR 10-2014-0168624." The translated text reflects the content, meaning and style of the original text and constitutes a true and accurate translation of the original document.

September 17, 2024

Carl T. Sullivan

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

출 원 번 호 : 10-2014-0168624
Application Number

출 원 년 월 일 : 2014년 11월 28일
Filing Date NOV. 28, 2014

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2016년 02월 16일

특 허 청
COMMISSIONER

제출 일자 : 2014-11-28

【서지사항】

【서류명】 특허출원서

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【출원인코드】 1-2002-012840-3

【대리인】

【명칭】 특허법인로얄

【대리인코드】 9-2007-100122-0

【포괄위임등록번호】 2007-071744-8

【발명의 국문명칭】 태양 전지

【발명의 영문명칭】 SOLAR CELL

【발명자】

【성명】 하정민

【성명의 영문표기】 Jungmin Ha

【주민등록번호】 771109-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김성진

【성명의 영문표기】 Sungjin Kim

【주민등록번호】 780913-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

제출 일자 : 2014-11-28

【발명자】

【성명】 최형욱

【성명의 영문표기】 Hyungwook Choi

【주민등록번호】 811017-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 153-802

【주소】 서울특별시 금천구 가산디지털1로 51

【국적】 KR

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 특허법인로얄 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000	원
【가산출원료】	40	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	46,000 원			

Petitioner Runergy USA Inc., Ex. 1007, p. 48

【명세서】

【발명의 명칭】

태양 전지{SOLAR CELL}

【기술분야】

<1> 본 발명은 태양 전지에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양 에너지로부터 전기 에너지를 생산하는 전지로서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없어 주목 받고 있다.

<3> 일반적인 태양 전지는 p형과 n형처럼 서로 다른 도전성 타입(conductive type)의 반도체로 이루어진 기판(substrate) 및 에미터부(emitter layer), 그리고 기판과 에미터부에 각각 연결된 전극을 구비한다. 이때, 기판과 에미터부의 계면에는 p-n 접합이 형성되어 있다.

<4> 이러한 태양 전지에 빛이 입사되면 반도체에서 복수의 전자-정공쌍이 생성되고, 생성된 전자-정공쌍은 전자와 정공으로 각각 분리되어 전자와 정공은 n형의 반도체와 p형 반도체쪽으로, 예를 들어 에미터부와 기판쪽으로 이동하고, 기판과 에미터부와 전기적으로 연결된 전극에 의해 수집되며, 이 전극들을 전선으로 연결하여 전력을 얻는다.

Petitioner Runergy USA Inc., Ex. 1007, p. 49

【발명의 내용】

【해결하려는 과제】

<5> 본 발명은 태양 전지를 제공하는데 그 목적이 있다.

【과제의 해결 수단】

<6> 본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

<7> 여기서, 후면 전계부와 제2 전극이 서로 접촉하는 제1 경계면은 후면 전계부와 후면 보호막이 서로 접촉하는 제2 경계면보다 반도체 기판 방향으로 더 인접하여 위치한다.

<8> 이때, 후면 전계부 중에서 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함할 수 있고, 이와 같은 금속 결정은 후면 전계부 중에서 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않을 수 있다.

<9> 또한, 금속 결정은 터널층 내에는 위치하지 않을 수 있다.

<10> 여기서, 복수의 금속 결정은 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다.

<11> 이와 같은 복수의 금속 결정의 중 일부는 제2 전극과 직접 접촉될 수 있고, 복수의 금속 결정의 중 적어도 하나 이상은 제2 전극과 이격될 수 있다.

<12> 아울러, 복수의 금속 결정은 제2 전극으로부터 터널층 방향으로의 길이가 후면 전계부 두께의 2/3 이하일 수 있으며, 복수의 금속 결정 중 일부는 제2 전극으로부터 터널층 방향으로 진행할수록 폭이 감소할 수 있다.

<13> 여기서, 제2 전극은 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함할 수 있다.

<14> 이때, 복수의 제2 핑거 전극은 후면 보호막을 관통하여 후면 전계부 내부로 함입되어 형성되고, 복수의 제2 버스바는 후면 보호막의 후면 위에 형성될 수 있다.

<15> 여기서, 후면 전계부의 제1 경계면에서 후면 전계부와 제2 핑거 전극은 서로 접촉하고, 후면 전계부의 전극 형성 영역 중에서 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함할 수 있다.

<16> 그리고, 후면 전계부의 전극 형성 영역 중에서 제2 버스바가 형성되는 버스바 형성 영역에는 복수의 금속 결정이 위치하지 않을 수 있다.

<17> 이를 위해, 복수의 제2 핑거 전극에 포함되는 재질과 복수의 제2 버스바에

포함되는 재질은 서로 다르게 형성될 수 있다.

<18> 구체적으로, 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작을 수 있다.

<19> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<20> 또한, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<21> 구체적으로, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<22> 이때, 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

【발명의 효과】

<23> 본 발명에 따른 태양 전지는 제2 전극의 적어도 일부가 후면 전계부 내로 함입되어 형성되도록 하여, 태양 전지의 효율을 보다 증가시킬 수 있다.

【도면의 간단한 설명】

<24> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이다.

도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

도 7은 제2 버스바 페이스트(153P)의 재질이 제2 핑거 페이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이다.

도 8은 본 발명의 제2 실시예에 따라 제2 버스바 페이스트(153P)의 재질과 제2 핑거 페이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

【발명을 실시하기 위한 구체적인 내용】

<25> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

<26> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른

부분이 없는 것을 뜻한다. 또한 어떤 부분이 다른 부분 위에 "전체적"으로 형성되어 있다고 할 때에는 다른 부분의 전체 면(또는 전면)에 형성되어 있는 것뿐만 아니라 가장 자리 일부에는 형성되지 않은 것을 뜻한다.

<27> 또한, 전면이라 함은 직사광이 입사되는 반도체 기판의 일면일 수 있으며, 후면이라 함은 직사광이 입사되지 않거나, 직사광이 아닌 반사광이 입사될 수 있는 반도체 기판의 반대면일 수 있다.

<28> 아울러, 어떠한 두 개의 값이 동일하다는 것은 오차 범위 10% 이하에서 동일하다는 것을 의미한다.

<29> 그러면 첨부한 도면을 참고로 하여 본 발명에 따른 태양 전지에 대하여 설명한다.

<30> 도 1 내지 도 4는 본 발명의 제1 실시예에 따른 태양 전지를 설명하기 위한 도이고, 도 5는 본 발명의 제1 실시예와 다른 비교예를 설명하기 위한 도이다.

<31> 보다 구체적으로, 도 1은 본 발명의 제1 실시예에 따른 태양 전지의 일부 사시도이고, 도 2는 도 1에 도시한 태양 전지를 Ⅱ-Ⅱ선을 따라 잘라 도시한 단면도이다. 아울러, 도 3은 도 2에서 K 부분을 확대한 확대도이고, 도 4는 제2 전극(150)과 후면 전계부(170)의 접촉 부분에 대한 실물 사진을 도시한 것이다.

<32> 도 1에 도시된 바와 같이, 본 발명에 따른 태양 전지의 일례는 반도체 기판(110), 에미터부(120), 반사 방지막(130), 터널층(160), 후면 전계부(170), 후면 보호막(190), 제1 전극(140) 및 제2 전극(150)을 포함한다.

<33> 도 1에서는 본 발명에 따른 태양 전지가 반사 방지막(130)을 포함하는 것을 일례로 도시하고 있으나, 본 발명은 이와 다르게 반사 방지막(130)이 생략되는 것도 가능하다. 그러나, 태양 전지의 효율을 고려했을 때, 반사 방지막(130)이 포함되는 것이 더 나은 효율이 발생하므로, 반사 방지막(130)이 포함되는 것을 일례로 설명한다.

<34> 반도체 기판(110)은 제1 도전성 타입, 예를 들어 p형 도전성 타입의 불순물을 함유하는 실리콘으로 이루어진 반도체 반도체 기판(110)이다. 일례로, 반도체 기판(110)은 단결정 실리콘 또는 다결정 실리콘으로 이루어진 반도체 웨이퍼가 사용될 수 있다.

<35> 반도체 기판(110)이 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 함유한다. 하지만, 이와는 달리, 반도체 기판(110)은 n형 도전성 타입일 수 있고, 실리콘 이외의 다른 반도체 물질로 이루어질 수도 있다. 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 반도체 기판(110)은 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 함유할 수 있다. 이하에서는 반도체 기판(110)이 n형의 도전성 타입을 가지는 경우를 일례로 설명한다.

<36> 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 표면은 텍스처링(texturing)처리되어 있는 요철면인 텍스처링 표면(texturing surface)을 가질 수 있다.

<37> 에미터부(120)는 빛이 입사되는 반도체 기판(110)의 전면에 위치하며, 반도

체 기판(110)의 도전성 타입과 반대인 제2 도전성 타입, 예를 들어, n형의 도전성 타입의 불순물을 함유하여 반도체 반도체 기판(110)과 p-n 접합을 이룬다.

<38> 이와 같은 p-n 접합에 의해 외부로부터 반도체 기판(110)에 빛이 입사되어 생성된 캐리어인 전자-정공 쌍은 전자와 정공으로 분리되어 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동한다. 따라서, 반도체 기판(110)이 p형이고 에미터부(120)가 n형일 경우, 분리된 정공은 반도체 기판(110)쪽으로 이동하고 분리된 전자는 에미터부(120)쪽으로 이동할 수 있다.

<39> 그러나, 이와 달리, 반도체 기판(110)이 n형의 도전성 타입을 가질 경우, 에미터부(120)는 p형의 도전성 타입을 가진다. 이 경우, 분리된 전자는 반도체 기판(110)쪽으로 이동하고 분리된 정공은 에미터부(120)쪽으로 이동할 수 있다.

<40> 에미터부(120)가 n형의 도전성 타입을 가질 경우, 에미터부(120)는 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있고, 반대로 p형의 도전성 타입을 가질 경우, 붕소(B), 갈륨, 인듐 등과 같은 3가 원소의 불순물을 반도체 기판(110)에 도핑하여 형성될 수 있다.

<41> 이와 같은 에미터부(120)는 반도체 기판(110)의 전면 표면에 제2 도전성 타입의 불순물이 확산되어 형성될 수 있으며, 이와 같은 경우, 에미터부(120)는 반도체 기판(110)과 동일한 실리콘 재질로 형성될 수 있다.

<42> 일례로, 반도체 기판(110)이 다결정 실리콘 재질의 웨이퍼로 형성된 경우, 에미터부(120)도 다결정 실리콘 재질로 형성될 수 있으며, 반도체 기판(110)이 단

결정 실리콘 재질의 웨이퍼로 형성되는 에미터부(120)도 단결절 실리콘 재질로 형성될 수 있다.

<43> 반사 방지막(130)은 에미터부(120) 위에 위치하며, 알루미늄 산화막(AlOx), 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 및 실리콘 산화질화막(SiOxNy) 중 적어도 하나로 형성될 수 있고, 단일막 또는 다층막으로 형성될 수 있다.

<44> 도 1 및 도 2에서는 반사 방지막(130)이 단일막으로 형성된 경우를 일례로 도시하였으나, 반드시 단일막에 한정되지는 않는다.

<45> 이와 같은 반사 방지막(130)은 태양 전지로 입사되는 빛의 반사도를 줄이고 특정한 파장 영역의 선택성을 증가시켜, 태양 전지의 효율을 높인다.

<46> 제1 전극(140)은 에미터부(120) 위에 직접 접하여 배치되며, 에미터부(120)와 전기적으로 연결되어 있다. 이와 같은 제1 전극(140)은 도 1에 도시된 바와 같이, 복수의 제1 핑거 전극(141) 및 복수의 제1 버스바(143)를 포함할 수 있다.

<47> 여기서, 복수의 제1 핑거 전극(141)은 에미터부(120) 위에 위치하여 에미터부(120)와 전기적으로 연결되어 있고, 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있다.

<48> 이와 같은 복수의 제1 핑거 전극(141)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)이 n 타입인 경우, p 타입의 에미터부(120)쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<49> 그리고, 복수의 제1 버스바(143)는 에미터부(120) 위에서 복수의 제1 핑거

전극(141)과 동일 층에 위치하고, 복수의 제1 핑거 전극(141)을 서로 전기적으로 연결시키며, 복수의 제1 핑거 전극(141)과 교차하는 제2 방향(y)으로 뻗어있을 수 있다.

<50> 이와 같은 복수의 제1 버스바(143)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 복수의 제1 핑거 전극(141)에 의해 수집되어 이동하는 캐리어를 수집하여 외부 장치로 출력한다.

<51> 복수의 제1 핑거 전극(141)과 제1 버스바(143)는 적어도 하나의 도전성 금속 물질로 이루어져 있고, 이들 도전성 금속 물질의 예는 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<52> 이와 같은 제1 전극(140)은 반도체 기판(110)의 전면에 반사 방지막(130)이 형성된 이후, 제1 전극(140)을 형성하기 위한 제1 전극 페이스트를 반사 방지막(130)의 전면 위에 패터닝하여 도포한 이후, 열처리 공정을 통하여 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)에 접속되어 소성되면서 형성될 수 있다.

<53> 이를 위해, 제1 전극(140)은 전술한 금속 물질 이외에 글래스 프릿(glass frit)을 함유할 수 있다.

<54> 터널층(160)은 반도체 기판(110)의 후면 위에 배치되며, 유전체 재질을 포함

할 수 있다.

<55> 일례로, 터널층(160)은 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)의 후면 위에 직접 접촉되어 형성될 수 있다.

<56> 아울러, 터널층(160)은 반도체 기판(110)의 후면 전체 영역 위에 형성될 수 있다.

<57> 이와 같은 터널층(160)은 반도체 기판(110)에서 생성된 캐리어를 후면 전계부(170) 방향으로 통과시키며, 반도체 기판(110)의 후면에 대한 패시베이션 기능을 수행할 수 있다. 아울러, 이와 같은 터널층(160)은 태양 전지의 개방 전압(Voc)를 상승시키는 역할을 할 수 있다.

<58> 이와 같은, 터널층(160)은 600℃ 이상의 고온 공정에도 내구성이 강한 SiCx 또는 SiOx로 형성되는 유전체 재질로 형성될 수 있다. 그러나 이 외에도 silicon nitride (SiNx), hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON로 형성되는 것도 가능하다.

<59> 또한, 터널층(160)의 두께(T160)는 0.5nm ~ 2.5nm사이로 형성될 수 있다. 이와 같은 터널층(160)은 Oxidation 공정이나 LPCVD 공정 또는 PECVD 증착 공정에 의해 형성될 수 있다.

<60> 여기서, 터널층(160)의 두께(T160)를 0.5nm ~ 2.5nm 로 한정하는 것은 터널링 효과를 구현하기 위함이고, 이와 같은 한정 범위를 0.5nm ~ 2.5nm 범위를 조금

넘어서는 경우도 가능하나, 터널링의 효과가 감소할 수 있다.

<61> 보다 구체적으로, 터널층(160)의 두께(T160)를 0.5nm 이상으로 하는 것은 실질적으로 0.5nm 미만으로 터널층(160)을 형성하는 것은 현실적으로 매우 어렵고, 터널층(160)의 두께(T160)를 2.5nm 이하로 하는 것은 2.5nm를 넘어서는 경우 터널링 효과가 거의 일어나지 않을 수 있기 때문이다.

<62> 아울러, 이와 같은 터널층(160)은 반도체 기판(110)의 후면 표면에 대한 패시베이션 기능도 일부 수행할 수 있다.

<63> 다음, 후면 전계부(170)는 반도체 기판(110)의 후면 표면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판(110)보다 고농도로 함유되며, 다결정 실리콘 재질을 포함할 수 있다.

<64> 즉, 이와 같은 후면 전계부(170)는 도 1 및 도 2에 도시된 바와 같이, 반도체 기판(110)의 후면에 형성된 터널층(160)의 후면 위에 형성되어, 반도체 기판(110)과 이격되어 형성될 수 있다.

<65> 후면 전계부(170)가 반도체 기판(110) 내에 형성되지 않고, 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)가 반도체 기판(110)의 후면 위에 형성되되, 반도체 기판(110)과 직접 접촉하지 않고 이격되어, 터널층(160)의 후면 위에 다결정 실리콘 재질로 형성된 경우, 태양 전지의 개방 전압(Voc)을 더욱 향상시킬 수 있다.

<66> 아울러, 반도체 기판(110) 내에 후면 전계부(170)를 형성하지 않고 반도체

기판(110)의 외부에 후면 전계부(170)를 형성하므로, 제조 공정상 후면 전계부(170)를 형성하는 과정에서, 반도체 기판(110)에 대한 열손상을 최소화할 수 있어, 반도체 기판(110)의 특성이 저하되는 것을 방지할 수 있다. 따라서, 도 1 및 도 2에 도시된 바와 같은 태양 전지는 효율을 더 향상시킬 수 있다.

<67> 이와 같은, 후면 전계부(170)의 두께(T170)는 50nm ~ 500nm 사이로 형성될 수 있다.

<68> 제2 전극(150)은 후면 전계부(170)의 후면 위에 배치되며, 후면 전계부(170)와 전기적으로 연결되어 있다. 이와 같은 제2 전극(150)은 도 1 및 도 2에 도시된 바와 같이, 복수의 제2 핑거 전극(151) 및 복수의 제2 버스바(153)를 포함할 수 있다.

<69> 여기서, 복수의 제2 핑거 전극(151)은 후면 전계부(170)의 후면 위에 서로 이격하여 제1 방향(x)으로 뻗어있을 수 있으며, 후면 전계부(170) 쪽으로 이동한 캐리어, 예를 들면, 정공을 수집할 수 있다.

<70> 그리고, 복수의 제2 버스바(153)는 후면 전계부(170) 위에서 복수의 제2 핑거 전극(151)과 동일 층에 위치하고, 복수의 제2 핑거 전극(151)을 서로 전기적으로 연결시키며, 복수의 제2 핑거 전극(151)과 교차하는 제2 방향(y)으로 뻗어 있을 수 있다.

<71> 이와 같은 복수의 제2 버스바(153)는 태양 전지를 서로 연결시키는 인터커넥터(미도시)와 연결되며, 제2 핑거 전극(151)에 의해 수집되어 이동하는 캐리어를

수집하여 외부 장치로 출력한다.

<72> 여기서, 제2 버스바(153)의 길이 방향은 제1 버스바(143)의 길이 방향과 동일하고, 제2 핑거 전극(151)의 길이 방향도 제1 핑거 전극(141)의 길이 방향과 동일할 수 있으며, 제2 전극(150)의 재질은 제1 전극(140)의 재질과 동일할 수 있다.

<73> 이와 같은 제2 전극(150)은 후면 전계부(170) 위에 후술할 후면 보호막(190)이 형성된 상태에서 후면 보호막(190)의 위에 제2 전극(150)을 형성하기 위한 제2 전극 페이스트를 패터닝하여 형성한 상태에서 열처리 공정을 통하여 형성될 수 있다.

<74> 여기서, 제2 핑거 전극(151)의 폭은 일례로, 150um ~ 400um 사이일 수 있으며, 제2 버스바(153)의 폭은 제2 핑거 전극(151)의 폭보다 크게 형성되되, 1mm ~ 3mm 사이의 범위에서 결정될 수 있다. 그러나, 이에 반드시 한정되는 것은 아니고, 다른 폭을 가질 수도 있다.

<75> 다음, 후면 보호막(190)은 도 1 및 도 2에 도시된 바와 같이, 후면 전계부(170)의 후면 중에서 제2 전극(150)이 형성된 영역을 제외한 전체 영역 위에 위치할 수 있다.

<76> 이와 같은 후면 보호막(190)은 유전체 재질로 형성될 수 있으며, 단층 또는 다수의 층으로 형성될 수 있고, 후면 전계부(170)의 극성을 고려하여 특정 고정 전하를 가질 수 있다.

<77> 이와 같은 후면 보호막(190)의 재질은 SiCx, SiOx, silicon nitride (SiNx),

hydrogenerated SiNx, aluminum oxide (AlOx), silicon oxynitride (SiON) 또는 hydrogenerated SiON 중 적어도 하나로 형성될 수 있다.

<78> 이와 같은 후면 보호막(190)은 후면 전계부(170)의 후면 표면을 패시베이션 하는 기능을 수행할 수 있다.

<79> 도 1 및 도 2에서, 이와 같은 구조를 갖는 본 실시예에 따른 태양 전지의 동작은 다음과 같다.

<80> 태양 전지로 빛이 조사되어 반사 방지막(130)과 에미터부(120)를 통해 반도체의 반도체 기판(110)으로 입사되면 빛 에너지에 의해 반도체의 반도체 기판(110)에서 전자-정공 쌍이 발생한다. 이때, 반사 방지막(130)에 의해 반도체 기판(110)으로 입사되는 빛의 반사 손실이 줄어들어 반도체 기판(110)으로 입사되는 빛의 양이 증가한다.

<81> 이들 전자-정공 쌍은 반도체 기판(110)과 에미터부(120)의 p-n접합에 의해 서로 분리되어 정공과 전자는, 예를 들어, p형의 도전성 타입을 갖는 에미터부(120)와 n형의 도전성 타입을 갖는 반도체 기판(110)쪽으로 각각 이동한다. 이처럼, 에미터부(120)쪽으로 이동한 정공은 제1 핑거 전극(141)에 의해 수집되어 제1 버스바(143)로 전달되고, 반도체 기판(110)의 후면 쪽에 위치한 후면 전계부(170)로 이동한 전자는 제2 핑거 전극(151)에 의해 수집되어 제2 버스바(153)로 전달될 수 있다.

<82> 아울러, 서로 인접한 태양 전지 각각의 제1, 2 버스바(143, 153)를 서로 인

터커넥터(미도시)로 연결하면 전류가 흐르게 되고, 이를 외부에서 전력으로 이용할 수 있게 된다.

<83> 한편, 본 발명에 따른 태양 전지는 도 1 내지 도 3에 도시된 바와 같이, 제2 전극(150)의 적어도 일부는 후면 전계부(170) 내부로 함입되어 형성될 수 있다. 구체적 일례로, 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어 형성될 수 있다.

<84> 다시 말하면, 후면 전계부(170)와 제2 전극(150)이 서로 접촉하는 제1 경계면(BS1)이 후면 전계부(170)와 후면 보호막(190)이 서로 접촉하는 제2 경계면(BS2)보다 반도체 기판(110) 방향으로 더 인접하여 형성되어 위치할 수 있다.

<85> 도 3에서는 제2 핑거 전극(151)을 일례로 도시하였지만, 제2 버스바(153)도 제2 핑거 전극(151)과 마찬가지로 후면 전계부(170) 내부로 함입된 동일한 구조를 가질 수 있다.

<86> 이와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되는 형상은 제2 전극(150)을 형성하기 위한 제2 전극 페이스트를 후면 보호막(190)의 후면에 패터닝하여 형성한 상태에서 열처리 공정을 통하여 제2 전극 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 침투하면서 접속될 때 나타날 수 있는 형상이다.

<87> 이와 같이, 제2 전극 페이스트를 이용하여 제2 전극(150)을 형성하면, 도금법에 비하여 상대적으로 비용이 저렴하고 공정 시간을 단축할 수 있는 장점이

있다.

<88> 여기서, 제1 경계면(BS1)과 제2 경계면(BS2)의 높이 차이는 1nm ~ 20nm 사이로 형성될 수 있으며, 이와 같은 제1, 2 경계면(BS1, BS2)의 높이 차이(TBS)는 제2 전극(150)을 형성하기 위한 열처리 공정의 시간 및 제2 전극 페이스트에 포함되는 글래스 프릿(glass frit)의 함유량에 따라 달라질 수 있다.

<89> 도 1 내지 도 3에서는 제2 전극(150)을 형성하는 복수의 제2 버스바(153)와 복수의 제2 핑거 전극(151) 모두가 후면 전계부(170) 내부로 함입된 경우를 일례로 도시하였지만, 반드시 이에 한정되는 것은 아니고, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되어 형성될 수도 있다. 이와 같이, 복수의 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입된 구성에 대해서는 도 6 이하에서 보다 구체적으로 설명한다.

<90> 따라서, 본 발명에 따른 태양 전지는 도 3에 도시된 바와 같이, 제2 전극(150)이 후면 전계부(170) 내부로 함입되어, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 전극(150)은 서로 접촉할 수 있다.

<91> 이때, 도 2에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(1700A)에는 복수의 금속 결정(MC)을 더 포함할 수 있다.

<92> 일례로, 도 3에 도시된 바와 같이, 후면 전계부(170) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(1700F)에는 복수의 금속 결정(MC)을 더 포함할 수 있다. 도 3에서는 후면 전계부(170)의 전극 형성 영역(1700A) 중에서 전극 핑거

형성 영역(1700F)만 도시하였으나, 버스바 형성 영역(1700B)에도 동일하게 복수의 금속 결정(MC)을 더 포함할 수 있다.

<93> 참고로, 도 2를 참조하면, 후면 전계부(170) 중에서, 제2 핑거 전극(151)과 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 핑거 형성 영역(1700F)이라 하고, 제2 버스바(153)와 터널층(160) 사이의 공간에 위치하는 후면 전계부(170)의 영역은 버스바 형성 영역(1700B)이라 하고, 후면 전계부(170) 중에서 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 제외한 나머지 영역을 비형성 영역(170NO)이라 한다. 아울러, 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B)을 통칭하여 전극 형성 영역(1700A)이라 한다.

<94> 이와 같은 복수의 금속 결정(MC)은 다결정 실리콘으로 형성되는 후면 전계부(170)와 비교하여 상대적으로 저항이 낮아, 도 3에 도시된 바와 같이, 반도체 기판(110)으로부터 터널층(160)을 통과하여 후면 전계부(170)로 이동한 캐리어, 예를 들어 전자들이 금속 결정(MC)을 통하여 제2 전극(150)으로 직접 이동하거나, 금속 결정(MC)과 금속 결정(MC) 사이를 점프하여 제2 전극(150)으로 이동할 수 있다. 따라서, 이와 같은 복수의 금속 결정(MC)들은 캐리어가 제2 전극(150)으로 보다 용이하게 이동할 수 있도록 도와주는 역할을 할 수 있다.

<95> 따라서, 이와 같은 금속 결정(MC)은 낮은 저항으로 인하여, 반도체 기판(110)과 제2 전극(150) 사이의 실질적인 거리를 보다 좁혀줄 수 있다.

<96> 또한, 금속 결정(MC)은 제2 전극(150)이 후면 전계부(170)에 접속될 때, 제2 전극(150)과 후면 전계부(170)의 경계인 제1 경계면(BS1)을 중심으로 반도체 기판

(110) 방향으로 형성되기 때문에, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항을 보다 낮출 수 있다.

<97> 따라서, 도 3에 도시된 본 발명과 같이, 제2 전극(150)과 터널층(160) 사이의 후면 전계부(170) 내부에 복수의 금속 결정(MC)을 더 포함하는 경우, 태양 전지의 효율이 보다 향상될 수 있다.

<98> 이와 같은 금속 결정(MC)은 후면 전계부(170) 중에서 제2 전극(150)이 형성되는 전극 형성 영역(170OA)에 위치하고, 후면 전계부(170) 중에서 제2 전극(150)이 형성되지 않는 비형성 영역(170NO)에는 금속 결정(MC)이 위치하지 않을 수 있다.

<99> 이와 같이, 금속 결정(MC)이 후면 전계부(170) 중에서 전극 형성 영역(170OA)에만 위치하고, 비형성 영역(170NO)에는 위치하지 않는 것은 이와 같은 복수의 금속 결정(MC)이 제2 전극(150)을 형성하기 위한 열처리 공정 중에서 제2 전극(150)으로부터 빠져나온 금속이 재결정화되어 형성되기 때문이다.

<100> 일례로, 복수의 제2 전극(150)은 적어도 하나의 도전성 금속 물질을 포함하여 형성될 수 있다. 여기서, 복수의 제2 전극(150)에 포함되는 도전성 금속 물질은 일례로, 니켈(Ni), 구리(Cu), 은(Ag), 알루미늄(Al), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나일 수 있지만, 이외의 다른 도전성 금속 물질로 이루어질 수 있다.

<101> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)을 형성하기 위한 열처리 공

정 중에 전술한 제2 전극(150)에 포함된 금속 물질이 빠져나와 재결정화되면서 형성될 수 있어, 제2 전극(150)에 포함된 금속 물질과 동일한 금속 물질을 포함할 수 있다. 따라서, 일례로, 제2 전극(150)이 은(Ag)을 포함하는 경우, 금속 결정(MC)도 은(Ag)을 포함할 수 있다.

<102> 또한, 도 3 및 도 4에 도시된 바와 같이, 금속 결정(MC)은 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않을 수 있다.

<103> 즉, 도 5에 도시된 비교예와 같이, 이와 같은 금속 결정(MC)이 터널층(160) 내에 위치하는 경우 터널층(160)의 기능이 저하될 수 있고, 금속 결정(MC)이 터널층(160)을 관통하여 반도체 기판(110)의 후면 내부로 침투되는 경우, 반도체 기판(110) ? 터널층(160) - 후면 전계부(170)로 형성된 구조에 의해 나타나는 개방 전압(Voc) 특성이 저하되어, 반도체 기판(110)이 열화될 수 있다.

<104> 이와 같이, 반도체 기판(110)이 열화되는 경우, 반도체 기판(110)의 특성, 일례로 캐리어 라이프 타임(carrier life time)과 같은 특성이 저하될 수 있다.

<105> 그러나, 본 발명과 같이 금속 결정(MC)이 후면 전계부(170) 내에는 위치하지만, 터널층(160) 내에는 위치하지 않는 경우, 이와 같은 특성 저하를 방지할 수 있다.

<106> 이와 같은 복수의 금속 결정(MC)의 중 일부(MC1)는 도 3에 도시된 바와 같이, 제2 전극(150)과 직접 접촉될 수 있고, 아울러, 복수의 금속 결정(MC)의 중 적어도 하나(MC2) 이상은 제2 전극(150)과 이격되어 후면 전계부(170) 내에 위치할

수 있다.

<107> 여기서, 복수의 금속 결정(MC)은 제2 전극(150)으로부터 터널층(160) 방향으로의 길이(LMC)가 후면 전계부(170) 두께의 2/3 이하일 수 있다. 이와 같이, 금속 결정(MC)의 길이(LMC)를 후면 전계부(170) 두께의 2/3 이하로 한정하는 것은 금속 결정(MC)의 길이(LMC)가 과도하게 길게 되어, 전술한 바와 같이, 터널층(160)이나 반도체 기판(110)을 손상시키지 않도록 하기 위함이다.

<108> 복수의 금속 결정(MC) 중 일부는 제2 전극(150)으로부터 터널층(160) 방향으로 진행할수록 폭(WMC)이 감소할 수 있다. 즉, 도 3이나 도 4에 도시된 바와 같이, 금속 결정(MC)에서 제2 전극(150) 쪽에 인접한 부분의 면 방향(x, y) 폭(WMC)은 반도체 기판(110) 쪽에 인접한 부분의 폭보다 작을 수 있다.

<109> 이와 같은 금속 결정(MC)의 크기는 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도에 비례하여 크기가 결정될 수 있다.

<110> 즉, 금속 결정(MC)의 길이나 폭은 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 높을수록 커지고, 낮을수록 작아지는 특성이 있으며, 금속 결정(MC)의 소스인 제2 전극(150)의 폭이 증가할수록 금속 결정(MC)의 길이나 폭이 증가할 수 있다.

<111> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정의 소성 온도가 과도하게 낮은 경우, 제2 전극(150)과 후면 전계부(170) 사이의 접촉 저항이 증가할 수 있다.

<112> 따라서, 본 발명의 제1 실시예에서는 제2 전극(150)을 형성하는 제2 핑거 전극(151)과 제2 버스바(153) 모두가 후면 전계부(170) 내부로 함입되어, 후면 전계부(170) 중에 핑거 형성 영역(1700F)과 버스바 형성 영역(1700B) 모두에 금속 결정(MC)이 형성되는 경우를 일례로 설명하였으나, 효율을 보다 향상시키기 위해, 제2 핑거 전극(151)만 후면 전계부(170) 내부로 함입되고, 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성될 수도 있다. 이에 대해 보다 구체적으로 이하의 도 6 내지 도 8을 참조하여 설명한다.

<113> 도 6은 본 발명의 제2 실시예에 따른 태양 전지를 설명하기 위한 도이다.

<114> 도 6에 대한 설명에서는 앞선 제1 실시예에서 설명한 내용과 중복되는 부분에 대한 설명은 생략하고, 제1 실시예와 다른 부분을 위주로 설명한다.

<115> 도 6에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 전극(150)의 적어도 일부가 후면 전계부(170) 내부로 함입되게 하되, 제2 전극(150) 중 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 관통하여 후면 전계부(170) 내부로 함입되어 형성되도록 형성할 수 있다.

<116> 이때에는, 금속 결정(MC)이 후면 전계부(170)의 핑거 형성 영역(1700F)에만 형성되고, 복수의 제2 버스바(153)는 후면 전계부(170) 내부로 함입되지 않고, 후면 보호막(190)의 후면 위에 형성될 수 있다.

<117> 따라서, 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않을 수 있다.

<118> 이와 같이, 제2 전극(150) 중에서 복수의 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내로 함입되도록 하여 후면 전계부(170) 중에서 핑거 형성 영역(1700F)에만 금속 결정(MC)이 형성되도록 하고, 제2 버스바(153)는 후면 보호막(190) 위에 형성되도록 하여 후면 전계부(170) 중에서 버스바 형성 영역(1700B)에는 금속 결정(MC)이 형성되지 않도록 하는 것은 앞선 도 3 내지 도 5에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하지 않도록 하거나 터널층(160)을 뚫고 반도체 기판(110) 내에 접속되지 않도록 하기 위함이다.

<119> 보다 구체적으로 설명하면, 제2 버스바(153)의 경우, 앞선 도 1 및 도 2에서 설명한 바와 같이, 폭이 제2 핑거 전극(151)에 비하여 상대적으로 크기 때문에, 열처리 공정시 상대적으로 큰 길이나 폭을 갖는 금속 결정(MC)이 후면 전계부(170)에 형성되어, 도 5에 도시된 바와 같이, 금속 결정(MC)이 터널층(160) 내에 위치하거나 반도체 기판(110)과 접속될 수 있는데, 이를 사전에 차단하기 위함이다.

<120> 따라서, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153) 중에서 제2 핑거 전극(151)만 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되어 형성된 구조를 가지고 있으므로, 후면 전계부(170)의 제1 경계면(BS1)에서 후면 전계부(170)와 제2 핑거 전극(151)만 서로 접촉하고, 후면 전계부(170)의 전극 형성 영역(1700A) 중에서 제2 핑거 전극(151)이 형성되는 핑거 형성 영역(1700F)에만 복수의 금속 결정(MC)을 포함할 수 있고, 제2 버스바(153)와 중첩되는 후면 전계부(170)의 버스바 형성 영역(1700B)에는 복수의 금속 결정(MC)이 위치하지 않을 수 있다.

<121> 이를 위해, 본 발명은 복수의 제2 핑거 전극(151)에 포함되는 재질과 복수의 제2 버스바(153)에 포함되는 재질을 서로 다르게 할 수 있다.

<122> 보다 구체적으로, 제2 핑거 전극(151)이 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되도록 하고, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170) 내부로 함입되는 것을 방지하거나 최소화하기 위하여, 복수의 제2 버스바(153)에 포함되는 단위 부피당 글래스 프릿의 함유량은 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작거나 없을 수 있다.

<123> 즉, 제2 버스바(153)를 형성하기 위한 제2 버스바 페이스트의 단위 부피당 글래스 프릿의 함유량을 제2 핑거 전극(151)을 형성하기 위한 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량보다 작게 하거나 글래스 프릿이 포함되지 않도록 할 수 있다.

<124> 이와 같이 하는 이유는, 제2 전극(150)을 형성하기 위한 열처리 공정에서, 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 동안 제2 버스바 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도 후면 전계부(170) 내부로 거의 함입되지 못하게 하거나, 아예 후면 보호막(190)을 뚫지 못하게 하기 위함이다.

<125> 이와 같이 함으로써, 후면 전계부(170)의 버스바 형성 영역(1700B)에 금속 결정(MC)이 형성되지 않도록 할 수 있고, 반도체 기판(110)이 열화되는 것을 방지할 수 있다.

<126> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 글래스 프릿의 함유량은 제1 전극(140)에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일할 수 있다.

<127> 이는, 제1 전극(140)도 제1 전극 페이스트를 도포한 후, 반사 방지막(130)을 뚫고 에미터부(120)에 접속하여 형성될 수 있는데, 제2 핑거 페이스트에 포함된 단위 부피당 글래스 프릿의 함유량을 제1 전극(140)과 동일하게 함으로써, 동일한 열처리 공정에서 제1 전극 페이스트가 반사 방지막(130)을 뚫고 에미터부(120)로 함입되는 속도와 제2 핑거 페이스트가 후면 보호막(190)을 뚫고 후면 전계부(170)로 함입되는 속도를 서로 대략적으로 동일하게 할 수 있다.

<128> 이로 인하여, 제1 전극(140)과 제2 전극(150)을 형성하기 위한 열처리 공정의 온도를 서로 동일하게 하면서도, 제2 핑거 전극(151)의 속도를 제한할 수 있다.

<129> 또한, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량보다 많을 수 있다.

<130> 보다 구체적 일례로, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고, 복수의 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하일 수 있다.

<131> 이와 같이, 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하로 하는 것은 제2 핑거 페이스트가 후면 보호막(190)을 뚫

고 후면 전계부(170) 내로 함입된 상태에서, 금속 결정(MC)이 앞선 도 3에서 설명한 바와 같이 충분히 형성되도록 하고, 상대적으로 폭이 좁은 제2 핑거 전극(151)의 저항을 충분히 낮추기 위함이다.

<132> 아울러, 제2 버스바(153)에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하가 되도록 함으로써, 제2 버스바 페이스트 중 일부가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되더라도, 제2 버스바 페이스트에 포함된 금속 물질에 의해 후면 전계부(170)의 버스바 형성 영역(1700B)에 금속 결정(MC)이 형성되지 않도록 하거나, 금속 결정(MC)이 설사 형성된다 하더라도, 앞선 도 4에서 설명한 바와 같이, 금속 결정(MC)이 터널층(160) 내부에 형성되더라도 반도체 기판(110)에 접속되어 형성되지 않도록 방지할 수 있다.

<133> 아울러, 복수의 제2 핑거 전극(151)에 포함되는 단위 부피당 금속 물질의 함유량은 제1 전극(140)에 포함되는 단위 부피당 금속 물질의 함유량과 동일할 수 있다.

<134> 이와 같이 서로 다른 재질을 갖는 제2 핑거 전극(151)과 제2 버스바(153)를 형성함으로써, 반도체 기판(110)의 열화를 방지할 수 있고, 태양 전지의 효율이 저하되는 것을 보다 방지할 수 있다.

<135> 앞서 설명한 바와 같이, 반도체 기판(110)의 열화는 제2 전극(150)을 형성하기 위한 열처리 공정 중에 발생할 수 있고, 열처리 공정의 온도가 너무 낮으면 제2 전극(150)의 접촉 저항이 과도하게 높아져 태양 전지의 효율을 방지할 수 있다.

<136> 여기서, 반도체 기판(110)의 열화는 다음의 도 7과 도 8에서 확인할 수 있다.

<137> 도 7은 제2 버스바 패이스트(153P)의 재질이 제2 핑거 패이스트의 재질과 동일한 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 비교예 사진이고, 도 8은 본 발명의 제2 실시예에 따라 제2 버스바 패이스트(153P)의 재질과 제2 핑거 패이스트의 재질이 서로 다른 경우, 열처리 공정시 소성 온도에 따른 반도체 기판(110)의 열화 정도를 PL(photo luminescence) 촬영한 사진이다.

<138> 반도체 기판(110)의 개방 전압(Voc)를 보여주는 PL 이미지는 열처리 공정 온도에 따라 금속 결정(MC)이 반도체 기판(110)에 침투함에 따른 열화를 볼 수 있다.

<139> PL 이미지에서 반도체 기판(110)의 일부 영역이 어두워질수록 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 밝아질수록 개방 전압이 충분한 상태로 높아 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<140> 보다 구체적으로, PL 이미지에서 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하여 개방 전압이 감소하여 반도체 기판(110)의 열화가 심화되는 것을 의미하고, 열처리 공정 온도가 증가함에 따라 음영 영역이 증가하지 않는 경우, 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투하지 않아, 개방 전압이 충분히

높은 상태로 유지되어 반도체 기판(110)의 열화가 작거나 거의 없는 것을 의미한다.

<141> 도 7 및 도 8에서는 상대적으로 폭이 큰 제2 버스바(153)의 이미지만 보이고, 제2 핑거 전극(151)의 이미지는 폭이 너무 작아 보이지 않으나, 실질적으로 각각의 제2 버스바(153)에는 복수의 제2 핑거 전극(151)이 교차하여 형성된다.

<142> 도 7에서는 제2 핑거 페이스트와 동일한 재질의 제2 버스바 페이스트(153P)를 사용한 경우이고, 도 8은 앞선 도 6에서 설명한 바와 같이 제2 핑거 페이스트와 다른 재질의 제2 버스바 페이스트(153P)를 사용한 경우이다.

<143> 도 7에서는 제2 버스바(153)와 제2 핑거 전극(151)의 동일한 재질이 서로 동일하므로, 제2 버스바 페이스트(153P)도 후면 보호막(190)을 뚫고 후면 전계부(170)에 함입되어 형성되고, 후면 전계부(170)의 버스바 형성 영역(1700B) 내로 금속 결정(MC)이 형성될 수 있다.

<144> 따라서, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (c) 및 (d)와 같이, 820℃나 795℃ 정도로 상대적으로 낮은 경우, 후면 전계부(170) 내에 금속 결정(MC)이 거의 형성되지 않고, 반도체 기판(110)의 열화가 거의 발생하지 않으나, 이와 같은 경우, 제2 핑거 전극(151)의 접촉 저항이 상대적으로 높게 형성될 수 있어 태양 전지의 효율이 감소할 수 있다.

<145> 그러나, 제2 전극(150)을 형성하기 위한 열처리 공정 온도가 도 7의 (a) 및 (b)와 같이, 870℃나 845℃ 정도로 상대적으로 높은 경우, 반도체 기판(110)에 음

영 영역이 증가하고 상대적으로 심화되어, 제2 버스바 페이스트(153P)에 의해 형성된 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110)으로 침투되어 반도체 기판(110)의 열화가 심화되는 것을 알 수 있다.

<146> 그러나, 앞선 도 6에서 설명한 바와 같이, 본 발명의 제2 실시예에 따라 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 한 경우, 열처리 공정 온도가 상대적으로 낮은 도 8의 (c) 및 (d)의 경우는 물론, 상대적으로 높은 도 8의 (a) 및 (b)에서도 반도체 기판(110)의 음영 영역이 거의 증가되지 않는 것을 확인할 수 있다.

<147> 이는, 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 제2 버스바(153)가 후면 보호막(190)을 뚫고 후면 전계부(170)에 접속되지 않거나, 접속되더라고 제2 버스바(153)에 의해 형성되는 후면 전계부(170)의 금속 결정(MC)이 터널층(160)이나 반도체 기판(110) 내로 침투하지 않기 때문이다.

<148> 이와 같이, 본 발명의 제2 실시예에 따른 태양 전지는 제2 핑거 전극(151)과 제2 버스바(153)의 재질을 서로 다르게 함으로써, 태양 전지의 개방 전압(Voc)을 충분히 높을 상태로 유지여 반도체 기판(110)의 열화를 방지하고, 태양 전지의 효율을 보다 향상시킬 수 있다.

<149> 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【특허청구범위】

【청구항 1】

제1 도전성 타입의 불순물을 함유하는 반도체 기판;

상기 반도체 기판의 전면에 위치하고 상기 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부;

상기 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층;

상기 터널층의 후면 위에 위치하고, 상기 제1 도전성 타입의 불순물이 상기 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부;

상기 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막;

상기 에미터부와 연결되는 제1 전극; 및

상기 후면 전계부와 연결되는 제2 전극;을 포함하고,

상기 제2 전극의 적어도 일부는 상기 후면 전계부 내부로 함입되어 있는 태양 전지.

【청구항 2】

제1 항에 있어서,

상기 후면 전계부와 상기 제2 전극이 서로 접촉하는 제1 경계면은 상기 후면 전계부와 상기 후면 보호막이 서로 접촉하는 제2 경계면보다 상기 반도체 기판 방향으로 더 인접하여 위치하는 태양 전지.

【청구항 3】

제1 항에 있어서,

상기 후면 전계부 중에서 상기 제2 전극이 형성되는 전극 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 4】

제3 항에 있어서,

상기 금속 결정은 상기 후면 전계부 중에서 상기 제2 전극이 형성되지 않는 비형성 영역에는 위치하지 않는 태양 전지.

【청구항 5】

제3 항에 있어서,

상기 금속 결정은 상기 터널층 내에는 위치하지 않는 태양 전지.

【청구항 6】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극에 포함된 금속 물질과 동일한 금속 물질을 포함하는 태양 전지.

【청구항 7】

제3 항에 있어서,

상기 복수의 금속 결정의 중 일부는 상기 제2 전극과 직접 접촉되는 태양 전지.

【청구항 8】

제3 항에 있어서,

상기 복수의 금속 결정의 중 적어도 하나 이상은 상기 제2 전극과 이격되어 있는 태양 전지.

【청구항 9】

제3 항에 있어서,

상기 복수의 금속 결정은 상기 제2 전극으로부터 상기 터널층 방향으로의 길이가 상기 후면 전계부 두께의 2/3 이하인 태양 전지.

【청구항 10】

제3 항에 있어서,

상기 복수의 금속 결정 중 일부는 상기 제2 전극으로부터 상기 터널층 방향으로 진행할수록 폭이 감소하는 태양 전지.

【청구항 11】

제1 항에 있어서,

상기 제2 전극은 상기 후면 전계부의 후면에서 보았을 때, 제1 방향으로 길게 형성되는 복수의 제2 핑거 전극과, 상기 제1 방향과 교차하는 제2 방향으로 길게 형성되며, 상기 복수의 제2 핑거 전극이 공통으로 접속되는 제2 버스바를 포함하는 태양 전지.

【청구항 12】

제11 항에 있어서,

상기 복수의 제2 핑거 전극은 상기 후면 보호막을 관통하여 상기 후면 전계부 내부로 함입되어 형성되고,

상기 복수의 제2 버스바는 상기 후면 보호막의 후면 위에 형성되는 태양 전지.

【청구항 13】

제11 항에 있어서,

상기 후면 전계부의 상기 제1 경계면에서 상기 후면 전계부와 상기 제2 핑거 전극은 서로 접촉하고,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 핑거 전극이 형성되는 핑거 형성 영역에는 복수의 금속 결정을 더 포함하는 태양 전지.

【청구항 14】

제11 항에 있어서,

상기 후면 전계부의 전극 형성 영역 중에서 상기 제2 버스바가 형성되는 버스바 형성 영역에는 상기 복수의 금속 결정이 위치하지 않는 태양 전지.

【청구항 15】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 재질과 상기 복수의 제2 버스바에 포

함되는 재질은 서로 다른 태양 전지.

【청구항 16】

제11 항에 있어서,

상기 복수의 제2 버스바에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량보다 작은 태양 전지.

【청구항 17】

제16 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 글래스 프릿의 함유량은 상기 제1 전극에 포함되는 단위 부피당 글래스 프릿의 함유량과 동일한 태양 전지.

【청구항 18】

제11 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량보다 많은 태양 전지.

【청구항 19】

제18 항에 있어서,

상기 복수의 제2 핑거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 80wt%이상 95wt%이하이고,

상기 복수의 제2 버스바에 포함되는 단위 부피당 금속 물질의 함유량은 60wt%이상 80wt%이하인 태양 전지.

【청구항 20】

제18 항에 있어서,

상기 복수의 제2 평거 전극에 포함되는 단위 부피당 금속 물질의 함유량은 상기 제1 전극에 포함되는 단위 부피당 금속 물질의 함유량과 동일한 태양 전지.

제출 일자 : 2014-11-28

【요약서】

【요약】

본 발명은 태양 전지에 관한 것이다.

본 발명의 일례에 따른 태양 전지는 제1 도전성 타입의 불순물을 함유하는 반도체 기판; 반도체 기판의 전면에 위치하고 제1 도전성 타입과 반대인 제 2 도전성 타입의 불순물을 함유하는 에미터부; 반도체 기판의 후면 위에 위치하고, 유전체 재질을 포함하는 터널층; 터널층의 후면 위에 위치하고, 제1 도전성 타입의 불순물이 반도체 기판보다 고농도로 도핑된 다결정 실리콘 재질을 포함하는 후면 전계부; 후면 전계부의 후면에 위치하며, 유전체 재질의 후면 보호막; 에미터부와 연결되는 제1 전극; 및 후면 전계부와 연결되는 제2 전극;을 포함하고, 제2 전극의 적어도 일부는 후면 전계부 내부로 함입된다.

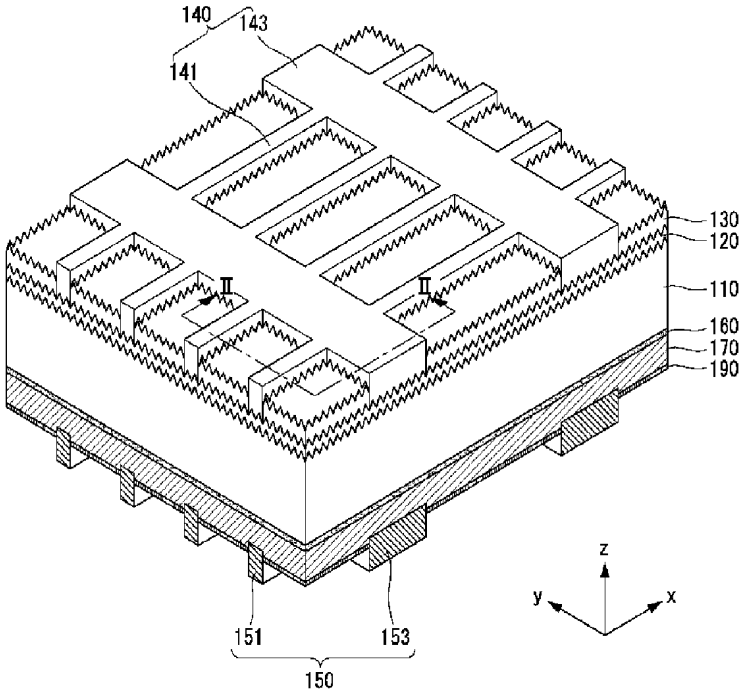
【대표도】

도 1

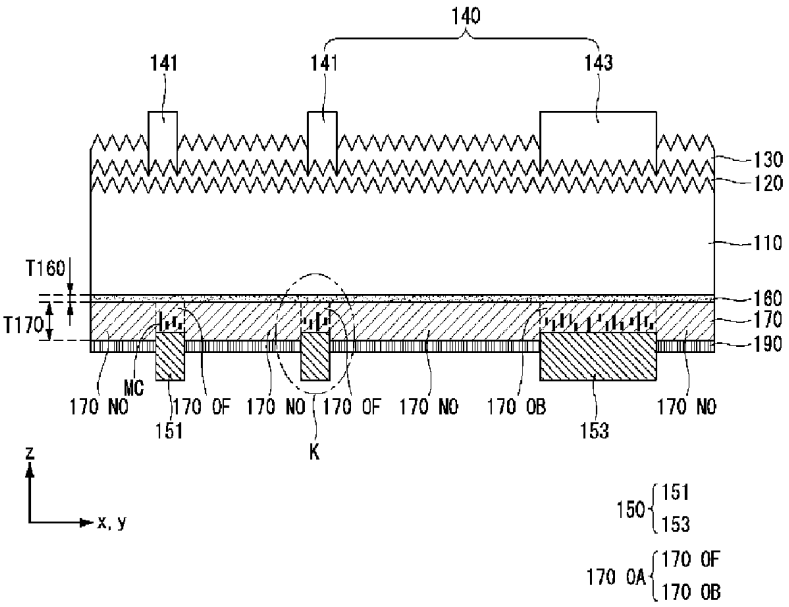
Petitioner Runergy USA Inc., Ex. 1007, p. 84

【도면】

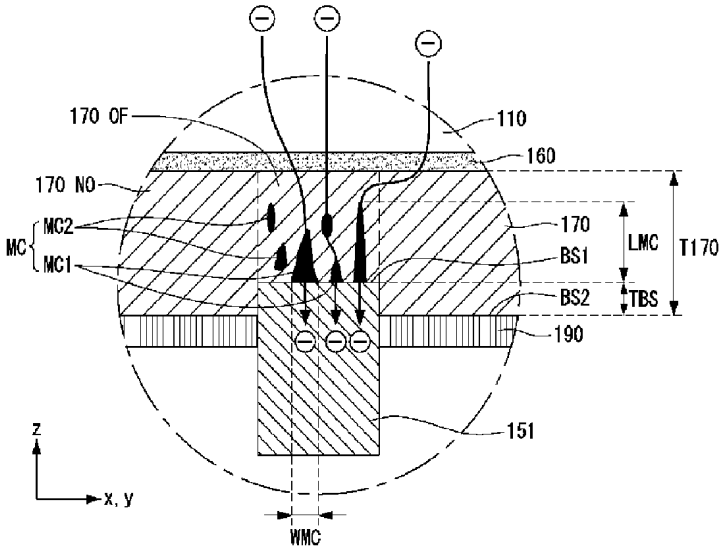
【도 1】



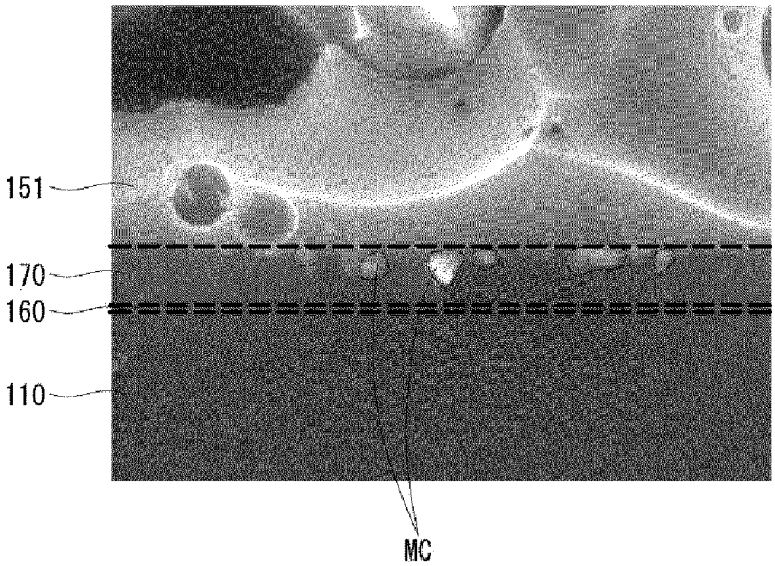
【도 2】


140
141
141
143
130
120
110
T160
160
T170
170
190
MC
170 NO
170 OF
170 NO
170 OF
170 NO
170 OB
170 NO
151
K
153
z
x, y
150
151
153
170 OA
170 OF
170 OB

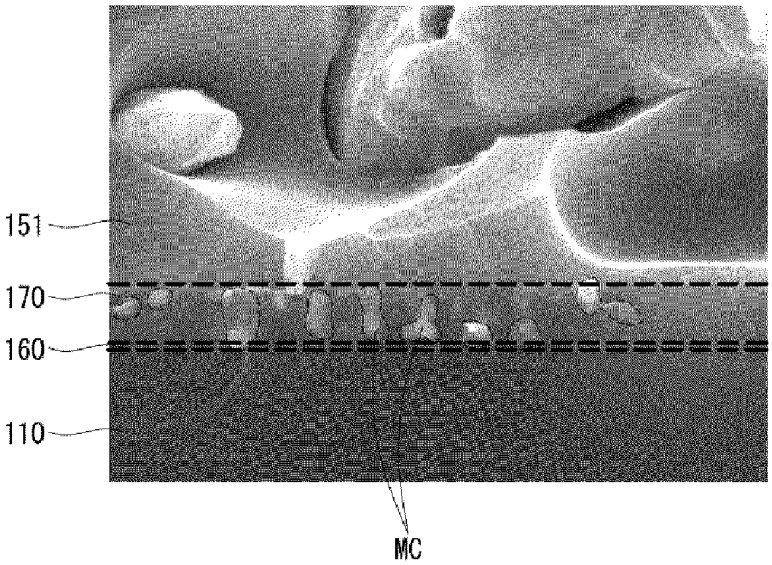
【도 3】


170 OF
110
160
170 NO
MC
MC2
MC1
170
BS1
BS2
LMC
T170
TBS
190
151
z
x, y
WMC

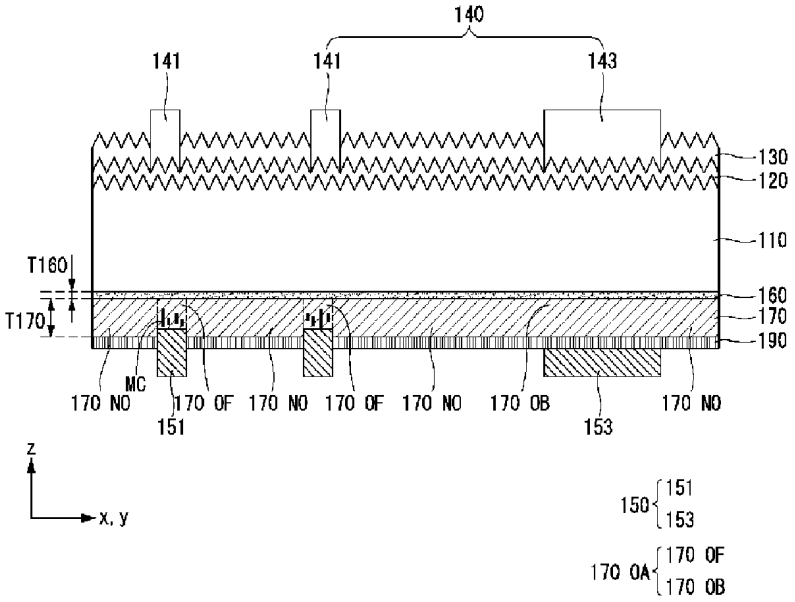
【도 4】



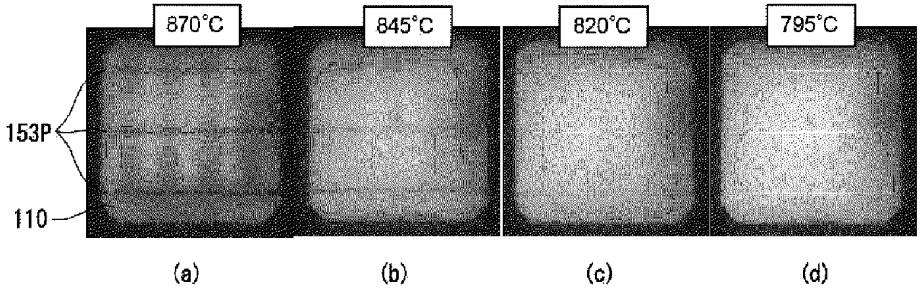
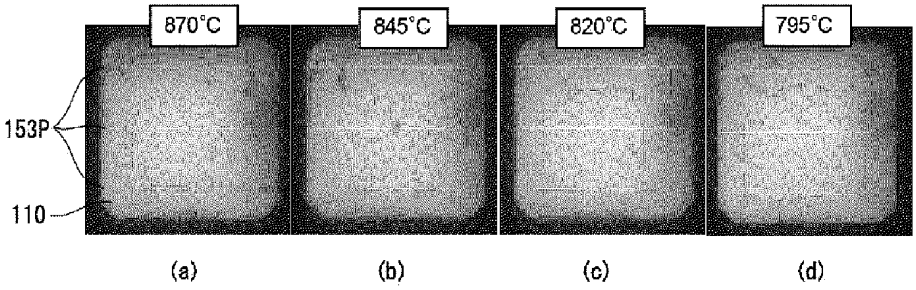
【도 5】



【도 6】


140
141
141
143
130
120
110
T160
T170
160
170
190
MC
170 NO
170 OF
170 NO
170 OF
170 NO
170 OB
170 NO
151
153
z
x, y
150
151
153
170 OA
170 OF
170 OB

【도 7】


870°C
845°C
820°C
795°C
153P
110
(a)
(b)
(c)
(d)

【도 8】