Korean Intellectual Property Office

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

Application Number: 10-2015-0122846

Filing Date: Aug. 31 2015

Applicant(s): LG Electronics Inc.

February 16, 2016

Commissioner, Korean Intellectual Property Office [seal, Commissioner, Korean Intellectual Property Office]

[Bibliography]

[Document Name**]**	Patent Application
[Reference Number]	01
[Classification of Amendment**]**	Patent application
[Applicant**]**	
[Title**]**	LG Electronics Co., Ltd.
[Applicant Code**]**	1-2002-012840-3
[Agent**]**	
[Name**]**	Byeongchang Park
[Agent Code**]**	9-1998-000238-3
[Mandating Registration No.]	2002-027067-4
[Title of Invention in Korean]	태양 전지 및 이의 제조 방법
[Title of Invention in English]	SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME
[Inventor**]**	
[Name**]**	김재성
[Name in English characters]	Jaesung Kim
[Resident Registration No.]	681020—1XXXXXX
[Postal Code]	08592
[Address]	LG Electronics Special Center, 51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Inventor**]**	
[Name**]**	정주화
[Name in English characters]	Juhwa Cheong
[Resident Registration No.]	750705—1XXXXXX
[Postal Code]	08592
[Address]	LG Electronics Special Center, 51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Nationality]	KR
[Inventor**]**	

[Name**]**	안준용
[Name in English characters]	Junyong Ahn
[Resident Registration No.]	720421—1XXXXXX
[Postal Code]	08592
[Address]	LG Electronics Special Center, 51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Nationality]	KR

[Inventor**]**

[Name**]**	장원재
[Name in English characters]	Wonjae Chang
[Resident Registration No.]	721030-1XXXXXX
[Postal Code]	08592
[Address]	LG Electronics Special Center, 51 Gasan Digital 1-ro, Geumcheon-gu, Seoul
[Nationality]	KR

[Examination Requested] Requested

[Object] Submission as outlined above to the Commissioner of the Korea Intellectual Property Office

Agent Byeongchang Park (signature or stamp)

[Fees**]**

[Application Fee**]**	0 pages	46,000 won
[Added Application Fee**]**	**50** pages	0 won
[Priority Claims Fee]	0 items	0 won
[Examination Request Fee**]**	20 claims	1,023,000 won
[Total**]**	1,069,000 won	

[Automatic Fee Payment No.] 301-0128-1620-71

[Specification]

[Title of the Invention]

Solar Cell and Method for Manufacturing the Same

[Technical Field]

<l> The present invention relates to a solar cell and a manufacturing method thereof, and more specifically, to a solar cell comprising a semiconductor substrate and a manufacturing method thereof.

[Prior Art]

<2> Recently, as the depletion of existing energy resources such as oil and coal is expected, interest in alternative energy sources to replace such resources is increasing. Among them, solar cells are attracting attention as next-generation cells that convert solar energy into electrical energy.

<3> Such solar cells can be manufactured by forming various layers and electrodes according to the design. In a solar cell, the efficiency can vary depending on the design of various layers and electrodes. In order to commercialize solar cells, it is required to maximize the efficiency of solar cells and simplify the manufacturing method.

[Details of the Invention]

[Problem to be solved]

<4> The present invention aims to provide a solar cell with high efficiency and productivity and a method for manufacturing the same.

[Means for Solving the Problem]

<5> A solar cell according to an embodiment of the present invention comprises a tunneling layer positioned on one surface of a semiconductor substrate, a first conductive region positioned on the tunneling layer, a first insulating film passivating the first conductive region on the first conductive region, a second conductive region positioned on the other surface of the semiconductor substrate and configured as a doping region, a first electrode connected to the first conductive region, and a second electrode connected to the second conductive region. An isolation unit is positioned at an edge portion of one side of the semiconductor substrate where the tunneling layer and the first conductive region are not positioned. The first insulating film covers one side of the semiconductor substrate where the isolation unit is positioned.

<6> A method for manufacturing a solar cell according to an embodiment of the present invention comprises a step of forming respective tunneling layers on one side and the other side of a semiconductor substrate; a step of forming an intrinsic semiconductor layer on the tunneling layer on both sides of the semiconductor substrate; a step of doping a first conductive dopant on at least a portion of the intrinsic semiconductor layer positioned on one side of the semiconductor substrate to form a first conductive region; a step of entirely removing the tunneling layer and the intrinsic semiconductor layer or the first conductive region, which are positioned at least on the other side of the semiconductor substrate; a step of doping a second conductive dopant on the other side of the semiconductor substrate to form a second conductive region composed of a doping region; a step of forming a first insulating film covering the first conductive region; and a step of forming an electrode comprising a first electrode connected to the first conductive region and a second

electrode connected to the second conductive region. In the step of removing, the tunneling layer and the edge portion of the first conductive region positioned on one side of the semiconductor substrate are removed together to form an isolation unit. The first insulating film covers one side of the semiconductor substrate where the isolation unit is positioned.

[Effects of the Invention]

<7> According to an embodiment of the present invention, an isolation unit is formed on the back surface of a semiconductor substrate, thereby effectively preventing the first conductive region and the second conductive region from being unnecessarily connected to each other. In addition, the surface of the semiconductor substrate where the isolation unit formed by removing the tunneling layer and the first conductive region is positioned can be covered by a first insulating film covering the first conductive region and thus be passivated. Accordingly, problems due to surface recombination, etc. can be minimized by passivating the isolation unit through a simple structure and process. In other words, the efficiency and reliability of the solar cell can be improved through a simple structure and process, and the failure rate can be reduced to improve productivity.

[Brief Description of the Drawings]

<8> FIG. 1 is a cross-sectional view illustrating a solar cell according to one embodiment of the present invention.

FIG. 2 is a schematic rear plan view of the solar cell shown in FIG. 1.

FIG. 3 is a cross-sectional view illustrating a solar cell according to one modified example of the present invention.

FIGS. 4a to FIG. 4j are cross-sectional views illustrating a method for manufacturing a solar cell according to one embodiment of the present invention.

Figure 5 is a cross-sectional view illustrating one process of a method for manufacturing a solar cell according to one modified example of the present invention.

Figure 6 is a cross-sectional view illustrating one process of a method for manufacturing a solar cell according to another modified example of the present invention.

[Specific Details for Carrying Out the Invention]

<9> Hereinafter, embodiments of the present invention will be described in detail with reference to the attached drawings. However, the present invention is not limited to these embodiments and can be modified in various forms.

<10> In the drawings, in order to clearly and briefly explain the present invention, parts that are not related to the explanation are omitted, and the same reference numerals are used for identical or very similar parts throughout the specification. In addition, in the drawings, thickness, width, etc. are illustrated by enlarging or reducing them in order to make the explanation clearer, but the thickness, width, etc. of the present invention are not limited to those illustrated in the drawings.

<11> Further, when a part "comprises" another part throughout the specification, unless otherwise specifically stated, it does not exclude the other part and may further comprise the other part. In addition, when a part such as a layer, film, region, or board is said to be “on” another part, this comprises not only the case where it is “directly on” another part, but also the case where another part is positioned in between. When a part such as a layer, film, region, or board is said to be “directly on” another part, it means that there is no other part positioned in between. In addition, expressions such as “first,” “second,” etc. are only used to distinguish between them, and the present invention is not limited thereto.

<12> Hereinafter, a solar cell and a manufacturing method thereof according to an embodiment of the present invention will be described in detail with reference to the attached drawings.

<13> FIG. 1 is a cross-sectional view of a solar cell according to an embodiment of the present invention, and FIG. 2 is a schematic rear plan view of the solar cell illustrated in FIG. 1.

<14> Referring to FIG. 1, a solar cell (100) may comprise a semiconductor substrate (110), a first conductive region (20) positioned on one side of the semiconductor substrate (110) and having a first conductivity, and a second conductive region (30) positioned on the other side of the semiconductor substrate (110) and having a second conductivity. The electrodes (42, 44) comprise a first electrode (42) connected to the first conductive region (20) and a second electrode (44) connected to the second conductive region (30). And the solar cell (100) may further comprise an insulating film such as a first passivation film (24), a second passivation film (34), and an anti-reflection film (36). This will be described in detail.

<15> The semiconductor substrate (110) may be composed of a crystalline semiconductor comprising a single semiconductor material (for example, a group 4 element). For example, the semiconductor substrate (110) may be composed of a single crystal or polycrystalline semiconductor (for example, a single crystal or polycrystalline silicon). In particular, the semiconductor substrate (110) may be composed of a single crystal semiconductor (for example, a single crystal semiconductor wafer, more specifically, a single crystal silicon wafer). In this way, if the semiconductor substrate (110) is composed of a single crystal semiconductor (for example, a single crystal silicon), the solar cell (100) is based on a semiconductor substrate (110) composed of a single crystal semiconductor with high crystallinity and few defects. Accordingly, the solar cell (100) can have excellent electrical characteristics.

16> The front and/or back surface of the semiconductor substrate (110) may be textured to have irregularities. The irregularities may, for example, have a pyramid shape with an outer surface composed of the (111) plane of the semiconductor substrate (110) and an irregular size. If irregularities are formed on the front surface of the semiconductor substrate (110) by texturing and the surface roughness of the front surface increases, the reflectivity of light incident through the true surface of the semiconductor substrate (110) can be reduced. Therefore, the amount of light reaching the pn junction formed by the base region (10) and the first or second conductive region (20, 30) can be increased, thereby minimizing light loss. In the present embodiment, the irregularities are exemplified by effectively preventing reflection of light incident on both sides by forming irregularities on the front and back surface of the semiconductor substrate (110).

<17> However, the present invention is not limited thereto. Therefore, as shown in FIG. 3, the unevenness may be formed only on the front surface of the semiconductor substrate (110) and the unevenness does not have to be formed on the back surface of the semiconductor substrate (110). Accordingly, the back surface of the semiconductor substrate (110) on which the tunneling layer (22) is formed may be formed to have a smaller surface roughness than the front surface, so that the tunneling layer (22) may be formed more stably and uniformly. Alternatively, various modifications are possible, such as unevenness not being formed on the front and back surface of the semiconductor substrate (110).

<18> Referring again to FIG. 1, in the present embodiment, the semiconductor substrate (110) comprises a base region (10) in which a first or second conductive type dopant is doped at a low doping concentration and has a first or second conductivity. At this time, the base region (10) of the semiconductor substrate (110) may have a lower doping concentration, higher resistance, or lower carrier concentration than one of the first and second conductive regions (20, 30) having the same conductive type.

<19> A first conductive region (20) having a first conductive type may be positioned on one side (for example, the back) of the semiconductor substrate (110). For example, a tunneling layer (22) may be formed on the semiconductor substrate (110), and a first conductive region (20) may be formed on the tunneling layer (22).

<20> For example, the tunneling layer (22) may be formed in contact with the back of the semiconductor substrate (110) to simplify the structure and improve the tunneling effect. At this time, the tunneling layer (22) may be formed entirely on the back of the semiconductor substrate (110) except for the isolation unit (I). Here, the term “formed entirely” comprises not only a seamlessly formed pattern, but also a case where some areas are inevitably not formed. Therefore, a separate patterning process is not required, so the tunneling layer (22) can be easily formed. However, the present invention is not limited thereto.

<21> The tunneling layer (22) acts as a kind of barrier to electrons and holes, preventing minority carriers from being passing through, and only majority carriers with a certain amount of energy or more can pass through the tunneling layer (22) after accumulating in a portion adjacent to the tunneling layer (22). At this time, a majority of carriers having energy greater than a certain level can easily pass through the tunneling layer (22) by the tunneling effect. In addition, the tunneling layer (22) can serve as a diffusion barrier that prevents the dopant of the first conductive region (20) from diffusing into the semiconductor substrate (110). This tunneling layer (22) can comprise various materials through which majority carriers can tunnel; for example, it can comprise oxides, nitrides, semiconductors, and conductive polymers. In addition, the tunneling layer (22) can be composed of a silicon oxide layer comprising silicon oxide. This is because the silicon oxide layer has excellent passivation characteristics and is a film through which carriers are easily tunneled.

<22> In order to implement the tunneling effect in a sufficient manner, the thickness of the tunneling layer (22) may be smaller than the thickness of the first and second passivation films (24, 34) and the first or second conductive region (20, 30). For example, the thickness of the tunneling layer (22) may be 2 nm or less, and for example, 0.1 nm to 1.5 nm (more specifically, 0.5 nm to 1.5 nm). If the thickness of the tunneling layer (22) exceeds 2 nm, tunneling may not occur smoothly, which may lower the efficiency of the solar cell (100), and if the thickness of the tunneling layer (22) is less than 0.1 nm, it may be difficult to form a tunneling layer (22) of the desired quality. In order to achieve sufficient tunneling effect, the thickness of the tunneling layer (22) may be 0.1 nm to 1.5 nm (more specifically, 0.5 nm to 1.5 nm). However, the present invention is not limited thereto, and the thickness of the tunneling layer (22) may have various values.

<23> The first conductive region (20) may be a region having the first conductive type comprising the first conductive type dopant. For example, the first conductive region (20) may be formed in contact with the tunneling layer (22), so that the structure of the solar cell (100) may be simplified and the tunneling effect of the tunneling layer (22) may be maximized. However, the present invention is not limited thereto.

<24> The first conductive region (20) may comprise the same semiconductor material as the semiconductor substrate (110) (more specifically, a single semiconductor material, for example, silicon). Then, the second conductive region (30) can minimize the difference in performance that may occur when comprising different semiconductor materials by having similar characteristics to the semiconductor substrate (110). However, since the first conductive region (20) is formed separately from the semiconductor substrate (110) on the semiconductor substrate (110), the first conductive region (20) can have a different crystal structure from the semiconductor substrate (110) even though it can be easily formed on the semiconductor substrate (110).

<25> For example, the first conductive region (20) can be formed by doping a first conductive dopant into an amorphous semiconductor, a microcrystalline semiconductor, or a polycrystalline semiconductor (for example, amorphous silicon, microcrystalline silicon, or polycrystalline silicon) that can be easily manufactured by various methods such as deposition. In particular, the first conductive region (20) can comprise a polycrystalline semiconductor (for example, polycrystalline silicon). In such case, excellent electrical conductivity can be achieved to facilitate the smooth movement of carriers, and the tunneling of carriers can be induced to occur smoothly in the tunneling layer (22) composed of oxides, etc.

<26> In the present embodiment, the first conductive region (20) is formed separately from the semiconductor substrate (110), so that defects or problems of open circuit voltage reduction that may occur when forming a doped region inside the semiconductor substrate (110) can be reduced. By this, the open circuit voltage of the solar cell (100) can be improved.

<27> A second conductive region (30) having a second conductive type can be positioned on the other side (for example, the front) of the semiconductor substrate (110). For example, in the present embodiment, the second conductive region (30) can be configured as a doped region formed by doping a part of the semiconductor substrate (110) with a second conductive type dopant. Then, the base region (10) and the second conductive region (30) can have the same crystal structure and semiconductor material as the semiconductor substrate (110) but have different conductive types or different doping concentrations. Specifically, when the base region (10) has a first conductive type, the conductive types of the base region (10) and the second conductive type region (30) are different from each other, and when the base region (10) has a second conductive type, the doping concentration of the second conductive type region (30) is higher than the doping concentration of the base region (10).

<28> When the base region (10) has the first conductivity type, the first conductivity type region (20) having the first conductivity type forms a back surface field (BSF) region having the same conductivity as the semiconductor substrate (110) and a higher doping concentration than the semiconductor substrate (110), and the second-conductivity region (30) having the second-conductivity type has a different conductivity type from the base region (10) and forms an emitter region forming a pn junction with the base region (10). In such case, the second conductivity type region (30) forming the emitter region on the front side of the semiconductor substrate (110) can minimize the path of light that gathers in the pn junction.

<29> However, the present invention is not limited thereto. As another example, if the base region (10) has a second-order conductive type, the first-order conductive type region (20) forms an emitter region, and the second-order conductive type region (30) forms a front surface field (FSF) region that has the same conductive type as the semiconductor substrate (110) and a higher doping concentration than the semiconductor substrate (110).

<30> The p-type dopant used as the first-order or second-order conductive type dopant may be a Group III element such as boron (B), aluminum (Al), gallium (Ga), or indium (In); and the n-type dopant may be a Group V element such as phosphorus (P), arsenic (As), bismuth (Bi), or antimony (Sb). However, the invention is not limited thereto, and various dopants may be used as the first-order or second-order conductive type dopant.

<31> Here, in the present embodiment, the first conductive region (20) formed separately from the semiconductor substrate (110) is positioned on the rear side of the semiconductor substrate (110), and the second conductive region (30) forming part of the semiconductor substrate (110) is

positioned on the front side of the semiconductor substrate (110). If the first conductive region (20) having a different crystal structure from the semiconductor substrate (110) is positioned on the front side of the semiconductor substrate (110), light absorption in the first conductive region (20) may increase and the amount of light reaching the pn junction may decrease, so the first conductive region (20) is positioned on the back side of the semiconductor substrate (110). However, the present invention is not limited thereto.

<32> An insulating film may be formed over the first and second conductive regions (20, 30) except for the openings (102, 104) corresponding to the first and second electrodes (42, 44). This insulating film may be composed of an undoped insulating film that does not comprise a separate dopant.

<33> Specifically, a first insulating film may be formed (for example, concentrated) on the first conductive region (20) except for the opening (102), and a second insulating film may be formed (for example, contacted) on the second conductive region (30) except for the opening (104). In the present embodiment, a first passive film (24) formed (for example, contacting) on a first conductive region (20) as a first insulating film is used, and a second passive film (34) formed (for example, contacting) on a second conductive region (30) as a second insulating film and an anti-reflection film (36) formed (for example, on the collector side) thereon are used as examples. However, the present invention is not limited thereto, and the insulating film can have various arrangements depending on the desired function.

<34> The passive films (24, 34) are formed by contacting the conductive region (20, 30) to passivate defects present on the surface or bulk of the conductive region (20, 30). As a result, the recombination site of minority carriers can be removed, thereby increasing the open circuit voltage (Voc) of the solar cell (100). The antireflection film (36) reduces the reflectivity of light incident on the front surface of the semiconductor substrate (110). Therefore, by lowering the reflectivity

of light incident on the front surface of the semiconductor substrate (110), the amount of light transmitted to the pn junction formed at the interface between the base region (10) and the first conductive region (20) can be increased. Accordingly, the short-circuit current (Isc) of the solar cell (100) can be increased. In this way, the open-circuit voltage and short-circuit current of the solar cell (100) can be increased by the passivation film (24, 34) and the antireflection film (36), thereby improving the efficiency of the solar cell (100).

<35> For example, the passivation film (24, 34) or the antireflection film (36) may have a single film or a multilayer film structure in which two or more films are combined, selected from the group consisting of a silicon nitride film, a silicon nitride film comprising hydrogen, a silicon oxide film, a silicon oxynitride film, an aluminum oxide film, MgF_2, ZnS, $Ti0_2$, and $Ce0_2$. For example, the passivation film (24, 34) may comprise a silicon oxide film, a silicon nitride film, etc. having a fixed positive charge when the conductive region (20, 30) has an n-type, and may comprise an aluminum oxide film, etc. having a fixed negative charge when the conductive region (20, 30) has a p-type. For example, the antireflection film (36) may comprise silicon nitride. However, the present invention is not limited thereto, and the passivation film (24, 34) and the antireflection film (36) may comprise various materials.

<36> The first electrode (42) is positioned on (for example, in contact with) the first conductive region (20) and is electrically connected to the first conductive region (20). The first electrode (42) can be electrically connected to the first conductive region (20) through an opening (102) formed in the first passivation film (24) (i.e., penetrating the first passivation film (24)). Similarly, the second electrode (44) is positioned on (for example, in contact with) the second conductive region (30) and is electrically connected to the second conductive region (30). The second electrode (44) can be electrically connected to the first conductive region (20) through the opening (104) formed

in the second passivation film (34) and the antireflection film (36) (i.e., penetrating the second passivation film (34) and the antireflection film (36)). The first and second electrodes (42, 44) can comprise various materials (more specifically, rapid) and have various shapes. The images of the first and second electrodes (42, 44) will be described in detail later with reference to FIG. 2.

<37> The tunneling layer (22) and the first conductive region (20) positioned on the back surface of the semiconductor substrate (110) are positioned apart from the edge of the back surface of the semiconductor substrate (110) (or the side surface of the semiconductor substrate (110)) by a predetermined first distance (Dl). Accordingly, the respective areas of the tunneling layer (22) and the first conductive region (20) may be smaller than the area of the semiconductor substrate (110). Here, the first distance (Dl) may mean the shortest distance among the distances between the edges of the back surface of the semiconductor substrate (110) between the tunneling layer (22) and the first conductive region (20).

<38> That is, an isolation unit (I) may be positioned on the edge of the back surface of the semiconductor substrate (110) where the tunneling layer (22) and the first conductive region (20) (and the first electrode (42) connected to the first conductive region (20)) are not formed. The isolation unit (I) may serve as edge isolation by separating the first conductive region (20) from the edge of the back surface of the semiconductor substrate (110). That is, when the second conductive region (30) is formed, the second conductive dopant may diffuse to the edge of the side or back surface of the semiconductor substrate (110), and the first conductive region (20) and the second conductive region (30) may be undesirably short-circuited at the edge of the side or back

surface of the semiconductor substrate (110); in the present embodiment, this problem can be fundamentally prevented by removing the first conductive region (20) from the back surface of the semiconductor substrate (110). Further, the second conductive region (30) positioned on the true surface of the semiconductor substrate (110) can be formed physically on the true surface of the semiconductor substrate (110), so that the area of the second conductive region (30) can be maximized.

<39> The isolation line (I) can be formed along the rear edge of the semiconductor substrate (110) and have a closed shape (closed shape), as shown in FIG. 2. Further, a certain step exists between the isolation part (I) and the tunneling layer (22) and the part where the first conductive region (20) is formed.

<40> For example, the first distance (Dl) (i.e., the width of the isolation part (I)) can be 1 mm or less. If the first distance (Dl) exceeds 1 mm, the area of the first conductive region (20) may decrease, which may lower the efficiency. For example, the first distance (Dl) may be 1 nm to 1 mm. If the first distance (D1) is less than l mm, the effect of the isolation part (I) may not be sufficient. However, the present invention is not limited thereto, and the first distance (Dl) described above may have a different value depending on the size of the semiconductor substrate (110), etc.

<41> The first conductive region (20) may have a shape in which the area decreases as it gets farther from the semiconductor substrate (110). At this time, the first conductive region (20) may be formed so that the side is not perpendicular to the semiconductor substrate (110) (for example, approximately inclined) so that the area decreases as it gets farther from the semiconductor substrate (110). For example, the first conductive region (20) may be formed with a rounded side surface and a smaller area as it gets further away from the semiconductor substrate (110). The side of the tunneling layer (22) may be positioned to extend from the side of the first conductive region (20), and may have a rounded shape similar to the first conductive region (20). This is because a

wet process, etc. has been used in the process of forming the isolation unit (I) by raising the first conductive region (20) and the tunneling layer (22), which will be described later. However, the side shapes of the first conductive region (20) and the tunneling layer (22) may have various shapes in addition to this.

<42> Moreover, the first insulating film (i.e., the first passive layer (24)) positioned on the rear side of the semiconductor substrate (110) is positioned on the first conductive region (20) in the portion where the tunneling layer (22) and the first conductive region (20) are positioned, and is positioned on the rear side of the semiconductor substrate (110) (more specifically, in contact with it) in the isolation unit (I). That is, the first passivation film (24) is formed near the edge of the semiconductor substrate (110) by contacting the back surface of the semiconductor substrate (110), extending therefrom to cover the side surfaces of the tunnel layer (22) and the first conductive region (20), and forming contact therewith, and extending therefrom to cover the upper surface of the first conductive region (20), and forming contact therewith.<43> In the present embodiment, during the manufacturing process of the solar cell (100), the tunnel layer (22) and the first conductive region (22) positioned at the back edge of the semiconductor substrate (110) are removed to form the isolation unit (I). Accordingly, the first passivation film (24) is formed to cover the edge portion of the rear surface of the semiconductor substrate (110) exposed by the tunneling layer (22) and the second conductive typical region (22) (i.e., the portion corresponding to the isolation unit (I)). This prevents the passivation characteristics from being deteriorated by

the isolation unit (I). At this time, the structure and manufacturing process of the solar cell (100) can be prevented from becoming complicated by using the first passivation film (24) without using a separate passivation film.

<44> Additionally, the first passivation film (24), which is the first insulating film, can comprise a side unit (24a) that extends to the side surface of the semiconductor substrate (110). If the side unit (24a) of the first passivation film (24) is provided, the first passivation film (24) can be formed while stably covering the entire back surface of the semiconductor substrate (110).

<45> The second passivation film (34), which is the second insulating film, and the anti-reflection film (36) can also comprise side units (34a, 36a) that extend to the side surface of the semiconductor substrate (110). At this time, the second insulating film may be positioned closer to the semiconductor substrate (110) on the side of the semiconductor substrate (110), and the first insulating film may be positioned on the second insulating film. More specifically, the side surface (34a) of the second passivation film (34) may contact the side surface of the semiconductor substrate (110), the side surface (36a) of the anti-reflection film (36) may contact the side surface (34a) of the second passivation film (34), and the side surface (24a) of the first passivation film (24) may contact the side surface (36a) of the anti-reflection film (36). According to this, in the process of forming the first passivation film (24), the second insulating film is first formed so that the second conductive region (30) can be stably protected, and then the first insulating film is formed. This will be described in more detail later.

<46> However, the present invention is not limited thereto, and at least one of the side units (24a, 34a, 36a) does not have to be provided on the side surface of the semiconductor substrate (110), or the stacking order of these may be different.

<47> Referring to FIG. 2, the planar shape of the first electrode (42) will be described in detail, and then the planar shape of the second electrode (44) will be described in detail.

<48> Referring to FIG. 2, the first electrode (42) may comprise a plurality of finger electrodes (42a) that are spaced apart from each other while having a constant pitch. In the drawing, the finger electrodes (42a) are shown as being parallel to each other and parallel to the edge of the semiconductor substrate (110), but the present invention is not limited thereto. In addition, the first electrode (42) may comprise a bus bar electrode (42b) that is formed in a direction intersecting the finger electrodes (42a) and connects the finger electrodes (42a). This bus bar electrode (42b) may be provided only one, or, as shown in FIG. 2, may be provided in a plurality of pieces while having a pitch greater than the pitch of the finger electrodes (42a). At this time, the width of the busbar electrode (42b) may be larger than the width of the finger electrode (42a), but the present invention is not limited thereto. Accordingly, the width of the busbar electrode (42b) may be equal to or smaller than the width of the finger electrode (42a).

<49> When viewed in cross section, the finger electrode (42a) and the busbar electrode (42b) of the first electrode (42) may be formed by penetrating the passivation film (24), which is the first insulating film. That is, the opening (102) may be formed to face both the finger electrode (42a) and the busbar electrode (42b) of the first electrode (42). However, the present invention is not limited thereto. As another example, the finger electrode (42a) of the first electrode (42) may be formed by penetrating the first passivation film (24), and the busbar electrode (42b) may be formed on the first passivation film (24). In this case, the opening (102) may be formed in a shape corresponding to the finger electrode (42a), and does not have to be formed in a portion where only the busbar electrode (42b) is positioned.

<50> As described above, in the present embodiment, an isolation unit (I) is formed along the edge of the semiconductor substrate (110) where the tunneling layer (22) and the first conductive region (20) are not formed. Accordingly, the first electrode (42) formed on the first conductive region (20) is not formed in the isolation unit (I). Accordingly, the end of the finger electrode (42a) and the bus bar electrode (44b) of the first electrode (42) is positioned at least a first distance (D1) apart from the edge of the semiconductor substrate (110).

<51> The second electrode (44) may comprise a finger electrode and a bus bar electrode corresponding to the finger electrode (42a) and the bus bar electrode (42b) of the first electrode (42), respectively. Except for the content of the isolation unit (I), the content of the finger electrode (42a) and the busbar electrode (42b) of the first electrode (42) can be applied as is to the finger electrode (42a) and the busbar electrode (42b) of the second electrode (44). Further, the the content related to the first passivation film (24), which is the first insulating film in the first electrode (42), can be applied as is to the second passivation film (34), which is the second insulating film, and the anti-reflection film (36) in the second electrode (44). At this time, the width, pitch, etc. of the finger electrode (42a) and the bus bar electrode (42b) of the first electrode (42) may be the same as or different from the width, pitch, etc. of the finger electrode and the bus bar electrode of the second electrode (44).

<52> However, the present invention is not limited thereto; the planar shapes of the first electrode (42) and the second electrode (44) may be different from each other, and various other modifications are possible.

<53> As described above, in the present embodiment, the first and second electrodes (42, 44) of the solar cell (100) have a certain pattern, so that the solar cell (100) has a bi-faciaI structure in which light can be incident on the front and back of the semiconductor substrate (110). Thereby, the amount of light used in the solar cell (100) can be increased, contributing to improving the

efficiency of the solar cell (100). However, the present invention is not limited to this, and it is also possible to have a structure in which the first electrode (42) is formed entirely on the back side of the semiconductor substrate (110). Various other modifications are possible.

<54> At this time, by forming an isolation unit (I) on the back side of the semiconductor substrate (110), it is possible to effectively prevent the first conductive region (20) and the second conductive region (30) from being unnecessarily connected to each other. Further, the surface of the semiconductor substrate (110) where the isolation unit (I) formed by removing the tunneling layer (22) and the first conductive region (20) is positioned can be covered and passivated by a first insulating film (first passivation film (24)) covering the first conductive region (20). By this, the isolation unit (I) can be passivated with a simple structure, thereby minimizing problems such as surface recombination. That is, the efficiency and reliability of the solar cell (100) can be improved and the failure rate can be reduced by a simple structure.

<55> The method for manufacturing the solar cell (100) is described in detail with reference to FIGS. 4a to 4j. Detailed descriptions of the contents already described will be omitted, and only the contents not described will be described in detail.

<56> FIGS. 4a to 4j are cross-sectional views illustrating a method for manufacturing a solar cell according to an embodiment of the present invention.

<57> As shown in FIG. 4a, a texturing process is performed on the front and back of the semiconductor substrate (110) to form a texture. Wet or dry texturing can be used for texturing the semiconductor substrate (110). Wet texturing can be performed by immersing the semiconductor substrate (110) in a texturing solution, and has the advantage of a short process

time. Dry texturing is a method of cutting the surface of a semiconductor substrate (110) using a diamond grill or laser, etc., and while it can form unevenness evenly, the process time is long and damage to the semiconductor substrate (110) may occur. In addition, the semiconductor substrate (110) may be textured using reactive ion etching (RIE), etc. In this way, the semiconductor substrate (110) may be textured in various ways in the present invention.

<58> For simplicity, the drawing shows that the side surface of the semiconductor substrate (110) is not provided with texture due to texturing. In addition, since the thickness of the semiconductor substrate (110) is very small, it may be difficult to clearly recognize the texture due to texturing. However, the present invention is not limited thereto. The side surface of the semiconductor substrate (110) may also be provided with texture due to texturing. And texturing of the semiconductor substrate (110) can also be performed during the subsequent process.

<59> As shown in FIG. 4b, a tunneling layer (22) is formed entirely on each of the two sides of the semiconductor substrate (110). At this time, the tunneling layer (22) can also be formed entirely on the side surface of the semiconductor substrate (110).

<60> Here, the tunneling layer (22) can be formed by, for example, thermal oxidation, chemical oxidation, deposition (for example, atmospheric pressure chemical vapor deposition (APCVD), low pressure chemical vapor deposition (LPCVD)), etc. In addition, after forming the tunneling layer (22) with a thin thickness, the thickness or reliability of the tunneling layer (22) can be increased by subsequent heat treatment in a furnace. However, the present invention is not limited thereto, and the tunneling layer (22) can be formed by various methods. Here, the tunneling layer (22) can be formed of a silicon oxide layer.

<61> For example, in the present embodiment, the tunneling layer (22) can be formed in a substrate atmosphere comprising a raw material at a temperature higher than room temperature and a pressure lower than normal pressure. In the present embodiment, the raw material gas may comprise oxygen gas, so that the tunneling layer (22) may be formed as an oxide layer. More specifically, the tunneling layer (22) may be formed as a thermal oxide material (e.g., thermal silicon oxide) layer formed by a reaction between oxygen and a semiconductor material (e.g., silicon) of a semiconductor substrate (110) at a high temperature.

<62> At this time, in the present embodiment, the raw material gas does not comprise all the raw material forming the tunneling layer (22); it only comprises oxygen gas among the oxides forming the tunneling layer (22) and does not comprise other raw material. For example, when the tunneling layer (22) comprises silicon oxide, it only has oxygen gas as the raw material gas and does not comprise gas comprising silicon, which is another raw material. Accordingly, the tunneling layer (22) is formed by a thermal oxidation process in which oxygen of the oxygen gas diffuses into the interior of the semiconductor substrate (110) and reacts with the semiconductor material. In contrast, in the deposition process, etc., a silane (SiH_4) base comprising silicon is supplied together with an oxygen base comprising oxygen as a raw material base. In this case, the oxygen separated from the oxygen base by thermal decomposition and the silicon separated from the silane gas react chemically to form silicon oxide. When forming the tunneling layer (22), the gas atmosphere may comprise various gases in addition to the oxygen gas as a raw material gas.

<63> Further, when forming the tunneling layer (22), the pressure is lower than the atmospheric pressure, so that even if the tunneling layer (22) is formed by a thermal oxidation process at a relatively high temperature (for example, 600°C or higher), the growth rate of the tunneling layer (22) can be maintained low by the low pressure. By such means, the thickness of the tunneling layer (22) can be significantly reduced. For example, when forming the tunneling layer (22), the temperature can be controlled to 600°C to 800°C and the pressure can be set to 600 Torr or lower, so that the thickness of the tunneling layer (22) can be effectively controlled.

<64> As such, in the present embodiment, since the temperature and pressure must be controlled together when forming the tunneling layer (22), the tunneling layer (22) of the present embodiment cannot be formed in a conventional furnace that cannot control pressure, and the tunneling layer (22) must be formed in apparatus that can control both temperature and pressure. Accordingly, in the present embodiment, the tunneling layer (22) can be formed by a thermal oxidation process inside the deposition apparatus, etc. At this time, since low pressure must be implemented, the tunneling layer (22) can be formed in a low pressure chemical vapor deposition apparatus.

<65> Since the semiconductor layer (reference symbol 30 in FIG. 4c) formed on the tunneling layer (22) is formed by the deposition apparatus, if the tunneling layer (22) is formed in the deposition apparatus, the tunneling layer (22) and the intrinsic semiconductor layer (20) can be formed by an in-situ process that is performed continuously within the same deposition apparatus (more specifically, a low pressure chemical vapor deposition apparatus). If the tunneling layer (22) and the intrinsic semiconductor layer (200) are formed by the in-situ process in this way, the manufacturing process can be greatly simplified, and the manufacturing cost, manufacturing time, etc. can be greatly reduced.

<66> The temperature inside the deposition apparatus is controlled by applying heat or cooling heat for a long time, and it takes a long time to stabilize the temperature, while the gas atmosphere and pressure can be controlled by the type and amount of the substrate supplied into the deposition apparatus. Therefore, the substrate atmosphere and pressure can be controlled more easily than the temperature.

<67> Considering this, in the present embodiment, the temperature difference between the formation temperature of the tunneling layer (22) and the deposition process of the intrinsic semiconductor layer (200) can be within 200°C (i.e., 0°C to 200°C). More specifically, the temperature difference between the formation temperature of the tunneling layer (22) and the deposition process of the intrinsic semiconductor layer (200) can be within 100°C (i.e., 00°C to 100°C). This is because the formation temperature of the tunneling layer (22) can be relatively increased by forming the tunneling layer (22) at a low pressure, thereby reducing the temperature difference with the deposition process of the intrinsic semiconductor layer (200). In this way, the temperature, which is relatively difficult to control, can be maintained without significant change, so that the efficiency of the in-situ process of continuously forming the tunneling layer (22) and the intrinsic semiconductor layer (200) can be further improved. On the other hand, the gas atmosphere of the deposition process of the intrinsic semiconductor layer (200) is different from the gas atmosphere at the time of forming the tunneling layer (22), and the pressure of the deposition process of the intrinsic semiconductor layer (200) can be the same as or different from the pressure at the time of forming the tunneling layer (22). This will be explained in more detail later when explaining the deposition process of the intrinsic semiconductor layer (200).

<68> As shown in FIG. 4c, an intrinsic semiconductor layer (200) is formed entirely on the tunneling layer (22) on each side of the semiconductor substrate (110). At this time, the intrinsic semiconductor layer (200) may also be formed entirely on the tunneling layer (22) positioned on the side of the semiconductor substrate (110). In this way, if the intrinsic semiconductor layer (200) is positioned on both sides, doping, damage, etc. of the entire surface of the semiconductor substrate (110) can be effectively prevented in the process of doping the first conductive region (20).

<69> In the present embodiment, the intrinsic semiconductor layer (200) can be formed by chemical vapor deposition, and more specifically, by low-pressure chemical vapor deposition. Accordingly, as described above, the intrinsic semiconductor layer (200) can be formed by the tunneling layer (22) and the in-situ process. However, the present invention is not limited thereto, and the in-situ process does not have to be applied to the tunneling layer (22) and the intrinsic semiconductor layer (200).

<70> The gas used in the deposition process of the intrinsic semiconductor layer (200) may comprise a gas (for example, silane gas) comprising a semiconductor material constituting the intrinsic semiconductor layer (200). In the present embodiment, since the intrinsic semiconductor layer (200) is deposited to have intrinsic properties, the gas atmosphere may be composed only of a gas containing a semiconductor material. By this, the supply gas ring can be purified and the purity of the formed intrinsic semiconductor layer (200) can be improved. However, the present invention is not limited thereto, and a separate gas, etc. can be further used to accelerate the deposition process of the intrinsic semiconductor layer (200) or to improve the characteristics of the intrinsic semiconductor layer (200). Moreover, in the deposition process of the intrinsic semiconductor layer (200), in addition to the gas containing the semiconductor material, nitrogen oxide (N_2O) and/or oxygen (O_2) can be injected together to control the crystal grain size, crystallinity, etc.

<71> The deposition temperature of the intrinsic semiconductor layer (200) can be the same as or lower than the temperature at the time of forming the tunneling layer (22). In particular, if the deposition temperature of the intrinsic semiconductor layer (200) is lower than the temperature at

the time of forming the tunneling layer (22), the characteristics of the intrinsic semiconductor layer (200) directly involved in the photoluminescence conversion can be made uniform. Alternatively, the deposition temperature of the intrinsic semiconductor layer (200) may be 500°C to 700°C. This is limited to a temperature suitable for depositing the intrinsic semiconductor layer (200) having a different crystal structure from the semiconductor substrate (110). As described above, since the temperature of the tunneling layer (22) is the same as or similar to the deposition temperature of the intrinsic semiconductor layer (200), the process can be simplified since time for controlling the temperature, time for stabilizing the temperature, etc. are not required.

<72> Additionally, the deposition pressure of the intrinsic semiconductor layer (200) may be a pressure lower than atmospheric pressure, for example, 600 Torr or less (for example, 1 Torr to 600 Torr). Maintaining the deposition pressure below 1 Torr may have been a process limitation, and the process time of the intrinsic semiconductor layer (200) may be significantly extended, making it difficult to apply to actual mass production. If the deposition pressure exceeds 600 Torr, the uniformity of the intrinsic semiconductor layer (200) may deteriorate. Alternatively, the deposition pressure of the intrinsic semiconductor layer (200) may be equal to or less than the pressure at the time of forming the tunneling layer (22). In particular, if the deposition pressure of the intrinsic semiconductor layer (200) is made smaller than the pressure at the time of forming the tunneling layer (22), the characteristics of the intrinsic semiconducting layer (200) directly involved in photoelectric conversion can be made uniform.

<73> This will be explained in more detail. The intrinsic semiconductor layer (200) is formed by thermally decomposing a gas comprising a semiconductor material (e.g., silicon) and depositing the semiconductor material on the tunneling layer (22). However, if the temperature and/or pressure are increased to increase the deposition rate, the dispersion of crystallinity within the intrinsic semiconductor layer (200) increases. Since the crystallinity of the intrinsic semiconductor

layer (200) is involved in the carrier movement speed, if the crystallinity dispersion of the intrinsic semiconductor layer (200) becomes large, the characteristics of the intrinsic semiconductor layer (200) may become uneven. On the other hand, the tunneling layer (22) is formed with a very thin thickness, and the crystallinity does not greatly affect the characteristics of the tunneling layer (22). Considering this, even though the intrinsic semiconductor layer (200) should be formed with a thickness thicker than the tunneling layer (22), the deposition temperature and/or pressure of the intrinsic semiconductor layer (200) is lowered to a level lower than that during the formation of the tunneling layer (22), thereby improving the yield of the intrinsic semiconductor layer (200).

<74> However, the present invention is not limited thereto, and the gas atmosphere, temperature, pressure, etc. of the intrinsic semiconductor layer (200) may be varied in various ways.

<75> In this way, the intrinsic semiconductor layer (200) can be formed by changing the type of gas supplied after the formation of the tunneling layer (22) and controlling the amount of gas supplied. For example, after the formation of the tunneling layer (22) is completed, the gas (e.g., oxygen gas, nitrogen gas, chlorine gas, etc.) used in the formation of the tunneling layer (22) is removed by pumping and purging, and then the agent for forming the intrinsic semiconductor layer (200) (e.g., gas comprising a semiconductor material) is injected to form the intrinsic semiconductor layer (200).

<76> Accordingly, the process of forming the tunneling layer (22) and the intrinsic semiconductor layer (200) can be simplified. In addition, when the tunneling layer is formed as in the past and the semiconductor substrate on which the tunneling layer is formed is taken out of the apparatus, there is a problem in that the tunneling layer is contaminated with impurities or the thickness of the tunneling layer becomes thicker due to additional oxidation. In the present embodiment, since the intrinsic semiconductor layer (200) is formed continuously within the apparatus in which the tunneling layer (22) is formed, the tunneling layer (22) is not exposed to the outside before the intrinsic semiconductor layer (200) is formed. Therefore, it is possible to prevent problems that may occur when the tunneling layer (22) is exposed to the outside before the formation of the intrinsic semiconductor layer (200).

<77> For reference, when using plasma chemical vapor deposition (PECVD), a separate crystallization annealing process must be performed to have a polycrystalline structure after forming the intrinsic semiconductor layer (200). Accordingly, the structure becomes complicated and the performance may also be low. In addition, plasma chemical vapor deposition is a cross-sectional process, so it may be difficult to form the intrinsic semiconductor layer (200) entirely on both sides of the semiconductor substrate (110).

<78> Next, as shown in FIG. 4d, the intrinsic semiconductor layer (200) positioned at least on the back side of the semiconductor substrate (110) is doped with a first conductive dopant to form a first conductive region (20a). At this time, in the present embodiment, the first conductive dopant can be doped by the thermal diffusion method. This is because the thermal diffusion method enables doping while minimizing the characteristic depth of the tunneling layer (22). On the other hand, the ion implantation method, etc., can reduce the yield of the tunneling layer (22) due to the activation thermal reduction that occurs at a high temperature after the ion injection.

<79> For example, as shown in FIG. 4d, the first conductive region (20a) can be formed as a whole by heat treatment in a gas atmosphere containing the first conductive dopant. When the first conductive region (20a) has an n-type, the heat treatment can be performed in a base atmosphere containing $POCl_3$. Alternatively, when the first conductive region (20a) has a p-type, the heat treatment can be performed in a gas atmosphere containing BBr3.

<80> In this way, the process of forming the first-conductivity region (20a) using a gas containing the first-conductivity dopant can be simplified. However, by this process, doping is performed on the front and side surfaces of the semiconductor substrate (110) as well as the back surface of the semiconductor substrate (110). In the present embodiment, since there is a portion of the intrinsic semiconductor layer (200) that is removed in a subsequent process on the front and side surfaces of the semiconductor substrate (110), unnecessary doping of the front and side surfaces of the semiconductor substrate (110) with the first-conductivity dopant can be fundamentally prevented.

<81> As another example, as shown in FIG. 5, a first doping layer (210) comprising a first conductive dopant is formed on at least an intrinsic semiconductor layer (200) positioned on the back side of a semiconductor substrate (110), and the first conductive dopant comprised in the first doping layer (210) is diffused by heat treatment to form a first conductive region (20a). As an example, the first doping layer (210) may comprise phosphorus silicate glass (PSG), boron silicate glass (BSG), etc. Such a first doping layer (210) can be easily formed by deposition, etc.

<82> For example, the first doping layer (210) is formed by atmospheric pressure chemical vapor deposition, etc.; it is formed on the back and/or side of the semiconductor substrate (110) and is not formed on the front. Accordingly, the first conductive region (20a) is formed only on the back and/or side of the semiconductor substrate (110), and the genuine semiconductor layer (200) can remain on the front surface.

<83> Next, as shown in FIG. 4e, a mask layer (202) is formed on the first conductive region (20a) positioned on the back of the semiconductor substrate (110) to correspond to the first conductive region (reference symbol I in FIG. 4f; the same applies hereinafter) that should remain outside of the isolation unit. More specifically, the area of the mask layer (202) may be smaller than the area

of the semiconductor substrate (110). By removing a portion of the undesired first-conductivity region (20a) by this method, the remaining first-conductivity region (reference numeral 20 of FIG. 4f; same as the lower portion) other than the isolation unit (I) can have a smaller area than the semiconductor substrate (110).

<84> As an example, the mask layer (202) can be spaced apart from each side (or edge) of the semiconductor substrate (110) by a certain second distance (D2). If the mask layer (202) has an area equal to or larger than the semiconductor substrate (110), it may be difficult to effectively remove a portion of the first-conductivity region (20a) positioned adjacent to the side of the semiconductor substrate (110) on the back surface of the semiconductor substrate (110). The second distance (202) can be controlled so that the first-conductivity region (20) can have a desired value at the first distance (Dl) spaced apart from the back edge of the semiconductor substrate (110). For example, the second distance (D2) may have a value of 1 mm or less (for example, 1 nm to 1 mm) so that the first distance (D1) may have a value of 1 mm or less (for example, 1 nm to 1 mm). However, the present invention is not limited thereto, and the second distance (D2) may have a different value.

<85> The mask layer (202) may comprise a material that is not removed in the process of removing the first conductive region (20a) comprising the semiconductor material. For example, the mask layer (202) that is not etched in the etching solution used in the process of removing the first conductive region (20 a) may comprise an oxide, a nitride, a resin, etc. For example, the mask layer (202) may be composed of a silicon nitride layer, so that the mask layer (202) may be formed by a simple process.

<86> Next, as shown in FIG. 4f, the first conductive region (20) and the tunneling layer (22) that are not covered by the mask layer (202) are removed to form an isolation unit (I). For example, the first conductive region (20) and the tunneling layer (22) can be removed by wet etching using an alkaline solution (for example, a KOH solution). According to wet etching, the first conductive region (20) and the tunneling layer (22) positioned on the isolation unit (I) of the front, side, and back of the semiconductor substrate (110) can be removed by a simple and easy process. The first conductive region (20) can be selectively and easily removed by an alkaline solution, and the tunneling layer (22) having a very small thickness, although an oxide, can also be easily removed together with the first conductive region (20). Thereby, the first conductive region (20) and the tunneling layer (22) having a smaller area than the semiconductor substrate (110) and separated from the rear edge of the semiconductor substrate (110) by a first distance (Dl) can be formed.

<87> The first conductive region (20) and the tunneling layer (22) can have a shape in which the area becomes smaller as they are pushed away from the semiconductor substrate (110) by wet etching, and the side surface can be formed to be rounded. However, the present invention is not limited thereto. The first conductive type region (20) and the tunneling layer (22) can be removed by various methods such as reactive ion etching and dry etching, and the first conductive type region (20) and the tunneling layer (22) can have different shapes.

<88> After removing a part of the first conductive type region (20) and the tunneling layer (22) to form the isolation unit (I), the mask layer (202) can be removed thereafter. The mask layer (202) can be removed by various methods depending on the material. For example, when the mask layer

(202) comprises oxides, nitrides, etc., it can be removed by a process using diluted hydrofluoric acid. The mask layer (202) can be removed by a separate process, or can be naturally removed by a cleaning process comprising a solution containing diluted hydrofluoric acid. However, the present invention is not limited thereto, and various methods known as methods for removing the mask layer (202) can be used.

<89> Then, as shown in FIG. 4g, a second conductive region (30) is formed on the front side of the semiconductor substrate (110). The second conductive region (30) can be formed as a doping region that constitutes a part of the semiconductor substrate (110) by doping the second conductive dopant into the semiconductor substrate (110).

<90> The second conductive region (30) can be formed by various known methods. For example, the second conductive region (30) can be formed by a thermal diffusion method. This is because the thermal diffusion method enables doping while minimizing the characteristic degradation of the tunneling layer (22). On the other hand, the characteristics of the tunneling layer (22) can be deteriorated by the activation heat treatment performed at a high temperature after ion injection, such as the ion injection method.

<91> For example, as shown in FIG. 4g, a capping film (204) is formed on the side and back of the semiconductor substrate (110) and a second conductive region (30) can be formed on the front surface of the semiconductor substrate (110) by heat-treating in a gas atmosphere containing a second conductive dopant. When the second conductive region (30) has a p-type, heat treatment can be performed in a base atmosphere containing BBr_3. Alternatively, if the second conductive

type region (30) has an n-type, it can be heat-treated in a substrate atmosphere comprising $POC1_3$. After the second conductive type region (30) is formed, the capping film (204) can be removed. The capping film (204) can be a variety of films that can block the doping of the second conductive type dopant, and can be removed by a removal method according to the material.

<92> As another example, as shown in FIG. 6, a second doping layer (310) comprising a second conductive type dopant is formed on the entire surface of a semiconductor substrate (110), and the second conductive type dopant comprised in the second doping layer (310) is diffused into the inside of the semiconductor substrate (110) by heat treatment to form the second conductive type region (30). For example, the second doping layer (310) may comprise boron silicate glass (BSG), phosphorus silicate glass (PSG), etc. This second doping layer (310) can be easily formed by deposition, etc. For example, the second doping layer (310) is formed by atmospheric pressure chemical vapor deposition, etc., and is not formed on the back surface of the semiconductor substrate (110).

<93> Next, as shown in FIG. 4h, a second insulating film is formed on the front surface of the semiconductor substrate (110). For example, a second passivation film (34) and an antireflection film (36) are formed on the second conductive region (30) on the front surface of the semiconductor substrate (110). At this time, an insulating layer (i.e., a second passivation film (34) and an anti-reflection film (36)) may also be formed on the side of the semiconductor substrate (110). For example, at least a portion of the insulating film (for example, the second passivation film (34)) positioned on the front side of the semiconductor substrate (110) may be in contact with the second conductive region (30).

<94> The second passivation film (34) or anti-reflection film (36) can be formed by various methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing, or spray coating. However, when forming the second passivation film (34) or anti-reflection film (36), if cross-sectional deposition such as plasma-induced chemical vapor deposition (PECVD) is used, the second passivation film (34) or anti-reflection film (36) can be formed only on the front and/or side. Therefore, a separate patterning process for the second passivation film (34) or anti-reflection film (36) is not required.

<95> Next, as shown in FIG. 4i, a first insulating film is formed on the back side of the semiconductor substrate (110). For example, on the back side of the semiconductor substrate (110), a first passivation film (24) is formed on the first conductive region (20) and the back side of the semiconductor substrate (110). At this time, an insulating layer (i.e., the first passivation film (24)) may also be formed on the side of the semiconductor substrate (110).

<96> More specifically, the first passivation film (24) may be formed to extend continuously over the first conductive region (20), the side of the first conductive region (20) and the tunneling layer (22), the back side of the semiconductor substrate (110), and the side of the semiconductor substrate (110). At this time, the first passivation film (24) can contact the back surface of the first conductive region (20), the side surface of the first conductive region (20) and the tunneling layer (22), and the back surface of the semiconductor substrate (110). In this way, after edge isolation is achieved by the isolation unit (I), the first passivation film (24) can be formed without a separate process, and the isolation unit (I) can be passivated together.

<97> For example, the first passivation film (24) can be formed by various methods such as vacuum deposition, chemical vapor deposition, spin coating, screen printing, or spray coating. At this time, when forming the first passivation film (24) or the anti-reflection film (36), if cross-sectional deposition such as plasma-induced chemical vapor deposition (PECVD) is used, the first passivation film (24) can be formed only on the back side or side. Therefore, a separate patterning process for the first passivation film (24) is not required.

<98> In the present embodiment, the second insulating film covering the front side of the semiconductor substrate (110) is first formed, and then the first insulating film covering the back side of the semiconductor substrate (110) is formed. According to this example, it is possible to prevent the characteristics of the first conductive region (20) from being deteriorated or damaged during the process of forming the first insulating film. In particular, when the first conductive region (20) is an emitter region, the characteristics of the first conductive region (20) may be very important. However, the present invention is not limited thereto. In the present embodiment, the first insulating film covering the rear side of the semiconductor substrate (110) may be formed first, and then the second insulating film covering the front side of the semiconductor substrate (110) may be formed. In this case, the first insulating film covering the rear side of the semiconductor substrate (110) may be positioned (for example, in contact) on the side of the semiconductor substrate (110), and the second insulating film covering the front side of the semiconductor substrate (110) may be positioned (for example, in contact) thereon.

<99> Next, as shown in FIG. 4j, first and second electrodes (42, 44) connected to the first and second conductive regions (20, 30) are formed, respectively.

<100> For example, first and second openings (102, 104) are formed in the first and second insulating films by a patterning process, and then the first and second electrodes (42, 44) are

formed while filling the first and second openings (102, 104). At this time, the first and second openings (102, 104) can be formed by various methods such as laser ablation using a laser, or using an etching solution or etching paste. In addition, the first and second electrodes (42, 44) can be formed by various methods such as plating or deposition.

<101> As another example, it is also possible to form the first and second electrodes (42, 44) of the above-described shape by applying the paste for forming the first and second electrodes to the first and second insulating films, respectively, by screen printing, etc., and then performing fire through or laser firing contact, etc. In this case, since the first and second openings (102, 104) are naturally formed when the first and second electrodes (42, 44) are formed, there is no need to add a process for forming the first and second openings (102, 104) separately.

<102> Accordingly, the isolation part (I) can be formed by a simple process, and the isolation part (I) can be passivated by the first passivation film (24), which is the first insulating film, to prevent problems due to surface recombination. As a result, the defect rate of the solar cell (100) can be reduced by a simple process, thereby improving productivity.

<103> The features, structures, effects, etc. described above are comprised in at least one embodiment of the present invention, and are not necessarily limited to only one embodiment. Furthermore, the advantages, structures, effects, etc. exemplified in each embodiment can be combined or modified and implemented in other embodiments by a person having ordinary skill in the art pertaining to the embodiments. Therefore, the contents related to such combinations and

modifications should be interpreted as being comprised in the scope of the present invention.

[Description of Symbols]

<104> 100: solar cell

110: semiconductor substrate

22: tunneling layer

20: first conductive region

30: second conductive region

24: first passivation film

34: second passivation film

36: antireflection film

42: first electrode

44: second electrode

[Claims]

[Claim 1]

A solar cell covering one surface of a semiconductor substrate, comprising:

a tunneling layer positioned on one surface of a semiconductor substrate,

a first conductive region positioned on the tunneling layer,

a first insulating film passivating the first conductive region on the first conductive region,

a second conductive region positioned on the other surface of the semiconductor substrate and configured as a doping region,

a first electrode connected to the first conductive region, and

a second electrode connected to the second conductive region;

wherein an isolation unit is positioned at an edge portion of one side of the semiconductor substrate where the tunneling layer and the first conductive region are not positioned, and

the first insulating film covers one side of the semiconductor substrate where the isolation unit is positioned.

[Claim 2]

The solar cell according to claim 1,

wherein the first insulating film contacts one surface of the semiconductor substrate where the isolation unit is positioned.

[Claim 3]

The solar cell according to claim 1,

wherein the width of the above isolation unit is 1 mm or less

[Claim 4]

The solar cell according to claim 3,

wherein the width of the isolation unit is 1 nm to 1 mm or less.

[Claim 5]

The solar cell according to claim 1,

wherein the area of the first conductive region becomes smaller as it becomes distant from the semiconductor substrate.

[Claim 6]

The solar cell according to claim 1,

wherein the side surface of the first conductive region has a round shape

[Claim 7]

The solar cell according to claim 1,

wherein the first insulating film comprises a side surface unit that extends to the side surface of the semiconductor substrate.

[Claim 8]

The solar cell according to claim 7,

further comprising a second insulating film positioned on the second conductive region,

wherein the second insulating film comprises a side unit formed on the side surface of the semiconductor substrate, and

the side unit of the first insulating film is positioned on the side surface unit of the second insulating film on the side surface of the semiconductor substrate.

[Claim 9]

A method for manufacturing a solar cell, comprising:

a step of forming respective tunneling layers on one side and the other side of a semiconductor substrate;

a step of forming an intrinsic semiconductor layer on the tunneling layer on both sides of the semiconductor substrate;

a step of doping a first conductive dopant on at least a portion of the intrinsic semiconductor layer positioned on one side of the semiconductor substrate to form a first conductive region;

a step of entirely removing the tunneling layer and the intrinsic semiconductor layer or the first conductive region, which are positioned at least on the other side of the semiconductor substrate;

a step of doping a second conductive dopant on the other side of the semiconductor substrate to form a second conductive region composed of a doping region;

a step of forming a first insulating film covering the first conductive region; and

a step of forming an electrode comprising a first electrode connected to the first conductive region and a second electrode connected to the second conductive region;

wherein in the step of removing, the tunneling layer and the edge portion of the first conductive region positioned on one side of the semiconductor substrate are removed together to form an isolation unit, and

the first insulating film covers one side of the semiconductor substrate where the isolation unit is positioned.

[Claim 10]

The method for manufacturing a solar cell according to claim 9,

wherein the first insulating film is in contact with one side of the semiconductor substrate where the isolation unit is positioned.

[Claim 11]

The method for manufacturing a solar cell according to claim 9,

wherein the width of the above isolation unit is 1 mm or less.

[Claim 12]

The method for manufacturing a solar cell according to claim 10,

wherein the width of the above isolation unit is 1 nm to 1 mm or less.

[Claim 13]

The method for manufacturing a solar cell according to claim 9,

wherein the step of removing comprises:

a step of forming a mask layer having a smaller area than the semiconductor substrate on the first conductive region on the other side of the semiconductor substrate,

a step of etching the first conductive region and the tunneling layer positioned in a part where the mask layer is not formed, and

a step of removing the mask layer.

[Claim 14]

The method for manufacturing a solar cell according to claim 13,

wherein the distance between the rear edge of the semiconductor substrate and the edge of the mask layer is 1 mm or less.

[Claim 15]

The method for manufacturing a solar cell according to claim 9,

wherein the step of removing is performed by reactive ion etching (RIE) or wet etching.

[Claim 16]

The method for manufacturing a solar cell according to claim 9,

wherein the area of the first conductive region becomes smaller as it moves away from the semiconductor substrate.

[Claim 17]

The method for manufacturing a solar cell according to claim 9,

wherein the side surface of the first conductive region has a round shape.

[Claim 18]

The method for manufacturing a solar cell according to claim 9,

wherein a step of forming a second insulating film covering the second conductive region is further comprised between the step of forming the second conductive region and the step of forming the first insulating film, the second insulating film is positioned on the side surface of the semiconductor substrate, and the first insulating film is positioned on the second insulating film.

[Claim 19]

The method for manufacturing a solar cell according to claim 9,

wherein the step of forming the first conductive region or the step of forming the second conductive region is formed using a thermal diffusion method.

[Claim 20]

The method for manufacturing a solar cell according to claim 9,

wherein the tunneling layer or the intrinsic semiconductor layer is formed in a low-pressure chemical vapor deposition device.

[Abstract]

[Abstract]

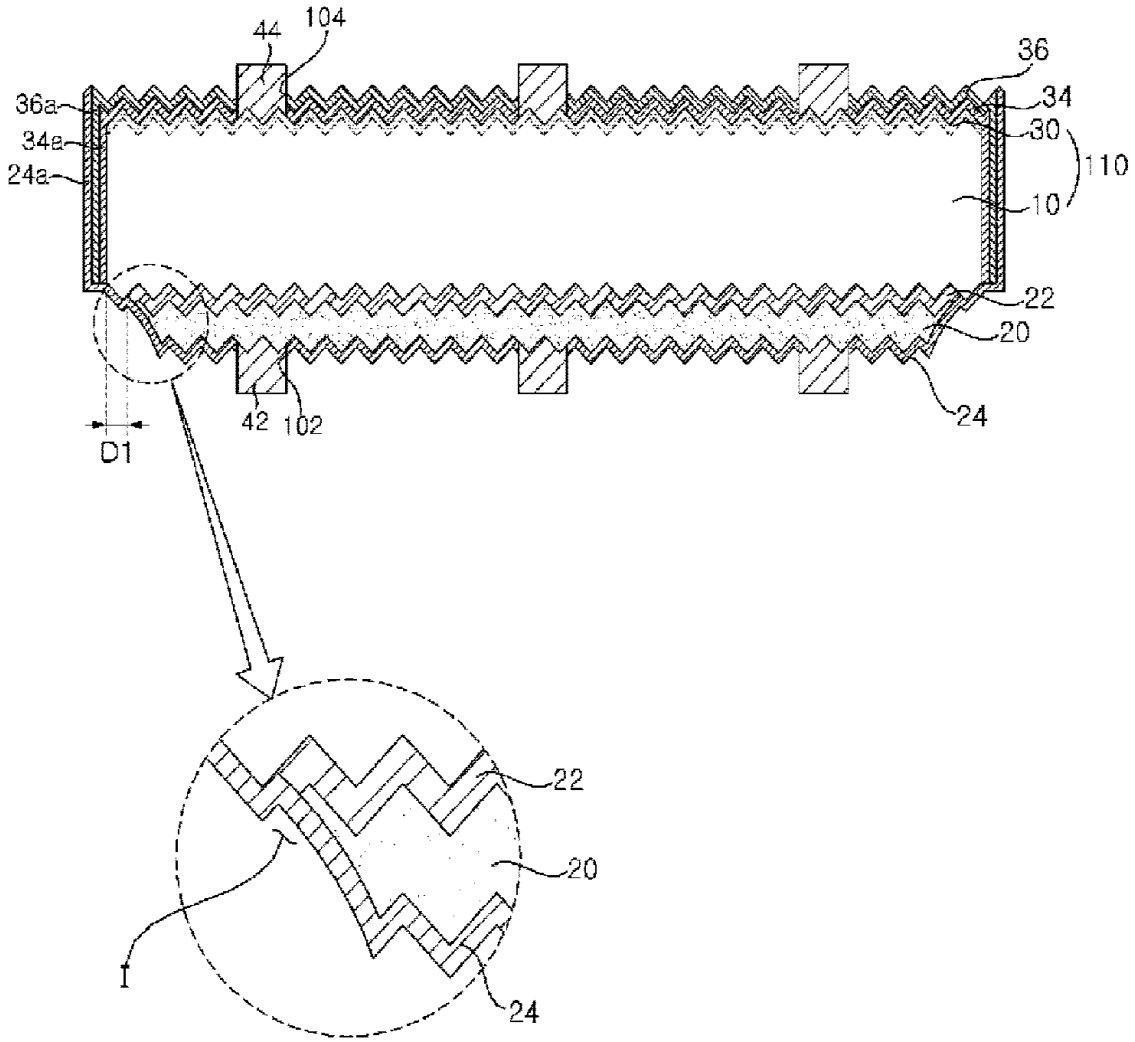
A solar cell according to an embodiment of the present invention comprises a tunneling layer positioned on one surface of a semiconductor substrate, a first conductive region positioned on the tunneling layer, a first insulating film passivating the first conductive region on the first conductive region, a second conductive region positioned on the other surface of the semiconductor substrate and configured as a doping region, a first electrode connected to the first conductive region, and a second electrode connected to the second conductive region. An isolation unit is positioned at an edge portion of one side of the semiconductor substrate where the tunneling layer and the first conductive region are not positioned. The first insulating film covers one side of the semiconductor substrate where the isolation unit is positioned.

[Representative Drawing]

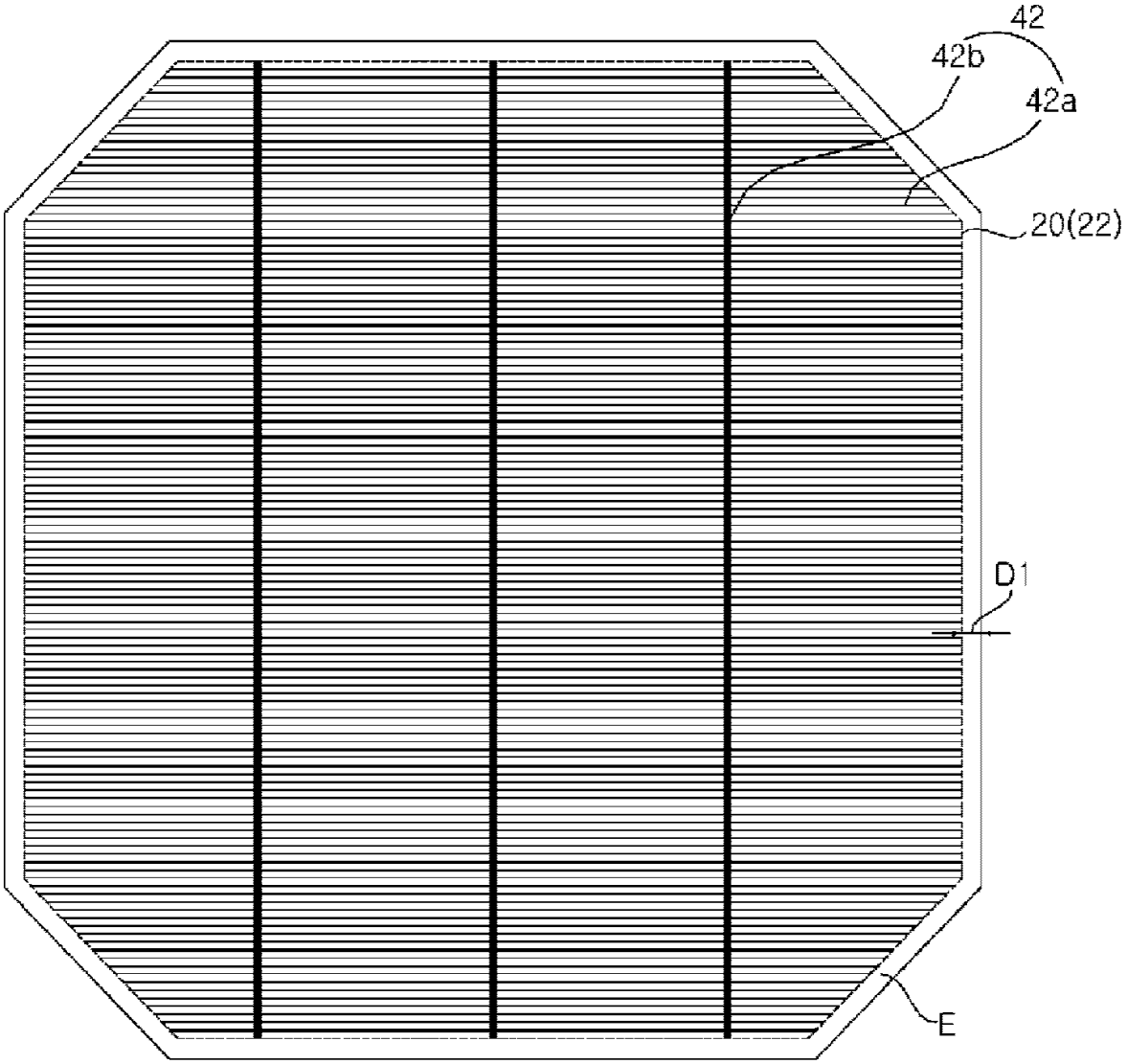
FIG. 1

[Drawings]

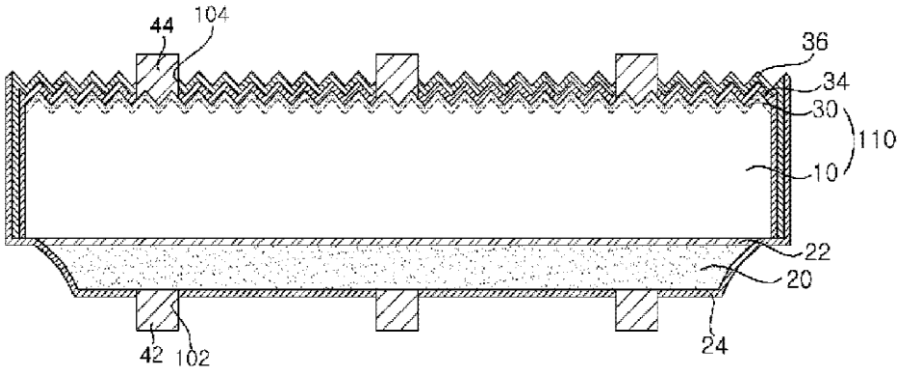
[FIG. 1]



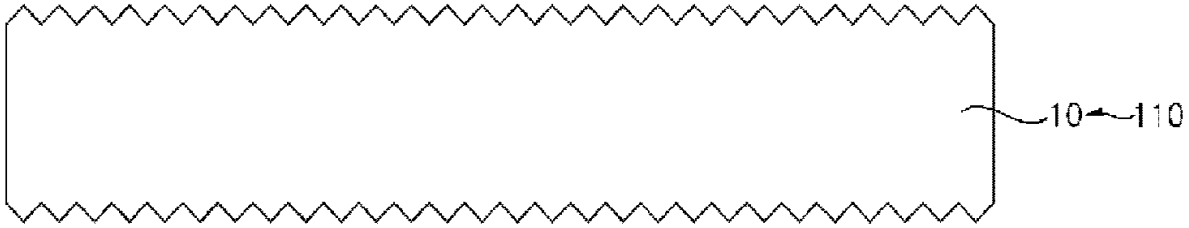
[FIG. 2]



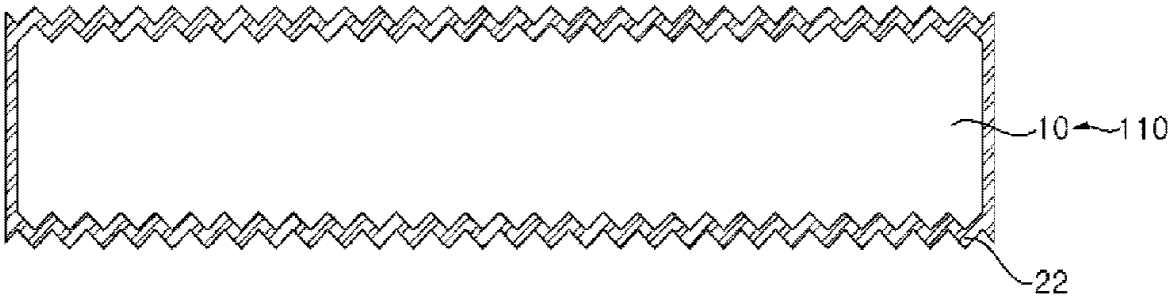
[FIG. 3]



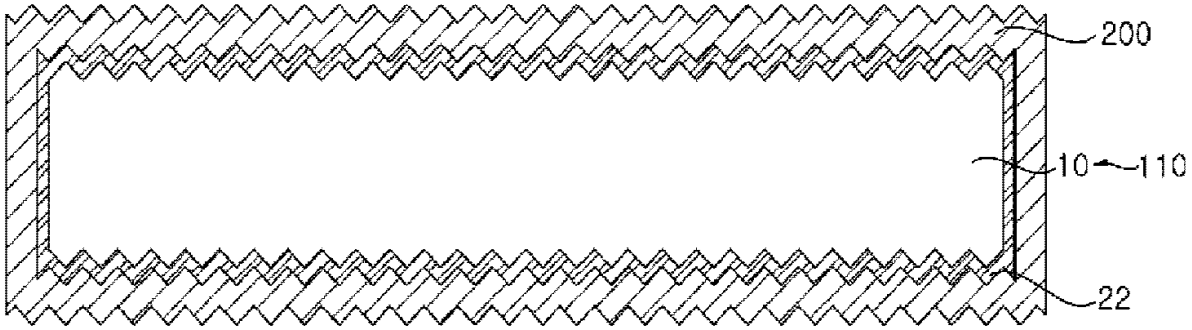
[FIG. 4a]



[FIG. 4b]

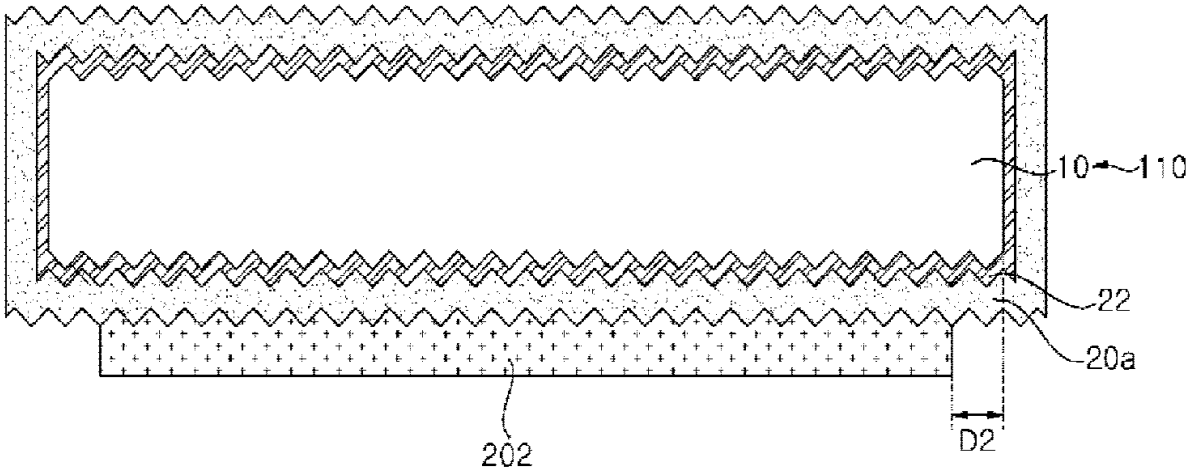


[FIG. 4c]

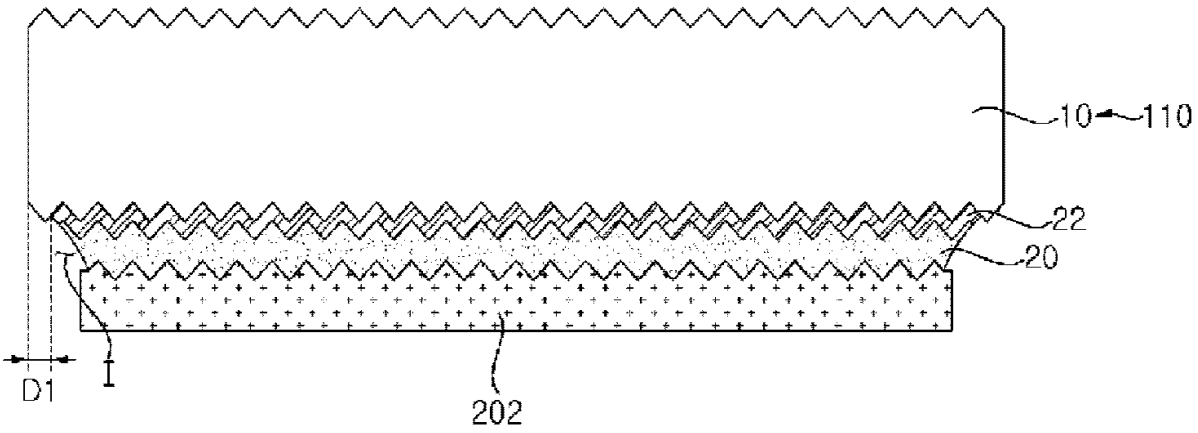


[FIG. 4d]

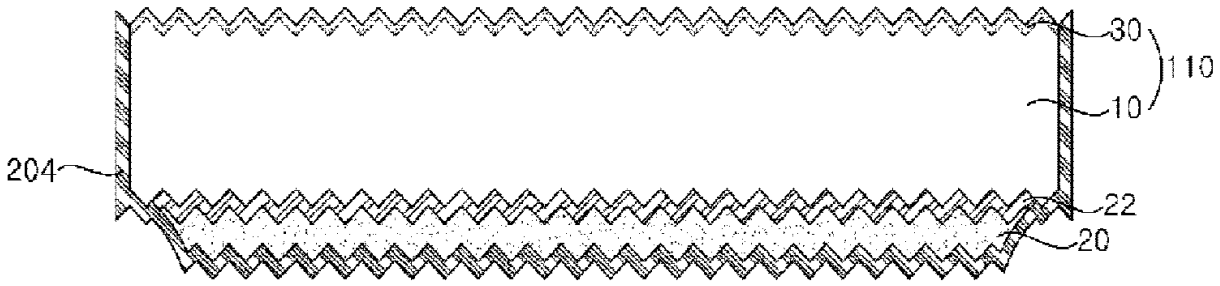
[FIG. 4e]



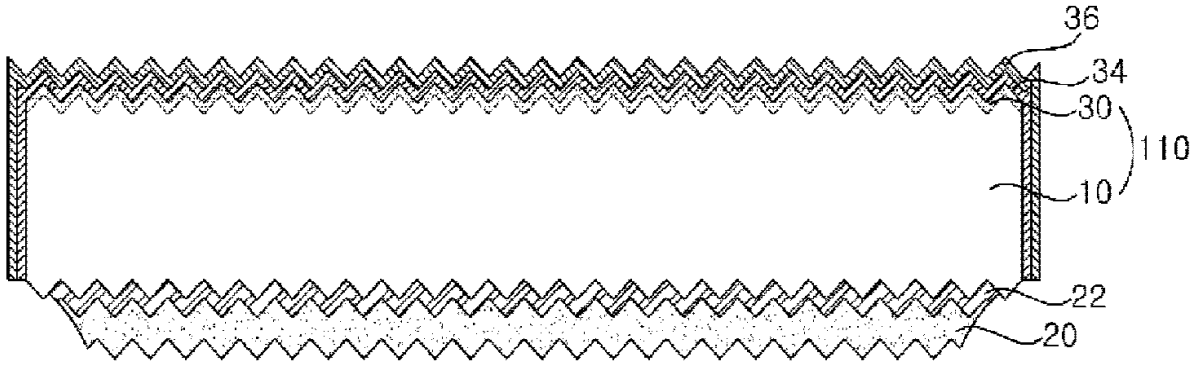
[FIG. 4f]



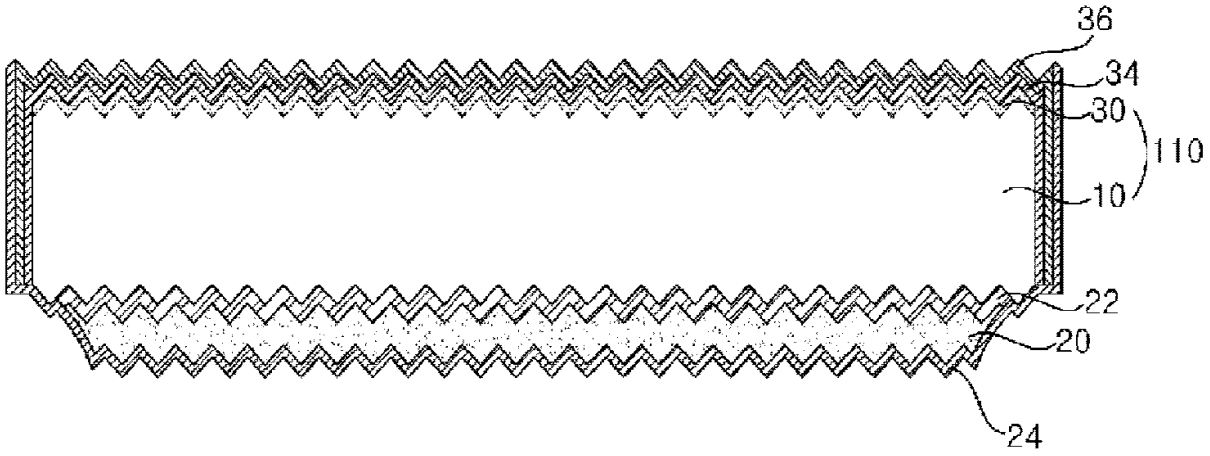
[FIG. 4g]



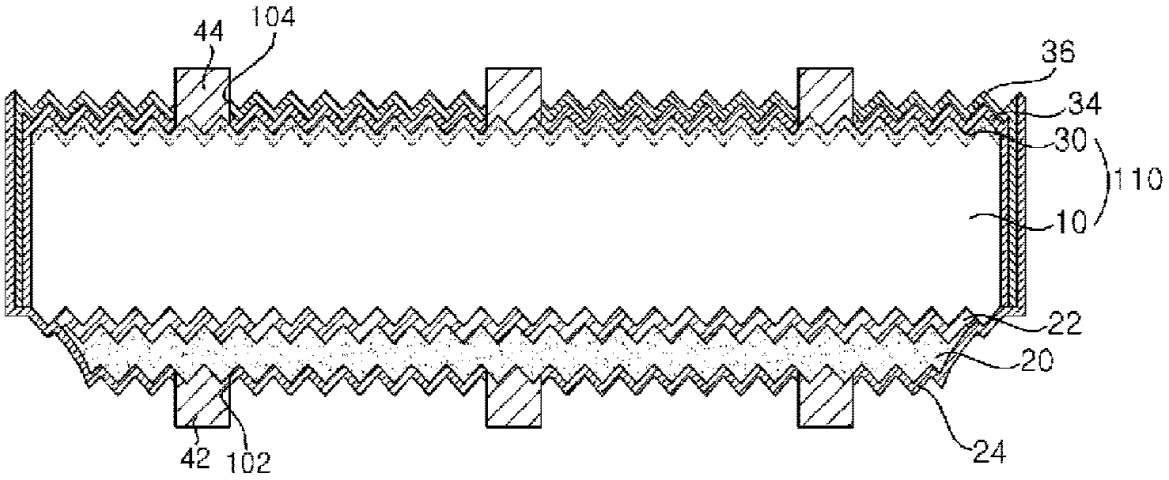
[FIG. 4h]



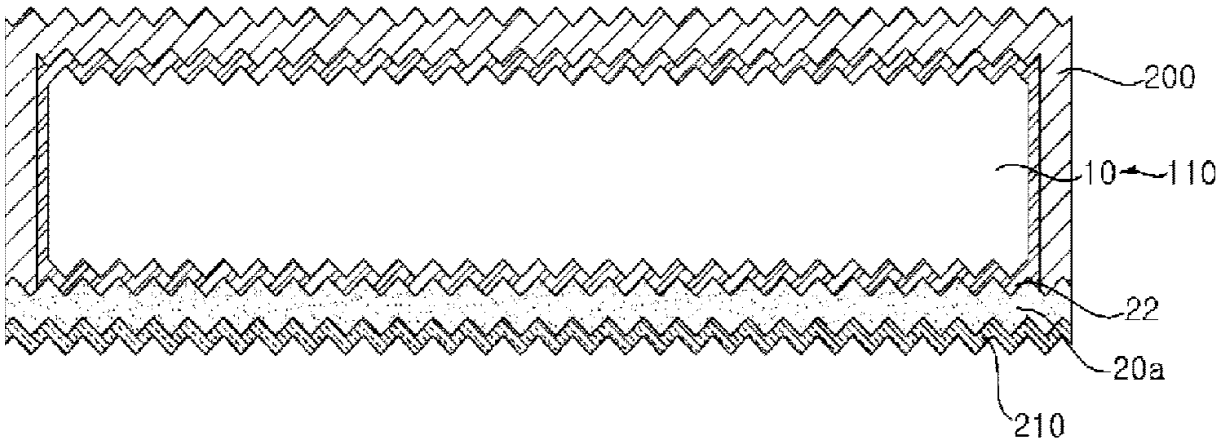
[FIG. 4i]



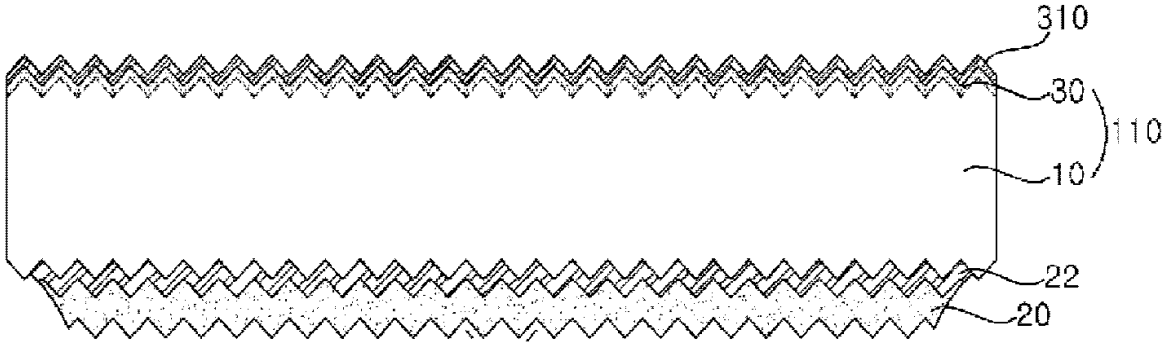
[FIG. 4j]



[FIG. 5]



[FIG. 6]



Certification of Accuracy of Translation

Sun IP Project # 24-4843

Korean to English translation of KR 10-2015-0122846

I, Carl T. Sullivan, hereby certify that the attached English translation is, to the best of my knowledge, a true and accurate translation of "KR 10-2015-0122846." The translated text reflects the content, meaning and style of the original text and constitutes a true and accurate translation of the original document.

September 17, 2024

Carl T. Sullivan

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office

출 원 번 호 : 10-2015-0122846
Application Number

출 원 년 월 일 : 2015년 08월 31일
Filing Date AUG. 31, 2015

출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.

2016년 02월 16일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 특허출원서

【참조번호】 01

【출원구분】 특허출원

【출원인】

【명칭】 엘지전자 주식회사

【출원인코드】 1-2002-012840-3

【대리인】

【성명】 박병창

【대리인코드】 9-1998-000238-3

【포괄위임등록번호】 2002-027067-4

【발명의 국문명칭】 태양 전지 및 이의 제조 방법

【발명의 영문명칭】 SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME

【발명자】

【성명】 김재성

【성명의 영문표기】 Jaesung Kim

【주민등록번호】 681020-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 정주화

【성명의 영문표기】 Juhwa Cheong

【주민등록번호】 750705-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 안준용

【성명의 영문표기】 Junyong Ahn

【주민등록번호】 720421-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【발명자】

【성명】 장원재

【성명의 영문표기】 Wonjae Chang

【주민등록번호】 721030-1XXXXXX

【우편번호】 08592

【주소】 서울특별시 금천구 가산디지털1로 51 LG전자 특허센터

【국적】 KR

【심사청구】 청구

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 박병창 (서명 또는 인)

【수수료】

【출원료】	0	면	46,000	원
【가산출원료】	50	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	20	항	1,023,000	원
【합계】	1,069,000 원			

제출 일자 : 2015-08-31

【수수료 자동납부번호】 301-0128-1620-71

【명세서】

【발명의 명칭】

태양 전지 및 이의 제조 방법{SOLAR CELL AND METHOD FOR MANUFACTURING THE SAME}

【기술분야】

<1> 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 좀더 상세하게는, 반도체 기판을 포함하는 태양 전지 및 이의 제조 방법에 관한 것이다.

【배경기술】

<2> 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

<3> 이러한 태양 전지는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 태양 전지에서는 다양한 층 및 전극의 설계에 따라 효율이 달라질 수 있다. 태양 전지의 상용화를 위해서는 태양 전지의 효율을 최대화하고 제조 방법을 단순화하는 것이 요구된다.

【발명의 내용】

【해결하려는 과제】

<4> 본 발명은 높은 효율 및 생산성을 가지는 태양 전지 및 이의 제조 방법을 제공하고자 한다.

【과제의 해결 수단】

<5> 본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

<6> 본 발명의 실시예에 따른 태양 전지의 제조 방법은, 반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계; 상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계; 적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계; 적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계; 상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계; 상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및 상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함하는 전극을 형성하는 단계를 포함한다. 상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기

제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는다.

【발명의 효과】

<7> 본 발명의 실시예에 따르면, 반도체 기판의 후면에 아이솔레이션부를 형성하여 제1 도전형 영역과 제2 도전형 영역이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층 및 제1 도전형 영역이 제거되어 형성된 아이솔레이션부가 위치하는 반도체 기판의 표면은 제1 도전형 영역을 덮는 제1 절연막에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조 및 공정에 의하여 아이솔레이션부를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조 및 공정에 의하여 태양 전지의 효율 및 신뢰성을 향상할 수 있으며 불량률을 낮춰 생산성을 향상할 수 있다.

【도면의 간단한 설명】

<8> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이다.

도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

도 3은 본 발명의 일 변형예에 따른 태양 전지를 도시한 단면도이다.

도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

도 5는 본 발명의 일 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정

을 도시한 단면도들이다.

도 6은 본 발명의 다른 변형예에 따른 따른 태양 전지의 제조 방법의 일 공정을 도시한 단면도들이다.

【발명을 실시하기 위한 구체적인 내용】

<9> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

<10> 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

<11> 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다. 그리고 "제1", "제2" 등의 표현은 서로 간의 구별을 위하여 사용한 것일 뿐 본 발명이 이에 한정되

는 것은 아니다.

<12> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다.

<13> 도 1은 본 발명의 일 실시예에 따른 태양 전지를 도시한 단면도이고, 도 2는 도 1에 도시한 태양 전지의 개략적인 후면 평면도이다.

<14> 도 1을 참조하면, 태양 전지(100)는, 반도체 기판(110)과, 반도체 기판(110)의 일면 쪽에 위치하며 제1 도전형을 가지는 제1 도전형 영역(20)과, 반도체 기판(110)의 타면 쪽에 위치하며 제2 도전형을 가지는 제2 도전형 영역(30)을 포함할 수 있다. 전극(42, 44)은 제1 도전형 영역(20)에 연결되는 제1 전극(42)과, 제2 도전형 영역(30)에 연결되는 제2 전극(44)을 포함한다. 그리고 태양 전지(100)는, 제1 패시베이션막(24), 제2 패시베이션막(34), 반사 방지막(36)과 같은 절연막을 더 포함할 수 있다. 이를 상세하게 설명한다.

<15> 반도체 기판(110)은 단일 반도체 물질(일 예로, 4족 원소)를 포함하는 결정질 반도체로 구성될 수 있다. 일 예로, 반도체 기판(110)은 단결정 또는 다결정 반도체(일 예로, 단결정 또는 다결정 실리콘)로 구성될 수 있다. 특히, 반도체 기판(110)은 단결정 반도체(예를 들어, 단결정 반도체 웨이퍼, 좀더 구체적으로는, 단결정 실리콘 웨이퍼)로 구성될 수 있다. 이와 같이 반도체 기판(110)이 단결정 반도체(예를 들어, 단결정 실리콘)로 구성되면, 태양 전지(100)가 결정성이 높아 결함이 적은 단결정 반도체로 구성되는 반도체 기판(110)을 기반으로 하게 된다. 이에 따라 태양 전지(100)가 우수한 전기적 특성을 가질 수 있다.

<16> 반도체 기판(110)의 전면 및/또는 후면은 텍스쳐링(texturing)되어 요철을 가질 수 있다. 요철은, 일 예로, 외면이 반도체 기판(110)의 (111)면으로 구성되며 불규칙한 크기를 가지는 피라미드 형상을 가질 수 있다. 텍스쳐링에 의해 반도체 기판(110)의 전면 등에 요철이 형성되어 전면의 표면 거칠기가 증가되면, 반도체 기판(110)의 전면 등을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 베이스 영역(10)과 제1 또는 제2 도전형 영역(20, 30)에 의하여 형성된 pn 접합까지 도달하는 광량을 증가시킬 수 있어, 광 손실을 최소화할 수 있다. 본 실시예에서는 요철이 반도체 기판(110)의 전면 및 후면에 요철이 형성되어 양면으로 입사되는 광의 반사를 효과적으로 방지하는 것을 예시하였다.

<17> 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서, 도 3에 도시한 바와 같이, 반도체 기판(110)의 전면에만 요철이 형성되고 반도체 기판(110)의 후면에는 요철이 형성되지 않을 않을 수도 있다. 이에 의하면 터널링층(22)이 형성되는 반도체 기판(110)의 후면을 전면보다 작은 표면 거칠기를 가지도록 형성하여, 터널링층(22)이 좀더 안정적이고 균일하게 형성될 수 있다. 또는, 반도체 기판(110)의 전면 및 후면에 요철이 형성되지 않는 등 다양한 변형이 가능하다.

<18> 다시 도 1을 참조하면, 본 실시예에서 반도체 기판(110)은 제1 또는 제2 도전형 도펀트가 낮은 도핑 농도로 도핑되어 제1 또는 제2 도전형을 가지는 베이스 영역(10)을 포함한다. 이때, 반도체 기판(110)의 베이스 영역(10)은 이와 동일한 도전형을 가지는 제1 및 제2 도전형 영역(20, 30) 중 하나보다 낮은 도핑 농도, 높은 저항 또는 낮은 캐리어 농도를 가질 수 있다.

<19> 반도체 기판(110)의 일면(일 예로, 후면) 위에 제1 도전형을 가지는 제1 도전형 영역(20)이 위치할 수 있다. 일 예로, 반도체 기판(110) 위에 터널링층(22)이 형성되고, 터널링층(22) 위에 제1 도전형 영역(20)이 형성될 수 있다.

<20> 일 예로, 터널링층(22)은 반도체 기판(110)의 후면에 접촉 형성되어 구조를 단순화하고 터널링 효과를 향상할 수 있다. 이때, 터널링층(22)은 반도체 기판(110)의 후면에서 아이솔레이션부(I)를 제외한 부분에 전체적으로 형성될 수 있다. 여기서 전체적으로 형성되었다 함은 빈틈 없이 모두 형성된 것뿐 아니라 불가피하게 일부 영역이 형성되지 않는 것도 포함한다. 이에 의하여 별도의 패터닝 공정이 요구되지 않아 터널링층(22)을 쉽게 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<21> 터널링층(22)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 터널링층(22)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 터널링층(22)을 통과할 수 있도록 한다. 이때, 일정 이상의 에너지를 가지는 다수 캐리어는 터널링 효과에 의하여 쉽게 터널링층(22)을 통과할 수 있다. 또한, 터널링층(22)은 제1 도전형 영역(20)의 도펀트가 반도체 기판(110)으로 확산하는 것을 방지하는 확산 배리어로서의 역할을 수행할 수 있다. 이러한 터널링층(22)은 다수 캐리어가 터널링 될 수 있는 다양한 물질을 포함할 수 있는데, 일례로, 산화물, 질화물, 반도체, 전도성 고분자 등을 포함할 수 있다. 특히, 터널링층(22)이 실리콘 산화물을 포함하는 실리콘 산화물층으로 구성될 수 있다. 실리콘 산화물층은 패시

베이션 특성이 우수하며 캐리어가 터널링되기 쉬운 막이기 때문이다.

<22> 터널링 효과를 충분하게 구현할 수 있도록 터널링층(22)의 두께가 제1 및 제2 패시베이션막(24, 34), 제1 또는 제2 도전형 영역(20, 30)의 두께보다 작을 수 있다. 일 예로, 터널링층(22)의 두께가 2nm 이하일 수 있고, 일 예로, 0.1nm 내지 1.5nm(좀더 구체적으로는, 0.5nm 내지 1.5nm)일 수 있다. 터널링층(22)의 두께가 2nm를 초과하면 터널링이 원할하게 일어나지 않아 태양 전지(100)의 효율이 저하될 수 있고, 터널링층(22)의 두께가 0.1nm 미만이면 원하는 품질의 터널링층(22)을 형성하기에 어려움이 있을 수 있다. 충분한 터널링 효과를 위해서는 터널링층(22)의 두께가 0.1nm 내지 1.5nm(좀더 구체적으로 0.5nm 내지 1.5nm)일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22)의 두께가 다양한 값을 가질 수 있다.

<23> 제1 도전형 영역(20)은 제1 도전형 도펀트를 포함하여 제1 도전형을 가지는 영역일 수 있다. 일 예로, 제1 도전형 영역(20)은 터널링층(22)에 접촉하여 형성되어 태양 전지(100)의 구조가 단순화되고 터널링층(22)의 터널링 효과가 최대화될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<24> 제1 도전형 영역(20)은 반도체 기판(110)과 동일한 반도체 물질(좀더 구체적으로, 단일 반도체 물질, 일례로, 실리콘)을 포함할 수 있다. 그러면, 제2 도전형 영역(30)이 반도체 기판(110)과 유사한 특성을 가져 서로 다른 반도체 물질을 포함할 경우에 발생할 수 있는 특성 차이를 최소화할 수 있다. 다만, 제1 도전형 영역(20)이 반도체 기판(110) 위에서 반도체 기판(110)과 별개로 형성되므로, 반도체

기판(110) 위에서 쉽게 형성될 수 있도록 제1 도전형 영역(20)이 반도체 기판(110)과 다른 결정 구조를 가질 수 있다.

<25> 예를 들어, 제1 도전형 영역(20)은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체, 미세 결정 반도체, 또는 다결정 반도체(일 예로, 비정질 실리콘, 미세 결정 실리콘, 또는 다결정 실리콘) 등에 제1 도전형 도펀트를 도핑하여 형성될 수 있다. 특히, 제1 도전형 영역(20)은 다결정 반도체(일 예로, 다결정 실리콘)을 포함할 수 있다. 그러면 우수한 전기 전도도를 가져 캐리어의 이동을 원활하게 할 수 있고, 산화물 등으로 구성된 터널링층(22)에서 캐리어의 터널링이 원활하게 일어나도록 유도할 수 있다.

<26> 본 실시예에서 제1 도전형 영역(20)을 반도체 기판(110)과 별개로 형성하여 반도체 기판(110) 내부에 도핑 영역 형성 시에 발생할 수 있는 결함 또는 개방 전압 저하의 문제를 저감할 수 있다. 이에 의하여 태양 전지(100)의 개방 전압을 향상할 수 있다.

<27> 반도체 기판(110)의 다른 일면(일 예로, 전면) 쪽에 제2 도전형을 가지는 제2 도전형 영역(30)이 위치할 수 있다. 일 예로, 본 실시예에서는 제2 도전형 영역(30)이 반도체 기판(110)의 일부에 제2 도전형 도펀트가 도핑되어 형성된 도핑 영역으로 구성될 수 있다. 그러면, 베이스 영역(10)과 제2 도전형 영역(30)은 반도체 기판(110)과 동일한 결정 구조 및 반도체 물질을 포함하면서 도전형이 서로 다르거나 또는 도핑 농도가 서로 다를 수 있다. 구체적으로, 베이스 영역(10)이 제1 도전형을 가지는 경우에는 베이스 영역(10)과 제2 도전형 영역(30)의 도전형이 서로 다

르고, 베이스 영역(10)이 제2 도전형을 가지는 경우에는 제2 도전형 영역(30)의 도핑 농도가 베이스 영역(10)의 도핑 농도보다 높다.

<28> 베이스 영역(10)이 제1 도전형을 가지게 되면, 제1 도전형을 가지는 제1 도전형 영역(20)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 후면 전계(back surface field, BSF)를 형성하는 후면 전계 영역을 구성하고, 제2 도전형을 가지는 제2 도전형 영역(30)이 베이스 영역(10)과 다른 도전형을 가져 베이스 영역(10)과 pn 접합을 형성하는 에미터 영역을 구성한다. 그러면, 반도체 기판(110)의 전면 쪽에 에미터 영역을 구성하는 제2 도전형 영역(30)이 위치하여 pn 접합에 접합하는 광의 경로를 최소화할 수 있다.

<29> 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 베이스 영역(10)이 제2 도전형을 가지게 되면, 제1 도전형 영역(20)이 에미터 영역을 구성하고 제2 도전형 영역(30)이 반도체 기판(110)과 동일한 도전형을 가지면서 반도체 기판(110)보다 높은 도핑 농도를 가지는 전면 전계(front surface field, FSF)를 형성하는 전면 전계 영역을 구성한다.

<30> 제1 또는 제2 도전형 도펀트로 사용되는 p형 도펀트로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 들 수 있고, n형 도펀트로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 들 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 도펀트가 제1 또는 제2 도전형 도펀트로 사용될 수 있다.

<31> 여기서, 본 실시예에서는 반도체 기판(110)과 별개로 형성되는 제1 도전형

영역(20)이 반도체 기판(110)의 후면 쪽에 위치하고, 반도체 기판(110)의 일부를 구성하는 제2 도전형 영역(30)이 반도체 기판(110)의 전면 쪽에 위치한다. 반도체 기판(110)과 다른 결정 구조를 가지는 제1 도전형 영역(20)이 반도체 기판(110)의 전면 쪽에 위치하면 제1 도전형 영역(20)에서의 광 흡수가 증가되어 pn 접합에 도달하는 광량이 저하될 수 있으므로, 제1 도전형 영역(20)을 반도체 기판(110)의 후면 쪽에 위치시킨 것이다. 그러나 본 발명이 이에 한정되는 것은 아니다.

<32> 제1 및 제2 도전형 영역(20, 30) 위에는 제1 및 제2 전극(42, 44)에 대응하는 개구부(102, 104)를 제외하고 절연막이 전체적으로 형성될 수 있다. 이러한 절연막은 별도로 도펀트를 포함하지 않는 언도프트 절연막으로 구성될 수 있다.

<33> 구체적으로, 제1 도전형 영역(20) 위에는 개구부(102)를 제외한 부분에 제1 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있고, 제2 도전형 영역(30) 위에는 개구부(104)를 제외한 부분에 제2 절연막이 전체적으로 형성(일 예로, 접촉)될 수 있다. 본 실시예에서는 제1 절연막으로 제1 도전형 영역(20) 위에 형성(일 예로, 접촉)하는 제1 패시베이션막(24)을 사용하고, 제2 절연막으로 제2 도전형 영역(30) 위에 형성(일 예로, 접촉하는) 제2 패시베이션막(34) 및 이 위에 형성(일 예로, 접촉)하는 반사 방지막(36)을 사용하는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니며 절연막은 원하는 기능에 따라 다양한 배치를 가질 수 있다.

<34> 패시베이션막(24, 34)은 도전형 영역(20, 30)에 접촉하여 형성되어 도전형 영역(20, 30)의 표면 또는 벌크 내에 존재하는 결함을 부동화 시킨다. 이에 의하여 소수 캐리어의 재결합 사이트를 제거하여 태양 전지(100)의 개방 전압(Voc)을 증가

시킬 수 있다. 반사 방지막(36)은 반도체 기판(110)의 전면으로 입사되는 광의 반사율을 감소시킨다. 이에 의하여 반도체 기판(110)의 전면을 통해 입사되는 광의 반사율이 낮추는 것에 의하여 베이스 영역(10)과 제1 도전형 영역(20)의 계면에 형성된 pn 접합까지 도달되는 광량을 증가시킬 수 있다. 이에 따라 태양 전지(100)의 단락 전류(Isc)를 증가시킬 수 있다. 이와 같이 패시베이션막(24, 34) 및 반사 방지막(36)에 의해 태양 전지(100)의 개방 전압과 단락 전류를 증가시켜 태양 전지(100)의 효율을 향상할 수 있다.

<35> 일례로, 패시베이션막(24, 34) 또는 반사 방지막(36)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, 알루미늄 산화막, MgF_2, ZnS, TiO_2 및 CeO_2로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 일 예로, 패시베이션막(24, 34)은, 도전형 영역(20, 30)이 n형을 가지는 경우에는 고정 양전하를 가지는 실리콘 산화막, 실리콘 질화막 등을 포함할 수 있으며, p형을 가지는 경우에는 고정 음전하를 가지는 알루미늄 산화막 등을 포함할 수 있다. 일 예로, 반사 방지막(36)은 실리콘 질화물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 패시베이션막(24, 34), 그리고 반사 방지막(36)이 다양한 물질을 포함할 수 있다.

<36> 제1 전극(42)은 제1 도전형 영역(20) 위에 위치(일 예로, 접촉)하여 제1 도전형 영역(20)에 전기적으로 연결된다. 제1 전극(42)은 제1 패시베이션막(24)에 형성된 개구부(102)를 통하여(즉, 제1 패시베이션막(24)을 관통하여) 제1 도전형 영

역(20)에 전기적으로 연결될 수 있다. 이와 유사하게 제2 전극(44)은 제2 도전형 영역(30) 위에 위치(일 예로, 접촉)하여 제2 도전형 영역(30)에 전기적으로 연결된다. 제2 전극(44)은 제2 패시베이션막(34) 및 반사 방지막(36)에 형성된 개구부(104)를 통하여(즉, 제2 패시베이션막(34) 및 반사 방지막(36)을 관통하여) 제1 도전형 영역(20)에 전기적으로 연결될 수 있다. 이러한 제1 및 제2 전극(42, 44)은 다양한 물질(좀더 구체적으로, 금속)을 포함하고 다양한 형상을 가질 수 있다. 제1 및 제2 전극(42, 44)의 형상에 대해서는 추후에 도 2를 참조하여 상세하게 설명한다.

<37> 반도체 기판(110)의 후면 위에 위치한 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리(또는 반도체 기판(110)의 측면)과 일정한 제1 거리(D1)만큼 이격되어 위치한다. 이에 따라 터널링층(22) 및 제1 도전형 영역(20) 각각의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 여기서 제1 거리(D1)는 터널링층(22) 및 제1 도전형 영역(20)은 반도체 기판(110)의 후면의 가장자리 사이의 거리 중 가장 짧은 거리를 의미할 수 있다.

<38> 즉, 반도체 기판(110)의 후면의 가장자리에는 터널링층(22) 및 제1 도전형 영역(20)(이와 함께, 제1 도전형 영역(20)에 연결되는 제1 전극(42))이 형성되지 않는 아이솔레이션부(I)가 위치할 수 있다. 아잇올레이션부(I)는 반도체 기판(110)의 후면의 가장자리로부터 제1 도전형 영역(20)을 이격시켜 에지 아이솔레이션(edge isolation)의 역할을 할 수 있다. 즉, 제2 도전형 영역(30)의 형성 시에 제2 도전형 도펀트가 반도체 기판(110)의 측면 또는 후면의 가장자리까지 확산되어 반

도체 기판(110)의 측면 또는 후면의 가장자리에서 제1 도전형 영역(20)과 제2 도전형 영역(30)이 원하지 않게 단락될 수 있는데, 본 실시예에서는 반도체 기판(110)의 후면 가장자리에서 제1 도전형 영역(20)을 제거하여 이러한 문제를 원천적으로 방지할 수 있다. 그리고 반도체 기판(110)의 전면에 위치하는 제2 도전형 영역(30)은 반도체 기판(110)의 전면에서 전체적으로 형성할 수 있어, 제2 도전형 영역(30)의 면적을 최대화할 수 있다.

<39> 아이솔레이션부(I)는, 도 2에 도시한 바와 같이, 반도체 기판(110)의 후면 가장자리 전체를 따라 형성되어 폐쇄된 형상(closed shape)를 가질 수 있다. 그리고 아이솔레이션부(I)와 터널링층(22) 및 제1 도전형 영역(20)이 형성된 부분 사이에는 일정한 단차가 존재하게 된다.

<40> 일 예로, 제1 거리(D1)(즉, 아이솔레이션부(I)의 폭)이 1㎜ 이하일 수 있다. 제1 거리(D1)가 1㎜를 초과하면, 제1 도전형 영역(20)의 면적이 작아져서 효율이 저하될 수 있다. 일 예로, 제1 거리(D1)가 1㎚ 내지 1㎜ 일 수 있다. 제1 거리(D1)가 1㎜ 미만이면, 아이솔레이션부(I)에 의한 효과가 충분하지 않을 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 반도체 기판(110)의 크기 등에 따라 상술한 제1 거리(D1)가 다른 값을 가질 수도 있다.

<41> 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지는 형상을 가질 수 있다. 이때, 제1 도전형 영역(20)은 반도체 기판(110)으로부터 멀어질수록 면적이 작아지도록 측면이 반도체 기판(110)과 수직이 되지 않도록(일 예로, 대략적으로 경사지게) 형성될 수 있다. 일 예로, 제1 도전형 영역(20)은 반

도체 기판(110)으로부터 멀어질수록 면적이 작아지면서 측면이 라운드지게 형성될 수 있다. 터널링층(22)의 측면은 제1 도전형 영역(20)의 측면과 연장되도록 위치할 수 있으며, 제1 도전형 영역(20)과 유사하게 라운드진 형상을 가질 수 있다. 이는 제1 도전형 영역(20)과 터널링층(22)을 제거하여 아이솔레이션부(I)를 형성하는 공정에서 습식 공정 등을 사용하였기 때문인데, 이에 대해서는 후술한다. 그러나 제1 도전형 영역(20) 및 터널링층(22)의 측면 형상 등은 이 외에도 다양한 형상을 가질 수도 있다.

<42> 그리고 반도체 기판(110)의 후면 쪽에 위치한 제1 절연막(즉, 제1 패시베이션막(24))은 터널링층(22) 및 제1 도전형 영역(20)이 있는 부분에서는 제1 도전형 영역(20) 위에 위치하고, 아이솔레이션부(I)에서는 반도체 기판(110)의 후면 위에 위치(좀더 구체적으로는, 접촉)한다. 즉, 제1 패시베이션막(24)은 반도체 기판(110)의 가장자리 부근에서 반도체 기판(110)의 후면에 접촉하여 형성되고, 이로부터 연장되어 터널링층(22) 및 제1 도전형 영역(20)의 측면들을 덮으면서 이들과 접촉하여 형성되고, 이로부터 연장되어 제1 도전형 영역(20)의 상부면을 덮으면서 이들과 접촉하여 형성된다.

<43> 본 실시예에서는 태양 전지(100)의 제조 공정 중에 반도체 기판(110)의 후면의 가장자리에 위치한 터널링층(22) 및 제1 도전형 영역(22)을 제거하여 아이솔레이션부(I)를 형성한다. 이에 따라 제1 패시베이션막(24)을 터널링층(22) 및 제2 도전형 영역(22)이 제거되어 노출된 반도체 기판(110)의 후면의 가장자리 부분(즉, 아이솔레이션부(I)에 대응하는 부분)을 덮도록 형성한다. 이에 의하여 아이솔레이

션부(I)에 의하여 패시베이션 특성이 저하되는 것을 방지한다. 이때, 별도의 패시베이션막을 사용하지 않고 제1 패시베이션막(24)을 사용하여 태양 전지(100)의 구조 및 제조 공정이 복잡해지는 것을 방지할 수 있다.

<44> 그리고 제1 절연막인 제1 패시베이션막(24)은 반도체 기판(110)의 측면 위까지 연장되는 측면부(24a)를 포함할 수 있다. 제1 패시베이션막(24)의 측면부(24a)를 구비하면 제1 패시베이션막(24)이 반도체 기판(110)의 후면 쪽 위를 전체적으로 안정적으로 덮으면서 형성될 수 있다.

<45> 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)도 반도체 기판(110)의 측면 위까지 연장되는 측면부(34a, 36a)를 포함할 수 있다. 이때, 반도체 기판(110)의 측면에서 제2 절연막이 반도체 기판(110)에 더 가까이 위치하고, 제1 절연막이 제2 절연막 위에 위치할 수 있다. 좀더 구체적으로는, 제2 패시베이션막(34)의 측면부(34a)가 반도체 기판(110)의 측면에 접촉하고, 반사 방지막(36)의 측면부(36a)가 제2 패시베이션막(34)의 측면부(34a)에 접촉하고, 제1 패시베이션막(24)의 측면부(24a)가 반사 방지막(36)의 측면부(36a)에 접촉할 수 있다. 이에 의하면, 제1 패시베이션막(24)을 형성하는 공정에서 제2 도전형 영역(30)을 안정적으로 보호할 수 있도록 제2 절연막을 먼저 형성한 다음 제1 절연막을 형성하였기 때문인데, 이에 대해서는 추후에 좀더 상세하게 설명한다.

<46> 그러나 본 발명이 이에 한정되는 것은 아니며, 반도체 기판(110)의 측면에 측면부(24a, 34a, 36a) 중 적어도 하나가 구비되지 않거나 이들의 적층 순서가 달라질 수도 있다.

<47> 도 2를 참조하여 제1 전극(42)의 평면 형상을 상세하게 설명한 다음, 제2 전극(44)의 평면 형상을 상세하게 설명한다.

<48> 도 2를 참조하면, 제1 전극(42)은 일정한 피치를 가지면서 서로 이격되는 복수의 핑거 전극(42a)을 포함할 수 있다. 도면에서는 핑거 전극(42a)이 서로 평행하며 반도체 기판(110)의 가장자리에 평행한 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 그리고 제1 전극(42)은 핑거 전극들(42a)과 교차하는 방향으로 형성되어 핑거 전극(42a)을 연결하는 버스바 전극(42b)을 포함할 수 있다. 이러한 버스바 전극(42b)은 하나만 구비될 수도 있고, 도 2에 도시된 바와 같이, 핑거 전극(42a)의 피치보다 더 큰 피치를 가지면서 복수 개로 구비될 수도 있다. 이때, 핑거 전극(42a)의 폭보다 버스바 전극(42b)의 폭이 클 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 따라서, 버스바 전극(42b)의 폭이 핑거 전극(42a)의 폭과 동일하거나 그보다 작은 폭을 가질 수 있다.

<49> 단면에서 볼 때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)은 모두 제1 절연막인 패시베이션막(24)을 관통하여 형성될 수도 있다. 즉, 개구부(102)가 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 모두 대응하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 다른 예로, 제1 전극(42)의 핑거 전극(42a)이 제1 패시베이션막(24)을 관통하여 형성되고, 버스바 전극(42b)이 제1 패시베이션막(24) 위에 형성될 수 있다. 이 경우에는 개구부(102)가 핑거 전극(42a)에 대응하는 형상으로 형성되고, 버스바 전극(42b)만 위치한 부분에는 형성되지 않을 수 있다.

<50> 앞서 설명한 바와 같이 본 실시예에서는 반도체 기판(110)의 가장자리를 따라 터널링층(22) 및 제1 도전형 영역(20)이 형성되지 않는 형성되는 아이솔레이션부(I)가 형성된다. 이에 따라 제1 도전형 영역(20) 위에 형성되는 제1 전극(42)이 아이솔레이션부(I)에는 형성되지 않는다. 이에 따라 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(44b)의 단부는 반도체 기판(110)의 가장자리와 적어도 제1 거리(D1)만큼 이격되어 위치하게 된다.

<51> 제2 전극(44)은 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 각기 대응하는 핑거 전극 및 버스바 전극을 포함할 수 있다. 제2 전극(44)의 핑거 전극 및 버스바 전극에 대해서는 아이솔레이션부(I)에 대한 내용을 제외하고는 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)에 대한 내용이 그대로 적용될 수 있다. 그리고 제1 전극(42)에서 제1 절연막인 제1 패시베이션막(24)에 관련된 내용은 제2 전극(44)에서 제2 절연막인 제2 패시베이션막(34) 및 반사 방지막(36)에 그대로 적용될 수 있다. 이때, 제1 전극(42)의 핑거 전극(42a) 및 버스바 전극(42b)의 폭, 피치 등은 제2 전극(44)의 핑거 전극 및 버스바 전극의 폭, 피치 등과 서로 동일할 수도 있고 서로 다를 수 있다.

<52> 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)과 제2 전극(44)의 평면 형상이 서로 다른 것도 가능하며, 그 외의 다양한 변형이 가능하다.

<53> 상술한 바와 같이 본 실시예에서는 태양 전지(100)의 제1 및 제2 전극(42, 44)이 일정한 패턴을 가져 태양 전지(100)가 반도체 기판(110)의 전면 및 후면으로 광이 입사될 수 있는 양면 수광형(bi-facial) 구조를 가진다. 이에 의하여 태양 전

지(100)에서 사용되는 광량을 증가시켜 태양 전지(100)의 효율 향상에 기여할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 전극(42)이 반도체 기판(110)의 후면 쪽에서 전체적으로 형성되는 구조를 가지는 것도 가능하다. 그 외의 다양한 변형이 가능하다.

<54> 이때, 반도체 기판(110)의 후면에 아이솔레이션부(I)를 형성하여 제1 도전형 영역(20)과 제2 도전형 영역(30)이 불필요하게 서로 연결되는 것을 효과적으로 방지할 수 있다. 그리고 터널링층(22) 및 제1 도전형 영역(20)이 제거되어 형성된 아이솔레이션부(I)가 위치하는 반도체 기판(110)의 표면은 제1 도전형 영역(20)을 덮는 제1 절연막(제1 패시베이션막(24))에 의하여 덮여서 패시베이션될 수 있다. 이에 의하여 간단한 구조에 의하여 아이솔레이션부(I)를 패시베이션하여 표면 재결합 등에 의한 문제를 최소화할 수 있다. 즉, 간단한 구조에 의하여 태양 전지(100)의 효율 및 신뢰성을 향상하고 불량률을 낮출 수 있다.

<55> 이러한 태양 전지(100)의 제조 방법을 도 4a 내지 도 4j를 참조하여 상세하게 설명한다. 이미 설명한 내용에 대해서는 상세한 설명을 생략하고 설명하지 않은 내용에 대해서만 상세하게 설명한다.

<56> 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 태양 전지의 제조 방법을 도시한 단면도들이다.

<57> 도 4a에 도시한 바와 같이, 반도체 기판(110)의 전면 및 후면에 텍스쳐링 공정을 수행하여 요철을 형성한다. 반도체 기판(110)의 텍스쳐링으로는 습식 또는 건식 텍스쳐링을 사용할 수 있다. 습식 텍스쳐링은 텍스쳐링 용액에 반도체 기판

(110)을 침지하는 것에 의해 수행될 수 있으며, 공정 시간이 짧은 장점이 있다. 건식 텍스처링은 다이아몬드 그릴 또는 레이저 등을 이용하여 반도체 기판(110)의 표면을 깍는 것으로, 요철을 균일하게 형성할 수 있는 반면 공정 시간이 길고 반도체 기판(110)에 손상이 발생할 수 있다. 그 외에 반응성 이온 식각(RIE) 등에 의하여 반도체 기판(110)을 텍스처링 할 수도 있다. 이와 같이 본 발명에서는 다양한 방법으로 반도체 기판(110)을 텍스처링 할 수 있다.

<58> 간략한 도시를 위하여 도면에서는 반도체 기판(110)의 측면에는 텍스처링에 의한 요철이 구비되지 않은 것으로 도시하였다. 또한, 반도체 기판(110)의 두께가 매우 작은 편이므로 텍스처링에 의한 요철이 명확하게 인식되기 어려울 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 반도체 기판(110)의 측면에도 텍스처링에 의한 요철이 구비될 수 있다. 그리고 반도체 기판(110)의 텍스처링은 이후의 공정 중에 수행할 수도 있다.

<59> 도 4b에 도시한 바와 같이, 반도체 기판(110)의 양면 각각에 전체적으로 터널링층(22)을 형성한다. 이때, 터널링층(22)은 반도체 기판(110)의 측면에도 전체적으로 형성될 수 있다.

<60> 여기서, 터널링층(22)은, 일례로, 열적 산화, 화학적 산화, 증착(일 예로, 상압 화학 기상 증착법(APCVD), 저압 화학 기상 증착법(LPCVD)) 등에 의하여 형성될 수 있다. 추가적으로 얇은 두께로 터널링층(22)을 형성한 후에 로(furnace) 내에서의 후속 열처리 등에 의하여 터널링층(22)의 두께 또는 밀도를 증가시킬 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 터널링

층(22)이 형성될 수 있다. 여기서, 터널링층(22)이 실리콘 산화물층으로 이루어질 수 있다.

<61> 일 예로, 본 실시예에서 터널링층(22)은 상온보다 높은 온도 및 상압보다 작은 압력에서 원료 기체를 포함하는 기체 분위기에서 형성될 수 있다. 본 실시예에서는 원료 기체가 산소 기체를 포함하여 터널링층(22)이 산화물층으로 구성될 수 있다. 좀더 구체적으로는, 높은 온도에서 터널링층(22)이 산소와 반도체 기판(110)의 반도체 물질(예를 들어, 실리콘)이 반응하여 형성되는 열적 산화물(thermal oxide material)(예를 들어, 열적 실리콘 산화물)층으로 구성될 수 있다. .

<62> 이때, 본 실시예에서는 원료 기체가 터널링층(22)을 구성하는 모든 원료 물질을 포함하지 않으며, 터널링층(22)을 구성하는 산화물 중에 산소 기체만을 포함하며 다른 원료 물질을 포함하지 않는다. 예를 들어, 터널링층(22)이 실리콘 산화물을 포함할 때, 원료 기체로 산소 기체만을 구비할 뿐 다른 원료 물질인 실리콘을 포함하는 기체를 포함하지 않는다. 이에 따라 산소 기체의 산소가 반도체 기판(110)의 내부로 확산하여 반도체 물질과 반응하는 열적 산화 공정에 의하여 터널링층(22)이 형성된다. 이와 달리, 증착 공정 등에서는 산소를 포함하는 산소 기체와 함께 실리콘을 포함하는 실란(SiH_4) 기체를 원료 기체로 함께 공급한다. 그러면, 열분해에 의하여 산소 기체에서 분리된 산소와 실란 기체에서 분리된 실리콘이 화학적으로 반응하여 실리콘 산화물을 형성하게 된다. 터널링층(22)을 형성할 때 기체 분위기는 원료 기체인 산소 기체 외에도 다양한 기체를 포함할 수 있다.

<63> 그리고 터널링층(22)을 형성할 때의 압력을 상압보다 낮게 하여, 상대적으로 높은 온도(일 예로, 600℃ 이상)에 의한 열적 산화 공정으로 터널링층(22)을 형성하더라도 낮은 압력에 의하여 터널링층(22)의 성장 속도를 낮게 유지할 수 있다. 이에 의하여 터널링층(22)의 두께를 크게 줄일 수 있다. 일 예로, 터널링층(22) 형성 시 온도를 600℃ 내지 800℃로 하고 압력을 600 Torr 이하로 하여 터널링층(22)의 두께를 효과적으로 제어할 수 있다.

<64> 이와 같이 본 실시예에서는 터널링층(22)을 형성할 때 온도와 압력을 함께 제어하여야 하므로 압력 조절이 불가능한 종래의 로(furnace)에서 본 실시예의 터널링층(22)을 형성할 수 없고, 온도 및 압력 조절이 모두 가능한 장비 내에서 터널링층(22)을 형성하여야 한다. 이에 따라 본 실시예에서는 터널링층(22)은 증착 장비 등의 내부에서 열적 산화 공정에 의하여 형성될 수 있다. 이때, 낮은 압력을 구현하여야 하므로 터널링층(22)이 저압 화학 기상 증착 장비(low pressure chemical vapor deposition apparatus) 내에서 형성될 수 있다.

<65> 터널링층(22) 위에 형성되는 반도체층(도 4c의 참조부호 30)이 증착 장비에 의하여 형성되므로 터널링층(22)을 증착 장비에서 형성하게 되면, 터널링층(22)과 진성 반도체층(200)을 동일한 증착 장비(좀더 구체적으로는, 저압 화학 기상 증착 장비) 내에서 연속적으로 수행되는 인-시츄(in-situ) 공정에 의하여 형성될 수 있다. 이와 같이 터널링층(22)과 진성 반도체층(200)을 인-시츄 공정에 의하여 형성하게 되면, 제조 공정을 크게 단순화할 수 있어 제조 비용, 제조 시간 등을 크게 절감할 수 있다.

<66> 증착 장비 내의 온도는 긴 시간 동안 열을 가하거나 열을 식히는 것에 의하여 조절되며 온도를 안정화하는 데 시간이 많이 소요되는 반면, 기체 분위기 및 압력은 증착 장비 내로 공급되는 기체의 종류, 양 등에 의하여 조절될 수 있다. 따라서, 기체 분위기 및 압력은 온도보다 쉽게 제어될 수 있다.

<67> 이를 고려하여 본 실시예에서는 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이가 200℃ 이내(즉, 0℃ 내지 200℃)가 되도록 할 수 있다. 좀더 구체적으로는, 터널링층(22)의 형성 온도와 진성 반도체층(200)의 증착 공정의 온도 차이를 100℃ 이내(즉, 00℃ 내지 100℃)가 되도록 할 수 있다. 이는 터널링층(22)을 저압에서 형성하므로 터널링층(22)의 형성 온도를 상대적으로 높일 수 있어서 진성 반도체층(200)의 증착 공정과의 온도 차이를 줄일 수 있기 때문이다. 이와 같이 상대적으로 조절이 힘든 온도를 큰 변화 없이 유지할 수 있어 터널링층(22)과 진성 반도체층(200)을 연속적으로 형성하는 인-시츄 공정의 효율을 좀더 향상할 수 있다. 반면, 진성 반도체층(200)의 증착 공정의 기체 분위기는 터널링층(22)의 형성 시의 기체 분위기와 다르고, 진성 반도체층(200)의 증착 공정의 압력은 터널링층(22)의 형성 시의 압력과 같거나 이와 다를 수 있다. 이에 대해서는 추후에 진성 반도체층(200)의 증착 공정을 설명하면서 좀더 상세하게 설명한다.

<68> 도 4c에 도시한 바와 같이, 반도체 기판(110)의 양측 각각에서 터널링층(22) 위에 전체적으로 진성 반도체층(200)을 형성한다. 이때, 진성 반도체층(200)은 반도체 기판(110)의 측면 위에 위치한 터널링층(22) 위에도 전체적으로 형성될 수 있다. 이와 같이 진성 반도체층(200)이 양면에 위치하면 제1 도전형 영역(20)을 도핑

하는 공정에서 반도체 기판(110)의 전면의 도핑, 손상 등을 효과적으로 방지할 수 있다.

<69> 본 실시예에서 진성 반도체층(200)은 화학 기상 증착에 의하여 형성될 수 있고, 좀더 구체적으로는 저압 화학 기상 증착에 의하여 형성될 수 있다. 이에 따라 앞서 설명한 바와 같이 진성 반도체층(200)이 터널링층(22)과 인-시츄 공정에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 터널링층(22) 및 진성 반도체층(200)에 인-시츄 공정이 적용되지 않을 수도 있다.

<70> 진성 반도체층(200)의 증착 공정에 사용되는 기체는 진성 반도체층(200)을 구성하는 반도체 물질을 포함하는 기체(예를 들어, 실란 기체)를 포함할 수 있다. 본 실시예에서는 진성을 가지도록 진성 반도체층(200)을 증착하므로 기체 분위기가 반도체 물질을 포함하는 기체만으로 구성될 수 있다. 이에 의하여 공급 기체를 단순화할 수 있고, 형성되는 진성 반도체층(200)의 순도를 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 증착 공정을 촉진하거나, 진성 반도체층(200)의 특성을 향상하기 위한 별도의 기체 등을 더 사용될 수 있다. 그리고 진성 반도체층(200)의 증착 공정에서는 반도체 물질을 포함하는 기체 외에도 산화질소(N_2O) 기체 및/또는 산소(O_2) 기체를 함께 주입하여 결정립 크기, 결정성 등을 조절할 수 있다.

<71> 진성 반도체층(200)의 증착 온도는 터널링층(22)의 형성 시의 온도와 동일하거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 온도를 터널링층(22)

형성 시의 온도보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다. 또는, 진성 반도체층(200)의 증착 온도는 500℃ 내지 700℃일 수 있다. 이는 반도체 기판(110)과 다른 결정 구조를 가지는 진성 반도체층(200)을 증착하기에 적합한 온도로 한정된 것이다. 앞서 설명한 바와 같이, 터널링층(22)의 온도를 진성 반도체층(200)의 증착 온도와 동일 또는 유사하게 하였으므로, 온도를 조절하기 위한 시간, 온도를 안정화하기 위한 시간 등이 필요하지 않아 공정을 단순화할 수 있다.

<72> 그리고 진성 반도체층(200)의 증착 압력은 상압보다 낮은 압력, 일 예로, 600 Torr 이하(일 예로, 1 Torr 내지 600 Torr)일 수 있다. 증착 압력을 1 Torr 미만으로 유지하는 것은 공정 상 한계가 있을 수 있고 진성 반도체층(200)의 공정 시간이 크게 길어져서 실제 양산에 적용되기 어려울 수 있다. 증착 압력이 600 Torr를 초과하면, 진성 반도체층(200)의 균일도가 저하될 수 있다. 또는, 진성 반도체층(200)의 증착 압력은 터널링층(22)의 형성 시 압력과 같거나 이보다 작을 수 있다. 특히, 진성 반도체층(200)의 증착 압력을 터널링층(22) 형성 시의 압력보다 작게 하면, 광전 변환에 직접적으로 관여하는 진성 반도체층(200)의 특성을 균일하게 할 수 있다.

<73> 이를 좀더 상세하게 설명한다. 반도체 물질(예를 들어, 실리콘)을 포함하는 기체가 열분해되어 반도체 물질이 터널링층(22) 위에 증착되는 것에 의하여 진성 반도체층(200)이 형성된다. 그런데, 증착 속도를 증가시키기 위하여 온도 및/또는 압력을 증가시키게 되면 진성 반도체층(200) 내부에서 결정성의 산포가 커지게 된

다. 진성 반도체층(200)의 결정성은 캐리어의 이동 속도 등에 관여하게 되므로, 진성 반도체층(200)의 결정성의 산포가 커지면 진성 반도체층(200)의 특성이 불균해질 수 있다. 반면, 터널링층(22)은 아주 얇은 두께로 형성되며 결정성이 터널링층(22)의 특성에 큰 영향을 미치지 않는다. 이를 고려하여, 진성 반도체층(200)이 터널링층(22)보다 두꺼운 두께로 형성되어야 함에도 불구하고 진성 반도체층(200)의 증착 온도 및/또는 압력을 터널링층(22)의 형성 시보다 낮게 하여 진성 반도체층(200)의 특성을 향상하는 것이다.

<74> 그러나 본 발명이 이에 한정되는 것은 아니며 진성 반도체층(200)의 기체 분위기, 온도, 압력 등은 다양하게 변화될 수 있다.

<75> 이와 같이 진성 반도체층(200)은 터널링층(22)의 형성 후에 공급되는 기체의 종류를 변경하고 공급되는 기체의 양을 조절하는 것에 의하여 형성될 수 있다. 예를 들어, 터널링층(22)의 형성이 완료된 후에 터널링층(22)의 형성 시에 사용되었던 기체(예를 들어, 산소 기체, 질소 기체, 염소 기체 등)을 펌핑(pumping) 및 퍼지(purge)에 의하여 제거한 후에, 진성 반도체층(200)을 형성하기 위한 기체(예를 들어, 반도체 물질을 포함하는 기체 등)를 주입하는 것에 의하여 진성 반도체층(200)을 형성할 수 있다.)

<76> 이에 따라 터널링층(22) 및 진성 반도체층(200)의 형성 공정을 단순화할 수 있다. 또한, 종래와 같이 터널링층을 형성한 다음 터널링층이 형성된 반도체 기판을 장비 외부로 꺼내게 되면, 터널링층이 불순물에 오염되거나 추가적인 산화에 의하여 터널링층의 두께가 두꺼워지는 문제가 있었다. 본 실시예에서는 터널링층(2

2)을 형성한 장비 내에서 진성 반도체층(200)을 연속하여 형성하므로 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되지 않는다. 따라서 터널링층(22)이 진성 반도체층(200) 형성 전에 외부로 노출되어 발생할 수 있는 문제를 방지할 수 있다.

<77> 참고로, 플라스마 화학 기상 증착(PECVD)을 사용하는 경우에는 진성 반도체층(200)을 형성한 후에 다결정 구조를 가지게 하기 위하여 별도의 결정화 어닐링 공정을 수행하여야 한다. 이에 따라 구조가 복잡해지고 성능 또한 낮을 수 있다. 또한, 플라스마 화학 기상 증착은 단면 공정으로 반도체 기판(110)의 양측 각각에 전체적으로 진성 반도체층(200)을 형성하기 어려울 수 있다.

<78> 이어서, 도 4d에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200)을 제1 도전형 도펀트로 도핑하여 제1 도전형 영역(20a)을 형성한다. 이때, 본 실시예에서는 열 확산법에 의하여 제1 도전형 도펀트를 도핑할 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<79> 일 예로, 도 4d에 도시한 바와 같이, 제1 도전형 도펀트를 포함하는 기체 분위기에서 열처리하는 것에 의하여 전체적으로 제1 도전형 영역(20a)을 형성할 수 있다. 제1 도전형 영역(20a)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 또는, 제1 도전형 영역(20a)이 p형을 가질 경우에는 BBr_3를

포함하는 기체 분위기에서 열처리할 수 있다.

<80> 이와 같이 제1 도전형 도펀트를 포함하는 기체를 사용하여 제1 도전형 영역(20a)을 형성하는 공정을 단순화할 수 있다. 다만, 이러한 공정에 의하여 반도체 기판(110)의 후면 쪽과 함께 반도체 기판(110)의 전면 및 측면 쪽에서도 도핑이 이루어진다. 본 실시예에서는 반도체 기판(110)의 전면 및 측면 쪽에 후속 공정에서 제거될 진성 반도체층(200)의 부분이 존재하므로, 반도체 기판(110)의 전면 및 측면이 불필요하게 제1 도전형 도펀트로 도핑되는 것을 원천적으로 방지할 수 있다.

<81> 다른 예로, 도 5에 도시한 바와 같이, 적어도 반도체 기판(110)의 후면 쪽에 위치한 진성 반도체층(200) 위에 제1 도전형 도펀트를 포함하는 제1 도핑층(210)을 형성하고, 열처리에 의하여 제1 도핑층(210) 내에 포함된 제1 도전형 도펀트를 확산시켜 제1 도전형 영역(20a)을 형성할 수 있다. 일 예로, 제1 도핑층(210)은 인 실리케이트 유리(phosphorus silicate glass, PSG), 보론 실리케이트 유리(boron silicate glass, BSG) 등을 포함할 수 있다. 이러한 제1 도핑층(210)은 증착 등에 의하여 쉽게 형성할 수 있다.

<82> 일 예로, 제1 도핑층(210)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면 및/또는 측면 쪽에 형성되고 전면에는 형성되지 않는다. 이에 따라 제1 도전형 영역(20a)이 반도체 기판(110)의 후면 및/또는 측면 쪽에만 형성되고 전면에는 진성 반도체층(200)이 그대로 잔존할 수 있다.

<83> 이어서, 도 4e에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 위치한 제1 도전형 영역(20a) 위에 아이솔레이션부(도 4f의 참조부호 I, 이하 동일) 이외

에서 잔존하여야 할 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)에 대응하도록 마스크층(202)을 형성한다. 좀더 구체적으로, 마스크층(202)의 면적은 반도체 기판(110)의 면적보다 작을 수 있다. 이에 의하여 원하지 않는 제1 도전형 영역(20a)의 부분을 제거하여 아이솔레이션부(I) 이외에서 잔존하는 제1 도전형 영역(도 4f의 참조부호 20, 이하 동일)이 반도체 기판(110)보다 작은 면적을 가지도록 할 수 있다.

<84> 일 예로, 마스크층(202)은 반도체 기판(110)의 각 측면(또는 가장자리)로부터 일정한 제2 거리(D2)만큼 이격될 수 있다. 마스크층(202)이 반도체 기판(110)과 동일하거나 이보다 큰 면적을 가지면 반도체 기판(110)의 후면에서 반도체 기판(110)의 측면에 인접하여 위치한 제1 도전형 영역(20a)의 부분을 효과적으로 제거하기 어려울 수 있다. 제2 거리(D2)는 제1 도전형 영역(20)이 반도체 기판(110)의 후면 가장자리로부터 이격된 제1 거리(D1)가 원하는 값을 가질 수 있도록 제어될 수 있다. 일 예로, 제1 거리(D1)가 1mm 이하(일 예로, 1nm 내지 1mm)의 값을 가질 수 있도록 제2 거리(D2)가 1mm 이하(일 예로, 1nm 내지 1mm)의 값을 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제2 거리(D2)가 이와 다른 값을 가질 수도 있다.

<85> 마스크층(202)은 반도체 물질을 포함하는 제1 도전형 영역(20a)을 제거하는 공정에서 제거되지 않는 물질을 포함할 수 있다. 예를 들어, 제1 도전형 영역(20a)을 제거하는 공정에서 사용되는 식각 용액에 식각되지 않는 마스크층(202)은 산화물, 질화물, 수지 등을 포함할 수 있다. 일 예로, 마스크층(202)이 실리콘 질화

물층으로 구성되어 단순한 공정으로 마스크층(202)을 형성할 수 있다.

<86> 이어서, 도 4f에 도시한 바와 같이, 마스크층(202)에 의하여 덮여지지 않은 제1 도전형 영역(20) 및 터널링층(22)의 부분을 제거하여 아이솔레이션부(I)를 형성한다. 일 예로, 제1 도전형 영역(20) 및 터널링층(22)은 알칼리 용액(일 예로, KOH 용액)을 이용한 습식 식각에 의하여 제거될 수 있다. 습식 식각에 의하면 간단하고 쉬운 공정에 의하여 반도체 기판(110)의 전면, 측면 및 후면의 아이솔레이션부(I)에 위치한 제1 도전형 영역(20) 및 터널링층(22)을 제거할 수 있다. 알칼리 용액에 의하여 제1 도전형 영역(20)을 선택적으로 쉽게 제거할 수 있으며, 비록 산화물이지만 매우 작은 두께를 가지는 터널링층(22)도 쉽게 제1 도전형 영역(20)이 제거될 때 함께 제거될 수 있다. 이에 의하여 반도체 기판(110)보다 작은 면적을 가지며 반도체 기판(110)의 후면 가장자리로부터 제1 거리(D1)만큼 떨어진 제1 도전형 영역(20) 및 터널링층(22)을 형성할 수 있다.

<87> 습식 식각에 의하여 제1 도전형 영역(20) 및 터널링층(22)이 반도체 기판(110)으로부터 멀어지면서 면적이 작아지는 형상을 가질 수 있고, 측면이 라운드지게 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 제1 도전형 영역(20) 및 터널링층(22)의 일부가 반응성 이온 식각, 건식 식각 등의 다양한 방법에 의하여 제거될 수 있고, 제1 도전형 영역(20) 및 터널링층(22)의 형상이 다른 형상을 가질 수 있다.

<88> 아이솔레이션부(I)를 형성하도록 제1 도전형 영역(20) 및 터널링층(22)의 일부를 제거한 후에 이후에 마스크층(202)을 제거할 수 있다. 마스크층(202)은 물질

에 따라 다양한 방법에 의하여 제거될 수 있다. 일 예로, 마스크층(202)이 산화물, 질화물 등을 포함할 때에는 희석된 불산을 사용한 공정에 의하여 제거될 수 있다. 마스크층(202)은 별도의 공정에 의하여 제거될 수도 있고, 희석된 불산을 포함하는 용액을 포함하는 세정 공정에 의하여 자연스럽게 제거될 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 마스크층(202)의 제거 방법으로 알려진 다양한 방법이 사용될 수 있다.

<89> 이어서, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 도전형 영역(30)을 형성한다. 제2 도전형 영역(30)은 제2 도전형 도펀트를 반도체 기판(110)에 도핑하여 반도체 기판(110)의 일부를 구성하는 도핑 영역으로 구성될 수 있다.

<90> 제2 도전형 영역(30)은 알려진 다양한 방법에 의하여 형성될 수 있다. 예를 들어, 제2 도전형 영역(30)이 열 확산법에 의하여 형성될 수 있다. 열 확산법이 터널링층(22)의 특성 저하를 최소화하면서 도핑이 가능하기 때문이다. 반면, 이온 주입법 등은 이온 주입 후에 고온에서 이루어지는 활성화 열처리에 의하여 터널링층(22)의 특성이 저하될 수 있다.

<91> 일 예로, 도 4g에 도시한 바와 같이, 반도체 기판(110)의 측면 및 후면에 캡핑막(204)을 형성하고 제2 도전형 도펀트를 포함하는 가스 분위기에서 열처리하는 것에 의하여 반도체 기판(110)의 전면에 제2 도전형 영역(30)을 형성할 수 있다. 제2 도전형 영역(30)이 p형을 가질 경우에는 BBr_3를 포함하는 기체 분위기에서 열처

리할 수 있다. 또는, 제2 도전형 영역(30)이 n형을 가질 경우에는 $POCl_3$를 포함하는 기체 분위기에서 열처리할 수 있다. 제2 도전형 영역(30)이 형성된 후에는 캡핑막(204)을 제거할 수 있다. 캡핑막(204)은 제2 도전형 도펀트의 도핑을 막을 수 있는 다양한 막이 사용될 수 있으며, 물질에 따른 제거 방법에 의하여 제거될 수 있다.

<92> 다른 예로, 도 6에 도시한 바와 같이, 반도체 기판(110)의 전면 위에 제2 도전형 도펀트를 포함하는 제2 도핑층(310)을 형성하고, 열처리에 의하여 제2 도핑층(310) 내에 포함된 제2 도전형 도펀트를 반도체 기판(110)의 내부로 확산시켜 제2 도전형 영역(30)을 형성할 수 있다. 일 예로, 제2 도핑층(310)은 보론 실리케이트 유리(boron silicate glass, BSG), 인 실리케이트 유리(phosphorus silicate glass, PSG) 등을 포함할 수 있다. 이러한 제2 도핑층(310)은 증착 등에 의하여 쉽게 형성할 수 있다. 일 예로, 제2 도핑층(310)은 상압 화학 기상 증착 등에 의하여 형성되어 반도체 기판(110)의 후면에는 형성되지 않는다.

<93> 이어서, 도 4h에 도시한 바와 같이, 반도체 기판(110)의 전면 쪽에 제2 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 전면 쪽에서 제2 도전형 영역(30) 위에 제2 패시베이션막(34) 및 반사 방지막(36)을 형성한다. 이때, 반도체 기판(110)의 측면에도 절연층(즉, 제2 패시베이션막(34) 및 반사 방지막(36))이 함께 형성될 수 있다. 예를 들어, 반도체 기판(110)의 전면 쪽에 위치한 절연막 중 적어도 일부(일 예로, 제2 패시베이션막(34))이 제2 도전형 영역(30)에 접촉할 수 있다.

<94> 제2 패시베이션막(34) 또는 반사 방지막(36)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제2 패시베이션막(34) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 전면 및/또는 측면에만 제2 패시베이션막(34) 또는 반사 방지막(36)을 형성할 수 있다. 따라서 제2 패시베이션막(34) 또는 반사 방지막(36)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<95> 이어서, 도 4i에 도시한 바와 같이, 반도체 기판(110)의 후면 쪽에 제1 절연막을 형성한다. 예를 들어, 반도체 기판(110)의 후면 쪽에서 제1 도전형 영역(20) 및 반도체 기판(110)의 후면 위에 제1 패시베이션막(24)을 형성한다. 이때, 반도체 기판(110)의 측면 쪽에도 절연층(즉, 제1 패시베이션막(24))이 함께 형성될 수 있다.

<96> 좀더 구체적으로, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 반도체 기판(110)의 후면 위, 그리고 반도체 기판(110)의 측면 위에 연속적으로 연장되어 형성될 수 있다. 이때, 제1 패시베이션막(24)은 제1 도전형 영역(20)의 위, 제1 도전형 영역(20) 및 터널링층(22)의 측면 위, 그리고 반도체 기판(110)의 후면 위에 접촉할 수 있다. 이에 의하여 아이솔레이션부(I)에 의한 에지 아이솔레이션이 이루어진 후에 별도의 공정 없이 제1 패시베이션막(24)을 형성하면서 아이솔레이션부(I)를 함께 패시베이션할 수 있다.

<97> 일 예로, 제1 패시베이션막(24)은 진공 증착법, 화학 기상 증착법, 스핀 코팅, 스크린 인쇄 또는 스프레이 코팅 등과 같은 다양한 방법에 의하여 형성될 수 있다. 이때, 제1 패시베이션막(24) 또는 반사 방지막(36)의 형성 시에 플라스마 유도 화학 기상 증착(PECVD)과 같은 단면 증착을 사용하면 후면 및/또는 측면에만 제1 패시베이션막(24)을 형성할 수 있다. 따라서 제1 패시베이션막(24)을 위한 별도의 패터닝 공정을 구비하지 않아도 된다.

<98> 본 실시예에서는 반도체 기판(110)의 전면 쪽은 덮는 제2 절연막을 먼저 형성한 후에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 형성하는 것을 예시하였다. 이에 의하면 제1 절연막을 형성하는 공정 중에 제1 도전형 영역(20)의 특성이 저하되거나 손상되는 것을 방지할 수 있다. 특히, 제1 도전형 영역(20)이 에미터 영역일 때에는 제1 도전형 영역(20)의 특성이 매우 중요할 수 있기 때문이다. 그러나 본 발명이 이에 한정되는 것은 아니다. 본 실시예에서는 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막을 먼저 형성한 후에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막을 형성할 수도 있다. 이 경우에는 이에 따라 반도체 기판(110)의 측면에 반도체 기판(110)의 후면 쪽을 덮는 제1 절연막이 위치(일 예로, 접촉)하고, 이 위에 반도체 기판(110)의 전면 쪽을 덮는 제2 절연막이 위치(일 예로, 접촉)할 수 있다.

<99> 이어서, 도 4j에 도시한 바와 같이, 제1 및 제2 도전형 영역(20, 30)에 각기 연결되는 제1 및 제2 전극(42, 44)을 형성한다.

<100> 일 예로, 패터닝 공정에 의하여 제1 및 제2 절연막에 제1 및 제2 개구부

(102, 104)를 형성하고, 그 이후에 제1 및 제2 개구부(102, 104) 내를 채우면서 제1 및 제2 전극(42, 44)을 형성한다. 이때, 제1 및 제2 개구부(102, 104)는 레이저를 이용한 레이저 어블레이션, 또는 식각 용액 또는 식각 페이스트 등을 이용한 다양한 방법에 의하여 형성될 수 있다. 그리고 제1 및 제2 전극(42, 44)은 도금법, 증착법 등의 다양한 방법에 의하여 형성될 수 있다.

<101> 다른 예로, 제1 및 제2 전극 형성용 페이스트를 제1 및 제2 절연막에 각기 스크린 인쇄 등으로 도포한 후에 파이어 스루(fire through) 또는 레이저 소성 컨택(laser firing contact) 등을 하여 상술한 형상의 제1 및 제2 전극(42, 44)을 형성하는 것도 가능하다. 이 경우에는 제1 및 제2 전극(42, 44)을 형성할 때 자연스럽게 제1 및 제2 개구부(102, 104)가 형성되므로, 별도로 제1 및 제2 개구부(102, 104)를 형성하는 공정을 추가하지 않아도 된다.

<102> 이에 따르면 단순한 공정에 의하여 아이솔레이션부(I)를 형성할 수 있으며 아이솔레이션부(I)를 제1 절연막인 제1 패시베이션막(24)에 의하여 패시베이션하여 표면 재결합에 의한 문제를 방지할 수 있다. 이에 의하여 간단한 공정에 의하여 태양 전지(100)의 불량률을 낮춰 생산성을 향상할 수 있다.

<103> 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되

어야 할 것이다.

【부호의 설명】

<104> 100: 태양 전지

110: 반도체 기판

22: 터널링층

20: 제1 도전형 영역

30: 제2 도전형 영역

24: 제1 패시베이셔막

34: 제2 패시베이션막

36: 반사 방지막

42: 제1 전극

44: 제2 전극

【특허청구범위】

【청구항 1】

반도체 기판의 일면 위에 위치하는 터널링층;

상기 터널링층 위에 위치하는 제1 도전형 영역;

상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막;

상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역;

상기 제1 도전형 영역에 연결되는 제1 전극; 및

상기 제2 도전형 영역에 연결되는 제2 전극

을 포함하고,

상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는 태양 전지.

【청구항 2】

제1항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면에 접촉하는 태양 전지.

【청구항 3】

제1항에 있어서,

상기 아이솔레이션부의 폭이 1mm 이하인 태양 전지.

【청구항 4】

제3항에 있어서,

상기 아이솔레이션부의 폭이 1nm 내지 1mm 이하인 태양 전지.

【청구항 5】

제1항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지.

【청구항 6】

제1항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지.

【청구항 7】

제1항에 있어서,

상기 제1 절연막은 상기 반도체 기판의 측면 위까지 연장되는 측면부를 포함하는 태양 전지.

【청구항 8】

제7항에 있어서,

상기 제2 도전형 영역 위에 위치하는 제2 절연막을 더 포함하고,

상기 제2 절연막이 상기 반도체 기판의 측면 위에 형성되는 측면부를 포함하고,

상기 반도체 기판의 측면 위에서 상기 제1 절연막의 측면부가 상기 제2 절연막의 측면부 위에 위치하는 태양 전지.

【청구항 9】

반도체 기판의 일면 및 타면 위에 각기 터널링층을 형성하는 단계;

상기 반도체 기판의 양측에서 각기 상기 터널링층 위에 진성 반도체층을 형성하는 단계;

적어도 상기 반도체 기판의 일측에 위치하는 상기 진성 반도체층의 부분에 제1 도전형 도펀트를 도핑하여 제1 도전형 영역을 형성하는 단계;

적어도 상기 반도체 기판의 타측에 위치한 상기 터널링층 및 상기 진성 반도체층 또는 상기 제1 도전형 영역을 전체적으로 제거하는 단계;

상기 반도체 기판의 타측에 제2 도전형 도펀트를 도핑하여 도핑 영역으로 구성되는 제2 도전형 영역을 형성하는 단계;

상기 제1 도전형 영역을 덮는 제1 절연막을 형성하는 단계; 및

상기 제1 도전형 영역에 연결되는 제1 전극 및 상기 제2 도전형 영역에 연결

되는 제2 전극을 포함하는 전극을 형성하는 단계

를 포함하고,

상기 제거하는 단계에서 상기 반도체 기판의 일측에 위치한 상기 터널링층 및 상기 제1 도전형 영역의 가장자리 부분을 함께 제거하여 아이솔레이션부를 형성하고,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측 위를 덮는 태양 전지의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일측에 접촉하는 태양 전지의 제조 방법.

【청구항 11】

제9항에 있어서,

상기 아이솔레이션부의 폭이 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 12】

제10항에 있어서,

상기 아이솔레이션부의 폭이 1㎚ 내지 1㎜ 이하인 태양 전지의 제조 방법.

【청구항 13】

제9항에 있어서,

상기 제거하는 단계는,

상기 반도체 기판의 타측에서 상기 제1 도전형 영역 위에 상기 반도체 기판보다 작은 면적을 가지는 마스크층을 형성하는 단계;

상기 마스크층이 형성되지 않은 부분에 위치한 상기 제1 도전형 영역 및 상기 터널링층을 식각하는 단계; 및

상기 마스크층을 제거하는 단계

를 포함하는 태양 전지의 제조 방법.

【청구항 14】

제13항에 있어서,

상기 반도체 기판의 후면 가장자리와 상기 마스크층의 가장자리 사이의 거리가 1mm 이하인 태양 전지의 제조 방법.

【청구항 15】

제9항에 있어서,

상기 제거하는 단계가 반응성 이온 식각(reactive ion etching, RIE) 또는 습식 식각에 의하여 수행되는 태양 전지의 제조 방법.

【청구항 16】

제9항에 있어서,

상기 반도체 기판으로부터 멀어질수록 상기 제1 도전형 영역의 면적이 작아지는 태양 전지의 제조 방법.

【청구항 17】

제9항에 있어서,

상기 제1 도전형 영역의 측면이 라운드진 형상을 가지는 태양 전지의 제조 방법.

【청구항 18】

제9항에 있어서,

상기 제2 도전형 영역을 형성하는 단계와 상기 제1 절연막을 형성하는 단계 사이에, 상기 제2 도전형 영역을 덮는 제2 절연막을 형성하는 단계를 더 포함하고,

상기 반도체 기판의 측면 위에 상기 제2 절연막이 위치하고 상기 제2 절연막 위에 상기 제1 절연막이 위치하는 태양 전지의 제조 방법.

【청구항 19】

제9항에 있어서,

상기 제1 도전형 영역을 형성하는 단계 또는 상기 제2 도전형 영역을 형성하는 단계는 열 확산법을 이용하는 태양 전지의 제조 방법.

【청구항 20】

제9항에 있어서,

상기 터널링층 또는 상기 진성 반도체층은 저압 화학 기상 증착 장비에서 형성되는 태양 전지의 제조 방법.

【요약서】

【요약】

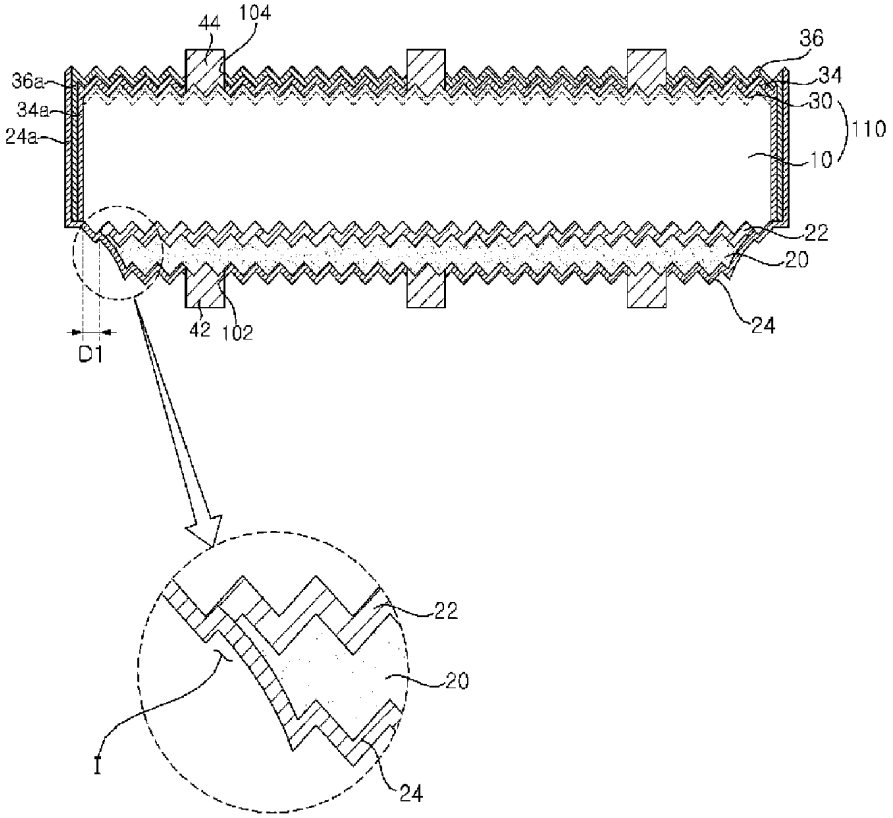
본 발명의 실시예에 따른 태양 전지는, 반도체 기판의 일면 위에 위치하는 터널링층; 상기 터널링층 위에 위치하는 제1 도전형 영역; 상기 제1 도전형 영역 위에서 상기 제1 도전형 영역을 패시베이션하는 제1 절연막; 상기 반도체 기판의 타면 쪽에 위치하며 도핑 영역으로 구성되는 제2 도전형 영역; 상기 제1 도전형 영역에 연결되는 제1 전극; 및 상기 제2 도전형 영역에 연결되는 제2 전극을 포함한다. 상기 반도체 기판의 일면의 가장자리 부분에 상기 터널링층 및 상기 제1 도전형 영역이 위치하지 않는 아이솔레이션부가 위치한다. 상기 제1 절연막이 상기 아이솔레이션부가 위치하는 상기 반도체 기판의 일면 위를 덮는다.

【대표도】

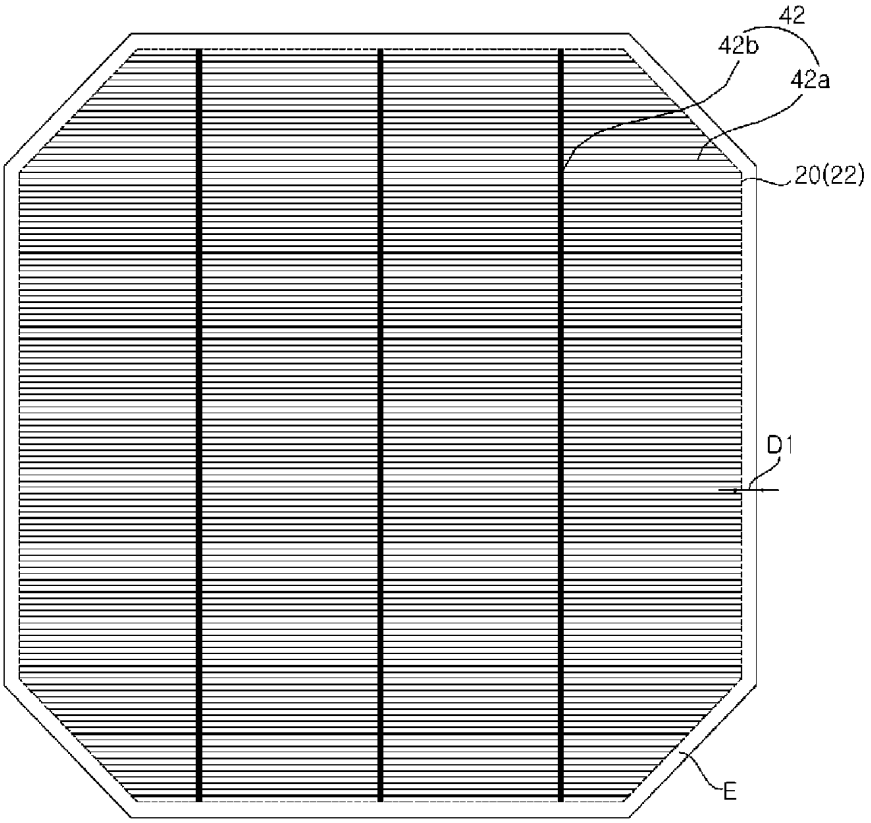
도 1

【도면】

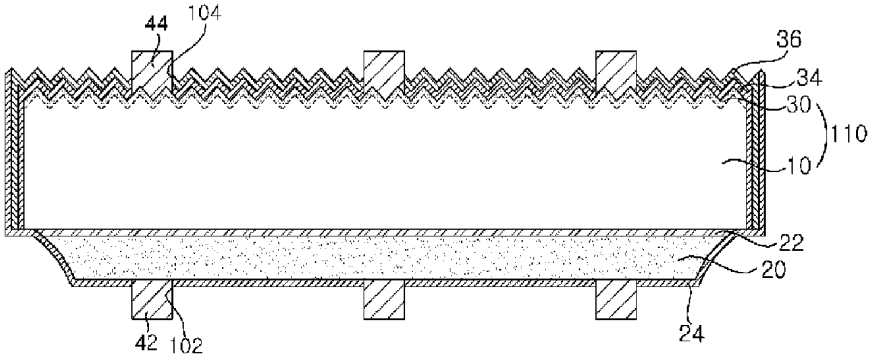
【도 1】



【도 2】

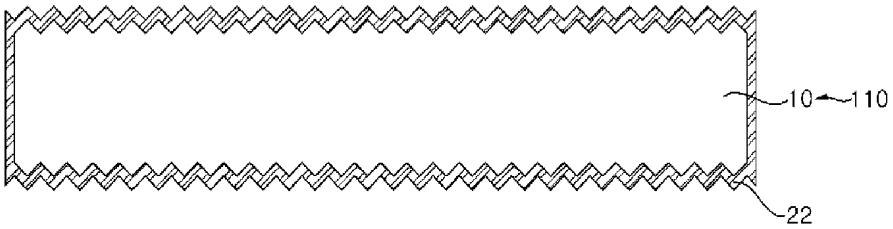


【도 3】

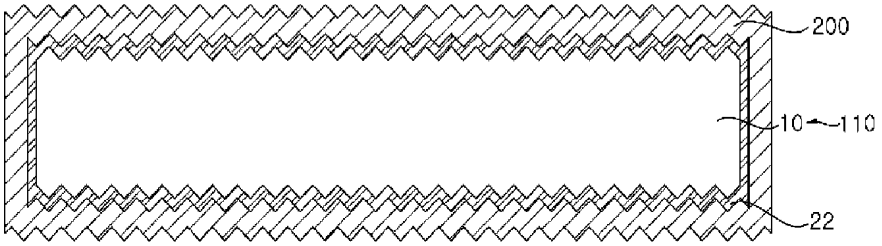


【도 4a】

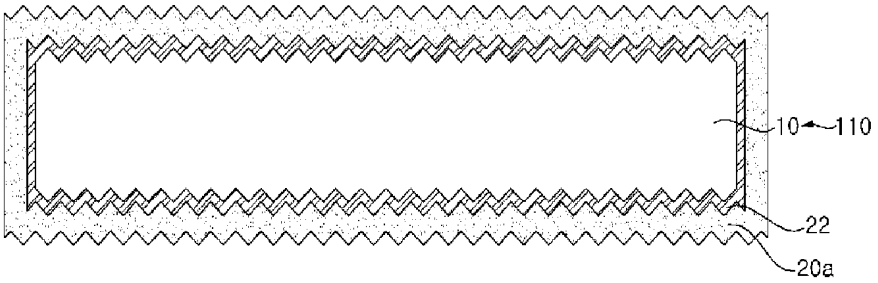
【도 4b】



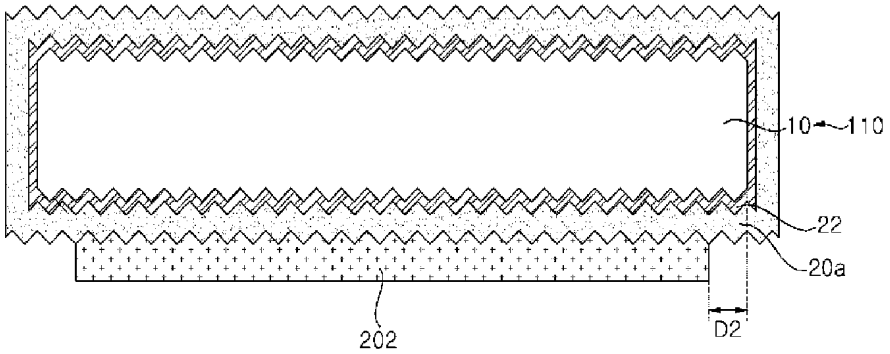
【도 4c】



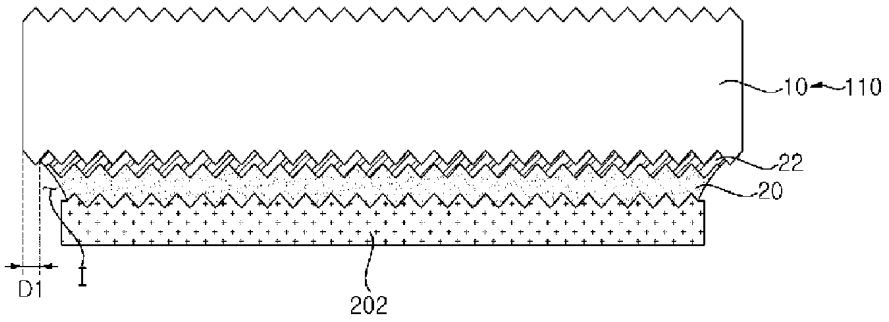
【도 4d】



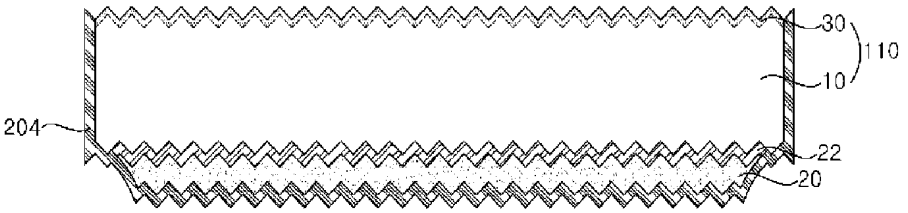
【도 4e】



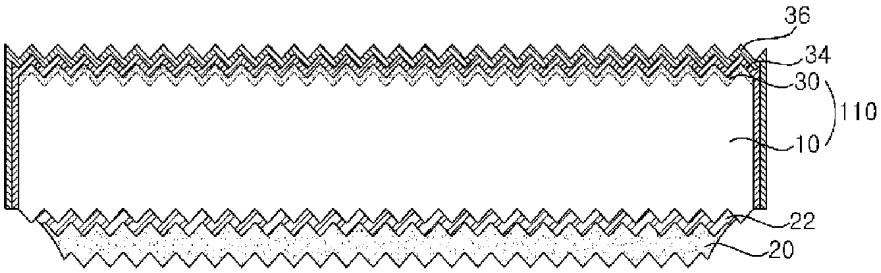
【도 4f】



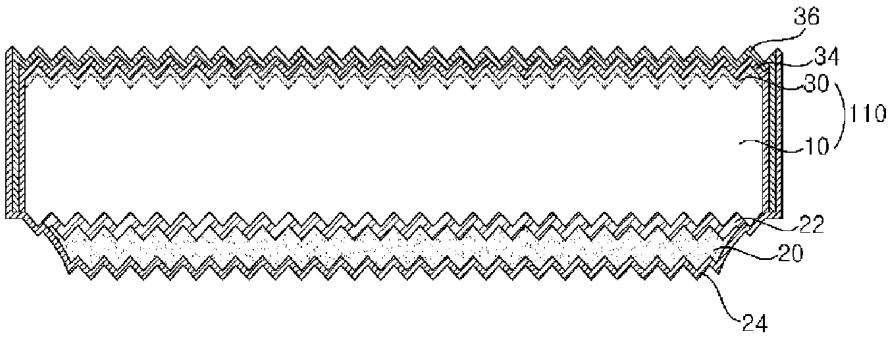
【도 4g】



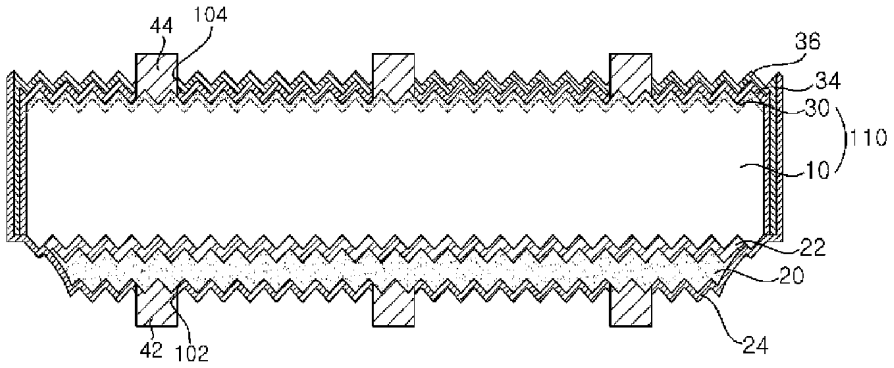
【도 4h】



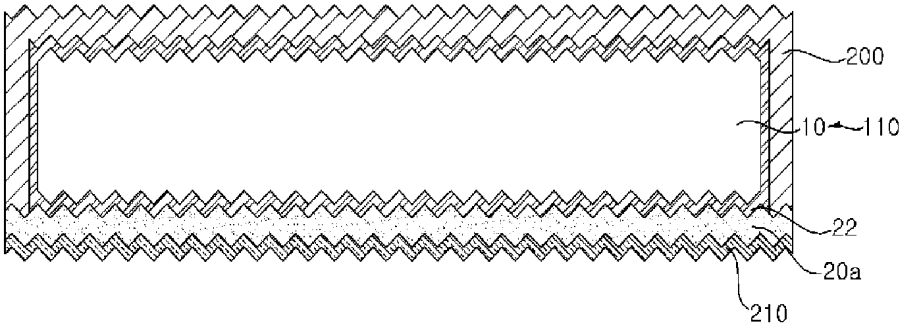
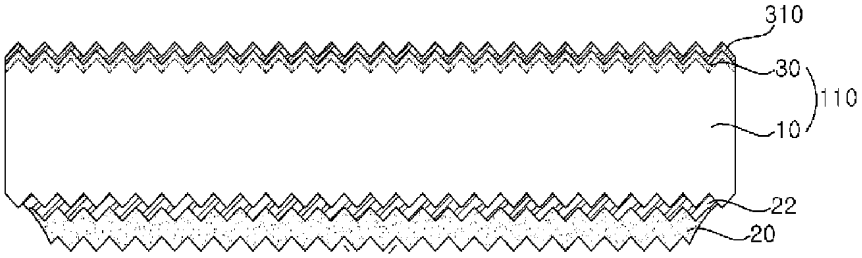
【도 4i】



【도 4j】



【도 5】



【도 6】