506183166 07/31/2020

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
Stylesheet Version v1.2

EPAS ID: PAT6229905

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT

CONVEYING PARTY DATA

Name	Execution Date
DI WANG	05/20/2020
WENXI ZHOU	05/20/2020
ZHILIANG XIA	05/20/2020

RECEIVING PARTY DATA

Name:	YANGTZE MEMORY TECHNOLOGIES CO., LTD.
Street Address:	18 GAOXIN 4TH ROAD
Internal Address:	EAST LAKE HIGH-TECH DEVELOPMENT ZONE
City:	WUHAN, HUBEI
State/Country:	CHINA

PROPERTY NUMBERS Total: 1

Property Type	Number
Application Number:	16944835

CORRESPONDENCE DATA

Fax Number: (703)821-8128

Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.

Phone: 703-995-9887
Email: uspto@bayes.law
Correspondent Name: BAYES PLLC
Address Line 1: 1765 GREENSBORO STATION PLACE
Address Line 2: SUITE 900
Address Line 4: MCLEAN, VIRGINIA 22102

ATTORNEY DOCKET NUMBER:	10018-01-0122-US
NAME OF SUBMITTER:	ZHIWEI ZOU
SIGNATURE:	/Zhiwei Zou/
DATE SIGNED:	07/31/2020
	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 3
source=2020-00044-YMTC_Declaration-Assign-SIGNED#page1.tif
source=2020-00044-YMTC_Declaration-Assign-SIGNED#page2.tif

source=2020-00044-YMTC_Declaration-Assign-SIGNED#page3.tif

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is 18 Gaoxin 4th Road, East Lake High-Tech Development Zone, Wuhan, Hubei, China (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

Micron Ex. 1002, p. 3
Micron v. YMTC
IPR2025-00035

(c) in any and all inventions described in the patent application identified above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 153988** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

SBA:1281-0146002> 10.17.06.195
82786-19/05/2020 09.43

Micron Ex. 1002, p. 4
Micron v. YMTC
IPR2025-00035

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: **Di Wang** Date: 2020.05.20

Signature of Inventor: Di Wang

Inventor: **Wenxi Zhou** Date: 2020/05/20

Signature of Inventor: ZhouWenXi

Inventor: **Zhiliang Xia** Date: 2020.05.20

Signature of Inventor: Zhiliang Xia

2051285-01160025-10 17.88.185
22786-19/05/2020 09:43

Micron Ex. 1002, p. 5
Micron v. YMTC
IPR2025-00035

DocCode – SCORE

SCORE Placeholder Sheet for IFW Content

Application Number: 16944835 Document Date: 07/31/2020

The presence of this form in the IFW record indicates that the following document type was received in electronic format on the date identified above. This content is stored in the SCORE database.

Since this was an electronic submission, there is no physical artifact folder, no artifact folder is recorded in PALM, and no paper documents or physical media exist. The TIFF images in the IFW record were created from the original documents that are stored in SCORE.

- Drawing

At the time of document entry (noted above):

- USPTO employees may access SCORE content via DAV or via the SCORE web page.
- External customers may access SCORE content via PAIR using the Supplemental Content tab.

Form Revision Date: March 1, 2019

PTO/AIA/15 (10-17)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	10018-01-0122-US
First Named Inventor	Di WANG
Title	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
Priority Mail Express® Label No.	

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

1. [✔] **Fee Transmittal Form** (PTO/SB/17 or equivalent)
2. [ ] **Applicant asserts small entity status.** See 37 CFR 1.27
3. [ ] **Applicant certifies micro entity status.** See 37 CFR 1.29. Applicant must attach form PTO/SB/15A or B or equivalent.
4. [✔] **Specification** [*Total Pages* 35] Both the claims and abstract must start on a new page. *(See MPEP § 608.01(a) for information on the preferred arrangement)*
5. [✔] **Drawing(s)** (35 U.S.C. 113) [*Total Sheets* 10]
6. **Inventor's Oath or Declaration** [*Total Pages* 3] *(including substitute statements under 37 CFR 1.64 and assignments serving as an oath or declaration under 37 CFR 1.63(e))*
   a. [✔] Newly executed (original or copy)
   b. [ ] A copy from a prior application (37 CFR 1.63(d))
7. [✔] **Application Data Sheet** ** See note below.* See 37 CFR 1.76 (PTO/AIA/14 or equivalent)
8. **CD-ROM or CD-R** in duplicate, large table, or Computer Program (*Appendix*)
   [ ] Landscape Table on CD
9. **Nucleotide and/or Amino Acid Sequence Submission** (*if applicable, items a. – c. are required*)
   a. [ ] Computer Readable Form (CRF)
   b. [ ] Specification Sequence Listing on:
      i. [ ] CD-ROM or CD-R (2 copies); or
      ii. [ ] Paper
   c. [ ] Statements verifying identity of above copies

ADDRESS TO:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

ACCOMPANYING APPLICATION PAPERS

10. [✔] **Assignment Papers** (cover sheet & document(s))
    Name of Assignee: Yangtze Memory Technologies Co., Ltd.
11. [ ] **37 CFR 3.73(c) Statement** (*when there is an assignee*) [✔] **Power of Attorney**
12. [ ] **English Translation Document** (*if applicable*)
13. [ ] **Information Disclosure Statement** (PTO/SB/08 or PTO-1449)
    [ ] Copies of citations attached
14. [ ] **Preliminary Amendment**
15. [ ] **Return Receipt Postcard** (*MPEP § 503*) (*Should be specifically itemized*)
16. [ ] **Certified Copy of Priority Document(s)** (*if foreign priority is claimed*)
17. [ ] **Nonpublication Request** Under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
18. [ ] **Other:** _____

*Note: (1) Benefit claims under 37 CFR 1.78 and foreign priority claims under 1.55 **must** be included in an Application Data Sheet (ADS).
(2) For applications filed under 35 U.S.C. 111, the application must contain an ADS specifying the applicant if the applicant is an assignee, person to whom the inventor is under an obligation to assign, or person who otherwise shows sufficient proprietary interest in the matter. See 37 CFR 1.46(b).

19. CORRESPONDENCE ADDRESS

[✔] The address associated with Customer Number: 153988 **OR** [ ] Correspondence address below

Name					
Address					
City		State		Zip Code	
Country		Telephone	7039959887	Email	

Signature	/Zhiwei Zou/	Date	7/31/2020
Name (Print/Type)	Zhiwei Zou	Registration No. (Attorney/Agent)	66,041

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/SB/17 (01-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

FEE TRANSMITTAL

Complete if known	
Application Number	
Filing Date	Herewith
First Named Inventor	Di WANG
Examiner Name	To Be Determined
Art Unit	To Be Determined
Practitioner Docket No.	10018-01-0122-US

☐ Applicant asserts small entity status. See 37 CFR 1.27.

☐ Applicant certifies micro entity status. See 37 CFR 1.29. Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously.

TOTAL AMOUNT OF PAYMENT ($) 1720.00

METHOD OF PAYMENT (check all that apply)

☐ Check ■ Credit Card ☐ Money Order ☐ None ☐ Other (please identify): _____

■ Deposit Account Deposit Account Number: 602227 Deposit Account Name: Bayes Deposit Account

For the above-identified deposit account, the Director is hereby authorized to (check all that apply):

☐ Charge fee(s) indicated below ☐ Charge fee(s) indicated below, **except for the filing fee**

■ Charge any additional fee(s) or underpayment of fee(s) under 37 CFR 1.16 and 1.17 ☐ Credit any overpayment of fee(s)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES (U = undiscounted fee; S = small entity fee; M = micro entity fee)

	FILING FEES			SEARCH FEES			EXAMINATION FEES			
Application Type	**U ($)**	**S ($)**	**M ($)**	**U ($)**	**S ($)**	**M ($)**	**U ($)**	**S ($)**	**M ($)**	**Fees Paid ($)**
Utility	300	150*	75	660	330	165	760	380	190	1720
Design	200	100	50	160	80	40	600	300	150	
Plant	200	100	50	420	210	105	620	310	155	
Reissue	300	150	75	660	330	165	2,200	1,100	550	
Provisional	280	140	70	0	0	0	0	0	0	

* The $150 small entity status filing fee for a utility application is further reduced to $75 for a small entity status applicant who files the application via EFS-Web.

2. EXCESS CLAIM FEES

Fee Description	**Undiscounted Fee ($)**	**Small Entity Fee ($)**	**Micro Entity Fee ($)**
Each claim over 20 (including Reissues)	100	50	25
Each independent claim over 3 (including Reissues)	460	230	115
Multiple dependent claims	820	410	205

Total Claims		**Extra Claims**	**Fee ($)**		**Fee Paid ($)**
20	-20 or HP =	0	x _____	=	0.00

HP = highest number of total claims paid for, if greater than 20.

Indep. Claims		**Extra Claims**	**Fee ($)**		**Fee Paid ($)**
3	-3 or HP =	0	x _____	=	0.00

HP = highest number of independent claims paid for, if greater than 3.

Multiple Dependent Claims	
Fee ($)	**Fee Paid ($)**

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is $400 ($200 for small entity) ($100 for micro entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets		**Extra Sheets**		**Number of each additional 50 or fraction thereof**		**Fee ($)**		**Fee Paid ($)**
10	- 100 =	_____	/ 50 =	_____ (round **up** to a whole number)	x	_____	=	_____

4. OTHER FEE(S) **Fees Paid ($)**

Non-English specification, $130 fee (no small or micro entity discount) _____

Non-electronic filing fee under 37 CFR 1.16(t) for a utility application, $400 fee ($200 small or micro entity) _____

Other (e.g., late filing surcharge): _____ _____

SUBMITTED BY

Signature	/Zhiwei Zou/	Registration No. (Attorney/Agent) 66,041	Telephone 7039959887
Name (Print/Type)	Zhiwei Zou		Date 7/31/2020

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application is continuation of International Application No. PCT/CN2020/094658, filed on June 5, 2020, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is hereby incorporated by reference in its entirety. This application is also related to co-pending U.S. Application No. _____, Attorney Docketing No.: 10018-01-0123-US, filed on even date, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is hereby incorporated by reference in its entirety.

BACKGROUND

[0002] Embodiments of the present disclosure relate to three-dimensional (3D) memory devices and fabrication methods thereof.

[0003] Planar memory cells are scaled to smaller sizes by improving process technology, circuit design, programming algorithm, and fabrication process. However, as feature sizes of the memory cells approach a lower limit, planar process and fabrication techniques become challenging and costly. As a result, memory density for planar memory cells approaches an upper limit.

[0004] A 3D memory architecture can address the density limitation in planar memory cells. The 3D memory architecture includes a memory array and peripheral devices for controlling signals to and from the memory array.

SUMMARY

[0005] Embodiments of 3D memory devices having staircase structures and methods for forming the same are disclosed herein.

[0006] In one example, the 3D memory device includes a memory array structure and a staircase structure in an intermediate of the memory array structure. The staircase structure divides the memory array structure into a first memory array structure and a second memory

Micron Ex. 1002, p. 9
Micron v. YMTC
IPR2025-00035

array structure along a lateral direction. The staircase structure includes a plurality of stairs extending along the lateral direction, and a bridge structure in contact with the first memory array structure and the second memory array structure. The plurality of stairs includes a stair above one or more dielectric pairs. The stair includes a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and a dielectric portion at a same level and in contact with the conductor portion. The stair is electrically connected to at least one of the first memory array structure and the second memory array structure through the bridge structure. Along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

[0007] In another example, the 3D memory device includes a memory array structure and a landing structure in contact with the memory array structure. The landing structure includes a plurality of landing areas each at a respective depth extending along a lateral direction, and a bridge structure in contact with the memory array structure. The plurality of landing areas each includes a conductor portion on a respective top surface and a dielectric portion at a same level and in contact with the conductor portion. The conductor portion is electrically connected to the memory array structure through the bridge structure, and a width of the conductor portion is unchanged along a second lateral direction perpendicular to the lateral direction. The plurality of landing areas are each above one or more dielectric pairs.

[0008] In still another example, the 3D memory device includes a memory array structure and a staircase structure. The staircase structure includes a plurality of stairs extending along a lateral direction. The plurality of stairs includes a stair having a conductor portion on a top surface of the stair and a dielectric portion at a same level and in contact with the conductor portion. The conduction portion is electrically connected to the memory array structure. Along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

[0009] In still another example, a method for forming a staircase structure of 3D memory device includes the following operations. First, a plurality of stairs is formed having interleaved a plurality of first sacrificial layers and a plurality of first dielectric layers in a plurality of stairs. A bridge structure is formed in contact with the plurality of stairs. The bridge structure having interleaved a plurality of second sacrificial layers and a plurality of second dielectric layers. Each first sacrificial layer is in contact with a respective second sacrificial layer of the same level, and each first dielectric layer is in contact with a respective

Micron Ex. 1002, p. 10
Micron v. YMTC
IPR2025-00035

second dielectric layer of the same level. A sacrificial portion is formed in the first sacrificial layer corresponding to at least one of the stairs. The second sacrificial layers are removed by a first etching process to form a plurality of lateral recesses. The sacrificial portion is removed by a second etching process to form a lateral recess portion. A plurality of conductor layers are formed in the lateral recesses and a conductor portion is formed in the lateral recess portion. The conductor portion is in contact with a respective one of the conductor layers.

BRIEF DESCRIPTION OF THE DRAWINGS

[0010] The accompanying drawings, which are incorporated herein and form a part of the specification, illustrate embodiments of the present disclosure and, together with the description, further serve to explain the principles of the present disclosure and to enable a person skilled in the pertinent art to make and use the present disclosure.

[0011] FIG. 1A illustrates a schematic diagram of an exemplary 3D memory device having staircase structures, according to some embodiments of the present disclosure.

[0012] FIG. 1B illustrates a top front perspective view of an exemplary staircase structure of a 3D memory device shown in FIG. 1A, according to some embodiments of the present disclosure.

[0013] FIG. 1C illustrates a plan view of an exemplary 3D memory device shown in FIG. 1A, according to some embodiments of the present disclosure.

[0014] FIG. 2A illustrates a schematic diagram of another exemplary 3D memory device having staircase structures, according to some embodiments of the present disclosure.

[0015] FIG. 2B illustrates a top front perspective view of an exemplary staircase structure of a 3D memory device shown in FIG. 2A, according to some embodiments of the present disclosure.

[0016] FIG. 2C illustrates a plan view of an exemplary 3D memory device shown in FIG. 2A, according to some embodiments of the present disclosure.

[0017] FIG. 3A illustrates a cross-sectional view of an exemplary 3D memory device having a staircase structure, according to some embodiments of the present disclosure.

[0018] FIG. 3B illustrates another cross-sectional view of the 3D memory device shown in FIG. 3A, according to some embodiments of the present disclosure.

[0019] FIG. 3C illustrates another cross-sectional view of the 3D memory device shown in FIG. 3A, according to some embodiments of the present disclosure.

Micron Ex. 1002, p. 11
Micron v. YMTC
IPR2025-00035

[0020] FIGs. 4A – 4F illustrate a fabrication process for forming an exemplary staircase structure of a 3D memory device, according to some embodiments of the present disclosure.

[0021] FIG. 5 is a flowchart of a method for forming an exemplary staircase structure of a 3D memory device, according to some embodiments.

[0022] Embodiments of the present disclosure will be described with reference to the accompanying drawings.

DETAILED DESCRIPTION

[0023] Although specific configurations and arrangements are discussed, it should be understood that this is done for illustrative purposes only. A person skilled in the pertinent art will recognize that other configurations and arrangements can be used without departing from the spirit and scope of the present disclosure. It will be apparent to a person skilled in the pertinent art that the present disclosure can also be employed in a variety of other applications.

[0024] It is noted that references in the specification to "one embodiment," "an embodiment," "an example embodiment," "some embodiments," etc., indicate that the embodiment described may include a particular feature, structure, or characteristic, but every embodiment may not necessarily include the particular feature, structure, or characteristic. Moreover, such phrases do not necessarily refer to the same embodiment. Further, when a particular feature, structure or characteristic is described in connection with an embodiment, it would be within the knowledge of a person skilled in the pertinent art to effect such feature, structure or characteristic in connection with other embodiments whether or not explicitly described.

[0025] In general, terminology may be understood at least in part from usage in context. For example, the term "one or more" as used herein, depending at least in part upon context, may be used to describe any feature, structure, or characteristic in a singular sense or may be used to describe combinations of features, structures or characteristics in a plural sense. Similarly, terms, such as "a," "an," or "the," again, may be understood to convey a singular usage or to convey a plural usage, depending at least in part upon context. In addition, the term "based on" may be understood as not necessarily intended to convey an exclusive set of factors and may, instead, allow for existence of additional factors not necessarily expressly described, again, depending at least in part on context.

Micron Ex. 1002, p. 12
Micron v. YMTC
IPR2025-00035

[0026] It should be readily understood that the meaning of "on," "above," and "over" in the present disclosure should be interpreted in the broadest manner such that "on" not only means "directly on" something but also includes the meaning of "on" something with an intermediate feature or a layer therebetween, and that "above" or "over" not only means the meaning of "above" or "over" something but can also include the meaning it is "above" or "over" something with no intermediate feature or layer therebetween (i.e., directly on something).

[0027] Further, spatially relative terms, such as "beneath," "below," "lower," "above," "upper," and the like, may be used herein for ease of description to describe one element or feature's relationship to another element(s) or feature(s) as illustrated in the figures. The spatially relative terms are intended to encompass different orientations of the device in use or operation in addition to the orientation depicted in the figures. The apparatus may be otherwise oriented (rotated 90 degrees or at other orientations), and the spatially relative descriptors used herein may likewise be interpreted accordingly.

[0028] As used herein, the term "substrate" refers to a material onto which subsequent material layers are added. The substrate itself can be patterned. Materials added on top of the substrate can be patterned or can remain unpatterned. Furthermore, the substrate can include a wide array of semiconductor materials, such as silicon, germanium, gallium arsenide, indium phosphide, etc. Alternatively, the substrate can be made from an electrically non-conductive material, such as a glass, a plastic, or a sapphire wafer.

[0029] As used herein, the term "layer" refers to a material portion including a region with a thickness. A layer can extend over the entirety of an underlying or overlying structure or may have an extent less than the extent of an underlying or overlying structure. Further, a layer can be a region of a homogeneous or inhomogeneous continuous structure that has a thickness less than the thickness of the continuous structure. For example, a layer can be located between any pair of horizontal planes between, or at, a top surface and a bottom surface of the continuous structure. A layer can extend laterally, vertically, and/or along a tapered surface. A substrate can be a layer, can include one or more layers therein, and/or can have one or more layer thereupon, thereabove, and/or therebelow. A layer can include multiple layers. For example, an interconnect layer can include one or more conductor and contact layers (in which interconnect lines and/or vertical interconnect access (VIA) contacts are formed) and one or more dielectric layers.

Micron Ex. 1002, p. 13
Micron v. YMTC
IPR2025-00035

[0030] As used herein, the term "nominal/nominally" refers to a desired, or target, value of a characteristic or parameter for a component or a process operation, set during the design phase of a product or a process, together with a range of values above and/or below the desired value. The range of values can be due to slight variations in manufacturing processes or tolerances. As used herein, the term "about" indicates the value of a given quantity that can vary based on a particular technology node associated with the subject semiconductor device. Based on the particular technology node, the term "about" can indicate a value of a given quantity that varies within, for example, 10–30% of the value (e.g., ±10%, ±20%, or ±30% of the value).

[0031] As used herein, the term "3D memory device" refers to a semiconductor device with vertically oriented strings of memory cell transistors (referred to herein as "memory strings," such as NAND memory strings) on a laterally-oriented substrate so that the memory strings extend in the vertical direction with respect to the substrate. As used herein, the term "vertical/vertically" means nominally perpendicular to the lateral surface of a substrate.

[0032] In some 3D memory devices, memory cells for storing data are vertically stacked through a stacked storage structure (e.g., a memory stack). 3D memory devices usually include staircase structures formed in the vicinity of the stacked storage structure for purposes such as word line fan-out. As the demand for higher storage capacity continues to increase, the number of vertical levels of the stacked storage structure also increases, and it has become more difficult to form the word line VIA contacts on the stairs without punching through the contacts and causing short circuits. For example, the word line VIA contacts are often formed by forming openings in contact with the stairs (e.g., the landing area of the stairs) in an insulating structure in which the staircase structure is placed, and filling the openings with a conductive material. Conventionally, these openings, formed to be in contact with stairs at different depths/heights, are formed in the same etching process. Because of the variation in opening depths, the openings are often not etched evenly or desirably. For example, the openings in contact with lower stairs (e.g., the deeper openings) and the openings in contact with higher stairs (e.g., the shallower openings) undergo the same etching time, resulting the openings in contact with the higher stairs to be over etched. The over-etching can cause the conductor layers (e.g., word lines) on the top surfaces of the higher stairs to be undesirably damaged or even etched through. The word line VIA contacts can undesirably be in contact with other conductor layers underlying the respective conductor layers, causing a punch-through that

Micron Ex. 1002, p. 14
Micron v. YMTC
IPR2025-00035

leads to short circuits or undesirable leakage. To solve this issue, efforts, such as thickening the conductor layer for landing, have been made. However, a thicker landing area still cannot desirably reduce the possibility of punch-through, and the fabrication process becomes more challenging.

[0033] Various embodiments in accordance with the present disclosure provide staircase structures and fabrication methods thereof. A staircase structure, having a plurality of stairs, can include a conductor portion at the top surface of at least one stair and a dielectric structure, including one or more dielectric pairs, under the conductor portion. The conductor portion covers at least the landing area of the respective stair (e.g., a portion of the stair) such that a word line VIA contact can be in contact with and electrically connected to the respective stair. The thickness of the dielectric structure can be equal to the distance from the bottom surface of the conductor portion to the top surface of the substrate and is desirably thick to prevent interference between conductor portions at different stairs due to punch-through. In some embodiments, the dimension of the conductor portion, along the direction the stairs extend, is nominally the same as the dimension of the stair. That is, the conductor portion does not laterally extend under any upper stair (i.e., the conductor portion of any upper stair). In some embodiments, the conductor portion is in contact with a dielectric portion at the same level and is over an underlying dielectric layer in the respective stair. In some embodiments, the conductor portion is on a second dielectric portion that is on the dielectric layer. In some embodiments, the conductor portion is over one or more dielectric pairs, each including a dielectric portion and a dielectric layer in a lower stair. In some embodiments, the number of dielectric pairs under the conductor portion of a respective stair is equal to the number of stairs/levels under the stair. In some embodiments, the staircase includes a conductor portion, in each stair, that does not extend under upper stairs (i.e., the conductor portion of any upper stair) and a dielectric structure under each conductor portion (e.g., except for the conductor portion in the bottom stair). Even if a punch-through occurs on any conductor portion, the word line VIA contact has no contact on the conductor portion (or word line) of any lower stairs, and leakage or short circuits can be reduced/eliminated. It might then be less difficult to form the openings.

[0034] In various embodiments, the stairs are formed in a staircase structure that is located at the intermediate of memory array structures or on the side of a memory array structure. The staircase structure can include a bridge structure that has interleaved a plurality of conductor

Micron Ex. 1002, p. 15
Micron v. YMTC
IPR2025-00035

layers and dielectric layers. The conductor layers are conductively connected to the memory cells in the memory array structure(s). The conductor portions of each stair can be in contact with a conductor layer at the same level along a direction perpendicular to the direction the stairs extend such that voltages can be applied to the memory cells through the conductor portions and the conductor layers at the same levels.

[0035] In the present disclosure, the conductor portion can be formed by replacing the sacrificial portion at the top surface of each stair with a respective conductor portion in a gate-replacement process. The sacrificial portion includes a plasma-treated portion of the respective sacrificial layer at the top surface of the stair and can be etched at a lower rate than other parts of the sacrificial layer that are not treated by plasma. In some embodiments, two different etchants are applied separately to remove the sacrificial layers for forming word lines (e.g., in the bridge structure) and the sacrificial portions. The first etching process, timed, can remove the sacrificial layers in the bridge structure and retain the sacrificial portion and the dielectric structure under the sacrificial portion. The second etching process can remove the sacrificial portion while retaining the dielectric structure under the sacrificial portion. A conductor material is deposited to fill the lateral recess portion at each stair and lateral recesses in the bridge structure. A plurality of conductor structures can be formed in the bridge structure, and a plurality of conductor portions, each at a respective stair, and over a respective dielectric structure, can be formed.

[0036] FIGs. 1A-1C and FIGs. 2A-2C illustrate schematic views of 3D memory devices 100 and 200 respectively having a staircase structure, according to some embodiments. Specifically, FIGs. 1A-1C illustrate a layout in which the staircase structure is located at the intermediate of a memory plane, and FIGs. 2A-2C illustrate a layout in which the staircases are located on the two sides of a memory plane. The staircase structure of the present disclosure can be formed in both 3D memory devices 100 and 200. As an example to explain the present disclosure, embodiments focus on the structure and fabrication process of the staircase structure in 3D memory device 100. In some embodiments, the staircase structures in 3D memory device 200 may be formed in a similar fabrication process. It is noted that *x* and *y* axes are included in FIGs. 1A and 2A to illustrate two orthogonal (perpendicular) directions in the wafer plane. The *x*-direction is the word line direction of the respective 3D memory device, and the *y*-direction is the bit line direction of the respective 3D memory device. It should be noted that

Micron Ex. 1002, p. 16
Micron v. YMTC
IPR2025-00035

the structures in the present disclosure are merely for illustration purposes only and thus, do not indicate the dimensions, ratios, or shapes in actual products.

[0037] FIG. 1A illustrates a schematic diagram of an exemplary 3D memory device 100 having a staircase structure 102, according to some embodiments of the present disclosure. In some embodiments, 3D memory device 100 includes multiple memory planes. A memory plane can include a first memory array structure 104-1, a second memory array structure 104-2, and a staircase structure 102 in the intermediate of first and second memory array structures 104-1 and 104-2. First and second memory array structures 104-1 and 104-2, together regarded as a memory array structure, may or may not have the same area. In some embodiments, staircase structure 102 is in the middle of first and second memory array structures 104-1 and 104-2. For example, first and second memory array structures 104-1 and 104-2 may be symmetric in the *x*-direction with respect to staircase structure 102. It is understood that in some examples, staircase structure 102 may be in the intermediate, but not in the middle (center), of first and second memory array structures 104-1/104-2, such that first and second memory array structures 104-1 and 104-2 may have different sizes and/or numbers of memory cells. In some embodiments, 3D memory device 100 is a NAND Flash memory device in which memory cells are provided in the form of an array of NAND memory strings (not shown in FIG. 1A) in first and second memory array structures 104-1 and 104-2. First and second memory array structures 104-1 and 104-2 can include any other suitable components including, but not limited to, gate line slits (GLSs), through array contacts (TACs), array common sources (ACSs), etc.

[0038] Each word line (not shown in FIG. 1A) of the memory plane extending laterally in the *x*-direction can be separated by staircase structure 102 into two parts: a first word line part across first memory array structure 104-1, and a second word line part across second memory array structure 104-2. The two parts of each word line can be electrically connected by a bridge structure (shown as bridge structure 108 in staircase structure 102 in FIGs. 1B and 1C) at a respective stair in staircase structure 102. A row decoder (not shown) can be formed right above, below, or in proximity to respective staircase structure 102. Each row decoder can bilaterally drive word lines in opposite directions from the intermediate of the memory plane.

[0039] The detailed structure of staircase structure 102 is illustrated in FIGs. 1B and 1C. FIG. 1B illustrates a top front view of staircase structure 102 in 3D memory device 100. FIG. 1C illustrates a top view of staircase structure 102 and its spatial relationship with adjacent first

Micron Ex. 1002, p. 17
Micron v. YMTC
IPR2025-00035

and second memory array structures 104-1 and 104-2. For ease of illustration, FIG. 1C only depicts one staircase structure 102. In various embodiments, 3D memory device 100 includes a plurality of staircase structures between first and second memory array structures 104-1 and 104-2, e.g., aligned with staircase structure 102 along the *y*-direction. For example, another staircase structure may be the same as staircase structure 102 and mirror staircase structure 102 along the *y*-direction. Also, other possible structures such as dummy staircases are omitted in staircase structure 102 for ease of illustration.

[0040] FIG. 1B depicts staircase structure 102 having a staircase 106 and a bridge structure 108, in contact with each other. Staircase structure 102 may be on a substrate (not shown), which can include silicon (e.g., single crystalline silicon), silicon germanium (SiGe), gallium arsenide (GaAs), germanium (Ge), silicon on insulator (SOI), or any other suitable materials.

[0041] Staircase 106 may include a plurality of stairs 114 extending along the word line direction, e.g., the *x*-direction. Each stair 114 may have a different depth along the *z*-direction and a landing area, e.g., for forming contact with a corresponding word line VIA contact. Each stair 114 (as shown as a "level") of staircase 106 can include one or more material layer pairs. In some embodiments, the top material layer of each stair 114 includes a conductor portion for interconnection with a word line VIA contact in the vertical direction. In some embodiments, every two adjacent stairs 114 of staircase 106 are offset by a nominally same distance in the *z*-direction and a nominally same distance in the *x*-direction. Each offset thus can form a "landing area" for interconnection with word line contacts of the 3D memory device in the *z*-direction direction. In some embodiments, each stair 114 includes at least one dielectric layer under the conductor portion.

[0042] Bridge structure 108 can include vertically interleaved conductor layers and dielectric layers (not shown), and the conductor layers (e.g., metal layers or polysilicon layers) can function as part of word lines. Different from staircase 106 in which the word lines therein are cut off from the memory array structure (e.g., 104-1 and/or 104-2) in the *x*-direction (e.g., in the positive *x*-direction, the negative *x*-direction, or both), the word lines in bridge structure 108 can be preserved to bridge the word line VIA contacts landed on stairs 114 and the memory array structures (e.g., 104-1 and/or 104-2) in order to achieve the bilateral word line-driving scheme. In some embodiments, at least one stair 114 in a staircase in staircase 106 is electrically connected to at least one of the first memory array structure 104-1 and the second memory array structure 104-2 through bridge structure 108. At least one word line can extend

Micron Ex. 1002, p. 18
Micron v. YMTC
IPR2025-00035

laterally in the memory array structure (e.g., 104-1 and/or 104-2) and bridge structure 108, such that the at least one stair 114 can be electrically connected to the at least one of the first and second memory array structures (e.g., 104-1 and/or 104-2) through bridge structure 108 by the at least one word line. In one example, a stair 114 in staircase 106 may be electrically connected to first memory array structure 104-1 (in the negative *x*-direction) by a respective word line part extending in the negative *x*-direction through bridge structure 108. In some embodiments, the at least one stair 114 in staircase 106 is electrically connected to each of first memory array structure 104-1 and second memory array structure 104-2 through bridge structure 108, e.g., by the respective word line parts extending in the negative and positive *x*-directions, respectively.

[0043] The conductor portion in staircase 106 and conductive layers in bridge structure 108 can each include conductive materials including, but not limited to, tungsten (W), cobalt (Co), copper (Cu), aluminum (Al), polycrystalline silicon (polysilicon), doped silicon, silicides, or any combination thereof. The dielectric layers in staircase 106 and bridge structure 108 can include dielectric materials including, but not limited to, silicon oxide, silicon nitride, silicon oxynitride, or any combination thereof. In some embodiments, the conductor portions and conductor layers include the same material, e.g., metals, such as tungsten, and the dielectric layers include the same material, such as silicon oxide.

[0044] FIG. 1C illustrates staircase structure 102 between first and second memory array structures 104-1 and 104-2. As shown in FIG. 1C, staircase 106 may include a plurality of stairs 114 extending along the *x*-direction, and a word line VIA contact 116 is formed on at least one (e.g., each) stair 114. Each of first and second memory array structures 104-1 and 104-2 may include one or more memory blocks, and each memory block includes one or more memory fingers 120. In some embodiments, staircase structure 102 may be between a pair of memory fingers 120 along the *y*-direction. Each memory finger 120 may include a plurality of memory strings 112 extending along the *z*-direction. Memory string 112 may include a channel structure that has a blocking layer, a memory layer, a tunneling layer, a semiconductor layer, and optionally, a dielectric core in a channel hole and arranged radially from the sidewall towards the center of the channel hole. Memory strings 112 may intersect with a plurality of word lines (e.g., conductor layers in memory fingers 120), forming a plurality of memory cells. The memory cells may form a memory cell array in the respective memory array structure. In some embodiments, GLSs 110, extending along the *x*-direction and the *z*-direction, divides

Micron Ex. 1002, p. 19
Micron v. YMTC
IPR2025-00035

memory cells in first and second memory array structures 104-1 and 104-2 into a plurality of memory fingers 120 along the *y*-direction.

[0045] To achieve the bilateral word line-driving scheme, bridge structure 108 connects (both physically and electrically) first memory array structure 104-1 and/or second memory array structure 104-2, according to some embodiments. That is, staircase structure 102 does not completely cut off the memory array structure in the intermediate, but instead leaves the first and second memory array structures 104-1 and 104-2 connected by bridge structure 108 thereof, according to some embodiments. Each word line thus can be bilaterally driven (in both positive and negative *x*-directions) from a respective word line VIA contact 116 in the intermediate of 3D memory device 100 through bridge structures 108. FIG. 1C further illustrates an exemplary current path of the bilateral word line-driving scheme with staircase structures 102. Current paths indicated by the arrows represent currents passing through two separate word lines at different levels, respectively.

[0046] FIGs. 2A-2C illustrates a schematic diagram of a 3D memory device 200 having staircase structures 202-1 and 202-2 each on a respective side of a memory array structure 204. Staircase structures 202-1 and 202-2, and memory array structure 204 may be on a substrate, similar to that in 3D memory device 100. 3D memory device 200 may include a memory plane that has a memory cell array in a memory array structure 204. Different from 3D memory device 100, 3D memory device 200 includes two staircase structures 202-1 and 202-2 at opposite sides in the *x*-direction of memory array structure 204. Each word line of the memory plane extends laterally in the *x*-direction across the entire memory plane to a respective stair (level) in staircase structure 202-1 or 202-2. A row decoder (not shown) is formed right above, below, or in proximity to the respective staircase structure. That is, each row decoder unilaterally (either in the positive or negative *x*-direction, but not both) drives one-half of the memory cells through one-half of the word lines, each of which crosses the entire memory plane.

[0047] Staircase structure 202-1 and 202-2 may have similar/same structures. FIG. 2B illustrates a front top view of a staircase structure that can represent each of staircase structures 202-1 and 202-2. The staircase structure may include a staircase 206 that has a plurality of stairs 214 extending along the *x*-direction, similar to staircase 106. The staircase structure also includes a bridge structure 208 electrically and physically connected to staircase 206. Bridge structure 208 may include interleaved conductor layers and dielectric layers, similar to that

Micron Ex. 1002, p. 20
Micron v. YMTC
IPR2025-00035

bridge structure 108. In some embodiments, bridge structure 208 includes a plurality of stairs extending along the *x*-direction, each of the stairs corresponding to a respective stair of staircase 206. Staircase 206 may be similar to staircase 106, e.g., at least one stair 214 includes a conductor portion at the top surface and electrically connected to a conductor layer at the same level in bridge structure 208. Conductor layers in bridge structure 208 may be word line parts that are electrically connected to word lines (e.g., conductor layers) in memory array structure 204.

[0048] FIG. 2C illustrates staircase structures 202-1 and 202-2 each on a respective side of memory array structure 204. As shown in FIG. 2C, staircase 206 may include a plurality of stairs 214 extending along the *x*-direction, and a word line VIA contact 216 is formed on at least one (e.g., each) stair 214. Memory array structures 204 may include one or more memory blocks, and each memory block includes one or more memory fingers 220. Each memory finger 220 may include a plurality of memory strings 212, similar to memory strings 112 in 3D memory device 200. Memory strings 212 may intersect with a plurality of word lines (e.g., conductor layers in memory fingers 220), forming a plurality of memory cells, which form a memory cell array in the respective memory array structure. In some embodiments, GLSs 210, extending along the *x*-direction and the *z*-direction, divides memory cells in memory array structure 204 into a plurality of memory fingers 220 along the *y*-direction.

[0049] To achieve the unilateral word line-driving scheme, bridge structures 208 each connects (both physically and electrically) memory array structure 204, according to some embodiments. Each word line thus can be unilaterally driven (in positive or negative *x*-direction) from a respective word line VIA contact 216 on one side of 3D memory device 200 through bridge structures 208. As shown in FIG. 2C, current paths indicated by the arrows represent currents passing through two separate word lines at different levels, respectively.

[0050] FIGs. 3A-3C illustrates three cross-sectional views of a staircase structure (e.g., 102), each being orthogonal of one another. Specifically, FIGs. 3A and 3B respectively depict cross-sectional views of staircase structure 102 along the A-A' and the B-B' directions, as shown in FIG. 1B. As shown in FIG. 1B, A-A' direction represents the *x*-*z* plane, and B-B' direction represents the *z*-*y* plane. FIG. 3C illustrates the *x*-*y* cross-sectional view of a stair/level of staircase structure 102. FIGs. 3A-3C can also represent the cross-sectional views of staircase structure 202-1/202-2 along the same directions (as shown in FIG. 2B), except that

Micron Ex. 1002, p. 21
Micron v. YMTC
IPR2025-00035

the bridge structure may have a different number of conductor/dielectric layer pairs along the *z*-direction.

[0051] As previously described, in a 3D memory device, a staircase structure may include a staircase and a bridge structure in contact with the staircase. As shown in FIGs. 3A and 3B, the staircase structure may include a staircase 306 and a bridge structure 308 (only a portion depicted in FIG. 3B) in contact with staircase 306. The staircase structure may be formed over a substrate 302, similar to that in 3D memory device 100. An insulating structure 350 may be over at least staircase 306 such that at least staircase 306 is positioned in insulating structure 350. A word line VIA contact 316 may be formed in insulating structure 350 and landed on the landing area of a respective stair. For ease of illustration, only one word line VIA contact 316 is depicted. Insulating structure 350 may include any suitable dielectric material such as silicon oxide, silicon nitride, and/or silicon oxynitride. Word line VIA contact 316 may include tungsten, cobalt, copper, aluminum, polysilicon, doped silicon, silicides, or any combination thereof. Bridge structure 308 may include interleaved a plurality of conductor layers 330 and dielectric layers 336, similar to those in 3D memory device 100.

[0052] As shown in FIGs. 3A and 3B, staircase 306 includes a plurality of stairs 314 extending along the *x*-direction, e.g., the word line direction. Each stair 314 may have a different depth along the *z*-direction. In some embodiments, except for the top stair, staircase 306 includes a conductor portion 320 at the top surface of at least one stair 314 and electrically and physically connected to a conductor layer 330 at the same level in bridge structure 308. In some embodiments, each stair 314 in staircase 306 may include a respective conductor portion 320. Conductor portion 320 may be in contact with a dielectric portion 324 (e.g., extending along the *x*-direction) of the same level. In some embodiments, in a respective stair 314, conductor portion 320 may be on and in contact with a second dielectric portion 322, which is on and in contact with a dielectric layer 326 underneath. In some embodiments, in a respective stair 314, conductor portion 320 may be on and in contact with dielectric layer 326 without any second dielectric portion 322 in between. In some embodiments, each dielectric layer 326 in staircase 306 is in contact with a dielectric layer 336 at the same level in bridge structure 308. In some embodiments, conductor portion 320 may be over more than one dielectric layer 336 in the respective stair 314.

[0053] As shown in FIG. 3A, along the *x*-direction, conductor portion 320 extends in the landing area of the respective stair 314 and is cut off (e.g., not extending into) at the edge of an

Micron Ex. 1002, p. 22
Micron v. YMTC
IPR2025-00035

upper stair 314 (e.g., an immediately-above stair 314). That is, along the *x*-direction, little or no overlap is formed between conductor portion 320 and the conductor portion 320 of an upper stair 314. In some embodiments, along the *x*-direction, no overlap is formed between each conductor portion 320 and any upper stairs 314. In some embodiments, along the *x*-direction, no overlap is formed between each conductor portion 320 and any lower stairs 314. That is, no conductor portion 320 has any overlap along the *x*-direction. In some embodiments, along the *x*-direction, a width d of conductor portion 320 may be equal to or less than the dimension of stair 314. In some embodiments, width d of conductor portion 320 is equal to the dimension of stair 314 along the *x*-direction and is nominally unchanged along the *y*-direction.

[0054] Optionally, in stair 314, second dielectric portion 322 may be formed. Dielectric portion 324 and second dielectric portion 322 (if any) may have the same material(s), which is different from the material(s) of dielectric layer 326. In some embodiments, dielectric layer 326 includes silicon oxide. In some embodiments, second dielectric portion 322 and dielectric portion 324 includes silicon nitride. In some embodiments, second dielectric portion 322 has the same dimension (e.g., same width d) along the *x*-direction as conductor portion 320. In stair 314, bottom surfaces of dielectric portion 324 and second dielectric portion 322 may be coplanar along the *z*-direction. Along the z-direction, a thickness of conductor portion 320 may be equal to or less than that of dielectric portion 324, and a thickness of second dielectric portion 322 may be less than that of dielectric portion 324.

[0055] As shown in FIG. 3B, along the *y*-direction, a length D of conductor portion 320 may be equal to or less than the dimension of the respective stair 314. In some embodiments, length D is equal to the dimension of the respective stair 314 along the *y*-direction. In some embodiments, length D is less than the dimension of respective stair 314, and a third dielectric portion 323 is formed at the end of stair 314 away from bridge structure 308. Third dielectric portion 323 may have the same thickness as dielectric portion 324 along the *z*-direction, and may have the same material as dielectric portion 324. Along the *x*-direction, a width of third dielectric portion 323 may be less than, equal to, or greater than width d of conductor portion 320. Length D and width d may each be sufficiently large to cover the landing area of the respective stair 314 and allow a respective word line VIA contact 316 to be formed at a desired location.

[0056] As shown in FIGs. 3A and 3B, conductor portion 320 may be over at least a respective dielectric layer 326 in the same stair 314. In some embodiments, in each stair 314,

Micron Ex. 1002, p. 23
Micron v. YMTC
IPR2025-00035

conductor portion 320 is in contact with and on the respective dielectric layer 326. Meanwhile, dielectric portion 324 may extend in staircase 306, e.g., along the *x*-direction (e.g., along the negative *x*-direction), from the boundary with the respective conductor portion 320 to the boundary between staircase 306 and a memory array structure. In some embodiments, along the *z*-direction, at least one conductor portion 320 is over interleaved a plurality of dielectric layers 326 and dielectric portions 324. For example, the dielectric layers 326 may include the respective dielectric layer 326 in the same stair and one or more dielectric layers 326 in lower stairs 314. The dielectric portions 324 may include one or more dielectric portions 324 in lower stairs 314. In some embodiments, along the *z*-direction, the at least one conductor portion 320 is also over the other dielectric portion in the same stair 314. As shown in FIG. 3B, all the dielectric portions 324 and dielectric layers 326 underlying conductor portion 320 may be referred to as a dielectric structure 340, of which a thickness along the *z*-direction is equal to the distance between the bottom surface of the respective conductor portion 320 and the top surface of substrate 302. In some embodiments, a length of dielectric structure 340, along the *y*-direction, is equal to that (e.g., length D) of conductor portion 320. In some embodiments, a width of dielectric structure 340, along the *x*-direction, is equal to that (e.g., width d) of conductor portion 320. In some embodiments, except for the bottom stair 314 (e.g., stair 314 at the bottom of staircase 306), dielectric structure 340 includes at least one pair of dielectric portion 324 and dielectric layer 326 corresponding to a lower stair 314 (e.g., stair 314 at a lower elevation/greater depth along the negative *z*-direction). In some embodiments, except for the bottom stair 314, each dielectric structure 340 includes at least one pair of dielectric portion 324 and dielectric layer 326 corresponding to a lower stair 314, and the dielectric layer 326 in the respective stair 314.

[0057] FIG. 3C illustrates a lateral cross-sectional view of the staircase structure, showing the spatial relationships of a GLS 310, conductor layer 330, conductor portion 320, and dielectric portion 324. As shown in FIGs. 3B and 3C, in some embodiments, staircase 306 includes a connecting structure 321 in contact with bridge structure 308. Connecting structure 321, being a part of staircase 306 and extending along the *x*-direction, may include interleaved at least one conductor strip and at least one dielectric strip over substrate 302. In some embodiments, a length L of connecting structure 321, along the *y*-direction, is equal to or greater than zero. For a respective stair 314, the dimension of connecting structure 321, along the *x*-direction, may be the length of the respective dielectric layer 326 (e.g., the sum of

Micron Ex. 1002, p. 24
Micron v. YMTC
IPR2025-00035

dielectric portion 324 and width d of conductor portion 320). That is, along the *x*-direction, the dimension of connecting structure 321 may be the same as the length of the contact region between stair 314 and bridge structure 308. The thickness of connecting structure 321 along the *z*-direction may be the same as the height of the respective stair 314. That is, the thickness of connecting structure 321 may be equal to the distance from the top surface of stair 314/conductor portion 320 to the top surface of substrate 302. Each conductor strip may be in contact with conductor layer 330 and dielectric portion 324 of the same level, and each dielectric strip may be in contact with dielectric layer 336 and dielectric layer 326 of the same level. The material(s) of the conductor strip may be the same as that of conductor layer 330, and the material(s) of the dielectric strip may be the same as that of dielectric layer 336.

[0058] For a respective stair 314, the top conductor strip may also be in contact with the respective conductor portion 320, thus electrically connecting conductor portion 320 and conductor layer 330 of the same level. Along the *z*-direction, the thickness of each conductor strip may be the same as that of the respective conductor layer 330. In some embodiments, conductor and dielectric strips, being a part of staircase 306, can be regarded as extensions of conductor layers 330 and dielectric layers 336 along the *y*-direction and into staircase 306. In some embodiments, of a respective stair 314, dielectric structure 340 is in contact with the respective connecting structure 321.

[0059] As shown in FIG. 3C, GLS 310 may extend along the *x*-direction and be in contact with bridge structure 308 (e.g., or conductor layers 330 in bridge structure 308). In some embodiments, bridge structure 308 may be between GLS 310 and staircase 306. The boundary between conductor portion 320 and the corresponding dielectric portion 324 may be nominally parallel with the *y*-direction such that width d of conductor portion 320 may be unchanged along the *y*-direction. That is, the contour of conductor portion 320 (and/or dielectric portion 324) may nominally follow the edge of an upper stair 314. In some embodiments, the boundary between dielectric portion 324 and the respective conductor layer 330 (or respective connecting structure 321, if any) may be nominally parallel with the *x*-direction. That is, nominally, dielectric portion 324 may have a right angle along its boundaries with adjacent conductor material (i.e., conductor portion 320 and conductor layer 330/conductor strip in connecting structure 321).

[0060] FIGs. 4A-4D illustrate a fabrication process for forming an exemplary staircase structure of a 3D memory device, according to various embodiments of the present disclosure.

Micron Ex. 1002, p. 25
Micron v. YMTC
IPR2025-00035

FIG. 5 is a flowchart of a method 500 for forming an exemplary staircase structure of a 3D memory device, according to some embodiments. It is understood that the operations shown in method 500 are not exhaustive and that other operations can be performed as well before, after, or between any of the illustrated operations. Further, some of the operations may be performed simultaneously, or in a different order than shown in FIG. 5.

[0061] Referring to FIG. 5, method 500 starts at operation 502, in which a staircase structure having a staircase and a bridge structure is formed. FIG. 4A illustrates a corresponding structure.

[0062] As shown in FIG. 4A, a staircase structure having a staircase 406 and a bridge structure 408 is formed over a substrate 402. Staircase 406 may be in contact with bridge structure 408. Staircase 406 may include interleaved a plurality of sacrificial layers 429 and a plurality of dielectric layers 426, forming a plurality of stairs 414 extending along the *x*-direction (e.g., referring to stairs 314 in FIG. 3A). Each stair 414 may include at least one pair of sacrificial layer 429/dielectric layer 426. Bridge structure 408 may include interleaved a plurality of sacrificial layers 439 and a plurality of dielectric layers 436. In some embodiments, each sacrificial layer 439 is in contact with a respective sacrificial layer 429 of the same level, and each dielectric layer 436 is in contact with a respective dielectric layer 436 of the same level. In some embodiments, sacrificial layers 439 and 429 include the same material, such as silicon nitride. In some embodiments, dielectric layers 436 and 426 include the same material, such as silicon oxide.

[0063] To form the stack structure, a material stack may first be formed. The material stack may include vertically interleaved first dielectric material layers and second dielectric material layers. In some embodiments, the material stack is a dielectric stack, and the first material layers and the second material layers include different dielectric materials. Interleaved first dielectric material layers and second dielectric material layers can be alternatingly deposited above substrate 402. In some embodiments, first dielectric material layers include layers of silicon nitride, and second dielectric material layers include layers of silicon oxide. The material stack can be formed by one or more thin film deposition processes including, but not limited to, chemical vapor deposition (CVD), physical vapor deposition (PVD), atomic layer deposition (ALD), or any combination thereof.

[0064] A portion of the material stack may be patterned to form the stack structure. In some embodiments, separate masks, e.g., separate etching processes, can be used to form

Micron Ex. 1002, p. 26
Micron v. YMTC
IPR2025-00035

staircase 406 and bridge structure 408. The formation of staircase 406, in some embodiments, includes repetitive etching of the material stack using an etch mask (e.g., a patterned photoresist or PR layer) over the material stack. The etch mask can be repetitively trimmed inwardly and incrementally, often from all directions, to expose the portions of the material stack to be etched. The amount of trimmed PR can be directly related (e.g., determinant) to the dimensions of the stairs. For example, the amount of trimmed PR along the *x*-direction may determine the width of stair 414 along the *x*-direction. The trimming of the PR layer can be obtained using a suitable etch, e.g., isotropic etch such as a wet etch. One or more PR layers can be formed and trimmed consecutively for the formation of the stairs. In some embodiments, the etching of the material stack, e.g., using a suitable etching process such as dry etch and/or wet etch, follows the trimming of the PR layer. In some embodiments, the material stack is etched by a stair depth along the *z*-direction following each trimming of the PR layer. The stair depth may be equal to the number of dielectric material layer pairs (e.g., the number of first dielectric material layer/second dielectric material layer) included in a stair. In some embodiments, the number of dielectric material layer pairs is one. The trimming process of a photoresist mask, followed by the etching process of a material stack, is referred to herein as a trim-etch cycle. The number of trim-etch cycles can determine the number of stairs formed in the material along the *y*-axis. In some embodiments, after the formation of stairs, the first dielectric material layers may form sacrificial layers 429, and the second dielectric material layers may form dielectric layers 426. Staircase 406 may be formed. In some embodiments, each stair 414 includes a pair of sacrificial layer 429 and an underlying dielectric layer 426 (e.g., one sacrificial/dielectric pair).

[0065] In various embodiments, bridge structure 408 can be formed by patterning another portion of the material stack. An etch mask may or may not be used, depending on the design of bridge structure 408. In various embodiments, bridge structure 408 may have the "wall-shape" structure as shown in FIG. 1B, or a staircase shape as shown in FIG. 2B. Bridge structure 408 may be formed with staircase 406 by the same etching process or by a different etching process. In some embodiments, the formation of bridge structure 408 includes a photolithography process followed by a suitable etching process, such as dry etch and/or wet etch. The staircase structure, having staircase 406 and bridge structure 408, may be formed.

[0066] In some embodiments, sacrificial layer 429 is exposed at the top surface of the respective stair 414. Dielectric layer 426 may be under sacrificial layer 429. Optionally, as shown in FIG. 4A, a protection layer 425 can be formed on the top surface of stair 414 to

Micron Ex. 1002, p. 27
Micron v. YMTC
IPR2025-00035

provide buffering and protection during the subsequent plasma treatment on stairs 414 such that the underlying sacrificial layer 429 is treated to have the optimized chemical/physical properties. Protection layer 425 may cover at least the portion of stair 414 (i.e., sacrificial layer 429) that is to be treated. For example, protection layer 425 may cover at least the landing area (or possible landing area) of stair 414 (i.e., sacrificial layer 429). Protection layer 425 may include any suitable material with a suitable thickness along the *z*-direction, and may be formed with any suitable methods. In some embodiments, protection layer 425 includes a layer of dielectric material(s). In some embodiments, protection layer 425 includes a part of the second dielectric material layer (e.g., silicon oxide) that is not fully etched away during the formation of stairs 414. That is, a portion of second dielectric material layer immediately on the first dielectric material layer in staircase 406 may be retained during the etching of the material stack. In some embodiments, the etch time to form stairs 414 is controlled to ensure protection layer 425 has a desired thickness. In some embodiments, protection layer 425 can also be formed by a suitable deposition process, e.g., CVD, ALD, and/or PVD, alone or in addition to the controlled etching, to deposit a layer of dielectric material(s), such as silicon oxide, on stairs 414 (i.e., sacrificial layers 429). In some embodiments, protection layer 425 is not formed.

[0067] Referring to FIG. 5, method 500 proceeds to operation 504, in which a plasma treatment is performed to form a sacrificial portion on the top surface of the respective stair. FIG. 4B illustrates a corresponding structure.

[0068] As shown in FIG. 4B, a plasma treatment can be performed to form a sacrificial portion 419 on the top surface of at least one stair 414. In some embodiments, a plurality of sacrificial portions 419 are formed, each on a respective stair 414. Sacrificial portion 419 may cover at least the landing area of the respective stair 414. In some embodiments, protection layer 425, if formed, may be retained during the plasma treatment such that sacrificial portion 419 can have a desired thickness along the *z*-direction and/or desired physical properties. In some embodiments, sacrificial portion 419 covers the full width d (e.g., along the *x*-direction, referring back to FIG. 3A) of the respective stair 414. Sacrificial portion 419 may be cut off at the edge of the immediately-above stair 414, such that sacrificial portion 419 does not extend under upper stair 414 along the *x*-direction. In various embodiments, sacrificial portion 419, having a length D, may or may not cover the full length (e.g., along the *y*-direction, referring back to FIG. 3B) of the respective stair 414. Sacrificial portion 419 may be cut off at the boundary between bridge structure 408 and staircase 406 such that sacrificial portion 419 may

Micron Ex. 1002, p. 28
Micron v. YMTC
IPR2025-00035

not extend into bridge structure 408 along the *y*-direction. Along the *z*-direction, a thickness of sacrificial portion 419 may be less than or equal to the thickness of sacrificial layer 429.

[0069] In some embodiments, the portion of sacrificial layer 429 that does not undergo the plasma treatment and under upper stairs 414 (referring back to FIG. 3A), may form (or be referred to as) a dielectric portion in the respective stair 414. The dielectric portion may be in contact with sacrificial portion 419 at the edge of the immediately-above stair 414. In some embodiments, if the thickness of sacrificial portion 419 is less than the thickness of sacrificial layer 429, an initial second dielectric portion 427 is formed under sacrificial portion 419. Initial second dielectric portion 427 may be formed by the portion of sacrificial layer 429 under sacrificial portion 419 and not undergone the plasma treatment. In some embodiments, a width of initial second dielectric portion 427 along the *x*-direction is equal to d, and a thickness of initial second dielectric portion 427 along the *z*-direction is less than that of the respective dielectric portion (or sacrificial layer 429). In some embodiments, a length of initial second dielectric portion 427 along the *y*-direction may be equal to that of conductor portion 420 (e.g., length D). In some embodiments, along the *z*-direction, each stair 414 includes sacrificial portion 419 and at least the underlying dielectric layer 426 (and initial second dielectric portion 427, if formed). Further, except for the bottom stair 414, each stair 414 may be over one or more pairs of dielectric portion and dielectric layer 426 of lower stairs 414.

[0070] The plasma treatment may change the physical and/or chemical properties of the treated portion of sacrificial layer 429 (i.e., sacrificial portion 419). In some embodiments, in the subsequent gate-replacement process, an etchant to remove sacrificial layers 429 may have a lower etch rate on sacrificial portion 419. That is, the etchant to remove sacrificial layers 429 may selectively etch sacrificial layers 429 over sacrificial portion 419. In some embodiments, sacrificial portion 419 has a higher density than sacrificial layers 429, making it more difficult to be etched by the etchant to remove sacrificial layers 429. In various embodiments, the plasma treatment employs any suitable reactants and conditions to alter the aforementioned etching selectivity of sacrificial portion 419. Optionally, thermal treatment, such as an annealing process, can be performed after the plasma treatment. In some embodiments, protection layer 425, if formed, is removed after the plasma treatment, e.g., by a suitable dry and/or wet etching process. In some embodiments, protection layer 425, if formed, is retained and becomes a part of the insulation structure (e.g., 450 illustrated in FIGs. 4C and 4D).

Micron Ex. 1002, p. 29
Micron v. YMTC
IPR2025-00035

[0071] Optionally, sacrificial portion 419 may not fully cover stair 414 along the *y*-direction, and a third dielectric portion 423 may be formed from the portion of sacrificial layer 429 outside of the portion undergone the plasma treatment. In some embodiments, a width of third dielectric portion 423 along the *x*-direction may be less than, equal to, or greater than that of the respective stair 414 (e.g., width d). In some embodiments, a thickness of third dielectric portion 423 along the *z*-direction may be equal to or less than that of the respective sacrificial layer 429.

[0072] Referring to FIG. 5, method 500 proceeds to operation 506, in which a plurality of lateral recesses are formed in the bridge structure. FIG. 4C illustrates a corresponding structure.

[0073] As shown in FIG. 4C, a plurality of lateral recesses 428 may be formed in bridge structure 408. In some embodiments, a GLS (e.g., a slit structure, referred back to GLS 310 in FIG. 3C) may be formed in contact with bridge structure 408 before the formation of lateral recesses 428. The GLS may extend in the staircase structure in the *x*-*z* plane, exposing substrate 402 and sacrificial/dielectric pairs (439/436) in bridge structure 408. A first etching process, employing a first etchant, such as phosphoric acid, can be used to remove sacrificial layers 439 through the GLS. In some embodiments, the first etching process includes a wet etching process. The first etchant may be an isotropic etchant and remove all sacrificial layers 439 exposed on the sidewalls of the GLS. Dielectric layers 436 may be retained, and lateral recesses 428 may be formed. The first etching process may simultaneously remove all sacrificial layers 439 in bridge structure 408.

[0074] In some embodiments, the first etchant has a higher etch rate on sacrificial layers 439 over sacrificial portion 419. In some embodiments, the etch time of the first etching process is controlled such that at least a portion of each sacrificial portion 419 is retained. In some embodiments, at least most of sacrificial portion 419 is retained in the first etching process such that an edge of sacrificial portion 419 remains at the boundary between staircase 406 and bridge structure 408. In some embodiments, because the first etchant has a higher etch rate on sacrificial layers 439 than sacrificial portion 419, a portion of staircase 406 under sacrificial portion 419 may be removed by the first etchant. As shown in FIG. 4C, the removed portion of staircase 406 may include portions of the dielectric portions and portions of dielectric layers 426 (e.g., in lower stairs 414) under sacrificial portion 419. In some embodiments, the removed portion of staircase 406 may nominally have a length L along the *y*-direction and have

Micron Ex. 1002, p. 30
Micron v. YMTC
IPR2025-00035

the same length as sacrificial layer 429 along the *x*-direction. In some embodiments, if, along the *z*-direction, the thickness of sacrificial portion 419 is less than that of sacrificial layer 429, the first etchant also removes a portion of each initial second dielectric portion 427, forming second dielectric portion 422.

[0075] In some embodiments, an insulating structure 450 is formed over the staircase structure such that at least staircase 406 is in insulating structure 450. Insulating structure 450 may include a suitable dielectric material and deposited by any suitable deposition method(s) such as CVD, ALD, and/or PVD. In some embodiments, insulating structure 450 includes silicon oxide and is deposited by CVD. It should be noted that, insulating structure 450 can be formed at any suitable time after the formation of staircase 406 and before the formation of the word line VIA contacts. The specific timing to form insulating structure 450 should not be limited by the embodiments of the present disclosure.

[0076] Referring to FIG. 5, method 500 proceeds to operation 508, in which a lateral recess portion is formed from each sacrificial portion. FIG. 4D illustrates a corresponding structure.

[0077] As shown in FIG. 4D, a lateral recess portion 418 may be formed from a respective sacrificial portion 419. Lateral recess portions 418 may be formed by performing a second etching process, employing a second etchant different from the first etchant, to remove sacrificial portions 419 through the GLS. In some embodiments, the second etchant has a higher etch rate on sacrificial portion 419 over the dielectric portions. That is, the second etchant has a higher etch rate on the plasma-treated sacrificial material than the sacrificial material without plasma treatment. In some embodiments, the etch time of the second etching process is controlled such that at least a desired portion (e.g., a desired length along the *y*-direction) of the dielectric materials under each lateral recess portion 418 is retained. In some embodiments, at least most of the dielectric portions and the dielectric layers 426 retained from the first etching process are retained in the second etching process. The retained dielectric materials under lateral recess portion 418 may form a respective dielectric structure. In some embodiments, the second etching process includes an isotropic etching process, such as a wet etch.

[0078] In some embodiments, lateral recess portion 418 is in contact with insulating structure 450 on the top surface. In some embodiments, lateral recess portion 418 is in contact with the underlying second dielectric portion 422 and/or third dielectric portion 423 laterally

Micron Ex. 1002, p. 31
Micron v. YMTC
IPR2025-00035

(along the negative *y*-direction). In some embodiments, lateral recess portion 418 is in contact with the underlying dielectric layer 426.

[0079] Referring to FIG. 5, method 500 proceeds to operation 510, in which a plurality of conductor layers are formed in the lateral recess, and a conductor portion is formed in the respective lateral recess portion. FIG. 4E illustrates a corresponding structure.

[0080] As shown in FIG. 4C, a plurality of conductor layers 430 may be formed in bridge structure 408, and a conductor portion 420 may be formed in the respective stair 414 in staircase 406. In some embodiments, a suitable deposition process, such as ALD, CVD, and/or PVD, is performed to deposit a suitable conductor material to fill up lateral recesses 428 and lateral recess portion 418 in the same process. The conductor material may fill lateral recesses 428 and lateral recess portion 418 from the GLS. The conductor material may include tungsten, cobalt, copper, aluminum, polysilicon, doped silicon, silicides, or any combination thereof. In some embodiments, the conductor material may also fill the removed portion of staircase 406 under sacrificial portion 419 (or conductor portion 420), forming connecting structure 421 (referring back to FIG. 3C).

[0081] Referring to FIG. 5, method 500 proceeds to operation 512, in which a word line VIA contact is formed in contact with the respective conductor portion. FIG. 4F illustrates a corresponding structure.

[0082] As shown in FIG. 4F, a word line VIA contact 416 is formed in insulating structure 450 and in contact with the respective conductor portion 420. Word line VIA contact 416 may be formed by patterning insulating structure 450 to form an opening that exposes conductor portion 420 and depositing a suitable conductive material to fill in the opening. In some embodiments, the patterning of insulating structure 450 includes a photolithography process followed by a suitable etching process, e.g., dry etch and/or wet etch. The conductive material includes tungsten, cobalt, copper, aluminum, polysilicon, doped silicon, silicides, or any combination thereof. In some embodiments, an ACS is formed in the GLS after conductor layers 430 and conductor portions 420 are formed.

[0083] Embodiments of the present disclosure provide a 3D memory device. The 3D memory device includes a memory array structure and a staircase structure in an intermediate of the memory array structure. The staircase structure divides the memory array structure into a first memory array structure and a second memory array structure along a lateral direction. The staircase structure includes a plurality of stairs extending along the lateral direction, and a

Micron Ex. 1002, p. 32
Micron v. YMTC
IPR2025-00035

bridge structure in contact with the first memory array structure and the second memory array structure. The plurality of stairs includes a stair above one or more dielectric pairs The stair includes a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and a dielectric portion at a same level and in contact with the conductor portion. The stair is electrically connected to at least one of the first memory array structure and the second memory array structure through the bridge structure. Along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

[0084] In some embodiments, the stair further includes a dielectric layer under the conductor portion and the dielectric portion.

[0085] In some embodiments, the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

[0086] In some embodiments, along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

[0087] In some embodiments, along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

[0088] In some embodiments, a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction. In some embodiments, the conductor portion is above a second dielectric portion that is located between the dielectric layer and the conductor portion.

[0089] In some embodiments, along the lateral direction, a width of the second dielectric portion is equal to the width of the conductor portion.

[0090] In some embodiments, the conductor portion includes at least one of tungsten, cobalt, copper, aluminum, silicides, and polysilicon. In some embodiments, the dielectric portion includes silicon nitride. In some embodiments, the dielectric layer includes silicon oxide.

[0091] In some embodiments, the second dielectric portion includes the same material as the dielectric portion.

[0092] In some embodiments, the bridge structure includes interleaved a plurality of conductor layers each in contact with the first and second memory array structures. In some

Micron Ex. 1002, p. 33
Micron v. YMTC
IPR2025-00035

embodiments, the conductor portion is in contact with and electrically connected to a respective conductor layer at the same level.

[0093] In some embodiments, each of the one or more dielectric pairs includes a dielectric portion and a dielectric layer corresponding to a lower stair.

[0094] Embodiments of the present disclosure provide a 3D memory device. The 3D memory device includes a memory array structure and a landing structure in contact with the memory array structure. The landing structure includes a plurality of landing areas each at a respective depth extending along a lateral direction, and a bridge structure in contact with the memory array structure. The plurality of landing areas each includes a conductor portion on a respective top surface and a dielectric portion at a same level and in contact with the conductor portion. The conductor portion is electrically connected to the memory array structure through the bridge structure, and a width of the conductor portion is unchanged along a second lateral direction perpendicular to the lateral direction. The plurality of landing areas are each above one or more dielectric pairs.

[0095] In some embodiments, the plurality of landing areas further includes a dielectric layer under the conductor portion and the dielectric portion.

[0096] In some embodiments, the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

[0097] In some embodiments, along the lateral direction, a width of the conductor portion is equal to a dimension of the respective landing area.

[0098] In some embodiments, along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the respective landing area.

[0099] In some embodiments, the landing structure comprises a plurality of stairs extending the lateral direction. In some embodiments, each of the plurality of landing areas is on the top surface of the respective stair.

[0100] In some embodiments, a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction. In some embodiments, the conductor portion is above a second dielectric portion that is located between the dielectric layer and the conductor portion.

[0101] In some embodiments, along the lateral direction, a width of the second dielectric portion is equal to the dimension of the stair.

Micron Ex. 1002, p. 34
Micron v. YMTC
IPR2025-00035

[0102] In some embodiments, the conductor portion includes at least one of tungsten, cobalt, copper, aluminum, silicides, and polysilicon. In some embodiments, the dielectric portion includes silicon nitride. In some embodiments, the dielectric layer includes silicon oxide.

[0103] In some embodiments, the second dielectric portion includes the same material as the dielectric portion.

[0104] In some embodiments, the bridge structure includes interleaved a plurality of conductor layers each in contact with the memory array structure. In some embodiments, the conductor portion is in contact with and electrically connected to a respective one of the second conductors at the same level.

[0105] In some embodiments, each of the one or more dielectric pairs includes a dielectric portion and a dielectric layer corresponding to a lower landing area.

[0106] Embodiments of the present disclosure provide a 3D memory device. The 3D memory device includes a memory array structure and a staircase structure. The staircase structure includes a plurality of stairs extending along a lateral direction. The plurality of stairs includes a stair having a conductor portion on a top surface of the stair and a dielectric portion at a same level and in contact with the conductor portion. The conduction portion is electrically connected to the memory array structure. Along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

[0107] In some embodiments, the staircase structure further includes a dielectric layer under the conductor portion and the dielectric portion.

[0108] In some embodiments, the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

[0109] In some embodiments, along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

[0110] In some embodiments, along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

[0111] In some embodiments, a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction. In some embodiments, the conductor portion is above a second dielectric portion that is located between the dielectric layer and the conductor portion.

Micron Ex. 1002, p. 35
Micron v. YMTC
IPR2025-00035

[0112] In some embodiments, along the lateral direction, a width of the second dielectric portion is equal to the dimension of the stair.

[0113] In some embodiments, the conductor portion includes at least one of tungsten, cobalt, copper, aluminum, silicides, and polysilicon. In some embodiments, the dielectric portion includes silicon nitride. In some embodiments, the dielectric layer includes silicon oxide.

[0114] In some embodiments, the second dielectric portion includes the same material as the dielectric portion.

[0115] In some embodiments, the 3D memory device further includes a bridge structure in contact with the staircase structure and the memory array structure. The bridge structure includes interleaved a plurality of conductor layers each in contact with the memory array structure. The conductor portion is in contact with and electrically connected to one of the conductor layers at the same level. The staircase structure is electrically connected to the memory array structure through the bridge structure.

[0116] In some embodiments, each of the one or more dielectric pairs includes a dielectric portion and a dielectric layer corresponding to a lower stair.

[0117] Embodiments of the present disclosure provide a method for forming a staircase structure of 3D memory device. The method includes the following operations. First, a plurality of stairs is formed having interleaved a plurality of first sacrificial layers and a plurality of first dielectric layers in a plurality of stairs. A bridge structure is formed in contact with the plurality of stairs. The bridge structure having interleaved a plurality of second sacrificial layers and a plurality of second dielectric layers. Each first sacrificial layer is in contact with a respective second sacrificial layer of the same level, and each first dielectric layer is in contact with a respective second dielectric layer of the same level. A sacrificial portion is formed in the first sacrificial layer corresponding to at least one of the stairs. The second sacrificial layers are removed by a first etching process to form a plurality of lateral recesses. The sacrificial portion is removed by a second etching process to form a lateral recess portion. A plurality of conductor layers are formed in the lateral recesses and a conductor portion is formed in the lateral recess portion. The conductor portion is in contact with a respective one of the conductor layers.

[0118] In the first etching process, an etch rate on the sacrificial portion is lower than an etch rate on the second sacrificial layers.

Micron Ex. 1002, p. 36
Micron v. YMTC
IPR2025-00035

[0119] In the second etching process, an etch rate on the sacrificial portion is higher than an etch rate on the first sacrificial layers.

[0120] In some embodiments, forming the sacrificial portion includes performing a plasma treatment to an exposed portion of the first sacrificial layer of the at least one of the stairs to alter an etch rate of the exposed portion of the first sacrificial layer in the first etching process.

[0121] In some embodiments, the plasma treatment is performed on at least an upper portion of the first sacrificial layer.

[0122] In some embodiments, the method further includes forming a protection layer on the first sacrificial layer before the plasma treatment.

[0123] In some embodiments, the method further includes retaining a portion of the first sacrificial layers and first dielectric layers under the sacrificial portion.

[0124] In some embodiments, the method further includes removing, by the first etching process, another portion of the first sacrificial layers and first dielectric layers under the sacrificial portion.

[0125] In some embodiments, the method further includes forming a slit structure in the staircase structure and removing the plurality of second sacrificial layers and the sacrificial portion through the slit structure.

[0126] In some embodiments, forming the plurality of conductor and the conductor portion include depositing a conductor material to fill in the lateral recesses and the lateral recess portion.

[0127] In some embodiments, the method further includes forming a contact on the conductor portion.

[0128] The foregoing description of the specific embodiments will so reveal the general nature of the present disclosure that others can, by applying knowledge within the skill of the art, readily modify and/or adapt for various applications such specific embodiments, without undue experimentation, without departing from the general concept of the present disclosure. Therefore, such adaptations and modifications are intended to be within the meaning and range of equivalents of the disclosed embodiments, based on the teaching and guidance presented herein. It is to be understood that the phraseology or terminology herein is for the purpose of description and not of limitation, such that the terminology or phraseology of the present specification is to be interpreted by the skilled artisan in light of the teachings and guidance.

Micron Ex. 1002, p. 37
Micron v. YMTC
IPR2025-00035

[0129] Embodiments of the present disclosure have been described above with the aid of functional building blocks illustrating the implementation of specified functions and relationships thereof. The boundaries of these functional building blocks have been arbitrarily defined herein for the convenience of the description. Alternate boundaries can be defined so long as the specified functions and relationships thereof are appropriately performed.

[0130] The Summary and Abstract sections may set forth one or more but not all exemplary embodiments of the present disclosure as contemplated by the inventor(s), and thus, are not intended to limit the present disclosure and the appended claims in any way.

[0131] The breadth and scope of the present disclosure should not be limited by any of the above-described exemplary embodiments, but should be defined only in accordance with the following claims and their equivalents.

Micron Ex. 1002, p. 38
Micron v. YMTC
IPR2025-00035

WHAT IS CLAIMED IS

1. A three-dimensional (3D) memory device, comprising:

a memory array structure; and

a staircase structure in an intermediate of the memory array structure and dividing the memory array structure into a first memory array structure and a second memory array structure along a lateral direction, the staircase structure comprising (i) a plurality of stairs extending along the lateral direction, and (ii) a bridge structure in contact with the first memory array structure and the second memory array structure, the plurality of stairs comprising a stair above one or more dielectric pairs, wherein

the stair comprises a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and a dielectric portion at a same level and in contact with the conductor portion, the stair being electrically connected to at least one of the first memory array structure and the second memory array structure through the bridge structure; and

along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

2. The 3D memory device of claim 1, wherein the stair further comprises:

a dielectric layer under the conductor portion and the dielectric portion.

3. The 3D memory device of claim 2, wherein the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

4. The 3D memory device of claim 2, wherein along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

5. The 3D memory device of claim 1, wherein along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

6. The 3D memory device of claim 1, wherein

Micron Ex. 1002, p. 39
Micron v. YMTC
IPR2025-00035

a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction; and

the conductor portion is above a second dielectric portion that is located between the dielectric layer and the conductor portion.

7. The 3D memory device of claim 6, wherein along the lateral direction, a width of the second dielectric portion is equal to the width of the conductor portion.

8. The 3D memory device of claim 1, wherein:

the conductor portion comprises at least one of tungsten, cobalt, copper, aluminum, silicides, and polysilicon;

the dielectric portion comprises silicon nitride; and

the dielectric layer comprises silicon oxide.

9. A three-dimensional (3D) memory device, comprising:

a memory array structure; and

a staircase structure comprising a plurality of stairs extending along a lateral direction, the plurality of stairs comprising a stair comprising a conductor portion on a top surface of the stair and a dielectric portion at a same level and in contact with the conductor portion, the conduction portion being electrically connected to the memory array structure,

wherein along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

10. The 3D memory device of claim 9, wherein the staircase structure further comprises a dielectric layer under the conductor portion and the dielectric portion.

11. The 3D memory device of claim 10, wherein the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

12. The 3D memory device of claim 9, wherein along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

Micron Ex. 1002, p. 40
Micron v. YMTC
IPR2025-00035

13. The 3D memory device of claim 9, wherein along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

14. The 3D memory device of claim 9, wherein

a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction;

the conductor portion is above a second dielectric portion that is located between the dielectric layer and the conductor portion; and

along the lateral direction, a width of the second dielectric portion is equal to the dimension of the stair.

15. A method for forming a staircase structure of a three-dimensional (3D) memory device, comprising:

forming a plurality of stairs comprising interleaved a plurality of first sacrificial layers and a plurality of first dielectric layers in a plurality of stairs;

forming a bridge structure in contact with the plurality of stairs, the bridge structure comprising interleaved a plurality of second sacrificial layers and a plurality of second dielectric layers, each first sacrificial layer being in contact with a respective second sacrificial layer of the same level, and each first dielectric layer being in contact with a respective second dielectric layer of the same level;

forming a sacrificial portion in the first sacrificial layer corresponding to at least one of the stairs;

removing, by a first etching process, the second sacrificial layers to form a plurality of lateral recesses;

removing, by a second etching process, the sacrificial portion to form a lateral recess portion; and

forming (i) a plurality of conductor layers in the lateral recesses and (ii) a conductor portion in the lateral recess portion and in contact with a respective one of the conductor layers.

16. The method of claim 15, wherein in the first etching process, an etch rate on the sacrificial portion is lower than an etch rate on the second sacrificial layers.

Micron Ex. 1002, p. 41
Micron v. YMTC
IPR2025-00035

17. The method of claim 15, wherein in the second etching process, an etch rate on the sacrificial portion is higher than an etch rate on the first sacrificial layers.

18. The method of claim 15, wherein forming the sacrificial portion comprises:

performing a plasma treatment to an exposed portion of the first sacrificial layer of the at least one of the stairs to alter an etch rate of the exposed portion of the first sacrificial layer in the first etching process.

19. The method of claim 18, further comprising forming a protection layer on the first sacrificial layer before the plasma treatment.

20. The method of claim 15, further comprising retaining a portion of the first sacrificial layers and first dielectric layers under the sacrificial portion.

Micron Ex. 1002, p. 42
Micron v. YMTC
IPR2025-00035

ABSTRACT

Embodiments of 3D memory devices having staircase structures and methods for forming the same are disclosed. In an example, a 3D memory device includes a memory array structure and a staircase structure in an intermediate of the memory array structure. The staircase structure includes a plurality of stairs extending along the lateral direction, and a bridge structure in contact with the first memory array structure and the second memory array structure. The plurality of stairs includes a stair above one or more dielectric pairs The stair includes a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and is electrically connected to at least one of a first memory array structure and a second memory array structure of the memory array structure through the bridge structure. Along a second lateral direction, a width of the conductor portion is unchanged.

Micron Ex. 1002, p. 43
Micron v. YMTC
IPR2025-00035

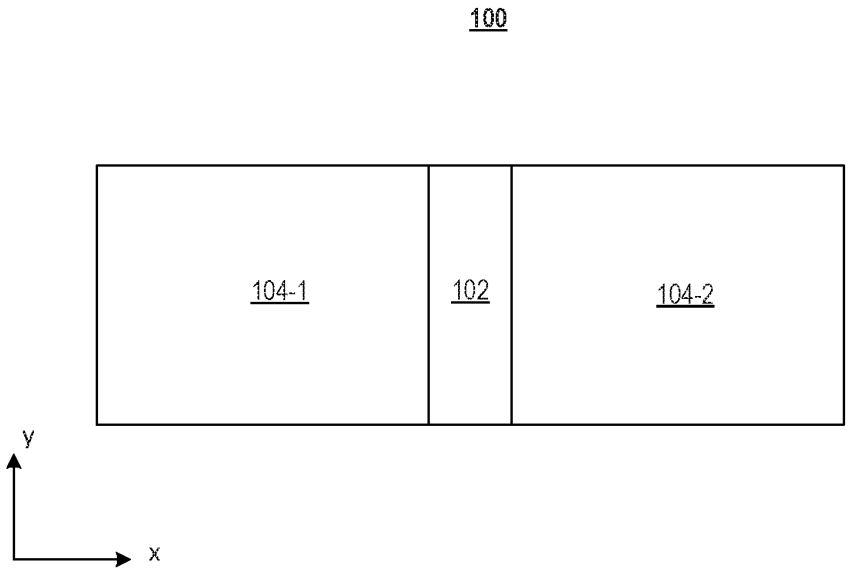


FIG. 1A

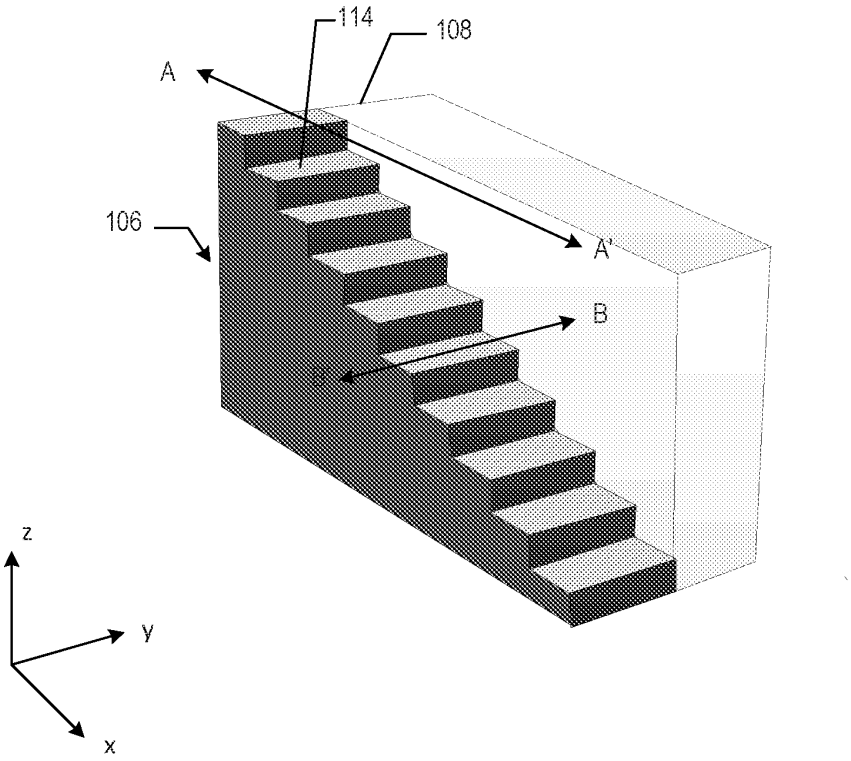


FIG. 1B

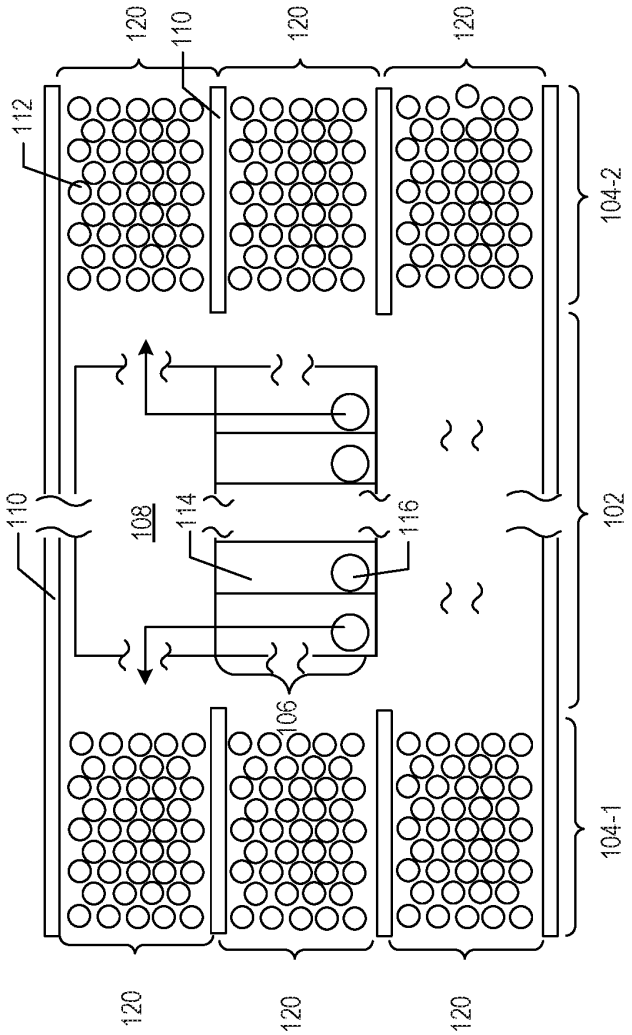

120
110
120
120
112
104-2
110
108
114
116
102
106
104-1
120
120
120
x
y

FIG. 1C

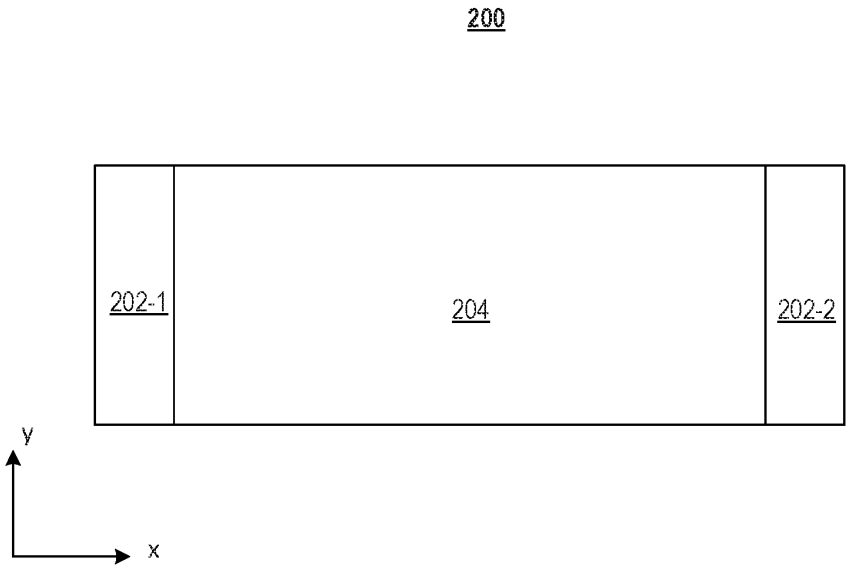


FIG. 2A

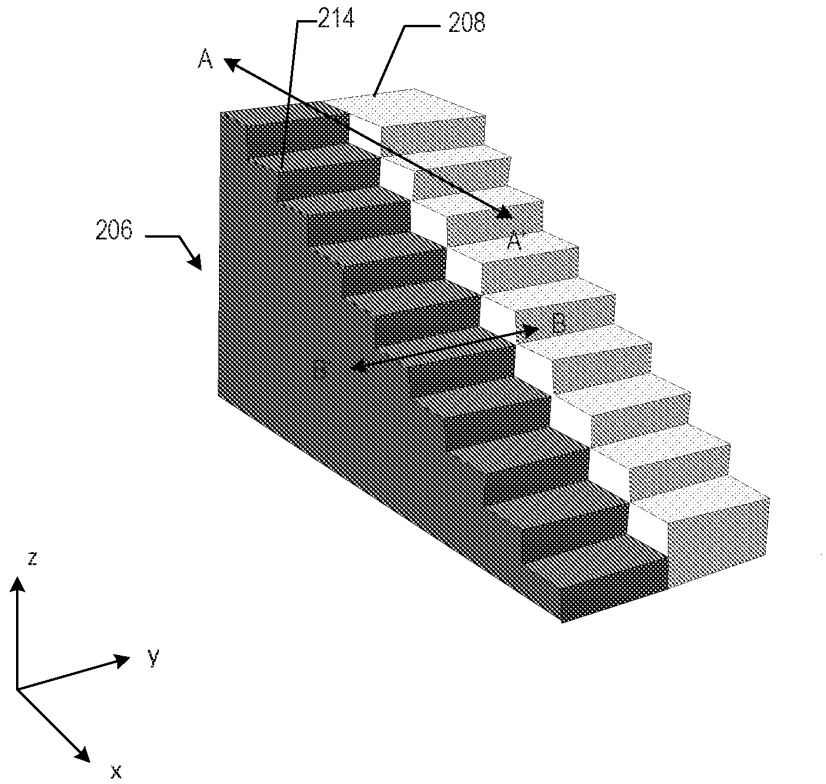


FIG. 2B

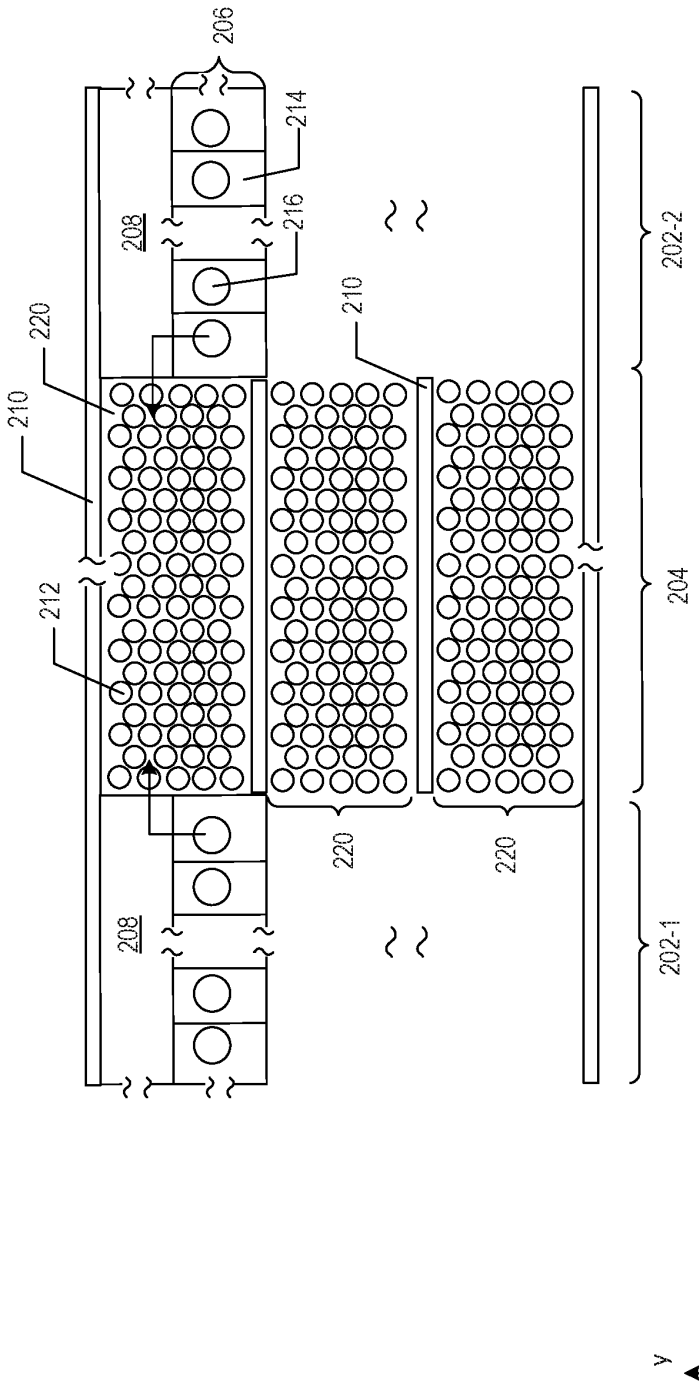


FIG. 2C

Micron Ex. 1002, p. 47
Micron v. YMTC
IPR2025-00035

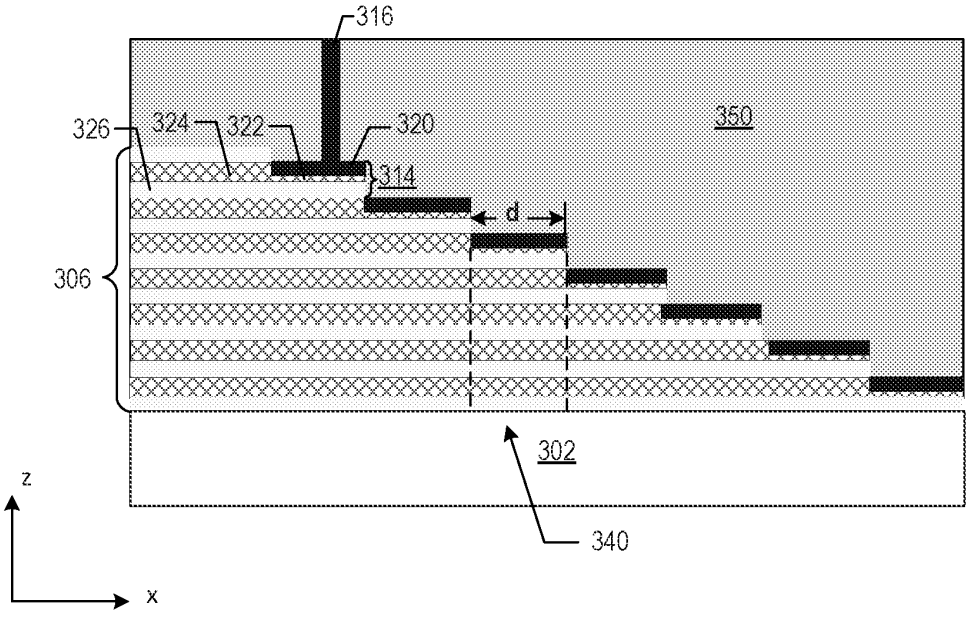

316
326
324
322
320
350
314
d
306
302
340
z
x

FIG. 3A

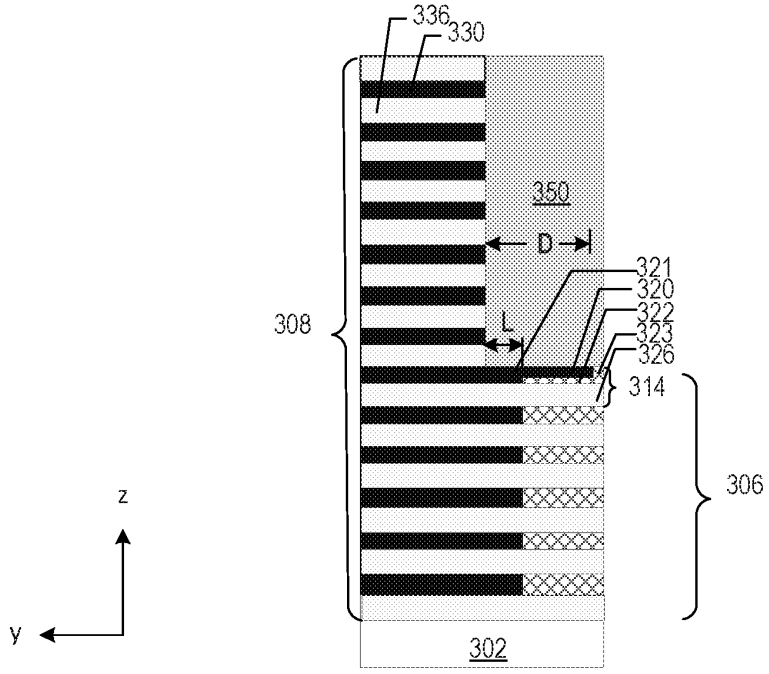

336
330
350
D
321
320
322
323
326
L
308
314
306
302
z
y

FIG. 3B

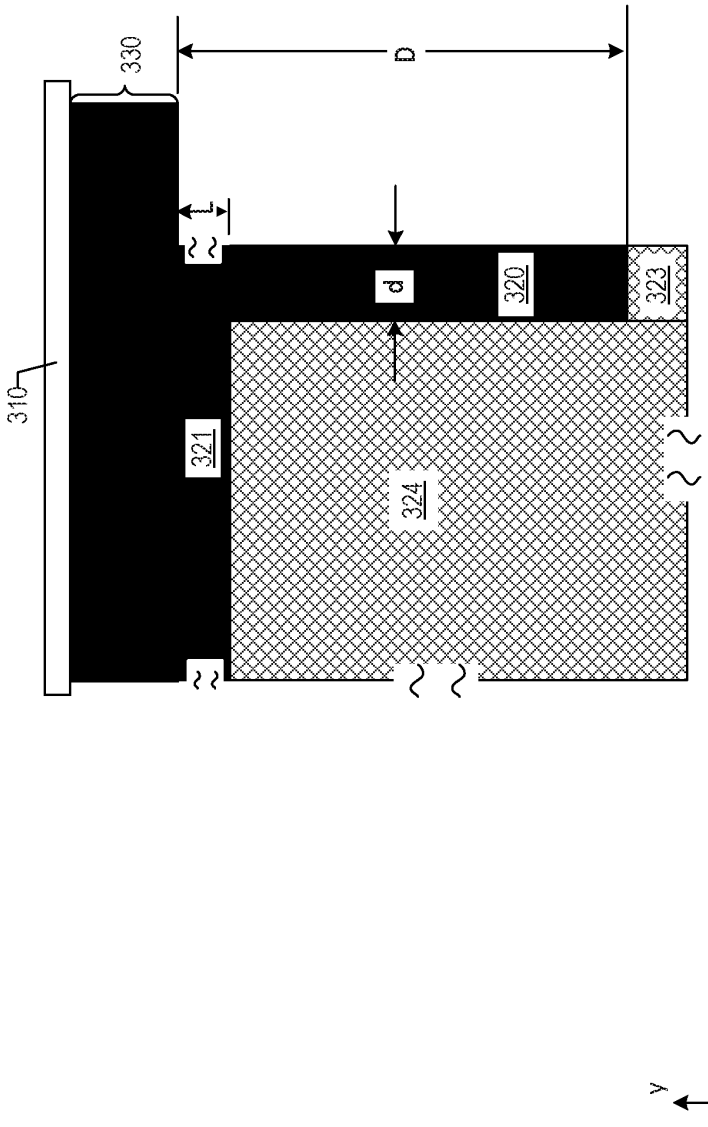


FIG. 3C

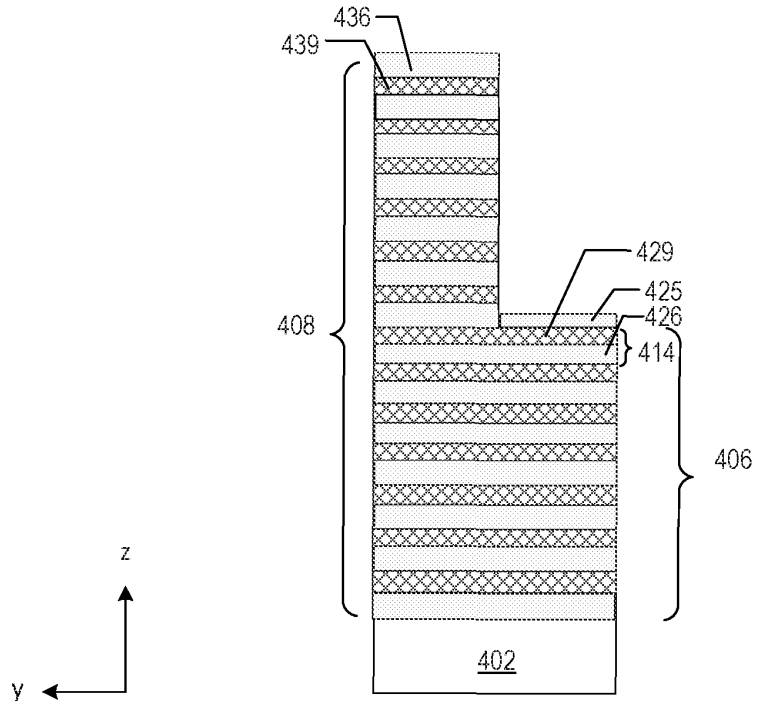

436
439
429
425
426
414
408
406
402
z
y

FIG. 4A

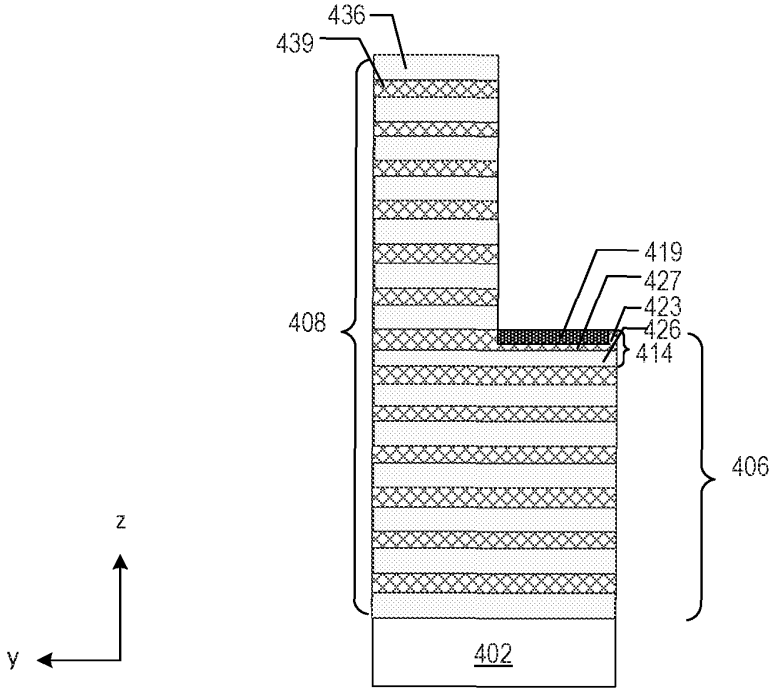

436
439
419
427
423
426
414
408
406
402
z
y

FIG. 4B

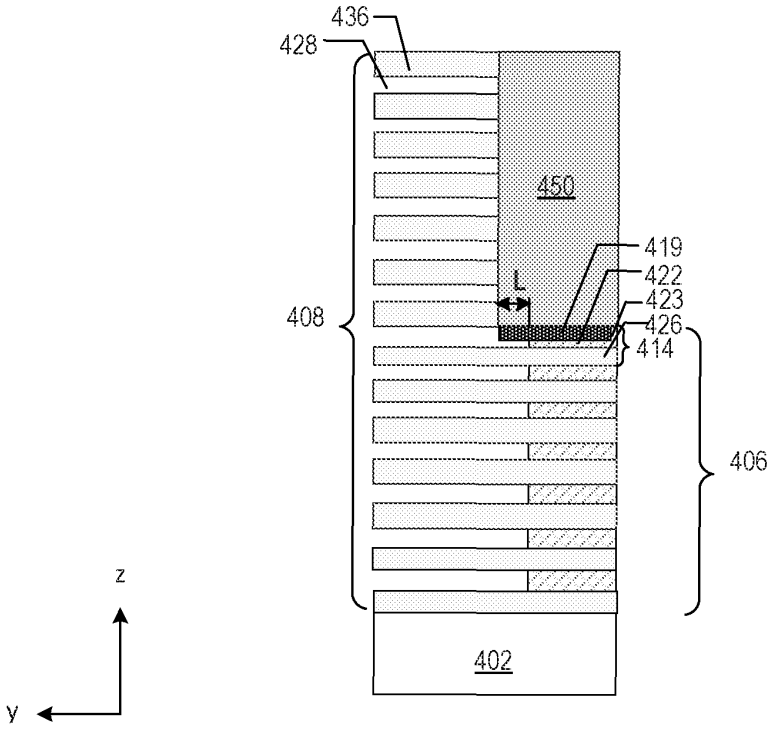

436
428
450
419
422
L
423
426
414
408
406
402
z
y

FIG. 4C

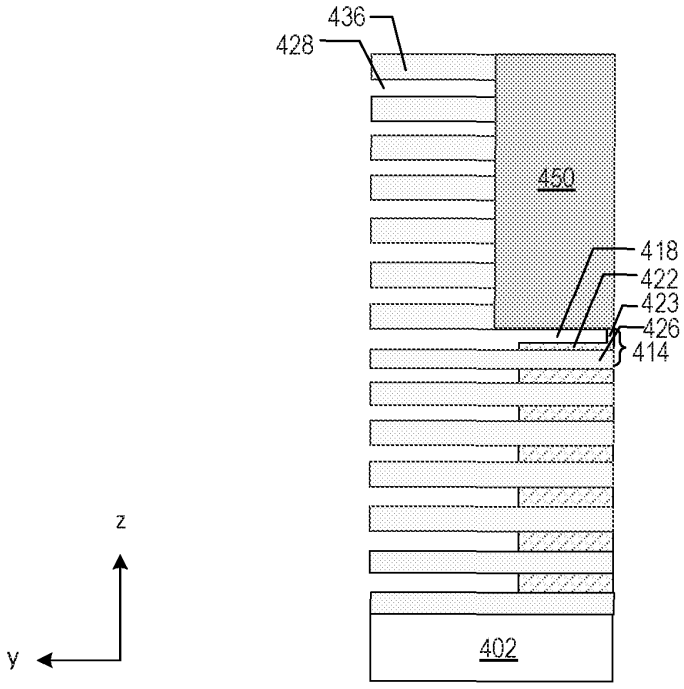

436
428
450
418
422
423
426
414
402
z
y

FIG. 4D

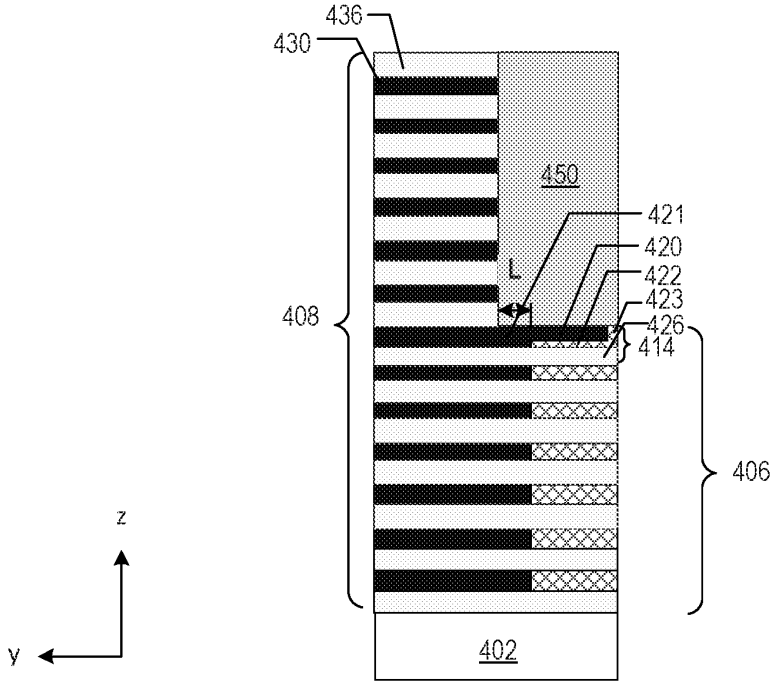

436
430
450
421
420
L
422
423
426
414
408
406
z
y
402

FIG. 4E

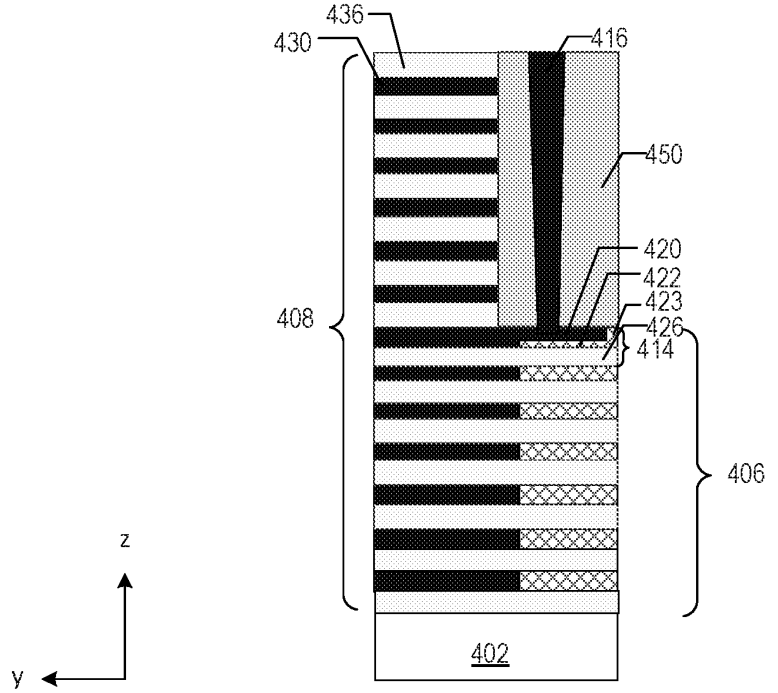

436
430
416
450
420
422
423
426
414
408
406
z
y
402

FIG. 4F

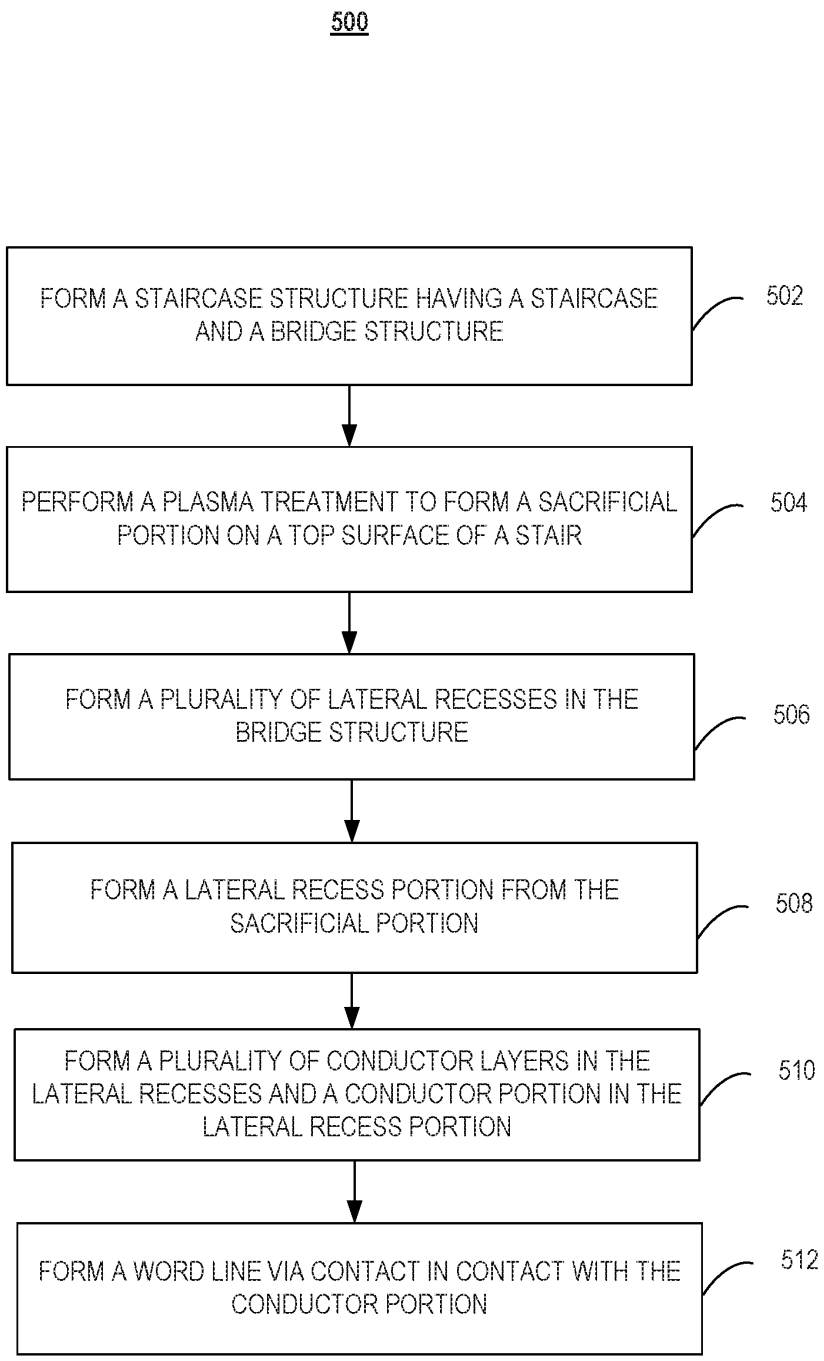

500
FORM A STAIRCASE STRUCTURE HAVING A STAIRCASE AND A BRIDGE STRUCTURE
502
PERFORM A PLASMA TREATMENT TO FORM A SACRIFICIAL PORTION ON A TOP SURFACE OF A STAIR
504
FORM A PLURALITY OF LATERAL RECESSES IN THE BRIDGE STRUCTURE
506
FORM A LATERAL RECESS PORTION FROM THE SACRIFICIAL PORTION
508
FORM A PLURALITY OF CONDUCTOR LAYERS IN THE LATERAL RECESSES AND A CONDUCTOR PORTION IN THE LATERAL RECESS PORTION
510
FORM A WORD LINE VIA CONTACT IN CONTACT WITH THE CONDUCTOR PORTION
512

FIG. 5

COMBINED DECLARATION AND ASSIGNMENT

DECLARATION

As the below named inventors, I hereby declare that:

This declaration is directed to:

☒ The attached application, or

☐ United States application or PCT international application number _____

filed on _____

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of the sum of One Dollar ($1.00) or equivalent and other good and valuable consideration paid to each of the below named inventors, each of the below named inventors, hereby sell and assign to **Yangtze Memory Technologies Co., Ltd.**, a corporation formed under the laws of China, whose mailing address is 18 Gaoxin 4th Road, East Lake High-Tech Development Zone, Wuhan, Hubei, China (hereafter referred to as the Assignee), his/her entire right, title and interest, including the right to sue for past infringement and to collect for all past, present and future damages, for the United States of America (as defined in 35 U.S.C. § 100) and throughout the world,

(a) in the invention(s) known as **STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME** for which application(s) for patent in the United States of America is identified above, in any and all applications thereon, in any and all Letters Patent(s) therefor, and

(b) in any and all applications that claim the benefit of the patent application identified above in part (a), including non-provisional applications, continuing (continuation, divisional, or continuation-in-part) applications, reissues, extensions, renewals and reexaminations of the patent application or Letters Patent therefor listed above in part (a), to the full extent of the term or terms for which Letters Patents issue, and

(c) in any and all inventions described in the patent application identified above in part (a), and in any and all forms of intellectual and industrial property protection derivable from such patent application, and that are derivable from any and all continuing applications, reissues, extensions, renewals and reexaminations of such patent application, including, without limitation, patents, applications, utility models, inventor's certificates, and designs together with the right to file applications therefor; and including the right to claim the same priority rights from any previously filed applications under the International Agreement for the Protection of Industrial Property, or any other international agreement, or the domestic laws of the country in which any such application is filed, as may be applicable;

all such rights, title and interest to be held and enjoyed by the above-named Assignee, its successors, legal representatives and assigns to the same extent as all such rights, title and interest would have been held and enjoyed by the Assignor had this assignment and sale not been made.

The below named inventors agree to execute all papers necessary in connection with the application(s) and any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue, reexamination or corresponding application(s) thereof and also to execute separate assignments in connection with such application(s) as the Assignee may deem necessary or expedient.

The below named inventors agree to execute all papers necessary in connection with any patent enforcement action (judicial or otherwise) related to the application(s) or any non-provisional, continuing (continuation, divisional, or continuation-in-part), reissue or reexamination application(s) thereof and to cooperate with the Assignee in every way possible in obtaining evidence and going forward with such patent enforcement action.

The below named inventors hereby represent that he/she has full right to convey the entire interest herein assigned, and that he/she has not executed, and will not execute, any agreement in conflict therewith.

The below named inventors hereby represent that he/she understands that the patent practitioners associated with **CUSTOMER NUMBER 153988** are the legal representatives of, and attorneys for, the assignee, and are NOT the legal representatives of, and attorneys for, the inventors.

385285-01600029-10.17.86.195
32768-10/05/2020 09:43

Micron Ex. 1002, p. 55
Micron v. YMTC
IPR2025-00035

IN WITNESS WHEREOF, executed by the below named inventors on the date opposite his/her name.

LEGAL NAME OF INVENTOR

Inventor: **Di Wang** Date: 2020.05.20

Signature of Inventor: Di Wang

Inventor: **Wenxi Zhou** Date: 2020/05/20

Signature of Inventor: ZhouWenXi

Inventor: **Zhiliang Xia** Date: 2020.05.20

Signature of Inventor: Zhiliang Xia

3854285-0146802v-10. 17. 86. 155
32766-18/05/2020 09:43

Micron Ex. 1002, p. 56
Micron v. YMTC
IPR2025-00035

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A (07-13)
Approved for use through 01/31/2018. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	
Filing Date	Herewith
First Named Inventor	Di WANG
Title	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
Art Unit	To Be Determined
Examiner Name	To Be Determined
Attorney Docket Number	10018-01-0122-US

SIGNATURE of Applicant or Patent Practitioner

Signature	/Zhiwei Zou/	Date (Optional)	7/31/2020
Name	Zhiwei Zou	Registration Number	66,041
Title (if Applicant is a juristic entity)	Attorney for Applicant		
Applicant Name (if Applicant is a juristic entity)	Yangtze Memory Technologies Co., Ltd.		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ *Total of 1 forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA.
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 01/31/2018. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above:

153988

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Yangtze Memory Technologies Co., Ltd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature		Date (Optional)	
Name	SIMON SHI-NING YANG		
Title	CEO		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ Total of One forms are submitted

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Di		Wang	

Residence Information (Select One) US Residency ● Non US Residency Active US Military Service

City	Wuhan	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	18 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan	**State/Province**	
Postal Code	430074	**Country** [i]	CN

Inventor 2 Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Wenxi		Zhou	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Wuhan	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	18 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan	**State/Province**	
Postal Code	430074	**Country** [i]	CN

Inventor 3 Remove

Legal Name

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Prefix	Given Name	Middle Name	Family Name	Suffix
	Zhiliang		Xia	

Residence Information (Select One) US Residency ◉ Non US Residency Active US Military Service

City	Wuhan	Country of Residence [i]	CN

Mailing Address of Inventor:

Address 1	18 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan	**State/Province**	
Postal Code	430074	**Country** [i]	CN

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	153988		
Email Address	uspto@bayes.law	Add Email	Remove Email

Application Information:

Title of the Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME		
Attorney Docket Number	10018-01-0122-US	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	10	**Suggested Figure for Publication (if any)**	3A

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country [i]

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	**Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	● Customer Number	US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	153988		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	Continuation of	PCT/CN2020/094658	2020-06-05

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

Micron Ex. 1002, p. 63
Micron v. YMTC
IPR2025-00035

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 — Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

● Assignee	Legal Representative under 35 U.S.C. 117	Joint Inventor
Person to whom the inventor is obligated to assign.	Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	YANGTZE MEMORY TECHNOLOGIES CO., LTD.		
Mailing Address Information For Applicant:			
Address 1	18 Gaoxin 4th Road		
Address 2	East Lake High-Tech Development Zone		
City	Wuhan	**State/Province**	
Country	CN	Postal Code	430074
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Micron Ex. 1002, p. 64
Micron v. YMTC
IPR2025-00035

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☐

Prefix	**Given Name**	Middle Name	**Family Name**	Suffix

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1			
Address 2			
City		**State/Province**	
Country i		Postal Code	
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Zhiwei Zou/			Date (YYYY-MM-DD)	2020-07-31
First Name	Zhiwei	Last Name	Zou	Registration Number	66,041

Additional Signature may be generated within this form by selecting the Add button. Add

PTO/AIA/14 (11-15)
Approved for use through 04/30/2017. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	10018-01-0122-US
	Application Number	
Title of Invention	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1 The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3 A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent CooperationTreaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 67
Micron v. YMTC
IPR2025-00035

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Filer:	Zhiwei Zou/Anna O'Connor
Attorney Docket Number:	10018-01-0122-US

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	300	300
UTILITY SEARCH FEE	1111	1	660	660
UTILITY EXAMINATION FEE	1311	1	760	760
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1720**

Electronic Acknowledgement Receipt

EFS ID:	40160575
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	31-JUL-2020
Filing Date:	
Time Stamp:	15:13:31
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1720
RAM confirmation Number	E20207UF14062251
Deposit Account	602227
Authorized User	Anna O'Connor
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	10018-01-0122-US_UtilityPatentApp-FEETransmittal.pdf	457489 521a81a3778d25c329fcc6156288b3d23e5b0a3a	no	2
Warnings:					
Information:					
2		2020-00044-YMTC_FINALApplication.pdf	217504 de2b1b318edaafd570fe50d35a460520e5edf0e5	yes	35
	Multipart Description/PDF files in .zip description				
	Document Description		**Start**	**End**	
	Specification		1	30	
	Claims		31	34	
	Abstract		35	35	
Warnings:					
Information:					
3	Drawings-only black and white line drawings	2020-00044-YMTC_FINALFigures.pdf	150252 561ce5bb3d52da5da698d25cdc90e997d11e116f	no	10
Warnings:					
Information:					
4	Oath or Declaration filed	2020-00044-YMTC_Declaration-Assign-SIGNED.pdf	1499022 b3370978f56f33320b3285a9f8316c106bf28ebf	no	3
Warnings:					
Information:					
5	Power of Attorney	10018-01-0122-US_GeneralPOA.pdf	734158 6bbc1dfcdde0eacd7ccb6145477b8bd927ba9794	no	2

Warnings:					
Information:					
6	Application Data Sheet	10018-01-0122-US_ADS.pdf	1829327 620d1df0a07b6ef220cb988230431d78b795d5e2	no	9
Warnings:					
Information:					
7	Fee Worksheet (SB06)	fee-info.pdf	34899 1691f8877c66a242ed2b701fb3b9e476eca3a142	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	4922651		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 16/944,835

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	300
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	660
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	760
TOTAL CLAIMS (37 CFR 1.16(i))	20 minus 20 =	*			OR	x 100 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3 minus 3 =	*				x 460 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1720

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
16/944,835	07/31/2020	2811	1720	10018-01-0122-US	20	3

CONFIRMATION NO. 1870

153988
Bayes PLLC
1765 Greensboro Station Place
Suite 900
McLean, VA 22102

FILING RECEIPT

OC000000119043098

Date Mailed: 08/07/2020

Receipt is acknowledged of this non-provisional utility patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF FIRST INVENTOR, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection.

Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a corrected Filing Receipt, including a properly marked-up ADS showing the changes with strike-through for deletions and underlining for additions. If you received a "Notice to File Missing Parts" or other Notice requiring a response for this application, please submit any request for correction to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections provided that the request is grantable.

Inventor(s)

Di Wang, Wuhan, CHINA;
Wenxi Zhou, Wuhan, CHINA;
Zhiliang Xia, Wuhan, CHINA;

Applicant(s)

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA;

Power of Attorney: The patent practitioners associated with Customer Number 153988

Domestic Priority data as claimed by applicant

This application is a CON of PCT/CN2020/094658 06/05/2020

Foreign Applications for which priority is claimed (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.) - None.
Foreign application information must be provided in an Application Data Sheet in order to constitute a claim to foreign priority. See 37 CFR 1.55 and 1.76.

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Micron Ex. 1002, p. 74
Micron v. YMTC
IPR2025-00035

If Required, Foreign Filing License Granted: 08/06/2020

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 16/944,835**

Projected Publication Date: 12/09/2021

Non-Publication Request: No

Early Publication Request: No

Title

STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

Micron Ex. 1002, p. 75
Micron v. YMTC
IPR2025-00035

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

Micron Ex. 1002, p. 76
Micron v. YMTC
IPR2025-00035

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	3600
Examiner Name	TB
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	10224240	B1	2019-03-05	Funayama et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	109309095	CN	A	2019-02-05	SAMSUNG ELECTRONICS CO LTD		
	2	109754836	CN	A	2019-05-14	SAMSUNG ELECTRONICS CO LTD		

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Micron Ex. 1002, p. 77
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TB
	Attorney Docket Number	10018-01-0122-US

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Micron Ex. 1002, p. 78
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TB
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-01-22
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Micron Ex. 1002, p. 79
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 80
Micron v. YMTC
IPR2025-00035

Espacenet

CN109309095A Three-dimensional semiconductor device

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: HYUN-MOG PARK

Classifications:

IPC ***H01L27/11524; H01L27/11556; H01L27/1157; H01L27/11582;***

CPC **H01L21/76805 (EP,US); H01L21/76816 (EP,US); H01L21/76831 (EP,US); H01L23/535 (US); H01L27/11524 (CN); H01L27/11556 (CN,US); H01L27/1157 (CN); H01L27/11575 (EP,US); H01L27/11582 (EP,CN,US); H01L29/0649 (US);** H01L27/11573 (EP,US);

Priorities: KR20170094960A 2017-07-26

Application: CN109309095A·2018-04-26

Publication: CN109309095A·2019-02-05

Published as: CN109309095A;**KR20190012061A; SG10201803316YA; US10396035B2; US10615124B2; US2019035733A1; US2019333855A1**

Three-dimensional semiconductor device

Abstract

A three-dimensional semiconductor device includes: a substrate having a cell array region and a contact region; a stacked structure including a plurality of electrodes and a plurality of electrode isolation insulating layers, which are alternately stacked on the substrate in a vertical direction, and having a stepwise structure on the contact region; vertical structures penetrating the stacked structure in the cell array region, each of the vertical structures constituting a cell string; and word line contact plugs, each penetrating an uppermost electrode among the plurality of electrodes in aregion of each of tread portions of the stacked structure having the stepwise structure, being connected to another electrode under the penetrated uppermost electrode, and being electrically insulated from the penetrated uppermost electrode.

Micron Ex. 1002, p. 81
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 109309095 A
(43)申请公布日 2019.02.05

(21)申请号 201810386727.6

(22)申请日 2018.04.26

(30)优先权数据
10-2017-0094960 2017.07.26 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道

(72)发明人 朴玄睦

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 翟然

(51)Int.Cl.
H01L 27/11556(2017.01)
H01L 27/11524(2017.01)
H01L 27/1157(2017.01)
H01L 27/11582(2017.01)

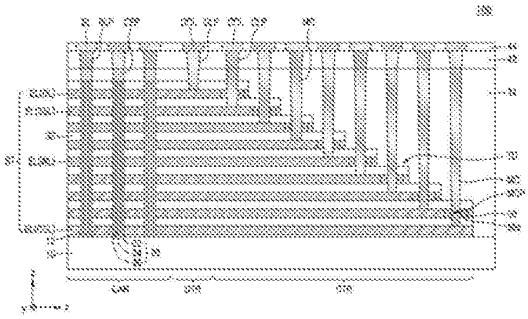
权利要求书2页 说明书17页 附图29页

(54)发明名称

三维半导体器件

(57)摘要

一种三维半导体器件包括:衬底,具有单元阵列区域和接触区域;堆叠结构,包括在垂直方向上交替地堆叠在衬底上的多个电极和多个电极隔离绝缘层并在接触区域上具有阶梯式结构;垂直结构,在单元阵列区域中穿透堆叠结构,垂直结构的每个构成单元串;以及字线接触插塞,每个字线接触插塞在具有阶梯式结构的堆叠结构的梯面部分的每个的区域中穿透所述多个电极当中最上面的电极、连接到所穿透的最上面的电极下方的另一电极、并与所述穿透的最上面的电极电绝缘。



CN 109309095 A

Micron Ex. 1002, p. 82
Micron v. YMTC
IPR2025-00035

1.一种三维半导体器件,包括:

衬底,具有单元阵列区域和接触区域;

堆叠结构,包括在垂直方向上交替地堆叠在所述衬底上的多个电极和多个电极隔离绝缘层,并且在所述接触区域上具有阶梯式结构;

垂直结构,在所述单元阵列区域中穿透所述堆叠结构,所述垂直结构的每个构成单元串;以及

接触插塞,在所述接触区域中,

其中,对于所述多个电极中的包括上电极和所述上电极下面的下电极的每对紧邻的电极,所述接触插塞中的对应的一个接触所述下电极并且穿透所述上电极并与所述上电极电绝缘。

2.根据权利要求1所述的三维半导体器件,还包括:

绝缘阻挡层,在所述接触插塞的每个与其穿透的所述上电极之间,所述绝缘阻挡层至少部分地围绕所述接触插塞中的相应接触插塞的侧表面。

3.根据权利要求2所述的三维半导体器件,其中每个接触插塞具有在水平方向上延伸到所述绝缘阻挡层中的对应的绝缘阻挡层中的插塞凸起。

4.根据权利要求2所述的三维半导体器件,其中每个绝缘阻挡层的上表面和下表面接触相应的电极隔离绝缘层。

5.根据权利要求1所述的三维半导体器件,还包括:

接触间隔物,分别围绕所述接触插塞的侧表面。

6.根据权利要求5所述的三维半导体器件,还包括:

绝缘阻挡层,每个绝缘阻挡层被提供在对应的接触插塞与其穿透的对应的上电极之间。

7.根据权利要求6所述的三维半导体器件,其中所述接触间隔物和所述绝缘阻挡层由相同的材料形成。

8.根据权利要求1所述的三维半导体器件,还包括:

位线着落插塞,在每个垂直结构上;

虚设着落插塞,在所述堆叠结构中包括的所述多个电极中的最上面的电极上;以及

接触着落插塞,在每个接触插塞上。

9.根据权利要求8所述的三维半导体器件,

其中所述位线着落插塞、所述虚设着落插塞和所述接触着落插塞由相同的材料形成,以及

其中所述位线着落插塞、所述虚设着落插塞和所述接触着落插塞的顶表面在同一平面上。

10.根据权利要求8所述的三维半导体器件,其中所述堆叠结构的所述多个电极当中的两个最下面的电极的端部在所述接触区域中彼此垂直地对准。

11.一种三维半导体器件,包括:

衬底,具有单元阵列区域、接触区域和在所述单元阵列区域与所述接触区域之间的虚设接触区域;

堆叠结构,包括在垂直方向上交替地堆叠在所述衬底上的多个电极和多个电极隔离绝

Micron Ex. 1002, p. 83
Micron v. YMTC
IPR2025-00035

缘层，并且在所述接触区域上具有阶梯式结构；

接触插塞，在所述接触区域中；

虚设着落插塞，在所述虚设接触区域中连接到所述多个电极中的最上面的电极；以及

接触着落插塞，连接到所述接触插塞的每个，

其中，对于所述多个电极中的包括上电极和所述上电极下面的下电极的每对紧邻的电极，所述接触插塞中的对应的一个接触所述下电极并且穿透所述上电极并与所述上电极电绝缘。

12.根据权利要求11所述的三维半导体器件，

其中所述虚设着落插塞和所述接触着落插塞由相同的材料形成，以及

其中所述虚设着落插塞的高度大于所述接触着落插塞的高度。

13.根据权利要求11所述的三维半导体器件，还包括：

绝缘阻挡层，在所述接触插塞的每个与其穿透的对应的上电极之间提供电绝缘，所述绝缘阻挡层至少部分地围绕所述接触插塞中的相应接触插塞的侧表面，

其中每个接触插塞具有水平地延伸到所述绝缘阻挡层中的对应的一个中的插塞凸起。

14.根据权利要求13所述的三维半导体器件，其中所述插塞凸起从每个接触插塞朝由所述接触插塞穿透的所述上电极延伸。

15.根据权利要求11所述的三维半导体器件，还包括：

绝缘接触间隔物，在所述接触插塞的每个与其穿透的所述上电极之间，所述绝缘接触间隔物分别围绕所述接触插塞的侧表面。

16.根据权利要求15所述的三维半导体器件，其中所述接触插塞的顶表面和所述绝缘接触间隔物的最上端在同一水平面上。

17.根据权利要求11所述的三维半导体器件，其中所述多个电极的每个包括梯面部分，所述梯面部分对应于电极的未被所述多个电极中的上面的电极重叠的部分，

其中所述接触插塞的每个穿透对应的上电极的所述梯面部分。

18.一种三维半导体器件，包括：

衬底，具有单元阵列区域和接触区域；

堆叠结构，包括在垂直方向上交替地堆叠在所述衬底上的多个电极和多个电极隔离绝缘层，并且在所述接触区域上具有阶梯式结构，其中所述多个电极当中的两个最下面的电极在接触区域中的端部在相同的位置处彼此垂直地对准；

垂直结构，在所述单元阵列区域中穿透所述堆叠结构，所述垂直结构的每个构成包括多个选择晶体管的单元串；以及

接触插塞，在所述接触区域中，

其中，对于所述多个电极中的包括上电极和所述上电极下面的下电极的每对紧邻的电极，所述接触插塞中的对应的一个接触所述下电极并且穿透所述上电极并与所述上电极电绝缘。

19.根据权利要求18所述的三维半导体器件，还包括行解码器，所述行解码器被配置为将相同的电压同时提供到所述堆叠结构的所述多个电极当中的两个最上面的电极。

20.根据权利要求18所述的三维半导体器件，还包括绝缘阻挡层，在每个接触插塞与其穿透的对应的上电极之间提供电绝缘。

Micron Ex. 1002, p. 84
Micron v. YMTC
IPR2025-00035

三维半导体器件

技术领域

[0001] 公开的实施方式涉及半导体器件，更具体地，涉及包括三维布置的存储单元的三维(3D)半导体器件。

背景技术

[0002] 随着半导体器件的不断减小的尺寸，其中二维布置多个存储单元的二维(2D)半导体器件(或平面型半导体器件)的集成正在达到极限。为了克服这样的集成限制，虽然提出了其中三维布置存储单元的三维半导体器件(垂直型半导体器件)，但是需要比在二维半导体器件的情况下更复杂和精确的工艺控制。

发明内容

[0003] 所公开的实施方式提供了可以提高三维布置的存储单元的电连接可靠性并具有结构稳定性的三维半导体器件。

[0004] 根据方面，本公开针对一种三维半导体器件，其包括：衬底，具有单元阵列区域和接触区域；堆叠结构，包括在垂直方向上交替地堆叠在衬底上的多个电极和多个电极隔离绝缘层，并且在接触区域上具有阶梯式结构；垂直结构，在单元阵列区域中穿透堆叠结构，垂直结构的每个构成单元串；以及接触插塞，在接触区域中，其中，对于所述多个电极中的包括上电极和上电极下面的下电极的每对紧邻的电极，接触插塞中的对应的一个接触下电极并且穿透上电极并与上电极电绝缘。

[0005] 根据另外的方面，本公开针对一种三维半导体器件，其包括：衬底，具有单元阵列区域、接触区域和在单元阵列区域与接触区域之间的虚设接触区域；堆叠结构，包括在垂直方向上交替地堆叠在衬底上的多个电极和多个电极隔离绝缘层，并且在接触区域上具有阶梯式结构；接触插塞，在接触区域中；虚设着落插塞，在虚设接触区域中连接到所述多个电极中的最上面的电极；以及接触着落插塞，连接到接触插塞的每个，其中，对于所述多个电极中的包括上电极和上电极下面的下电极的每对紧邻的电极，接触插塞中的对应的一个接触下电极并且穿透上电极并与上电极电绝缘。

[0006] 根据另外方面，本公开针对一种三维半导体器件，其包括：衬底，具有单元阵列区域和接触区域；堆叠结构，包括在垂直方向上交替地堆叠在衬底上的多个电极和多个电极隔离绝缘层，并且在接触区域上具有阶梯式结构，其中所述多个电极当中的两个最下面的电极在接触区域中的端部在相同的位置处彼此垂直地对准；垂直结构，在单元阵列区域中穿透堆叠结构，垂直结构的每个构成包括多个选择晶体管的单元串；以及接触插塞，在接触区域中，其中，对于所述多个电极中的包括上电极和上电极下面的下电极的每对紧邻的电极，接触插塞中的对应的一个接触下电极并且穿透上电极并与上电极电绝缘。

[0007] 因为字线接触插塞穿透一个电极并连接到其下方的另一电极，所以字线接触插塞由所穿透的电极支撑，由此三维半导体器件可以提供字线接触插塞的结构稳定性并确保电可靠性。

Micron Ex. 1002, p. 85
Micron v. YMTC
IPR2025-00035

附图说明

[0008] 实施方式将由以下结合附图的详细描述被更清楚地理解,附图中:

[0009] 图1是示出根据一示例性实施方式的三维半导体器件的示意性布置结构的俯视图;

[0010] 图2是示出图1的三维半导体器件的框图;

[0011] 图3是示出根据一示例性实施方式的三维半导体器件的三维存储单元阵列的电路图;

[0012] 图4是根据一示例性实施方式的三维半导体器件的剖视图;

[0013] 图5是根据一示例性实施方式的三维半导体器件的剖视图;

[0014] 图6是根据一示例性实施方式的三维半导体器件的剖视图;

[0015] 图7是根据一示例性实施方式的三维半导体器件的剖视图;

[0016] 图8是根据一示例性实施方式的三维半导体器件的剖视图;

[0017] 图9至17是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图;

[0018] 图18是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图;

[0019] 图19是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图;

[0020] 图20是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图;

[0021] 图21至27是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图;

[0022] 图28是根据一示例性实施方式的三维半导体器件的剖视图;以及

[0023] 图29是根据一示例性实施方式的三维半导体器件的剖视图。

具体实施方式

[0024] 图1是示出根据一示例实施方式的三维半导体器件的示意图的俯视图,图2是示出根据图1所示的实施方式的三维半导体器件的框图。

[0025] 一起参照图1和2,三维半导体器件可以包括单元阵列区域CAR和外围电路区域PERI。外围电路区域PERI可以包括行解码器区域ROW DCR、页缓冲器区域PBR和列解码器区域COL DCR。接触区域CTR可以布置在单元阵列区域CAR与行解码器区域ROW DCR之间。

[0026] 包括多个存储单元的三维存储单元阵列1可以布置在单元阵列区域CAR中。存储单元阵列1可以包括多个存储单元、以及电连接到存储单元的多个字线和多个位线。在一实施方式中,存储单元阵列1可以包括多个存储块BLK0至BLKn,其中每个存储块BLK是数据擦除单元(例如,能在单个擦除操作中被擦除的最小存储单元)。三维存储单元阵列的存储单元可以是具有串联连接的垂直对准的存储单元组以形成存储单元串(例如CSTR)的非易失性存储单元,其可形成3D NAND闪速非易失性存储器。

[0027] 选择存储单元阵列1的字线的行解码器2布置在行解码器区域ROW DCR中。将存储单元阵列1电连接到行译码器2的接触布线结构可以布置在接触区域CTR中。行解码器2根据地址信息选择存储单元阵列1的存储块BLK0至BLKn中的一个,并选择所选存储块的字线中的一个。行解码器2可以响应于控制电路的控制而将产生自电压产生电路的字线电压提供到所选字线和未选字线的每个。行解码器可以将电压(电位)提供到串选择线SSL、地选择线GSL和虚设线DL、以及连接到这些线的对应晶体管,诸如在这里其它地方描述的晶体管。

Micron Ex. 1002, p. 86
Micron v. YMTC
IPR2025-00035

[0028] 用于读取存储在存储单元中的信息的页缓冲器3可以布置在页缓冲器区域PBR中。取决于操作模式，页缓冲器3可以临时存储待存储于存储单元中的数据，或者可以读出存储于存储单元中的数据。页缓冲器3可以在编程操作模式下作为写入驱动器电路操作，并且可以在读取操作模式下作为读出放大器电路操作。例如，页缓冲器3可以在编程操作模式下临时存储待存储于存储单元中的数据，并且可以在读取操作模式下读出存储于存储单元中的数据。

[0029] 连接到存储单元阵列1的位线的列解码器4布置在列解码器区域COL DCR中。列解码器4可以在页缓冲器3与外部设备(例如存储控制器)之间提供数据传输路径。

[0030] 虽然三维半导体器件中包括的单元阵列区域CAR和外围电路区域PERI在图1中被显示为布置在平面上的不同区域中，但本发明构思不限于此。在一些实施方式中，三维半导体器件可以具有单元阵列区域CAR垂直地布置在外围电路区域PERI上的外围上芯片(CoP)结构。

[0031] 图3是示出根据一示例性实施方式的三维半导体器件的三维存储单元阵列的电路图。

[0032] 参照图3，三维半导体器件的三维存储单元阵列可以包括公共源线CSL、多个位线BL以及布置在公共源线CSL与位线BL之间的多个单元串CSTR。

[0033] 位线BL被二维地布置，并且多个单元串CSTR并联连接到位线BL的每个。单元串CSTR可以共同连接到公共源线CSL。例如，多个单元串CSTR可以布置在多个位线BL与一个公共源线CSL之间。在一实施方式中，多个公共源线CSL可以被二维地布置。在一些实施方式中，电均等的电压(electrically equal voltage)可以被施加到所有公共源线CSL。在一些其它实施方式中，公共源线CSL的每个可以被独立地控制，使得电不同的电压(electrically different voltages)被施加到公共源线CSL。

[0034] 单元串CSTR的每个可以包括连接到公共源线CSL的至少一个地选择晶体管GST、连接到位线BL的至少一个串选择晶体管SST、以及布置在至少一个地选择晶体管GST与至少一个串选择晶体管SST之间的多个存储单元晶体管MCT。在一些实施方式中，单元串CSTR的每个可以包括串联连接的两个或更多个地选择晶体管GST。在一些实施方式中，单元串CSTR的每个可以包括串联连接的两个或更多个串选择晶体管SST。

[0035] 单元串CSTR的每个还可以包括布置在串选择晶体管SST与位线BL之间的虚设晶体管DT。构成单元串CSTR的每个的至少一个地选择晶体管GST、多个存储单元晶体管MCT、至少一个串选择晶体管SST和虚设晶体管DT可以串联连接。

[0036] 公共源线CSL可以共同连接到地选择晶体管GST的源极。此外，布置在公共源线CSL与位线BL之间的地选择线GSL、多个字线WL1至WLn(其中n是正整数)和多个串选择线SSL可以分别用作地选择晶体管GST、存储单元晶体管MCT和串选择晶体管SST的栅电极。存储单元晶体管MCT的每个可以包括数据存储元件。

[0037] 虚设选择线DL可以布置在串选择线SSL与位线BL之间。虚设选择线DL可以用作虚设晶体管DT的栅电极。虚设电压V_{DL}可以被提供到虚设选择线DL。

[0038] 在一些实施方式中，虚设晶体管DT可以实质上不执行晶体管的功能(例如开关功能)。例如，一定电势能的虚设电压V_{DL}可以被连续地提供到虚设选择线DL，使得虚设晶体管DT可以连续地保持导通状态。例如，一定电势能的虚设电压V_{DL}可以具有与提供到未选择的

Micron Ex. 1002, p. 87
Micron v. YMTC
IPR2025-00035

存储单元晶体管MCT的导通电压的电势能相等的电势能。

[0039] 在一些实施方式中，虚设晶体管DT可以执行串选择晶体管SST的功能。例如，具有与提供到串选择线SSL的电压的电势能相等的电势能的虚设电压V_{DL}可以被提供到虚设选择线DL，使得虚设晶体管DT可以执行串选择晶体管SST的功能。在这种情况下，虚设晶体管DT和串选择晶体管SST可以一起执行串联连接的两个或更多个串选择晶体管SST的功能。在一些实施方式中，具有与提供到串选择线SSL的电压的电势能不同的电势能的虚设电压V_{DL}可以被提供到虚设选择线DL。

[0040] 例如，虚设选择线DL可以是邻近于正常的线或电极(例如正常的字线)形成的导线。虚设选择线DL可以从形成这样的正常字线或电极的相同导电层(们)图案化。例如，虚设选择线DL可以用沉积和图案化形成正常字线的导电层(们)的相同工艺被形成。

[0041] 当在此使用时，被描述为“连接”的项目可以物理连接和/或电连接，使得电信号可以从一个项目传递到另一项目。例如，物理连接到另一导电部件(例如导线、垫、内部电线等)的导电部件(例如导线、垫、内部电线等)也可以电连接到该部件。

[0042] 图4是根据一示例性实施方式的三维半导体器件的剖视图。

[0043] 参照图4，三维半导体器件100可以在衬底10上包括单元阵列区域CAR、接触区域CTR以及在单元阵列区域CAR与接触区域CTR之间的虚设接触区域DTR。在一些实施方式中，图1中所示的外围电路区域PERI可以参照接触区域CTR与单元阵列区域CAR相反布置。例如，接触区域CTR可以在衬底10上布置在外围电路区域PERI与单元阵列区域CAR之间。在一些实施方式中，图1中所示的外围电路区域PERI可以布置在衬底10下方。

[0044] 衬底10可以包括半导体材料。在一些实施方式中，衬底10可以是硅晶片。在一些实施方式中，衬底10可以具有绝缘体上硅(SOI)结构或绝缘体上锗(GeOI)结构。衬底10可以包括一个或更多个导电区域，例如一个或更多个杂质掺杂阱。

[0045] 包括多个垂直堆叠的电极EL的堆叠结构ST可以布置在衬底10上。穿透堆叠结构ST的垂直结构20可以布置在单元阵列区域CAR中，每个垂直结构20构成图3的单元串CSTR。一个单元串CSTR中包括的多个选择晶体管可以分别被构造在垂直结构20与电极EL之间的交叉点处。例如，串联连接的图3的地选择晶体管GST、图3的存储单元晶体管MCT、图3的串选择晶体管SST和图3的虚设晶体管DT可以从底部到顶部分别布置在一个垂直结构20与电极EL之间的交叉点处，因而可以构成一个单元串CSTR。

[0046] 单元垫CEP可以布置在垂直结构20上。单元垫CEP可以包括例如杂质掺杂多晶硅或金属材料。

[0047] 在一些实施方式中，堆叠结构ST可以具有在第一方向(x方向)上延伸的线形结构。在一些实施方式中，堆叠结构ST可以具有覆盖单元阵列区域CAR的平板形结构。堆叠结构ST可以在接触区域CTR中具有阶梯式结构。例如，垂直堆叠的电极EL中的各个电极在x方向上的长度可以从堆叠电极EL中最下面的电极到堆叠电极EL中最上面的电极逐渐地减小，使得电极EL越靠近堆叠结构ST的顶部，每个电极EL的长度逐渐地减小。接触区域CTR中的堆叠结构ST的垂直高度可以随着离单元阵列区域CAR的减小的距离而逐渐增大。例如，堆叠结构ST可以在接触区域CTR中具有倾斜轮廓。

[0048] 下栅极电介质膜12可以布置在衬底10与堆叠结构ST之间。例如，下栅极电介质膜12可以包括硅氧化物、硅氮化物、硅氮氧化物、镓氧化物、锗氧化物、高K电介质或其组合。下

Micron Ex. 1002, p. 88
Micron v. YMTC
IPR2025-00035

栅极电介质膜12可以包括例如通过热氧化工艺形成的硅氧化物。

[0049] 堆叠结构ST可以包括在垂直方向(z方向)上交替地堆叠在衬底10上的多个电极EL和多个电极隔离绝缘层32。垂直方向(z方向)可以垂直于第一方向(x方向)。电极隔离绝缘层32可以填充垂直相邻的电极EL之间的空间并分别覆盖多个电极EL的每个。电极EL可以包括掺杂硅、金属(例如钨)、金属氮化物、金属硅化物或其组合。

[0050] 电极隔离绝缘层32每个可以具有彼此相等的厚度,或者电极隔离绝缘层32中的一些可以具有与其它电极隔离绝缘层中的一个或更多个不同的厚度。多个电极EL中的相邻电极的接近度可以基于电极EL之间的电极隔离绝缘层32的厚度而变化。例如,当形成在其间的电极隔离绝缘层32的厚度相对更薄时,相邻电极EL之间的分隔距离可以相对更小,当形成在其间的电极隔离绝缘层32的厚度相对更厚时,相邻电极EL之间的分隔距离可以相对更大。电极EL中的一些的端部可以在接触区域CTR上具有阶梯式结构。电极EL中的一些可以具有随着离衬底10的顶表面增大的距离而减小的面积。例如,随着垂直堆叠的电极EL中的各电极在x方向上的长度从堆叠电极EL中的最下面的电极到堆叠电极EL中的最上面的电极逐渐地减小,由电极EL在第一方向(x方向)上的长度和在第二方向(y方向)上的宽度限定的电极EL的顶表面的面积可以减小。电极EL中的一些的侧壁可以在接触区域CTR中布置在彼此水平地不同的位置处。例如,每个电极EL在接触区域CTR中的端部处的形成在垂直方向(z方向)上的侧壁的水平位置可以对应于电极EL在第一方向(x方向)上的长度变化而改变。

[0051] 具体地,电极EL当中除最下面的电极EL之外的其余电极EL的端部可以在接触区域CTR上具有阶梯式结构。电极EL当中除最下面的电极EL之外的其余电极EL可以具有随着离衬底10的顶表面增大的距离而减小的面积。电极EL当中除最下面的电极EL之外的其余电极EL的侧壁可以在接触区域CTR中布置在彼此水平地不同的位置处。

[0052] 电极EL当中堆叠在最下面位置处的两个电极EL可以具有相等的面积。电极EL当中的两个最下面的电极EL的侧壁可以在接触区域CTR中布置在水平地相等的位置处。例如,电极EL当中的两个最下面的电极EL的端部可以在接触区域CTR中的相同位置处(在x方向上的)彼此垂直地对准(在z方向上)。

[0053] 垂直结构20可以穿透堆叠结构ST并连接到衬底10。垂直结构20可以包括半导体材料或导电材料。垂直结构20可以每个包括连接到衬底10的垂直柱24以及位于垂直柱24与电极EL之间的数据存储元件22。数据存储元件22可以具有圆筒形状或管形状,并且可以从第一绝缘层34的顶表面连续地延伸到衬底10的顶表面。

[0054] 垂直柱24可以包括掺杂以第一导电类型(例如p型)的杂质离子的硅或硅锗。垂直柱24可以具有中空圆筒形状(例如通心粉形状)并因而包括内部孔。垂直柱24可以形成在数据存储元件22的内侧壁上,并且可以从第一绝缘层34的顶表面连续地延伸到衬底10的顶表面。垂直结构20可以每个包括填充垂直柱24中包括的内部孔的填充绝缘层26。填充绝缘层26可以从第一绝缘层34的顶表面连续地延伸到形成在衬底10上的垂直柱24的内部孔的底表面。填充绝缘层26可以包括具有优秀的间隙填充特性的绝缘材料。例如,填充绝缘层26可以包括诸如高密度等离子体氧化物膜、旋涂玻璃(SOG)层或CVD氧化物膜的硅氧化物。

[0055] 在一些实施方式中,垂直结构20可以沿着第二方向(y方向)布置。在一些实施方式中,垂直结构20可以在第二方向(y方向)上以Z字形方式布置。第二方向(y方向)可以垂直于第一方向(x方向)和第三方向(z方向)。

Micron Ex. 1002, p. 89
Micron v. YMTC
IPR2025-00035

[0056] 在一些实施方式中，通过使用衬底10的顶表面作为籽晶执行选择性外延生长(SEG)工艺而形成的半导体图案(未示出)可以布置在每个垂直结构20与衬底10之间。在一些实施方式中，半导体图案的顶表面可以在比电极EL当中最下面的电极EL的顶表面更高的水平处。

[0057] 覆盖单元阵列区域CAR、虚设接触区域DTR和接触区域CTR中的堆叠结构ST的第一绝缘层34可以布置在衬底10的整个表面上。第一绝缘层34可以具有平坦化的顶表面。第一绝缘层34可以覆盖堆叠结构ST的层的端部。例如，第一绝缘层34可以覆盖每个电极EL在接触区域CTR中的端部处的形成在垂直方向(z方向)上的侧壁。第一绝缘层34可以包括例如硅氧化物层、具有比硅氧化物层更低的介电常数的低K电介质层或其组合。

[0058] 电连接到电极EL的每个的一部分的接触插塞MC可以布置在接触区域CTR中。接触插塞MC可以包括金属、导电金属氮化物、过渡金属或其组合。在一些实施方式中，接触插塞MC可以包括导电阻挡层和填充层。导电阻挡层可以包括例如Ti、TiN或TaN。填充层可以包括例如W。

[0059] 接触插塞MC可以分别电连接到电极EL当中除最上面的电极EL(例如虚设选择线DL)之外的电极SSL、WL和GSL，即连接到串选择线SSL、字线WL和地选择线GSL。在接触区域CTR中，接触插塞MC可以穿透第一绝缘层34，并分别连接到电极EL当中除虚设选择线DL之外的电极SSL、WL和GSL的与端部相邻的部分。

[0060] 连接到电极EL当中不同电极EL的接触插塞MC可以具有彼此不同的在z方向上的垂直长度(即高度)。连接到电极EL当中相对更低位置处的电极EL的接触插塞MC的垂直长度可以大于连接到相对更高位置处的电极EL的接触插塞MC的垂直长度。在一些实施方式中，接触插塞MC在z方向上的垂直长度(即高度)可以随着离单元阵列区域CAR减小的距离而减小。接触插塞MC在z方向上的垂直长度可以对应于垂直堆叠的电极EL中的各电极在x方向上的长度。例如，接触插塞MC中最长的一个可以电连接到电极EL中离单元阵列区域CAR最远距离处的最长的电极，接触插塞MC中最短的一个可以电连接到电极EL(除虚设选择线DL之外)中离单元阵列区域CAR最近距离处的最短的电极。在一些实施方式中，接触插塞MC可以具有基本上圆柱形状，并且可以具有从第一绝缘层34的顶表面连续地延伸到与其电连接的电极EL的顶表面的基本上垂直的侧壁。接触插塞MC的顶表面可以基本上在同一平面上。例如，每个接触插塞MC的顶表面可以在相同的垂直层处并且可以彼此基本上共平面并与第一绝缘层34的顶表面基本上共平面。在一些实施方式中，接触插塞MC可以每个具有拥有从顶部(在z方向上离衬底10更远)到底部(在z方向上离衬底10更近)减小的水平剖面面积的锥形。在接触插塞MC具有锥形的实施方式中，接触插塞MC可以具有从顶部到底部连续延伸的侧壁而没有实质上水平的侧壁部分。

[0061] 连接到电极EL中的一个的每个接触插塞MC可以穿透在与所述接触插塞MC连接的所述一个电极EL上方(在垂直方向上的)的另一电极EL。具体地，每个接触插塞MC可以穿透堆叠结构ST的阶梯式结构的梯面部分TD的每个的区域中的最上面的电极EL，并连接到所述最上面的电极EL下方的另一电极EL。例如，连接到电极EL中的对应一个的接触插塞MC可以穿透与所述接触插塞MC连接的所述一个电极EL相邻并在其上方(在z方向上)的电极EL。当在此使用时，梯面部分TD可以指电极EL的未被可相对于堆叠ST的电极EL位于上方的任何其它电极EL(包括串选择线SSL和地选择线GSL)覆盖的部分(尽管形成在堆叠ST上方的其它堆

Micron Ex. 1002, p. 90
Micron v. YMTC
IPR2025-00035

叠可以具有堆叠ST的电极EL的梯面部分TD之上的电极)。例如,用于形成堆叠ST的一组电极中的最上面的电极EL可以不具有形成在其上方的任何其它电极EL,因而该最上面的电极EL的完整电极EL可以是梯面部分TD。对于其它电极EL,梯面部分TD可以是延伸超出形成在其上方的电极EL的部分。在堆叠结构ST的阶梯式结构中具有位于彼此不同水平处的顶表面的梯面部分TD的每个的区域中,最上面的电极EL可以是电极EL当中与其它电极位于不同水平处的电极EL。部分地围绕每个接触插塞MC的侧表面的绝缘阻挡层50可以布置在每个接触插塞MC与由其穿透的电极EL之间。因此,每个接触插塞MC可以与其穿透的电极EL电绝缘,并电连接到在所穿透的电极EL下方的另一电极EL。绝缘阻挡层50的内侧表面和外侧表面可以分别接触接触插塞MC和由接触插塞MC穿透的电极EL。绝缘阻挡层50的顶表面和底表面可以分别接触电极隔离绝缘层32,电极隔离绝缘层32覆盖由接触插塞MC穿透的电极EL的顶表面和底表面。

[0062] 在一些实施方式中,每个接触插塞MC可以具有延伸到绝缘阻挡层50中的插塞凸起MCP。插塞凸起MCP可以具有朝由接触插塞MC穿透的电极EL凸出的形状。例如,插塞凸起MCP可以在x方向上凸出。在插塞凸起MCP的区域中,接触插塞MC可以在x方向上具有比接触插塞MC电连接到所穿透的电极EL下方的电极EL之处的宽度更宽的宽度。绝缘阻挡层50可以具有对应于插塞凸起MCP的狭缝50s。

[0063] 覆盖第一绝缘层34的第二绝缘层42以及穿透第二绝缘层42的多个着落插塞BLP、DLP和CLP可以布置在第一绝缘层34上。多个着落插塞BLP、DLP和CLP可以包括位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP。位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP的每个可以包括相同的材料。多个着落插塞BLP、DLP和CLP的每个可以包括掺杂硅、金属、金属氮化物、金属硅化物或其组合。在一些实施方式中,多个着落插塞BLP、DLP和CLP的每个可以包括与接触插塞MC不同的材料。

[0064] 连接到单元垫CEP的位线着落插塞BLP可以布置在单元阵列区域CAR中。虚设着落插塞DLP可以布置在虚设接触区域DTR中,并且可以穿透第二绝缘层42和第一绝缘层34两者并连接到堆叠结构ST的最上面的电极EL(即虚设选择线DL)。在一些实施方式中,在电极隔离绝缘层32覆盖位于堆叠结构ST的最上端的虚设选择线DL的情况下,虚设着落插塞DLP可以穿透第二绝缘层42、第一绝缘层34和电极隔离绝缘层32三者。穿透第二绝缘层42并连接到接触插塞MC的接触着落插塞CLP可以布置在接触区域CTR中。位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP的每个可以包括从接触着落插塞CLP的顶部延伸到接触着落插塞CLP的底部的相同的金属。接触着落插塞CLP可以用导电金属的相一层或相同的多层形成。

[0065] 位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP的顶表面可以基本上在同一平面上。例如,着落插塞BLP、DLP和CLP的每个的顶表面可以在相同的垂直层处并且可以彼此基本上共平面并与第二绝缘层42的顶表面基本上共平面,并且着落插塞BLP、DLP和CLP的每个的底表面可以彼此基本上共平面并与第二绝缘层42的底表面基本上共平面。当在此使用时,被描述为“基本上平面的”或“基本上共平面”的项目可以完全相同、相等、或是平坦的,或者可以在例如由于制造工艺而可能发生的可接受变化内相同、相等或是平坦的。

[0066] 在一些实施方式中,虚设着落插塞DLP在z方向上的垂直长度(即高度)可以大于位线着落插塞BLP和接触着落插塞CLP在z方向上的垂直长度(即高度)。例如,虚设着落插塞

Micron Ex. 1002, p. 91
Micron v. YMTC
IPR2025-00035

DLP可以比位线着落插塞BLP和接触着落插塞CLP的每个朝衬底10延伸得更远。

[0067] 连接线BL、DCL和CCL以及填充其间空间的布线绝缘层44可以布置在第二绝缘层42和着落插塞BLP、DLP和CLP上。布线绝缘层44可以包括例如硅氧化物。

[0068] 连接线BL、DCL和CCL可以包括位线BL、虚设连接线DCL和接触连接线CCL。位线BL、虚设连接线DCL和接触连接线CCL的顶表面可以在相同的垂直水平处。例如，着落插塞BL、DCL和CCL的每个的顶表面可以彼此基本上共平面并与布线绝缘层44的顶表面基本上共平面，并且着落插塞BL、DCP和CCP的每个的底表面可以彼此基本上共平面并与布线绝缘层44的底表面基本上共平面。位线BL可以位于对应的位线着落插塞BLP上方，并且位线BL可以在x方向上具有比其对应的位线着落插塞BLP的宽度更大的宽度。虚设连接线DCL可以位于对应的虚设着落插塞DLP上方，并且虚设连接线DCL可以在x方向上具有比其对应的虚设着落插塞DLP的宽度更大的宽度。接触连接线CCL可以位于对应的接触着落插塞CLP上方，并且接触连接线CCL可以在x方向上具有比其对应的接触着落插塞CLP的宽度更大的宽度。

[0069] 位线BL可以经由位线着落插塞BLP和单元垫CEP电连接到垂直柱24。虚设连接线DCL可以经由虚设着落插塞DLP电连接到虚设选择线DL。接触连接线CCL可以经由接触着落插塞CLP电连接到接触插塞MC。

[0070] 在一些实施方式中，一定电势能的电压可以总是被提供到虚设连接线DCL、虚设着落插塞DLP和虚设选择线DL，使得图3的虚设晶体管DT可以总是保持导通状态。例如，一定电势能的电压可以具有等于提供到图3的未选择的存储单元晶体管MCT的导通电压的电势能，由此虚设晶体管DT可以基本上不执行晶体管的功能(例如开关功能)。

[0071] 在一些实施方式中，允许图3的虚设晶体管DT执行串选择晶体管SST的功能的电势能可以被提供到虚设连接线DCL、虚设着落插塞DLP和虚设选择线DL。例如，相同电势能的电压可以被提供到电极EL当中两个最上面的电极EL，即虚设选择线DL和串选择线SSL。在这种情况下，串选择晶体管SST和虚设晶体管DT可以分别作为第一串选择晶体管和第二串选择晶体管操作，由此三维半导体器件100可以具有图3的一个单元串CSTR具有两个串选择晶体管的结构。

[0072] 在根据一实施方式的三维半导体器件100中，因为接触插塞MC穿透一个电极EL并连接到所穿透的电极EL下方的另一电极EL，所以即使接触插塞MC的高度由于堆叠结构ST中包括的堆叠电极EL的数量增加所导致的堆叠结构ST的高度增大而增大，接触插塞MC也被由接触插塞MC和/或绝缘阻挡层50穿透的电极EL支撑，由此可以提供接触插塞MC的结构稳定性。

[0073] 如下所述，因为由每个接触插塞MC穿透的电极EL在形成具有不同深度的接触孔以形成具有不同高度的接触插塞MC的工艺期间用作蚀刻停止层，所以可以防止每个接触插塞MC穿透连接到其的电极EL而导致对该电极EL下方的电极隔离绝缘层32的损坏或连接到该电极EL下方的另一电极EL，由此确保电可靠性。

[0074] 图5是根据一示例实施方式的三维半导体器件的剖视图。在参照图5的描述中，与参照图4的描述重叠的描述可以被省略，并且相同的部件可以由相同的附图标记表示，除非另有说明。

[0075] 参照图5，三维半导体器件100a可以在衬底10上包括单元阵列区域CAR、接触区域CTR和在单元阵列区域CAR与接触区域CTR之间的虚设接触区域DTR。

Micron Ex. 1002, p. 92
Micron v. YMTC
IPR2025-00035

[0076] 三维半导体器件100a包括布置在接触区域CTR中并分别电连接到电极EL的部分的接触插塞MCa。接触插塞MCa可以分别电连接到电极EL当中除最上面的电极EL(例如虚设选择线DL)之外的电极SSL、WL和GSL。

[0077] 连接到电极EL中的一个的每个接触插塞MCa可以穿透在与其连接的所述一个电极EL(在垂直方向上的)上方的另一电极EL。具体地,每个接触插塞MCa可以在堆叠结构ST的阶梯式结构的梯面部分TD的每个的区域中穿透最上面的电极EL,并电连接到所穿透的最上面的电极EL下方的另一电极EL。

[0078] 部分地围绕每个接触插塞MCa的侧表面的绝缘阻挡层50a可以布置在每个接触插塞MCa与由其穿透的电极EL之间。因此,每个接触插塞MCa可以与其穿透的电极EL电绝缘,并电连接到所穿透的电极EL下方的另一电极EL。

[0079] 图5中所示的三维半导体器件100a中包括的接触插塞MCa的每个可以不具有图4中所示的三维半导体器件100中包括的接触插塞MC的每个的插塞凸起MCP。同样地,图5中所示的三维半导体器件100a中包括的绝缘阻挡层50a可以不具有图4中所示的三维半导体器件100中包括的绝缘阻挡层50的狭缝50s。在图5的实施方式中,接触插塞MCa的每个可以具有从第一绝缘层34的顶表面连续地延伸到与接触插塞MCa连接的电极EL的基本上垂直的侧壁。

[0080] 图6是根据一示例性实施方式的三维半导体器件的剖视图。在参照图6的描述中,与参照图4和5的描述重叠的描述可以被省略,并且相同的部件将由相同的附图标记表示,除非另有说明。

[0081] 参照图6,三维半导体器件100b可以在衬底10上包括单元阵列区域CAR、接触区域CTR和在单元阵列区域CAR与接触区域CTR之间的虚设接触区域DTR。

[0082] 三维半导体器件100b包括布置在接触区域CTR中并分别电连接到电极EL的部分的接触插塞MCb。接触插塞MCb可以分别电连接到电极EL当中除最上面的电极EL(例如虚设选择线DL)之外的电极SSL、WL和GSL。

[0083] 连接到电极EL中的一个的每个接触插塞MCb可以穿透与其连接的一个电极EL之上的另一个电极EL。具体地,每个接触插塞MCb可以在堆叠结构ST的阶梯式结构的梯面部分TD的每个的区域中穿透最上面的电极EL,并电连接到所穿透的最上面的电极EL下方的另一电极EL。

[0084] 部分地围绕每个接触插塞MCb的侧表面的绝缘阻挡层50b可以布置在每个接触插塞MCb与其穿透的电极EL之间。每个接触插塞MCb可以具有延伸到绝缘阻挡层50b中的插塞凸起MCPb。插塞凸起MCPb可以具有朝由每个接触插塞MCb穿透的电极EL凸出的形状。例如,插塞凸起MCPb可以在x方向上凸出。在插塞凸起MCPb的区域中,接触插塞MCb可以在x方向上具有比接触插塞MCb在其电连接到所穿透的电极EL下方的电极EL之处的宽度更宽的宽度。绝缘阻挡层50b可以具有对应于插塞凸起MCPb的狭缝50sb。

[0085] 此外,围绕每个接触插塞MCb的侧表面的接触间隔物52可以进一步布置在每个接触插塞MCb与由每个接触插塞MCb穿透的第一绝缘层34和电极隔离绝缘层32两者之间。每个接触插塞MCb的顶表面和接触间隔物52的最上端可以在同一平面上。例如,每个接触插塞MCb的顶表面和每个接触间隔物52的最上端可以在相同的垂直层处,并且可以与第一绝缘层34的顶表面基本上共平面。

Micron Ex. 1002, p. 93
Micron v. YMTC
IPR2025-00035

[0086] 因此，每个接触插塞MCb可以与其穿透的电极EL电绝缘，并电连接到所穿透的电极EL下方的另一电极EL。

[0087] 在一些实施方式中，绝缘阻挡层50b和接触间隔物52可以包括相同的材料。在一些实施方式中，围绕一个接触插塞MCb的绝缘阻挡层50b和接触间隔物52可以被集成到一个主体中。例如，绝缘阻挡层50b和接触间隔物52可以在单个工艺中形成。

[0088] 图7是根据一示例性实施方式的三维半导体器件的剖视图。在参照图7的描述中，与参照图4至6的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0089] 参照图7，三维半导体器件100c可以在衬底10上包括单元阵列区域CAR、接触区域CTR和在单元阵列区域CAR与接触区域CTR之间的虚设接触区域DTR。

[0090] 三维半导体器件100c包括布置在接触区域CTR中并分别电连接到电极EL的部分的接触插塞MCc。接触插塞MCc可以分别电连接到电极EL当中除最上面的电极EL(例如虚设选择线DL)之外的电极SSL、WL和GSL。

[0091] 连接到电极EL中的一个的每个接触插塞MCc可以穿透在与其连接的一个电极EL(在垂直方向上的)上方的另一电极EL。具体地，每个接触插塞MCc可以在堆叠结构ST的阶梯式结构的梯面部分TD的每个的区域中穿透上部电极EL或最上面的电极EL，并连接到在所穿透的最上面的电极EL下方的另一电极EL。

[0092] 部分地围绕每个接触插塞MCc的侧表面的绝缘阻挡层50c可以布置在每个接触插塞MCc和其穿透的电极EL之间。

[0093] 此外，围绕每个接触插塞MCc的侧表面的接触间隔物52可以进一步布置在每个接触插塞MCc与由每个接触插塞MCc穿透的第一绝缘层34和电极隔离绝缘层32两者之间。

[0094] 因此，每个接触插塞MCc可以与其穿透的电极EL电绝缘，并电连接到所穿透的电极EL下方的另一电极EL。

[0095] 在一些实施方式中，绝缘阻挡层50c和接触间隔物52可以包括相同的材料。在一些实施方式中，围绕一个接触插塞MCc的绝缘阻挡层50c和接触间隔物52可以被集成为一个主体。例如，绝缘阻挡层50b和接触间隔物52可以在单个工艺中形成。

[0096] 图8是根据一实施方式的三维半导体器件的剖视图。在参照图8的描述中，与参照图4至7的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0097] 参照图8，三维半导体器件102可以在衬底10上包括单元阵列区域CAR、接触区域CTR和在单元阵列区域CAR与接触区域CTR之间的虚设接触区域DTR。

[0098] 三维半导体器件102包括布置在接触区域CTR中并分别电连接到电极EL的部分的接触插塞MCd。接触插塞MCd可以分别电连接到电极EL当中除最上面的电极EL(例如虚设选择线DL)之外的电极SSL、WL和GSL。

[0099] 连接到电极EL中的一个的每个接触插塞MCd可以穿透在与其连接的一个电极EL(在z方向上的)上方的另一电极EL。具体地，每个接触插塞MCd可以在堆叠结构ST的阶梯式结构的梯面部分TD的每个的区域中穿透最上面的电极EL，并连接到在所穿透的最上面的电极EL下方的另一电极EL。

[0100] 围绕每个接触插塞MCd的侧表面的接触间隔物52a可以进一步布置在每个接触插

Micron Ex. 1002, p. 94
Micron v. YMTC
IPR2025-00035

塞MCd与由每个接触插塞MCd穿透的第一绝缘层34、电极EL和电极隔离绝缘层32三者之间。因此，每个接触插塞MCd可以与其穿透的电极EL电绝缘，并电连接到在所穿透的电极EL下方的另一电极EL。

[0101] 图8中所示的三维半导体器件102可以不包括三维半导体器件100、100a、100b和100c中分别包括的绝缘阻挡层50、50a、50b和50c。

[0102] 图9至17是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图。具体地，图9至17是示出制造图4中所示的根据一实施方式的三维半导体器件100的方法的剖视图。在参照图9至17的描述中，与参照图4的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0103] 参照图9，下栅极电介质膜12在衬底10上形成，初始堆叠结构STP在下栅极电介质膜12上形成，并且覆盖初始堆叠结构STP的第一绝缘层34被形成。

[0104] 初始堆叠结构STP可以包括垂直地堆叠在衬底10上的牺牲层31、以及分别覆盖牺牲层31并填充垂直相邻的牺牲层31之间空间的电极隔离绝缘层32。

[0105] 初始堆叠结构STP可以通过交替地堆叠多个初始牺牲层和多个初始隔离绝缘层、随后部分地去除初始牺牲层和初始隔离绝缘层的端部而形成。牺牲层31和电极隔离绝缘层32可以在接触区域CTR上具有阶梯式结构。在初始堆叠结构STP中，两个最下面的牺牲层31可以在接触区域CTR中具有位于相同水平位置处的侧壁。例如，牺牲层31当中的两个最下面的牺牲层31可以具有在x方向上的相同位置处彼此垂直对准的侧壁。牺牲层31和电极隔离绝缘层32当中的其它牺牲层31和其它电极隔离绝缘层32可以位于阶梯式结构的梯面部分TD的每个的上端上。两个最下面的牺牲层31的侧壁可以相对于其它牺牲层31位于在x方向上离单元阵列区域CAR最远的距离处，并且其它牺牲层31可以在接触区域CTR中具有在x方向上逐渐靠近单元阵列区域CAR的侧壁。

[0106] 在初始堆叠结构STP形成之后，覆盖初始堆叠结构STP的第一绝缘层34被形成。第一绝缘层34可以具有平坦化的顶表面。第一绝缘层34可以覆盖初始堆叠结构STP的层的端部。

[0107] 参照图10，穿过初始堆叠结构(图9的STP)并连接到衬底10的垂直结构20被形成。垂直结构20的每个可以包括数据存储元件22、垂直柱24和填充绝缘层26。单元垫CEP可以在垂直结构20的每个上形成。

[0108] 穿透第一绝缘层34和初始堆叠结构STP并暴露衬底10的垂直通孔20H可以被形成，随后按所述次序形成覆盖垂直通孔20H的内侧表面的数据存储元件22、以及覆盖数据存储元件22并具有内部孔的垂直柱24。垂直柱24也可以覆盖通过垂直通孔20H暴露的衬底10的顶表面的一部分。然后，填充垂直柱24的内部孔的填充绝缘层26可以被形成，从而形成垂直结构20。填充垂直通孔20H的上部的单元垫CEP可以在垂直结构20上形成。单元垫CEP可以具有与垂直通孔20H的垂直宽度相同的垂直宽度(在x方向上)。

[0109] 接着，图9的牺牲层31被去除，随后用电极EL填充通过去除牺牲层31而获得的空间，从而形成堆叠结构ST。

[0110] 参照图11，第一初始接触孔PCH1在接触区域CTR中形成，第一初始接触孔PCH1穿透第一绝缘层34并延伸到堆叠结构ST的上部中。第一初始接触孔PCH1可以形成在堆叠结构ST的阶梯式结构的每个梯面部分TD的区域中。例如，每个梯面部分TD可以具有形成在其中的

Micron Ex. 1002, p. 95
Micron v. YMTC
IPR2025-00035

第一初始接触孔PCH1。

[0111] 第一初始接触孔PCH1可以通过经由使用堆叠结构ST的每个梯面部分TD的区域中的最上面的电极EL作为蚀刻停止层部分地去除第一绝缘层34和电极隔离绝缘层32而形成。

[0112] 在一些实施方式中，第一绝缘层34和电极隔离绝缘层32可以具有相似的蚀刻特性。每个电极EL可以相对于第一绝缘层34和电极隔离绝缘层32具有蚀刻选择性。因此，可以执行第一绝缘层34和电极隔离绝缘层32通过使用每个电极EL作为蚀刻停止层被部分去除的蚀刻工艺，从而形成具有不同深度的第一初始接触孔PCH1。

[0113] 参照图12，由图11的第一初始接触孔PCH1暴露的电极EL被部分地去除，从而形成第一扩展初始接触孔PCH1E。

[0114] 第一扩展初始接触孔PCH1E可以通过经由各向同性蚀刻部分地去除电极EL而形成。因此，第一扩展初始接触孔PCH1E可以在其下部中具有扩展孔EH，扩展孔EH比其上部水平延伸得更远。因此，第一扩展初始接触孔PCH1E的下部可以具有比其上部更大的宽度，所述下部对应于每个电极EL。扩展孔EH可以形成在堆叠结构ST的每个梯面部分TD中的电极EL的最上面的电极中。例如，当堆叠结构ST的梯面部分TD包括两个电极EL时，扩展孔EH可以形成在两个电极EL的最上面的电极中。

[0115] 参照图13，在第一扩展初始接触孔PCH1E的底表面处暴露的电极隔离绝缘层32被部分地去除，从而形成第二初始接触孔PCH2。第二初始接触孔PCH2可以通过经由各向异性蚀刻部分地去除电极隔离绝缘层32而形成。梯面部分TD中的最下面的电极EL的顶表面可以在第二初始接触孔PCH2的底表面处部分地暴露。

[0116] 因此，在第二初始接触孔PCH2中，具有扩展孔EH的中间部分可以具有比上部和下部的每个更大的宽度。

[0117] 参照图14，覆盖第二初始接触孔PCH2的内表面的绝缘覆盖层50P被形成。绝缘覆盖层50P可以共形地覆盖第二初始接触孔PCH2中的暴露表面。因此，绝缘覆盖层50P可以具有延伸到扩展孔EH中的狭缝50S。

[0118] 参照图15，绝缘覆盖层(图14的50P)被部分地去除，从而形成填充扩展孔EH的绝缘阻挡层50并形成接触孔CH。

[0119] 绝缘阻挡层50可以通过去除绝缘覆盖层50P的覆盖第二初始接触孔PCH2的底表面的部分以及绝缘覆盖层50P的覆盖电极隔离绝缘层32和第一绝缘层34的每个的侧表面的部分而形成。绝缘阻挡层50可以对应于绝缘覆盖层50P的填充扩展孔EH的部分。如图14中所示，当绝缘覆盖层50P的狭缝50S延伸到扩展孔EH中时，绝缘阻挡层50也可以具有狭缝50S。

[0120] 梯面部分TD中的最下面的电极EL的顶表面可以在接触孔CH的底表面处被暴露。具有在接触孔CH的底表面处暴露的顶表面的电极EL上方的电极EL可以由绝缘阻挡层50覆盖，因而不被暴露在接触孔CH中。

[0121] 参照图16，导电材料填充接触孔CH，从而形成接触插塞MC。接触插塞MC可以穿透在堆叠结构ST的阶梯式结构的每个梯面部分TD的区域中的最上面的电极EL，因而连接到所穿透的电极EL下方的电极EL。绝缘阻挡层50可以布置在接触插塞MC与由接触插塞MC穿透的电极EL之间。

[0122] 接触插塞MC可以具有与绝缘阻挡层50的狭缝50S对应的插塞凸起MCP。插塞凸起MCP可以具有朝由接触插塞MC穿透的电极EL凸出的形状。

Micron Ex. 1002, p. 96
Micron v. YMTC
IPR2025-00035

[0123] 参照图17，覆盖第一绝缘层34的第二绝缘层42被形成，随后形成穿透第二绝缘层42的着落插塞孔LH1、LH2和LH3。

[0124] 着落插塞孔LH1、LH2和LH3包括分别形成在单元阵列区域CAR、虚设接触区域DTR和接触区域CTR中的第一着落插塞孔LH1、第二着落插塞孔LH2和第三着落插塞孔LH3。

[0125] 第一着落插塞孔LH1可以穿透单元阵列区域CAR中的第二绝缘层42，并暴露第一着落插塞孔LH1的底表面处的单元垫CEP。第二着落插塞孔LH2可以穿透虚设接触区域DTR中的第二绝缘层42、第一绝缘层34和电极隔离绝缘层32，并暴露电极EL的堆叠中的最上面的电极EL(即第二着落插塞孔LH2的底表面处的虚设选择线DL)。第三着落插塞孔LH3可以穿透接触区域CTR中的第二绝缘层42，并暴露第三着落插塞孔LH3的底表面处的接触插塞MC。第二着落插塞孔LH2的深度可以大于第一着落插塞孔LH1和第三着落插塞孔LH3的深度。着落插塞孔LH1、LH2和LH3可以通过经由分别使用单元垫CEP、虚设选择线DL和接触插塞MC作为蚀刻停止层部分地去除第二绝缘层42或部分地去除第一绝缘层34和第二绝缘层42及电极隔离绝缘层32而形成。

[0126] 接着，导电材料填充第一至第三着落插塞孔LH1、LH2和LH3，从而分别形成位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP。位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP的顶表面可以基本上在同一平面上。

[0127] 接着，如图4中所示，连接线BL、DCL和CCL以及填充其间空间的布线绝缘层44在第二绝缘层42以及着落插塞BLP、DLP和CLP上形成，从而形成三维半导体器件100。

[0128] 如参照图9至17所述，即使三维半导体器件100包括具有不同高度的接触插塞MC，具有不同深度的第一初始接触孔PCH1也可以通过使用堆叠结构ST的每个梯面部分TD的区域中的最上面的电极EL作为蚀刻停止层而形成。因此，因为可以防止每个接触插塞MC穿透与其连接的电极EL而对该电极EL下方的电极隔离绝缘层32造成损坏或连接到该电极EL下方的另一电极EL，所以三维半导体器件100可以确保电可靠性。

[0129] 图18是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图。具体地，图18是示出制造图5中所示的根据一实施方式的三维半导体器件100a的方法的剖视图，也是示出图13中所绘的工艺步骤之后的工艺的剖视图。在参照图18的描述中，与参照图5和9至13的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0130] 参照图18，覆盖第二初始接触孔PCH2的内表面的绝缘覆盖层50Pa被形成。绝缘覆盖层50Pa可以共形地覆盖第二初始接触孔PCH2中的暴露表面。绝缘覆盖层50Pa可以形成为使得狭缝不延伸到扩展孔EH中。

[0131] 接着，以与参照图15描述的方式相似的方式，绝缘阻挡层50a可以通过部分地去除绝缘覆盖层50Pa被形成。例如，绝缘阻挡层50a可以通过去除绝缘覆盖层50Pa的覆盖第二初始接触孔PCH2的底表面的部分以及绝缘覆盖层50Pa的覆盖电极隔离绝缘层32和第一绝缘层34的每个的侧表面的部分被形成。然后，工艺可以继续，使得图5中所示的三维半导体器件100a可以基于参照图16和17的描述被形成。

[0132] 图19是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图。具体地，图19是示出制造图6中所示的根据一实施方式的三维半导体器件100b的方法的剖视图，也是示出图13中所绘的工艺步骤之后的工艺的剖视图。在参照图19的描述中，与参照图6和

Micron Ex. 1002, p. 97
Micron v. YMTC
IPR2025-00035

9至13的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0133] 参照图19，覆盖第二初始接触孔PCH2的内表面的绝缘覆盖层50Pb被形成。绝缘覆盖层50Pb可以共形地覆盖第二初始接触孔PCH2中的暴露表面。绝缘覆盖层50Pb可以具有朝扩展孔EH延伸的狭缝50sb。

[0134] 接着，如图6中所示的具有狭缝50sb的绝缘阻挡层50b和接触间隔物52可以通过去除绝缘覆盖层50Pb的覆盖第二初始接触孔PCH2的底表面以及第一绝缘层34和单元垫CEP的每个的顶表面的部分而形成，并且图6中所示的三维半导体器件100b可以基于参照图16和17的描述被形成。

[0135] 图20是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图。具体地，图20是示出制造图7中所示的根据一实施方式的三维半导体器件100c的方法的剖视图，也是示出图13中所绘的工艺步骤之后的工艺的剖视图。在参照图20的描述中，与参照图7和9至13的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0136] 参照图20，覆盖第二初始接触孔PCH2的内表面的绝缘覆盖层50Pc被形成。绝缘覆盖层50Pc可以共形地覆盖第二初始接触孔PCH2中的暴露表面。绝缘覆盖层50Pc可以填充扩展孔EH，并且可以不具有诸如图17和19中所示的狭缝50s或50sb的狭缝。

[0137] 接着，如图7中所示的绝缘阻挡层50c和接触间隔物52可以通过去除绝缘覆盖层50Pc的覆盖第二初始接触孔PCH2的底表面以及第一绝缘层34和单元垫CEP的每个的顶表面的部分而形成，并且图7中所示的三维半导体器件100c可以基于参照图16和17的描述被形成。

[0138] 图21至27是示出根据一示例性实施方式的制造三维半导体器件的方法的剖视图。具体地，图21至27是示出制造图8中所示的根据一实施方式的三维半导体器件102的方法的剖视图，也是示出图10之后的工艺的剖视图。在参照图21至27的描述中，与参照图8至10的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0139] 参照图21，第一初始接触孔PCH1a在接触区域CTR中形成，第一初始接触孔PCH1a穿透第一绝缘层34并延伸到堆叠结构ST的上部中。第一初始接触孔PCH1a可以形成在堆叠结构ST的阶梯式结构的每个梯面部分TD的区域中。

[0140] 第一初始接触孔PCH1a可以通过经由使用堆叠结构ST的每个梯面部分TD的区域中的最上面的电极EL作为蚀刻停止层部分地去除第一绝缘层34和电极隔离绝缘层32而形成。

[0141] 参照图22，由图21的第一初始接触孔PCH1a暴露的电极EL被部分地去除，从而形成第一扩展初始接触孔PCH1Ea。

[0142] 第一扩展初始接触孔PCH1Ea可以通过经由各向异性蚀刻部分地去除电极EL而形成。第一扩展初始接触孔PCH1Ea可以具有拥有从顶部到底部减小的水平剖面面积的锥形。例如，扩展初始接触孔PCH1Ea的宽度(在x方向上)可以在z方向上在离衬底10越远的剖面处越大，并且扩展初始接触孔PCH1Ea的宽度(在x方向上)可以在z方向上在离衬底10越近的剖面处越小。

[0143] 参照图23，在图22的第一扩展初始接触孔PCH1Ea的底表面处暴露的电极隔离绝缘层32被部分地去除，从而形成第二初始接触孔PCH2a。第二初始接触孔PCH2a可以通过经由

Micron Ex. 1002, p. 98
Micron v. YMTC
IPR2025-00035

各向异性蚀刻部分地去除电极隔离绝缘层32而形成。梯面部分TD中的最下面的电极EL的顶表面可以在第二初始接触孔PCH2a的底表面处被部分地暴露。

[0144] 第二初始接触孔PCH2a可以具有拥有从顶部到底部减小的水平剖面面积的锥形。例如，第二初始接触孔PCH2a的宽度(在x方向上)可以在z方向上在离衬底10越远的剖面处越大，并且第二初始接触孔PCH2a的宽度(在x方向上)可以在z方向上在离衬底10越近的剖面处越小。

[0145] 参照图24，覆盖第二初始接触孔PCH2a的内表面的绝缘覆盖层50Pd被形成。绝缘覆盖层50Pd可以共形地覆盖第二初始接触孔PCH2中的暴露表面。

[0146] 参照图25，绝缘覆盖层50Pd的覆盖第二初始接触孔PCH2a的底表面以及第一绝缘层34和单元垫CEP的每个的顶表面的部分被去除，从而形成覆盖第二初始接触孔PCH2a的内侧表面的接触间隔物52a。接触间隔物52a可以限定接触孔CHa，接触孔CHa在接触孔CHa的底表面处部分地暴露电极EL的顶表面。

[0147] 参照图26，导电材料填充接触孔CHa，从而形成接触插塞MCd。接触插塞MCd可以在堆叠结构ST的阶梯式结构的每个梯面部分TD的区域中穿透最上面的电极EL，因而连接到所穿透的电极EL下方的电极EL。接触插塞MCd可以是从第一绝缘层34的顶表面延伸到梯面区域TD中的最下面的电极EL的顶表面的单一同质单元。接触间隔物52a可以围绕接触插塞MCd的侧表面。

[0148] 参照图27，覆盖第一绝缘层34的第二绝缘层42被形成，随后形成穿透第二绝缘层42的着落插塞孔LH1、LH2和LH3。

[0149] 着落插塞孔LH1、LH2和LH3包括分别形成在单元阵列区域CAR、虚设接触区域DTR和接触区域CTR中的第一着落插塞孔LH1、第二着落插塞孔LH2和第三着落插塞孔LH3。

[0150] 第一着落插塞孔LH1可以穿透单元阵列区域CAR中的第二绝缘层42，并暴露第一着落插塞孔LH1的底表面处的单元垫CEP。第二着落插塞孔LH2可以穿透虚设接触区域DTR中的第二绝缘层42、第一绝缘层34和电极隔离绝缘层32，并暴露最上面的电极EL，即第二着落插塞孔LH2的底表面处的虚设选择线DL。第三着落插塞孔LH3可以穿透接触区域CTR中的第二绝缘层42，并暴露第三着落插塞孔LH3的底表面处的接触插塞MCd。第二着落插塞孔LH2的深度可以大于第一着落插塞孔LH1和第三着落插塞孔LH3的深度。着落插塞孔LH1、LH2和LH3可以通过经由分别使用单元垫CEP、虚设选择线DL和接触插塞MCd作为蚀刻停止层部分地去除第二绝缘层42或部分地去除第一绝缘层34和第二绝缘层42及电极隔离绝缘层32而形成。

[0151] 接着，导电材料填充第一至第三着落插塞孔LH1、LH2和LH3，从而分别形成位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP。位线着落插塞BLP、虚设着落插塞DLP和接触着落插塞CLP的顶表面可以基本上在同一平面上。

[0152] 接着，如图8中所示，连接线BL、DCL和CCL以及填充其间空间的布线绝缘层44在第二绝缘层42以及着落插塞BLP、DLP和CLP上形成，从而形成三维半导体器件102。

[0153] 图28是根据一示例性实施方式的三维半导体器件的剖视图。

[0154] 参照图28，三维半导体器件104可以在衬底210上包括外围电路区域PERI。外围电路逻辑结构PLST可以布置在外围电路区域PERI的衬底210上。外围电路逻辑结构PLST可以包括晶体管TR。每个晶体管TR可以布置在由器件隔离层212限定的有源区域中。晶体管TR可以连接到外围下绝缘层220中的下布线222和下接触224。外围下绝缘层220可以包括多个硅

Micron Ex. 1002, p. 99
Micron v. YMTC
IPR2025-00035

氧化物层。每个晶体管TR可以包括外围电路栅极电介质膜213、外围电路栅电极214和外围电路源极/漏极区域215。在一些实施方式中，外围电路栅极盖层216可以布置在外围电路栅电极214的顶表面上，外围电路栅极间隔物217可以布置在外围电路栅电极214和外围电路栅极盖层216的侧表面上。

[0155] 单元阵列区域CAR、虚设接触区域DTR、接触区域CTR和外围连接区域PCR可以布置在外围电路区域PERI上。因为除了半导体层250代替衬底(图4的10)被布置之外，单元阵列区域CAR、虚设接触区域DTR和接触区域CTR的配置与图4中所示的三维半导体器件100中的配置相似，所以其描述将被省略。

[0156] 外围上绝缘层290可以布置在外围电路区域PERI的外围下绝缘层220和下布线222之上。在一些实施方式中，外围上绝缘层290可以包括具有比硅氧化物层更低的介电常数的低K电介质层292以及多孔层294。多孔层294可以是包括多孔材料的材料层。在一些实施方式中，多孔层294可以包括硅碳氮化物(SiCN)。

[0157] 半导体层250可以形成在单元阵列区域CAR的外围上绝缘层290上。半导体层250可以不布置在外围连接区域PCR中。半导体层250可以包括从由单晶硅层、绝缘体上硅(SOI)、形成在硅锗(SiGe)层上的硅层、形成在绝缘层上的单晶硅层和形成在绝缘层上的多晶硅层组成的组中选择的至少一种。半导体层250可以为第一导电类型(例如p型)。

[0158] 单元阵列结构CAST可以布置在单元阵列区域CAR的半导体层250上。单元阵列结构CAST可以包括含垂直地堆叠在半导体层250上的电极EL的堆叠结构ST、以及穿透堆叠结构ST的垂直结构20。垂直结构20的每个的一端可以连接到半导体层250，单元垫CEP可以形成在垂直结构20的每个的另一端上。

[0159] 堆叠结构ST可以包括多个电极EL、以及在垂直相邻的电极EL之间的电极隔离绝缘层32。电极EL可以包括按所述次序堆叠在半导体层250上的地选择线GSL、字线WL、串选择线SSL和虚设选择线DL。电极EL可以在外围连接区域PCR附近具有阶梯式结构。

[0160] 连接到外围电路逻辑结构PLST的外围电路连接结构240可以布置在外围连接区域PCR中。外围电路连接结构240可以包括外围电路接触插塞PC、外围电路着落插塞PLP和外围电路连接线PL。外围电路接触插塞PC可以穿透第一绝缘层34、外围上绝缘层290和外围下绝缘层220，并连接到下布线222。外围电路着落插塞PLP可以布置在外围电路接触插塞PC上。外围电路着落插塞PLP可以连接到外围电路连接线PL。

[0161] 在一些实施方式中，外围电路连接结构240可以连接到位线BL。在一些实施方式中，外围电路连接结构240可以连接到接触连接线CCL。在一些实施方式中，外围电路连接结构240可以连接到虚设连接线DCL。

[0162] 虽然未单独示出，但因为对本领域普通技术人员明显的是，图5至7中所示的三维半导体器件100a、100b或100c的配置应用于单元阵列区域CAR、虚设接触区域DTR和接触区域CTR的配置，所以其描述将被省略。

[0163] 图29是根据一示例性实施方式的三维半导体器件的剖视图。在参照图29的描述中，与参照图28的描述重叠的描述可以被省略，并且相同的部件将由相同的附图标记表示，除非另有说明。

[0164] 参照图29，三维半导体器件106可以在衬底210上包括外围电路区域PERI。外围电路逻辑结构PLST可以布置在外围电路区域PERI的衬底210上。

Micron Ex. 1002, p. 100
Micron v. YMTC
IPR2025-00035

[0165] 单元阵列区域CAR、虚设接触区域DTR、接触区域CTR和外围连接区域PCR可以布置在外围电路区域PERI上。因为除了半导体层250代替图8的衬底10被布置之外，单元阵列区域CAR、虚设接触区域DTR和接触区域CTR的配置与图8中所示的三维半导体器件102的配置相似，所以其描述将被省略。

[0166] 外围上绝缘层290可以布置在外围电路区域PERI的外围下绝缘层220和下布线222之上。

[0167] 半导体层250可以形成在单元阵列区域CAR的外围上绝缘层290上。半导体层250可以不布置在外围连接区域PCR中。

[0168] 单元阵列结构CAST可以布置在单元阵列区域CAR的半导体层250上。单元阵列结构CAST可以包括含垂直地堆叠在半导体层250上的电极EL的堆叠结构ST、以及穿透堆叠结构ST的垂直结构20。

[0169] 堆叠结构ST可以包括多个电极EL、以及在垂直相邻的电极EL之间的电极隔离绝缘层32。电极EL可以包括按所述次序堆叠在半导体层250上的地选择线GSL、字线WL、串选择线SSL和虚设选择线DL。

[0170] 连接到外围电路逻辑结构PLST的外围电路连接结构240可以布置在外围连接区域PCR中。外围电路连接结构240可以包括外围电路接触插塞PC、外围电路着落插塞PLP和外围电路连接线PL。外围电路接触插塞PC可以穿透第一绝缘层34、外围上绝缘层290和外围下绝缘层220，并连接到下布线222。外围电路着落插塞PLP可以布置在外围电路接触插塞PC上。外围电路着落插塞PLP可以连接到外围电路连接线PL。

[0171] 虽然已经参照本构思的实施方式具体显示和描述了本构思，但是将理解，可以在其中作出形式和细节上的各种各样的改变而不背离所附权利要求的精神和范围。

[0172] 本申请要求2017年7月26日向韩国知识产权局提交的韩国专利申请第10-2017-0094960号的优先权权益，其公开通过引用全文合并于此。

Micron Ex. 1002, p. 101
Micron v. YMTC
IPR2025-00035

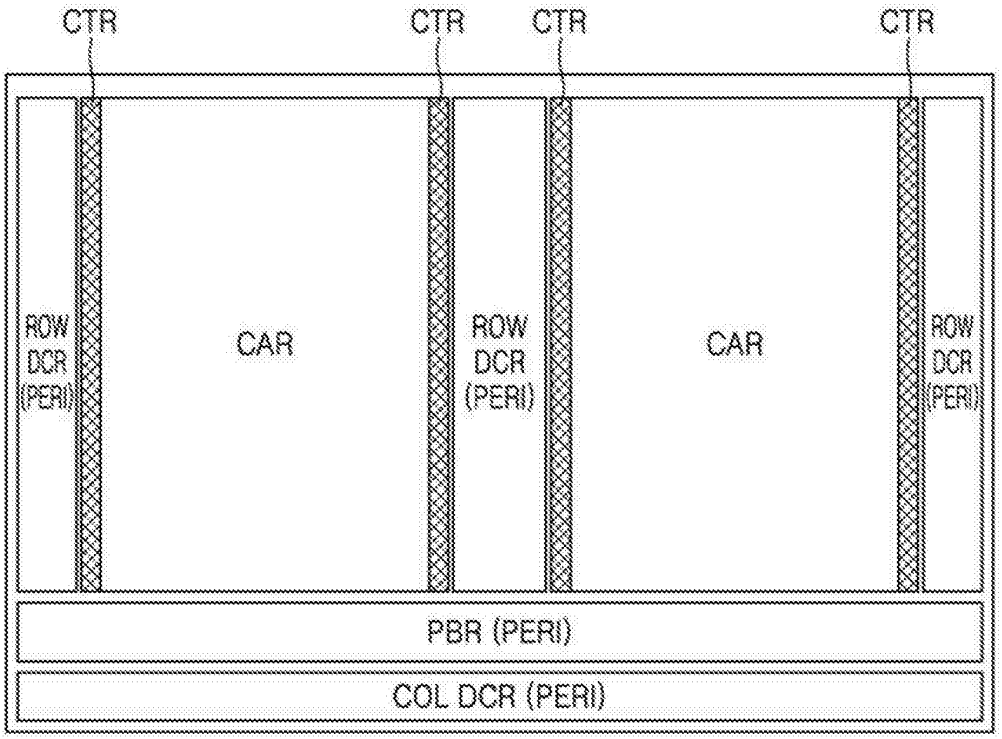


图1

Micron Ex. 1002, p. 102
Micron v. YMTC
IPR2025-00035

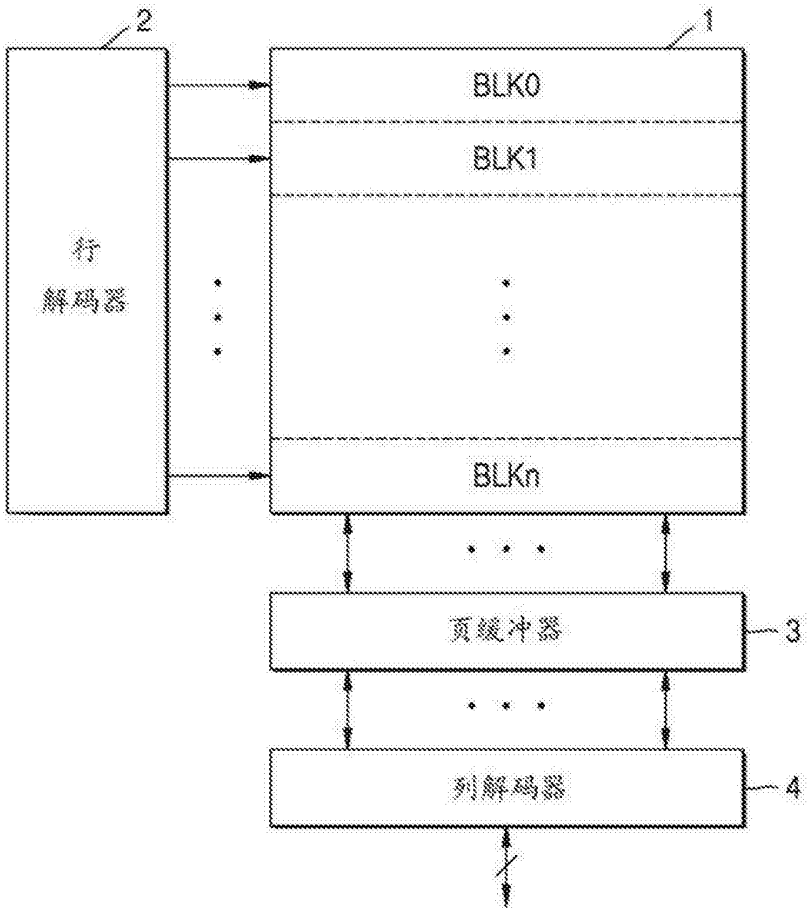


图2

Micron Ex. 1002, p. 103
Micron v. YMTC
IPR2025-00035

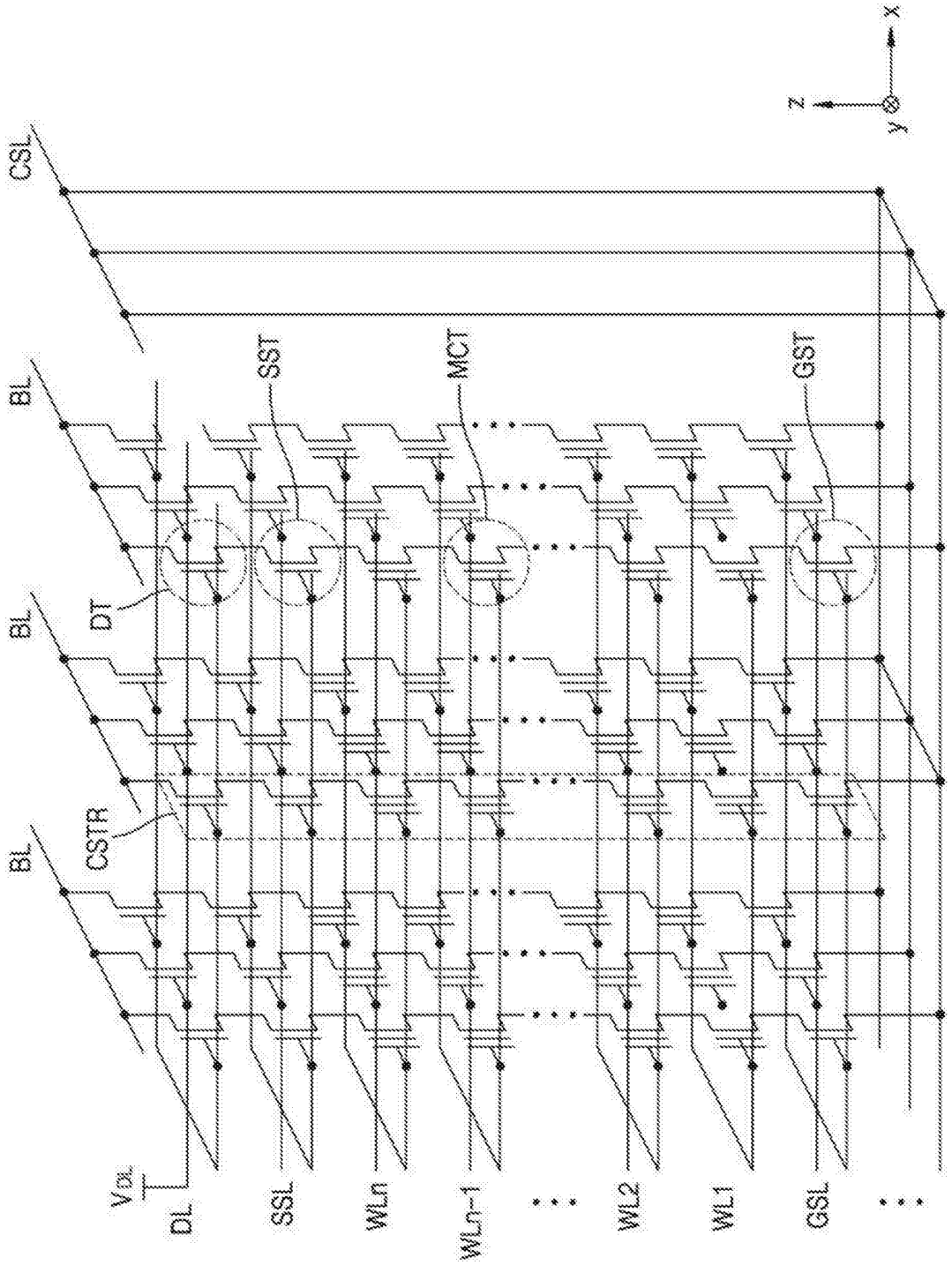


图3

Micron Ex. 1002, p. 104
Micron v. YMTC
IPR2025-00035

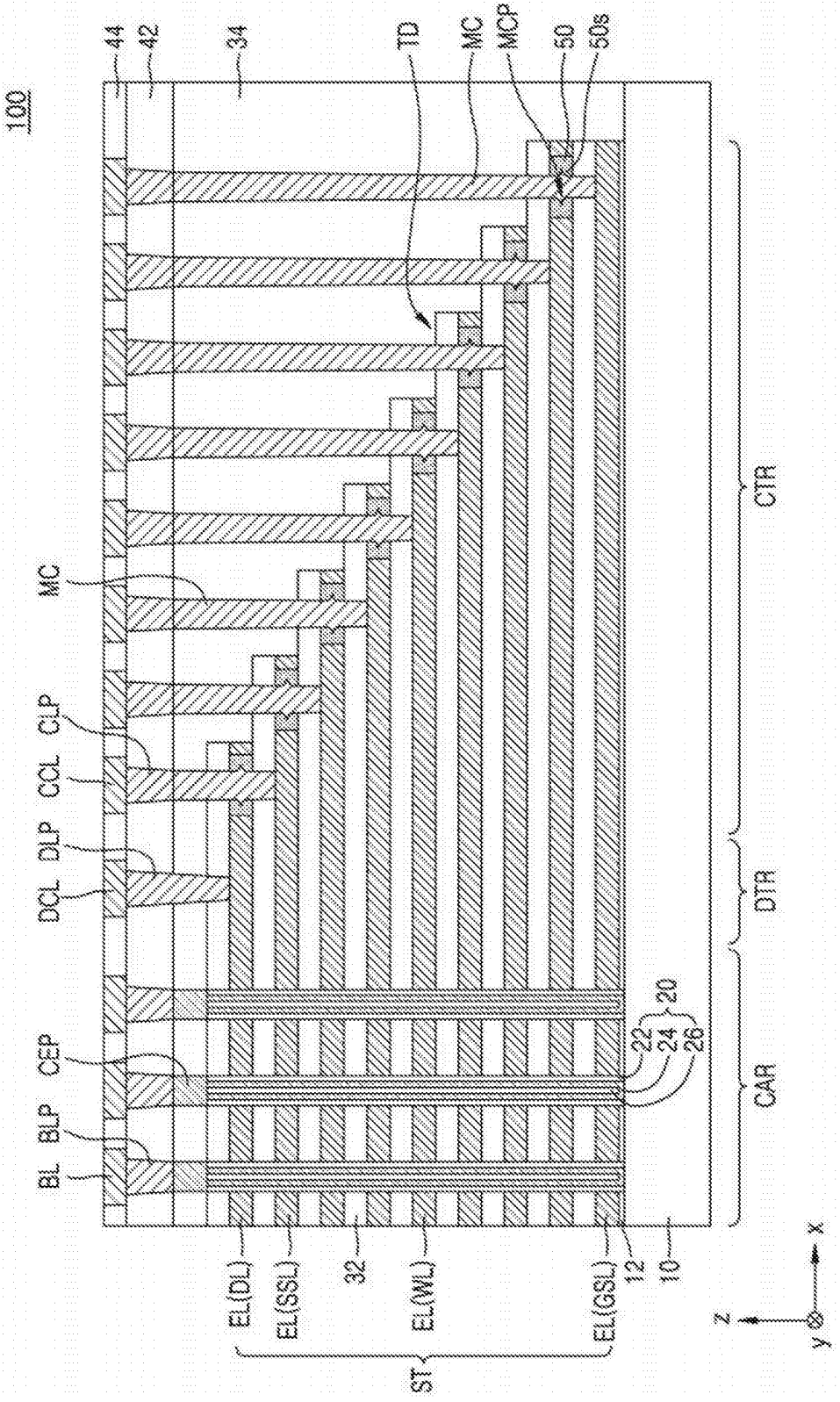


图4

Micron Ex. 1002, p. 105
Micron v. YMTC
IPR2025-00035

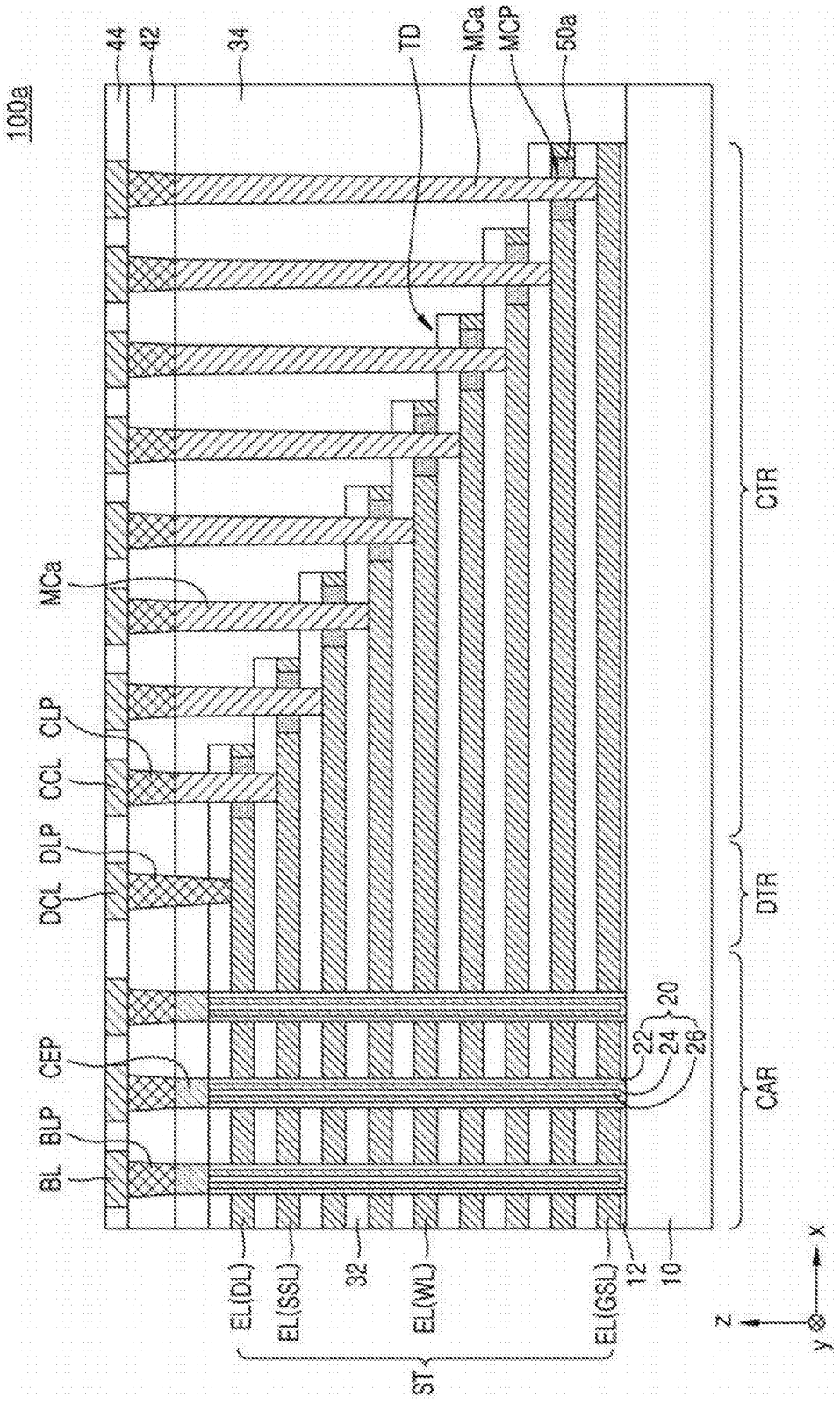


图5

Micron Ex. 1002, p. 106
Micron v. YMTC
IPR2025-00035

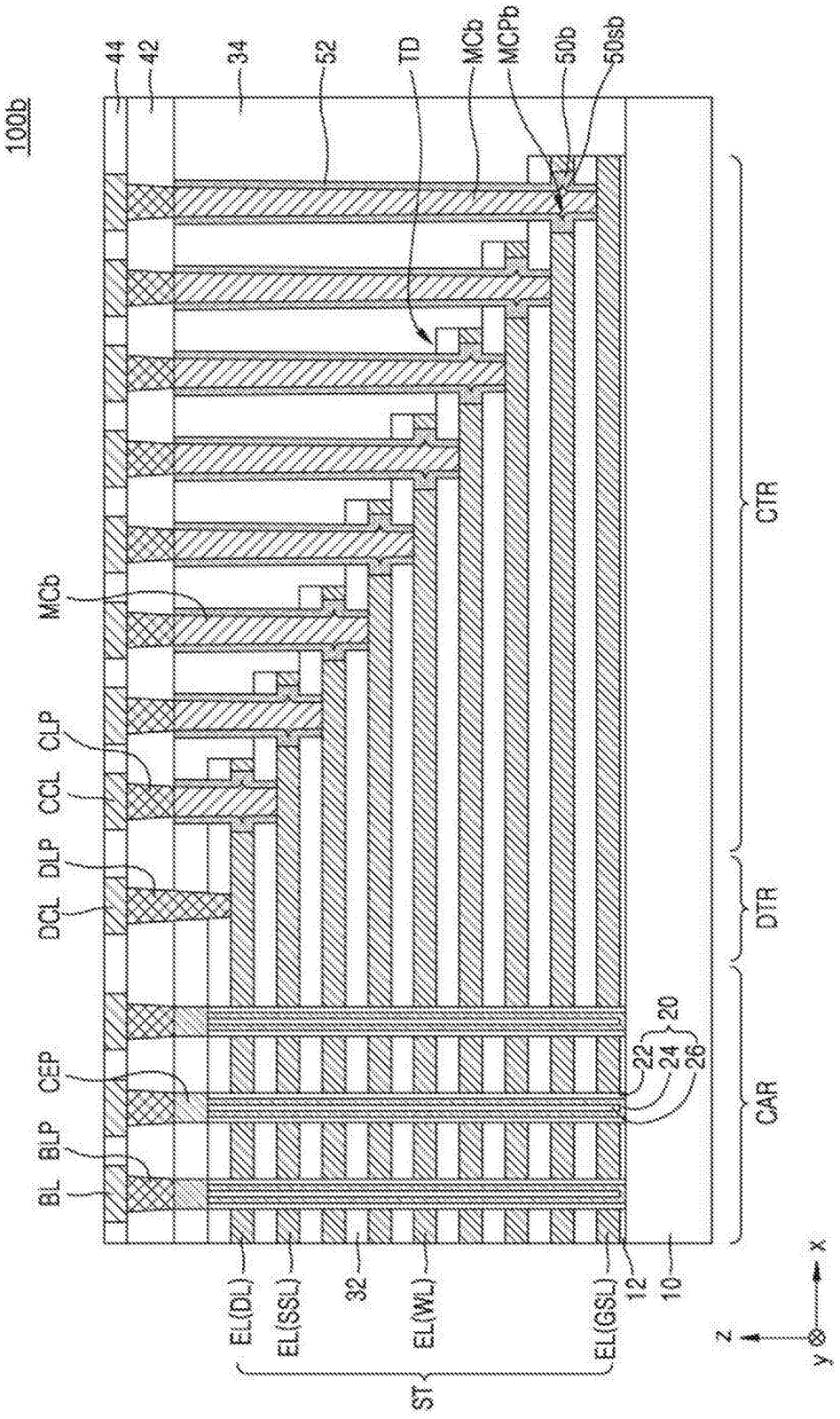


图6

Micron Ex. 1002, p. 107
Micron v. YMTC
IPR2025-00035

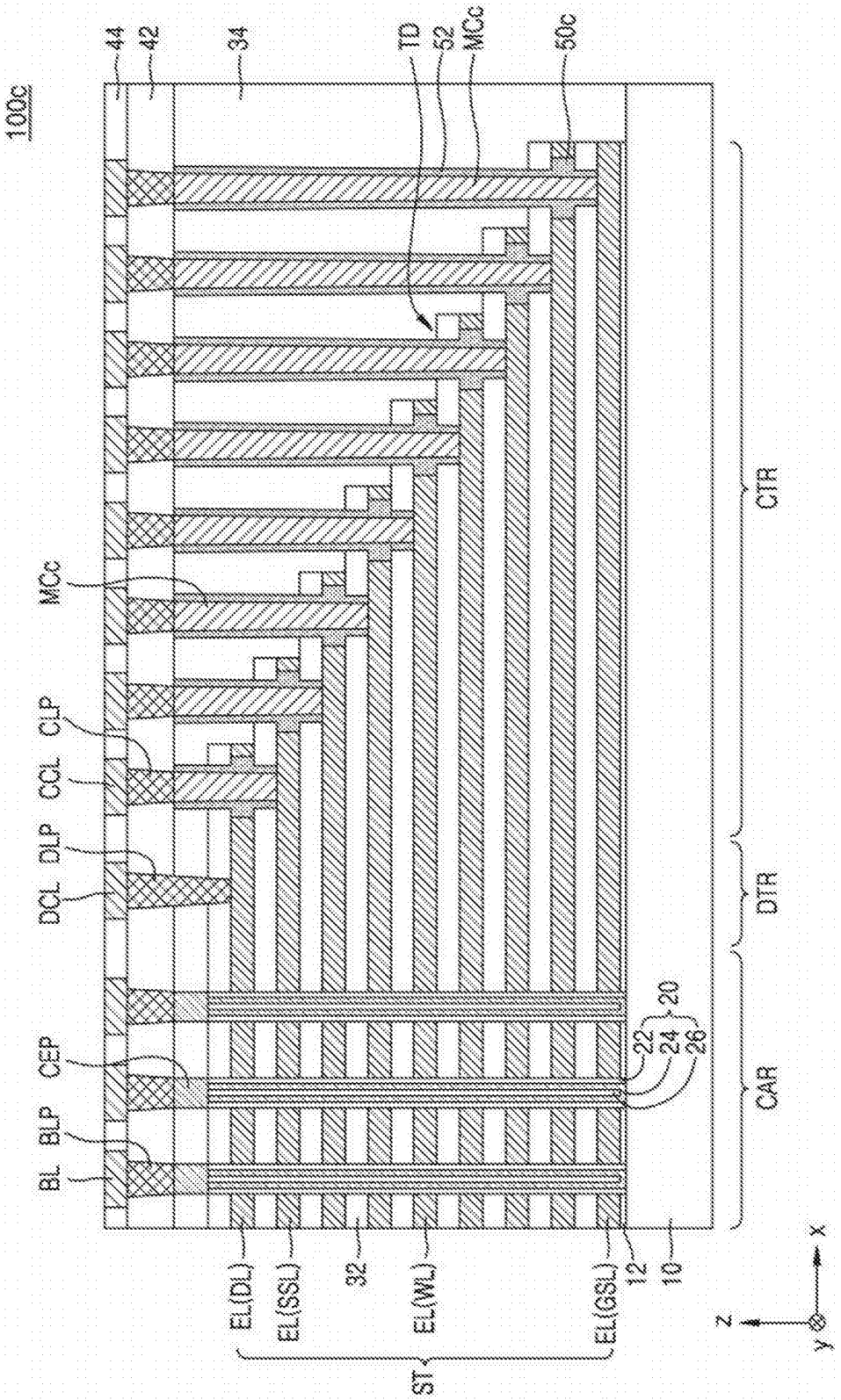


图7

Micron Ex. 1002, p. 108
Micron v. YMTC
IPR2025-00035

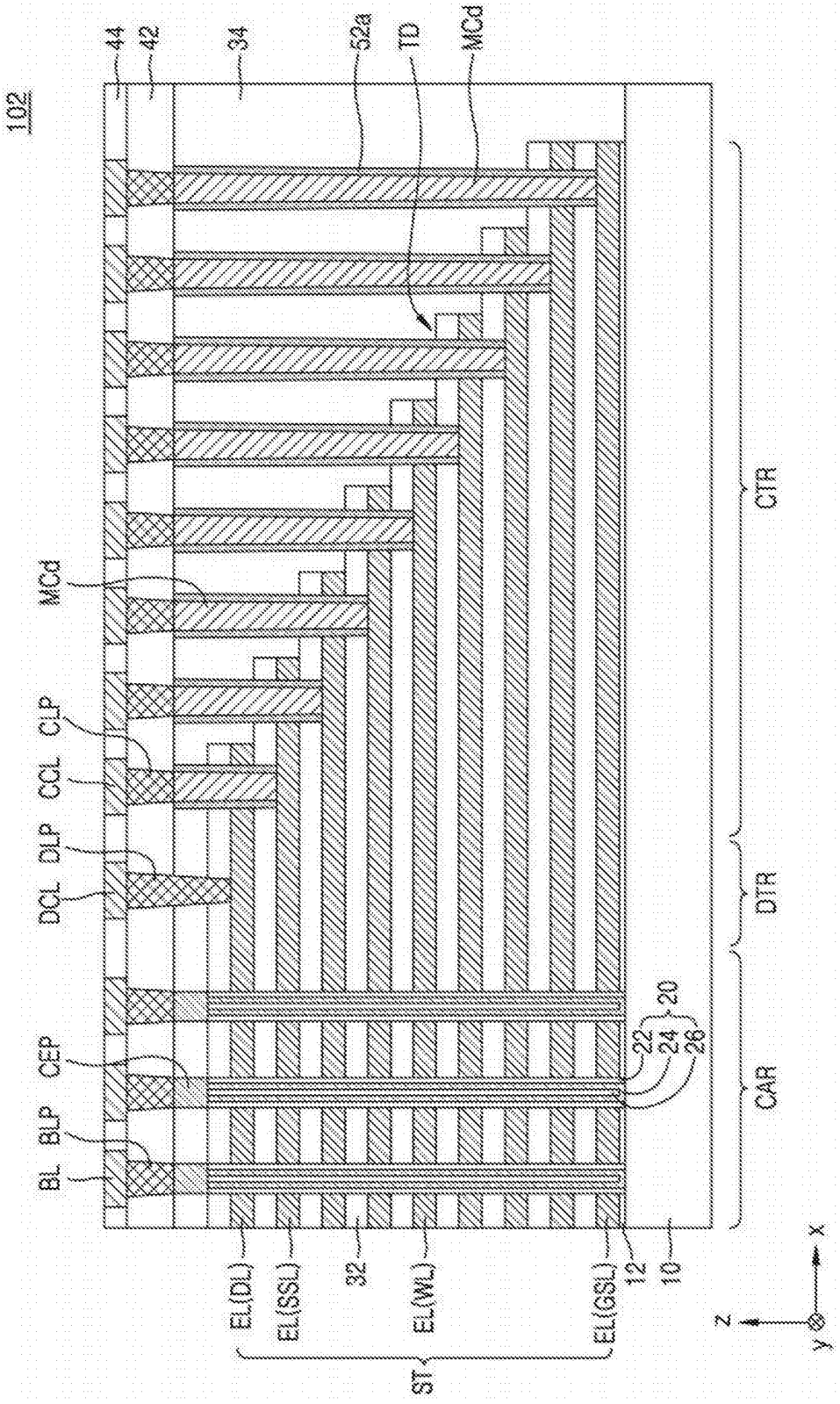


图8

Micron Ex. 1002, p. 109
Micron v. YMTC
IPR2025-00035

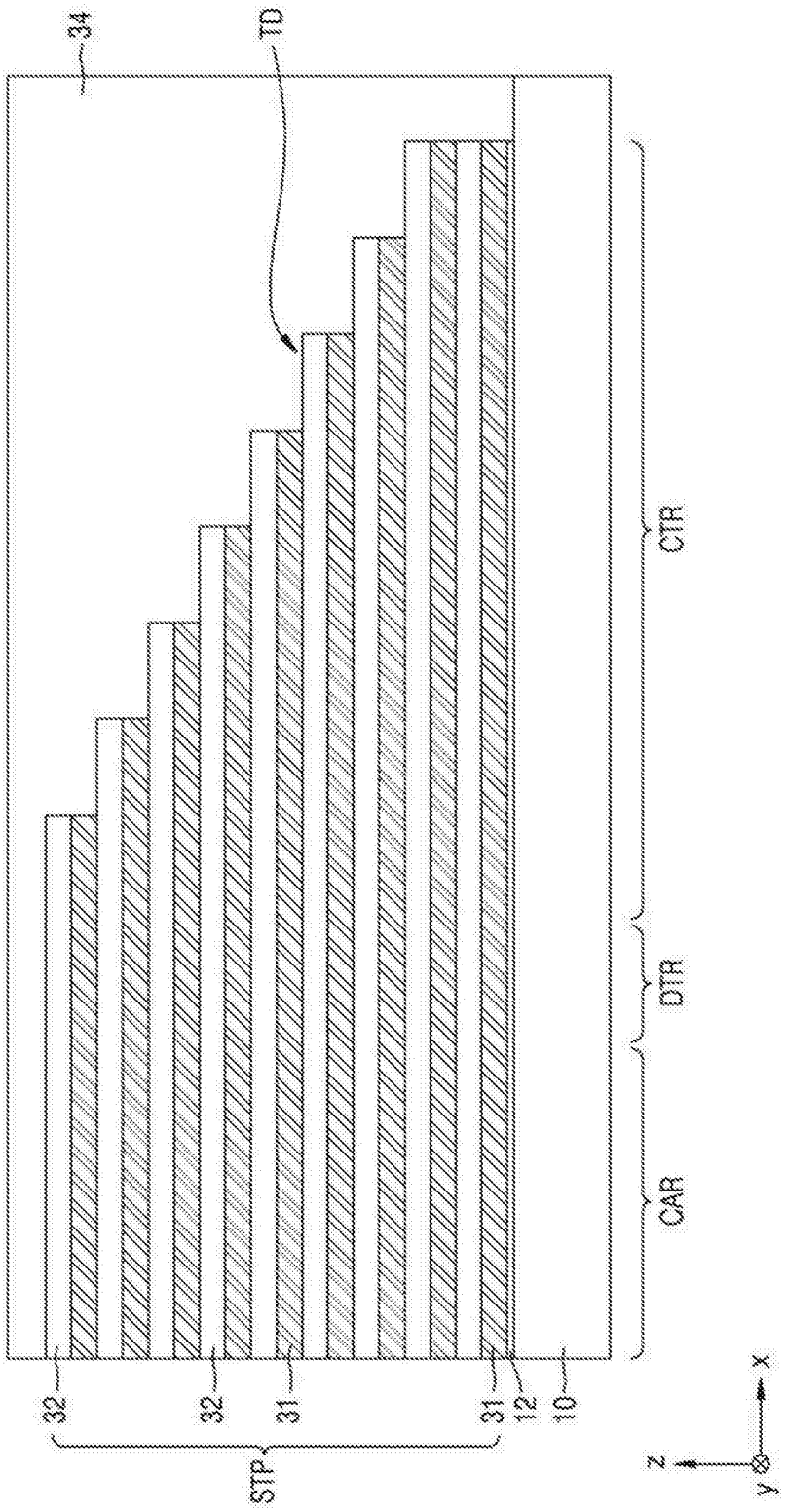


图9

Micron Ex. 1002, p. 110
Micron v. YMTC
IPR2025-00035

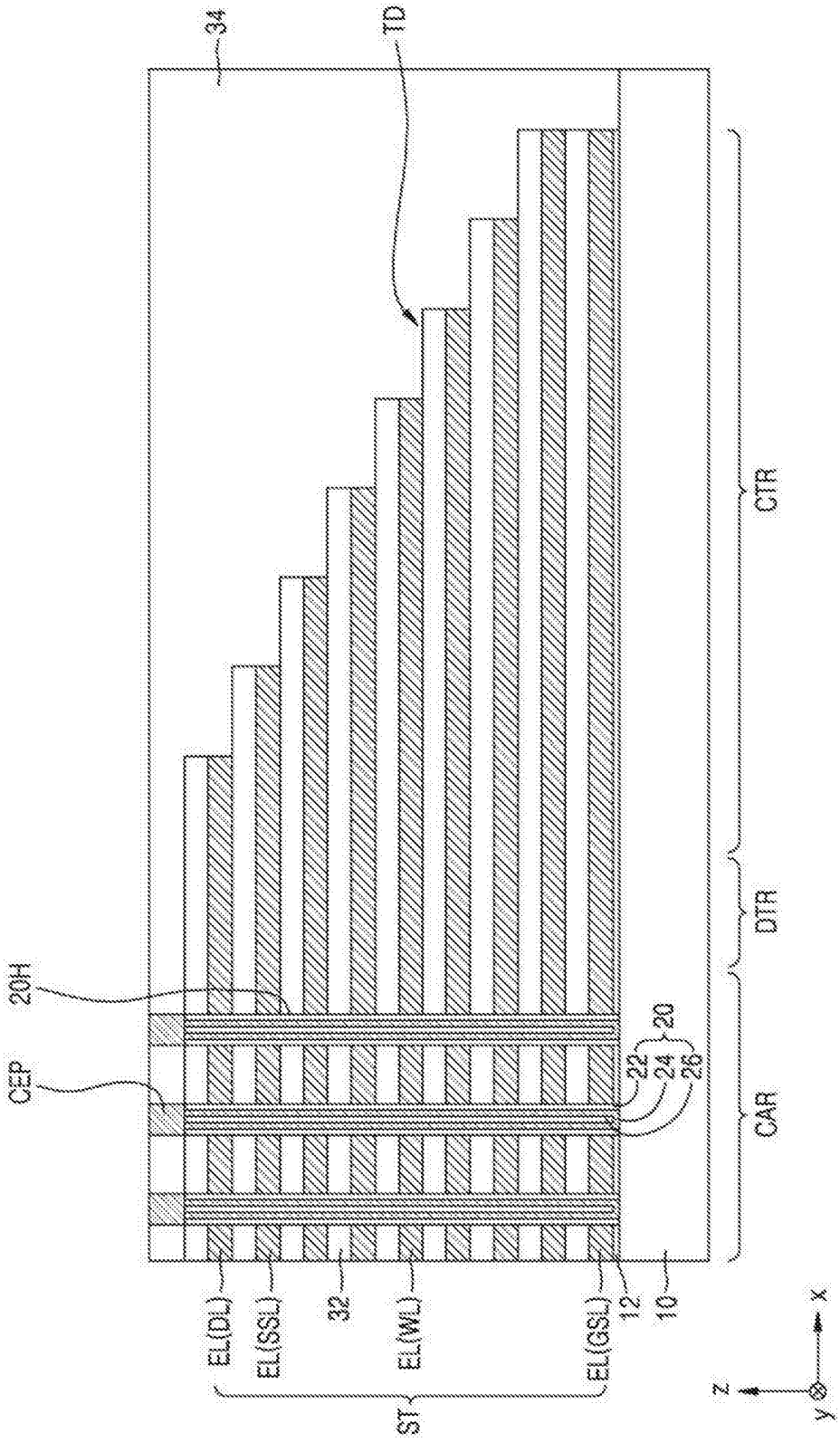


图10

Micron Ex. 1002, p. 111
Micron v. YMTC
IPR2025-00035

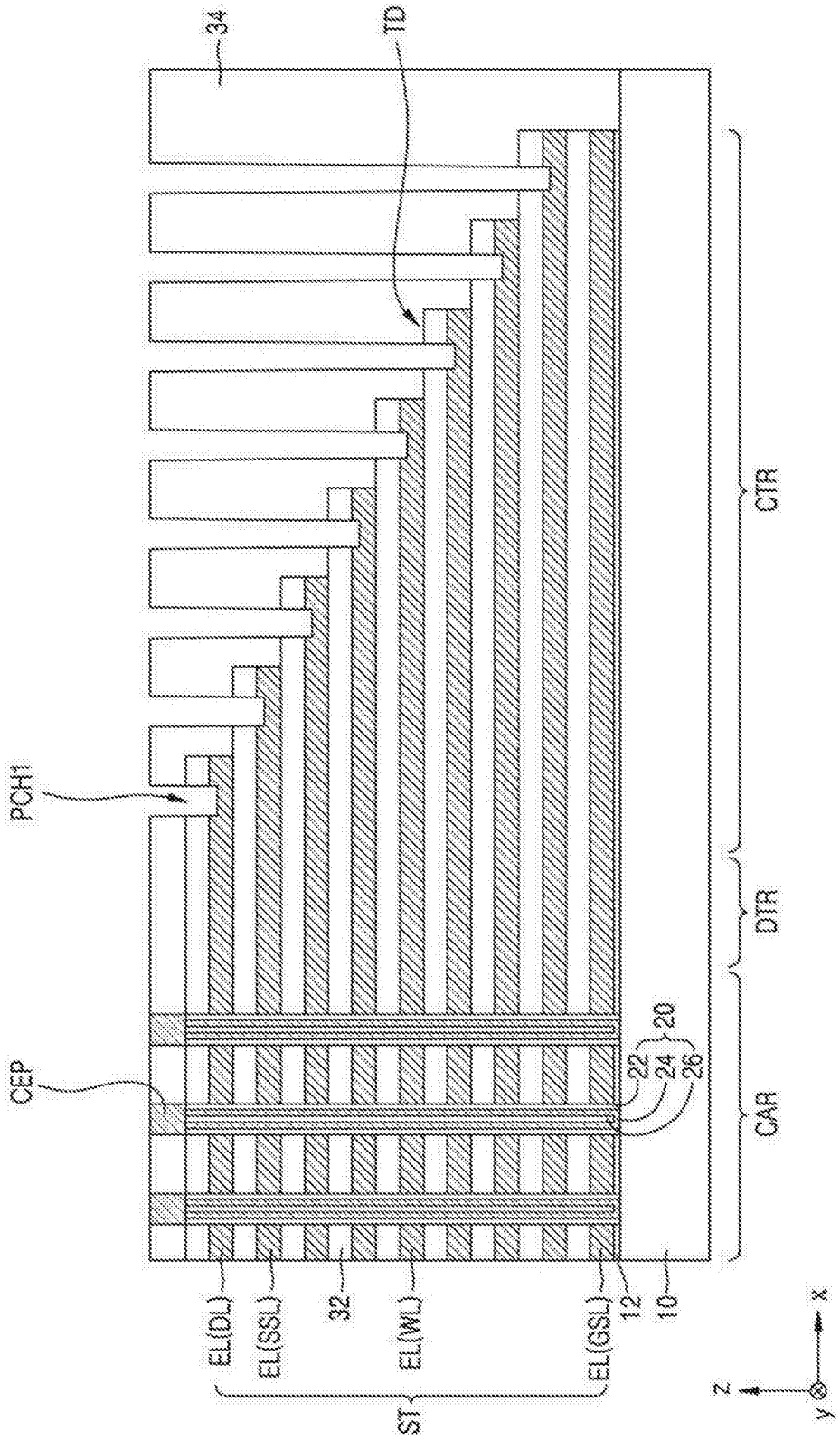


图11

Micron Ex. 1002, p. 112
Micron v. YMTC
IPR2025-00035

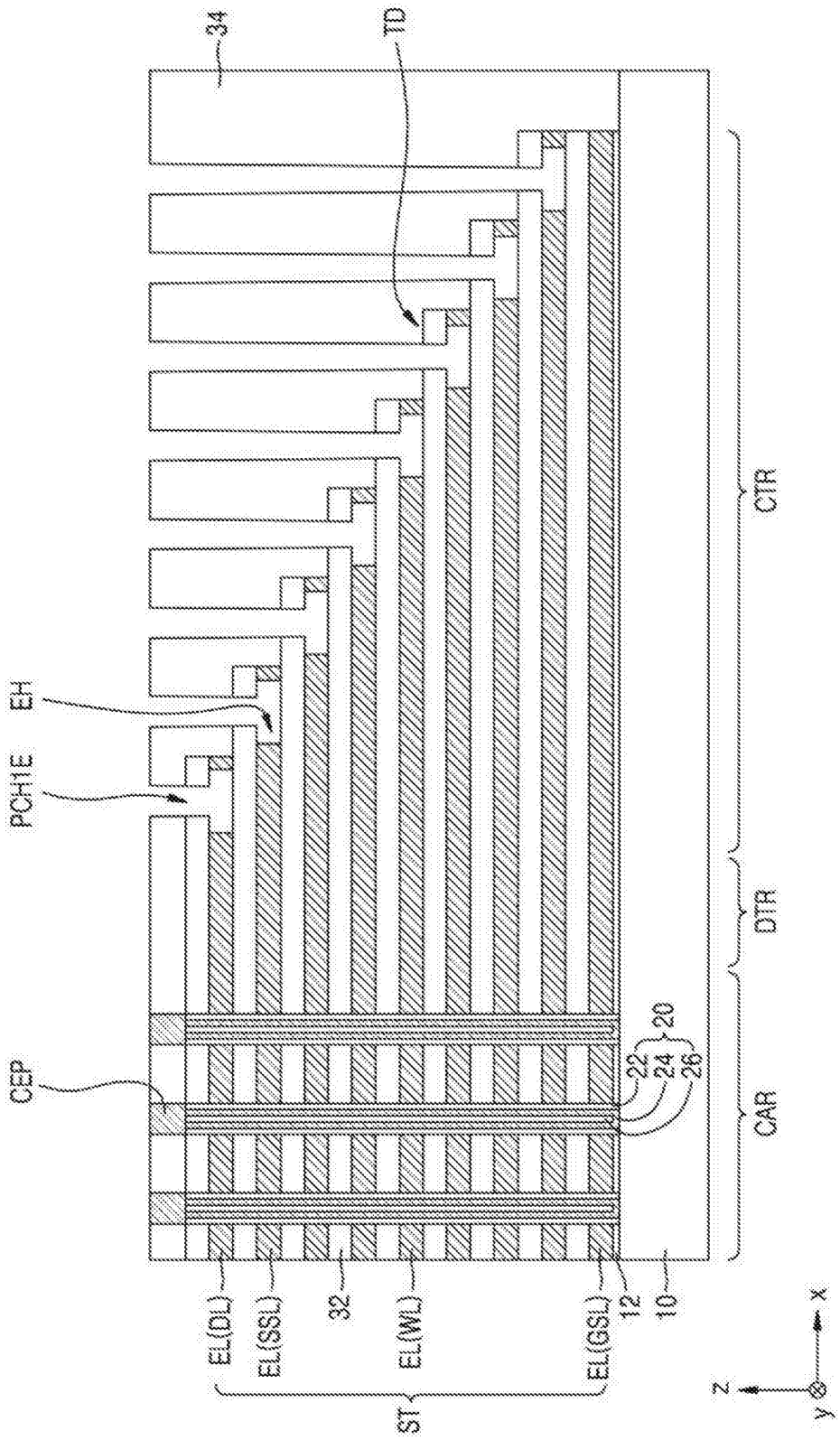


图12

Micron Ex. 1002, p. 113
Micron v. YMTC
IPR2025-00035

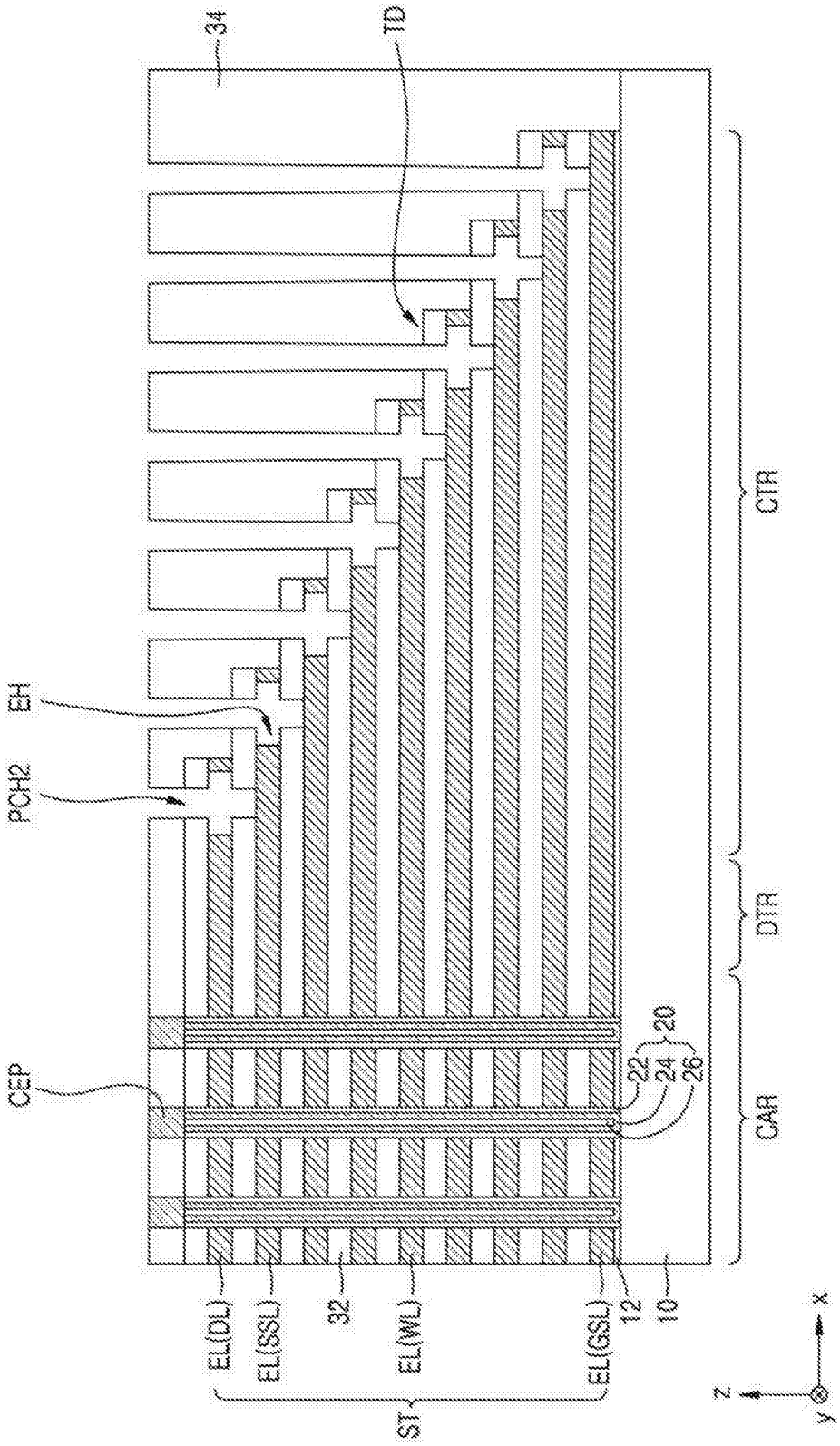


图13

Micron Ex. 1002, p. 114
Micron v. YMTC
IPR2025-00035

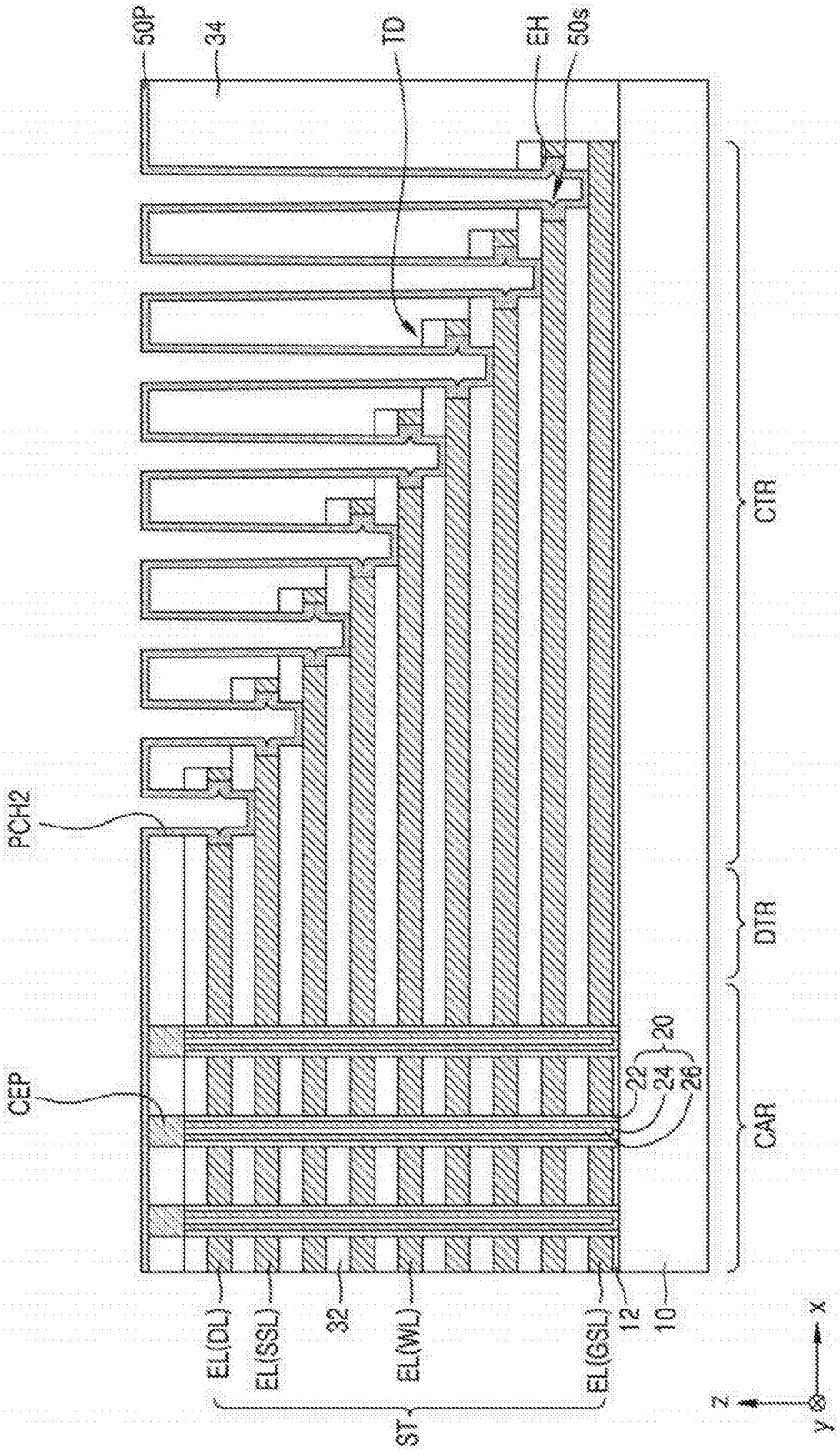


图14

Micron Ex. 1002, p. 115
Micron v. YMTC
IPR2025-00035

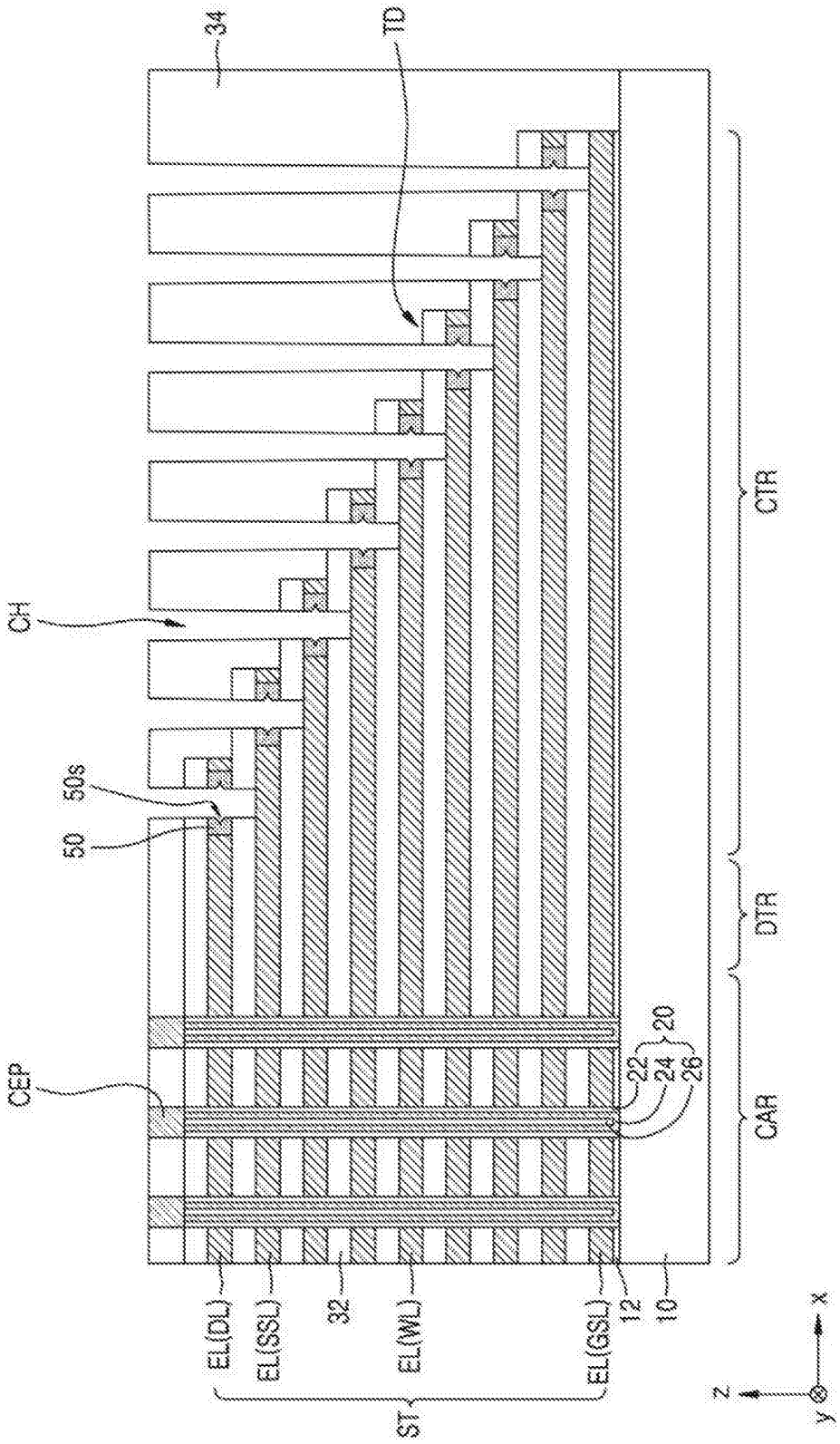


图15

Micron Ex. 1002, p. 116
Micron v. YMTC
IPR2025-00035

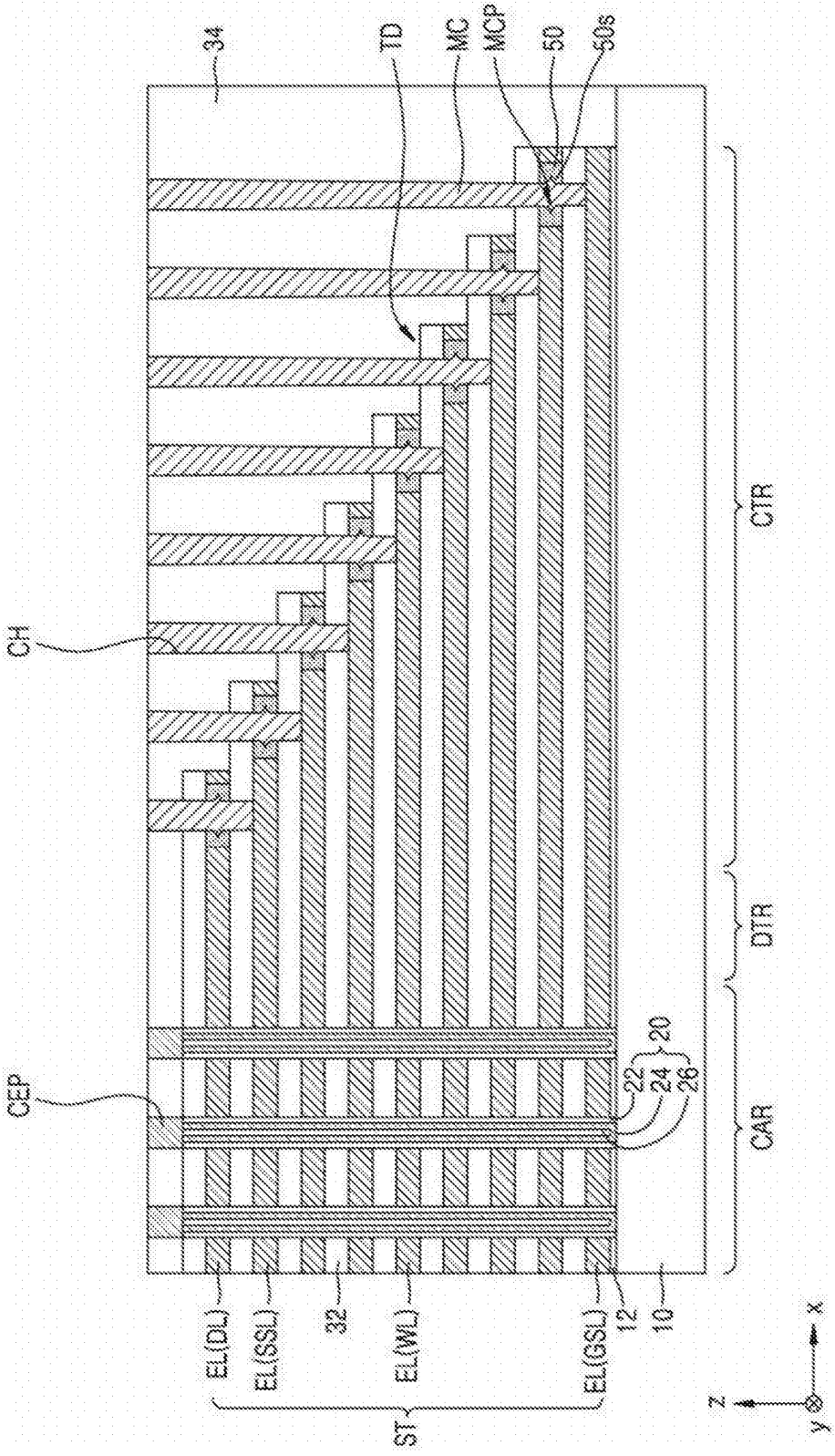


图16

Micron Ex. 1002, p. 117
Micron v. YMTC
IPR2025-00035

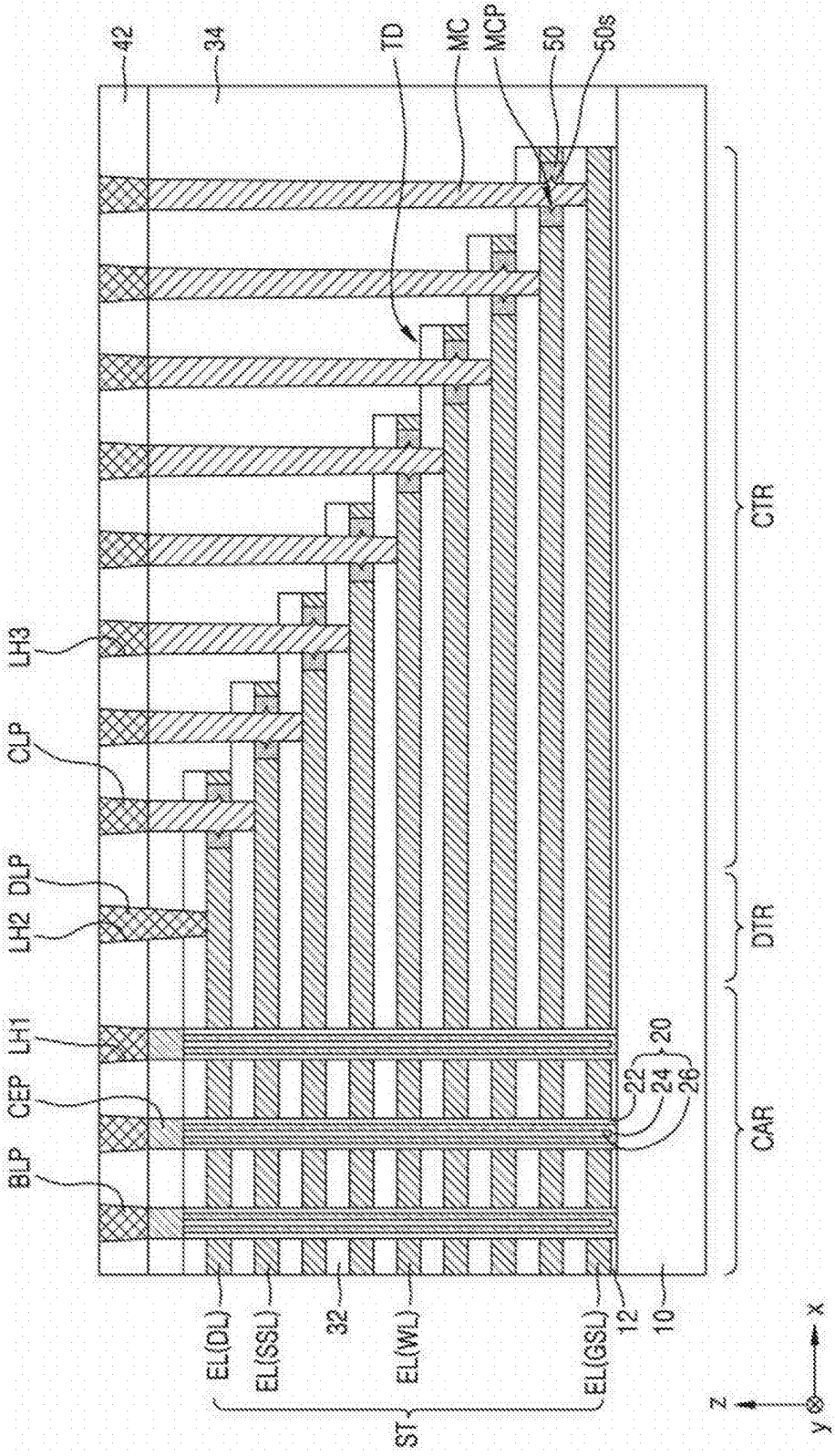


图17

Micron Ex. 1002, p. 118
Micron v. YMTC
IPR2025-00035

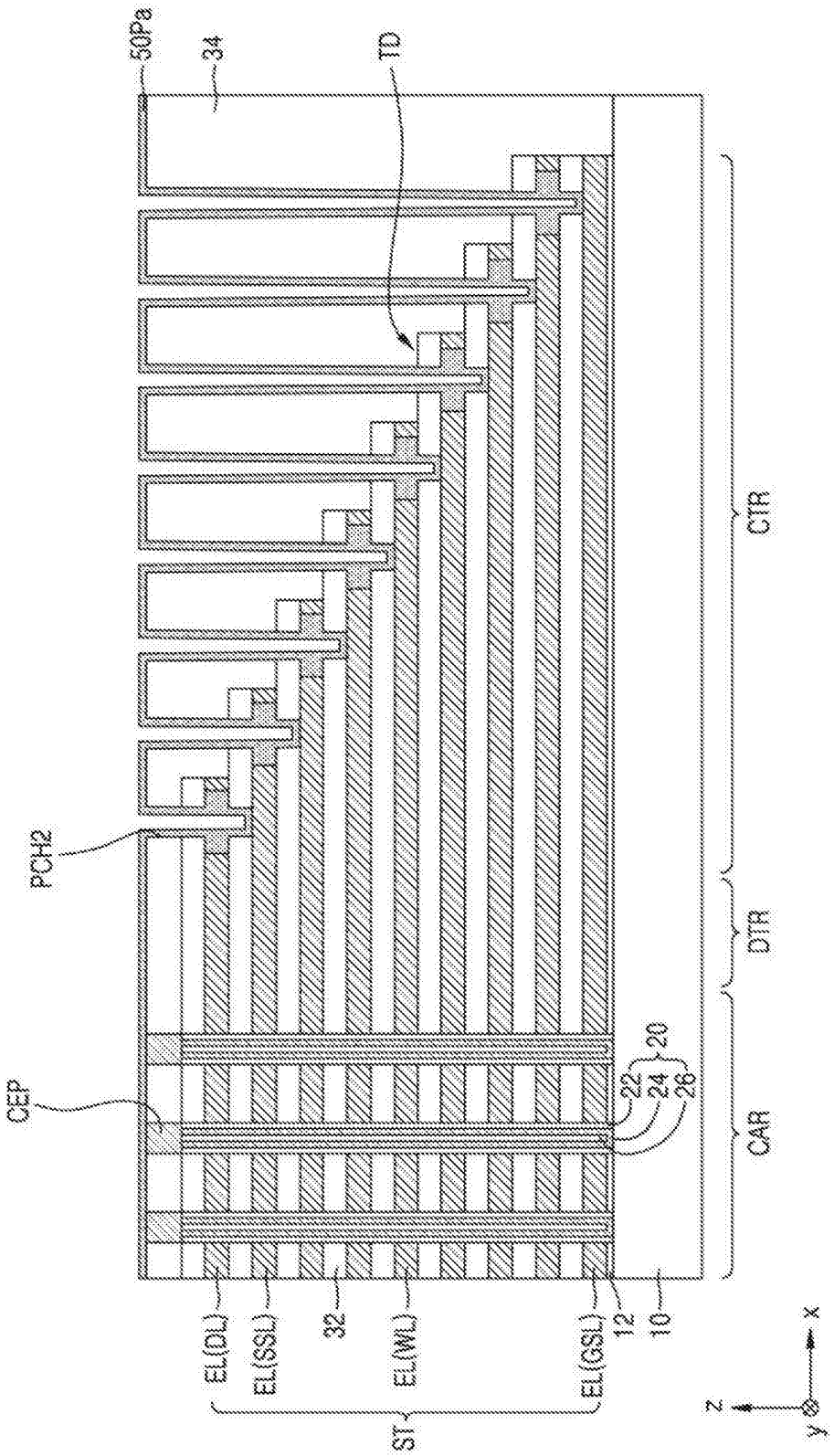


图18

Micron Ex. 1002, p. 119
Micron v. YMTC
IPR2025-00035

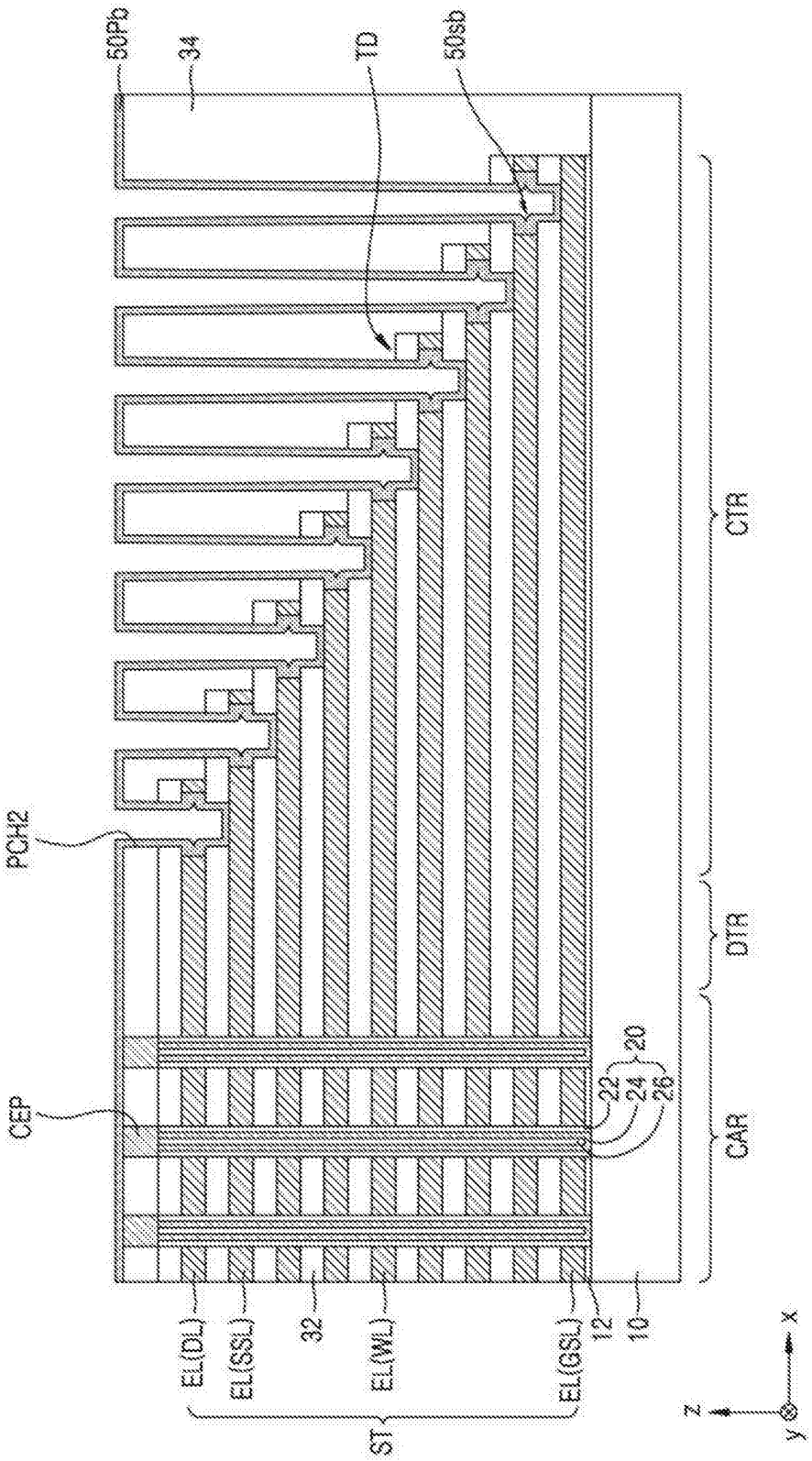


图19

Micron Ex. 1002, p. 120
Micron v. YMTC
IPR2025-00035

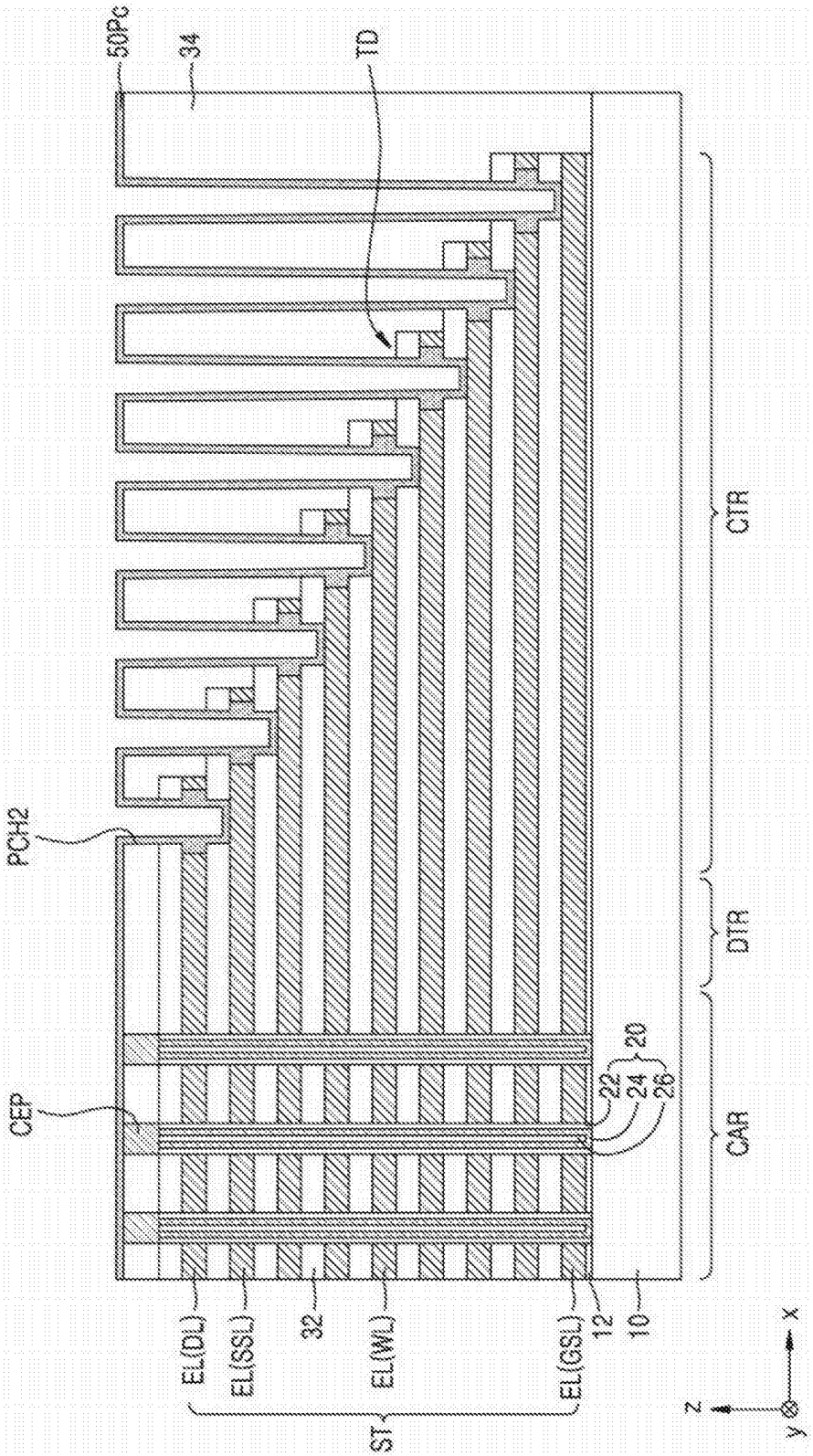


图20

Micron Ex. 1002, p. 121
Micron v. YMTC
IPR2025-00035

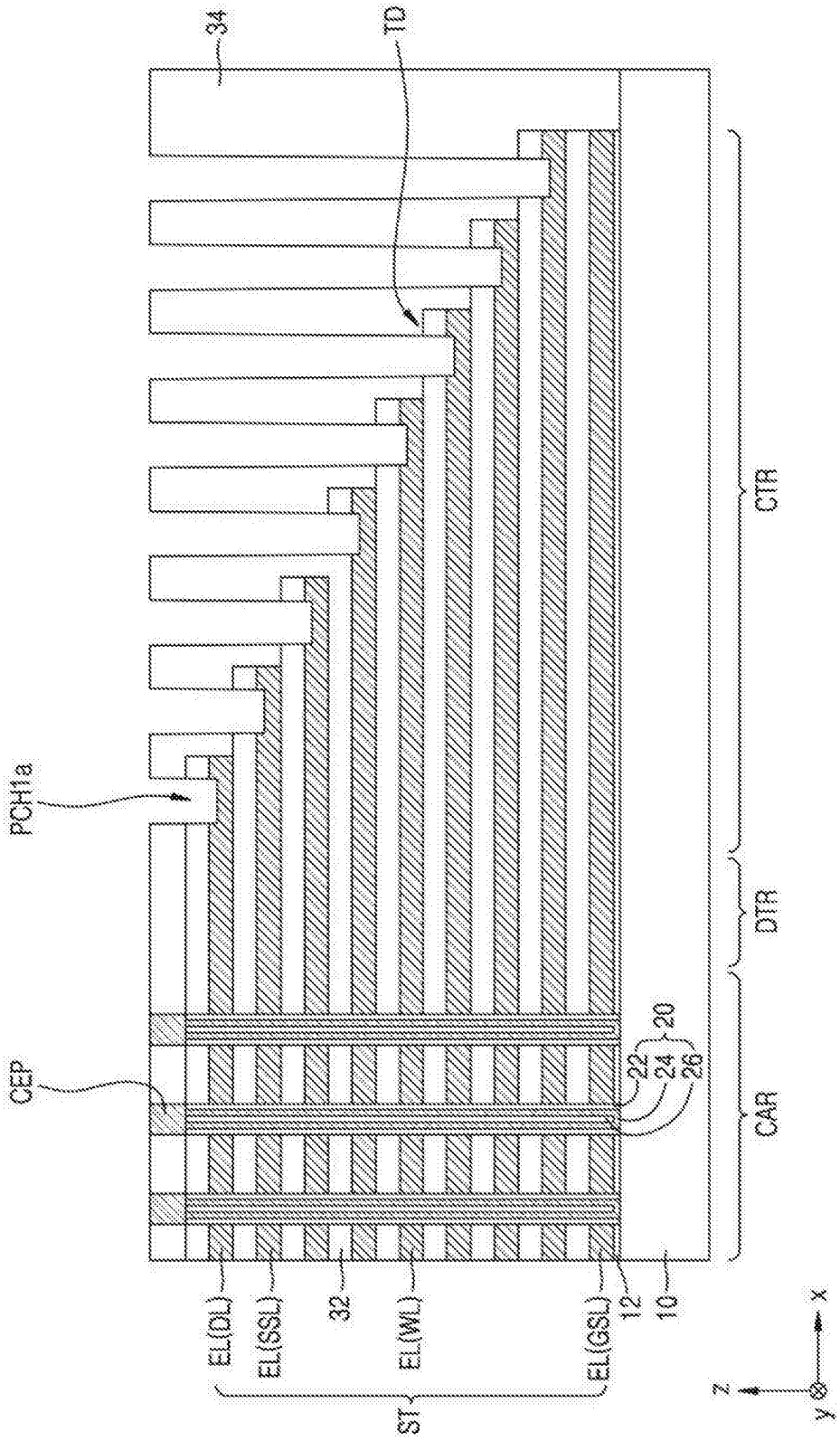


图21

Micron Ex. 1002, p. 122
Micron v. YMTC
IPR2025-00035

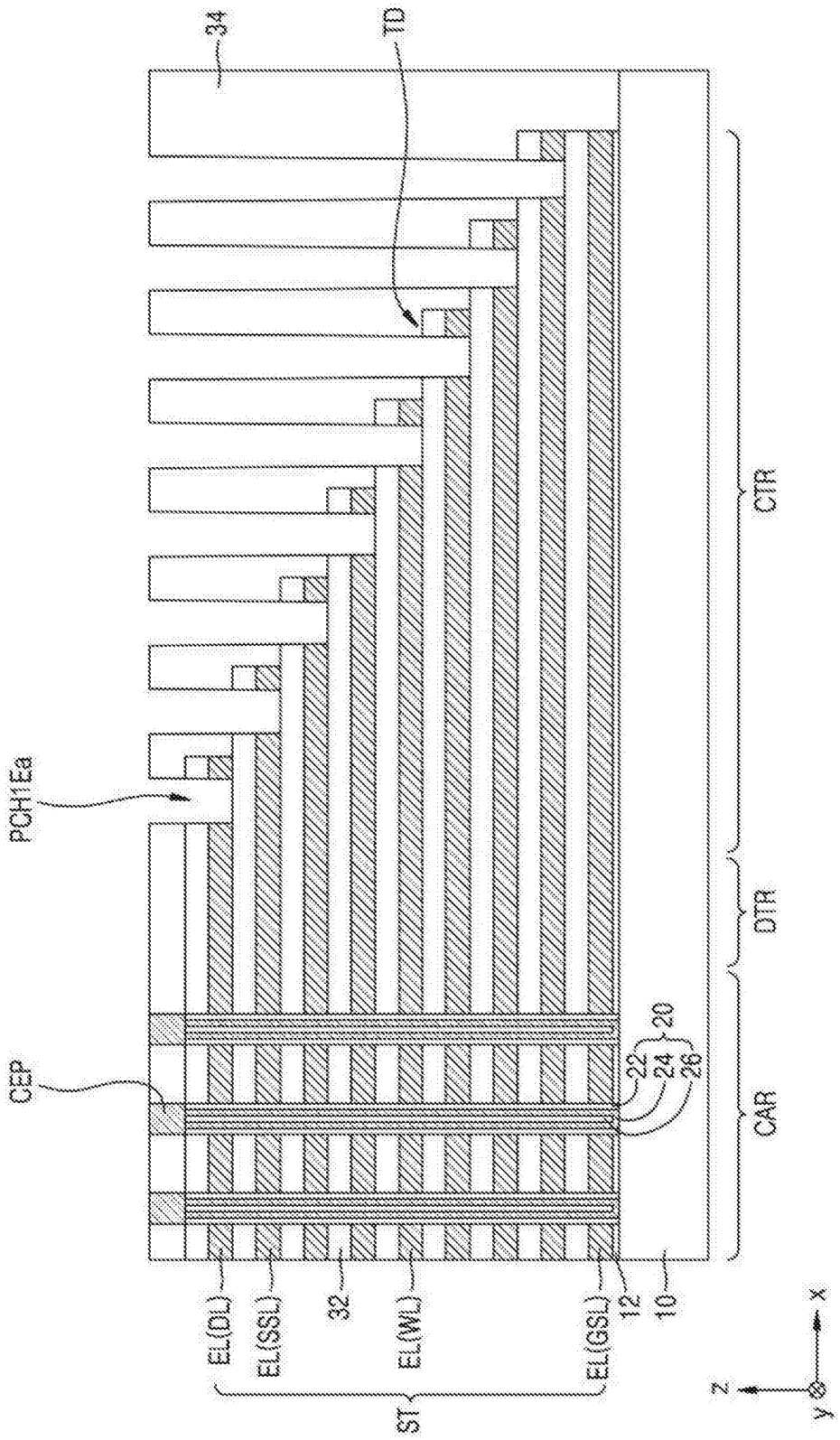


图22

Micron Ex. 1002, p. 123
Micron v. YMTC
IPR2025-00035

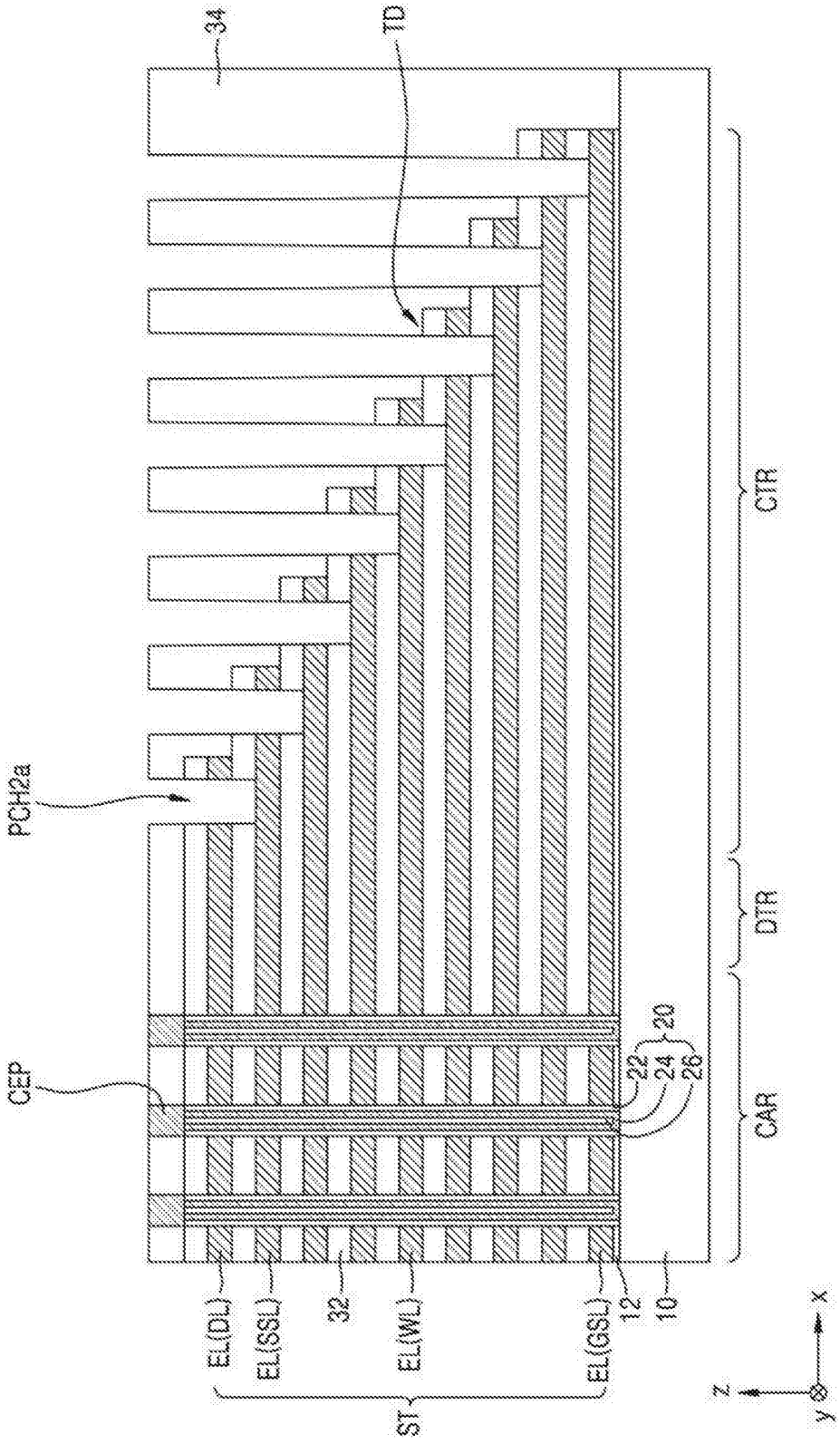


图23

Micron Ex. 1002, p. 124
Micron v. YMTC
IPR2025-00035

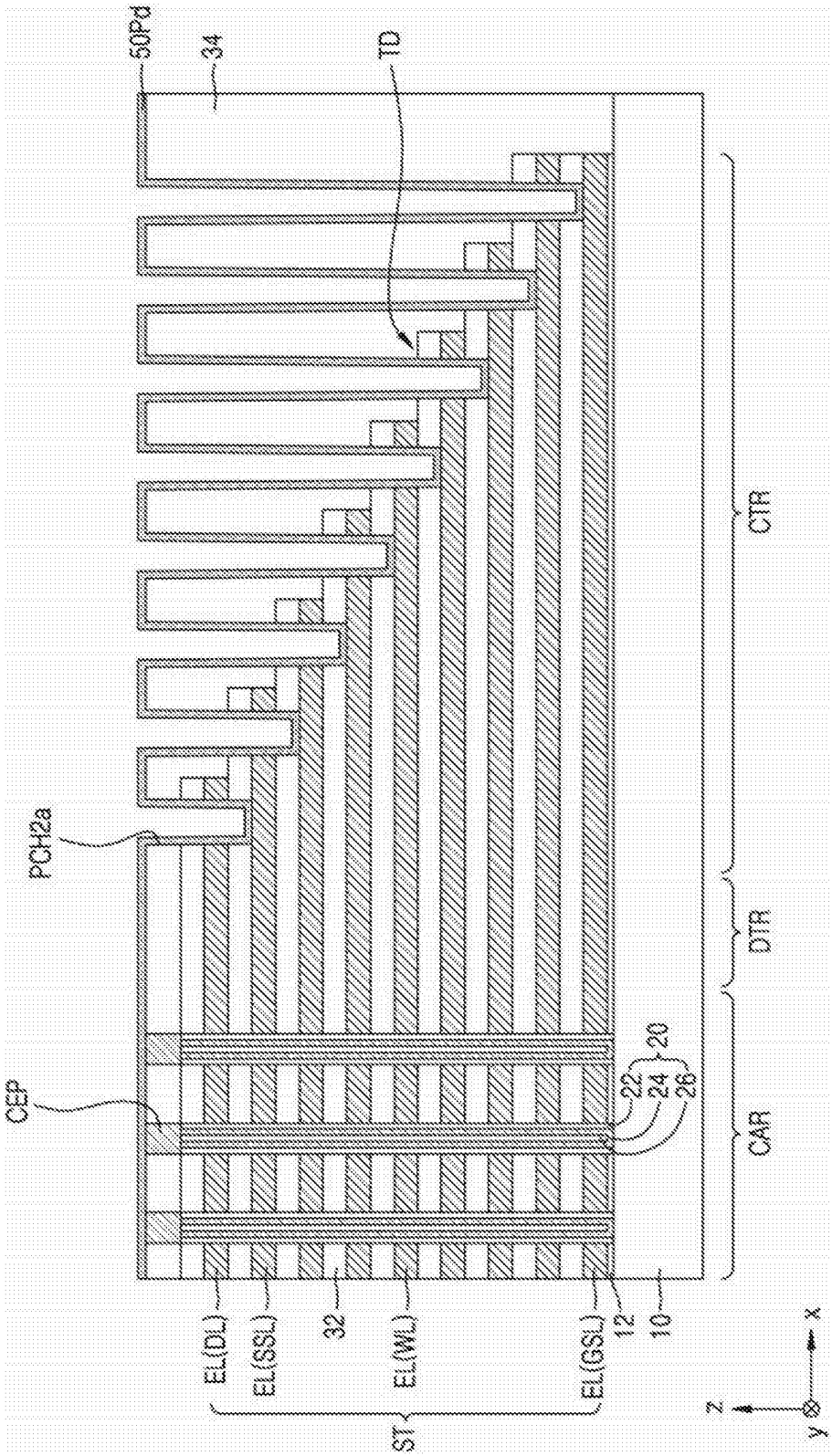


图24

Micron Ex. 1002, p. 125
Micron v. YMTC
IPR2025-00035

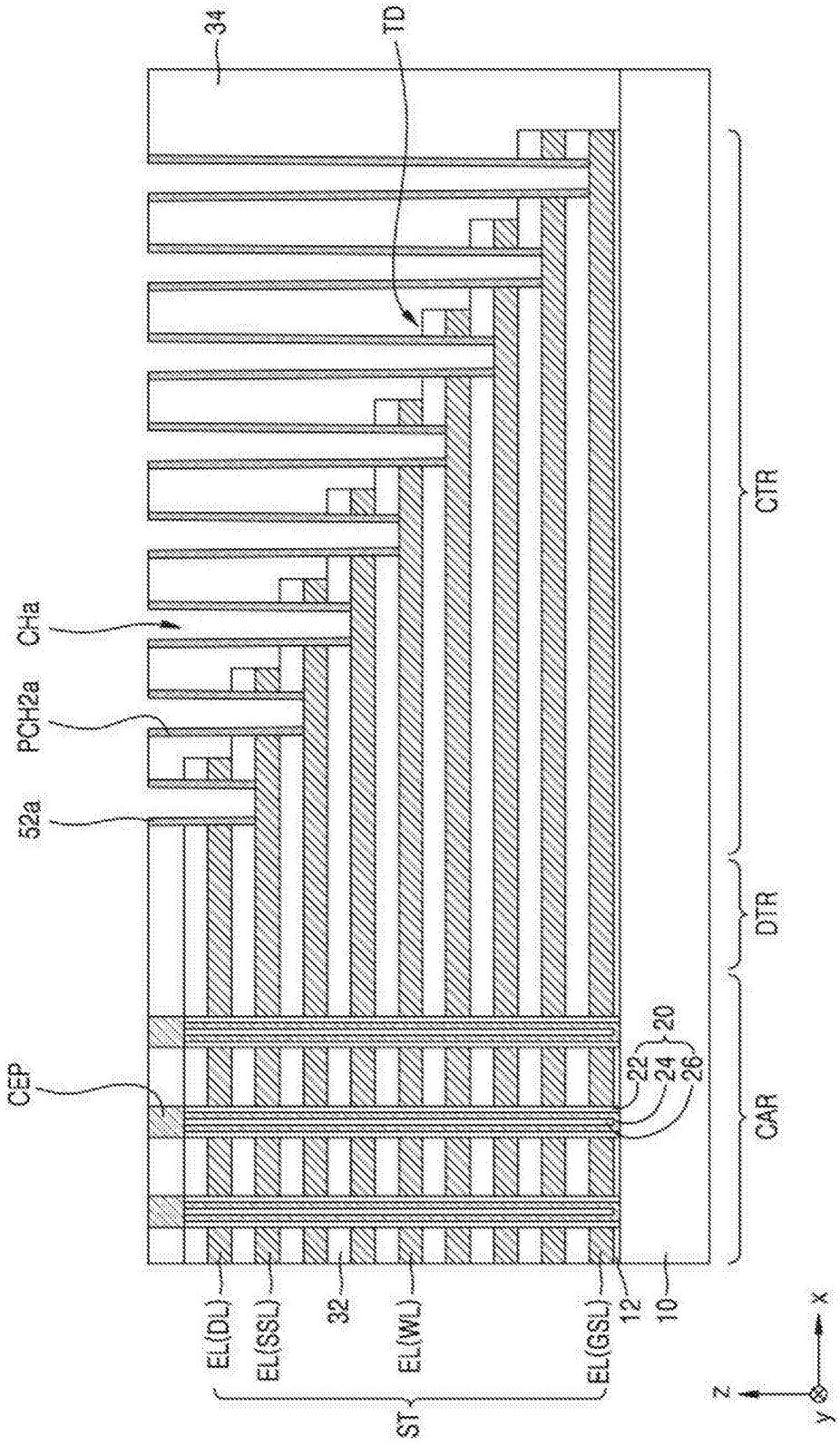


图25

Micron Ex. 1002, p. 126
Micron v. YMTC
IPR2025-00035

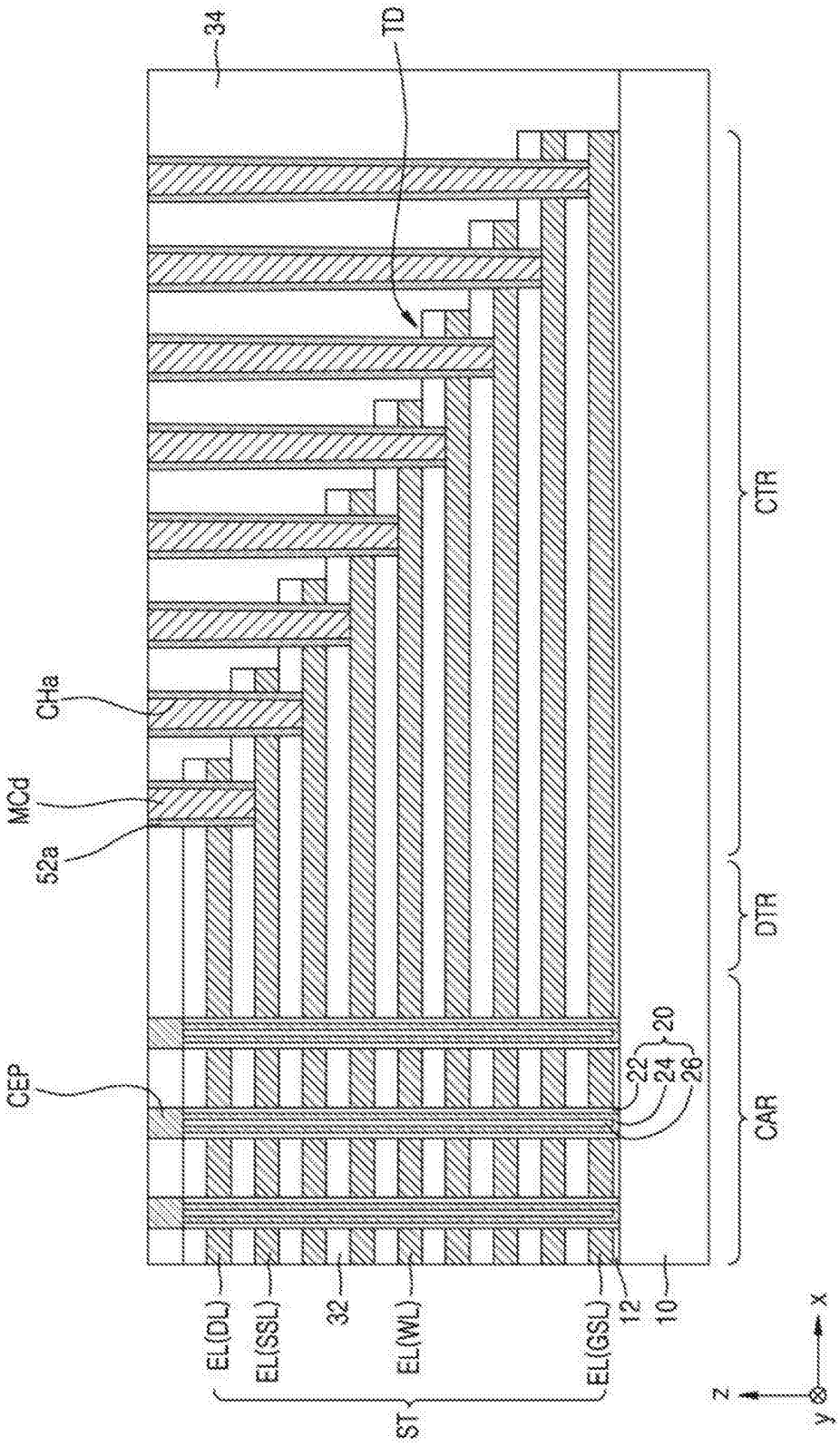


图26

Micron Ex. 1002, p. 127
Micron v. YMTC
IPR2025-00035

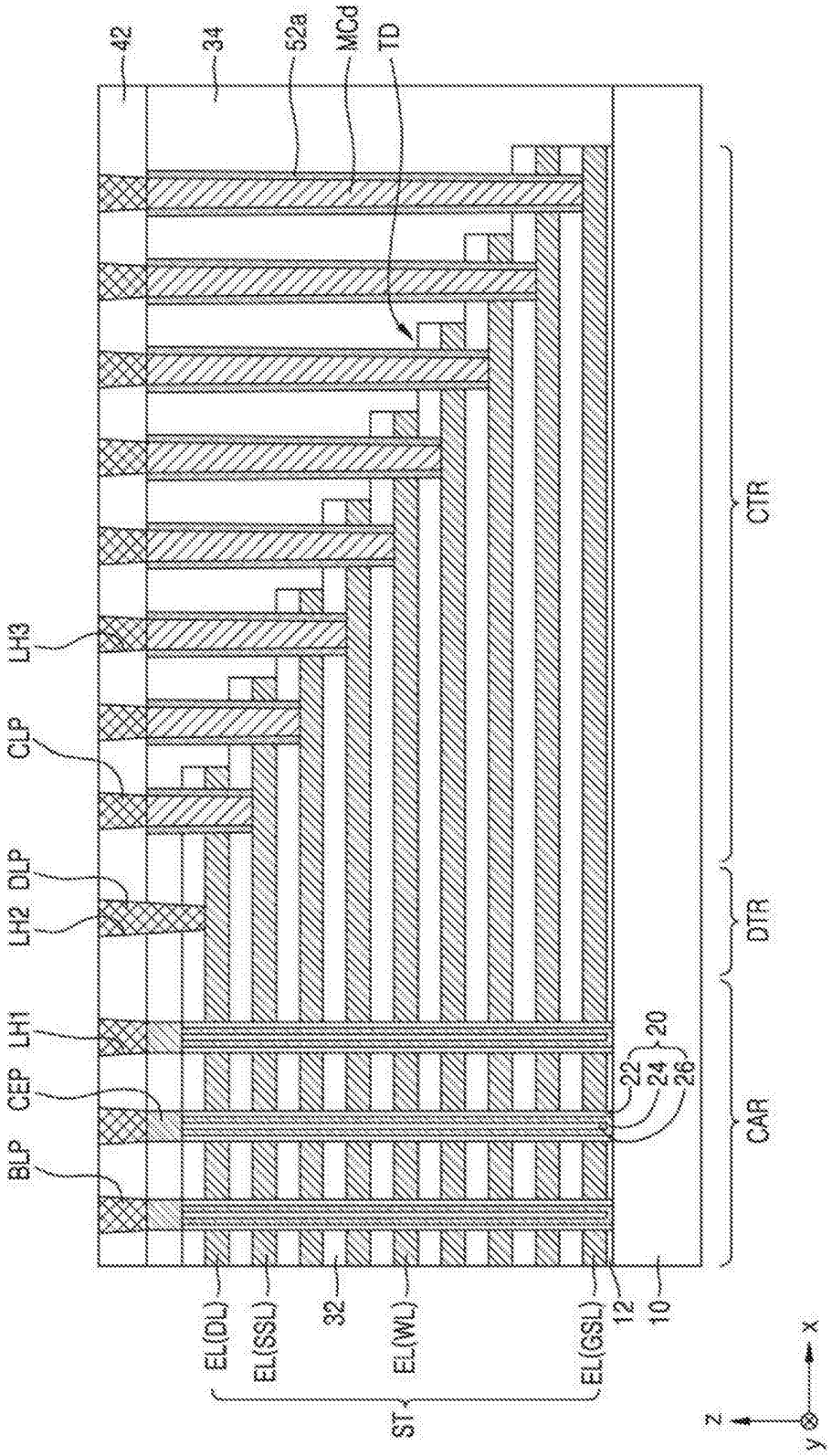


图27

Micron Ex. 1002, p. 128
Micron v. YMTC
IPR2025-00035

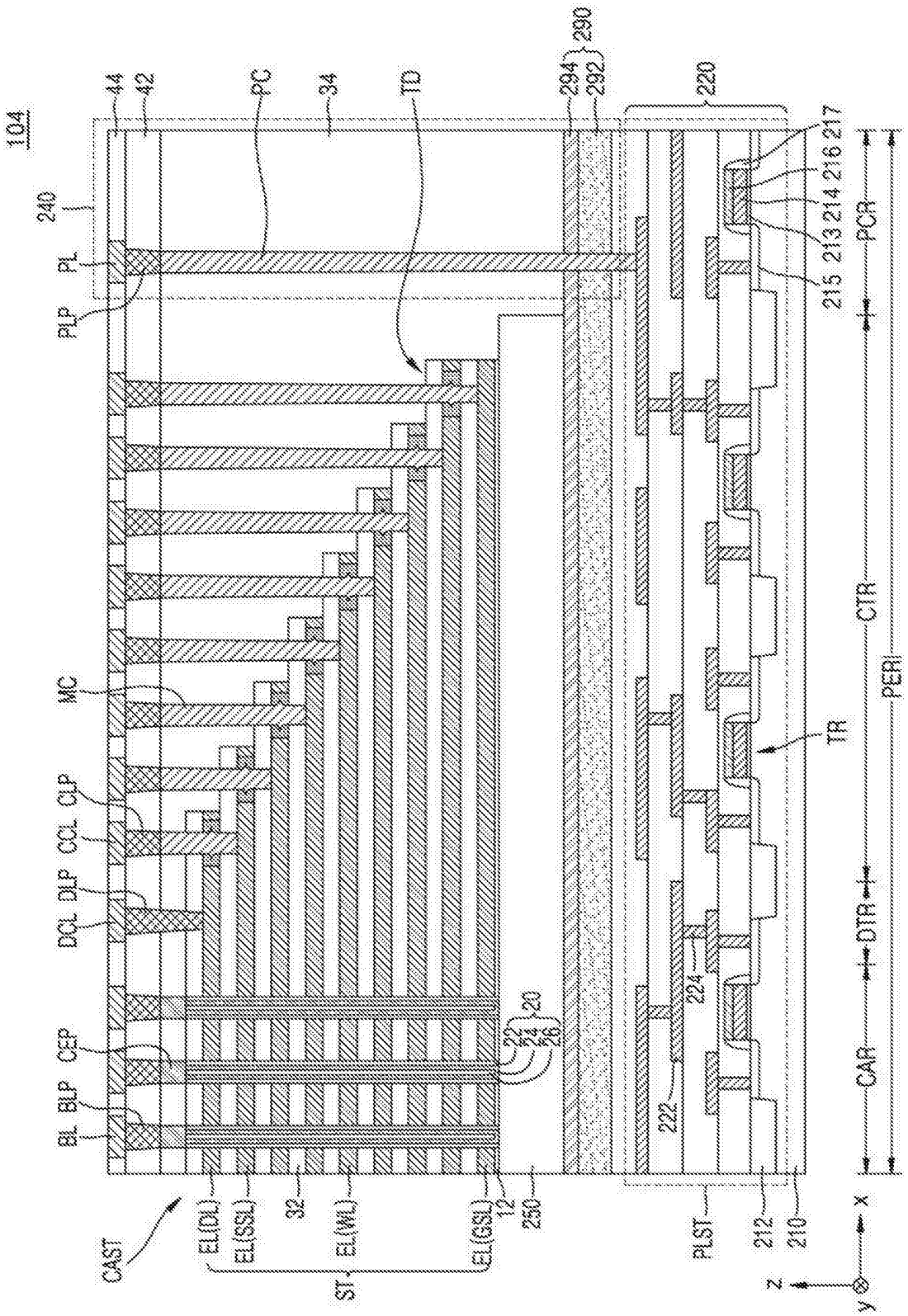


图28

Micron Ex. 1002, p. 129
Micron v. YMTC
IPR2025-00035

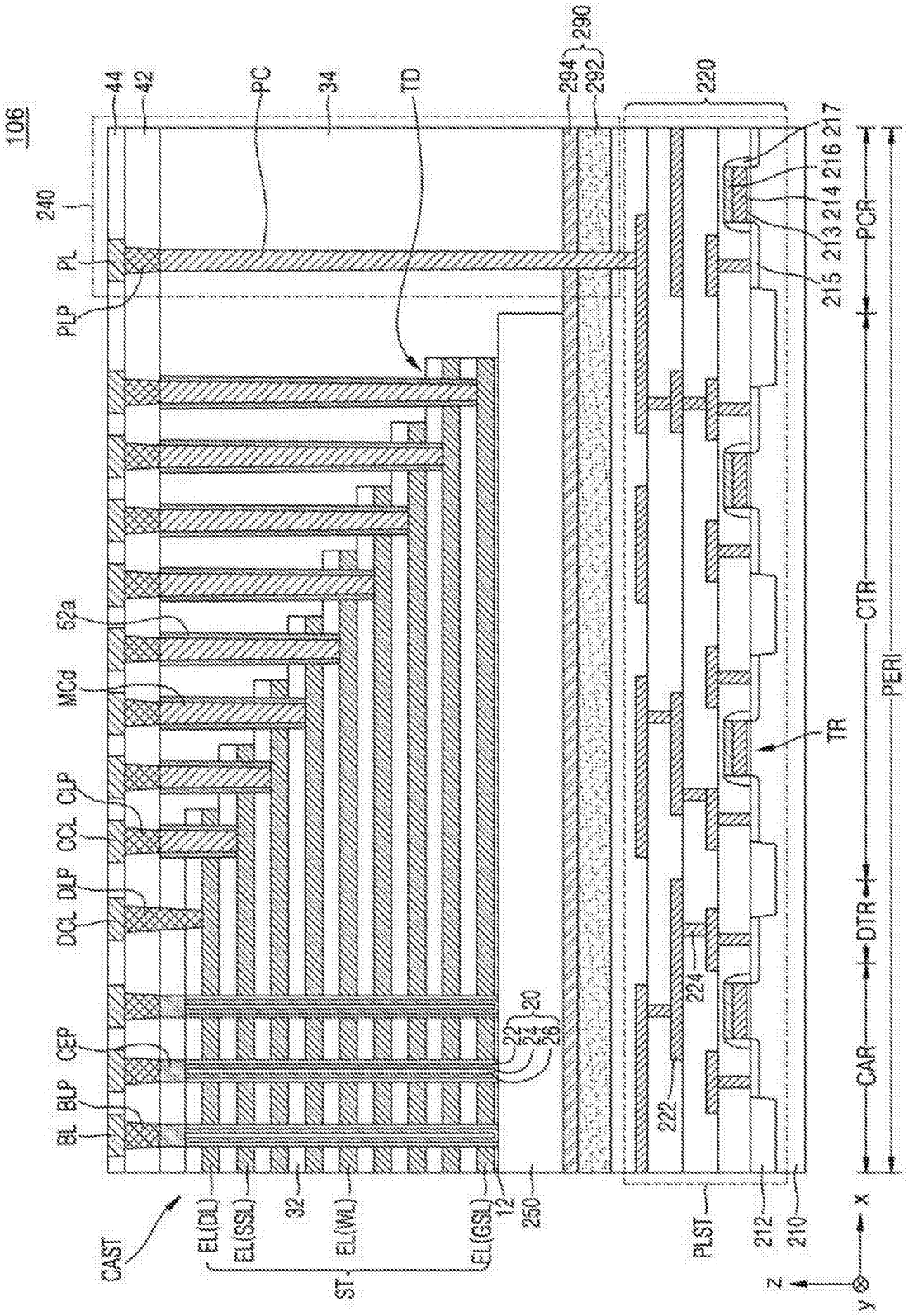


图29

Micron Ex. 1002, p. 130
Micron v. YMTC
IPR2025-00035

Espacenet

CN109754836A Nonvolatile memory device

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: JEON HONG SOO,KIM CHAN HO,KWAK PAN SUK,LIM BONG SOON

Classifications:
IPC ***G11C16/04; G11C16/08;***

CPC **G11C16/08 (US); G11C16/24 (US); H01L27/1157 (EP,US); H01L27/11573 (EP,US); H01L27/11575 (EP); H01L27/11582 (EP,US);**

Priorities: KR20170147611A 2017-11-07

Application: CN109754836A·2018-10-30

Publication: CN109754836A·2019-05-14

Published as: CN109754836A;**KR20190051694A; US10446575B2; US2019139978A1**

Nonvolatile memory device

Abstract

一种三维(3D)非易失性存储器包括堆叠结构，该堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域。连接区域包括第一台阶部分、第二台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状，连接部分连接第一单元区域和第二单元区域。

Micron Ex. 1002, p. 131
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 109754836 A
(43)申请公布日 2019.05.14

(21)申请号 201811274793.0

(22)申请日 2018.10.30

(30)优先权数据
10-2017-0147611 2017.11.07 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金灿镐 任琤淳 郭判硕 全哄秀

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 张波 翟然

(51)Int.Cl.
G11C 16/04(2006.01)
G11C 16/08(2006.01)

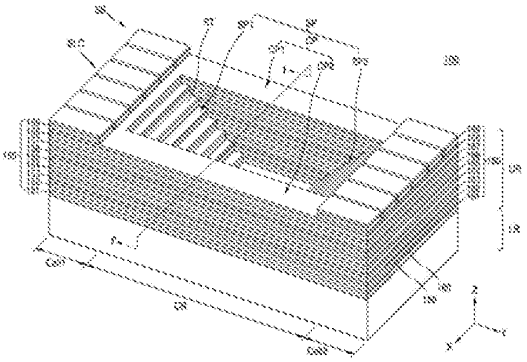
权利要求书3页 说明书11页 附图31页

(54)发明名称

非易失性存储器件

(57)摘要

一种三维(3D)非易失性存储器包括堆叠结构,该堆叠结构包括多个导电层,所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域。连接区域包括第一台阶部分、第二台阶部分和连接部分,第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状,第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状,连接部分连接第一单元区域和第二单元区域。



CN 109754836 A

Micron Ex. 1002, p. 132
Micron v. YMTC
IPR2025-00035

1.一种三维(3D)非易失性存储器,包括:

堆叠结构,其包括多个导电层,所述多个导电层与多个层间绝缘层交替并且所述多个导电层通过所述多个层间绝缘层彼此间隔开,其中

所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域,以及

所述连接区域包括第一台阶部分、第二台阶部分和连接部分,所述第一台阶部分接触所述第一单元区域并且具有在接近所述第二单元区域的方向上下降的阶梯形状,所述第二台阶部分接触所述第二单元区域并且具有在接近所述第一单元区域的方向上下降的阶梯形状,所述连接部分连接所述第一单元区域和所述第二单元区域。

2.如权利要求1所述的三维非易失性存储器,其中

所述连接部分的一个侧壁与所述第一单元区域的一个侧壁和所述第二单元区域的一个侧壁对准。

3.如权利要求1所述的三维非易失性存储器,其中

所述第一台阶部分的台阶中的至少一个在与所述第二台阶部分的台阶中的一个相同的水平处。

4.如权利要求1所述的三维非易失性存储器,还包括:

下部区域,其设置在所述堆叠结构下方并且包括外围电路,其中

所述多个导电层的设置在所述第一单元区域中的部分和所述多个导电层的设置在所述第二单元区域中的部分电连接到所述外围电路。

5.如权利要求1所述的三维非易失性存储器,其中

所述多个导电层中的每个在所述第一单元区域、所述第一台阶部分、所述连接部分、所述第二台阶部分和所述第二单元区域之上延伸。

6.如权利要求1所述的三维非易失性存储器,其中

所述第一台阶部分和所述第二台阶部分中的至少一个台阶具有在一个方向上拥有不同宽度的多个子台阶。

7.如权利要求1所述的三维非易失性存储器,其中

所述连接部分在与从所述第一台阶部分到所述第二台阶部分的方向垂直的方向上的宽度随着离所述连接部分的下端的高度减小而增加。

8.如权利要求1所述的三维非易失性存储器,其中

所述连接部分包括第三台阶部分和第四台阶部分,每个连接所述第一台阶部分和所述第二台阶部分,并且每个具有在所述第三台阶部分和所述第四台阶部分彼此面对的方向上下降的阶梯形状。

9.如权利要求1所述的三维非易失性存储器,其中

所述连接部分连接所述第一台阶部分的下部和所述第二台阶部分的下部,但不连接所述第一台阶部分的上部和所述第二台阶部分的上部。

10.一种三维(3D)非易失性存储器,包括:

下部区域,其包括下基板和在所述下基板上的外围电路;以及

在所述下部区域上的堆叠结构,其中所述堆叠结构包括多个导电层,所述多个导电层与多个层间绝缘层交替并且所述多个导电层通过所述多个层间绝缘层彼此间隔开,其中

Micron Ex. 1002, p. 133
Micron v. YMTC
IPR2025-00035

所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域，以及

所述堆叠结构的所述连接区域包括台阶部分，所述台阶部分具有从所述连接区域的外围朝向其中心下降的阶梯形状。

11.如权利要求10所述的三维非易失性存储器，其中

所述台阶部分的台阶中的至少一些具有环矩形形状。

12.如权利要求10所述的三维非易失性存储器，其中

所述堆叠结构内的所述多个导电层中的至少一个包括在所述第一单元区域中的第一部分、在所述第二单元区域中的第二部分、以及连接所述第一部分和所述第二部分的在所述连接区域中的第三部分。

13.如权利要求10所述的三维非易失性存储器，其中

所述堆叠结构的上部内的所述多个导电层中的至少一个包括在所述第一单元区域中的第一部分和在所述第二单元区域中与所述第一部分间隔开的第二部分，并且所述第一部分和所述第二部分通过设置在比所述堆叠结构更高的水平处的上导电线彼此连接。

14.如权利要求10所述的三维非易失性存储器，其中

所述台阶部分包括第一台阶部分、第二台阶部分、第三台阶部分和第四台阶部分，其中所述第一台阶部分接触所述第一单元区域并且具有在接近所述第二单元区域的方向上下降的阶梯形状，所述第二台阶部分接触所述第二单元区域并且具有在朝向所述第一单元区域的方向上下降的阶梯形状，所述第三台阶部分和所述第四台阶部分中的每个连接所述第一台阶部分和所述第二台阶部分，并且所述第三台阶部分和所述第四台阶部分的每个具有在朝向彼此的方向上下降的阶梯形状。

15.如权利要求14所述的三维非易失性存储器，还包括：

多个接触，其位于所述第一台阶部分、所述第二台阶部分、所述第三台阶部分和所述第四台阶部分中，其中所述多个接触将所述多个导电层电连接到所述外围电路。

16.一种三维(3D)非易失性存储器，包括：

下部区域，其包括下基板和在所述下基板上的外围电路；

在所述下部区域上的上基板；

在所述上基板上的堆叠结构，所述堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并且通过所述多个层间绝缘层彼此间隔开；以及

多个接触，其将所述多个导电层中的每个电连接到所述外围电路，其中所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域，

所述连接区域包括第一台阶部分和连接部分，所述第一台阶部分接触所述第一单元区域并且具有在朝向所述第二单元区域的方向上下降的阶梯形状，所述连接部分连接所述第一台阶部分和所述第二单元区域，以及

所述多个接触设置在所述第一台阶部分中。

17.如权利要求16所述的三维非易失性存储器，其中所述第二单元区域包括面对所述第一台阶部分的平坦侧壁。

18.如权利要求16所述的三维非易失性存储器，其中

Micron Ex. 1002, p. 134
Micron v. YMTC
IPR2025-00035

所述多个导电层中的每个在所述第一单元区域、所述第一台阶部分、所述连接部分和所述第二单元区域之上延伸。

19.如权利要求16所述的三维非易失性存储器，其中

所述连接部分包括第三台阶部分和与所述第三台阶部分间隔开的第四台阶部分，其中所述第三台阶部分和所述第四台阶部分中的每个连接所述第一台阶部分和所述第二单元区域，并且具有在朝向彼此的方向上下降的阶梯形状。

20.如权利要求16所述的三维非易失性存储器，其中

所述连接部分包括在第一方向上彼此间隔开的两个部分，其中所述两个部分中的每个在所述第一方向上的宽度随着离所述下部区域的距离减小而增加，并且所述两个部分之间在所述第一方向上的距离随着离所述下部区域的距离减小而减小。

Micron Ex. 1002, p. 135
Micron v. YMTC
IPR2025-00035

非易失性存储器件

技术领域

[0001] 本发明构思的实施方式涉及非易失性存储器件，更具体地，涉及包括垂直沟道结构的三维(3D)非易失性存储器件。

背景技术

[0002] 作为用于改善存储器件的集成密度和小型化的方法之一，已经开发了包括垂直沟道结构取代传统的二维(2D)结构的3D非易失性存储器件。由于3D非易失性存储器件的集成密度的提高和小型化，3D非易失性存储器件中包括的布线的连接由于布线的增加的长度而变得复杂。因此，需要一种3D非易失性存储器件，在其中布线布置在窄空间中的同时由于布线导致的RC延迟减小。

发明内容

[0003] 本发明构思的实施方式能提供具有高集成度和减小的电阻-电容(RC)延迟的三维(3D)非易失性存储器件。

[0004] 根据本发明构思的一方面，提供了一种3D非易失性存储器，包括：堆叠结构，其包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开，其中堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，连接区域包括第一台阶部分、第二台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状，连接部分连接第一单元区域和第二单元区域。

[0005] 根据本发明构思的另一方面，提供了一种3D非易失性存储器，包括：下部区域，其包括下基板和在下基板上的外围电路；以及在下部区域上的堆叠结构，堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，并且堆叠结构的连接区域包括台阶部分，该台阶部分具有从连接区域的外围朝向其中心下降的阶梯形状。

[0006] 根据本发明构思的另一方面，提供了一种3D非易失性存储器，包括：下部区域，其包括下基板和在下基板上的外围电路；在下部区域上的上基板；在上基板上的堆叠结构，堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开；以及多个接触，其将所述多个导电层中的每个电连接到外围电路。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，连接区域包括第一台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，连接部分连接第一台阶部分和第二单元区域。所述多个接触设置在第一台阶部分中。

Micron Ex. 1002, p. 136
Micron v. YMTC
IPR2025-00035

附图说明

[0007] 图1是根据本发明构思的一实施方式的三维(3D)非易失性存储器件的框图。

[0008] 图2是根据本发明构思的一实施方式的3D非易失性存储器件中多个存储单元块的一个存储单元块的等效电路的电路图。

[0009] 图3A是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0010] 图3B是沿图3A的线I-I'截取的连接部分的剖视图。

[0011] 图4是图3A和3B中所示的多个导电层中的一个的透视图。

[0012] 图5A是图3A和3B中所示的3D非易失性存储器件的详细俯视图。

[0013] 图5B是沿图5A的线II-II'截取的剖视图。

[0014] 图6是图5A和5B的垂直沟道结构的剖视图。

[0015] 图7(a)-7(d)是图6中的区域A的各种变型的放大图。

[0016] 图8是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0017] 图9是图8中所示的第一台阶部分和第二台阶部分的透视图。

[0018] 图10A和10B分别是根据本发明构思的一实施方式的3D非易失性存储器件的透视图和俯视图。

[0019] 图10C是沿线I-I'截取的图10A的连接部分的剖视图。

[0020] 图11A是图10A的台阶中的一个的透视图。

[0021] 图11B是图11A的台阶的变型的透视图。

[0022] 图12A和12B是图10A至10C中所示的3D非易失性存储器件的详细俯视图。

[0023] 图13A和13B分别是根据本发明构思的一实施方式的3D非易失性存储器件的透视图和俯视图。

[0024] 图14是图13A和13B中所示的多个导电层中的两个导电层的透视图。

[0025] 图15A是图13A和13B中所示的3D非易失性存储器件的详细俯视图。

[0026] 图15B是沿图15A的线III-III'截取的剖视图。

[0027] 图15C是沿图15A的线IV-IV'截取的剖视图。

[0028] 图16A是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0029] 图16B是沿图16A的线V-V'截取的剖视图。

[0030] 图17是图16A中所示的多个导电层中的一个的透视图。

[0031] 图18A是图16A和16B中所示的3D非易失性存储器件的详细俯视图。

[0032] 图18B是沿图18A的线II-II'截取的剖视图。

[0033] 图19是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0034] 图20A是图19的台阶部分的多个台阶中的一个的透视图。

[0035] 图20B是图20A的台阶的变型的透视图。

[0036] 图21是图19中所示的3D非易失性存储器件的详细俯视图。

具体实施方式

[0037] 图1是根据本发明构思的一实施方式的三维(3D)非易失性存储器件100的框图。

[0038] 参照图1,根据一实施方式,3D非易失性存储器件100包括存储单元阵列110和外围电路130。

Micron Ex. 1002, p. 137
Micron v. YMTC
IPR2025-00035

[0039] 根据一实施方式，存储单元阵列110包括多个存储单元块BLK1至BLKn，并且存储单元块BLK1至BLKn的每个包括多个存储单元。存储单元块BLK1至BLKn通过位线BL、字线WL、至少一个串选择线SSL以及至少一个地选择线GSL连接到外围电路130。更详细地，存储单元块BLK1至BLKn通过字线WL、至少一个串选择线SSL和至少一个地选择线GSL连接到行解码器133。此外，存储单元块BLK1至BLKn还通过位线BL连接到页缓冲器135。

[0040] 根据一实施方式，外围电路130从外部设备接收地址ADDR、命令CMD和控制信号CTRL，并且与3D非易失性存储器件100外部的另一外部设备交换数据DATA。外围电路130包括控制逻辑137、行解码器133和页缓冲器135。另外，外围电路130还可以包括各种子电路，诸如输入/输出电路、产生用于操作3D非易失性存储器件100的电压的电压产生电路、以及用于校正从存储单元阵列110读取的数据DATA中的错误的纠错电路。

[0041] 根据一实施方式，控制逻辑137连接到行解码器133、电压发生器和输入/输出电路。控制逻辑137控制3D非易失性存储器件100的操作。控制逻辑137响应于控制信号CTRL产生在3D非易失性存储器件100中使用的各种内部控制信号。例如，当执行诸如编程操作或擦除操作的存储操作时，控制逻辑137调整提供到字线WL和位线BL的电压水平。

[0042] 根据一实施方式，行解码器133响应于地址ADDR选择多个存储单元块BLK1至BLKn中的至少一个，并选择所选存储单元块BLK1至BLKn的至少一个字线WL、至少一个串选择线SSL和至少一个地选择线GSL。行解码器133将用于执行存储操作的电压发送到所选存储单元块BLK1至BLKn的字线WL。

[0043] 根据一实施方式，页缓冲器135通过多个位线BL连接到存储单元阵列110。页缓冲器135能作为写驱动器或读出放大器电路操作。更详细地，在编程操作期间，页缓冲器135作为写驱动器操作以将电压施加到位线BL，用于将数据DATA存储在存储单元阵列110中。另一方面，在读操作中，页缓冲器135作为读出放大器操作以读出存储在存储单元阵列110中的数据DATA。

[0044] 图2是根据本发明构思的一实施方式的3D非易失性存储器件100中多个存储单元块中的一个存储单元块BLK的等效电路的电路图。

[0045] 参照图2，根据一实施方式，存储单元块BLK是垂直NAND闪速存储器，并且图1中所示的多个存储单元块BLK1至BLKn中的每个能如图2中所示地实现。存储单元块BLK包括多个NAND串NS11至NS33、多个字线WL1至WL7、多个位线BL1至BL3、至少一个地选择线GSL、多个串选择线SSL1至SSL3、以及公共源极线CSL。NAND串NS11至NS33的数量、字线WL1至WL7的数量、位线BL1至BL3的数量、地选择线GSL的数量、以及串选择线SSL1至SSL3的数量不限于图中所示的数量，并且可以根据其它实施方式改变。

[0046] 根据一实施方式，共同连接到一个位线的NAND串形成一列。例如，共同连接到第一位线BL1的NAND串NS11、NS21和NS31对应于第一列，共同连接到第二位线BL2的NAND串NS12、NS22和NS32对应于第二列，并且共同连接到第三位线BL3的NAND串NS13、NS23和NS33对应于第三列。

[0047] 根据一实施方式，连接到一个串选择线的NAND串形成一行。例如，连接到第一串选择线SSL1的NAND串NS11、NS12和NS13对应于第一行，连接到第二串选择线SSL2的NAND串NS21、NS22和NS23对应于第二行，并且连接到第三串选择线SSL3的NAND串NS31、NS32和NS33对应于第三行。

Micron Ex. 1002, p. 138
Micron v. YMTC
IPR2025-00035

[0048] 根据一实施方式，NAND串NS11至NS33中的每个包括串联连接的串选择晶体管SST、多个存储单元MC1至MC7和地选择晶体管GST。另外，在一些实施方式中，在串选择晶体管SST与最顶部的存储单元(例如第七存储单元MC7)之间或者在地选择晶体管GST与最底部的存储单元(例如第一存储单元MC1)之间包括至少一个虚设单元。

[0049] 根据一实施方式，串选择晶体管SST连接到对应的串选择线SSL1至SSL3以及对应的位线BL1至BL3。多个存储单元MC1至MC7分别连接到对应的字线WL1至WL7。地选择晶体管GST连接到对应的地选择线GSL和公共源极线CSL。

[0050] 在图2中，根据一实施方式，串选择线SSL1至SSL3彼此分离，地选择线GSL彼此连接，并且相同水平处的字线WL1至WL7彼此连接。然而，本发明构思的实施方式不限于此。例如，在其它实施方式中，地选择线GSL像串选择线SSL1至SSL3那样彼此分离。

[0051] 图3A是根据本发明构思的一实施方式的3D非易失性存储器件100的透视图。图3B是沿图3A的线I-I'截取的连接部分的剖视图。为了便于说明，在图3B中仅示出了连接部分。

[0052] 参照图3A，根据一实施方式，根据本发明构思的一实施方式的3D非易失性存储器件100包括下部区域LR和上部区域UR。图1中所示的外围电路130位于下部区域LR中，图1中所示的存储单元阵列110位于上部区域UR中。也就是，根据本发明构思的一实施方式的3D非易失性存储器件100是外围电路上单元或外围电路之上单元(COP)类型。由于图1中所示的外围电路130在存储单元阵列110下方，所以3D非易失性存储器件100占据的平面面积减小，并且3D非易失性存储器件100的集成度增加。

[0053] 根据一实施方式，上部区域UR中的存储单元阵列110包括堆叠结构SS。堆叠结构SS包括多个层间绝缘层160和多个导电层150。例如，堆叠结构SS包括第一绝缘层161至第九绝缘层169以及第一导电层151至第九导电层159。多个层间绝缘层160和多个导电层150中的每个在一个方向(诸如Z方向)上交替地堆叠。例如，第一导电层151、第一层间绝缘层161、第二导电层152、第二层间绝缘层162、第三导电层153、第三层间绝缘层163等从底部开始顺序地堆叠。也就是，多个导电层150通过多个层间绝缘层160彼此分离。多个层间绝缘层160中的每个包括绝缘体，诸如硅氧化物或低电介质(低k)材料。多个导电层150中的每个包括诸如钨(W)、铝(Al)、铜(Cu)或金(Au)的金属、掺杂的硅、金属氮化物和金属硅化物中的至少一种。

[0054] 根据一实施方式，Z方向是多个导电层150和多个层间绝缘层160堆叠并且指向远离下部区域LR的方向。这里，两个物体或两个部件位于相同水平处的事实意思是相对于每个物体的中心或每个部件的中心的任意原点的Z方向坐标彼此相等。此外，一物体或部件在比另一物体或部件更高的水平处的事实意思是相对于该物体或部件的任意原点的Z方向坐标大于另一物体或部件的Z方向坐标。另外，一物体或部件在比另一物体或部件更低的水平处的事实意思是相对于该物体或部件的任意原点的Z方向坐标小于另一物体或部件的Z方向坐标。

[0055] 根据一实施方式，堆叠结构SS的顶部通过多个串选择线切口SLC被分成彼此分离的多个部分。因此，堆叠结构SS中的多个导电层150中最顶部的导电层(例如第九导电层159)包括通过串选择线切口SLC彼此分离的多个部分。

[0056] 根据一实施方式，堆叠结构SS包括第一单元区域Ce111、第二单元区域Ce112和连接区域CR。第一单元区域Ce111和第二单元区域Ce112彼此间隔开。连接区域CR定位在第一

Micron Ex. 1002, p. 139
Micron v. YMTC
IPR2025-00035

单元区域Cell1与第二单元区域Cell2之间。连接区域CR包括第一台阶部分SP1、第二台阶部分SP2和连接部分CP。第一台阶部分SP1具有与第一单元区域Cell1接触的阶梯形状，该阶梯形状在接近第二单元区域Cell2的方向(例如Y方向)上下降。第二台阶部分SP2具有与第二单元区域Cell2接触的阶梯形状，该阶梯形状在接近第一单元区域Cell1的方向(例如负Y方向)上下降。第一台阶部分SP1和第二台阶部分SP2中的每个包括多个台阶ST。第一台阶部分SP1的台阶ST中的至少一个在与第二台阶部分SP2的台阶ST中的一个相同的水平处。例如，如图3A所示，第一台阶部分SP1的台阶ST分别在与第二台阶部分SP2的对应台阶ST相同的水平处。然而，本发明构思的实施方式不限于此。连接部分CP连接第一单元区域Cell1和第二单元区域Cell2。连接部分CP还接触第一台阶部分SP1和第二台阶部分SP2。连接部分CP的一个侧壁与第一单元区域Cell1的一个侧壁和第二单元区域Cell2的一个侧壁例如沿YZ平面对准。

[0057] 参照图3A和3B，根据一实施方式，堆叠结构SS的连接部分CP包括第一连接部分CP1和第二连接部分CP2。第一连接部分CP1和第二连接部分CP2在诸如X方向的间隔方向上彼此间隔开。第一连接部分CP1在诸如X方向的间隔方向上的宽度W1和第二连接部分CP2在诸如X方向的间隔方向上的宽度W2是恒定的，而与Z方向上的高度无关。另外，第一连接部分CP1与第二连接部分CP2之间在X方向上的距离D12是恒定的，而与垂直位置(诸如Z方向上的高度)无关。

[0058] 图4是图3A和3B中所示的多个导电层150中的一个的透视图。

[0059] 参照图4和3A，根据一实施方式，导电层150在第一单元区域Cell1、第一台阶部分SP1、连接部分CP、第二台阶部分SP2和第二单元区域Cell2之上延伸。导电层150包括在第一单元区域Cell1中的第一部分150a、在第二单元区域Cell2中的第二部分150b、以及在连接区域CR中的第三部分150c。第三部分150c在连接部分CP、第一台阶部分SP1和第二台阶部分SP2之上延伸。第三部分150c连接第一部分150a和第二部分150b。

[0060] 图5A是图3A和3B中所示的3D非易失性存储器件100的详细俯视图。图5B是沿图5A的线II-II'截取的剖视图。图6是图5A和5B的垂直沟道结构的剖视图。图7是图6中的区域A的各种变型的放大图。

[0061] 根据一实施方式，首先参照图5B，下部区域LR可以包括下基板190、图1中所示的外围电路130、以及下导电线120。下基板190包括诸如单晶硅或单晶锗的半导体，并且是体晶片或外延层。外围电路130的详细描述如以上参照图1所述。图5B说明性地示出了图1中所示的外围电路130的行解码器133的晶体管中的一个。下导电线120中的每个包括诸如硅的半导体。每个下导电线120的材料具有比诸如W、Al或Cu的金属更高的电阻率。下导电线120包括在多个水平处的导线。例如，如图5B所示，下导电线120包括第一下导电线121和第二下导电线122。然而，下导电线120的层数不限于此，并且在其它实施方式中可以变化。

[0062] 根据一实施方式，上部区域UR包括上基板180、缓冲绝缘层140、图3A中所示的堆叠结构SS、以及垂直沟道结构VS。上基板180包括诸如多晶硅的半导体。上基板180可以包括n型或p型掺杂阱区域182。缓冲绝缘层140设置在堆叠结构SS与上基板180之间。缓冲绝缘层140包括诸如硅氧化物的绝缘体。虽然图5B示出了在一个堆叠结构SS下方彼此分离的两个上基板180，但是在一些实施方式中，一个集成的上基板180设置在一个堆叠结构SS下方。垂直沟道结构VS设置在堆叠结构SS的第一单元区域Cell1和第二单元区域Cell2中。

Micron Ex. 1002, p. 140
Micron v. YMTC
IPR2025-00035

[0063] 参照图6，根据一实施方式，垂直沟道结构VS在垂直于上基板180的方向(诸如Z方向)上延伸。垂直沟道结构VS穿透多个导电层150和多个层间绝缘层160的堆叠结构SS。垂直沟道结构VS还穿透缓冲绝缘层140并接触上基板180的阱区域182。

[0064] 根据一实施方式，垂直沟道结构VS包括沟道图案171、间隙填充绝缘图案172和焊盘图案174。沟道图案171在垂直于上基板180的方向(诸如Z方向)上延伸。沟道图案171具有拥有闭合底部的中空圆筒形状。沟道图案171包括诸如硅、锗或硅锗的半导体。沟道图案171的内壁表面，即由沟道图案171围绕的中空部H由间隙填充绝缘图案172填充。间隙填充绝缘图案172包括诸如硅氧化物的绝缘体。在其它实施方式中，与图6不同，沟道图案171具有圆柱或圆形柱形状。在这种情况下，由于沟道图案171不形成中空部H，所以垂直沟道结构VS不包括间隙填充绝缘图案172。焊盘图案174覆盖间隙填充绝缘图案172的上端和沟道图案171的上端。焊盘图案174包括诸如硅、锗或硅锗的半导体。焊盘图案174连接到位线接触BLC，用于将垂直沟道结构VS连接到位线BL。

[0065] 根据一实施方式，信息存储层173设置在垂直沟道结构VS的沟道图案171与堆叠结构SS的相应导电层150之间。信息存储层173不仅在导电层150与沟道图案171之间延伸，而且在导电层150与层间绝缘层160之间延伸。参照图7的部分(a)，其更详细地示出了信息存储层173，信息存储层173包括阻挡绝缘层173c、电荷存储层173b和隧道绝缘层173a。阻挡绝缘层173c与导电层150相邻，隧道绝缘层173a与沟道图案171相邻，并且电荷存储层173b设置在阻挡绝缘层173c与隧道绝缘层173a之间。阻挡绝缘层173c包括高电介质材料，诸如铝氧化物或铪氧化物。电荷存储层173b是陷阱型。例如，电荷存储层173b包括量子点或纳米晶体。这里，量子点或纳米晶体包括导体的细颗粒。电荷存储层173b包括例如硅氮化物。隧道绝缘层173a包括例如硅氧化物。

[0066] 根据一实施方式，如图7的部分(b)至(d)所示，信息存储层173的布置和形状可以变化。根据一些实施方式，如图7的部分(b)所示，隧道绝缘层173a在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。根据一些实施方式，如图7的部分(c)所示，隧道绝缘层173a和电荷存储层173b在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。根据一些实施方式，如图7的部分(d)所示，信息存储层173的所有层，也就是，隧道绝缘层173a、电荷存储层173b和阻挡绝缘层173c，在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。

[0067] 参照图6和2，根据一实施方式，一个垂直沟道结构VS、多个导电层150和多个信息存储层173形成多个NAND串NS11至NS33中的一个。也就是，多个导电层150中的一个、一个垂直沟道结构VS、以及信息存储层173中的一个形成一个晶体管。例如，第一导电层151可以对应于地选择晶体管GST的栅电极。第二导电层152至第八导电层158可以分别对应于第一存储单元MC1至第七存储单元MC7的栅电极。第九导电层159可以对应于串选择晶体管SST的栅电极。多个NAND串NS11至NS33中的每个的漏极区域可以形成在垂直沟道结构VS的焊盘图案174中，并且用于多个NAND串NS11至NS33的公共源极区域可以形成在上基板180中。图6示出了堆叠结构SS包括第一导电层151至第九导电层159。然而，实施方式不限于此，并且堆叠结构SS的导电层150的数量可以取决于多个NAND串NS11至NS33中的每个中包括的地选择晶体管GST的数量、存储单元MC1至MC7的数量、串选择晶体管SST的数量、以及虚设单元的数量而

Micron Ex. 1002, p. 141
Micron v. YMTC
IPR2025-00035

变化。

[0068] 根据一实施方式，图5A和5B示出了堆叠结构SS与上导电线之间的连接。术语“上导电线”统一指的是位于比堆叠结构SS更高的水平处的导电线。因此，上导电线包括位线BL、串选择线SSL、地选择线GSL和字线WL1至WL7。位线BL、串选择线SSL、地选择线GSL、字线WL1至WL7、位线接触BLC、串选择线接触SSLC、地选择线接触GSLC和字线接触WLC1至WLC7中的每个包括诸如W、A1或Cu的金属。当上导电线包括金属时，上导电线的电阻小于包括诸如硅的半导体的下导电线120的电阻。上导电线位于一个水平处，图5B示出了位线BL和第四字线WL4位于完全相同的水平处。然而，在其它实施方式中，与图5B不同，上导电线包括在不同水平处的导电线。

[0069] 根据一实施方式，每个位线BL在一个方向(诸如X方向)上延伸。位线BL通过位线接触BLC分别连接到第一单元区域Cell1和第二单元区域Cell2的垂直沟道结构VS。

[0070] 根据一实施方式，串选择线SSL通过串选择线接触SSLC连接到堆叠结构SS的多个导电层151至159中的最上层，诸如第九导电层159。

[0071] 根据一实施方式，地选择线GSL通过地选择线GSLC连接到堆叠结构SS的多个导电层151至159中的最下层，诸如第一导电层151。地选择线接触GSLC是第一台阶部分SP1的最低台阶ST1或第二台阶部分SP2的最低台阶ST1。例如，在图5A中，地选择线接触GSLC在第一台阶部分SP1的最低台阶ST1处。

[0072] 根据一实施方式，字线WL1至WL7通过字线接触WLC1至WLC7连接到剩余层，诸如第二导电层152至第八导电层158。例如，第四字线WL4连接到第五导电层155。字线接触WLC1至WLC7是第一台阶部分SP1和第二台阶部分SP2。例如，连接到第一字线WL1的字线接触WLC1是第一台阶部分SP1的第二低台阶ST2或第二台阶部分SP2的第二低台阶ST2。连接到第二字线WL2的字线接触WLC2是第一台阶部分SP1的第三低水平台阶ST3或第二台阶部分SP2的第三低水平台阶ST3。图5A示出了字线接触WLC1至WLC7交替地布置在第二台阶部分SP2和第一台阶部分SP1中。也就是，连接到第一字线WL1的字线接触WLC1、连接到第三字线WL3的字线接触WLC3、连接到第五字线WL5的字线接触WLC5、以及连接到第七字线WL7的字线接触WLC7位于第二台阶部分SP2中，并且连接到第二字线WL2的字线接触WLC2、连接到第四字线WL4的字线接触WLC4、以及连接到第六字线WL6的字线接触WLC6位于第一台阶部分SP1中。然而，本发明构思的实施方式不限于此，并且字线接触WLC1至WLC7的布置在其它实施方式中可以改变。

[0073] 根据一实施方式，位线BL、字线WL1至WL7、串选择线SSL和地选择线GSL通过下导电线120连接到下部区域LR的外围电路130。更详细地，位线BL连接到图1中所示的外围电路130的页缓冲器135，并且串选择线SSL和地选择线GSL连接到外围电路130的行解码器133。图5B说明性地示出了第四字线WL4连接到外围电路130的行解码器133的晶体管。

[0074] 依照根据本发明构思的一实施方式的3D非易失性存储器件100，堆叠结构SS中的导电层150通过连接区域CR从第一单元区域Cell1延伸到第二单元区域Cell2。结果，相同的电压能被施加到导电层150的第一单元区域Cell1中的图4所示的第一部分150a和导电层150的第二单元区域Cell2中的图4所示的第二部分150b而不额外地使用下导电线120。当下导电线120包括具有比金属更高的电阻率的硅，并且被包括在3D非易失性存储器件100中时，3D非易失性存储器件100的RC延迟可能增加。然而，依照根据本发明构思的一实施方式

Micron Ex. 1002, p. 142
Micron v. YMTC
IPR2025-00035

的3D非易失性存储器件100，能抑制RC延迟的增加，因为没有连接导电层150的第一部分150a和第二部分150b的额外的下导电线120。另外，可以减小将电压传输到导电层150的布线所占据的空间。

[0075] 图8是根据本发明构思的一实施方式的3D非易失性存储器件200的透视图。图9是图8中所示的第一台阶部分SP1和第二台阶部分SP2的透视图。在下文中，将通过关注与图3A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件200。

[0076] 参照图8和9，根据一实施方式，根据本实施方式的3D非易失性存储器件200的第一台阶部分SP1和第二台阶部分SP2中的至少一个具有子台阶SST1和SST2。图8和9示出了第一台阶部分SP1和第二台阶部分SP2的每个台阶ST具有两个子台阶SST1和SST2。然而，并非所有台阶ST都需要具有子台阶SST1和SST2，并且形成一个台阶ST的子台阶的数量不限于两个。第一子台阶SST1的一个方向上的宽度和第二子台阶SST2的相同方向上的宽度彼此不同。例如，第一子台阶SST1的X方向上的宽度WX1大于第二子台阶SST2的X方向上的宽度WX2。第一子台阶SST1的另一方向上的宽度和第二子台阶SST2的相同方向上的宽度彼此相等。例如，第一子台阶SST1的Y方向上的宽度和第二子台阶SST2的Y方向上的宽度等于WY。将导电层150连接到图5A中所示的字线WL1至WL7的图5A中所示的字线接触WLC1至WLC7位于子台阶SST1和SST2中。由于台阶ST的子台阶结构，确保了用于字线接触WLC1至WLC7的足够空间。另外，减小了连接区域CR的平面面积，并且减小了3D非易失性存储器件200的整体尺寸。

[0077] 图10A和10B分别是根据本发明构思的一实施方式的3D非易失性存储器件300的透视图和俯视图。图10C是沿线I-I'截取的图10A的连接部分的剖视图。图11A是图10A的台阶部分的台阶中的一个的透视图。图11B是图11A的台阶的变型的透视图。在下文中，将通过关注与图3A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件300。

[0078] 参照图10A至10C，根据一实施方式，堆叠结构SS的连接区域CR的连接部分CP包括第三台阶部分SP3和第四台阶部分SP4。第三台阶部分SP3连接第一台阶部分SP1和第二台阶部分SP2。第四台阶部分SP4也连接第一台阶部分SP1和第二台阶部分SP2。第三台阶部分SP3和第四台阶部分SP4中的每个具有在朝向彼此的方向上下降的阶梯形状。例如，第三台阶部分SP3具有在X方向上下降的阶梯形状，第四台阶部分SP4具有在负X方向上下降的阶梯形状。第三台阶部分SP3和第四台阶部分SP4在X方向上彼此间隔开。如图10C所示，随着第三台阶部分SP3和第四台阶部分SP4的高度接近下部区域LR，第三台阶部分SP3的X方向上的宽度W3和第四台阶部分SP4的X方向上的宽度W4增加。随着第三台阶部分SP3和第四台阶部分SP4的高度接近下部区域LR，第三台阶部分SP3和第四台阶部分SP4之间在X方向上的距离D减小。

[0079] 换言之，根据一实施方式，堆叠结构SS的连接区域CR包括台阶部分SP，该台阶部分SP包括第一台阶部分SP1、第二台阶部分SP2、第三台阶部分SP3和第四台阶部分SP4。台阶部分SP具有从连接区域CR的外围朝向连接区域CR的中心下降的阶梯形状。

[0080] 如图11A所示，根据一实施方式，图10A的台阶部分SP的每个台阶ST可以具有环矩形形状。根据一些实施方式，如图11B所示，图10A的台阶部分SP的每个台阶ST包括子台阶SST1至SST4。子台阶的数量不限于四个并且可以改变。

[0081] 图12A和12B是图10A至10C中所示的3D非易失性存储器件300的详细俯视图。在下文中，将通过关注在字线接触的布置方面与图5A的实施方式的不同来描述实施方式。

Micron Ex. 1002, p. 143
Micron v. YMTC
IPR2025-00035

[0082] 参照图12A，根据本实施方式，字线接触WLC1至WLC7位于第三台阶部分SP3和第四台阶部分SP4以及第一台阶部分SP1和第二台阶部分SP2中。例如，连接到第二字线WL2的字线接触WLC2和连接到第六字线WL6的字线接触WLC6位于第一台阶部分SP1中，连接到第四字线WL4的字线接触WLC4和连接到第七字线WL7的字线接触WLC7位于第二台阶部分SP2中，连接到第一字线WL1的字线接触WLC1和连接到第五字线WL5的字线接触WLC5位于第三台阶部分SP3中，并且连接到第三字线WL3的字线接触WLC3位于第四台阶部分SP4中。依照根据本实施方式的3D非易失性存储器件300a，确保了用于字线接触WLC1至WLC7的足够空间，因为字线接触WLC1至WLC7中的至少一些设置在第三台阶部分SP3和第四台阶部分SP4中。

[0083] 根据图12B的实施方式，字线接触WLC1至WLC7位于第一台阶部分SP1和第二台阶部分SP2中，但不位于第三台阶部分SP3和第四台阶部分SP4中。

[0084] 图13A和13B分别是根据本发明构思的一实施方式的3D非易失性存储器件400的透视图和俯视图。在下文中，将通过关注与图10A至10C的实施方式的不同来描述本实施方式。

[0085] 参照图13A和13B，根据一实施方式，连接部分CP连接第一台阶部分SP1的下部SP1_L和第二台阶部分SP2的下部SP2_L，但不连接第一台阶部分SP1的上部SP1_U和第二台阶部分SP2的上部SP2_U。

[0086] 图14是图13A和13B中所示的多个导电层中的两个导电层的透视图。

[0087] 参照图14，根据一实施方式，图13A中所示堆叠结构SS的上部的多个导电层150中的一层(诸如第五导电层155)在第一单元区域Cell1、第一台阶部分SP1的一部分、第二台阶部分SP2的一部分和第二单元区域Cell2之上延伸。另外，第五导电层155包括第一部分155a和第二部分155b。第五导电层155的第一部分155a在第一单元区域Cell1和第一台阶部分SP1的所述部分之上延伸。第五导电层155的第二部分155b在第二单元区域Cell2和第二台阶部分SP2的所述部分之上延伸。另外，图13A和13B中所示堆叠结构SS的下部的多个导电层150中的一层(诸如第四导电层154)在第一单元区域Cell1、第一台阶部分SP1、连接部分CP、第二台阶部分SP2和第二单元区域Cell2之上延伸。另外，第四导电层154包括在第一单元区域Cell1中的第一部分154a、在第二单元区域Cell2中的第二部分154b、以及在连接区域CR中的第三部分154c。第三部分154c在第一台阶部分SP1、连接部分CP和第二台阶部分SP2之上延伸。第三部分154c连接第一部分154a和第二部分154b。

[0088] 图15A是图13A和13B中所示的3D非易失性存储器件400的详细俯视图。图15B是沿图15A的线III-III'截取的剖视图。图15C是沿图15A的线IV-IV'截取的剖视图。

[0089] 参照图15A和15B，根据一实施方式，字线接触WLC3可以设置在第一台阶部分SP1或第二台阶部分SP2中，该字线接触WLC3将堆叠结构SS的下部的多个导电层150中的一层(诸如第四导电层154)连接到字线(诸如第三字线WL3)。如图14所示，由于第三部分154c连接第一部分154a和第二部分154b，所以如果一个字线接触WLC3连接到第一部分154a或第二部分154b就足够了。

[0090] 另外，参照图15A和15C，根据一实施方式，为了将堆叠结构SS的上部的多个导电层150中的一层(诸如第五导电层155)连接到字线(诸如第四字线WL4)，第一台阶部分SP1和第二台阶部分SP2分别需要两个字线接触WLC4a和WLC4b。第五导电层155包括如图14所示的彼此分离的第一部分155a和第二部分155b，并且两个字线接触WLC4a和WLC4b分别连接到第一部分155a和第二部分155b。两个字线接触WLC4a和WLC4b连接到上布线，诸如第四字线WL4。

Micron Ex. 1002, p. 144
Micron v. YMTC
IPR2025-00035

也就是，第一部分155a和第二部分155b通过位于比堆叠结构SS更高的水平处的上导电线彼此连接。

[0091] 图16A是根据本发明构思的一实施方式的3D非易失性存储器件600的透视图。图16B是沿图16A的线V-V'截取的剖视图。在下文中，将通过关注与图3A和3B的实施方式的不同来描述根据本实施方式的3D非易失性存储器件600。

[0092] 参照图16A和16B，根据一实施方式，根据本实施方式的3D非易失性存储器件600的堆叠结构SS的连接区域CR包括第一台阶部分SP1和连接部分CP，但是没有第二台阶部分SP2。也就是，第二单元区域Cell2的面对第一单元区域Cell1的侧壁是平坦的。

[0093] 图17是图16A中所示的多个导电层中的一个的透视图。

[0094] 参照图17，根据一实施方式，导电层150在第一单元区域Cell1、第一台阶部分SP1、连接部分CP和第二单元区域Cell2之上延伸。导电层150包括在第一单元区域Cell1中的第一部分150a、在第二单元区域Cell2中的第二部分150b、以及在连接区域CR中的第三部分150c。第三部分150c在连接部分CP和第一台阶部分SP1之上延伸。第三部分150c连接第一部分150a和第二部分150b。

[0095] 图18A是图16A和16B中所示的3D非易失性存储器件600的详细俯视图。图18B是沿图18A的线II-II'截取的剖视图。在下文中，将通过关注与图5A和5B的实施方式的不同来描述本实施方式。

[0096] 参照图18A和18B，根据一实施方式，一个集成的上基板180设置在一个堆叠结构SS下方。字线接触WLC1至WLC7连接到堆叠结构SS的连接区域CR的第一台阶部分SP1。例如，图18B示出了将第五导电层155连接到第四字线WL4的字线接触WLC4位于第一台阶部分SP1处。连接到所有字线(诸如第一字线WL1至第七字线WL7)的所有字线接触WLC1至WLC7都设置在第一台阶部分SP1中。因为第二台阶部分SP2被省略，所以减小了连接区域CR的Y方向长度。因此，可以减小根据本发明构思的一实施方式的3D非易失性存储器件700的尺寸。

[0097] 根据一些实施方式，第一台阶部分SP1的台阶ST中的至少一个包括如图9所示的子台阶SST1和SST2。

[0098] 图19是根据本发明构思的一实施方式的3D非易失性存储器件800的透视图。图20A是图19的台阶部分的多个台阶中的一个的透视图。图20B是图20A的台阶的变型的透视图。在下文中，将通过关注与图16A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件800。

[0099] 依照根据本实施方式的3D非易失性存储器件800，堆叠结构SS的连接部分CP包括第三台阶部分SP3和第四台阶部分SP4。第三台阶部分SP3连接第一台阶部分SP1和第二单元区域Cell2。第四台阶部分SP4也连接第一台阶部分SP1和第二单元区域Cell2。第三台阶部分SP3和第四台阶部分SP4中的每个具有在朝向彼此的方向上下降的阶梯形状。沿线I-I'切割的连接部分CP的剖面与图10C的剖面相同。第二单元区域Cell2的面对第一台阶部分SP1的整个侧壁是平坦的。如图10C所示，第三台阶部分SP3和第四台阶部分SP4在X方向上彼此间隔开。第三台阶部分SP3的X方向上的宽度W3和第四台阶部分SP4的X方向上的宽度W4朝向下部区域LR增加。第三台阶部分SP3与第四台阶部分SP4之间在X方向上的距离D朝向下部区域LR减小。

[0100] 换言之，根据一实施方式，堆叠结构SS的连接区域CR包括台阶部分SP，并且台阶部

Micron Ex. 1002, p. 145
Micron v. YMTC
IPR2025-00035

分SP包括第一台阶部分SP1、第三台阶部分SP3和第四台阶部分SP4。参照图20A，台阶部分SP的每个台阶ST具有直角U形或缺少四个边中的一个的环矩形形状。参照图20B，根据一些实施方式，台阶部分SP的每个台阶ST包括子台阶SST1至SST3。

[0101] 根据一些实施方式，类似于图13A和13B的实施方式，第三台阶部分SP3和第四台阶部分SP4连接第一台阶部分SP1的下部和第二单元区域Cell2的下部，但不连接第一台阶部分SP1的上部和第二单元区域Cell2的上部。

[0102] 图21是图19中所示的3D非易失性存储器件800的详细俯视图。在下文中，将通过关注与图18A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件800。

[0103] 参照图21，根据本实施方式，字线接触WLC1至WLC7中的至少一些连接到堆叠结构SS的连接区域CR的第三台阶部分SP3和第四台阶部分SP4以及第一台阶部分SP1。例如，连接到第一字线WL1的字线接触WLC1、连接到第四字线WL4的字线接触WLC4、以及连接到第七字线WL7的字线接触WLC7位于第一台阶部分SP1中，连接到第二字线WL2的字线接触WLC2和连接到第五字线WL5的字线接触WLC5位于第三台阶部分SP3中，并且连接到第三字线WL3的字线接触WLC3和连接到第六字线WL6的字线接触WLC6位于第四台阶部分SP4中。因为字线接触WLC1至WLC7中的至少一些设置在第三台阶部分SP3和第四台阶部分SP4中，所以确保了用于字线接触WLC1至WLC7的足够空间。

[0104] 根据另一实施方式，字线接触WLC1至WLC7设置在第一台阶部分SP1中，但不设置在第三台阶部分SP3和第四台阶部分SP4中。

[0105] 尽管已经参照本发明构思的示例性实施方式具体示出和描述了本发明构思的实施方式，但是将理解，可以在此进行在形式和细节上的各种改变而不背离所附权利要求的精神和范围。

[0106] 本申请要求享有2017年11月7日在韩国知识产权局提交的韩国专利申请第10-2017-0147611号的优先权及权益，其内容通过引用全文在此合并。

Micron Ex. 1002, p. 146
Micron v. YMTC
IPR2025-00035

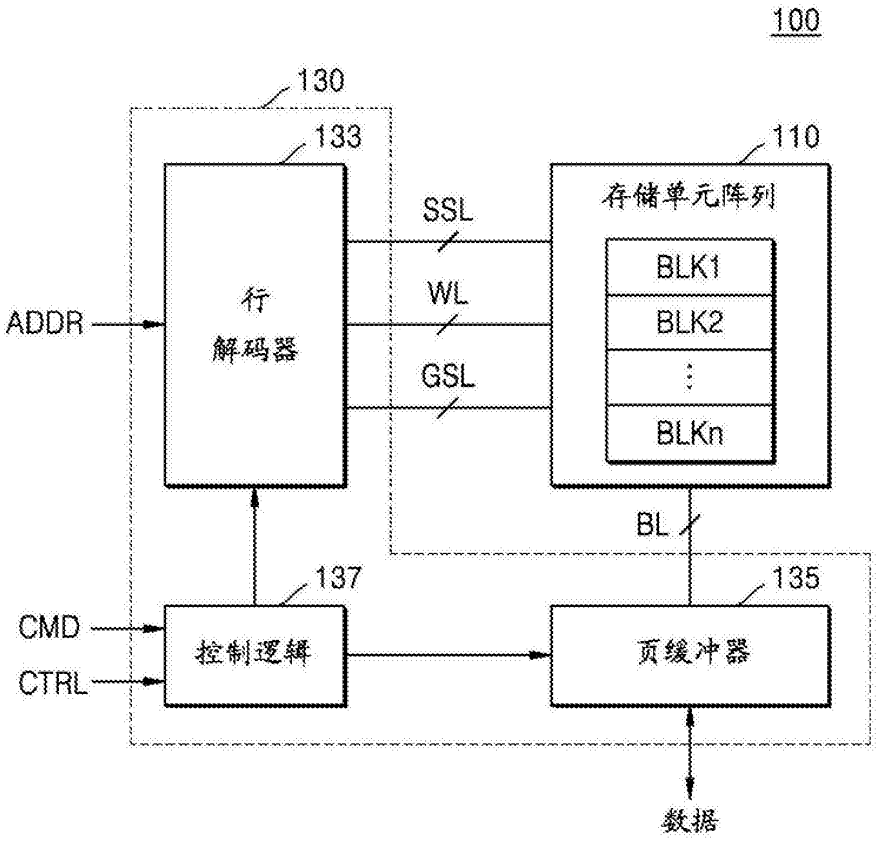


图1

Micron Ex. 1002, p. 147
Micron v. YMTC
IPR2025-00035

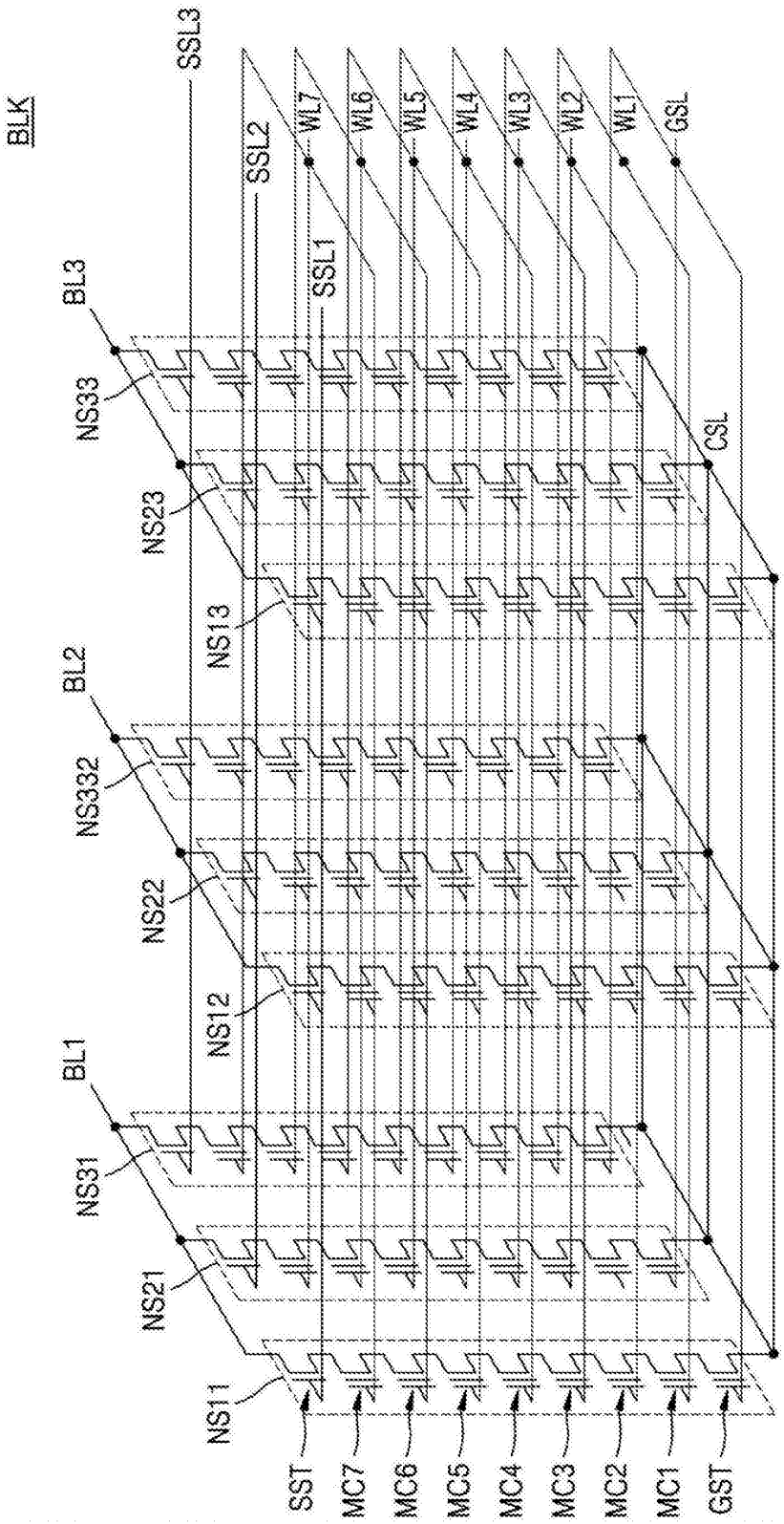


图2

Micron Ex. 1002, p. 148
Micron v. YMTC
IPR2025-00035

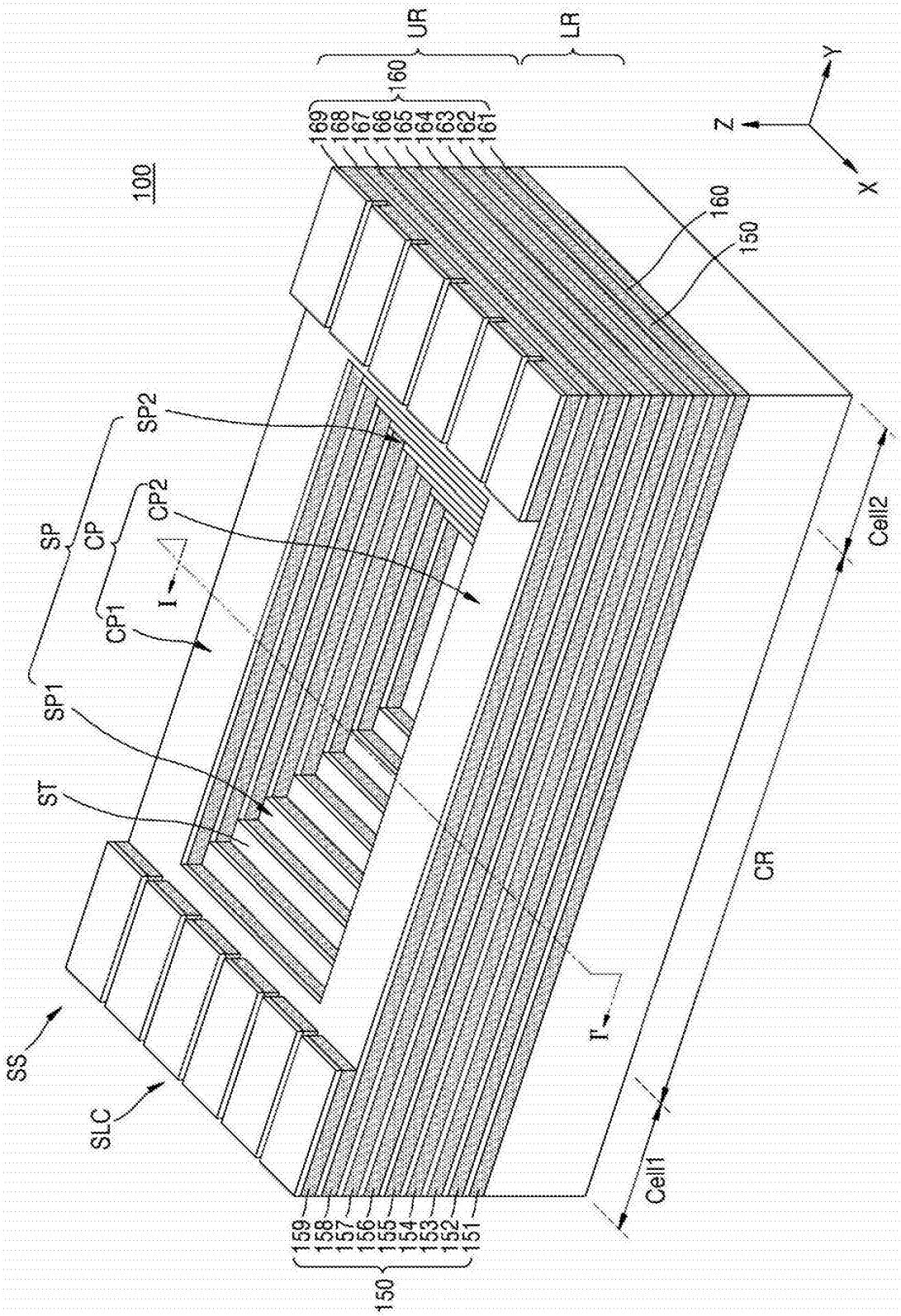


图3A

Micron Ex. 1002, p. 149
Micron v. YMTC
IPR2025-00035

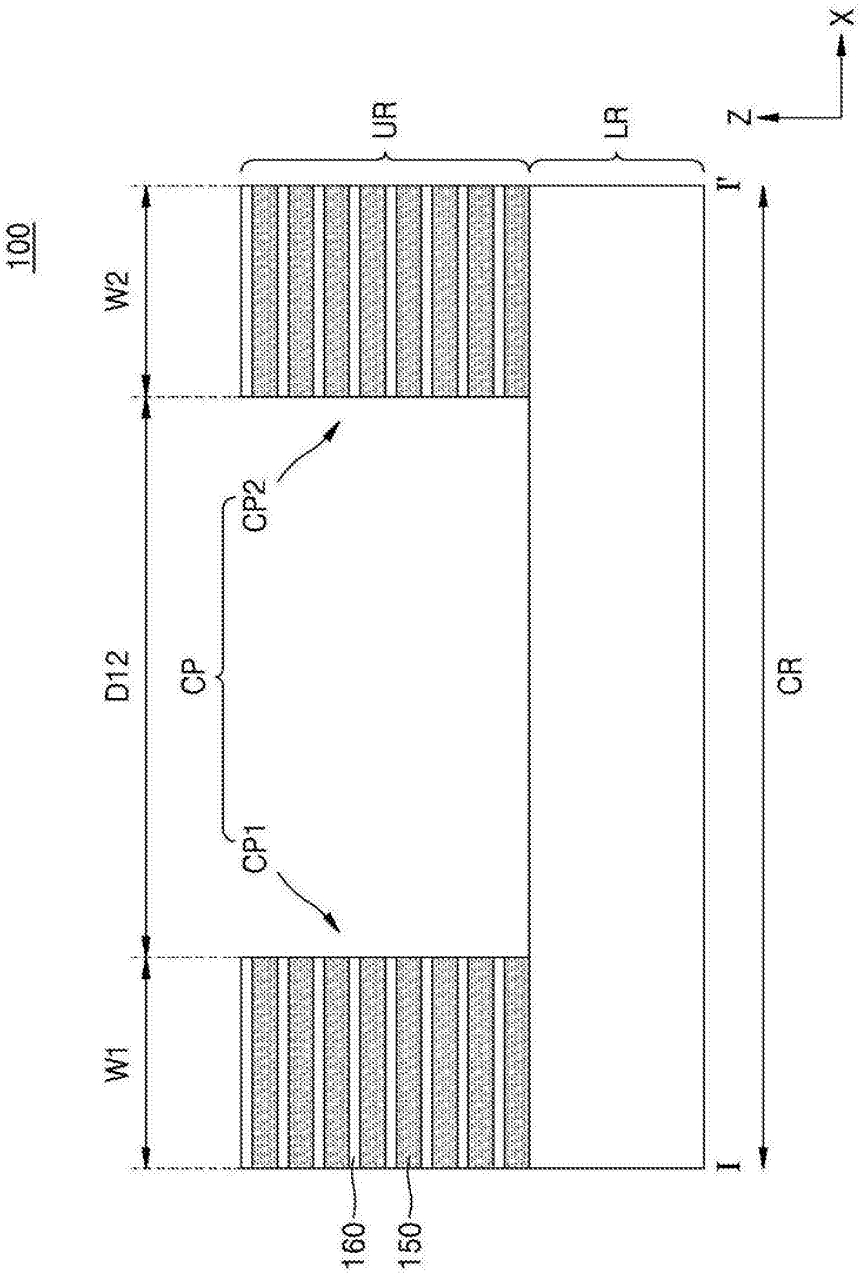


图3B

Micron Ex. 1002, p. 150
Micron v. YMTC
IPR2025-00035

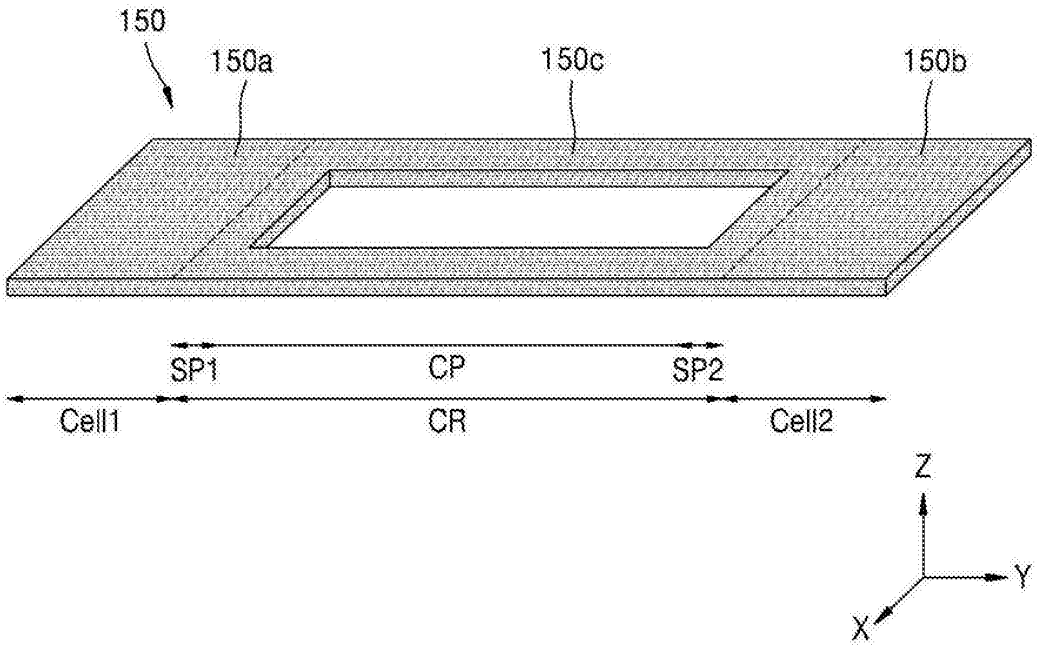


图4

Micron Ex. 1002, p. 151
Micron v. YMTC
IPR2025-00035

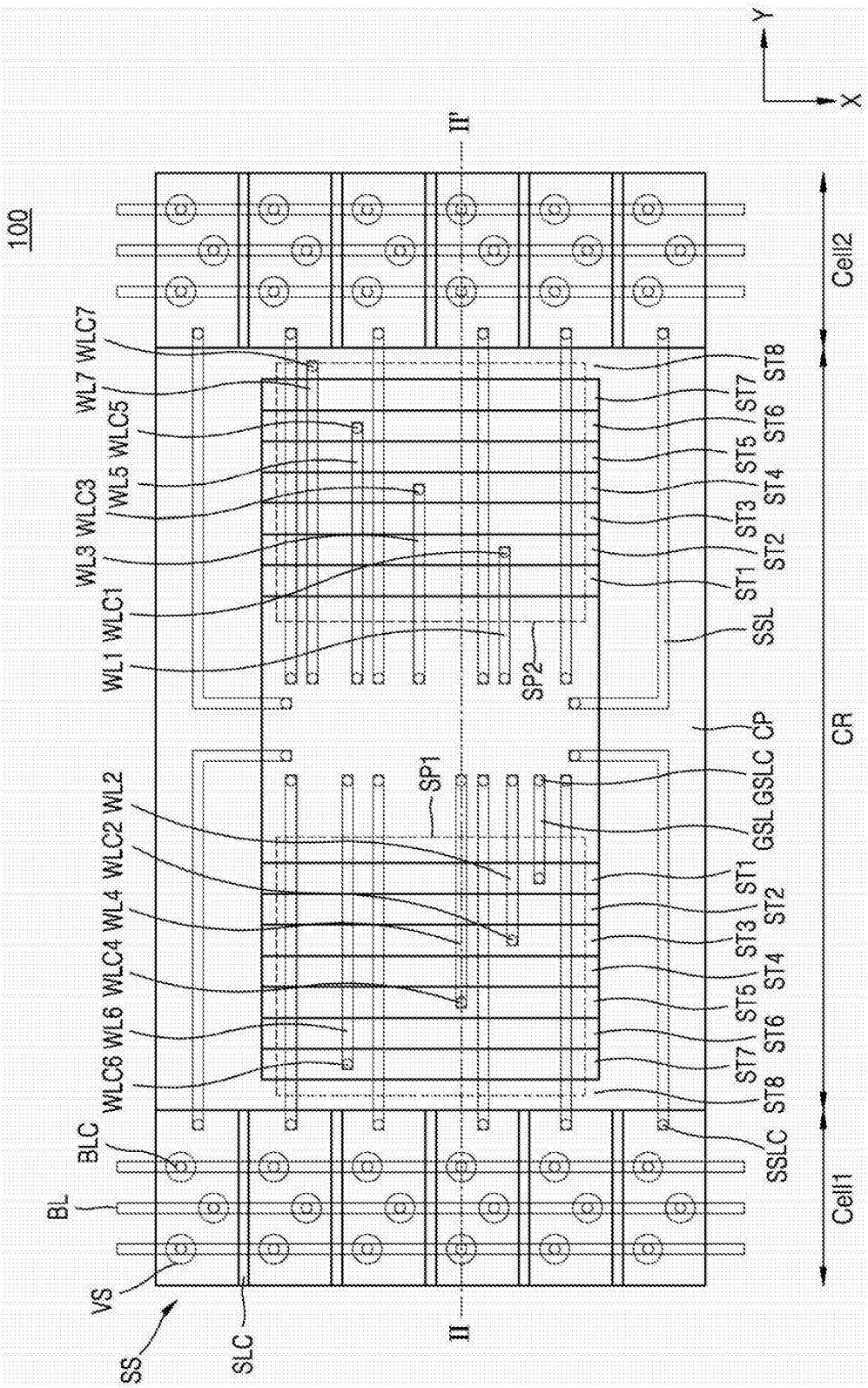


图5A

Micron Ex. 1002, p. 152
Micron v. YMTC
IPR2025-00035

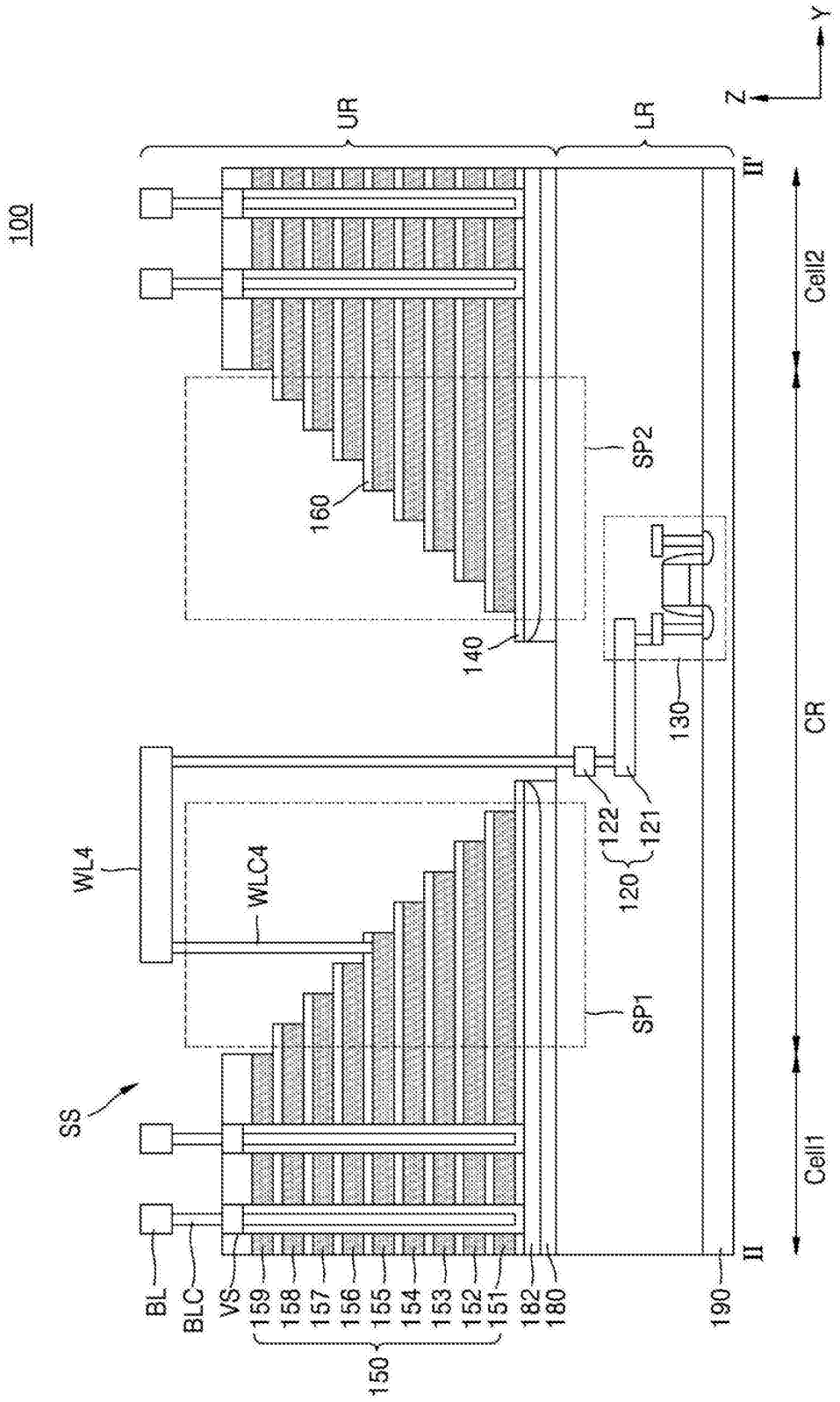


图5B

Micron Ex. 1002, p. 153
Micron v. YMTC
IPR2025-00035

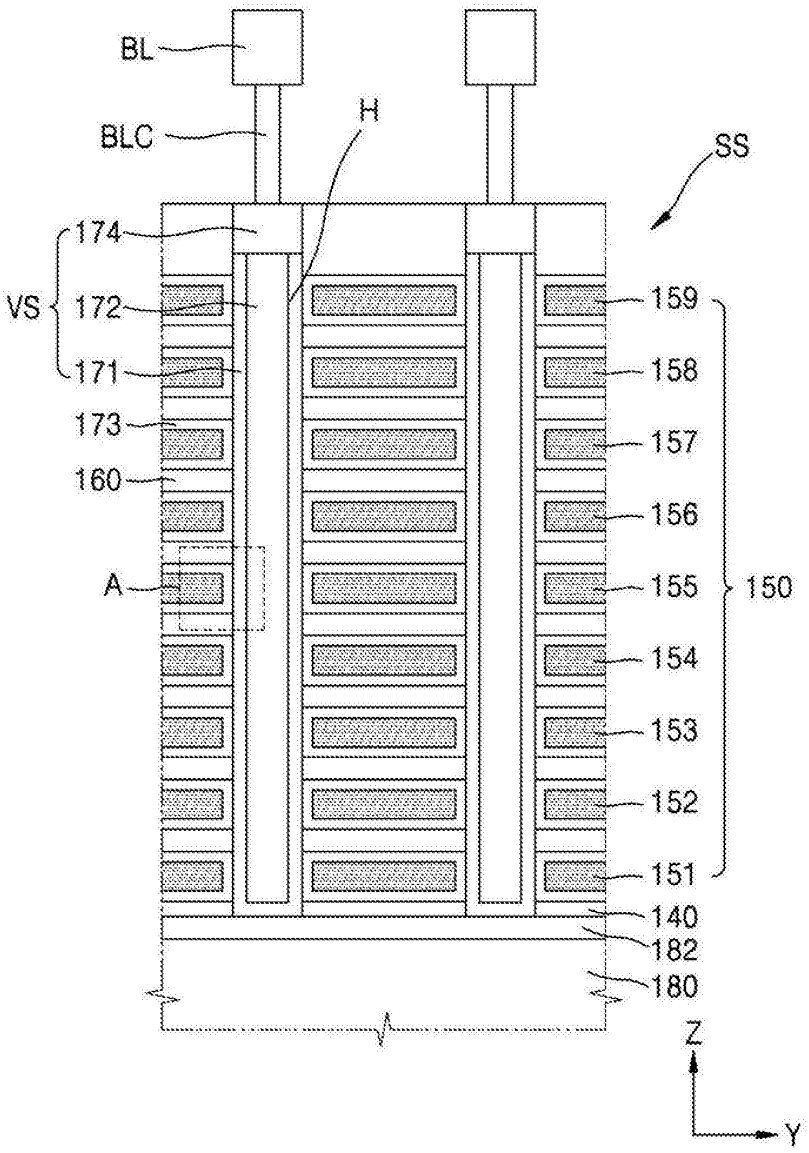


图6

Micron Ex. 1002, p. 154
Micron v. YMTC
IPR2025-00035

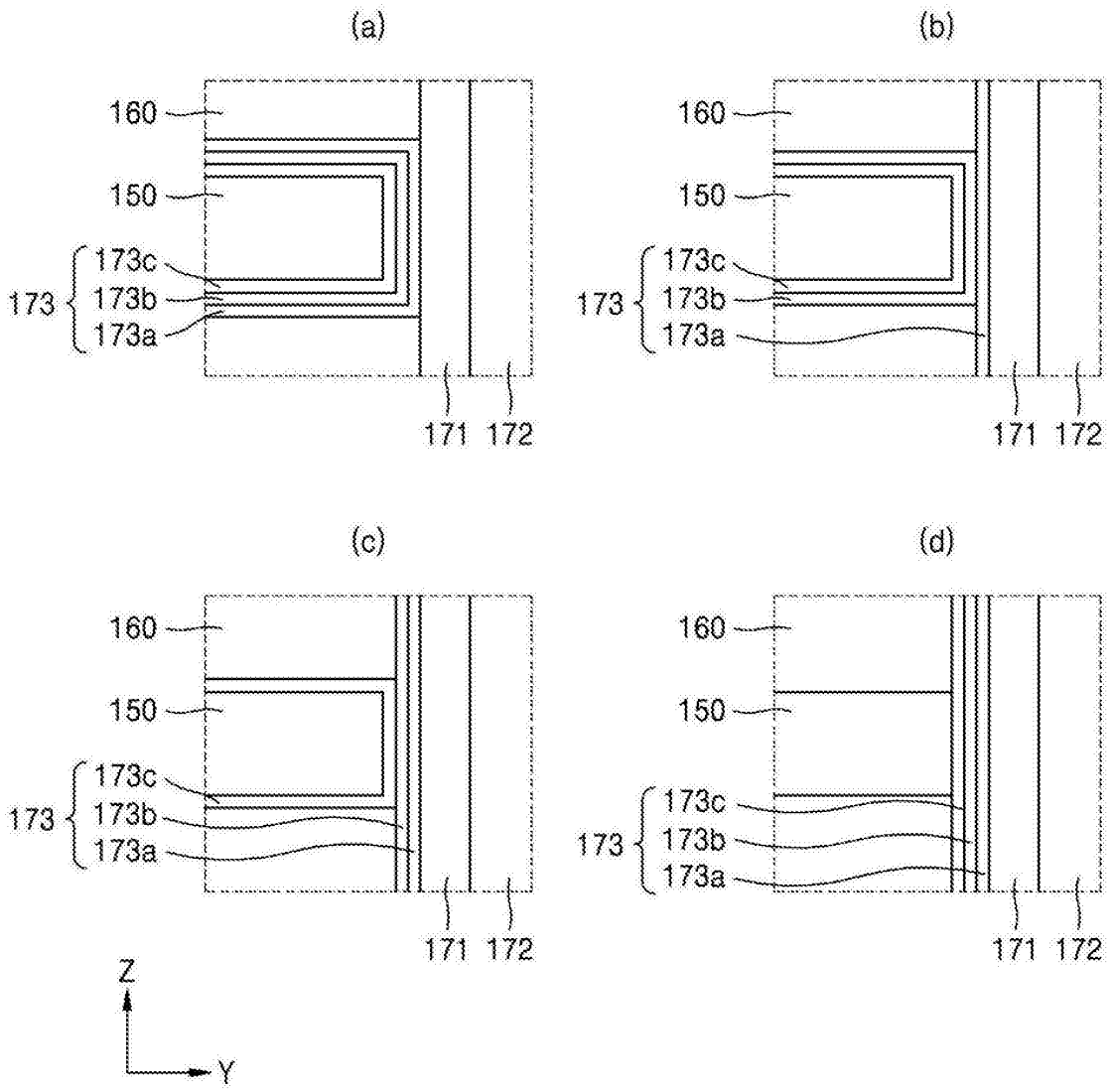


图7

Micron Ex. 1002, p. 155
Micron v. YMTC
IPR2025-00035

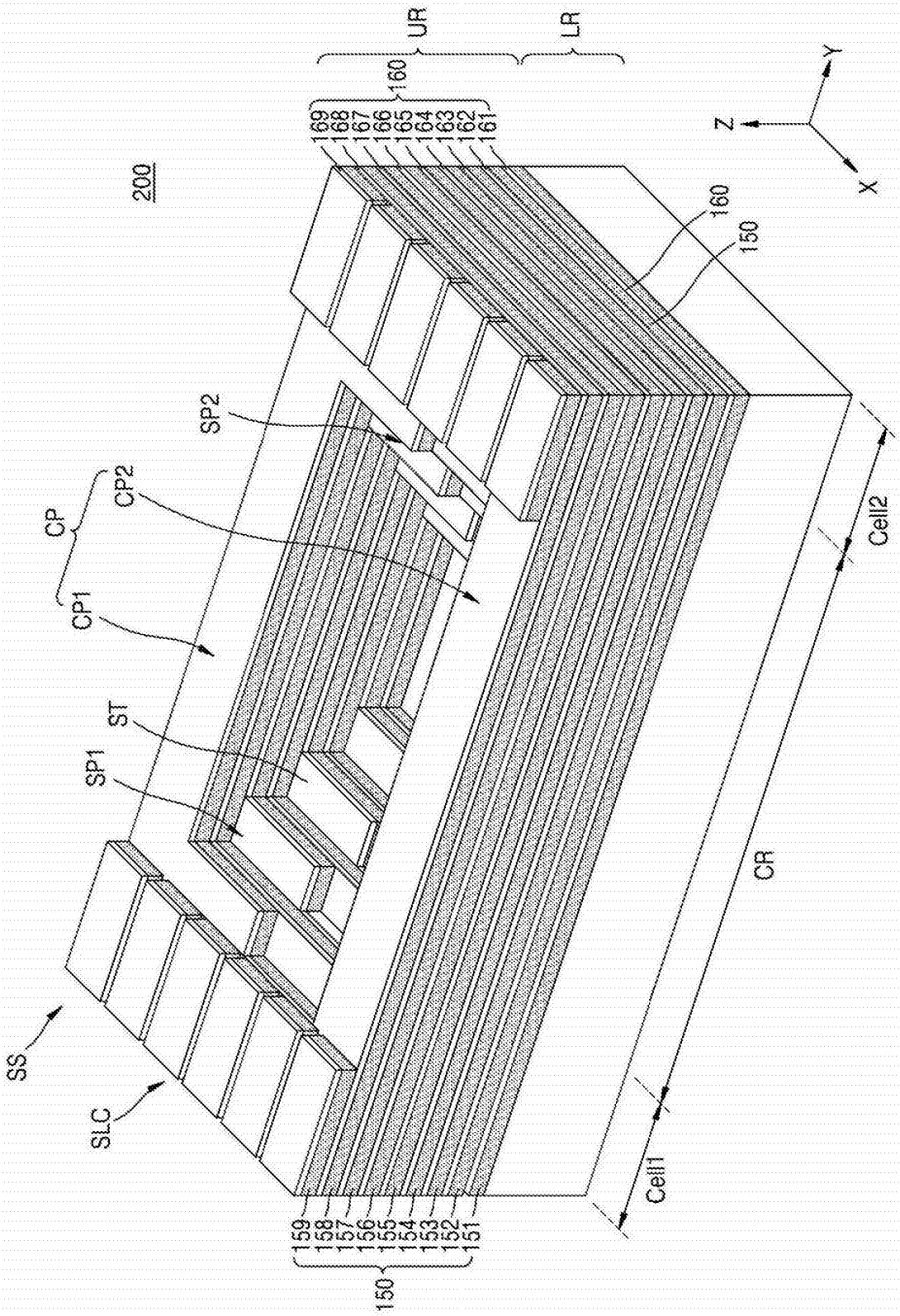


图8

Micron Ex. 1002, p. 156
Micron v. YMTC
IPR2025-00035

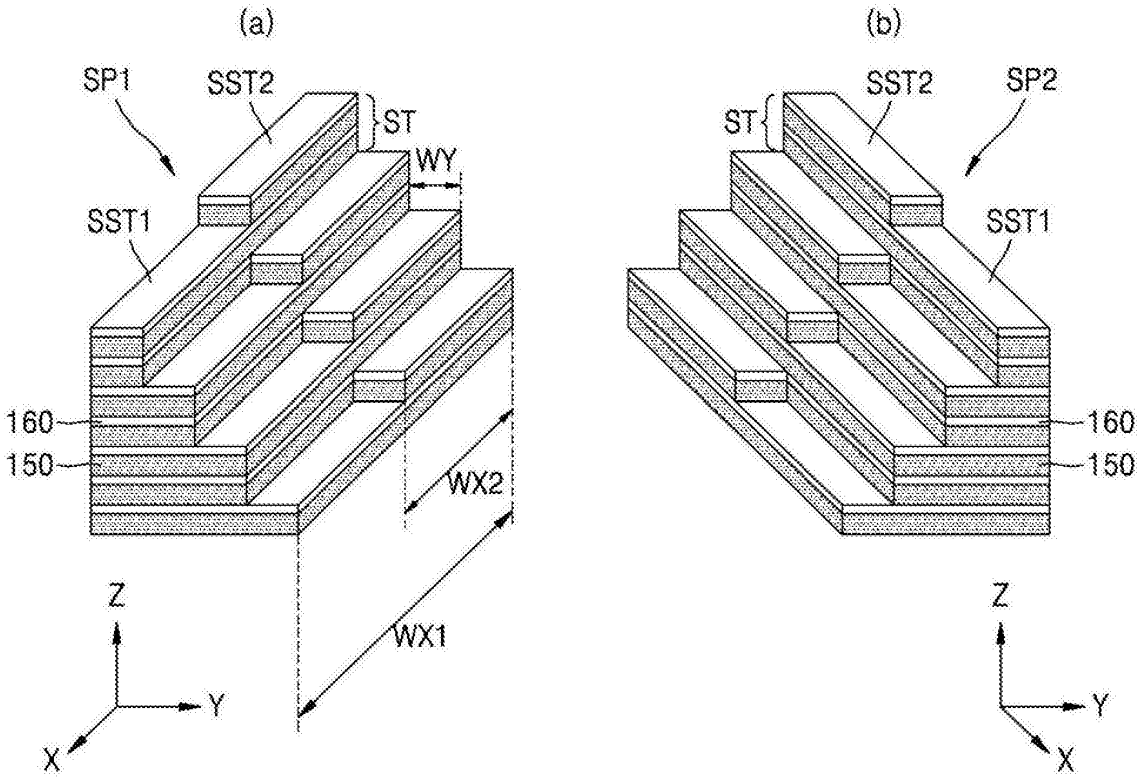


图9

Micron Ex. 1002, p. 157
Micron v. YMTC
IPR2025-00035

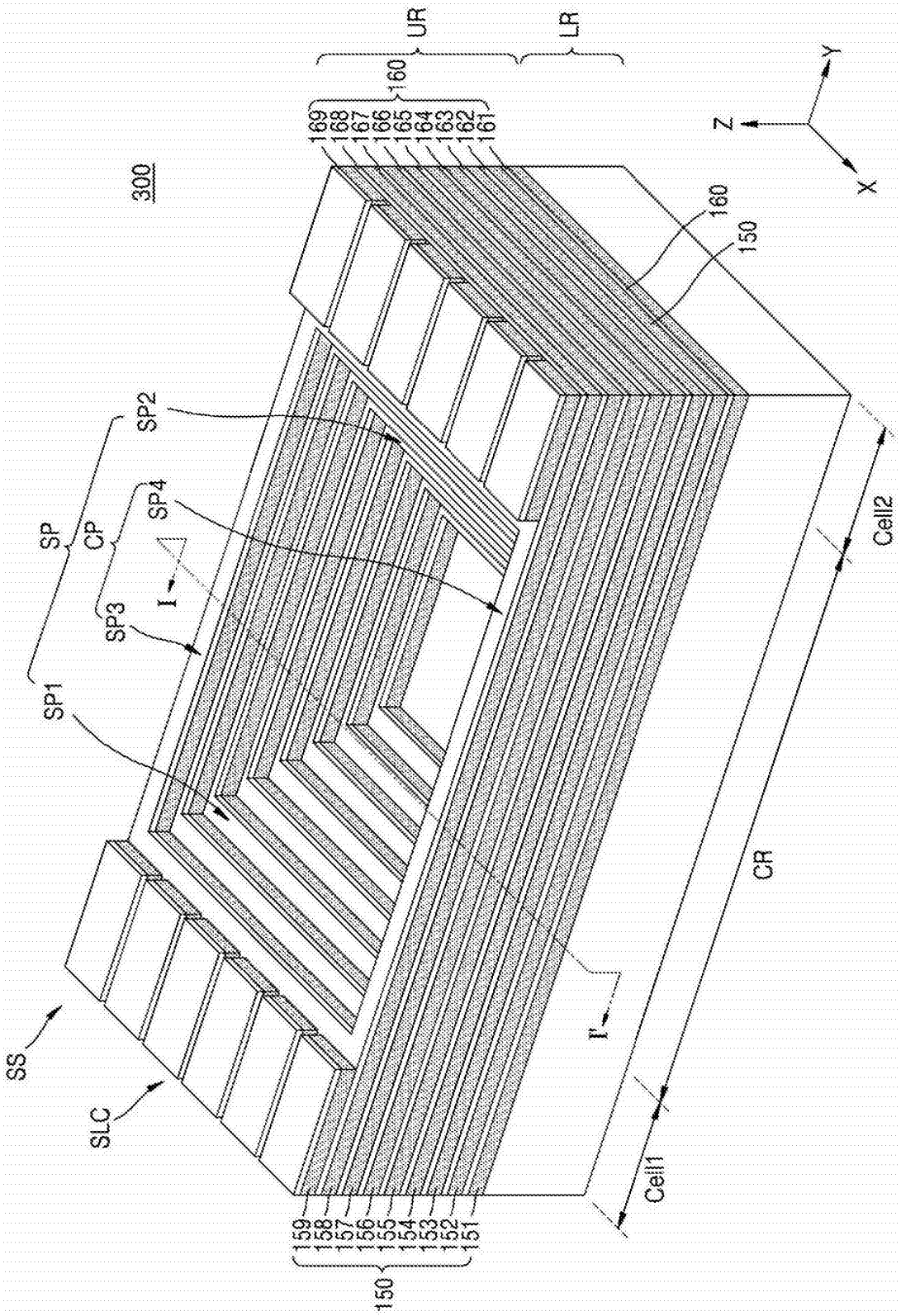


图10A

Micron Ex. 1002, p. 158
Micron v. YMTC
IPR2025-00035

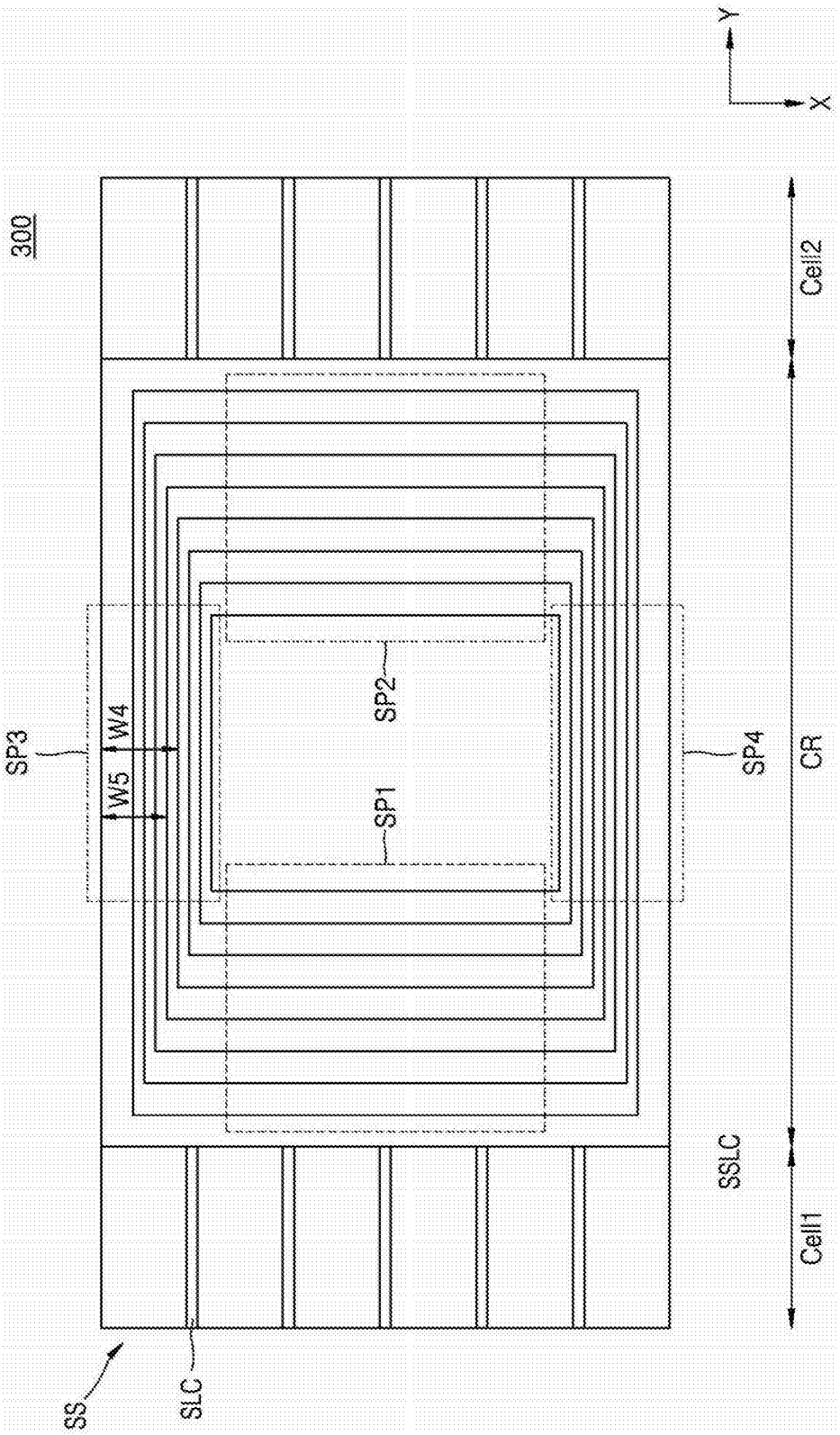


图10B

Micron Ex. 1002, p. 159
Micron v. YMTC
IPR2025-00035

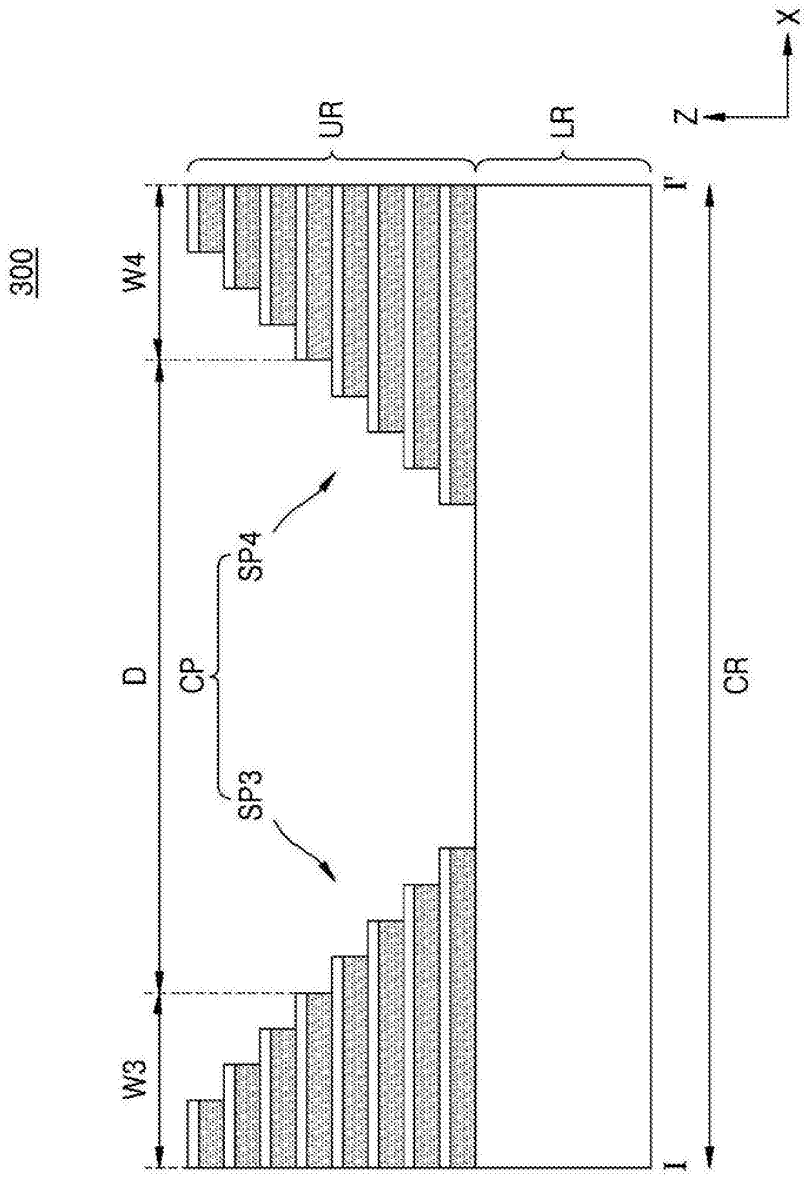


图10C

Micron Ex. 1002, p. 160
Micron v. YMTC
IPR2025-00035

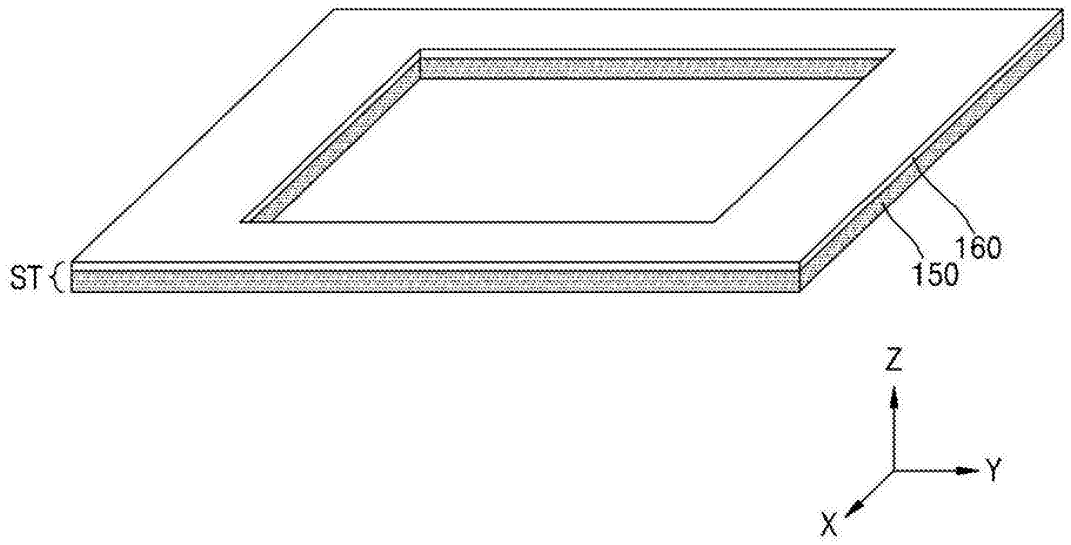


图11A

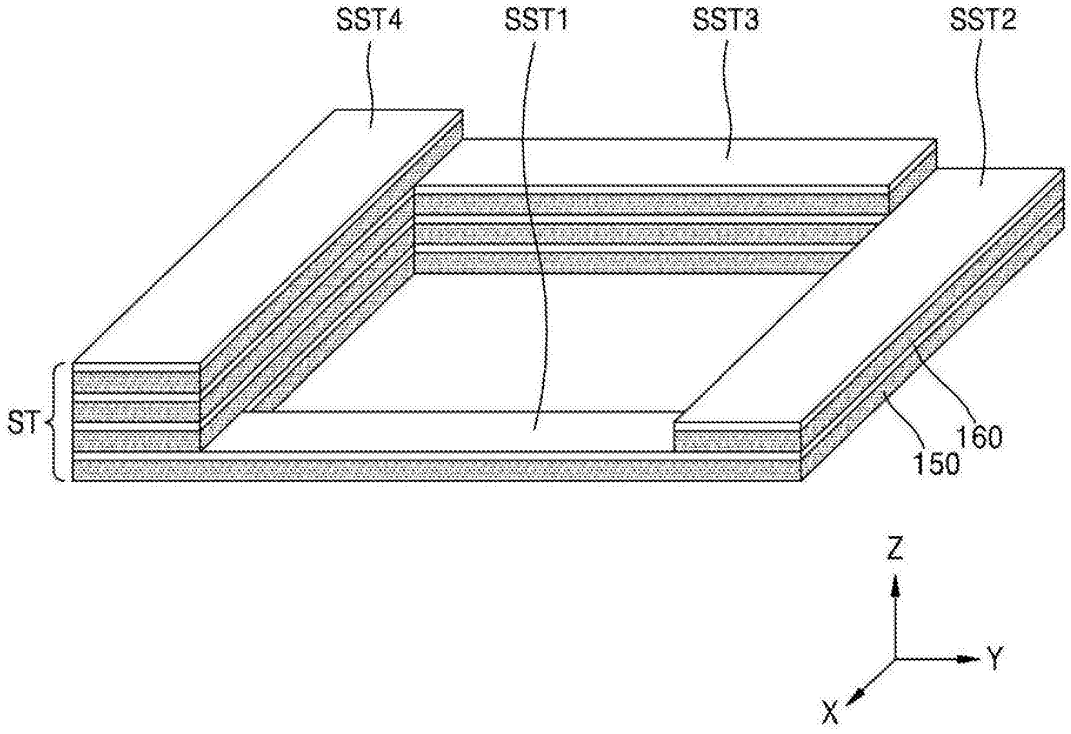


图11B

Micron Ex. 1002, p. 161
Micron v. YMTC
IPR2025-00035

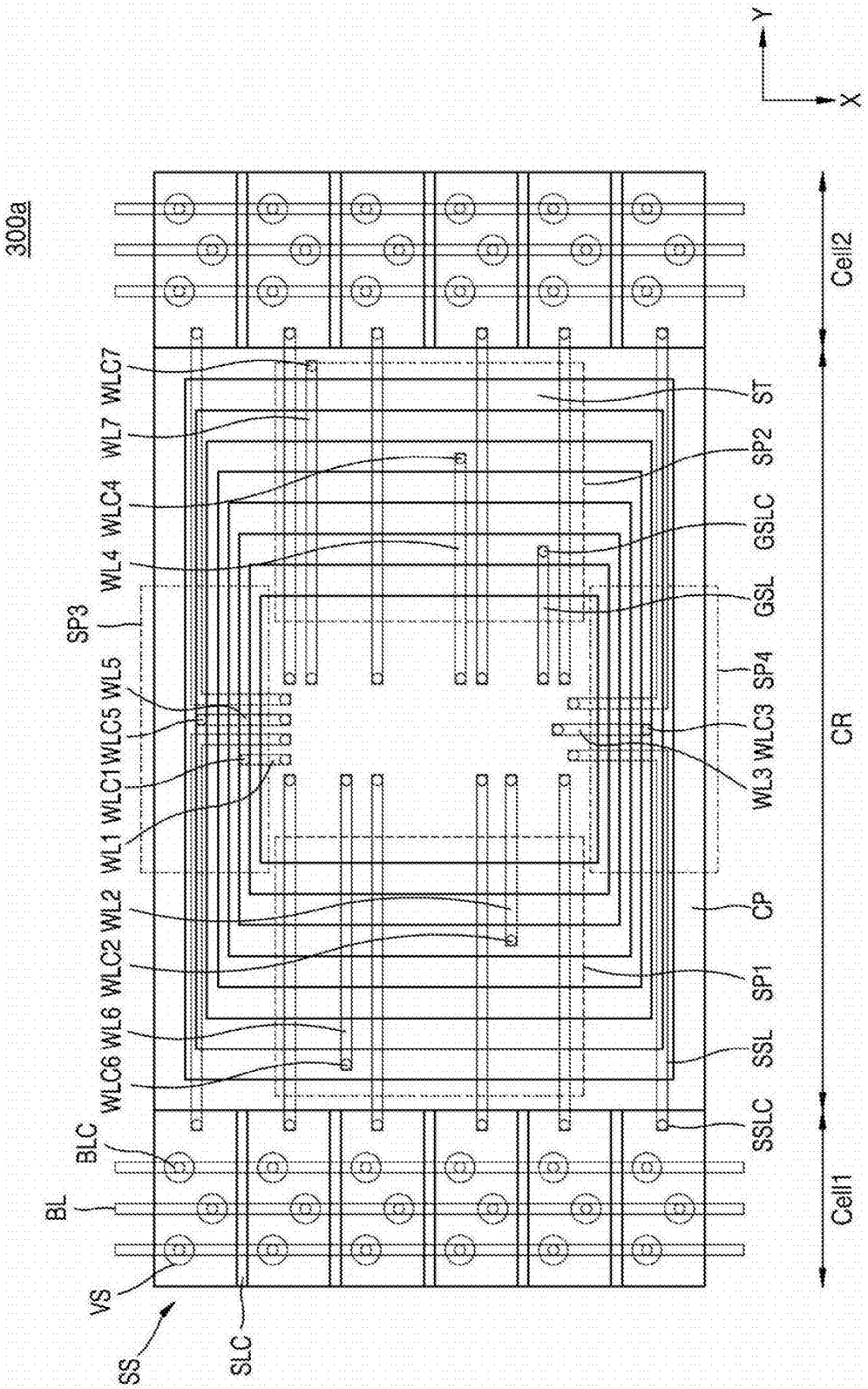


图12A

Micron Ex. 1002, p. 162
Micron v. YMTC
IPR2025-00035

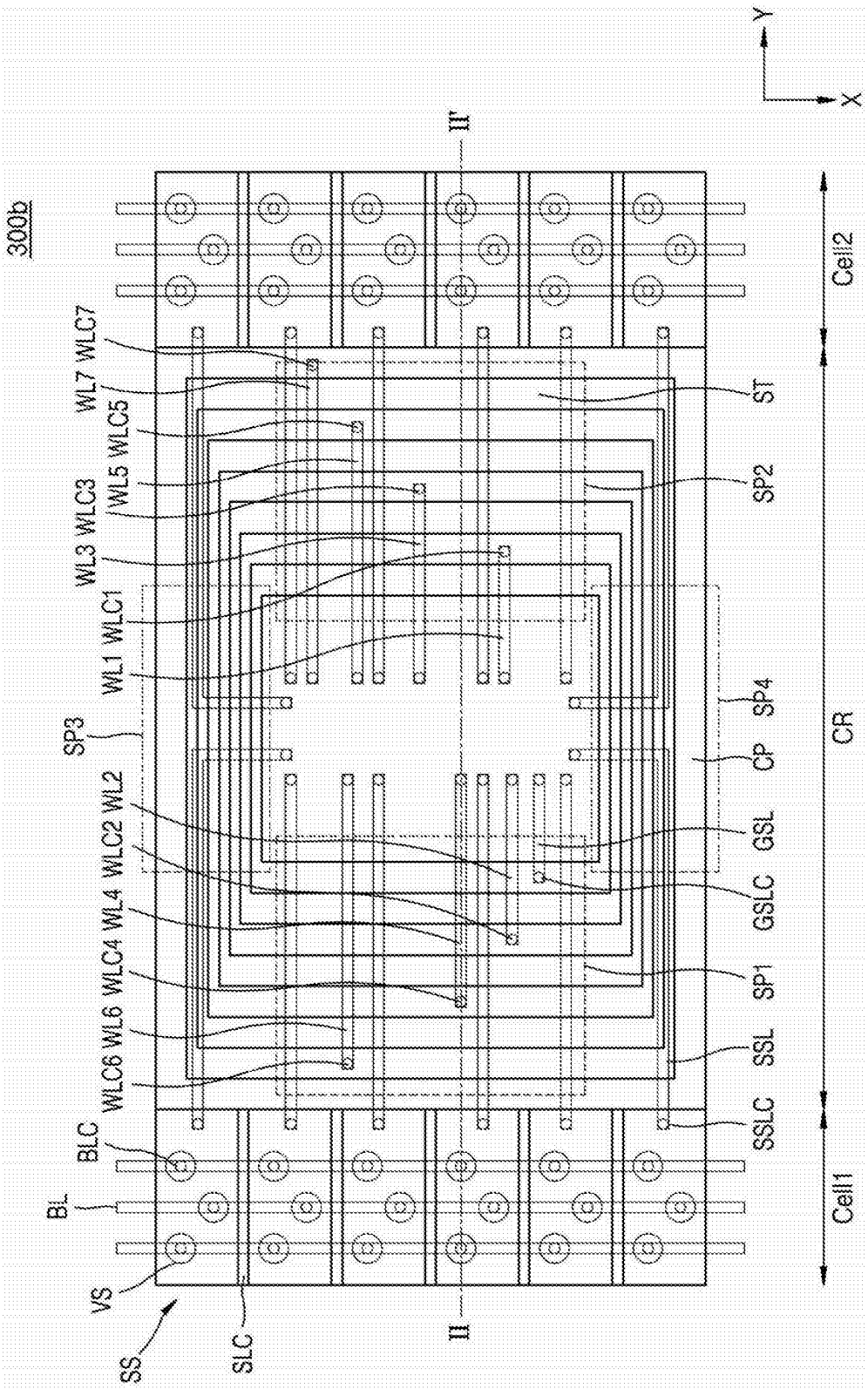


图12B

Micron Ex. 1002, p. 163
Micron v. YMTC
IPR2025-00035

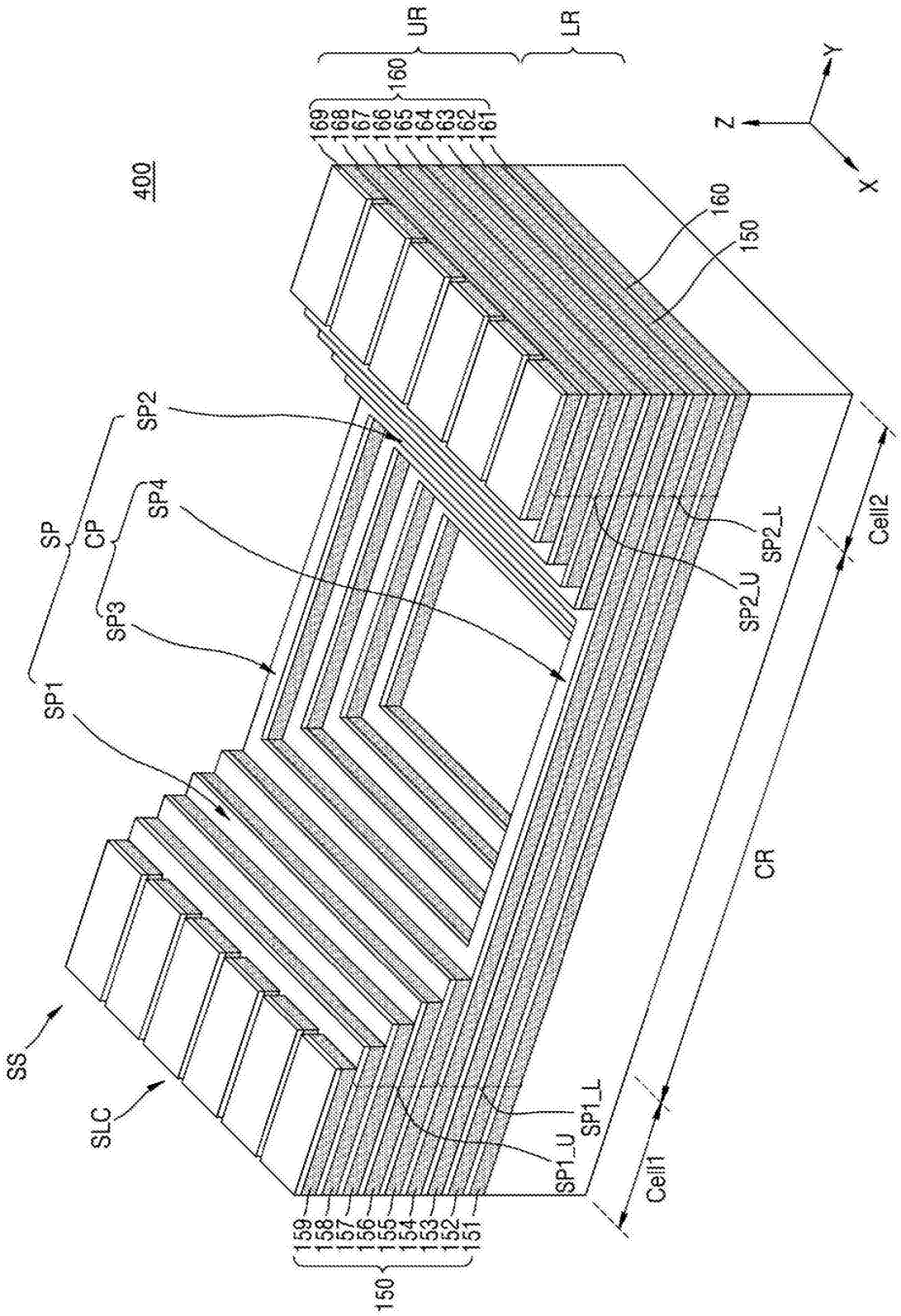


图13A

Micron Ex. 1002, p. 164
Micron v. YMTC
IPR2025-00035

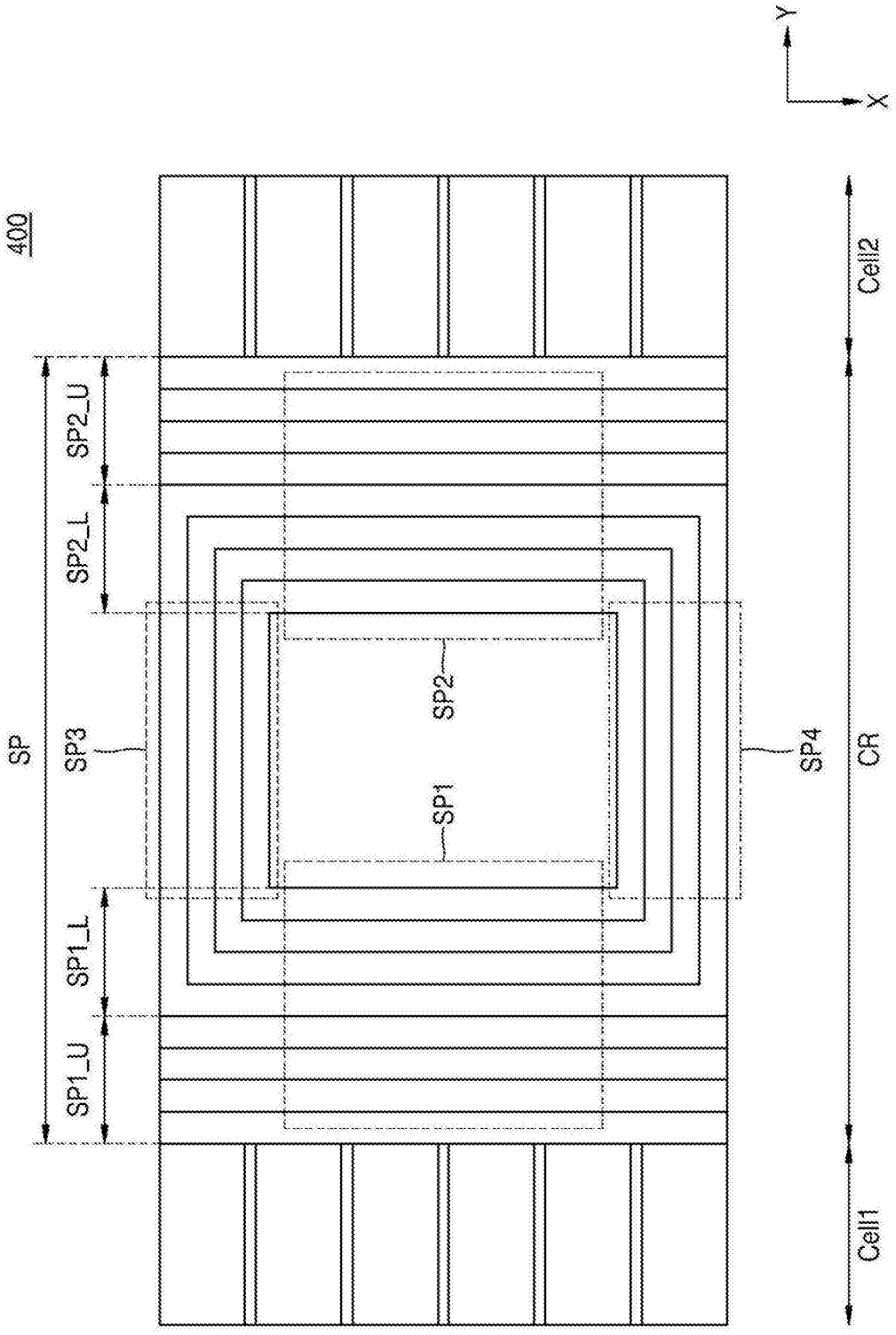


图13B

Micron Ex. 1002, p. 165
Micron v. YMTC
IPR2025-00035

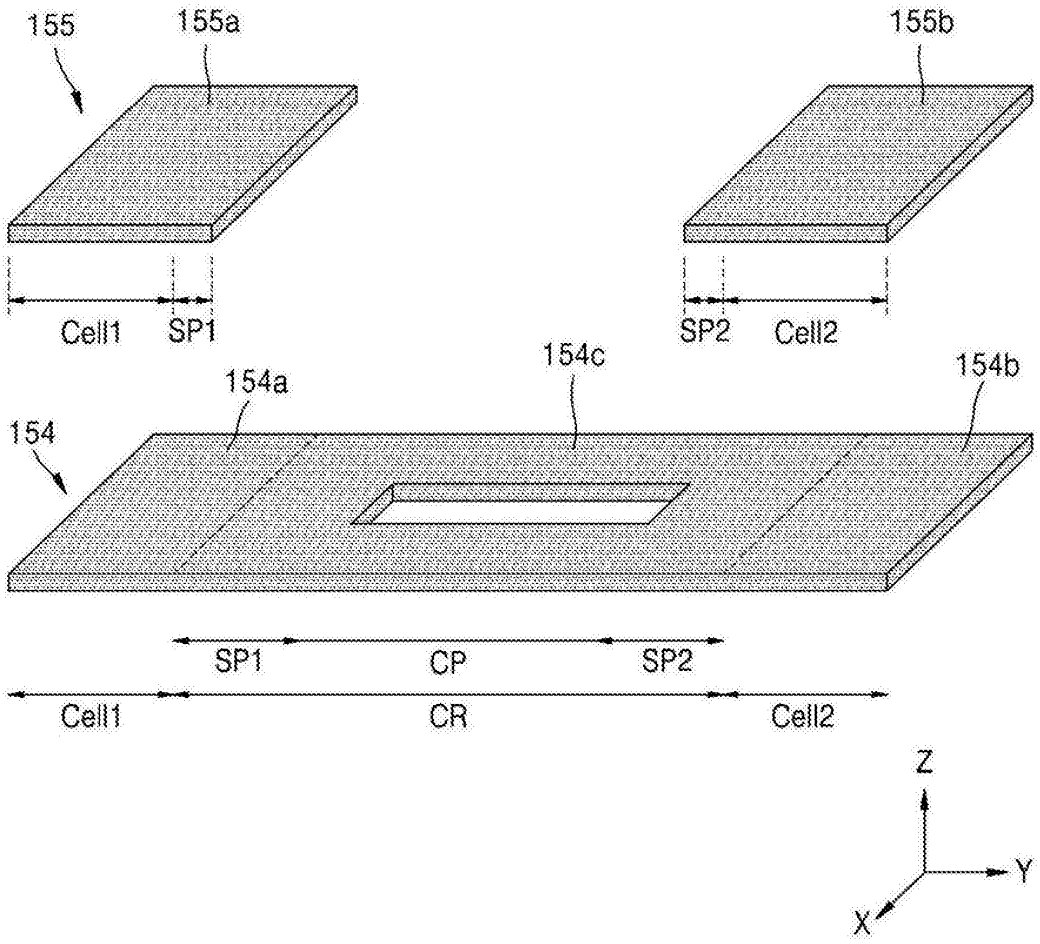


图14

Micron Ex. 1002, p. 166
Micron v. YMTC
IPR2025-00035

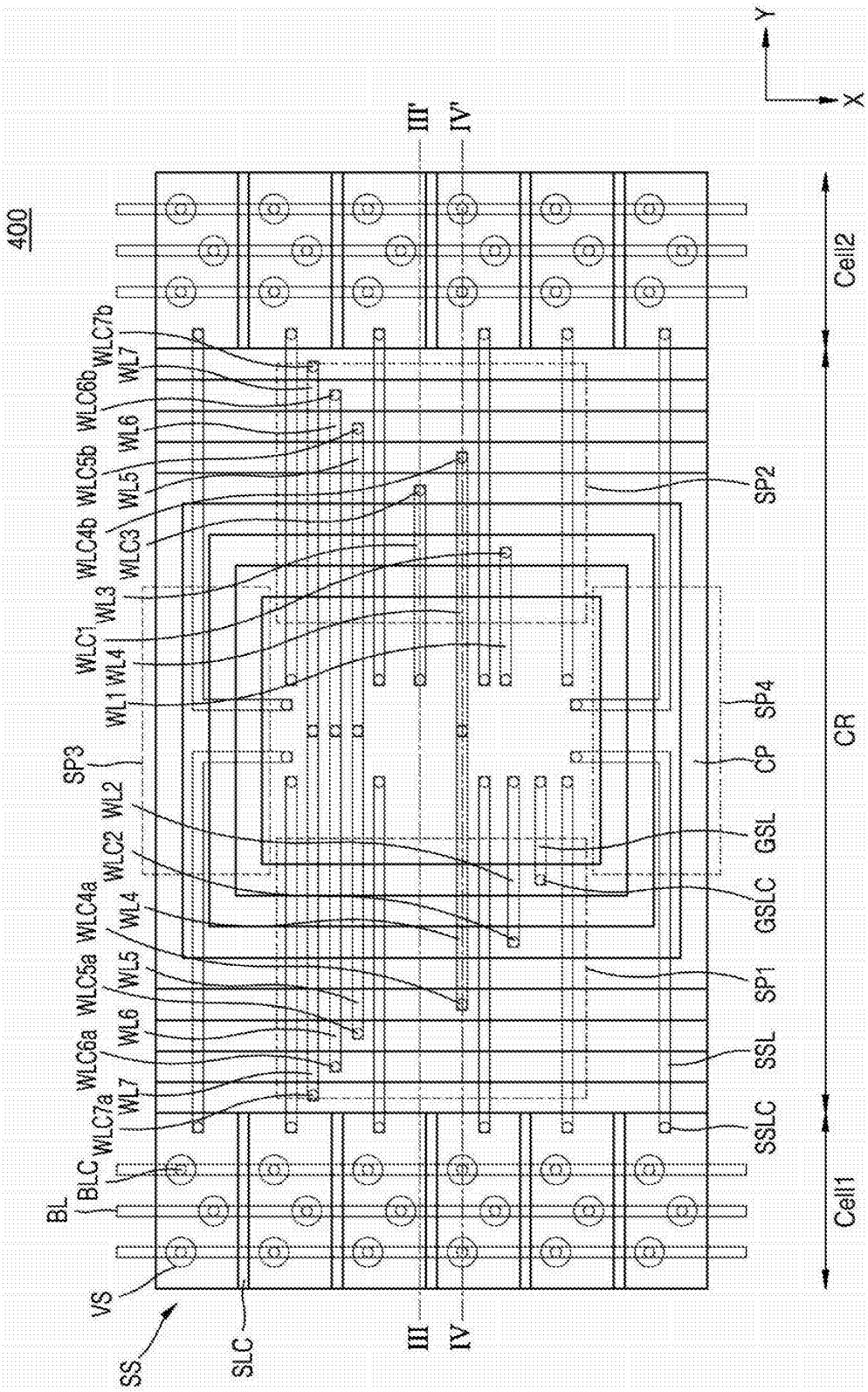


图15A

Micron Ex. 1002, p. 167
Micron v. YMTC
IPR2025-00035

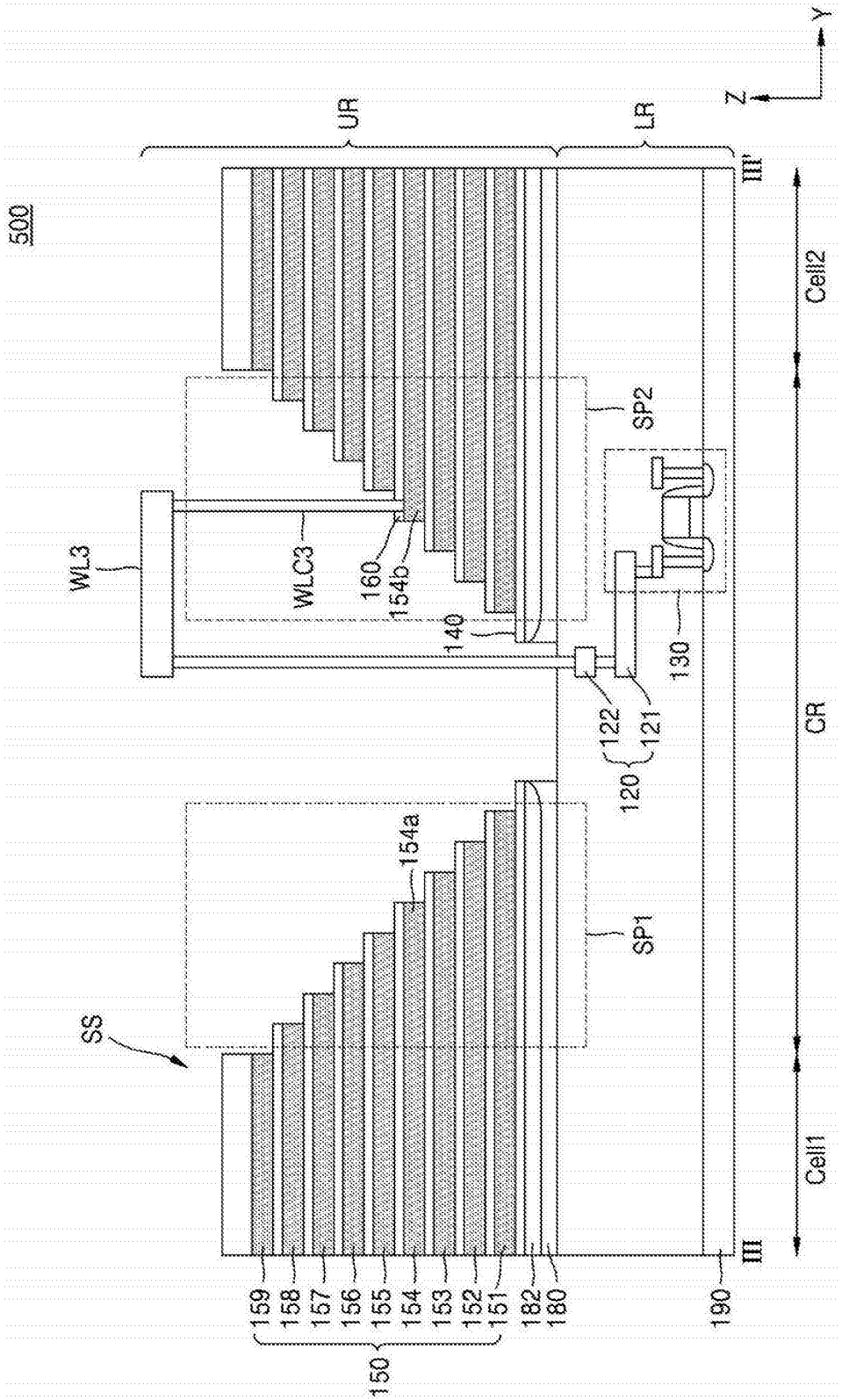


图15B

Micron Ex. 1002, p. 168
Micron v. YMTC
IPR2025-00035

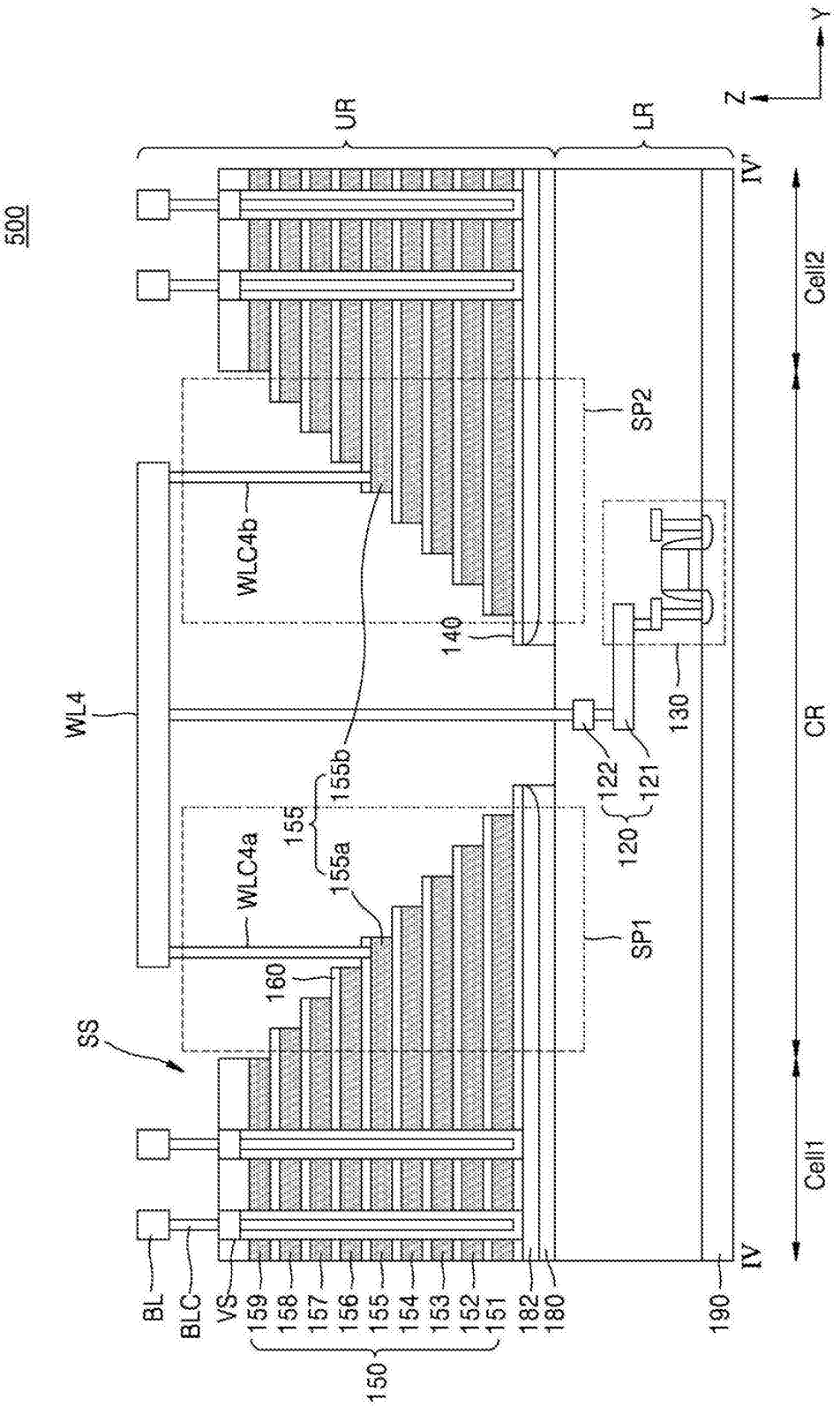


图15C

Micron Ex. 1002, p. 169
Micron v. YMTC
IPR2025-00035

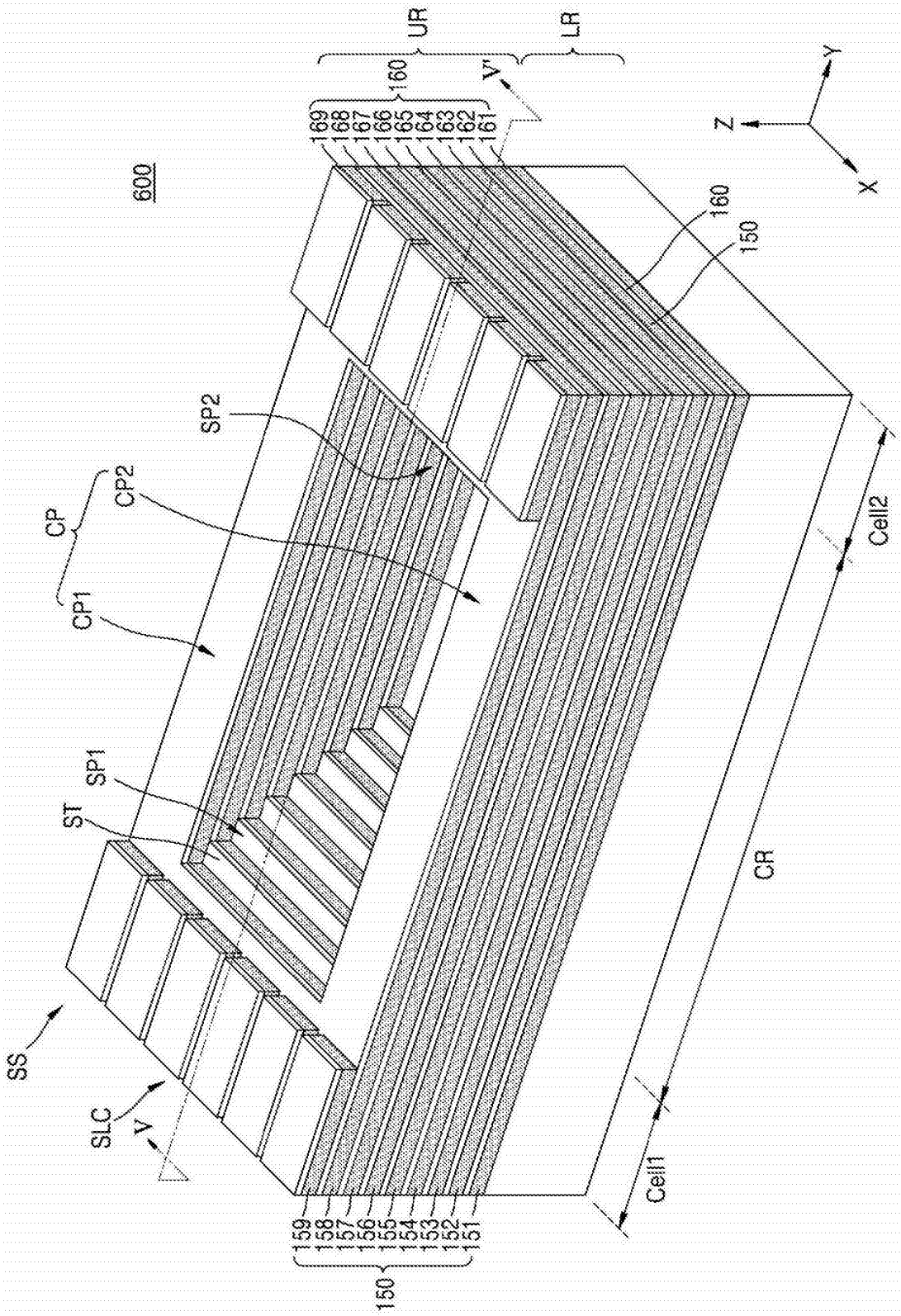


图16A

Micron Ex. 1002, p. 170
Micron v. YMTC
IPR2025-00035

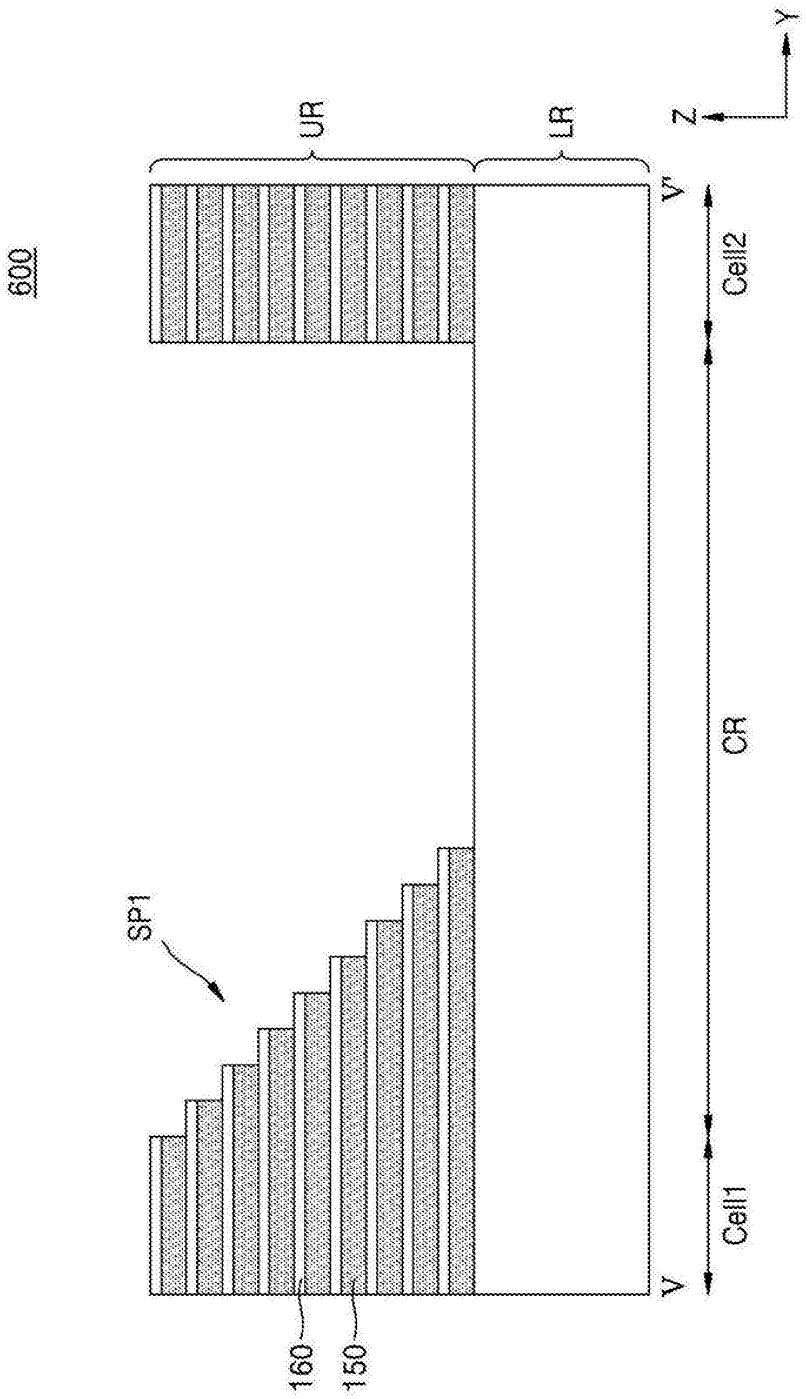


图16B

Micron Ex. 1002, p. 171
Micron v. YMTC
IPR2025-00035

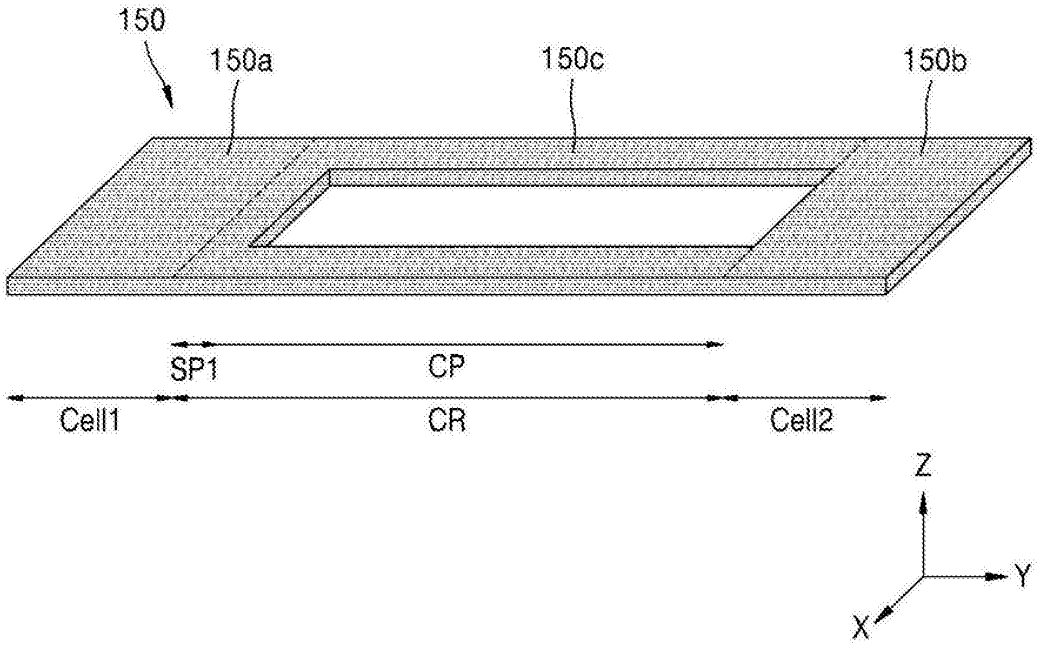


图17

Micron Ex. 1002, p. 172
Micron v. YMTC
IPR2025-00035

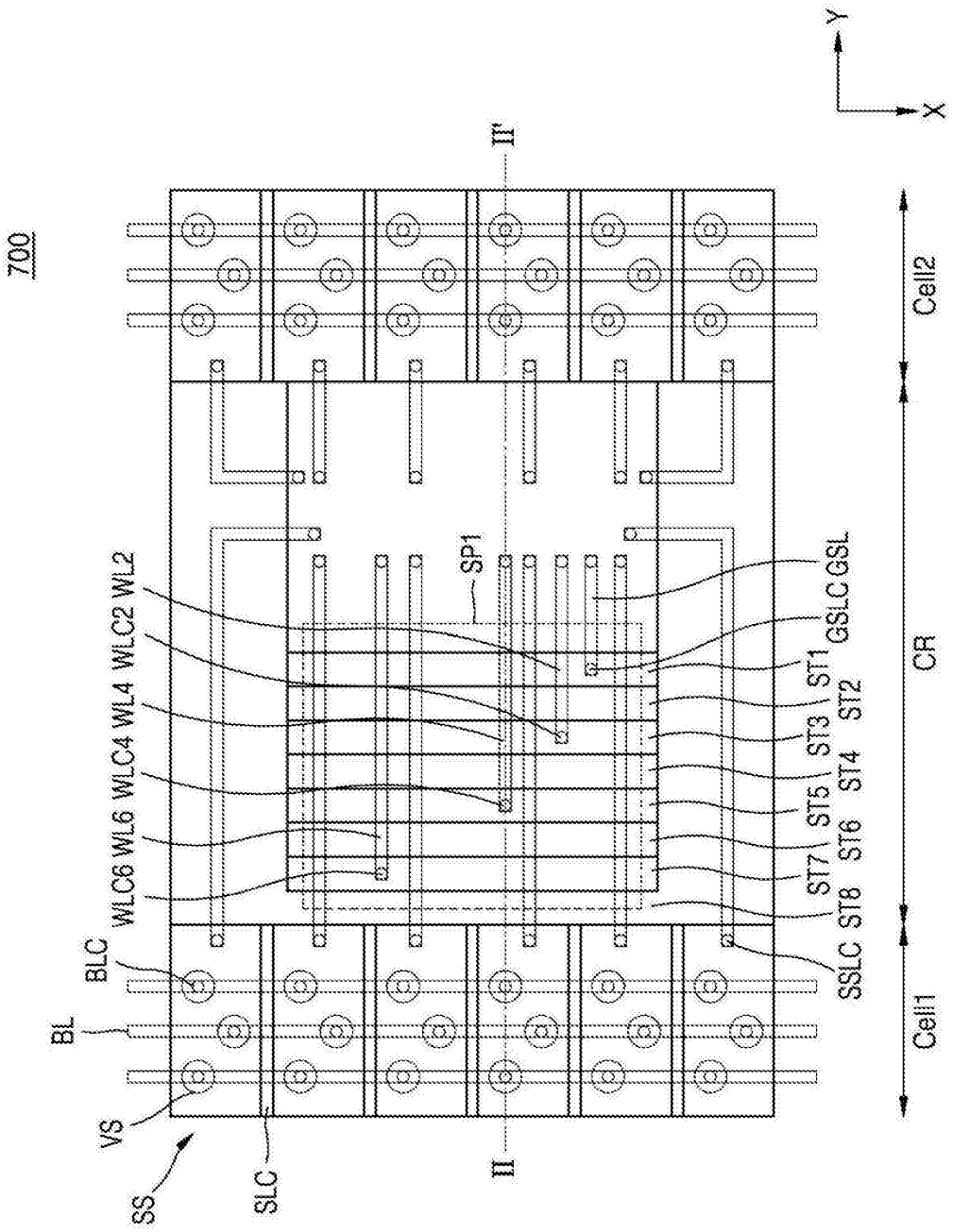


图18A

Micron Ex. 1002, p. 173
Micron v. YMTC
IPR2025-00035

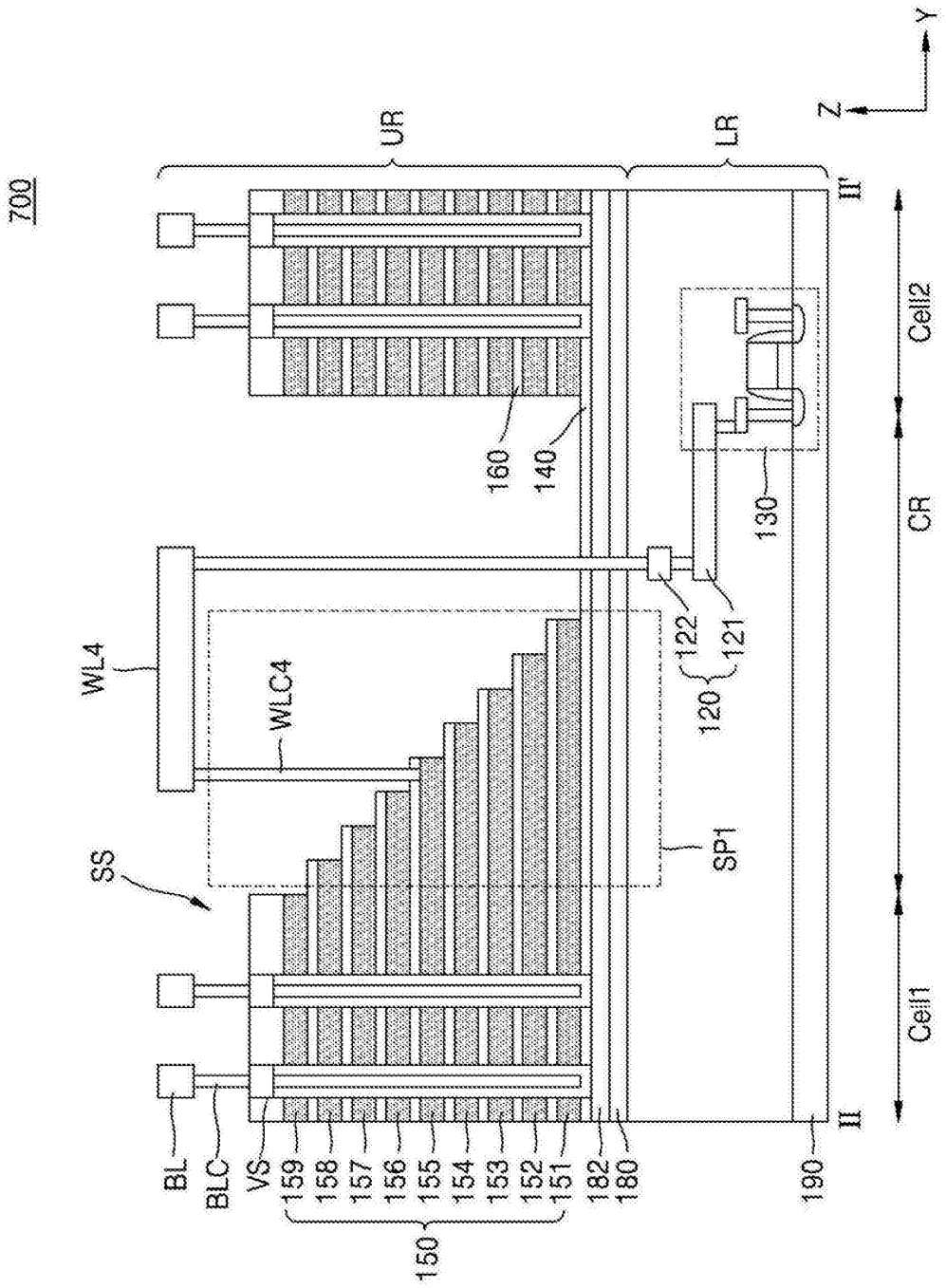


图18B

Micron Ex. 1002, p. 174
Micron v. YMTC
IPR2025-00035

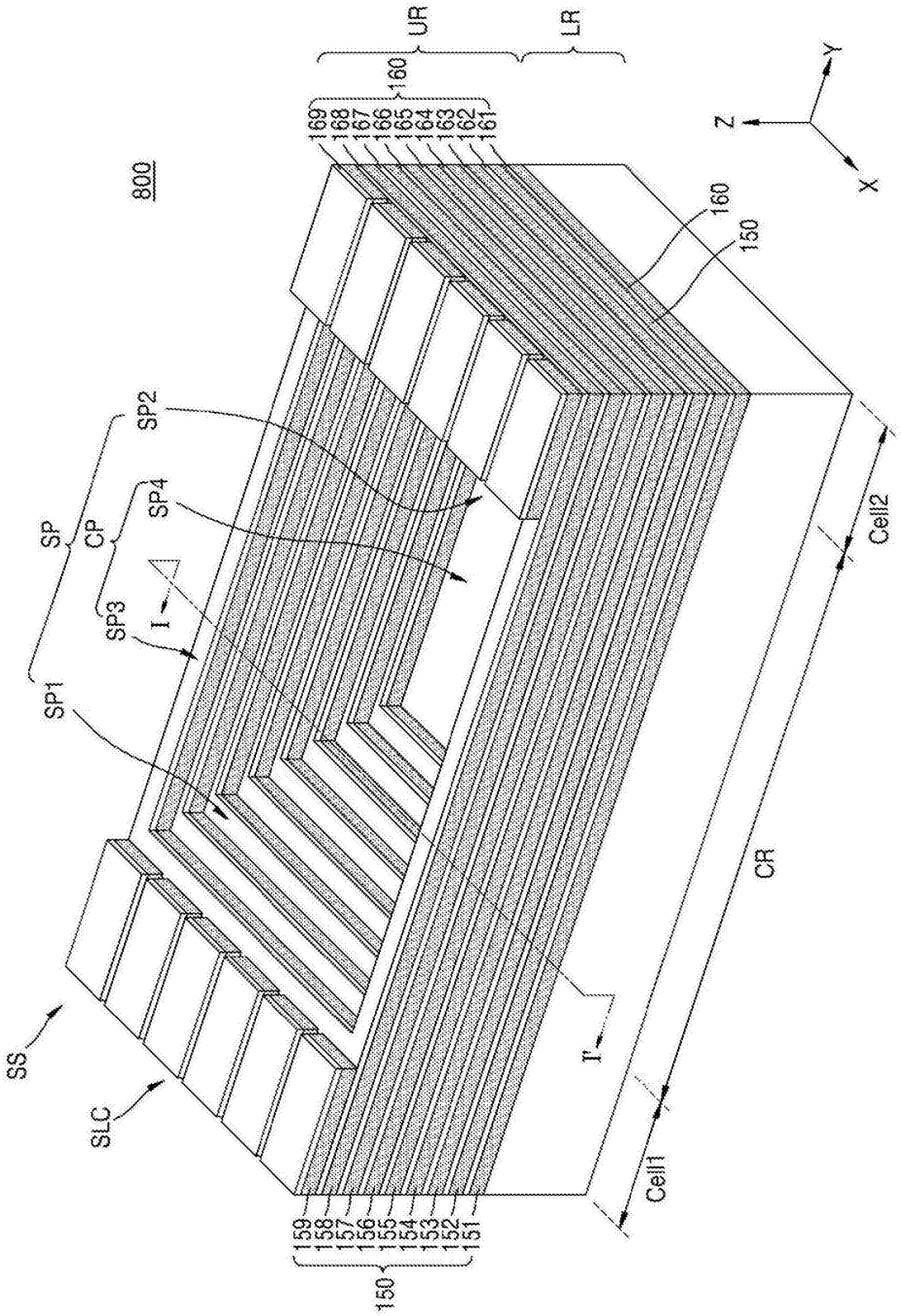


图19

Micron Ex. 1002, p. 175
Micron v. YMTC
IPR2025-00035

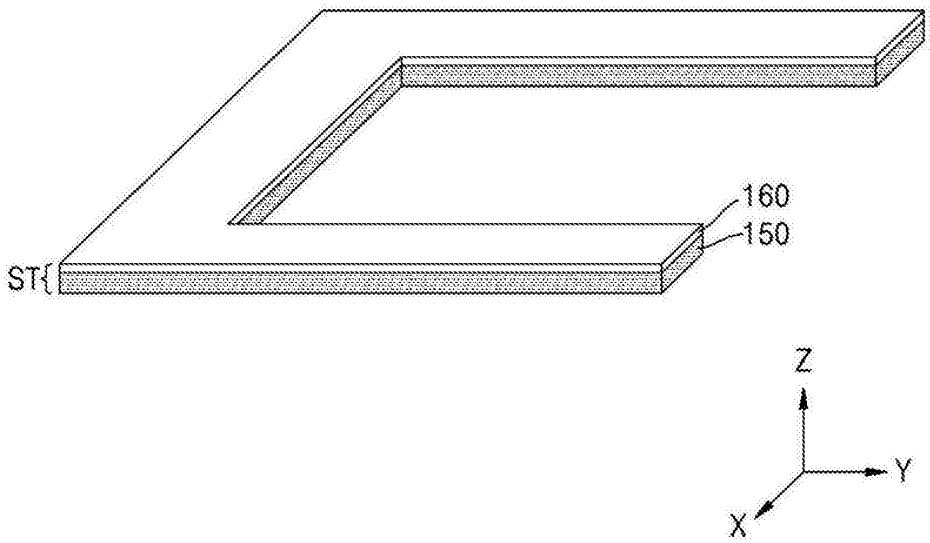


图20A

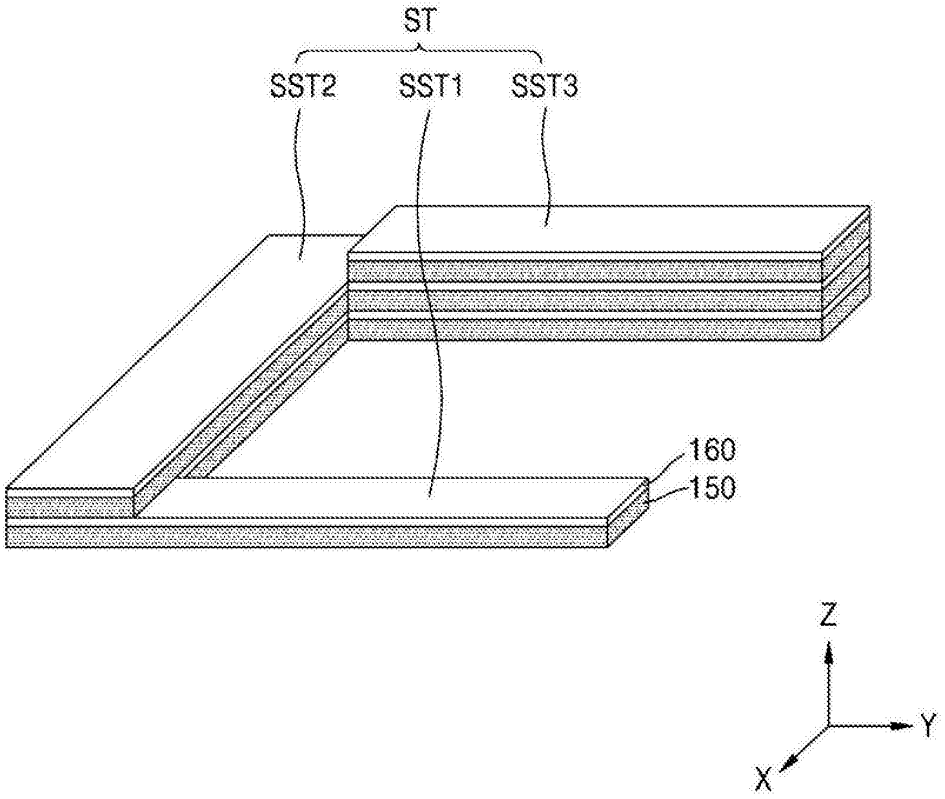


图20B

Micron Ex. 1002, p. 176
Micron v. YMTC
IPR2025-00035

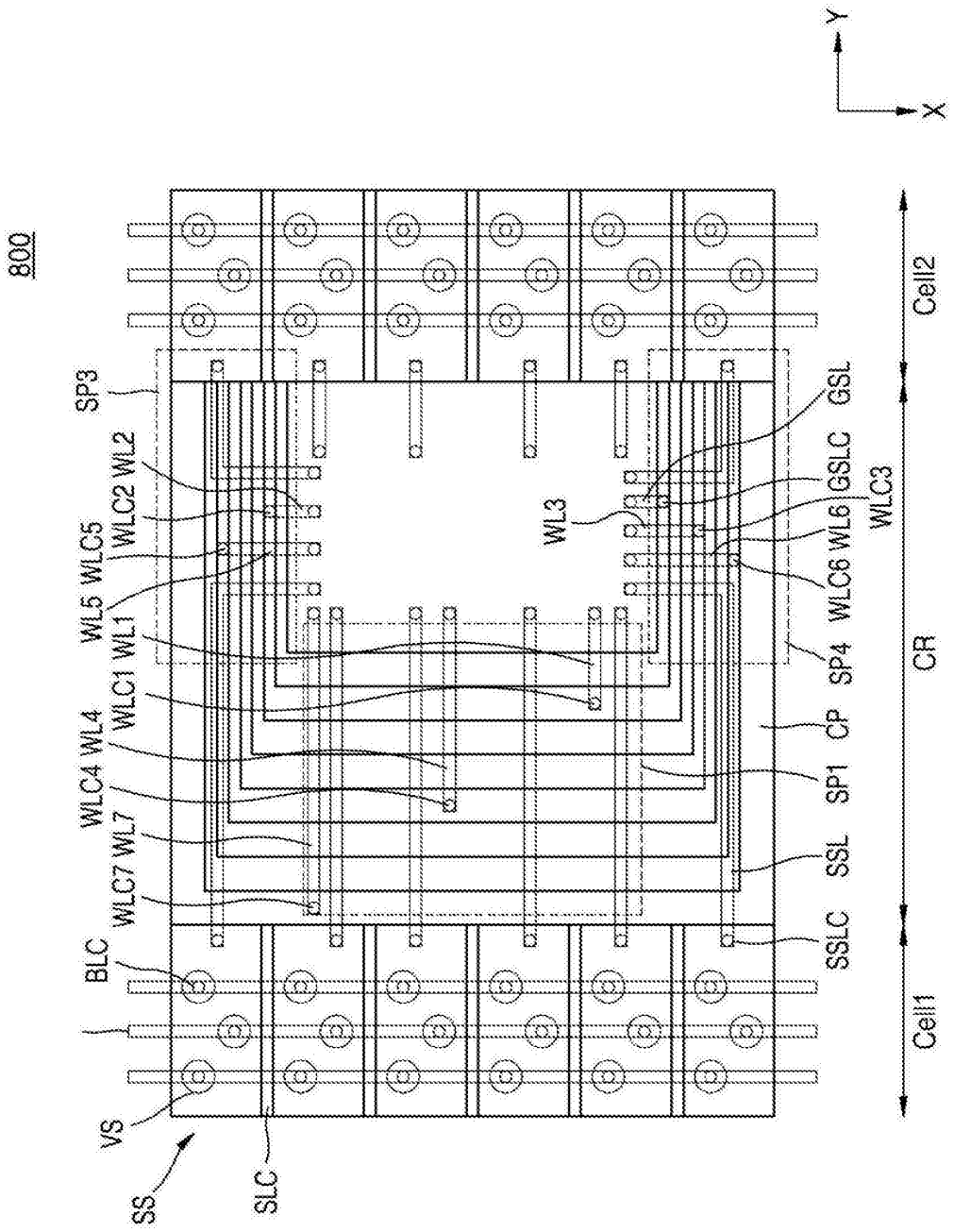


图21

Micron Ex. 1002, p. 177
Micron v. YMTC
IPR2025-00035

Electronic Acknowledgement Receipt

EFS ID:	41723789
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	22-JAN-2021
Filing Date:	31-JUL-2020
Time Stamp:	18:01:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	10018-01-0122-US_IDS-SB08.pdf	612010 ad80af6c9cbf186e4f0ebe391a401a8c6d7977df	no	4

Warnings:

Micron Ex. 1002, p. 178
Micron v. YMTC
IPR2025-00035

Information:					
2	Foreign Reference	CN109309095_Bibl.pdf	13343001 5ea0191e105184380d6866836e55b3a9477cda1a	no	50
Warnings:					
Information:					
3	Foreign Reference	CN109754836_Bibl.pdf	10310899 77c6a0a625b36140563c4623d808e1aacfad1807	no	47
Warnings:					
Information:					
			Total Files Size (in bytes):	24265910	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	3600
Examiner Name	TBD
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	8999844	B2	2015-04-07	Freeman et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20150064900	A1	2015-03-05	LEE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	110391242	CN	A	2019-10-29	INST MICROELECTRONICS CAS		
	2	201834217	TW	A	2018-09-16	MACRONIX INT CO LTD		
	3	201605015	TW	A	2016-02-01	SK HYNIX INC		

Micron Ex. 1002, p. 180
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

If you wish to add additional Foreign Patent Document citation information please click the Add button			Add
NON-PATENT LITERATURE DOCUMENTS			Remove
Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		
If you wish to add additional non-patent literature document citation information please click the Add button			Add

EXAMINER SIGNATURE			
Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Micron Ex. 1002, p. 181
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-02-23
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Micron Ex. 1002, p. 182
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 183
Micron v. YMTC
IPR2025-00035

Espacenet

CN110391242A L-shaped stepped word line structure, manufacture method thereof and three-dimensional memory

Applicants: INST MICROELECTRONICS CAS

Inventors: HUO ZONGLIANG,ZHANG GANG

Classifications:
IPC ***H01L27/11529; H01L27/11556; H01L27/11573; H01L27/11582;***

CPC **H01L27/11529 (CN); H01L27/11556 (CN); H01L27/11573 (CN); H01L27/11582 (CN);**

Priorities: CN201910705463A 2019-07-31

Application: CN110391242A·2019-07-31

Publication: CN110391242A·2019-10-29

Published as: CN110391242A

L-shaped stepped word line structure, manufacture method thereof and three-dimensional memory

Abstract

The invention provides an L-shaped stepped word line structure, a manufacture method thereof and a three-dimensional memory. The word line structure comprises a number of L-shaped word line units. Thelong side of each L-shaped word line unit extends along a second direction and is adjacent to a gate line slit, and the short side extends along a first direction and comprises a word line leading end. Each word line leading end is formed in a stepped laminated structure. The laminated structure comprises a number of laminate pairs made of an insulating material. A region of one laminate close tothe gate line slit in each laminate pair is used as a replacement metal region, wherein the replacement metal region comprises a short side region surface metal layer on the surface and a short sideregion inner metal layer located inside. In the first direction, the length of the short side region surface metal layer is greater than the length of the short side region inner metal layer. Each word line leading end corresponds to the short side region surface metal layer. If the etching selection ratio is not high enough, word line short circuit is prevented even if the etching is excessive.

Micron Ex. 1002, p. 184
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110391242 A
(43)申请公布日 2019.10.29

(21)申请号 201910705463.0

(22)申请日 2019.07.31

(71)申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72)发明人 张刚 霍宗亮

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 马莉

(51)Int.Cl.
H01L 27/11529(2017.01)
H01L 27/11556(2017.01)
H01L 27/11573(2017.01)
H01L 27/11582(2017.01)

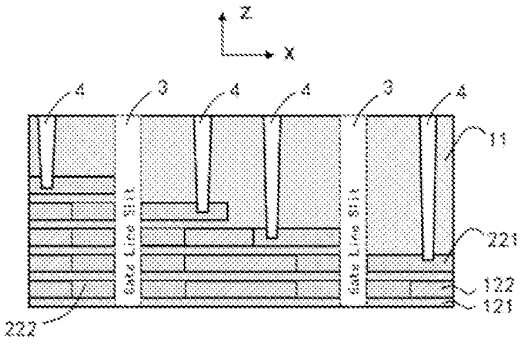
权利要求书2页 说明书9页 附图6页

(54)发明名称

L形台阶状字线结构及其制作方法及三维存储器

(57)摘要

一种L形台阶状字线结构及其制作方法及三维存储器，字线结构包括：多个L形字线单元，每个L形字线单元长边一侧沿着第二方向延伸且近邻一栅线缝隙，短边一侧沿着第一方向延伸且短边包含一字线引出端；其中，所述字线引出端形成于一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，通过在每个叠层对中的其中一个叠层靠近栅线缝隙的区域作为替换金属区，该替换金属区域包含位于表面的短边区域表面金属层和位于内部的短边区域内部金属层，在第一方向上，短边区域表面金属层的长度大于短边区域内部金属层的长度，所述字线引出端对应该短边区域表面金属层。确保在刻蚀选择比不够高的情况下，即使刻蚀过度，也不发生字线短路的现象。



CN 110391242 A

Micron Ex. 1002, p. 185
Micron v. YMTC
IPR2025-00035

1.一种L形台阶状字线结构，其特征在于，包括：

多个L形字线单元，每个L形字线单元长边一侧沿着第二方向(y方向)延伸且近邻一栅线缝隙，短边一侧沿着第一方向(x方向)延伸且短边包含一字线引出端；

其中，所述字线引出端形成于一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，通过在每个叠层对中的其中一个叠层靠近栅线缝隙的区域作为替换金属区，该替换金属区域包含位于表面的短边区域表面金属层和位于内部的短边区域内部金属层，在第一方向上，短边区域表面金属层的长度大于短边区域内部金属层的长度，所述字线引出端对应该短边区域表面金属层。

2.根据权利要求1所述的L形台阶状字线结构，其特征在于，字线引出端用于连接逻辑控制电路的连接孔焊点，位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置。

3.根据权利要求1所述的L形台阶状字线结构，其特征在于，所述替换金属区域还包含位于表面的长边区域表面金属层和位于内部的长边区域内部金属层，在第二方向上，长边区域表面金属层的长度与长边区域内部金属层的长度相等。

4.根据权利要求1所述的L形台阶状字线结构，其特征在于，多个L形字线单元沿着第一方向依次连接并呈台阶状分布。

5.根据权利要求1或4所述的L形台阶状字线结构，其特征在于，多个字线单元沿着第三方向层叠并且沿着第二方向呈台阶状分布。

6.根据权利要求1-5中任一项所述的L形台阶状字线结构，其特征在于，所述多个L形字线单元为至少一对L形字线单元，成对的两个L形字线单元通过栅线缝隙隔开并呈错位镜像分布，错位相差一个台阶的高度，所述一个台阶的高度等于一个叠层对的高度，错位的方向沿着第三方向(z方向)，第三方向与第一方向及第二方向均垂直。

7.根据权利要求1所述的L形台阶状字线结构，其特征在于，还包括：保护层，覆盖于多个L形字线单元之间及其各个字线单元上方，栅线缝隙贯穿保护层上表面。

8.根据权利要求1-7中任一项所述的L形台阶状字线结构，其特征在于，所述L形字线单元长边用于连接核心(core)区。

9.一种如权利要求1-8中任一种L形台阶状字线结构的制作方法，其特征在于，包括：

制作一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，每个叠层对作为一个台阶；

对所述叠层结构划分为多个区域，每个区域的叠层结构用于形成一个L形字线单元；

对每个区域的叠层结构的表层台阶末端进行处理，使得沿着第一方向，表层台阶末端的刻蚀速率高于位于其下方的结构的刻蚀速率；

对处理后的叠层结构进行刻蚀以形成一栅线缝隙，该栅线缝隙沿着第二方向延伸且刻蚀的深度方向垂直于叠层结构的表面；

基于所述栅线缝隙对于每个叠层对中的其中一个叠层靠近栅线缝隙的区域进行刻蚀掏空，沿着第一方向，表层台阶中的该其中一个叠层被刻蚀掉的区域对应的尺寸大于其正下方结构被刻蚀掉的区域对应的尺寸；

在掏空区域沉积金属材料，得到替换金属区域，该替换金属区域包含位于表面的短边区域表面金属层和位于内部的短边区域内部金属层，在第一方向上，短边区域表面金属层

Micron Ex. 1002, p. 186
Micron v. YMTC
IPR2025-00035

的长度大于短边区域内部金属层的长度，字线引出端对应该短边区域表面金属层；

从而形成多个L形字线单元，每个L形字线单元长边一侧沿着第二方向延伸且近邻一栅线缝隙，短边一侧沿着第一方向延伸且短边包含该字线引出端；

可选的，当叠层结构包含氧化硅和氮化硅的叠层对时，对每个区域的叠层结构的表层台阶末端进行处理的方式为：通过离子注入或选择沉积的方式提高表层台阶末端的氮化硅中的氮浓度；

可选的，在对处理后的叠层结构进行刻蚀以形成一栅线缝隙的步骤之前，还包括：形成保护层的步骤；

可选的，在得到替换金属区域的步骤之后还包括：形成用于连接逻辑控制电路的连接孔的步骤，该连接孔贯穿保护层且与字线引出端的连接孔焊点位置对应并连接，该连接孔焊点位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置；

可选的，所述台阶状的叠层结构沿着第一方向和/或第二方向向外突出；

可选的，所述替换金属区域还包含位于表面的长边区域表面金属层和位于内部的长边区域内部金属层，在第二方向上，长边区域表面金属层的长度与长边区域内部金属层的长度相等。

10.一种三维存储器，其特征在于，包含权利要求1-8中任一项所述的L形台阶状字线结构。

Micron Ex. 1002, p. 187
Micron v. YMTC
IPR2025-00035

L形台阶状字线结构及其制作方法及三维存储器

技术领域

[0001] 本公开属于半导体存储器及集成技术领域，涉及一种L形台阶状字线结构及其制作方法及三维存储器。

背景技术

[0002] 三维NAND存储器技术是目前国家正在重点发展的技术。

[0003] 三维NAND存储器面临未来集成难度增大的难题。128层及以上三维NAND存储器面临字线连接工艺难题，随着三维存储器层数增加，字线连接孔的刻蚀要求越来越高的选择比，否则连接孔刻蚀击穿字线引出端/焊点(pad)的几率会极大增加，从而造成字线间短路。同时三维存储器字线引出端(SS)的设计难度也逐渐增加。

发明内容

[0004] (一)要解决的技术问题

[0005] 本公开提供了一种L形台阶状字线结构及其制作方法及三维存储器，以至少部分解决以上所提出的技术问题。

[0006] (二)技术方案

[0007] 根据本公开的一个方面，提供了一种L形台阶状字线结构，包括：多个L形字线单元，每个L形字线单元长边一侧沿着第二方向(y方向)延伸且近邻一栅线缝隙，短边一侧沿着第一方向(x方向)延伸且短边包含一字线引出端；其中，所述字线引出端形成于一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，通过在每个叠层对中的其中一个叠层靠近栅线缝隙的区域作为替换金属区，该替换金属区域包含位于表面的短边区域表面金属层和位于内部的短边区域内部金属层，在第一方向上，短边区域表面金属层的长度大于短边区域内部金属层的长度，所述字线引出端对应该短边区域表面金属层。

[0008] 在本公开的一些实施例中，字线引出端用于连接逻辑控制电路的连接孔焊点，位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置。

[0009] 在本公开的一些实施例中，所述替换金属区域还包含位于表面的长边区域表面金属层和位于内部的长边区域内部金属层，在第二方向上，长边区域表面金属层的长度与长边区域内部金属层的长度相等。

[0010] 在本公开的一些实施例中，多个L形字线单元沿着第一方向依次连接并呈台阶状分布。

[0011] 在本公开的一些实施例中，多个字线单元沿着第三方向层叠并且沿着第二方向呈台阶状分布。

[0012] 在本公开的一些实施例中，所述多个L形字线单元为至少一对L形字线单元，成对的两个L形字线单元通过栅线缝隙隔开并呈错位镜像分布，错位相差一个台阶的高度，所述一个台阶的高度等于一个叠层对的高度，错位的方向沿着第三方向(z方向)，第三方向与第

Micron Ex. 1002, p. 188
Micron v. YMTC
IPR2025-00035

一方向及第二方向均垂直。

[0013] 在本公开的一些实施例中，L形台阶状字线结构，还包括：保护层，覆盖于多个L形字线单元之间及其各个字线单元上方，栅线缝隙贯穿保护层上表面。

[0014] 在本公开的一些实施例中，所述L形字线单元长边用于连接核心(core)区。

[0015] 根据本公开的另一个方面，提供了一种L形台阶状字线结构的制作方法，包括：制作一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，每个叠层对作为一个台阶；对所述叠层结构划分为多个区域，每个区域的叠层结构用于形成一个L形字线单元；对每个区域的叠层结构的表层台阶末端进行处理，使得沿着第一方向，表层台阶末端的刻蚀速率高于位于其下方的结构的刻蚀速率；对处理后的叠层结构进行刻蚀以形成一栅线缝隙，该栅线缝隙沿着第二方向延伸且刻蚀的深度方向垂直于叠层结构的表面；基于所述栅线缝隙对于每个叠层对中的其中一个叠层靠近栅线缝隙的区域进行刻蚀掏空，沿着第一方向，表层台阶中的其中一个叠层被刻蚀掉的区域对应的尺寸大于其正下方结构被刻蚀掉的区域对应的尺寸；在掏空区域沉积金属材料，得到替换金属区域，该替换金属区域包含位于表面的短边区域表面金属层和位于内部的短边区域内部金属层，在第一方向上，短边区域表面金属层的长度大于短边区域内部金属层的长度，字线引出端对应该短边区域表面金属层；从而形成多个L形字线单元，每个L形字线单元长边一侧沿着第二方向延伸且近邻一栅线缝隙，短边一侧沿着第一方向延伸且短边包含该字线引出端。

[0016] 在本公开的一些实施例中，当叠层结构包含氧化硅和氮化硅的叠层对时，对每个区域的叠层结构的表层台阶末端进行处理的方式为：通过离子注入或选择沉积的方式提高表层台阶末端的氮化硅中的氮浓度。

[0017] 在本公开的一些实施例中，在对处理后的叠层结构进行刻蚀以形成一栅线缝隙的步骤之前，还包括：形成保护层的步骤。

[0018] 在本公开的一些实施例中，在得到替换金属区域的步骤之后还包括：形成用于连接逻辑控制电路的连接孔的步骤，该连接孔贯穿保护层且与字线引出端的连接孔焊点位置对应并连接，该连接孔焊点位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置。

[0019] 在本公开的一些实施例中，所述台阶状的叠层结构沿着第一方向和/或第二方向向外突出。

[0020] 在本公开的一些实施例中，所述替换金属区域还包含位于表面的长边区域表面金属层和位于内部的长边区域内部金属层，在第二方向上，长边区域表面金属层的长度与长边区域内部金属层的长度相等。

[0021] 根据本公开的又一个方面，提供了一种三维存储器，包含本公开提及的任一种L形台阶状字线结构。

[0022] (三)有益效果

[0023] 从上述技术方案可以看出，本公开提供的L形台阶状字线结构及其制作方法及三维存储器，具有以下有益效果：

[0024] 通过基于栅线缝隙设置L形短边台阶末端表层的替换金属区域比内部的替换金属区域在第一方向(x方向)的尺寸大，从而可以基于栅线缝隙定位垂直于平面的连接孔(SSCT)的位置，将SSCT设置为在第一方向上大于L形短边台阶末端内部的替换金属区域尺

Micron Ex. 1002, p. 189
Micron v. YMTC
IPR2025-00035

寸的位置，从而当SSCT与L形短边台阶末端表层的替换金属区域连接时，对应其下方为叠层结构中的多个叠层对，例如为多个氧化硅/氮化硅叠层对，那么实现了每个连接(contact)落点的金属层下方都是绝缘层，以此确保在刻蚀选择比不够高的情况下，即使刻蚀过度，也不发生字线短路的现象。

附图说明

[0025] 图1为根据本公开一实施例所示的L形台阶状字线结构的俯视图。

[0026] 图2为如图1所示的L形台阶状字线结构中圈出部分A沿着A1-A1线剖开的结构示意图，对应L形短边的x方向剖视图。

[0027] 图3为如图1所示的L形台阶状字线结构中圈出部分B沿着B1-B1线剖开的结构示意图，对应L形短边的y方向剖视图。

[0028] 图4为如图1所示的L形台阶状字线结构中圈出部分A沿着A2-A2线剖开的结构示意图，对应L形长边的x方向剖视图。

[0029] 图5为如图1所示的L形台阶状字线结构中圈出部分B沿着B2-B2线剖开的结构示意图，对应L形长边的y方向剖视图。

[0030] 图6为L形台阶状字线结构包含沿着第一方向(z方向)层叠的多个字线单元的(a)俯视图和(b)细节部分放大后的立体结构示意图。

[0031] 图7为包含如图1所示的L形台阶状字线结构的三维存储器中通过连接孔接触到短边区域表面金属层实现逻辑控制电路与字线的连接的结构示意图。

[0032] 图8为如图7所示的结构的圈出部分A沿着A3-A3线剖开的结构示意图，对应L形短边的x方向剖视图。

[0033] 图9为根据本公开一实施例所示的L形台阶状字线结构的制作方法流程图。

[0034] 【符号说明】

[0035] 1-字线单元；

[0036] 11保护层； 12-叠层结构；

[0037] 121-第一叠层材料； 122-第二叠层材料；

[0038] 22-替换金属区域；

[0039] 221-短边区域表面金属层； 222-短边区域内部金属层；

[0040] 223-长边区域表面金属层； 224-长边区域内部金属层；

[0041] 3-栅线缝隙(GSL,Gate Line Slit)； 4-连接孔。

具体实施方式

[0042] 现有技术中，三维存储器的控制电路与字线(wordline or gateline)通过垂直于平面的连接孔(SSCT)与台阶状字线引出端(SS,Stair Step)连接。随着三维存储器高度的不断增加，SSCT击穿SS从而导致两条或多条字线短路的概率不断增加。128层和192层三维存储器要求SSCT刻蚀的选择比高于400和600，而192层以上的三维存储器要求更高的SSCT刻蚀选择比。然而目前的刻蚀技术无法满足该选择比要求。

[0043] 本公开提出一种L形台阶状字线结构及其制作方法及三维存储器，通过基于栅线缝隙设置L形短边台阶末端表层的替换金属区域比内部的替换金属区域在第一方向(x方

Micron Ex. 1002, p. 190
Micron v. YMTC
IPR2025-00035

向)的尺寸大,从而可以基于栅线缝隙定位垂直于平面的连接孔(SSCT)的位置,将SSCT设置为在第一方向上大于L形短边台阶末端内部的替换金属区域尺寸的位置,从而当SSCT与L形短边台阶末端表层的替换金属区域连接时,对应其下方为叠层结构中的多个叠层对,例如为多个氧化硅/氮化硅叠层对,那么实现了每个连接(contact)落点的金属层下方都是绝缘层,以此确保在刻蚀选择比不够高的情况下,即使刻蚀过度,也不发生字线短路的现象。

[0044] 本公开的L形台阶状字线结构中,L形是俯视图呈现的形状,该L形台阶状字线结构包含至少两个字线单元。在一实施例中,多个(两个或以上个数)字线单元可以沿着第一方向(x方向)依次连接并呈台阶状分布,即沿着第一方向(x方向)包含多个字线单元,多个字线单元中前一个字线单元的字线引出端末端与后一个字线单元的字线引出端首端呈台阶状分布,如图1所示意的沿着x方向分布的四个字线单元,其中相邻两个字线单元的连接关系如图2所示。在另一实施例中,多个字线单元也可以沿着第三方向(z方向)层叠并呈台阶状分布,即层叠的多个字线单元沿着第二方向(y方向,图6中(b)所示意的为y轴负方向)依次向外突出,形成台阶状分布的多个字线单元的叠层,台阶的高度差h为一个叠层对的高度,如图6中(a)所示意的沿着z方向两个层叠的字线单元和如图6中(b)所示意的呈台阶状分布的形式。

[0045] 本公开的实施例中,L形台阶状字线结构中,替换金属区域的制作方法是通过利用栅线缝隙刻蚀位于该栅线缝隙两端部分区域的第二叠层材料然后经过金属填充后得到的,因此在一实施例中,字线单元是成对出现的,全文以成对的L形字线单元进行说明(图1中示意了呈“凸”形的两个字线单元),成对的两个字线单元通过栅线缝隙隔开并呈错位镜像分布(相差一个台阶的高度),如图1和图2所示。其他制备方法可以单独在栅线缝隙的一侧形成L形字线单元,因此字线单元的个数可以是多个(大于1个),包含奇数和偶数,不局限于成对的偶数形式。

[0046] 本公开的L形台阶状字线结构中,L形长边用于连接核心(core)区,L形短边用作与控制电路连接的接触端/焊点(pad)。通过对L形短边台阶末端表层区域调整离子浓度(或者采用其他调控方式,任何能够实现刻蚀速率差异化的方式均可),使得表层区域比内部区域的刻蚀速率快(湿法腐蚀,或者其他刻蚀手段),从而基于表层和内部材料的刻蚀速率差异,在第一方向(x方向)上得到短边区域表面金属层比其下方的短边区域内部金属层的尺寸大的结构,即在第一方向上,短边区域表面金属层的长度大于短边区域内部金属层的长度,在短边区域表面金属层下方,靠里的部分为短边区域内部金属层,靠外的部分为叠层结构中的(未被刻蚀掉的保留的)多个叠层对。如此,便形成了L形表面金属边缘位置对应的底部为绝缘层的结构,在进行连接孔刻蚀接触时,能够确保在刻蚀选择比不够高的情况下,即使刻蚀过度,也不发生字线短路的现象。

[0047] 为使本公开的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本公开进一步详细说明。

[0048] 第一实施例

[0049] 在本公开的第一个示例性实施例中,提供了一种L形台阶状字线结构。

[0050] 图1为根据本公开一实施例所示的L形台阶状字线结构的俯视图。图2为如图1所示的L形台阶状字线结构中圈出部分A沿着A1-A1线剖开的结构示意图,对应L形短边的x方向剖视图。图3为如图1所示的L形台阶状字线结构中圈出部分B沿着B1-B1线剖开的结构示意

Micron Ex. 1002, p. 191
Micron v. YMTC
IPR2025-00035

图，对应L形短边的y方向剖视图。图4为如图1所示的L形台阶状字线结构中圈出部分A沿着A2-A2线剖开的结构示意图，对应L形长边的x方向剖视图。图5为如图1所示的L形台阶状字线结构中圈出部分B沿着B2-B2线剖开的结构示意图，对应L形长边的y方向剖视图。

[0051] 需要说明的是，本实施例中以四个叠层对形成的叠层结构来示意一个字线单元，因此对应图3和图5中的长边的剖视图，很明显看出对应的字线引出端的短边区域表面金属层221位于四个叠层对的顶层，为了示意两个字线单元的字线引出端下方对应为绝缘层的叠层对，因此图3和图5示意了6个叠层对；在图2和图4中，示意了沿着第一方向(x方向)的两个L形字线单元对，两个相邻L形字线单元对的前一个字线单元对的字线引出端末端与后一个字线单元对的字线引出端首端呈台阶状分布。在每个L形字线单元对内部，成对的两个字线单元通过栅线缝隙隔开并呈错位镜像分布，错位相差一个台阶的高度，图中为了清楚示意沿着第一方向，位于表层(顶层)的短边区域表面金属层221的长度大于其下方(内部)的短边区域内部金属层222的长度，示意了5个叠层对。本领域技术人员可以按照上述示意得知多个(大于等于两个)L形字线单元对的短边和长边的剖视结构示意图。

[0052] 结合图1-图5所示，本公开的L形台阶状字线结构，包括：至少一对L形字线单元，每对L形字线单元中，每个L形字线单元1长边一侧沿着第二方向(y方向)延伸且近邻一栅线缝隙3，短边一侧沿着第一方向(x方向)延伸且短边包含一字线引出端；其中，所述字线引出端形成于一叠层结构12，该叠层结构12包含多个由绝缘材料形成的叠层对，通过在每个叠层对中的其中一个叠层(例如为第二叠层材料122形成的叠层)靠近栅线缝隙3的区域作为替换金属区22，该替换金属区域22包含位于表面的短边区域表面金属层221和位于内部的短边区域内部金属层222，在第一方向上，短边区域表面金属层221的长度大于短边区域内部金属层222的长度，所述字线引出端对应该短边区域表面金属层221。

[0053] 本实施例中，L形长边用于连接核心(core)区，L形短边用作与控制电路连接的接触端/焊点(pad)。

[0054] 结合图1-图3所示，L形短边中，该替换金属区域22包含位于表面的短边区域表面金属层221和位于内部的短边区域内部金属层222，在第一方向上，短边区域表面金属层221的长度大于短边区域内部金属层222的长度。结合图1、图4和图5所示，L形长边中，该替换金属区域22包含位于表面的长边区域表面金属层223和位于内部的长边区域内部金属层224，在第二方向(y方向)上，长边区域表面金属层223的长度与长边区域内部金属层224的长度相等。

[0055] 需要说明的是，整体而言，长边区域表面金属层223和短边区域表面金属层221是同一个扩散层(均为表面扩散层)沿着两个方向(第一方向和第二方向)扩散出来的部分，分别位于长边和短边，因此为了介绍方便以及进行长短边的区分，将其形容为不同的名称，二者实质上是同一个L形扩散层的两个方向；同理，长边区域内部金属层224和短边区域内部金属层222也是同一个扩散层(均为内部扩散层)沿着两个方向表示的部分。相应的，L形台阶状结构中的L形长边用于连接核心(core)区，L形长边对应的替换金属区域的长度均相等，L形短边用作与控制电路连接的接触端/焊点(pad)，L形短边对应的替换金属区域中表层相较于内部的尺寸更大，如果将表层和内部的替换金属区域整体进行比较，表层的替换金属区域为短边较长的“L形”，内部的替换金属区域为“I形”，二者的长边长度相当(沿着y方向相等)；或者其他实施方式中，表层的替换金属区域为短边较长的“L形”，内部的替换金

Micron Ex. 1002, p. 192
Micron v. YMTC
IPR2025-00035

属区域为短边较短的“L形”，二者的长边长度相当。

[0056] 本实施例中，如图1和图2所示，成对的两个字线单元1通过栅线缝隙3隔开并呈错位镜像分布，错位相差一个台阶的高度，所述一个台阶的高度等于一个叠层对的高度，错位的方向沿着第三方向(z方向)，第三方向与第一方向及第二方向均垂直。

[0057] 本实施例中，叠层对12包含多个由绝缘材料形成的叠层对，每个叠层对包含第一叠层材料121和第二叠层材料122，例如，第一叠层材料121为氧化硅，第二叠层材料122为氮化硅。

[0058] 下面结合附图介绍多个字线单元或者多个字线单元对的分布形式。图6为L形台阶状字线结构包含沿着第一方向(z方向)层叠的多个字线单元的(a)俯视图和(b)细节部分放大后的立体结构示意图。图7为包含如图1所示的L形台阶状字线结构的三维存储器中通过连接孔接触到短边区域表面金属层实现逻辑控制电路与字线的连接的结构示意图。图8为如图7所示的结构的圈出部分A沿着A3-A3线剖开的结构示意图，对应L形短边的x方向剖视图。

[0059] 在一实施例中，多个(两个或以上个数)字线单元可以沿着第一方向(x方向)依次连接并呈台阶状分布，即沿着第一方向(x方向)包含多个字线单元，多个字线单元中前一个字线单元的字线引出端末端与后一个字线单元的字线引出端首端呈台阶状分布，如图1所示意的沿着x方向分布的四个字线单元，其中相邻两个字线单元的连接关系如图2所示。

[0060] 本实施例中，以字线单元对为例进行说明，如图1-图3所示，沿着第一方向包含至少两对字线单元，如图1中圈出区域A所示，两个相邻L形字线单元对的前一个字线单元对的字线引出端末端与后一个字线单元对的字线引出端首端呈台阶状分布。在每个L形字线单元对内部，成对的两个字线单元通过栅线缝隙隔开并呈错位镜像分布，错位相差一个台阶的高度。

[0061] 在另一实施例中，多个字线单元也可以沿着第三方向(z方向)层叠并且沿着第二方向(y方向)呈台阶状分布，如图6中(a)所示意的沿着z方向两个层叠的字线单元和如图6中(b)所示意的呈台阶状分布的形式，即沿着第三方向层叠的多个字线单元沿着第二方向(y方向)依次向外突出，形成台阶状分布的多个字线单元的叠层，这里向外突出的方向参照图6中(b)所示意的y轴负方向，台阶的高度差h为一个叠层对的高度，本实施例中，一个叠层对的高度为氧化硅/氮化硅叠层对的高度。当然，对应多个字线单元对，在z轴叠层的情况与两个字线单元上下层叠的方式类似，这里不再赘述。字线单元对的区别在于，在每个字线单元对内部，需要具有如下布局：成对的两个字线单元通过栅线缝隙隔开并呈错位镜像分布，错位相差一个台阶的高度。

[0062] 当然，在其它实施例中，还可以是上述两种布局形式的组合，即多个字线单元可以沿着第三方向层叠，沿着第三方向层叠的多个字线单元沿着第二方向(y方向)依次向外突出，且在第一方向依次连接多个字线单元并呈台阶状分布。

[0063] 参照图7和图8所示，本实施例中，字线引出端用于连接逻辑控制电路的连接孔4焊点位于短边区域表面金属层221中距离栅线缝隙3的距离为大于所述短边区域内部金属层222长度的位置。

[0064] 本实施例中，参照图2-图5所示，该L形台阶状字线结构还包括：保护层11，覆盖于多个L形字线单元1之间及其各个字线单元1上方，栅线缝隙3贯穿保护层11上表面。

Micron Ex. 1002, p. 193
Micron v. YMTC
IPR2025-00035

[0065] 综上所述，本实施例中通过基于栅线缝隙设置L形短边台阶末端表层的替换金属区域比内部的替换金属区域在第一方向(x方向)的尺寸大，从而可以基于栅线缝隙定位垂直于平面的连接孔(SSCT)的位置，将SSCT设置为在第一方向上大于L形短边台阶末端内部的替换金属区域尺寸的位置，从而当SSCT与L形短边台阶末端表层的替换金属区域连接时，对应其下方为叠层结构中的多个叠层对，例如为多个氧化硅/氮化硅叠层对，那么实现了每个连接(contact)落点的金属层下方都是绝缘层，以此确保在刻蚀选择比不够高的情况下，即使刻蚀过度，也不发生字线短路的现象。

[0066] 第二实施例

[0067] 在本公开的第二个示例性实施例中，提供了一种L形台阶状字线结构的制作方法。本实施例以如何制作第一个实施例中的L形台阶状字线结构进行示例。

[0068] 图9为根据本公开一实施例所示的L形台阶状字线结构的制作方法流程图。

[0069] 参照图9所示，本实施例的L形台阶状字线结构的制作方法，包括：

[0070] 步骤S201：制作一台阶状的叠层结构，该叠层结构包含多个由绝缘材料形成的叠层对，每个叠层对作为一个台阶；

[0071] 在本公开的一实施例中，所述台阶状的叠层结构12沿着第一方向和/或第二方向向外突出。

[0072] “A和/或B”的含义为只包含A或者只包含B或者同时包含A和B。

[0073] 本实施例中，叠层对12包含多个由绝缘材料形成的叠层对，每个叠层对包含第一叠层材料121和第二叠层材料122，例如，第一叠层材料121为氧化硅，第二叠层材料122为氮化硅。

[0074] 步骤S202：对所述叠层结构划分为多个区域，每个区域的叠层结构用于形成一个L形字线单元；

[0075] 本实施例中，L形长边用于连接核心(core)区，L形短边用作与控制电路连接的接触端/焊点(pad)，core区和SS端(台阶状字线引出端，对应短边)电路的设计需要通过顶部选择栅(select gate)的选择来划分区域(block)。

[0076] 步骤S203：对每个区域的叠层结构的表层台阶末端进行处理，使得沿着第一方向，表层台阶末端的刻蚀速率高于位于其下方的结构的刻蚀速率；

[0077] 在本公开的一些实施例中，当叠层结构包含氧化硅和氮化硅的叠层对时，对每个区域的叠层结构的表层台阶末端进行处理的方式为：通过离子注入或选择沉积的方式提高表层台阶末端的氮化硅中的氮浓度。

[0078] 当然，形成不同刻蚀速率的形式有多种，本实施例中采用的湿法刻蚀的方式同时配合使用改变离子浓度的形式，在其它实施例中，也可以采用其他调控方式，任何能够实现刻蚀速率差异化的方式均在本公开的保护范围之内。

[0079] 步骤S204：对处理后的叠层结构进行刻蚀以形成一栅线缝隙，该栅线缝隙沿着第二方向延伸且刻蚀的深度方向垂直于叠层结构的表面；

[0080] 栅线缝隙3形成于相邻的分区之间或者同一个分区的中线上以形成字线单元对，成对的两个字线单元1通过栅线缝隙3隔开并呈错位镜像分布。栅线缝隙的一侧(比如图2中的左侧)与其中一个叠层结构的表层台阶相切并贯穿下方的其它台阶层，如图1和图2所示。

[0081] 步骤S205：基于所述栅线缝隙对于每个叠层对中的其中一个叠层靠近栅线缝隙的

Micron Ex. 1002, p. 194
Micron v. YMTC
IPR2025-00035

区域进行刻蚀掏空；

[0082] 沿着第一方向，由于表层台阶末端经过处理，因此表层台阶末端的刻蚀速率高于位于其下方的结构的刻蚀速率，则基于栅线缝隙3对每个叠层对中的其中一个叠层(比如均为包含第二叠层材料122的叠层)进行刻蚀掏空后，表层台阶中的该其中一个叠层被刻蚀掉的区域对应的尺寸大于其正下方结构被刻蚀掉的区域对应的尺寸，即后续形成的L形短边对应的情形；

[0083] 沿着第二方向，表层台阶中的该其中一个叠层备刻蚀掉的区域对应的尺寸与其正下方结构被刻蚀掉的区域对应的尺寸相等，即后续形成L形长边对应的情形。

[0084] 步骤S206：在掏空区域沉积金属材料，得到替换金属区域，字线引出端对应短边区域表面金属层；从而形成多个L形字线单元，每个L形字线单元长边一侧沿着第二方向延伸且近邻一栅线缝隙，短边一侧沿着第一方向延伸且短边包含该字线引出端；

[0085] 本实施例中，如图2和图3所示，该替换金属区域11包含位于表面的短边区域表面金属层221和位于内部的短边区域内部金属层222，在第一方向上，短边区域表面金属层221的长度大于短边区域内部金属层222的长度，字线引出端对应该短边区域表面金属层221；

[0086] 如图4和图5所示，所述替换金属区域11还包含位于表面的长边区域表面金属层223和位于内部的长边区域内部金属层224，在第二方向上，长边区域表面金属层223的长度与长边区域内部金属层224的长度相等。

[0087] 在本公开的一些实施例中，在刻蚀处理后的叠层结构以形成一栅线缝隙的步骤S204之前，还包括：形成保护层的步骤；该实施例中，先进行步骤S203，对对每个区域的叠层结构的表层台阶末端进行处理之后，为了在后续步骤S204进行刻蚀制作栅线缝隙的过程中形成掩膜或者起到保护表面的作用，先形成保护层11，然后基于干法或者湿法刻蚀的工艺在叠层结构12中制作栅线缝隙3。

[0088] 在本公开的一些实施例中，在得到替换金属区域的步骤S206之后还包括：形成用于连接逻辑控制电路的连接孔4的步骤，如图7和图8所示，该连接孔4贯穿保护层且与字线引出端的连接孔焊点位置对应并连接，该连接孔焊点位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置。

[0089] 本实施例的制作方法还包括其他的常用步骤或者执行顺序可以进行变化；当然，本公开的L形台阶状字线结构的制作方法不局限于本实施例所示，任何能够形成本公开的L形台阶状字线结构的各个组成部分以及对应的位置关系的工艺均在本公开的保护范围之内。

[0090] 第三实施例

[0091] 在本公开的第三个示例性实施例中，提供了一种三维存储器，包含本公开提及的任一种L形台阶状字线结构。

[0092] 本实施例中，该三维存储器包含：L形台阶状字线结构以及逻辑控制电路，该逻辑控制电路通过连接孔4与L形台阶状字线结构中每个字线单元1中的字线引出端上的连接孔焊点位置对应并连接，该连接孔焊点位于短边区域表面金属层中距离栅线缝隙的距离为大于所述短边区域内部金属层长度的位置。由于连接孔焊点下方为绝缘层，因此在进行连接孔刻蚀接触时，能够确保在刻蚀选择比不够高的情况下，即使刻蚀过度，也不发生字线短路的现象。

Micron Ex. 1002, p. 195
Micron v. YMTC
IPR2025-00035

[0093] 综上所述，本公开提供了一种L形台阶状字线结构及其制作方法及三维存储器，通过基于栅线缝隙设置L形短边台阶末端表层的替换金属区域比内部的替换金属区域在第一方向(x方向)的尺寸大，从而可以基于栅线缝隙定位垂直于平面的连接孔(SSCT)的位置，将SSCT设置为在第一方向上大于L形短边台阶末端内部的替换金属区域尺寸的位置，从而当SSCT与L形短边台阶末端表层的替换金属区域连接时，对应其下方为叠层结构中的多个叠层对，例如为多个氧化硅/氮化硅叠层对，那么实现了每个连接(contact)落点的金属层下方都是绝缘层，以此确保在刻蚀选择比不够高的情况下，即使刻蚀过度，也不发生字线短路的现象。

[0094] 贯穿附图，相同的元素由相同或相近的附图标记来表示。在可能导致对本公开的理解造成混淆时，将省略常规结构或构造。并且图中各部件的形状和尺寸不反映真实大小和比例，而仅示意本公开实施例的内容。另外，在权利要求中，不应将位于括号之间的任何参考符号构造成对权利要求的限制。

[0095] 说明书与权利要求中所使用的序数例如“第一”、“第二”、“第三”等的用词，以修饰相应的元件，其本身并不意味着该元件有任何的序数，也不代表某一元件与另一元件的顺序、或是制造方法上的顺序，该些序数的使用仅用来使具有某命名的一元件得以和另一具有相同命名的元件能做出清楚区分。

[0096] 再者，单词“包含”或“包括”不排除存在未列在权利要求中的元件或步骤。位于元件之前的单词“一”或“一个”不排除存在多个这样的元件。

[0097] 除非存在技术障碍或矛盾，本发明的上述实施方式中的各个特征可以自由组合以形成另外的实施例，这些另外的实施例均在本发明的保护范围中。

[0098] 以上所述的具体实施例，对本公开的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本公开的具体实施例而已，并不用于限制本公开，凡在本公开的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

Micron Ex. 1002, p. 196
Micron v. YMTC
IPR2025-00035

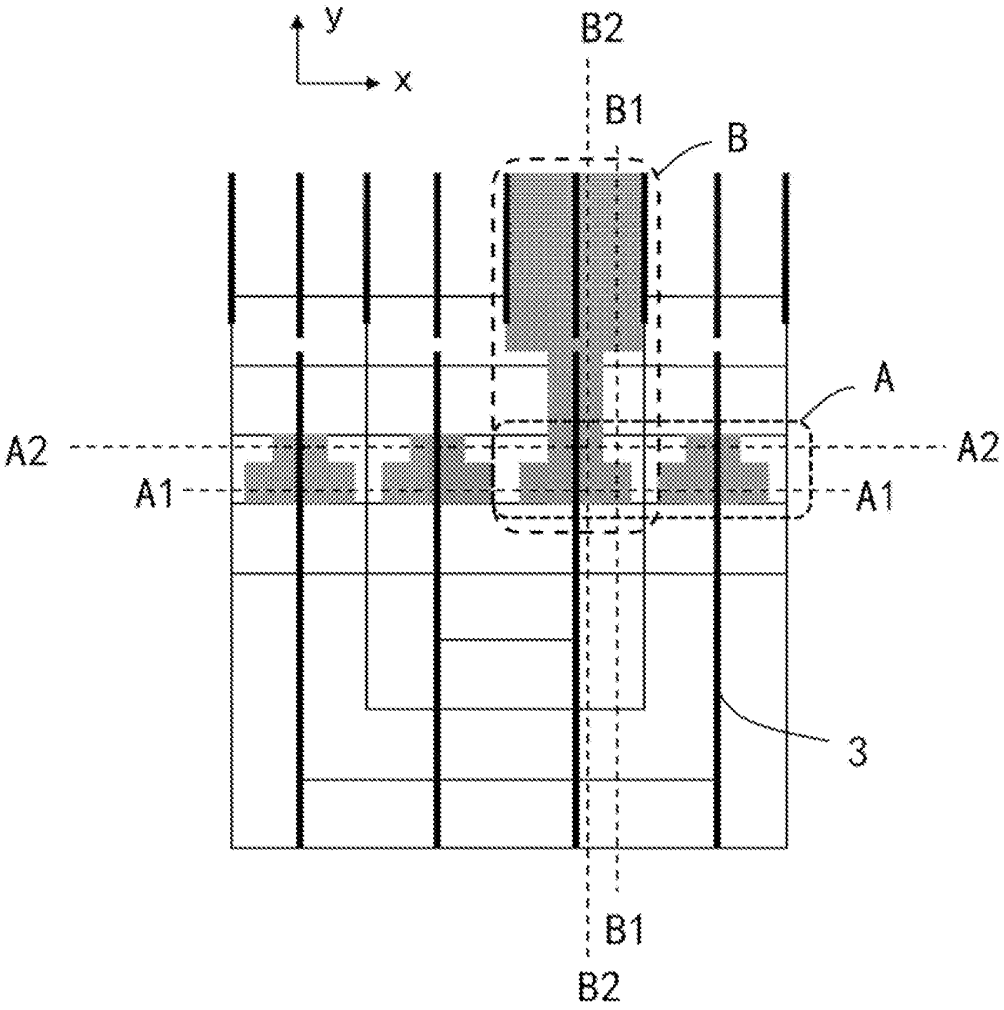


图1

Micron Ex. 1002, p. 197
Micron v. YMTC
IPR2025-00035

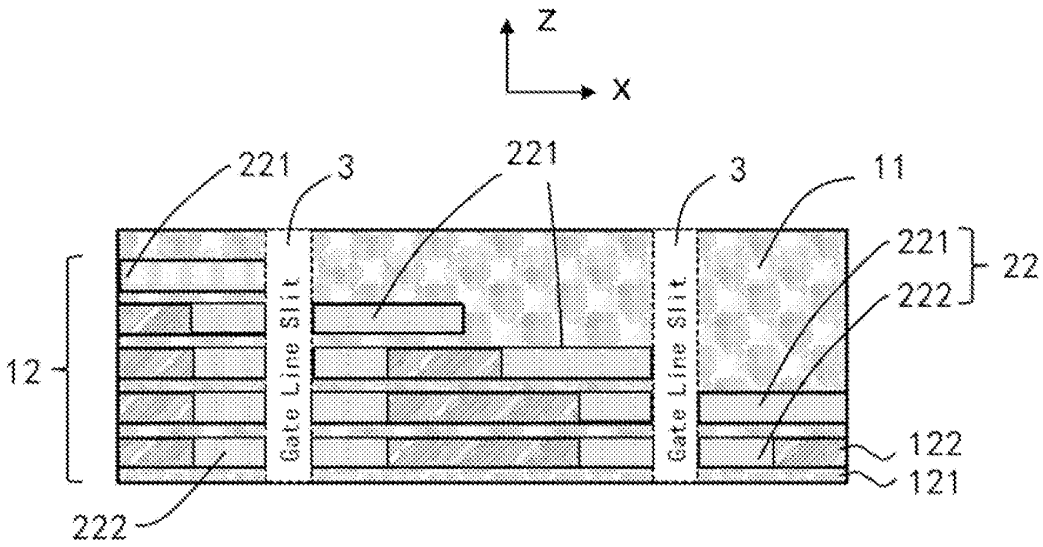


图2

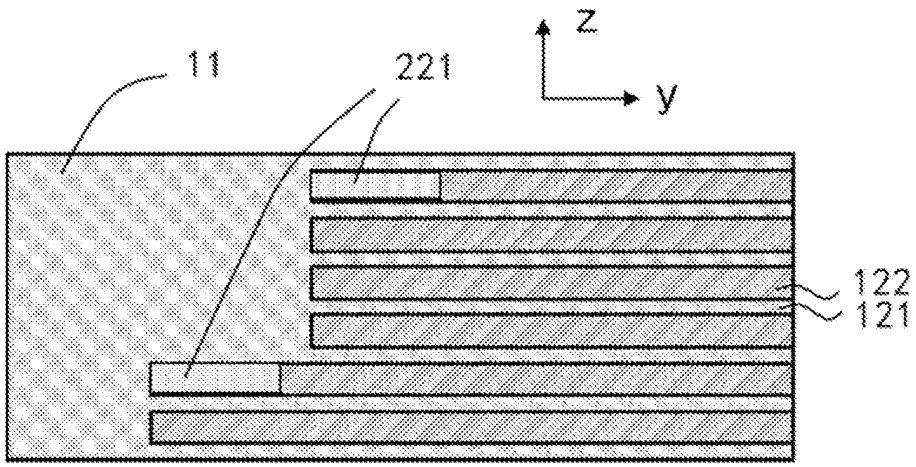


图3

Micron Ex. 1002, p. 198
Micron v. YMTC
IPR2025-00035

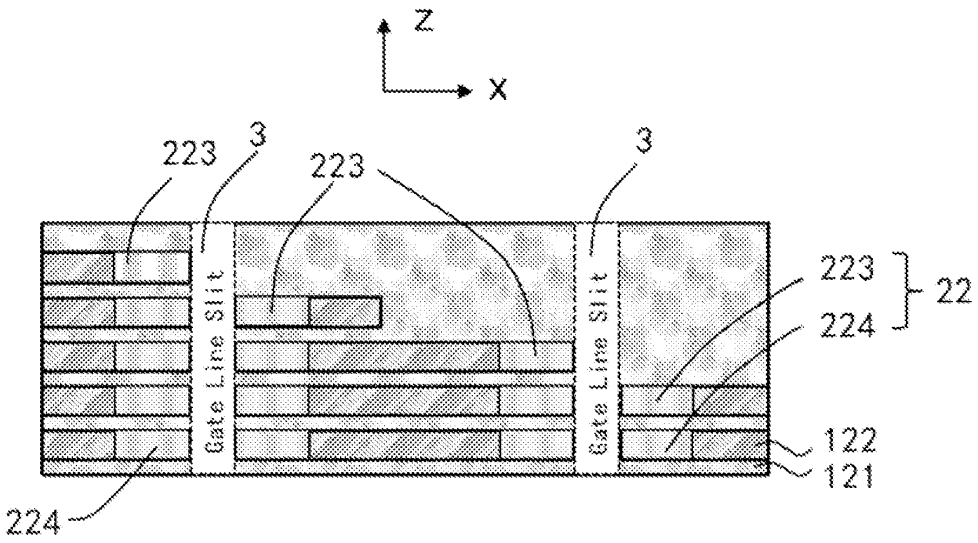


图4

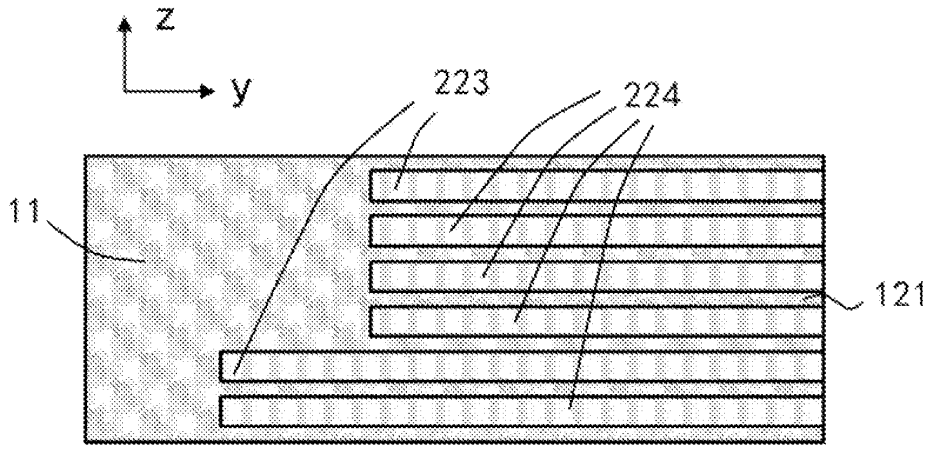


图5

Micron Ex. 1002, p. 199
Micron v. YMTC
IPR2025-00035

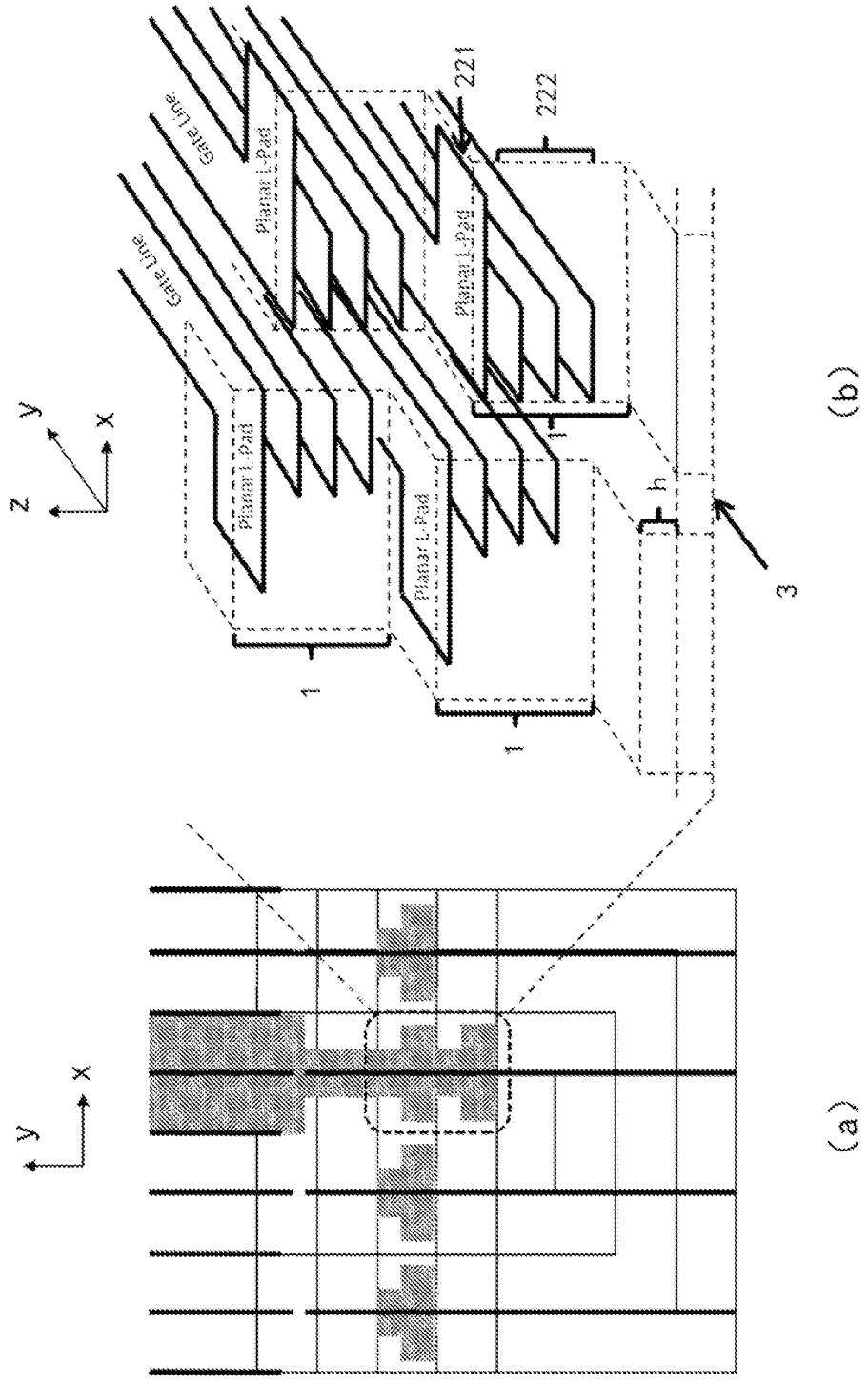


图6

Micron Ex. 1002, p. 200
Micron v. YMTC
IPR2025-00035

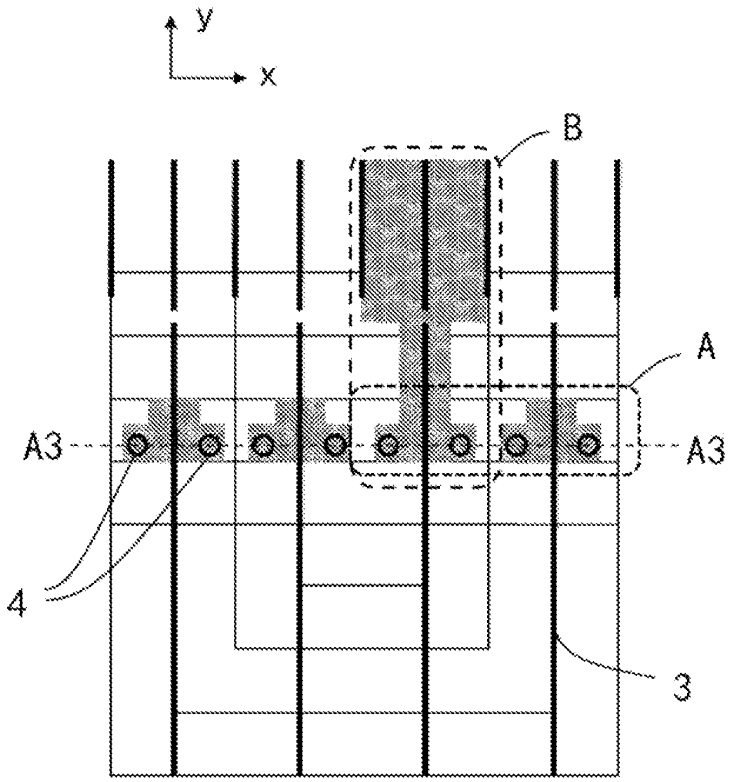


图7

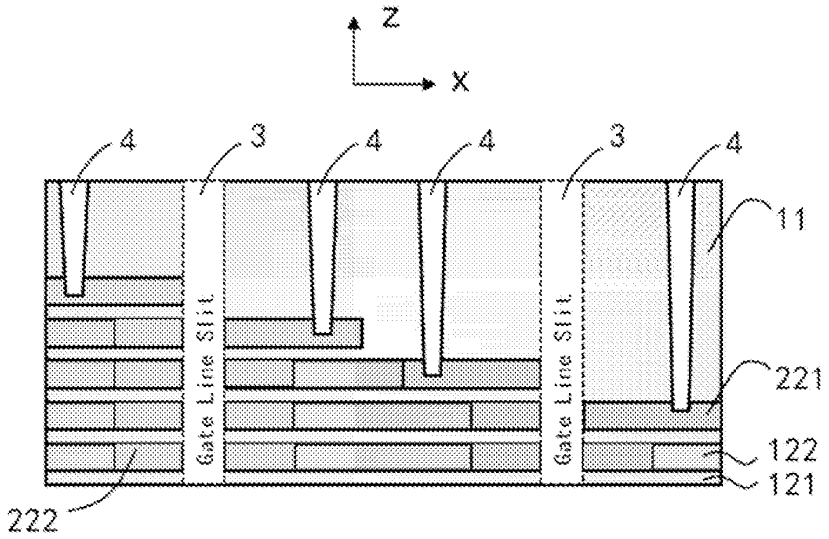


图8

Micron Ex. 1002, p. 201
Micron v. YMTC
IPR2025-00035

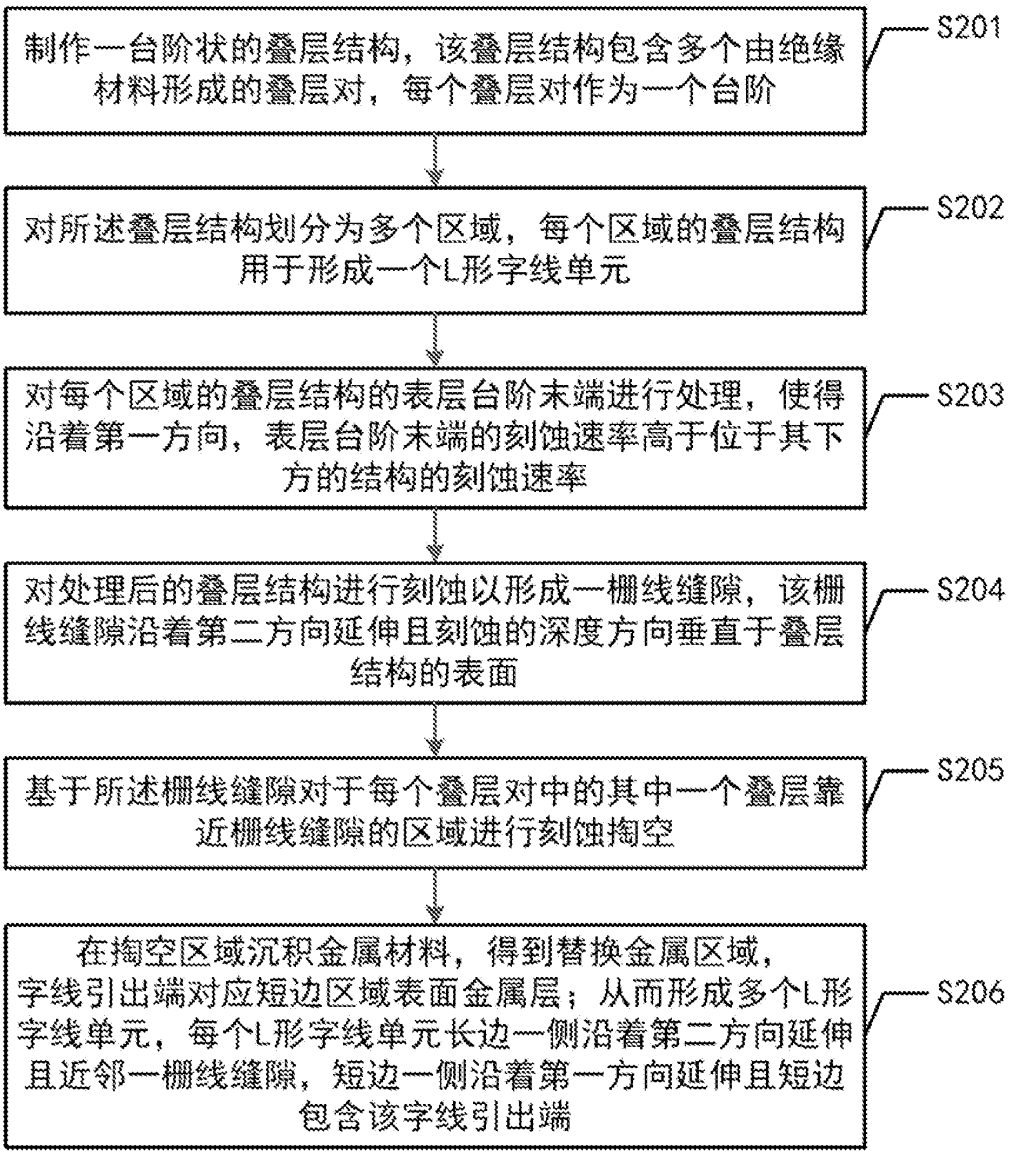


图9

Micron Ex. 1002, p. 202
Micron v. YMTC
IPR2025-00035

Espacenet

TW201834217A Three-dimensional semiconductor device and method of manufacturing the same

Applicants: MACRONIX INT CO LTD [TW]

Inventors: CHIOU JIA-RONG [TW],JIANG YU-WEI [TW]

Classifications:
IPC ***H01L27/11551;***

Priorities: TW106108272A 2017-03-14

Application: TW201834217A·2017-03-14

Publication: TW201834217A·2018-09-16

Published as: TW201834217A;**TWI630709B**

Three-dimensional semiconductor device and method of manufacturing the same

Abstract

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

Micron Ex. 1002, p. 203
Micron v. YMTC
IPR2025-00035

201834217

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201834217 A

(43)公開日： 中華民國 107 (2018) 年 09 月 16 日

(21)申請案號：106108272 (22)申請日： 中華民國 106 (2017) 年 03 月 14 日

(51)Int. Cl.： *H01L27/11551 (2017.01)*

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD. (TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：江昱維 JIANG, YU-WEI (TW) ；邱家榮 CHIOU, JIA-RONG (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 28 頁

(54)名稱

三維半導體元件及其製造方法

THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

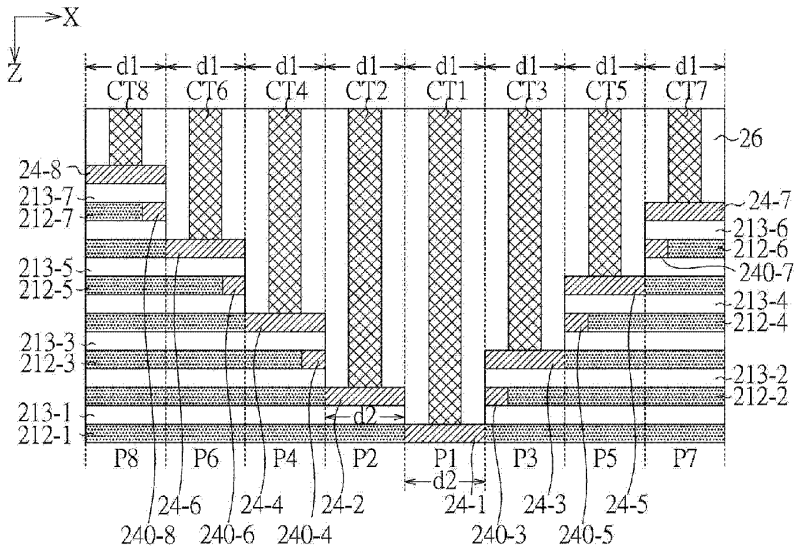
一種三維半導體元件，包括：一基板，包括一陣列區域和鄰近陣列區域之一階梯區域，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；一堆疊，具有多層結構疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和多層結構連接器，分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

指定代表圖：

Micron Ex. 1002, p. 204
Micron v. YMTC
IPR2025-00035

TW 201834217 A



第 2 圖

符號簡單說明：

P1、P2、P3、P4、P5、P6、P7、P8・・・接觸區域

212-1、212-2、212-3、212-4、212-5、212-6、212-7・・・主動層

213-1、213-2、213-3、213-4、213-5、213-6、213-7・・・絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8・・・多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8・・・金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8・・・金屬矽化物部份

26・・・介電層

d1・・・第一寬度

d2・・・第二寬度

Micron Ex. 1002, p. 205
Micron v. YMTC
IPR2025-00035

【發明說明書】

【中文發明名稱】三維半導體元件及其製造方法

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本發明是有關於一種三維半導體元件及其製造方法，且特別是有關於一種具金屬矽化物(silicide)之三維半導體元件及其製造方法。

【先前技術】

【0002】 非揮發性記憶體元件在設計上有一個很大的特性是，當記憶體元件失去或移除電源後仍能保存資料狀態的完整性。目前業界已有許多不同型態的非揮發性記憶體元件被提出。不過相關業者仍不斷研發新的設計或是結合現有技術，進行含記憶胞之記憶體平面的堆疊以達到具有更高儲存容量的記憶體結構。例如已有一些多層薄膜電晶體堆疊之反及閘(NAND)型快閃記憶體結構被提出。相關業者已經提出各種不同結構的三維記憶體元件，例如具單閘極(Single-Gate)之記憶胞、雙閘極(double gate)之記憶胞，和環繞式閘極(surrounding gate)之記憶胞等三維半導體元件。

【0003】 相關設計者無不期望可以建構出一三維半導體結構，不僅具有許多層堆疊平面(記憶體層)而達到更高的儲存容量，更具有優異的電子特性(例如具有良好的資料保存可靠性和操作速度)，使記憶體可以被穩定和快速的如進行抹除和編程等操作。一般而言，傳統三維半導體元件會在階梯區域(staircase area)

Micron Ex. 1002, p. 206
Micron v. YMTC
IPR2025-00035

沈積一蝕刻停止層(例如氮化矽層)覆蓋接觸區域之次堆疊的多層結構(multi-layers)，使對應各接觸區域的所有接觸孔都能一致地停在蝕刻停止層上。之後，所有的接觸孔同步穿過蝕刻停止層而到達其對應的主動層(例如多晶矽層)上。然而，由於蝕刻停止層的形成會影響接觸降落窗口(contact landing windows)。若在發展一三維半導體元件時需要形成更多對的氧化層-多晶矽層(即習稱之 OP 層)堆疊，則需要形成更厚的蝕刻停止層，則此更厚的蝕刻停止層之形成會對接觸降落窗口造成更大的不良影響。再者，在縮小三維半導體元件尺寸時，蝕刻停止層的存在會留下更少的空間給接觸降落窗口，這對於製程和結構都會造成問題。

【發明內容】

【0004】 本發明係有關於一種三維半導體元件及其製造方法。根據實施例之三維半導體元件，藉由形成金屬矽化物(silicide)可大幅增加接觸降落窗口(contact landing windows)。

【0005】 根據實施例，係提出一種三維半導體元件，包括：一基板，包括一陣列區域(array area)和鄰近陣列區域之一階梯區域(staircase area)，其中階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；一堆疊，具有多層結構(multi-layers)疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於接觸區域中各次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和多層結構連接器(multilayered connectors)，分別位於對

Micron Ex. 1002, p. 207
Micron v. YMTC
IPR2025-00035

應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

【0006】 根據實施例，係提出一種三維半導體元件之製造方法，包括：提供具有一陣列區域和鄰近陣列區域之一階梯區域之一基板，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；形成具有多層結構之一堆疊於該基板上，且多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和形成多層結構連接器分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各次堆疊之金屬矽化物層。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0008】

第 1 圖係簡繪一三維半導體元件之立體圖。

第 2 圖為本揭露一實施例之一三維半導體元件的階梯區域之剖面示意圖。

第 3A 圖至第 3L 圖繪示根據一實施例於階梯區域中形成金屬矽化物的三維半導體元件之一種製造方法。

第 4 圖為本揭露另一實施例之一三維半導體元件的階梯區域之剖面示意圖。

Micron Ex. 1002, p. 208
Micron v. YMTC
IPR2025-00035

【實施方式】

【0009】 本揭露之實施例係提出一種三維半導體元件及其製造方法。根據實施例，藉由在三維半導體元件中形成金屬矽化物(silicide)的方式以大幅增加接觸降落窗口(contact landing windows)，無論三維半導體元件之 OP 層堆疊的層數有多少或是三維半導體元件尺寸是否縮小，都適合應用實施例。因此，根據實施例提出之具金屬矽化物之設計，可以提供應用之三維半導體元件有足夠寬的接觸降落窗口，進而增進應用元件的電子特性和性能表現。

【0010】 本揭露可應用於許多具不同記憶胞陣列型態的三維半導體元件，例如垂直通道式(vertical-channel，VC)三維半導體元件和垂直閘極式(vertical-gate，VG)三維半導體元件，本揭露對於實施例之應用型態並沒有特別限制。第 1 圖係簡繪一三維半導體元件之立體圖。圖中係繪示一垂直通道式三維半導體元件為例作說明。一三維半導體元件包括一堆疊(stack)具有多層結構(multi-layers)疊置於一基板 10 上，基板 10 包括一陣列區域(array area)R_A和鄰近陣列區域 R_A之一階梯區域(staircase area)R_S，其中階梯區域 R_S包括 N 個梯級(N steps)，N 為大於或等於 1 的整數。多層結構包括多層主動層 112(i.e.記憶體層，例如是 VC 元件中包括了控制閘極)與絕緣層 113 交錯設置於基板 10 上方。三維半導體元件更包括複數條上方選擇線(upper selection lines)12U(上方選擇線可為共同源極線(Common Source Line)相互平行地位於主動層 112(i.e.記憶體層)上方，複數條串列(strings)垂直於主動層

Micron Ex. 1002, p. 209
Micron v. YMTC
IPR2025-00035

112 和上方選擇線 12U，其中該些串列係電性連接至對應之上方選擇線 12U。再者，三維半導體元件更包括複數條導線 18(例如位元線 BLs)位於上方選擇線 12U 上方，且該些導線 18 係相互平行並垂直於上方選擇線 12U。複數個記憶胞係分別由串列、上方選擇線 12 U 和導線 18 定義，且記憶胞可排列為複數列(rows)及複數行(columns)以形成記憶體陣列。再者，複數個串列接觸(string contacts)17 係垂直於主動層 112 和上方選擇線 12U，且每串列接觸 17 之設置係對應於記憶胞之每串列，其中串列接觸 17 係電性連接至對應的上方選擇線 12U 和對應的導線 18。三維半導體元件還包括其它元件，記憶體層下方更有下方選擇線(lower select lines)12L 形成(下方選擇線可為反轉閘極(inversion gate, IG))。

【0011】 再者，實施例之堆疊包括複數個次堆疊(sub-stacks)形成於基板 10 上，且該些次堆疊與階梯區域 R_S 之 N 個梯級對應設置以分別形成接觸區域(contact regions)R_C。實施例之三維半導體元件更包括複數個多層結構連接器(multilayered connectors)(未繪示於第 1 圖。但可參照第 2 圖之多層結構連接器 CT1-CT8)，分別位於對應的接觸區域 R_C。根據實施例，接觸區域 R_C 中各個次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)以覆蓋降落區域(ex: 一接觸墊，例如字元線接觸(word line pad))，且多層結構連接器係向下延伸以電性連接(例如直接接觸)各次堆疊之金屬矽化物層。於一實施例中，階梯區域 R_S 中對應接觸區域 R_C 之次堆疊的主動層係來自於陣列區域 R_A 主動層(例如是做為字元線的多晶矽層)的延伸。以下係以在階梯區域 R_S 中形成金屬矽化物之三維半導體元件之其中之一種

Micron Ex. 1002, p. 210
Micron v. YMTC
IPR2025-00035

態樣為例作實施例之三維半導體元件的說明，但本揭露並不僅限於此。

【0012】 以下係參照所附圖式敘述本揭露提出之其中多個實施態樣，以描述相關構型與製造方法。相關的結構細節例如相關層別和空間配置等內容如下面實施例內容所述。然而，但本揭露並非僅限於所述態樣，本揭露並非顯示出所有可能的實施例。實施例中相同或類似的標號係用以標示相同或類似之部分。再者，未於本揭露提出的其他實施態樣也可能可以應用。相關領域者可在不脫離本揭露之精神和範圍內對實施例之結構加以變化與修飾，以符合實際應用所需。而圖式係已簡化以利清楚說明實施例之內容，圖式上的尺寸比例並非按照實際產品等比例繪製。因此，說明書和圖示內容僅作敘述實施例之用，而非作為限縮本揭露保護範圍之用。

【0013】 再者，說明書與請求項中所使用的序數例如”第一”、”第二”、”第三”等之用詞，以修飾請求項之元件，其本身並不意含及代表該請求元件有任何之前的序數，也不代表某一請求元件與另一請求元件的順序、或是製造方法上的順序，該些序數的使用僅用來使具有某命名的一請求元件得以和另一具有相同命名的請求元件能作出清楚區分。

【0014】 第 2 圖為本揭露一實施例之一三維半導體元件的階梯區域之剖面示意圖。第 3A 圖至第 3L 圖繪示根據一實施例於階梯區域中形成金屬矽化物的三維半導體元件之一種製造方法。在第 2 圖和第 3A 圖至第 3L 圖中，係以 8 對主動層和絕緣層以及 8 個接觸區域(P1-P8; N=8)為例做一實施例之說明。當然，接觸區

Micron Ex. 1002, p. 211
Micron v. YMTC
IPR2025-00035

域的數目以及主動層與絕緣層成對的數目可以依照實際應用之條件所需而改變。再者，為了達到能清楚呈現與說明實施例構型之目的，於第 2 圖和第 3A 圖至第 3L 圖中係省略了位於 8 對主動層和絕緣層下方一些已知層(例如：氧化層、選擇線層和基板)之繪製。

【0015】 如第 2 圖所示，實施例之堆疊包括形成於基板上方的數個次堆疊，且該些次堆疊設置於階梯區域(如第 1 圖所示之 R_S)中對應之接觸區域 P1、P2、P3、P4、P5、P6、P7 和 P8(i.e. 8 個梯級；N＝8)。其主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7)與絕緣層(如 213-1、213-2、213-3、213-4、213-5、213-6、213-7)交錯設置於實施例三維半導體元件的階梯區域中。階梯區域中，實施例之三維半導體元件還包括多層結構連接器例如 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 分別位於對應的接觸區域 P1- P8。再者，根據實施例，接觸區域中各次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；例如第 2 圖所示，金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 分別形成於接觸區域 P1、P2、P3、P4、P5、P6、P7 和 P8。一實施例中，對於接觸區域的各個次堆疊，位於金屬矽化物層下方的主動層可皆為多晶矽層。多層結構連接器例如 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 係向下延伸以分別電性連接(例如直接接觸)各次堆疊之金屬矽化物層如 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8。

【0016】 值得注意的是，第 2 圖僅繪示其中一種實施態樣，

Micron Ex. 1002, p. 212
Micron v. YMTC
IPR2025-00035

亦即各個次堆疊之最上層主動層為 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8，其皆為金屬矽化物層，其中可利用在製程中將各個次堆疊之一最上層多晶矽層完全轉換而得到金屬矽化物層。然而，本揭露並不以此為限。於一些實施例中，各個次堆疊之最上層主動層亦可包括一多晶矽層和一金屬矽化物層形成於多晶矽層上方(例如藉由將各個次堆疊之一最上層多晶矽層部分轉換而得，其結構細節係於第 4 圖和相關段落中敘述)。

【0017】 再者，三維半導體元件更包括一介電層 26(如層間介電層(ILD))形成於該些接觸區域(ex: P1-P8)的次堆疊上。多層結構連接器(ex: CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8)係在介電層 26 中向下延伸，其中介電層 26 直接接觸各個次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8。如第 2 圖所示，於接觸區域(P1-P8)之各個次堆疊的金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 係做為各個次堆疊的降落區域，且所有降落區域(i.e.金屬矽化物層的上表面)除了被多層結構連接器 CT1-CT8 接觸的部分以外都被介電層 26 直接覆蓋。

【0018】 再者，根據一實施例之三維半導體元件，於接觸區域(ex: P1-P8)中該些次堆疊的主動層 212 之側端(lateral ends of the active layers)包括金屬矽化物部份(silicide portions)。例如第 2 圖所示之分別對應接觸區域 P3-P8 中的金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。且介電層 26 直接接觸主動層的金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。根據實施例，金屬矽化物層 24-1、24-2、24-3、24-4、24-5、

Micron Ex. 1002, p. 213
Micron v. YMTC
IPR2025-00035

24-6、24-7 和 24-8 與金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8 包括相同材料。

【0019】 第 3A 圖至第 3L 圖繪示一種如第 2 圖所示於階梯區域中形成金屬矽化物的三維半導體元件之製造方法。第 3A 圖至第 3F 圖係例示如何形成 N 個梯級的其中一種應用程序(圖中 N=8)。值得注意的是，於第 3A 圖至第 3F 圖所顯示之步驟僅是提供做示例之用，其他的蝕刻方法亦可應用以製得階梯區域的 N 個梯級之相應次堆疊。

【0020】 如第 3A 圖所示，一多層結構包括主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7 和 212-8)與絕緣層(如 213-1、213-2、213-3、213-4、213-5、213-6、213-7 和 213-8)交錯設置於基板(未顯示)上方(例如是包括 8 對的多晶矽層和氧化層；及習稱之 OP 對)，且設置一第一圖案化光阻層(first patterned photo-resist layer)PR1 於多層結構上並對應接觸區域 P8、P6、P4 和 P2。接著，以第一圖案化光阻層 PR1 對主動層 212-8 和絕緣層 213-8 進行圖案化，以移除對應接觸區域 P1、P3、P5 和 P7 的主動層 212-8 和絕緣層 213-8，如第 3B 圖所示。之後，移除第一圖案化光阻層 PR1。

【0021】 如第 3C 圖所示，設置一第二圖案化光阻層 PR2 於多層結構上並對應接觸區域 P8、P4、P3 和 P7。接著，以第二圖案化光阻層 PR2 對第 3C 圖之多層結構進行圖案化，以移除對應接觸區域 P6、P2、P1 和 P5 的兩對主動層和絕緣層，如第 3D 圖所示。之後，移除第二圖案化光阻層 PR2。

【0022】 如第 3E 圖所示，設置一第三圖案化光阻層 PR3 於

Micron Ex. 1002, p. 214
Micron v. YMTC
IPR2025-00035

多層結構上並對應接觸區域 P8、P6、P5 和 P7。接著，以第三圖案化光阻層 PR3 對第 3E 圖之多層結構進行圖案化，以移除對應接觸區域 P4、P2、P1 和 P3 的四對主動層和絕緣層，如第 3F 圖所示。之後，移除第三圖案化光阻層 PR3。至此，已製得階梯區域中 N 個梯級(N=8)之次堆疊於相應之接觸區域中 P1-P8。

【0023】 如第 3G 圖所示，完全移除接觸區域中 P1-P8 各個次堆疊的最上層絕緣層(例如氧化層)，例如是藉由蝕刻氧化物。亦即，分別位於接觸區域 P8、P6、P4、P2、P1、P3、P5 和 P7 (第 3F 圖)中的最上層絕緣層 213-8、213-6、213-4、213-2、213-1、213-3、213-5、213-7 皆被完全移除，以暴露出最上層主動層。

【0024】 如第 3H 圖所示，沈積一金屬層 25 於接觸區域 P1-P8 中各次堆疊的一最上層主動層上(例如多晶矽層)，且金屬層 25 亦沈積於次堆疊的裸露側壁(exposed sidewalls)上。因此，金屬層 25 是地毯式地覆蓋在第 3H 圖之接觸區域 P1-P8 的次堆疊上。一實施例中，金屬層 25 可包括鈷(Co)、鎳(Ni)、鈦(Ti)或其他適合之金屬材料。

【0025】 之後，如第 3I 圖所示，對結構進行熱退火處理(thermally annealing)以於接觸區域 P1-P8 之各次堆疊形成金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8；一應用例中，例如是(但不限制是)在高溫 600˚C -1000˚C 範圍之間進行熱退火處理。由於金屬層 25 也是沈積於次堆疊的裸露側壁上，在進行熱退火處理後係於次堆疊對應該些裸露側壁之主動層(例如 212-2、212-3、212-4、212-5、212-6 和 212-7)的各個側端形成金屬矽化物部份(例如 240-3、240-4、240-5、240-6、240-7 和

Micron Ex. 1002, p. 215
Micron v. YMTC
IPR2025-00035

240-8)。

【0026】 於一實施例中，金屬矽化物層包括含鈷之矽化物、含鎳之矽化物、含鈦之矽化物、含鉬之矽化物和含鎢之矽化物至少其中之一。例如，金屬矽化物層可能包括矽化鈷(CoSi)、二矽化鈷($CoSi_2$)、或包括兩者之混合物。於其他實施例，金屬矽化物層可能包括矽化鈦(TiSi)、二矽化鈦($TiSi_2$)、或包括兩者之混合物。於其他實施例，金屬矽化物層可能包括矽化鎳(NiSi)、鎳矽化物($NiSi_X$，$x\neq1$)、或包括兩者之混合物。例如，其他可應用之金屬矽化物層的材料還可包括二矽化鉬(Molybdenum disilicide，$MoSi_2$)、矽化鎢(tungsten silicide，WSi_2)。金屬矽化物層的材料係視實際應用時熱退火處理條件而改變，本揭露對此並不多做限制。實施例形成之金屬矽化物對於氧化物而言有高的蝕刻選擇比。

【0027】 如第 3J 圖所示，移除未反應之金屬層 25(例如非矽化鈷的部分)以露出次堆疊之金屬矽化物層例如 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8，以及金屬矽化物部份例如 240-3、240-4、240-5、240-6、240-7 和 240-8。

【0028】 接著，沈積一絕緣層例如一層間介電層(ILD)於次堆疊上，並進行化學機械研磨(CMP)以形成介電層 26，如第 3K 圖所示。介電層 26 直接接觸各次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 以及直接接觸金屬矽化物部份 240-3、240-4、240-5、240-6、240-7 和 240-8。

【0029】 如第 3L 圖所示，形成多個多層結構連接器 CT1、CT2、CT3、CT4、CT5、CT6、CT7 和 CT8 在介電層 26 中向下延

Micron Ex. 1002, p. 216
Micron v. YMTC
IPR2025-00035

伸，以與各接觸區域 P1-P8 之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 直接接觸。如第 3L 圖/第 2 圖所示，於一實施例中，各個次堆疊的一降落區域(landing area) 在沿一第一方向(ex：X 方向),上具有一第一寬度(first width) d1，於接觸區域 P1-P8 中各次堆疊之金屬矽化物層 24-1、24-2、24-3、24-4、24-5、24-6、24-7 和 24-8 在沿第一方向上具有一第二寬度(second width)d2，其中第一寬度 d1 基本上等於第二寬度 d2。根據實施例提出之三維半導體元件，由於在各接觸區域中的次堆疊之金屬矽化物層即做為降落區域之用，相較於傳統三維半導體元件，實施例之三維半導體元件會具有更大的接觸降落窗口(contact landing windows)，特別是對於在最底端只有一層主動層的接觸區域 P1 其接觸降落窗口增加的更多。

【0030】 第 4 圖為本揭露另一實施例之一三維半導體元件的階梯區域之剖面示意圖。前述第 2 圖和第 3A-3L 圖是繪示其中一種實施態樣，亦即各個次堆疊之最上層主動層(例如 212-1、212-2、212-3、212-4、212-5、212-6、212-7 和 212-8)係皆為金屬矽化物層，其中可利用在熱退火處理步驟(如第 3I 圖所示之步驟)中將各個次堆疊之最上層多晶矽層完全轉換而得到。但本揭露並不以此為限。第 4 圖即顯示各個次堆疊之最上層主動層包括了一多晶矽層(例如 212-8/212-7/212-6/212-5/212-4/212-3/212-2/212-1)和一金屬矽化物層(例如 24-1’/24-2’/24-3’/24-4’/24-5’/24-6’/24-7’/24-8’)形成於多晶矽層上方。如第 4 圖所示，金屬矽化物層 24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’和 24-8’可藉由部分轉換各個次堆疊之最上層多晶矽層而得，而未被反應的多晶

Micron Ex. 1002, p. 217
Micron v. YMTC
IPR2025-00035

矽則位於金屬矽化物層下方。再者，各個次堆疊也形成有金屬矽化物部份 240-3’、240-4’、240-5’、240-6’、240-7’和 240-8’(請參照上述實施例之內容與第 2 圖和第 3A-3L 圖)。於一示例中(但非限制揭露範圍)，在熱退火處理步驟進行之前，最上層多晶矽層 係具有一厚度約 300Å，進行熱退火處理之後，係產生厚度約 200Å 的金屬矽化物層 24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’和 24-8’，以及厚度約 100Å 的多晶矽層於金屬矽化物層下方。根據本揭露，可透過調整熱退火處理的參數而控制各個次堆疊之最上層多晶矽層是否被全部轉換、或是部分轉換為金屬矽化物，視實際應用時之需求而定。

【0031】 根據上述實施例所揭露之內容，藉由在三維半導體元件中形成金屬矽化物(silicide)的方式可大幅增加接觸降落窗口。根據實施例，各接觸區域 P1-P8 的最上層主動層係包括金屬矽化物。例如在製程中，可對暴露出的主動層如多晶矽層進行熱退火處理以形成金屬矽化物層。根據實施例，於各接觸區域之各個次堆疊的金屬矽化物層係做為各個次堆疊的降落區域，且這些降落區域具有相同寬度(d1)以使多層結構連接器降落，相較於傳統三維半導體元件(i.e.採用氮化矽層做為一蝕刻停止層，以使對應各接觸區域的所有接觸孔能一致地停在蝕刻停止層上)，實施例之三維半導體元件具有更大的接觸降落窗口。再者，若傳統三維半導體元件需要的 OP 層堆疊層數越多，則所需的蝕刻停止層(ex: SiN)之厚度越厚，這會使接觸區域的接觸降落窗口變得更小，特別是對於在最底端只有一層主動層的接觸區域 P1 其接觸降落窗口會縮小的更多。但根據實施例提出的三維半導體元件，不需要

Micron Ex. 1002, p. 218
Micron v. YMTC
IPR2025-00035

形成蝕刻停止層來使所有接觸孔一致地停在上面，因此無論發展的三維半導體元件需要的 OP 層堆疊層數有多少、或是三維半導體元件尺寸是否縮小，各接觸區域的降落區域都具有足夠的寬度(例如第 2/3L/4 圖所示之寬度 d1 或 d2)來使多層結構連接器降落。

【0032】 其他實施例，例如元件的已知構件有不同的設置與排列等，亦可能可以應用，係視應用時之實際需求與條件而可作適當的調整或變化。因此，說明書與圖式中所示之結構僅作說明之用，並非用以限制本揭露欲保護之範圍。另外，相關技藝者當知，實施例中構成部件的形狀和位置亦並不限於圖示所繪之態樣，亦是根據實際應用時之需求和/或製造步驟在不悖離本揭露之精神的情況下而可作相應調整。

【0033】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0034】

10：基板

R_A：陣列區域

R_S：階梯區域

R_C、P1、P2、P3、P4、P5、P6、P7、P8：接觸區域

12U：上方選擇線

12L：下方選擇線

Micron Ex. 1002, p. 219
Micron v. YMTC
IPR2025-00035

17：串列接觸

18：導線

112、212-1、212-2、212-3、212-4、212-5、212-6、212-7、212-8：主動層

113、213-1、213-2、213-3、213-4、213-5、213-6、213-7、213-8：絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8：多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8、24-1’、24-2’、24-3’、24-4’、24-5’、24-6’、24-7’、24-8’：金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8、240-3’、240-4’、240-5’、240-6’、240-7’、240-8’：金屬矽化物部份

25：金屬層

26：介電層

PR1：第一圖案化光阻層

PR2：第二圖案化光阻層

PR3：第三圖案化光阻層

d1：第一寬度

d2：第二寬度

Micron Ex. 1002, p. 220
Micron v. YMTC
IPR2025-00035

201834217
專利案號：106108272
201834217
申請日：106/03/14
IPC分類：

【發明摘要】

【中文發明名稱】三維半導體元件及其製造方法

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

【中文】

一種三維半導體元件，包括：一基板，包括一陣列區域和鄰近陣列區域之一階梯區域，其中階梯區域包括 N 個梯級，N 為大於或等於 1 的整數；一堆疊，具有多層結構疊置於該基板上，且多層結構包括主動層與絕緣層交錯設置於基板上方，該堆疊包括複數個次堆疊形成於基板上，該些次堆疊與階梯區域之 N 個梯級對應設置以分別形成接觸區域，其中於接觸區域中各次堆疊的一最上層主動層係包括一金屬矽化物層；和多層結構連接器，分別位於對應的接觸區域，且多層結構連接器係向下延伸以電性連接各個次堆疊之金屬矽化物層。

【英文】

A three-dimensional (3D) semiconductor device is provided, comprising a substrate having an array area and a staircase area adjacent to the array area, wherein the staircase area comprises N steps, N is an integer one or greater; a stack having multi-layers on the substrate, and the multi-layers comprising active layers alternating with insulating layers on the substrate, the stack comprising sub-stacks formed on the substrate and the sub-stacks disposed in relation to the N steps of the staircase area to form

Micron Ex. 1002, p. 221
Micron v. YMTC
IPR2025-00035

respective contact regions, wherein an uppermost active layer of each of the sub-stacks in the respective contact regions comprises a silicide layer; and multilayered connectors, formed in the respective contact regions and extending downwardly to electrically connect the silicide layer in each of the sub-stacks.

【指定代表圖】：第（2）圖。

【代表圖之符號簡單說明】：

P1、P2、P3、P4、P5、P6、P7、P8：接觸區域

212-1、212-2、212-3、212-4、212-5、212-6、212-7：主動層

213-1、213-2、213-3、213-4、213-5、213-6、213-7：絕緣層

CT1、CT2、CT3、CT4、CT5、CT6、CT7、CT8：多層結構連接器

24-1、24-2、24-3、24-4、24-5、24-6、24-7、24-8：金屬矽化物層

240-3、240-4、240-5、240-6、240-7、240-8：金屬矽化物部份

26：介電層

d1：第一寬度

d2：第二寬度

【特徵化學式】：無

【發明申請專利範圍】

【第 1 項】一種三維半導體元件，包括：

一基板，包括一陣列區域(array area)和鄰近該陣列區域之一階梯區域(staircase area)，其中該階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；

一堆疊，具有多層結構(multi-layers)疊置於該基板上，且該多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於該基板上，該些次堆疊與該階梯區域之該 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於該些接觸區域中各該些次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和

多層結構連接器(multilayered connectors)，分別位於對應的該些接觸區域，且該些多層結構連接器係向下延伸以電性連接各個該些次堆疊之該金屬矽化物層。

【第 2 項】如申請專利範圍第 1 項所述之三維半導體元件，更包括一介電層(a dielectric layer)形成於該些接觸區域的該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸，其中該介電層直接接觸各個該些次堆疊之該金屬矽化物層。

【第 3 項】如申請專利範圍第 2 項所述之三維半導體元件，其中於該些接觸區域中該些次堆疊的該些金屬矽化物層係做為該些次堆疊的降落區域(landing areas)，且所有的該些降落區域除了被該些多層結構連接器接觸的部分以外都被該介電層直接覆蓋。

Micron Ex. 1002, p. 223
Micron v. YMTC
IPR2025-00035

【第 4 項】如申請專利範圍第 1 項所述之三維半導體元件，其中於該些接觸區域中該些次堆疊的該些主動層之側端(lateral ends of the active layers)係包括金屬矽化物部份(silicide portions)。

【第 5 項】一種三維半導體元件之製造方法，包括：

提供具有一陣列區域和鄰近該陣列區域之一階梯區域之一基板，其中該階梯區域包括 N 個梯級(N steps)，N 為大於或等於 1 的整數；

形成具有多層結構(multi-layers)之一堆疊於該基板上，且該多層結構包括主動層與絕緣層交錯設置於該基板上方，該堆疊包括複數個次堆疊(sub-stacks)形成於該基板上，該些次堆疊與該階梯區域之該 N 個梯級對應設置以分別形成接觸區域(contact regions)，其中於該些接觸區域中各該些次堆疊的一最上層主動層(an uppermost active layer)係包括一金屬矽化物層(silicide layer)；和

形成多層結構連接器(multilayered connectors)分別位於對應的該些接觸區域，且該些多層結構連接器係向下延伸以電性連接各個該些次堆疊之該金屬矽化物層。

【第 6 項】如申請專利範圍第 5 項所述之方法，更包括一介電層(a dielectric layer)形成於該些接觸區域的該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸，其中該介電層直接接觸各個該些次堆疊之該金屬矽化物層。

【第 7 項】如申請專利範圍第 5 項所述之方法，其中於該些接觸區域中該些次堆疊的該些主動層之側端(lateral ends of the

Micron Ex. 1002, p. 224
Micron v. YMTC
IPR2025-00035

active layers)係包括金屬矽化物部份(silicide portions)。

【第 8 項】如申請專利範圍第 7 項所述之方法，其中該些主動層之該些金屬矽化物部份係與一介電層直接接觸，該介電層形成於該些接觸區域之該些次堆疊上，且該些多層結構連接器係在該介電層中向下延伸。

【第 9 項】如申請專利範圍第 8 項所述之方法，其中形成各該些次堆疊之該金屬矽化物層係包括：

形成該些次堆疊於該些接觸區域中，該些次堆疊包括多晶矽層以做為該些主動層且與該些絕緣層交錯設置於該基板上方；

移除該些接觸區域中各該些次堆疊的一最上層絕緣層；

沈積一金屬層於該些接觸區域中各該些次堆疊的一最上層多晶矽層上；以及

對該些次堆疊和該金屬層進行熱退火處理(thermally annealing)以於該些接觸區域之各該些次堆疊形成該金屬矽化物層。

【第 10 項】如申請專利範圍第 9 項所述之方法，其中該金屬層亦沈積於該些次堆疊的裸露側壁(exposed sidewalls)上，在進行前述熱退火處理後係於該些次堆疊對應該些裸露側壁之該些主動層的各個側端(each of lateral ends of the active layers)形成一金屬矽化物部份(silicide portion)。

Micron Ex. 1002, p. 225
Micron v. YMTC
IPR2025-00035

Espacenet

TW201605015A Interconnection structure, semiconductor device, and method of manufacturing the same

Applicants: SK HYNIX INC [KR]

Inventors: LEE NAM-JAE [KR]

Classifications:
IPC ***H01L23/52; H01L25/04;***

CPC **H01L21/76816 (EP,US); H01L27/11507 (KR); H01L27/11514 (KR); H01L27/11565 (EP,US); H01L27/11575 (EP,US); H01L27/11582 (EP,US);**

Priorities: KR20140096003A 2014-07-28

Application: TW201605015A·2015-01-08

Publication: TW201605015A·2016-02-01

Published as: **CN105304637A; CN105304637B; KR20160013756A;** TW201605015A;**TWI632664B; US2016027730A1; US9524903B2**

Interconnection structure, semiconductor device, and method of manufacturing the same

Abstract

An interconnection structure may include insulating layers stacked stepwise and dielectric layers interposed between the insulating layers. The interconnection structure may include conductive layers interposed between the insulating layers and surrounding sidewalls of the dielectric layers, respectively. The interconnection structure may include contact plugs each coupled to one of the conductive layers. The contact plugs may at least partially pass through the dielectric layers.

Micron Ex. 1002, p. 234
Micron v. YMTC
IPR2025-00035

201605015

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201605015 A

(43)公開日： 中華民國 105 (2016) 年 02 月 01 日

(21)申請案號：104100534 (22)申請日： 中華民國 104 (2015) 年 01 月 08 日

(51)Int. Cl.： *H01L25/04 (2014.01)* *H01L23/52 (2006.01)*

(30)優先權：2014/07/28 南韓 10-2014-0096003

(71)申請人：愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)
南韓

(72)發明人：李南宰 LEE, NAM JAE (KR)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：36 項 圖式數：18 共 65 頁

(54)名稱

互連結構、半導體裝置及製造其之方法

INTERCONNECTION STRUCTURE, SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

(57)摘要

互連結構可以包括階梯式地疊堆的絕緣層和插入在所述絕緣層之間的介電層。所述互連結構可以包括分別插入在所述絕緣層與所述介電層的周圍側壁之間的導電層。所述互連結構可以包括接觸插塞，其各自耦接到所述導電層中的一個。接觸插塞可以至少部分地通過所述介電層。

An interconnection structure may include insulating layers stacked stepwise and dielectric layers interposed between the insulating layers. The interconnection structure may include conductive layers interposed between the insulating layers and surrounding sidewalls of the dielectric layers, respectively. The interconnection structure may include contact plugs each coupled to one of the conductive layers. The contact plugs may at least partially pass through the dielectric layers.

指定代表圖：

TW 201605015 A

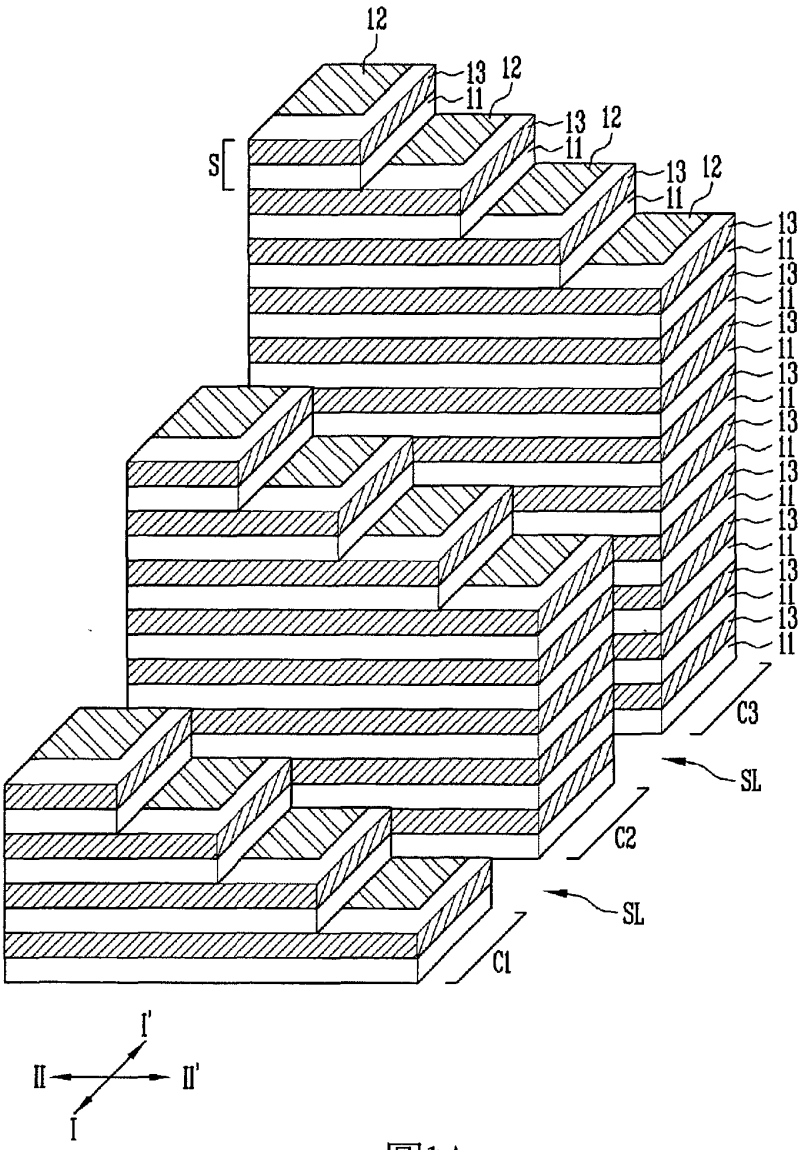


圖1A

符號簡單說明：

11・・・絕緣層/上絕緣層/下絕緣層

12・・・介電層/上介電層/下介電層

13・・・導電層/上導電層

Micron Ex. 1002, p. 236
Micron v. YMTC
IPR2025-00035

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

互連結構、半導體裝置及製造其之方法

INTERCONNECTION STRUCTURE, SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 各種實施例一般涉及互連結構、半導體裝置及製造其之方法，更具體地說，涉及具有三維結構的互連結構、半導體裝置及製造其之方法。

【0002】 相關申請案的交叉參考

【0003】 本申請案主張2014年7月28日提申到韓國知識產權局的韓國專利申請案第10-2014-0096003號的優先權，其通過引用將其整體併入本文中。

【先前技術】

【0004】 非易失性記憶體裝置在沒有電源供應下保留存儲的數據。具有在矽基板之上單層製作的記憶體胞的二維記憶體裝置當涉及增加其整合度時已達到其極限。因此，已經提出了在矽基板之上具有以垂直方向堆疊的記憶胞的三維非易失性記憶體裝置。

【0005】 三維非易失性記憶體裝置具備具有彼此交替地堆疊的層間絕緣層和閘極電極的結構，以及貫穿其之通道層。記憶胞可以沿著通道層來堆疊。此外，所希望的記憶胞可以藉由耦接接觸插塞到堆疊的字線來分別選擇性地驅動。

【0006】 然而，爲了實現具有上述結構的三維非易失性記憶體裝置，接觸插塞被形成以具有不同的深度。在接觸插塞的不同的深度可能使其更難以製造記憶體裝置。此外，接觸插塞可以穿過字線，以形成橋接。

【發明內容】

【0007】 根據一實施例的一種互連結構可以包括：階梯式地堆疊的絕緣層；插入在所述絕緣層之間的介電層；以及導電層，其分別插入在所述絕緣層與所述介電層的周圍側壁之間。所述互連結構可以包括接觸插塞，其各自耦接到所述導電層中的一個。所述接觸插塞可以至少部分地通過所述介電層。

【0008】 根據一實施例的半導體裝置可以包括：第一堆疊結構，其包括彼此交替堆疊的第一至第n絕緣層和第一至第n介電層。所述半導體裝置可以包括分別插入在所述第一至第n絕緣層與所述第一至第n介電層的周圍側壁之間的第一至第n導電層。N可以是2或更大的自然數。所述第一堆疊結構可以具有階梯式結構，第二堆疊結構包括：彼此交替地堆疊的第一至第2n絕緣層和第一至2n介電層，以及分別插入在所述第一至第2n絕緣層與所述第一至第2n介電層的周圍側壁之間的第一至第2n導電層。第n+1至第2n絕緣層、第n+1至2n介電層與第n+1至2n導電層可以具有階梯式結構，以及縫隙絕緣層位於所述第一堆疊結構與所述第二堆疊結構之間。

【0009】 根據一實施例的製造半導體裝置的方法可以包括形成堆疊結構，其包括階梯式地堆疊的絕緣層和插入在所述絕緣層之間的犧牲層。所述方法可以包括藉由部分地移除暴露在所述堆疊結構的側壁上的所述犧牲層以形成第一開口；以及形成層間絕緣層在所述堆疊結構之上。所述層

間絕緣層可以包括位在所述第一開口中的空隙。所述方法可以包括形成通過所述層間絕緣層和所述堆疊結構的狹縫；藉由部分地移除通過所述狹縫的所述犧牲層以形成第二開口；以及形成在所述第二開口中的導電層。

【0010】 根據一實施例的互連結構可以包括階梯式地堆疊的絕緣層以及插入在所述絕緣層之間的介電層。所述互連結構可以包括導電層，其分別插入在所述絕緣層與所述介電層的周圍側壁之間。所述互連結構可以包括接觸插塞，各自耦接到所述導電層中的一個。每個所述導電層可以包括圍繞每個所述介電層的端子側壁的襯墊區域。

【0011】 根據一實施例的互連結構可以包括上導電層，其包括上介電層和圍繞所述上介電層的端子側壁的襯墊區域。所述互連結構可以包括下導電層，其包括下介電層和圍繞所述下介電層的端子側壁的襯墊區域，所述下導電層位於所述上導電層之下。所述互連結構可以包括接觸插塞，其耦接到所述上導電層的所述襯墊區域和所述下介電層。

【圖式簡單說明】

【0012】 圖1A至1C是說明根據一實施例的互連結構的結構的表示的立體圖。

【0013】 圖2A至2F是說明根據一實施例的互連結構的結構的表示的佈局和橫截面圖。

【0014】 圖3A和圖3B是說明根據一實施例的互連結構的結構的表示的立體圖和佈局。

【0015】 圖4至圖10B是說明根據一實施例的製造半導體裝置的方法的表示的佈局和橫截面圖。

【0016】 圖11A到13B是說明根據一實施例的製造半導體裝置的方法的表示的佈局和橫截面圖。

【0017】 圖14A和14B是說明根據一實施例的互連結構所應用的半導體裝置的表示的橫截面圖。

【0018】 圖15和16是說明根據一實施例的記憶體系統的配置的代表的方框圖。

【0019】 圖17和18是說明根據一實施例的計算系統的配置的表示的方框圖。

【實施方式】

【0020】 在下文中，各種實施例將參照附圖來描述。在附圖中，相對於實際的物理厚度和間隔，爲便於圖示說明而將厚度和構件的距離誇大了。在以下的說明中，省略了已知相關功能和構成的詳細說明，以避免不必要地混淆本文所揭示的標的物。類似的元件符號代表整個說明書和附圖中的相似的元件。

【0021】 各種實施例一般可以涉及具有簡化的製造製程和穩定結構的半導體裝置以及製造其之方法。

【0022】 圖1A至1C是說明根據一實施例的互連結構的結構的表示的立體圖。

【0023】 圖1A是說明根據一實施例的互連結構的整體結構的表示的立體圖。參照圖1A，每個互連結構C1到C3可以包括階梯式地堆疊的絕緣層11、插入在絕緣層11之間的介電層12以及分別插入在絕緣層11和介電層12的周圍側壁之間的導電層13之間。

【0024】 導電層13可以包括多晶矽或鎢以形成襯墊部分，以將偏壓傳送到堆疊的字線。絕緣層11可以隔離堆疊的導電層13並且包括氧化物。另外，介電層12可以由在製造製程中使用的犧牲層的剩餘部分來形成，並且包括氮化物。

【0025】 半導體裝置可以包括複數個互連結構C1至C3。互連結構C1到C3可以在第一方向I-I'上彼此平行或彼此實質上平行佈置。此外，狹縫SL可以位於相鄰的互連結構C1到C3之間。狹縫絕緣層（未示出）可以形成在狹縫SL中。

【0026】 互連結構C1到C3可以具有不同的高度。例如，第一互連結構C1可以包括第一至第n絕緣層11、第一至第n介電層12以及第一至第n導電層13。第二互連結構C2可以包括第一至2n絕緣層11、第一至2n介電層12以及第一至2n導電層13。第三互連結構C3可以包括第一至3n絕緣層11、第一至3n介電層12以及第一至3n導電層13。此處的n可以是2或更大的自然數。

【0027】 第一互連結構C1可以具有階梯結構，其包括第一至第n絕緣層11、第一至第n介電層12和第一至第n導電層13。第二互連結構C2的第n+1至2n絕緣層11、第n+1至2n介電層12以及第n+1至2n導電層13可以具有階梯式結構。然而，第二互連結構C2的第一至第n絕緣層11、第一至第n介電層12和第一至第n導電層13可以不具有階梯式結構。此外，第三互連結構C3的第2n+1至3n絕緣層11、第2n+1至3n介電層12和第2n+1至3n導電層13可以具有階梯式結構。然而，第一至2n絕緣層11、第一至2n介電層12和第一至2n導電層13可以不具有階梯式結構。根據包括上述結構的第一至第三互連結構，排列在第一至3n層上的襯墊部分可以在三個互連結構C1至C3之間擴散。因

此，與當在第一至第3n層上的所有襯墊部分被排列在單一互連上時比較，互連結構的區域可以減小。

【0028】 此外，在圖1A中，形成所述階梯式結構的每一個步驟（S）可以包括上介電層12、上導電層13和下絕緣層11。然而，單一步驟（S）可以包括上絕緣層11、下介電層12和下導電層13。

【0029】 圖1B是示出根據一實施例的互連結構的一部分的表示的放大立體圖。參照圖1B，上介電層U_12的側壁可以藉由上導電層U_13圍繞，以及下介電層L_12的側壁可以藉由下導電層L_13圍繞。此外，絕緣層11可以在上導電層U_13和上介電層U_12之間和在下導電層L_13和下介電層L_12之間。然而，在圖1B中，爲了便於說明，絕緣層11被移除。

【0030】 上介電層U_12和上導電層U_13的結構說明如下。例如，上介電層U_12可以包括四個側壁<1>到<4>。第一側壁<1>可以耦接到記憶胞結構，並且可以不藉由上導電層U_13所圍繞。第三側壁<3>可以是面對第一側壁<1>的端子側壁並且藉由上導電層U_13所圍繞。另外，彼此面對的第二側壁<2>和第四側壁<4>可以接觸狹縫絕緣層（未示出）。第二和第四側壁<2>和<4>中的至少一個可以藉由上導電層U_13所圍繞。根據一實施例，只有第二側壁<2>可以藉由上導電層U_13所圍繞。上導電層U_13可以圍繞包括上介電層U_12的端子側壁的至少兩個側壁。例如，上導電層U_13可以具有L形狀。

【0031】 上導電層U_13可以包括圍繞端子第三側壁<3>的襯墊區域U_13A和圍繞第二側壁<2>的連接區域U_13B。例如，襯墊區域U_13A可以接觸接觸插塞CP，並且連接區域U_13B可以耦接襯墊區域U_13A和包括在記憶胞結構中的閘極電極。

【0032】 接觸插塞CP可以耦接到導電層U_13和L_13。根據一實施例，僅圖示了接觸插塞CP耦接到上導電層U_13。接觸插塞CP可以被耦接到導電層U_13的襯墊區域U_13A並且接觸其之頂表面和側壁。此外，爲了確保重疊容限，則接觸插塞CP的直徑R可以大於襯墊區域U_13A的寬度W。因此，不與襯墊區域U_13A重疊的接觸插塞CP的區域可以從襯墊區域U_13A向下延伸並且通過位於耦接導電層U_13下的介質層L_12和絕緣層11。此外，爲了使上導電層U_13A的襯墊區域U_13A可以不與下導電層L_13的襯墊區域L_13A重疊，介電層L_12可以位於上導電層U_13的襯墊區域U_13A下。因此，即使當接觸插塞CP向下延伸，接觸插塞CP可以不耦接到下導電層L_13，並且橋接可以免於在上導電層U_13和下導電層L_13之間形成。下導電層L_13的連接區域L_13B可以耦接襯墊區域L_13A和包括在記憶胞結構中的閘極電極。

【0033】 圖1C是示出了根據一實施例的耦接到另一結構的互連的表示的立體圖。參照圖1C，半導體裝置可以包括單元區域CELL和接觸區域CONTACT。另外，包括彼此交替堆疊的閘極電極16和絕緣層（未示出）之記憶胞結構MC可以位於單元區域CELL中，並且互連結構C可以位於接觸區域CONTACT中。

【0034】 包括在記憶胞結構MC中的閘極電極16可以分別耦接至導電層13。例如，每個閘極電極16和每個導電層13可以單一主體連接。記憶胞結構MC進一步可以包括穿過閘極16的通道層14和插入在通道層14和閘極電極16之間的記憶體層15。另外，記憶體層可以包括隧道絕緣層、數據存儲層和電荷阻擋層。數據存儲層可以包括矽、氮化物、相變材料、奈米點或類似

物。因此，記憶體單元可形成在通道層14和閘極電極16之間的交叉處。

【0035】 圖2A是示出根據一實施例的互連的表示的佈局。圖2B是沿著圖2A的線A-A'所截取的橫截面圖。圖2C是沿著圖2A的線B-B'所截取的橫截面圖。圖2D是沿著圖2A的線C-C'所截取的橫截面圖。。圖2E是沿著2A的線D-D'所截取的橫截面圖。圖2F是沿著圖2A的線E-E'所截取的橫截面圖。然而，一些較低層被從圖2B到2F的橫截面圖中省略。

【0036】 參考圖2A和2B，每個接觸插塞CP可以通過層間絕緣層28以接觸每個導電層23，並且至少部分地通過下絕緣層21和下介電層22。導電層23和接觸插塞CP彼此接觸的位置取決於覆蓋容限而可以不同。例如，由於第一接觸插塞CP_1傾斜或偏置到左側（即朝向II方向）並且接觸導電層23，第一接觸插塞CP_1的右側可以更深入通過下絕緣層21和下介電層22。在另一個例子中，由於第N接觸插塞CP_N傾斜或偏置到右側（即向著II'方向）並且接觸導電層23，第N接觸插塞CP_N的左側可以更深入地通過下絕緣層21和下介電層22。另外，由於互連結構C1到C3之間的間隙有縫隙絕緣層27來填充，形成在同一平面上的導電層23可以藉由狹縫絕緣層27而彼此絕緣。

【0037】 參考圖2C，導電層23的襯墊區域可以在第二方向II-II'上圍繞介電層22的端子側壁。另外，參考圖2D，導電層23的連接區域可以與絕緣層21交替地堆疊。

【0038】 參考圖2E，接觸導電層23的頂表面的接觸插塞CP的區域可以不進一步向下延伸。另一方面，參考圖2F，不與導電層23接觸的接觸插塞CP的區域可以至少部分地通過下絕緣層21和下介電層22。

【0039】 根據具有上述結構的互連，即使當接觸插塞CP通過下層，

由於接觸插塞CP通過下絕緣材料層，接觸插塞CP可以不與下導電層23形成橋接。

【0040】 圖3A是示出根據一實施例的互連結構的結構的表示的立體圖。圖3B是其之佈局。在下文中，省略與先前描述的實施例共同的內容的描述。

【0041】 參考圖3A和3B，互連結構C1到C3可以包括階梯式堆疊的絕緣層31、插入在絕緣層31之間的介電層32以及分別插入在絕緣層31和介電層32的周圍側壁之間的導電層33。

【0042】 半導體裝置可以包括互連結構C1至C3。互連結構C1至C3可以在第一方向I-I'上彼此平行或實質上彼此平行排列。另外，狹縫SL可以位於相鄰的互連結構C1至C3之間。狹縫絕緣層37可以位於狹縫SL中。

【0043】 導電層33可以圍繞介電層32的第二、第三和第四側壁<2>、<3>和<4>。換句話說，導電層33可以圍繞包括介電層32的端子側壁的至少三個側壁。例如，導電層33可以具有C形狀。導電層33可以包括圍繞第三側壁<3>的襯墊區域33A以及圍繞第二和第四側壁<2>和<4>的連接區域33B，其中第三側壁<3>是端子側壁。例如，連接區域33B可以形成在狹縫絕緣層37的兩側處。在具有上述結構的互連結構中，所述襯墊區域33A可以接觸接觸插塞CP，並且連接區域33B可以耦接襯墊區域33A到包括在記憶胞結構中的閘極電極。

【0044】 圖4至圖10B是示出根據一實施例的製造半導體裝置的方法的表示。圖4和5是立體圖。圖6A至圖10B是沿著圖2的線A-A'、C-C'和D-D'或佈局所截取的橫截面圖。

【0045】 參考圖4，堆疊結構ST可以形成爲包括彼此交替堆疊的絕緣層41和犧牲層42。犧牲層42可以在隨後的製程期間藉由導電層代替。犧牲層42可以包括具有相對於絕緣層41的高蝕刻選擇性。例如，犧牲層42可以包括氮化物，以及絕緣層41可以包括氧化物材料。

【0046】 隨後，在遮罩圖案（未示出）被形成在堆疊結構ST之上後，蝕刻製程可以重複，同時逐漸減少在第二方向II-II'中的遮罩圖案的尺寸。結果，堆疊結構ST的頂表面的一部分可以被階梯式圖案化。堆疊結構ST可被圖案化，使得單一絕緣層41和單一犧牲層42可以形成單一階梯。

【0047】 參考圖5，遮罩圖案（未示出）被形成在堆疊結構ST之上後，蝕刻製程可以重複，同時逐漸減小在第一方向I-I'上的遮罩圖案的尺寸。堆疊結構ST可以被圖案化，以便M絕緣層41和M犧牲層42可以形成單一階梯。例如，M可以是自然數，並且可以滿足M=4。因此，堆疊結構ST可以在第一方向I-I'和第二方向II-II'上階梯化，並且可以定義第一至第三互連結構C1至C3。

【0048】 第一至第三互連結構C1、C2和C3的寬度W1、W2和W3分別可以藉由遮罩圖案的縮小尺寸來決定。第一至第三互連結構C1至C3可以具有實質上相同的寬度（W1=W2=W3）或不同的寬度（例如，但不限於，W1> W2> W3、W1<W2<W3或隨機組合）。

【0049】 參考圖6A至6C，第一開口OP1可以藉由部分地移除暴露在堆疊結構ST的側壁上的犧牲層42來形成。例如，犧牲層42可以移除400到600埃。因爲犧牲層42沿著階梯式圖案化的側壁除去，犧牲層42可以在各自層上以L形狀除去。

【0050】 參考圖7A和7B，層間絕緣層43可以形成在堆疊結構ST之上。第一開口OP1可以層間絕緣層43部分地填充。層間絕緣層43可以包括位於第一開口OP1中的空穴V。

【0051】 在層間絕緣層43形成之前，具有比犧牲層42還高的蝕刻速率的犧牲圖案44可以形成在第一開口OP1中。例如，犧牲圖案44可以包括氧化物，例如，藉由保形式沉積（conformal deposition，CFD）所形成的氧化層、通過等離子增強原子層沉積（PE-ALD）所形成的氧化物層或超低溫氧化物層。

【0052】 參考圖8A至8D，在第一狹縫SL1穿過堆疊結構ST形成之後，第一狹縫絕緣層45可以形成在第一狹縫SL1中。第一狹縫絕緣層45可以位於相鄰的互連結構C1至C3之間。

【0053】 接著，第二狹縫SL2可以在第一狹縫絕緣層45和互連結構C1至C3之間形成。第二狹縫SL2可以位於第一狹縫SL1的一組側邊上。因此，第一狹縫絕緣層45可以被暴露於第二狹縫SL2的一組側壁上，以及互連結構C1至C3可以位於第二狹縫SL2的於另一組側壁上。此外，互連結構C1至C3的空隙V可以在第二狹縫SL2的另一組側壁上暴露。

【0054】 隨後，可以透過第二狹縫SL2和空隙V部分地移除犧牲層42，以形成第二開口OP2。例如，犧牲層42可以通過執行濕蝕刻製程來移除。在濕蝕刻製程期間，蝕刻劑可以通過第二狹縫SL2和空隙V引入而部分地蝕刻犧牲層42。另外，當第二開口OP2形成時，第一狹縫絕緣層可以作爲殘留的絕緣層41的支撐體來運作。如參照圖7A上面所述，當犧牲圖案44形成在第一開口OP1中時，由於犧牲圖案44具有比犧牲層42還高的蝕刻速率，犧牲

圖案44可以提供讓蝕刻劑引入穿過的路徑，在實質上類似於空隙V的方式。.

【0055】 根據一實施例，由於第一狹縫絕緣層45暴露在第二狹縫SL2的一組側壁上，僅位於第二狹縫SL2的另一組側壁上的互連結構C1至C3的犧牲層42可以被去除。換句話說，第二開口OP2可以具有實質上爲L形狀。

【0056】 參考圖9A和9B，在導電層46形成在第二開口OP2之後，第二狹縫絕緣層47可以形成在第二狹縫SL2中。因此，導電層46可具有實質上爲L形狀。此外，當第二開口OP2形成時，未去除的犧牲層42可以保持在互連結構C1至C3中。

【0057】 參考圖10A和10B，接觸插塞47可以形成，使得接觸插塞47可以耦接到導電層46。接觸插塞47可以接觸導電層46的頂表面和側壁，並且至少部分通過下絕緣層41和下犧牲層42。

【0058】 圖11A至圖13B是示出根據一實施例的製造半導體裝置的方法的表示的圖。圖11A至11C、圖12A和12B以及圖13A和13B是沿著圖3B的線A-A'和D-D'或佈局所截取的橫截面圖。

【0059】 參考圖4至圖7B的上面描述，包括彼此交替堆疊的絕緣層51和犧牲層52的堆疊結構ST、第一開口OP1以及包括位於第一開口OP1中的空隙V的層間絕緣層53可以依序地形成。然而，省略了形成根據前面所述實施例中的第一狹縫SL1和第一狹縫絕緣層45的製程的描述。

【0060】 參考圖11A至11C，第二狹縫SL2可以通過堆疊結構ST來形成。例如，第二狹縫SL2可以位於相鄰的互連結構C1至C3之間，以及在第二狹縫SL2的兩個側壁處的互連結構C1至C3可以在其之兩側暴露。

【0061】 隨後，透過第二狹縫SL2和空隙V，犧牲層52可以部分地移

除。由於犧牲層52在第二狹縫的兩側SL2上移除，具有實質上爲C形狀的第二開口OP2可以形成。

【0062】 參考圖12A和12B，導電層54可以形成在第二開口OP2中。每個導電層54可以具有實質上爲C形狀。接著，第二狹縫絕緣層55可以形成在第二狹縫SL2中。因此，包含在相鄰的互連結構C1至C3中的導電層54可以藉由第二狹縫絕緣層55而彼此絕緣。

【0063】 參考圖13A和13B，接觸插塞56可以形成以使得接觸插塞56可以接觸導電層54並且至少部分地通過下絕緣層41和下犧牲層42。

【0064】 圖14A和14B示出了根據一實施例的互連結構所應用的半導體裝置的代表的橫截面圖。

【0065】 參考圖14A和14B，外圍區域PERI可以位於單元區域CELL和接觸區域CONTACT下。單元區域CELL可以包括堆疊在基板上的記憶胞，並且記憶體串可以以一直線狀、U字狀等等排列。圖14A示出了實質上排列成U形狀的記憶體串。圖14B示出了實質上排列成直線形狀的記憶體串。

【0066】 接觸區域CONTACT可以包括其中具有實質上爲C形狀或L形狀的導電層所堆疊之互連結構。接觸插塞可以被分別耦接到導電層。此外，接觸插塞可以通過下絕緣層和下介電層。

【0067】 外圍區域PERI可以包括電晶體TR和耦接到電晶體TR的金屬線M。電晶體TR可以提供成驅動記憶體串。電晶體TR可以是將位在外圍區域PERI的電晶體與形成在接觸區域CONTACT中的襯墊彼此耦接。因此，根據一實施例，接觸插塞CP可以完全通過下絕緣層和下介電層並且被耦接到在外圍區域PERI中的金屬線M。在具有上述結構的半導體裝置中，偏壓可以

通過接觸區域CONTACT以及單元區域CELL的閘極電極而提供到在外圍區域PERI中的電晶體TR。因此，用於提供偏壓到外圍區域PERI中的電晶體TR之獨立的接觸插塞可能是不必要的，因此，半導體裝置的面積可以減小。

【0068】 圖15是說明根據一實施例的記憶體系統的配置的方框圖。

【0069】 如圖15所示，根據一實施例的記憶體系統1000可以包括記憶體裝置1200和控制器1100。

【0070】 記憶體裝置1200可以被用來存儲包括各種數據的數據資訊，諸如文本、圖形和軟體代碼。記憶體裝置1200可以是非易失性記憶體，並且可以是，例如，參考圖1A至14上述的半導體裝置。此外，記憶體裝置1200可以包括階梯式堆疊的絕緣層和插入在絕緣層之間的介電層。記憶體裝置1200可以分別包括插入在絕緣層和介電層的周圍側壁之間的導電層。記憶體裝置1200可以包括接觸插塞，每個接觸插塞耦接到導電層中的一個，並且至少部分地通過在較低部分處的絕緣層和介電層。由於記憶體裝置1200如上所述而配置和製造，其詳細描述將被省略。

【0071】 控制器1100可以連接到主機和記憶體裝置1200並且可適用於響應來自主機的請求而存取記憶體裝置1200。例如，控制器1100可以是適用於控制記憶體裝置1200的讀出、寫入、擦除和後台操作。

【0072】 控制器1100可以包括隨機存取記憶體（random access memory，RAM）1110、中央處理單元（central processing unit，CPU）1120、主機介面1130、錯誤校正碼（error correction code，ECC）1140以及記憶體介面1150。

【0073】 RAM 1110可以被用作操作記憶體、在記憶體裝置1200和主

機之間的快取記憶體（cache memory）和在記憶體裝置1200和主機之間的緩衝記憶體。RAM 1110可以藉由靜態隨機存取記憶體（Static Random Access Memory，SRAM）、唯讀記憶體（Read Only Memory，ROM）或類似物來代替。

【0074】 接著，CPU 1120可以適用於控制控制器1100的整體操作。例如，CPU 1120可以是適用於操作諸如存儲在RAM 1110中的快閃轉換層（Flash Translation Layer，FTL）的韌體。

【0075】 主機介面1130可以適用於執行與主機連繫。例如，控制器1100可以通過各種協定中的至少一者來與主機通訊，其中所述協定例如通用序列匯流排（Universal Serial Bus，USB）協定、多媒體卡（MultiMedia Card，MMC）協定、周邊組件互連（peripheral component interconnection，PCI）協定、PCI快速（PCI-express，PCI-E）協定、先進技術附件（Advanced Technology Attachment，ATA）協定、序列ATA協定、平行ATA協定、小型計算機小介面（Small Computer Small Interface，SCSI）協定、增強型小型磁碟介面（Enhanced Small Disk Interface，ESDI）協定、整合驅動電子（Integrated Drive Electronic，IDE）協定和專用協定。

【0076】 ECC電路1140可以適用於使用ECC檢測和修正從記憶體裝置1200讀出的數據的錯誤。

【0077】 介面1150可以適用於執行與記憶體裝置1200連繫。例如，記憶體介面1150可以包括NAND介面或者NOR介面。

【0078】 控制器1100可以進一步包括緩衝記憶體（未示出），以便暫時存儲數據。此處，緩衝記憶體可以用於暫時存儲透過主機介面1130遞送到

外的數據，或者暫時存儲從記憶體裝置1200透過記憶體介面1150所遞送的數據。另外，控制器1100可以進一步包括ROM以存儲用於與主機連繫的代碼數據。

【0079】 如上所述，由於根據一實施例的記憶體系統1000包括具有改善特性之記憶體裝置1200，記憶體系統1000的特性可以得到改善。

【0080】 圖16是示出了根據一實施例的記憶體系統的配置的方框圖。在下文中，省略與先前描述的實施例共同的內容的描述。

【0081】 如圖15所示，根據一實施例的記憶體系統1000可以包括記憶體裝置1200'和控制器1100。另外，控制器1100可以包括RAM 1110、CPU 1120、主機介面1130、ECC電路1140和記憶體介面1150。

【0082】 記憶體裝置1200'可以是非易失性記憶體，並且可以是，例如，如上參考圖1A至14的半導體裝置。此外，記憶體裝置1200'可以包括階梯式堆疊的絕緣層和插入在絕緣層之間的介電層。記憶體裝置1200'可以包括分別插入在絕緣層和介電層的周圍側壁之間的導電層。記憶體裝置1200'可以包括接觸插塞，每個接觸插塞耦接到導電層中的一個，並且至少部分地通過在較低的部分處的絕緣層和介電層。由於記憶體裝置1200'如上所述來配置和製造，其詳細描述將被省略。

【0083】 此外，記憶體裝置1200'可以是包括複數個記憶體晶片的多晶片封裝。複數個記憶體晶片可以被劃分成複數個群組，並且複數個群組可以適用於透過第一至第k通道CH1至CHK與控制器1100通訊。屬於一個群組的記憶體晶片可以適用於透過共同通道與控制器1100通訊。記憶體系統1000'可以被修改，使得單一記憶體晶片可以耦接到單一通道。

【0084】 如上所述，由於根據一實施例的記憶體系統1000'包括具有改善特性的記憶體裝置1000'，記憶體系統1000'的特性也可改善。通過形成作爲多晶片封裝的記憶體裝置1200'，記憶體系統1000'的數據存儲容量和驅動速度可以增加。

【0085】 圖17是示出了根據一實施例的計算系統的配置的方框圖。在下文中，省略與先前描述的實施例共同的內容的描述。

【0086】 如圖17所示，根據一實施例的計算系統2000可以包括記憶體裝置2100、CPU 2200和RAM 2300。計算系統2000可以包括用戶介面2400、電源2500和系統匯流排2600。

【0087】 記憶體裝置2100可以存儲透過用戶介面2400所提供的數據並且藉由CPU 2200處理的數據。記憶體裝置2100可以通過系統匯流排2600而電連接到CPU 2200、RAM 2300、用戶介面2400和電源2500。例如，記憶體裝置2100可以通過控制器（未示出）而連接到系統匯流排2600，或者直接連接到系統匯流排2600。當記憶體裝置2100被直接連接到系統匯流排2600時，控制器的功能可以藉由CPU 2200和RAM 2300來執行。

【0088】 存儲裝置2100可以是非易失性記憶體，並且可以是，例如，如上參考圖1A至14的半導體裝置。記憶體裝置2100可以包括階梯式堆疊的絕緣層和插入在絕緣層之間的介電層。記憶體裝置2100可以包括分別插入在絕緣層和介電層的周圍側壁之間的導電層。記憶體裝置2100可以包括接觸插塞，每個接觸插塞耦接到導電層中的一個，並且至少部分地通過在較低的部分處的絕緣層和介電層。由於記憶體裝置2100如上所述來配置和製造，其詳細描述將被省略。

【0089】 此外，記憶體裝置2100可以是由參考圖16描述的複數個記憶體晶片所構成的多晶片封裝。

【0090】 具有這種配置的計算系統2000可以是計算機、UMPC（超移動個人電腦）、工作站、網書（net-book）、PDA（個人數位助理）、便攜式電腦、網絡平板電腦、無線電話、行動電話、智慧電話、電子書、PMP（便攜式多媒體播放器）、便攜式遊戲控制台、導航裝置、黑盒子、數位照相機、三維電視、數位音頻記錄器、數位音頻播放器、數位圖像記錄器、數位圖像播放器、數位視頻記錄器、數位視頻播放器、用於無線發送和接收資訊的裝置、配置家庭網絡的各種電子設備中的至少一個、配置電腦網絡的各種電子設備中的至少一個、配置遠程資訊服務網絡的各種電子設備中的至少一個和RFID裝置。

【0091】 如上所述，由於根據一實施例的計算系統2000包括具有改善特性的記憶體裝置2100，計算系統2000的數據存儲容量可以得到改善。

【0092】 圖18示出了根據一實施例的計算系統的方框圖。

【0093】 如圖18所示，根據一實施例的計算系統3000可以包括具有作業系統3200的軟體層、應用程式3100以及檔案系統3300。計算系統300可以包括轉換層3400以及諸如記憶體裝置3500的硬體層。

【0094】 作業系統3200可以藉由CPU管理計算機系統3000的軟體資源和硬體資源以及控制程序執行。應用程式3100可以是在計算系統3000中執行的各種應用程式，並且可以是藉由作業系統3200所執行的公用程式。

【0095】 檔案系統3300可以涉及邏輯結構來管理存在計算系統3000中的數據和文件。檔案系統3300可以組織文件或數據，以根據規則存儲於記

憶體裝置3500中。檔案系統3300可以藉由使用於計算系統3000中的作業系統3200所決定。例如，當作業系統3200是微軟視窗（Microsoft Windows）時，檔案系統3300可以是檔案配置表（File Allocation Table，FAT）或NT檔案系統（NT file system，NTFS）。此外，當作業系統3200是Unix/Linux時，檔案系統3300可以是擴展檔案系統(Extended File System，EXT)、Unix檔案系統(Unix File System，UFS）或日誌檔案系統（Journaling File System，JFS）。

【0096】 在圖18中，作業系統3200、應用程式3100和檔案系統3300是以個別的方框來說明。但是，應用程式3100和檔案系統3300可以被包括在作業系統3200中。

【0097】 轉換層3400可以響應於從檔案系統3300的請求而將位址轉換成用於記憶體裝置3500的合適類型。例如，轉換層3400可以將藉由檔案系統3300所建立的邏輯位址轉換成記憶體裝置3500的物理位址。邏輯位址和物理位址的映射資訊可以被存儲在位址轉換表中。例如，轉換層3400可以是快閃轉換層（flash translation layer，FTL）、通用快閃儲存鏈路層（universal flash storage link layer，ULL）。

【0098】 記憶體裝置3500可以是非易失性記憶體，並且可以是，例如，如上所述參考圖1A至14的半導體裝置。此外，記憶體裝置3500可以包括：第一半導體圖案，其包括形成在其之側壁上的突起；以及第二半導體圖案，其耦接到第一半導體圖案並且具有從底部到頂部在寬度上增加的寬度。由於記憶體裝置3500如上所述來配置和製造，其詳細描述將被省略。

【0099】 具有這種配置的計算系統3000可被分離成在上部區域中所執行的作業系統層和在下部區域中所執行的控制器層。應用程式3100、作業

系統3200和檔案系統3300可以被包括在作業系統層中，並且可以藉由計算系統3000的操作記憶體來驅動。此外，轉換層3400可以包括在作業系統層或者控制器層中。

【0100】 如上所述，由於根據一實施例的計算系統3000包括具有改善特性的記憶體裝置3500，計算系統3000的數據存儲容量也可以得到改善。

【0101】 接觸插塞形成製程可能會更容易執行，並且橋接可以防止在堆疊的導電層之間形成。

【符號說明】

【0102】

11 絕緣層/上絕緣層/下絕緣層

12 介電層/上介電層/下介電層

13 導電層/上導電層/下導電層

14 通道層

15 記憶體層

16 閘極電極

21 下絕緣層/絕緣層

22 下介電層/介電層

23 導電層

27 狹縫絕緣層

28 層間絕緣層

31 絕緣層

32 介電層

33	導電層
33A	襯墊區域
33B	連接區域
37	狹縫絕緣層
41	下絕緣層
42	下犧牲層
43	層間絕緣層
45	第一狹縫絕緣層
44	犧牲圖案
46	導電層
47	接觸插塞
51	絕緣層
52	犧牲層
53	層間絕緣層
54	導電層
55	第二狹縫絕緣層
56	接觸插塞
1000	記憶體系統
1000'	記憶體系統
1100	控制器
1110	RAM
1120	CPU

1130 主機介面

1140 ECC 電路

1150 記憶體介面

1200 記憶體裝置

1200' 記憶體裝置

2000 計算系統

2100 記憶體裝置

2200 CPU

2300 RAM

2400 用戶界面

2500 電源

2600 匯流排

3000 計算系統

3100 應用程式

3200 作業系統

3300 檔案系統

3400 轉換層

3500 記憶體裝置

201605015

201605015

發明摘要

※ 申請案號：104100534

※ 申請日：104.1.8　　※IPC 分類：H01L 25/07 (2006.01)
H01L 23/15 (2006.01)

【發明名稱】（中文/英文）

互連結構、半導體裝置及製造其之方法

INTERCONNECTION STRUCTURE, SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

【中文】

互連結構可以包括階梯式地疊堆的絕緣層和插入在所述絕緣層之間的介電層。所述互連結構可以包括分別插入在所述絕緣層與所述介電層的周圍側壁之間的導電層。所述互連結構可以包括接觸插塞，其各自耦接到所述導電層中的一個。接觸插塞可以至少部分地通過所述介電層。

【英文】

An interconnection structure may include insulating layers stacked stepwise and dielectric layers interposed between the insulating layers. The interconnection structure may include conductive layers interposed between the insulating layers and surrounding sidewalls of the dielectric layers, respectively. The interconnection structure may include contact plugs each coupled to one of the conductive layers. The contact plugs may at least partially pass through the dielectric layers.

Micron Ex. 1002, p. 259
Micron v. YMTC
IPR2025-00035

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

【本代表圖之符號簡單說明】：

11 絕緣層/上絕緣層/下絕緣層

12 介電層/上介電層/下介電層

13 導電層/上導電層/下導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1.一種互連結構，包括：

階梯式地堆疊的絕緣層；

插入在所述絕緣層之間的介電層；

導電層，其分別插入在所述絕緣層與所述介電層的周圍側壁之間；以及

接觸插塞，其各自耦接到所述導電層中的一個，其中，所述接觸插塞至少部分地通過所述介電層。

2.根據申請專利範圍第1項的互連結構，

其中，每個所述導電層包括圍繞每個所述介電層的端子側壁的襯墊區域，以及

其中，所述接觸插塞是在與所述襯墊區域的頂表面和兩個側壁接觸。

3.根據申請專利範圍第2項的互連結構，其中，所述接觸插塞的直徑大於所述襯墊區域的寬度。

4.根據申請專利範圍第1項的互連結構，其中，每個所述導電層圍繞包括每個所述介電層的端子側壁的至少兩個側壁。

5.根據申請專利範圍第4項的互連結構，進一步包括：

狹縫絕緣層，其與所述介電層的暴露側壁接觸，

其中，所述導電層圍繞包括每個所述介電層的所述端子側壁的至少兩個側壁，其保留所述介電層的所述暴露側壁以接觸所述狹縫絕緣層。

6.根據申請專利範圍第5項的互連結構，其中所述縫隙絕緣層與所述介電層的所述暴露側壁相對之所述導電層的側壁接觸。

Micron Ex. 1002, p. 261
Micron v. YMTC
IPR2025-00035

7.根據申請專利範圍第4項的互連結構，其中，所述導電層包括實質上爲“L”形狀。

8.根據申請專利範圍第1項的互連結構，其中每個所述導電層圍繞包括每個所述介電層的端子側壁的至少三個側壁。

9.根據申請專利範圍第8項的互連結構，其中，圍繞所述三個側壁中的至少兩個的所述導電層是連接區域，所述連接區域接觸且位於所述介電層的側壁和縫隙絕緣層之間。

10.根據申請專利範圍第8項的互連結構，其中，所述導電層包括實質上爲“C”形狀。

11.根據申請專利範圍第1項的互連結構，其中，每個所述接觸插塞分別接觸每個所述導電層的頂面和側壁。

12.根據申請專利範圍第1項的互連結構，其中，所述導電層分別耦接到在單元結構中堆疊的閘極電極。

13.根據申請專利範圍第12項的互連結構，其中，每個所述導電層包括：

襯墊區域，其圍繞所述介電層的端子側壁且接觸所述接觸插塞；以及

連接區域，其耦接所述襯墊區域到所述閘極電極。

14.一種半導體裝置，包括：

第一堆疊結構，其包括彼此交替堆疊的第一至第n絕緣層和第一至第n介電層，以及分別插入在所述第一至第n絕緣層與所述第一至第n介電層的周圍側壁之間的第一至第n導電層，其中n是2或更大的自然數，其中所述第一堆疊結構具有階梯式結構；

第二堆疊結構，其包括彼此交替地堆疊的第一至第2n絕緣層和第一至

2n介電層，以及分別插入在所述第一至第2n絕緣層與所述第一至第2n介電層的周圍側壁之間的第一至第2n導電層，其中第n+1至第2n絕緣層、第n+1至2n介電層與第n+1至2n導電層具有階梯式結構；以及

縫隙絕緣層，其位於所述第一堆疊結構與所述第二堆疊結構之間。

15.根據申請專利範圍第14項的半導體裝置，進一步包括：

第一接觸插塞，其分別耦接到所述第一堆疊結構的所述第一至第n導電層，其中所述第一接觸插塞至少部分地通過位於所耦接的所述第一至第n導電層之下的所述第一至第n絕緣層和所述第一至第n介電層；以及

第二接觸插塞，其分別耦接到所述第二堆疊結構的所述第n+1至第2n導電層，其中所述第二接觸插塞至少部分地通過位於所耦接的所述第一到2n導電層之下的所述第一至2n絕緣層和所述第一至2n介電層。

16.根據申請專利範圍第15項的半導體裝置，進一步包括外圍區域，其位於所述第一和第二堆疊結構下，並且包括電晶體和連接到所述電晶體的金屬線，

其中，所述第一和第二接觸插塞完全通過位於所耦接的所述導電層之下的所述絕緣層和所述介電層並且被耦接到所述金屬線。

17.根據申請專利範圍第14項的半導體裝置，進一步包括位於單元區域中的單元結構，所述單元結構包括彼此交替堆疊的閘極電極和絕緣層，其中所述閘極電極被分別耦接至所述導電層。

18.根據申請專利範圍第16項的半導體裝置，其中，每個所述導電層圍繞包括每個所述介電層的端子側壁的至少兩個側壁。

19.根據申請專利範圍第16項的半導體裝置，其中，每個所述導電層圍

繞包括每個所述介電層的端子側壁的至少三個側壁。

20.一種製造半導體裝置的方法，該方法包括：

形成堆疊結構，其包括階梯式地堆疊的絕緣層和插入在所述絕緣層之間的犧牲層；

藉由部分地移除暴露在所述堆疊結構的側壁上的所述犧牲層以形成第一開口；

形成層間絕緣層在所述堆疊結構之上，其中所述層間絕緣層包括位在所述第一開口中的空隙；

形成通過所述層間絕緣層和所述堆疊結構的狹縫；

藉由部分地移除通過所述狹縫的所述犧牲層以形成第二開口；以及

形成在所述第二開口中的導電層。

21.根據申請專利範圍第20項的方法，進一步包括形成接觸插塞，每個接觸插塞耦接到所述導電層中的一個，並且至少部分地通過位於所耦接的所述導電層之下的所述絕緣層和所述犧牲層。

22.根據申請專利範圍第20項的方法，進一步包括在形成所述層間絕緣層之前，在所述第一開口中形成犧牲圖案，其中所述犧牲圖案具有比所述犧牲層還高的蝕刻速率。

23.根據申請專利範圍第20項的方法，進一步包括形成支撐絕緣層，其在形成所述狹縫之前穿過所述堆疊結構。

24.根據申請專利範圍第23項的方法，其中所述支撐絕緣層被暴露在所述縫隙的一側上，所述堆疊結構上是暴露在所述縫隙的另一側上。

25.根據申請專利範圍第24項的方法，其中，每個所述導電層圍繞包括

每個所述犧牲層的端子側壁的至少兩個側壁。

26.根據申請專利範圍第20項的方法，其中所述堆疊結構被暴露在所述縫隙的兩側上。

27.根據申請專利範圍第26項的方法，其中每個導電層圍繞包括每個所述犧牲層的端子側壁的至少三個側壁。

28.一種互連結構，包括：

階梯式地堆疊的絕緣層；

插入在所述絕緣層之間的介電層；

導電層，其分別插入在所述絕緣層與所述介電層的周圍側壁之間；以及

接觸插塞，各自耦接到所述導電層中的一個，

其中，每個所述導電層包括圍繞每個所述介電層的端子側壁的襯墊區域。

29.根據申請專利範圍第28項的互連結構，其中，所述接觸插塞部分地通過所述介電層。

30.根據申請專利範圍第28項的互連結構，其中，所述接觸插塞的直徑大於所述襯墊區域的寬度。

31.一種互連結構，包括：

上導電層，其包括上介電層和圍繞所述上介電層的端子側壁的襯墊區域；

下導電層，其包括下介電層和圍繞所述下介電層的端子側壁的襯墊區域，所述下導電層位於所述上導電層之下；以及

接觸插塞，其耦接到所述上導電層的所述襯墊區域和所述下介電層。

32.根據申請專利範圍第31項的互連結構，其中，所述接觸插塞至少部分地通過所述上介電層。

33.根據申請專利範圍第31項的互連結構，其中，所述接觸插塞至少部分地通過所述下介電層。

34.根據申請專利範圍第31項的互連結構，其中，所述接觸插塞是與所述上導電層的所述襯墊區域的頂表面和兩個側壁接觸。

35.根據申請專利範圍第31項的互連結構，其中，所述上導電層圍繞所述上介電層的至少兩個側壁。

36.根據申請專利範圍第31項的互連結構，其中，所述下導電層圍繞所述下介電層的至少兩個側壁。

圖式

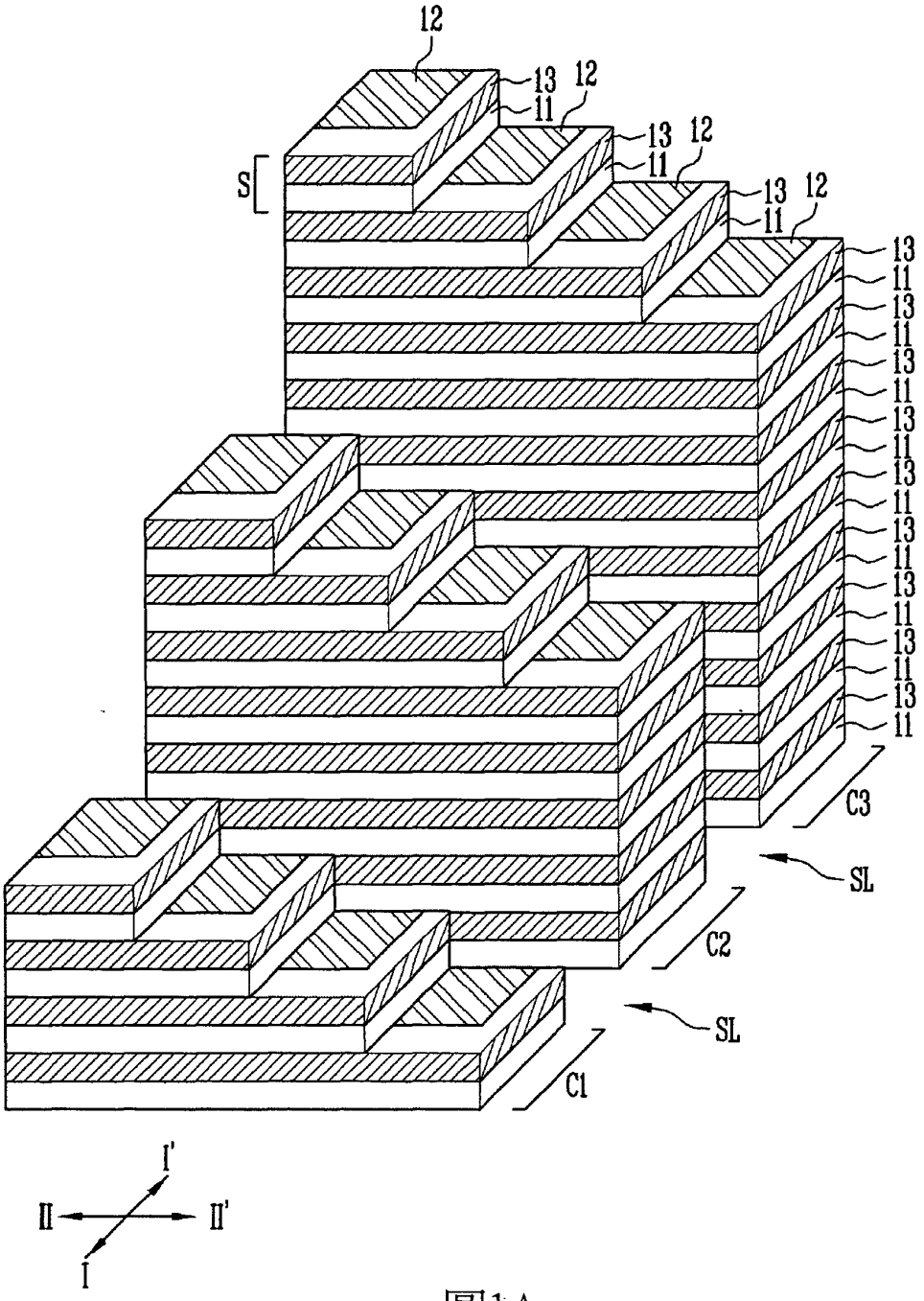


圖1A

Micron Ex. 1002, p. 267
Micron v. YMTC
IPR2025-00035

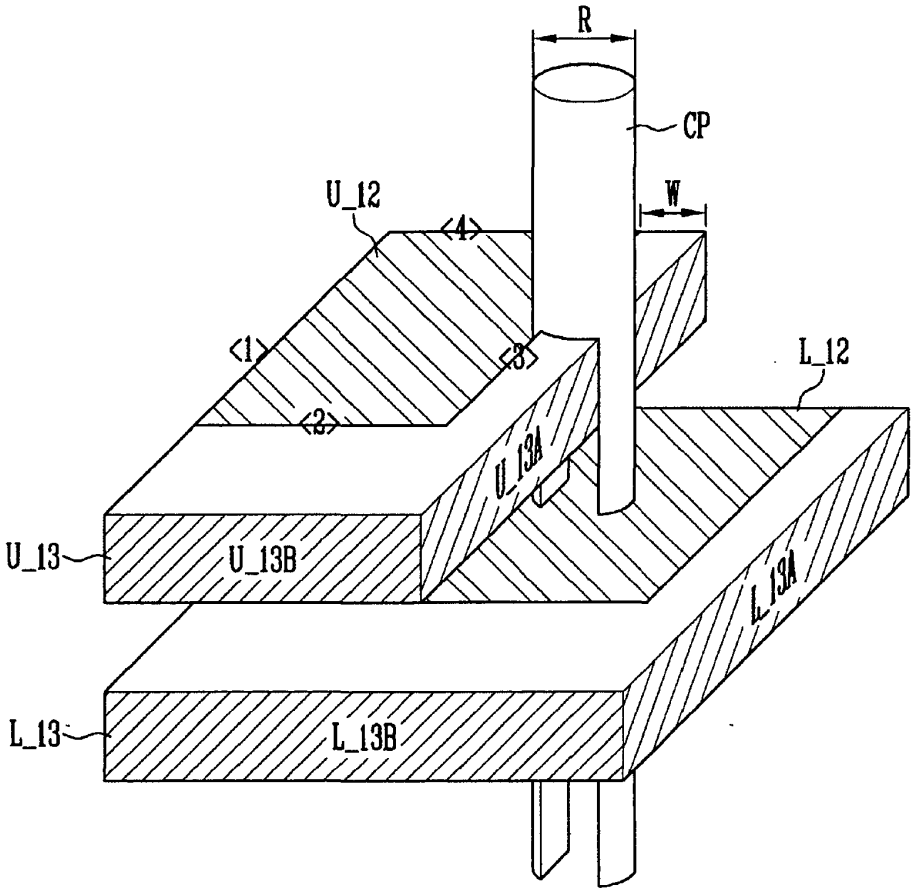


圖1B

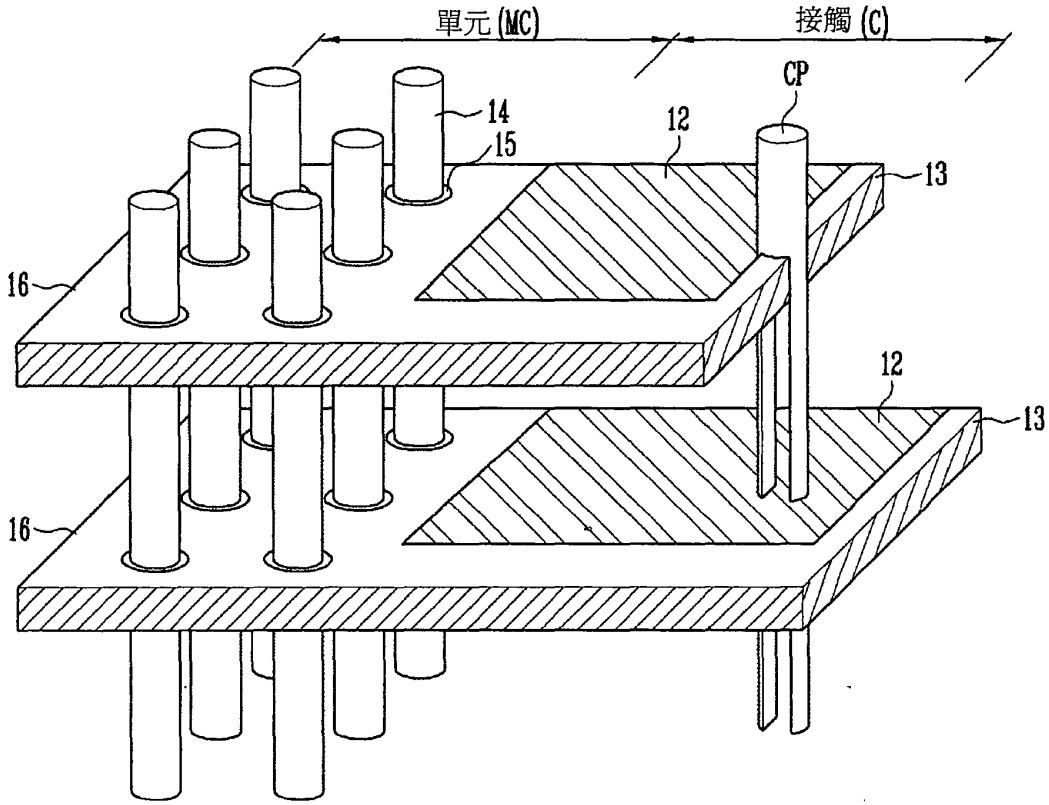


圖1C

Micron Ex. 1002, p. 269
Micron v. YMTC
IPR2025-00035

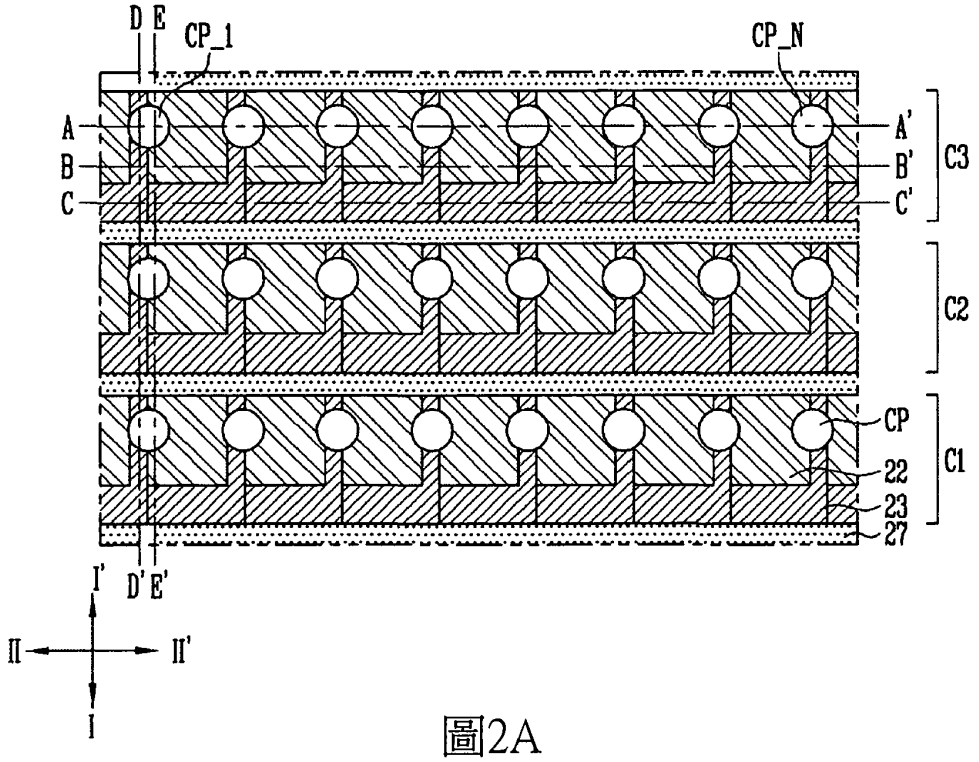

D
E
CP_1
CP_N
A
B
C
A'
B'
C'
C3
C2
CP
C1
22
23
27
I'
D'
E'
II
II'
I

圖2A

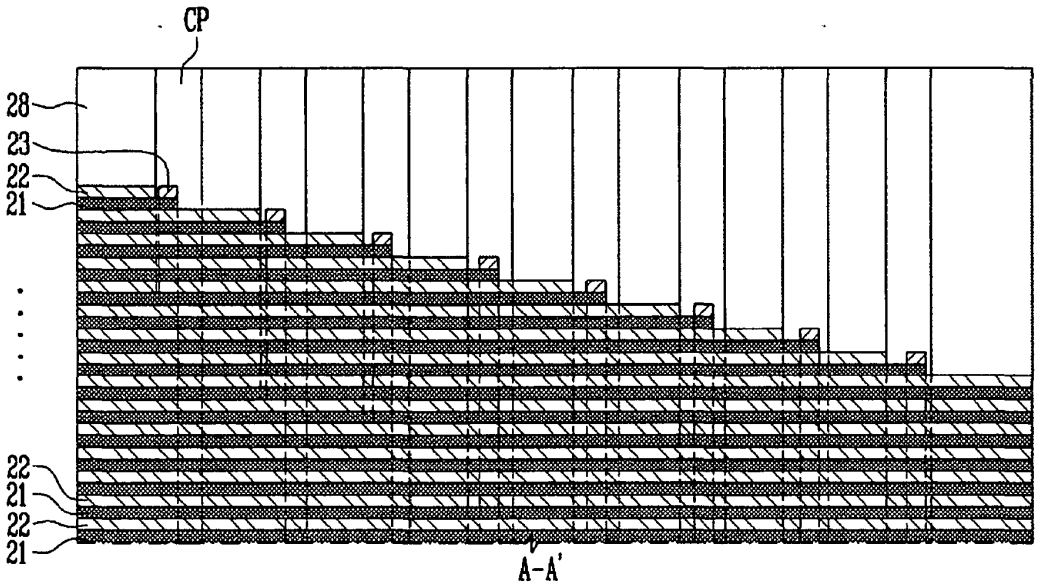

CP
28
23
22
21
22
21
22
21
A-A'

圖2B

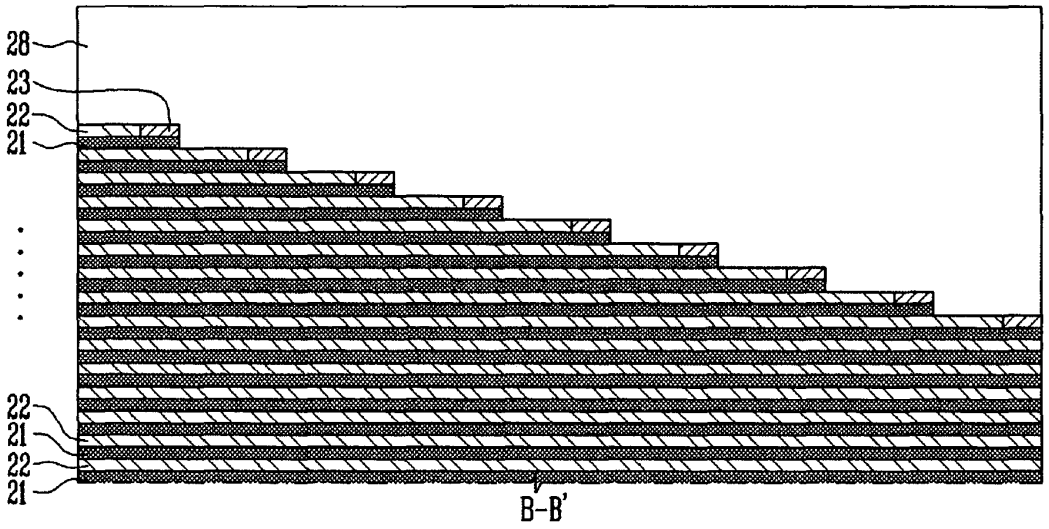


圖2C

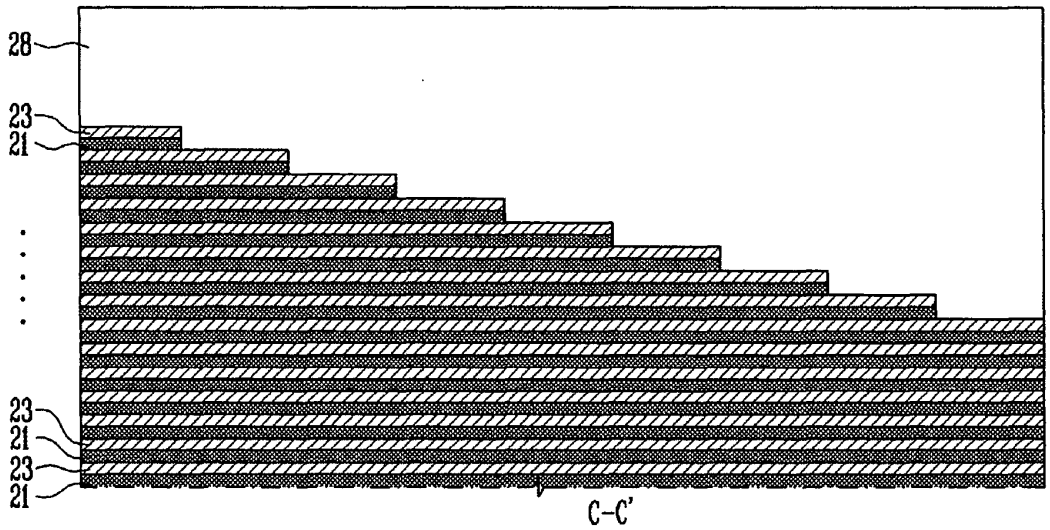


圖2D

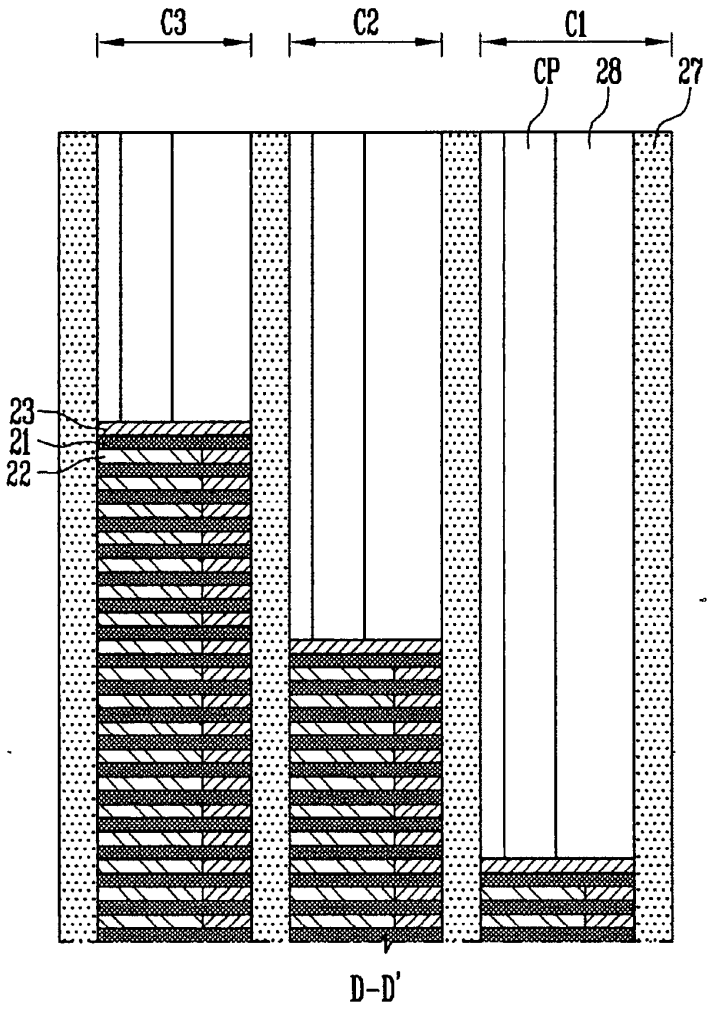


圖2E

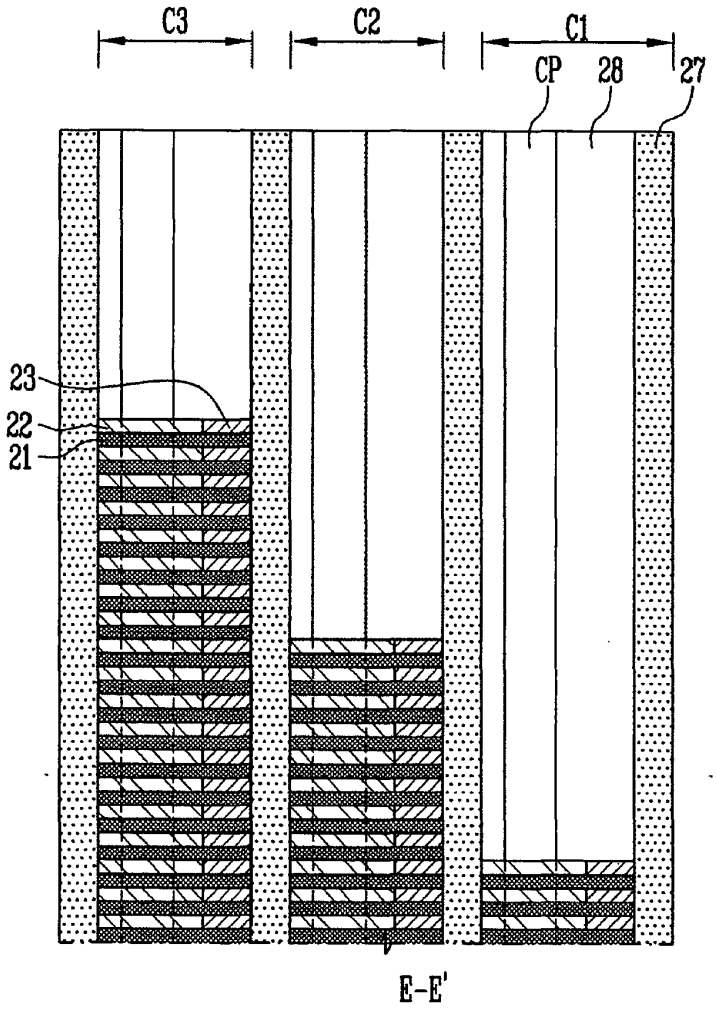


圖2F

Micron Ex. 1002, p. 273
Micron v. YMTC
IPR2025-00035

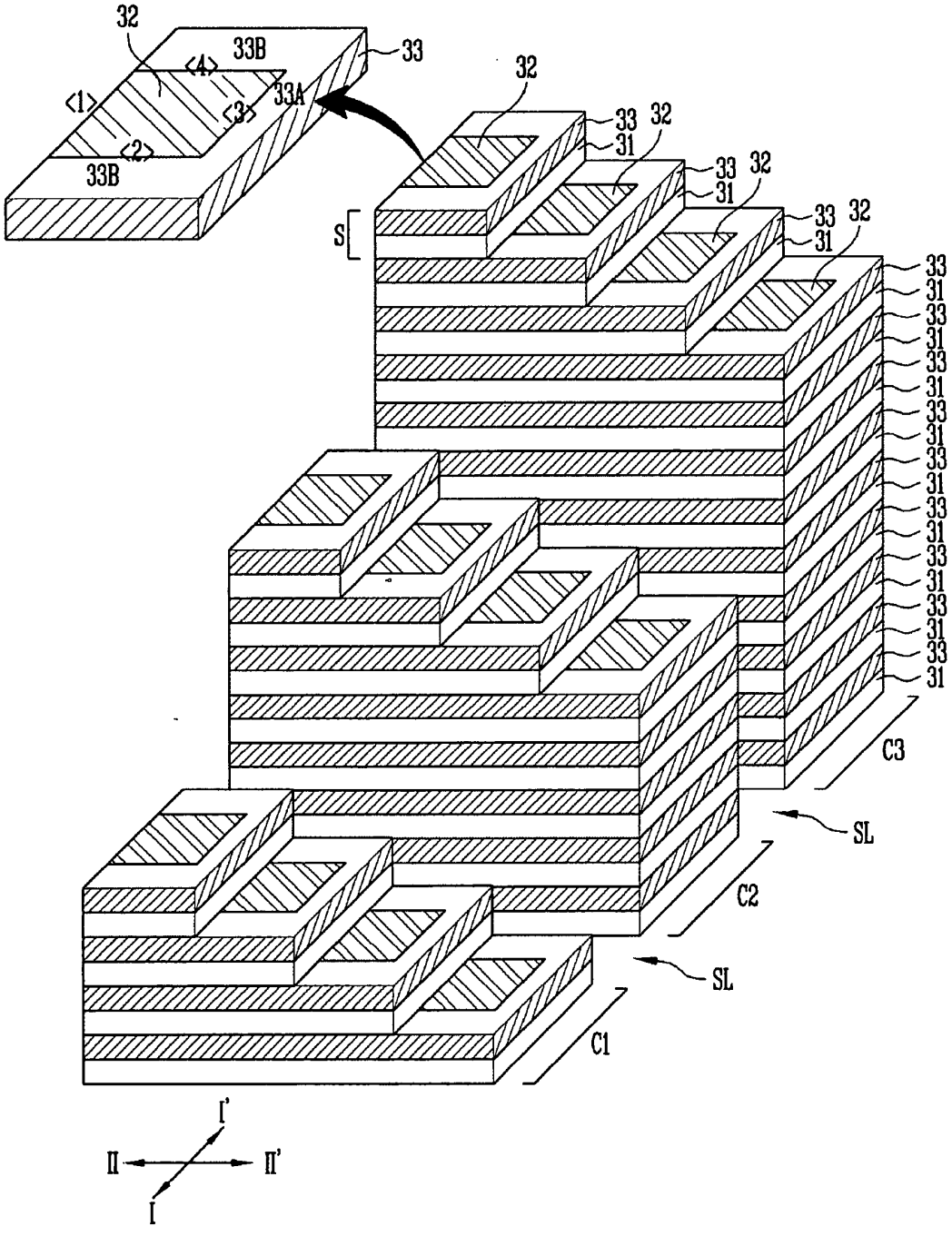


圖3A

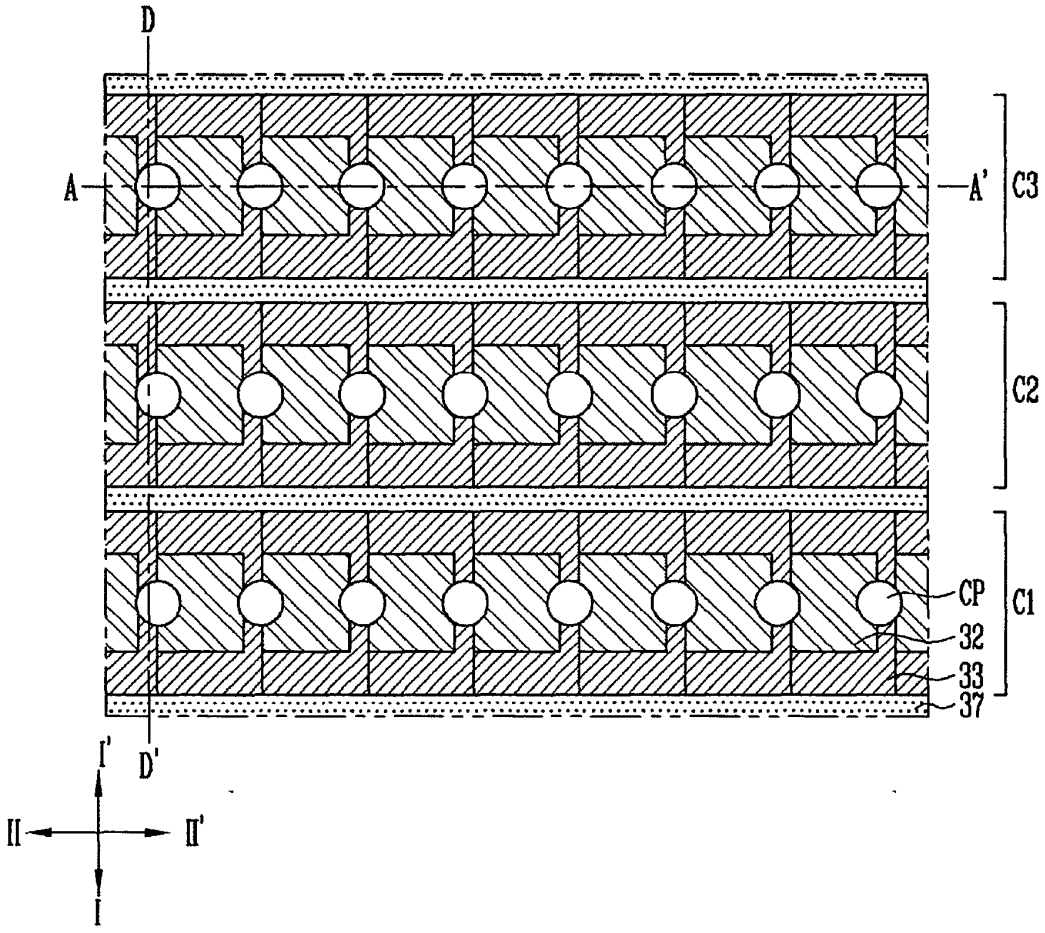


圖3B

Micron Ex. 1002, p. 275
Micron v. YMTC
IPR2025-00035

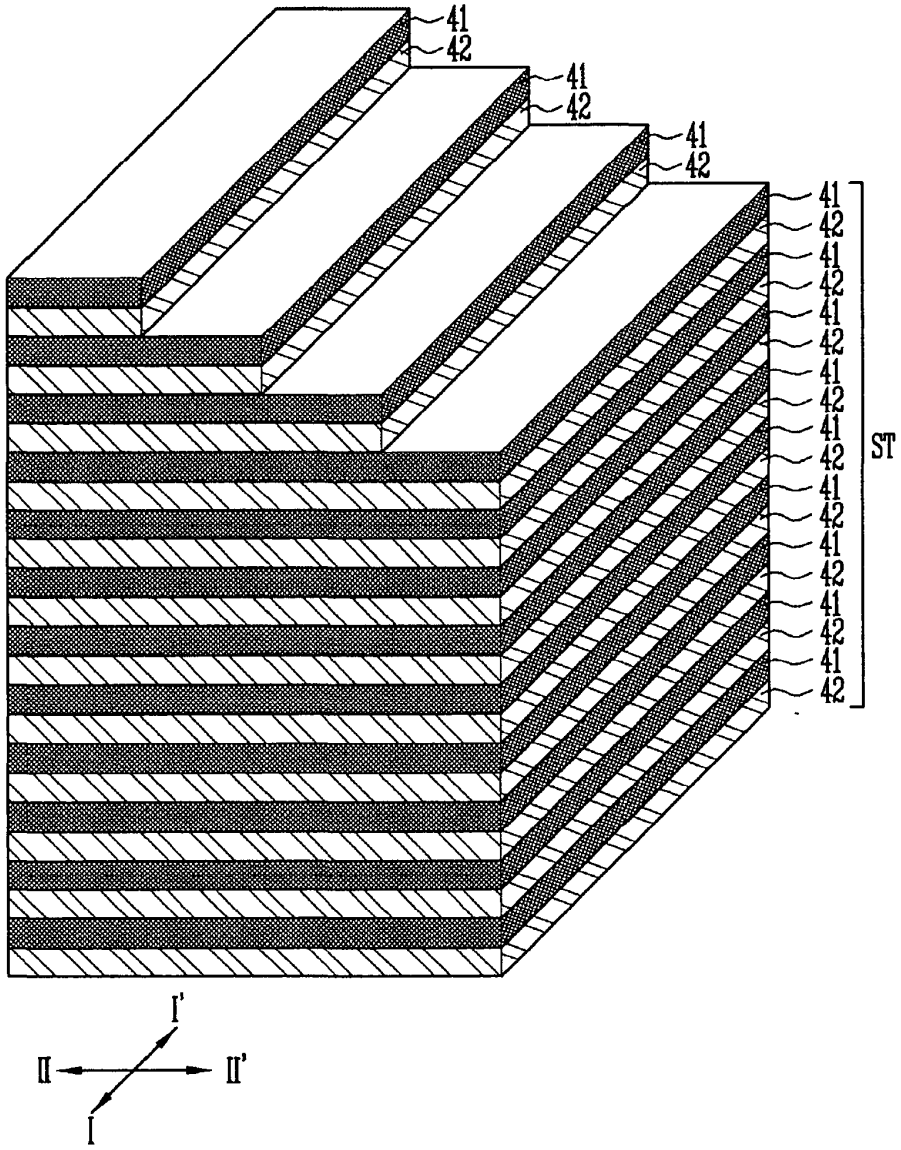


圖4

Micron Ex. 1002, p. 276
Micron v. YMTC
IPR2025-00035

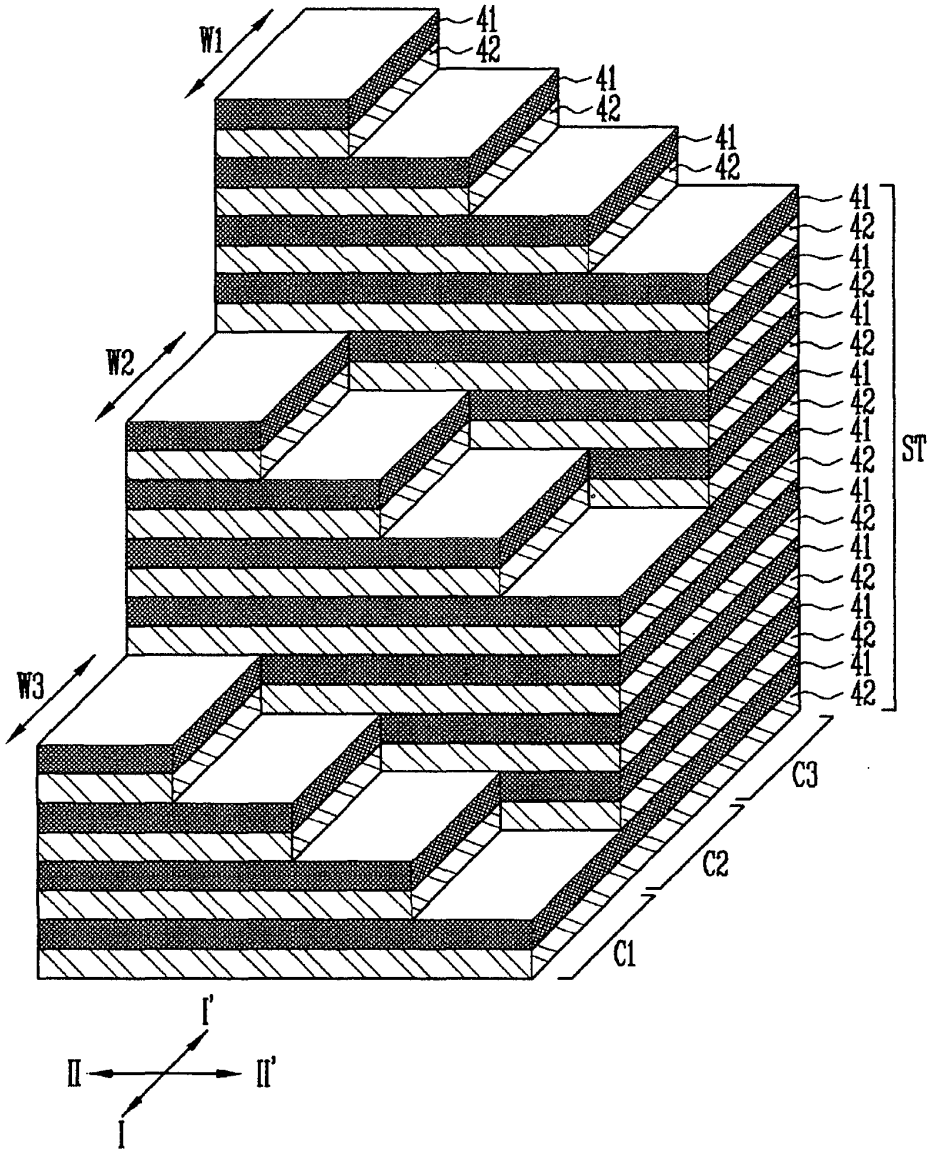


圖5

Micron Ex. 1002, p. 277
Micron v. YMTC
IPR2025-00035

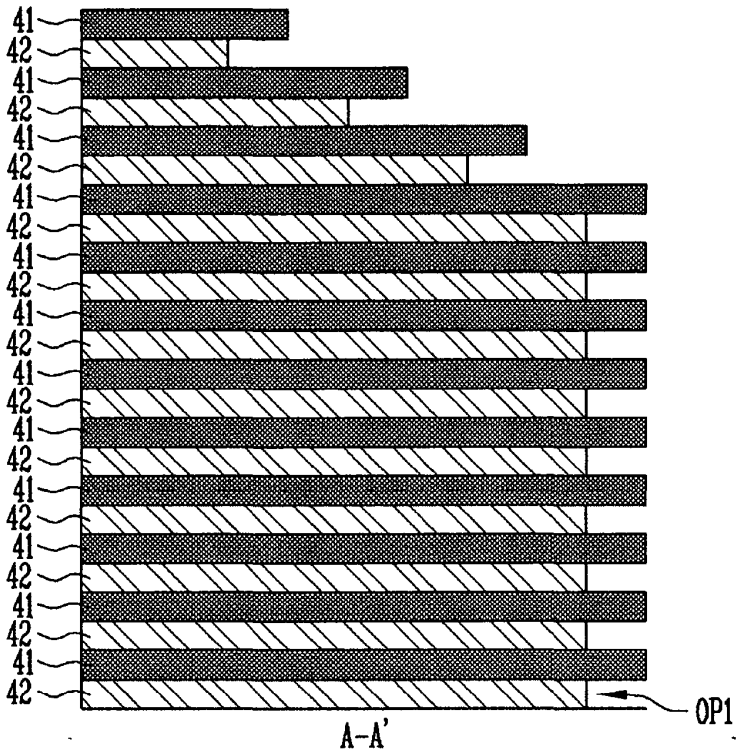


圖6A

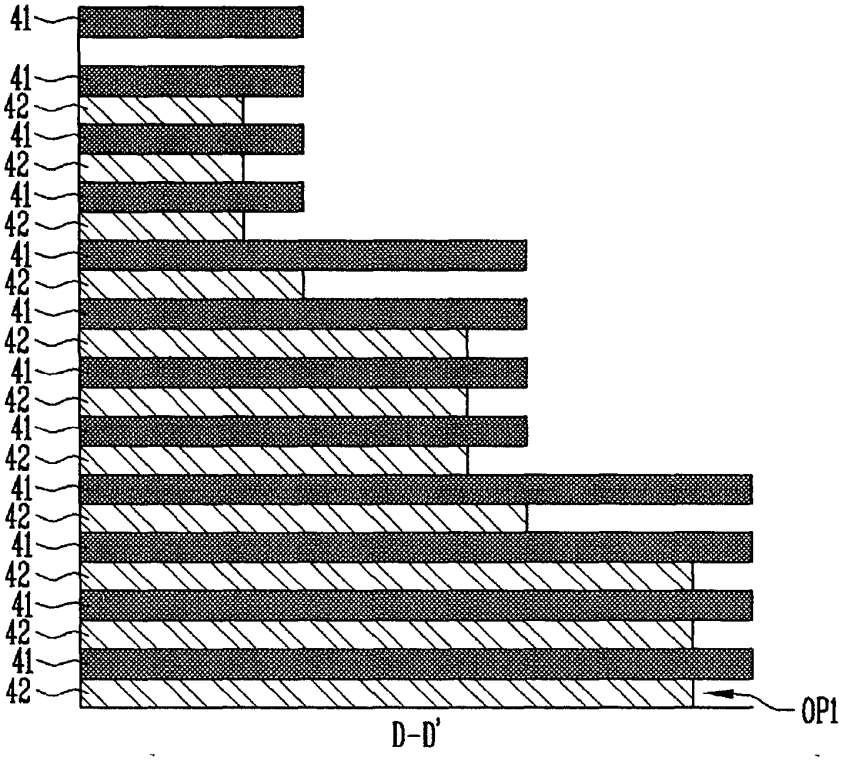


圖6B

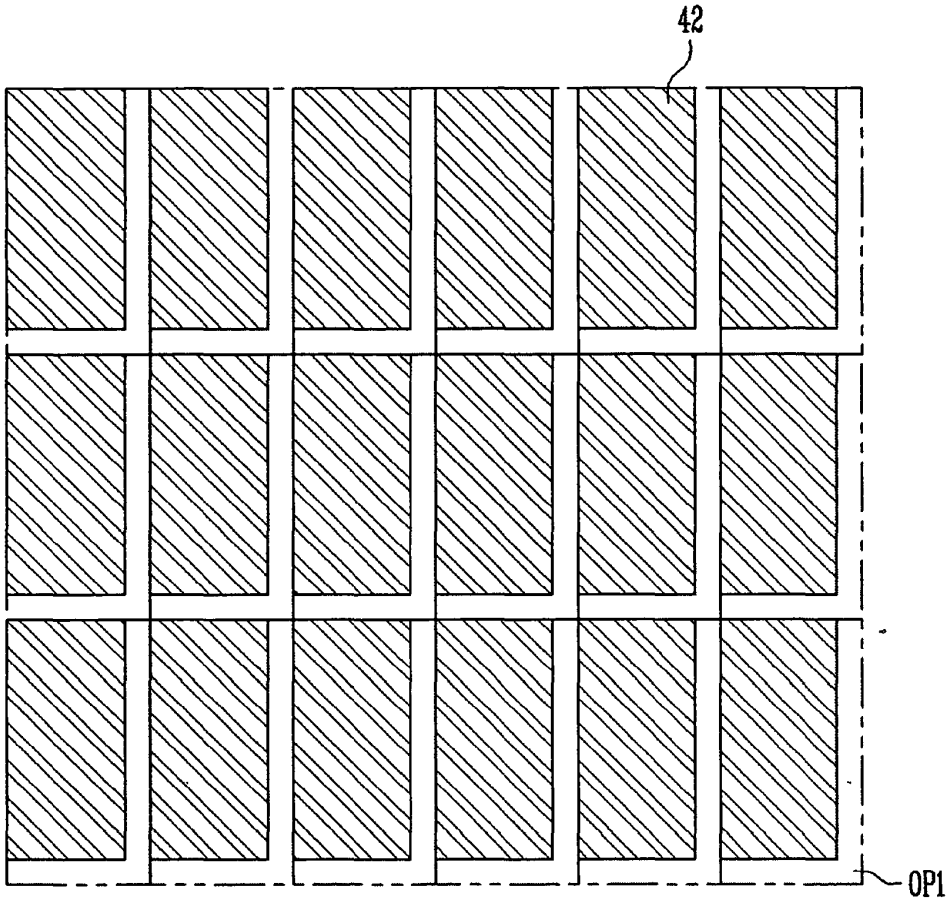


圖6C

Micron Ex. 1002, p. 280
Micron v. YMTC
IPR2025-00035

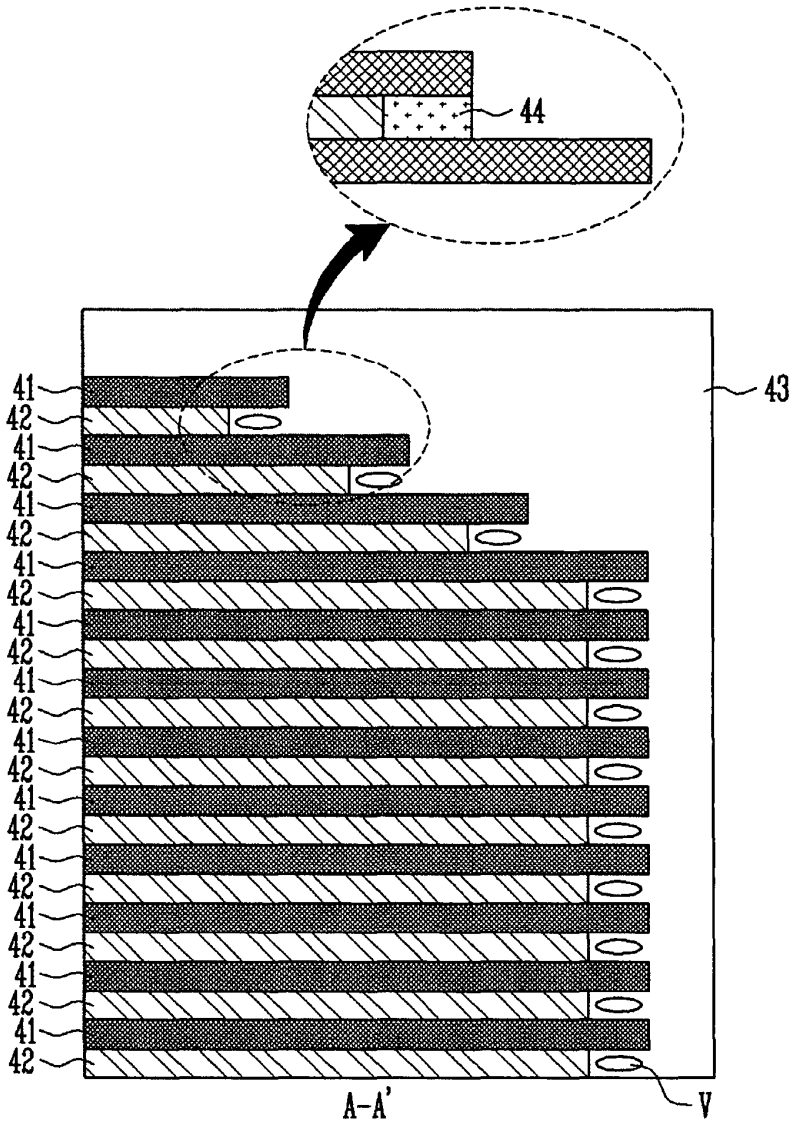


圖7A

Micron Ex. 1002, p. 281
Micron v. YMTC
IPR2025-00035

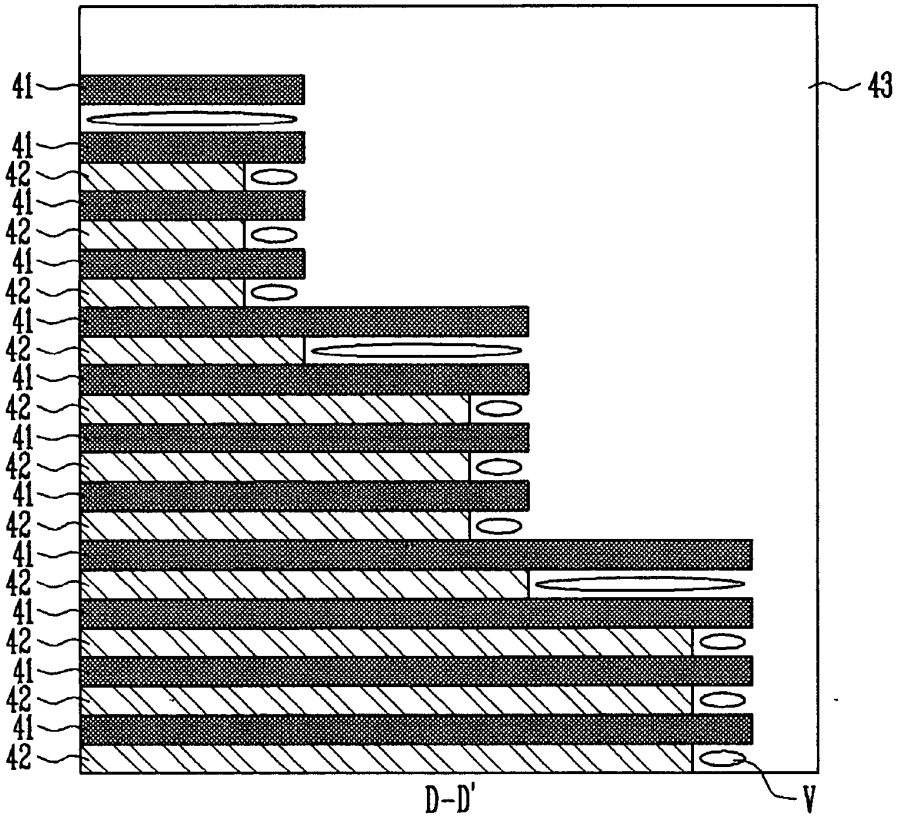


圖7B

Micron Ex. 1002, p. 282
Micron v. YMTC
IPR2025-00035

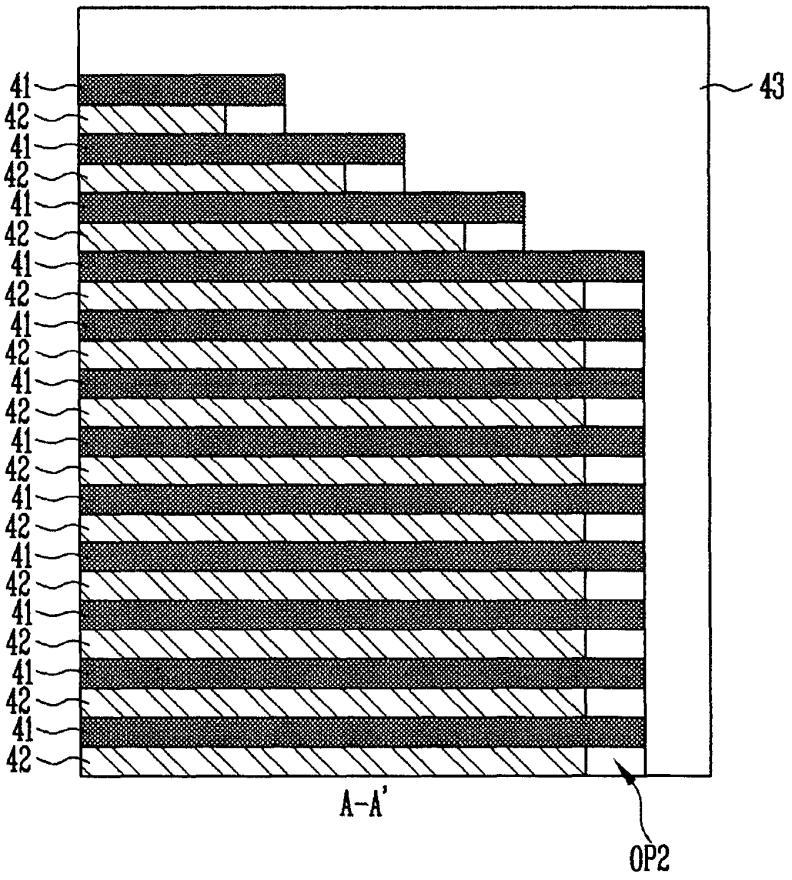

41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
43
A-A'
OP2

圖8A

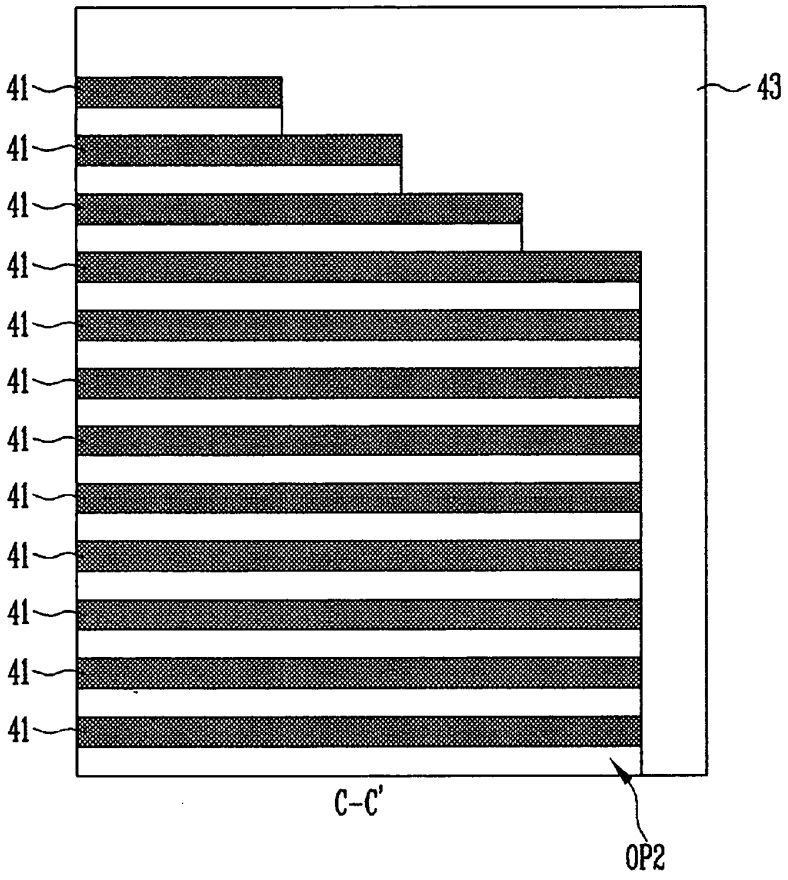


圖8B

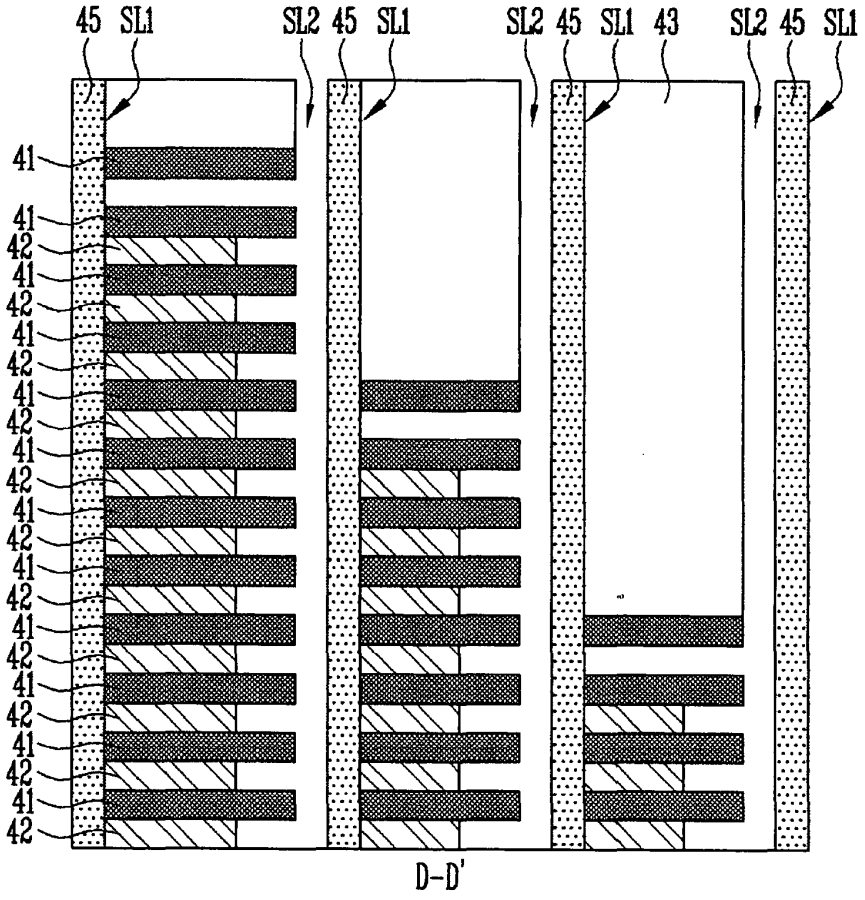


圖8C

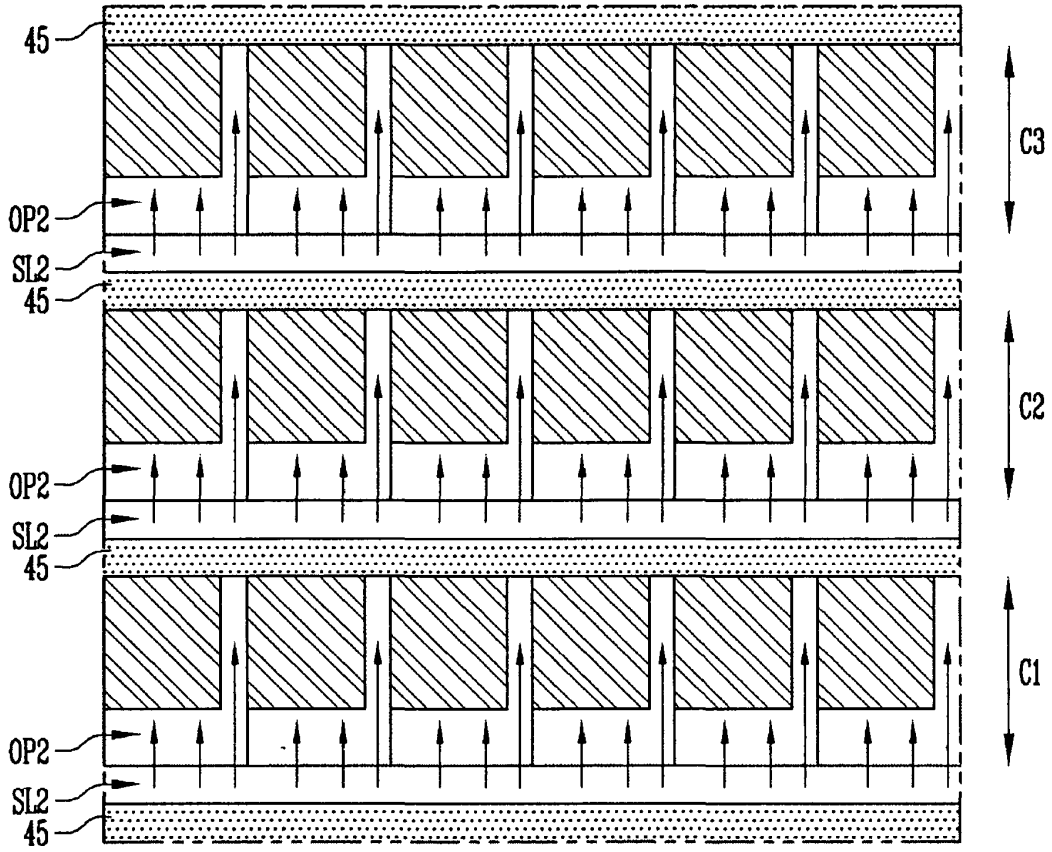


圖8D

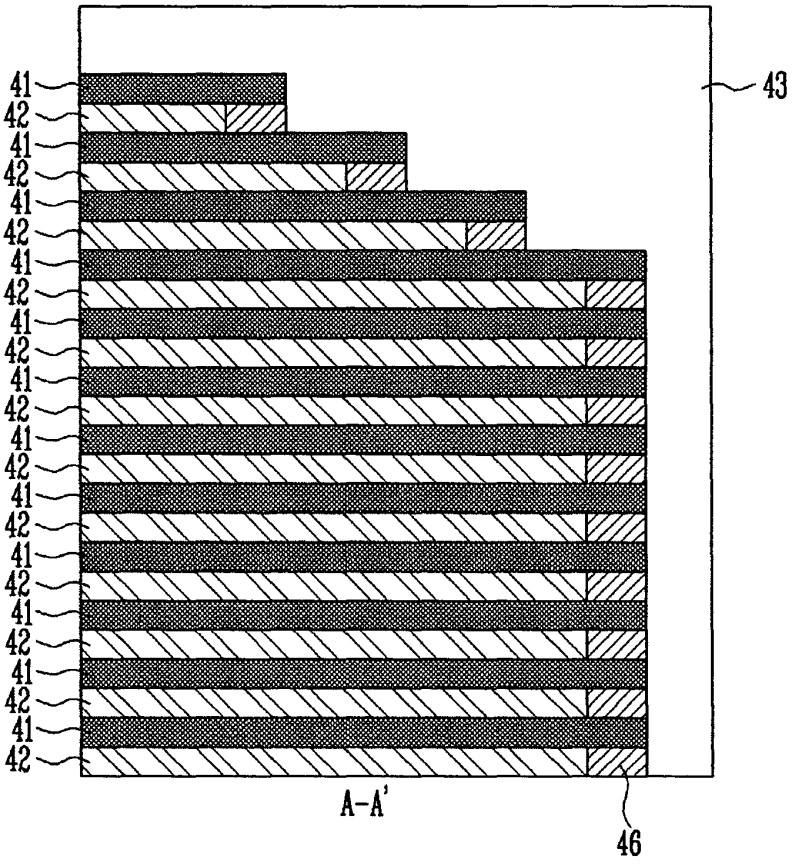

41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
43
A-A'
46

圖9A

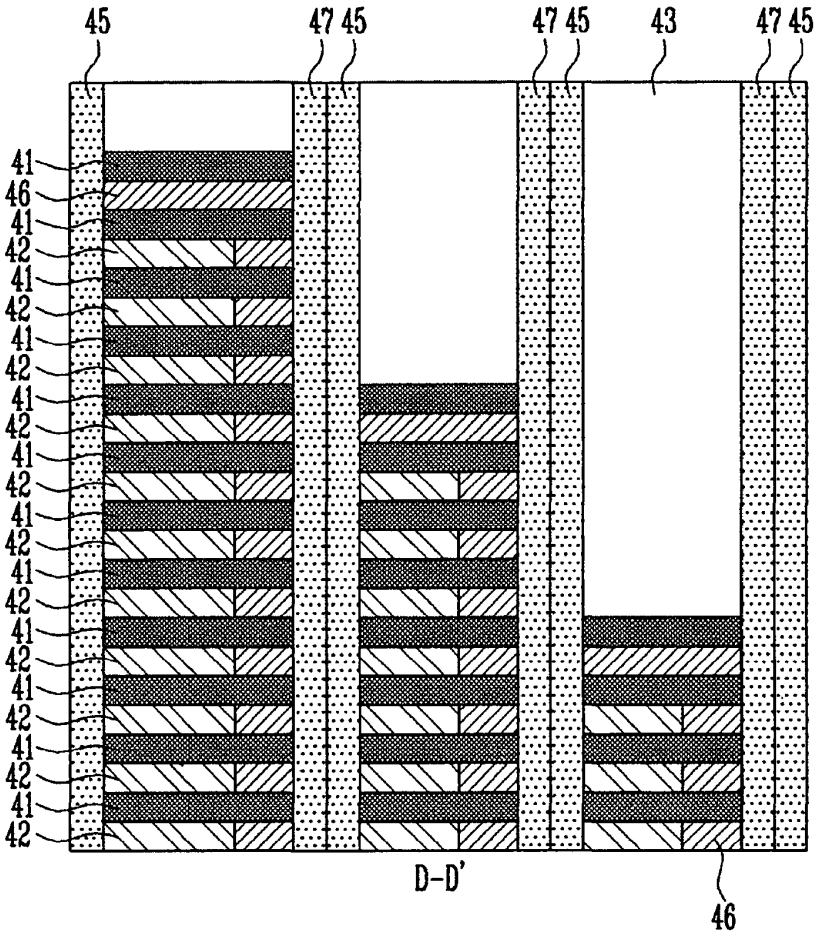

45
47 45
47 45
43
47 45
41
46
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
D-D'
46

圖9B

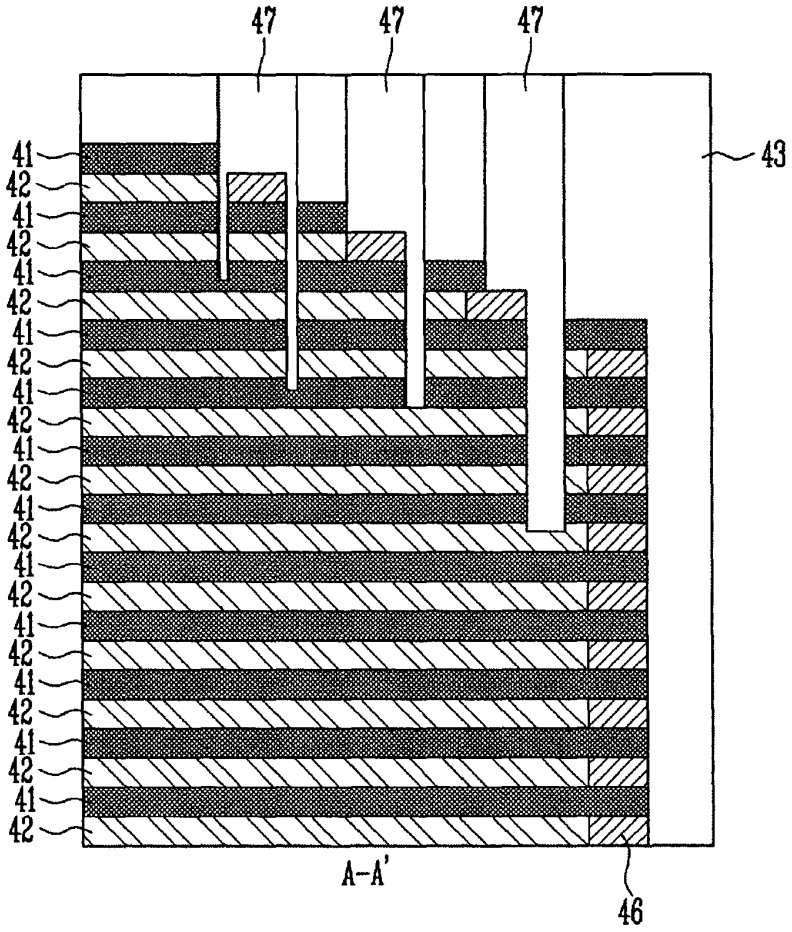


圖10A

Micron Ex. 1002, p. 289
Micron v. YMTC
IPR2025-00035

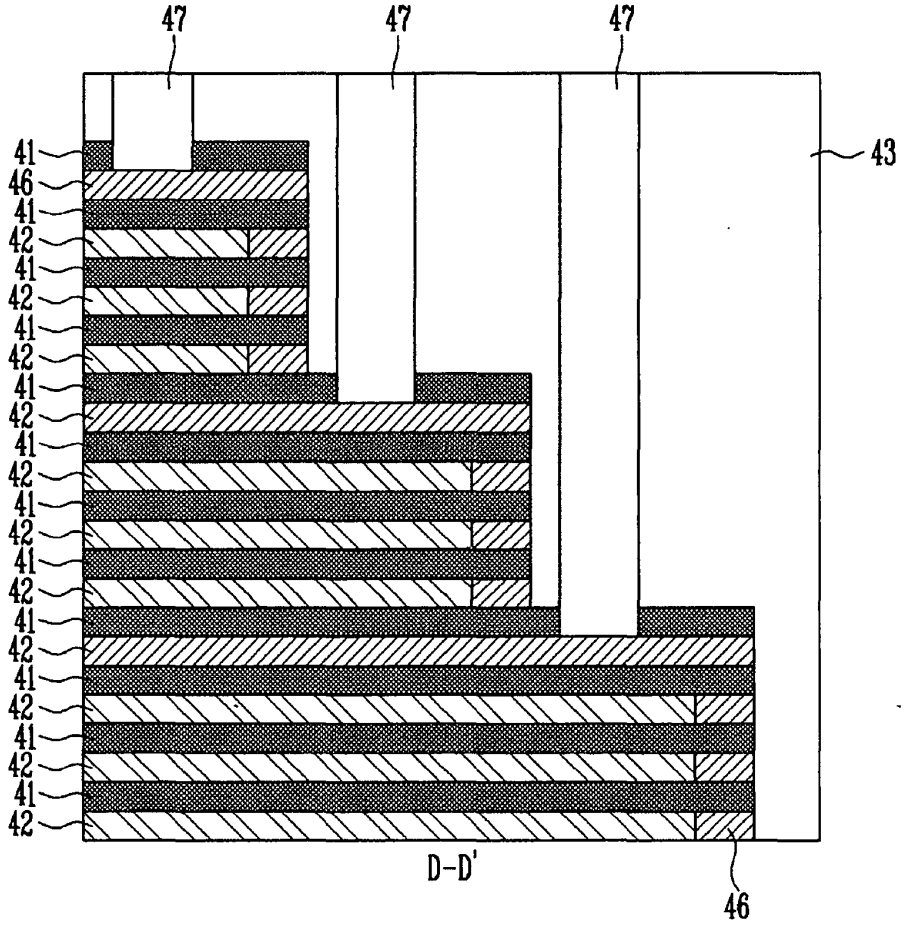

47
47
47
43
41
46
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
41
42
D-D'
46

圖10B

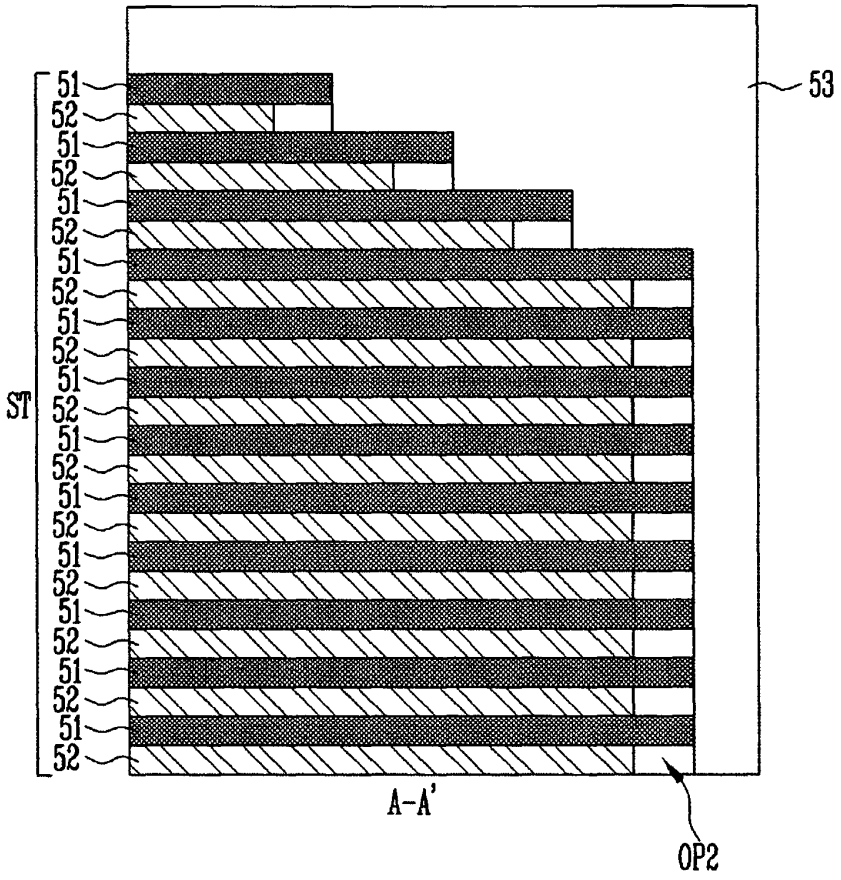


圖11A

Micron Ex. 1002, p. 291
Micron v. YMTC
IPR2025-00035

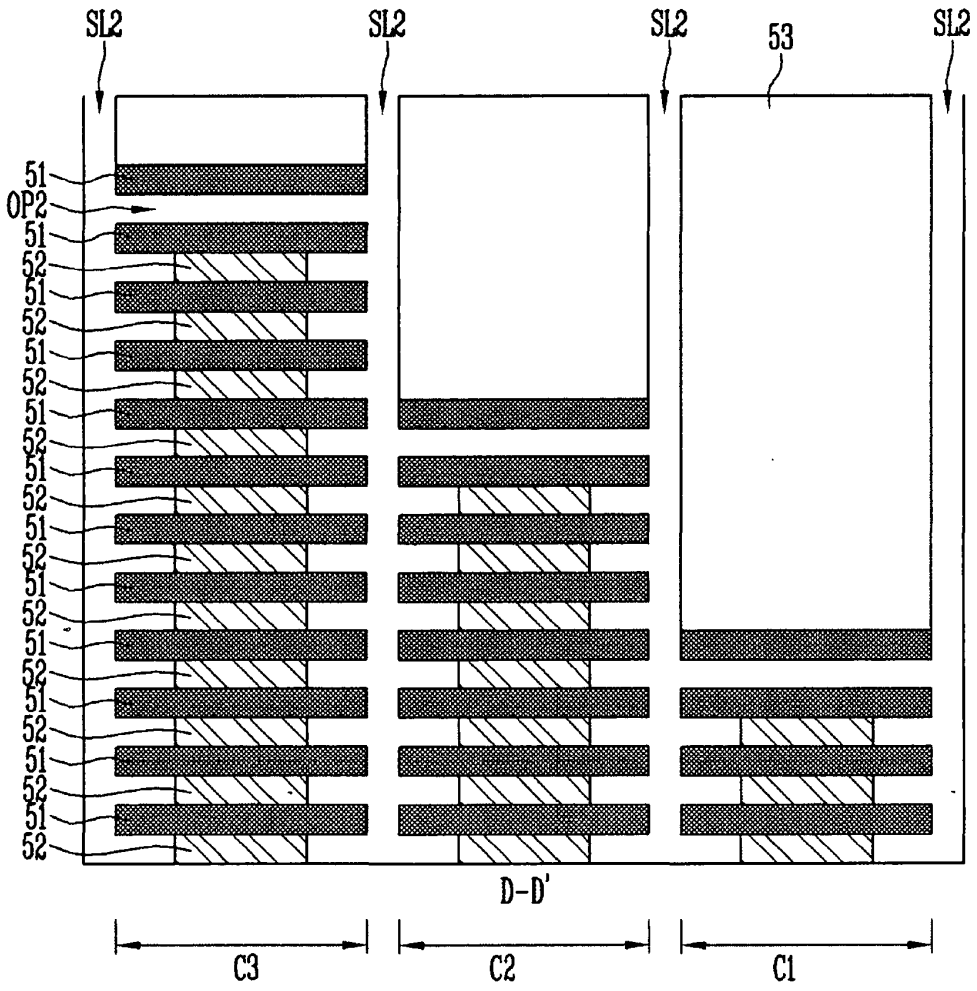

SL2
SL2
SL2
53
SL2
51
OP2
51
52
51
52
51
52
51
52
51
52
51
52
51
52
51
52
51
52
51
52
51
52
D-D'
C3
C2
C1

圖11B

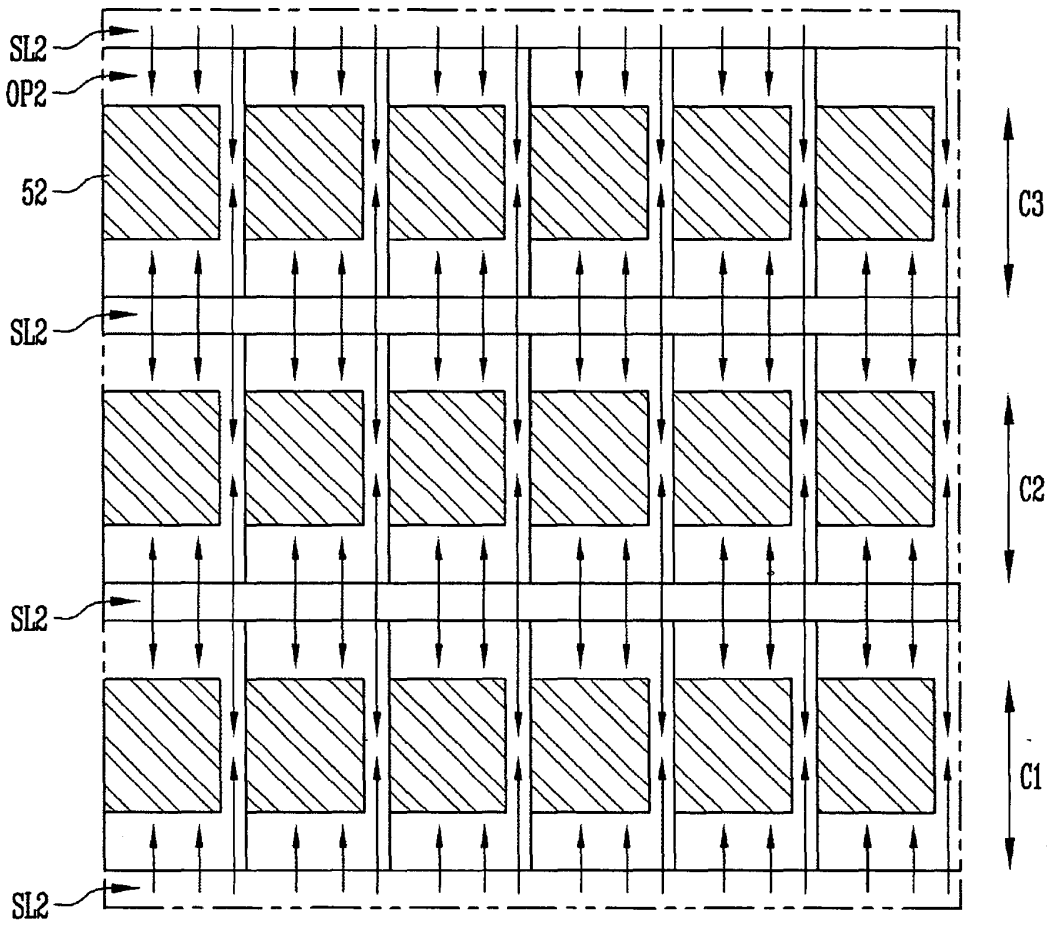


圖11C

Micron Ex. 1002, p. 293
Micron v. YMTC
IPR2025-00035

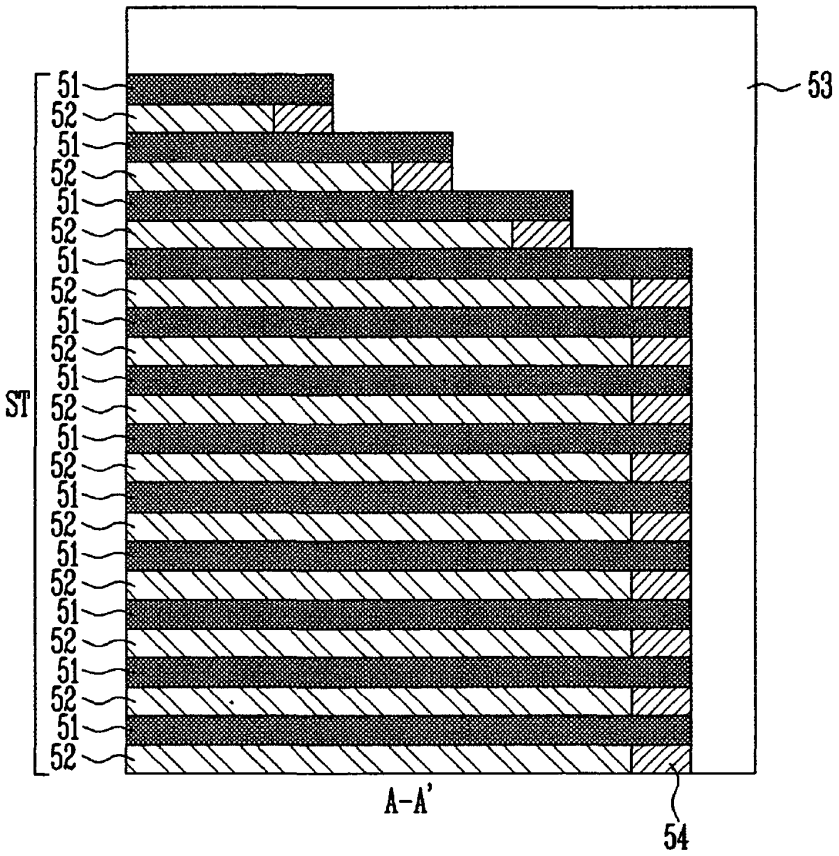


圖12A

Micron Ex. 1002, p. 294
Micron v. YMTC
IPR2025-00035

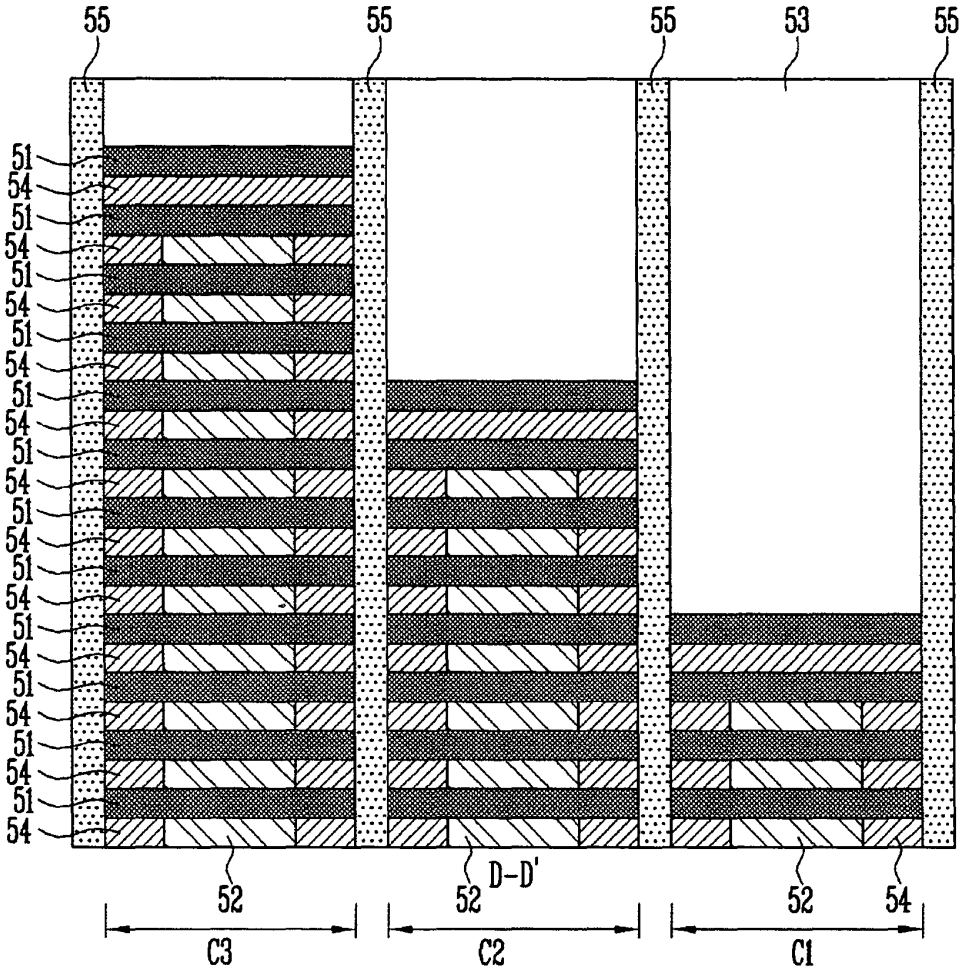


圖12B

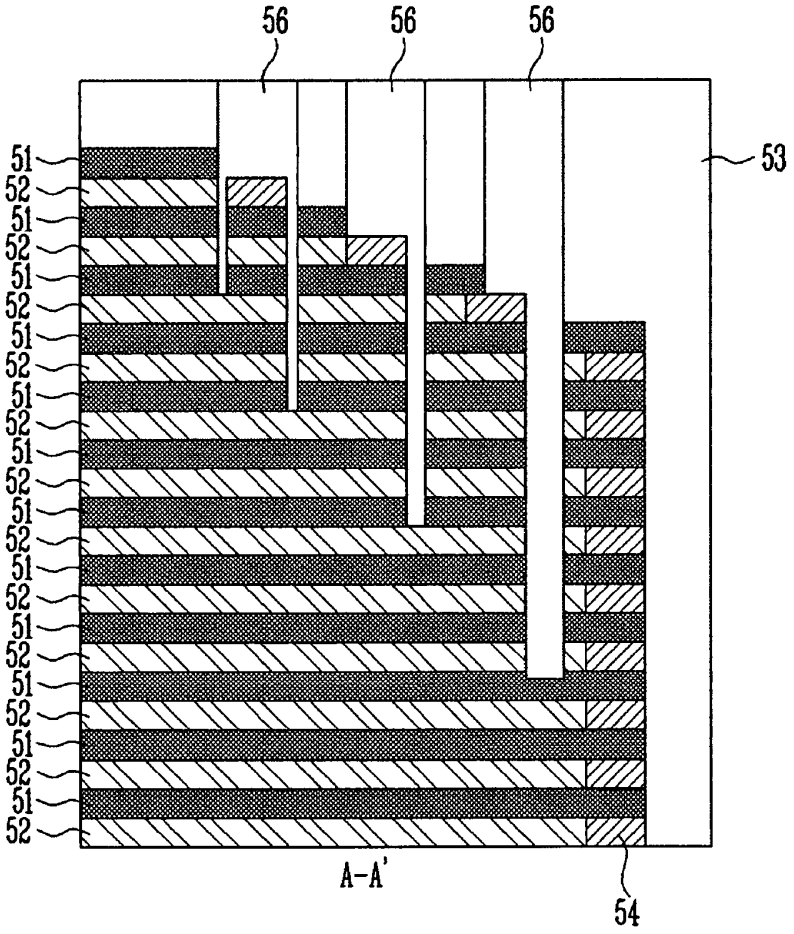


圖13A

Micron Ex. 1002, p. 296
Micron v. YMTC
IPR2025-00035

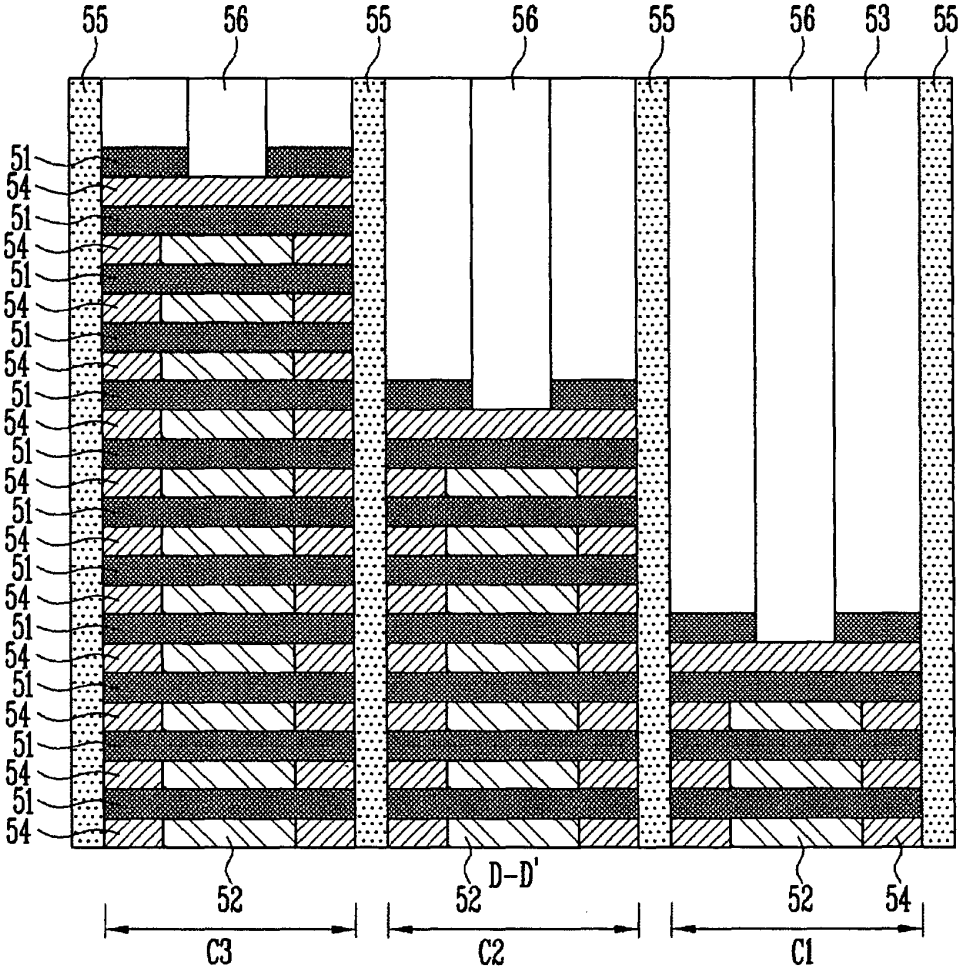


圖13B

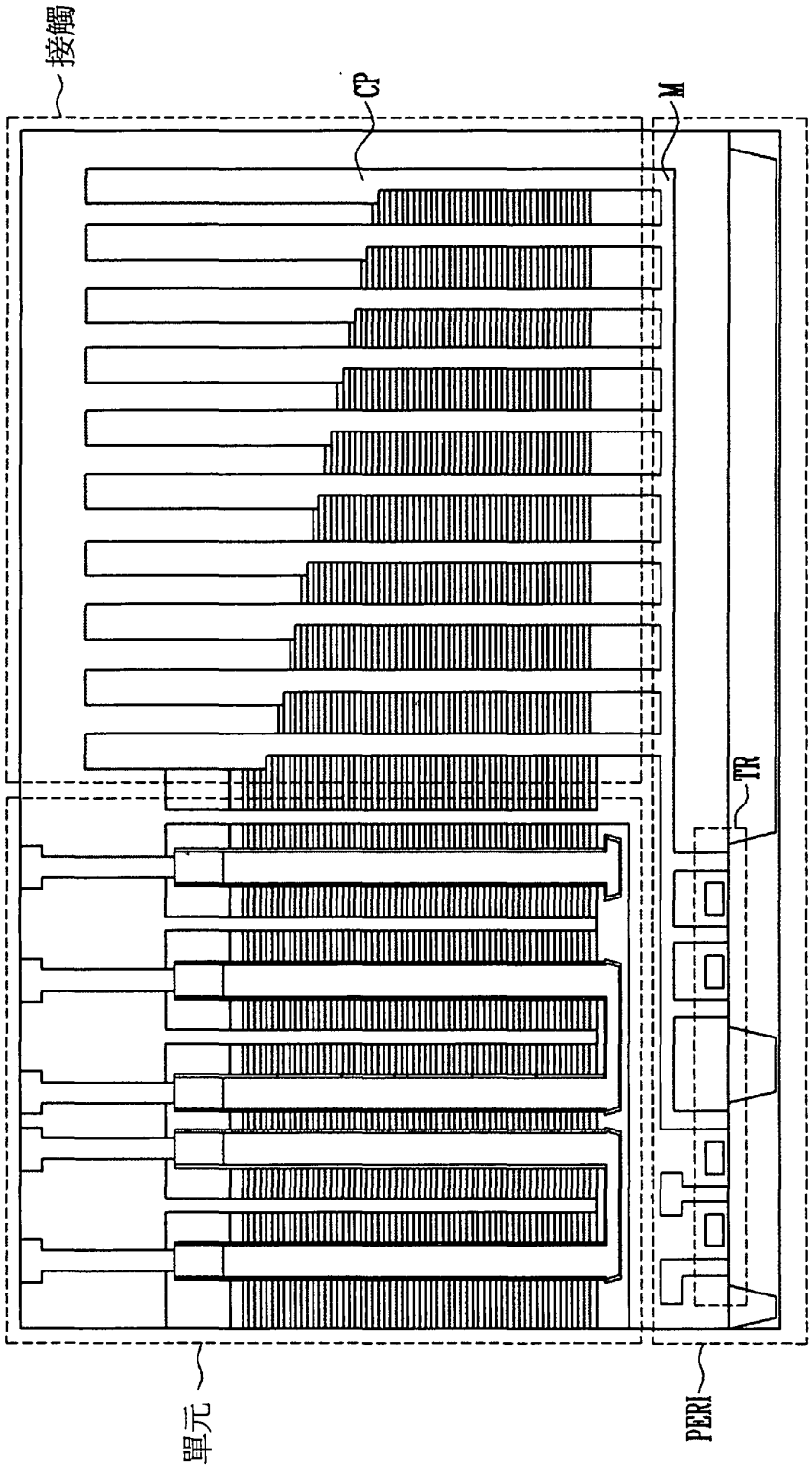


圖14A

Micron Ex. 1002, p. 298
Micron v. YMTC
IPR2025-00035

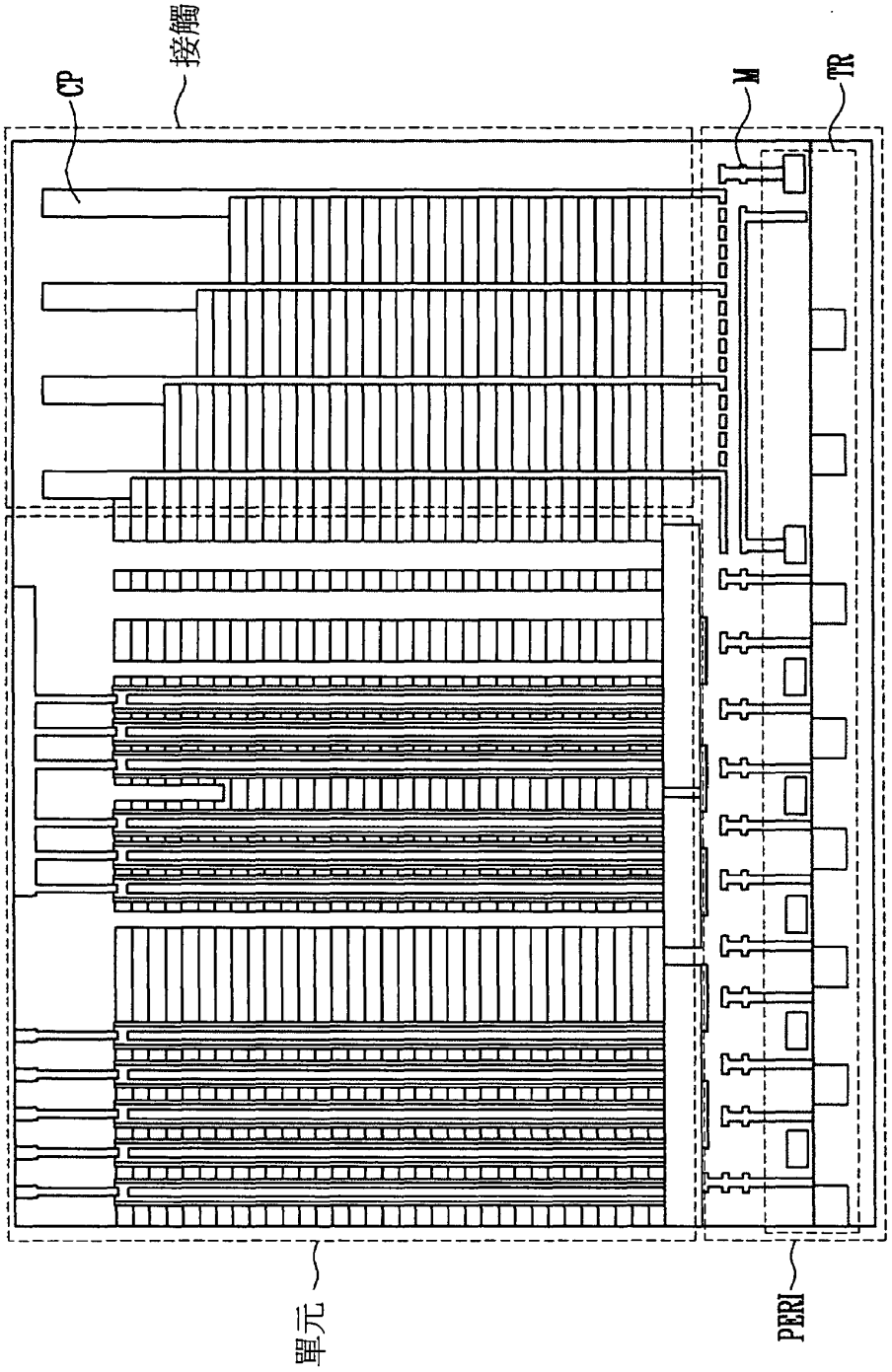


圖14B

Micron Ex. 1002, p. 299
Micron v. YMTC
IPR2025-00035

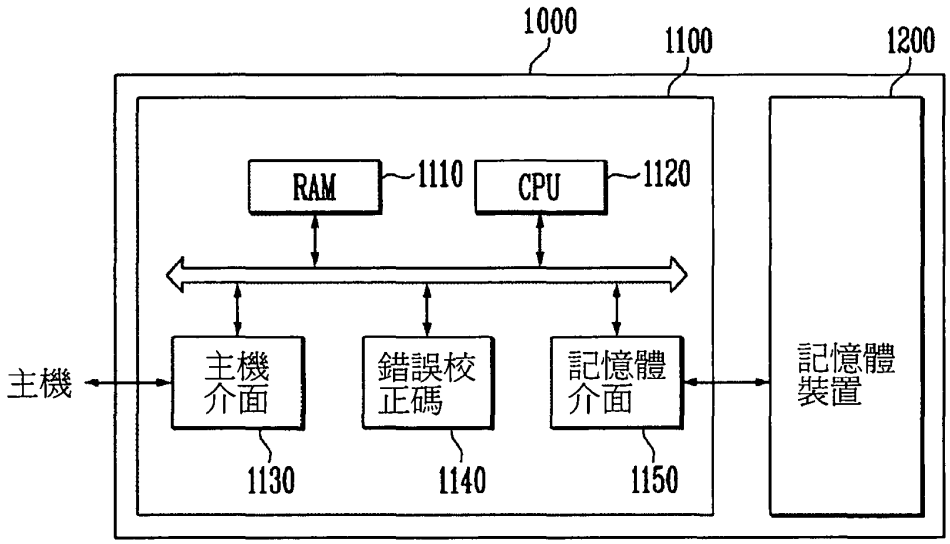


圖15

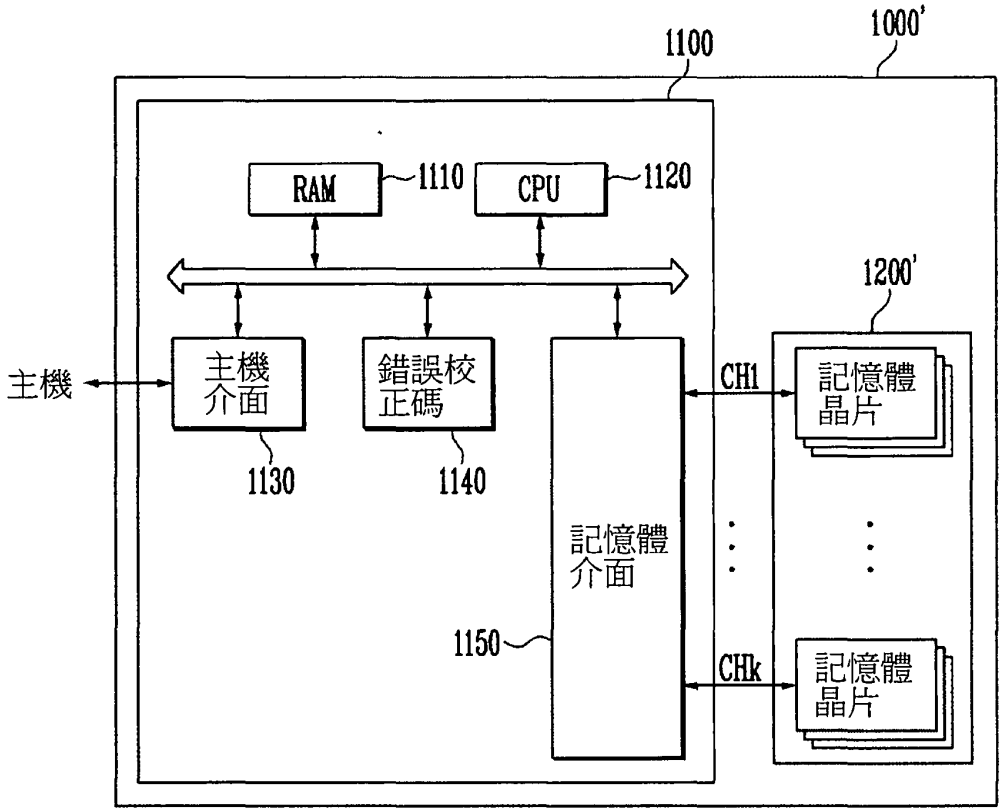


圖16

Micron Ex. 1002, p. 300
Micron v. YMTC
IPR2025-00035

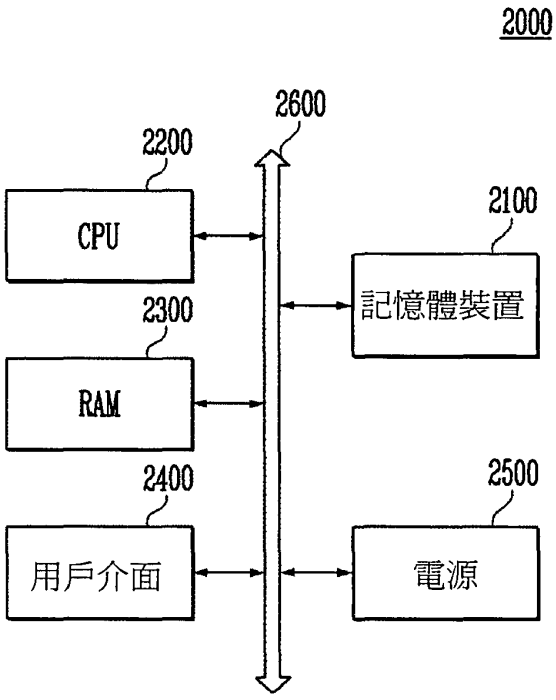


圖17

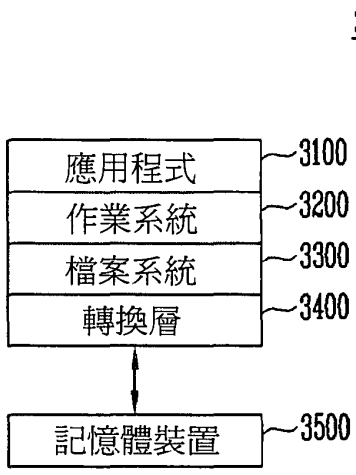


圖18

Micron Ex. 1002, p. 301
Micron v. YMTC
IPR2025-00035

Electronic Acknowledgement Receipt

EFS ID:	41990988
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	23-FEB-2021
Filing Date:	31-JUL-2020
Time Stamp:	01:36:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	10018-01-0122-US_IDS2-SB08.pdf	612164 fb8cb31102993489b6f55c2452ed0c720634e59d	no	4

Warnings:

Information:					
2	Foreign Reference	CN110391242_Bibl.pdf	9418598 c03b0ab262f0b8d605821507f18e2b9244331dad	no	19
Warnings:					
Information:					
3	Foreign Reference	TW201834217_Bibl.pdf	4154146 f80f87272735c95ea9037170e7d11804ee116859	no	31
Warnings:					
Information:					
4	Foreign Reference	TW201605015_Bibl.pdf	11786957 c7ee09064a23bb7f1cf47f84a1709e2dcd30b6d7	no	68
Warnings:					
Information:					
		Total Files Size (in bytes):	25971865		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	3600
Examiner Name	TBD
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20200020714	A1	2020-01-16	OH	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	107768377	CN	A	2018-03-06	SAMSUNG ELECTRONICS CO LTD		
	2	109754836	CN	A	2019-05-14	SAMSUNG ELECTRONICS CO LTD		
	3	107731845	CN	A	2018-02-23	CHANGJIANG CUNCHU TECH CO LTD		

Micron Ex. 1002, p. 304
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

If you wish to add additional Foreign Patent Document citation information please click the Add button			Add
NON-PATENT LITERATURE DOCUMENTS			Remove
Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Search Report issued in corresponding International Application No. PCT/CN2020/094658, mailed January 27, 2021, 5 pages	
If you wish to add additional non-patent literature document citation information please click the Add button			Add

EXAMINER SIGNATURE			
Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Micron Ex. 1002, p. 305
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-04-24
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Micron Ex. 1002, p. 306
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 307
Micron v. YMTC
IPR2025-00035

Espacenet

CN107768377A Semiconductor devices

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: CHUNG-IL HYUN,SEMEE JANG,SUNGYUN LEE

Classifications:

IPC ***H01L27/11551; H01L27/11578;***

CPC **H01L21/76816 (US); H01L21/76877 (US); H01L27/11551 (CN); H01L27/1157 (EP,US); H01L27/11575 (EP,US); H01L27/11578 (CN); H01L27/11582 (EP,US);** H01L23/5226 (EP,US);

Priorities: KR20160103795A 2016-08-16

Application: CN107768377A·2017-07-20

Publication: CN107768377A·2018-03-06

Published as: CN107768377A;**KR20180019807A; US10312138B2; US10658230B2; US2018053686A1; US2019273020A1; US2020235003A1**

Semiconductor devices

Abstract

A semiconductor device includes a comprise a substrate including a main zone and an extension zone, vertical channels on the main zone, and an electrode structure including gate electrodes stacked onthe substrate. The vertical channel structures extend in a first direction perpendicular to a top surface of the substrate. The gate electrodes include line regions and contact regions. The line regions extend from the main zone toward the extension zone along a second direction the second direction that is perpendicular to the first direction. The contact regions are on ends of the line regions and are thicker than the line regions. A spacing distance in the second direction between the contact regions is greater than a spacing distance in the first direction between the line regions.

Micron Ex. 1002, p. 308
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107768377 A
(43)申请公布日 2018.03.06

(21)申请号 201710595119.1

(22)申请日 2017.07.20

(30)优先权数据
10-2016-0103795 2016.08.16 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 玄忠一 张世美 李成润

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 刘灿强 尹淑梅

(51)Int.Cl.
H01L 27/11551(2017.01)
H01L 27/11578(2017.01)

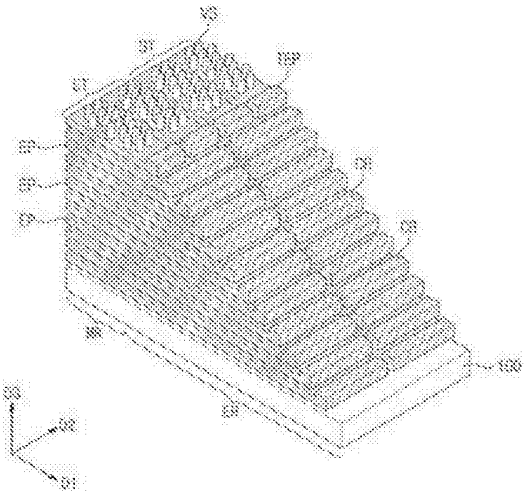
权利要求书2页 说明书9页 附图26页

(54)发明名称

半导体装置

(57)摘要

提供了一种半导体装置，所述半导体装置包括：基底，包括主区和延伸区；垂直沟道结构，位于主区上；电极结构，包括堆叠在基底上的栅电极。垂直沟道结构在与基底的顶表面垂直的第一方向上延伸。栅电极包括线区和接触区。线区沿与第一方向垂直的第二方向从主区朝着延伸区延伸。接触区位于线区的端部上并且比线区厚。接触区之间的在第二方向上的间隔距离大于线区之间的在第一方向上的间隔距离。



CN 107768377 A

Micron Ex. 1002, p. 309
Micron v. YMTC
IPR2025-00035

1.一种半导体装置,所述半导体装置包括:

基底,包括主区和延伸区;

垂直沟道结构,位于主区上,垂直沟道结构在与基底的顶表面垂直的第一方向上延伸;以及

电极结构,包括堆叠在基底上的栅电极,栅电极包括线区和接触区,线区沿与第一方向垂直的第二方向从主区朝着延伸区延伸,接触区位于线区的端部上,接触区比线区厚,接触区之间的在第二方向上的间隔距离大于线区之间的在第一方向上的间隔距离。

2.如权利要求1所述的半导体装置,其中,

栅电极包括在第一方向上彼此相邻的第一栅电极和第二栅电极,

第二栅电极位于第一栅电极下方,

第一栅电极包括第一线区和第一接触区,

第二栅电极包括第二线区和第二接触区。

3.如权利要求2所述的半导体装置,其中,第一接触区与第二接触区之间的距离大于第一线区的底表面与第二线区的顶表面之间的距离。

4.如权利要求2所述的半导体装置,其中,第二接触区的顶表面比第一接触区的底表面高。

5.如权利要求2所述的半导体装置,其中,

第一接触区包括连接到第二侧壁的第一侧壁,

第二接触区包括沿第一侧壁延伸的第一部分和沿第二侧壁延伸的第二部分。

6.如权利要求1所述的半导体装置,其中,

接触区包括侧壁,

线区包括顶表面,

接触区的侧壁与线区的顶表面成锐角。

7.如权利要求1所述的半导体装置,其中,接触区的厚度随着距线区的距离的增大而减小。

8.如权利要求1所述的半导体装置,其中,

每个接触区包括连接到线区中的相应的一个线区的下部以及从线区中的所述相应的一个线区的顶表面突出的上部,

位于每个接触区中的上部的侧壁从每个接触区中的下部的侧壁沿第二方向突出。

9.如权利要求1所述的半导体装置,其中,

线区包括位于其与接触区相邻的部分上的凹进,

凹进具有凹进的顶表面。

10.如权利要求1所述的半导体装置,其中,电极结构包括:

接触区沿第二方向布置的第一阶梯式结构,

接触区沿与第一方向和第二方向垂直的第三方向布置的第二阶梯式结构。

11.如权利要求1所述的半导体装置,所述半导体装置还包括:

绝缘图案,位于栅电极之间;以及

间隔件,位于接触区的侧壁上,其中,

间隔件的材料与绝缘图案的材料相同。

Micron Ex. 1002, p. 310
Micron v. YMTC
IPR2025-00035

12.一种半导体装置,所述半导体装置包括:

基底,包括主区和延伸区;

电极结构,包括堆叠在基底上的栅电极,每个栅电极包括线区和接触区,线区从主区朝着延伸区延伸,接触区位于线区的端部上并且比线区厚,接触区的顶表面比直接位于接触区上方的栅电极的线区的底表面高;以及

垂直沟道结构,位于主区上,垂直沟道结构穿透电极结构。

13.如权利要求12所述的半导体装置,其中,

接触区的侧壁与线区的顶表面成锐角。

14.如权利要求12所述的半导体装置,其中,

接触区的厚度随着距线区的距离的增大而减小。

15.如权利要求12所述的半导体装置,其中,

接触区包括连接到线区的下部以及在线区的顶表面之上从下部突出的上部,

上部具有从下部的侧壁突出的侧壁。

16.一种半导体装置,所述半导体装置包括:

基底;

存储器单元阵列,位于基底上,存储器单元阵列包括堆叠在彼此的顶部上的多个栅电极,每个栅电极包括线区和连接到线区的端部的接触区,栅电极包括位于第二栅电极之上的第一栅电极,第一栅电极和第二栅电极的线区在与基底的顶表面垂直的第一方向上彼此分开第一距离,第一栅电极和第二栅电极的接触区在与基底的顶表面平行的第二方向上彼此分开比第一距离大的第二距离,第一栅电极的接触区的顶表面位于第一栅电极的线区的顶表面上方,第二栅电极的接触区的顶表面位于第二栅电极的线区的顶表面上方。

17.如权利要求16所述的半导体装置,其中,

栅电极的接触区比栅电极的线区厚,

存储器单元阵列包括垂直沟道结构。

18.如权利要求16所述的半导体装置,其中,第二栅电极的接触区的顶表面比第一栅电极的接触区的底表面高。

19.如权利要求16所述的半导体装置,其中,随着栅电极越靠近基底,栅电极在第二方向上进一步延伸,使得栅电极的接触区形成阶梯式结构。

20.如权利要求16所述的半导体装置,其中,至少一个栅电极的线区包括具有与所述至少一个栅电极的接触区相邻的凹进的顶表面的凹进。

Micron Ex. 1002, p. 311
Micron v. YMTC
IPR2025-00035

半导体装置

[0001] 本申请要求于2016年8月16日提交的第10-2016-0103795号韩国专利申请的优先权，所述韩国专利申请的全部内容通过引用包含于此。

技术领域

[0002] 本公开涉及一种半导体装置，更具体地，涉及一种三维半导体存储器装置。

背景技术

[0003] 出于满足高性能和低制造成本的目的，期望增大半导体装置的集成度。半导体装置的集成度会影响产品的价格。典型的二维半导体装置的集成度主要由被单位存储器单元占据的面积来确定，使得它极大地受用于形成精细图案的技术的水平影响。然而，用于增加图案精细度的处理设备的花费对增大二维半导体装置的集成度设置了实际的限制。

发明内容

[0004] 发明构思涉及一种能够通过简单工艺制造并且具有增大的集成度和可靠性的半导体装置。

[0005] 根据发明构思的一些示例实施例，半导体装置可包括：基底，包括主区和延伸区；垂直沟道结构，位于主区上并且在与基底的顶表面垂直的第一方向上延伸；电极结构，包括堆叠在基底上的栅电极。。栅电极可包括线区和接触区。线区可沿与第一方向垂直的第二方向从主区朝着延伸区延伸。接触区可位于线区的端部上并且可比线区厚。接触区之间的在第二方向上的间隔距离可大于线区之间的在第一方向上的间隔距离。

[0006] 根据发明构思的一些示例实施例，半导体装置可包括：基底，包括主区和延伸区；电极结构，包括堆叠在基底上的栅电极；以及垂直沟道结构，位于主区上并且穿透电极结构。每个栅电极可包括线区和接触区。线区可从主区朝着延伸区延伸。接触区可位于线区的端部上并且比线区厚。接触区的顶表面可比直接位于接触区上方的栅电极的线区的底表面高。

[0007] 根据发明构思的一些示例实施例，半导体装置可包括位于基底上的存储器单元阵列。存储器单元阵列可包括堆叠在彼此的顶部上的多个栅电极。每个栅电极可包括线区和连接到线区的端部的接触区。栅电极可包括位于第二栅电极之上的第一栅电极。第一栅电极和第二栅电极的线区可在与基底的顶表面垂直的第一方向上彼此分开第一距离。第一栅电极和第二栅电极的接触区可在与基底的顶表面平行的第二方向上彼此分开比第一距离大的第二距离。第一栅电极的接触区的顶表面可位于第一栅电极的线区的顶表面上方。第二栅电极的接触区的顶表面可位于第二栅电极的线区的顶表面上方。

附图说明

[0008] 图1是用于解释根据发明构思的一些示例实施例的半导体装置的粗略构造的示意图。

Micron Ex. 1002, p. 312
Micron v. YMTC
IPR2025-00035

[0009] 图2是粗略地示出根据发明构思的一些示例实施例的半导体装置的单元阵列的块图。

[0010] 图3是根据发明构思的一些示例实施例的半导体装置的电路图。

[0011] 图4是根据发明构思的一些示例实施例的半导体装置的透视图。

[0012] 图5A至图5F是根据发明构思的一些示例实施例的半导体装置的剖视图。

[0013] 图6是根据发明构思的一些示例实施例的半导体装置的剖视图。

[0014] 图7至图12是用于解释根据发明构思的一些示例实施例的制造半导体装置的方法的剖视图。

[0015] 图13是根据发明构思的一些示例实施例的半导体装置的剖视图。

[0016] 图14至图18是用于解释根据发明构思的一些示例实施例的制造半导体装置的方法的剖视图。

[0017] 图19和图21是用于解释根据发明构思的一些示例实施例的阶梯式结构的透视图。

[0018] 图20A至图20E是栅电极的平面图。

具体实施方式

[0019] 以下,将参照附图来详细描述关于发明构思的一些示例实施例。

[0020] 图1是用于解释根据发明构思的一些示例实施例的半导体装置的粗略构造的示意图。

[0021] 参照图1,半导体装置可包括单元阵列区CAR和外围电路区。外围电路区可包括行解码器区ROW DCR、页缓冲器区PBR、列解码器区COL DCR以及控制电路区(未示出)。在一些示例实施例中,连接区CNR可设置在单元阵列区CAR与行解码器区ROW DCR之间。

[0022] 单元阵列区CAR可设置为具有包括多个存储器单元的存储器单元阵列。在一些示例实施例中,存储器单元阵列可为包括三维布置的存储器单元、电连接到存储器单元的多条字线以及电连接到存储器单元的多条位线的三维(3D)存储器阵列。3D存储器阵列可单片式地形成在基底(例如,诸如硅的半导体基底或绝缘体上半导体基底)上。3D存储器阵列可包括垂直地定向使得至少一个存储器单元定位在另一存储器单元之上的垂直NAND串。至少一个存储器单元可包括电荷俘获层。下面的通过引用以它们的全部包含于此的专利文献描述了用于三维存储器阵列的适合的构造,其中,三维存储器阵列被构造为多个层级并使字线和/或位线在层级之间共享:第7,679,133号美国专利;第8,553,466号美国专利;第8,654,587号美国专利;第8,559,235号美国专利以及第2011/0233648号美国专利公布。

[0023] 行解码器区ROW DCR可设置为具有选择存储器单元阵列的字线的行解码器,连接区CNR可设置为具有包括接触塞以及使存储器单元阵列和行解码器彼此电连接的互连线的互连线结构。行解码器可根据地址信息选择存储器单元阵列的字线中的一条。行解码器可响应来自控制电路的控制信号而将字线电压提供到选择的字线和未选择的字线。

[0024] 页缓冲器区PBR可设置为具有读取存储在存储器单元中的数据的页缓冲器。根据操作模式,页缓冲器可暂时地存储将存储在存储器单元中的数据或读出存储在存储器单元中的数据。页缓冲器可在编程操作模式中用作写入驱动器并且在读取操作模式中用作读出放大器。

[0025] 列解码器区COL DCR可设置为具有连接到存储器单元阵列的位线的列解码器。列

Micron Ex. 1002, p. 313
Micron v. YMTC
IPR2025-00035

解码器可提供页缓冲器与外部装置(例如,存储器控制器)之间的数据传输路径。

[0026] 图2是粗略地示出根据发明构思的一些示例实施例的半导体装置的单元阵列的块图。

[0027] 参照图2,单元阵列区CAR可包括多个单元阵列块BLK1、BLK2、……、BLKn。单元阵列块BLK1、BLK2、……、BLKn中的每个可包括具有在沿彼此交叉的第一方向D1和第二方向D2延伸的平面上沿第三方向D3堆叠的电极的电极结构。电极结构可与多个垂直沟道结构(或半导体柱)结合以构成三维布置的存储器单元阵列。单元阵列块BLK1、BLK2、……、BLKn中的每个可包括电连接到存储器单元的位线。

[0028] 图3是根据发明构思的一些示例实施例的半导体装置的电路图。

[0029] 参照图3,根据一些示例实施例的半导体装置的单元阵列可包括共源极线CSL、多条位线BL0至BL2以及设置在共源极线CSL与位线BL0至BL2之间的多个单元串CSTR。

[0030] 位线BL0至BL2可被二维地布置,多个单元串CSTR可并联连接到位线BL0至BL2中的每条。多个单元串CSTR可共同连接到共源极线CSL。例如,多个单元串CSTR可设置在多条位线BL0至BL2与单条共源极线CSL之间。共源极线CSL可设置为可被二维地布置的多条。例如,共源极线CSL可被供应有相同的电压或被彼此独立地电控制。

[0031] 在一些示例实施例中,每个单元串CSTR可包括串联连接的串选择晶体管SST1和SST2、串联连接的存储器单元MCT以及地选择晶体管GST。每个存储器单元MCT可包括数据存储元件。

[0032] 例如,每个单元串CSTR可包括串联连接的第一串选择晶体管SST1和SST2,第二串选择晶体管SST2可结合到位线BL0至BL2中的一条,地选择晶体管GST可结合到共源极线CSL。存储器单元MCT可串联连接在第一串选择晶体管SST1与地选择晶体管GST之间。

[0033] 每个单元串CSTR还可包括连接在第一串选择晶体管SST1与存储器单元MCT之间的虚设单元DMC。如未在图中示出的,虚设单元DMC也可连接在地选择晶体管GST与存储器单元MCT之间。

[0034] 可选择地,对于每个单元串CSTR,与第一串选择晶体管SST1和第二串选择晶体管SST2相似,地选择晶体管GST可包括串联连接的多个MOS晶体管。可选择地,每个单元串CSTR可包括单个串选择晶体管。

[0035] 在一些示例实施例中,第一串选择晶体管SST1可通过第一串选择线SSL1来控制,第二串选择晶体管SST2可通过第二串选择线SSL2来控制。存储器单元MCT可通过多条字线WL0至WLn来控制,虚设单元DMC可通过虚设字线DWL来控制。地选择晶体管GST可通过地选择线GSL来控制。共源极线CSL可共同连接到地选择晶体管GST的源极。

[0036] 单个单元串CSTR可包括与共源极线CSL分隔开不同距离的多个存储器单元MCT。多条字线WL0至WLn以及DWL可设置在共源极线CSL与位线BL0至BL2之间。

[0037] 存储器单元MCT可包括共同连接到字线WL0至WLn以及DWL中的一条以具有等电位状态的栅电极,所述栅电极与共源极线CSL分隔开基本上相同的距离。相反,虽然存储器单元MCT的栅电极与共源极线CSL分隔开基本上相同的距离,但是设置在不同的行或列处的栅电极可被独立控制。

[0038] 图4是根据发明构思的一些示例实施例的半导体装置的透视图。图5A至图5F是根据发明构思的一些示例实施例的半导体装置的剖视图。

Micron Ex. 1002, p. 314
Micron v. YMTC
IPR2025-00035

[0039] 参照图4和图5A，电极结构ST可设置在基底100上。基底100可为具有第一导电性(例如，P型导电性)的半导体基底。半导体基底可为单晶硅层、SOI(绝缘体上硅)基底、形成在硅-锗(SiGe)层上的硅层、形成在绝缘层上的单晶硅层以及形成在绝缘层上的多晶硅层中的一种。

[0040] 电极结构ST可在与第一方向D1和第三方向D3垂直的第二方向D2上彼此分隔开。虽然为了描述的简洁示出了两个电极结构ST，但是发明构思不限于此。

[0041] 基底100可包括主区MR和延伸区ER，主区MR设置为具有存储器单元，延伸区ER设置为用于栅电极EP与互连线之间的连接。垂直沟道结构VS可设置在主区MR上。垂直沟道结构VS可包括沟道区、穿透电极结构ST并且构成存储器单元。例如，垂直沟道结构VS可沿与基底100的顶表面平行的第一方向D1以之字形的样式布置。下面将参照图6更详细地讨论垂直沟道结构VS。

[0042] 栅电极EP可沿与基底100的顶表面垂直的第三方向D3顺序地堆叠在基底100上。绝缘层(未示出)可设置在栅电极EP之间，但为了描述的简单省略示出绝缘层。每个栅电极EP可在第一方向D1上延伸并且在延伸区ER上具有用于与互连线连接的阶梯式结构。例如，每个栅电极EP可在第一方向D1上具有比贴近的在下面的栅电极EP的长度小的长度，因此每个栅电极EP可暴露连接到下面讨论的接触件的接触区CR。

[0043] 对于每个电极结构ST，栅电极EP的最上层TEP可包括在第二方向D2上分开的多个图案。例如，最上层TEP可与参照图3讨论的串选择线对应。除最上层TEP之外，直接位于最上层TEP下方的在下面的栅电极也可与串选择线对应，在这种情况下，与最上层TEP一样，由在下面的栅电极组成的相关层可包括在第二方向D2上分开的多个图案。

[0044] 如图5A至图5F中所示，每个栅电极EP可包括线区LR和接触区CR，线区LR从主区MR朝着延伸区ER延伸，接触区CR设置在线区LR的端部上且其厚度比线区LR的厚度大。接触区CR可为结合到接触件CT的部分，互连线通过接触件CT连接到所述部分。例如，接触件CT的下部可插入在接触区CR的顶表面之下。

[0045] 接触区CR可包括连接到线区LR的下部P1和位于下部P1上的上部P2。下部P1可为其在第三方向上的厚度与线区LR的厚度基本上相同的部分，上部P2可为从线区LR的顶表面突出的部分。例如，接触区CR的厚度可为线区LR的厚度的大约1.1倍至2.0倍。因为接触区CR的厚度相对地大于线区LR的厚度，所以当形成其中设置接触件CT的接触孔时，可限制(和/或防止)接触区CR被穿透。

[0046] 邻近的接触区CR可彼此分隔开期望的(和/或可选择地，预定的)距离。例如，接触区CR可在第一方向D1上彼此分开间隔距离d2，间隔距离d2比彼此分隔开的线区LR之间的在第三方向D3上的间隔距离d1大。例如，当电极结构ST包括在第三方向D3上彼此相邻的第一栅电极EP1和第二栅电极EP2时，第一栅电极EP1和第二栅电极EP2的接触区CR之间的间隔距离d2可大于包括在第一栅电极EP1中的线区LR的底表面与包括在第二栅电极EP2的线区LR的顶表面之间的间隔距离d1。接触区CR之间的间隔距离可限制和/或防止当形成栅电极EP时由邻近的栅电极EP之间的连接导致的桥接现象。

[0047] 在一些示例实施例中，如图5A中所示，在下面的接触区CR可具有等于或低于直接位于在下面的接触区CR上方的在上面的接触区CR的底表面的顶表面。在其它示例实施例中，如图5B中所示，在下面的接触区CR可具有比直接位于在下面的接触区CR上方的在上面

Micron Ex. 1002, p. 315
Micron v. YMTC
IPR2025-00035

的接触区CR的底表面高的顶表面。例如，第二栅电极EP2的上部P2可具有比第一栅电极EP1的线区LR与第二栅电极EP2的线区LR之间的间隔距离d1大的厚度d3。

[0048] 在一些示例实施例中，如图5A中所示，上部P2可具有与基底100的顶表面基本上垂直的侧壁SW。在其它示例实施例中，如图5C中所示，上部P2的侧壁SW可与线区LR的顶表面形成锐角。

[0049] 在一些示例实施例中，如图5A中所示，接触区CR可具有基本上同一厚度。在其它示例实施例中，如图5D中所示，接触区CR的厚度可随着距线区LR的距离的增大而减小。

[0050] 在一些示例实施例中，如图5A中所示，下部P1可具有与上部P2的同侧壁SW相对的侧壁对齐的侧壁。在其它示例实施例中，如图5E中所示，上部P2可具有在第一方向D1上从下部P1的侧壁突出的侧壁。

[0051] 在一些示例实施例中，如图5A中所示，接触区CR可具有平坦的顶表面。在其它示例实施例中，如图5F中所示，线区LR可具有凹进PS，凹进PS与接触区CR相邻并且其顶表面被凹进。

[0052] 图6是根据发明构思的一些示例实施例的半导体装置的剖视图。基底100可设置为其上具有电极结构，电极结构可包括顺序地堆叠的栅电极EP。栅电极EP可包括与参照图3讨论的地选择线GSL对应的最邻近于基底100的一层或两层。栅电极EP可包括与参照图3讨论的串选择线SSL1和SSL2对应的最远离基底100的其它一层或两层。剩余的栅电极EP可与参照图3讨论的字线WL0至WL2以及DWL对应。栅电极EP可包括掺杂硅、金属(例如，钨)、金属氮化物、金属硅化物或它们的任何组合。虽然附图示出的是竖直堆叠了十二个栅电极，但是栅电极的数量可大于或小于附图中示出的数量。

[0053] 缓冲器绝缘层可设置在基底100与栅电极EP中的最下的一个之间。缓冲器绝缘层可为氧化硅层。绝缘图案110可设置在竖直地堆叠的栅电极EP之间。绝缘图案110可包括氧化硅层或氮氧化硅层。绝缘图案110可具有相同的厚度，但不限于此。例如，绝缘图案110中的最上的一个可具有比它的在下面的绝缘图案110的厚度大的厚度。

[0054] 基底100可包括主区MR和延伸区ER，主区MR设置为具有存储器单元，延伸区ER设置为用于栅电极EP与互连线之间的连接。垂直沟道结构VS可设置在主区MR上。垂直沟道结构VS可穿透栅电极EP。每个垂直沟道结构VS可包括下半导体图案135和位于下半导体图案135上的上半导体图案132。下半导体图案135和上半导体图案132可为形成有晶体管的沟道的区域。下半导体图案135和上半导体图案132可包括硅、锗或它们的混合物。下半导体图案135和上半导体图案132可具有彼此不同的晶体结构。例如，下半导体图案135和上半导体图案132可包括从单晶结构、非晶结构和多晶结构中选择的至少一种。下半导体图案135和上半导体图案132可以是未掺杂的或掺杂有与基底100具有相同的导电性的杂质。

[0055] 数据存储层131可设置在上半导体图案132与栅电极EP之间。数据存储层131可包括顺序地堆叠在上半导体图案132上的隧道绝缘层、电荷存储层和阻挡绝缘层。虽然未在图中示出，但是栅极介电层可设置在下半导体图案135与最下的栅电极EP之间。例如，栅极介电层可包括氧化硅。

[0056] 阻挡绝缘层可为由多个薄层组成(或包括多个薄层)的多层。例如，阻挡绝缘层可包括氧化铪层、氧化铝层和/或氧化硅层，它们的堆叠顺序可被各种地改变。电荷存储层可为包括电荷俘获层或导电纳米颗粒的绝缘层。电荷俘获层可包括例如氮化硅层。隧道绝缘

Micron Ex. 1002, p. 316
Micron v. YMTC
IPR2025-00035

层可包括氧化硅层。隧道绝缘层还可包括高k介电层(例如,氧化铪层或氧化铝层)。在特定实施例中,数据存储层131可为可变电阻图案。可变电阻图案可包括具有能够改变其电阻的可变电阻特性的材料中的至少一种。

[0057] 每个垂直沟道结构VS可包括被上半导体图案132围绕的埋置绝缘图案133。埋置绝缘图案133可包括氧化硅或氮氧化硅。可选择地,可省略埋置绝缘图案133。

[0058] 导电图案137可设置在垂直沟道结构VS的上部中。导电图案137可包括掺杂半导体材料或金属材料。例如,导电图案137可包括与上半导体图案132相同的材料。例如,导电图案137可包括掺杂的多晶硅。层间介电层190可设置为覆盖电极结构。层间介电层190可包括氧化硅层。

[0059] 栅电极EP可包括参照图4以及图5A至图5F讨论的接触区CR。在一些示例实施例中,间隔件114可设置在接触区CR的侧壁上。例如,间隔件114可设置在绝缘图案110上。换句话说,每个绝缘图案110可在第一方向D1上比与所述每个绝缘图案110接触并且设置在所述每个绝缘图案110上的它的在上面的栅电极EP突出得多,间隔件114可设置在绝缘图案110的突出的顶表面上。与图中示出的不同,绝缘图案110可不在第一方向D1上从栅电极EP突出,间隔件114可与直接在间隔件114下面的栅电极EP的顶表面接触。每个间隔件114可与它的一对相邻的接触区CR的侧壁接触。间隔件114可包括与绝缘图案110相同的材料。例如,间隔件114可包括氧化硅。间隔件114可用于确保彼此相邻的接触区CR之间的间隔距离。

[0060] 图7至图12是用于解释根据发明构思的一些示例实施例的制造半导体装置的方法的剖视图。

[0061] 参照图7,可在基底100上形成缓冲器绝缘层,然后可交替并且重复地形成绝缘图案110和牺牲图案120。例如,可通过热氧化工艺来形成缓冲器绝缘层。牺牲图案120可包括相对于绝缘图案110具有不同的蚀刻选择性的材料。例如,牺牲图案120可包括氮化硅层、氮氧化硅层、多晶硅层或多晶硅锗层。可通过例如化学气相沉积(CVD)来形成牺牲图案120和绝缘图案110。

[0062] 可形成垂直沟道结构VS以穿透牺牲图案120和绝缘图案110。可通过形成在基底100的主区MR上的竖直孔来穿透牺牲图案120和绝缘图案110,然后可在竖直孔中形成垂直沟道结构VS。可通过执行使用基底100的顶表面作为种子的外延工艺来在竖直孔的下部中形成下半导体图案135。实质上单晶硅可生长以形成下半导体图案135。在其它示例实施例中,可跳过下半导体图案135的形成。

[0063] 可在其中包括下半导体图案135的竖直孔中形成数据存储层131。数据存储层131可包括顺序地形成在竖直孔的侧壁上的阻挡绝缘层、电荷存储层和隧道绝缘层。在其它示例实施例中,可能够在当前工艺步骤中省略构成数据存储层131的阻挡绝缘层、电荷存储层和隧道绝缘层中的至少一个的形成,并且可在下面参照图12的讨论的工艺之后执行所述省略的形成。

[0064] 可形成上半导体图案132以穿透数据存储层131,使得下半导体图案135和上半导体图案132可彼此连接。例如,上半导体图案132的形成可包括用于穿透数据存储层131的下部的间隔件工艺以及用于形成多个半导体层的形成工艺。

[0065] 可形成埋置绝缘图案133以填充其中设置有上半导体图案132的竖直孔。可部分地去除上半导体图案132和埋置绝缘图案133以在它们的上部处形成凹进区,然后可在凹进的

Micron Ex. 1002, p. 317
Micron v. YMTC
IPR2025-00035

区中形成导电图案137。

[0066] 可部分地蚀刻牺牲图案120和绝缘图案110以在基底100的延伸区ER上形成阶梯式结构。例如，阶梯式结构的形成可包括形成掩模图案(未示出)并在逐渐地减小掩模图案的宽度的同时顺序地蚀刻牺牲图案120和绝缘图案110。如图中所示，可将每个绝缘图案110形成为具有保留在它的在下面的牺牲图案120上的部分，或者可选择地，可与每个绝缘图案110的在上面的牺牲图案120的侧壁对齐地形成每个绝缘图案110。

[0067] 参照图8和图9，可形成第一绝缘层113以覆盖阶梯式结构，然后可执行回蚀刻工艺以形成间隔件114。例如，第一绝缘层113可由相对于牺牲图案120展现高蚀刻选择性但相对于绝缘图案110展现低蚀刻选择性的材料形成。例如，第一绝缘层113可由与绝缘图案110相同的材料形成。

[0068] 参照图10和图11，可在形成有间隔件114的所得结构上形成第二绝缘层115，然后可执行回蚀刻工艺以在牺牲图案120的端部上形成牺牲垫116。例如，第二绝缘层115可由与牺牲图案120具有相同的蚀刻特性的材料形成。例如，第二绝缘层115可为氮化硅层。

[0069] 可基于牺牲垫116的形状来确定如参照图5A至图5F讨论的接触区CR的形状。例如，每个牺牲垫116的侧壁可与每个间隔件114的侧壁接触，因此可沿间隔件114的侧壁轮廓形成牺牲垫116的侧壁。可执行随后的工艺以使得接触区CR具有如图5C所示的倾斜的侧壁。

[0070] 参照图12，可形成层间介电层190以覆盖阶梯式结构，然后可选择性地去除牺牲图案120和牺牲垫116以形成栅极区RS。例如，层间介电层190可包括氧化硅层。例如，当牺牲图案120和牺牲垫116两者都包括氮化硅层，并且绝缘图案110和间隔件114两者都包括氧化硅层时，可使用包括磷酸的蚀刻剂实现栅极区RS的形成。栅极区RS可暴露垂直沟道结构VS的侧壁的部分。可在使牺牲图案120和绝缘图案110图案化的工艺步骤之后执行蚀刻工艺，以形成与参照图4讨论的电极结构ST之间的间隔对应的区域。

[0071] 返回参照图6，可形成栅电极EP以填充栅极区RS。例如，栅电极EP可包括掺杂硅、金属(例如，钨)、金属氮化物、金属硅化物或它们的任何组合。栅电极EP可具有与栅极区RS的形状对应的形状，从而可形成接触区CR以填充去除了牺牲垫116的区域。以下，可与接触区CR接触地形成接触件(见图5A至图5F)并且可在接触件上形成互连线。

[0072] 在一些示例实施例中，可使接触区CR彼此分隔开期望的(和/或可选择地，预定的)距离来形成接触区CR。例如，可使接触区CR彼此分隔开与间隔件114的宽度那样多的距离来形成接触区CR，这个间隔可有助于减少当沉积栅电极EP时接触区CR的相互连接。

[0073] 图13是根据发明构思的一些示例实施例的半导体装置的剖视图。为了描述的简洁，将省略重复的组件的讨论。

[0074] 参照图13，与图5F相似，根据一些示例实施例的半导体装置的栅电极EP可包括第一凹进PS，第一凹进PS与接触区CR相邻并且其顶表面被凹进。绝缘图案110可包括位于它们的与接触区CR相邻的凹进的侧壁上的第二凹进LS。可设置间隙填充图案118以填充第一凹进PS和第二凹进LS。间隙填充图案118可包括与绝缘图案110相同的材料。例如，间隙填充图案118可包括氧化硅。

[0075] 图14至图18是用于解释根据发明构思的一些示例实施例的制造半导体装置的方法的剖视图。

[0076] 参照图14，可对图7中示出的所得结构执行蚀刻工艺以形成第一凹进PS和第二凹

Micron Ex. 1002, p. 318
Micron v. YMTC
IPR2025-00035

进LS。蚀刻工艺可采用能够选择性地蚀刻绝缘图案110同时减少牺牲图案120的蚀刻和/或使牺牲图案120的蚀刻最小化的工艺。结果，可使绝缘图案110的侧壁凹进以形成第二凹进LS。蚀刻工艺可具有对角部(例如，与牺牲图案120的侧壁相邻的部分)相对低的选择性，因此可同时蚀刻牺牲图案120的顶表面的部分以形成第一凹进PS。

[0077] 参照图15，可在形成有第一凹进PS和第二凹进LS的所得结构上形成第三绝缘层117。第三绝缘层117可包括与绝缘图案110相同的材料。例如，第三绝缘层117可包括氧化硅。第三绝缘层117可填充第一凹进PS和第二凹进LS。

[0078] 参照图16和图17，可对第三绝缘层117执行离子注入工艺IP。离子注入工艺可包括用于注入p型杂质元素的注入工艺。可有限制地对延伸区ER执行或以倾斜角离子注入的方式来执行离子注入工艺IP。可通过将p型元素注入到第三绝缘层117的部分中来形成牺牲垫119。可通过第三绝缘层117的未变成牺牲垫119的其它部分来限定间隙填充图案118。牺牲垫119可具有与牺牲图案120相似的蚀刻特性。

[0079] 参照图18，可形成层间介电层190以覆盖阶梯式结构，然后可选择性地去除牺牲图案120和牺牲垫119以形成栅极区RS。因为牺牲垫119具有与如上所讨论的牺牲图案相似的蚀刻特性，所以可将牺牲垫119与牺牲图案120一起去除。间隙填充图案118可保留而不与绝缘图案110一起被去除。此后，如图13中所示，可形成栅电极EP以填充栅极区RS。

[0080] 可根据用于形成阶梯式结构的掩模图案的形状来各种地改变位于延伸区ER上的阶梯式结构。图19和图21是用于解释根据发明构思的一些示例实施例的阶梯式结构的透视图。图20A至图20E是栅电极的平面图。以下将参照图19、图20A至图20E以及图21而关于根据发明构思的一些示例实施例的延伸区ER进行描述。

[0081] 参照图19和图21，根据发明构思的一些示例实施例的半导体装置可包括位于基底100上的多个电极结构ST1和ST2。可关于与第一方向D1平行的假想线镜像对称地设置第一电极结构ST1和第二电极结构ST2。第一电极结构ST1和第二电极结构ST2中的每个可包括顺序地堆叠在基底100上的栅电极。绝缘图案可设置在栅电极之间。栅电极可包括位于它们的端部处的接触区。第一电极结构ST1和第二电极结构ST2中的每个可包括接触区沿第一方向D1布置的第一阶梯式结构以及接触区沿第二方向D2布置的第二阶梯式结构。更详细地，接触区可包括根据栅电极的竖直位置而具有彼此不同的形状的下接触区LP、中间接触区MP和上接触区UP。

[0082] 例如，参照图19，包括具有下接触区LP的下电极的下堆叠件10可沿第一方向D1和第二方向D2具有阶梯式结构。均包括具有中间接触区MP的中间电极的多个中间堆叠件20可沿第二方向D2具有阶梯式结构，多个中间堆叠件20可沿第一方向D1具有阶梯式结构。包括具有上接触区UP的上电极的上堆叠件30可沿第一方向D1具有阶梯式结构。虚设堆叠件40可设置在上堆叠件30的最上的上电极上。

[0083] 每个栅电极可具有根据它的贴近的在上面的栅电极的形状确定其形状的接触区。下面将参照图20A至图20E来讨论栅电极的接触区。虽然图20A至图20E作为示例示出了一些栅电极，但是可能够类推出图20A至图20E中示出的那些栅电极和/或接触区的形状之外的当前被省略但在图19和图21中示出的其它栅电极和/或接触区的形状。

[0084] 图20A是示出图19的下堆叠件10的最下层10a的平面图，图20B是示出图19的下堆叠件10的第三层10c的平面图。图20C是示出图19的中间堆叠件20的最下层20a的平面图，图

Micron Ex. 1002, p. 319
Micron v. YMTC
IPR2025-00035

20D是示出图19的中间堆叠件20的第三层20c平面图。图20E是示出图19的上堆叠件30的最下层30a的平面图。对于每幅图，虚线可指示在上面的栅电极的形状。接触区LP、MP和CP可以是包括图5A至图5F中示出的下部P1和上部P2的相对厚的区域。如图中所示，一些接触区可具有矩形平面形状，但不限于此。例如，对于一对栅电极，当在上面的栅电极具有第一侧壁和连接到第一侧壁的第二侧壁并且第一侧壁和第二侧壁设置在在下面的栅电极上时，在下面的栅电极的接触区可具有沿第一侧壁延伸的部分和沿第二侧壁延伸的其它部分。例如，如图20A、图20B和图20E中所示，一个或更多个接触区可具有沿第一方向D1和第二方向D2延伸的所有部分。

[0085] 根据发明构思的一些示例实施例，可能够限制和/或防止由相邻的接触区的连接导致的桥接。此外，接触区可具有增大的厚度，从而可连接到接触区稳定地形成接触区。

[0086] 虽然已经参照附图讨论了发明构思的一些示例实施例，但是将理解的是，在不脱离发明构思的精神和范围的情况下，可在这里做出形式和细节上的各种改变。因此将理解的是，上述的实施例在所有方面仅仅是说明性的而不是限制性的。

Micron Ex. 1002, p. 320
Micron v. YMTC
IPR2025-00035

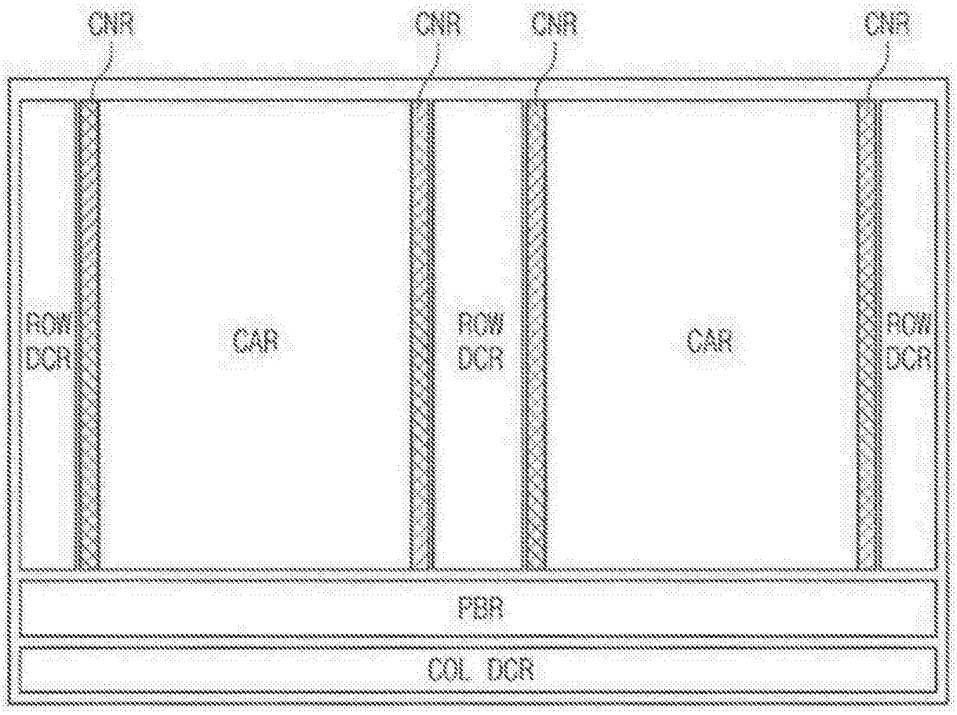


图1

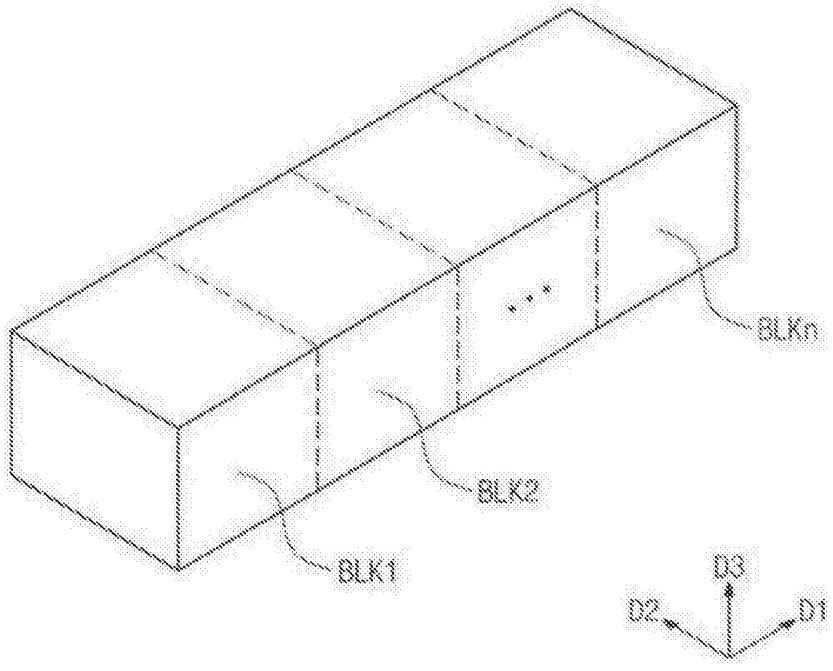


图2

Micron Ex. 1002, p. 321
Micron v. YMTC
IPR2025-00035

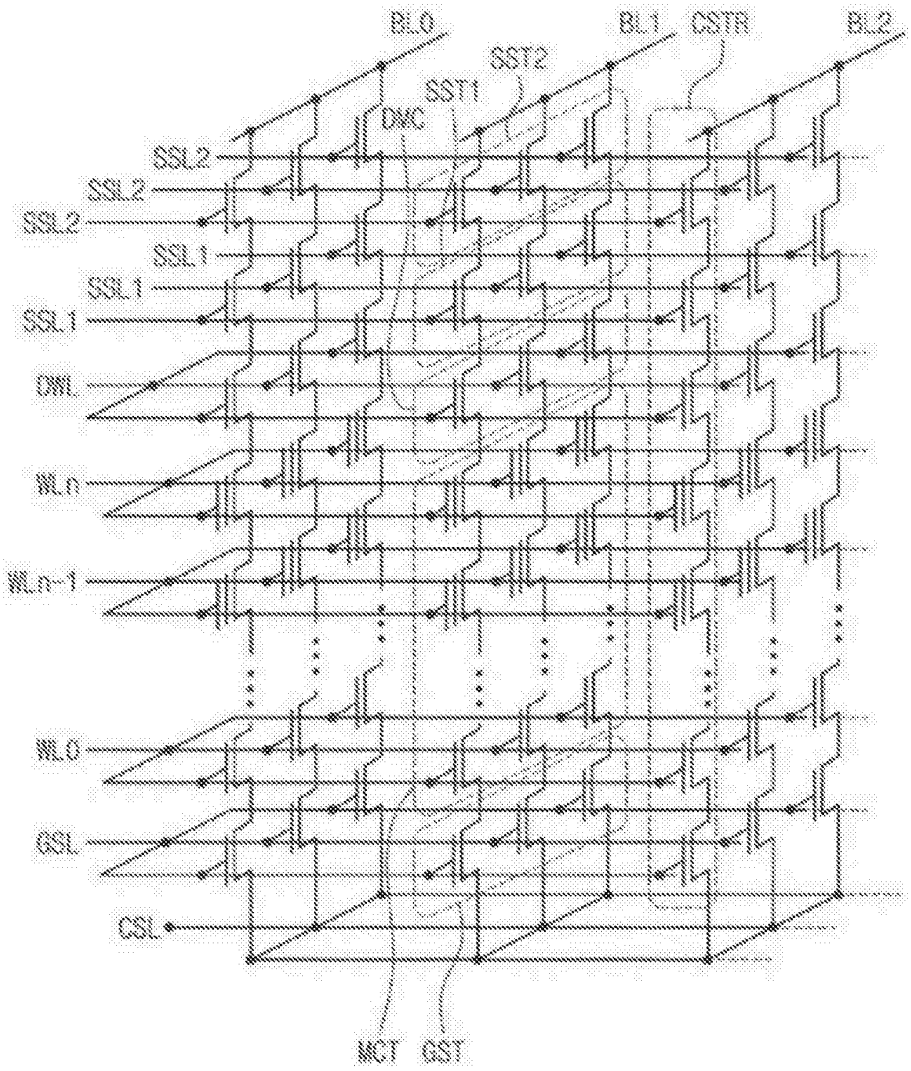


图3

Micron Ex. 1002, p. 322
Micron v. YMTC
IPR2025-00035

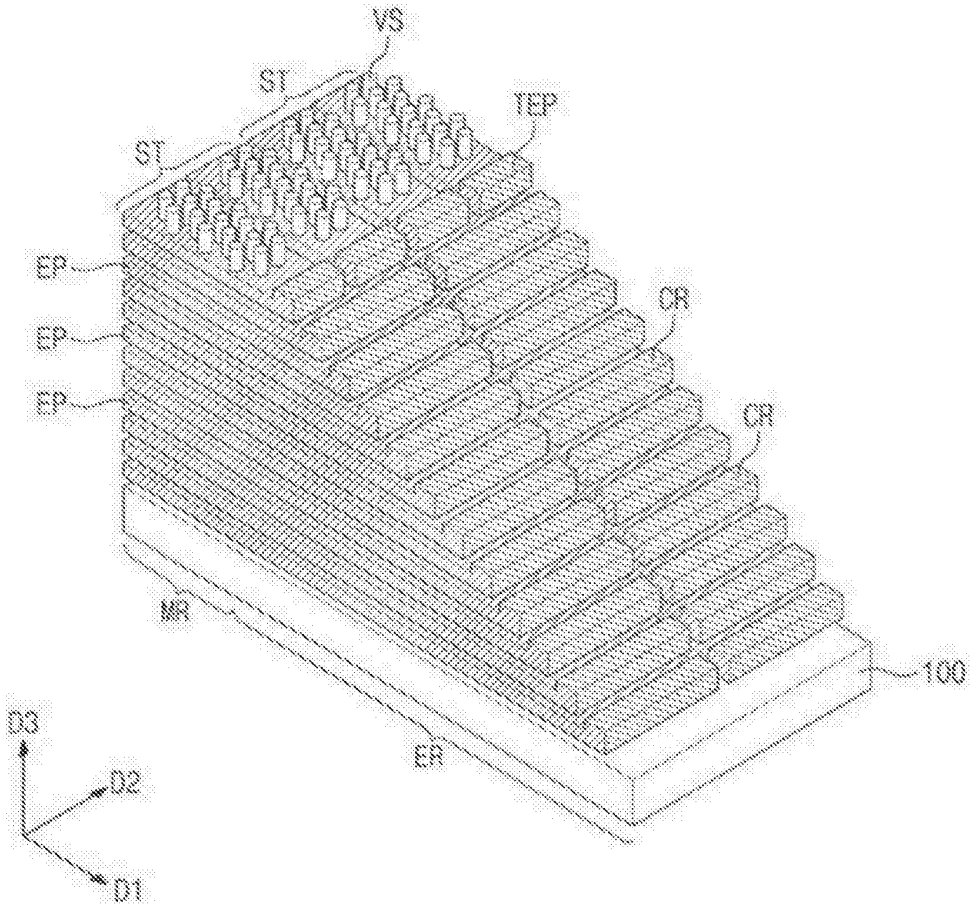


图4

Micron Ex. 1002, p. 323
Micron v. YMTC
IPR2025-00035

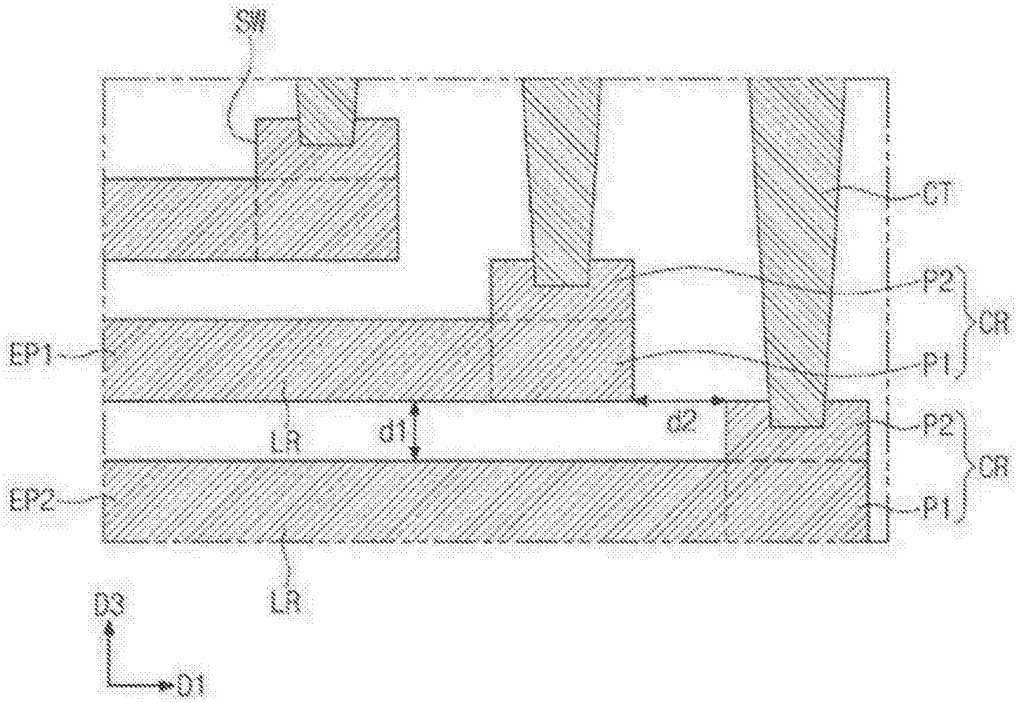


图5A

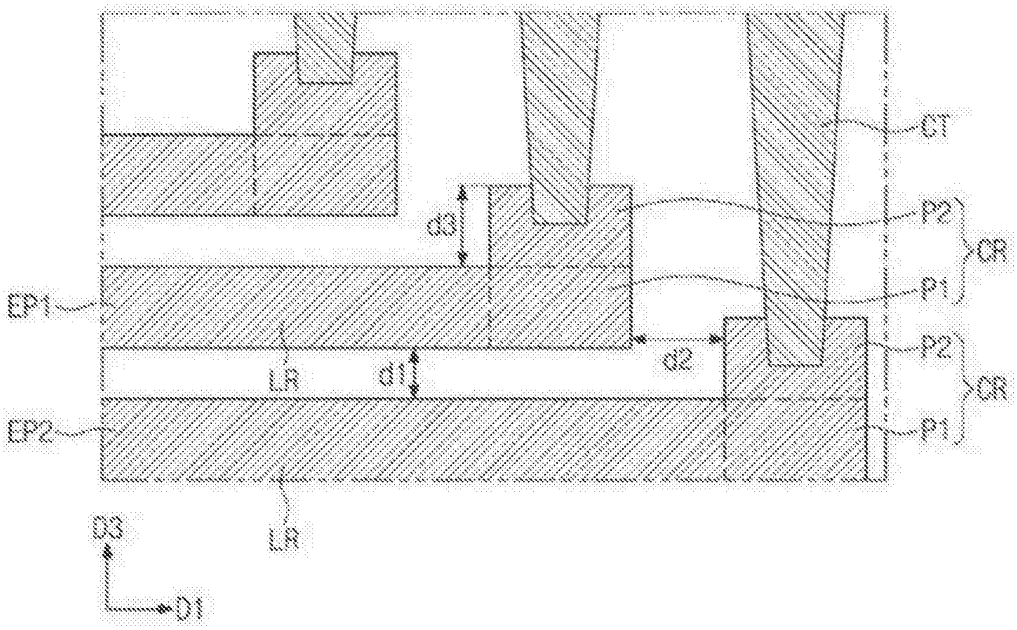


图5B

Micron Ex. 1002, p. 324
Micron v. YMTC
IPR2025-00035

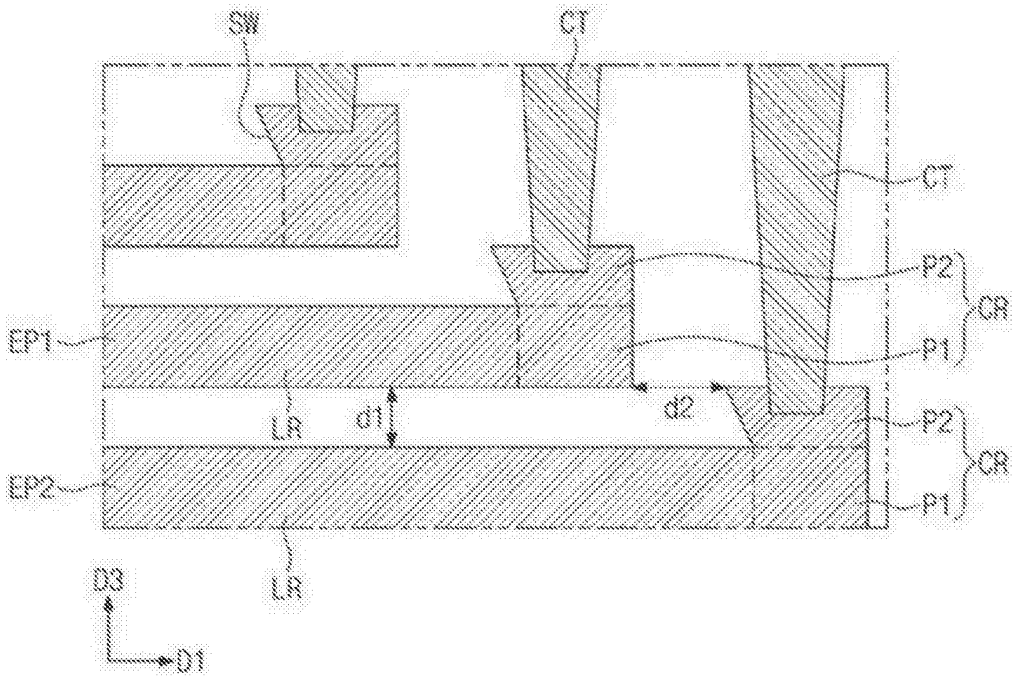


图5C

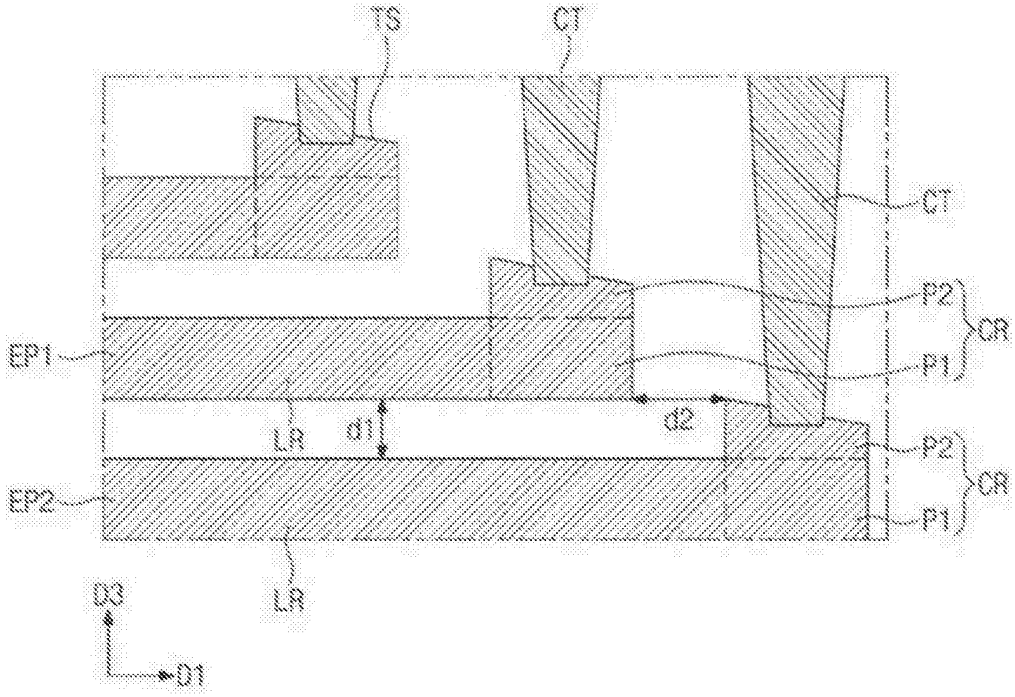


图5D

Micron Ex. 1002, p. 325
Micron v. YMTC
IPR2025-00035

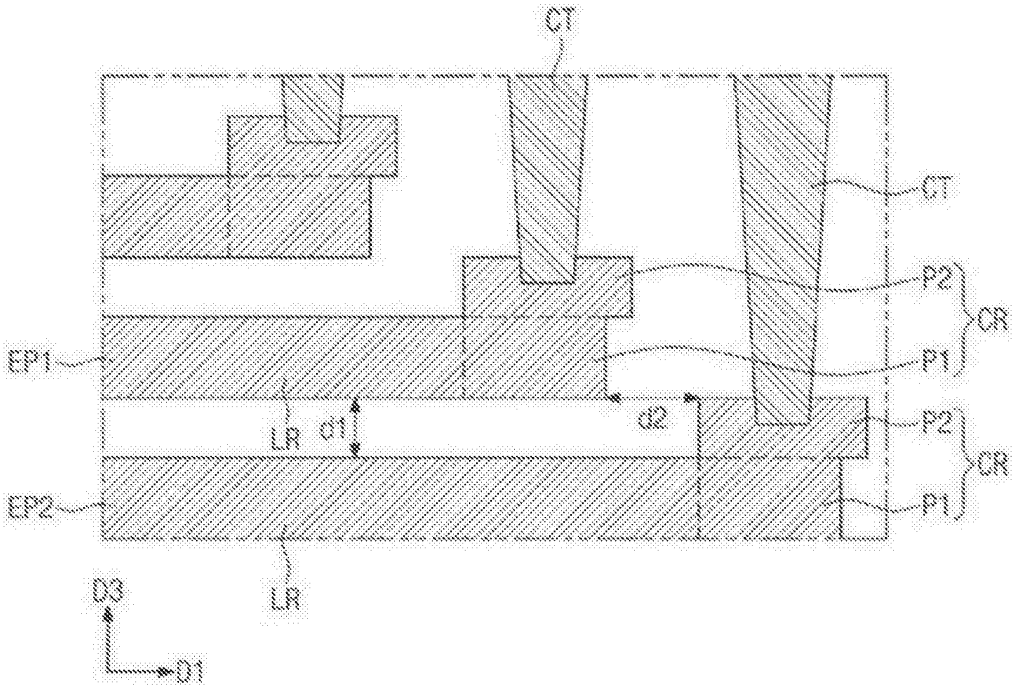


图5E

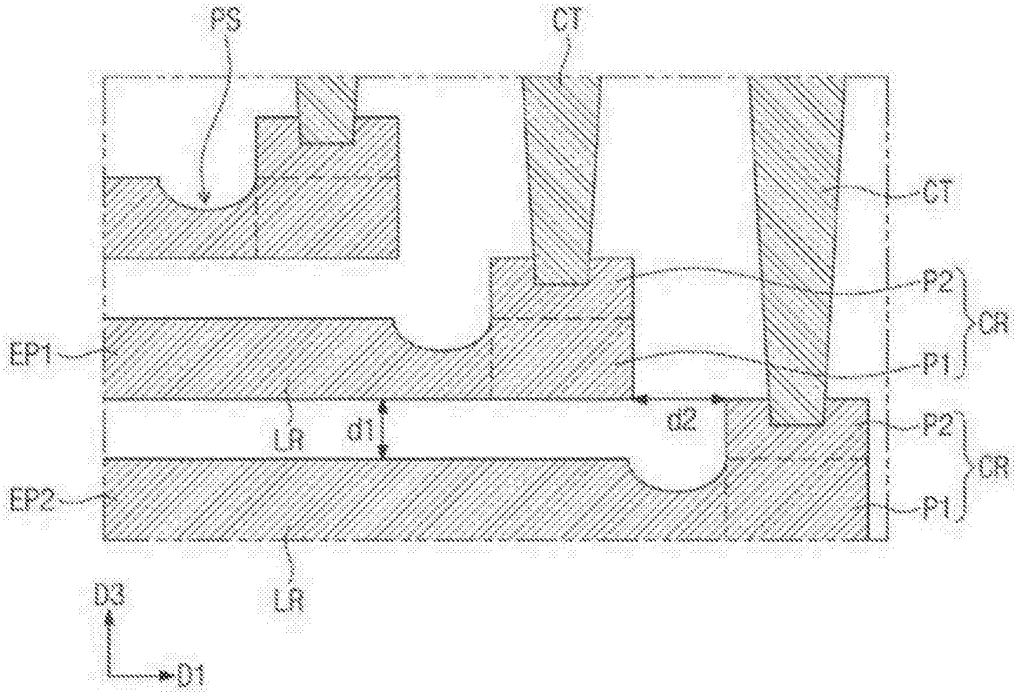


图5F

Micron Ex. 1002, p. 326
Micron v. YMTC
IPR2025-00035

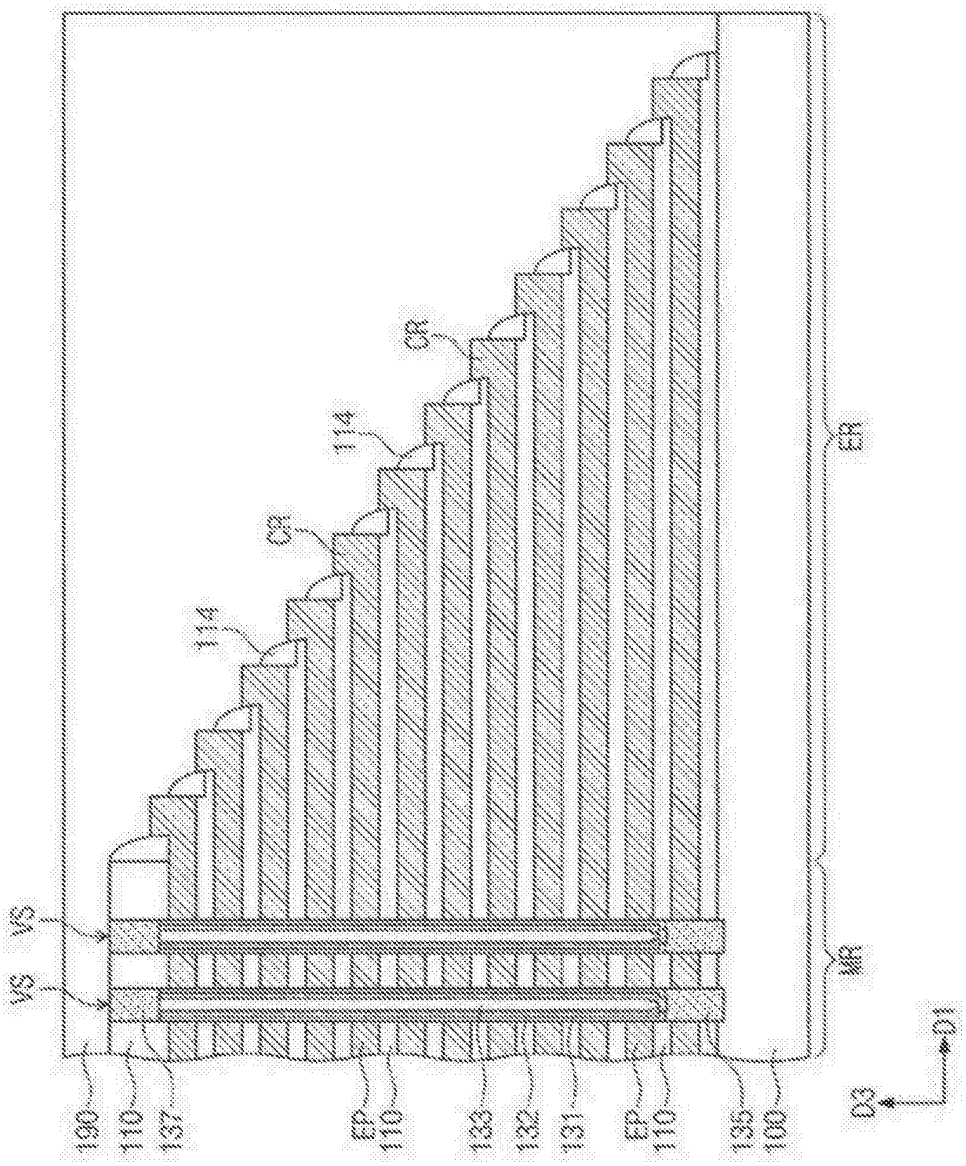


图6

Micron Ex. 1002, p. 327
Micron v. YMTC
IPR2025-00035

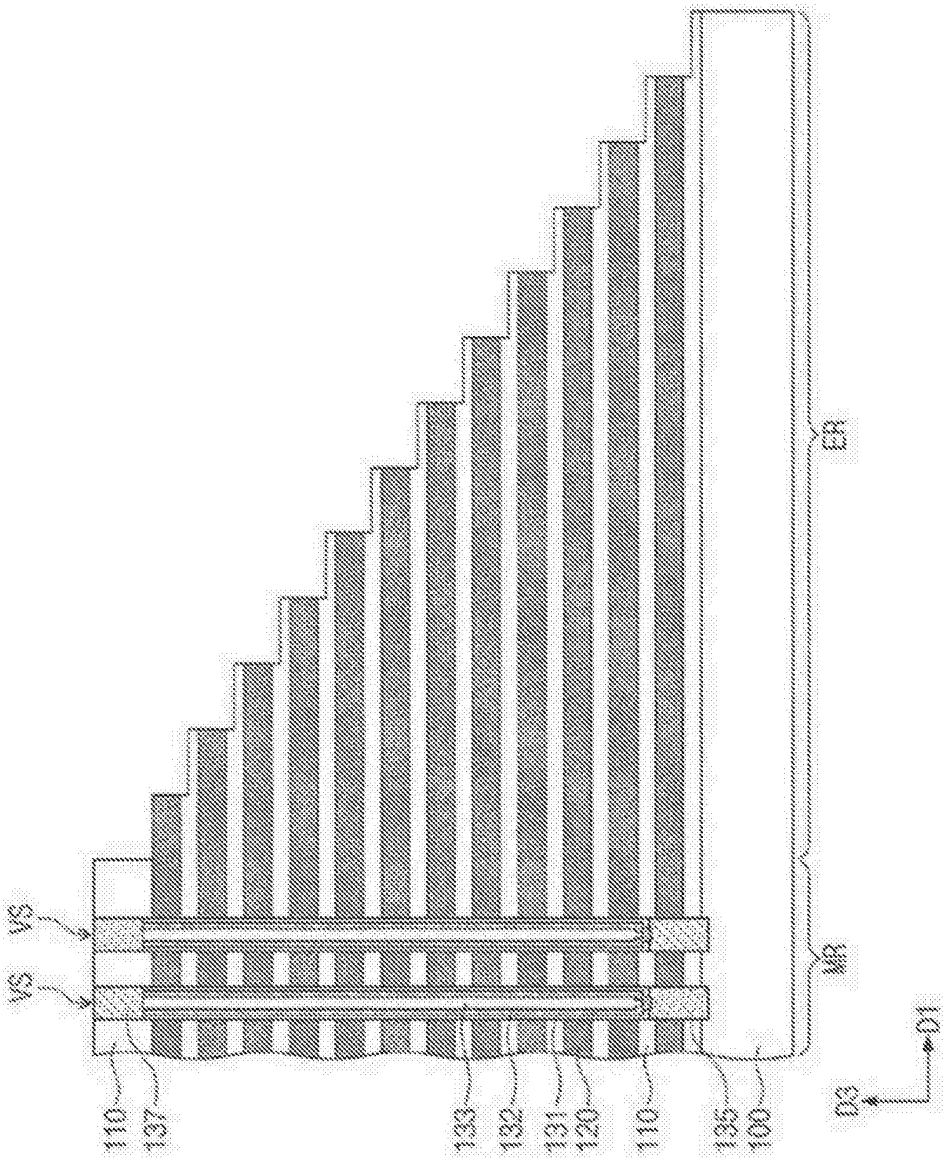


图7

Micron Ex. 1002, p. 328
Micron v. YMTC
IPR2025-00035

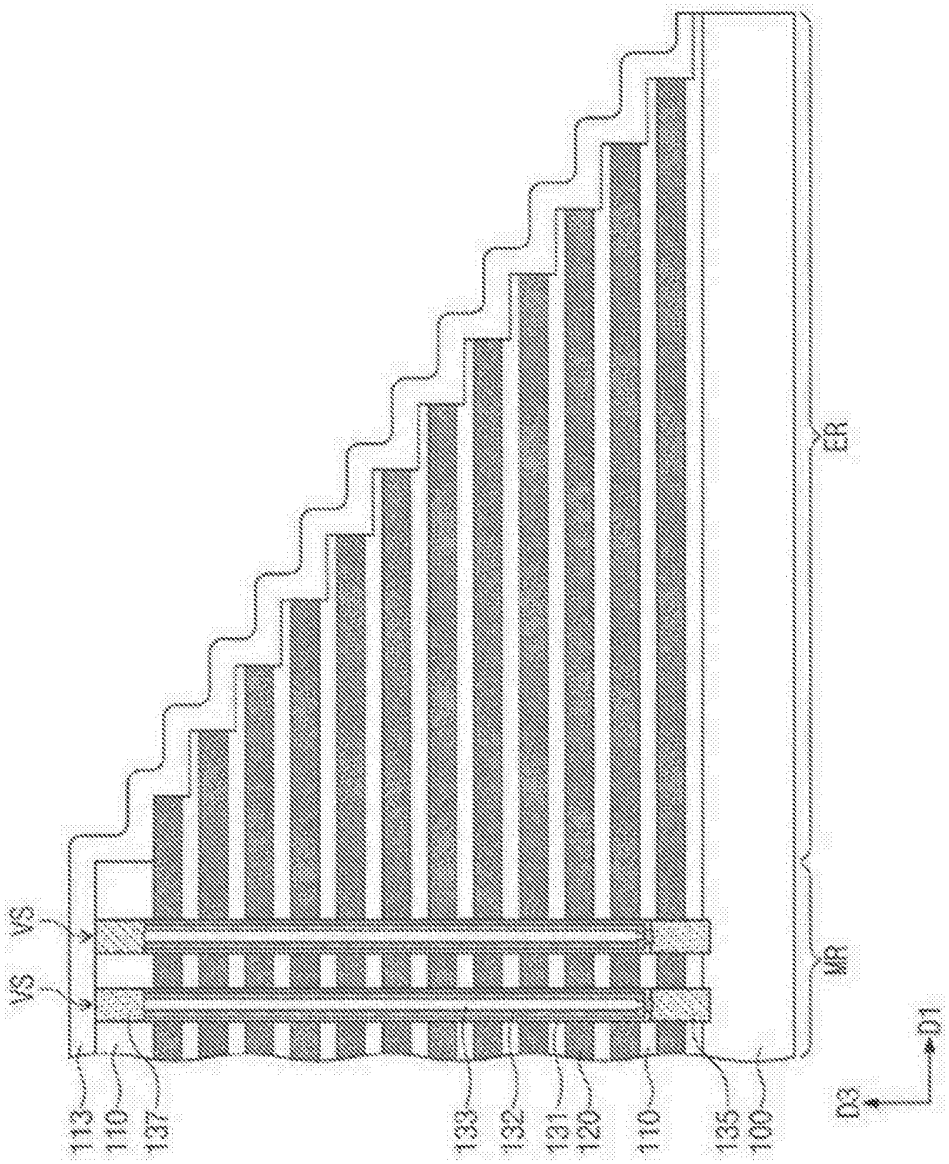


图8

Micron Ex. 1002, p. 329
Micron v. YMTC
IPR2025-00035

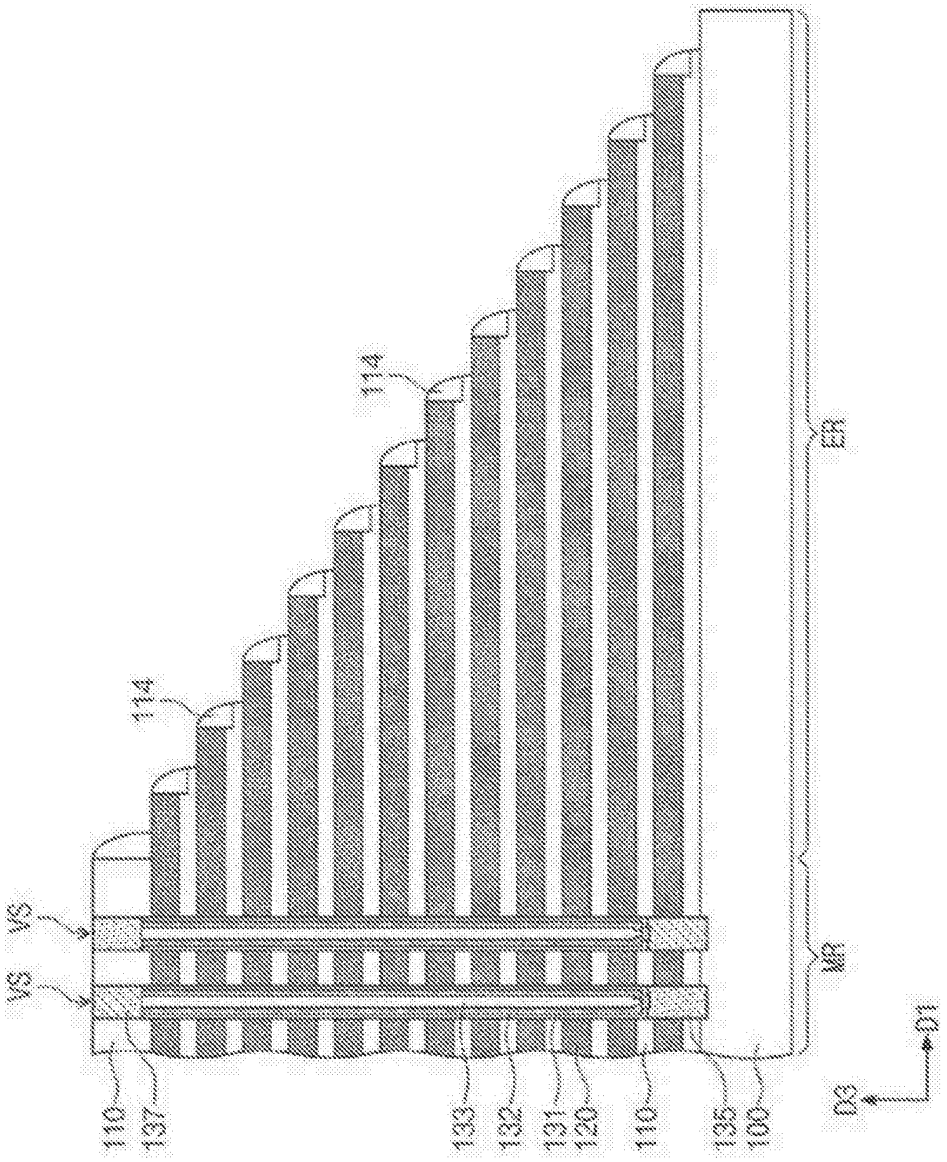


图9

Micron Ex. 1002, p. 330
Micron v. YMTC
IPR2025-00035

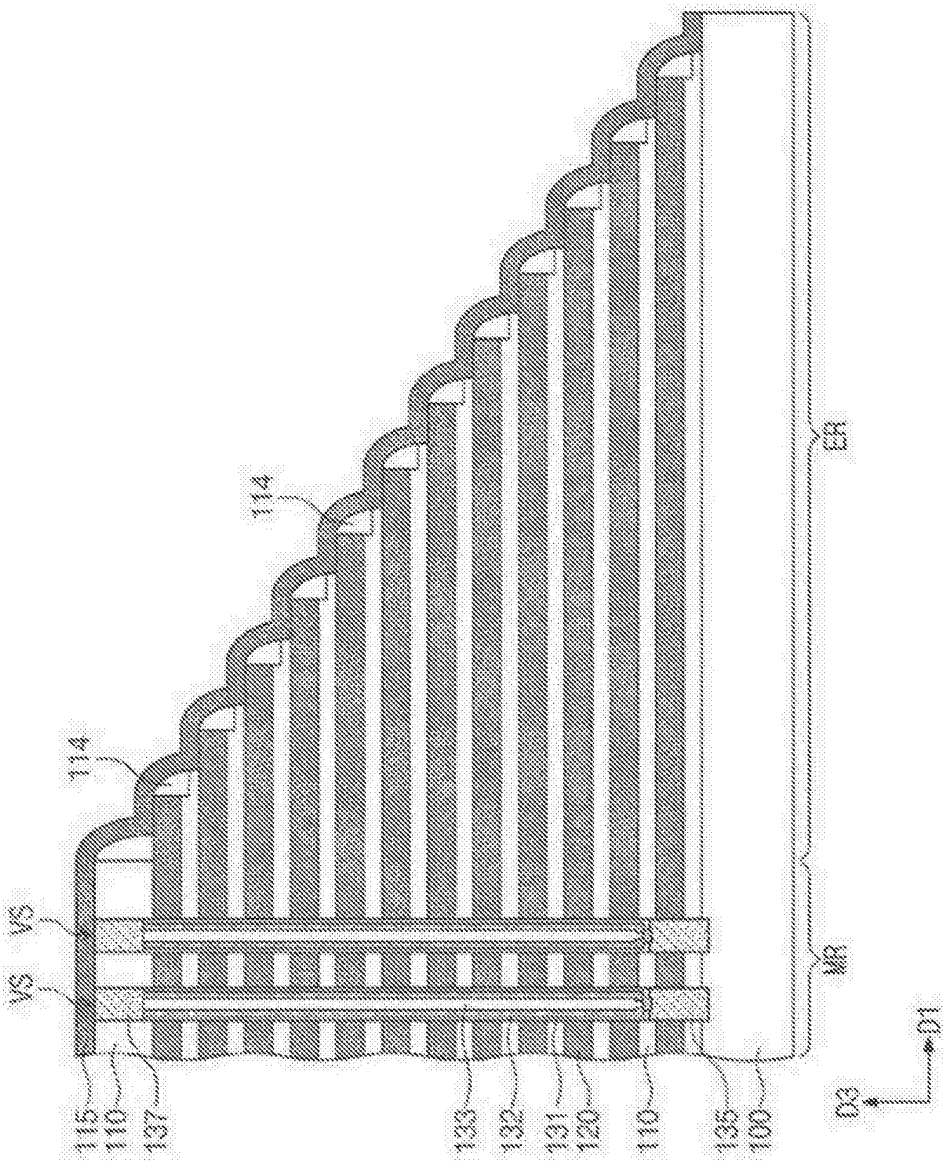


图10

Micron Ex. 1002, p. 331
Micron v. YMTC
IPR2025-00035

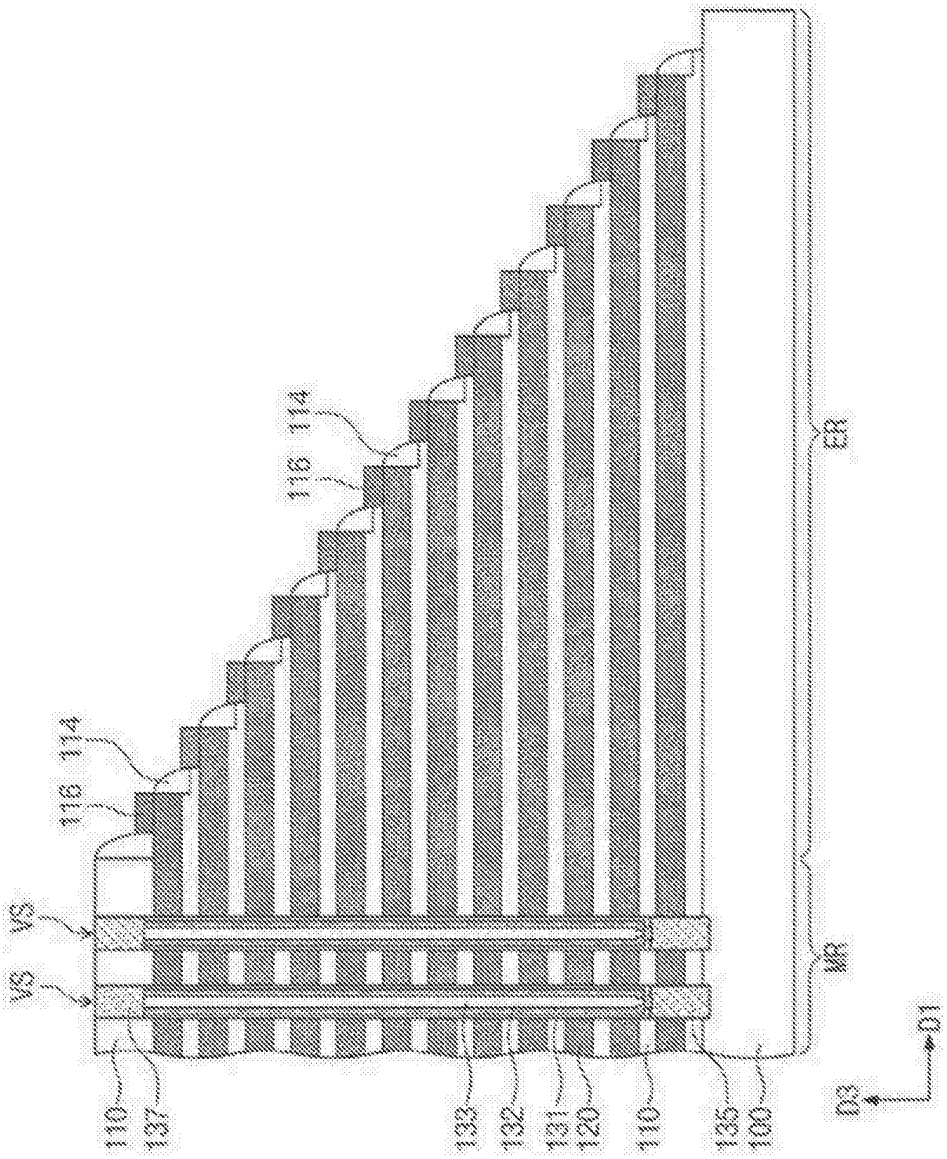


图11

Micron Ex. 1002, p. 332
Micron v. YMTC
IPR2025-00035

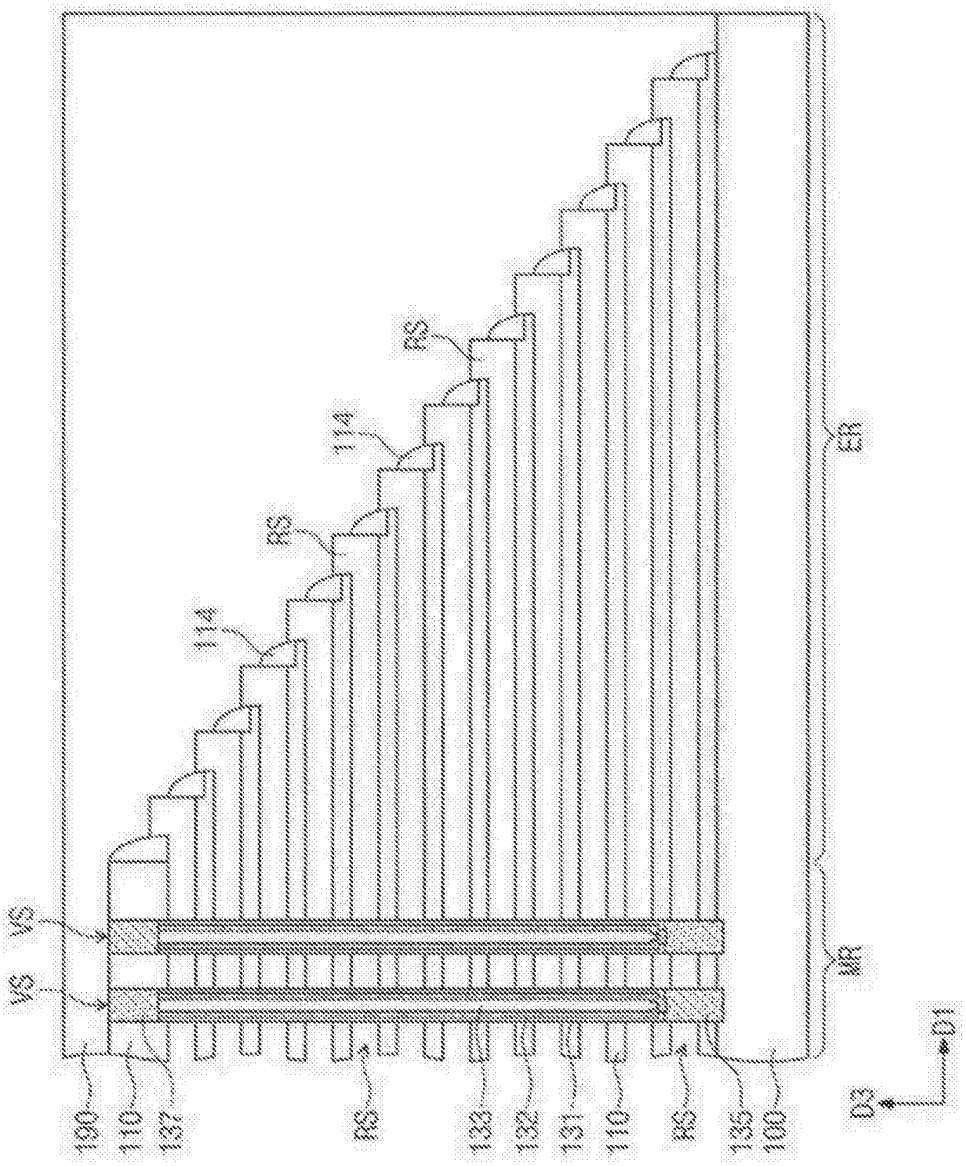


图12

Micron Ex. 1002, p. 333
Micron v. YMTC
IPR2025-00035

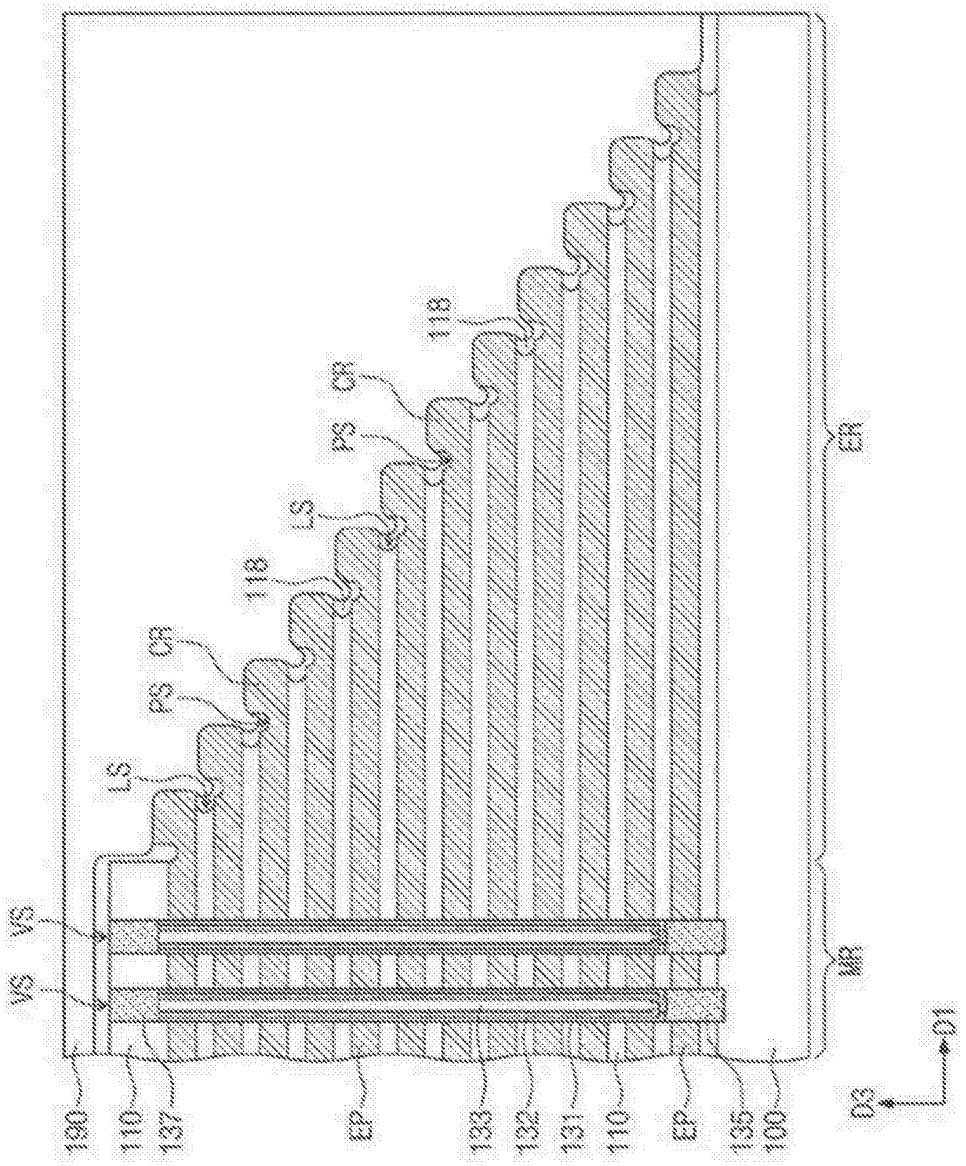


图13

Micron Ex. 1002, p. 334
Micron v. YMTC
IPR2025-00035

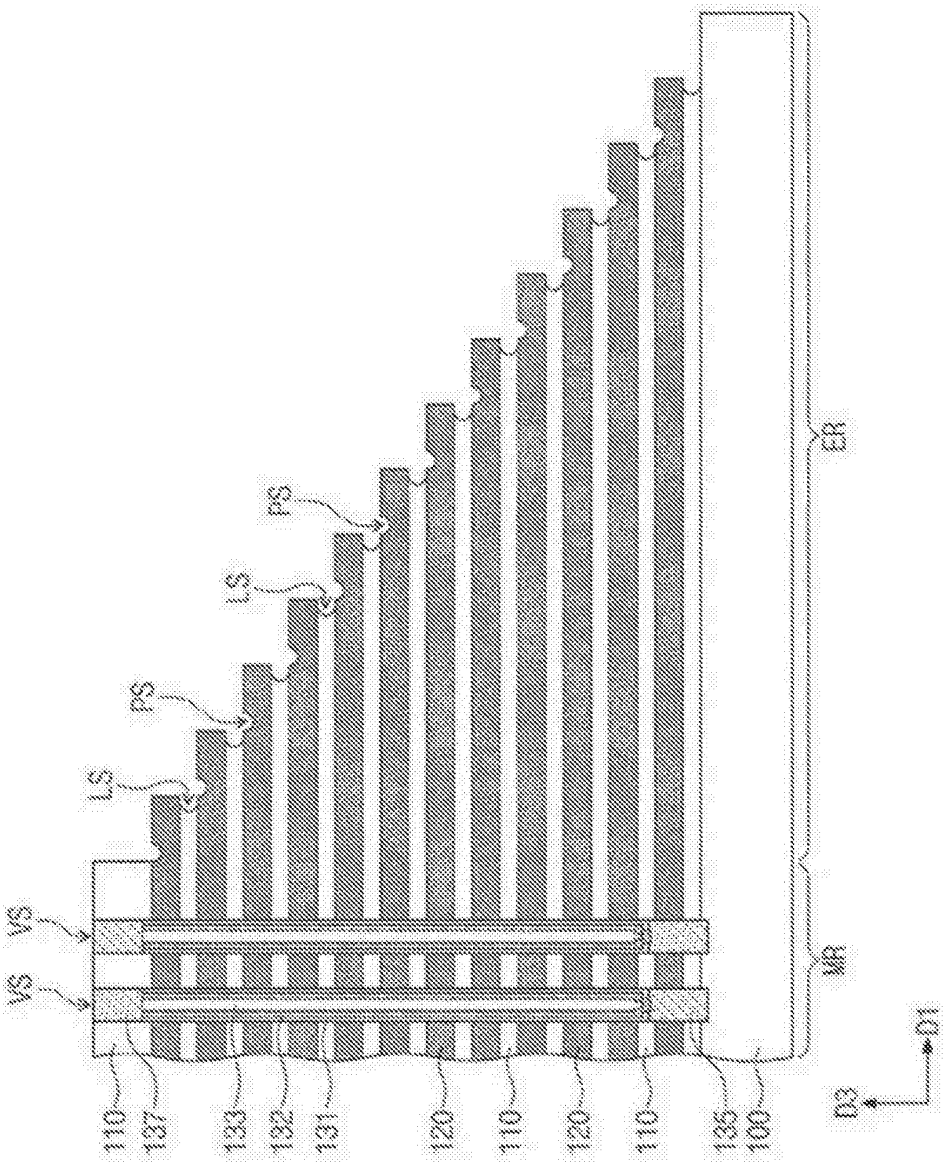


图14

Micron Ex. 1002, p. 335
Micron v. YMTC
IPR2025-00035

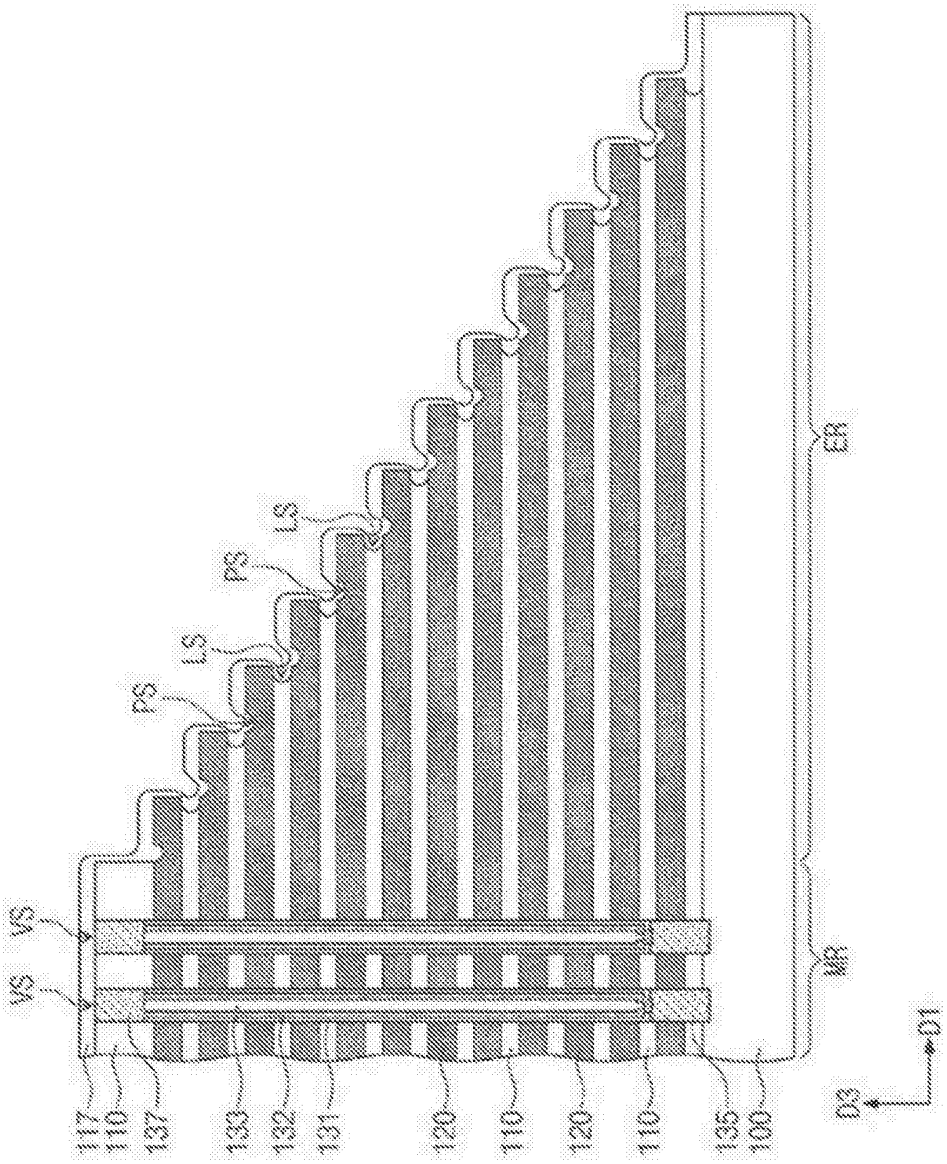


图15

Micron Ex. 1002, p. 336
Micron v. YMTC
IPR2025-00035

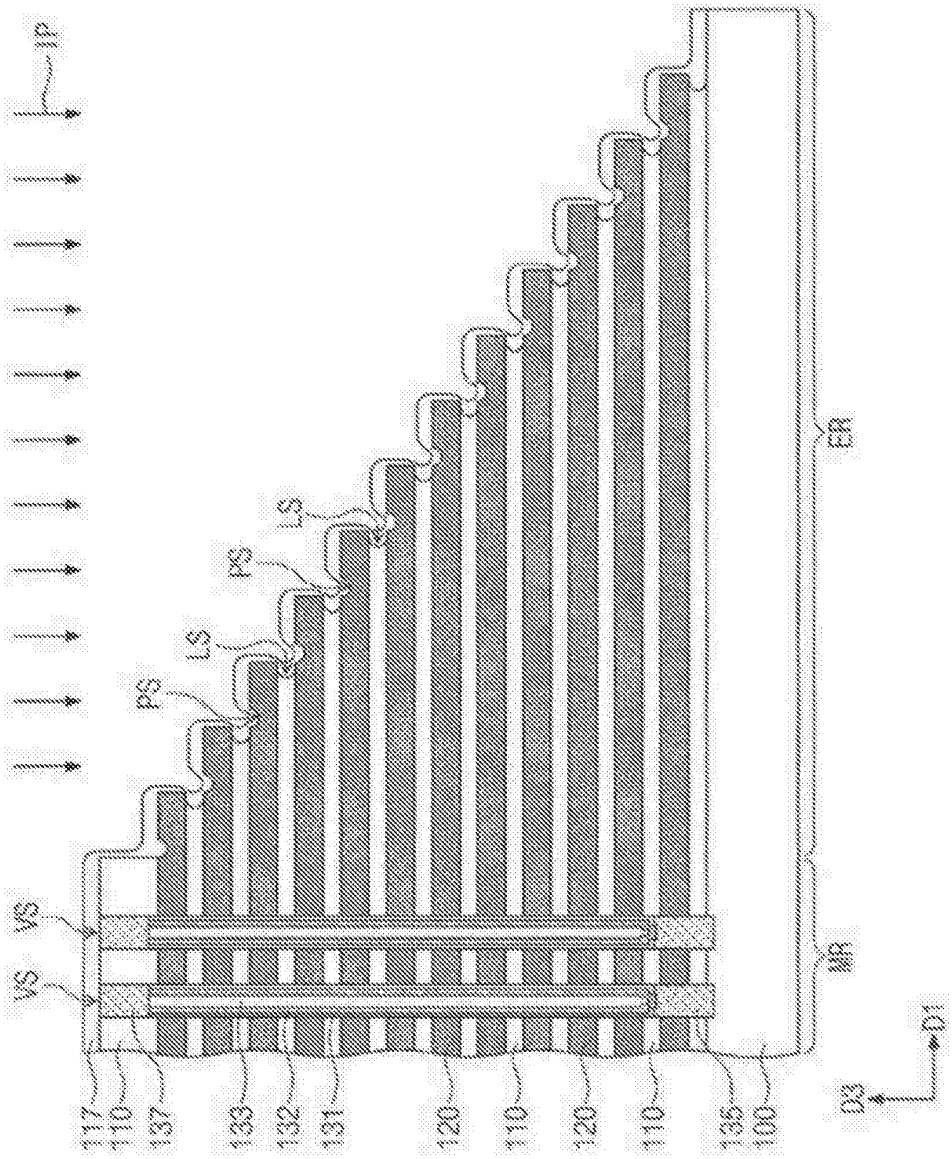


图16

Micron Ex. 1002, p. 337
Micron v. YMTC
IPR2025-00035

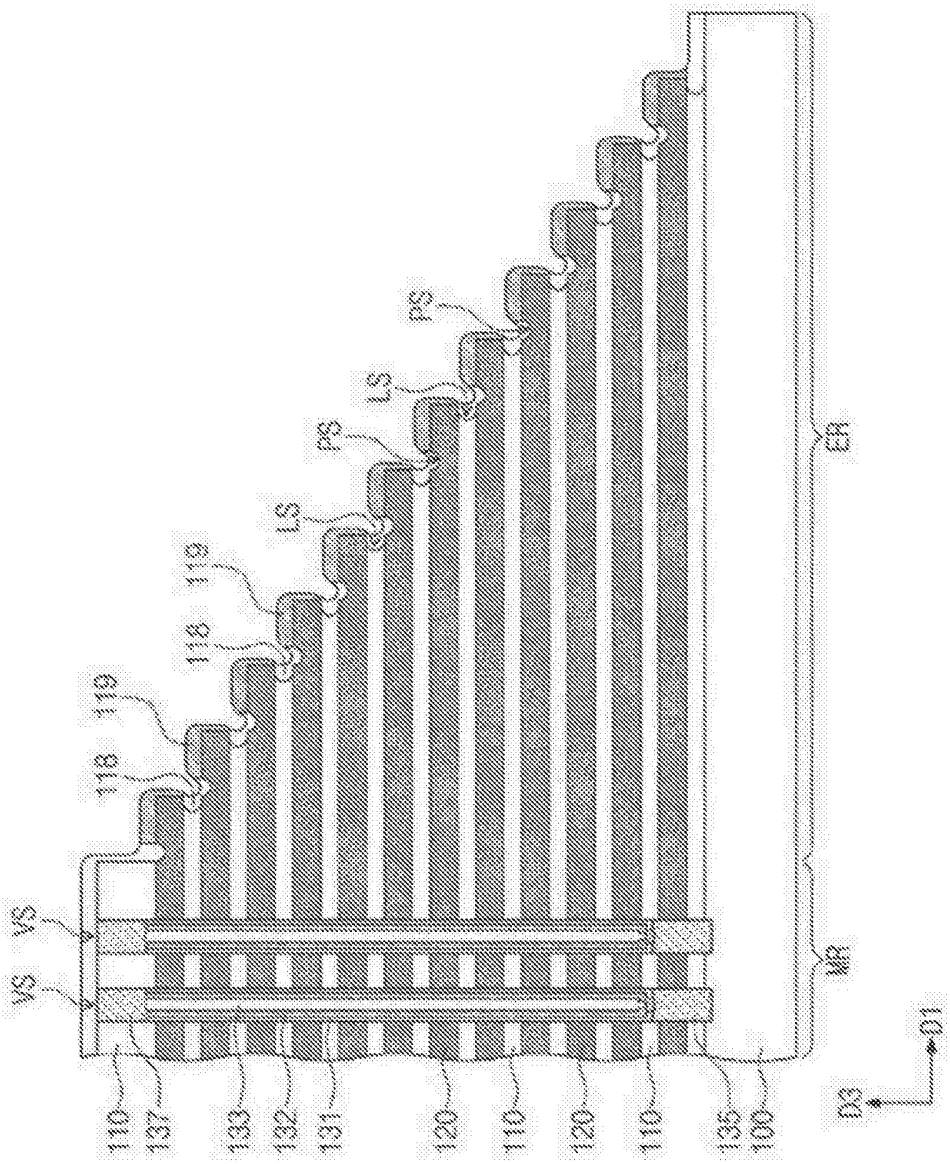


图17

Micron Ex. 1002, p. 338
Micron v. YMTC
IPR2025-00035

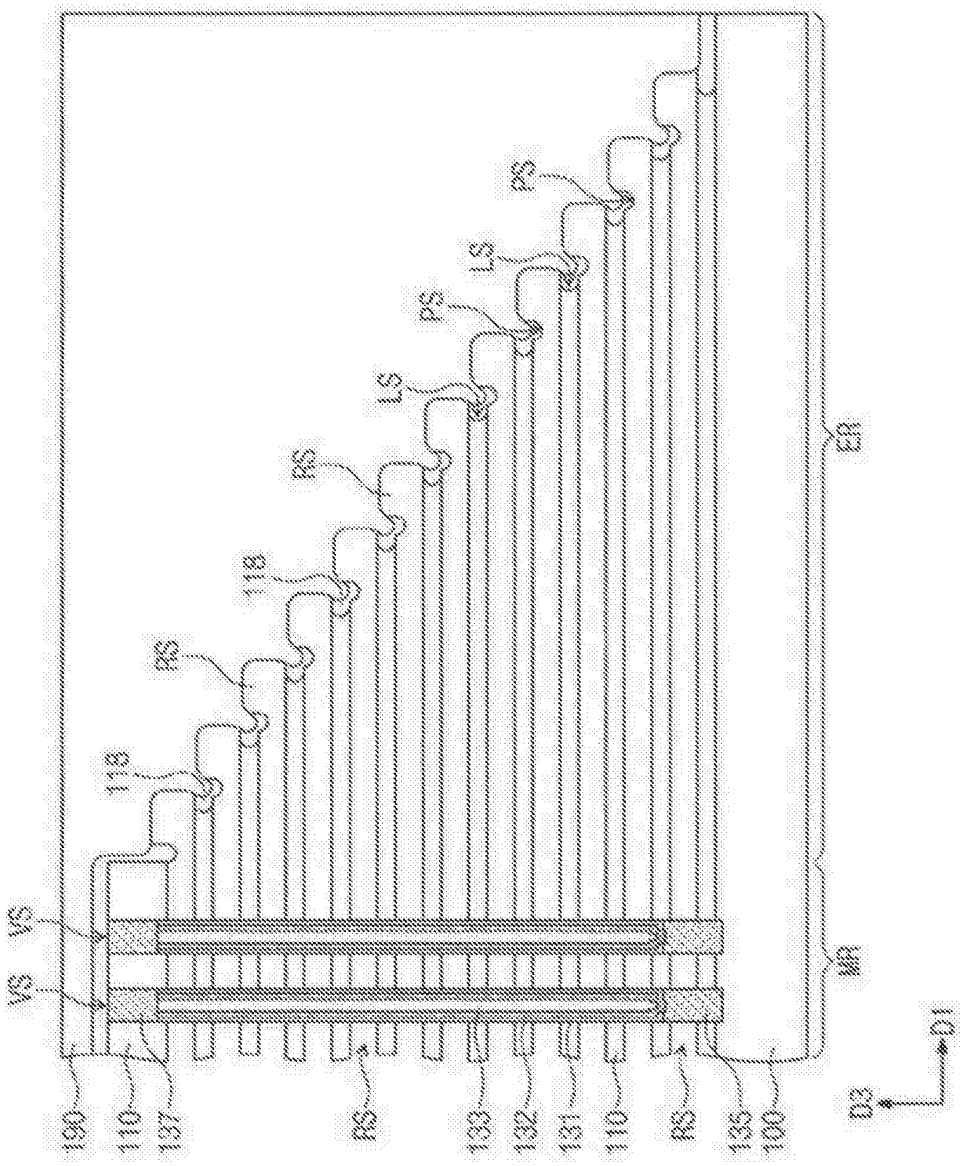


图18

Micron Ex. 1002, p. 339
Micron v. YMTC
IPR2025-00035

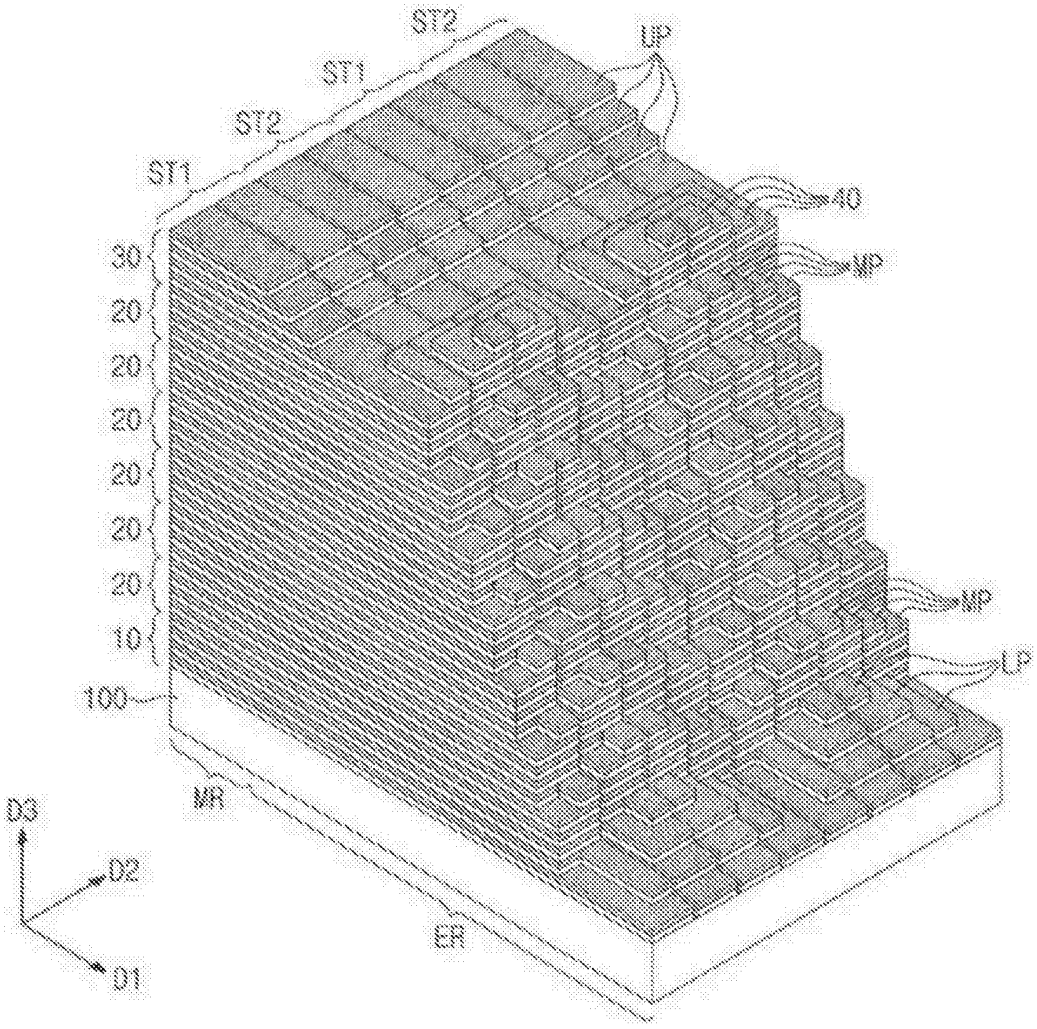


图19

Micron Ex. 1002, p. 340
Micron v. YMTC
IPR2025-00035

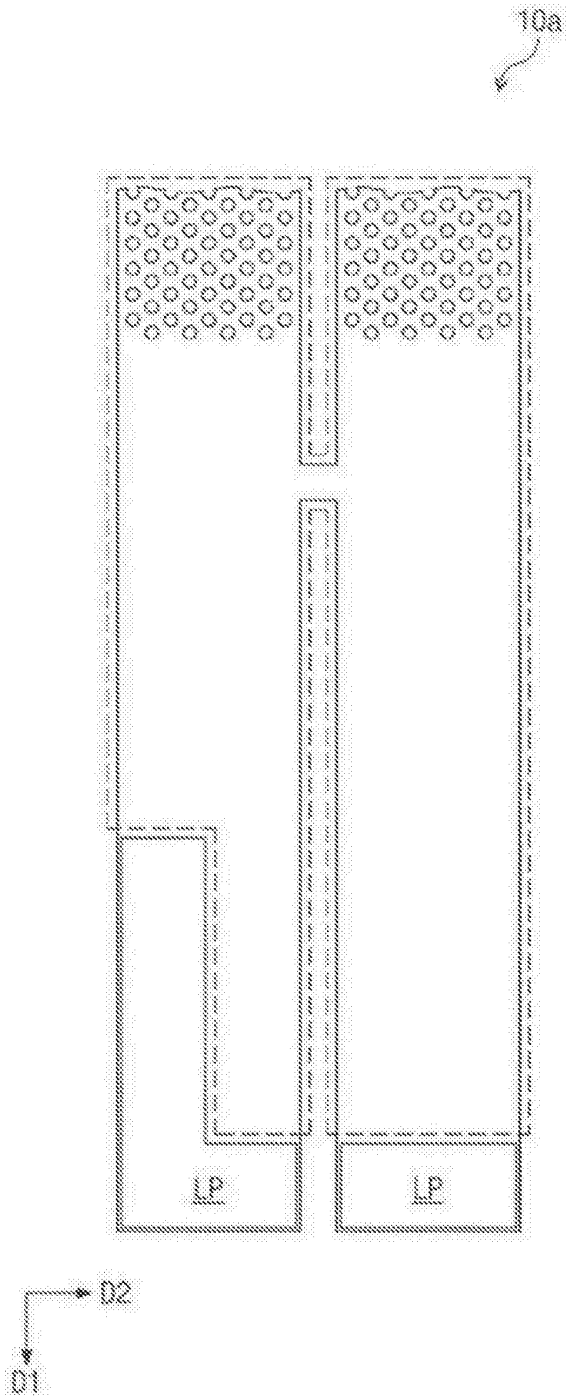


图20A

Micron Ex. 1002, p. 341
Micron v. YMTC
IPR2025-00035

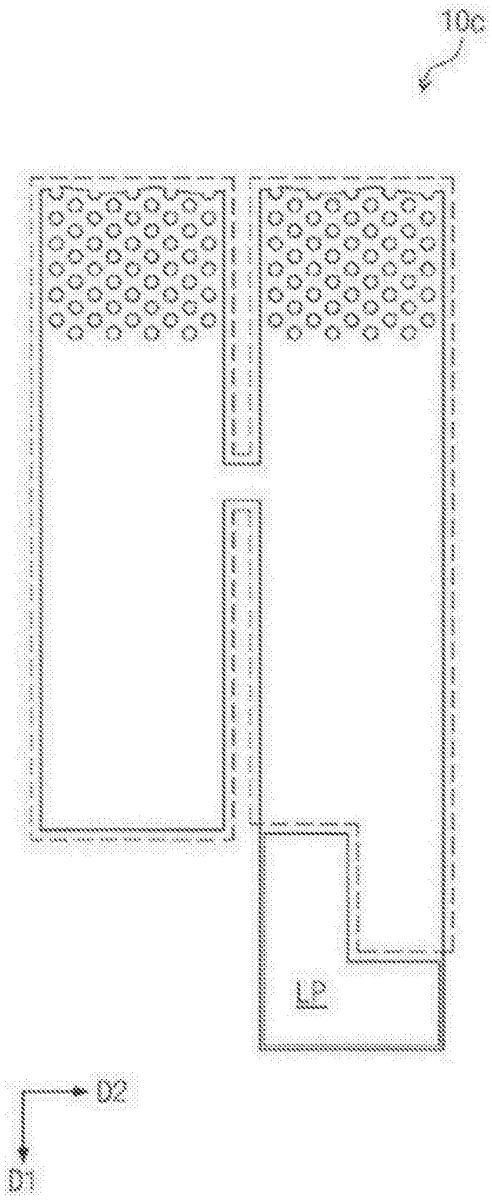


图20B

Micron Ex. 1002, p. 342
Micron v. YMTC
IPR2025-00035

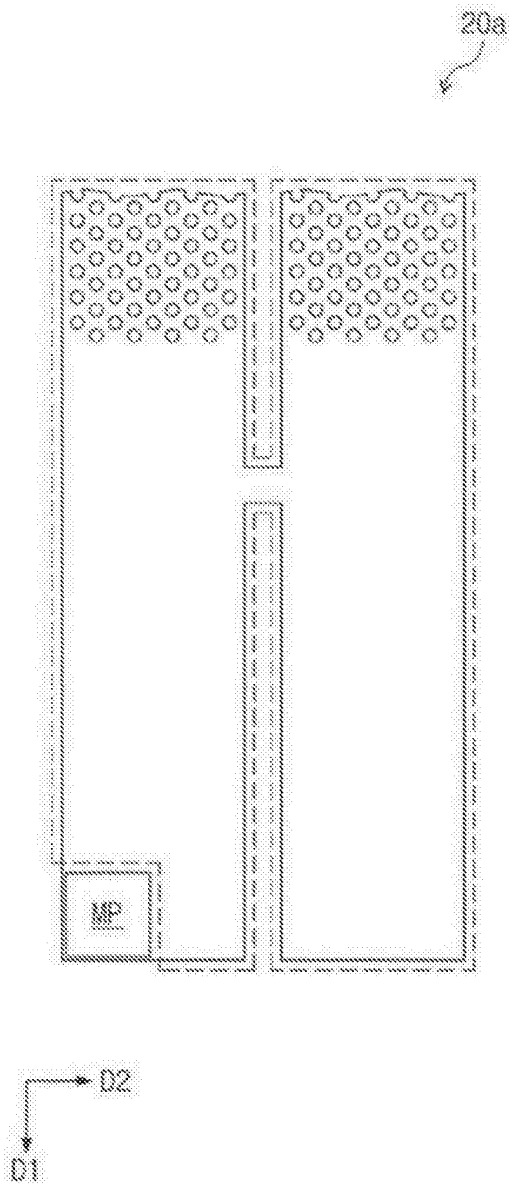


图20C

Micron Ex. 1002, p. 343
Micron v. YMTC
IPR2025-00035

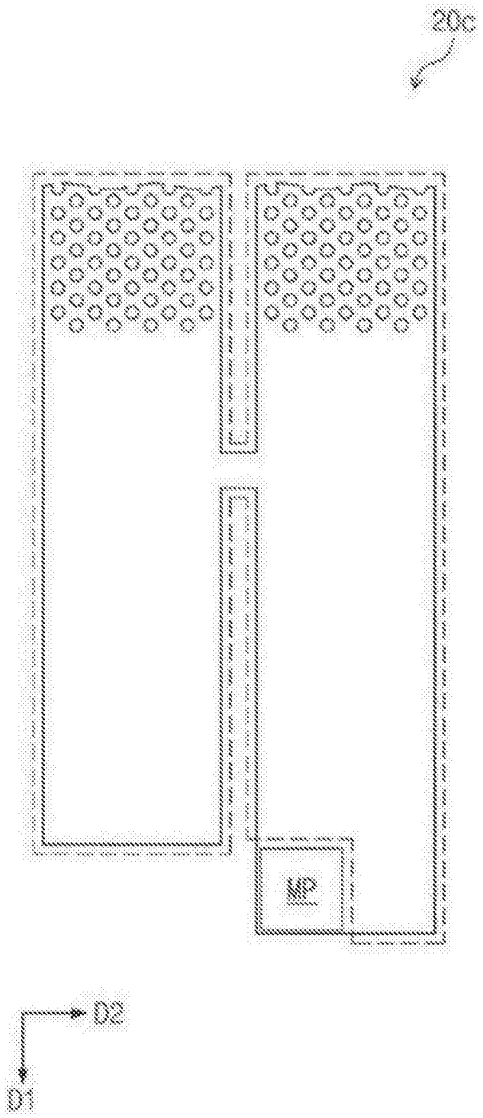


图20D

Micron Ex. 1002, p. 344
Micron v. YMTC
IPR2025-00035

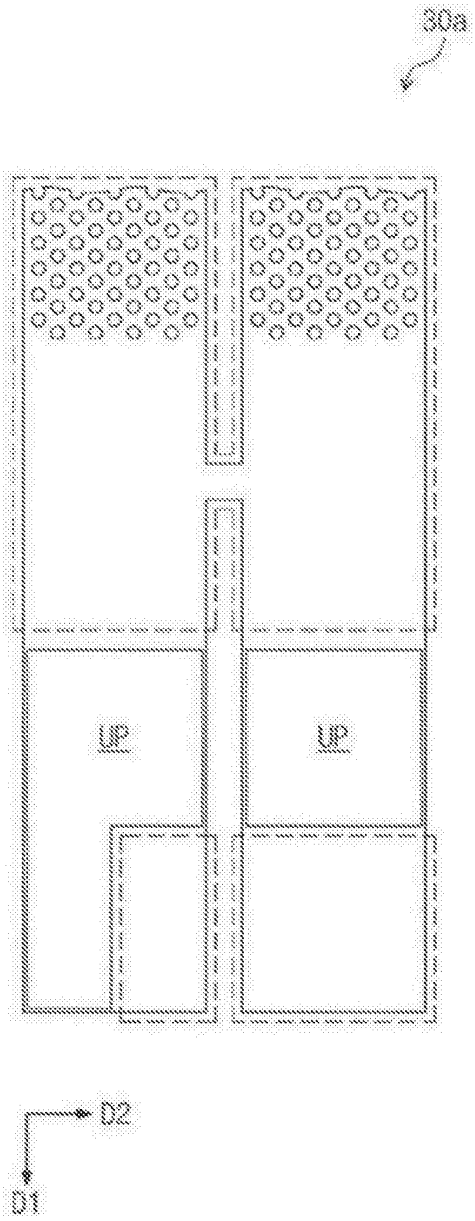


图20E

Micron Ex. 1002, p. 345
Micron v. YMTC
IPR2025-00035

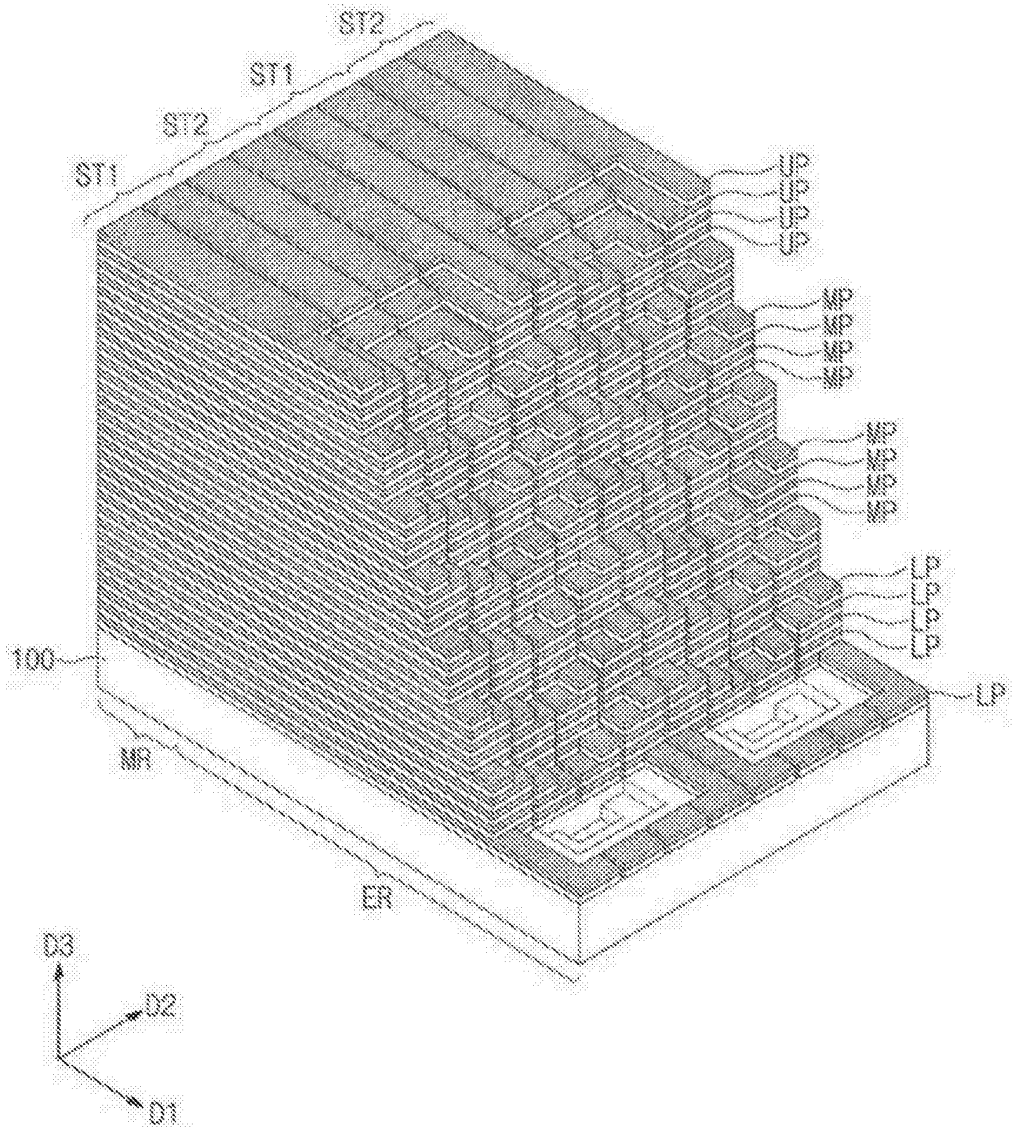


图21

Micron Ex. 1002, p. 346
Micron v. YMTC
IPR2025-00035

Espacenet

CN109754836A Nonvolatile memory device

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: JEON HONG SOO,KIM CHAN HO,KWAK PAN SUK,LIM BONG SOON

Classifications:
IPC ***G11C16/04; G11C16/08;***

CPC **G11C16/08 (US); G11C16/24 (US); H01L27/1157 (EP,US); H01L27/11573 (EP,US); H01L27/11575 (EP); H01L27/11582 (EP,US);**

Priorities: KR20170147611A 2017-11-07

Application: CN109754836A·2018-10-30

Publication: CN109754836A·2019-05-14

Published as: CN109754836A;**KR20190051694A; US10446575B2; US2019139978A1**

Nonvolatile memory device

Abstract

一种三维(3D)非易失性存储器包括堆叠结构，该堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域。连接区域包括第一台阶部分、第二台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状，连接部分连接第一单元区域和第二单元区域。

Micron Ex. 1002, p. 347
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 109754836 A
(43)申请公布日 2019.05.14

(21)申请号 201811274793.0

(22)申请日 2018.10.30

(30)优先权数据
10-2017-0147611 2017.11.07 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金灿镐 任琤淳 郭判硕 全哄秀

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 张波 翟然

(51)Int.Cl.
G11C 16/04(2006.01)
G11C 16/08(2006.01)

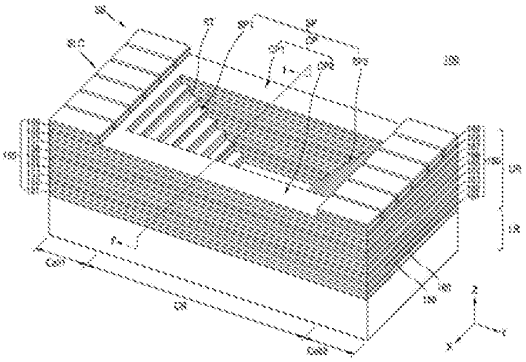
权利要求书3页 说明书11页 附图31页

(54)发明名称

非易失性存储器件

(57)摘要

一种三维(3D)非易失性存储器包括堆叠结构,该堆叠结构包括多个导电层,所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域。连接区域包括第一台阶部分、第二台阶部分和连接部分,第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状,第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状,连接部分连接第一单元区域和第二单元区域。



CN 109754836 A

Micron Ex. 1002, p. 348
Micron v. YMTC
IPR2025-00035

1.一种三维(3D)非易失性存储器,包括:

堆叠结构,其包括多个导电层,所述多个导电层与多个层间绝缘层交替并且所述多个导电层通过所述多个层间绝缘层彼此间隔开,其中

所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域,以及

所述连接区域包括第一台阶部分、第二台阶部分和连接部分,所述第一台阶部分接触所述第一单元区域并且具有在接近所述第二单元区域的方向上下降的阶梯形状,所述第二台阶部分接触所述第二单元区域并且具有在接近所述第一单元区域的方向上下降的阶梯形状,所述连接部分连接所述第一单元区域和所述第二单元区域。

2.如权利要求1所述的三维非易失性存储器,其中

所述连接部分的一个侧壁与所述第一单元区域的一个侧壁和所述第二单元区域的一个侧壁对准。

3.如权利要求1所述的三维非易失性存储器,其中

所述第一台阶部分的台阶中的至少一个在与所述第二台阶部分的台阶中的一个相同的水平处。

4.如权利要求1所述的三维非易失性存储器,还包括:

下部区域,其设置在所述堆叠结构下方并且包括外围电路,其中

所述多个导电层的设置在所述第一单元区域中的部分和所述多个导电层的设置在所述第二单元区域中的部分电连接到所述外围电路。

5.如权利要求1所述的三维非易失性存储器,其中

所述多个导电层中的每个在所述第一单元区域、所述第一台阶部分、所述连接部分、所述第二台阶部分和所述第二单元区域之上延伸。

6.如权利要求1所述的三维非易失性存储器,其中

所述第一台阶部分和所述第二台阶部分中的至少一个台阶具有在一个方向上拥有不同宽度的多个子台阶。

7.如权利要求1所述的三维非易失性存储器,其中

所述连接部分在与从所述第一台阶部分到所述第二台阶部分的方向垂直的方向上的宽度随着离所述连接部分的下端的高度减小而增加。

8.如权利要求1所述的三维非易失性存储器,其中

所述连接部分包括第三台阶部分和第四台阶部分,每个连接所述第一台阶部分和所述第二台阶部分,并且每个具有在所述第三台阶部分和所述第四台阶部分彼此面对的方向上下降的阶梯形状。

9.如权利要求1所述的三维非易失性存储器,其中

所述连接部分连接所述第一台阶部分的下部和所述第二台阶部分的下部,但不连接所述第一台阶部分的上部和所述第二台阶部分的上部。

10.一种三维(3D)非易失性存储器,包括:

下部区域,其包括下基板和在所述下基板上的外围电路;以及

在所述下部区域上的堆叠结构,其中所述堆叠结构包括多个导电层,所述多个导电层与多个层间绝缘层交替并且所述多个导电层通过所述多个层间绝缘层彼此间隔开,其中

Micron Ex. 1002, p. 349
Micron v. YMTC
IPR2025-00035

所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域，以及

所述堆叠结构的所述连接区域包括台阶部分，所述台阶部分具有从所述连接区域的外围朝向其中心下降的阶梯形状。

11.如权利要求10所述的三维非易失性存储器，其中

所述台阶部分的台阶中的至少一些具有环矩形形状。

12.如权利要求10所述的三维非易失性存储器，其中

所述堆叠结构内的所述多个导电层中的至少一个包括在所述第一单元区域中的第一部分、在所述第二单元区域中的第二部分、以及连接所述第一部分和所述第二部分的在所述连接区域中的第三部分。

13.如权利要求10所述的三维非易失性存储器，其中

所述堆叠结构的上部内的所述多个导电层中的至少一个包括在所述第一单元区域中的第一部分和在所述第二单元区域中与所述第一部分间隔开的第二部分，并且所述第一部分和所述第二部分通过设置在比所述堆叠结构更高的水平处的上导电线彼此连接。

14.如权利要求10所述的三维非易失性存储器，其中

所述台阶部分包括第一台阶部分、第二台阶部分、第三台阶部分和第四台阶部分，其中所述第一台阶部分接触所述第一单元区域并且具有在接近所述第二单元区域的方向上下降的阶梯形状，所述第二台阶部分接触所述第二单元区域并且具有在朝向所述第一单元区域的方向上下降的阶梯形状，所述第三台阶部分和所述第四台阶部分中的每个连接所述第一台阶部分和所述第二台阶部分，并且所述第三台阶部分和所述第四台阶部分的每个具有在朝向彼此的方向上下降的阶梯形状。

15.如权利要求14所述的三维非易失性存储器，还包括：

多个接触，其位于所述第一台阶部分、所述第二台阶部分、所述第三台阶部分和所述第四台阶部分中，其中所述多个接触将所述多个导电层电连接到所述外围电路。

16.一种三维(3D)非易失性存储器，包括：

下部区域，其包括下基板和在所述下基板上的外围电路；

在所述下部区域上的上基板；

在所述上基板上的堆叠结构，所述堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并且通过所述多个层间绝缘层彼此间隔开；以及

多个接触，其将所述多个导电层中的每个电连接到所述外围电路，其中所述堆叠结构包括第一单元区域、与所述第一单元区域间隔开的第二单元区域、以及在所述第一单元区域与所述第二单元区域之间的连接区域，

所述连接区域包括第一台阶部分和连接部分，所述第一台阶部分接触所述第一单元区域并且具有在朝向所述第二单元区域的方向上下降的阶梯形状，所述连接部分连接所述第一台阶部分和所述第二单元区域，以及

所述多个接触设置在所述第一台阶部分中。

17.如权利要求16所述的三维非易失性存储器，其中所述第二单元区域包括面对所述第一台阶部分的平坦侧壁。

18.如权利要求16所述的三维非易失性存储器，其中

Micron Ex. 1002, p. 350
Micron v. YMTC
IPR2025-00035

所述多个导电层中的每个在所述第一单元区域、所述第一台阶部分、所述连接部分和所述第二单元区域之上延伸。

19.如权利要求16所述的三维非易失性存储器，其中

所述连接部分包括第三台阶部分和与所述第三台阶部分间隔开的第四台阶部分，其中所述第三台阶部分和所述第四台阶部分中的每个连接所述第一台阶部分和所述第二单元区域，并且具有在朝向彼此的方向上下降的阶梯形状。

20.如权利要求16所述的三维非易失性存储器，其中

所述连接部分包括在第一方向上彼此间隔开的两个部分，其中所述两个部分中的每个在所述第一方向上的宽度随着离所述下部区域的距离减小而增加，并且所述两个部分之间在所述第一方向上的距离随着离所述下部区域的距离减小而减小。

Micron Ex. 1002, p. 351
Micron v. YMTC
IPR2025-00035

非易失性存储器件

技术领域

[0001] 本发明构思的实施方式涉及非易失性存储器件，更具体地，涉及包括垂直沟道结构的三维(3D)非易失性存储器件。

背景技术

[0002] 作为用于改善存储器件的集成密度和小型化的方法之一，已经开发了包括垂直沟道结构取代传统的二维(2D)结构的3D非易失性存储器件。由于3D非易失性存储器件的集成密度的提高和小型化，3D非易失性存储器件中包括的布线的连接由于布线的增加的长度而变得复杂。因此，需要一种3D非易失性存储器件，在其中布线布置在窄空间中的同时由于布线导致的RC延迟减小。

发明内容

[0003] 本发明构思的实施方式能提供具有高集成度和减小的电阻-电容(RC)延迟的三维(3D)非易失性存储器件。

[0004] 根据本发明构思的一方面，提供了一种3D非易失性存储器，包括：堆叠结构，其包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开，其中堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，连接区域包括第一台阶部分、第二台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，第二台阶部分接触第二单元区域并且具有在接近第一单元区域的方向上下降的阶梯形状，连接部分连接第一单元区域和第二单元区域。

[0005] 根据本发明构思的另一方面，提供了一种3D非易失性存储器，包括：下部区域，其包括下基板和在下基板上的外围电路；以及在下部区域上的堆叠结构，堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，并且堆叠结构的连接区域包括台阶部分，该台阶部分具有从连接区域的外围朝向其中心下降的阶梯形状。

[0006] 根据本发明构思的另一方面，提供了一种3D非易失性存储器，包括：下部区域，其包括下基板和在下基板上的外围电路；在下部区域上的上基板；在上基板上的堆叠结构，堆叠结构包括多个导电层，所述多个导电层与多个层间绝缘层交替并通过多个层间绝缘层彼此间隔开；以及多个接触，其将所述多个导电层中的每个电连接到外围电路。堆叠结构包括第一单元区域、与第一单元区域间隔开的第二单元区域、以及在第一单元区域与第二单元区域之间的连接区域，连接区域包括第一台阶部分和连接部分，第一台阶部分接触第一单元区域并且具有在接近第二单元区域的方向上下降的阶梯形状，连接部分连接第一台阶部分和第二单元区域。所述多个接触设置在第一台阶部分中。

Micron Ex. 1002, p. 352
Micron v. YMTC
IPR2025-00035

附图说明

[0007] 图1是根据本发明构思的一实施方式的三维(3D)非易失性存储器件的框图。

[0008] 图2是根据本发明构思的一实施方式的3D非易失性存储器件中多个存储单元块的一个存储单元块的等效电路的电路图。

[0009] 图3A是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0010] 图3B是沿图3A的线I-I'截取的连接部分的剖视图。

[0011] 图4是图3A和3B中所示的多个导电层中的一个的透视图。

[0012] 图5A是图3A和3B中所示的3D非易失性存储器件的详细俯视图。

[0013] 图5B是沿图5A的线II-II'截取的剖视图。

[0014] 图6是图5A和5B的垂直沟道结构的剖视图。

[0015] 图7(a)-7(d)是图6中的区域A的各种变型的放大图。

[0016] 图8是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0017] 图9是图8中所示的第一台阶部分和第二台阶部分的透视图。

[0018] 图10A和10B分别是根据本发明构思的一实施方式的3D非易失性存储器件的透视图和俯视图。

[0019] 图10C是沿线I-I'截取的图10A的连接部分的剖视图。

[0020] 图11A是图10A的台阶中的一个的透视图。

[0021] 图11B是图11A的台阶的变型的透视图。

[0022] 图12A和12B是图10A至10C中所示的3D非易失性存储器件的详细俯视图。

[0023] 图13A和13B分别是根据本发明构思的一实施方式的3D非易失性存储器件的透视图和俯视图。

[0024] 图14是图13A和13B中所示的多个导电层中的两个导电层的透视图。

[0025] 图15A是图13A和13B中所示的3D非易失性存储器件的详细俯视图。

[0026] 图15B是沿图15A的线III-III'截取的剖视图。

[0027] 图15C是沿图15A的线IV-IV'截取的剖视图。

[0028] 图16A是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0029] 图16B是沿图16A的线V-V'截取的剖视图。

[0030] 图17是图16A中所示的多个导电层中的一个的透视图。

[0031] 图18A是图16A和16B中所示的3D非易失性存储器件的详细俯视图。

[0032] 图18B是沿图18A的线II-II'截取的剖视图。

[0033] 图19是根据本发明构思的一实施方式的3D非易失性存储器件的透视图。

[0034] 图20A是图19的台阶部分的多个台阶中的一个的透视图。

[0035] 图20B是图20A的台阶的变型的透视图。

[0036] 图21是图19中所示的3D非易失性存储器件的详细俯视图。

具体实施方式

[0037] 图1是根据本发明构思的一实施方式的三维(3D)非易失性存储器件100的框图。

[0038] 参照图1,根据一实施方式,3D非易失性存储器件100包括存储单元阵列110和外围电路130。

Micron Ex. 1002, p. 353
Micron v. YMTC
IPR2025-00035

[0039] 根据一实施方式，存储单元阵列110包括多个存储单元块BLK1至BLKn，并且存储单元块BLK1至BLKn的每个包括多个存储单元。存储单元块BLK1至BLKn通过位线BL、字线WL、至少一个串选择线SSL以及至少一个地选择线GSL连接到外围电路130。更详细地，存储单元块BLK1至BLKn通过字线WL、至少一个串选择线SSL和至少一个地选择线GSL连接到行解码器133。此外，存储单元块BLK1至BLKn还通过位线BL连接到页缓冲器135。

[0040] 根据一实施方式，外围电路130从外部设备接收地址ADDR、命令CMD和控制信号CTRL，并且与3D非易失性存储器件100外部的另一外部设备交换数据DATA。外围电路130包括控制逻辑137、行解码器133和页缓冲器135。另外，外围电路130还可以包括各种子电路，诸如输入/输出电路、产生用于操作3D非易失性存储器件100的电压的电压产生电路、以及用于校正从存储单元阵列110读取的数据DATA中的错误的纠错电路。

[0041] 根据一实施方式，控制逻辑137连接到行解码器133、电压发生器和输入/输出电路。控制逻辑137控制3D非易失性存储器件100的操作。控制逻辑137响应于控制信号CTRL产生在3D非易失性存储器件100中使用的各种内部控制信号。例如，当执行诸如编程操作或擦除操作的存储操作时，控制逻辑137调整提供到字线WL和位线BL的电压水平。

[0042] 根据一实施方式，行解码器133响应于地址ADDR选择多个存储单元块BLK1至BLKn中的至少一个，并选择所选存储单元块BLK1至BLKn的至少一个字线WL、至少一个串选择线SSL和至少一个地选择线GSL。行解码器133将用于执行存储操作的电压发送到所选存储单元块BLK1至BLKn的字线WL。

[0043] 根据一实施方式，页缓冲器135通过多个位线BL连接到存储单元阵列110。页缓冲器135能作为写驱动器或读出放大器电路操作。更详细地，在编程操作期间，页缓冲器135作为写驱动器操作以将电压施加到位线BL，用于将数据DATA存储在存储单元阵列110中。另一方面，在读操作中，页缓冲器135作为读出放大器操作以读出存储在存储单元阵列110中的数据DATA。

[0044] 图2是根据本发明构思的一实施方式的3D非易失性存储器件100中多个存储单元块中的一个存储单元块BLK的等效电路的电路图。

[0045] 参照图2，根据一实施方式，存储单元块BLK是垂直NAND闪速存储器，并且图1中所示的多个存储单元块BLK1至BLKn中的每个能如图2中所示地实现。存储单元块BLK包括多个NAND串NS11至NS33、多个字线WL1至WL7、多个位线BL1至BL3、至少一个地选择线GSL、多个串选择线SSL1至SSL3、以及公共源极线CSL。NAND串NS11至NS33的数量、字线WL1至WL7的数量、位线BL1至BL3的数量、地选择线GSL的数量、以及串选择线SSL1至SSL3的数量不限于图中所示的数量，并且可以根据其它实施方式改变。

[0046] 根据一实施方式，共同连接到一个位线的NAND串形成一列。例如，共同连接到第一位线BL1的NAND串NS11、NS21和NS31对应于第一列，共同连接到第二位线BL2的NAND串NS12、NS22和NS32对应于第二列，并且共同连接到第三位线BL3的NAND串NS13、NS23和NS33对应于第三列。

[0047] 根据一实施方式，连接到一个串选择线的NAND串形成一行。例如，连接到第一串选择线SSL1的NAND串NS11、NS12和NS13对应于第一行，连接到第二串选择线SSL2的NAND串NS21、NS22和NS23对应于第二行，并且连接到第三串选择线SSL3的NAND串NS31、NS32和NS33对应于第三行。

Micron Ex. 1002, p. 354
Micron v. YMTC
IPR2025-00035

[0048] 根据一实施方式，NAND串NS11至NS33中的每个包括串联连接的串选择晶体管SST、多个存储单元MC1至MC7和地选择晶体管GST。另外，在一些实施方式中，在串选择晶体管SST与最顶部的存储单元(例如第七存储单元MC7)之间或者在地选择晶体管GST与最底部的存储单元(例如第一存储单元MC1)之间包括至少一个虚设单元。

[0049] 根据一实施方式，串选择晶体管SST连接到对应的串选择线SSL1至SSL3以及对应的位线BL1至BL3。多个存储单元MC1至MC7分别连接到对应的字线WL1至WL7。地选择晶体管GST连接到对应的地选择线GSL和公共源极线CSL。

[0050] 在图2中，根据一实施方式，串选择线SSL1至SSL3彼此分离，地选择线GSL彼此连接，并且相同水平处的字线WL1至WL7彼此连接。然而，本发明构思的实施方式不限于此。例如，在其它实施方式中，地选择线GSL像串选择线SSL1至SSL3那样彼此分离。

[0051] 图3A是根据本发明构思的一实施方式的3D非易失性存储器件100的透视图。图3B是沿图3A的线I-I'截取的连接部分的剖视图。为了便于说明，在图3B中仅示出了连接部分。

[0052] 参照图3A，根据一实施方式，根据本发明构思的一实施方式的3D非易失性存储器件100包括下部区域LR和上部区域UR。图1中所示的外围电路130位于下部区域LR中，图1中所示的存储单元阵列110位于上部区域UR中。也就是，根据本发明构思的一实施方式的3D非易失性存储器件100是外围电路上单元或外围电路之上单元(COP)类型。由于图1中所示的外围电路130在存储单元阵列110下方，所以3D非易失性存储器件100占据的平面面积减小，并且3D非易失性存储器件100的集成度增加。

[0053] 根据一实施方式，上部区域UR中的存储单元阵列110包括堆叠结构SS。堆叠结构SS包括多个层间绝缘层160和多个导电层150。例如，堆叠结构SS包括第一绝缘层161至第九绝缘层169以及第一导电层151至第九导电层159。多个层间绝缘层160和多个导电层150中的每个在一个方向(诸如Z方向)上交替地堆叠。例如，第一导电层151、第一层间绝缘层161、第二导电层152、第二层间绝缘层162、第三导电层153、第三层间绝缘层163等从底部开始顺序地堆叠。也就是，多个导电层150通过多个层间绝缘层160彼此分离。多个层间绝缘层160中的每个包括绝缘体，诸如硅氧化物或低电介质(低k)材料。多个导电层150中的每个包括诸如钨(W)、铝(Al)、铜(Cu)或金(Au)的金属、掺杂的硅、金属氮化物和金属硅化物中的至少一种。

[0054] 根据一实施方式，Z方向是多个导电层150和多个层间绝缘层160堆叠并且指向远离下部区域LR的方向。这里，两个物体或两个部件位于相同水平处的事实意思是相对于每个物体的中心或每个部件的中心的任意原点的Z方向坐标彼此相等。此外，一物体或部件在比另一物体或部件更高的水平处的事实意思是相对于该物体或部件的任意原点的Z方向坐标大于另一物体或部件的Z方向坐标。另外，一物体或部件在比另一物体或部件更低的水平处的事实意思是相对于该物体或部件的任意原点的Z方向坐标小于另一物体或部件的Z方向坐标。

[0055] 根据一实施方式，堆叠结构SS的顶部通过多个串选择线切口SLC被分成彼此分离的多个部分。因此，堆叠结构SS中的多个导电层150中最顶部的导电层(例如第九导电层159)包括通过串选择线切口SLC彼此分离的多个部分。

[0056] 根据一实施方式，堆叠结构SS包括第一单元区域Ce111、第二单元区域Ce112和连接区域CR。第一单元区域Ce111和第二单元区域Ce112彼此间隔开。连接区域CR定位在第一

Micron Ex. 1002, p. 355
Micron v. YMTC
IPR2025-00035

单元区域Cell1与第二单元区域Cell2之间。连接区域CR包括第一台阶部分SP1、第二台阶部分SP2和连接部分CP。第一台阶部分SP1具有与第一单元区域Cell1接触的阶梯形状，该阶梯形状在接近第二单元区域Cell2的方向(例如Y方向)上下降。第二台阶部分SP2具有与第二单元区域Cell2接触的阶梯形状，该阶梯形状在接近第一单元区域Cell1的方向(例如负Y方向)上下降。第一台阶部分SP1和第二台阶部分SP2中的每个包括多个台阶ST。第一台阶部分SP1的台阶ST中的至少一个在与第二台阶部分SP2的台阶ST中的一个相同的水平处。例如，如图3A所示，第一台阶部分SP1的台阶ST分别在与第二台阶部分SP2的对应台阶ST相同的水平处。然而，本发明构思的实施方式不限于此。连接部分CP连接第一单元区域Cell1和第二单元区域Cell2。连接部分CP还接触第一台阶部分SP1和第二台阶部分SP2。连接部分CP的一个侧壁与第一单元区域Cell1的一个侧壁和第二单元区域Cell2的一个侧壁例如沿YZ平面对准。

[0057] 参照图3A和3B，根据一实施方式，堆叠结构SS的连接部分CP包括第一连接部分CP1和第二连接部分CP2。第一连接部分CP1和第二连接部分CP2在诸如X方向的间隔方向上彼此间隔开。第一连接部分CP1在诸如X方向的间隔方向上的宽度W1和第二连接部分CP2在诸如X方向的间隔方向上的宽度W2是恒定的，而与Z方向上的高度无关。另外，第一连接部分CP1与第二连接部分CP2之间在X方向上的距离D12是恒定的，而与垂直位置(诸如Z方向上的高度)无关。

[0058] 图4是图3A和3B中所示的多个导电层150中的一个的透视图。

[0059] 参照图4和3A，根据一实施方式，导电层150在第一单元区域Cell1、第一台阶部分SP1、连接部分CP、第二台阶部分SP2和第二单元区域Cell2之上延伸。导电层150包括在第一单元区域Cell1中的第一部分150a、在第二单元区域Cell2中的第二部分150b、以及在连接区域CR中的第三部分150c。第三部分150c在连接部分CP、第一台阶部分SP1和第二台阶部分SP2之上延伸。第三部分150c连接第一部分150a和第二部分150b。

[0060] 图5A是图3A和3B中所示的3D非易失性存储器件100的详细俯视图。图5B是沿图5A的线II-II'截取的剖视图。图6是图5A和5B的垂直沟道结构的剖视图。图7是图6中的区域A的各种变型的放大图。

[0061] 根据一实施方式，首先参照图5B，下部区域LR可以包括下基板190、图1中所示的外围电路130、以及下导电线120。下基板190包括诸如单晶硅或单晶锗的半导体，并且是体晶片或外延层。外围电路130的详细描述如以上参照图1所述。图5B说明性地示出了图1中所示的外围电路130的行解码器133的晶体管中的一个。下导电线120中的每个包括诸如硅的半导体。每个下导电线120的材料具有比诸如W、Al或Cu的金属更高的电阻率。下导电线120包括在多个水平处的导线。例如，如图5B所示，下导电线120包括第一下导电线121和第二下导电线122。然而，下导电线120的层数不限于此，并且在其它实施方式中可以变化。

[0062] 根据一实施方式，上部区域UR包括上基板180、缓冲绝缘层140、图3A中所示的堆叠结构SS、以及垂直沟道结构VS。上基板180包括诸如多晶硅的半导体。上基板180可以包括n型或p型掺杂阱区域182。缓冲绝缘层140设置在堆叠结构SS与上基板180之间。缓冲绝缘层140包括诸如硅氧化物的绝缘体。虽然图5B示出了在一个堆叠结构SS下方彼此分离的两个上基板180，但是在一些实施方式中，一个集成的上基板180设置在一个堆叠结构SS下方。垂直沟道结构VS设置在堆叠结构SS的第一单元区域Cell1和第二单元区域Cell2中。

Micron Ex. 1002, p. 356
Micron v. YMTC
IPR2025-00035

[0063] 参照图6，根据一实施方式，垂直沟道结构VS在垂直于上基板180的方向(诸如Z方向)上延伸。垂直沟道结构VS穿透多个导电层150和多个层间绝缘层160的堆叠结构SS。垂直沟道结构VS还穿透缓冲绝缘层140并接触上基板180的阱区域182。

[0064] 根据一实施方式，垂直沟道结构VS包括沟道图案171、间隙填充绝缘图案172和焊盘图案174。沟道图案171在垂直于上基板180的方向(诸如Z方向)上延伸。沟道图案171具有拥有闭合底部的中空圆筒形状。沟道图案171包括诸如硅、锗或硅锗的半导体。沟道图案171的内壁表面，即由沟道图案171围绕的中空部H由间隙填充绝缘图案172填充。间隙填充绝缘图案172包括诸如硅氧化物的绝缘体。在其它实施方式中，与图6不同，沟道图案171具有圆柱或圆形柱形状。在这种情况下，由于沟道图案171不形成中空部H，所以垂直沟道结构VS不包括间隙填充绝缘图案172。焊盘图案174覆盖间隙填充绝缘图案172的上端和沟道图案171的上端。焊盘图案174包括诸如硅、锗或硅锗的半导体。焊盘图案174连接到位线接触BLC，用于将垂直沟道结构VS连接到位线BL。

[0065] 根据一实施方式，信息存储层173设置在垂直沟道结构VS的沟道图案171与堆叠结构SS的相应导电层150之间。信息存储层173不仅在导电层150与沟道图案171之间延伸，而且在导电层150与层间绝缘层160之间延伸。参照图7的部分(a)，其更详细地示出了信息存储层173，信息存储层173包括阻挡绝缘层173c、电荷存储层173b和隧道绝缘层173a。阻挡绝缘层173c与导电层150相邻，隧道绝缘层173a与沟道图案171相邻，并且电荷存储层173b设置在阻挡绝缘层173c与隧道绝缘层173a之间。阻挡绝缘层173c包括高电介质材料，诸如铝氧化物或铪氧化物。电荷存储层173b是陷阱型。例如，电荷存储层173b包括量子点或纳米晶体。这里，量子点或纳米晶体包括导体的细颗粒。电荷存储层173b包括例如硅氮化物。隧道绝缘层173a包括例如硅氧化物。

[0066] 根据一实施方式，如图7的部分(b)至(d)所示，信息存储层173的布置和形状可以变化。根据一些实施方式，如图7的部分(b)所示，隧道绝缘层173a在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。根据一些实施方式，如图7的部分(c)所示，隧道绝缘层173a和电荷存储层173b在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。根据一些实施方式，如图7的部分(d)所示，信息存储层173的所有层，也就是，隧道绝缘层173a、电荷存储层173b和阻挡绝缘层173c，在与沟道图案171相同的方向(诸如Z方向)上延伸，并且不在导电层150与层间绝缘层160之间延伸。

[0067] 参照图6和2，根据一实施方式，一个垂直沟道结构VS、多个导电层150和多个信息存储层173形成多个NAND串NS11至NS33中的一个。也就是，多个导电层150中的一个、一个垂直沟道结构VS、以及信息存储层173中的一个形成一个晶体管。例如，第一导电层151可以对应于地选择晶体管GST的栅电极。第二导电层152至第八导电层158可以分别对应于第一存储单元MC1至第七存储单元MC7的栅电极。第九导电层159可以对应于串选择晶体管SST的栅电极。多个NAND串NS11至NS33中的每个的漏极区域可以形成在垂直沟道结构VS的焊盘图案174中，并且用于多个NAND串NS11至NS33的公共源极区域可以形成在上基板180中。图6示出了堆叠结构SS包括第一导电层151至第九导电层159。然而，实施方式不限于此，并且堆叠结构SS的导电层150的数量可以取决于多个NAND串NS11至NS33中的每个中包括的地选择晶体管GST的数量、存储单元MC1至MC7的数量、串选择晶体管SST的数量、以及虚设单元的数量而

Micron Ex. 1002, p. 357
Micron v. YMTC
IPR2025-00035

变化。

[0068] 根据一实施方式，图5A和5B示出了堆叠结构SS与上导电线之间的连接。术语“上导电线”统一指的是位于比堆叠结构SS更高的水平处的导电线。因此，上导电线包括位线BL、串选择线SSL、地选择线GSL和字线WL1至WL7。位线BL、串选择线SSL、地选择线GSL、字线WL1至WL7、位线接触BLC、串选择线接触SSLC、地选择线接触GSLC和字线接触WLC1至WLC7中的每个包括诸如W、A1或Cu的金属。当上导电线包括金属时，上导电线的电阻小于包括诸如硅的半导体的下导电线120的电阻。上导电线位于一个水平处，图5B示出了位线BL和第四字线WL4位于完全相同的水平处。然而，在其它实施方式中，与图5B不同，上导电线包括在不同水平处的导电线。

[0069] 根据一实施方式，每个位线BL在一个方向(诸如X方向)上延伸。位线BL通过位线接触BLC分别连接到第一单元区域Cell1和第二单元区域Cell2的垂直沟道结构VS。

[0070] 根据一实施方式，串选择线SSL通过串选择线接触SSLC连接到堆叠结构SS的多个导电层151至159中的最上层，诸如第九导电层159。

[0071] 根据一实施方式，地选择线GSL通过地选择线GSLC连接到堆叠结构SS的多个导电层151至159中的最下层，诸如第一导电层151。地选择线接触GSLC是第一台阶部分SP1的最低台阶ST1或第二台阶部分SP2的最低台阶ST1。例如，在图5A中，地选择线接触GSLC在第一台阶部分SP1的最低台阶ST1处。

[0072] 根据一实施方式，字线WL1至WL7通过字线接触WLC1至WLC7连接到剩余层，诸如第二导电层152至第八导电层158。例如，第四字线WL4连接到第五导电层155。字线接触WLC1至WLC7是第一台阶部分SP1和第二台阶部分SP2。例如，连接到第一字线WL1的字线接触WLC1是第一台阶部分SP1的第二低台阶ST2或第二台阶部分SP2的第二低台阶ST2。连接到第二字线WL2的字线接触WLC2是第一台阶部分SP1的第三低水平台阶ST3或第二台阶部分SP2的第三低水平台阶ST3。图5A示出了字线接触WLC1至WLC7交替地布置在第二台阶部分SP2和第一台阶部分SP1中。也就是，连接到第一字线WL1的字线接触WLC1、连接到第三字线WL3的字线接触WLC3、连接到第五字线WL5的字线接触WLC5、以及连接到第七字线WL7的字线接触WLC7位于第二台阶部分SP2中，并且连接到第二字线WL2的字线接触WLC2、连接到第四字线WL4的字线接触WLC4、以及连接到第六字线WL6的字线接触WLC6位于第一台阶部分SP1中。然而，本发明构思的实施方式不限于此，并且字线接触WLC1至WLC7的布置在其它实施方式中可以改变。

[0073] 根据一实施方式，位线BL、字线WL1至WL7、串选择线SSL和地选择线GSL通过下导电线120连接到下部区域LR的外围电路130。更详细地，位线BL连接到图1中所示的外围电路130的页缓冲器135，并且串选择线SSL和地选择线GSL连接到外围电路130的行解码器133。图5B说明性地示出了第四字线WL4连接到外围电路130的行解码器133的晶体管。

[0074] 依照根据本发明构思的一实施方式的3D非易失性存储器件100，堆叠结构SS中的导电层150通过连接区域CR从第一单元区域Cell1延伸到第二单元区域Cell2。结果，相同的电压能被施加到导电层150的第一单元区域Cell1中的图4所示的第一部分150a和导电层150的第二单元区域Cell2中的图4所示的第二部分150b而不额外地使用下导电线120。当下导电线120包括具有比金属更高的电阻率的硅，并且被包括在3D非易失性存储器件100中时，3D非易失性存储器件100的RC延迟可能增加。然而，依照根据本发明构思的一实施方式

Micron Ex. 1002, p. 358
Micron v. YMTC
IPR2025-00035

的3D非易失性存储器件100，能抑制RC延迟的增加，因为没有连接导电层150的第一部分150a和第二部分150b的额外的下导电线120。另外，可以减小将电压传输到导电层150的布线所占据的空间。

[0075] 图8是根据本发明构思的一实施方式的3D非易失性存储器件200的透视图。图9是图8中所示的第一台阶部分SP1和第二台阶部分SP2的透视图。在下文中，将通过关注与图3A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件200。

[0076] 参照图8和9，根据一实施方式，根据本实施方式的3D非易失性存储器件200的第一台阶部分SP1和第二台阶部分SP2中的至少一个具有子台阶SST1和SST2。图8和9示出了第一台阶部分SP1和第二台阶部分SP2的每个台阶ST具有两个子台阶SST1和SST2。然而，并非所有台阶ST都需要具有子台阶SST1和SST2，并且形成一个台阶ST的子台阶的数量不限于两个。第一子台阶SST1的一个方向上的宽度和第二子台阶SST2的相同方向上的宽度彼此不同。例如，第一子台阶SST1的X方向上的宽度WX1大于第二子台阶SST2的X方向上的宽度WX2。第一子台阶SST1的另一方向上的宽度和第二子台阶SST2的相同方向上的宽度彼此相等。例如，第一子台阶SST1的Y方向上的宽度和第二子台阶SST2的Y方向上的宽度等于WY。将导电层150连接到图5A中所示的字线WL1至WL7的图5A中所示的字线接触WLC1至WLC7位于子台阶SST1和SST2中。由于台阶ST的子台阶结构，确保了用于字线接触WLC1至WLC7的足够空间。另外，减小了连接区域CR的平面面积，并且减小了3D非易失性存储器件200的整体尺寸。

[0077] 图10A和10B分别是根据本发明构思的一实施方式的3D非易失性存储器件300的透视图和俯视图。图10C是沿线I-I'截取的图10A的连接部分的剖视图。图11A是图10A的台阶部分的台阶中的一个的透视图。图11B是图11A的台阶的变型的透视图。在下文中，将通过关注与图3A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件300。

[0078] 参照图10A至10C，根据一实施方式，堆叠结构SS的连接区域CR的连接部分CP包括第三台阶部分SP3和第四台阶部分SP4。第三台阶部分SP3连接第一台阶部分SP1和第二台阶部分SP2。第四台阶部分SP4也连接第一台阶部分SP1和第二台阶部分SP2。第三台阶部分SP3和第四台阶部分SP4中的每个具有在朝向彼此的方向上下降的阶梯形状。例如，第三台阶部分SP3具有在X方向上下降的阶梯形状，第四台阶部分SP4具有在负X方向上下降的阶梯形状。第三台阶部分SP3和第四台阶部分SP4在X方向上彼此间隔开。如图10C所示，随着第三台阶部分SP3和第四台阶部分SP4的高度接近下部区域LR，第三台阶部分SP3的X方向上的宽度W3和第四台阶部分SP4的X方向上的宽度W4增加。随着第三台阶部分SP3和第四台阶部分SP4的高度接近下部区域LR，第三台阶部分SP3和第四台阶部分SP4之间在X方向上的距离D减小。

[0079] 换言之，根据一实施方式，堆叠结构SS的连接区域CR包括台阶部分SP，该台阶部分SP包括第一台阶部分SP1、第二台阶部分SP2、第三台阶部分SP3和第四台阶部分SP4。台阶部分SP具有从连接区域CR的外围朝向连接区域CR的中心下降的阶梯形状。

[0080] 如图11A所示，根据一实施方式，图10A的台阶部分SP的每个台阶ST可以具有环矩形形状。根据一些实施方式，如图11B所示，图10A的台阶部分SP的每个台阶ST包括子台阶SST1至SST4。子台阶的数量不限于四个并且可以改变。

[0081] 图12A和12B是图10A至10C中所示的3D非易失性存储器件300的详细俯视图。在下文中，将通过关注在字线接触的布置方面与图5A的实施方式的不同来描述实施方式。

Micron Ex. 1002, p. 359
Micron v. YMTC
IPR2025-00035

[0082] 参照图12A，根据本实施方式，字线接触WLC1至WLC7位于第三台阶部分SP3和第四台阶部分SP4以及第一台阶部分SP1和第二台阶部分SP2中。例如，连接到第二字线WL2的字线接触WLC2和连接到第六字线WL6的字线接触WLC6位于第一台阶部分SP1中，连接到第四字线WL4的字线接触WLC4和连接到第七字线WL7的字线接触WLC7位于第二台阶部分SP2中，连接到第一字线WL1的字线接触WLC1和连接到第五字线WL5的字线接触WLC5位于第三台阶部分SP3中，并且连接到第三字线WL3的字线接触WLC3位于第四台阶部分SP4中。依照根据本实施方式的3D非易失性存储器件300a，确保了用于字线接触WLC1至WLC7的足够空间，因为字线接触WLC1至WLC7中的至少一些设置在第三台阶部分SP3和第四台阶部分SP4中。

[0083] 根据图12B的实施方式，字线接触WLC1至WLC7位于第一台阶部分SP1和第二台阶部分SP2中，但不位于第三台阶部分SP3和第四台阶部分SP4中。

[0084] 图13A和13B分别是根据本发明构思的一实施方式的3D非易失性存储器件400的透视图和俯视图。在下文中，将通过关注与图10A至10C的实施方式的不同来描述本实施方式。

[0085] 参照图13A和13B，根据一实施方式，连接部分CP连接第一台阶部分SP1的下部SP1_L和第二台阶部分SP2的下部SP2_L，但不连接第一台阶部分SP1的上部SP1_U和第二台阶部分SP2的上部SP2_U。

[0086] 图14是图13A和13B中所示的多个导电层中的两个导电层的透视图。

[0087] 参照图14，根据一实施方式，图13A中所示堆叠结构SS的上部的多个导电层150中的一层(诸如第五导电层155)在第一单元区域Cell1、第一台阶部分SP1的一部分、第二台阶部分SP2的一部分和第二单元区域Cell2之上延伸。另外，第五导电层155包括第一部分155a和第二部分155b。第五导电层155的第一部分155a在第一单元区域Cell1和第一台阶部分SP1的所述部分之上延伸。第五导电层155的第二部分155b在第二单元区域Cell2和第二台阶部分SP2的所述部分之上延伸。另外，图13A和13B中所示堆叠结构SS的下部的多个导电层150中的一层(诸如第四导电层154)在第一单元区域Cell1、第一台阶部分SP1、连接部分CP、第二台阶部分SP2和第二单元区域Cell2之上延伸。另外，第四导电层154包括在第一单元区域Cell1中的第一部分154a、在第二单元区域Cell2中的第二部分154b、以及在连接区域CR中的第三部分154c。第三部分154c在第一台阶部分SP1、连接部分CP和第二台阶部分SP2之上延伸。第三部分154c连接第一部分154a和第二部分154b。

[0088] 图15A是图13A和13B中所示的3D非易失性存储器件400的详细俯视图。图15B是沿图15A的线III-III'截取的剖视图。图15C是沿图15A的线IV-IV'截取的剖视图。

[0089] 参照图15A和15B，根据一实施方式，字线接触WLC3可以设置在第一台阶部分SP1或第二台阶部分SP2中，该字线接触WLC3将堆叠结构SS的下部的多个导电层150中的一层(诸如第四导电层154)连接到字线(诸如第三字线WL3)。如图14所示，由于第三部分154c连接第一部分154a和第二部分154b，所以如果一个字线接触WLC3连接到第一部分154a或第二部分154b就足够了。

[0090] 另外，参照图15A和15C，根据一实施方式，为了将堆叠结构SS的上部的多个导电层150中的一层(诸如第五导电层155)连接到字线(诸如第四字线WL4)，第一台阶部分SP1和第二台阶部分SP2分别需要两个字线接触WLC4a和WLC4b。第五导电层155包括如图14所示的彼此分离的第一部分155a和第二部分155b，并且两个字线接触WLC4a和WLC4b分别连接到第一部分155a和第二部分155b。两个字线接触WLC4a和WLC4b连接到上布线，诸如第四字线WL4。

Micron Ex. 1002, p. 360
Micron v. YMTC
IPR2025-00035

也就是，第一部分155a和第二部分155b通过位于比堆叠结构SS更高的水平处的上导电线彼此连接。

[0091] 图16A是根据本发明构思的一实施方式的3D非易失性存储器件600的透视图。图16B是沿图16A的线V-V'截取的剖视图。在下文中，将通过关注与图3A和3B的实施方式的不同来描述根据本实施方式的3D非易失性存储器件600。

[0092] 参照图16A和16B，根据一实施方式，根据本实施方式的3D非易失性存储器件600的堆叠结构SS的连接区域CR包括第一台阶部分SP1和连接部分CP，但是没有第二台阶部分SP2。也就是，第二单元区域Cell2的面对第一单元区域Cell1的侧壁是平坦的。

[0093] 图17是图16A中所示的多个导电层中的一个的透视图。

[0094] 参照图17，根据一实施方式，导电层150在第一单元区域Cell1、第一台阶部分SP1、连接部分CP和第二单元区域Cell2之上延伸。导电层150包括在第一单元区域Cell1中的第一部分150a、在第二单元区域Cell2中的第二部分150b、以及在连接区域CR中的第三部分150c。第三部分150c在连接部分CP和第一台阶部分SP1之上延伸。第三部分150c连接第一部分150a和第二部分150b。

[0095] 图18A是图16A和16B中所示的3D非易失性存储器件600的详细俯视图。图18B是沿图18A的线II-II'截取的剖视图。在下文中，将通过关注与图5A和5B的实施方式的不同来描述本实施方式。

[0096] 参照图18A和18B，根据一实施方式，一个集成的上基板180设置在一个堆叠结构SS下方。字线接触WLC1至WLC7连接到堆叠结构SS的连接区域CR的第一台阶部分SP1。例如，图18B示出了将第五导电层155连接到第四字线WL4的字线接触WLC4位于第一台阶部分SP1处。连接到所有字线(诸如第一字线WL1至第七字线WL7)的所有字线接触WLC1至WLC7都设置在第一台阶部分SP1中。因为第二台阶部分SP2被省略，所以减小了连接区域CR的Y方向长度。因此，可以减小根据本发明构思的一实施方式的3D非易失性存储器件700的尺寸。

[0097] 根据一些实施方式，第一台阶部分SP1的台阶ST中的至少一个包括如图9所示的子台阶SST1和SST2。

[0098] 图19是根据本发明构思的一实施方式的3D非易失性存储器件800的透视图。图20A是图19的台阶部分的多个台阶中的一个的透视图。图20B是图20A的台阶的变型的透视图。在下文中，将通过关注与图16A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件800。

[0099] 依照根据本实施方式的3D非易失性存储器件800，堆叠结构SS的连接部分CP包括第三台阶部分SP3和第四台阶部分SP4。第三台阶部分SP3连接第一台阶部分SP1和第二单元区域Cell2。第四台阶部分SP4也连接第一台阶部分SP1和第二单元区域Cell2。第三台阶部分SP3和第四台阶部分SP4中的每个具有在朝向彼此的方向上下降的阶梯形状。沿线I-I'切割的连接部分CP的剖面与图10C的剖面相同。第二单元区域Cell2的面对第一台阶部分SP1的整个侧壁是平坦的。如图10C所示，第三台阶部分SP3和第四台阶部分SP4在X方向上彼此间隔开。第三台阶部分SP3的X方向上的宽度W3和第四台阶部分SP4的X方向上的宽度W4朝向下部区域LR增加。第三台阶部分SP3与第四台阶部分SP4之间在X方向上的距离D朝向下部区域LR减小。

[0100] 换言之，根据一实施方式，堆叠结构SS的连接区域CR包括台阶部分SP，并且台阶部

Micron Ex. 1002, p. 361
Micron v. YMTC
IPR2025-00035

分SP包括第一台阶部分SP1、第三台阶部分SP3和第四台阶部分SP4。参照图20A，台阶部分SP的每个台阶ST具有直角U形或缺少四个边中的一个的环矩形形状。参照图20B，根据一些实施方式，台阶部分SP的每个台阶ST包括子台阶SST1至SST3。

[0101] 根据一些实施方式，类似于图13A和13B的实施方式，第三台阶部分SP3和第四台阶部分SP4连接第一台阶部分SP1的下部和第二单元区域Cell2的下部，但不连接第一台阶部分SP1的上部和第二单元区域Cell2的上部。

[0102] 图21是图19中所示的3D非易失性存储器件800的详细俯视图。在下文中，将通过关注与图18A的实施方式的不同来描述根据本实施方式的3D非易失性存储器件800。

[0103] 参照图21，根据本实施方式，字线接触WLC1至WLC7中的至少一些连接到堆叠结构SS的连接区域CR的第三台阶部分SP3和第四台阶部分SP4以及第一台阶部分SP1。例如，连接到第一字线WL1的字线接触WLC1、连接到第四字线WL4的字线接触WLC4、以及连接到第七字线WL7的字线接触WLC7位于第一台阶部分SP1中，连接到第二字线WL2的字线接触WLC2和连接到第五字线WL5的字线接触WLC5位于第三台阶部分SP3中，并且连接到第三字线WL3的字线接触WLC3和连接到第六字线WL6的字线接触WLC6位于第四台阶部分SP4中。因为字线接触WLC1至WLC7中的至少一些设置在第三台阶部分SP3和第四台阶部分SP4中，所以确保了用于字线接触WLC1至WLC7的足够空间。

[0104] 根据另一实施方式，字线接触WLC1至WLC7设置在第一台阶部分SP1中，但不设置在第三台阶部分SP3和第四台阶部分SP4中。

[0105] 尽管已经参照本发明构思的示例性实施方式具体示出和描述了本发明构思的实施方式，但是将理解，可以在此进行在形式和细节上的各种改变而不背离所附权利要求的精神和范围。

[0106] 本申请要求享有2017年11月7日在韩国知识产权局提交的韩国专利申请第10-2017-0147611号的优先权及权益，其内容通过引用全文在此合并。

Micron Ex. 1002, p. 362
Micron v. YMTC
IPR2025-00035

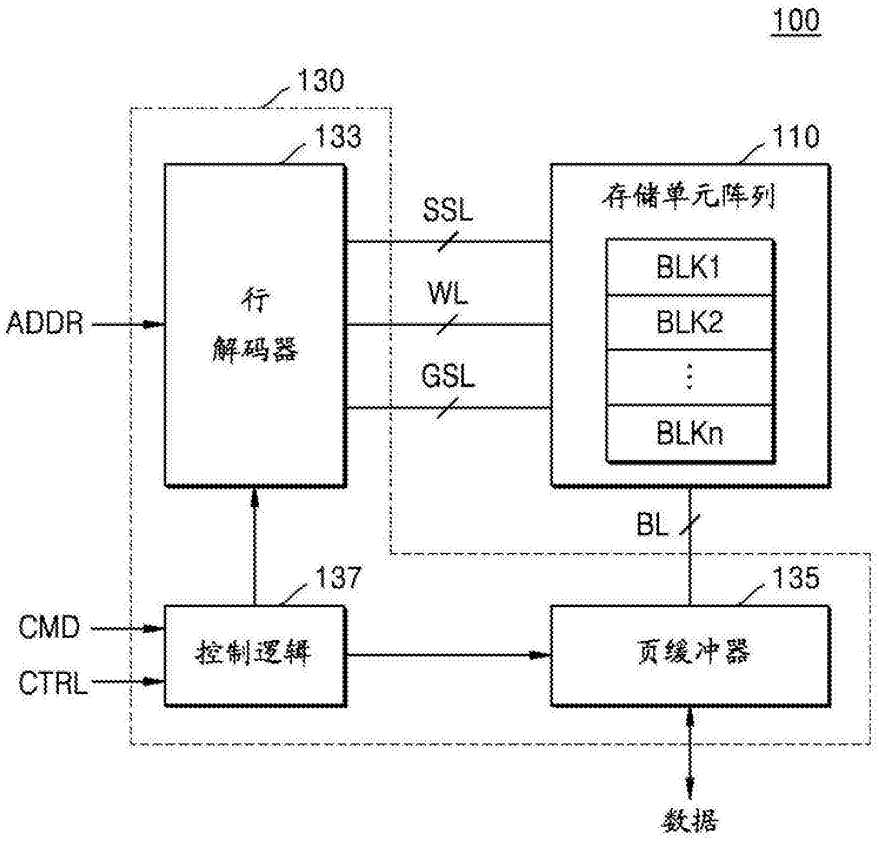


图1

Micron Ex. 1002, p. 363
Micron v. YMTC
IPR2025-00035

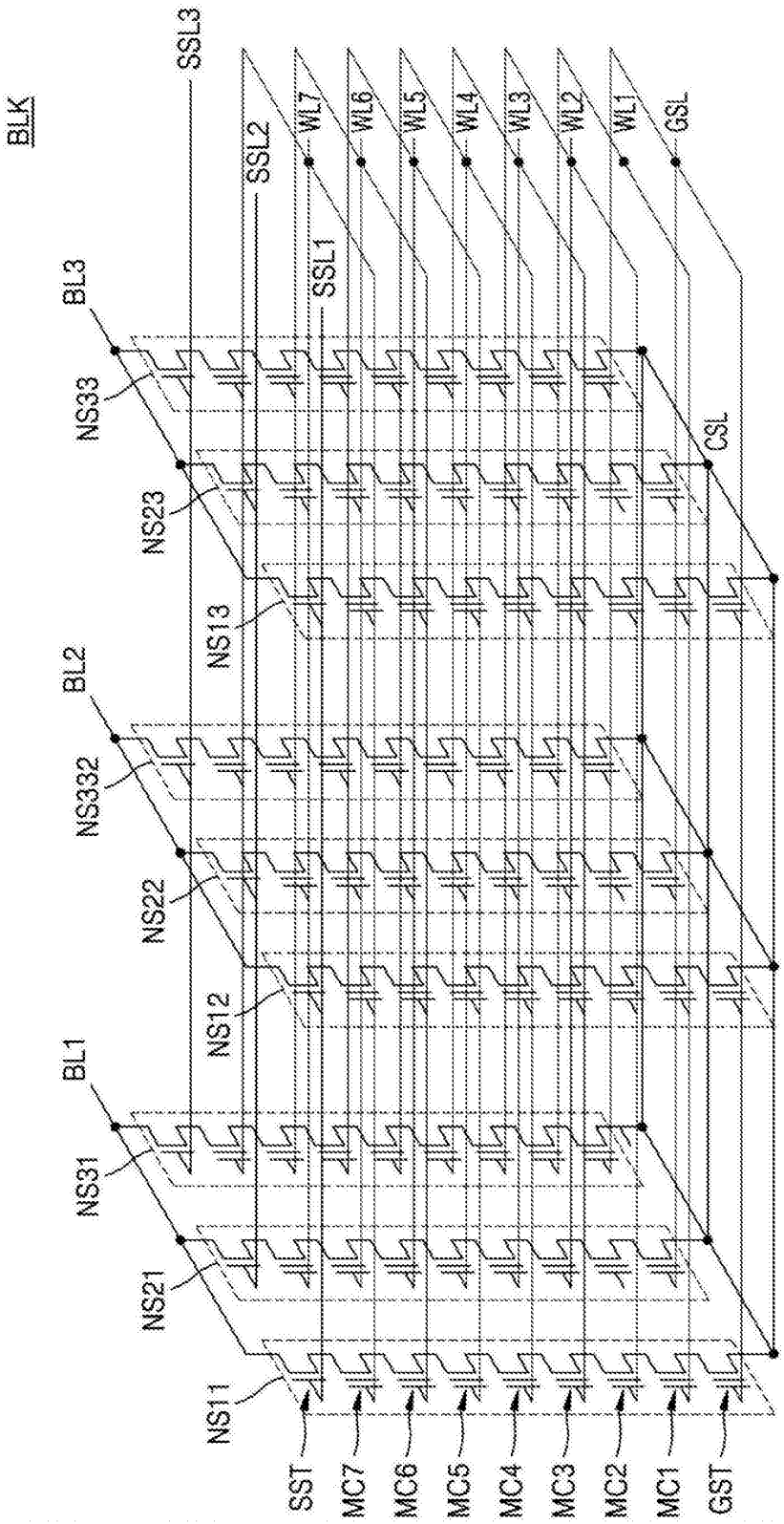


图2

Micron Ex. 1002, p. 364
Micron v. YMTC
IPR2025-00035

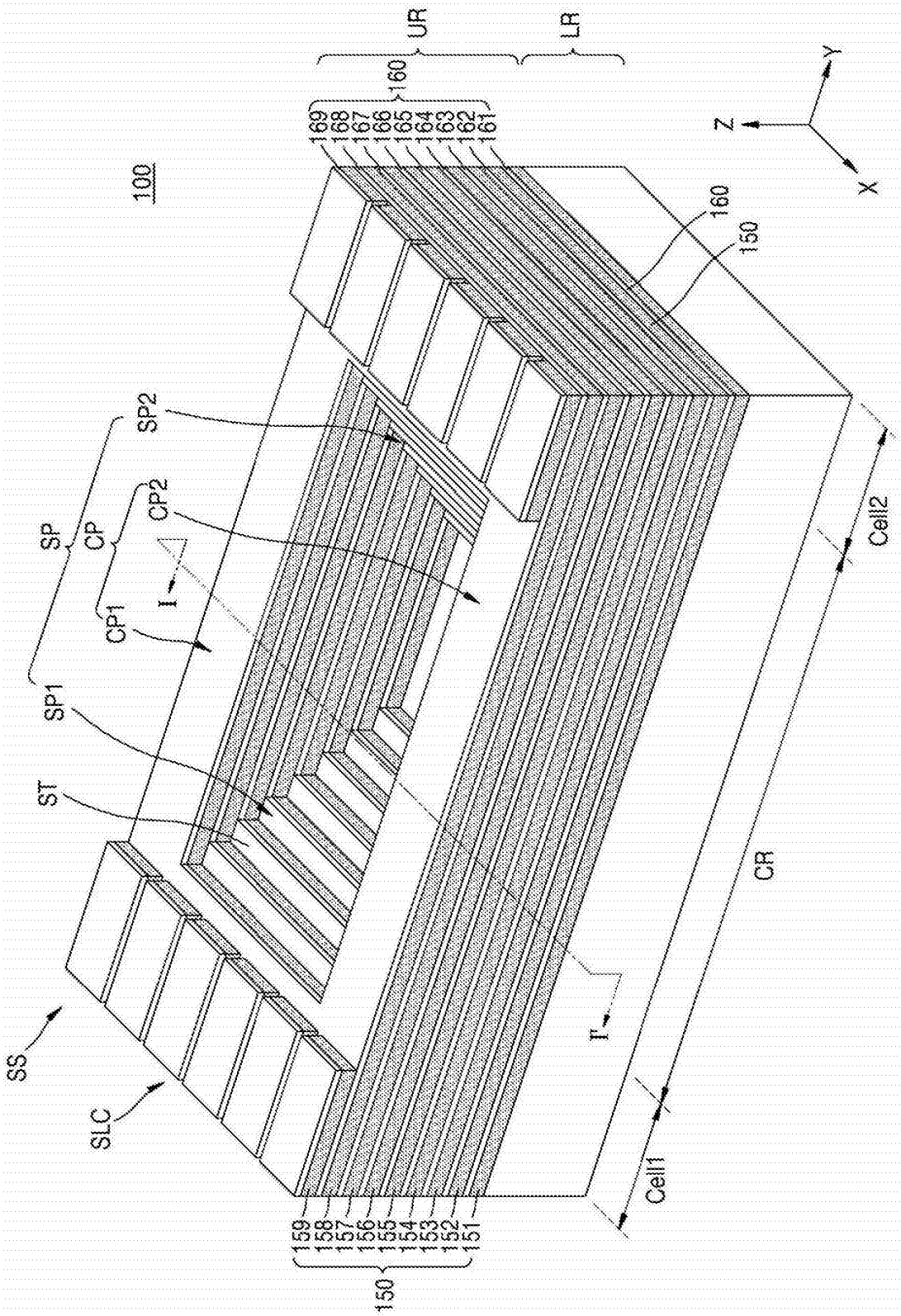


图3A

Micron Ex. 1002, p. 365
Micron v. YMTC
IPR2025-00035

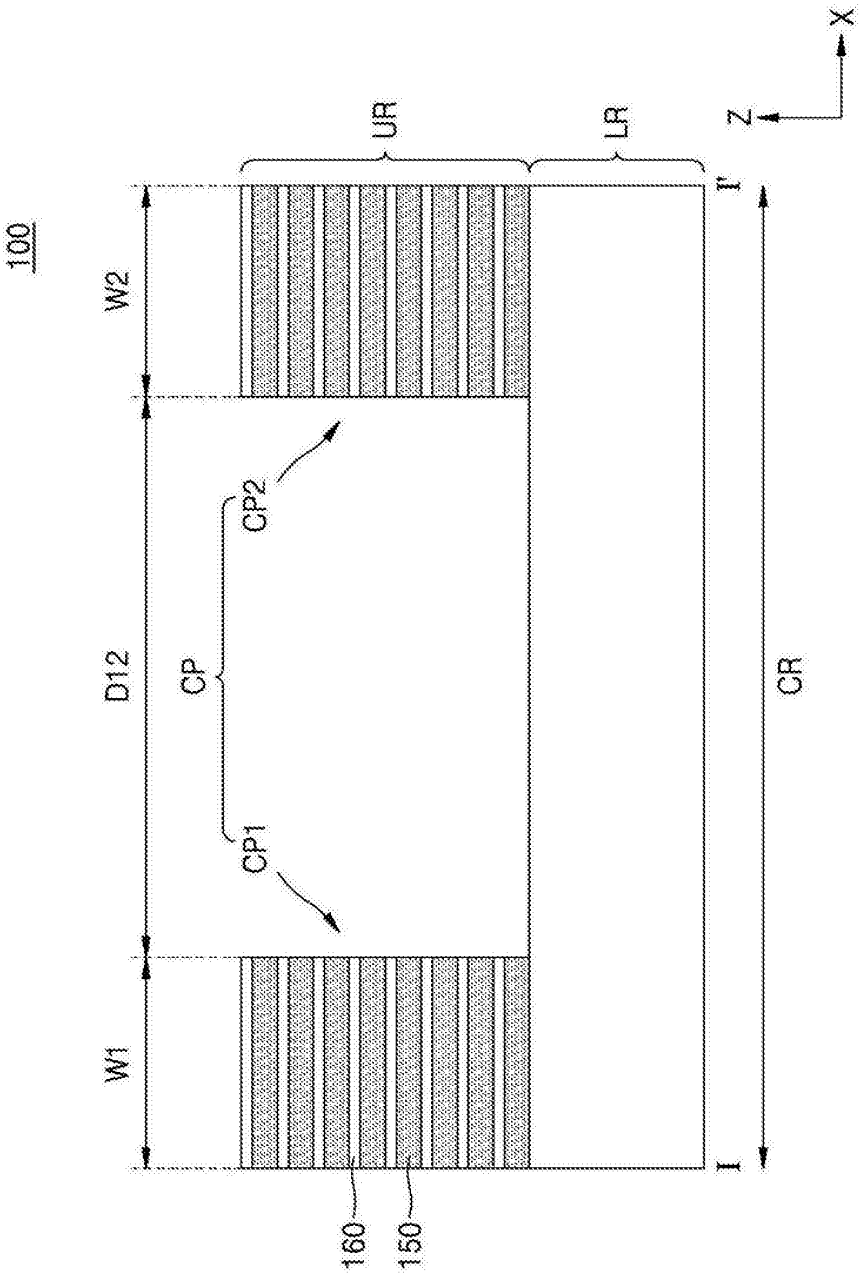


图3B

Micron Ex. 1002, p. 366
Micron v. YMTC
IPR2025-00035

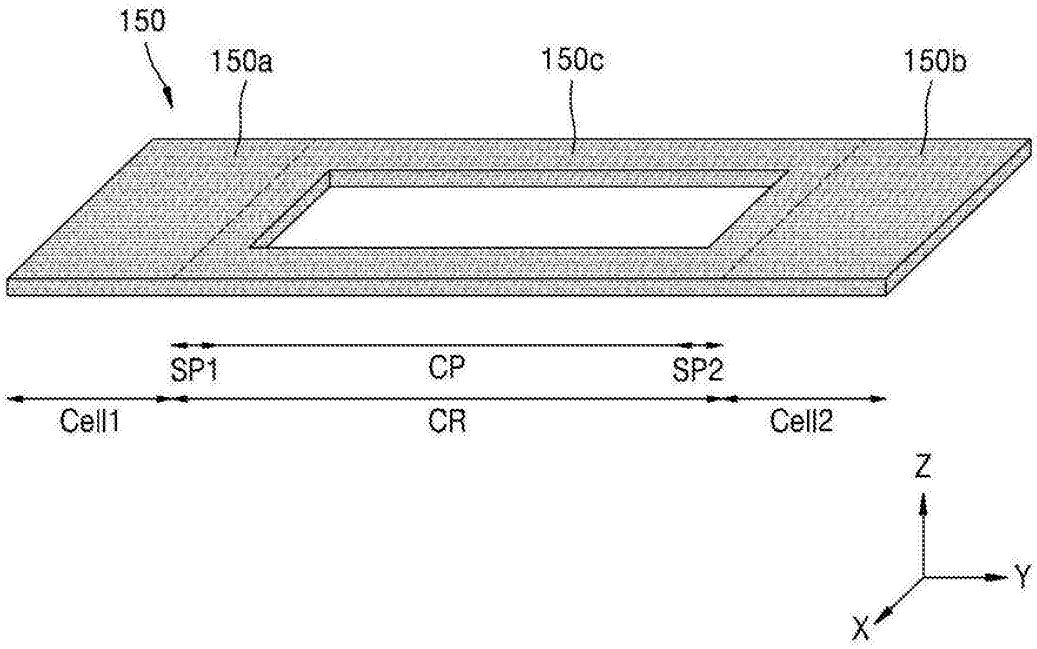


图4

Micron Ex. 1002, p. 367
Micron v. YMTC
IPR2025-00035

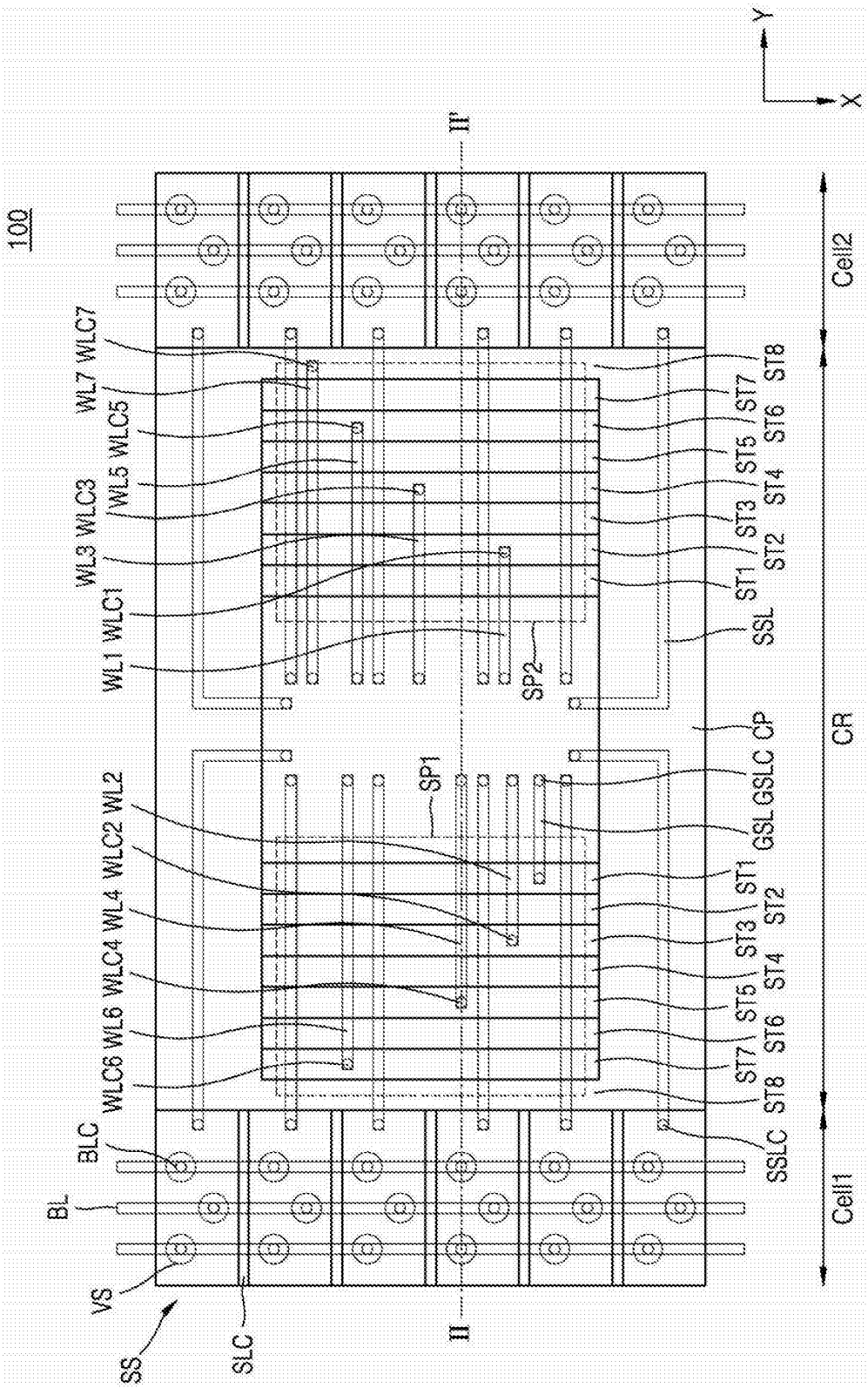


图5A

Micron Ex. 1002, p. 368
Micron v. YMTC
IPR2025-00035

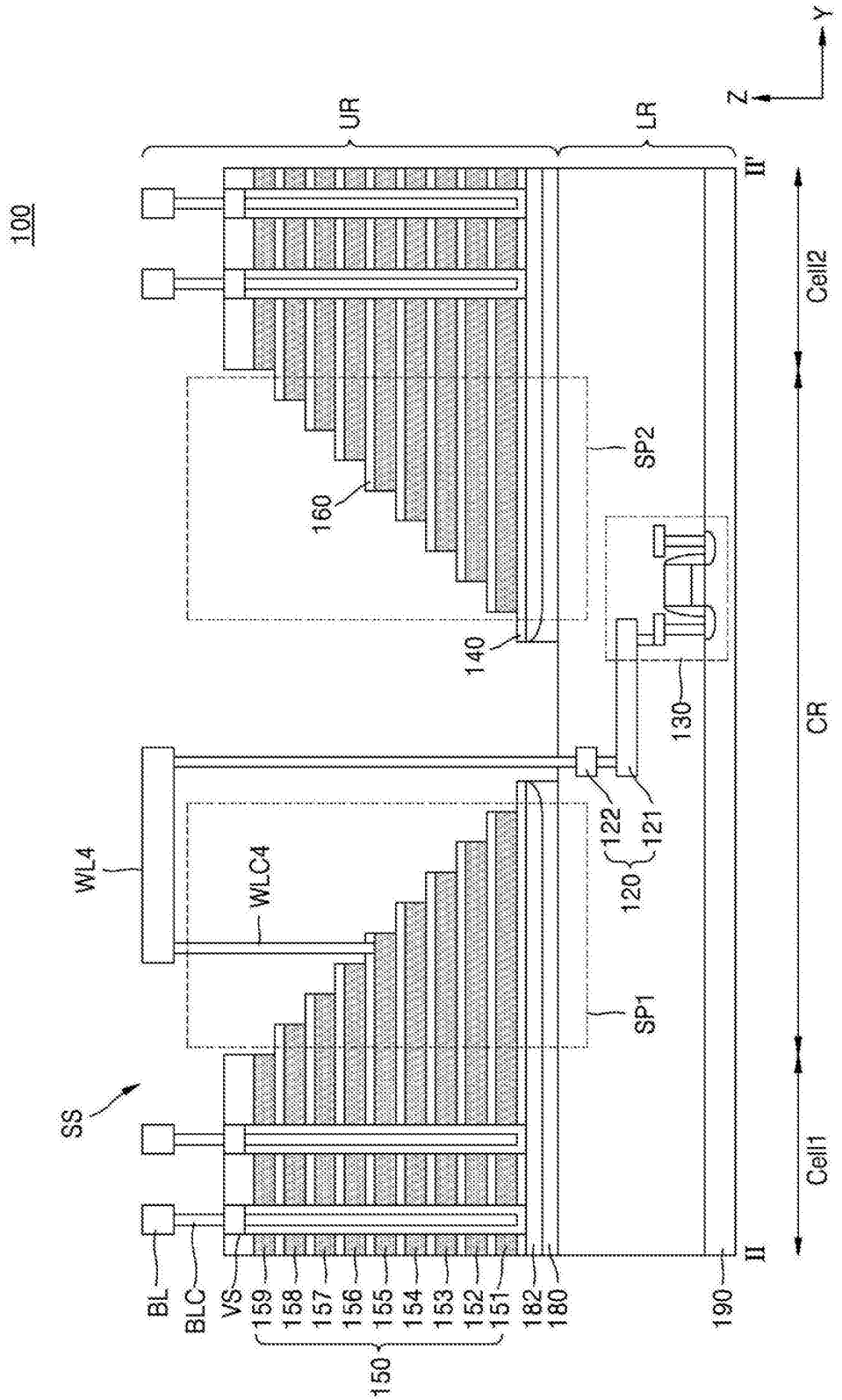


图5B

Micron Ex. 1002, p. 369
Micron v. YMTC
IPR2025-00035

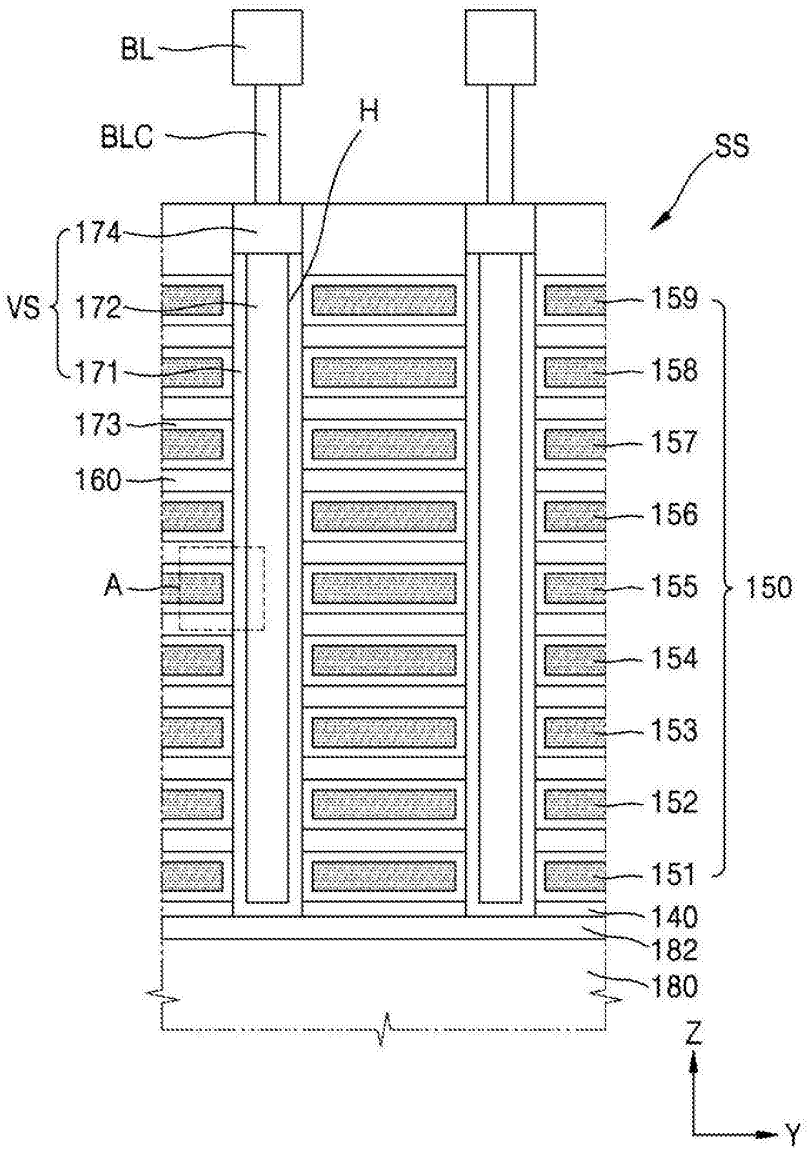


图6

Micron Ex. 1002, p. 370
Micron v. YMTC
IPR2025-00035

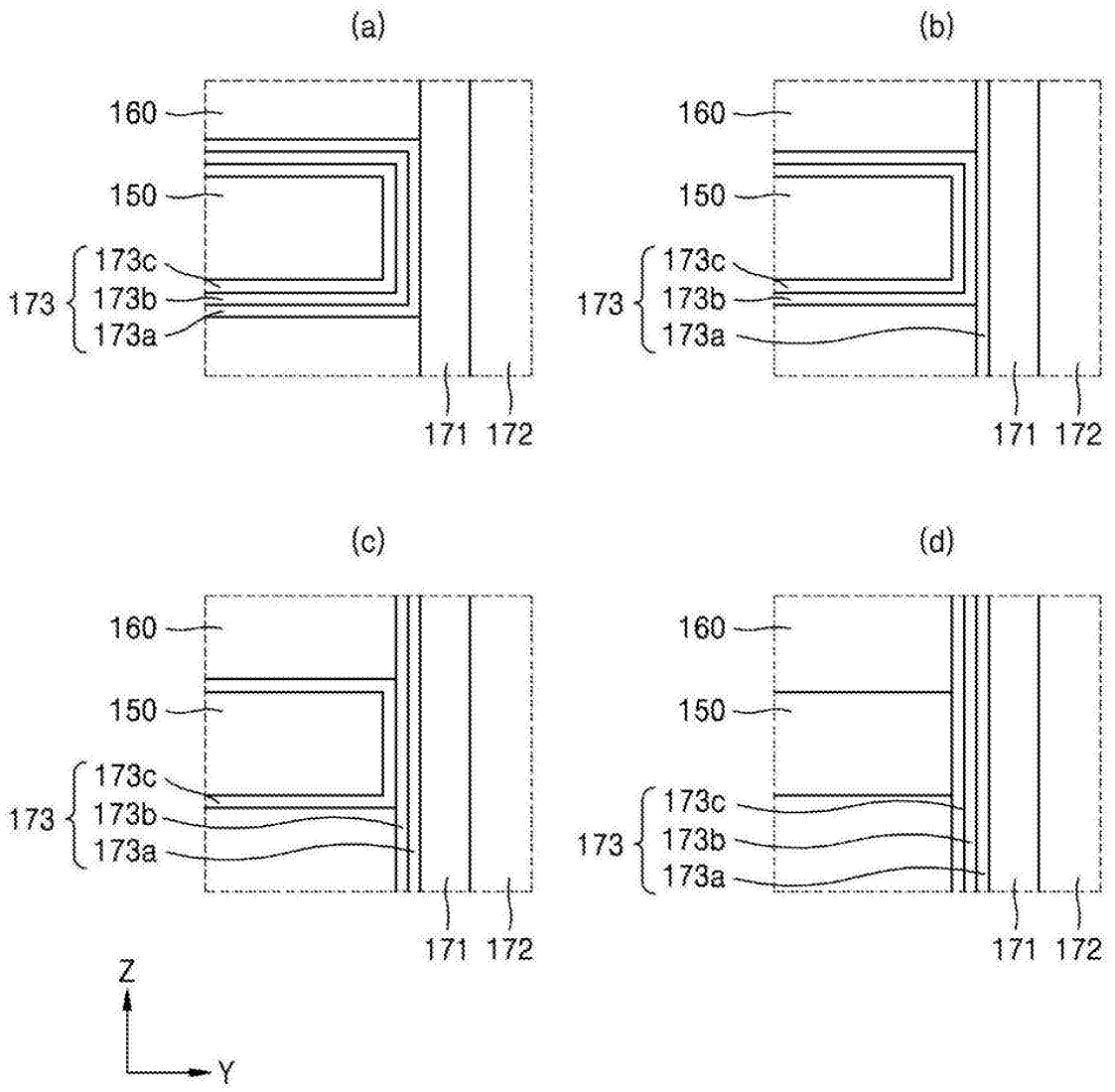


图7

Micron Ex. 1002, p. 371
Micron v. YMTC
IPR2025-00035

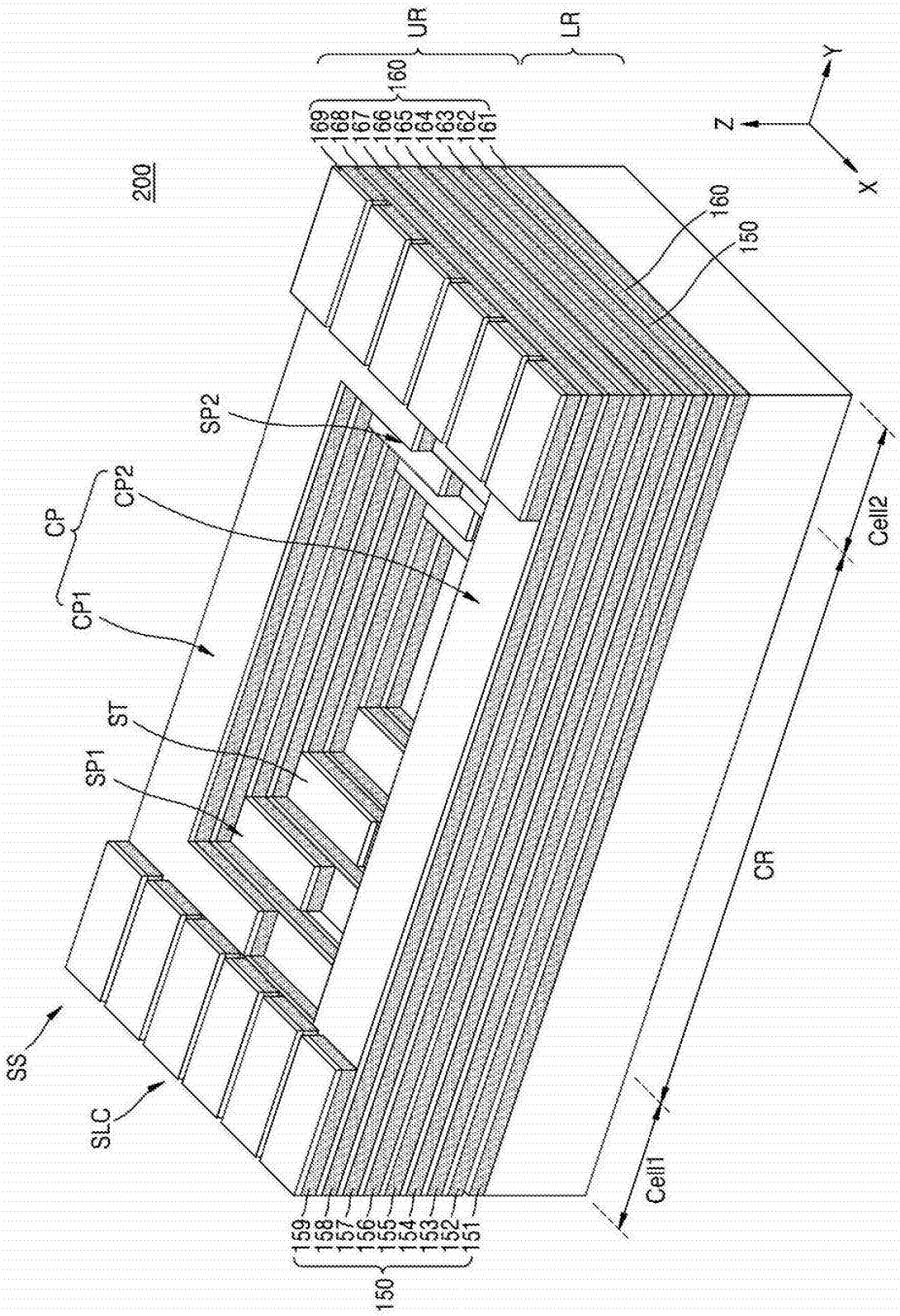


图8

Micron Ex. 1002, p. 372
Micron v. YMTC
IPR2025-00035

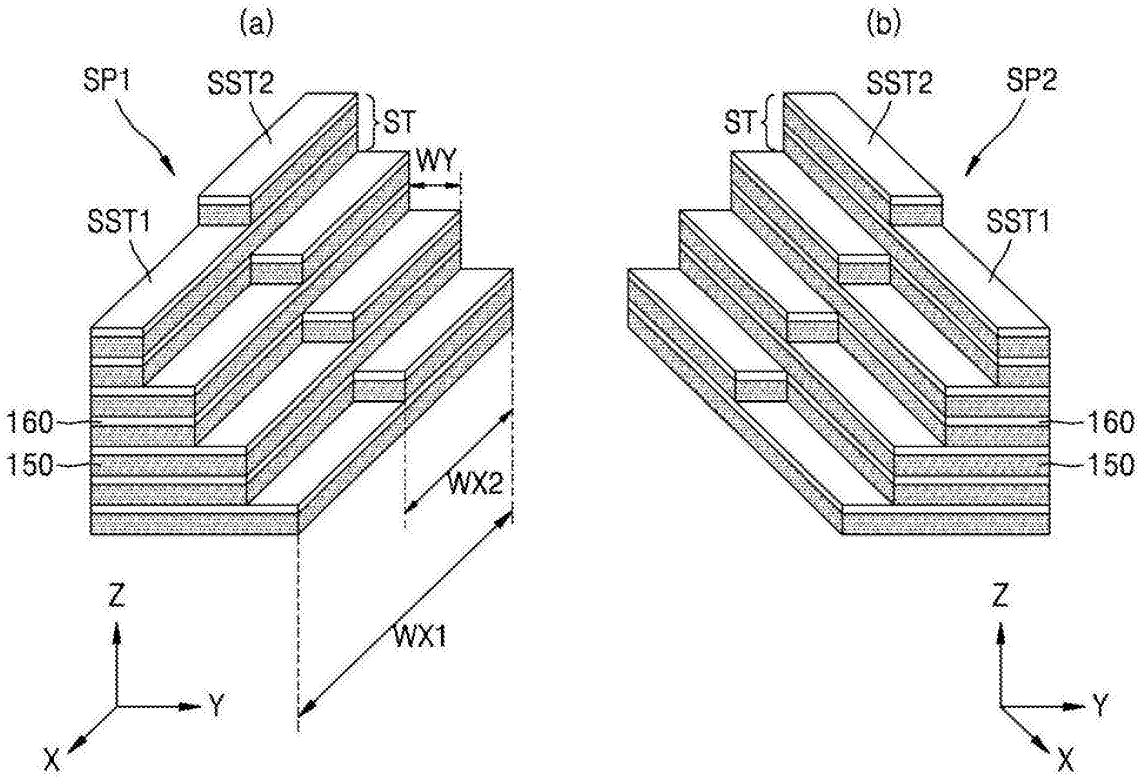


图9

Micron Ex. 1002, p. 373
Micron v. YMTC
IPR2025-00035

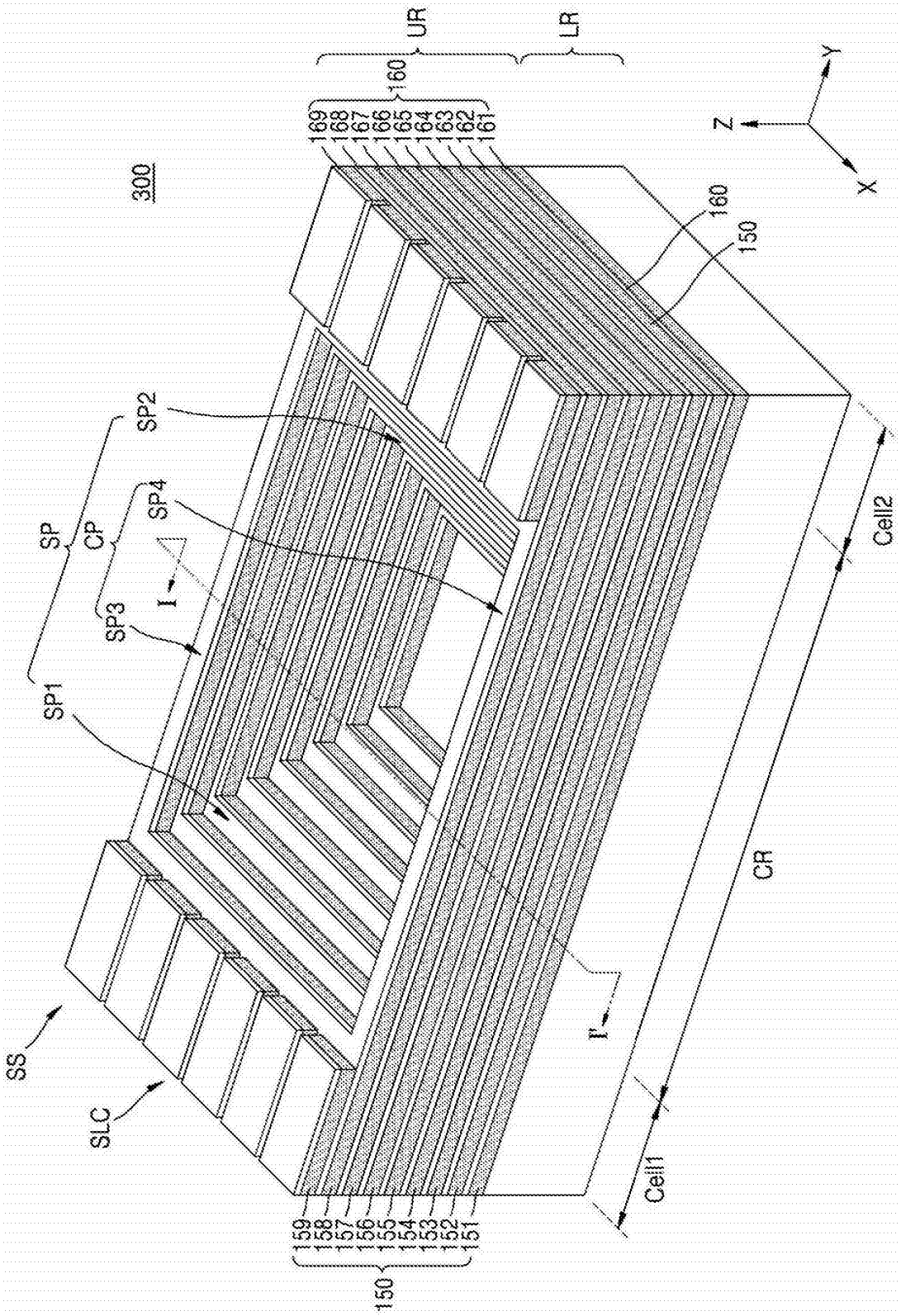


图10A

Micron Ex. 1002, p. 374
Micron v. YMTC
IPR2025-00035

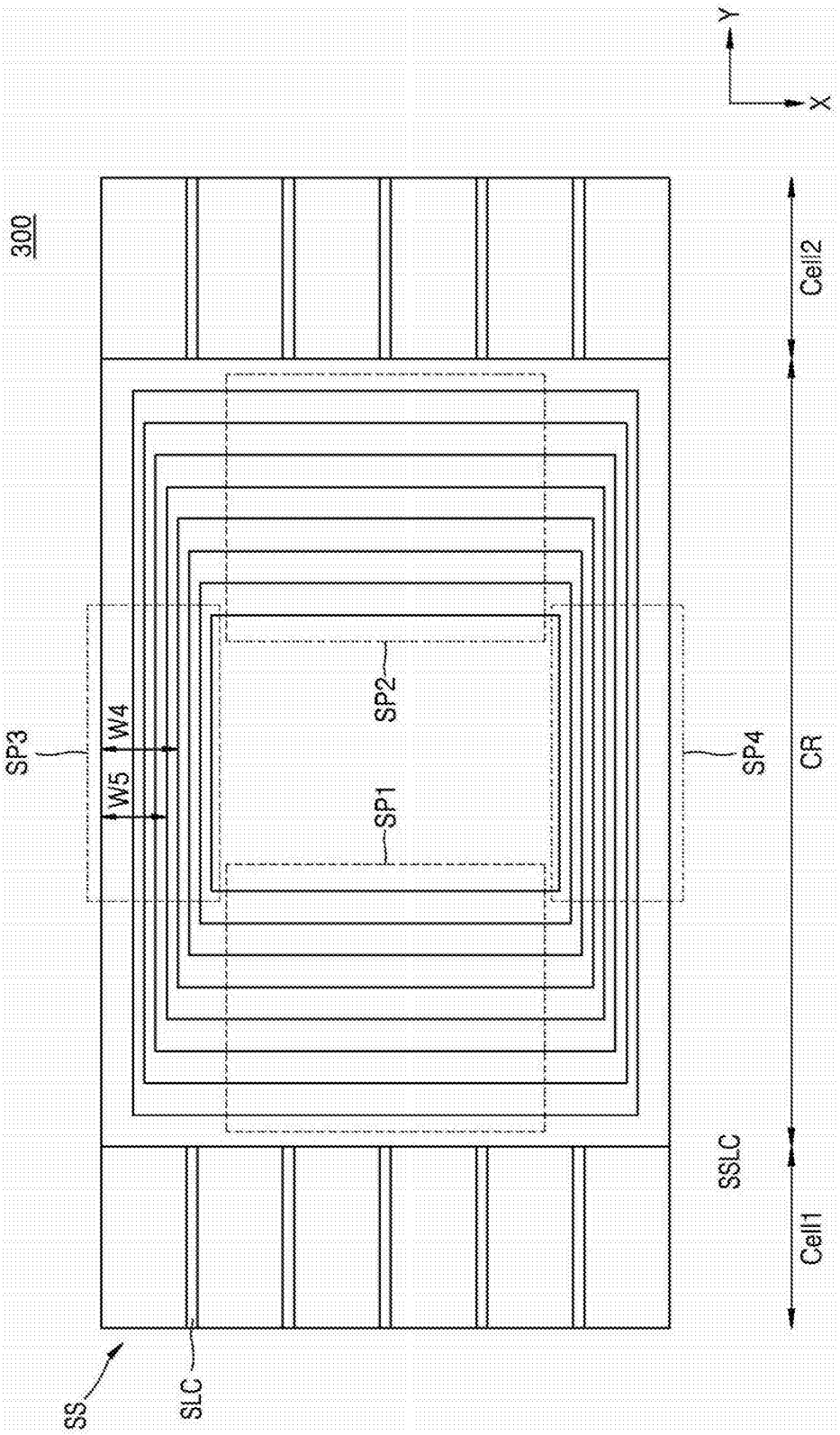


图10B

Micron Ex. 1002, p. 375
Micron v. YMTC
IPR2025-00035

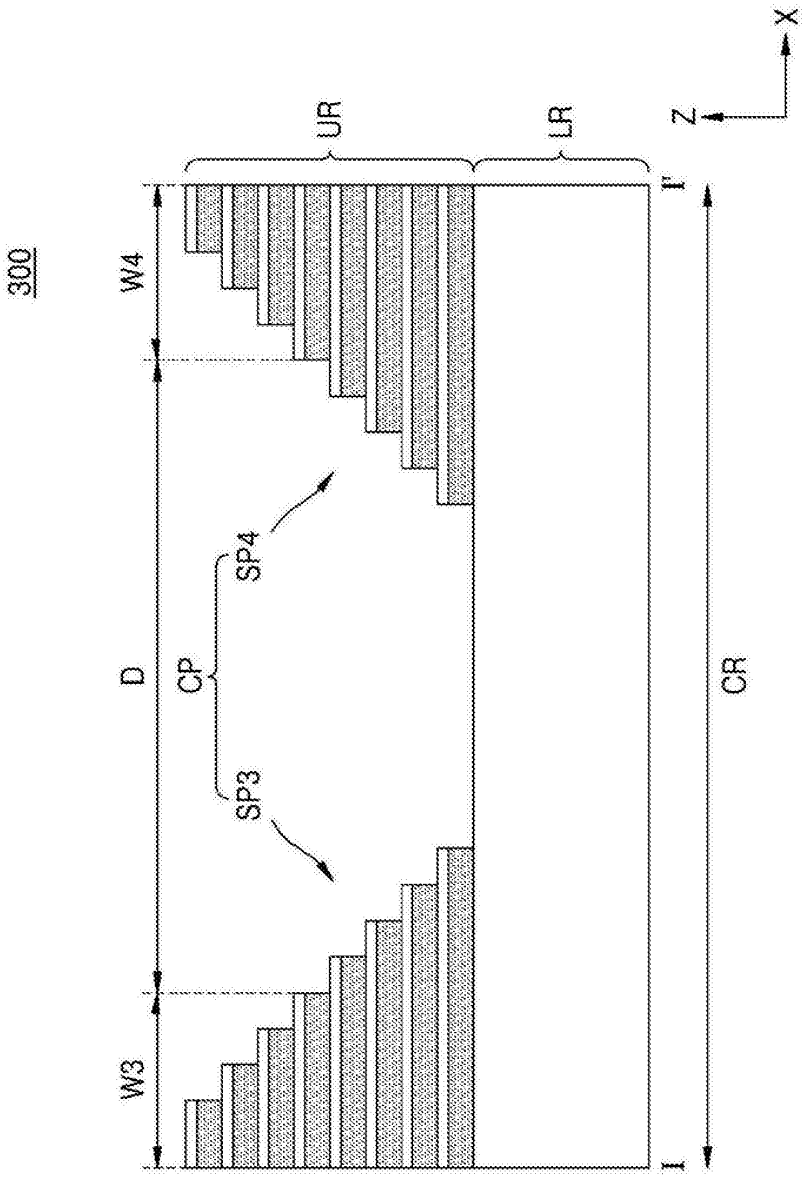


图10C

Micron Ex. 1002, p. 376
Micron v. YMTC
IPR2025-00035

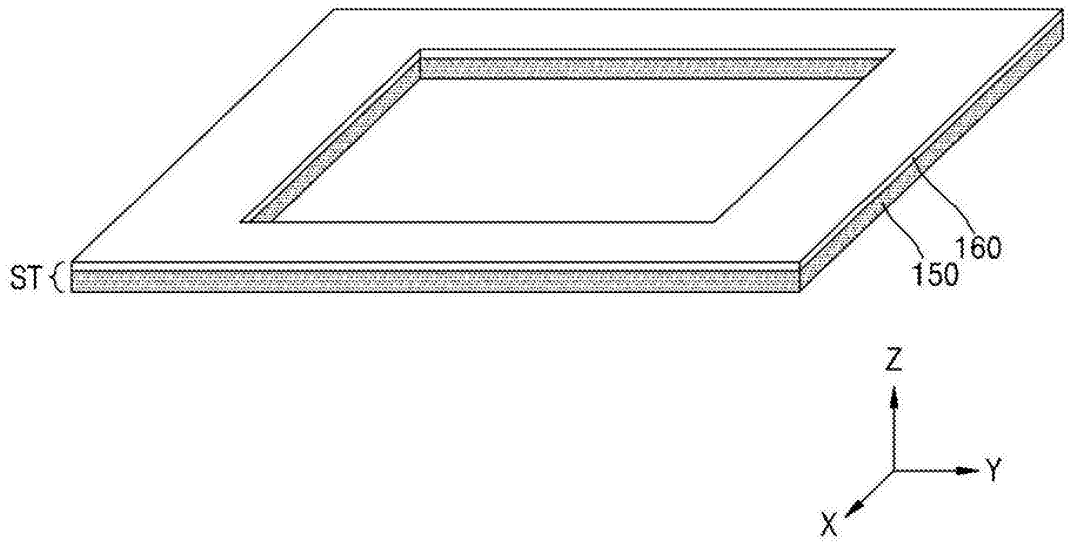


图11A

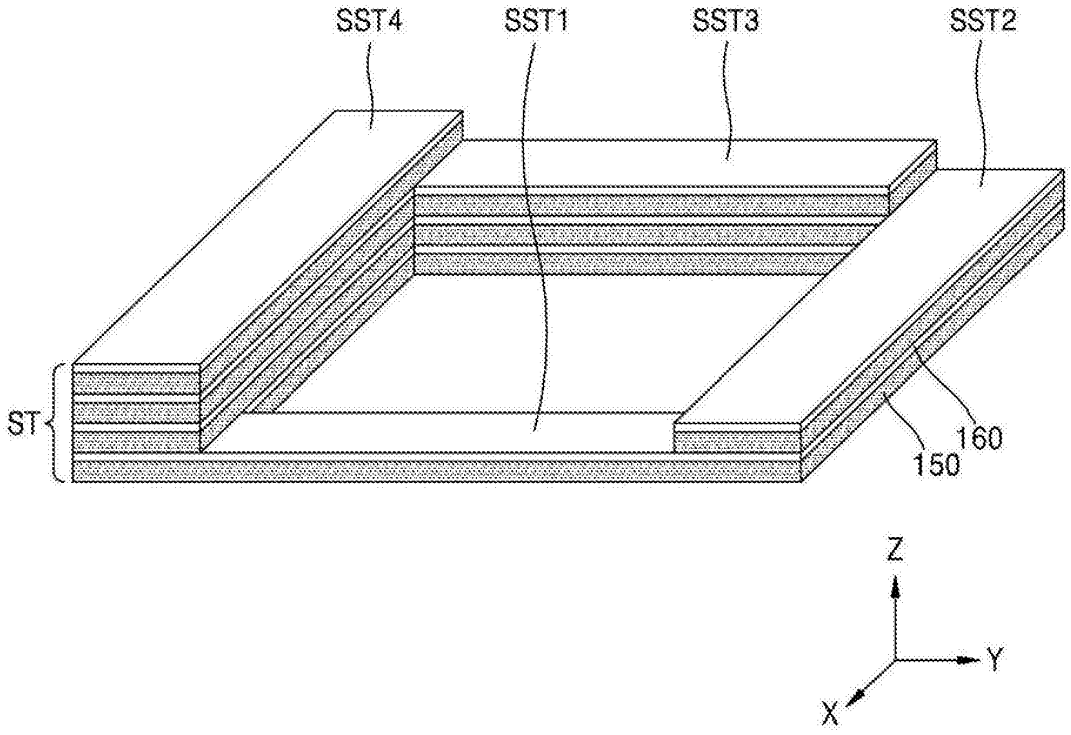


图11B

Micron Ex. 1002, p. 377
Micron v. YMTC
IPR2025-00035

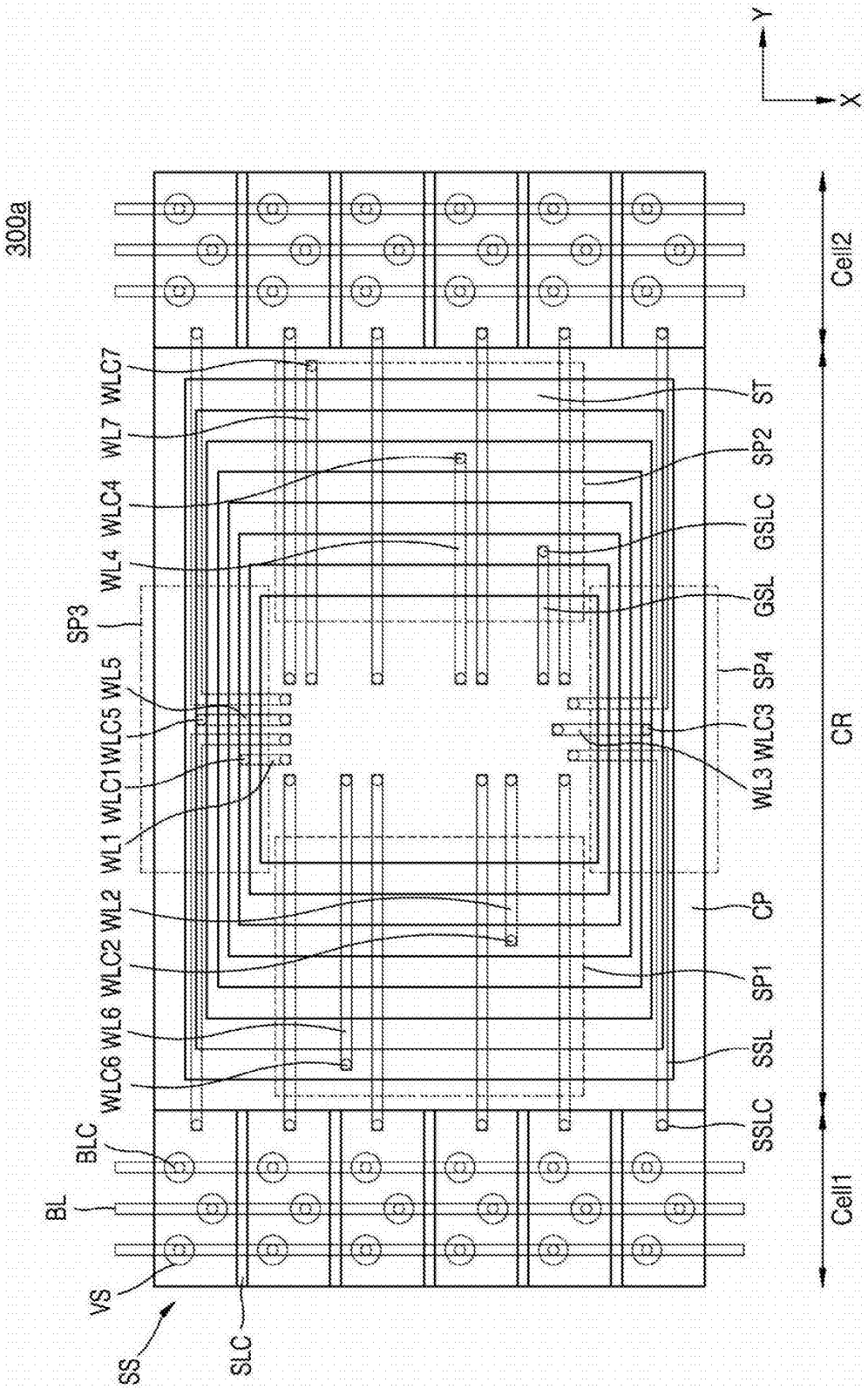


图12A

Micron Ex. 1002, p. 378
Micron v. YMTC
IPR2025-00035

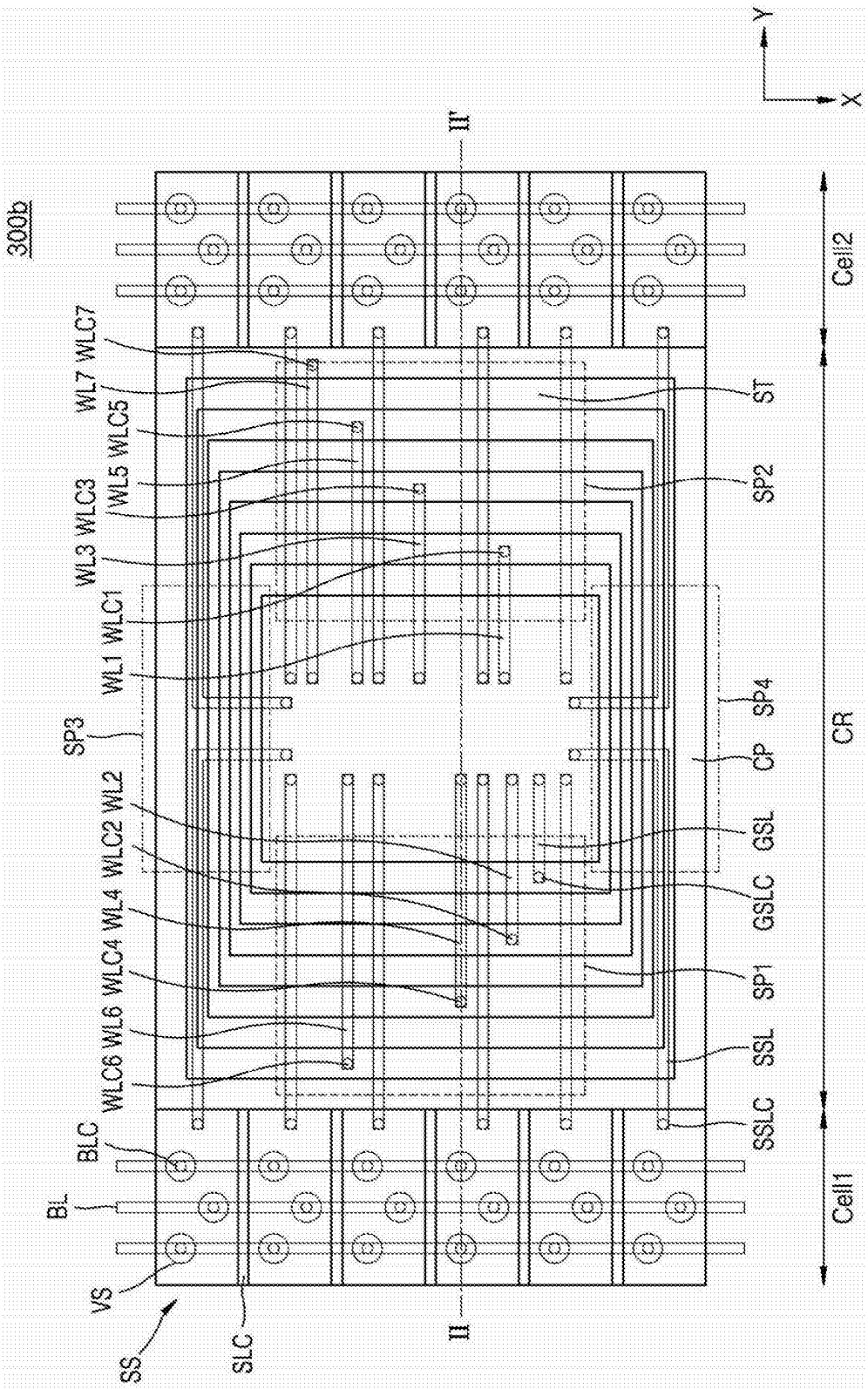


图12B

Micron Ex. 1002, p. 379
Micron v. YMTC
IPR2025-00035

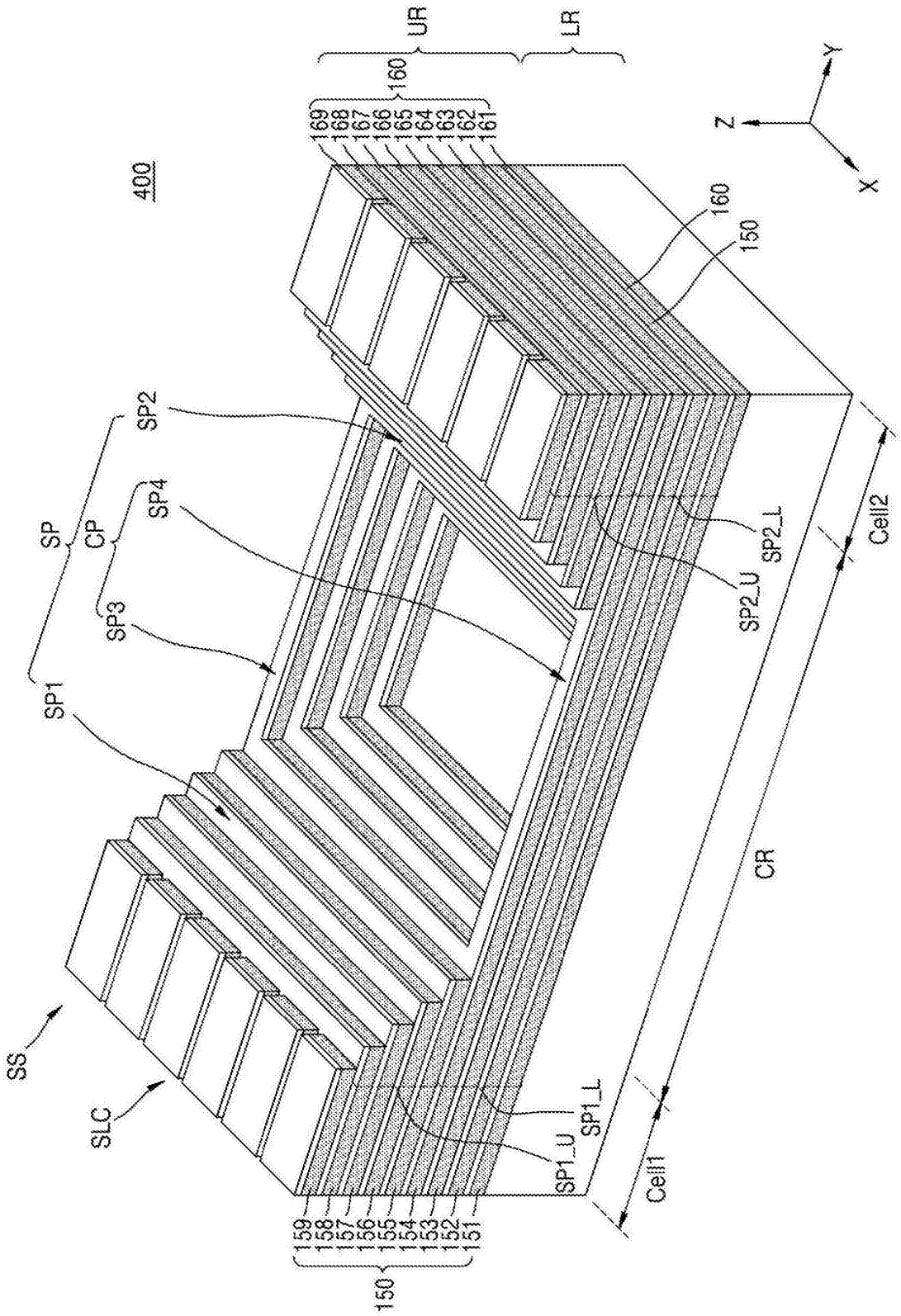


图13A

Micron Ex. 1002, p. 380
Micron v. YMTC
IPR2025-00035

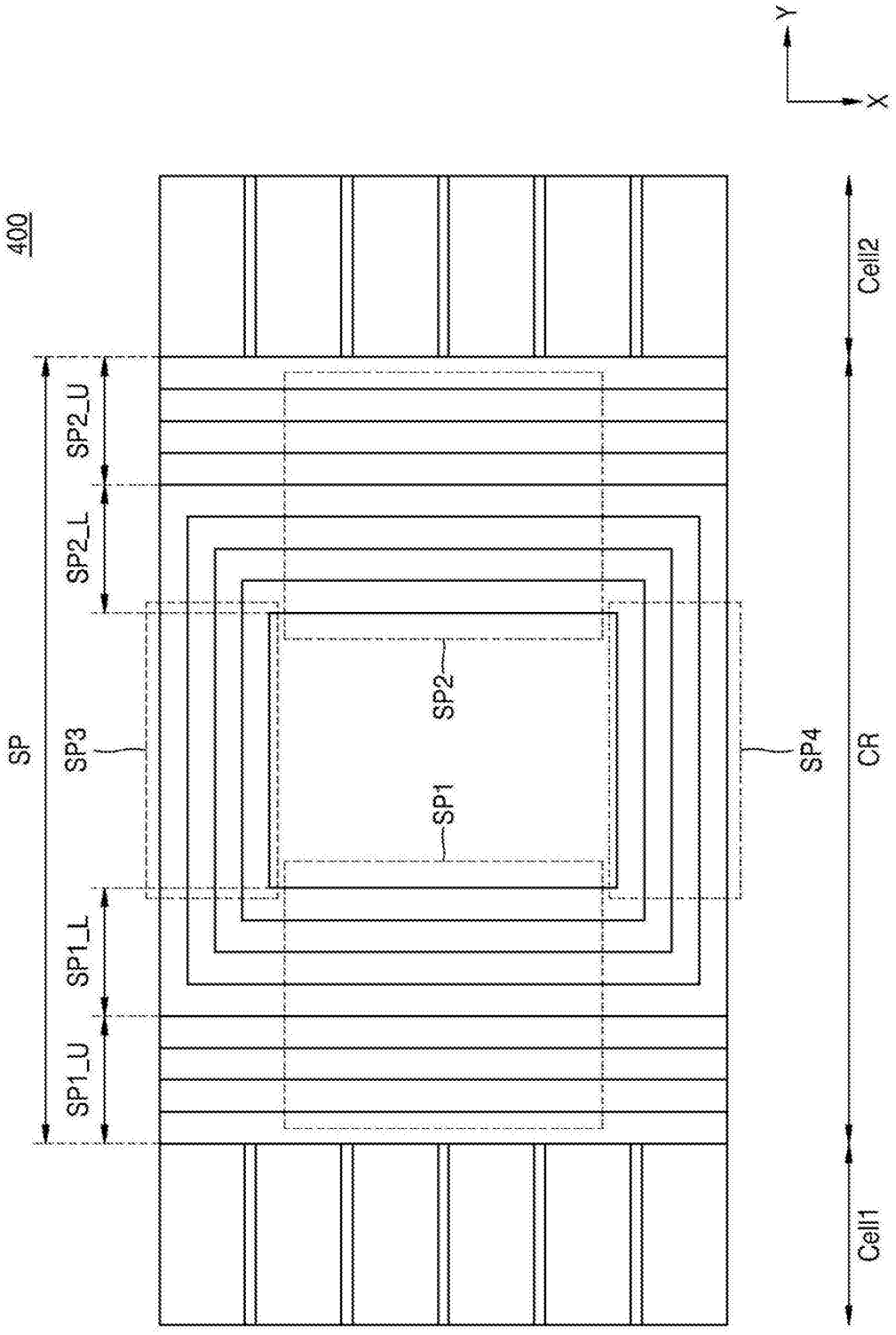


图13B

Micron Ex. 1002, p. 381
Micron v. YMTC
IPR2025-00035

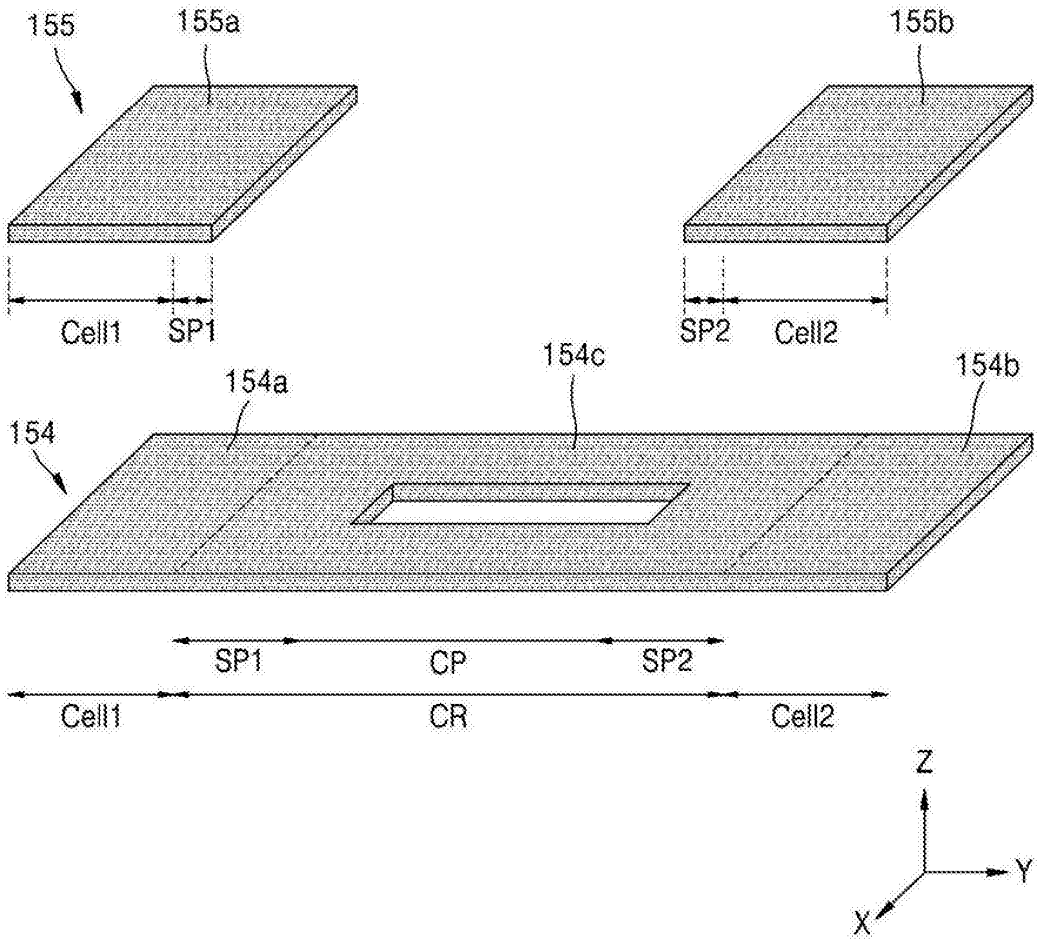


图14

Micron Ex. 1002, p. 382
Micron v. YMTC
IPR2025-00035

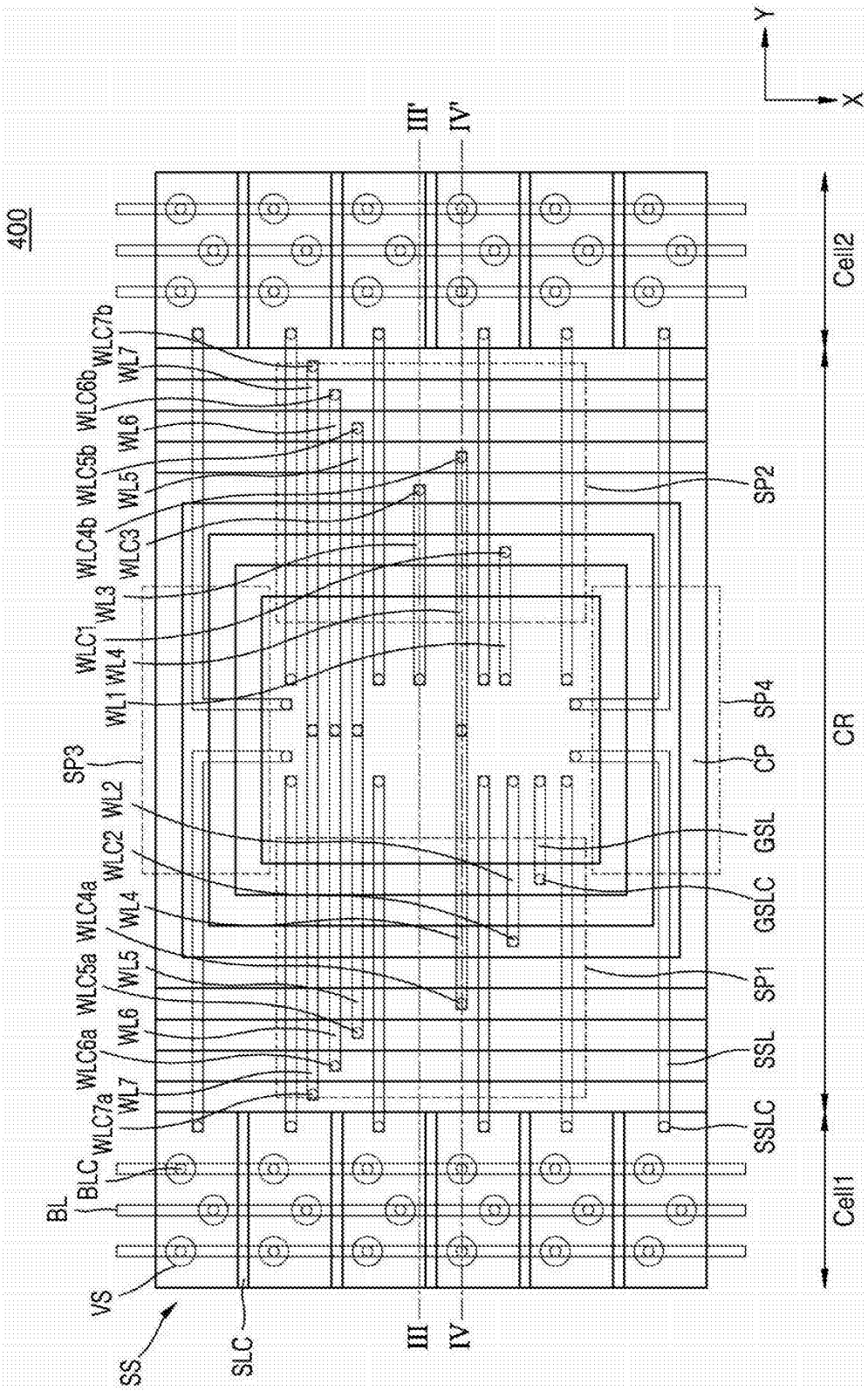


图15A

Micron Ex. 1002, p. 383
Micron v. YMTC
IPR2025-00035

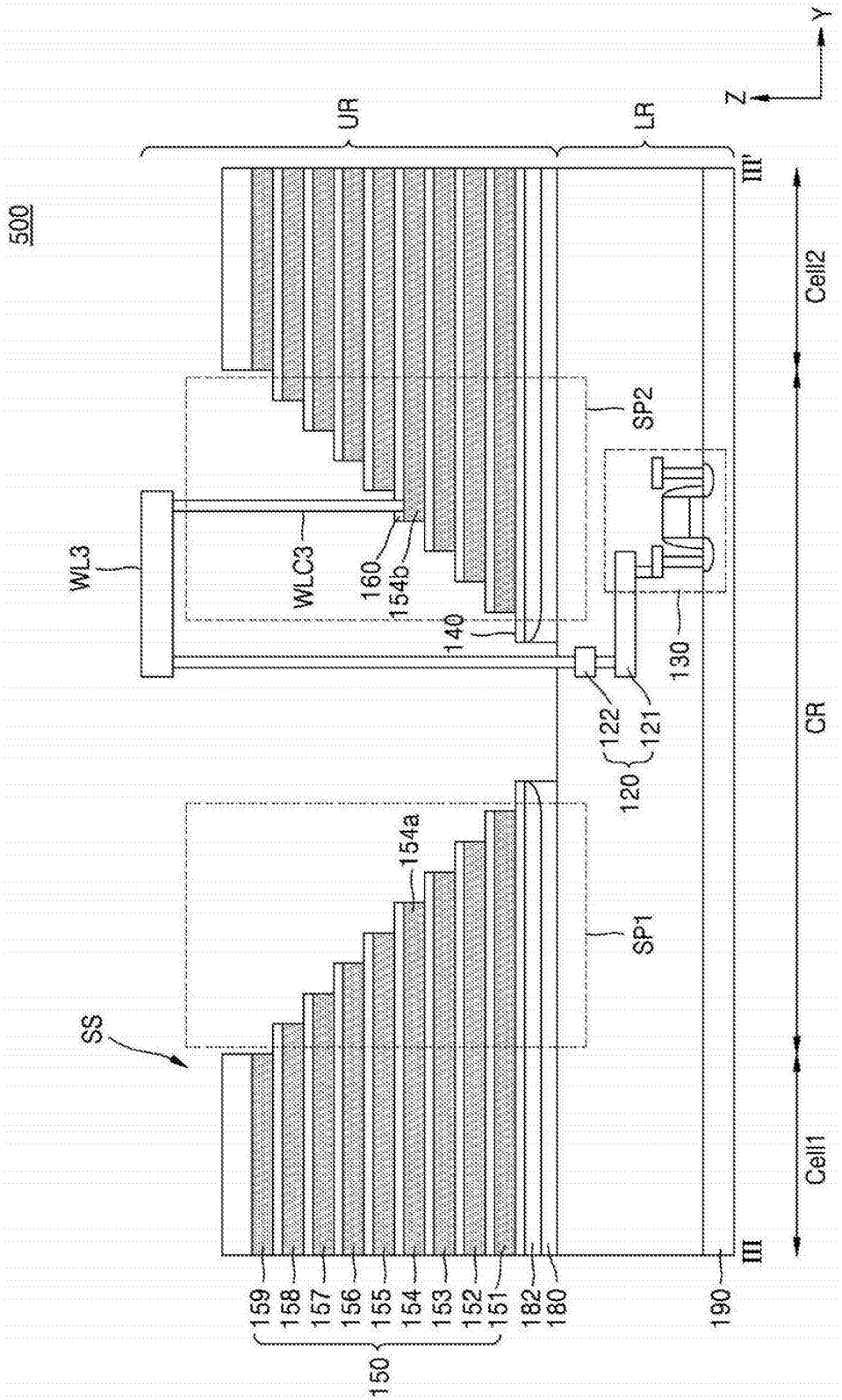


图15B

Micron Ex. 1002, p. 384
Micron v. YMTC
IPR2025-00035

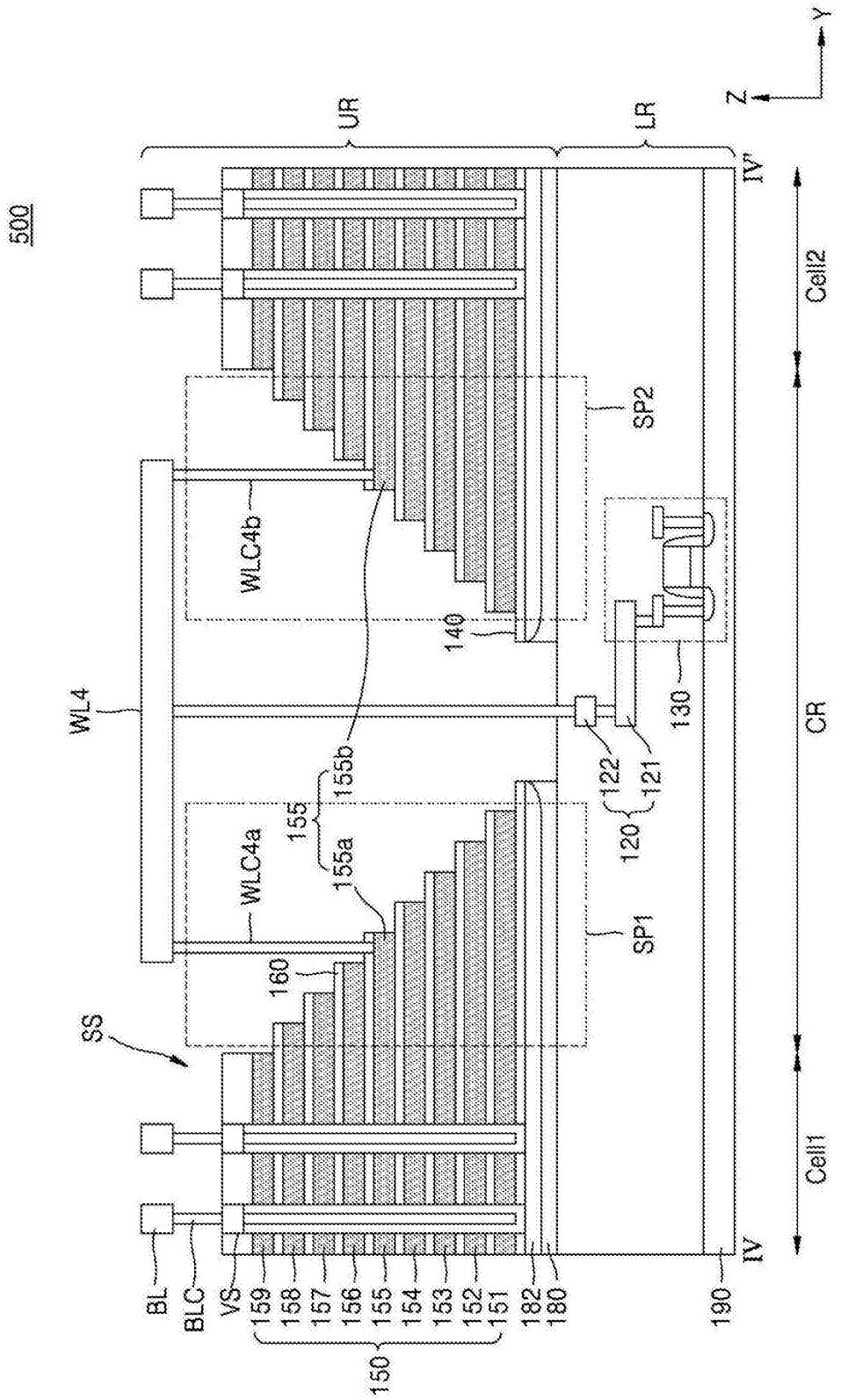


图15C

Micron Ex. 1002, p. 385
Micron v. YMTC
IPR2025-00035

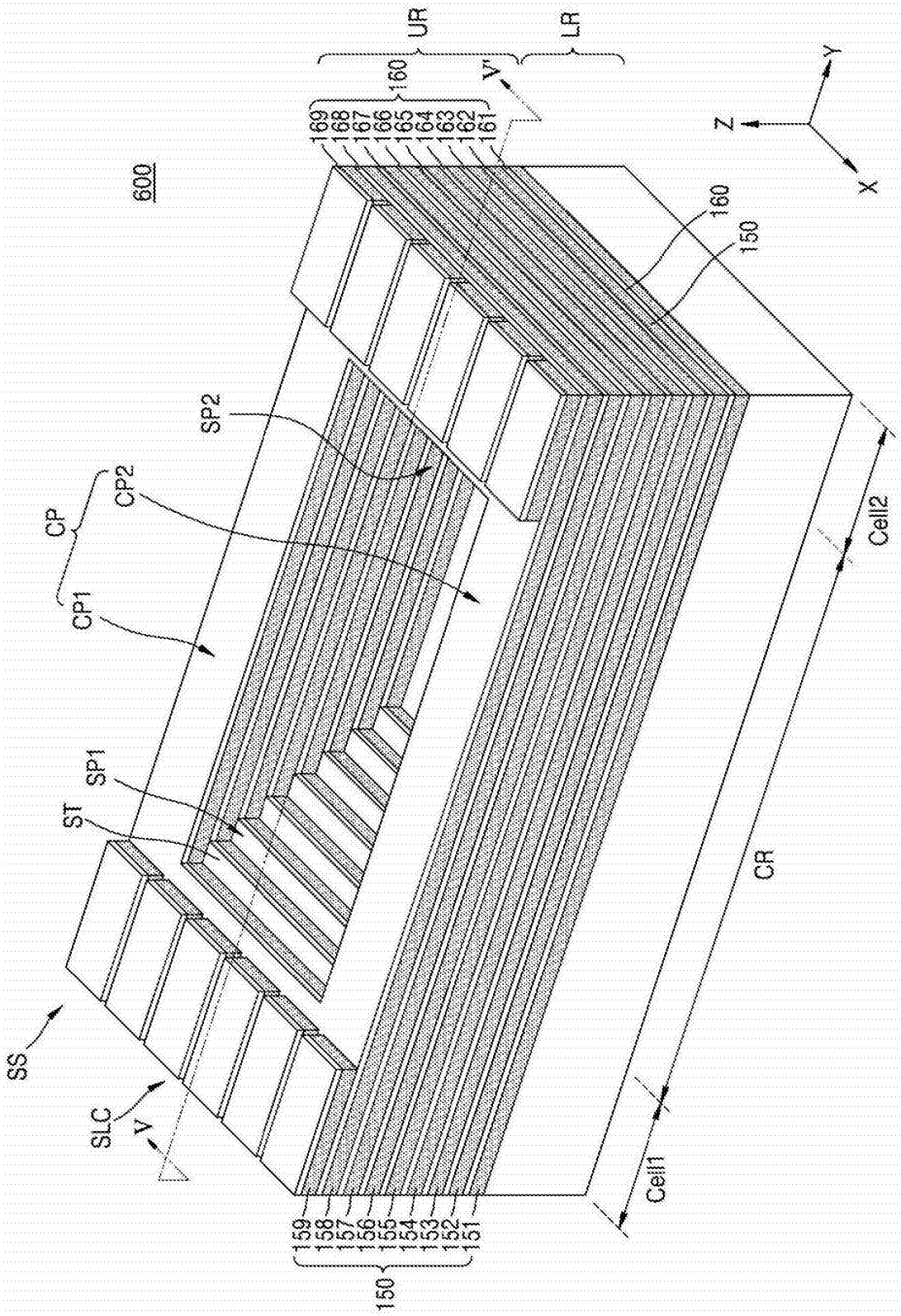


图16A

Micron Ex. 1002, p. 386
Micron v. YMTC
IPR2025-00035

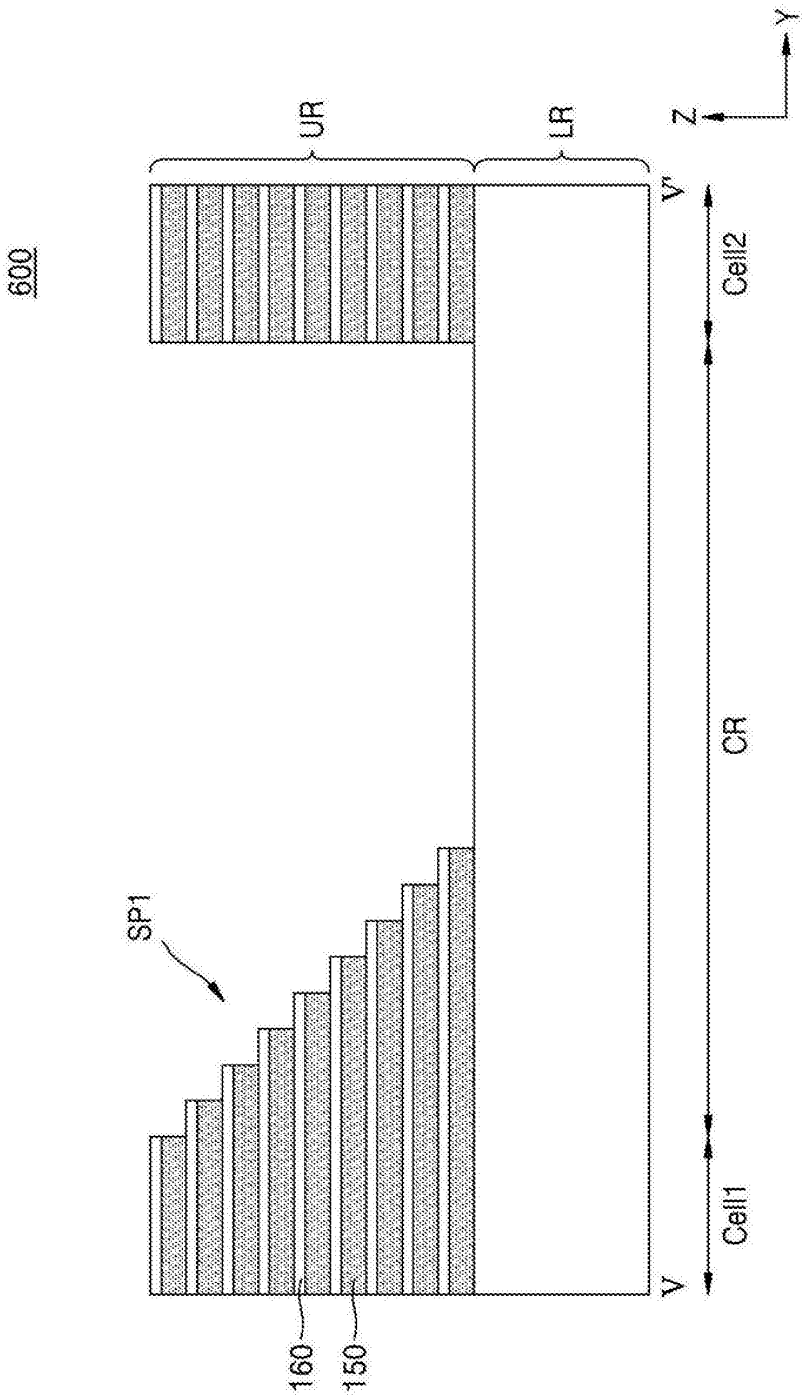


图16B

Micron Ex. 1002, p. 387
Micron v. YMTC
IPR2025-00035

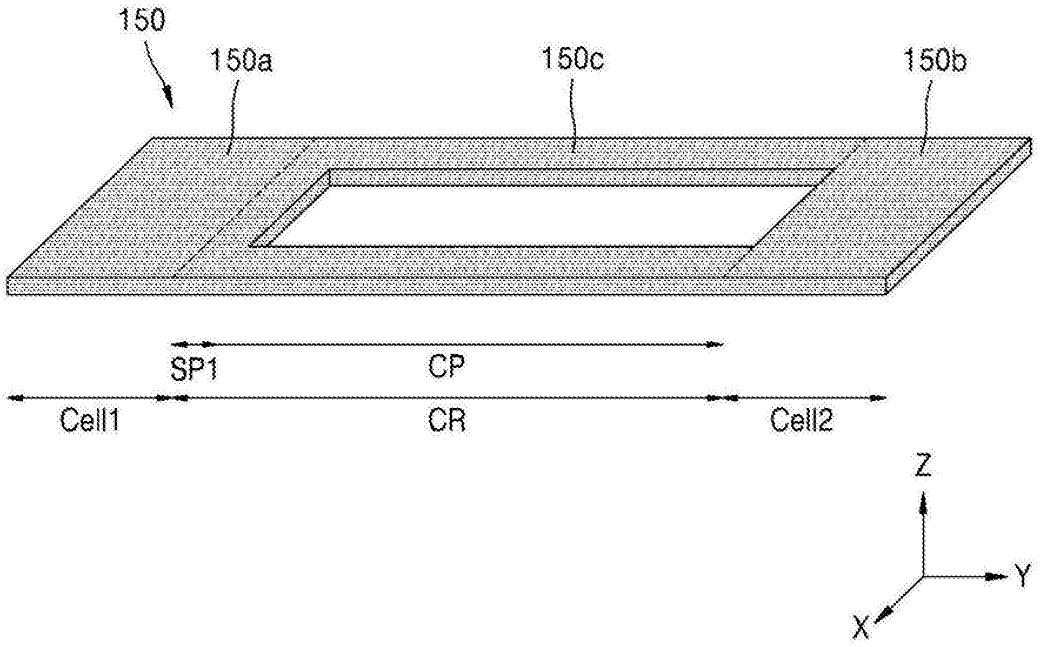


图17

Micron Ex. 1002, p. 388
Micron v. YMTC
IPR2025-00035

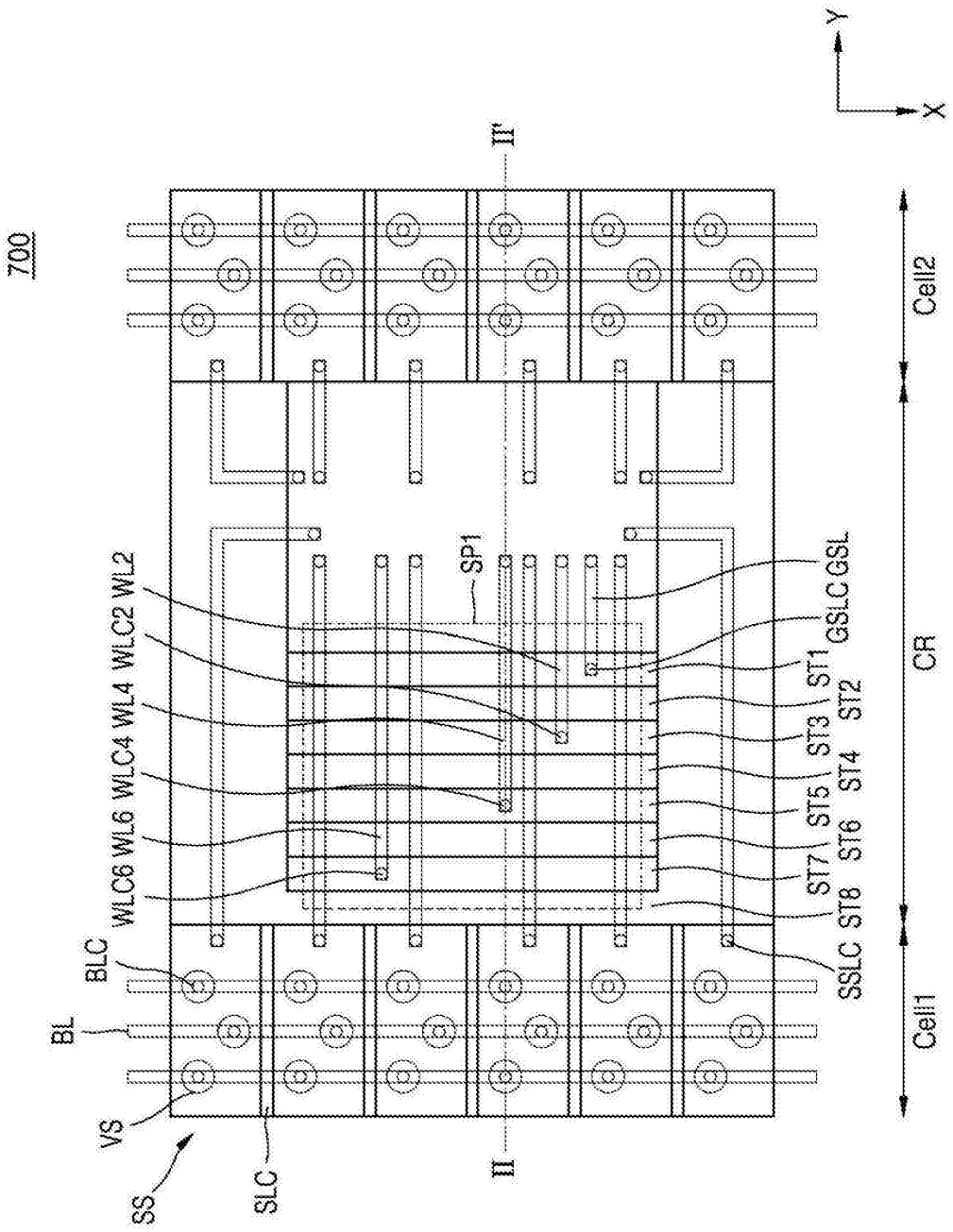


图18A

Micron Ex. 1002, p. 389
Micron v. YMTC
IPR2025-00035

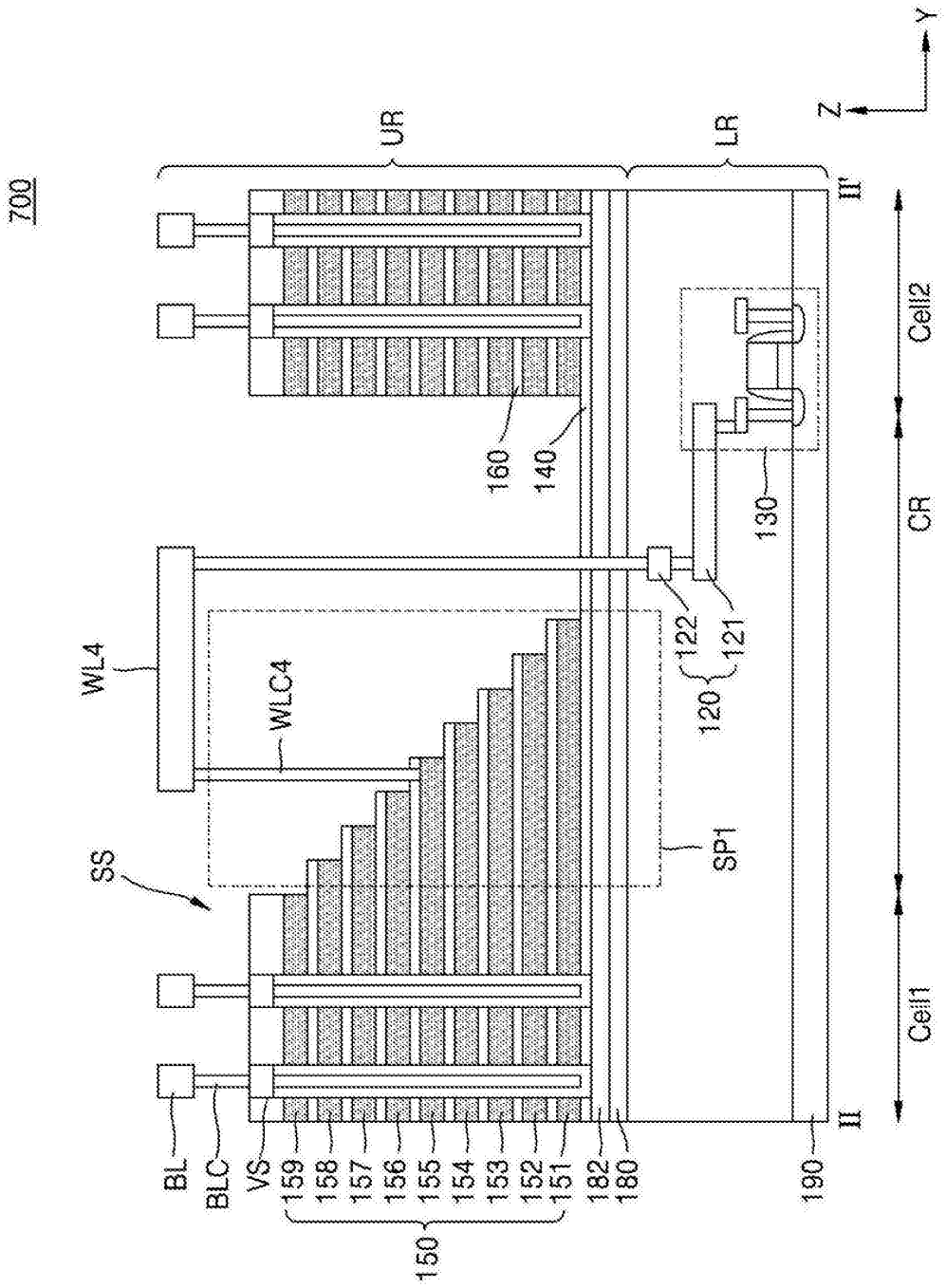


图18B

Micron Ex. 1002, p. 390
Micron v. YMTC
IPR2025-00035

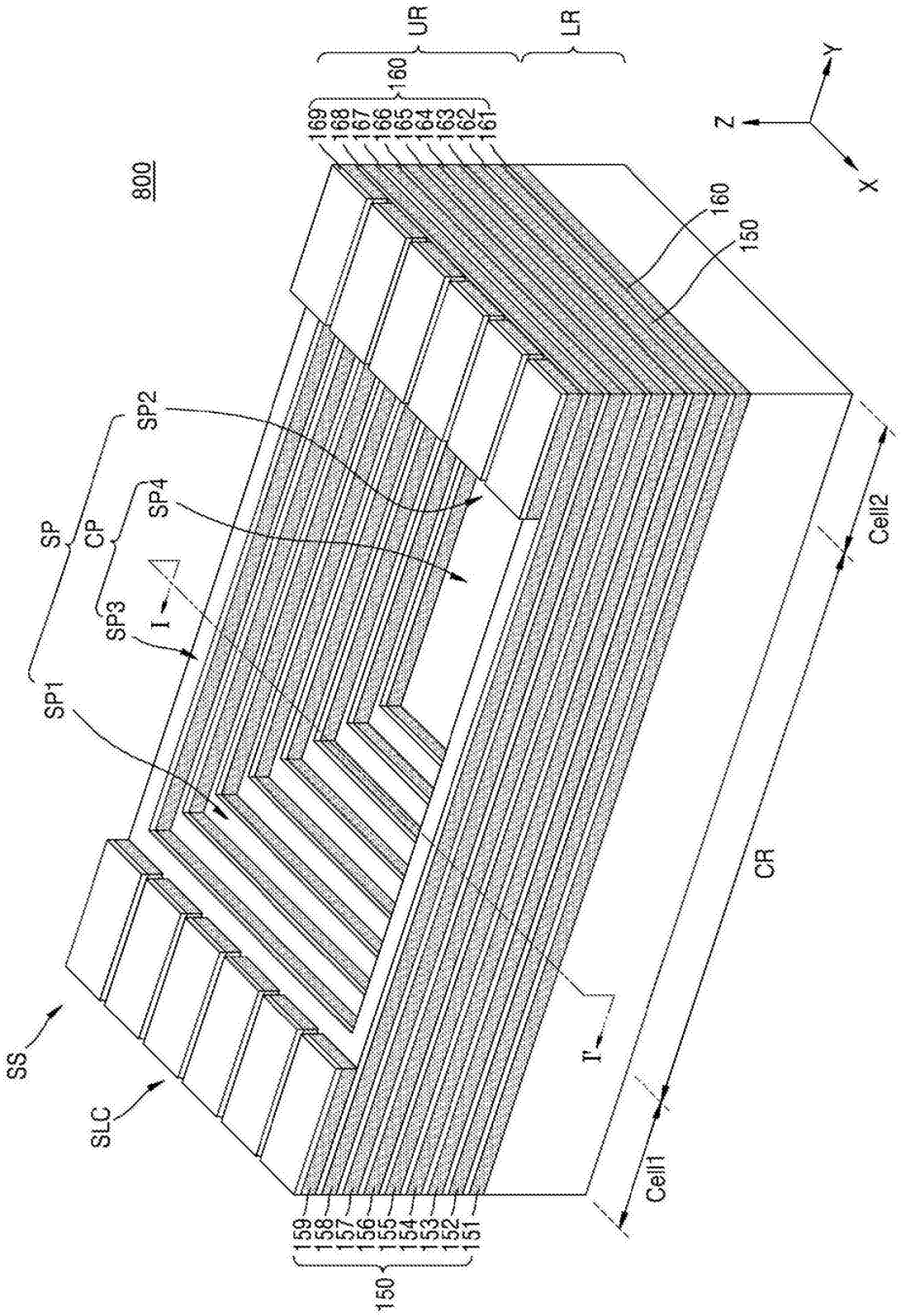


图19

Micron Ex. 1002, p. 391
Micron v. YMTC
IPR2025-00035

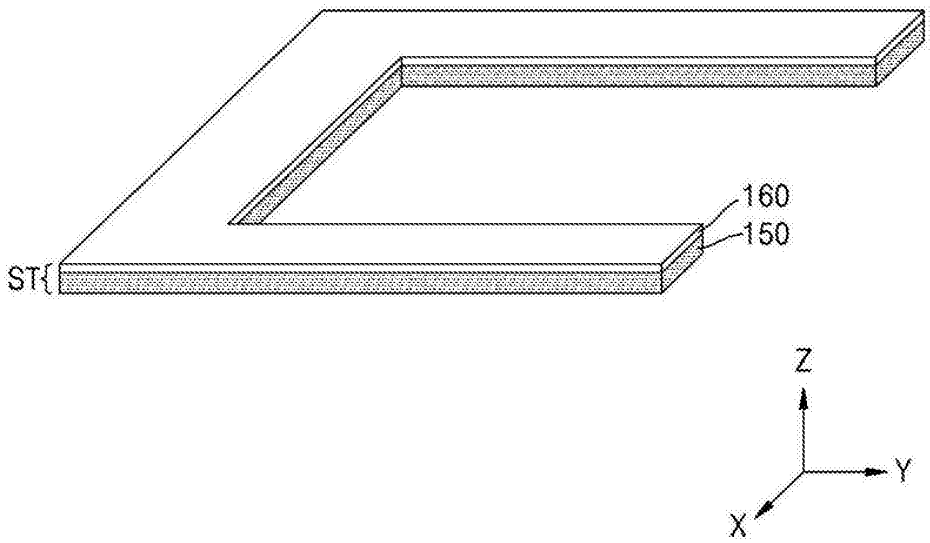


图20A

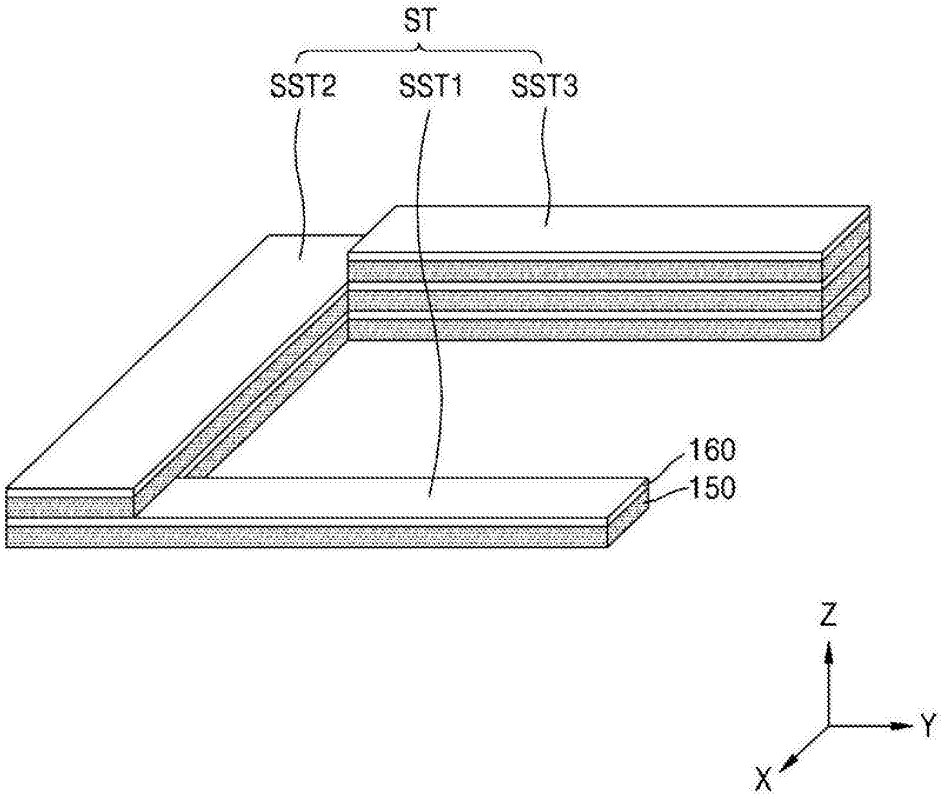


图20B

Micron Ex. 1002, p. 392
Micron v. YMTC
IPR2025-00035

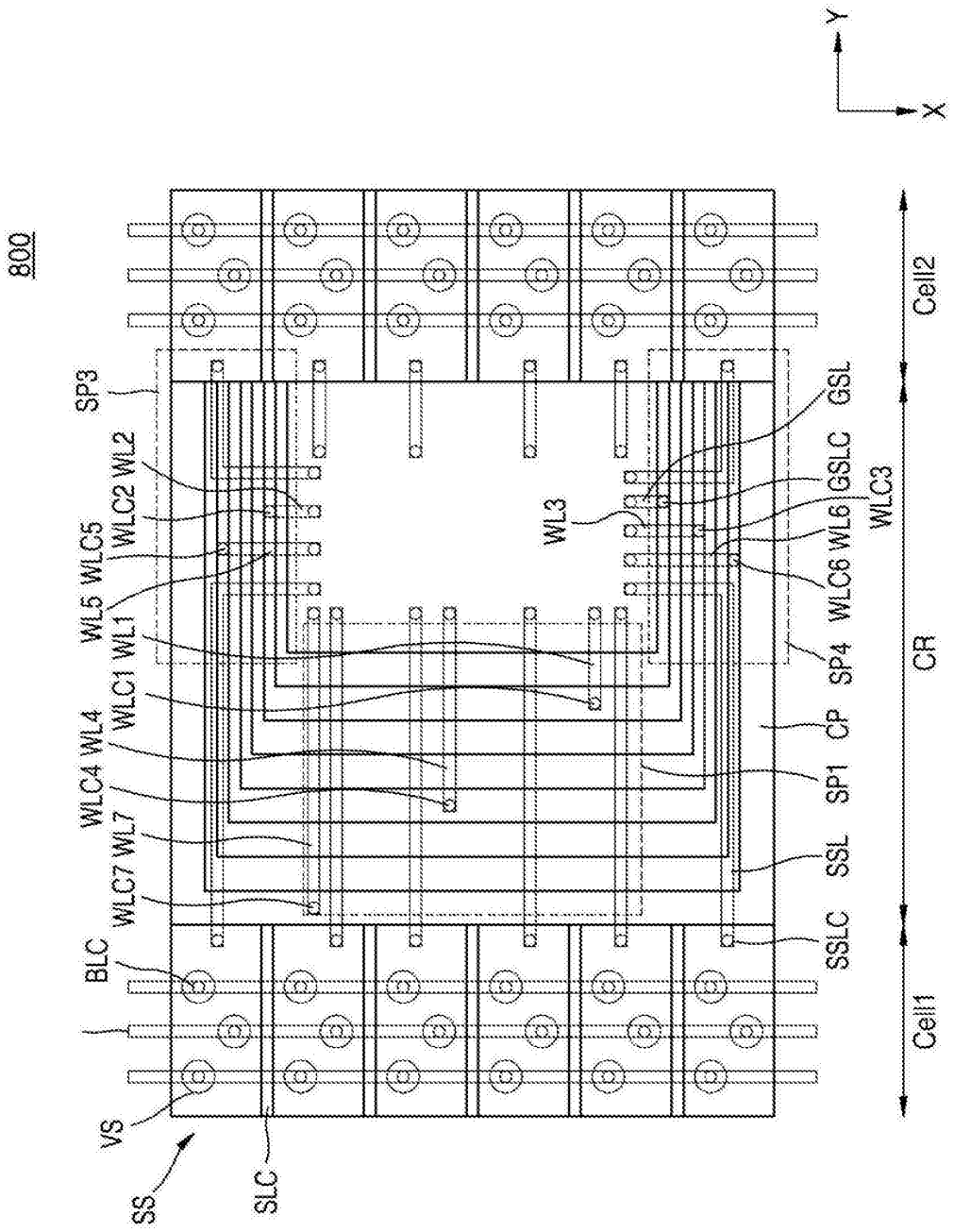


图21

Micron Ex. 1002, p. 393
Micron v. YMTC
IPR2025-00035