Espacenet

CN107731845A Method for increasing contact window in stair region by ion implantation

Applicants: CHANGJIANG CUNCHU TECH CO LTD

Inventors: CHEN JUN,LYU ZHENYU,YAO LAN

Classifications:

IPC ***H01L21/28; H01L27/1157; H01L27/11573; H01L27/11578;***

CPC **H01L27/1157 (CN); H01L27/11573 (CN); H01L27/11578 (CN); H01L29/40117 (CN);**

Priorities: CN201710773131A 2017-08-31

Application: CN107731845A·2017-08-31

Publication: CN107731845A·2018-02-23

Published as: CN107731845A;**CN107731845B**

Method for increasing contact window in stair region by ion implantation

Abstract

The invention relates to a method for increasing a contact window in a stair region by ion implantation. The method comprises the following steps: forming a stair stack; carrying out stair etching onthe stair stack to form a stair region; carrying out ion implantation on the stair region and forming implanted oxide layers and implanted nitride layers that are distributed in a stair manner in thestair region; and carrying out filling and replacement on the stair region after ion implantation. According to the invention, the rate of wet etching at the step is increased by ion implantation, thesize after silicon nitride removing is increased and thus the thickness of the tungsten layer at the step is increased; the process window is enlarged; the number of times of masking is reduced; andthe production cost is lowered. With the method provided by the invention, the metal thickness of the word line at the stair stack area is increased; the process window is increased by using a simplemethod; and the production cost is reduced.

Micron Ex. 1002, p. 394
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107731845 A
(43)申请公布日 2018.02.23

(21)申请号 201710773131.7

(22)申请日 2017.08.31

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 姚兰 吕震宇 陈俊

(74)专利代理机构 北京辰权知识产权代理有限公司 11619
代理人 刘广达

(51)Int.Cl.
H01L 27/1157(2017.01)
H01L 27/11573(2017.01)
H01L 27/11578(2017.01)
H01L 21/28(2006.01)

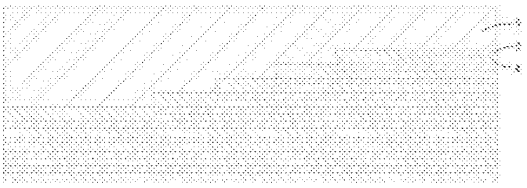
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种利用离子注入增大阶梯区域接触窗口的方法

(57)摘要

本发明涉及一种利用离子注入增大阶梯区域接触窗口的方法，所述方法包括如下步骤：形成阶梯堆栈；对上述阶梯堆栈进行阶梯刻蚀，形成阶梯区域；对所述阶梯区域进行离子注入，在阶梯区域分别形成呈阶梯状分布的注入氧化物层和注入氮化物层；对离子注入后的阶梯区域进行填充和置换。本发明采用离子注入增大台阶处湿法刻蚀的速率，增大去除氮化硅后的体积，进而加厚了台阶处钨层的厚度，增大工艺的窗口，减少了掩模次数，降低生产成本，该方法增加了字线在阶梯堆栈区的金属厚度，用简单的方法增大了工艺窗口，降低了生产成本。



CN 107731845 A

Micron Ex. 1002, p. 395
Micron v. YMTC
IPR2025-00035

1.一种利用离子注入增大阶梯区域接触窗口的方法,所述方法包括如下步骤:

形成阶梯堆栈;

对上述阶梯堆栈进行阶梯刻蚀,形成阶梯区域;

对所述阶梯区域进行离子注入,在阶梯区域分别形成呈阶梯状分布的注入氧化物层和注入氮化物层;

对离子注入后的阶梯区域进行填充和置换。

2.根据权利要求1所述的方法,其特征在于:

所述阶梯堆栈的形成方法为在硅基板上交替形成若干层氧化物层和氮化物层。

3.根据权利要求2所述的方法,其特征在于:

所述氧化物是氧化硅,所述氮化物是氮化物。

4.根据权利要求2所述的方法,其特征在于:

形成所述氧化物层和氮化物层的工艺使用薄膜沉淀工艺。

5.根据权利要求4所述的方法,其特征在于:

所述薄膜沉淀工艺包括以下中的一种或多种:化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

6.根据权利要求5所述的方法,其特征在于:

使用干法/湿法刻蚀工艺来形成所述阶梯区域。

7.根据权利要求1所述的方法,其特征在于:

所述注入氧化物层位于注入氮化物层的上表面。

8.根据权利要求1所述的方法,其特征在于:

所述对离子注入后的阶梯区域进行填充和置换的具体过程如下:首先通过使用干法/湿法刻蚀工艺来刻蚀除掉氮化硅层、注入氧化物层和注入氮化物层,被刻蚀掉的部分形成沟槽;然后使用导电材料填充上述沟槽,形成导电层;最后,使用填充材料覆盖阶梯区域,使其顶部重新形成一个平面。

9.根据权利要求8所述的方法,其特征在于:

所述填充导电材料和/或使用填充材料覆盖阶梯区域的工艺包括以下中的一种或多种:化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

10.根据权利要求8所述的方法,其特征在于:

所述导电材料为钨、钴、铜、铝和/或硅化物中的一种或几种的组合;所述填充材料为氧化硅。

Micron Ex. 1002, p. 396
Micron v. YMTC
IPR2025-00035

一种利用离子注入增大阶梯区域接触窗口的方法

技术领域

[0001] 本发明涉及一种利用离子注入增大阶梯区域接触窗口的方法，涉及3D NAND存储器制造技术领域。

背景技术

[0002] 由于3D NAND的触点结构需要穿透多层薄膜并停在不同界面，实际刻蚀的过程中由于字线的均匀性，导致不同深度的触点需要拆分开来加工(如图2所示)。如图1所示，3D NAND阶梯区域的字线厚度是均匀的，这样用同一张掩模来做触点，刻蚀开不同高度，就容易导致吃穿(右上画圈部分)。针对未来发展要求字线厚度越来越小的情况下，用一张掩模来达到多层触点的定义，预计会更加困难。

发明内容

[0003] 本发明通过在阶梯区域上引入离子注入，增大氧化物/氮化硅的去除时的刻蚀速率，在通过刻蚀去除氮化硅的过程中，能够刻蚀掉更多的空间，从而在阶梯堆栈区域形成更厚的钨层。

[0004] 具体的，本发明提供了一种利用离子注入增大阶梯区域接触窗口的方法，所述方法包括如下步骤：

[0005] 形成阶梯堆栈；

[0006] 对上述阶梯堆栈进行阶梯刻蚀，形成阶梯区域；

[0007] 对所述阶梯区域进行离子注入，在阶梯区域分别形成呈阶梯状分布的注入氧化物层和注入氮化物层；

[0008] 对离子注入后的阶梯区域进行填充和置换。

[0009] 优选的，所述阶梯堆栈的形成方法为在硅基板上交替形成若干层氧化物层和氮化物层。

[0010] 优选的，所述氧化物是氧化硅，所述氮化物是氮化物。

[0011] 优选的，形成所述氧化物层和氮化物层的工艺使用薄膜沉淀工艺。

[0012] 优选的，所述薄膜沉淀工艺包括以下中的一种或多种：化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

[0013] 优选的，使用干法/湿法刻蚀工艺来形成所述阶梯区域

[0014] 优选的，所述注入氧化物层位于注入氮化物层的上表面。

[0015] 优选的，所述对离子注入后的阶梯区域进行填充和置换的具体过程如下：首先通过使用干法/湿法刻蚀工艺来刻蚀除掉氮化硅层、注入氧化物层和注入氮化物层，被刻蚀掉的部分形成沟槽；然后使用导电材料填充上述沟槽，形成导电层；最后，使用填充材料覆盖阶梯区域，使其顶部重新形成一个平面。

[0016] 优选的，所述填充导电材料和/或使用填充材料覆盖阶梯区域的工艺包括以下中的一种或多种：化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

Micron Ex. 1002, p. 397
Micron v. YMTC
IPR2025-00035

[0017] 优选的，所述导电材料为钨、钴、铜、铝和/或硅化物中的一种或几种的组合；所述填充材料为氧化硅。

[0018] 本发明采用离子注入增大台阶处湿法刻蚀的速率，增大去除氮化硅后的体积，进而加厚了台阶处钨层的厚度，增大工艺的窗口，减少了掩模次数，降低生产成本，该方法增加了字线在阶梯堆栈区的金属厚度，用简单的方法增大了工艺窗口，降低了生产成本。

附图说明

[0019] 通过阅读下文优选实施方式的详细描述，各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的，而并不认为是对本发明的限制。而且在整个附图中，用相同的参考符号表示相同的部件。在附图中：

[0020] 图1是传统的3D NAND的触点结构制作方法缺点一示意图。

[0021] 图2是传统的3D NAND的触点结构制作方法缺点二示意图；

[0022] 图3是本发明利用离子注入增大阶梯区域接触窗口的方法步骤一示意图；

[0023] 图4是本发明利用离子注入增大阶梯区域接触窗口的方法步骤二示意图；

[0024] 图5是本发明利用离子注入增大阶梯区域接触窗口的方法步骤三示意图；

[0025] 图6是本发明利用离子注入增大阶梯区域接触窗口的方法步骤四示意图；

具体实施方式

[0026] 下文将参照附图更充分地描述本发明的实施例，本发明的优选实施例在附图中示出。然而，本发明可以以不同的方式实施，而不应被解释为仅限于此处所述的实施例。在整个说明书中相同的附图标记始终指代相同的元件。

[0027] 应当理解，虽然这里可使用术语第一、第二等描述各种元件，但这些元件不应受限于这些术语。这些术语用于使一个元件区别于另一个元件。例如，第一元件可以称为第二元件，类似地，第二元件可以称为第一元件，而不背离本发明的范围。如此处所用的，术语“和/或”包括一个或多个所列相关项目的任意及所有组合。

[0028] 应当理解，当称一个元件在另一元件“上”、“连接到”或“耦合到”另一元件时，它可以直接在另一元件上或者连接到或耦合到另一元件，或者还可以存在插入的元件。相反，当称一个元件“直接在”另一元件上或者“直接连接到”或“直接耦合到”另一元件时，不存在插入的元件。其他的用于描述元件之间关系的词语应当以类似的方式解释(例如，“在...之间”相对于“直接在...之间”、“相邻”相对于“直接相邻”等)。这里当称一个元件在另一元件上时，它可以在另一元件上或下，直接耦合到另一元件，或者可以存在插入的元件，或者元件可以通过空隙或间隙分隔开。

[0029] 这里所用的术语仅仅是为了描述特定实施例，并非要限制本发明。如此处所用的，除非上下文另有明确表述，否则单数形式“一”和“该”均同时旨在包括复数形式。还应当理解，术语“包括”、“包括”、“包括”和/或“包括”，当在此处使用时，指定了所述特征、整体、步骤、操作、元件和/或组件的存在，但并不排除一个或多个其他的特征、整体、步骤、操作、元件、组件和/或其组合的存在或添加。

[0030] 本发明的方法步骤如下：

[0031] S1、如图3所示，准备阶梯堆栈；所述阶梯堆栈的形成方法为在硅基板1上交替形成

Micron Ex. 1002, p. 398
Micron v. YMTC
IPR2025-00035

若干层氧化物层2和氮化物层3。所述氧化物可以是氧化硅，也可以是其他常见固体氧化物；所述氮化物可以是氮化物，也可以是其他常见固体氮化物。形成氧化物层2和氮化物层3的工艺可以使用薄膜沉淀工艺，包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)和/或其他合适的方法。化学气相沉积(CVD)是半导体工业中应用最为广泛的用来沉积多种材料的技术，包括大范围的绝缘材料，大多数金属材料和金属合金材料。从理论上来说，它是很简单的：两种或两种以上的气态原材料导入到一个反应室内，然后他们相互之间发生化学反应，形成一种新的材料，沉积到晶片表面上。沉积氮化硅膜(Si3N4)就是一个很好的例子，它是由硅烷和氮反应形成的。物理气相沉积(Physical Vapor Deposition,PVD)技术表示在真空条件下，采用物理方法，将材料源——固体或液体表面气化成气态原子、分子或部分电离成离子，并通过低压气体(或等离子体)过程，在基体表面沉积具有某种特殊功能的薄膜的技术。物理气相沉积的主要方法有，真空蒸镀、溅射镀膜、电弧等离子体镀、离子镀膜，及分子束外延等。物理气相沉积技术不仅可沉积金属膜、合金膜、还可以沉积化合物、陶瓷、半导体、聚合物膜等。原子层沉积是通过将气相前驱体脉冲交替地通入反应器并在沉积基体上化学吸附并反应而形成沉积膜的一种方法(技术)。当前驱体达到沉积基体表面，它们会在其表面化学吸附并发生表面反应。在前驱体脉冲之间需要用惰性气体对原子层沉积反应器进行清洗。由此可知沉积反应前驱体物质能否在被沉积材料表面化学吸附是实现原子层沉积的关键。气相物质在基体材料的表面吸附特征可以看出，任何气相物质在材料表面都可以进行物理吸附，但是要实现在材料表面的化学吸附必须具有一定的活化能，因此能否实现原子层沉积，选择合适的反应前驱体物质是很重要的。

[0032] S2、如图4所示，对上述阶梯堆栈进行阶梯刻蚀，形成阶梯区域；在这个步骤中，使用干法/湿法刻蚀工艺来形成阶梯区域。因干法/湿法刻蚀工艺对本实施例的形成方法不构成实质性影响且不属于本发明的发明点所在，因此本实施例不再赘述。

[0033] S3、如图5所示，对阶梯区域进行离子注入，在阶梯区域分别形成呈阶梯状分布的注入氧化物层2`和注入氮化物层3`，其中注入氧化物层2`位于注入氮化物层3`的上表面。因离子注入工艺对本实施例的形成方法不构成实质性影响且不属于本发明的发明点所在，因此本实施例不再赘述。

[0034] S4、如图6所示，对离子注入后的阶梯区域进行填充和置换。在这个步骤中，首先通过使用干法/湿法刻蚀工艺来刻蚀除掉氮化硅层3、注入氧化物层2`和注入氮化物层3`，被刻蚀掉的部分形成沟槽；然后使用导电材料填充上述沟槽，形成导电层4；最后，使用填充材料5覆盖阶梯区域，使其顶部重新形成一个平面。填充导电材料的工艺可以使用薄膜沉淀工艺，包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)和/或其他合适的方法。所述导电材料可以采用钨、钴、铜、铝和/或硅化物中的一种或几种的组合。使用填充材料5覆盖阶梯区域的工艺可以使用薄膜沉淀工艺，包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)和/或其他合适的方法。所述填充材料5可以采用常见的固体氧化物如氧化硅等。

[0035] 以上所述，仅为本发明较佳的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

Micron Ex. 1002, p. 399
Micron v. YMTC
IPR2025-00035

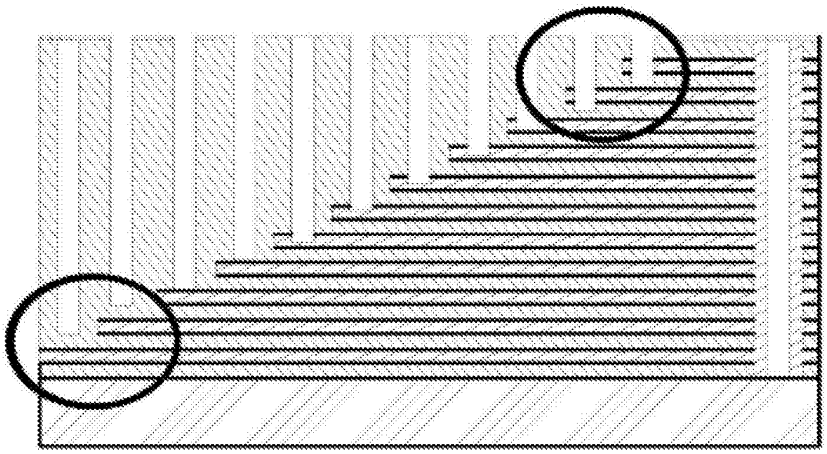


图1

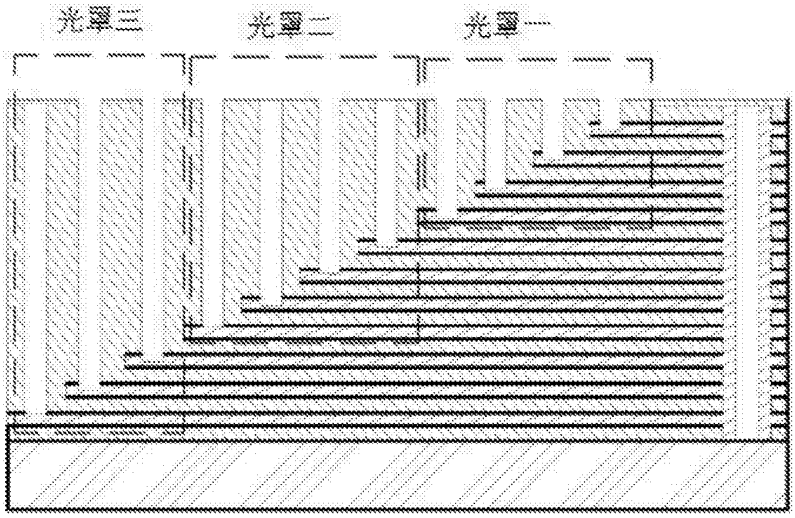


图2

Micron Ex. 1002, p. 400
Micron v. YMTC
IPR2025-00035

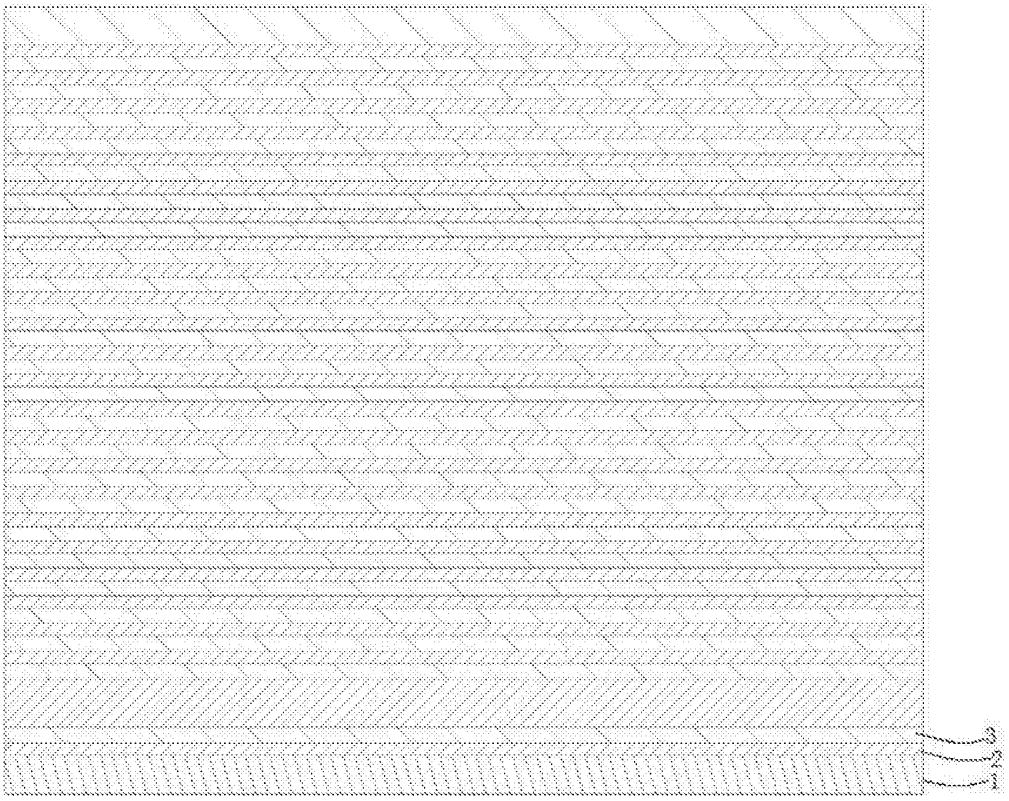


图3

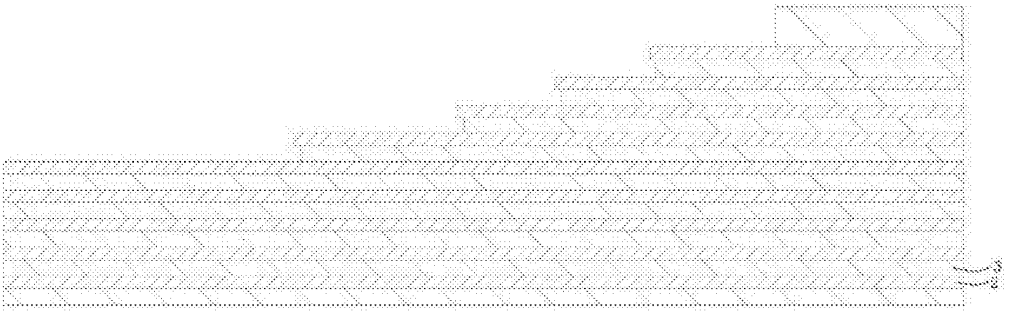


图4

Micron Ex. 1002, p. 401
Micron v. YMTC
IPR2025-00035

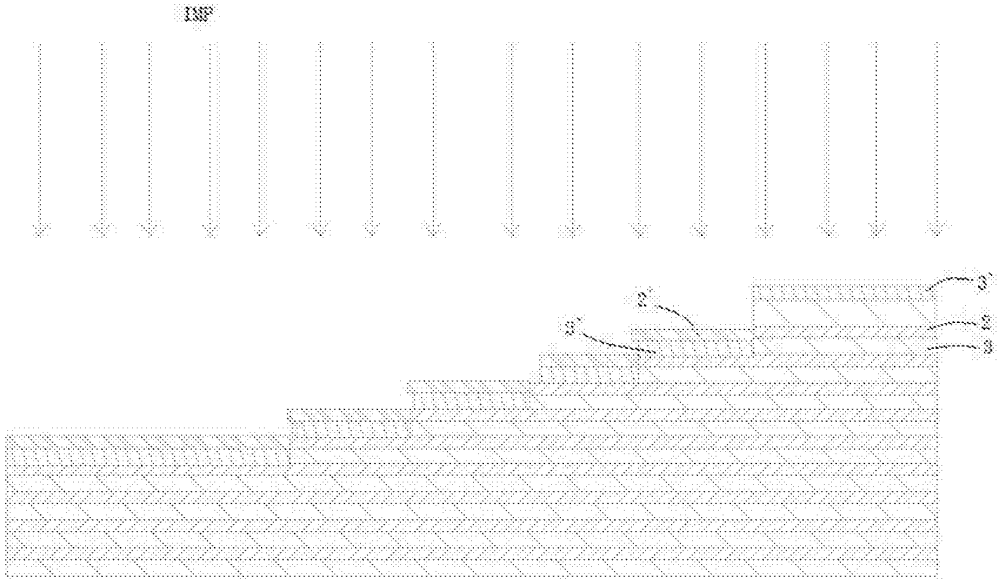


图5

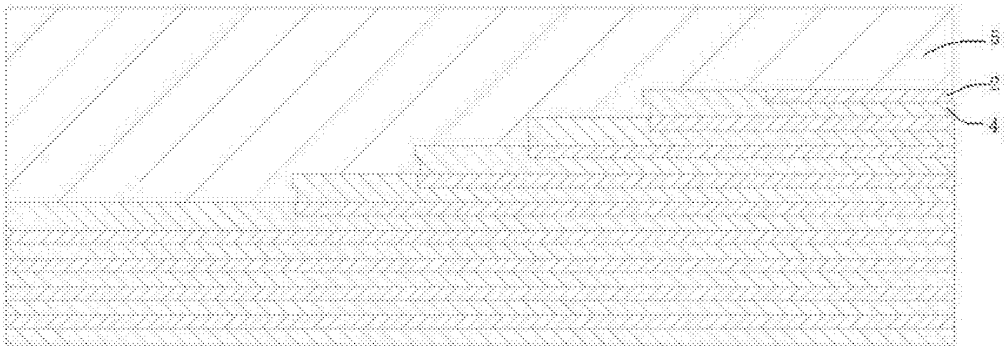


图6

Micron Ex. 1002, p. 402
Micron v. YMTC
IPR2025-00035

PATENT COOPERATION TREATY

PCT

INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference	**FOR FURTHER ACTION**	see Form PCT/ISA/220 as well as, where applicable, item 5 below.
P2020TC1162		
International application No.	International filing date *(day/month/year)*	(Earliest)Priority date *(day/month/year)*
PCT/CN2020/094658	05 Jun. 2020 (05. 06. 2020)	
Applicant		
YANGTZE MEMORY TECHNOLOGIES CO., LTD.		

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of 5 sheets.

☐ It is also accompanied by a copy of each prior art document cited in this report.

1. **Basis of the report**

a. With regard to the **language**, the international search was carried out on the basis of:

☒ the international application in the language in which it was filed

☐ a translation of the international application into _____, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b))

b. ☐ This international search report has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43.6bis(a)).

c. ☐ With regard to any **nucleotide and /or amino acid sequence** disclosed in the international application, see Box No. I.

2. ☐ **Certain claims were found unsearchable** (see Box No. II)

3. ☐ **Unity of invention is lacking** (see Box No. III)

4. With regard to the **title**,

☒ the text is approved as submitted by the applicant.

☐ the text has been established by this Authority to read as follows:

5. With regard to the **abstract**,

☐ the text is approved as submitted by the applicant.

☒ the text has been established, according to Rule 38.2(b), by this Authority as it appears in Box IV.

The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority.

6. With regard to the **drawings**,

a. The figure of the **drawings** to be published with the abstract is Figure No.3A

☒ as suggested by the applicant

☐ as selected by this Authority, because the applicant failed to suggest a figure

☐ as selected by this Authority, because this figure better characterizes the invention

b. ☐ none of the figures is to be published with the abstract

Micron Ex. 1002, p. 403
Micron v. YMTC
IPR2025-00035

Box No. IV Text of the abstract (Continuation of item 5 of the first sheet)

3D memory devices (100, 200) having staircase structures (102, 202-1, 202-2) and methods for forming the same are provided. The 3D memory device (100, 200) includes a memory array structure (104-1, 104-2, 204) and a staircase structure (102, 202-1, 202-2) in an intermediate of the memory array structure (104-1, 104-2, 204). The staircase structure (102, 202-1, 202-2) includes a plurality of stairs (114, 214, 314, 414) extending along the lateral direction, and a bridge structure (108, 208, 308, 408) in contact with a first memory array structure (104-1) and a second memory array structure (104-2). The plurality of stairs (114, 214, 314, 414) includes a stair (114, 214, 314, 414) above one or more dielectric pairs. The stair (114, 214, 314, 414) includes a conductor portion (320, 420) on a top surface of the stair (114, 214, 314, 414) and in contact with and electrically connected to the bridge structure (108, 208, 308, 408), and is electrically connected to at least one of the first memory array structure (104-1) and a second memory array structure (104-2) of the memory array structure (104-1, 104-2, 204) through the bridge structure (108, 208, 308, 408). Along a second lateral direction, a width of the conductor portion (320, 420) is unchanged.

Micron Ex. 1002, p. 404
Micron v. YMTC
IPR2025-00035

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094658

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11524(2017.01)i; H01L 27/11556(2017.01)i; H01L 27/1157(2017.01)i; H01L 27/11582(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI, EPODOC, CNPAT, IEEE, CNKI: memory, 3D, three, dimensional, staircase, bridge, conductor, width, etch, ion, implant

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107768377A (SAMSUNG ELECTRONICS CO., LTD.) 06 Mar.2018(06.03.2018) description, paragraphs [0038]-[0084] and figures 4-19	24-28, 31, 34
Y	CN 107768377A (SAMSUNG ELECTRONICS CO., LTD.) 06 Mar.2018(06.03.2018) description, paragraphs [0038]-[0084] and figures 4-19	1-5, 8, 10-17, 20, 22-23, 33
Y	US 2020020714A1 (SK HYNIX INC.) 16 Jan.2020(16.01.2020) description, paragraphs [0053]-[0089] and figures 3-16	1-5, 8, 10-17, 20, 22-23, 33
A	CN 109754836A (SAMSUNG ELECTRONICS CO., LTD.) 14 May 2019(14.05.2019) the whole document	1-45
A	CN 109309095A (SAMSUNG ELECTRONICS CO., LTD.) 05 Feb.2019(05.02.2019) the whole document	1-45
A	CN 107731845A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 23 Feb.2018(23.02.2018) the whole document	1-45

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

Micron Ex. 1002, p. 405
Micron v. YMTC
IPR2025-00035

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094658

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&"document member of the same patent family
Date of the actual completion of the international search 07 Jan. 2021(07. 01. 2021)	Date of mailing of the international search report 27 Jan. 2021(27. 01. 2021)
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No.(86-10)62019451	Authorized officer YAN, Miaoqing Telephone No.: 86-(10)-53961449

Form PCT/ISA /210 (3 sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094658

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN107768377A	06.03.2018	US2019273020A1	05.09.2019
		US2020235003A1	23.07.2020
		US2018053686A1	22.02.2018
		US10658230B2	19.05.2020
		US10312138B2	04.06.2019
		KR20180019807A	27.02.2018
US2020020714A1	16.01.2020	KR20200007212A	22.01.2020
		CN110718553A	21.01.2020
		US10629614B2	21.04.2020
CN109754836A	14.05.2019	US10446575B2	15.10.2019
		KR20190051694A	15.05.2019
		US2019139978A1	09.05.2019
CN109309095A	05.02.2019	KR20190012061A	08.02.2019
		US2019035733A1	31.01.2019
		US2019333855A1	31.10.2019
		SG10201803316YA	27.02.2019
		US10615124B2	07.04.2020
		US10396035B2	27.08.2019
CN107731845A	23.02.2018	CN107731845B	11.09.2020

Micron Ex. 1002, p. 407
Micron v. YMTC
IPR2025-00035

Electronic Acknowledgement Receipt

EFS ID:	42543913
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	24-APR-2021
Filing Date:	31-JUL-2020
Time Stamp:	19:13:34
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	10018-01-0122-US_IDS3-SB08.pdf	612208 227e06798dea77b3b385ceeeb2b2092770c3f875	no	4

Warnings:

Information:					
2	Foreign Reference	CN107768377A_Bibl.pdf	7600715 f9cf959683ae59d25daf4e4ff34e50d4db535517	no	39
Warnings:					
Information:					
3	Foreign Reference	CN109754836A_Bibl.pdf	10310915 bf2bad0fd994d05355b539c837086d2006eb3b88	no	47
Warnings:					
Information:					
4	Foreign Reference	CN107731845A_Bibl.pdf	1632383 53b573b596df6b2faf3262c5eabd53dadfaa178e	no	9
Warnings:					
Information:					
5	Other Reference-Patent/App/Search documents	NPL1_ISR_PCTCN2020094658_2021-01-27.pdf	8490729 61ab0e1bd92dc0a466cc5e18f09db7ab01ea867e	no	5
Warnings:					
Information:					
		Total Files Size (in bytes):	28646950		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	TBD
Examiner Name	TBD
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20190081072	A1	2019-03-14	Chun et al.	
	2	20210193676	A1	2021-06-24	Zhang et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	110797345	CN	A	2020-02-14	SAMSUNG ELECTRONICS CO LTD		
	2	111033729	CN	A	2020-04-17	YANGTZE MEMORY TECH CO LTD		

Micron Ex. 1002, p. 410
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	TBD
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

	3	107293532	CN	A	2017-10-24	MACRONIX INT CO LTD		
	4	110391248	CN	A	2019-10-29	SAMSUNG ELECTRONICS CO LTD		
	5	108428703	CN	A	2018-08-21	YANGTZE MEMORY TECH CO LTD		
	6	108231786	CN	A	2018-06-29	SAMSUNG ELECTRONICS CO LTD		
	7	110718553	CN	A	2020-01-21	SK HYNIX INC		

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Search Report issued in corresponding International Application No. PCT/CN2020/094649, mailed January 27, 2021, 5 pages	

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Micron Ex. 1002, p. 411
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	TBD
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-11-23
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Micron Ex. 1002, p. 412
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 413
Micron v. YMTC
IPR2025-00035

Espacenet

CN110797345A VERTICAL MEMORY DEVICE

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: HYUN SEUNG,KANG SHIN-HWAN,SHIM SUN-IL

Classifications:

IPC ***H01L27/11524; H01L27/11529; H01L27/11556;***

CPC **H01L21/76816 (EP); H01L21/76843 (EP); H01L21/76858 (EP); H01L23/535 (US); H01L27/11524 (CN); H01L27/11529 (CN); H01L27/11556 (CN); H01L27/11573 (EP,US); H01L27/11575 (EP); H01L27/11582 (EP,US); H01L29/4234 (US); H01L29/456 (US);**

Priorities: KR20180090766A 2018-08-03

Application: CN110797345A·2019-06-19

Publication: CN110797345A·2020-02-14

Published as: CN110797345A;**KR20200015219A; US2020043943A1**

VERTICAL MEMORY DEVICE

Abstract

A vertical memory device includes first gate electrodes stacked on a cell region of a substrate and spaced apart from each other in a vertical direction substantially perpendicular to an upper surfaceof the substrate, a channel extending through the first gate electrodes and extending in the vertical direction, a first contact plug structure contacting a corresponding one of the first gate electrodes, extending in the vertical direction, and including a first metal pattern, a first barrier pattern covering a lower surface and a sidewall of the first metal pattern and a first metal silicide pattern covering a lower surface and a sidewall of the first barrier pattern, and a second contact plug structure extending in the vertical direction on a peripheral circuit region of the substrate andincluding a second metal pattern and a second barrier pattern covering a lower surface and a sidewall of the second metal pattern.

Micron Ex. 1002, p. 414
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110797345 A
(43)申请公布日 2020.02.14

(21)申请号 201910530079.1

(22)申请日 2019.06.19

(30)优先权数据
10-2018-0090766 2018.08.03 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道

(72)发明人 姜信焕 沈善一 玄升

(74)专利代理机构 北京市立方律师事务所 11330
代理人 李娜

(51)Int.Cl.
H01L 27/11556(2017.01)
H01L 27/11524(2017.01)
H01L 27/11529(2017.01)

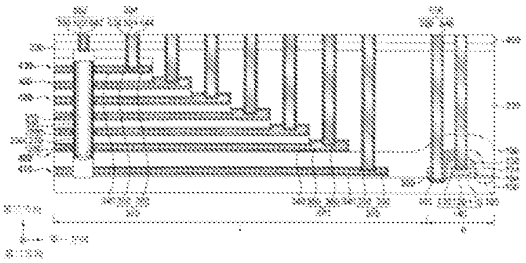
权利要求书3页 说明书13页 附图23页

(54)发明名称

垂直存储器件

(57)摘要

提供了一种垂直存储器件，其包括：多个第一栅电极，在衬底的单元区域上堆叠，并在基本垂直于衬底的上表面的垂直方向上彼此间隔开；沟道，延伸穿过所述多个第一栅电极并且在垂直方向上延伸；第一接触插塞结构，与所述多个第一栅电极中的相应的第一栅电极接触，在垂直方向上延伸，并且包括第一金属图案、覆盖第一金属图案的下表面和侧壁的第一阻挡图案以及覆盖第一阻挡图案的下表面和侧壁的第一金属硅化物图案；以及第二接触插塞结构，在衬底的外围电路区域上沿垂直方向延伸，并且包括第二金属图案以及覆盖第二金属图案的下表面和侧壁的第二阻挡图案。



CN 110797345 A

Micron Ex. 1002, p. 415
Micron v. YMTC
IPR2025-00035

1.一种垂直存储器件,所述垂直存储器件包括:

多个第一栅电极,所述多个第一栅电极在包括单元区域和外围电路区域的衬底的所述单元区域上堆叠,所述多个第一栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开;

沟道,所述沟道在所述垂直方向上延伸穿过所述多个第一栅电极中的一些第一栅电极;

第一接触插塞结构,所述第一接触插塞结构与所述多个第一栅电极中的相应的第一栅电极接触并在所述垂直方向上延伸,所述第一接触插塞结构包括:第一金属图案;第一阻挡图案,所述第一阻挡图案覆盖所述第一金属图案的下表面和侧壁;以及第一金属硅化物图案,所述第一金属硅化物图案覆盖所述第一阻挡图案的下表面和侧壁;以及

第二接触插塞结构,所述第二接触插塞结构在所述衬底的所述外围电路区域上沿所述垂直方向延伸,所述第二接触插塞结构包括:第二金属图案;以及第二阻挡图案,所述第二阻挡图案覆盖所述第二金属图案的下表面和侧壁。

2.根据权利要求1所述的垂直存储器件,其中,所述第一阻挡图案和所述第二阻挡图案均包括金属氮化物。

3.根据权利要求1所述的垂直存储器件,所述垂直存储器件还包括:

第二栅电极,所述第二栅电极设置在所述衬底的所述外围电路区域上;以及

杂质区域,所述杂质区域设置在所述衬底的所述外围电路区域的与所述第二栅电极相邻的上部处,

其中,所述第二接触插塞结构与所述第二栅电极或所述杂质区域接触。

4.根据权利要求3所述的垂直存储器件,其中,

所述第二接触插塞结构与所述杂质区域接触,并且

所述杂质区域的至少一部分包括金属硅化物。

5.根据权利要求4所述的垂直存储器件,其中,所述杂质区域的所述至少一部分中包括的所述金属硅化物与所述第一金属硅化物图案中包括的金属硅化物基本相同。

6.根据权利要求3所述的垂直存储器件,其中,所述第二接触插塞结构中的所述第二阻挡图案与所述第二栅电极或所述杂质区域直接接触。

7.根据权利要求1所述的垂直存储器件,其中,所述第一金属图案和所述第二金属图案包括基本相同的金属,并且所述第一阻挡图案和所述第二阻挡图案包括基本相同的金属氮化物。

8.根据权利要求1所述的垂直存储器件,其中,所述第一接触插塞结构的上表面和所述第二接触插塞结构的上表面彼此基本共面。

9.根据权利要求1所述的垂直存储器件,其中,所述第一接触插塞结构的下表面高于所述多个第一栅电极中的所述相应的第一栅电极的下表面。

10.根据权利要求1所述的垂直存储器件,其中,

所述多个第一栅电极均包括:第三金属图案;以及第三阻挡图案,所述第三阻挡图案覆盖所述第三金属图案的下表面、上表面和侧壁,并且

所述第一接触插塞结构的下表面高于所述多个第一栅电极中的所述相应的第一栅电极中的所述第三金属图案的下表面。

Micron Ex. 1002, p. 416
Micron v. YMTC
IPR2025-00035

11.根据权利要求1所述的垂直存储器件,其中,所述第一接触插塞结构中的所述第一金属硅化物图案的下表面和下侧壁与所述多个第一栅电极中的所述相应的第一栅电极直接接触。

12.根据权利要求1所述的垂直存储器件,所述垂直存储器件还包括:

多晶硅图案,所述多晶硅图案覆盖所述第一接触插塞结构的侧壁。

13.根据权利要求12所述的垂直存储器件,其中,

所述第一接触插塞结构中的所述第一金属硅化物图案的下表面与所述多个第一栅电极中的所述相应的第一栅电极直接接触,并且

覆盖所述第一接触插塞结构的所述侧壁的所述多晶硅图案与所述多个第一栅电极中的所述相应的第一栅电极直接接触。

14.根据权利要求1所述的垂直存储器件,所述垂直存储器件还包括:

第三接触插塞结构,所述第三接触插塞结构形成在所述沟道上以与所述沟道电连接,所述第三接触插塞结构包括:

第四金属图案;

第四阻挡图案,所述第四阻挡图案覆盖所述第四金属图案的下表面和侧壁;以及

第二金属硅化物图案,所述第二金属硅化物图案覆盖所述第四阻挡图案的下表面和侧壁。

15.根据权利要求14所述的垂直存储器件,所述垂直存储器件还包括:

覆盖图案,所述覆盖图案设置在所述沟道与所述第三接触插塞结构之间。

16.一种垂直存储器件,所述垂直存储器件包括:

多个栅电极,所述多个栅电极堆叠在衬底上,所述多个栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开;

沟道,所述沟道在所述垂直方向上延伸穿过所述多个栅电极中的一些栅电极;以及

第一接触插塞结构,所述第一接触插塞结构与所述多个栅电极中的相应的栅电极接触并在所述垂直方向上延伸,所述第一接触插塞结构包括:第一金属图案;第一金属氮化物图案,所述第一金属氮化物图案覆盖所述第一金属图案的下表面和侧壁;以及第一金属硅化物图案,所述第一金属硅化物图案覆盖所述第一金属氮化物图案的下表面和侧壁,

其中,所述第一接触插塞结构的下表面高于所述多个栅电极中的所述相应的栅电极的下表面。

17.根据权利要求16所述的垂直存储器件,其中,所述多个栅电极均包括:

第二金属图案;以及

第二金属氮化物图案,所述第二金属氮化物图案覆盖所述第二金属图案的下表面、上表面和侧壁,

其中,所述第一接触插塞结构的下表面高于所述多个栅电极中的所述相应的栅电极中的所述第二金属图案的下表面。

18.根据权利要求16所述的垂直存储器件,其中,

所述多个栅电极中的一些栅电极的每个端部处的焊盘的厚度大于所述多个栅电极中的所述一些栅电极的其他部分的厚度,并且

所述第一接触插塞结构与所述多个栅电极中的所述一些栅电极中的所述相应的栅电

Micron Ex. 1002, p. 417
Micron v. YMTC
IPR2025-00035

极的焊盘接触。

19.根据权利要求16所述的垂直存储器件，其中，所述第一接触插塞结构中的所述第一金属硅化物图案的下表面和下侧壁与所述多个栅电极中的所述相应的栅电极直接接触。

20.根据权利要求16所述的垂直存储器件，所述垂直存储器件还包括：

多晶硅图案，所述多晶硅图案覆盖所述第一接触插塞结构的侧壁。

21.根据权利要求20所述的垂直存储器件，其中，

所述第一接触插塞结构中的所述第一金属硅化物图案的下表面与所述多个栅电极中的所述相应的栅电极直接接触，并且

覆盖所述第一接触插塞结构的所述侧壁的所述多晶硅图案与所述多个栅电极中的所述相应的栅电极直接接触。

22.根据权利要求16所述的垂直存储器件，所述垂直存储器件还包括：

第二接触插塞结构，所述第二接触插塞结构形成在所述沟道上以与所述沟道电连接，所述第二接触插塞结构包括：

第三金属图案；

第三氮化物图案，所述第三氮化物图案覆盖所述第三金属图案的下表面和侧壁；以及

第二金属硅化物图案，所述第二金属硅化物图案覆盖所述第三金属氮化物图案的下表面和侧壁。

23.一种垂直存储器件，所述垂直存储器件包括：

电路图案，所述电路图案设置在包括单元区域和外围区域的衬底上；

绝缘中间层，所述绝缘中间层覆盖所述电路图案；

基础图案，所述基础图案在所述衬底的所述单元区域上设置在所述绝缘中间层上；

多个栅电极，所述多个栅电极设置在所述基础图案上，所述多个栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；

沟道，所述沟道在所述垂直方向上延伸穿过所述多个栅电极中的一些栅电极；

第一接触插塞结构，所述第一接触插塞结构与所述多个栅电极中的相应的栅电极接触并在所述垂直方向上延伸，所述第一接触插塞结构包括：第一金属图案；第一阻挡图案，所述第一阻挡图案覆盖所述第一金属图案的下表面和侧壁；以及第一金属硅化物图案，所述第一金属硅化物图案覆盖所述第一阻挡图案的下表面和侧壁；以及

第二接触插塞结构，所述第二接触插塞结构设置在所述衬底的所述外围区域上，所述第二接触插塞结构在所述垂直方向上延伸以电连接到所述电路图案，并且所述第二接触插塞结构包括：第二金属图案；以及第二阻挡图案，所述第二阻挡图案覆盖所述第二金属图案的下表面和侧壁。

24.根据权利要求23所述的垂直存储器件，其中，所述第二接触插塞结构的下表面低于所述第一接触插塞结构的下表面。

25.根据权利要求23所述的垂直存储器件，所述垂直存储器件还包括：

多晶硅图案，所述多晶硅图案覆盖所述第一接触插塞结构的侧壁。

Micron Ex. 1002, p. 418
Micron v. YMTC
IPR2025-00035

垂直存储器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年8月3日在韩国知识产权局(KIPO)提交的韩国专利申请No.10-2018-0090766的优先权，通过引用将其内容全部并入本文。

技术领域

[0003] 本发明构思的示例实施例涉及垂直存储器件及其制造方法。

背景技术

[0004] 在制造垂直NAND(VNAND)闪存器件的工艺中，可以形成孔以暴露衬底的单元区域上的栅电极，并且金属图案可以填充孔以形成可以分别连接到多个栅电极的多个接触插塞。然而，当栅电极的厚度小时，孔可能穿透栅电极。

发明内容

[0005] 本发明构思的示例实施例提供了一种具有增强的电特性的垂直存储器件及其制造方法。

[0006] 根据本发明构思的示例实施例，提供了一种垂直存储器件。所述垂直存储器件可以包括：多个第一栅电极，所述多个第一栅电极在包括单元区域和外围电路区域的衬底的所述单元区域上堆叠，所述多个第一栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；沟道，所述沟道延伸穿过所述多个第一栅电极中的一些第一栅电极并且在所述垂直方向上延伸；第一接触插塞结构，所述第一接触插塞结构与所述多个第一栅电极中的相应的第一栅电极接触并在所述垂直方向上延伸，所述第一接触插塞结构包括第一金属图案、覆盖所述第一金属图案的下表面和侧壁的第一阻挡图案以及覆盖所述第一阻挡图案的下表面和侧壁的第一金属硅化物图案；以及第二接触插塞结构，所述第二接触插塞结构在所述衬底的所述外围电路区域上沿所述垂直方向延伸，所述第二接触插塞结构包括第二金属图案以及覆盖所述第二金属图案的下表面和侧壁的第二阻挡图案。

[0007] 根据本发明构思的示例实施例，提供了一种垂直存储器件。所述垂直存储器件可以包括：多个栅电极，所述多个栅电极堆叠在衬底上，所述多个栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；沟道，所述沟道延伸穿过所述多个栅电极中的一些栅电极并且在所述垂直方向上延伸；第一接触插塞结构，所述第一接触插塞结构与所述多个栅电极中的相应的栅电极接触并在所述垂直方向上延伸，所述第一接触插塞结构包括第一金属图案、覆盖所述第一金属图案的下表面和侧壁的第一金属氮化物图案以及覆盖所述第一金属氮化物图案的下表面和侧壁的第一金属硅化物图案。所述第一接触插塞结构的下表面高于所述多个栅电极中的所述相应的栅电极的下表面。

[0008] 根据本发明构思的示例实施例，提供了一种垂直存储器件。所述垂直存储器件可以包括：电路图案，所述电路图案设置在包括单元区域和外围区域的衬底上；绝缘中间层，所述绝缘中间层覆盖所述电路图案；基础图案，所述基础图案在所述衬底的所述单元区域

Micron Ex. 1002, p. 419
Micron v. YMTC
IPR2025-00035

上设置在所述绝缘中间层上；多个栅电极，所述多个栅电极设置在所述基础图案上，所述多个栅电极在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；沟道，所述沟道在所述垂直方向上延伸穿过所述多个栅电极中的一些栅电极；第一接触插塞结构，所述第一接触插塞结构与所述多个栅电极中的所述相应的栅电极接触并在所述垂直方向上延伸，所述第一接触插塞结构包括第一金属图案、覆盖所述第一金属图案的下表面和侧壁的第一阻挡图案以及覆盖所述第一阻挡图案的下表面和侧壁的第一金属硅化物图案；以及第二接触插塞结构，所述第二接触插塞结构设置在所述衬底的所述外围区域上，所述第二接触插塞结构在所述垂直方向上延伸以电连接到所述电路图案，并且所述第二接触插塞结构包括第二金属图案以及覆盖所述第二金属图案的下表面和侧壁的第二阻挡图案。

[0009] 根据本发明构思的示例实施例，提供了一种制造垂直存储器件的方法。所述方法可以包括：形成由绝缘中间层覆盖并包括多个第一栅电极的栅电极结构，所述多个第一栅电极形成在包括单元区域和外围电路区域的衬底的所述单元区域上，并且在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；形成在所述垂直方向上延伸穿过所述绝缘中间层的第一接触孔，以分别暴露所述多个第一栅电极的一部分；在所述多个第一栅电极的暴露部分、所述第一接触孔的侧壁和所述绝缘中间层上形成多晶硅层；在所述衬底的所述外围电路区域上形成沿所述垂直方向延伸穿过所述绝缘中间层的第二接触孔；在所述多晶硅层、所述第二接触孔的内壁和所述绝缘中间层上形成阻挡层；执行热处理，使得所述阻挡层和所述多晶硅层可以彼此反应以形成金属硅化物层；以及形成第一金属图案和第二金属图案以分别填充所述第一接触孔和所述第二接触孔的剩余部分。

[0010] 根据本发明构思的示例实施例，提供了一种制造垂直存储器件的方法。所述方法可以包括：形成由绝缘中间层覆盖并包括多个栅电极的栅电极结构，所述多个栅电极形成在衬底上并在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；形成在所述垂直方向上延伸穿过所述绝缘中间层以分别暴露所述多个栅电极的一部分的接触孔；在所述多个栅电极的暴露部分、所述接触孔的侧壁和所述绝缘中间层上形成多晶硅层；在所述多晶硅层上形成阻挡层；执行热处理使得所述阻挡层和所述多晶硅层可以彼此反应以形成金属硅化物层；以及分别形成第一金属图案以填充接触孔的剩余部分。

[0011] 根据本发明构思的示例实施例，提供了一种制造垂直存储器件的方法。所述方法可以包括：在包括单元区域和外围区域的衬底上形成电路图案；形成第一绝缘中间层以覆盖所述电路图案；在所述衬底的所述单元区域上的所述第一绝缘中间层的一部分上形成基础图案；在所述第一绝缘中间层上形成被第二绝缘中间层覆盖并包括多个栅电极的栅电极结构，所述多个栅电极形成在所述衬底的所述单元区域上，并且在基本垂直于所述衬底的上表面的垂直方向上彼此间隔开；形成在所述垂直方向上延伸穿过所述第二绝缘中间层的第一接触孔，以分别暴露所述多个栅电极的一部分；在所述多个栅电极的暴露部分、所述第一接触孔的侧壁和所述第二绝缘中间层上形成多晶硅层；在所述衬底的所述外围区域上形成沿所述垂直方向延伸穿过所述第一绝缘中间层和所述第二绝缘中间层的第二接触孔，以暴露所述电路图案的一部分；在所述多晶硅层、所述电路图案的暴露部分、所述第二接触孔的侧壁和所述第二绝缘中间层上形成阻挡层；执行热处理，使得所述阻挡层和所述多晶硅层可以彼此反应以形成所述金属硅化物层；以及形成第一金属图案和第二金属图案以分别填充所述第一接触孔和所述第二接触孔的剩余部分。

Micron Ex. 1002, p. 420
Micron v. YMTC
IPR2025-00035

[0012] 在根据本发明构思的示例实施例的垂直存储器件中，形成为接触沿垂直方向堆叠的每个栅电极的接触插塞可以形成在相应的栅电极中，而不延伸穿过相应的栅电极，接触电阻可以减小，并且可以防止形成在不同层的栅电极之间的电短路。

附图说明

[0013] 从下面结合附图进行的详细描述中将更清楚地理解本发明构思的示例实施例，其中：

[0014] 图1至图14是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图；

[0015] 图15至图20是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图；以及

[0016] 图21至图23是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图。

[0017] 由于图1至图23中的附图是为了说明的目的，因此附图中的元件不一定按比例绘制。例如，为了清楚起见，一些元件可能被放大或夸大。

具体实施方式

[0018] 从下面结合附图进行的详细描述中将更清楚地理解本发明构思的示例实施例。

[0019] 图1至图14是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图。图11和图13分别是图10和图12的X区域的放大横截面视图。

[0020] 在下文中，在基本平行于衬底的上表面的水平方向中彼此相交的两个方向分别被定义为第一方向和第二方向，并且基本垂直于衬底的上表面的垂直方向被定义为第三方向。在本发明构思的示例实施例中，第一方向和第二方向可以彼此正交。第三方向可以基本上垂直于第一方向和第二方向。

[0021] 参考图1，可以在包括第一区域I和第二区域II的衬底100的第二区域II上形成栅极结构140。在本发明构思的示例实施例中，第一区域I可以被称为单元区域，第二区域II可以被称为外围电路区域。

[0022] 衬底100可以包括：IV族半导体材料，例如硅(Si)、锗(Ge)、硅锗(SiGe)等；或III-V族化合物，例如磷化镓(GaP)、砷化镓(GaAs)、锑化镓(GaSb)等。在本发明构思的示例实施例中，衬底100可以是绝缘体上硅(SOI)衬底或绝缘体上锗(GOI)衬底。

[0023] 栅极结构140可以通过在衬底100上顺序堆叠栅极绝缘层、栅电极层和栅极掩模层，并且图案化栅极绝缘层、栅电极层和栅极掩模层来形成。栅极绝缘层、栅电极层和栅极掩模层可以各自通过化学气相沉积(CVD)工艺、原子层沉积(ALD)工艺、物理气相沉积(PVD)工艺等形成。栅极绝缘层、栅电极层和栅极掩模层的图案化可以包括光刻工艺和各向异性蚀刻工艺。因此，栅极结构140可以包括顺序堆叠在衬底100上的栅极绝缘图案110、第二栅电极120和栅极掩模130。栅极绝缘图案110可以包括氧化物，例如氧化硅(SiO_2)，第二栅电极120可以包括金属(例如钨(W)、钛(Ti)、铝(Al)等)和/或掺杂多晶硅，栅极掩模130可以包括氮化物，例如氮化硅(Si_3N_4)。可选地，栅极绝缘图案110可以包括介电常数大于氧化硅(SiO_2)的介电常数(例如介电常数为约10至约25)的材料，并且可以包括金属氧化物，例如

Micron Ex. 1002, p. 421
Micron v. YMTC
IPR2025-00035

氧化铪(HfO_2)、氧化钽(Ta_2O_5)、氧化锆(ZrO_2)等。

[0024] 可以在栅极结构140的侧壁上形成栅极间隔物150。栅极间隔物150可以通过形成栅极间隔物层以共形地覆盖栅极结构140，并且各向异性地蚀刻栅极间隔物层来形成。栅极间隔物150可以包括氮化物，例如氮化硅(Si_3N_4)，因此可以与栅极掩模130合并。在形成栅极间隔物150之后，可以将杂质注入与栅极结构140邻近的衬底100的上部，以形成第一杂质区域105。第一杂质区域105可以包括n型杂质或p型杂质，并且与栅极结构140一起可以形成晶体管。第一杂质区域105可以用作晶体管的源极/漏极区。

[0025] 在衬底100上顺序地形成第一绝缘层和蚀刻停止层以覆盖栅极结构140和栅极间隔物150之后，可以将第一绝缘层和蚀刻停止层图案化以分别形成顺序堆叠在衬底100的第一区域I上的第一绝缘图案162和第一牺牲图案172，并且分别形成顺序堆叠在衬底100的第二区域II上的第二绝缘图案164和蚀刻停止图案174。

[0026] 在本发明构思的示例实施例中，第一绝缘图案162和第一牺牲图案172可以在俯视图中形成为在衬底100的第一区域I上具有矩形形状，并且第二绝缘图案164和蚀刻停止图案174可以形成为在俯视图中覆盖衬底100的第二区域II上的栅极结构140和栅极间隔物150。此外，形成的第二绝缘图案164和蚀刻停止图案174可以覆盖衬底100的第二区域II上的第一杂质区域105。

[0027] 第一绝缘层可以包括氧化物，例如氧化硅(SiO_2)，蚀刻停止层可以包括氮化物，例如氮化硅(Si_3N_4)。

[0028] 参考图2，可以在衬底100上形成第一绝缘中间层180，以覆盖第一绝缘图案162、第二绝缘图案164、第一牺牲图案172和蚀刻停止图案174。

[0029] 第一绝缘中间层180可以包括氧化物，例如氧化硅(SiO_2)。在本发明构思的示例实施例中，第一绝缘中间层180可以包括顺序堆叠的第一层和第二层，第一层和第二层可以分别包括例如高密度等离子体(HDP)氧化物和原硅酸四乙酯(TEOS)。

[0030] 牺牲层和第二绝缘层可以交替地且重复地堆叠在第一绝缘中间层180上。因此，多个牺牲层和多个第二绝缘层可以沿第三方向交替地堆叠。图2示出了交替地形成六层牺牲层和六层第二绝缘层，然而，本发明的构思不限于此。例如，牺牲层的数量和第二绝缘层的数量可以多于或少于六个。

[0031] 第二绝缘层和牺牲层可以通过例如CVD工艺、等离子体增强化学气相沉积(PECVD)工艺、ALD工艺等工艺形成。第二绝缘层可以包括氧化硅(SiO_2)，例如TEOS、HDP氧化物或聚环氧乙烷(PEOX)等，牺牲层可以包括相对于第二绝缘层具有蚀刻选择性的材料，例如氮化硅(Si_3N_4)。

[0032] 可以通过光刻工艺在最上面的第二绝缘层上形成光刻胶图案以部分地覆盖最上面的第二绝缘层，并且可以使用光刻胶图案作为蚀刻掩模来蚀刻最上面的第二绝缘层和最上面的牺牲层。因此，可以暴露最上面的牺牲层下方的第二绝缘层的一部分。在通过修整工艺以给定的比例减小光刻胶图案的面积之后，可以通过使用减小的光刻胶图案作为蚀刻掩模的蚀刻工艺再次蚀刻最上面的第二绝缘层、最上面的牺牲层、所暴露的第二绝缘层和其下方的牺牲层。修整工艺和蚀刻工艺可以交替地且重复地执行，使得可以在衬底100的第一区域I上形成包括顺序堆叠的第二牺牲图案210和第三绝缘图案220的多个台阶的模制物，并且可以在衬底100的第二区域II上暴露第一绝缘中间层180的上表面。因此，多个台阶中

Micron Ex. 1002, p. 422
Micron v. YMTC
IPR2025-00035

的每一个台阶不仅可以包括暴露部分，还可以包括被上层台阶覆盖的部分。

[0033] 在本发明构思的示例实施例中，模制物中的台阶可以具有从其最低层向最高层以给定比率减小的面积。在俯视图中，模制物中的最下面的台阶的面积也可以小于包括第一绝缘图案162和第一牺牲图案172的台阶的面积。模制物中包括的台阶可以具有在第一方向上延伸的长度，并且长度可以从其最低的台阶向最高的台阶逐渐减小。

[0034] 参考图3，可以增加第二牺牲图案210中的一些第二牺牲图案210的在第一方向上的各端部的厚度。

[0035] 在本发明构思的示例实施例中，可以去除模制物的每一个台阶的暴露部分中的第三绝缘图案220的未被上部台阶覆盖的端部，以暴露第二牺牲图案210的位于模制物的暴露部分中的端部。然后，可以在第二牺牲图案210的暴露的端部上进一步沉积与第二牺牲图案210的材料基本相同的材料，以增加第二牺牲图案210中的一些第二牺牲图案210的各端部的厚度。因此，第二牺牲图案210中的一些第二牺牲图案210的在第一方向上的各端部可以具有比其其他部分的上表面高的上表面，并且可以具有相对较大的厚度。

[0036] 图3示出了除了最上面的第二牺牲图案210之外的所有第二牺牲图案210的各端部的厚度增加，然而，本发明构思可以不限于此，例如，所有第二牺牲图案210的各端部的厚度可以无一例外地增加。

[0037] 参考图4，可以在第一绝缘中间层180上形成第二绝缘中间层230以覆盖模制物，并且可以对第二绝缘中间层230的上部执行平坦化工艺。第二绝缘中间层230可以包括例如氧化硅(SiO_2)，因此可以与第一绝缘中间层180合并。

[0038] 平坦化工艺可以包括例如化学机械抛光(CMP)工艺和/或回蚀工艺，并且可以被执行直到最上面的第三绝缘图案220的上表面被暴露，或者可以被执行到比最上面的第三绝缘图案220的上表面的高度高的高度。

[0039] 在第二绝缘中间层230上形成第一掩模之后，可以使用第一掩模作为蚀刻掩模来蚀刻第二绝缘中间层230、第三绝缘图案220、第二牺牲图案210、第一绝缘中间层180、第一牺牲图案172和第一绝缘图案162，以形成延伸穿过第二绝缘中间层230、第三绝缘图案220、第二牺牲图案210、第一绝缘中间层180、第一牺牲图案172和第一绝缘图案162并暴露衬底100的第一区域I的沟道孔240。

[0040] 第一掩模可以包括例如无定形碳层(ACL)、旋涂硬掩模(SOH)、光刻胶图案等。第一掩模的形成可以包括光刻工艺，并且可以另外包括各向异性蚀刻工艺。

[0041] 在本发明构思的示例实施例中，沟道孔240可以通过各向异性蚀刻工艺形成，并且沟道孔240下方的衬底100的第一区域I的顶表面可以通过过度蚀刻而凹陷。换句话说，沟道孔240的底表面可以低于衬底100的第一区域I的顶表面。然而，本发明构思可以不限于此。例如，沟道孔240下方的衬底100的第一区域I可以不被过度蚀刻。

[0042] 可以在第一方向和第二方向的每个方向上形成多个沟道孔240，以形成沟道孔阵列。

[0043] 可以执行使用衬底100的由沟道孔240暴露的上表面作为晶种的选择性外延生长(SEG)工艺，以形成部分地填充沟道孔240的外延层250。

[0044] 在本发明构思的示例实施例中，可以使用硅源气体、蚀刻气体和载气来执行SEG工艺，因此单晶硅层可以形成为外延层250。

Micron Ex. 1002, p. 423
Micron v. YMTC
IPR2025-00035

[0045] 在SEG工艺中，硅源气体可以包括例如硅烷(SiH_4)气体、乙硅烷(Si_2H_6)气体、二氯硅烷(SiH_2Cl_2)气体等。蚀刻气体可以包括例如氯化氢(HCl)气体，载气可以包括例如氢(H_2)气。

[0046] 在本发明构思的示例实施例中，外延层250可以被掺杂。例如，当沟道孔240下方的衬底100的第一区域I被掺杂时，外延层250也可以被掺杂，并且外延层250可以包括导电类型与沟道孔240下方的衬底100的第一区域I的导电类型相同的半导体材料。

[0047] 在本发明构思的示例实施例中，外延层250的上表面可以高于第一绝缘中间层180的下表面，并且可以低于第一绝缘中间层180的上表面。

[0048] 参考图5，在去除第一掩模之后，可以在沟道孔240的侧壁、外延层250的上表面和第二绝缘中间层230的上表面上顺序形成第一阻挡层、电荷存储层、隧道绝缘层和第一间隔物层。第一阻挡层、电荷存储层、隧道绝缘层和第一间隔物层可以共形地形成为具有不完全地填充每个沟道孔240的厚度，并且可以通过例如ALD工艺和/或CVD工艺形成。然后，可以各向异性地蚀刻第一间隔物层，以形成仅保留在沟道孔240的侧壁上的第一间隔物，并且可以使用第一间隔物作为蚀刻掩模来蚀刻隧道绝缘层、电荷存储层和第一阻挡层，以在沟道孔240的侧壁上形成具有杯状形状(该杯状形状的中心下部开口)的隧道绝缘图案280、电荷存储图案270和第一阻挡图案260。在蚀刻工艺期间，外延层250的上部也可以与第一掩模一起被部分地去除。蚀刻工艺可以是垂直干法蚀刻工艺，例如反应离子蚀刻(RIE)工艺。隧道绝缘图案280、电荷存储图案270和第一阻挡图案260一起可以形成电荷存储结构290。

[0049] 隧道绝缘图案280和第一阻挡图案260可以包括氧化物，例如氧化硅(SiO_2)。电荷存储图案270可以包括氮化物，例如氮化硅(Si_3N_4)。

[0050] 在去除第一间隔物之后，可以在暴露的外延层250、隧道绝缘图案280和第二绝缘中间层230上形成沟道层，然后可以在沟道层上形成填充层，以充分地填充每个沟道孔240的剩余部分。沟道层可以通过例如ALD工艺和/或CVD工艺形成。填充层可以通过旋涂玻璃(SOG)技术形成。

[0051] 沟道层可以包括掺杂或未掺杂的多晶硅或非晶硅(Si)，填充层可以包括氧化物，例如氧化硅(SiO_2)。当沟道层形成为包括非晶硅(Si)时，可以进一步执行激光外延生长工艺或固相外延工艺，以将沟道层转变为晶体硅(Si)。

[0052] 填充层和沟道层可以被平坦化，直到第二绝缘中间层230的上表面暴露，从而可以形成填充图案310来填充每个沟道孔240的剩余部分，并且沟道层可以转变成沟道300。

[0053] 因此，电荷存储结构290、沟道300和填充图案310可以顺序堆叠在每个沟道孔240中的外延层250上。电荷存储结构290可以形成为具有其中心下部开口的杯状形状，沟道300可以形成为具有杯状形状，填充图案310可以形成为具有柱状形状。

[0054] 由于其中分别形成沟道300的沟道孔240可以形成沟道孔阵列，沟道300也可以形成与其相应的沟道阵列。

[0055] 可以去除包括填充图案310、沟道300和电荷存储结构290的第一结构的上部以形成沟槽，并且可以形成覆盖图案320以填充沟槽。

[0056] 为了形成覆盖图案320，在通过执行回蚀工艺以去除第一结构的上部而形成沟槽之后，可以在第一结构和第二绝缘中间层230上形成覆盖层以填充沟槽，然后可以平坦化覆盖层的上部，直到暴露第二绝缘中间层230的上表面以形成覆盖图案320。在本发明构思的

Micron Ex. 1002, p. 424
Micron v. YMTC
IPR2025-00035

示例实施例中，覆盖层可以形成为包括掺杂或未掺杂的多晶硅或非晶硅(Si)，并且当覆盖层形成为包括非晶硅(Si)时，可以进一步执行使覆盖层结晶的工艺。

[0057] 每个沟道孔240中的第一结构、外延层250和覆盖图案320可以限定第二结构。

[0058] 参考图6，可以在第二绝缘中间层230和覆盖图案320上形成第三绝缘中间层330。在第三绝缘中间层330上形成第二掩模之后，可以使用第二掩模作为蚀刻掩模来形成延伸穿过第三绝缘中间层330、第二绝缘中间层230、第三绝缘图案220、第二牺牲图案210、第一绝缘中间层180、第一牺牲图案172和第一绝缘图案162的第一开口，以暴露衬底100的上表面。第二掩模可以包括与第一掩模的材料相同的材料。第三绝缘中间层330可以包括氧化物，例如氧化硅(SiO_2)，因此可以与其下方的第二绝缘中间层230合并。

[0059] 在本发明构思的示例实施例中，第一开口可以形成为在衬底100的第一区域I上沿第一方向延伸，并且可以形成多个第一开口且多个开口可以在第二方向上彼此间隔开。

[0060] 在去除第二掩模之后，可以去除由第一开口暴露的第一牺牲图案172和第二牺牲图案210，以在相邻层的第三绝缘图案220之间、第一绝缘中间层180与最下面的第三绝缘图案220之间以及第一绝缘中间层180与第一绝缘图案162之间形成间隙，并且第一阻挡图案260的外侧壁的一部分和外延层250的侧壁的一部分可以通过间隙暴露。在本发明构思的示例实施例中，由第一开口暴露的第一牺牲图案172和第二牺牲图案210可以通过使用包括磷酸(H_3PO_4)或硫酸(H_2SO_4)的蚀刻剂的湿法蚀刻工艺来去除。例如，当第一牺牲图案172和第二牺牲图案210由氮化硅(Si_3N_4)形成并且第三绝缘图案220由氧化硅(SiO_2)形成时，第一牺牲图案172和第二牺牲图案210可以通过使用包括磷酸(H_3PO_4)的蚀刻溶液的蚀刻工艺来去除。

[0061] 可以在第一阻挡图案260的暴露的外侧壁、外延层250的暴露的侧壁、间隙的内壁、第一绝缘图案162的表面、第三绝缘图案220的表面、衬底100的暴露的上表面和第三绝缘中间层330的上表面上形成第二阻挡层340，可以在第二阻挡层340上形成栅极阻挡层，并且可以在栅极阻挡层上形成栅极导电层以充分地填充间隙的剩余部分。第二阻挡层340可以通过具有优异的台阶覆盖特性的沉积方法形成。例如，第二阻挡层340可以通过CVD工艺或ALD工艺形成。

[0062] 可以部分地去除栅极导电层和栅极阻挡层，以分别在间隙中形成栅极导电图案360和栅极阻挡图案350，并且栅极导电图案360和栅极阻挡图案350可以一起形成第一栅电极370。在本发明构思的示例实施例中，可以通过湿法蚀刻工艺部分地去除栅极导电层和栅极阻挡层。第二阻挡层340可以包括金属氧化物，例如氧化铝(Al_2O_3)、氧化铪(HfO_2)等，栅极导电图案360可以包括低电阻金属，例如钨(W)、钛(Ti)、钽(Ta)、铂(Pt)等，栅极阻挡图案350可以包括金属氮化物，例如氮化钛(TiN)、氮化钽(TaN)等。

[0063] 在本发明构思的示例实施例中，第一栅电极370可以在第一方向上延伸，并且多个第一栅电极370可以在第二方向上形成。即，均可以在第一方向上延伸的多个第一栅电极370可以通过第一开口在第二方向上彼此间隔开。

[0064] 第一栅电极370可以分别在第三方向上以多个层形成以彼此间隔开，并且可以一起形成栅电极结构。每个第一栅电极370的未被上部的第一栅电极370覆盖但暴露的部分被称为焊盘。在本发明构思的示例实施例中，第一栅电极370的至少一个焊盘可以具有比其其他部分的上表面高的上表面，从而具有相对较大的厚度。图6示出了除了最下面的栅电极和

Micron Ex. 1002, p. 425
Micron v. YMTC
IPR2025-00035

最上面的栅电极之外的所有第一栅电极370的焊盘具有相对较大的厚度，然而，本发明的构思可以不限于此。例如，除了最下面的栅电极和最上面的栅电极以外，所有第一栅电极370的焊盘的厚度可以大于其其他部分的厚度，使得将被描述的每个第二接触插塞结构554(参见图14)可以容易地形成为在栅极导电图案360处接触相应的一个焊盘的上部。

[0065] 栅电极结构可以包括沿第三方向顺序堆叠的接地选择线(GSL)410、字线420和串选择线(SSL)430。GSL 410可以形成在最低层，字线420和SSL430中的每一个可以以一层或多个层形成在GSL 410上。在本发明构思的示例实施例中，SSL 430可以形成在最高层和紧邻最高层下方的一个层处，并且字线420可以以多个层形成在GSL 410与SSL 430之间。然而，本发明构思可以不限于此。

[0066] 可以将杂质注入到由第一开口暴露的衬底100的上部中，以形成第二杂质区域。杂质可以包括n型杂质，例如磷(P)、砷(As)等。或者，杂质可以包括p型杂质，例如硼(B)、铝(Al)、镓(Ga)等。

[0067] 在由第一开口暴露的衬底100的上表面、第一开口的侧壁和第三绝缘中间层330的上表面上形成第二间隔物层之后，可以各向异性地蚀刻第二间隔物层以在第一开口的侧壁上形成第二间隔物。因此，第二杂质区域的位于衬底100的上部处的部分可以被暴露。第二间隔物层可以包括绝缘材料，例如氧化物或氮化物。

[0068] 可以在暴露的第二杂质区域上形成公共源极线(CSL)，以填充第一开口的剩余部分。在本发明构思的示例实施例中，在暴露的第二杂质区域的上表面、第二间隔物和第三绝缘中间层330上形成导电层之后，可以将导电层的上部平坦化，直到第三绝缘中间层330的上表面被暴露以形成CSL。在平坦化工艺期间，第二阻挡层340的位于第三绝缘中间层330的上表面上的部分也可以与第三绝缘中间层330一起被去除。CSL可以形成在第一开口中以接触其下方的第二杂质区域的上表面，并且可以包括导电材料，例如金属、金属氮化物等。例如，包括在CSL中的金属可以是低电阻金属，例如钨(W)、钛(Ti)、钽(Ta)、铂(Pt)等。CSL可以与多个第一栅电极370电绝缘，因为CSL的侧壁被第二间隔物覆盖，并且多个第一栅电极370可以在第一方向上延伸，并且可以通过CSL和第二间隔物在第二方向上彼此间隔开。

[0069] 参考图7，在第三绝缘中间层330、CSL、第二间隔物和第二阻挡层340上形成第四绝缘中间层450之后，可以在第四绝缘中间层450上形成第三掩模460，并且可以使用第三掩模460作为蚀刻掩模来蚀刻第一至第四绝缘中间层180、230、330和450，以形成第一接触孔472和第二接触孔474。

[0070] 第三掩模460可以包括例如ACL、SOH、光刻胶图案等。第三掩模460的形成可以包括光刻工艺，并且可以另外包括各向异性蚀刻工艺。

[0071] 第一接触孔472可以延伸穿过第三绝缘中间层330和第四绝缘中间层450以暴露覆盖图案320的上表面，一些第二接触孔474可以延伸穿过第二至第四绝缘中间层230、330和450以暴露字线420的焊盘的上表面和第一栅电极370的SSL 430的上表面，另一个第二接触孔474可以延伸穿过第一至第四绝缘中间层180、230、330和450，以暴露第一栅电极370的GSL 410的焊盘的上表面。

[0072] 在本发明构思的示例实施例中，每个第二接触孔474可以暴露第一栅电极370中的栅极导电图案360的上表面，并且当形成第二接触孔474时，暴露的栅极导电图案360的上表面下方的一部分也可以被去除。由于除了最下面的第一栅电极370和最上面的第一栅电极

Micron Ex. 1002, p. 426
Micron v. YMTC
IPR2025-00035

370之外，所有第一栅电极370的焊盘的厚度可以大于其其他部分的厚度，所以每个第二接触孔474可以容易地形成为暴露相应的栅极导电图案360，并且可以不穿透相应的栅极导电图案360。

[0073] 参照图8，在去除第三掩模460之后，可以在第一接触孔472和第二接触孔474的侧壁、由第一接触孔472和第二接触孔474暴露的覆盖图案320和栅极导电图案360的上表面上形成防氧化层480。

[0074] 在本发明构思的示例实施例中，可以通过使用氧等离子体的灰化工艺去除第三掩模460，并且可以在栅极导电图案360的由第二接触孔474暴露的上表面上形成金属氧化物层。

[0075] 可以执行第一清理工艺来去除金属氧化物层。在本发明构思的示例实施例中，第一清理工艺可以包括湿法蚀刻工艺。例如，可以通过湿法蚀刻工艺去除留在第一栅电极370的由第二接触孔474暴露的部分上的残留物(即，金属氧化物层)。当执行第一清理工艺时，可以部分地去除栅极导电图案360的由第二接触孔474暴露的部分。

[0076] 可以在第一清理工艺之后形成防氧化层480。防氧化层480可以包括例如半导体材料，例如多晶硅。

[0077] 参考图9，在防氧化层480上形成第四掩模490以覆盖衬底100的第一区域I并暴露衬底100的第二区域II的一部分之后，可以使用第四掩模490作为蚀刻掩模来蚀刻防氧化层480、第一至第四绝缘中间层180、230、330和450、蚀刻停止图案174和第二绝缘图案164以形成第三接触孔500。

[0078] 第四掩模490可以包括与第三掩模460的材料相同的材料。第四掩模490可以具有低间隙填充特性，因此可以不形成在第一接触孔472和第二接触孔474中。

[0079] 在本发明构思的示例实施例中，可以在多晶硅层(即，防氧化层480)上形成作为第四掩模490的ACL，然后可以使用ACL作为蚀刻掩模蚀刻多晶硅层、第一至第四绝缘中间层180、230、330和450、蚀刻停止图案174和第二绝缘图案164以形成第三接触孔500，随后通过使用氧等离子体的灰化工艺去除ACL。

[0080] 第三接触孔500可以暴露栅极结构140中的第二栅电极120的上表面，或者可以暴露衬底100的第二区域II上的第一杂质区域105的上表面，并且当形成第三接触孔500时，也可以去除暴露的第二栅电极120的上表面下方的部分或者暴露的第一杂质区域105的上表面下方的部分。

[0081] 通过形成第三接触孔500，衬底100的第二区域II上的防氧化层480的一部分可以保留为第一防氧化图案488。

[0082] 参考图10，在去除第四掩模490以暴露防氧化层480和第一防氧化图案488之后，可以在暴露的防氧化层480和第一防氧化图案488、第三接触孔500的侧壁、第二栅电极120的上表面以及由第三接触孔500暴露的第一杂质区域105上形成阻挡层。

[0083] 在本发明构思的示例实施例中，可以通过使用氧等离子体的灰化工艺去除第四掩模490，并且在去除工艺期间，栅极导电图案360的由第二接触孔474暴露的上表面可以被防氧化层480覆盖，从而可以防止金属氧化物层的形成。因此，可以不执行用于去除金属氧化物层的附加清理工艺，从而可以抑制栅极导电图案360的附加蚀刻。例如，在不附加蚀刻栅极导电图案360的情况下，可以防止第二接触孔474穿透栅极导电图案360。因此，可以减小

Micron Ex. 1002, p. 427
Micron v. YMTC
IPR2025-00035

形成在第二接触孔474中的要描述的每个第二接触插塞结构554(参见图14)与相应的第一栅电极370之间的接触电阻,并且可以防止形成在不同层的第一栅电极370之间的电短路。

[0084] 在本发明构思的示例实施例中,阻挡层可以包括顺序堆叠的第一金属层510和金属氮化物层520。可以形成金属氮化物层520以增加随后形成的第一至第三金属图案542、544和546(参见图14)与第一金属层510之间的粘附力。图11是图10中的区域X的放大横截面视图。

[0085] 第一金属层510可以包括例如钛(Ti)、钽(Ta)等,金属氮化物层520可以包括例如氮化钛(TiN)、氮化钽(TaN)等。

[0086] 参考图12和图13,可以对阻挡层执行热处理工艺,阻挡层可以与其下方的防氧化层480反应以形成金属硅化物层530。

[0087] 在本发明构思的示例实施例中,金属硅化物层530可以经由热处理工艺通过阻挡层的第一金属层510与接触第一金属层510的防氧化层480之间的反应来形成。在衬底100的第二区域II上,可以通过剩余的第一防氧化图案488与第一金属层510之间的反应形成第三金属硅化物图案538。然而,只有第一金属层510的相对靠近防氧化层480或第一防氧化图案488的部分可以转变成金属硅化物层530或第三金属硅化物图案538。

[0088] 在本发明构思的示例实施例中,热处理工艺可以在氮气氛下执行,使得第一金属层510的相对远离防氧化层480或第一防氧化图案488的未转变成金属硅化物层530或第三金属硅化物图案538的部分可以转变成金属氮化物层,以与第一金属层510上的金属氮化物层520合并。因此,金属硅化物层530或第三金属硅化物图案538可以包括例如硅化钛($TiSi_2$)、硅化钽($TaSi_2$)等,合并的金属氮化物层520可以包括例如氮化钛(TiN)、氮化钽(TaN)等。

[0089] 衬底100的第二区域II上的第一杂质区域105和阻挡层中的第一金属层510可以彼此反应以形成第四金属硅化物图案539。第四金属硅化物图案539可以是从第一杂质区域105的整个部分或一部分变成的金属硅化物图案。

[0090] 参考图14,在金属氮化物层520上形成第二金属层以填充第一至第三接触孔472、474和500的剩余部分之后,可以平坦化第二金属层、金属氮化物层520、金属硅化物层530和第三金属硅化物图案538,直到暴露出第四绝缘中间层450的上表面。

[0091] 可以在第一接触孔472中形成包括顺序堆叠在覆盖图案320上的第一金属硅化物图案532、第一金属氮化物图案522和第一金属图案542的第一接触插塞结构552,可以在第二接触孔474中形成包括顺序堆叠在第一栅电极370的栅极导电图案360的上表面上的第二金属硅化物图案534、第二金属氮化物图案524和第二金属图案544的第二接触插塞结构554。例如,第二金属氮化物图案524可以覆盖第二金属图案544的下表面和侧壁。可以形成第三接触插塞结构556,其包括顺序堆叠在位于第一杂质区域105上的第四金属硅化物图案539的上表面上的第三金属氮化物图案526和第三金属图案546,或者可以在第三接触孔500中形成栅极结构140的第二栅电极120的上表面。第一至第三金属氮化物图案522、524和526可以分别称为第一至第三阻挡图案。因此,第一、第二和第三接触插塞结构552、554和556的上表面基本上彼此共面。因为第一至第三金属图案542、544和546都由第二金属层形成,所以第一至第三金属图案542、544和546可以包括基本相同的金属。因为第一至第三阻挡图案(即,第一至第三金属氮化物图案522、524和526)都由金属氮化物层520形成,所以第一至第

Micron Ex. 1002, p. 428
Micron v. YMTC
IPR2025-00035

三阻挡图案可以包括基本相同的金属氮化物。

[0092] 可以进一步形成与第一至第三接触插塞结构552、554和556连接的上部布线，以完成垂直存储器件的制造。

[0093] 如上所述，在形成第二接触孔474以暴露第一栅电极370之后，可以在暴露的第一栅电极370的上表面和第二接触孔474的侧壁上形成防氧化层480，从而在用于去除用于形成第三接触孔500的第四掩模490的灰化工艺中，不会由于在灰化工艺中使用的氧等离子体而在第一栅电极370的上表面上形成金属氧化物层。

[0094] 防氧化层480可以包括半导体材料(例如，多晶硅)，而不是绝缘材料，因此无需为了第二接触插塞结构554和第一栅电极370之间的电连接而执行去除防氧化层480的工艺。在去除防氧化层480的工艺中，也会与防氧化层480一起去除其下方的第一栅电极370的一部分，因此，通过消除去除防氧化层480的工艺，可以防止第二接触孔474穿透第一栅电极370。例如，为了防止在第一栅电极370上形成氧化物，通常在形成第二接触孔474之后，在第二接触孔474的内壁上形成氮化硅层。然而，为了使随后形成的第二接触插塞结构554与第一栅电极370连接，必须通过各向异性蚀刻工艺去除氮化硅层的位于第一栅电极370上的部分。在各向异性蚀刻工艺期间，不仅氮化硅层的一部分可以被去除，而且其下方的第一栅电极370的一部分也可以被去除，并且第一栅电极370的厚度通常薄，从而第一栅电极370可能被穿透。在本发明构思的示例实施例中，代替绝缘氮化硅层，多晶硅层可以形成在第一栅电极370上，并且多晶硅层可以随后转变成金属硅化物层530，从而可以不执行附加的蚀刻工艺。

[0095] 防氧化层480的位于第一栅电极370的暴露的上表面上的部分可以通过热处理工艺转变成金属硅化物层530，从而可以抑制第一栅电极370与第二接触插塞结构554之间的电阻增加。

[0096] 通过上述工艺制造的垂直存储器件可以包括：第一栅电极370，第一栅电极370在衬底100的第一区域I上在基本垂直于衬底100的上表面的垂直方向上彼此间隔开，衬底100包括第一区域I和第二区域II；沟道300，延伸穿过多个第一栅电极370并在垂直方向上延伸；第二接触插塞结构554，第二接触插塞结构554接触每个第一栅电极370，在垂直方向上延伸，并包括第二金属图案544、第二阻挡图案524和第二金属硅化物图案534，第二阻挡图案524覆盖第二金属图案544的下表面和侧壁，第二金属硅化物图案534覆盖第二阻挡图案524的下表面和侧壁；以及第三接触插塞结构556，第三接触插塞结构556在衬底100的第二区域II上沿垂直方向延伸，并且包括第三金属图案546以及覆盖第三金属图案546的下表面和侧壁的第三阻挡图案526。因此，第二接触插塞结构554中的第二金属硅化物图案534的下表面和下侧壁直接接触相应的第一栅电极370。此外，第二接触插塞结构554的下表面高于相应的第一栅电极370中的栅极导电图案360的下表面。

[0097] 图15至图20是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图。图19是图18中的区域X的放大横截面视图。

[0098] 制造图15至图20所示的垂直存储器件的这种方法可以包括与图1至14中描述的工艺基本相同或相似的工艺。因此，相同的附图标记指代相同的元件，在此省略对其的详细描述。

[0099] 参照图15，可以执行与图1至图8中描述的工艺基本相同或相似的工艺。然而，图15

Micron Ex. 1002, p. 429
Micron v. YMTC
IPR2025-00035

所示的防氧化层480可以形成为具有比通过图8中描述的工艺形成的防氧化层480的厚度大的厚度。

[0100] 参考图16，可以执行与图9中描述的工艺基本相同或相似的工艺。

[0101] 参考图17，在去除第四掩模490之后，可以执行第二清理工艺以去除留在第一杂质区域105上的残留物。

[0102] 残留物可能由于用于去除第四掩模490的灰化工艺而保留在第一杂质区域105上，并且可以通过第二清理工艺被去除。在本发明构思的示例实施例中，第二清理工艺可以包括干法蚀刻工艺，并且可以通过干法蚀刻工艺将防氧化层480的一部分与残留物一起去除。干法蚀刻工艺可以包括各向异性蚀刻工艺。也就是说，防氧化层480的由第一接触孔472暴露的位于覆盖图案320上的部分、防氧化层480的由第二接触孔474暴露的位于第一栅电极370的上表面上的部分以及防氧化层480的位于第四绝缘中间层450的上表面上的部分可以被部分地去除，然而，所有这些部分不会被完全去除，并且其至少一部分可以保留，使得第一栅电极370的上表面仍然可以被防氧化层480覆盖。

[0103] 参照图18和图19，可以执行与图10和图11中描述的工艺基本相同或相似的工艺。然而，由于防氧化层480的位于覆盖图案320和第一栅电极370的上表面上的部分相比于防氧化层480的位于第一接触孔472和第二接触孔474的侧壁上的部分具有相对较小的厚度，所以防氧化层480的位于覆盖图案320和第一栅电极370的上表面上的所有部分可以通过热处理工艺转变成金属硅化物层530，而防氧化层480的位于第一接触孔472和第二接触孔474的侧壁上的部分不会通过热处理工艺完全转变成金属硅化物层530，并且可以具有作为第二抗氧化图案485保留的一些部分。

[0104] 参考图20，可以执行与图12至图14中描述的工艺基本相同或相似的工艺，以完成垂直存储器件的制造。

[0105] 在如图15至图20所示的制造垂直存储器件的这种方法中，可以通过第二清理工艺去除留在第一杂质区域105上的残留物，并且可以防止第一栅电极370与第二接触插塞结构554之间的接触电阻的增加。例如，因为第二防氧化图案485可以由多晶硅形成，所以多晶硅图案可以覆盖第一接触插塞结构552和第二接触插塞结构554的每个侧壁。因此，第二接触插塞结构554中的第二金属硅化物图案534的下表面可以直接接触相应的第一栅电极370，并且覆盖第二接触插塞结构554的侧壁的多晶硅图案可以直接接触相应的第一栅电极370。因此，可以在第一栅电极370与第二接触插塞结构554之间保持低接触电阻。

[0106] 图21至图23是示出根据本发明构思的示例实施例的制造垂直存储器件的方法的横截面视图。

[0107] 制造图21至图23所示的垂直存储器件的这种方法可以包括与图1至图14中描述的工艺基本相同或相似的工艺。因此，相同的附图标记指代相同的元件，在此省略对其的详细描述。

[0108] 参考图21，可以在包括第三区域III和第四区域IV的衬底600上形成电路图案，并且可以在衬底600上顺序形成第一下绝缘中间层660和第二下绝缘中间层730以覆盖电路图案。

[0109] 该垂直存储器件可以具有外围上单元(COP)结构。即，其中可以形成电路图案的电路图案区域和单元区域可以在衬底600上沿第三方向堆叠。例如，可以在第三方向上在电路

Micron Ex. 1002, p. 430
Micron v. YMTC
IPR2025-00035

图案(外围电路)上方的单元区域中形成单元阵列。单元区域可以形成在衬底600的第三区域III上,并且衬底600的第四区域IV可以被称为外围区域。衬底600可以分成其上可以形成隔离图案610的场区和其上可以不形成隔离图案610的有源区605。

[0110] 电路图案可以包括晶体管、下接触插塞、下布线、下通路等。在本发明构思的示例实施例中,可以在衬底600上形成晶体管,晶体管包括下栅极结构650以及在有源区605的邻近下栅极结构650的上部处的第三杂质区域602和第四杂质区域604。下栅极结构650可以包括顺序堆叠在衬底600上的下栅极绝缘图案620、下栅电极630和下栅极掩模640。

[0111] 可以在衬底600上形成第一下绝缘中间层660以覆盖晶体管,第一下接触插塞672和第二下接触插塞674可以在第三方向上延伸穿过第一下绝缘中间层660,以分别接触第三杂质区域602和第四杂质区域604。

[0112] 可以在第一下绝缘中间层660上形成第一下布线682和第二下布线684,以分别接触第一下接触插塞672的上表面和第二下接触插塞674的上表面。可以在第二下布线684上顺序堆叠第一下通路690、第三下布线700、第二下通路710和第四下布线720。可以在衬底600的第四区域IV上形成第四下布线720和第二下通路710,第四下布线720和第二下通路710可以电连接到形成在衬底600的第三区域III中的第四杂质区域604。

[0113] 可以在第一下绝缘中间层660上形成第二下绝缘中间层730,以覆盖第一至第四下布线682、684、700和720以及第一下通路690和第二下通路710,并且可以与其下方的第一下绝缘中间层660合并。例如,第一下绝缘中间层660和第二下绝缘中间层730可以由相同的材料形成。

[0114] 参考图22,可以在第二绝缘中间层730上形成基础图案800。

[0115] 可以通过在第二下绝缘中间层730上形成基础层,并将基础层图案化使得基础图案800可以仅保留在衬底600的第三区域III上,来形成基础图案800。基础图案800可以包括例如多晶硅。

[0116] 此后,可以执行与图1至图8中描述的工艺基本相同或相似的工艺。然而,可以不在衬底600的第二区域II上形成栅极结构140、栅极间隔物150、第一杂质区域105、第二绝缘图案164和蚀刻停止图案174。如上所述,电路图案中包括的晶体管可以形成在衬底600的第三区域III上,而不是衬底600的第四区域IV上。

[0117] 参照图23,可以执行与图9至图14中描述的工艺基本相同或相似的工艺。然而,对应于衬底600的第二区域II上的第三接触插塞结构556,可以在衬底600的第四区域IV上形成第四接触插塞结构830。第四接触插塞结构830可以包括顺序堆叠在第四下布线720上并延伸穿过第二下绝缘中间层730和第一至第四绝缘中间层180、230、330和450的第四金属氮化物图案810和第四金属图案820。在本发明构思的示例实施例中,第四接触插塞结构830的下表面可以低于第二接触插塞结构554的下表面,并且第四接触插塞结构830的上表面可以与第二接触插塞结构554的上表面基本共面。

[0118] 如上所述,尽管已经参考示例实施例描述了本发明构思,但是本领域技术人员将容易理解,在不脱离由所附权利要求限定的本发明构思的精神和范围的情况下,可以在示例实施例中进行许多修改。

Micron Ex. 1002, p. 431
Micron v. YMTC
IPR2025-00035

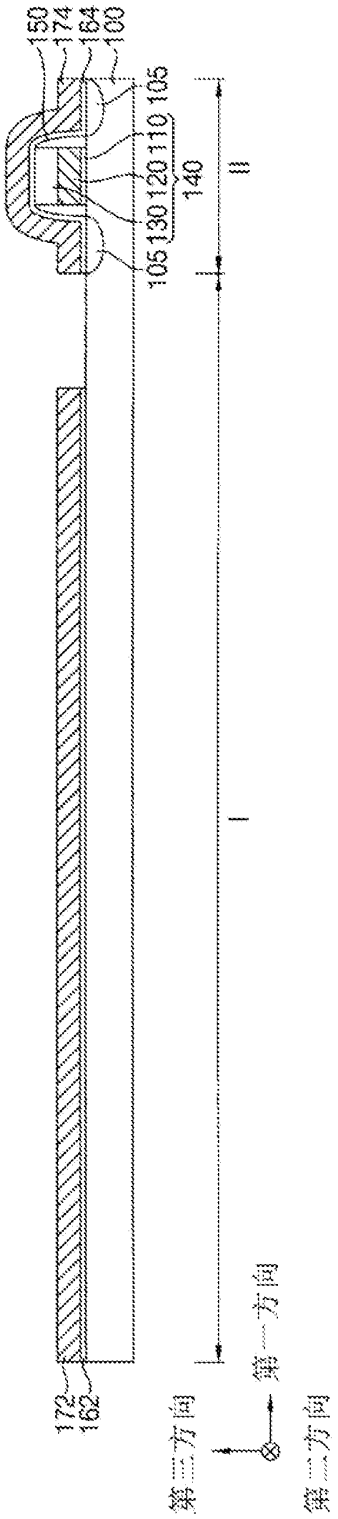


图1

Micron Ex. 1002, p. 432
Micron v. YMTC
IPR2025-00035

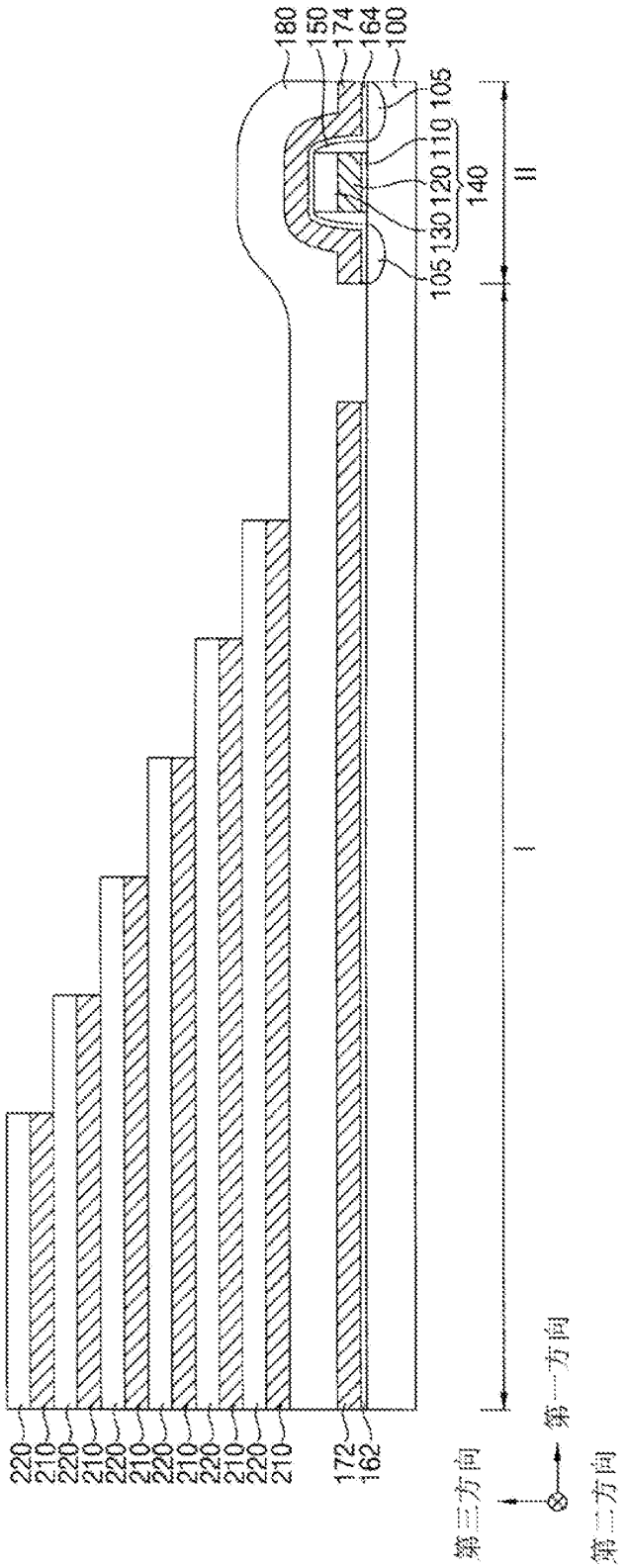


图2

Micron Ex. 1002, p. 433
Micron v. YMTC
IPR2025-00035

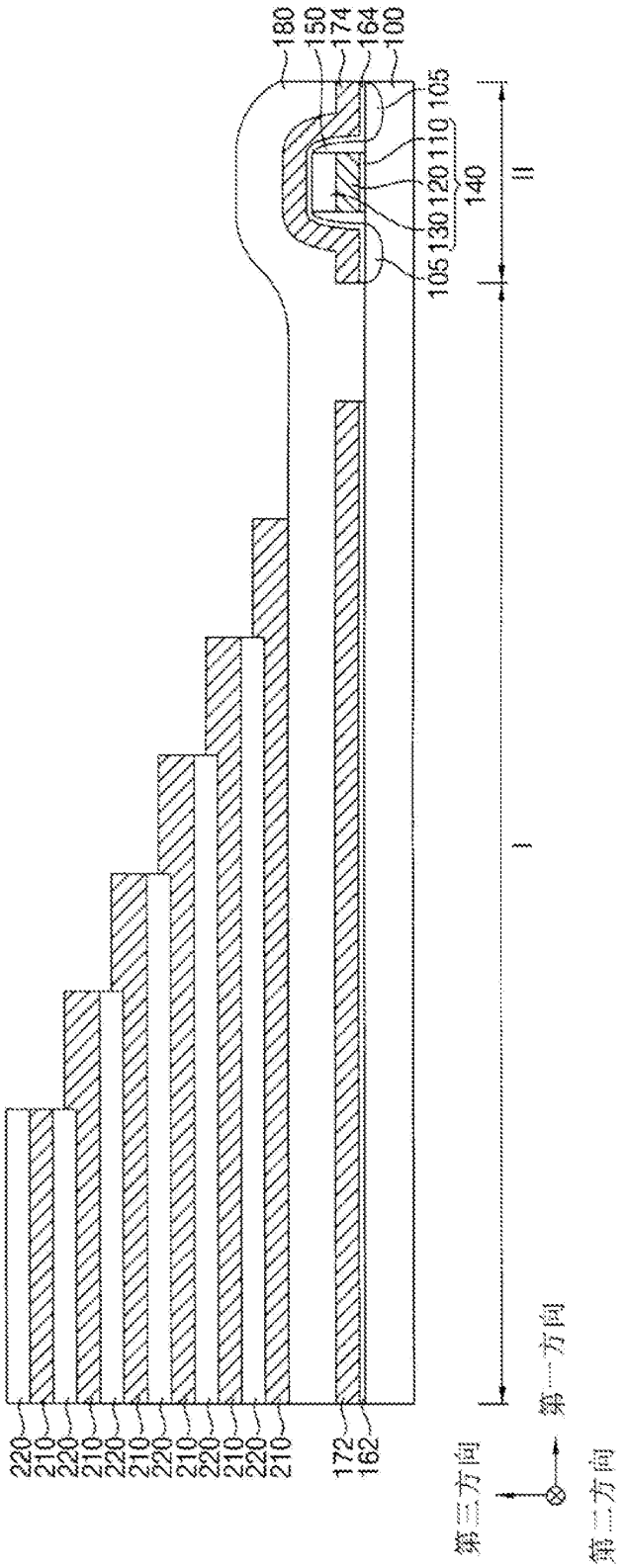


图3

Micron Ex. 1002, p. 434
Micron v. YMTC
IPR2025-00035

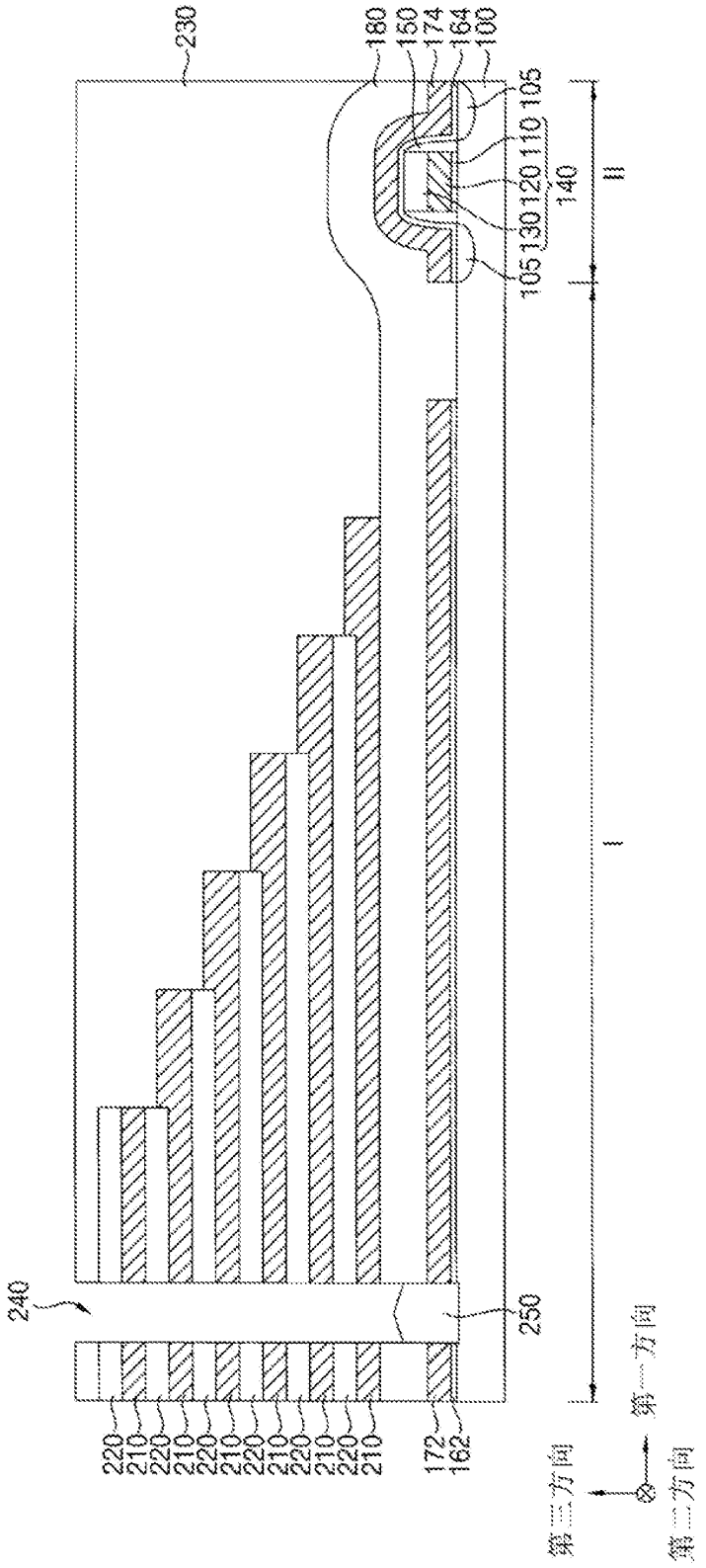


图4

Micron Ex. 1002, p. 435
Micron v. YMTC
IPR2025-00035

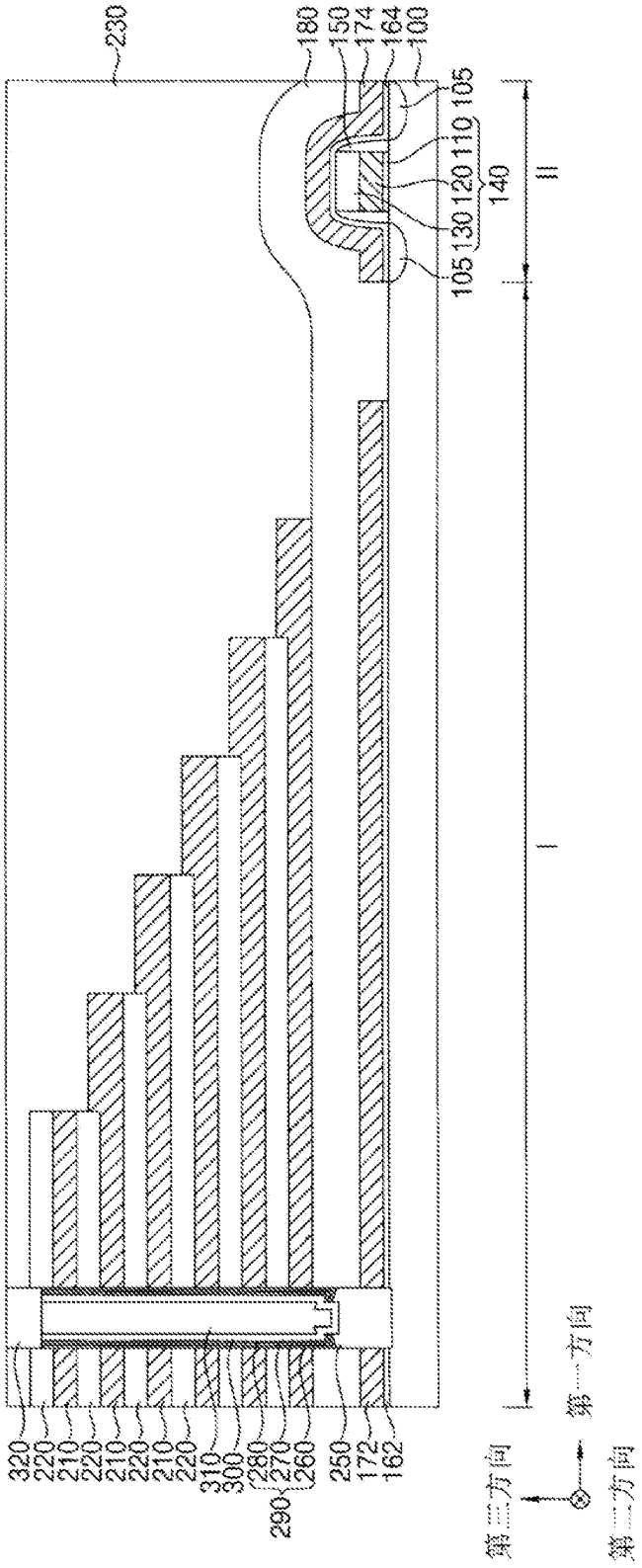


图5

Micron Ex. 1002, p. 436
Micron v. YMTC
IPR2025-00035

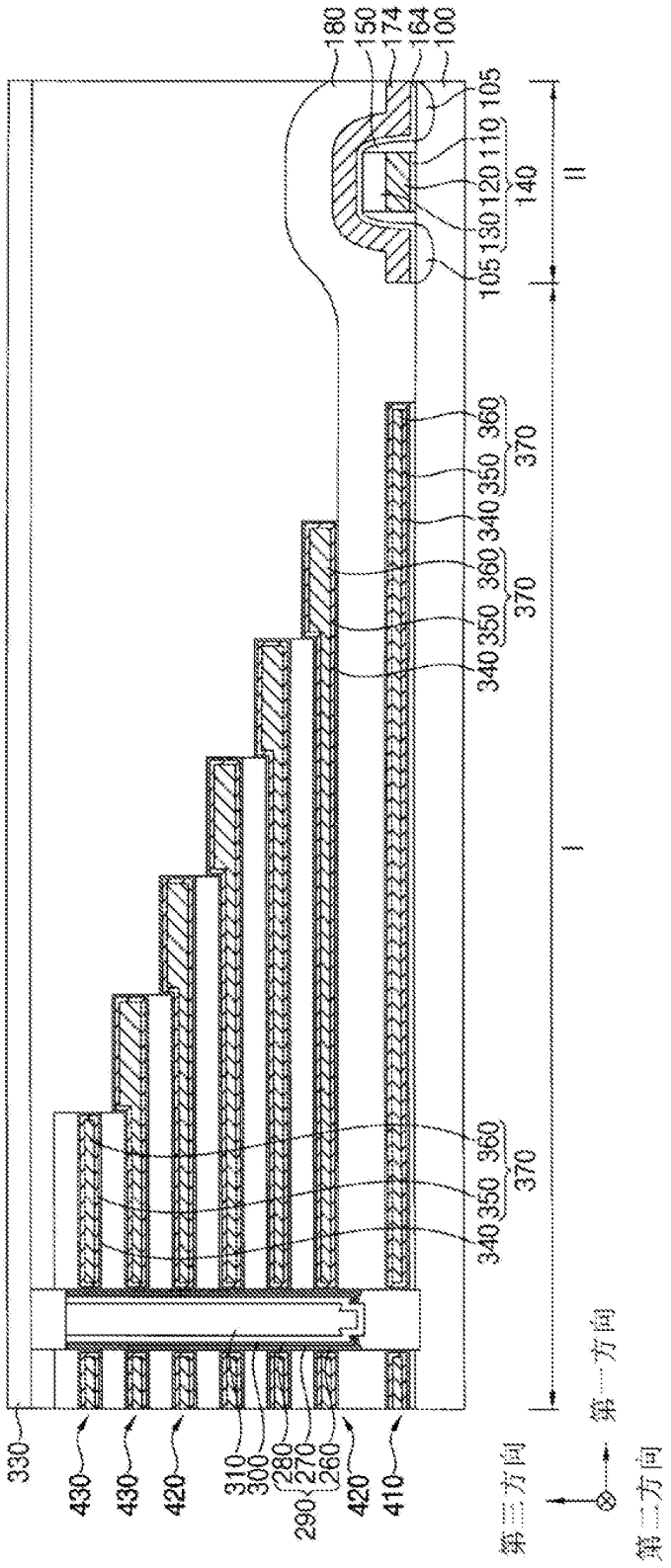


图6

Micron Ex. 1002, p. 437
Micron v. YMTC
IPR2025-00035

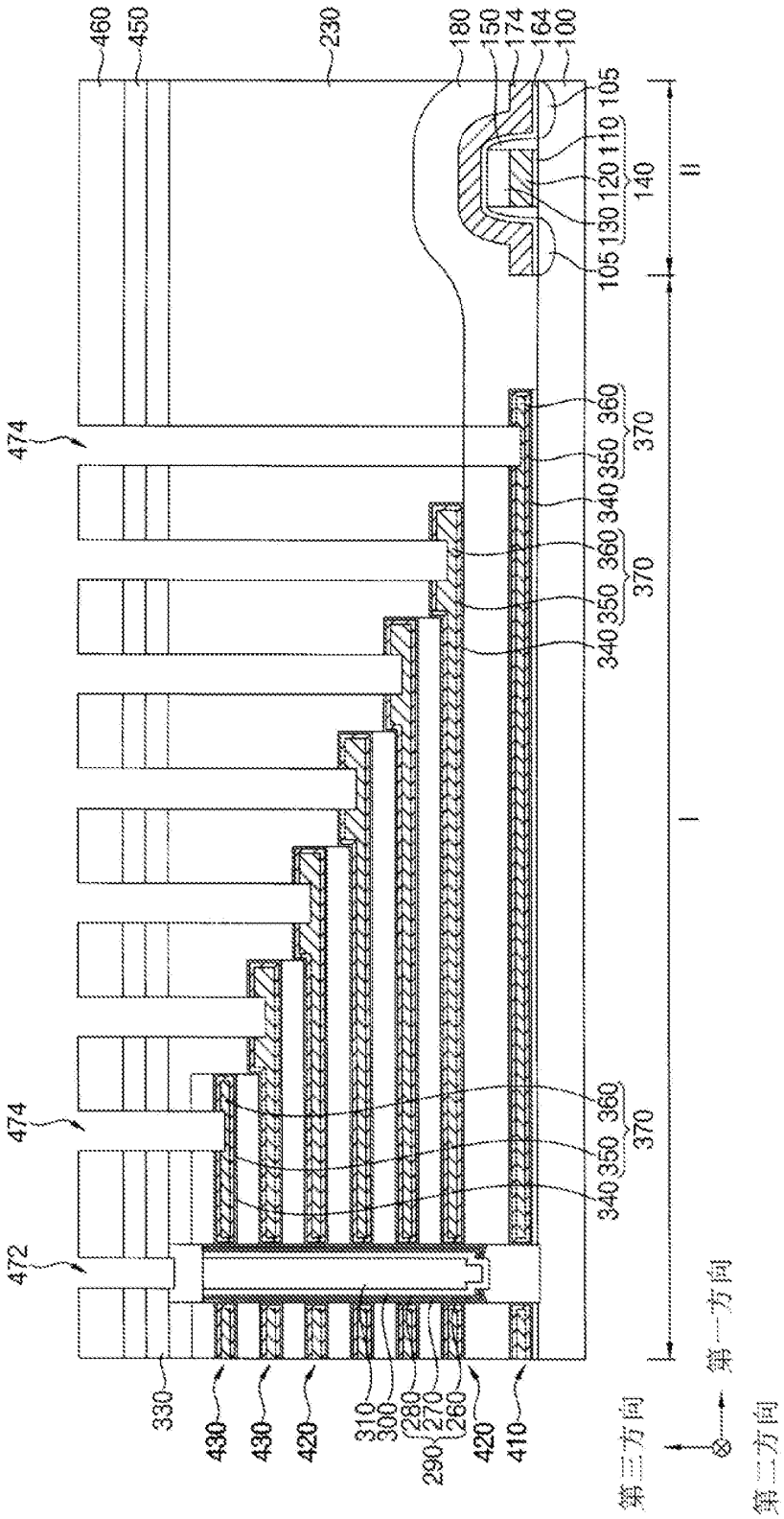


图7

Micron Ex. 1002, p. 438
Micron v. YMTC
IPR2025-00035

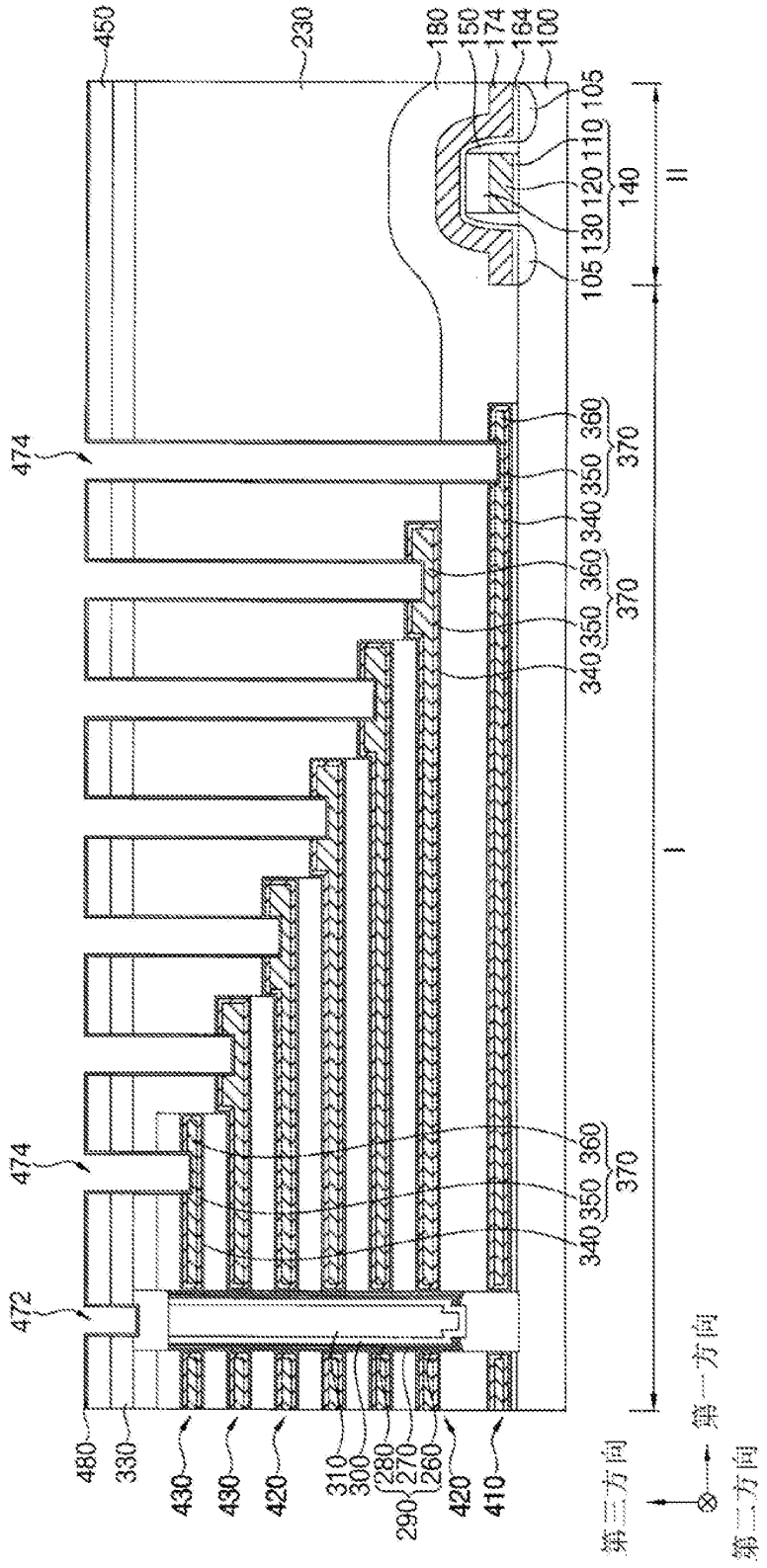


图8

Micron Ex. 1002, p. 439
Micron v. YMTC
IPR2025-00035

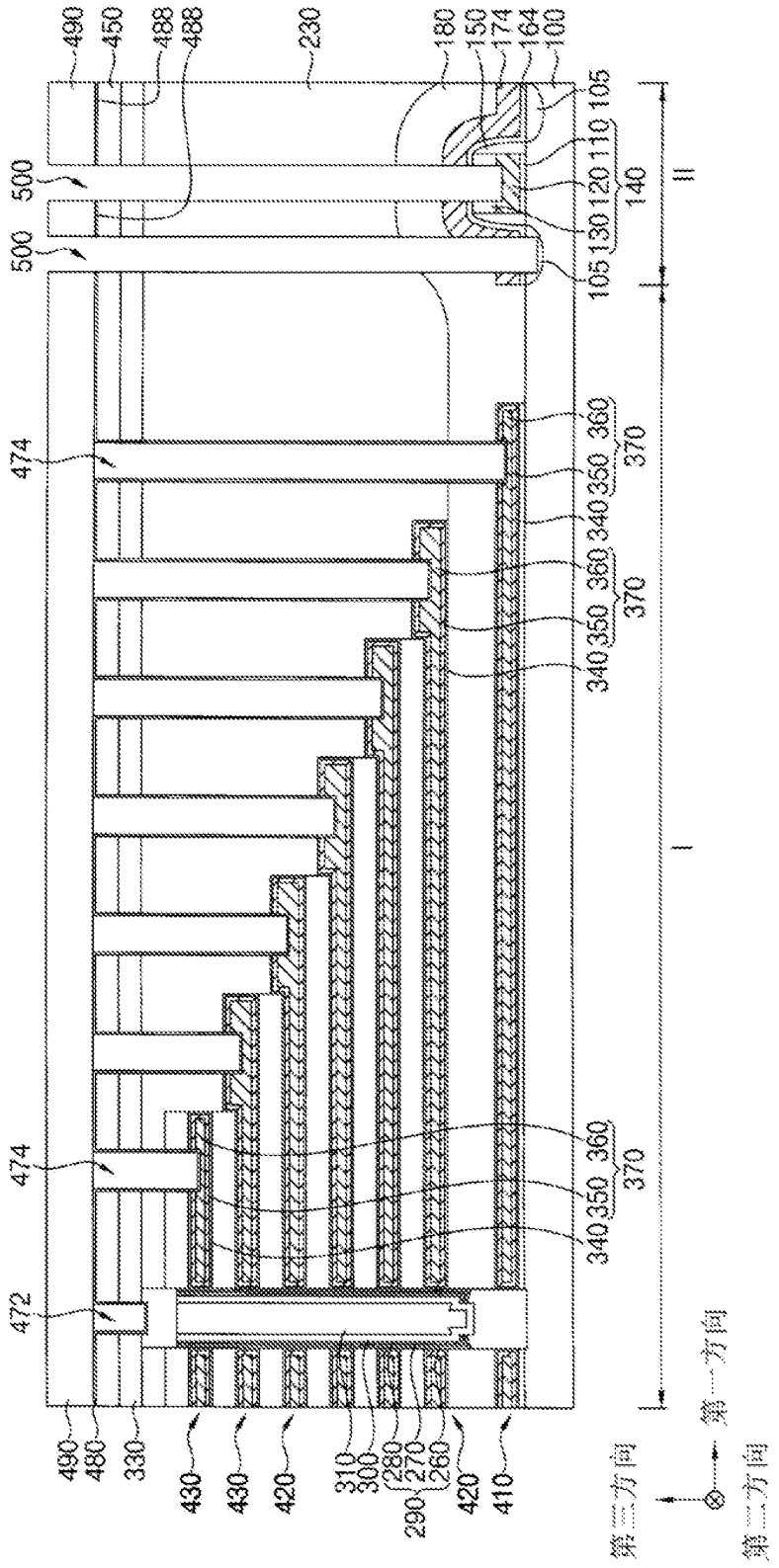


图9

Micron Ex. 1002, p. 440
Micron v. YMTC
IPR2025-00035

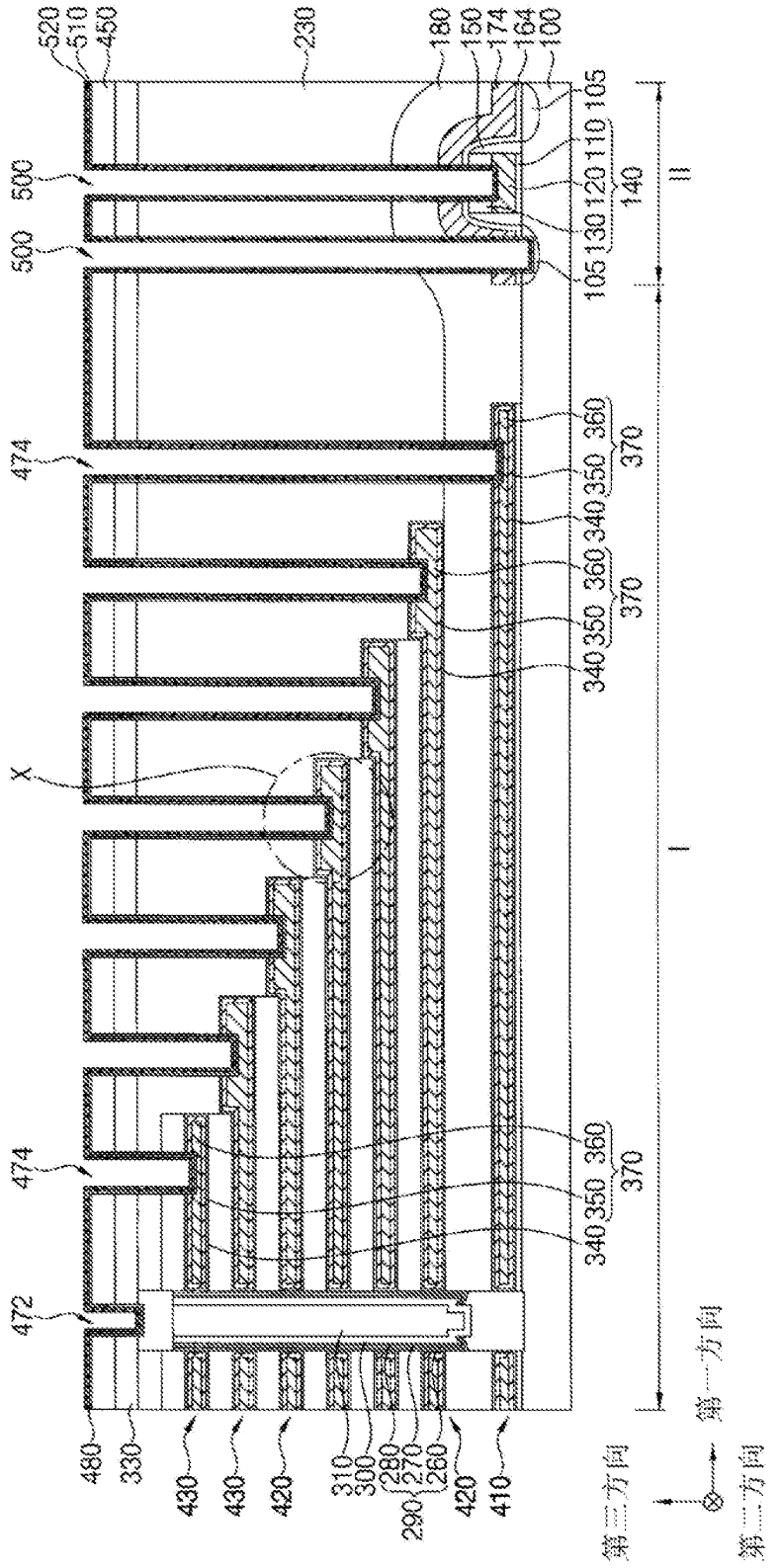


图10

Micron Ex. 1002, p. 441
Micron v. YMTC
IPR2025-00035

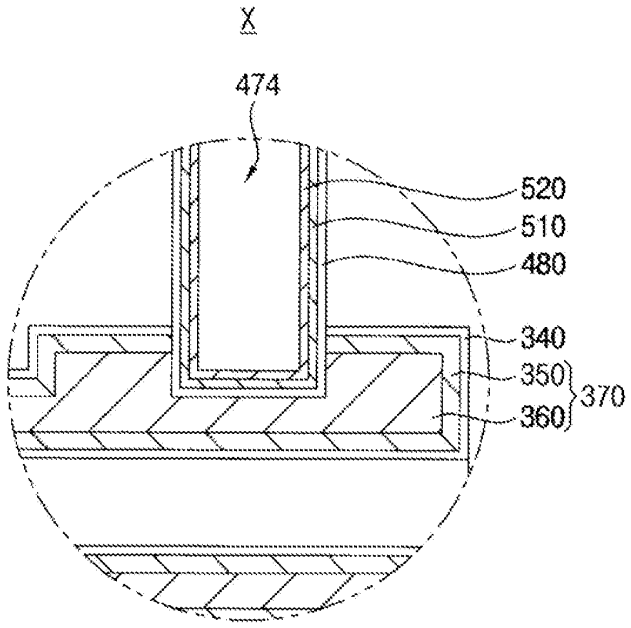


图11

Micron Ex. 1002, p. 442
Micron v. YMTC
IPR2025-00035

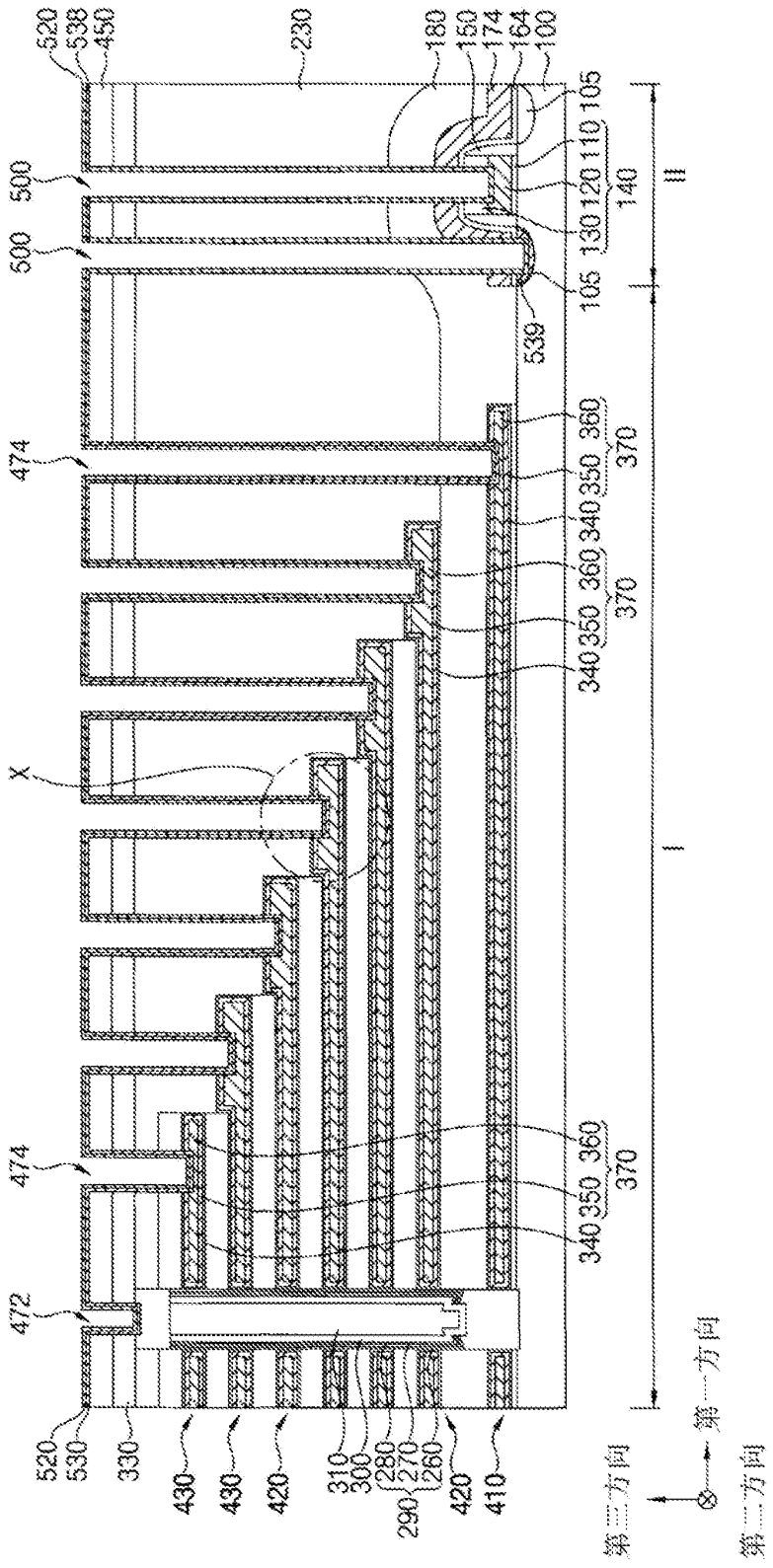


图12

Micron Ex. 1002, p. 443
Micron v. YMTC
IPR2025-00035

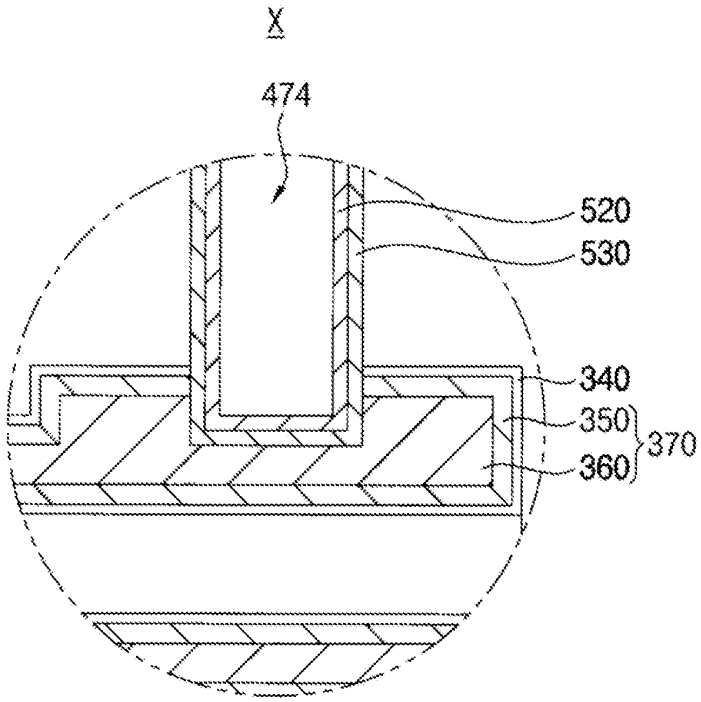


图13

Micron Ex. 1002, p. 444
Micron v. YMTC
IPR2025-00035

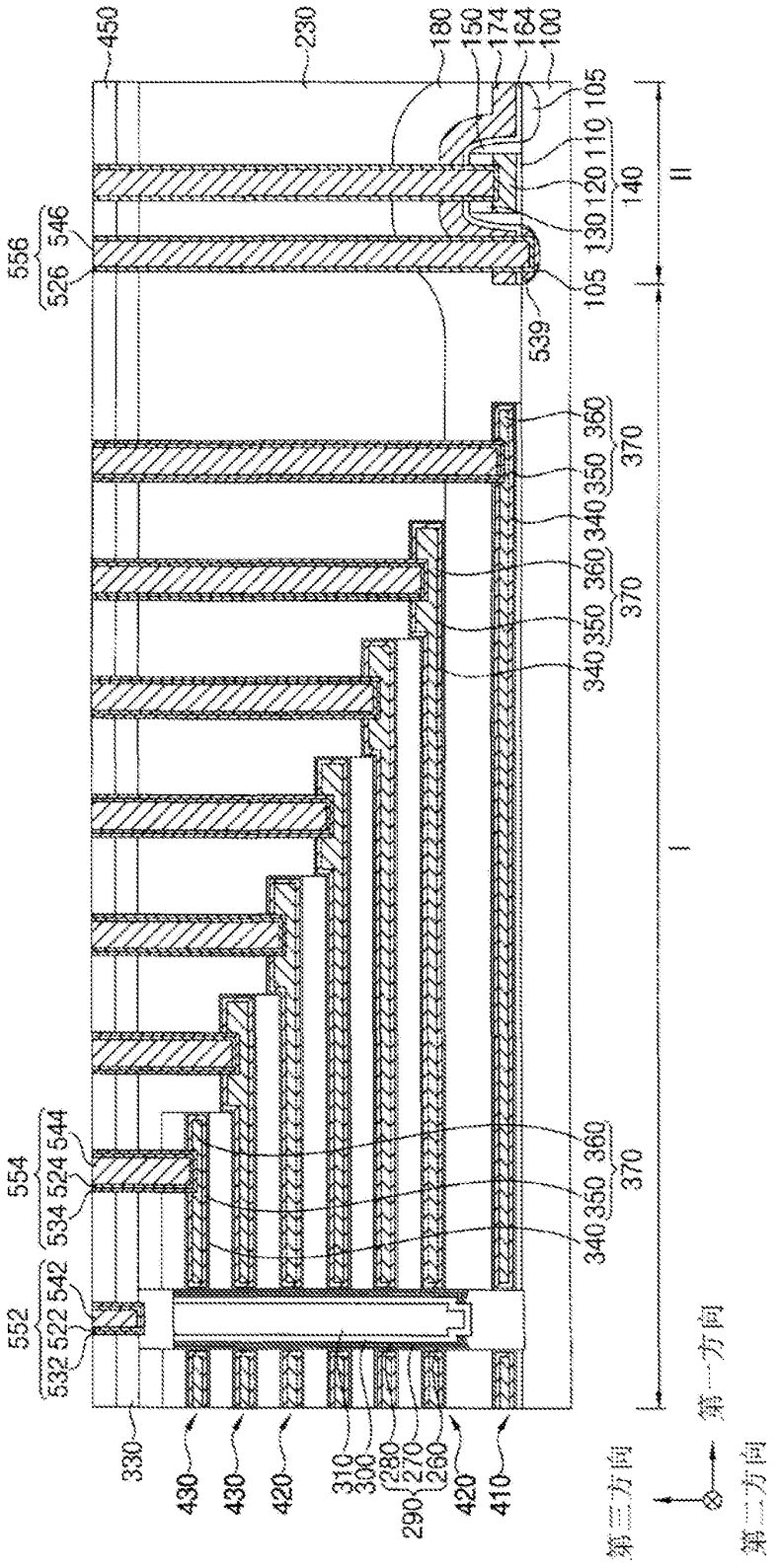


图14

Micron Ex. 1002, p. 445
Micron v. YMTC
IPR2025-00035

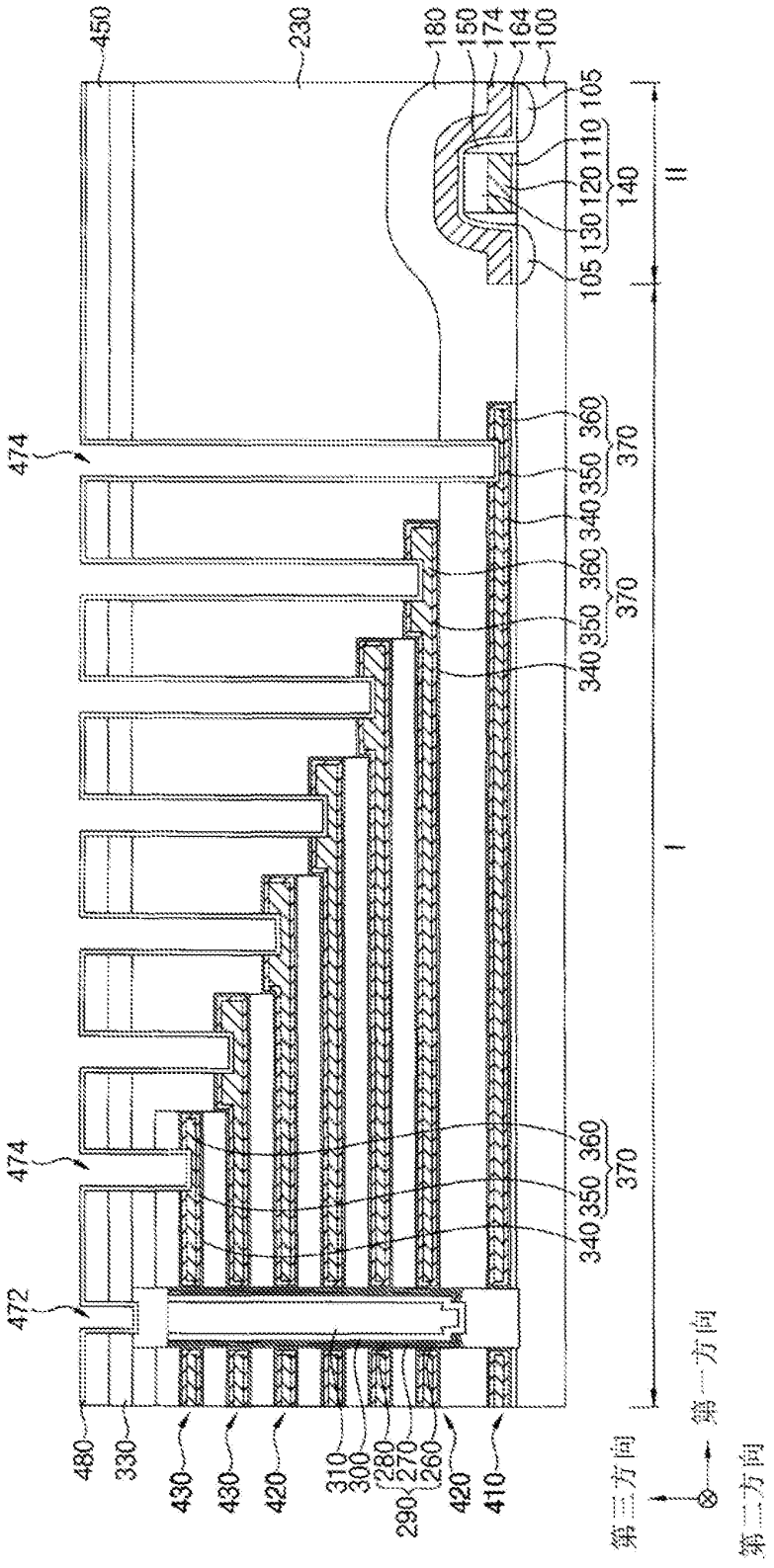


图15

Micron Ex. 1002, p. 446
Micron v. YMTC
IPR2025-00035

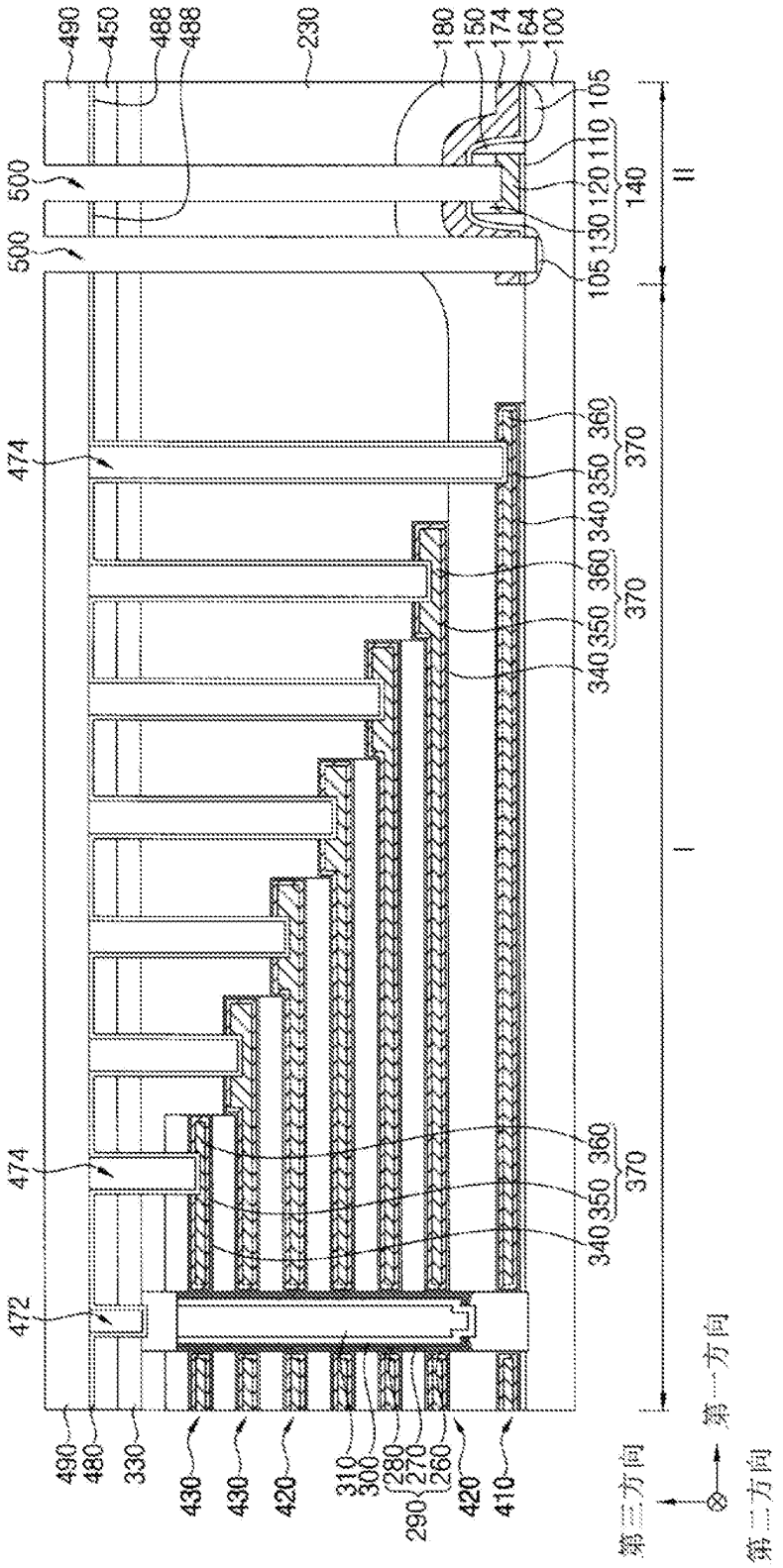


图16

Micron Ex. 1002, p. 447
Micron v. YMTC
IPR2025-00035

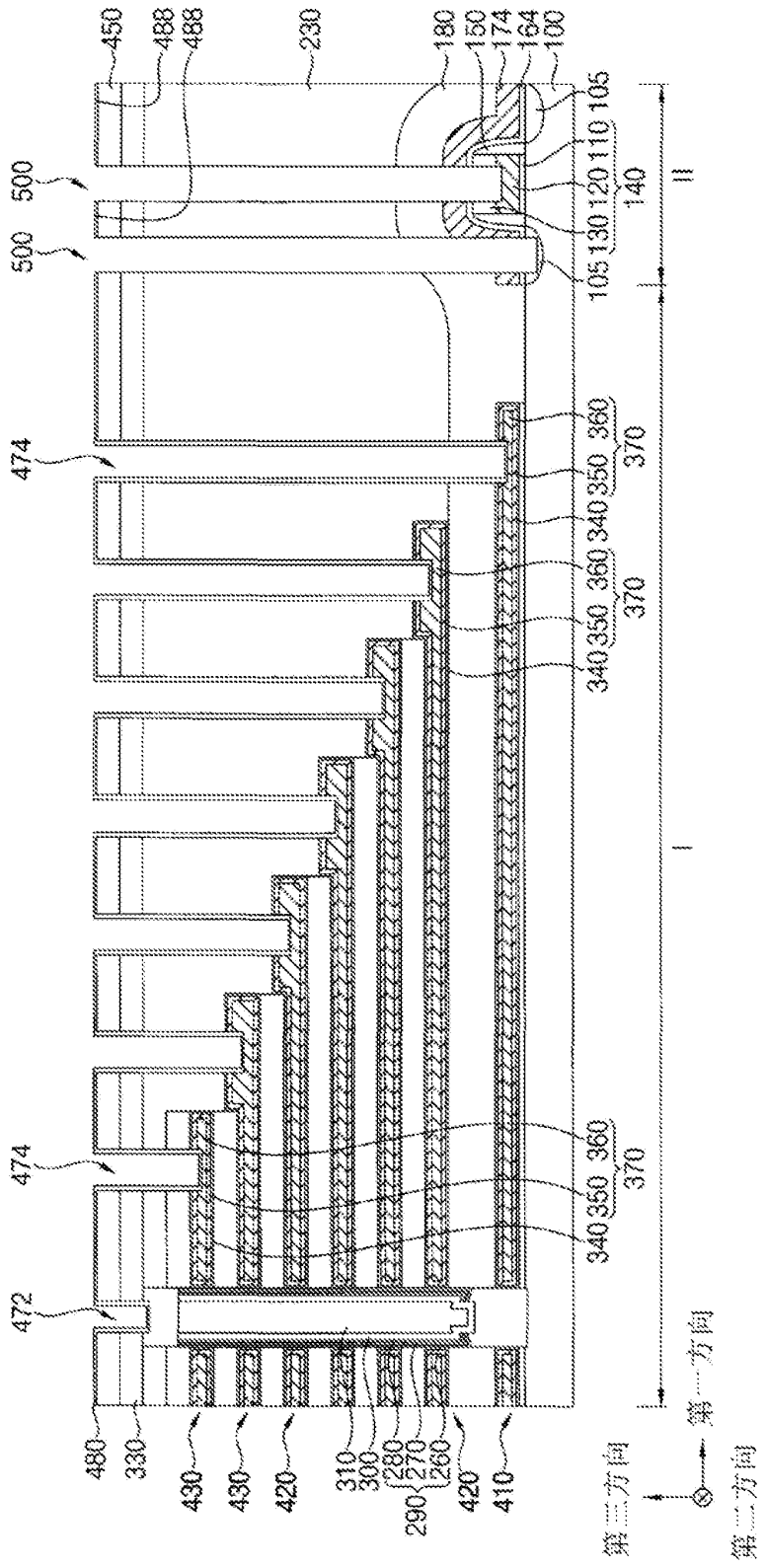


图17

Micron Ex. 1002, p. 448
Micron v. YMTC
IPR2025-00035

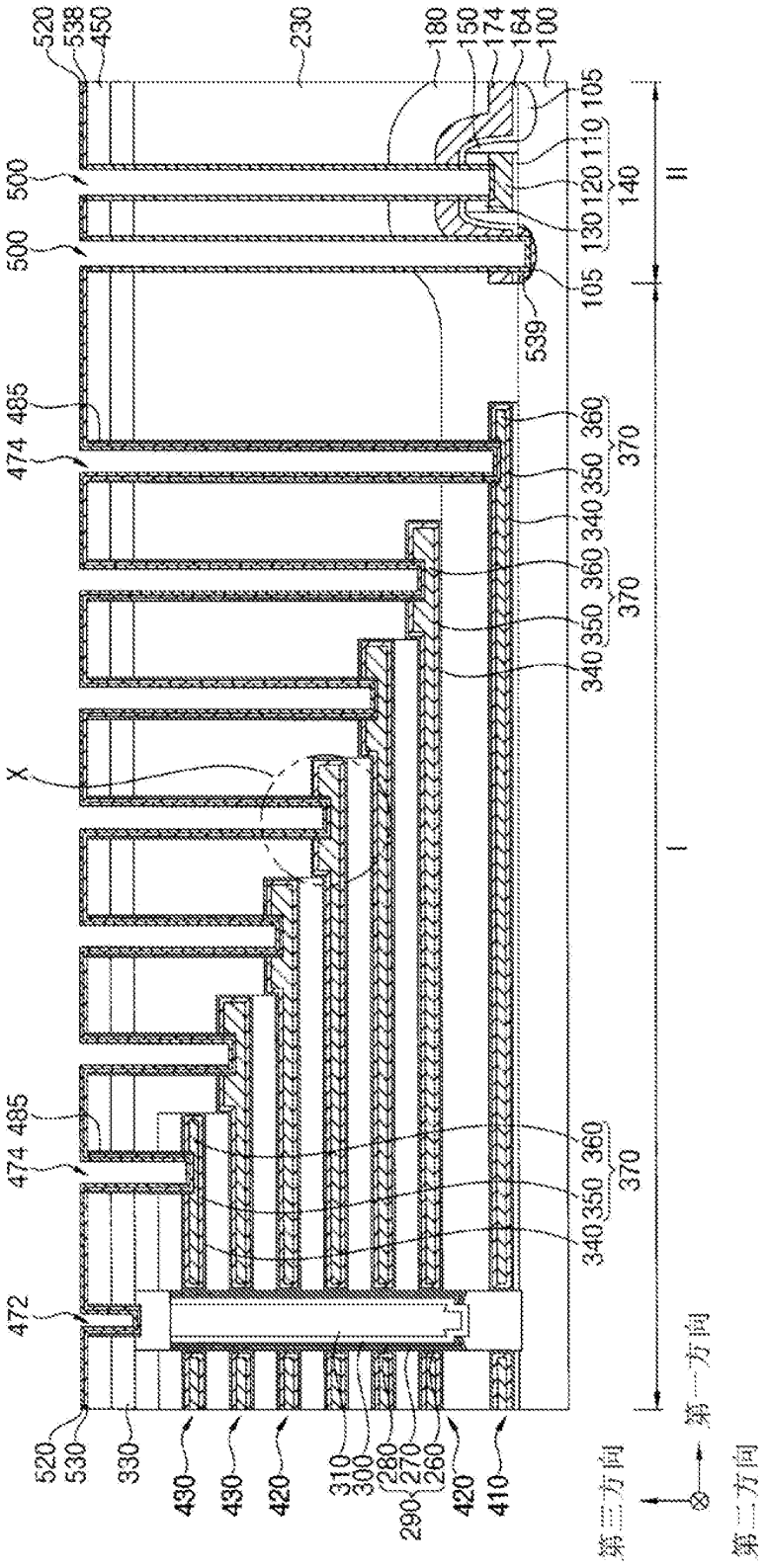


图18

Micron Ex. 1002, p. 449
Micron v. YMTC
IPR2025-00035

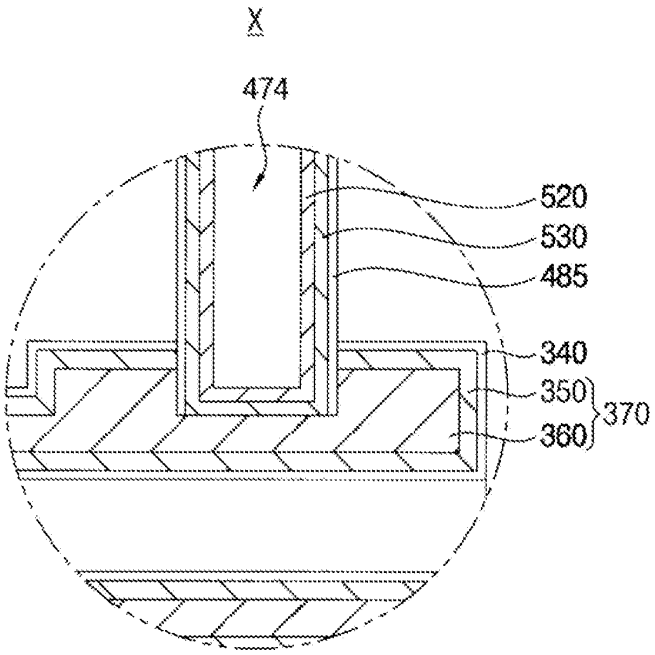


图19

Micron Ex. 1002, p. 450
Micron v. YMTC
IPR2025-00035

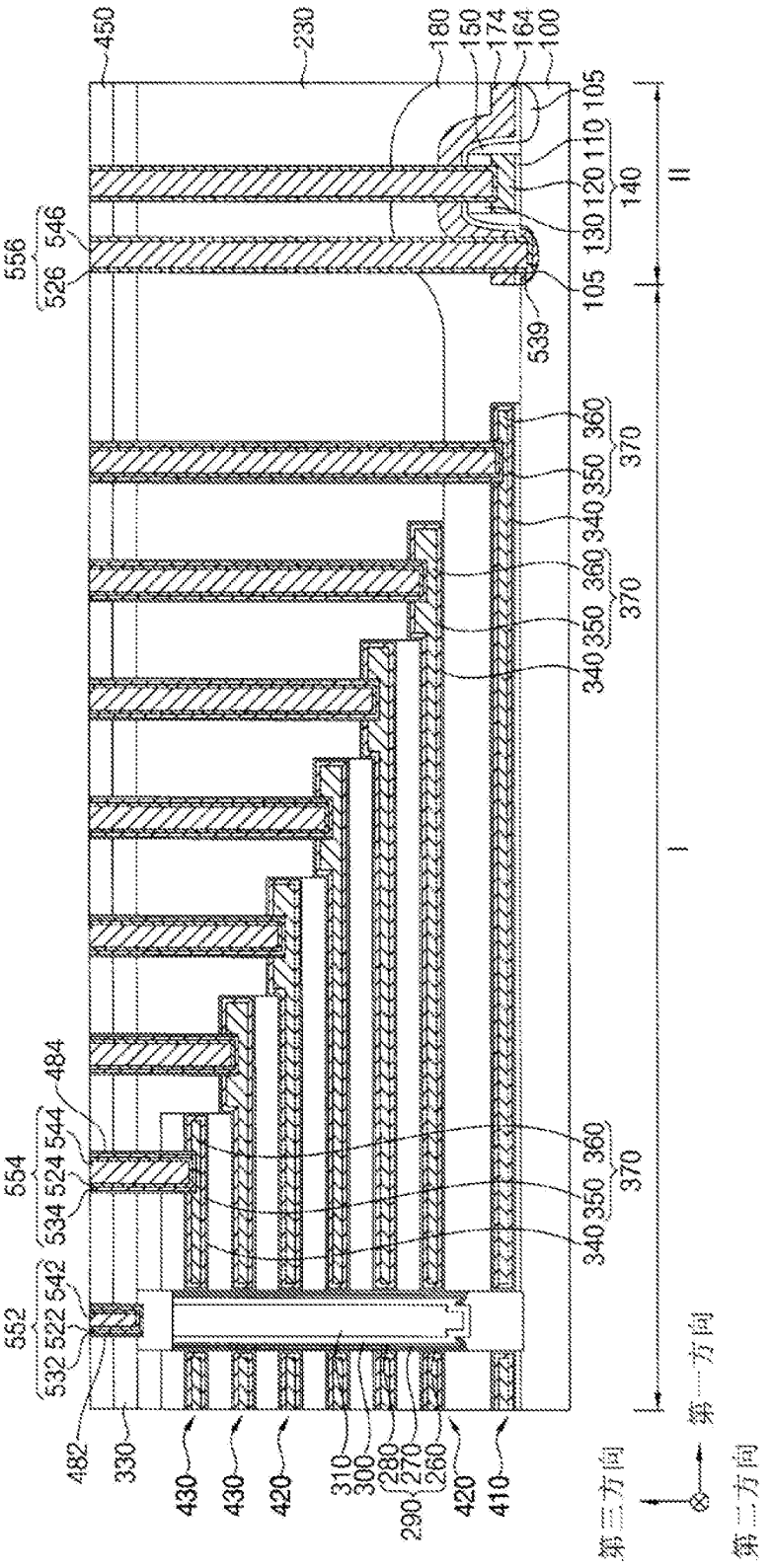


图20

Micron Ex. 1002, p. 451
Micron v. YMTC
IPR2025-00035

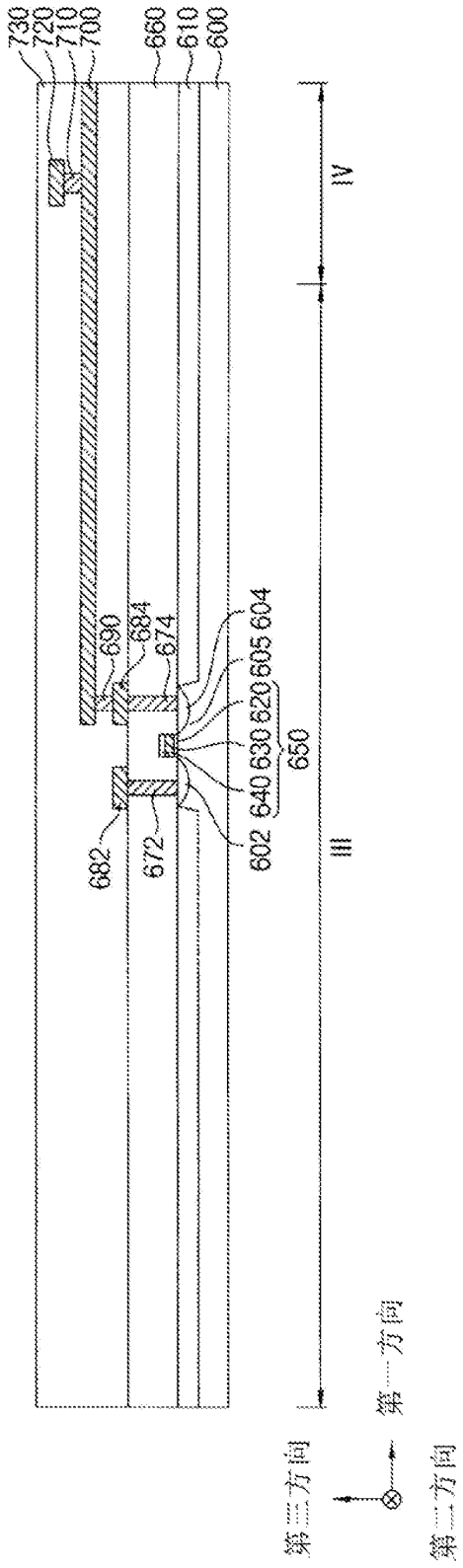


图21

Micron Ex. 1002, p. 452
Micron v. YMTC
IPR2025-00035

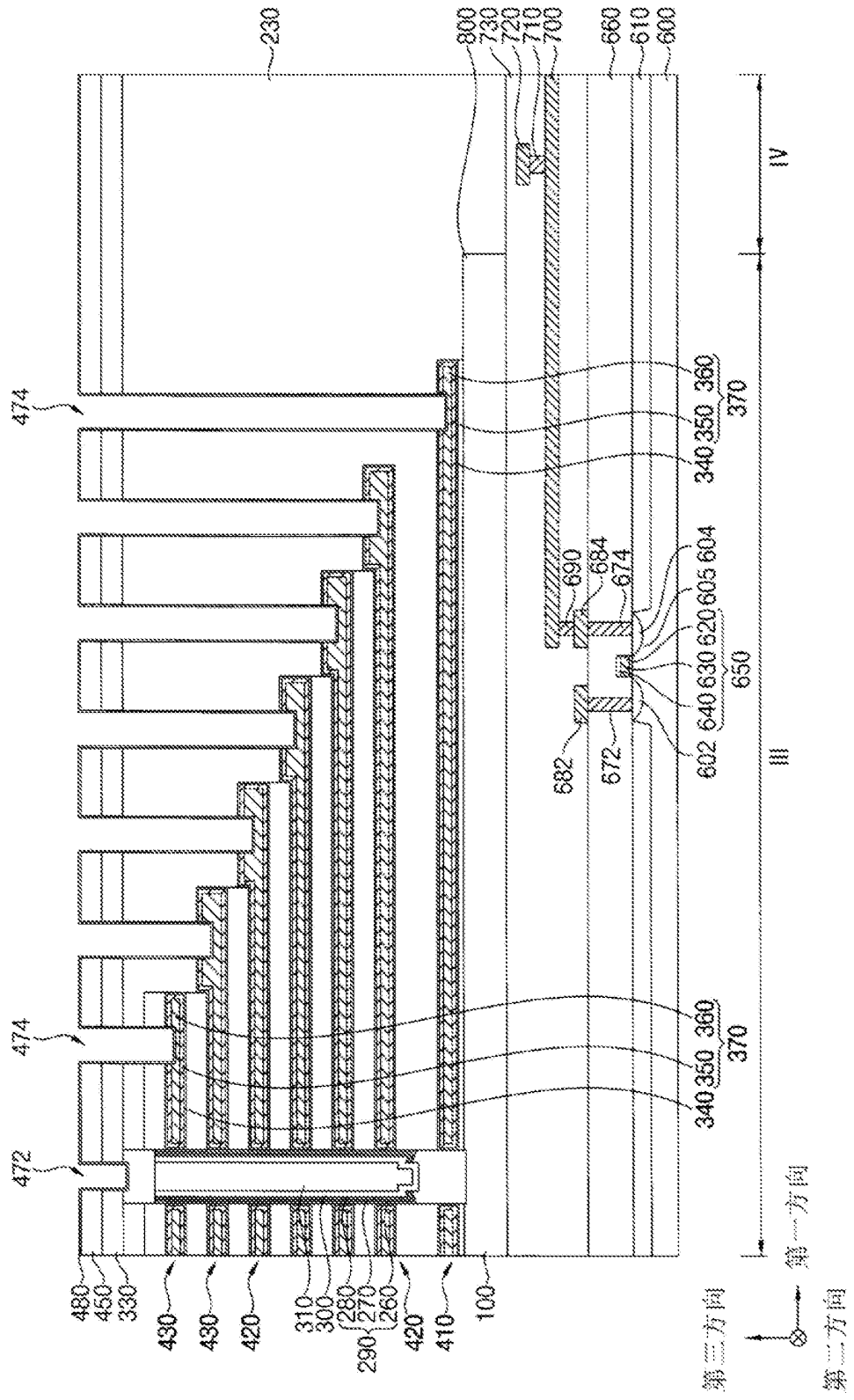


图22

Micron Ex. 1002, p. 453
Micron v. YMTC
IPR2025-00035

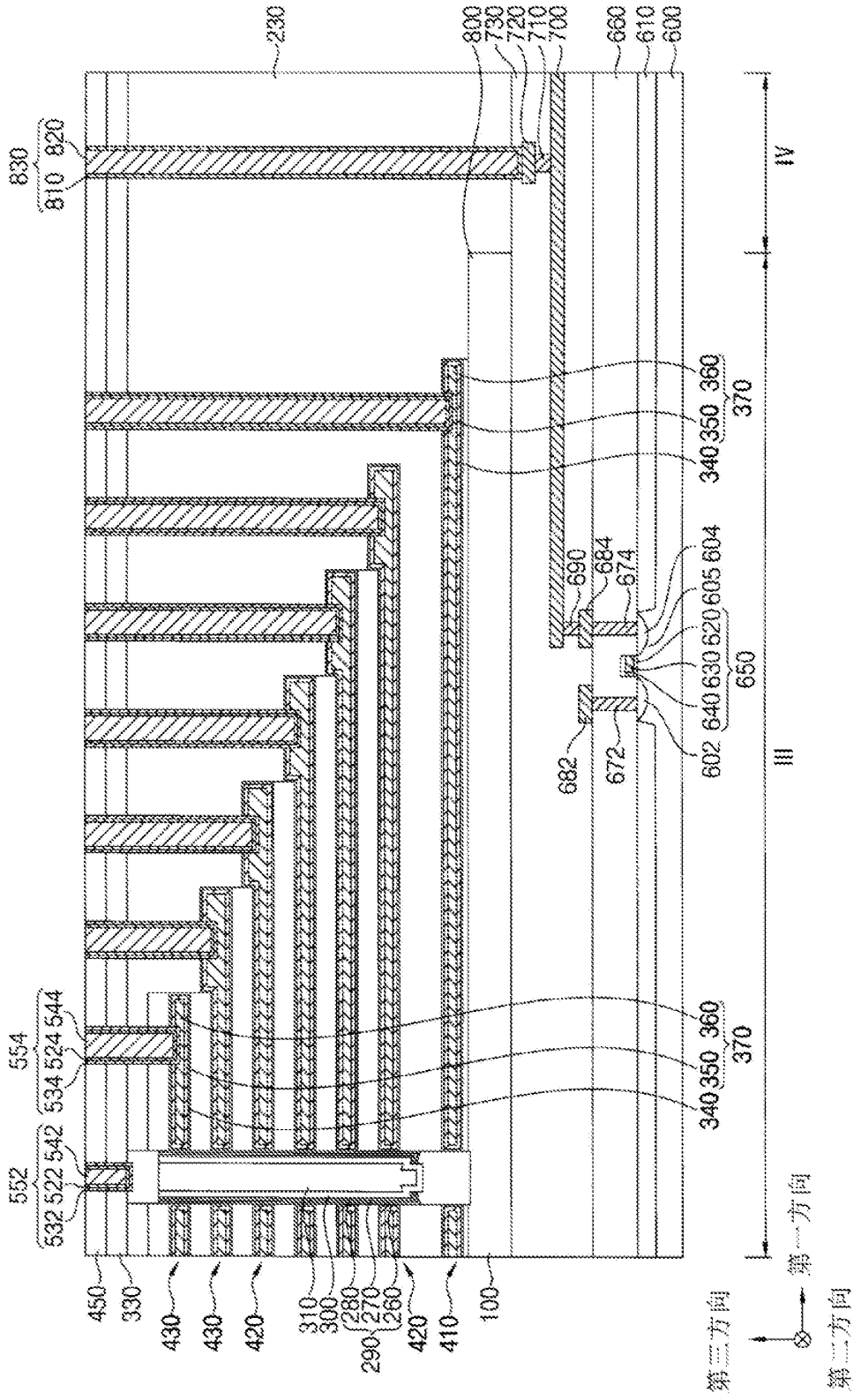


图23

Micron Ex. 1002, p. 454
Micron v. YMTC
IPR2025-00035

Espacenet

CN111033729A Methods and structures for forming stairs in three-dimensional memory device

Applicants: YANGTZE MEMORY TECH CO LTD

Inventors: GENG JINGJING,LIU XINXIN,WANG XIANGNING,YANG ZHU,ZUO CHEN

Classifications:
IPC ***H01L21/768; H01L23/528; H01L27/1157;***

CPC **H01L21/76804 (CN); H01L21/76832 (CN); H01L23/5283 (CN); H01L27/1157 (CN);**

Priorities: CN2019115668W 2019-11-05

Application: CN111033729A·2019-11-05

Publication: CN111033729A·2020-04-17

Published as: CN111033729A

Methods and structures for forming stairs in three-dimensional memory device

Abstract

Embodiments of a three-dimensional (3D) memory device and a method of fabricating the same are disclosed. In an example, a 3D memory device includes a memory stack having a plurality of stairs. Each stair may include one or more conductor layers and one or more dielectric layers that are interleaved. Each of the stairs includes one of the conductor layers on a top surface of the stair, the one ofthe conductor layers having (i) a bottom portion in contact with one of the dielectric layers, and (ii) a top portion exposed through the memory stack and in contact with the bottom portion. The lateral dimension of the top portion may be smaller than the lateral dimension of the bottom portion. An end of the top portion, which may be laterally away from the memory stack, exceeds the bottom portion by a distance.

Micron Ex. 1002, p. 455
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 111033729 A
(43)申请公布日 2020.04.17

(21)申请号 201980003378.8

(22)申请日 2019.11.05

(85)PCT国际申请进入国家阶段日
2020.01.02

(86)PCT国际申请的申请数据
PCT/CN2019/115668 2019.11.05

(71)申请人 长江存储科技有限责任公司
地址 430223 湖北省武汉市东湖新技术开发区未来三路88号

(72)发明人 刘新鑫 耿静静 杨竹 左晨 王香凝

(74)专利代理机构 北京永新同创知识产权代理有限公司 11376
代理人 林锦辉 刘景峰

(51)Int.Cl.
H01L 23/528(2006.01)
H01L 21/768(2006.01)
H01L 27/1157(2017.01)

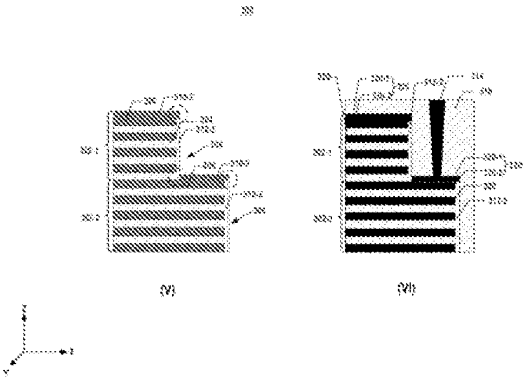
权利要求书3页 说明书11页 附图7页

(54)发明名称

用于在三维存储器件中形成阶梯的方法和结构

(57)摘要

公开了一种三维(3D)存储器件及其制造方法的实施例。在示例中,一种3D存储器件包括具有多个阶梯的存储堆叠体。每个阶梯可以包括交织的一个或多个导体层以及一个或多个电介质层。所述阶梯中的每个包括所述导体层的在所述阶梯的顶表面上的一个导体层,所述一个导体层具有:(i)与电介质层之一接触的底部部分,以及(ii)通过存储堆叠体暴露并且与所述底部部分接触的顶部部分。所述顶部部分的横向尺寸可以小于底部部分的横向尺寸。所述顶部部分的可以横向远离所述存储堆叠体的端部超出所述底部部分一距离。



CN 111033729 A

Micron Ex. 1002, p. 456
Micron v. YMTC
IPR2025-00035

1.一种三维(3D)存储器件,包括存储堆叠体,所述存储堆叠体包括多个阶梯,每个所述阶梯包括交织的一个或多个导体层以及一个或多个电介质层,其中:

所述阶梯中的每个包括所述导体层的在所述阶梯的顶表面上的一个导体层,所述一个导体层包括:(i)与所述电介质层之一接触的底部部分,以及(ii)通过所述存储堆叠体暴露并且与所述底部部分接触的顶部部分;

所述顶部部分的横向尺寸小于所述底部部分的横向尺寸;并且

所述顶部部分的横向远离所述存储堆叠体的端部超出所述底部部分一距离。

2.根据权利要求1所述的3D存储器件,还包括由所述顶部部分覆盖并且横向填满所述距离的绝缘部分,其中,所述绝缘部分:(i)覆盖所述底部部分以及所述一个或多个导体层的在所述阶梯的所述侧表面上的剩余部分,并且(ii)与在相应阶梯下方的另一阶梯的所述顶部部分接触。

3.根据权利要求2所述的3D存储器件,其中,所述顶部部分的顶表面高于在所述相应阶梯上方的阶梯的所述底表面。

4.根据权利要求2所述的3D存储器件,其中,所述距离在大约0.1nm到大约20nm的范围内。

5.根据权利要求4所述的3D存储器件,其中,所述距离在大约1nm到大约10nm的范围内。

6.根据权利要求2所述的3D存储器件,其中,所述绝缘部分包括氧化硅或高介电常数(高k)电介质中的至少一种。

7.根据权利要求1-6中的任一项所述的3D存储器件,还包括:

绝缘结构,在所述绝缘结构中设置所述存储堆叠体;以及

接触部,所述接触部在所述绝缘结构中延伸并且与所述导体层的相应一个导体层的所述顶部部分接触。

8.一种三维(3D)存储器件,包括存储堆叠体,所述存储堆叠体包括多个阶梯,每个所述阶梯包括交织的一个或多个导体层以及一个或多个电介质层,其中:

所述阶梯中的每个包括所述导体层的在所述阶梯的顶表面上的一个导体层,所述一个导体层包括:(i)与所述电介质层之一接触的底部部分,以及(ii)通过所述存储堆叠体暴露并且与所述底部部分接触的顶部部分;

所述顶部部分的横向远离所述存储堆叠体的端部超出所述底部部分大约0.1nm到大约20nm范围中的一距离。

9.根据权利要求8所述的3D存储器件,其中,所述距离在大约1nm到大约10nm的范围内。

10.根据权利要求8或9所述的3D存储器件,还包括由所述顶部部分覆盖并且横向填满所述距离的绝缘部分,其中,所述绝缘部分:(i)覆盖所述底部部分以及所述一个或多个导体层的在所述阶梯的所述侧表面上的剩余部分,并且(ii)与在相应阶梯下方的另一阶梯的所述顶部部分接触。

11.根据权利要求8所述的存储器件,其中,所述顶部部分的横向尺寸小于所述底部部分的横向尺寸。

12.根据权利要求8所述的3D存储器件,其中,所述绝缘部分包括氧化硅或高介电常数(高k)电介质中的至少一种。

13.根据权利要求8-11中的任一项所述的3D存储器件,还包括:

Micron Ex. 1002, p. 457
Micron v. YMTC
IPR2025-00035

绝缘结构，在所述绝缘结构中设置所述存储堆叠体；以及

接触部，所述接触部在所述绝缘结构中延伸并且与所述导体层的相应一个导体层的所述顶部部分接触。

14.一种用于形成三维(3D)存储器件的方法，包括：

形成包括交织的多个牺牲层和多个电介质层的电介质堆叠体；

在所述电介质堆叠体中形成阶梯，所述阶梯包括所述多个牺牲层中的一个或多个牺牲层以及所述多个电介质层中的一个或多个电介质层，所述阶梯暴露所述牺牲层的在顶表面上的一个牺牲层以及侧表面上的所述一个或多个牺牲层；

形成绝缘部分以覆盖所述阶梯的所述侧表面，从而覆盖所述一个或多个牺牲层；

形成牺牲部分以覆盖所述阶梯的所述顶表面，所述牺牲部分与所述一个牺牲层接触；以及

利用一个或多个导体层替换所述一个或多个牺牲层和所述牺牲部分。

15.根据权利要求14所述的方法，其中，形成所述绝缘部分包括：

形成所述阶梯以暴露所述电介质层的在所述顶表面上的一个电介质层；

形成绝缘层以覆盖所述阶梯的所述顶表面和所述侧表面；以及

去除所述绝缘层的在所述阶梯的所述顶表面上的一部分以及所述一个电介质层以暴露所述一个牺牲层，所述绝缘层的在所述阶梯的所述侧表面上的剩余部分形成所述绝缘部分。

16.根据权利要求15所述的方法，其中，形成所述绝缘层包括执行原子层沉积(ALD)。

17.根据权利要求15或16所述的方法，其中，去除所述绝缘层的所述部分包括执行各向异性蚀刻工艺。

18.根据权利要求16所述的方法，其中，形成所述绝缘层包括沉积由氧化硅或高介电常数(高k)电介质的至少一种形成的层。

19.根据权利要求14-18中的任一项所述的方法，其中，形成所述牺牲部分包括：

形成牺牲膜以至少覆盖所述牺牲层的在所述阶梯的所述顶表面上的所述一个牺牲层；以及

去除所述牺牲膜的在所述阶梯的所述侧表面上的一部分以暴露所述绝缘部分，所述牺牲膜的在所述阶梯的所述顶表面上的剩余部分形成所述牺牲部分。

20.根据权利要求19所述的方法，其中，形成所述绝缘层包括沉积由与所述牺牲膜的材料不同的电介质材料形成的层。

21.根据权利要求19所述的方法，其中，去除所述牺牲膜的所述部分包括执行各向同性蚀刻工艺。

22.根据权利要求21所述的方法，其中，形成所述牺牲膜包括沉积由与所述多个牺牲层的材料相同的牺牲材料形成的膜。

23.根据权利要求14-22中的任一项所述的方法，其中，利用一个或多个导体层替换所述一个或多个牺牲层和所述牺牲部分包括：

去除所述一个或多个牺牲层和所述牺牲部分以形成一个或多个横向凹陷；以及

沉积导体材料以填充所述横向凹陷并且形成所述一个或多个导体层。

24.根据权利要求23所述的方法，还包括：

Micron Ex. 1002, p. 458
Micron v. YMTC
IPR2025-00035

形成围绕所述电介质堆叠体的绝缘结构，使得所述电介质堆叠体在所述绝缘结构中；以及

形成在所述绝缘堆叠体中延伸并且与所述阶梯的所述顶表面上的导体层接触的接触部。

Micron Ex. 1002, p. 459
Micron v. YMTC
IPR2025-00035

用于在三维存储器件中形成阶梯的方法和结构

技术领域

[0001] 本公开的实施例涉及三维(3D)存储器件及其制造方法。

背景技术

[0002] 通过改善工艺技术、电路设计、编程算法和制造工艺，平面存储单元被缩放到更小的尺寸。然而，随着存储单元的特征尺寸接近下限，平面工艺和制造技术变得具有更具挑战性且成本高昂。结果，平面存储单元的存储密度接近上限。

[0003] 3D存储器架构能够解决平面存储单元中的密度限制。3D存储器架构包括存储器阵列以及外围器件，所述外围器件用于控制至存储器阵列的信号以及控制来自存储器阵列的信号。

发明内容

[0004] 本文公开了3D存储器件及其制造方法的实施例。

[0005] 在一个示例中，一种3D存储器件包括具有多个阶梯的存储堆叠体。每个阶梯可以包括交织的一个或多个导体层以及一个或多个电介质层。所述阶梯中的每个包括所述导体层的在所述阶梯的顶表面上的一个导体层，所述一个导体层具有：(i)与所述电介质层之一接触的底部部分；以及(ii)通过所述存储堆叠体暴露并且与所述底部部分接触的顶部部分。所述顶部部分的横向尺寸可以小于所述底部部分的横向尺寸。所述顶部部分的可以横向远离所述存储堆叠体的端部超出所述底部部分一距离。

[0006] 在另一示例中，一种3D存储器件包括具有多个阶梯的存储堆叠体。每个阶梯可以包括交织的一个或多个导体层以及一个或多个电介质层。所述阶梯中的每个可以包括所述导体层的在所述阶梯的顶表面上的一个导体层。所述一个导体层可以包括：(i)与所述电介质层之一接触的底部部分；以及(ii)通过所述存储堆叠体暴露并且与所述底部部分接触的顶部部分。所述顶部部分的可以横向远离所述存储堆叠体的端部超出所述底部部分大约0.1nm到大约20nm范围中的一距离。

[0007] 在又一示例中，一种用于形成3D存储器件的方法包括以下操作。首先，可以形成电介质堆叠体以具有交织的多个牺牲层和多个电介质层。可以在电介质堆叠体中形成阶梯。所述阶梯可以包括所述多个牺牲层中的一个或多个牺牲层以及所述多个电介质层中的一个或多个电介质层。所述阶梯可以暴露所述牺牲层的在顶表面上的一个牺牲层以及侧表面上的所述一个或多个牺牲层。可以形成绝缘部分以覆盖所述阶梯的侧表面，从而覆盖所述一个或多个牺牲层。可以形成牺牲部分以覆盖所述阶梯的所述顶表面，所述牺牲部分与所述一个牺牲层接触。可以利用一个或多个导体层替换所述一个或多个牺牲层以及所述牺牲部分。

附图说明

[0008] 附图被并入本文并且形成说明书的一部分，例示了本公开的实施例并且与说明书

Micron Ex. 1002, p. 460
Micron v. YMTC
IPR2025-00035

一起进一步用以解释本公开的原理，并且使相关领域的技术人员能够做出和使用本公开。

[0009] 图1示出了具有多个阶梯的3D存储器件的示意图。

[0010] 图2示出了用于在3D存储器件中形成阶梯的方法。

[0011] 图3示出了根据一些实施例用于在3D存储器件中形成阶梯的示范性方法。

[0012] 图4示出了根据一些实施例用于在3D存储器件中形成阶梯的示范性方法的流程图。

[0013] 将参考附图来描述本公开的实施例。

具体实施方式

[0014] 尽管讨论了具体的配置和布置，但应该理解，这仅仅是为了说明的目的而进行的。相关领域的技术人员将认识到，在不脱离本公开的精神和范围的情况下，可以使用其他配置和布置。对于相关领域的技术人员显而易见的是，本公开还可以用于各种其他应用中。

[0015] 应当注意到，在说明书中对“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等的引用指示所描述的实施例可以包括特定的特征、结构或特性，但是每个实施例可能不一定包括该特定的特征、结构或特性。而且，这样的短语不一定指代相同的实施例。此外，当结合实施例描述特定的特征、结构或特性时，无论是否明确描述，结合其他实施例来实现这样的特征、结构或特性都在相关领域的技术人员的知识范围内。

[0016] 通常，可以至少部分地从上下文中的用法来理解术语。例如，至少部分取决于上下文，如本文所使用的术语“一个或多个”可用于以单数意义描述任何特征、结构或特性，或可用于以复数意义描述特征、结构或特征的组合。类似地，至少部分取决于上下文，诸如“一”、“一个”或“所述”等术语同样可以被理解为表达单数用法或表达复数用法。另外，术语“基于”可以被理解为不一定旨在表达一组排他性的因素，而是可以替代地，同样至少部分地取决于上下文，允许存在不一定明确描述的其他因素。

[0017] 应当容易理解的是，本公开中的“在……上”、“在……上方”和“在……之上”的含义应以最宽泛的方式来解释，使得“在……上”不仅意味着“直接在某物上”，而且还包括其间具有中间特征或层的“在某物上”的含义，并且“在……之上”或“在……上方”不仅意味着“在某物之上”或“在某物上方”的含义，而且还可以包括其间没有中间特征或层的“在某物之上”或“在某物上方”的含义(即，直接在某物上)。

[0018] 此外，为了便于描述，可以在本文使用诸如“在……之下”、“在……下方”、“下”、“在……上方”、“上”等空间相对术语来描述如图所示的一个元件或特征与另一个(或多个)元件或特征的关系。除了附图中所示的取向之外，空间相对术语旨在涵盖器件在使用或操作中的不同取向。设备可以以其他方式定向(旋转90度或在其他取向上)并且同样可以相应地解释本文使用的空间相关描述词。

[0019] 如本文所使用的，术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。添加在衬底顶部上的材料可以被图案化或可以保持未被图案化。此外，衬底可以包括各种各样的半导体材料，例如硅、锗、砷化镓、磷化铟等。可替换地，可以由诸如玻璃、塑料或蓝宝石晶圆的非导电材料来制成衬底。

[0020] 如本文所使用的，术语“层”是指包括具有厚度的区域的材料部分。层可以在整个下层或上层结构上方延伸，或者其范围可以小于下层或上层结构的范围。此外，层可以是厚

Micron Ex. 1002, p. 461
Micron v. YMTC
IPR2025-00035

度小于连续结构的厚度的均匀或不均匀连续结构的区域。例如，层可以位于连续结构的顶表面和底表面之间的任何一对水平平面之间或在顶表面和底表面处。层可以横向、垂直和/或沿着锥形表面延伸。衬底可以是层，衬底可以在其中包括一层或多层，和/或衬底可以在其上、上方和/或其下具有一层或多层。层可以包括多个层。例如，互连层可以包括一个或多个导体和接触部层(其中形成互连线和/或过孔接触部)以及一个或多个电介质层。

[0021] 如本文所使用的，术语“标称/标称上”是指在产品或工艺的设计阶段期间设定的部件或工艺操作的特性或参数的期望值或目标值、以及高于和/或低于期望值的值的范围。值的范围可以是由于制造工艺或公差的轻微变化而引起的。如本文所使用的，术语“大约”表示可以基于与主题半导体器件相关联的特定技术节点而变化的给定量的值。基于特定的技术节点，术语“大约”可以表示给定量的值，该给定量的值例如在该值的10-30％内变化(例如，值的±10％、±20％或±30％)。

[0022] 如本文所使用的，术语“3D存储器串”是指在横向取向的衬底上串联连接的存储单元晶体管形成的垂直取向串，使得存储单元晶体管的串相对于所述衬底在垂直方向上延伸。如本文所使用的，术语“垂直/垂直地”表示标称上垂直于衬底的横向表面。

[0023] 如本文所使用的，术语“阶梯”、“台阶”和“层级”可以互换使用。如本文所使用的，阶梯结构是指包括至少两个水平表面和至少两个垂直表面的一组表面，使得每个水平表面连接到从水平表面的第一边缘向上延伸的第一垂直表面，并且连接到从水平表面的第二边缘向下延伸的第二垂直表面。“阶梯结构”是指具有多个垂直延伸的阶梯的结构。

[0024] 随着对更高存储容量的需求连续增大，阶梯结构已经被引入3D存储器件中。一种其中垂直和横向地分布了存储单元的3D存储器件沿垂直方向可以具有期望数量(例如，32、64和96个)的阶梯/层级。3D存储器件常常可以通过首先形成具有多个阶梯的阶梯结构来形成，每个阶梯具有一个或多个牺牲/电介质层。然后利用导体层替换牺牲层，在导体层上形成接触部以将导体层导电连接到外围电路。由于3D存储器件不断垂直增大尺寸(例如，具有96层级或更多)，所以使用更薄的牺牲/电介质层对。更薄的牺牲层可以导致更薄的导体层。

[0025] 更薄的导体层可能难以在形成接触部期间充当蚀刻停止层，接触部常常是通过对阶梯结构所在的绝缘结构进行构图以形成在绝缘结构中延伸并暴露导体层的开口而形成的。作为改进措施，加厚了与接触部进行接触的导体层。一种方式是在利用导体层替换牺牲层之前，在牺牲层上使用例如原子层沉积(ALD)沉积例如氮化硅膜的牺牲膜，以加厚牺牲层。作为ALD的结果，牺牲膜还可以覆盖阶梯的侧表面，并且常常执行回蚀工艺以去除牺牲膜的在侧表面上的多余部分，防止在随后的栅极替换工艺中在侧表面上形成不期望的导体部分并引起短路。然而，回蚀工艺有时还去除了牺牲层的在侧表面上暴露的部分，减小了牺牲层的总面积。这可能引起导体层的总面积减少和3D存储器件的电阻增大。因此，需要改进阶梯结构的制造。

[0026] 根据本公开的各实施例提供了一种具有存储堆叠体的3D存储器件。所述存储堆叠体包括形成阶梯结构的多个阶梯。每个阶梯具有设置在顶表面上并与接触部接触的导体层。相应阶梯的顶表面上的导体层能够具有足够的厚度，以充当用于形成接触部的蚀刻停止层，而阶梯中的其他导体层的总面积保持不变(例如，不受制造过程影响/减小)。由于阶梯的顶表面上的导体层加厚，导体层的电阻可以增大很少或没有增大。

[0027] 具体而言，在利用导体层替换牺牲层之前，可以形成具有多个阶梯的堆叠体结构。

Micron Ex. 1002, p. 462
Micron v. YMTC
IPR2025-00035

每个阶梯可以具有在相应顶表面上设置的相应牺牲层。可以(例如,使用ALD)沉积并回蚀绝缘层以形成覆盖阶梯的侧表面的绝缘部分。绝缘部分可以覆盖阶梯的侧表面上的导体层,从而防止导体层在随后的制造操作中被蚀刻/损坏。绝缘层可以包括可以由沉积形成的任何适当绝缘材料,例如氧化硅和/或高介电常数(高k)电介质材料。然后可以沉积并回蚀牺牲膜以形成覆盖所述顶表面并与所述牺牲层的暴露部分接触的部分。然后可以利用多个导体层在同一工艺(例如,栅极替换工艺)中替换牺牲层和牺牲膜的部分。牺牲层的长度/宽度可以保持不变。因此,阶梯的顶表面上的导体层可以均具有更大的厚度,以充当用于形成导体层的蚀刻停止层。

[0028] 在根据本公开的3D存储器件中,每个阶梯的顶表面上的导体层可以包括顶部部分和底部部分。底部部分可以与下方的电介质层接触,而顶部部分可以在所述底部部分上方并与接触部接触。顶部部分的远离存储堆叠体的端部可以超出底部部分一距离,该距离基于覆盖侧表面的相应绝缘部分的厚度来确定。绝缘部分可以被顶部部分覆盖。所述距离(即,绝缘部分的厚度)可以在大约0.1nm到大约20nm的范围内。在一些实施例中,所述距离在大约1nm到大约10nm之间。

[0029] 图1示出了在衬底102上方具有存储堆叠体112的3D存储器件100。存储堆叠体112可以包括交织的多个导体层106和多个电介质层108以及在存储堆叠体112中延伸到衬底102中的多个3D存储器串110。3D存储器件100还可以包括存储堆叠体112设置于其中的绝缘结构116,以及在绝缘结构116中延伸并与相应的导体层106接触的多个接触部114。要指出的是,在图1-3中增加了x-、y-和z-轴以进一步示出结构/器件中的部件的空间关系。例如,衬底102包括在x-和y-轴(横向方向)上横向延伸的两个横向表面(例如,顶表面和底表面)。如本文所用的,在衬底被定位在y-轴上的半导体器件的最低平面中时,在z-轴(垂直方向或厚度方向)上相对于半导体器件的衬底(例如,衬底102)确定半导体器件(例如,3D存储器件100)的一个部件(例如,层或器件)是否在另一部件(例如,层或器件)的“上”、“上方”或“下方”。在整个本公开中应用相同的表示法来描述空间关系。

[0030] 在一些实施例中,衬底102包括硅(例如,单晶硅、c-Si)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他适当材料。在一些实施例中,绝缘结构116包括氧化硅。在一些实施例中,接触部114包括导体材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任意组合。

[0031] 存储堆叠体112可以包括形成阶梯结构的多个阶梯104。存储堆叠体112可以包括在x-和y-轴上延伸并且交织的多个导体层106和多个电介质层108,以形成沿z-轴/垂直方向堆叠的多个导体/电介质对。存储堆叠体112中交织的导体层106和电介质层108可以沿垂直方向交替。换言之,除了存储堆叠体112的顶部或底部处的之外,每个导体层106可以邻接两侧上的两个电介质层108,并且每个电介质层108可以邻接两侧上的两个导体层106。导体层106可以均具有相同的厚度或不同的厚度。类似地,电介质层108可以均具有相同的厚度或不同的厚度。导体层106可以包括导体材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任意组合。电介质层108可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅或其任意组合。

[0032] 3D存储器串110和导体层106相交可以形成存储堆叠体112中的存储单元阵列。在一些实施例中,每个3D存储器串110都是“电荷捕获”型NAND存储器串,其包括半导体沟道和

Micron Ex. 1002, p. 463
Micron v. YMTC
IPR2025-00035

存储膜。在一些实施例中，半导体沟道包括硅，例如非晶硅、多晶硅或单晶硅。在一些实施例中，存储膜是包括隧穿层、存储层(也称为“电荷捕获/存储层”)和阻挡层的复合电介质层。每个3D存储器串110可以具有圆柱形状(例如，柱形)。根据一些实施例，以半导体沟道、存储膜的隧穿层，存储层和阻挡层的顺序从中心向柱的外表面的方向进行布置。隧穿层可以包括氧化硅、氮氧化硅或其任意组合。存储层可以包括氮化硅、氮氧化硅、硅或其任意组合。阻挡层可以包括氧化硅、氮氧化硅、高k电介质或其任意组合。在一个示例中，阻挡层可以包括氧化硅/氮氧化硅/氧化硅(ONO)的复合层。在另一示例中，阻挡层可以包括高k电介质层，例如氧化铝(Al_2O_3)、氧化铪(HfO_2)或氧化钽(Ta_2O_5)层等。

[0033] 在一些实施例中，3D存储器串110还包括多个控制栅极(每个都是字线的一部分)。存储堆叠体112中的每个导体层106能够充当用于3D存储器串110的每个存储器单元的控制栅极。在一些实施例中，每个3D存储器串110包括在垂直方向上的相应端部处的两个插塞。一个插塞在3D存储器串110的下端处并与半导体沟道接触，可以包括半导体材料，例如从衬底102外延生长的单晶硅。插塞可以充当由3D存储器串110的源极选择栅极控制的沟道。如本文所用的，在衬底102被定位在3D存储器件100的最下平面时，部件(例如，3D存储器串110)的“上端”是在z-轴上更远离衬底102的端部，部件(例如，3D存储器串110)的“下端”是在z-轴上更接近衬底102的端部。另一插塞可以包括半导体材料(例如，多晶硅)。通过在制造过程期间覆盖3D存储器串110的上端，其他插塞可以充当蚀刻停止层，以防止蚀刻3D存储器串110中填充的电介质，例如氧化硅和氮化硅。在一些实施例中，其他插塞充当3D存储器串110的漏极。

[0034] 如图1所示，每个阶梯104可以包括沿垂直方向堆叠的一个或多个导体/电介质对。在一些实施例中，每个阶梯104包括设置于相应顶表面上以与相应接触部114接触的导体层106，接触部114导电连接到存储堆叠体112的外围电路(未示出)。

[0035] 图2A和2B示出了使用现有操作形成阶梯结构中的阶梯的部分制造过程220。图2B是图2A的继续。具体而言，图2A和2B示出了在栅极替换工艺之前，加厚每个阶梯顶表面上的牺牲层的工艺。如制造过程200的步骤(I)中所示，可以形成具有多个阶梯的阶梯结构202。为了便于说明，可以将衬底从图2A和图2B中省略，并且示出了两个连续的阶梯202-1和202-2以代表阶梯结构202中的阶梯。阶梯结构202包括沿垂直方向堆叠的交织的多个电介质层204和多个牺牲层206。牺牲层206可以包括与电介质层204的材料不同的适当材料并且可以在随后的栅极替换操作中利用导体层替换。例如，牺牲层206包括氮化硅，而电介质层204包括氧化硅。阶梯202-1和202-2中的每个包括牺牲/电介质对的一个或多个对。阶梯202-1和202-2均包括沿垂直方向延伸并暴露相应阶梯中的牺牲层206的侧表面208。

[0036] 如在制造过程200的步骤(I)和(II)中所示，垂直蚀刻阶梯结构202以暴露在每个阶梯，例如202-1和202-2的顶表面上的牺牲层206。在步骤(III)中，沉积牺牲膜210以至少覆盖阶梯，例如202-1和202-2的顶表面，并将每个阶梯顶表面上的牺牲材料的总厚度，例如牺牲层206的厚度和牺牲膜210的厚度的总和，增大到期望的值/范围。牺牲膜210可以通过ALD形成并且可以包括例如氮化硅。在步骤(III)中，为去除阶梯，例如202-1和202-2的侧表面208上的牺牲膜210的任何部分，执行凹陷蚀刻。凹陷蚀刻还可以去除每个阶梯，例如202-1和202-2的顶表面上的牺牲材料的一部分，使得顶表面上牺牲材料的最终厚度是栅极替换工艺所期望的。阶梯，例如202-1和202-2顶表面上随后形成的导体层还可以具有足够大厚

Micron Ex. 1002, p. 464
Micron v. YMTC
IPR2025-00035

度，以为随后形成接触部充当蚀刻停止层。

[0037] 然而，如步骤(IV)中所示，除了去除了侧表面208上的牺牲膜210的部分之外，凹陷蚀刻还可能不期望地去除了阶梯，例如202-1和202-2的侧表面208上暴露的每个牺牲层206的一部分。然后牺牲层206沿x轴具有减小的长度/宽度，导致通过栅极替换工艺形成的存储堆叠体中的导体层沿x轴具有减小的长度/宽度。该部分可以沿x轴大约为20nm到大约50nm，例如大约30nm。在随后的操作中，在利用导体层替换牺牲层206之后，形成绝缘结构以填满通过去除牺牲层206形成的空间，使得通过去除牺牲层206的部分而导致的填充有绝缘结构的横向距离/空间为大约20nm到大约50nm，例如大约30nm。导体层的电阻可能不合期望地被增大。

[0038] 本公开的实施例提供了3D存储器件中阶梯的结构和制造方法，所述3D存储器件包括衬底、具有阶梯结构、多个存储器串的存储堆叠体以及存储堆叠体设置于其中的绝缘结构。所述3D存储器件的总体结构可以类似于3D存储器件100。所述存储堆叠体/阶梯结构可以包括沿z轴堆叠、类似于阶梯104的多个阶梯。然而，形成本公开中的阶梯的结构和制造方法可以与现有技术的那些不同并在图3A-图3C中详细描述。在本公开中，示出了两个连续的阶梯以代表3D存储器件中的多个阶梯，例如全部阶梯的制造和结构。为例示简单起见，本公开的实施例强调阶梯的形成，例如，加厚与接触部接触的导体层而不减小导体层的长度/宽度，并且从图3A-图3C的描述中省略了其他部分。

[0039] 图3A-图3C示出了根据一些实施例用于形成存储堆叠体中的多个阶梯的示范性制造方法300。图3B是图3A的继续，图3C是图3B的继续。在存储堆叠体中，导体层沿x轴的长度/宽度保持不变(或牺牲层的长度/宽度不受制造工艺的影响)。图4示出了根据一些实施例的方法300的流程图400。要理解的是，方法300中所示的操作不是穷举性的，且也可以在例示的任何操作之前、之后或之间执行其他操作。此外，可以同时，或以与图3和4所示不同的次序执行操作中的一些。

[0040] 参考图4，方法300开始于操作402，其中形成具有多个阶梯的堆叠体结构，每个阶梯暴露相应顶表面上的电介质层和相应侧表面上的一个或多个牺牲层。图3A示出了对应结构。

[0041] 如图3A的步骤(I)中所示，可以在衬底(未示出)上形成具有多个阶梯，例如302-1和302-2的阶梯结构302。阶梯结构302可以包括沿垂直方向交替堆叠的多个电介质层304和多个牺牲层306。每个牺牲层306和下方电介质层304可以形成牺牲/电介质对。在一些实施例中，每个阶梯，例如302-1和302-2包括一个或多个牺牲/电介质对。也就是说，每个阶梯可以包括沿垂直方向交替布置的一个或多个牺牲层306和一个或多个电介质层304。在一些实施例中，每个阶梯包括超过一个牺牲/电介质对。牺牲层306和电介质层304可以包括不同的材料，并且因此可以例如在栅极替换工艺中选择性地被蚀刻。

[0042] 可以通过在相应的堆叠体结构上方使用蚀刻掩模，例如，图案化PR层，反复蚀刻具有多个交织的初始电介质层和初始牺牲层的堆叠体结构来形成阶梯结构302。每个初始牺牲层和下方的初始电介质层可以被称为电介质对。在一些实施例中，一个或多个电介质对可以形成一个层级/阶梯。在形成阶梯结构302期间，PR层被修整(例如，从材料堆叠体的边界，常常从所有方向增量地向内蚀刻)并用作蚀刻掩模，以蚀刻堆叠体结构的暴露部分。被修整PR的量可以直接与阶梯的尺寸相关(例如，决定性的)。可以使用适当的蚀刻，例如各向

Micron Ex. 1002, p. 465
Micron v. YMTC
IPR2025-00035

同性蚀刻工艺，例如湿法蚀刻，来获得PR层的修整。可以连续形成并修整一个或多个PR层，以用于形成阶梯结构302。在PR层的修整之后，可以使用适当的蚀刻剂蚀刻每个电介质对，以去除初始牺牲层和下方初始电介质层两者的一部分。被蚀刻的初始牺牲层和初始电介质层可以分别形成牺牲层306和电介质层304，它们形成堆叠体结构中的阶梯。然后可以去除PR层。

[0043] 如步骤(I)中所示，蚀刻阶梯结构302以暴露每个阶梯，例如302-1和302-2的顶表面上的电介质层304。每个阶梯可以包括侧表面308，其暴露相应阶梯中的一个或多个牺牲层306。在一些实施例中，侧表面308还暴露一个或多个电介质层304，包括相应阶梯的顶表面上的电介质层304。

[0044] 重新参考图4，在形成阶梯结构之后，方法300前进到操作404，其中形成绝缘层以至少覆盖每个阶梯的侧表面。图3A示出了对应结构。

[0045] 如图3A的步骤(II)中所示，可以形成绝缘层312以至少覆盖阶梯结构302的阶梯，例如302-1和302-2的侧表面308。绝缘层312可以至少覆盖阶梯，例如302-1和302-2的侧表面308上暴露的牺牲层306。在一些实施例中，绝缘层312还(例如，部分或完全)覆盖阶梯，例如302-1和302-2的顶表面并且与顶表面上的电介质层304接触。为便于描述，绝缘层312可以包括均沉积于相应阶梯(例如，302-1/302-2)的顶表面上的多个第一部分312-1，以及均沉积于相应阶梯(例如，302-1/302-2)的侧表面上的多个第二部分312-2。绝缘层312可以使用诸如ALD的适当沉积工艺来形成，并且可以包括可以使用ALD形成的电介质材料。绝缘层312可以包括与电介质层304相同的材料或包括与电介质层304不同的材料。绝缘层312可以包括与电介质层304的材料相同或不同的材料。在一些实施例中，绝缘层312包括与牺牲膜310的材料不同的电介质材料，使得牺牲膜310的蚀刻可以被绝缘层312阻挡以防止回蚀牺牲层306，牺牲层306具有与牺牲膜310(在随后的步骤中示出)相同的材料。例如，与牺牲膜310的材料相比，绝缘层312的电介质材料可以具有足够高的蚀刻选择性，以防止在蚀刻牺牲膜310同时去除绝缘层312。在一些实施例中，绝缘层312包括氧化硅和/或高k电介质材料，例如氧化铝(Al_2O_3)、氧化铪(HfO_2)和/或氧化钽(Ta_2O_5)。在一些实施例中，绝缘层312包括氧化硅。绝缘层312可以足够厚以防止牺牲层306在随后的操作中被蚀刻。在一些实施例中，还使用诸如化学气相沉积(CVD)和/或物理气相沉积(PVD)的其他适当沉积方法来形成绝缘层312。

[0046] 重新参考图4，在形成绝缘层之后，方法300前进到操作406，其中阶梯顶表面上的绝缘层的第一部分和电介质层被去除，以(i)在保留绝缘层的在阶梯的侧表面上的第二部分，并(ii)暴露阶梯的顶表面上的牺牲层。

[0047] 图3B示出了对应结构。

[0048] 如图3B的步骤(III)所示，可以去除每个阶梯，例如302-1和302-2的顶表面上的绝缘层312的第一部分312-1和电介质层304。绝缘层312的第二部分312-2可以保留在阶梯的侧表面308上。在每个阶梯，例如302-1和302-2的顶表面上可以暴露牺牲层306(例如，去除了上方相应的电介质层304)。绝缘层312的第二部分312-2沿x轴的厚度D可以在大约0.1nm到大约20nm的范围内，例如，0.1nm到20nm。在一些实施例中，第二部分312-2的厚度可以在大约1nm到大约10nm的范围内，例如1nm到10nm(例如，1nm、1.5nm、2nm、2.5nm、3nm、3.5nm、4nm、4.5nm、5nm、5.5nm、6nm、6.5nm、7nm、7.5nm、8nm、8.5nm、9nm、9.5nm、10nm，由这些值中的

Micron Ex. 1002, p. 466
Micron v. YMTC
IPR2025-00035

任一个作为下限约束的任何范围，或由这些值中的任两个限定的任何范围）。在一些实施例中，绝缘层312的第二部分312-2的厚度D小于在图2B的步骤(IV)中被回蚀的牺牲层206的部分的厚度。采用各向异性蚀刻工艺，例如干法蚀刻来去除绝缘层312的第一部分312-1和电介质层304。任选地，可以采用各向同性蚀刻工艺，例如，湿法蚀刻来将第二部分312-2的厚度修整到所期望的范围中。

[0049] 重新参考图4，在去除绝缘层的第一部分和电介质层之后，方法300前进到操作408，其中形成牺牲膜以至少覆盖每个阶梯的顶表面。图3B示出了对应结构。

[0050] 如图3B的步骤(IV)中所示，可以形成牺牲膜310以至少覆盖每个阶梯，例如302-1和302-2的顶表面。牺牲膜310可以与阶梯，例如302-1和302-2的顶表面上的牺牲层306接触。在一些实施例中，牺牲膜310还（例如，部分或完全）覆盖阶梯，例如302-1和302-2的侧表面308。牺牲膜310可以包括与牺牲层306的材料相同的材料，并且可以具有所期望的厚度，该厚度允许在每个阶梯的顶表面上随后形成足够厚的导体层。在一些实施例中，使用诸如ALD的适当沉积工艺来沉积牺牲膜310。在一些实施例中，还使用诸如CVD和/或PVD的其他适当沉积方法以形成牺牲膜310。

[0051] 重新参考图4，在形成牺牲膜之后，方法300前进到操作410，其中去除牺牲膜的在阶梯的侧表面上的第一部分，以(i)保留牺牲膜的在阶梯的顶表面上的第二部分；并(ii)暴露绝缘层的在阶梯的侧表面上的第二部分。图3C示出了对应结构。

[0052] 如图3C的步骤(V)中所示，可以去除牺牲膜310的在阶梯，例如302-1和302-2的侧表面308上的第一部分，并且可以暴露绝缘层312的第二部分312-2。可以执行各向同性蚀刻工艺，例如湿法蚀刻，以去除牺牲膜310的第一部分。牺牲膜310的在阶梯，例如302-1和302-2的顶表面上的剩余部分可以形成牺牲膜310的第二部分310-2。牺牲膜310的每个第二部分310-2可以与相应阶梯的顶表面上的相应牺牲层306接触。

[0053] 如步骤(V)中所示，第二部分310-2可以在每个阶梯，例如302-1和302-2的顶表面上的相应牺牲层306的上方并与其接触。第二部分310-2的远离阶梯结构302的端部可以沿x轴超出牺牲层306一距离，该距离由绝缘层312的第二部分312-2的厚度来确定。在一些实施例中，一个阶梯，例如302-2中的牺牲膜310的第二部分310-2的顶表面高于在其上方的阶梯，例如302-1的底表面。在一些实施例中，相应阶梯，例如302-1或302-2的底表面是该阶梯底部处的电介质层304的底表面。

[0054] 在形成牺牲膜310的第二部分310-2之后，方法300前进到操作412，其中利用多个导体层替换牺牲层和牺牲膜的第二部分。图3C示出了对应结构。

[0055] 如图3C的步骤(VI)中所示，在栅极替换工艺中可以利用多个导体层320替换牺牲层306和牺牲膜310的第二部分310-2。在每个阶梯，例如302-1和302-2中，顶表面上的导体层320包括顶部部分320-1和底部部分320-2。顶部部分320-1可以通过利用导体材料替换牺牲膜的第二部分310-2来形成，而底部部分320-2可以通过利用导体材料替换牺牲层306来形成。导体层320的顶部部分320-1可以具有类似于牺牲膜310的相应第二部分310-2的形状。在一些实施例中，顶部部分320-1的远离阶梯结构302的端部可以沿x轴超出底部部分320-2由绝缘层312的第二部分312-2的厚度确定的距离。导体层320的顶部部分320-1可以通过阶梯结构302暴露（例如，未被在相应阶梯上方的阶梯覆盖）并且覆盖绝缘层312的相应第二部分312-2，例如，覆盖顶表面上的导体层320的底部部分320-2和相应阶梯中的任何其

Micron Ex. 1002, p. 467
Micron v. YMTC
IPR2025-00035

他导体层320，绝缘层312的相应第二部分312-2可以覆盖相应阶梯的侧表面。导体层320可以与在阶梯结构302中延伸的存储器串(在图3中被省略的结构和制造过程)相交并形成存储单元阵列。阶梯结构302可以形成存储堆叠体。

[0056] 在一些实施例中，可以通过使用各向同性蚀刻工艺，例如湿法蚀刻来去除牺牲膜310的第二部分310-2和牺牲层306，以形成阶梯结构302中的多个横向凹陷，从而形成导体层320。可以沉积导体材料，例如W、Co、Al、Cu、掺杂硅和/或硅化物，以填满横向凹陷，形成导体层320。可以使用任何适当沉积方法，例如CVD、PVD、ALD或其组合来沉积导体材料。

[0057] 在一些实施例中，在形成导体层320之后，形成绝缘结构318以围绕阶梯结构302，使得阶梯结构302在绝缘结构318中。绝缘结构318可以与阶梯的侧表面308(或绝缘层312的第二部分312-2)和阶梯的顶表面接触。绝缘结构318可以包括任何适当的绝缘材料，例如氧化硅，并可以通过任何适当的沉积工艺，例如CVD、PVD和/或ALD来形成。可以形成用于形成接触部的开口以在绝缘结构318中延伸并暴露相应阶梯，例如302-1和302-2的顶表面。在一些实施例中，顶部部分320-1和底部部分320-2的总厚度足以充当用于形成相应开口(例如，用于形成相应的接触部)的蚀刻停止层。也就是说，可以通过开口暴露相应阶梯的顶表面处的导体层320的顶部部分320-1的一部分。可以沉积适当的导电材料，例如，W、Co、Al、Cu、掺杂硅和/或硅化物，以填满开口并形成接触部314。可以使用任何适当的沉积方法沉积导电材料，例如CVD、PVD、ALD或其组合。任选地，可以在绝缘结构318的顶表面上执行诸如化学机械平坦化和/或湿法蚀刻的平坦化工艺，以去除任何过剩的绝缘材料和/或导电材料。

[0058] 根据本公开的实施例，一种3D存储器件包括具有多个阶梯的存储堆叠体。每个阶梯可以包括交织的一个或多个导体层以及一个或多个电介质层。所述阶梯中的每个包括所述导体层的在所述阶梯的顶表面上的一个导体层，所述一个导体层具有：(i)与所述电介质层之一接触的底部部分，以及(ii)通过所述存储堆叠体暴露并且与所述底部部分接触的顶部部分。所述顶部部分的横向尺寸可以小于所述底部部分的横向尺寸。所述顶部部分的可以横向远离所述存储堆叠体的端部超出所述底部部分一距离。

[0059] 在一些实施例中，所述3D存储器件还包括由所述顶部部分覆盖并且横向填满所述距离的绝缘部分。所述绝缘部分可以(i)覆盖所述底部部分以及所述一个或多个导体层的在所述阶梯的所述侧表面上的的剩余部分，并且(ii)与在相应阶梯下方的另一阶梯的顶部部分接触。

[0060] 在一些实施例中，所述顶部部分的顶表面高于在相应阶梯上方的阶梯的底表面。

[0061] 在一些实施例中，所述距离在大约0.1nm到大约20nm的范围内。

[0062] 在一些实施例中，所述距离在大约1nm到大约10nm的范围内。

[0063] 在一些实施例中，所述绝缘部分包括氧化硅或高k电介质中的至少一种。

[0064] 在一些实施例中，所述3D存储器件还包括存储堆叠体设置于其中的绝缘结构，以及在所述绝缘结构中延伸并且与所述导体层的相应一层的顶部部分接触的接触部。

[0065] 根据本公开的实施例，一种3D存储器件包括具有多个阶梯的存储堆叠体。每个阶梯可以包括交织的一个或多个导体层以及一个或多个电介质层。每个阶梯可以包括所述导体层的在所述阶梯的顶表面上的一个导体层。所述一个导体层可以包括：(i)与所述电介质层之一接触的底部部分，以及(ii)通过存储堆叠体暴露并且与所述底部部分接触的顶部部分。所述顶部部分的可以横向远离所述存储堆叠体的端部超出所述底部部分大约0.1nm到

Micron Ex. 1002, p. 468
Micron v. YMTC
IPR2025-00035

大约20nm范围中的一距离。

[0066] 在一些实施例中，所述距离在大约1nm到大约10nm的范围内。

[0067] 在一些实施例中，所述3D存储器件还包括由所述顶部部分覆盖并且横向填满所述距离的绝缘部分。所述绝缘部分可以(i)覆盖所述底部部分以及所述一个或多个导体层的在所述阶梯的侧表面上的剩余部分，并且(ii)与在相应阶梯下方的另一阶梯的顶部部分接触。

[0068] 在一些实施例中，所述顶部部分的横向尺寸小于所述底部部分的横向尺寸。

[0069] 在一些实施例中，所述绝缘部分包括氧化硅或高k电介质中的至少一种。

[0070] 在一些实施例中，所述3D存储器件还包括所述存储堆叠体设置于其中的绝缘结构，以及在所述绝缘结构中延伸并且与所述导体层的相应一层的顶部部分接触的接触部。

[0071] 根据本公开的实施例，一种用于形成3D存储器件的方法包括以下操作。首先，可以形成电介质堆叠体以具有交织的多个牺牲层和多个电介质层。可以在所述电介质堆叠体中形成阶梯。所述阶梯可以包括所述多个牺牲层中的一个或多个牺牲层以及所述多个电介质层中的一个或多个电介质层。所述阶梯可以暴露所述牺牲层的在顶表面上的一个牺牲层以及侧表面上的所述一个或多个牺牲层。可以形成绝缘部分以覆盖所述阶梯的侧表面，从而覆盖所述一个或多个牺牲层。可以形成牺牲部分以覆盖阶梯的所述顶表面，所述牺牲部分与所述一个牺牲层接触。可以利用一个或多个导体层替换所述一个或多个牺牲层和所述牺牲部分。

[0072] 在一些实施例中，形成所述绝缘部分包括形成所述阶梯以暴露所述电介质层的在所述顶表面上的一个电介质层、形成绝缘层以覆盖所述阶梯的顶表面和侧表面，以及去除所述绝缘层的在所述阶梯的顶表面上的一部分和所述一个电介质层以暴露所述一个牺牲层。所述绝缘层的在所述阶梯的侧表面上的剩余部分可以形成所述绝缘部分。

[0073] 在一些实施例中，形成所述绝缘层包括执行ALD。

[0074] 在一些实施例中，去除所述绝缘层的所述部分包括执行各向异性蚀刻工艺。

[0075] 在一些实施例中，形成所述绝缘层包括沉积由氧化硅或高k电介质中的至少一种形成的层。

[0076] 在一些实施例中，形成所述牺牲部分包括形成牺牲膜以至少覆盖所述牺牲层的在所述阶梯的顶表面上的所述一个牺牲层，以及去除所述牺牲膜的在所述阶梯的侧表面上的一部分以暴露所述绝缘部分。所述牺牲膜的在所述阶梯的顶表面上的剩余部分可以形成所述牺牲部分。

[0077] 在一些实施例中，形成所述绝缘层包括沉积由与所述牺牲膜的材料不同的电介质材料形成的层。

[0078] 在一些实施例中，去除所述牺牲膜的所述部分包括执行各向同性蚀刻工艺。

[0079] 在一些实施例中，形成所述牺牲膜包括沉积由与所述多个牺牲层的材料相同的牺牲材料形成的膜。

[0080] 在一些实施例中，利用一个或多个导体层替换所述一个或多个牺牲层和所述牺牲部分包括去除所述一个或多个牺牲层和所述牺牲部分，以形成一个或多个横向凹陷，以及沉积导体材料以填充所述横向凹陷并且形成所述一个或多个导体层。

[0081] 在一些实施例中，所述方法还包括形成围绕所述电介质堆叠体的绝缘结构，使得

Micron Ex. 1002, p. 469
Micron v. YMTC
IPR2025-00035

所述电介质堆叠体在所述绝缘结构中，以及形成在所述绝缘堆叠体中延伸并且与所述阶梯的顶表面上的导体层接触的接触部。

[0082] 对特定实施例的上述说明将展现本公开的一般性质，使得他人在不需要过度实验和不脱离本公开一般概念的情况下，能够通过运用本领域技术范围内的知识容易地对此类特定实施例的各种应用进行修改和/或调整。因此，根据本文呈现的教导和指导，此类调整和修改旨在处于本文所公开实施例的等同物的含义和范围之内。应当理解，本文中的措辞或术语是出于说明的目的，而不是为了进行限制，所以本说明书的术语或措辞将由技术人员按照所述教导和指导进行解释。

[0083] 上文已经借助于功能构建块描述了本公开的实施例，功能构建块例示了指定功能及其关系的实施方式。在本文中出于方便描述的目的任意定义了这些功能构建块的边界。可以定义替代边界，只要适当执行其指定功能和关系即可。

[0084] 发明内容和摘要部分可以阐述发明人构思的本公开的一个或多个，但未必所有示范性实施例，因此，并非意在通过任何方式限制本公开和所附权利要求。

[0085] 本公开的广度和范围不应受任何上述示例性实施例的限制，并且应当仅根据所附权利要求书及其等同物进行限定。

Micron Ex. 1002, p. 470
Micron v. YMTC
IPR2025-00035

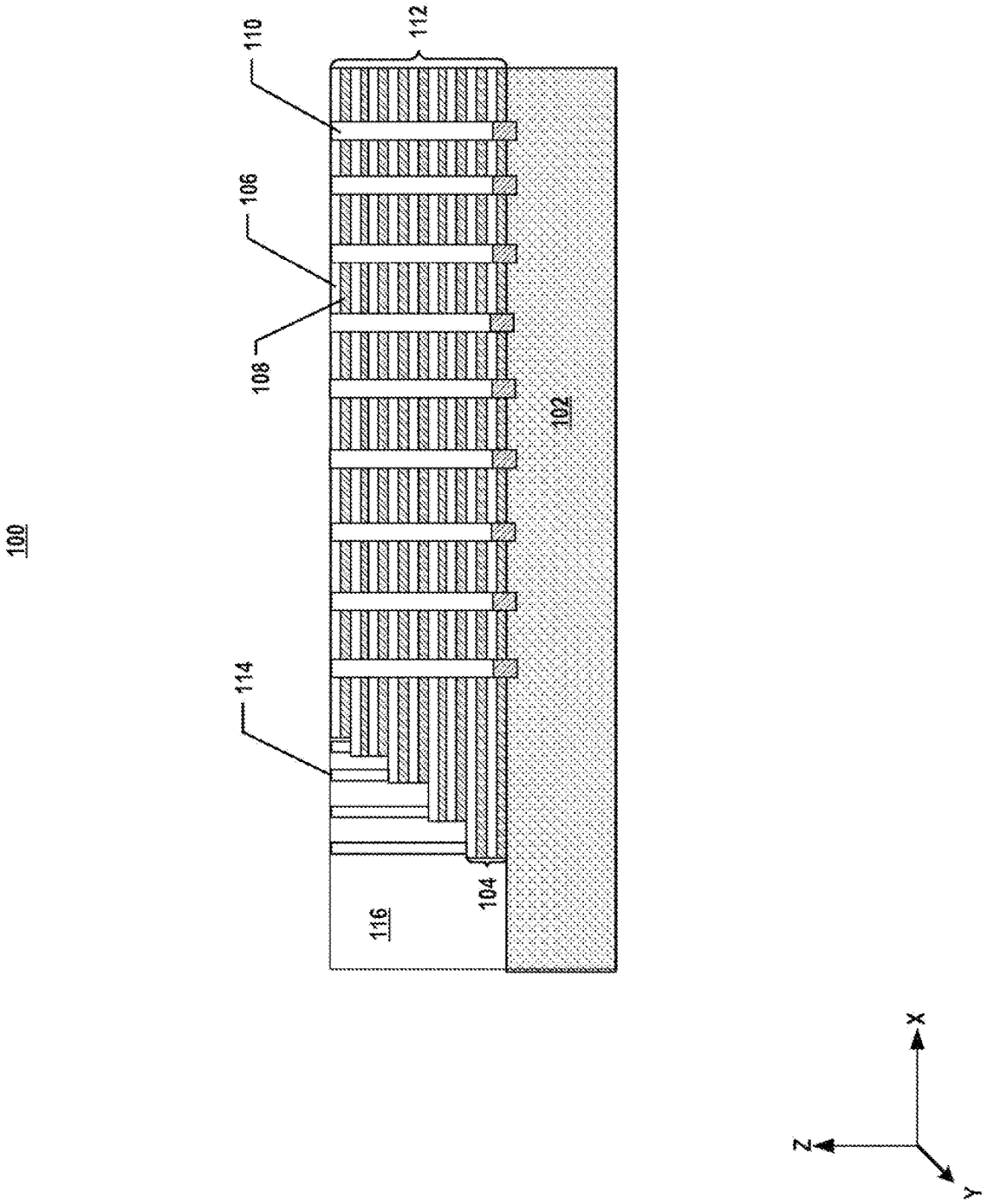


图1

Micron Ex. 1002, p. 471
Micron v. YMTC
IPR2025-00035

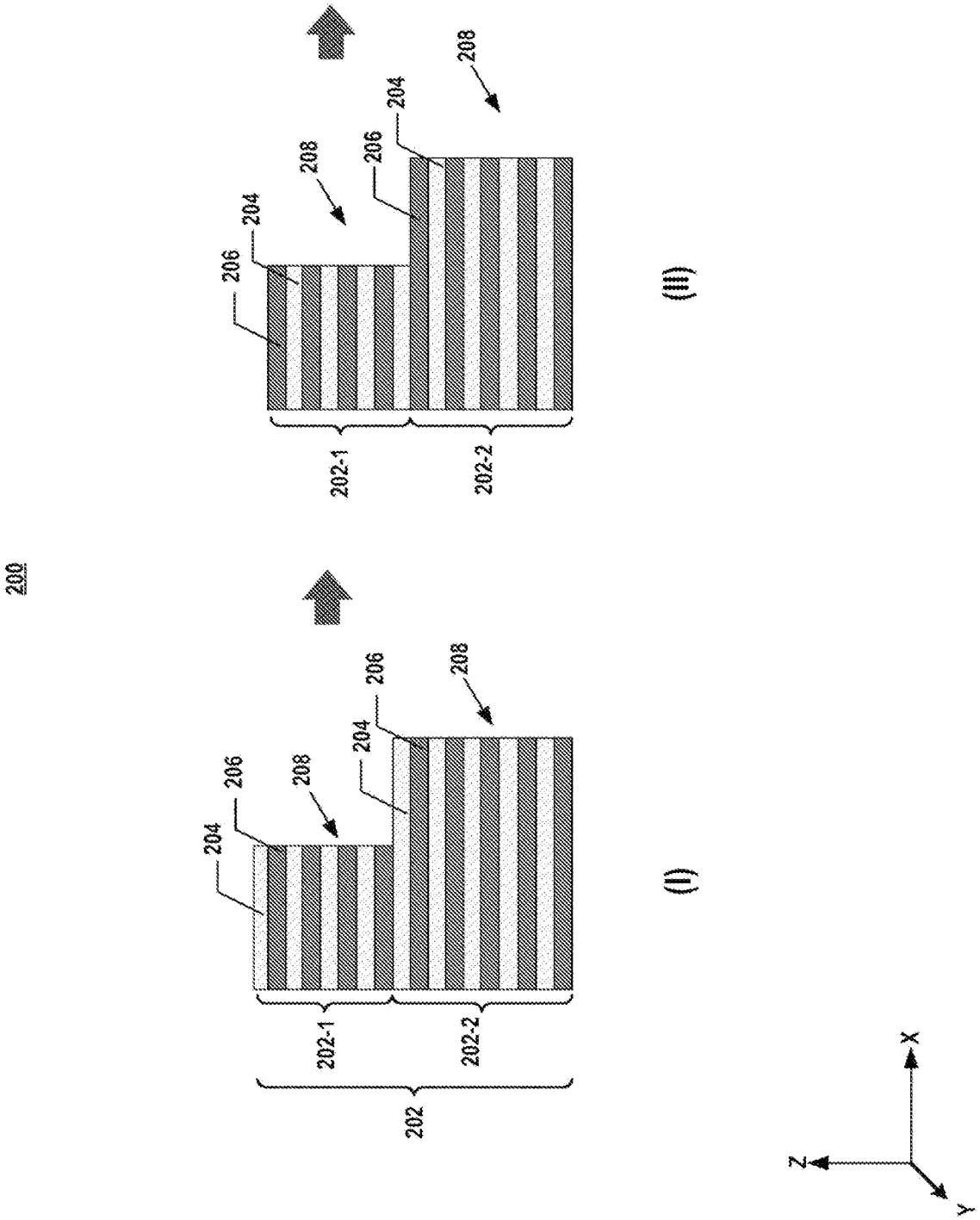


图2A

Micron Ex. 1002, p. 472
Micron v. YMTC
IPR2025-00035

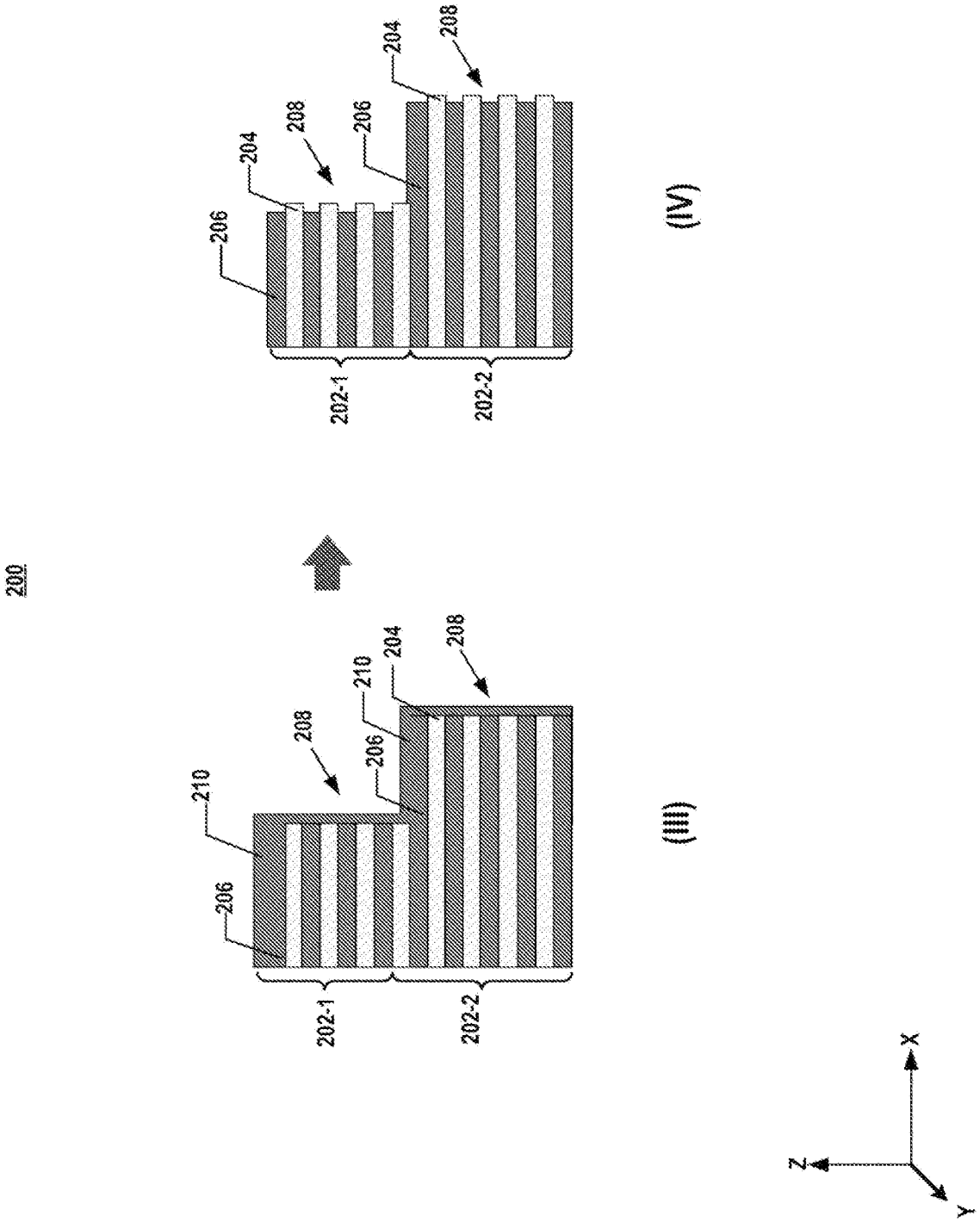


图2B

Micron Ex. 1002, p. 473
Micron v. YMTC
IPR2025-00035

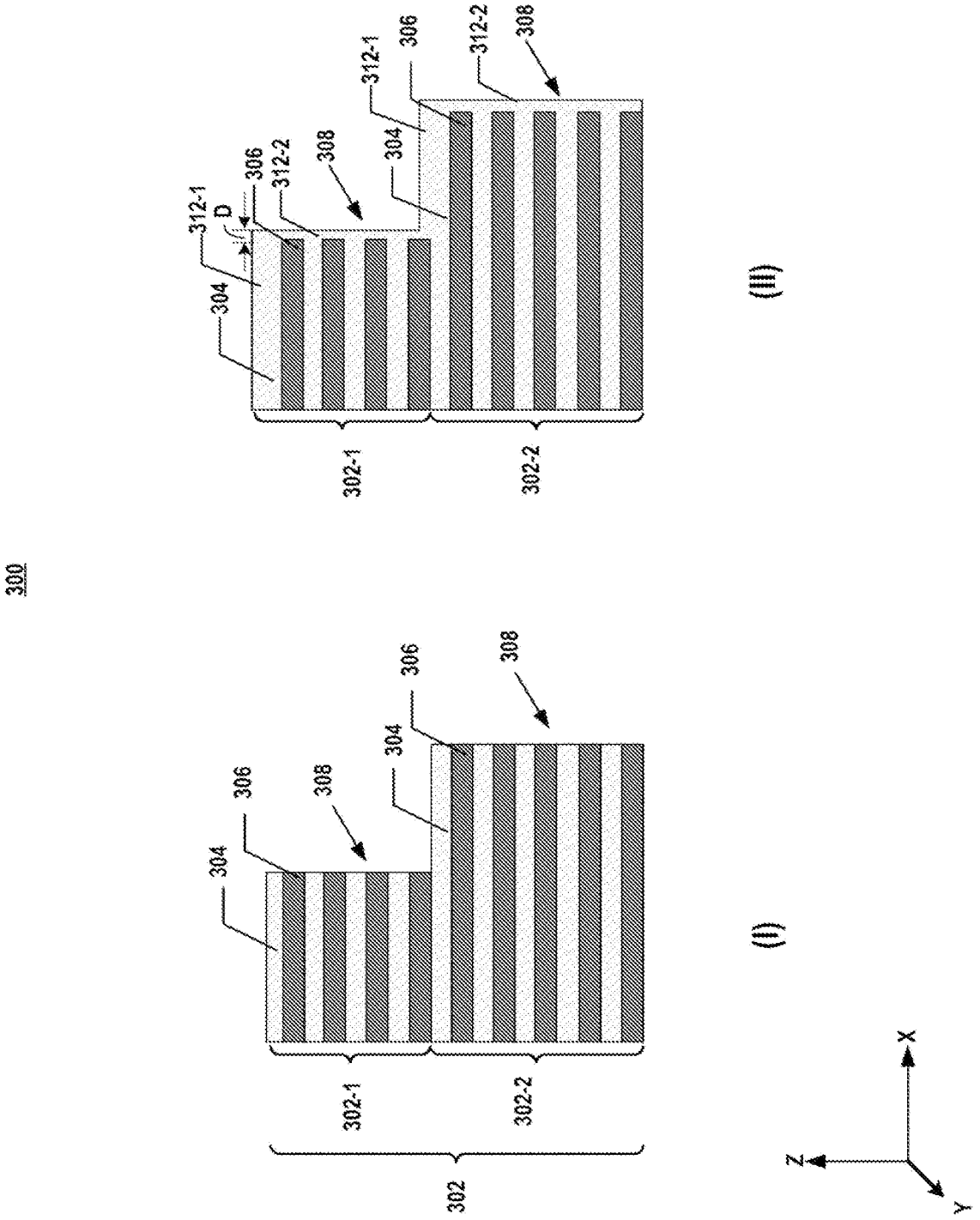


图3A

Micron Ex. 1002, p. 474
Micron v. YMTC
IPR2025-00035

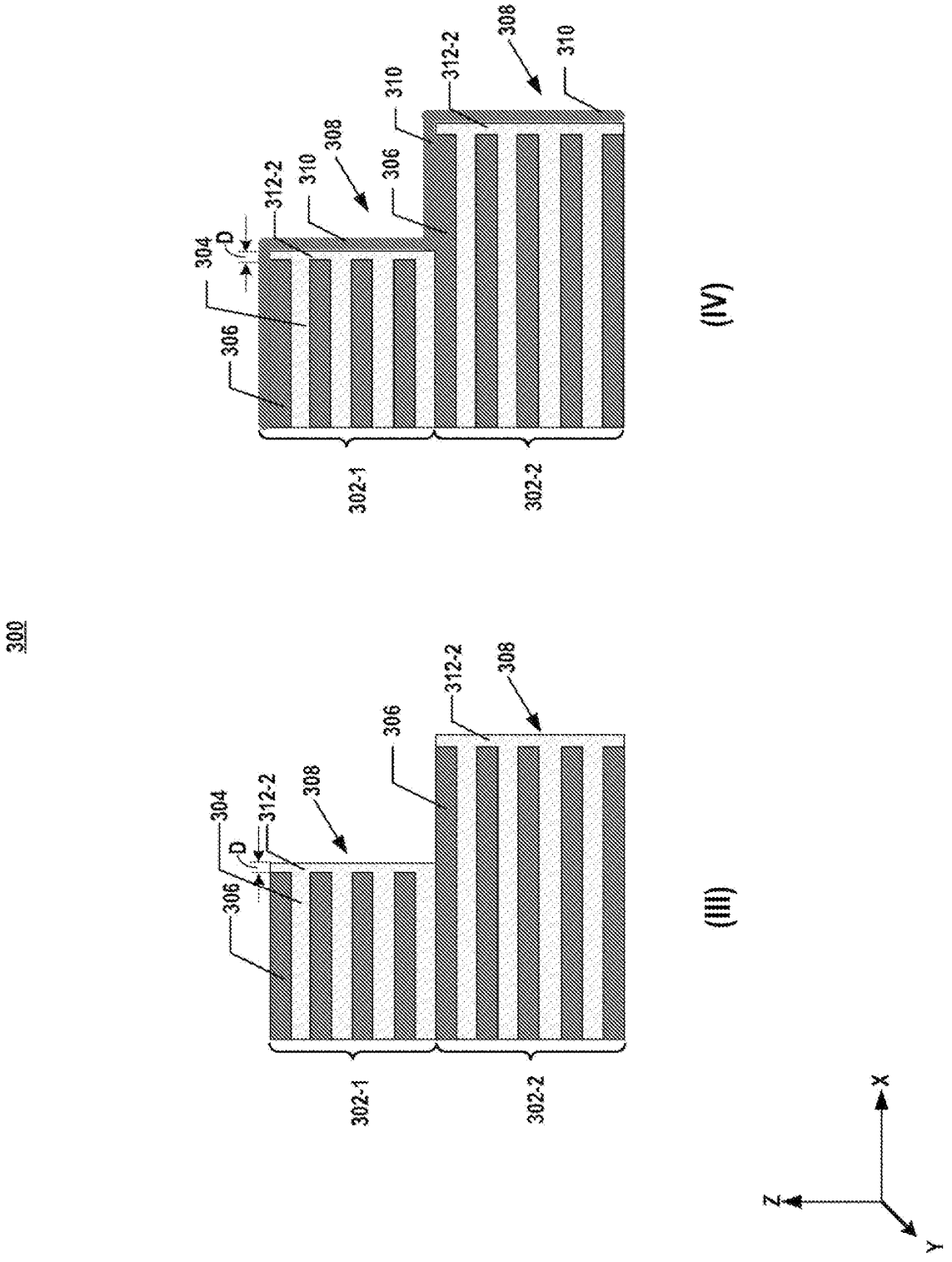


图3B

Micron Ex. 1002, p. 475
Micron v. YMTC
IPR2025-00035

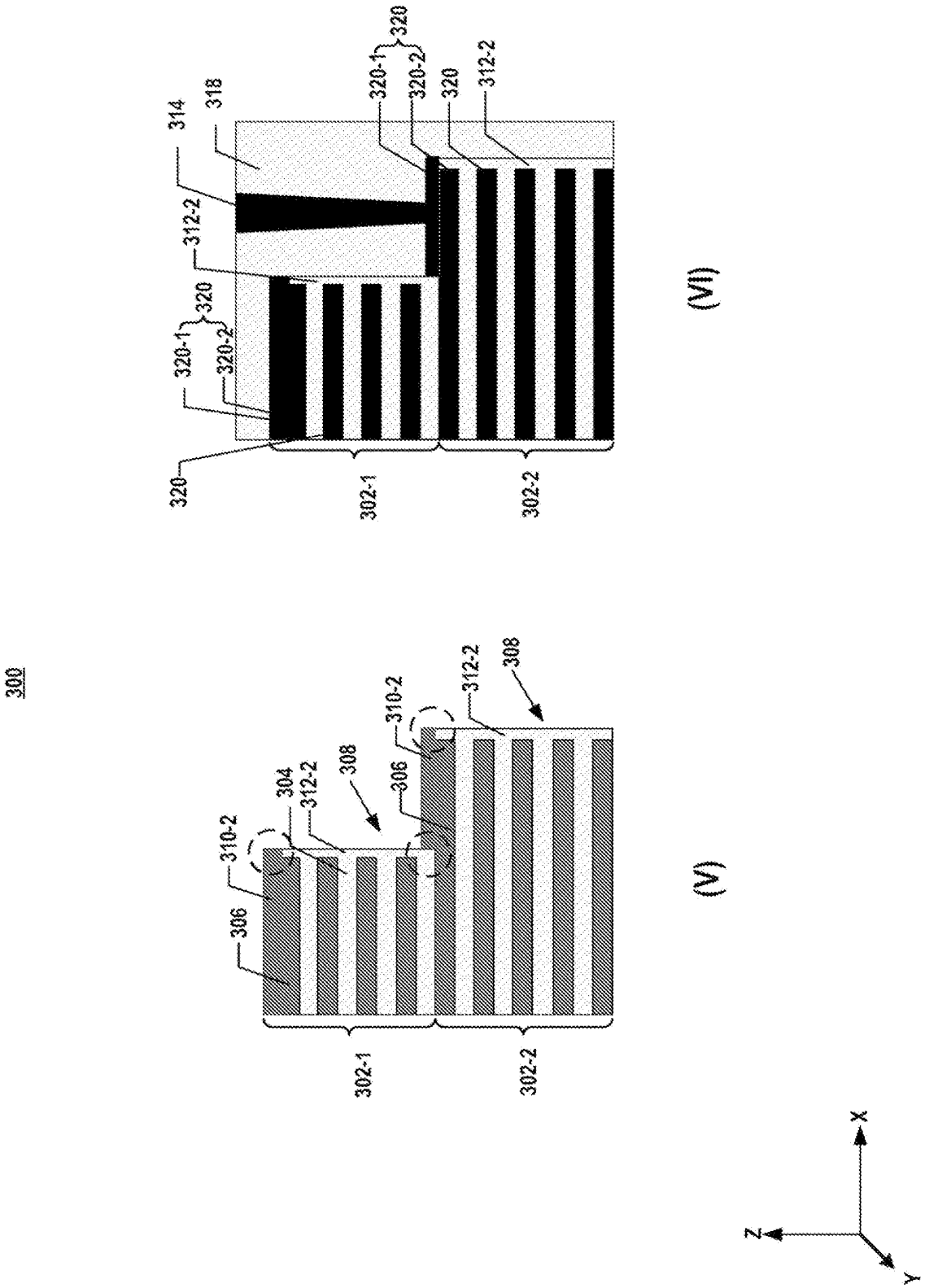


图3C

Micron Ex. 1002, p. 476
Micron v. YMTC
IPR2025-00035

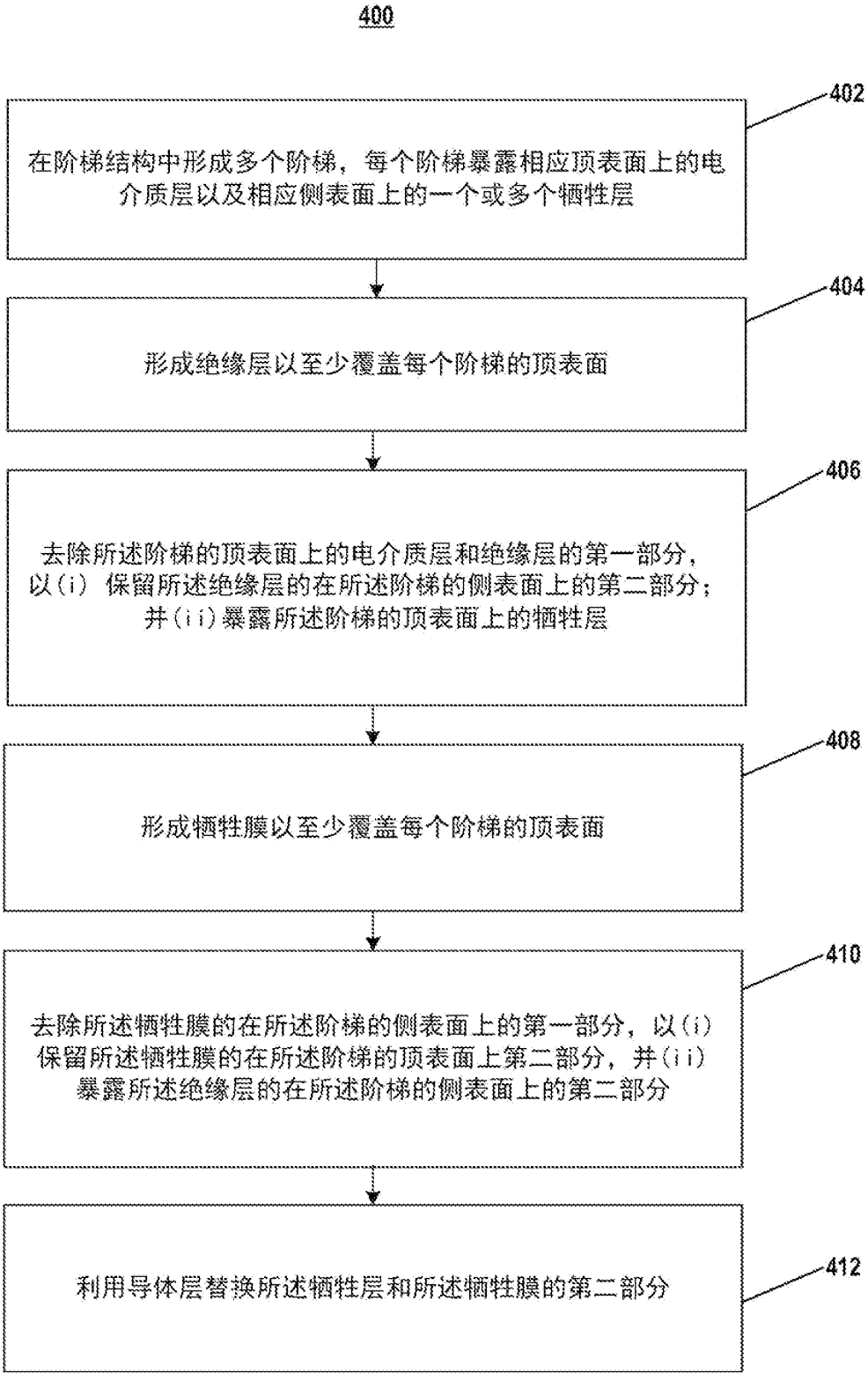


图4

Micron Ex. 1002, p. 477
Micron v. YMTC
IPR2025-00035

Espacenet

CN107293532A Semiconductor structure and manufacturing method thereof

Applicants: MACRONIX INT CO LTD

Inventors: CHEN SHIHONG

Classifications:
IPC ***H01L21/48; H01L23/498; H01L27/11524; H01L27/11551; H01L27/1157; H01L27/11578;***

CPC **H01L21/4846 (CN); H01L23/49838 (CN); H01L27/11551 (CN); H01L27/11578 (CN);**

Priorities: CN201610221577A 2016-04-11

Application: CN107293532A·2016-04-11

Publication: CN107293532A·2017-10-24

Published as: CN107293532A;**CN107293532B**

Semiconductor structure and manufacturing method thereof

Abstract

The invention discloses a semiconductor structure and a manufacturing method thereof. The semiconductor structure comprises a laminated structure, an etching stop layer and a conductive structure, wherein the laminated structure comprises a plurality of conductive layers and a plurality of insulating layers, and the conductive layers and the insulating layers are interlaced in a laminated manner; the etching stop layer is formed on a side wall of the laminated structure, and an energy gap of the etching stop layer is greater than 6eV; and the conductive structure is electrically connected to at least one of the conductive layers.

Micron Ex. 1002, p. 478
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107293532 A
(43)申请公布日 2017.10.24

(21)申请号 201610221577.4

(22)申请日 2016.04.11

(71)申请人 旺宏电子股份有限公司
地址 中国台湾新竹科学工业园区力行路16号

(72)发明人 陈士弘

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 任岩

(51)Int.Cl.
H01L 23/498(2006.01)
H01L 27/11524(2017.01)
H01L 27/11551(2017.01)
H01L 27/1157(2017.01)
H01L 27/11578(2017.01)
H01L 21/48(2006.01)

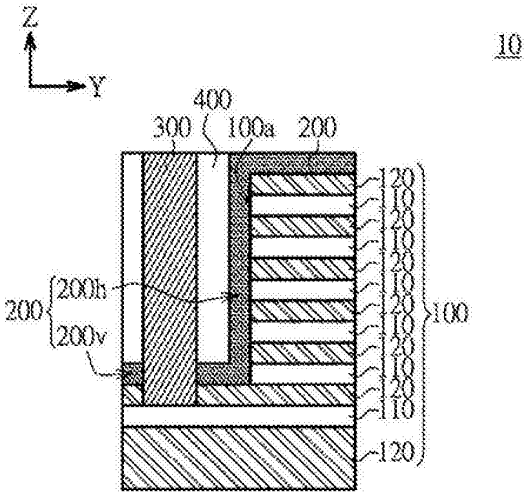
权利要求书2页 说明书6页 附图12页

(54)发明名称

半导体结构及其制造方法

(57)摘要

本发明公开了一种半导体结构及其制造方法。半导体结构包括一叠层结构、一刻蚀停止层以及一导电结构。叠层结构包括多个导电层及多个绝缘层，导电层与绝缘层系交错叠层设置(interlaced)。刻蚀停止层形成于叠层结构的一侧壁上，刻蚀停止层的一能带宽度(energy gap)系为大于6电子伏特(eV)。导电结构电性连接于此些导电层的至少其中之一。



CN 107293532 A

Micron Ex. 1002, p. 479
Micron v. YMTC
IPR2025-00035

1.一种半导体结构,包括:

一叠层结构,包括:

多个导电层;及

多个绝缘层,这些导电层与这些绝缘层系交错叠层设置(interlaced);

一刻蚀停止层,形成于该叠层结构的一侧壁上,其中该刻蚀停止层的一能带宽度(energy gap)系为大于6电子伏特(eV);以及

一导电结构,电性连接于这些导电层的至少其中之一。

2.根据权利要求1所述的半导体结构,其中该刻蚀停止层位于该导电结构和该侧壁之间。

3.根据权利要求1所述的半导体结构,更包括:

多个该导电结构,这些导电结构分别电性连接于各个这些导电层。

4.根据权利要求1所述的半导体结构,其中该刻蚀停止层具有彼此相连接的一垂直段以及一水平段,该垂直段位于该侧壁上,该导电结构穿过该水平段以电性连接于该至少其中之一个导电层,且该导电结构邻接该刻蚀停止层的该垂直段。

5.根据权利要求1所述的半导体结构,其中该刻蚀停止层包括:

一第一停止层,形成于该叠层结构的该侧壁上,该第一停止层的一能带宽度系为大于6电子伏特;以及

一第二停止层,形成于该第一停止层上;

其中该第一停止层形成于该第二停止层和该叠层结构的该侧壁之间,该导电结构邻接该第二停止层,该第一停止层的材料包括氧化硅、氧化铝、氧化镁、硅锆氧化物、硅铪氧化物或上述的组合,该第二停止层的材料包括氮化硅、氧化铝、氧化镁、硅锆氧化物、硅铪氧化物或上述的组合,且该第一停止层不同于该第二停止层。

6.一种半导体结构的制造方法,包括:

形成一叠层结构,包括:

形成多个导电层;及

形成多个绝缘层,这些导电层与这些绝缘层系交错叠层设置(interlaced);

形成一刻蚀停止层于该叠层结构的一侧壁上,其中该刻蚀停止层的一能带宽度(energy gap)系为大于6电子伏特(eV);以及

形成一导电结构,该导电结构电性连接于这些导电层的至少其中之一。

7.根据权利要求6所述的半导体结构的制造方法,其中该刻蚀停止层位于该导电结构和该侧壁之间。

8.根据权利要求6所述的半导体结构的制造方法,更包括:

形成多个该导电结构,这些导电结构分别电性连接于各个这些导电层。

9.根据权利要求6所述的半导体结构的制造方法,其中该刻蚀停止层具有彼此相连接的一垂直段以及一水平段,该垂直段位于该侧壁上,该导电结构穿过该水平段以电性连接于该至少其中之一个导电层,且该导电结构邻接该刻蚀停止层的该垂直段。

10.根据权利要求6所述的半导体结构的制造方法,其中形成该刻蚀停止层包括:

形成一第一停止层于该叠层结构的该侧壁上,该第一停止层的一能带宽度系为大于6电子伏特;以及

Micron Ex. 1002, p. 480
Micron v. YMTC
IPR2025-00035

形成一第二停止层于该第一停止层上；

其中该第一停止层形成于该第二停止层和该叠层结构的该侧壁之间，该导电结构邻接该第二停止层，该第一停止层的材料包括氧化硅、氧化铝、氧化镁、硅锆氧化物、硅铪氧化物或上述的组合，该第二停止层的材料包括氮化硅、氧化铝、氧化镁、硅锆氧化物、硅铪氧化物或上述的组合，且该第一停止层不同于该第二停止层。

Micron Ex. 1002, p. 481
Micron v. YMTC
IPR2025-00035

半导体结构及其制造方法

技术领域

[0001] 本发明是有关于一种半导体结构及其制造方法，且特别是有关于一种三维半导体结构及其制造方法。

背景技术

[0002] 近年来半导体元件的结构不断地改变，且元件的存储器储存容量也不断增加。存储装置系使用于许多产品之中，例如MP3播放器、数字相机、计算机档案等等的储存元件中。随着应用的增加，对于存储装置的需求也趋向较小的尺寸、较大的存储容量。因应这种需求，系需要制造高元件密度及具有小尺寸的存储装置。

[0003] 当元件密度增高时，半导体元件的结构则具有较多的叠层平面，因而造成导电接触结构的制作难度提高，进而影响制成的结构的稳定性。因此，设计者们无不致力于开发一种三维半导体装置，不但具有许多叠层平面，具有更微小的尺寸，同时具备良好的稳定性。

发明内容

[0004] 本发明是有关于一种半导体结构及其制造方法。实施例中，半导体结构中，刻蚀停止层的能带宽度(energy gap)系为大于6电子伏特(eV)，如此一来可以降低电场，提高刻蚀停止层的隧穿长度，提高电子隧穿通过刻蚀停止层的难度，而可以降低隧穿电流并且更有效地电性隔绝不同的导电层。

[0005] 根据本发明的一实施例，系提出一种半导体结构。半导体结构包括一叠层结构、一刻蚀停止层以及一导电结构。叠层结构包括多个导电层及多个绝缘层，导电层与绝缘层系交错叠层设置(interlaced)。刻蚀停止层形成于叠层结构的一侧壁上，刻蚀停止层的一能带宽度(energy gap)系为大于6电子伏特(eV)。导电结构电性连接于此些导电层的至少其中之一。

[0006] 根据本发明的另一实施例，系提出一种半导体结构的制造方法。半导体结构的制造方法包括以下步骤：形成一叠层结构，包括：形成多个导电层及形成多个绝缘层，导电层与绝缘层系交错叠层设置(interlaced)；形成一刻蚀停止层于叠层结构的一侧壁上，其中刻蚀停止层的一能带宽度(energy gap)系为大于6电子伏特(eV)；以及形成一导电结构，导电结构电性连接于此些导电层的至少其中之一。

[0007] 为了对本发明的上述及其他方面有更佳的了解，下文特举较佳实施例，并配合所附图式，作详细说明如下：

附图说明

[0008] 图1A绘示本发明的一实施例的半导体结构的示意图。

[0009] 图1B绘示沿图1A的剖面线1B-1B'的剖面示意图。

[0010] 图2绘示本发明的另一实施例的半导体结构的示意图。

[0011] 图3A绘示本发明的又一实施例的半导体结构的示意图。

Micron Ex. 1002, p. 482
Micron v. YMTC
IPR2025-00035

[0012] 图3B绘示沿图3A的剖面线3B-3B'的剖面示意图。

[0013] 图4A～图4B绘示本发明的一些实施例的半导体结构的剖面示意图。

[0014] 图5绘示本发明的又再一实施例的半导体结构的剖面示意图。

[0015] 图6绘示本发明的又更一实施例的半导体结构的剖面示意图。

[0016] 图7A～图7B绘示本发明的另一些实施例的半导体结构的剖面示意图。

[0017] 图8A～图8D绘示依照本发明的一些实施例的施加电压相对于不同刻蚀停止层的厚度的曲线图。

[0018] 图9A～图11B绘示依照本发明的一些实施例的半导体结构的制造方法示意图。

[0019] 图12A～图12C绘示依照本发明的另一实施例的一种半导体结构的制造方法示意图。

[0020] 【符号说明】

[0021] 10、20、30、40A、40B、50、60、70A、70B:半导体结构

[0022] 100:叠层结构

[0023] 100a:侧壁

[0024] 100b:侧面

[0025] 110:导电层

[0026] 110a:氧化层

[0027] 120:绝缘层

[0028] 200:刻蚀停止层

[0029] 200h:水平段

[0030] 200v:垂直段

[0031] 210:第一停止层

[0032] 220:第二停止层

[0033] 300:导电结构

[0034] 400:介电层

[0035] 1B-1B'、3B-3B'、4-4'、11I-11I'、11K-11K':剖面线

[0036] L1～L4:隧穿长度

具体实施方式

[0037] 在此发明的实施例中,系提出一种半导体结构及其制造方法。实施例中,半导体结构中,刻蚀停止层的能带宽度(energy gap)系为大于6电子伏特(eV),如此一来可以降低电场,提高刻蚀停止层的隧穿长度,提高电子隧穿通过刻蚀停止层的难度,而可以降低隧穿电流并且更有效地电性隔绝不同的导电层。然而,实施例仅用以作为范例说明,并不会限缩本发明欲保护的范围。此外,实施例中的图式系省略部份要的元件,以清楚显示本发明的技术特点。

[0038] 图1A绘示本发明的一实施例的半导体结构的示意图,图1B绘示沿图1A的剖面线1B-1B'的剖面示意图。如第1A～1B图所示,半导体结构10包括一叠层结构100、一刻蚀停止层200以及一导电结构300。叠层结构100包括多个导电层110及多个绝缘层120,导电层110与绝缘层120系交错叠层设置(interlaced)。刻蚀停止层200形成于叠层结构100的一侧壁

Micron Ex. 1002, p. 483
Micron v. YMTC
IPR2025-00035

100a上，刻蚀停止层200的能带宽度(energy gap)系为大于6电子伏特(eV)。导电结构300电性连接于此些导电层110的至少其中之一。

[0039] 实施例中，刻蚀停止层200的能带宽度(energy gap)系为大于6电子伏特(eV)，如此一来可以降低电场，提高刻蚀停止层200的隧穿长度，提高电子隧穿通过刻蚀停止层200的难度，而可以降低隧穿电流并且更有效地电性隔绝不同的导电层110。

[0040] 实施例中，刻蚀停止层200的材料可包括氧化铝(Al_xO_y，例如Al_2O_3)、氧化镁(MgO)、硅锆氧化物($Zr_xSi_yO_z$，例如$ZrSiO_4$)、硅铪氧化物($Hf_xSi_yO_z$，例如$HfSiO_4$)或上述的组合。

[0041] 如图1A～图1B所示，实施例中，刻蚀停止层200位于导电结构300和叠层结构100的侧壁100a之间。

[0042] 如图1A～图1B所示，实施例中，刻蚀停止层200具有彼此相连接的一垂直段200v以及一水平段200h，垂直段200v位于侧壁100a上，且导电结构300穿过水平段200h以电性连接于至少一个导电层110。

[0043] 如图1B所示，半导体结构10更包括一介电层400(于图1A省略未绘示)，介电层400形成于刻蚀停止层200上。实施例中，介电层400例如是氧化硅层。

[0044] 图2绘示本发明的另一实施例的半导体结构的示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。如图2所示的半导体结构20例如可应用于三维垂直信道NAND存储装置。

[0045] 如图2所示，半导体结构20可包括多个导电结构300，此些导电结构300分别电性连接于各个导电层110。

[0046] 图3A绘示本发明的又一实施例的半导体结构的示意图，图3B绘示沿图3A的剖面线3B-3B'的剖面示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。如图3A～图3B所示的半导体结构30例如可应用于三维垂直信道NAND存储装置。

[0047] 如图3A～图3B所示，半导体结构30中，导电结构300可邻接刻蚀停止层200的垂直段200v。实施例中，有可能是因为工艺的对位偏移而造成导电结构300邻接刻蚀停止层200的垂直段200v，使得导电结构300与导电层110仅相隔一个刻蚀停止层200的厚度。

[0048] 实施例中，即使针对如图3A～图3B所示的半导体结构30，由于刻蚀停止层200的能带宽度(energy gap)系为大于6电子伏特(eV)，相对于典型常用的停止层材料，例如氮化硅(SiN，其能带宽度为4.7～5eV)具有较高的能障及较长的隧穿距离，因此刻蚀停止层200的能带宽度系为大于6电子伏特(eV)可提高电子隧穿通过刻蚀停止层200的难度，而可以降低隧穿电流并且更有效地电性隔绝不同的导电层110。

[0049] 图4A～图4B绘示本发明的一些实施例的半导体结构的剖面示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

[0050] 如图4A所示的半导体结构40A系以沿X-Z平面的剖面示意图呈现，可以视作如图2所示的半导体结构20的变化例，而以沿图2的剖面线4-4'的剖面所呈现。

[0051] 如图4A所示，各个导电结构300分别电性连接于不同的各个导电层110。并且，如图4A所示的实施例中，刻蚀停止层200形成于各个绝缘层120的表面上，导电结构300穿过刻蚀停止层200和绝缘层120而电性连接于对应的导电层110。

Micron Ex. 1002, p. 484
Micron v. YMTC
IPR2025-00035

[0052] 如图4B所示的半导体结构40B系以沿X-Z平面的剖面示意图呈现，可以视作如图4A所示的半导体结构40A的变化例。如图4B所示的实施例中，刻蚀停止层200形成于各个导电层110的表面上，导电结构300穿过刻蚀停止层200而电性连接于对应的导电层110。

[0053] 图5绘示本发明的又再一实施例的半导体结构的剖面示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

[0054] 如图5所示的半导体结构50系以沿Y-Z平面的剖面示意图呈现。如图5所示，半导体结构50中，刻蚀停止层200可包括一第一停止层210以及一第二停止层220。第二停止层220形成于第一停止层210上。第一停止层210形成于叠层结构100的侧壁100a上，且第一停止层210的能带宽度系为大于6电子伏特。

[0055] 实施例中，第一停止层210的能带宽度例如是大于第二停止层220的能带宽度。

[0056] 如图5所示，第一停止层210形成于第二停止层220和叠层结构100的侧壁100a之间。实施例中，第一停止层210实质上共形于第二停止层210。

[0057] 如图5所示，一实施例中，导电结构300可邻接第二停止层220。其他实施例中，导电结构300和第二停止层220亦可以经由介电层400而隔开(未绘示)。

[0058] 实施例中，第一停止层210的材料可包括氧化硅(SiO_2)、氧化铝(Al_xO_y，例如Al_2O_3)、氧化镁(MgO)、硅锆氧化物($Zr_xSi_yO_z$，例如$ZrSiO_4$)、硅铪氧化物($Hf_xSi_yO_z$，例如$HfSiO_4$)或上述的组合，第二停止层220的材料可包括氮化硅(SiN)、氧化铝、氧化镁、硅锆氧化物、硅铪氧化物或上述的组合，且第一停止层210不同于第二停止层220。

[0059] 图6绘示本发明的又更一实施例的半导体结构的剖面示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

[0060] 如图6所示的半导体结构60系以沿Y-Z平面的剖面示意图呈现。如图6所示，实施例中，第一停止层210只形成于第二停止层220和叠层结构100的侧壁100a之间。导电结构300仅穿过第二停止层220而电性连接于对应的导电层110。

[0061] 图7A～图7B绘示本发明的另一些实施例的半导体结构的剖面示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。如图7A～图7B所示的半导体结构70A和70B系以沿X-Z平面的剖面示意图呈现。

[0062] 如图7A所示的实施例中，第一停止层210形成于各个绝缘层120的表面上，第二停止层220形成于第一停止层210上，导电结构300穿过第一停止层210、第二停止层220和绝缘层120而电性连接于对应的导电层110。

[0063] 如图7B所示的实施例中，第一停止层210形成于各个导电层110的表面上，第二停止层220形成于第一停止层210上，导电结构300穿过第一停止层210、第二停止层220而电性连接于对应的导电层110。

[0064] 图8A～图8D绘示依照本发明的一些实施例的施加电压相对于不同刻蚀停止层的厚度的曲线图。图8A～图8D所示的实施例中，施加电压为13伏特(V)，刻蚀停止层的总厚度为120 埃(Å)。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

Micron Ex. 1002, p. 485
Micron v. YMTC
IPR2025-00035

[0065] 图8A绘示以氮化硅作为单层刻蚀停止层200时的施加电压相对于刻蚀停止层的厚度的曲线图，其中氮化硅层具有隧穿长度L1，而图8B绘示以氧化铝作为单层刻蚀停止层200时的施加电压相对于刻蚀停止层的厚度的曲线图，其中氧化铝层具有隧穿长度L2，且可以明显看出隧穿长度L2大于隧穿长度L1。

[0066] 根据本发明的实施例，由于氧化铝的能带宽度大于6eV，而氮化硅的能带宽度大约为4.7～5eV，因此具有大于6eV的能带宽度的刻蚀停止层200可以提供较大的隧穿长度，使得不同导电层110之间较不易经由电子隧穿通过刻蚀停止层200而导致彼此导通造成短路，进而可以避免破坏半导体装置的操作效能，提高半导体装置的稳定性。

[0067] 图8C绘示以氧化硅作为第一停止层210而氮化硅作为第二停止层220时的施加电压相对于整体刻蚀停止层220的厚度的曲线图，其中此氧化硅-氮化硅复合层具有隧穿长度L3，且可以明显看出隧穿长度L3大于如图8A所示的隧穿长度L1。

[0068] 根据本发明的实施例，由于第一停止层210的氧化硅的能带宽度大于6eV，即使搭配氮化硅作为第二停止层220，仍可以有效提供较大的隧穿长度，使得不同导电层110之间较不易经由电子隧穿通过刻蚀停止层200而导致彼此导通造成短路，进而可以提高半导体装置的稳定性。

[0069] 图8D绘示以氧化硅作为第一停止层210而氧化铝作为第二停止层220时的施加电压相对于整体刻蚀停止层220的厚度的曲线图，其中此氧化硅-氧化铝复合层具有隧穿长度L4，且可以明显看出隧穿长度L4大于如图8A所示的隧穿长度L1。

[0070] 根据本发明的实施例，由于第一停止层210的氧化硅的能带宽度大于6eV，进一步搭配同样具有能带宽度大于6eV的氧化铝作为第二停止层220，可以更加有效提供较大的隧穿长度，使得不同导电层110之间较不易经由电子隧穿通过刻蚀停止层200而导致彼此导通造成短路，进而可以提高半导体装置的稳定性。

[0071] 图9A～图11B绘示依照本发明的一些实施例的半导体结构的制造方法示意图。图9A、图10A和图11A以及图9B、图10B和图11B分别绘示如图4A和图4B所示的半导体结构的制造方法。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

[0072] 如图9A、图9B所示，形成叠层结构100，此步骤包括形成多个导电层110和多个绝缘层120，导电层110与绝缘层120系交错叠层设置(interlaced)。如图9A、图9B所示，叠层结构100具有阶梯结构，分别以绝缘层120和导电层110作为阶梯的表面。

[0073] 如图10A、图10B所示，形成刻蚀停止层200于叠层结构100上，例如可参照图1A～图1B，刻蚀停止层200形成于叠层结构100的侧壁100a上，且刻蚀停止层200采用具有能带宽度(energy gap)系为大于6电子伏特(eV)的材料。如图10A、图10B所示，刻蚀停止层200分别形成于绝缘层120的表面和导电层110的表面上，且形成于叠层结构100的阶梯的侧面100b。

[0074] 接着，如图11A、图11B所示，形成导电结构300，一个导电结构300电性连接于此些导电层110的至少其中之一，以及形成介电层400于刻蚀停止层200上。如图11A、图11B所示，各个导电结构300电性连接至对应的各个导电层110。至此，形成如图4A和图4B所示的半导体结构40A和40B。

[0075] 如图1A～图1B、图2、图3A～图3B所示的半导体结构的制造方法与前述方式类似，差别在于导电结构300的数量、导电结构300与刻蚀停止层200的垂直段200v是否彼此邻接。

Micron Ex. 1002, p. 486
Micron v. YMTC
IPR2025-00035

[0076] 如图5所示的半导体结构的制造方法与前述方式亦类似，差别仅在于将形成刻蚀停止层200的步骤分为先形成第一停止层210再形成第二停止层220的两个步骤。

[0077] 图12A～图12C绘示依照本发明的另一实施例的一种半导体结构的制造方法示意图。本实施例中与前述实施例相同或相似的元件系沿用同样或相似的元件标号，且相同或相似元件的相关说明请参考前述，在此不再赘述。

[0078] 如图12A所示，形成叠层结构100，此步骤包括形成多个导电层110和多个绝缘层120，导电层110与绝缘层120系交错叠层设置(interlaced)。叠层结构100具有侧壁100a。

[0079] 如图12B所示，从侧壁100a方向对导电层110进行氧化，以沿着侧壁100a形成多个氧化层110a。氧化层110a与其邻近的绝缘层120部分彼此相连接，实际上可以视作刻蚀停止层的第一停止层。

[0080] 如图12C所示，形成第二停止层220于叠层结构100的侧壁100a上，形成导电结构300，以及形成介电层400。第二停止层220形成于叠层结构100的侧壁100a上并且直接接触绝缘层120的部分与氧化层110a构成的第一停止层。至此，形成如图6(图12C)所示的半导体结构60。

[0081] 综上所述，虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当视随附的权利要求范围所界定的为准。

Micron Ex. 1002, p. 487
Micron v. YMTC
IPR2025-00035

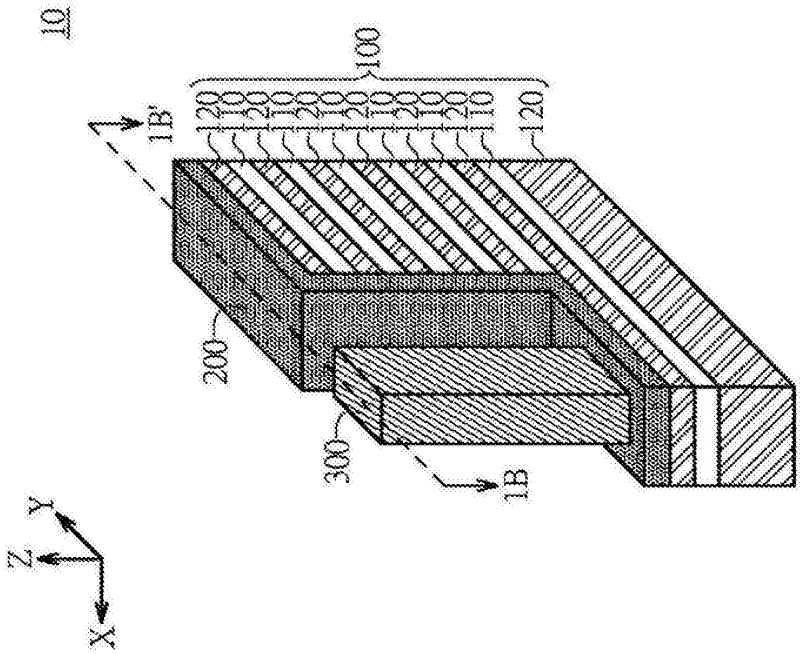


图1A

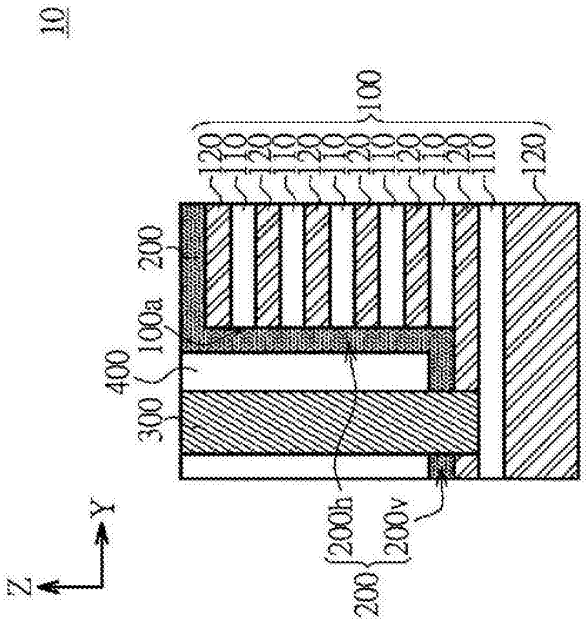


图1B

Micron Ex. 1002, p. 488
Micron v. YMTC
IPR2025-00035

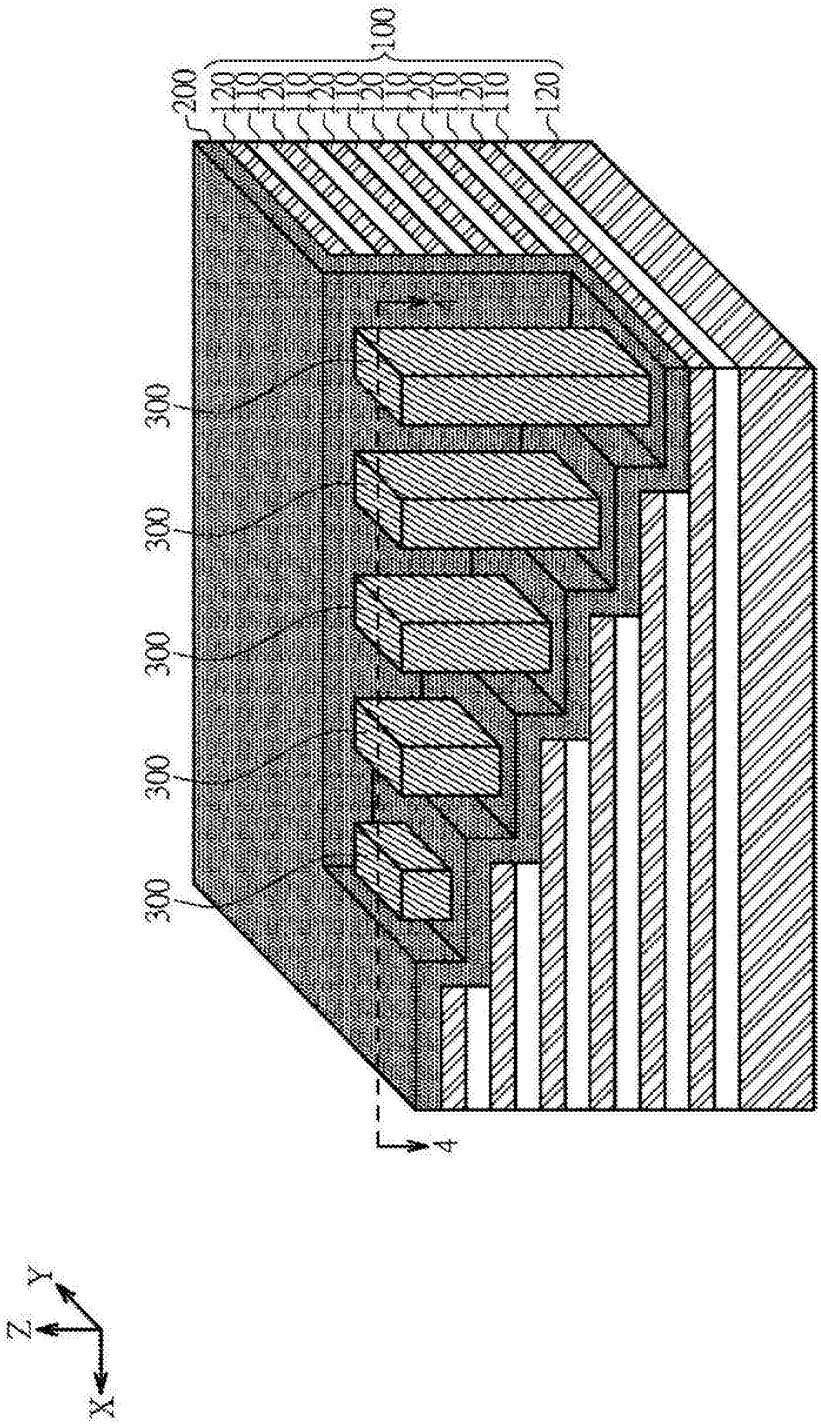


图2

Micron Ex. 1002, p. 489
Micron v. YMTC
IPR2025-00035

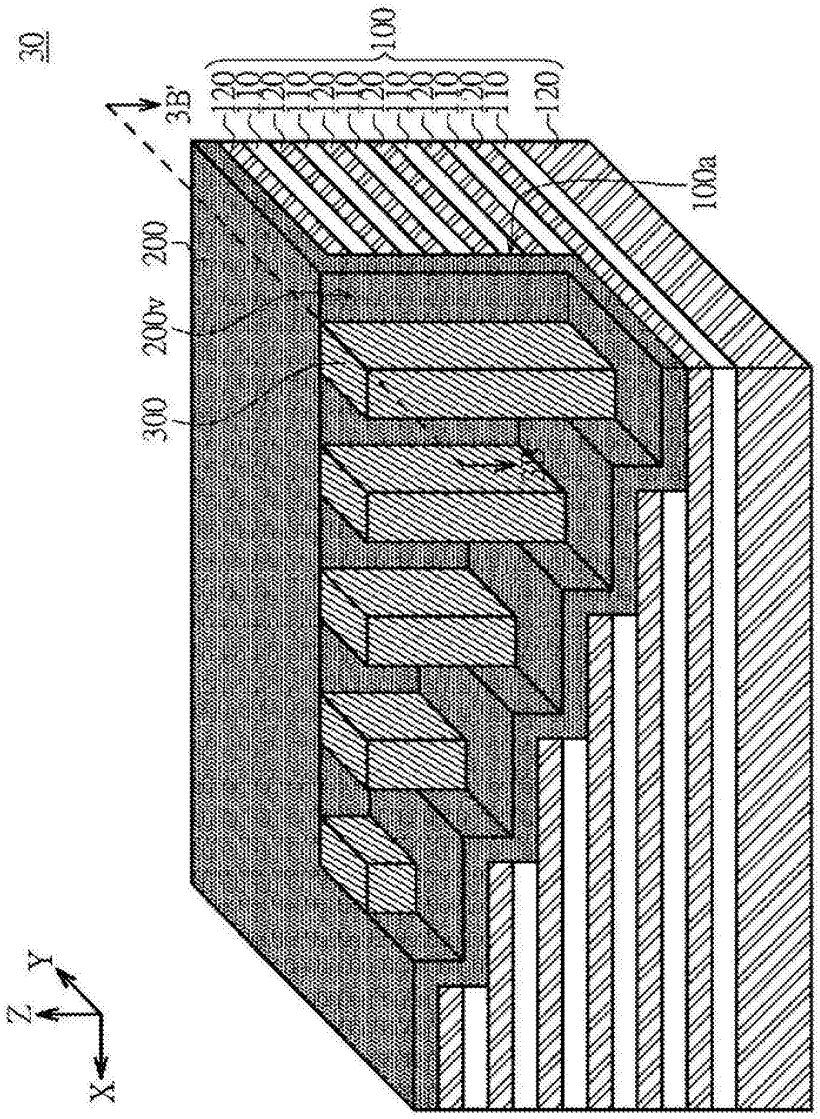


图3A

Micron Ex. 1002, p. 490
Micron v. YMTC
IPR2025-00035

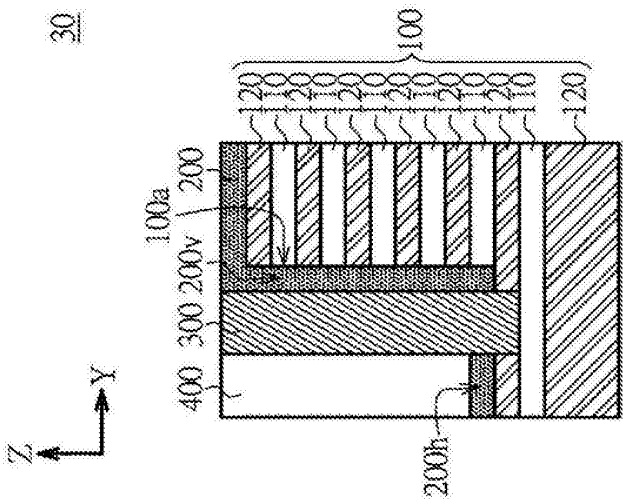


图3B

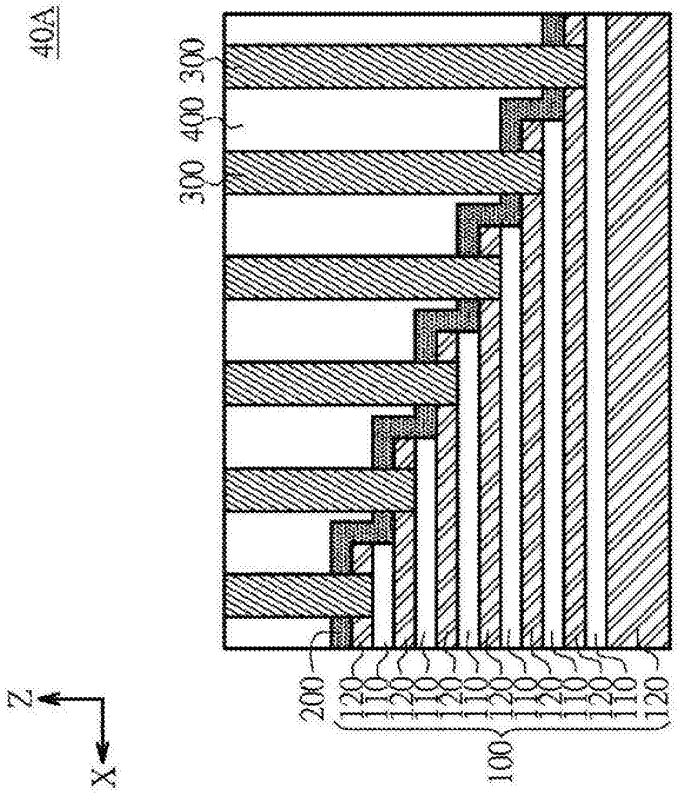


图4A

Micron Ex. 1002, p. 491
Micron v. YMTC
IPR2025-00035

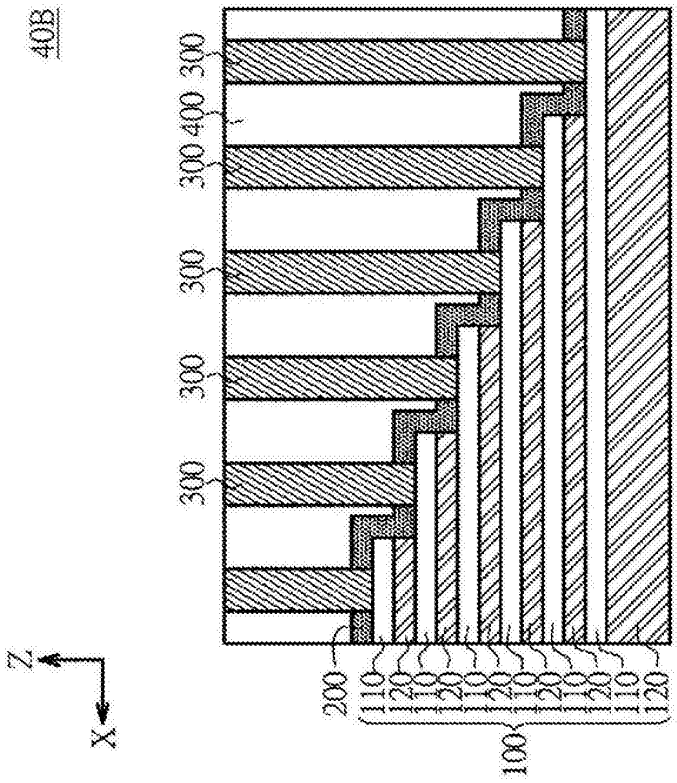


图4B

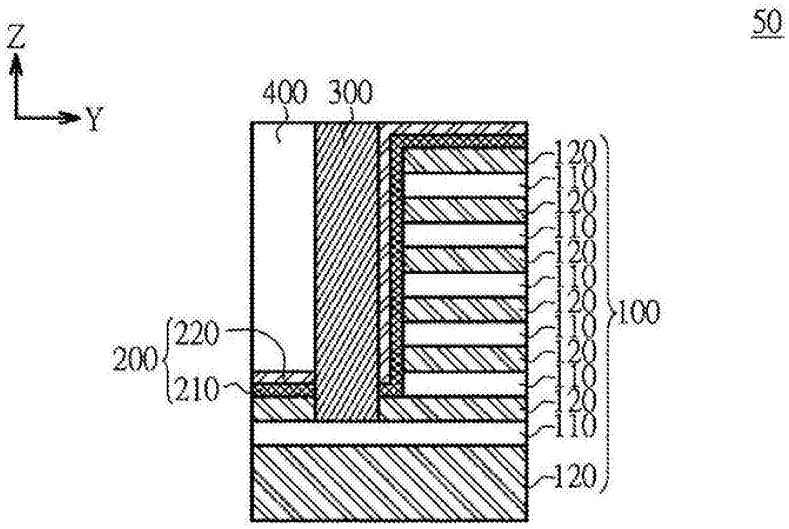


图5

Micron Ex. 1002, p. 492
Micron v. YMTC
IPR2025-00035

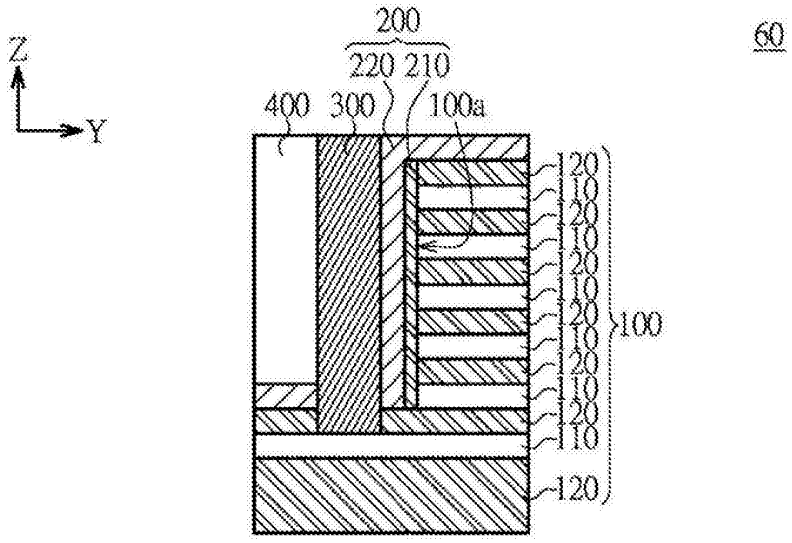


图6

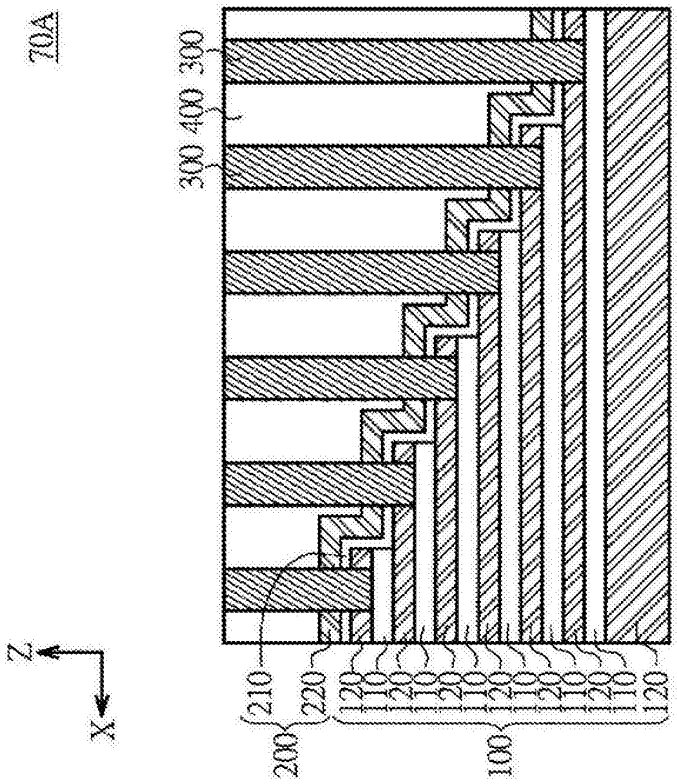


图7A

Micron Ex. 1002, p. 493
Micron v. YMTC
IPR2025-00035

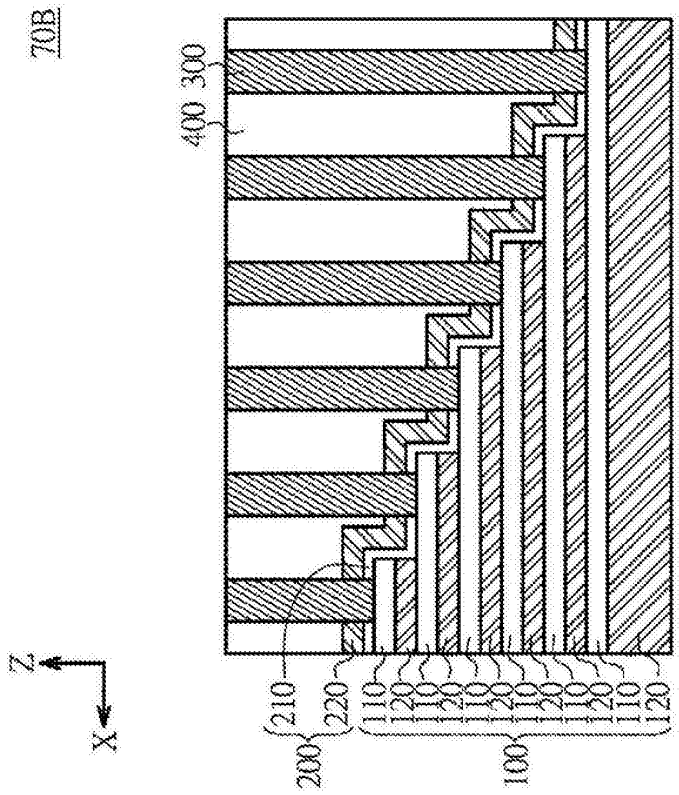


图7B

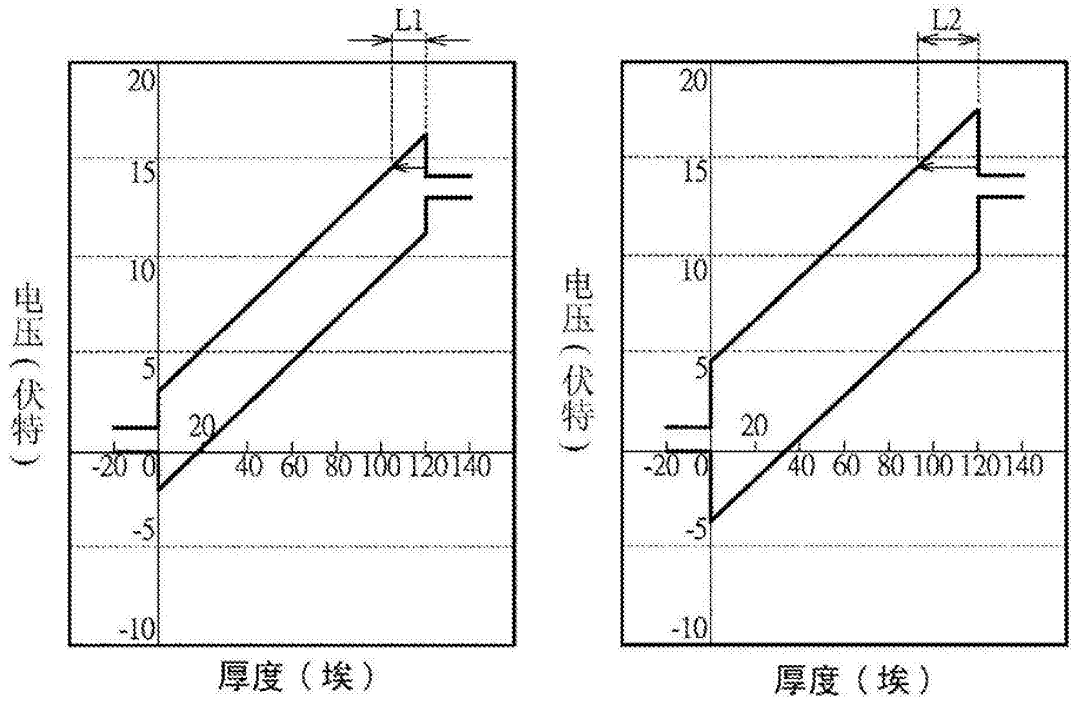


图8A 图8B

Micron Ex. 1002, p. 494
Micron v. YMTC
IPR2025-00035

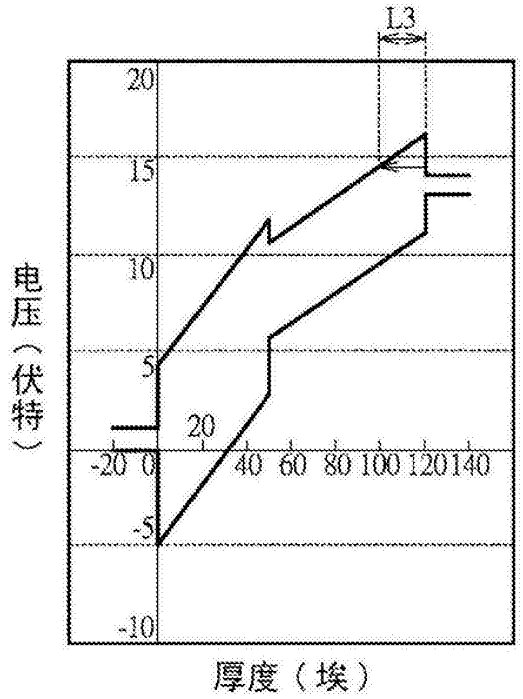


图8C

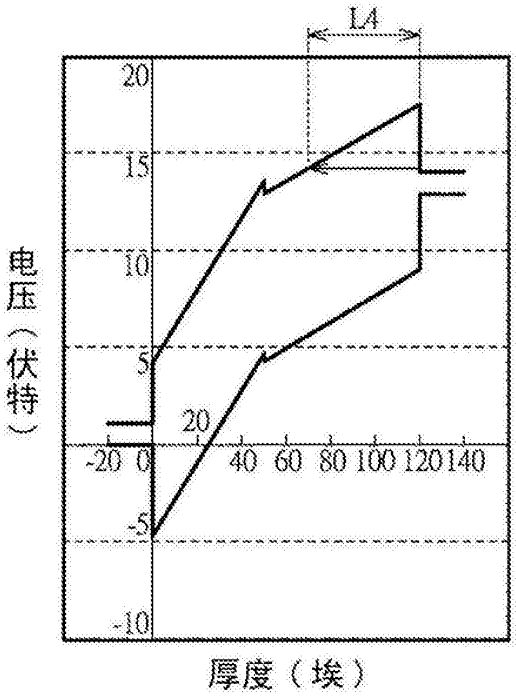


图8D

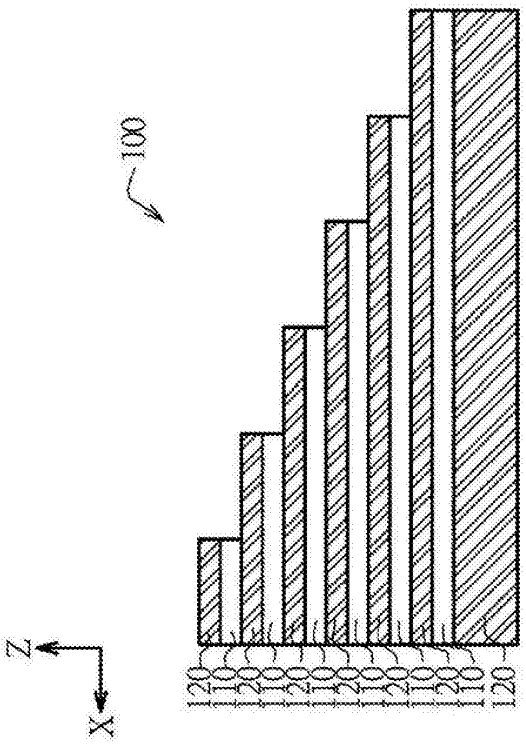


图9A

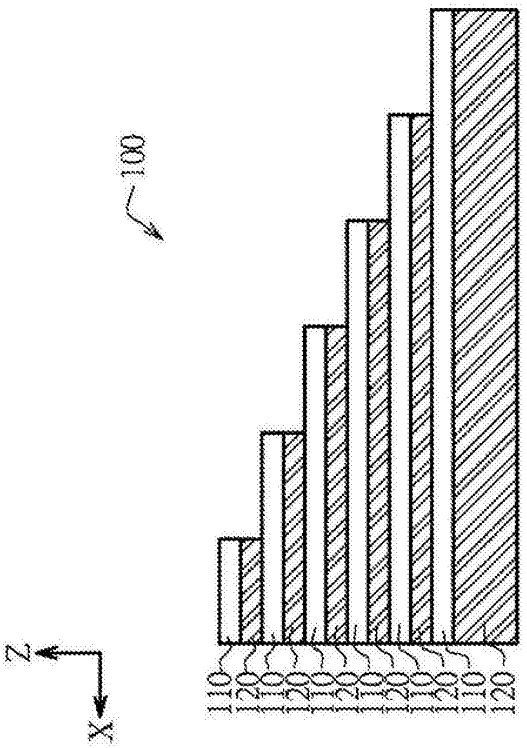


图9B

Micron Ex. 1002, p. 495
Micron v. YMTC
IPR2025-00035

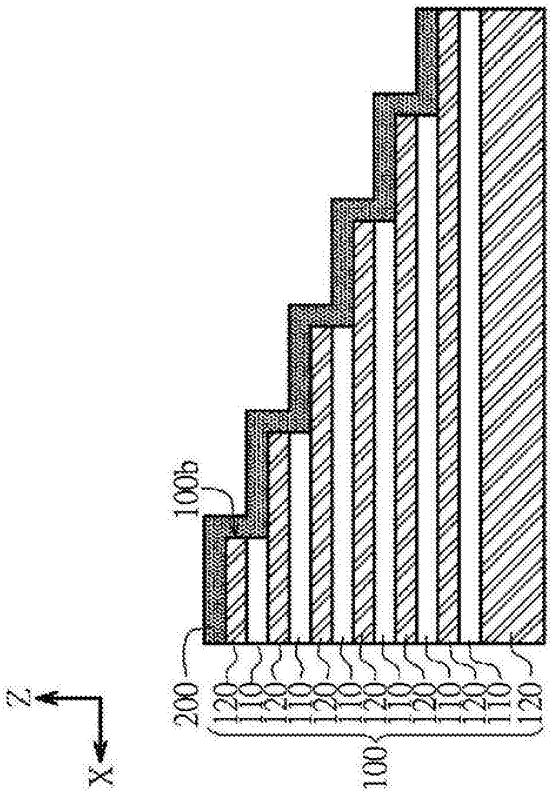


图10A

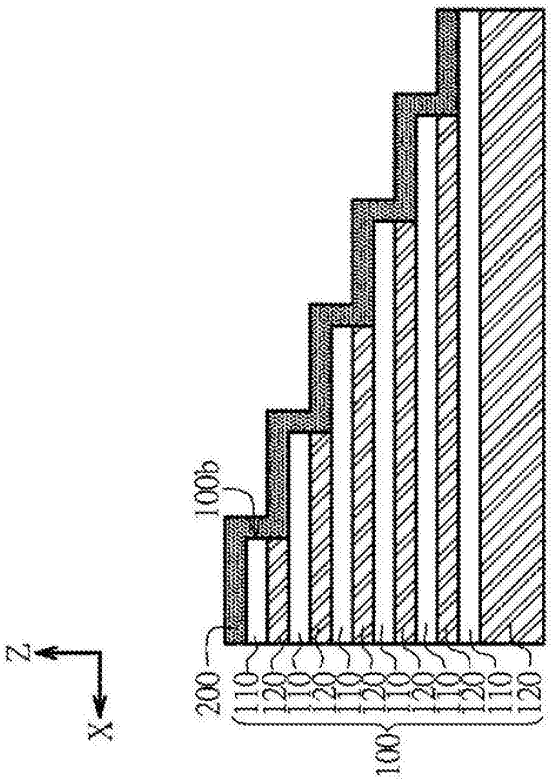


图10B

Micron Ex. 1002, p. 496
Micron v. YMTC
IPR2025-00035

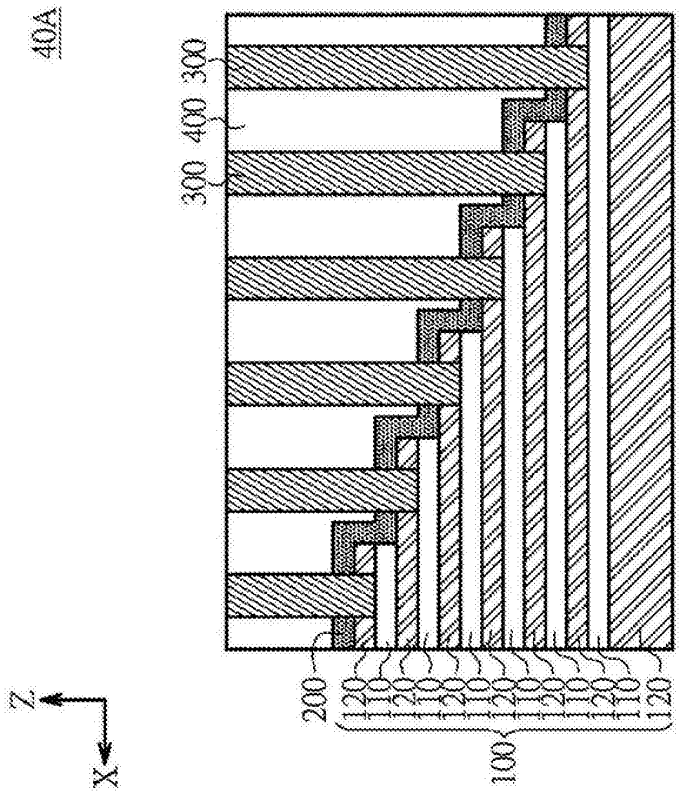


图11A

Micron Ex. 1002, p. 497
Micron v. YMTC
IPR2025-00035

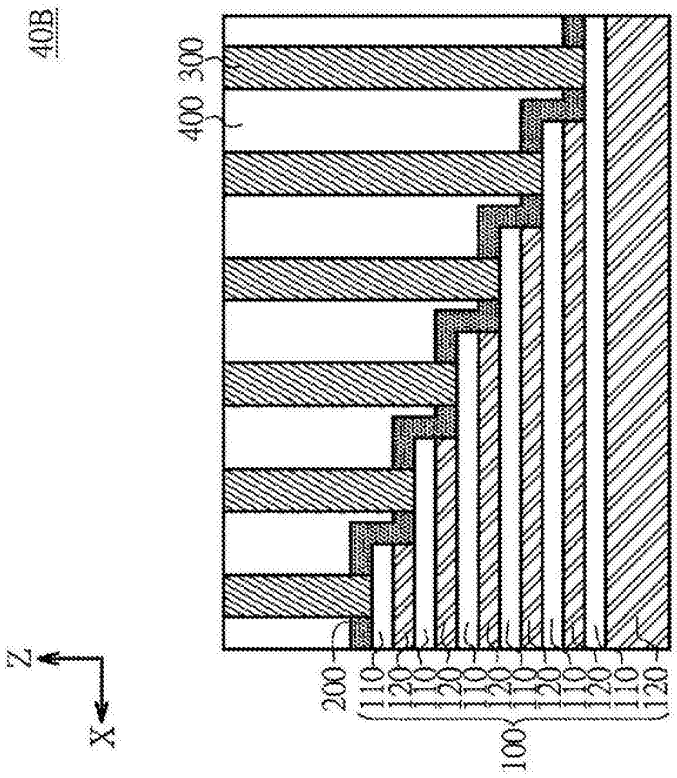


图11B

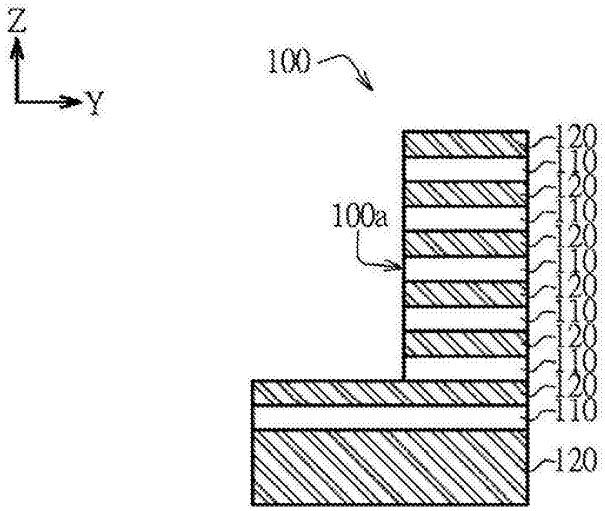


图12A

Micron Ex. 1002, p. 498
Micron v. YMTC
IPR2025-00035

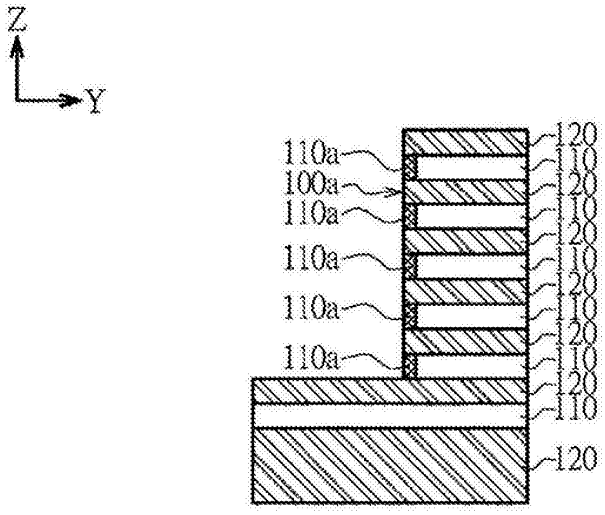


图12B

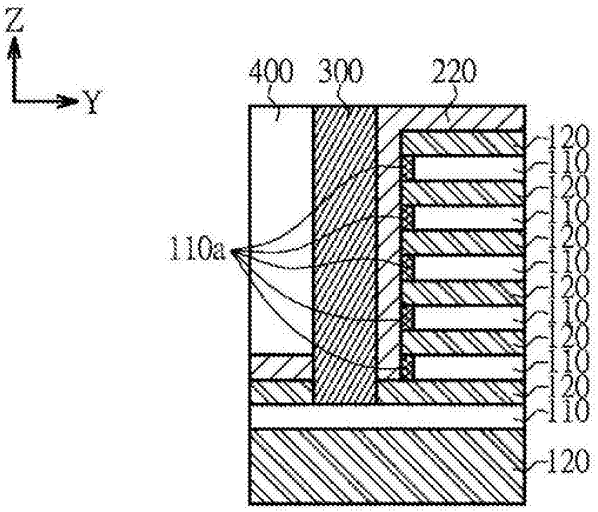


图12C

Micron Ex. 1002, p. 499
Micron v. YMTC
IPR2025-00035

Espacenet

CN110391248A VERTICAL MEMORY DEVICE AND METHOD OF MANUFACTURING SAME

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: KANAMORI KOHJI,KANG SHIN-HWAN,KWON YOUNG JIN,SON YOUNG-HWAN

Classifications:
IPC ***H01L27/1157; H01L27/11582;***

CPC **H01L23/535 (US); H01L27/11548 (EP); H01L27/1157 (CN); H01L27/11573 (US); H01L27/11575 (EP); H01L27/11582 (CN,US);**

Priorities: KR20180046048A 2018-04-20

Application: CN110391248A·2019-01-29

Publication: CN110391248A·2019-10-29

Published as: CN110391248A;**EP3557622A2; EP3557622A3; EP3557622B1; JP2019192905A; KR20190122372A; SG10201900586VA; US10748923B2; US2019326316A1**

VERTICAL MEMORY DEVICE AND METHOD OF MANUFACTURING SAME

Abstract

The invention discloses a vertical memory device and a method of manufacturing the same. The vertical memory device includes gate electrodes on a substrate, a channel extending through the gate electrodes, and a contact plug extending through the gate electrodes. The gate electrodes are stacked in a first direction substantially vertical to an upper surface of the substrate and arranged to have astaircase shape including steps of which extension lengths in a second direction substantially parallel to the upper surface gradually increase from a lowermost level toward an uppermost level. A padat an end portion of each of the gate electrodes in the second direction has a thickness greater than those of other portions thereof. The channel extends in the first direction. The contact plug extends in the first direction. The channel contacts the pad of a first gate electrode among the gate electrodes to be electrically connected thereto, and is electrically insulated from second gate electrodes among the gate electrodes.

Micron Ex. 1002, p. 500
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110391248 A
(43)申请公布日 2019.10.29

(21)申请号 201910085568.0

(22)申请日 2019.01.29

(30)优先权数据
10-2018-0046048 2018.04.20 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 孙荣院 金森宏治 姜信焕 权永振

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 尹淑梅 刘灿强

(51)Int.Cl.
H01L 27/1157(2017.01)
H01L 27/11582(2017.01)

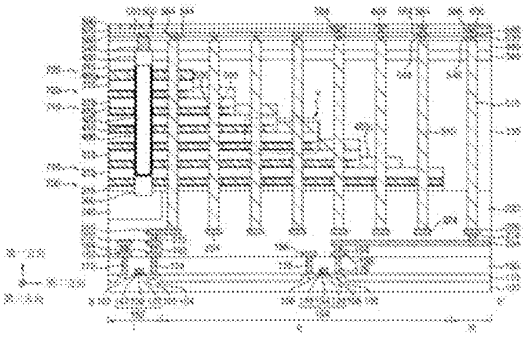
权利要求书3页 说明书15页 附图33页

(54)发明名称

垂直存储器装置及其制造方法

(57)摘要

公开了一种垂直存储器装置及其制造方法。该垂直存储器装置包括位于基底上的栅电极、延伸穿过栅电极的沟道以及延伸穿过栅电极的接触塞。栅电极在基本垂直于基底的上表面的第一方向上堆叠，并且布置为具有阶梯形状，该阶梯形状包括其的在基本平行于上表面的第二方向上的延伸长度从最下面的水平朝向最上面的水平逐渐减小的台阶。在每个栅电极的沿第二方向的端部处的垫具有比所述每个栅电极的其它部分的厚度大的厚度。沟道在第一方向上延伸。接触塞在第一方向上延伸。接触塞接触栅电极之中的第一栅电极的垫以电连接到第一栅电极，并且与栅电极之中的第二栅电极电绝缘。



CN 110391248 A

Micron Ex. 1002, p. 501
Micron v. YMTC
IPR2025-00035

1.一种垂直存储器装置,所述垂直存储器装置包括:

多个栅电极,位于基底上,所述多个栅电极在基本垂直于基底的上表面的第一方向上堆叠,所述多个栅电极在第二方向上是台阶式的且所述多个栅电极的延伸长度从最下面的水平朝向最上面的水平逐渐减小,第二方向基本平行于基底的上表面,所述多个栅电极在其沿第二方向的端部处包括垫,垫具有比所述多个栅电极中的相应的栅电极的其它部分的厚度大的厚度;

沟道,在第一方向上延伸穿过所述多个栅电极;以及

接触塞,在第一方向上延伸穿过所述多个栅电极,接触塞接触所述多个栅电极之中的第一栅电极的垫使得垫电连接到接触塞,并且与所述多个栅电极之中的第二栅电极电绝缘。

2.根据权利要求1所述的垂直存储器装置,其中,

第二栅电极位于第一栅电极下方,

接触塞延伸穿过第二栅电极中的每个第二栅电极的一部分,所述一部分不是垫。

3.根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括:

第一绝缘图案,位于接触塞与第二栅电极中的每个第二栅电极之间,第一绝缘图案覆盖接触塞的侧壁。

4.根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括:

共源极线,位于基底上,共源极线在第二方向上延伸穿过所述多个栅电极。

5.根据权利要求4所述的垂直存储器装置,其中,接触塞和共源极线包括基本相同的材料。

6.根据权利要求5所述的垂直存储器装置,其中,所述多个栅电极、接触塞和共源极线包括基本相同的材料。

7.根据权利要求4所述的垂直存储器装置,所述垂直存储器装置还包括:

第二绝缘图案,位于共源极线与所述多个栅电极中的每个栅电极之间,第二绝缘图案覆盖共源极线的侧壁。

8.根据权利要求4所述的垂直存储器装置,所述垂直存储器装置还包括:

电路图案,位于基底上;

绝缘层间层,位于基底上,绝缘层间层覆盖电路图案,接触塞至少部分地延伸穿过绝缘层间层以电连接到电路图案;以及

基体图案,位于绝缘层间层上,基体图案具有形成在其上的所述多个栅电极和沟道。

9.根据权利要求8所述的垂直存储器装置,其中,基体图案包括硅。

10.根据权利要求8所述的垂直存储器装置,其中,基底包括:

单元阵列区域,在第二方向上位于基底的中央部分处,单元阵列区域具有形成在其上的沟道和共源极线;以及

垫区域,在第二方向上位于基底的边缘部分处,垫区域具有形成在其上的所述多个栅电极的垫和接触塞。

11.根据权利要求10所述的垂直存储器装置,其中,基体图案仅形成在基底的单元阵列区域上。

12.一种垂直存储器装置,所述垂直存储器装置包括:

Micron Ex. 1002, p. 502
Micron v. YMTC
IPR2025-00035

电路图案，位于基底上，基底包括单元阵列区域和垫区域；

绝缘层间层，覆盖电路图案；

基体图案，位于在基底的单元阵列区域上的绝缘层间层上；

多个栅电极，在基体图案和绝缘层间层上沿第一方向彼此分隔开，第一方向基本垂直于基底的上表面；

沟道，延伸穿过在基底的单元阵列区域上的所述多个栅电极；以及

接触塞，延伸穿过在基底的垫区域上的所述多个栅电极和绝缘层间层，使得接触塞电连接到所述多个栅电极中的一个栅电极和电路图案。

13.根据权利要求12所述的垂直存储器装置，其中，所述多个栅电极中的每个栅电极包括位于基底的垫区域上的垫，所述多个栅电极中的至少一个栅电极的垫的厚度大于所述多个栅电极中的所述至少一个栅电极的其它部分的厚度。

14.根据权利要求13所述的垂直存储器装置，其中，所述多个栅电极中的所述至少一个栅电极的垫的上表面相对于基底高于所述多个栅电极中的所述至少一个栅电极的其它部分。

15.根据权利要求13所述的垂直存储器装置，其中，接触塞通过所述多个栅电极中的一个栅电极的垫面电连接到所述多个栅电极中的所述一个栅电极。

16.根据权利要求12所述的垂直存储器装置，其中，接触塞包括：

第一延伸部，在第一方向上延伸；以及

第二延伸部，连接到第一延伸部，第二延伸部覆盖第一延伸部的侧壁并且在第二方向上延伸，第二方向基本平行于基底的上表面。

17.根据权利要求12所述的垂直存储器装置，其中，接触塞通过绝缘图案与所述多个栅电极中的设置在电连接到接触塞的所述一个栅电极下方的栅电极电绝缘。

18.一种垂直存储器装置，所述垂直存储器装置包括：

多个栅电极，位于基底上，所述多个栅电极在基本垂直于基底的上表面的第一方向上堆叠，所述多个栅电极中的每个栅电极的第一部分具有大于所述每个栅电极的其它部分的厚度的厚度；

沟道，在第一方向上延伸穿过所述多个栅电极；以及

多个接触塞，每个接触塞延伸穿过所述多个栅电极中的相应的栅电极的第一部分，使得所述多个接触塞电连接到所述相应的栅电极并且与所述多个栅电极中的其它栅电极电绝缘。

19.根据权利要求18所述的垂直存储器装置，其中，所述多个栅电极中的每个栅电极的第一部分在所述每个栅电极的端部处，第一部分的上表面高于所述多个栅电极的其它部分。

20.根据权利要求19所述的垂直存储器装置，其中，所述多个栅电极中的与所述多个接触塞中的每个接触塞电连接的所述相应的栅电极是所述多个接触塞中的每个接触塞延伸所穿过的所述多个栅电极中的最上面的栅电极。

21.根据权利要求18所述的垂直存储器装置，所述垂直存储器装置还包括：

共源极线，延伸穿过所述多个栅电极并且在基本平行于基底的上表面的第二方向上延伸，其中，

Micron Ex. 1002, p. 503
Micron v. YMTC
IPR2025-00035

所述多个栅电极、所述多个接触塞和共源极线包括基本相同的材料。

22.根据权利要求21所述的垂直存储器装置，所述垂直存储器装置还包括：

第一绝缘图案，位于所述多个接触塞与所述多个栅电极中的与所述多个接触塞中的相应的接触塞电绝缘的其它栅电极之间；以及

第二绝缘图案，位于共源极线与所述多个栅电极中的每个栅电极之间，其中，

第一绝缘图案和第二绝缘图案包括基本相同的材料。

23.一种制造垂直存储器装置的方法，所述方法包括以下步骤：

在基底上沿基本垂直于基底的上表面的第一方向交替并重复地堆叠第一绝缘层和牺牲层，基底包括单元阵列区域和垫区域；

形成在第一方向上穿过第一绝缘层和牺牲层的沟道；

形成穿过第一绝缘层和牺牲层的在基底的单元阵列区域和垫区域上的部分的第一开口；

形成穿过第一绝缘层和牺牲层的在基底的垫区域上的部分的第二开口；

经由第一开口和第二开口去除牺牲层，以形成位于第一绝缘层之间的多个间隙；

在所述多个间隙的每个间隙中形成栅电极；以及

同时在第一开口和第二开口中分别形成共源极线和接触塞。

24.根据权利要求23所述的方法，所述方法还包括以下步骤：

在形成栅电极的步骤之后形成部分填充第一开口和第二开口的第二绝缘层；

部分地去除第二绝缘层以使第一开口和第二开口的宽度扩大，以产生第一扩大开口和第二扩大开口；以及

形成共源极线和接触塞以分别填充第一扩大开口和第二扩大开口。

25.根据权利要求24所述的方法，其中，

形成第二绝缘层的步骤包括形成第二绝缘层以覆盖栅电极的侧壁，

部分地去除第二绝缘层的步骤包括暴露栅电极的与第二开口相邻的侧壁，

形成共源极线和接触塞的步骤包括形成共源极线和接触塞使得接触塞接触栅电极的暴露的侧壁。

Micron Ex. 1002, p. 504
Micron v. YMTC
IPR2025-00035

垂直存储器装置及其制造方法

[0001] 本申请要求于2018年4月20日在韩国知识产权局(KIPO)提交的第10-2018-0046048号韩国专利申请的优先权,该韩国专利申请的内容通过引用全部包含于此。

技术领域

[0002] 示例实施例涉及一种垂直存储器装置和/或一种制造该垂直存储器装置的方法。例如,至少一些示例实施例涉及一种包括接触塞的垂直存储器装置和/或一种制造该垂直存储器装置的方法。

背景技术

[0003] 在制造外围上单元(COP)结构的VNAND闪存装置中,会通过单独的工艺形成共源极线(CSL)和接触塞,因此工艺的数量会增加。另外,难于形成仅接触相应的垫的多个接触塞。

发明内容

[0004] 示例实施例提供了一种具有改善的电气特性的垂直存储器装置。

[0005] 示例实施例提供了一种制造具有改善的电气特性的垂直存储器装置的方法。

[0006] 至少一些示例实施例涉及垂直存储器装置。在一些示例实施例中,所述垂直存储器装置可以包括:多个栅电极,位于基底上,所述多个栅电极在基本垂直于基底的上表面的第一方向上堆叠,所述多个栅电极在第二方向上是台阶式的且所述多个栅电极的延伸长度从最下面的水平朝向最上面的水平逐渐减小,第二方向基本平行于基底的上表面,所述多个栅电极在其沿第二方向的端部处包括垫,垫具有比所述多个栅电极中的相应的栅电极的其它部分的厚度大的厚度;沟道,在第一方向上延伸穿过所述多个栅电极;以及接触塞,在第一方向上延伸穿过所述多个栅电极,接触塞接触所述多个栅电极之中的第一栅电极的垫使得垫电连接到接触塞,并且与所述多个栅电极之中的第二栅电极电绝缘。

[0007] 至少一些示例实施例涉及垂直存储器装置。在一些示例实施例中,所述垂直存储器装置包括:电路图案,位于基底上,基底包括单元阵列区域和垫区域;绝缘层间层,覆盖电路图案;基体图案,位于在基底的单元阵列区域上的绝缘层间层上;多个栅电极,在基体图案和绝缘层间层上沿第一方向彼此分隔开,第一方向基本垂直于基底的上表面;沟道,延伸穿过在基底的单元阵列区域上的所述多个栅电极;以及接触塞,延伸穿过在基底的垫区域上的所述多个栅电极和绝缘层间层,使得接触塞电连接到所述多个栅电极中的一个栅电极和电路图案。

[0008] 至少一些示例实施例涉及垂直存储器装置。在一些示例实施例中,所述垂直存储器装置包括:多个栅电极,位于基底上,所述多个栅电极在基本垂直于基底的上表面的第一方向上堆叠,所述多个栅电极中的每个栅电极的第一部分具有大于所述每个栅电极的其它部分的厚度的厚度;沟道,在第一方向上延伸穿过所述多个栅电极;以及多个接触塞,每个接触塞延伸穿过所述多个栅电极中的相应的栅电极的第一部分,使得所述多个接触塞电连接到所述相应的栅电极并且与所述多个栅电极中的其它栅电极电绝缘。

Micron Ex. 1002, p. 505
Micron v. YMTC
IPR2025-00035

[0009] 至少一些示例实施例涉及制造垂直存储器装置的方法。在一些示例实施例中，所述方法包括：在基底上沿基本垂直于基底的上表面的第一方向交替并重复地堆叠第一绝缘层和牺牲层，基底包括单元阵列区域和垫区域；形成在第一方向上穿过第一绝缘层和牺牲层的沟道；形成穿过第一绝缘层和牺牲层的在基底的单元阵列区域和垫区域上的部分的第一开口；形成穿过第一绝缘层和牺牲层的在基底的垫区域上的部分的第二开口；经由第一开口和第二开口去除牺牲层，以形成位于第一绝缘层之间的多个间隙；在所述多个间隙中的每个间隙中形成栅电极；以及同时在第一开口和第二开口中分别形成共源极线(CSL)和接触塞。

[0010] 至少一些示例实施例涉及制造垂直存储器装置的方法。在一些示例实施例中，所述方法包括：在基底上形成包括牺牲图案的成型件，牺牲图案在基本垂直于基底的上表面的第一方向上通过第一绝缘图案彼此分隔开，牺牲图案在第二方向上是台阶式的，并且牺牲图案沿第二方向的延伸长度从牺牲图案中的最下面的牺牲图案朝向牺牲图案中的最上面的牺牲图案逐渐减小，第二方向基本平行于基底的上表面，牺牲图案中的至少一个牺牲图案的在第二方向上的端部具有比所述至少一个牺牲图案的其它部分的厚度大的厚度；形成在第一方向上穿过成型件的沟道；去除成型件的牺牲图案以形成在第一方向上彼此分隔开的间隙；在每个间隙中形成栅电极，栅电极包括与每个牺牲图案的端部对应的垫；以及形成接触塞，以在第一方向上延伸穿过栅电极中的多个栅电极，接触塞接触并且电连接到栅电极中的所述多个栅电极之中的第一栅电极的垫，并且与栅电极中的所述多个栅电极之中的第二栅电极电绝缘，第一栅电极是栅电极中的所述多个栅电极中的最上面的栅电极。

[0011] 在制造根据示例实施例的垂直存储器装置的方法中，可以同时形成CSL和接触塞，因此可以减少工艺的数量。接触塞不需要仅接触一个栅电极，因此不需要精确的工艺控制。

[0012] 用于接触塞的第二开口可以形成在用于栅电极的第一开口之间，因此不需要虚设开口，并且可以增加结构的布局设计的自由度。

附图说明

[0013] 图1至图3C是示出根据示例实施例的垂直存储器装置的平面图和剖视图；

[0014] 图4至图33是示出根据示例实施例的制造垂直存储器装置的方法的平面图和剖视图；以及

[0015] 图34是示出根据示例实施例的垂直存储器装置的剖视图。

具体实施方式

[0016] 在下文中，将参照附图来更加充分地描述根据示例实施例的垂直存储器装置。

[0017] 图1至图3C是示出根据示例实施例的垂直存储器装置的平面图和剖视图。具体地，图1是平面图，图2A和图2B以及图3A至图3C是剖视图。

[0018] 图1是基底的第一区域的边缘部分以及第二区域和第三区域的平面图，图2A是沿图1的线A-A'截取的剖视图，图3A是沿图1的线B-B'截取的剖视图。图2B是图2A的区域X的放大的剖视图，图3B和图3C是图3A的区域Y的放大的剖视图。

[0019] 在下文中，基本垂直于基底的上表面的竖直方向被定义为第一方向，在与基底的上表面基本平行的水平方向之中的彼此交叉的两个方向被分别定义为第二方向和第三方

Micron Ex. 1002, p. 506
Micron v. YMTC
IPR2025-00035

Micron Ex. 1002, p. 507
Micron v. YMTC
IPR2025-00035

向。在示例实施例中，第二方向和第三方向可以彼此正交。

[0020] 参照图1、图2A、图2B、图3A和图3B，垂直存储器装置可以包括在基底100上的电路图案、在电路图案之上的存储器单元以及将电路图案与存储器单元彼此电连接的第一上接触塞510。垂直存储器装置还可以包括基体图案240、共源极线(CSL)520、第二上接触塞515、第三上接触塞540、第四上接触塞542、第五上接触塞544、第六上接触塞546、第一上过孔580、第三上过孔584、第四上过孔586、第二上过孔(未示出)、第一上布线560、第二上布线562、第三上布线564、第四上布线566、第五上布线600、第六上布线(未示出)、第七上布线604和第八上布线606。

[0021] 基底100可以包括例如硅、锗、硅锗等的半导体材料，或者可以包括例如GaP、GaAs、GaSb等的III-V族化合物。在示例实施例中，基底100可以是绝缘体上硅(SOI)基底或者绝缘体上锗(GOI)基底。

[0022] 在示例实施例中，基底100可以包括第一区域I、第二区域II和第三区域III。第一区域I可以是其中可以形成存储器单元阵列的单元阵列区域，第二区域II可以是其中可以形成栅电极垫的垫区域。单元阵列区域和垫区域可以被称为存储器单元区域，第三区域III可以是围绕存储器单元阵列区域的外围区域。单元阵列区域可以在第二方向上位于基底100的中央部分处，垫区域可以在第二方向上位于基底100的边缘部分处。在一些实施例中，基底100可以不包括第三区域III，而可以仅包括第一区域I和第二区域II。

[0023] 基底100可以包括其上形成隔离图案110的场区和其上不形成隔离图案的有源区105。

[0024] 在示例实施例中，垂直存储器装置可以具有外围上单元(cell-over-peri，COP)结构。即，用于驱动存储器单元的电路图案可以不形成在存储器单元的外围区域中，而是形成在存储器单元的下方。因此，存储器单元区域和其中形成电路图案的电路图案区域可以垂直堆叠，电路图案也可以被称为下电路图案。

[0025] 电路图案可以包括晶体管、下接触塞、下布线、下过孔等。图2A和图3A示出了第一晶体管、第二晶体管、第一下接触塞172、第二下接触塞174、第三下接触塞176、第四下接触塞178、第一下布线182、第二下布线184、第三下布线186、第四下布线188、第五下布线202、第六下布线204、第七下布线222、第八下布线224、第九下布线226、第一下过孔192、第二下过孔194、第三下过孔212和第四下过孔214，然而，发明构思可以不限于此。

[0026] 第一晶体管可以包括在基底100的第一区域I上的第一下栅极结构152以及在有源区105的与第一下栅极结构152相邻的上部处的第一杂质区102和第二杂质区104，第二晶体管可以包括在基底100的第二区域II上的第二下栅极结构154以及在有源区105的与第二下栅极结构154相邻的上部处的第三杂质区106和第四杂质区108。

[0027] 第一下栅极结构152可以包括顺序地堆叠在基底100上的第一下栅极绝缘图案122、第一下栅电极132和第一下栅极掩模142，第二下栅极结构154可以包括顺序地堆叠在基底100上的第二下栅极绝缘图案124、第二下栅电极134和第二下栅极掩模144。

[0028] 第一下栅极绝缘图案122和第二下栅极绝缘图案124可以包括例如氧化硅的氧化物，第一下栅电极132和第二下栅电极134可以包括例如金属、金属氮化物、金属硅化物、掺杂的多晶硅等，第一下栅极掩模142和第二下栅极掩模144可以包括例如氮化硅的氮化物。第一杂质区102、第二杂质区104、第三杂质区106和第四杂质区108可以包括n型杂质或p型

杂质。

[0029] 第一晶体管和第二晶体管可以被位于基底100上的第一绝缘层间层160所覆盖，第一下接触塞172、第二下接触塞174、第三下接触塞176和第四下接触塞178可以延伸穿过第一绝缘层间层160以分别接触第一杂质区102、第二杂质区104、第三杂质区106和第四杂质区108的上表面。

[0030] 第一下布线182、第二下布线184、第三下布线186和第四下布线188可以形成在第一绝缘层间层160上以分别接触第一下接触塞172、第二下接触塞174、第三下接触塞176和第四下接触塞178的上表面。第一下过孔192、第五下布线202、第三下过孔212和第七下布线222可以顺序地堆叠在第二下布线184上，第二下过孔194、第六下布线204、第四下过孔214和第九下布线226可以顺序地堆叠在第四下布线188上。第八下布线224可以形成在基底100的第二区域II上，多条第八下布线224可以形成在基本相同的水平处以电连接到电路图案的其它晶体管(未示出)，其中，第七下布线222和第九下布线226形成在该水平处。

[0031] 第一下接触塞172、第二下接触塞174、第三下接触塞176、第四下接触塞178、第一下布线182、第二下布线184、第三下布线186、第四下布线188、第五下布线202、第六下布线204、第七下布线222、第八下布线224、第九下布线226、第一下过孔192、第二下过孔194、第三下过孔212和第四下过孔214可以包括金属、金属氮化物或掺杂的多晶硅。

[0032] 图2A和图3A示出了下布线182、184、186、188、202、204、222、224和226被形成在第一绝缘层间层160上的三个水平处，然而，发明构思可以不限于此。

[0033] 第二绝缘层间层230可以形成在第一绝缘层间层160上以覆盖第一下布线182、第二下布线184、第三下布线186、第四下布线188、第五下布线202、第六下布线204、第七下布线222、第八下布线224和第九下布线226以及第一下过孔192、第二下过孔194、第三下过孔212和第四下过孔214。

[0034] 基体图案240可以形成在第二绝缘层间层230上。在示例实施例中，基体图案240可以形成在基底100的第一区域I上，基体图案240的侧壁可以由第二绝缘层间层230覆盖。基体图案240的上表面可以与第二绝缘层间层230的上表面基本共面。基体图案240可以包括例如多晶硅。

[0035] 存储器单元可以形成在基底100的第一区域I和第二区域II上的基体图案240和第二绝缘层间层230上。

[0036] 存储器单元可以在第二方向和第三方向中的每个方向上布置以形成存储器单元阵列。存储器单元阵列可以包括在第三方向上彼此分隔开的多个存储器单元块，多个存储器单元块可以由在第二方向上延伸的CSL 520来划分。

[0037] 每个存储器单元块可以包括在其中的沟道块。每个沟道块可以包括具有在第二方向上布置的多个沟道410的多个沟道列。在示例实施例中，每个沟道块可以包括在第三方向上顺序布置的第一沟道列410a、第二沟道列410b、第三沟道列410c和第四沟道列410d，然而，发明构思可以不限于此。

[0038] 每个存储器单元块可以包括在第一方向上彼此分隔开的多个栅电极485、在栅电极485中的相邻的栅电极之间的第一绝缘图案315以及延伸穿过栅电极485和第一绝缘图案315的第二结构。

[0039] 栅电极485可以形成在基底100的第一区域I和第二区域II上，多个栅电极485可以

Micron Ex. 1002, p. 508
Micron v. YMTC
IPR2025-00035

分别形成在多个水平处，以彼此分隔开。每个栅电极485可以在基底100的第一区域I和第二区域II上沿第二方向延伸。栅电极485的在第二方向上的延伸长度可以从最下水平朝着最上水平逐渐减小，因此栅电极485可以整体上具有阶梯形状。

[0040] 栅电极485可以包括第一导电图案485a和垫485b。第一导电图案485a可以在基底100的第一区域I和第二区域II上沿第二方向延伸，垫485b可以在基底100的第二区域II上的第一导电图案485a的相对端部中的每个端部处形成。即，垫485b可以形成在栅电极485的相对端部中的每个端部处。

[0041] 在示例实施例中，在各个水平处的栅电极485中的至少一个栅电极的垫485b可以具有比栅电极485中的所述至少一个栅电极的第一导电图案485a的上表面高的上表面，从而具有比所述至少一个栅电极的第一导电图案485a的厚度大的厚度。在图中，除了最上水平和最下水平之外，在全部水平处的每个栅电极485的垫485b具有比其第一导电图案485a的厚度大的厚度，然而，发明构思可以不限于此。例如，在全部水平处的每个栅电极485的垫485b可以具有比其第一导电图案485a的厚度大的厚度。

[0042] 第一导电图案485a和垫485b中的每个的上表面和下表面以及侧壁可以分别由第一阻挡图案(未示出)和第二阻挡图案(未示出)覆盖。第一导电图案485a和垫485b可以包括低电阻金属，例如，钨、钛、钽、铂等，第一阻挡图案和第二阻挡图案可以包括金属氮化物，例如，氮化钛、氮化钽等。在示例实施例中，第一导电图案485a和垫485b可以包括基本相同的材料。

[0043] 栅电极485可以包括在第一方向上顺序堆叠的第一栅电极700、第二栅电极710和第三栅电极720。第一栅电极700可以用作地选择线(GSL)，第二栅电极710可以用作字线，第三栅电极720可以用作串选择线(SSL)。第一栅电极700、第二栅电极710和第三栅电极720中的每种可以形成在一个水平或多个水平处。

[0044] 在示例实施例中，第一栅电极700可以形成在最下水平处，第三栅电极720可以形成在最上水平处和直接在最上水平下方的水平(即，从上方起第二水平)处，第二栅电极710可以形成在第一栅电极700与第三栅电极720之间。

[0045] 可以以阶梯形状堆叠的栅电极485的侧壁可以由在第二绝缘层间层230上的第四绝缘层间层图案330覆盖，第五绝缘层间层340和第六绝缘层间层440可以顺序地堆叠在第一绝缘图案315和第四绝缘层间层图案330上。

[0046] 栅电极485的上表面、下表面和与沟道410相邻的侧壁可以由第二阻碍层470覆盖。在示例实施例中，第二阻碍层470可以不覆盖栅电极485的垫485b的上表面和下表面或者侧壁。第二阻碍层470可以包括金属氧化物，例如，氧化铝、氧化铪等。

[0047] 第一绝缘图案315可以包括例如氧化硅的氧化物，并且可以在其侧壁处与第四绝缘层间层图案330合并或者与位于最上面的一个第一绝缘图案315上的第五绝缘层间层340合并。

[0048] 第二结构可以包括第一结构和位于第一结构上的盖图案430，其中，第一结构包含位于基体图案240上的半导体图案360、电荷存储结构400、沟道410和填充图案420。

[0049] 半导体图案360可以根据基体图案240的材料而包括单晶硅或单晶锗，并且在一些实施例中可以掺杂有杂质。在示例实施例中，半导体图案360可以具有柱形形状，半导体图案360的上表面可以位于在第一方向上从下方起第二水平处的一个第一绝缘图案315的上

Micron Ex. 1002, p. 509
Micron v. YMTC
IPR2025-00035

表面与下表面之间。半导体图案360可以由于上覆的沟道410而用作沟道，并且因此可以被称为下沟道。

[0050] 沟道410可以在半导体图案360的中央上表面上沿第一方向延伸以具有杯状形状。电荷存储结构400可以在半导体图案360的边缘上表面上沿第一方向延伸以覆盖沟道410的外侧壁，并且可以具有其中央下表面被敞开的杯状形状。填充图案420可以具有用于填充由杯状形状的沟道410限定的内部空间的柱形形状。

[0051] 电荷存储结构400可以包括顺序堆叠的第一阻碍图案370、电荷存储图案380和隧道绝缘图案390。

[0052] 沟道410可以包括掺杂的或非掺杂的单晶硅。第一阻碍图案370可以包括例如氧化硅的氧化物，电荷存储图案380可以包括例如氮化硅的氮化物，隧道绝缘图案390可以包括例如氧化硅的氧化物。填充图案420可以包括例如氧化硅的氧化物。

[0053] 盖图案430可以包括掺杂的或非掺杂的单晶硅或多晶硅。盖图案430可以延伸穿过第五绝缘层间层340和第一绝缘图案315中的最上面的一个第一绝缘图案的上部。

[0054] CSL 520可以在第一方向上延伸，并且可以接触在基体图案240的上部处的第五杂质区255的上表面。CSL 520可以在第二方向上延伸以使栅电极在第三方向上彼此分离。然而，CSL 520的两个侧壁可以接触第一绝缘图案315或者可以由第二绝缘图案505覆盖，从而与栅电极电绝缘。

[0055] 在示例实施例中，CSL 520可以包括与栅电极的垫485b的材料基本相同的材料。

[0056] 第一上接触塞510可以在基底100的第二区域II上沿第一方向延伸以连接到第八下布线224，并且可以延伸穿过第五绝缘层间层340和第六绝缘层间层440、第四绝缘层间层图案330、栅电极485中的一个或多个以及第二绝缘层间层230。

[0057] 第一上接触塞510可以延伸穿过并接触栅电极485中的在一个水平处的栅电极的垫485b，并且可以延伸穿过栅电极485中的在其它水平处(即，在下面的水平处)的栅电极的第一导电图案485a，然而，可以通过围绕第一上接触塞510的侧壁的第二绝缘图案505来与栅电极485电绝缘。

[0058] 在示例实施例中，第一上接触塞510可以包括与栅电极485的垫485b的材料基本相同的材料。

[0059] 参照图3C，第一上接触塞510可以包括第一延伸部510a和第二延伸部510b，第一延伸部510a可以在第一方向上延伸以接触第八下布线224的上表面，第二延伸部510b可以在第二方向上形成在第一延伸部510a的相对侧中的每侧处以接触第一延伸部510a，并且在CSL 520中的相邻的CSL 520之间沿第三方向延伸。

[0060] 在随后示出的制造垂直存储器装置的方法中，第一延伸部510a和第二延伸部510b可以通过同一工艺形成为包括基本相同的材料，因此可以形成第一上接触塞510。在这种情况下，栅电极485可以仅包括第一导电图案485a。

[0061] 第二延伸部510b的与第一延伸部510a相邻的部分的上表面可以比第二延伸部510b的与第一导电图案485a(即，栅电极485)相邻的部分的上表面高，因此，第二延伸部510b的与第一延伸部510a相邻的部分可以具有比栅电极485的厚度大的厚度。在示例实施例中，第一上接触塞510的第二延伸部510b可以具有阶梯形状。

[0062] 第二上接触塞515可以延伸穿过在基底100的第三区域III上的第二绝缘层间层

Micron Ex. 1002, p. 510
Micron v. YMTC
IPR2025-00035

230、第五绝缘层间层340和第六绝缘层间层440以及第四绝缘层间层图案330以连接到第九下布线226的上表面。在示例实施例中，第二上接触塞515可以包括与第一上接触塞510的材料基本相同的材料。

[0063] 第七绝缘层间层530、第八绝缘层间层550、第九绝缘层间层570和第十绝缘层间层590可以顺序地堆叠在第六绝缘层间层440、CSL 520以及第一上接触塞510和第二上接触塞515上，上电路图案可以形成在其中。在附图中，示出了上电路图案的说明性布局，然而，发明构思可以不限于此，上电路图案可以具有各种布局。

[0064] 在示例实施例中，第一绝缘层间层160、第二绝缘层间层230、第五绝缘层间层340、第六绝缘层间层440、第七绝缘层间层530、第八绝缘层间层550、第九绝缘层间层570和第十绝缘层间层590以及第四绝缘层间层图案330可以包括例如氧化硅的氧化物，它们中的一些或全部可以彼此合并。

[0065] 第三上接触塞540可以延伸穿过第六绝缘层间层440和第七绝缘层间层530以接触盖图案430的上表面，第四上接触塞542可以延伸穿过第七绝缘层间层530以接触CSL 520的上表面，第五上接触塞544和第六上接触塞546可以延伸穿过第七绝缘层间层530以分别接触第一上接触塞510和第二上接触塞515的上表面。

[0066] 第一上布线560、第二上布线562、第三上布线564和第四上布线566可以延伸穿过第八绝缘层间层550以分别接触第三上接触塞540、第四上接触塞542、第五上接触塞544和第六上接触塞546的上表面。第一上过孔580、第二上过孔(未示出)、第三上过孔584和第四上过孔586可以延伸穿过第九绝缘层间层570以分别接触第一上布线560、第二上布线562、第三上布线564和第四上布线566的上表面。

[0067] 第五上布线600、第六上布线(未示出)、第七上布线604和第八上布线606可以延伸穿过第十绝缘层间层590以分别接触第一上过孔580、第二上过孔、第三上过孔584和第四上过孔586的上表面。在示例实施例中，第五上布线600可以在第三方向上延伸，多条第五上布线600可以在第二方向上形成。第五上布线600可以用作垂直存储器装置的位线600。

[0068] 垂直存储器装置还可以包括其他上布线。

[0069] 在垂直存储器装置中，存储器单元和下电路图案可以通过第一上接触塞510来彼此电连接，第一上接触塞510可以延伸穿过分别位于多个水平处的多个栅电极485，但是仅可以电连接到第一上接触塞510可以延伸穿过的所述多个栅电极485中的最上面的一个栅电极。即，第一上接触塞510可以延伸穿过并接触栅电极485中的在某一水平处的栅电极的垫485b以电连接到该栅电极的垫485b，同时第一上接触塞510可以延伸穿过栅电极485中的在下面水平处的栅电极，但是可以通过第二绝缘图案505与这些栅电极电绝缘。

[0070] 图4至图33是示出根据示例实施例的制造垂直存储器装置的方法的平面图和剖视图。具体地，图4、图10、图14、图20和图29是平面图，图5-9、图11-13、图15-19、图21-28和图30-33是剖视图。

[0071] 图5、图7、图15、图17-18、图21、图23和图30分别是沿对应平面图的线A-A'截取的剖视图，图6、图8-9、图11-13、图16、图19、图22、图24-28和图31-33分别是沿对应平面图的线B-B'截取的剖视图。图18是图17中的区域X的放大的剖视图，图25-28是图24中的区域Y的放大的剖视图，图32和图33是图31中的区域Y的放大的剖视图。

[0072] 参照图4至图6，可以在基底100上形成电路图案，可以在基底100上顺序地形成第

Micron Ex. 1002, p. 511
Micron v. YMTC
IPR2025-00035

一绝缘层间层160和第二绝缘层间层230以覆盖电路图案。

[0073] 基底100可以包括其上形成有隔离图案110的场区和其上不形成隔离图案的有源区105。可以通过例如浅沟槽隔离(STI)工艺来形成隔离图案110。

[0074] 在示例实施例中，垂直存储器装置可以具有外围上单元(COP)结构。即，其中可以形成有电路图案的电路图案区域和其中可以形成有存储器单元的存储器单元区域可以垂直地堆叠在基底100上。

[0075] 电路图案可以包括例如晶体管、下接触塞、下布线、下过孔等。在示例实施例中，可以形成第一晶体管和第二晶体管，第一晶体管包括在基底100的第一区域I上的第一下栅极结构152以及在有源区105的与第一下栅极结构152相邻的上部处的第一杂质区102和第二杂质区104，第二晶体管包括在基底100的第二区域II上的第二下栅极结构154以及在有源区105的与第二下栅极结构154相邻的上部处的第三杂质区106和第四杂质区108。

[0076] 第一下栅极结构152可以包括顺序地堆叠在基底100上的第一下栅极绝缘图案122、第一下栅电极132和第一下栅极掩模142，第二下栅极结构154可以包括顺序地堆叠在基底100上的第二下栅极绝缘图案124、第二下栅电极134和第二下栅极掩模144。

[0077] 可以在基底100上形成第一绝缘层间层160以覆盖第一晶体管和第二晶体管，可以使第一下接触塞172、第二下接触塞174、第三下接触塞176和第四下接触塞178延伸穿过第一绝缘层间层160以分别接触第一杂质区102、第二杂质区104、第三杂质区106和第四杂质区108的上表面。

[0078] 可以在第一绝缘层间层160上形成第一下布线182、第二下布线184、第三下布线186和第四下布线188以分别接触第一下接触塞172、第二下接触塞174、第三下接触塞176和第四下接触塞178的上表面。可以在第二下布线184上顺序地堆叠第一下过孔192、第五下布线202、第三下过孔212和第七下布线222。可以在第四下布线188上顺序地堆叠第二下过孔194、第六下布线204、第四下过孔214和第九下布线226。可以在基本相同的水平处形成多条第八下布线224以电连接到电路图案的其它晶体管(未示出)，第七下布线222和第九下布线226形成在该水平处。

[0079] 在示例实施例中，可以通过大马士革工艺来形成第一下布线182、第二下布线184、第三下布线186、第四下布线188、第五下布线202、第六下布线204、第七下布线222、第八下布线224和第九下布线226以及第一下过孔192、第二下过孔194、第三下过孔212和第四下过孔214，然而，它们还可以通过图案化工艺来形成。

[0080] 可以在第一绝缘层间层160上形成第二绝缘层间层230以覆盖第一下布线182、第二下布线184、第三下布线186、第四下布线188、第五下布线202、第六下布线204、第七下布线222、第八下布线224和第九下布线226以及第一下过孔192、第二下过孔194、第三下过孔212和第四下过孔214。在一些实施例中，第二绝缘层间层230可以与第一绝缘层间层160合并。

[0081] 参照图7和图8，可以在第二绝缘层间层230上形成基体图案240，可以在第二绝缘层间层230上形成第三绝缘层间层图案250以覆盖基体图案240的侧壁。

[0082] 可以通过利用例如化学气相沉积(CVD)工艺、原子层沉积(ALD)工艺等在第二绝缘层间层230上形成基体层，并且使基体层图案化为仅保留在基底100的第一区域I上来形成基体图案240。

Micron Ex. 1002, p. 512
Micron v. YMTC
IPR2025-00035

[0083] 可以通过以下方法来形成第三绝缘层间层图案250：在第二绝缘层间层230上形成第三绝缘层间层以覆盖基体图案240；以及使第三绝缘层间层平坦化，直到可以暴露基体图案240的上表面。

[0084] 第三绝缘层间层图案250可以与下面的第二绝缘层间层230合并，在下文中，合并的第三绝缘层间层图案250和第二绝缘层间层230可以被称为第二绝缘层间层230。在示例实施例中，可以通过化学机械抛光(CMP)工艺和/或回蚀工艺来执行平坦化工艺。

[0085] 参照图9，可以在基体图案240和第二绝缘层间层230上交替地且重复地堆叠第一绝缘层310和牺牲层320。因此，多个第一绝缘层310和多个牺牲层320可以在第一方向上交替地堆叠。

[0086] 可以通过例如CVD工艺、等离子体增强化学气相沉积(PECVD)工艺、ALD工艺等来形成第一绝缘层310和牺牲层320。

[0087] 牺牲层320可以包括相对于第一绝缘层310具有蚀刻选择性的材料，例如，诸如氮化硅的氮化物。

[0088] 参照图10和图11，可以在第一绝缘层310中的最上面的第一绝缘层上形成部分地覆盖第一绝缘层310中的最上面的第一绝缘层的光致抗蚀剂图案(未示出)，可以利用光致抗蚀剂图案作为蚀刻掩模来蚀刻第一绝缘层310中的最上面的第一绝缘层及其下方的牺牲层320中的最上面的牺牲层，以暴露第一绝缘层310中的位于牺牲层320中的最上面的牺牲层下方的第一绝缘层。

[0089] 在通过修整工艺以给定比例减少光致抗蚀剂图案的面积之后，可以执行可以利用减小的光致抗蚀剂图案作为蚀刻掩模来蚀刻第一绝缘层310中的最上面的第一绝缘层、牺牲层320中的最上面的牺牲层、第一绝缘层310中的被暴露的第一绝缘层和牺牲层320中的位于被暴露的第一绝缘层下方的牺牲层的蚀刻工艺。当重复地执行修整工艺和蚀刻工艺时，可以形成成型件，所述成型件包括多个台阶，所述多个台阶可以包括顺序堆叠并具有阶梯形状的牺牲图案325和第一绝缘图案315。在下文中，可以认为每个台阶不仅包括暴露的部分，还包括由上级台阶覆盖的部分，因此，每个台阶可以指在同一水平处的牺牲图案325的全部部分和第一绝缘图案315的全部部分。

[0090] 成型件可以形成在基底100的第一区域I和第二区域II上。在这种情况下，成型件中的每个台阶的暴露部分可以形成在基底100的第二区域II中。

[0091] 在示例实施例中，包括在成型件中的台阶可以具有在第二方向和第三方向中的每个方向上延伸的长度，所述长度可以从台阶的最下面的一层朝向台阶的最上面的一层逐渐减小。

[0092] 参照图12，可以使牺牲图案325中的至少一个牺牲图案的在第二方向上的端部的厚度增加。

[0093] 在一个实施例中，可以去除第一绝缘图案315的包括在每个台阶的暴露的部分中的端部，以暴露每个台阶中的牺牲图案325的端部，可以通过具有低台阶覆盖特性的沉积工艺来在每个台阶中的牺牲图案325的暴露的端部上进一步形成包括与牺牲图案325的材料基本相同的材料的层，并且可以对其执行回蚀工艺，使得每个牺牲图案325的在第二方向上的端部的厚度可以增加。因此，每个牺牲图案325的在第二方向上的端部可以具有比该牺牲图案325的其它部分的上表面高的上表面。

Micron Ex. 1002, p. 513
Micron v. YMTC
IPR2025-00035

[0094] 图12示出除了最下面的牺牲图案325和最上面的牺牲图案325之外的全部牺牲图案325的端部的厚度增加，然而，发明构思可以不限于此，例如，全部牺牲图案325的端部的厚度可以增加。

[0095] 参照图13，可以在第二绝缘层间层230上形成第四绝缘层间层以覆盖成型件，并且可以使第四绝缘层间层平坦化，直到可以使第一绝缘图案315中的最上面的第一绝缘图案的上表面暴露，以形成覆盖成型件的侧壁的第四绝缘层间层图案330。第四绝缘层间层图案330可以与第二绝缘层间层230和/或第一绝缘图案315合并。

[0096] 可以在成型件的上表面和第四绝缘层间层图案330的上表面上形成第五绝缘层间层340。第五绝缘层间层340可以与第四绝缘层间层图案330和/或第一绝缘图案315中的最上面的第一绝缘图案合并。

[0097] 参照图14至图16，在第五绝缘层间层340上形成了第一掩模(未示出)之后，可以使用第一掩模作为蚀刻掩模来蚀刻位于其下方的第五绝缘层间层340、第一绝缘图案315和牺牲图案325，以形成穿过第五绝缘层间层340、第一绝缘图案315和牺牲图案325的沟道孔350，沟道孔350可以暴露基体图案240的上表面。

[0098] 可以在第二方向和第三方向中的每个方向上形成多个沟道孔350以限定沟道孔阵列。在一个实施例中，沟道孔阵列可以包括在第三方向上彼此分隔开的多个沟道孔块，沟道孔块可以包括在第三方向上按此顺序依次布置的第一沟道孔列350a、第二沟道孔列350b、第三沟道孔列350c和第四沟道孔列350d。

[0099] 参照图17至图19，在去除第一掩模之后，可以形成部分填充沟道孔350的半导体图案360。

[0100] 具体地，可以执行利用基体图案240的由沟道孔350暴露的上表面作为种子的选择性外延生长(SEG)工艺来形成部分填充沟道孔350的半导体图案360。因此，半导体图案360可以根据基体图案240的材料而包括单晶硅或单晶锗，并且可以在一些情况下掺杂有杂质。

[0101] 可以在沟道孔350的侧壁、半导体图案360的上表面和第五绝缘层间层340的上表面上顺序地形成第一阻碍层、电荷存储层、隧道绝缘层和第一间隔件层(未示出)，可以对第一间隔件层进行各向异性蚀刻以形成仅保留在沟道孔350的侧壁上的第一间隔件(未示出)，可以利用第一间隔件作为蚀刻掩模来蚀刻隧道绝缘层、电荷存储层和第一阻碍层以在半导体图案360和沟道孔350的每个侧壁上形成具有其中央下表面被敞开的杯状形状的隧道绝缘图案390、电荷存储图案380和第一阻碍图案370。在蚀刻工艺期间，还可以部分地去除半导体图案360的上部。隧道绝缘图案390、电荷存储图案380和第一阻碍图案370可以形成电荷存储结构400。

[0102] 第一阻碍图案370和隧道绝缘图案390可以包括例如氧化硅的氧化物，电荷存储图案380和第一间隔件可以包括例如氮化硅的氮化物。

[0103] 在去除第一间隔件之后，可以在暴露的半导体图案360、隧道绝缘图案390和第五绝缘层间层340上形成沟道层，并且可以在沟道层上形成填充层以充分地填充沟道孔350的剩余部分。

[0104] 可以使填充层和沟道层平坦化，直到可以暴露第五绝缘层间层340的上表面以形成填充每个沟道孔350的剩余部分的填充图案420，并且沟道层可以被转变为沟道410。

[0105] 因此，可以在每个沟道孔350中的半导体图案360上顺序地堆叠电荷存储结构400、

Micron Ex. 1002, p. 514
Micron v. YMTC
IPR2025-00035

沟道410和填充图案420。

[0106] 其中可以形成沟道410的沟道孔350可以限定包括第一沟道孔列350a、第二沟道孔列350b、第三沟道孔列350c和第四沟道孔列350d的沟道孔块，并且还可以限定沟道孔阵列，因此，沟道410也可以限定沟道块和与沟道块对应的沟道阵列。

[0107] 可以去除包括半导体图案360、填充图案420、沟道410和电荷存储结构400的第一结构的上部以形成沟槽(未示出)，并且可以形成盖图案430以填充该沟槽。

[0108] 具体地，可以通过回蚀工艺来去除第一结构的上部以形成沟槽，可以在第一结构和第五绝缘层间层340上形成填充沟槽的盖层，可以使盖层的上部平坦化，直到可以暴露第五绝缘层间层340的上表面，因此，可以形成盖图案430。每个沟道孔350中的第一结构和盖图案430可以限定第二结构。

[0109] 参照图20至图22，可以在第五绝缘层间层340和盖图案430上形成第六绝缘层间层440。

[0110] 在第六绝缘层间层440上形成第二掩模(未示出)之后，可以利用第二掩模作为蚀刻掩模来形成第一开口452、第二开口454和第三开口456，第一开口452延伸穿过第五绝缘层间层340、第六绝缘层间层440、第一绝缘图案315和牺牲图案325以暴露基体图案240的上表面，第二开口454延伸穿过第五绝缘层间层340、第六绝缘层间层440、第四绝缘层间层图案330、第一绝缘图案315、牺牲图案325和第二绝缘层间层230以暴露第八下布线224的上表面，第三开口456延伸穿过第二绝缘层间层230、第五绝缘层间层340、第六绝缘层间层440和第四绝缘层间层图案330以暴露第九下布线226的上表面。第六绝缘层间层440可以与其下方的第五绝缘层间层340合并。

[0111] 在示例实施例中，第一开口452可以在基底100的第一区域I和第二区域II上形成为在沟道块之间沿第二方向延伸，因此，可以在第三方向上形成多个第一开口452。即，其中包括四个沟道列的一个沟道块可以形成在彼此相邻的两个第一开口452之间。然而，发明构思可以不限于此。

[0112] 在示例实施例中，第二开口454可以延伸穿过牺牲图案325的在基底100的第二区域II上的端部以暴露第八下布线224的上表面，因此，可以在第二方向上形成多个第二开口454。图20示出了在第一开口452中的沿第三方向彼此相邻的第一开口452之间，在第二方向上按照直线形成第二开口454。然而，发明构思可以不限于此，例如，可以在第二方向上按照之字形图案形成第二开口454。

[0113] 在示例实施例中，每个第二开口454可以延伸穿过相应的牺牲图案325的端部，并且可以延伸穿过在下面水平处的其它牺牲图案325的除端部之外的其它部分。

[0114] 可以在基底100的第三区域III上形成第三开口456以暴露第九下布线226的上表面。图22示出了一个第三开口456，然而，发明构思可以不限于此。

[0115] 在去除第二掩模之后，可以去除通过第一开口452和第二开口454暴露的牺牲图案325以形成第一间隙462，第一间隙462位于第一绝缘图案315中的在第一方向上相邻的第一绝缘图案之间，可以通过第一间隙462暴露第一阻碍图案370的外侧壁的一部分和半导体图案360的侧壁的一部分。在示例实施例中，可以利用包括磷酸或硫酸的蚀刻剂通过湿法蚀刻工艺来去除被第一开口452暴露的牺牲图案325。

[0116] 第二开口454可以在第二方向上形成在第一开口452中的在第三方向上彼此相邻

Micron Ex. 1002, p. 515
Micron v. YMTC
IPR2025-00035

的第一开口之间，因此，即使在第一开口452之间没有附加开口的情况下，也可以容易地去除牺牲图案325。

[0117] 在下文中，第一间隙462中的与第二开口454相邻的一个或更多个可以被称为第二间隙464，特别地，第一间隙462中的可以通过去除牺牲图案325中的牺牲图案的具有增加的厚度的端部而形成的第一间隙可以被称为第三间隙466。第一间隙462中的除了第二间隙464与第三间隙466之外的其它第一间隙可以被称为第一间隙462。即，第三间隙466可以具有比在同一水平处的第一间隙462和第二间隙464的上表面高的上表面以及与在同一水平处的第一间隙462和第二间隙464的下表面基本共面的下表面。

[0118] 可以将杂质注入到基体图案240的通过第一开口452暴露的上部中以形成第五杂质区255。

[0119] 参照图23至图25，在第一开口452的侧壁、第二开口454的侧壁和第三开口456的侧壁、第一阻碍图案370的暴露的外侧壁、半导体图案360的暴露的侧壁、第一间隙462、第二间隙464和第三间隙466的内壁、基体图案240的上表面、第八下布线224和第九下布线226的暴露的上表面以及第六绝缘层间层440的上表面上形成第二阻碍层470之后，可以在第二阻碍层470上形成第一导电层480以填充第一间隙462和第二间隙464的剩余部分。可以进一步在第二阻碍层470与第一导电层480之间形成阻挡层(未示出)。

[0120] 具有相对大的厚度的第三间隙466可以未被第一导电层480完全填充，并因此可以形成第一凹进490。

[0121] 参照图26，可以去除第一导电层480的位于第一开口452、第二开口454和第三开口456中的部分以及第一间隙462、第二间隙464和第三间隙466的与这些开口相邻的的部分以形成位于第一间隙462和第二间隙464中的第一导电图案485。如上所述，当进一步形成第一阻挡层时，可以进一步形成覆盖第一导电图案485的下表面、上表面和侧壁的第一阻挡图案(未示出)。在示例实施例中，可以通过湿法蚀刻工艺来去除第一导电层480的上述部分。

[0122] 在示例实施例中，第一导电图案485可以在基底100的第一区域I和第二区域II上沿第二方向延伸，多个第一导电图案485可以沿第三方向形成。即，在第二方向上延伸的每个第一导电图案485可以通过第一开口452在第三方向上彼此分隔开。然而，在第二方向上延伸的每个第一导电图案485可以不形成在第二开口454以及第二间隙464和第三间隙466的与第二开口454相邻的部分中。

[0123] 具体地，由于第一凹进490而可以完全地去除第一导电层480的在第三间隙466的与第二开口454相邻的一部分中的部分，第一导电层480的在第二间隙464的与第二开口454相邻的一部分中的部分可以不被完全去除，而是被部分保留。因此，从第二开口454的与第三间隙466连接的侧壁到第一导电图案485的在第二间隙464中的剩余部分的第一距离D1可以大于从第二开口454的与第二间隙464连接的侧壁到第一导电图案485的在第二间隙464中的剩余部分的第二距离D2。

[0124] 参照图27，可以在第一开口452、第二开口454和第三开口456的侧壁上以及第一间隙462、第二间隙464和第三间隙466中形成第二绝缘层500。

[0125] 在示例实施例中，第二绝缘层500可以填充第一间隙462和第二间隙464，然而，可以不完全填充具有相对大的厚度的第三间隙466，使得第二凹进495可以形成在其中。

[0126] 在一些实施例中，第二绝缘层500可以合并到第一绝缘图案315。

Micron Ex. 1002, p. 516
Micron v. YMTC
IPR2025-00035

[0127] 参照图28，可以去除第二绝缘层500的在第一开口452、第二开口454和第三开口456以及第三间隙466中的部分，以形成在第一间隙462和第二间隙464中的第二绝缘图案505。

[0128] 在示例实施例中，还可以去除第二绝缘层500的在连接到第三间隙466的第二间隙464中的部分，使得可以暴露第一导电图案485的侧壁。然而，第二绝缘图案505可以保留在不连接到第三间隙466的第二间隙464中，以覆盖第一导电图案485的侧壁。

[0129] 在示例实施例中，可以通过湿法蚀刻工艺来去除第二绝缘层500的上述部分，并且可以通过湿法蚀刻工艺来部分地去除第二阻碍层470和第一绝缘图案315，使得第一开口452、第二开口454和第三开口456中的每个的宽度可以扩大。

[0130] 参照图29至图32，可以形成填充第一开口452的CSL 520、填充第二开口454、第三间隙466和第二间隙464的一部分的第一上接触塞510以及填充第三开口456的第二上接触塞515。

[0131] 具体地，可以在第六绝缘层间层440上形成第二导电层，以填充第一开口452、第二开口454和第三开口456，可以使第二导电层平坦化直到可以使第六绝缘层间层440的上表面暴露以形成CSL 520以及第一上接触塞510和第二上接触塞515。在形成第二导电层之前，还可以在第一开口452、第二开口454和第三开口456的侧壁上形成第二阻挡层，在这种情况下，第一上接触塞510和第二上接触塞515中的每个可以包括第二阻挡图案(未示出)。

[0132] 在示例实施例中，CSL 520可以在第二方向上延伸以使在同一水平处的第一导电图案485分离，然而，CSL 520的两个侧壁可以被第一绝缘图案315和第二绝缘图案505覆盖以与第一导电图案485电绝缘。CSL 520可以接触在基体图案240的上部处的第五杂质区255的上表面以与其电连接。

[0133] 在示例实施例中，第一上接触塞510可以填充第二开口454，并且还填充连接到第二开口454的第三间隙466以及第二间隙464的连接到第三间隙466的一部分。因此，第一上接触塞510可以直接接触第一导电图案485的侧壁。然而，第一上接触塞510可以直接接触第一导电图案485中的在一个水平处的第一导电图案，并且由于第二绝缘图案505而不会直接接触第一导电图案485中的在下面水平处的第一导电图案。

[0134] 在示例实施例中，第一上接触塞510可以包括第一延伸部510a和第二延伸部510b，第一延伸部510a可以在第一方向上延伸以接触第八下布线224的上表面，第二延伸部510b可以形成在第一延伸部510a的在第二方向上的相对侧中的每侧处以直接接触第一延伸部510a，并且在CSL 520中的相邻的CSL之间沿第三方向延伸。第二延伸部510b的与第一延伸部510a相邻的部分可以具有比第二延伸部510b的与第一导电图案485相邻的部分的上表面高的上表面，并且可以具有比第一导电图案485的厚度大的厚度。因此，第二延伸部510b可以具有阶梯形状。

[0135] 参照图33，第一上接触塞510的第二延伸部510b可以与第一导电图案485合并。

[0136] 当第一上接触塞510包括与第一导电图案485的材料基本相同的材料时，第一上接触塞510的第二延伸部510b可以与第一导电图案485合并，从而用作栅电极。

[0137] 第一上接触塞510可以延伸穿过并接触栅电极的在第二方向上的端部，在下文中，栅电极的所述端部可以被称作垫485b。在下文中，第一导电图案485可以由参考标号485a来表示，第一导电图案485a和垫485b可以形成栅电极485。在示例实施例中，分别在多个水平

Micron Ex. 1002, p. 517
Micron v. YMTC
IPR2025-00035

处的栅电极485中的至少一个栅电极的垫485b可以具有比所述至少一个栅电极的第一导电图案485a的上表面高的上表面，从而具有相对大的厚度。

[0138] 如图32中所示，当第一上接触塞510的第二延伸部510b与第一导电图案485不合并而是分离时，栅电极485可以仅包括第一导电图案485a。

[0139] 栅电极485可以包括在第一方向上顺序堆叠的第一栅电极700、第二栅电极710和第三栅电极720。

[0140] 第二上接触塞515可以在第一方向上延伸，并且可以接触第九下布线226的上表面。

[0141] 再次参照图1至图3A，可以在第六绝缘层间层440、CSL 520以及第一上接触塞510和第二上接触塞515上形成第七绝缘层间层530，并且可以形成延伸穿过第六绝缘层间层440和第七绝缘层间层530以接触盖图案430的上表面的第三上接触塞540、延伸穿过第七绝缘层间层530以接触CSL 520的上表面的第四上接触塞542以及延伸穿过第七绝缘层间层530以分别接触第一上接触塞510和第二上接触塞515的上表面的第五上接触塞544和第六上接触塞546。第七绝缘层间层530可以与第六绝缘层间层440合并。

[0142] 可以在第七绝缘层间层530以及第三上接触塞540、第四上接触塞542、第五上接触塞544和第六上接触塞546上形成第八绝缘层间层550，并且可以形成延伸穿过第八绝缘层间层550以分别接触第三上接触塞540、第四上接触塞542、第五上接触塞544和第六上接触塞546的上表面的第一上布线560、第二上布线562、第三上布线564和第四上布线566。在示例实施例中，可以通过大马士革工艺来形成第一上布线560、第二上布线562、第三上布线564和第四上布线566。

[0143] 可以在第八绝缘层间层550以及第一上布线560、第二上布线562、第三上布线564和第四上布线566上形成第九绝缘层间层570，并且可以形成延伸穿过第九绝缘层间层570以分别接触第一上布线560、第二上布线562、第三上布线564和第四上布线566的上表面的第一上过孔580、第二上过孔(未示出)、第三上过孔584和第四上过孔586。

[0144] 可以在第九绝缘层间层570以及第一上过孔580、第三上过孔584和第四上过孔586上形成第十绝缘层间层590，并且可以形成延伸穿过第十绝缘层间层590以分别接触第一上过孔580、第二上过孔、第三上过孔584和第四上过孔586的上表面的第五上布线600、第六上布线(未示出)、第七上布线604和第八上布线606。

[0145] 还可以形成附加的上布线以完成垂直存储器装置的制造。

[0146] 如以上所示，在具有COP结构的垂直存储器装置中，可以同时形成CSL520以及第一上接触塞510和第二上接触塞515，因此工艺的数量可以减少。另外，每个第一上接触塞510可以不形成为接触栅电极485中的仅一个栅电极的垫485b以电连接到该垫485b，而是可以穿过多个栅电极485形成。因此，即使栅电极485形成在第一方向上的多个水平处，也不需要精确控制用于形成上接触塞510的工艺。

[0147] 用于形成第一上接触塞510的第二开口454可以形成在用于形成栅电极485的第一开口452之间，因此不需要为了可以在第一间隙462中容易地形成栅电极485而形成附加的虚设开口。因此，可以提高在基底100的第二区域II上的结构的布局形成的自由度。

[0148] 图34是示出根据示例实施例的垂直存储器装置的剖视图。除了COP结构之外，该垂直存储器装置可以与图1至图3C的垂直存储器装置基本相同或相似。因此，同样的参考标号

Micron Ex. 1002, p. 518
Micron v. YMTC
IPR2025-00035

表示同样的元件，并且在这里省略对其详细的描述。

[0149] 参照图34，垂直存储器装置不具有COP结构，因此，外围电路图案可以形成在基底100的围绕第一区域I和第二区域II的第三区域III上。

[0150] 即，包括第三下栅极结构157的第三晶体管和位于有源区105的与其相邻的上部处的第六杂质区107可以形成在基底100的第三区域III上，第三下栅极结构157可以包括顺序堆叠的第三下栅极绝缘图案127、第三下栅电极137和第三下栅极掩模147。

[0151] 第七上接触塞517可以延伸穿过第四绝缘层间层图案330、第五绝缘层间层340和第六绝缘层间层440以接触第六杂质区107，第八上接触塞547、第九上布线567、第五上过孔587和第十上布线607可以形成在第七上接触塞517上。

[0152] 在示例实施例中，蚀刻停止图案800可以在基底100上形成为包括绝缘材料，当用于第一上接触塞510的第二开口454形成时，蚀刻停止图案800可以用作蚀刻停止层。

[0153] 即，如参照图1至图33所示，第一上接触塞510可以不形成为仅接触一个栅电极485的垫485b，即使第一上接触塞510延伸穿过在多个水平处的栅电极485，第一上接触塞510也可以仅电连接到一个栅电极485。

[0154] 如上所述，虽然已经参照一些示例实施例描述了示例实施例，但是本领域技术人员将容易领会的是，在不实质上脱离本发明构思的示例实施例的新颖的教导和优点的情况下，在示例实施例中的许多修改是可能的。

Micron Ex. 1002, p. 519
Micron v. YMTC
IPR2025-00035

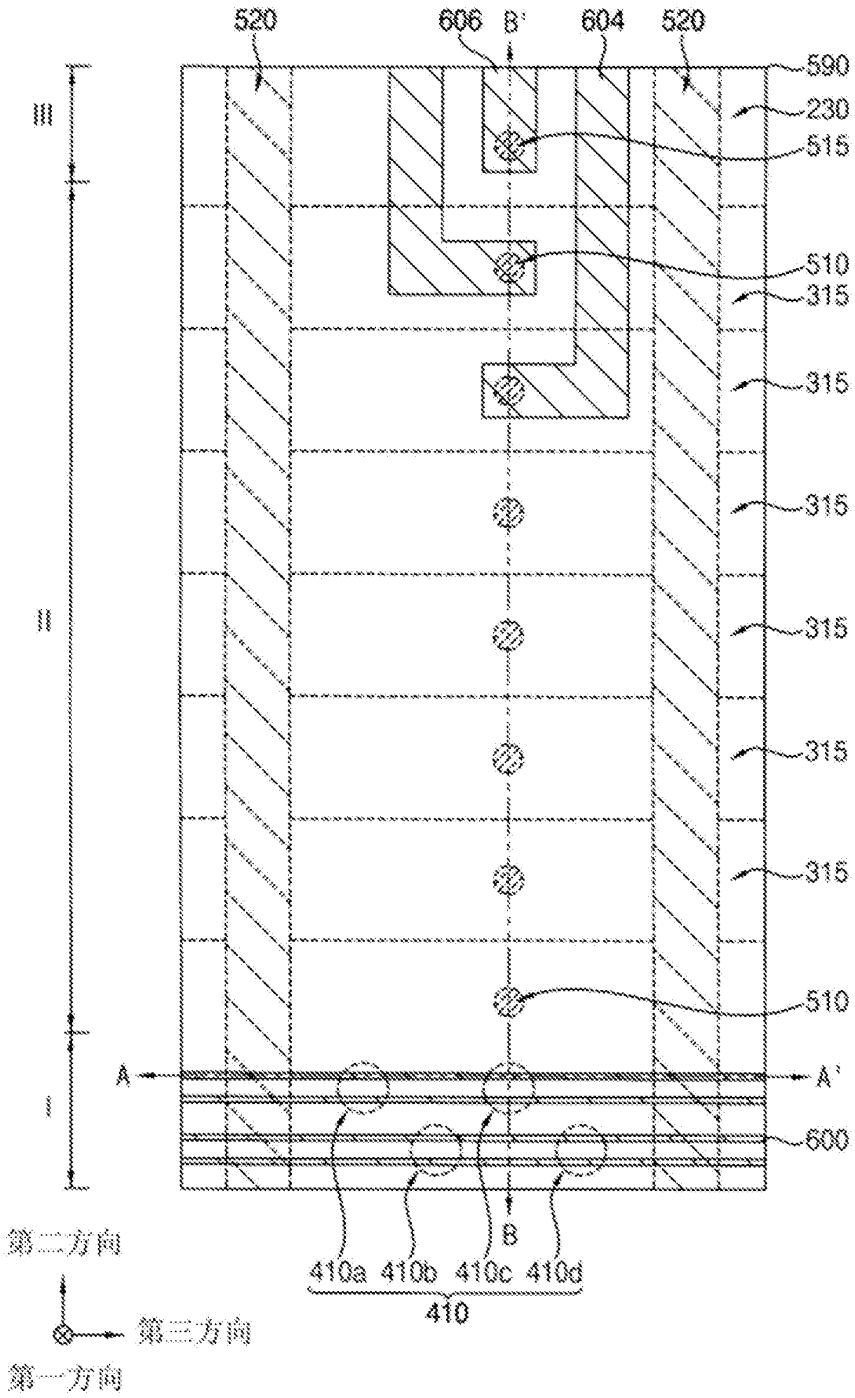


图1

Micron Ex. 1002, p. 520
Micron v. YMTC
IPR2025-00035

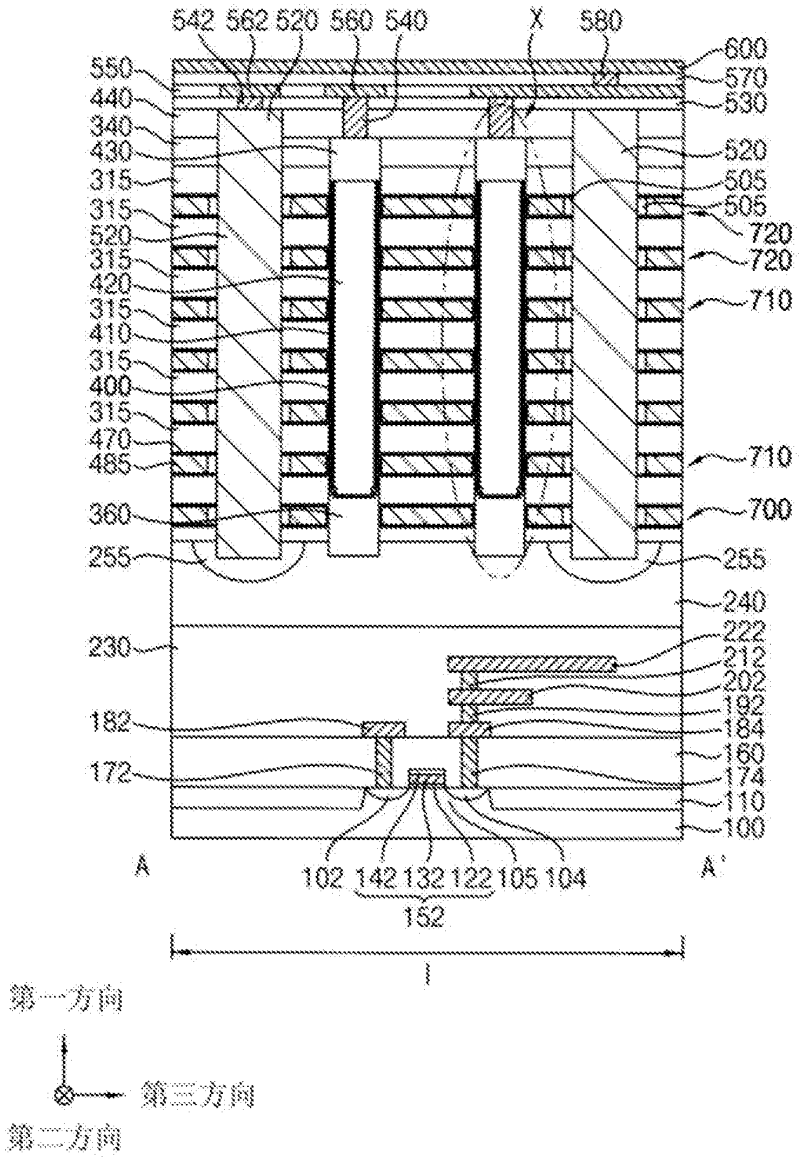


图2A

Micron Ex. 1002, p. 521
Micron v. YMTC
IPR2025-00035

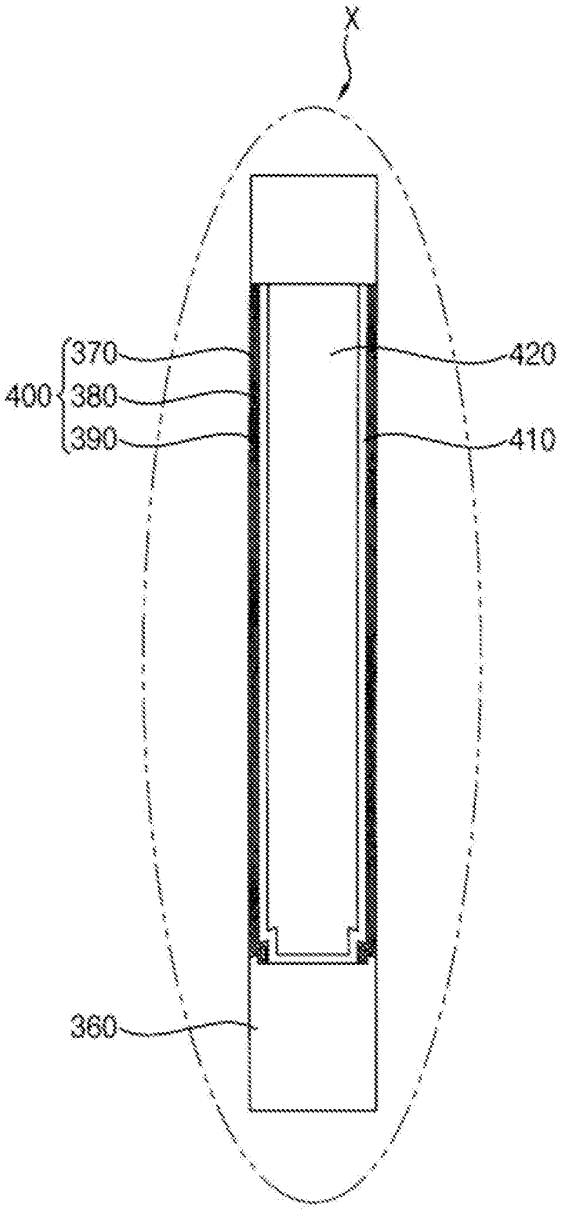


图2B

Micron Ex. 1002, p. 522
Micron v. YMTC
IPR2025-00035

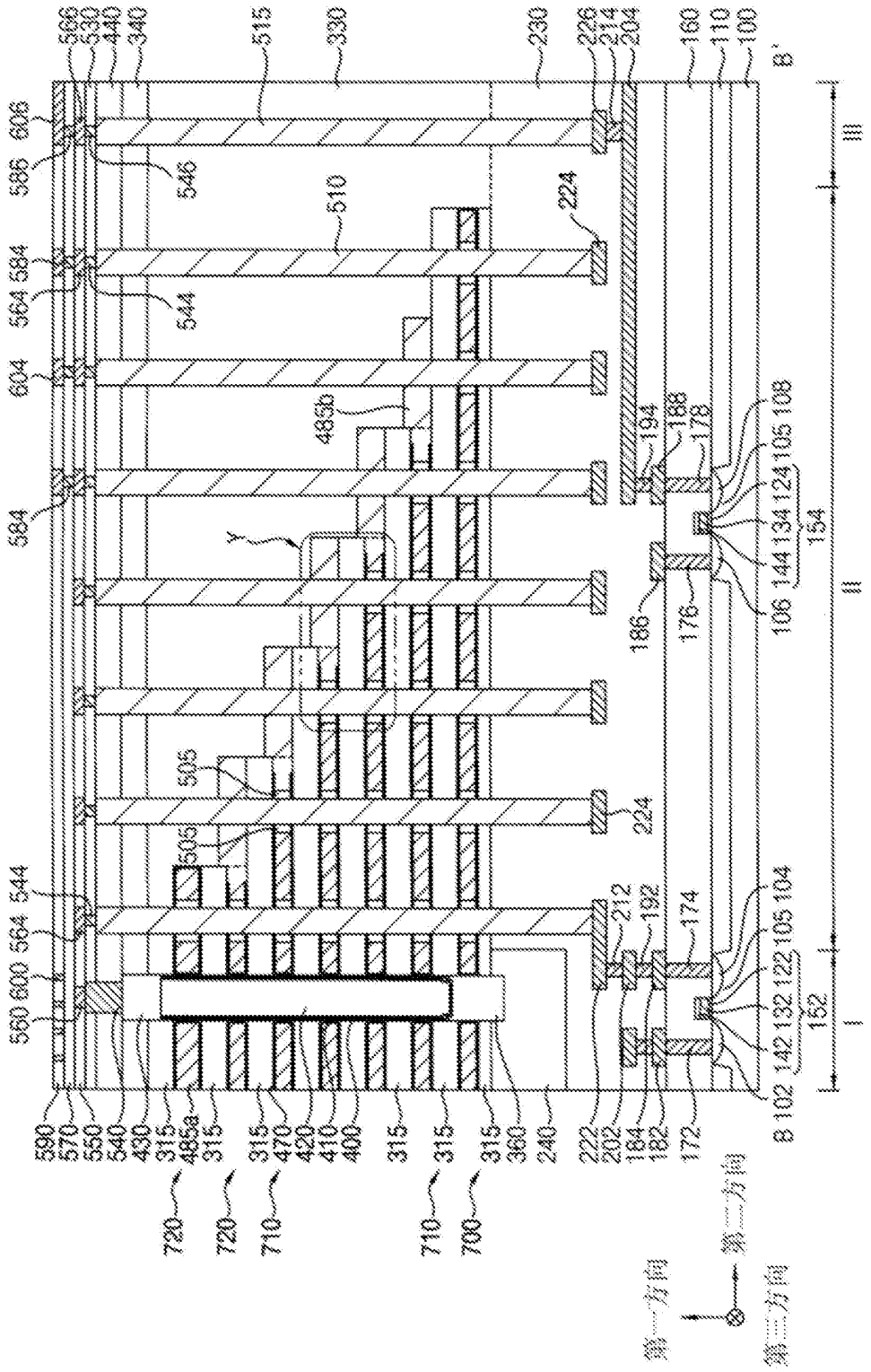


图3A

Micron Ex. 1002, p. 523
Micron v. YMTC
IPR2025-00035

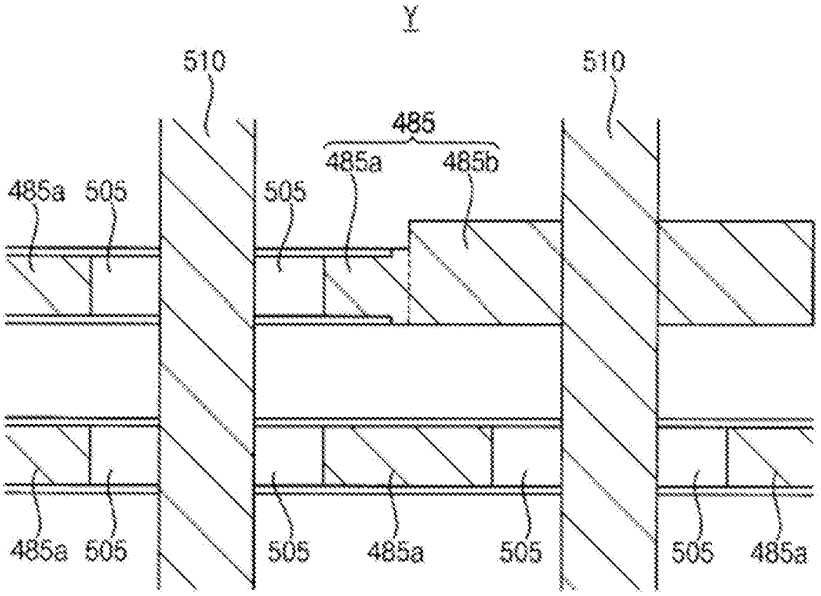


图3B

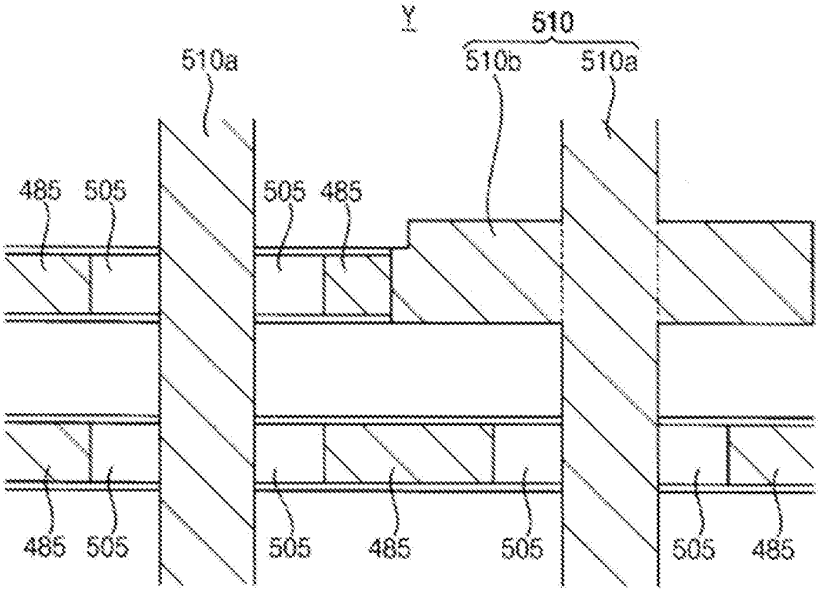


图3C

Micron Ex. 1002, p. 524
Micron v. YMTC
IPR2025-00035

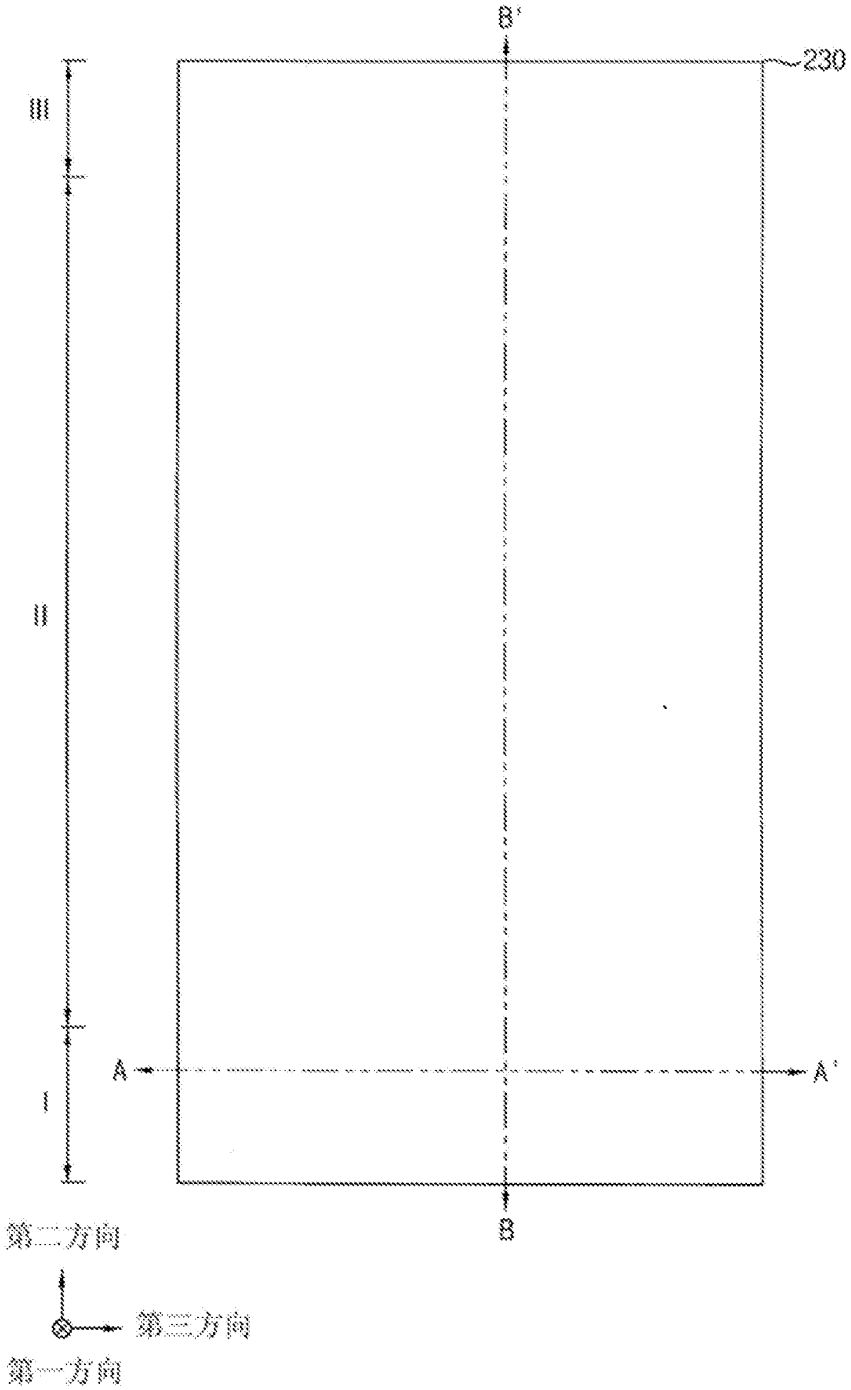


图4

Micron Ex. 1002, p. 525
Micron v. YMTC
IPR2025-00035

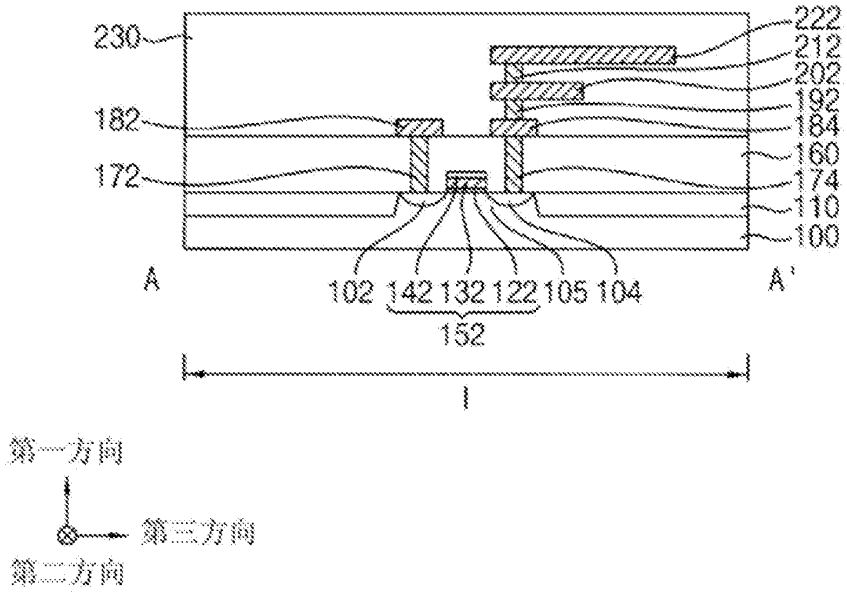


图5

Micron Ex. 1002, p. 526
Micron v. YMTC
IPR2025-00035

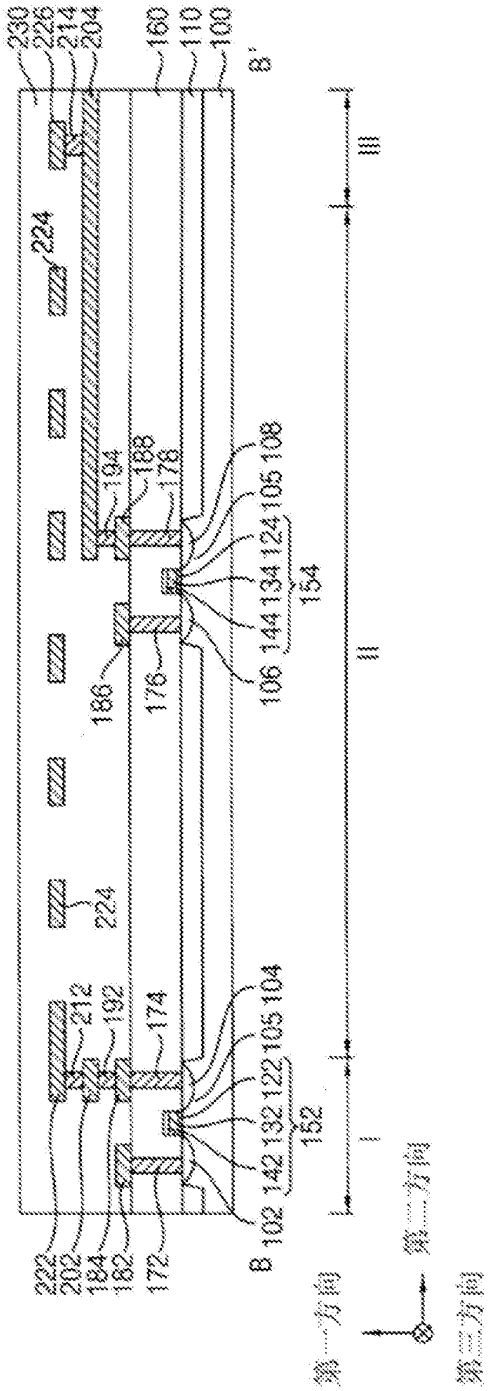


图6

Micron Ex. 1002, p. 527
Micron v. YMTC
IPR2025-00035

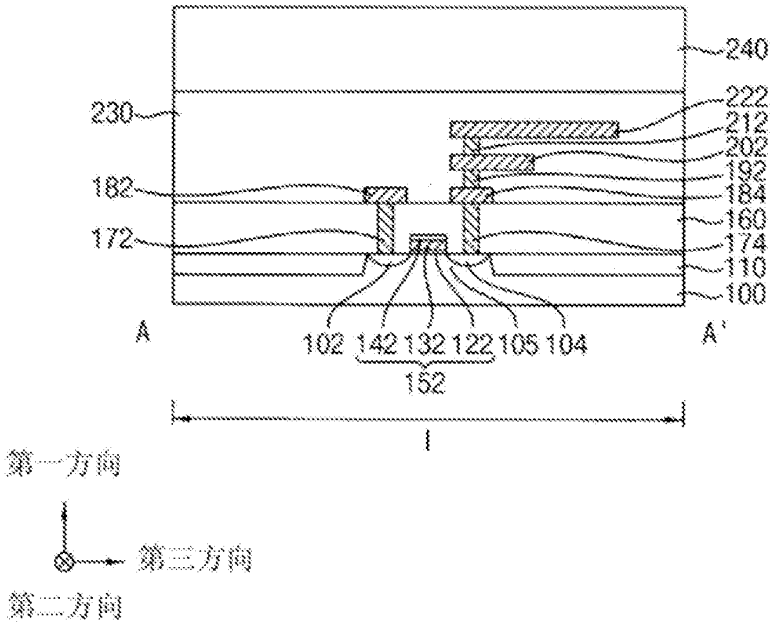


图7

Micron Ex. 1002, p. 528
Micron v. YMTC
IPR2025-00035

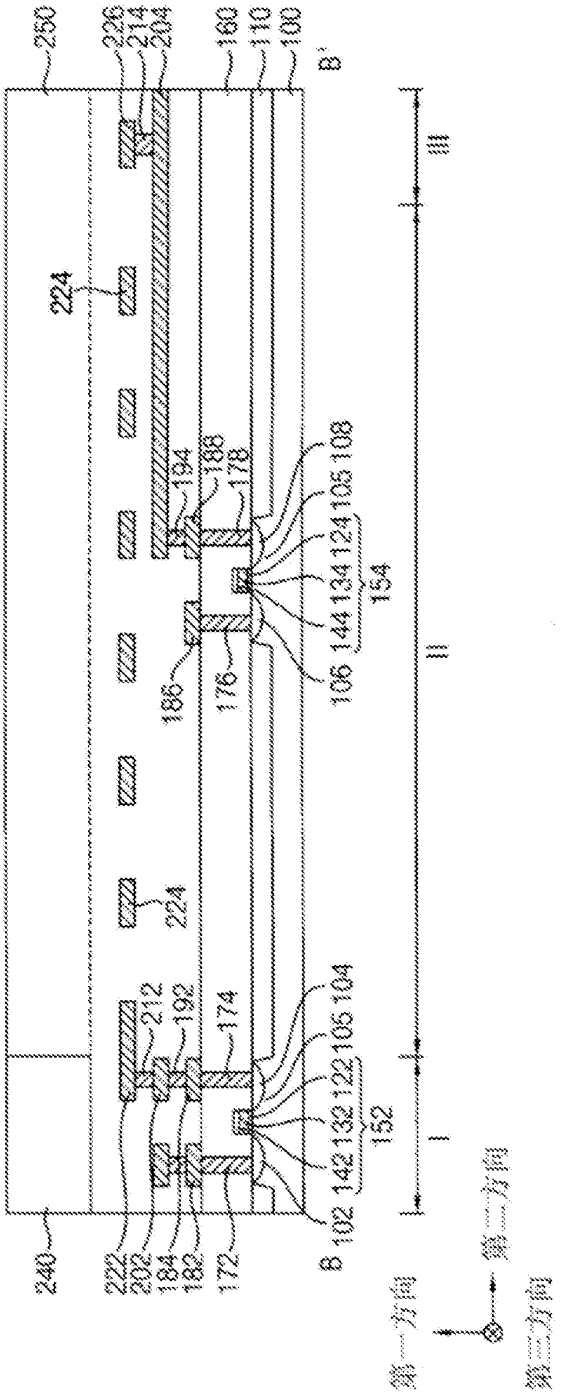


图8

Micron Ex. 1002, p. 529
Micron v. YMTC
IPR2025-00035

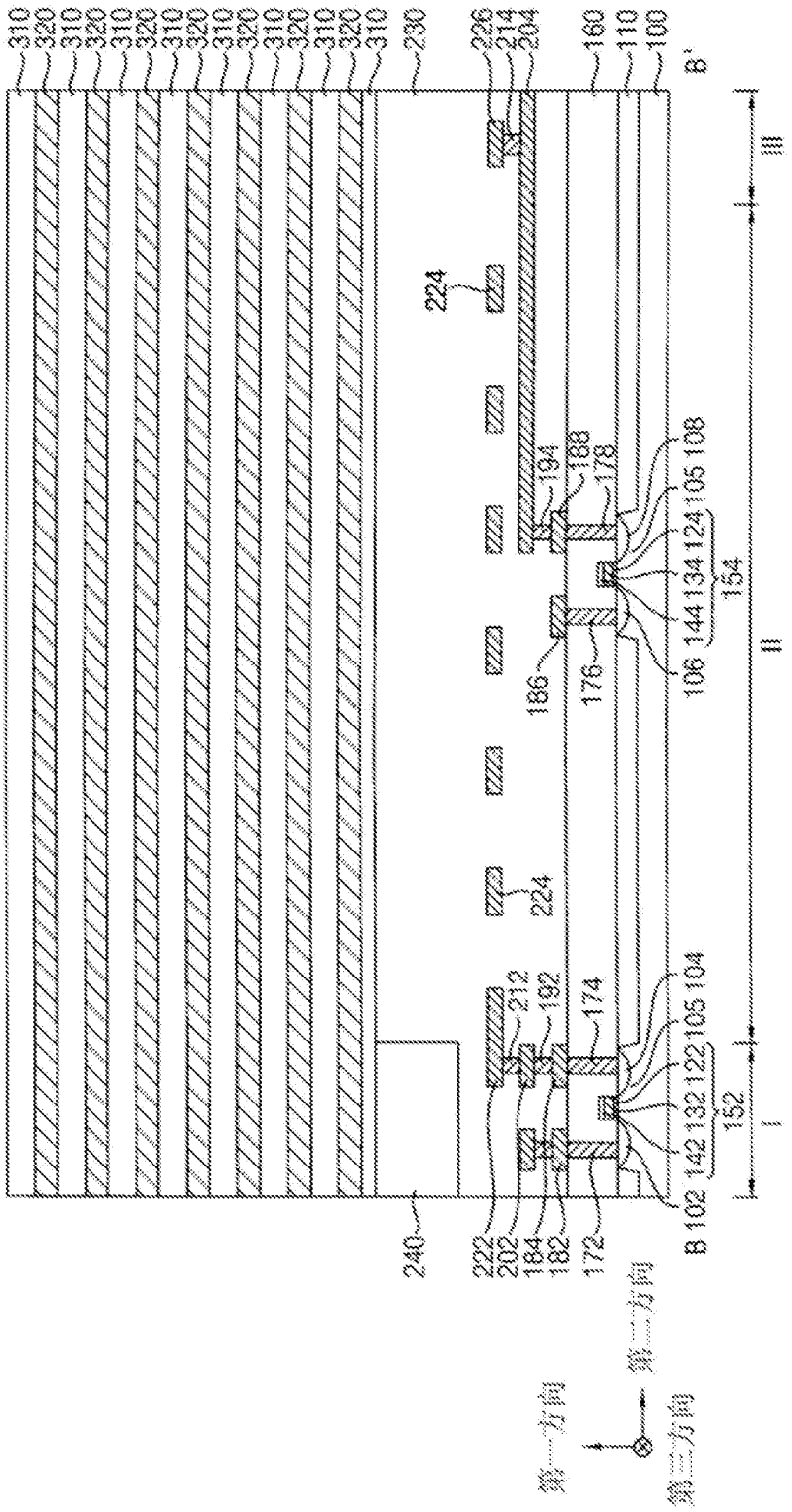


图9

Micron Ex. 1002, p. 530
Micron v. YMTC
IPR2025-00035

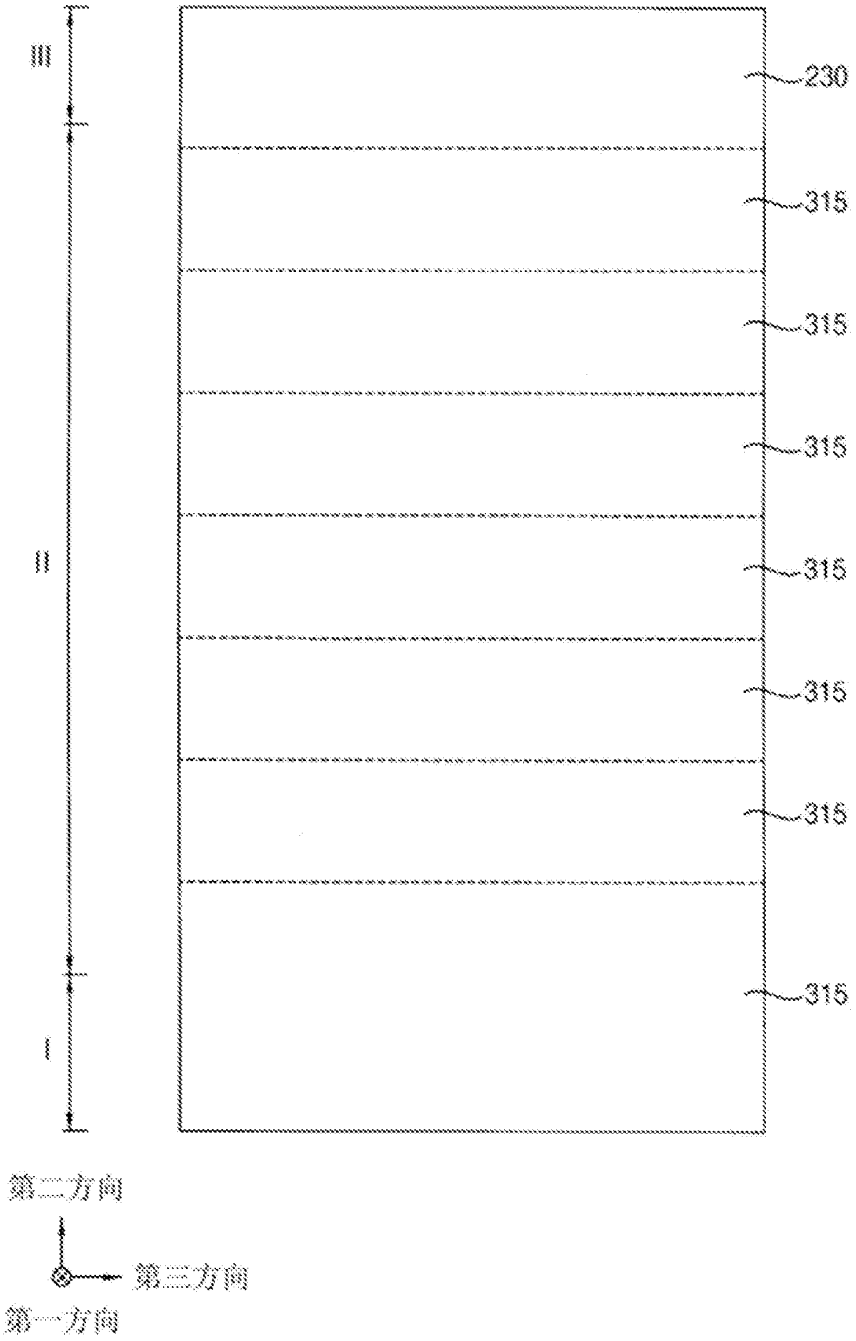


图10

Micron Ex. 1002, p. 531
Micron v. YMTC
IPR2025-00035

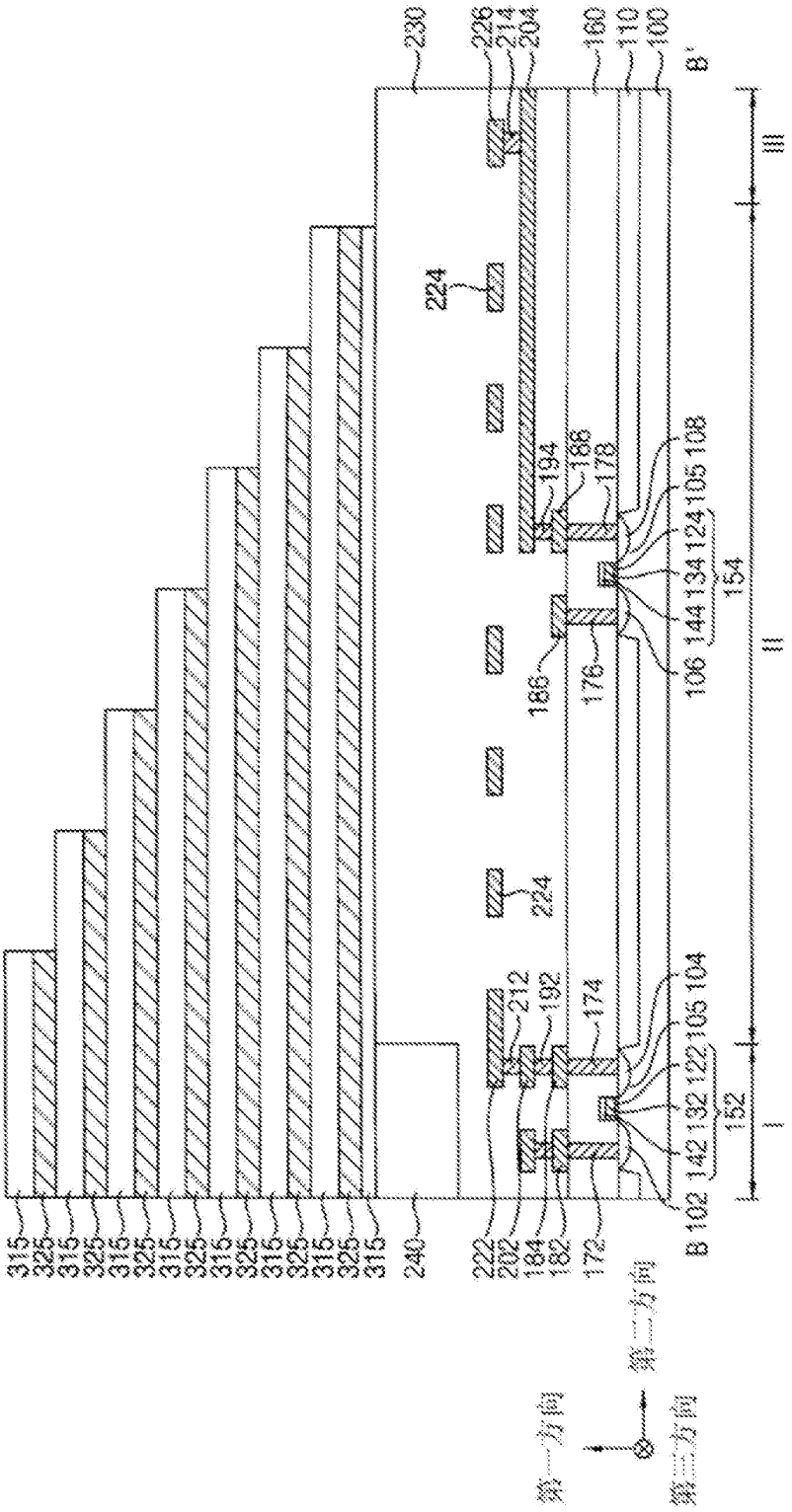


图11

Micron Ex. 1002, p. 532
Micron v. YMTC
IPR2025-00035

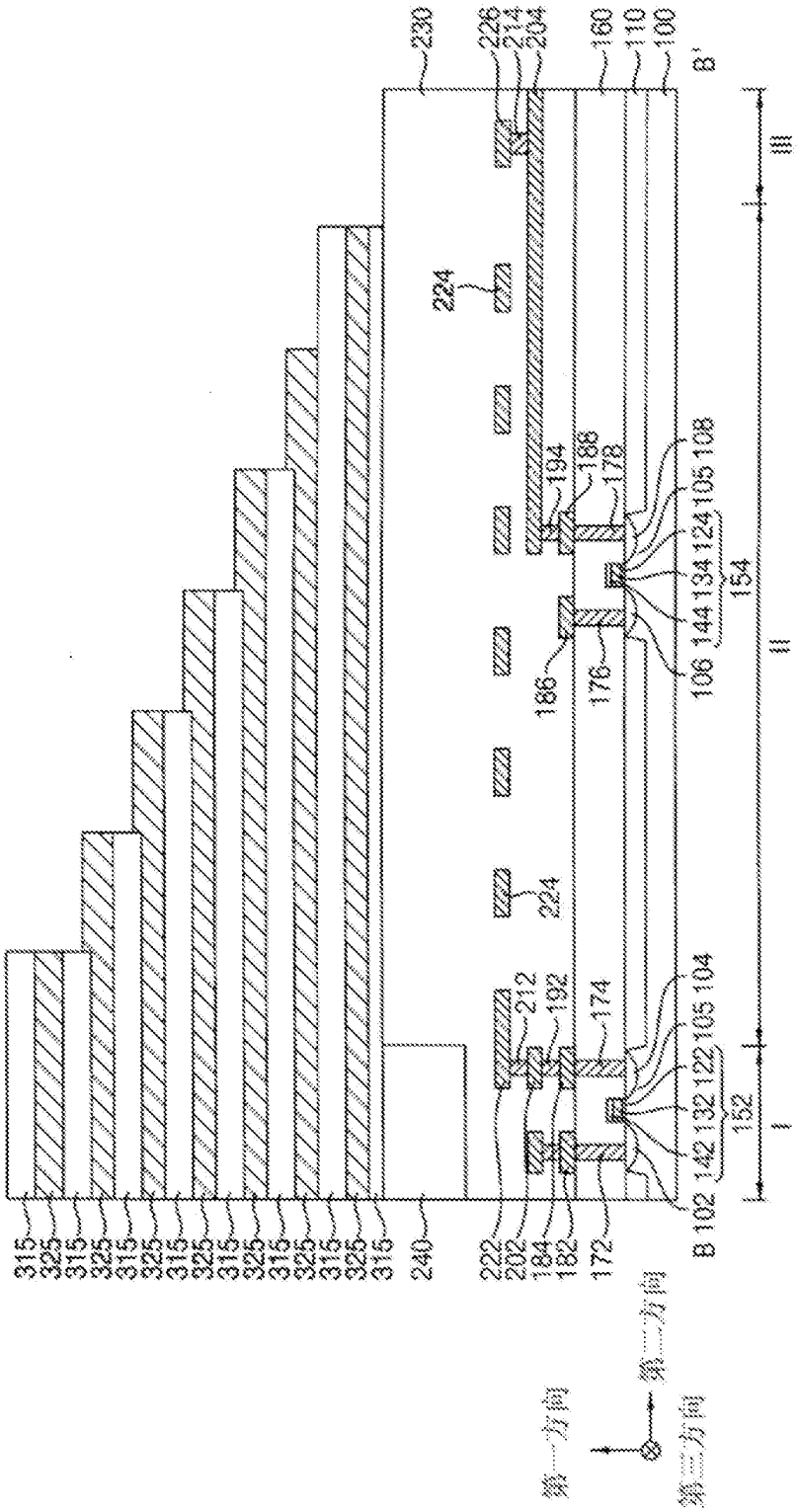


图12

Micron Ex. 1002, p. 533
Micron v. YMTC
IPR2025-00035

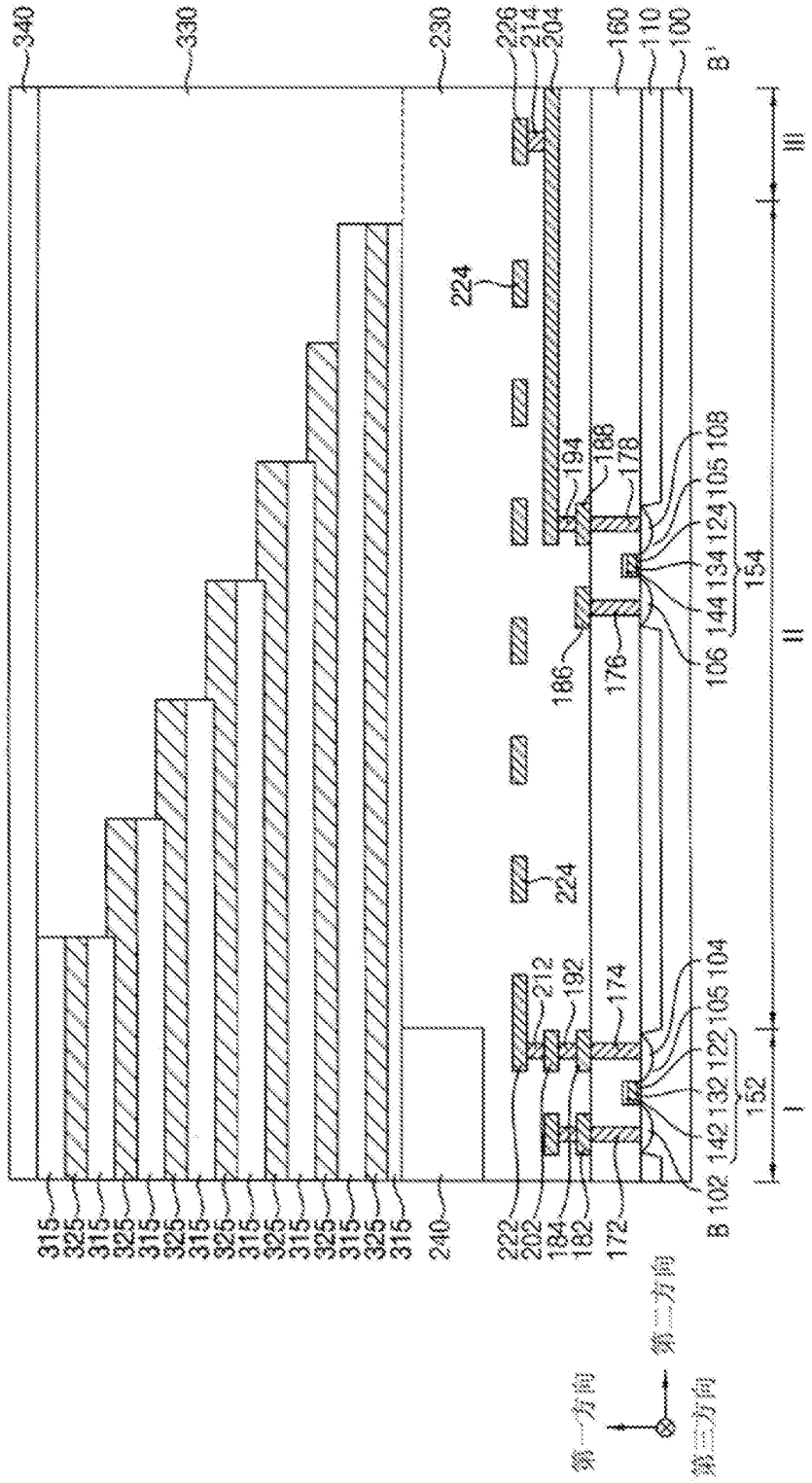


图13

Micron Ex. 1002, p. 534
Micron v. YMTC
IPR2025-00035

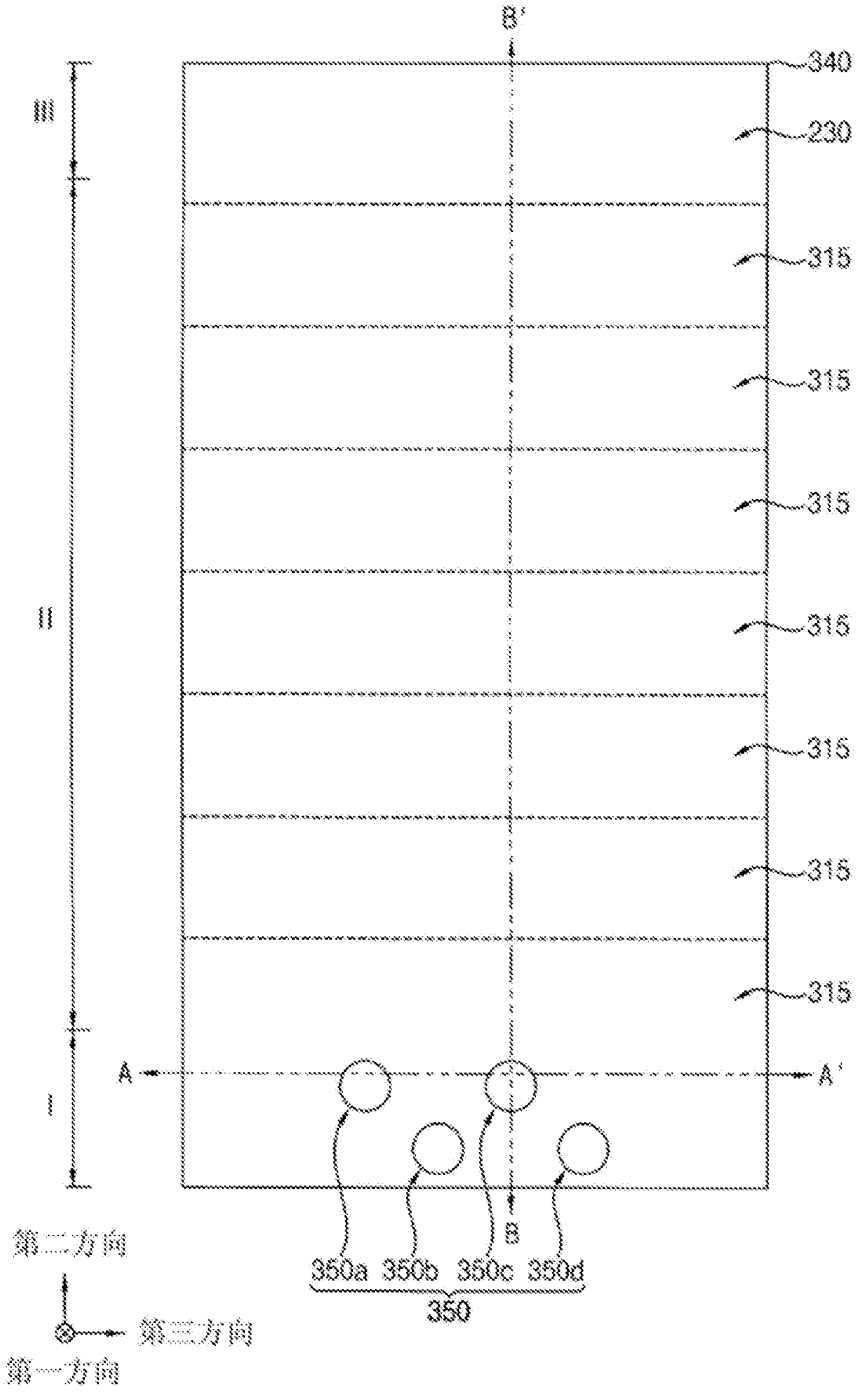


图14

Micron Ex. 1002, p. 535
Micron v. YMTC
IPR2025-00035

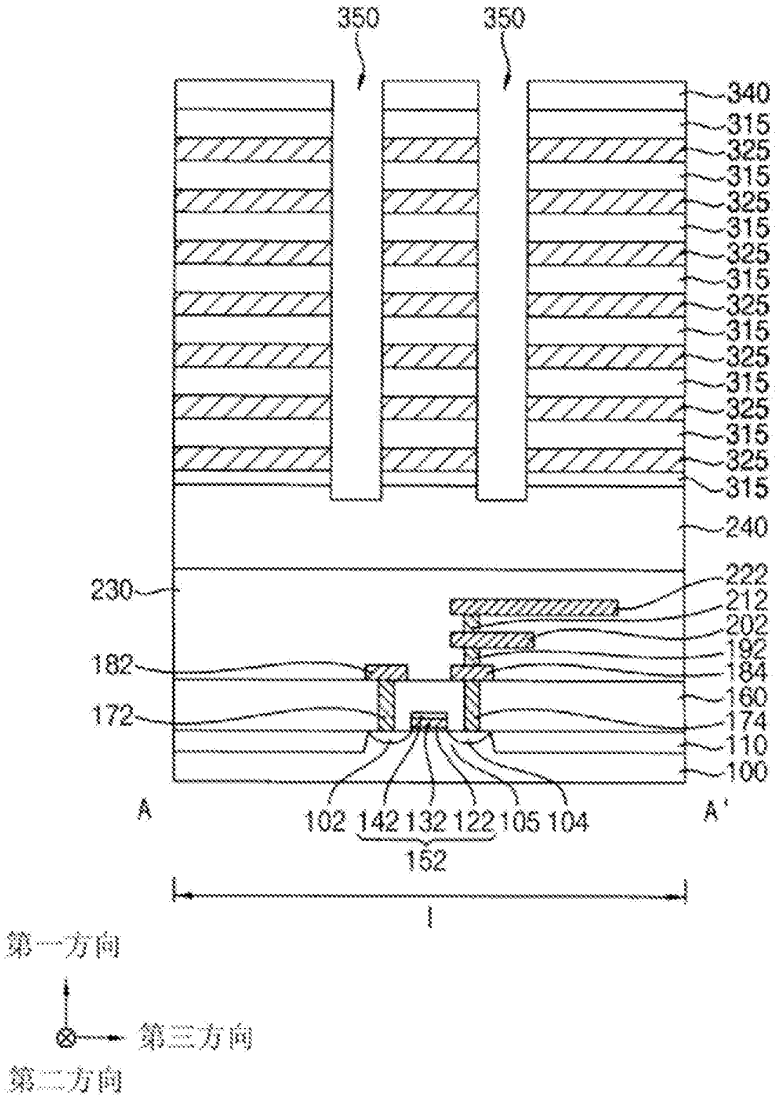


图15

Micron Ex. 1002, p. 536
Micron v. YMTC
IPR2025-00035

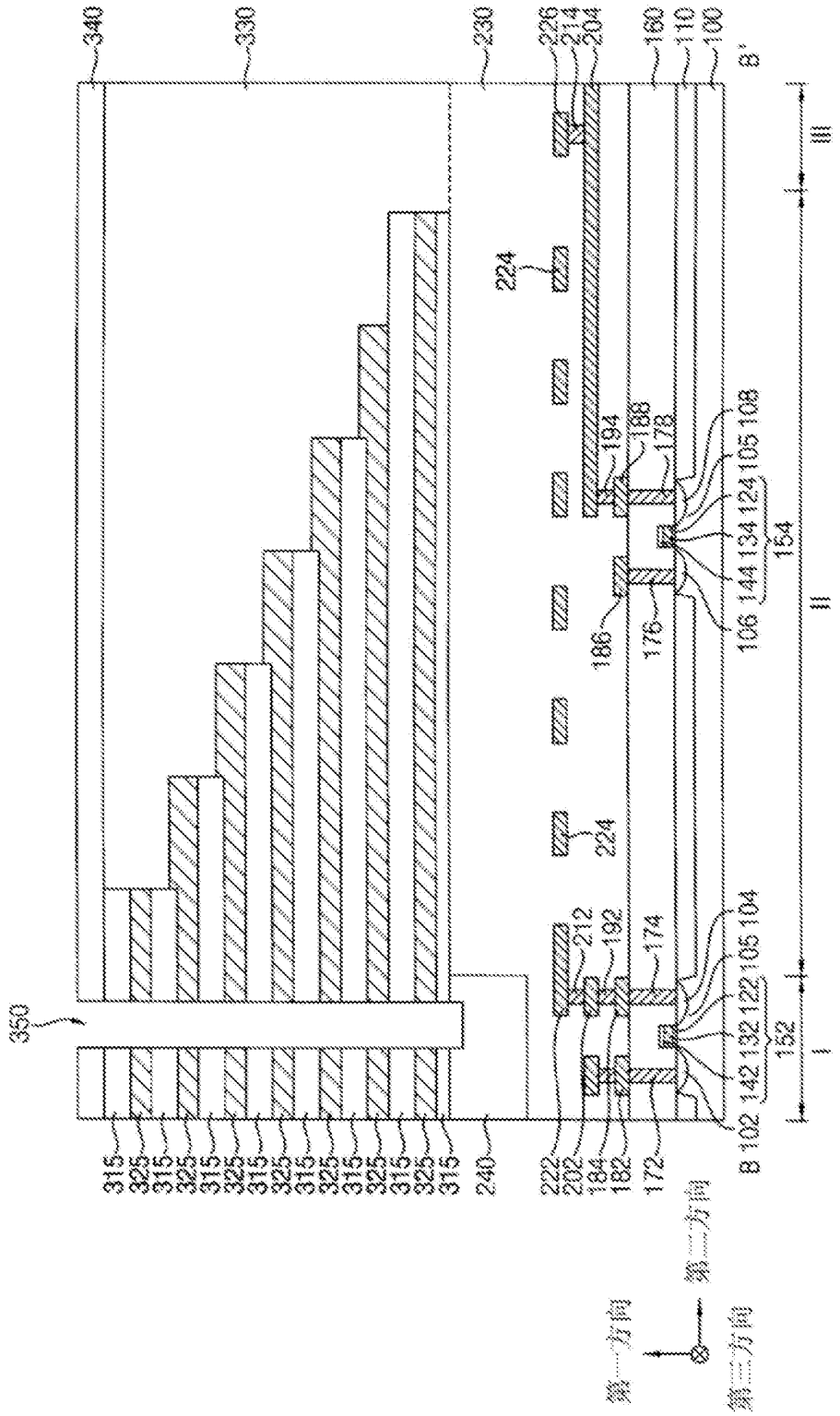


图16

Micron Ex. 1002, p. 537
Micron v. YMTC
IPR2025-00035

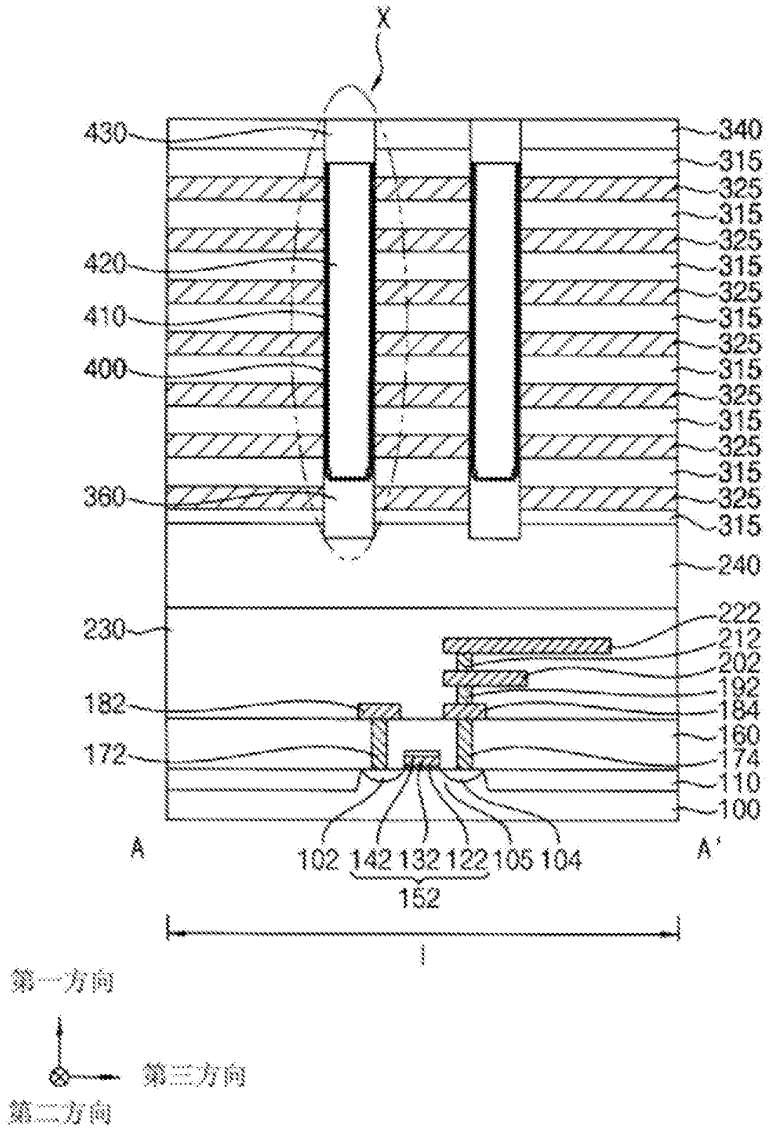


图17

Micron Ex. 1002, p. 538
Micron v. YMTC
IPR2025-00035

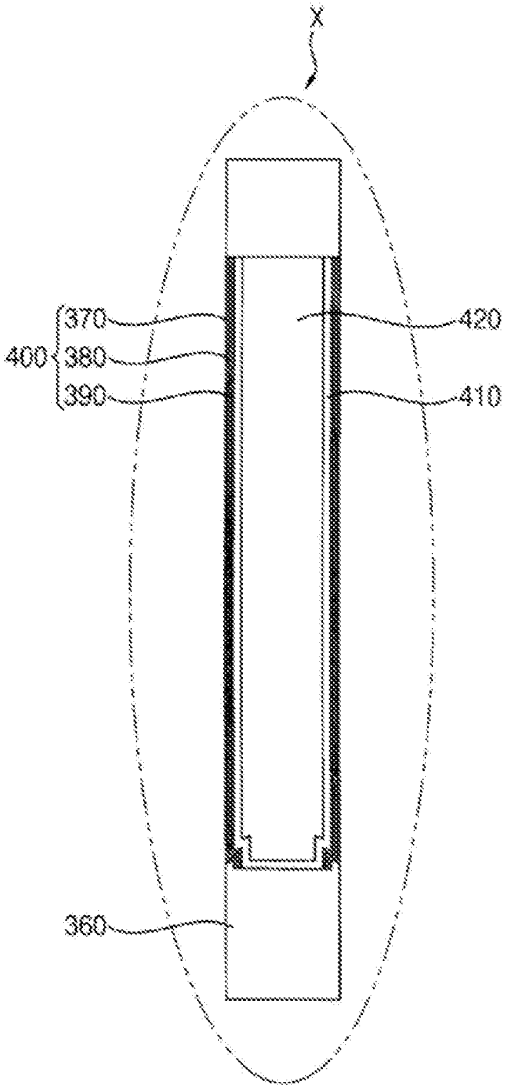


图18

Micron Ex. 1002, p. 539
Micron v. YMTC
IPR2025-00035

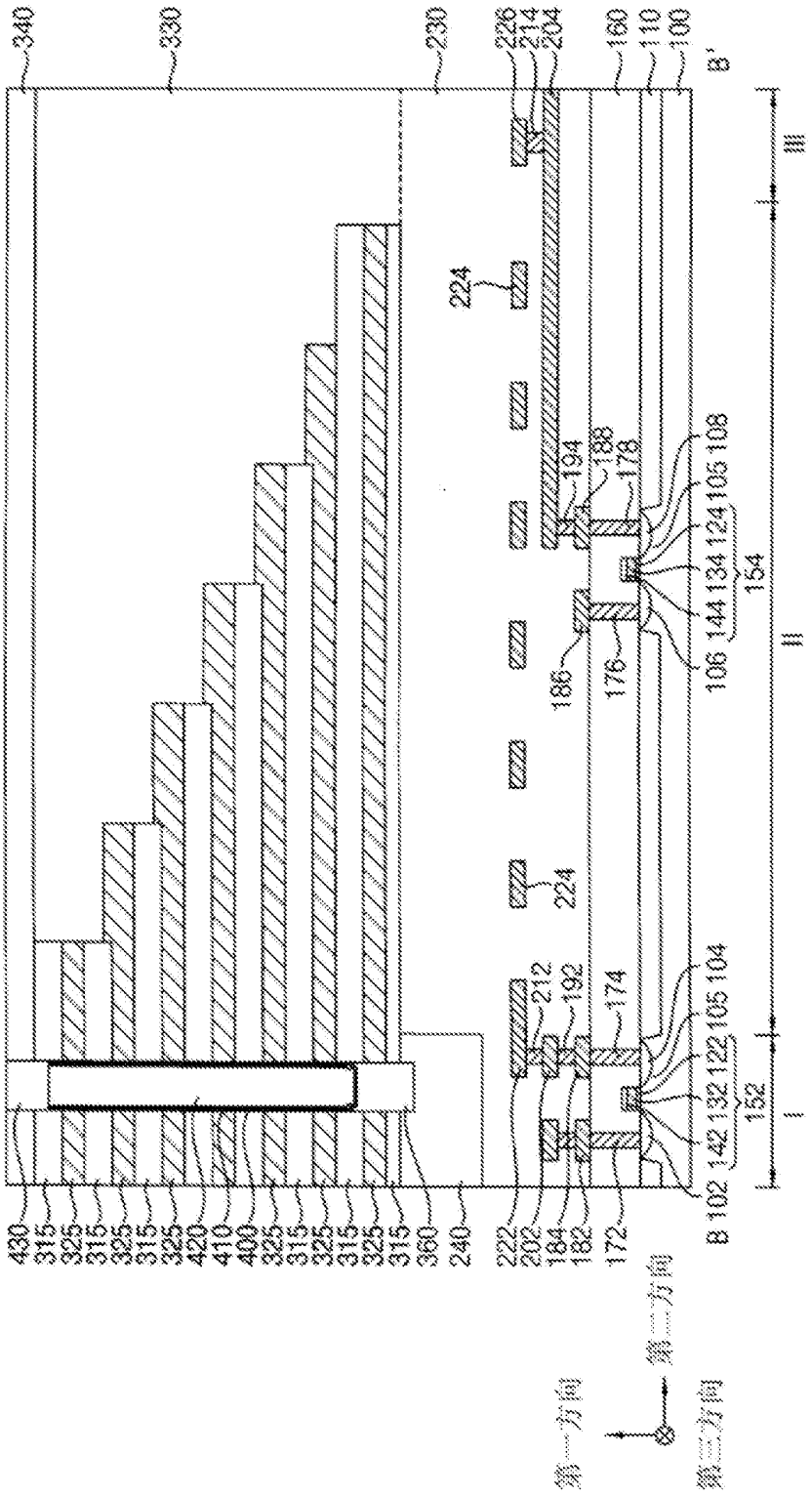


图19

Micron Ex. 1002, p. 540
Micron v. YMTC
IPR2025-00035

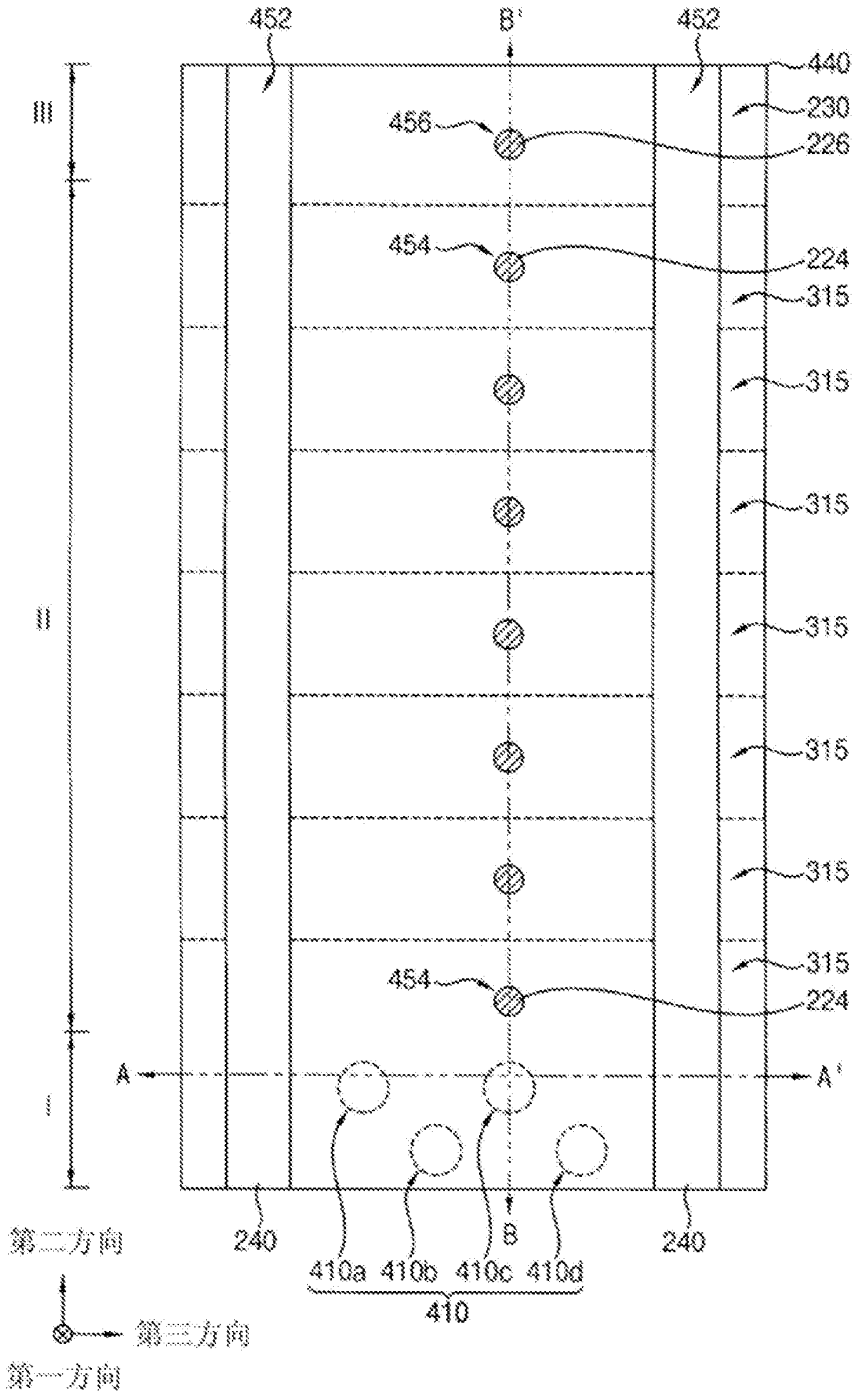


图20

Micron Ex. 1002, p. 541
Micron v. YMTC
IPR2025-00035

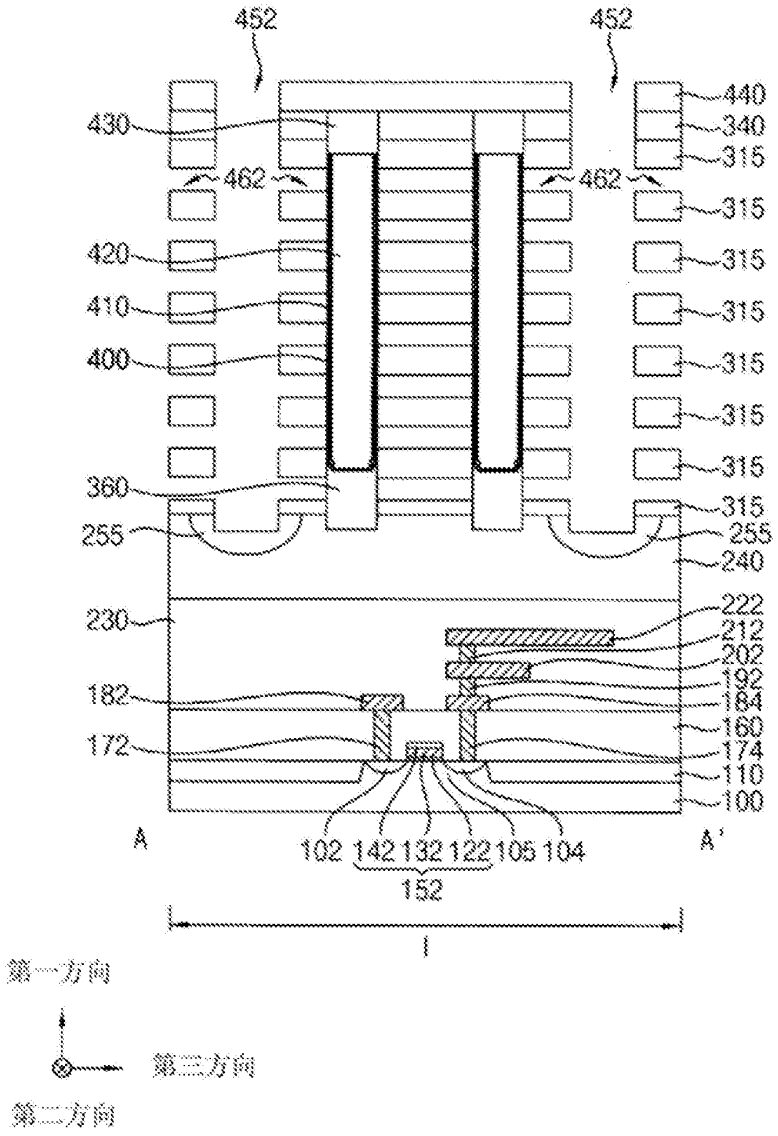


图21

Micron Ex. 1002, p. 542
Micron v. YMTC
IPR2025-00035

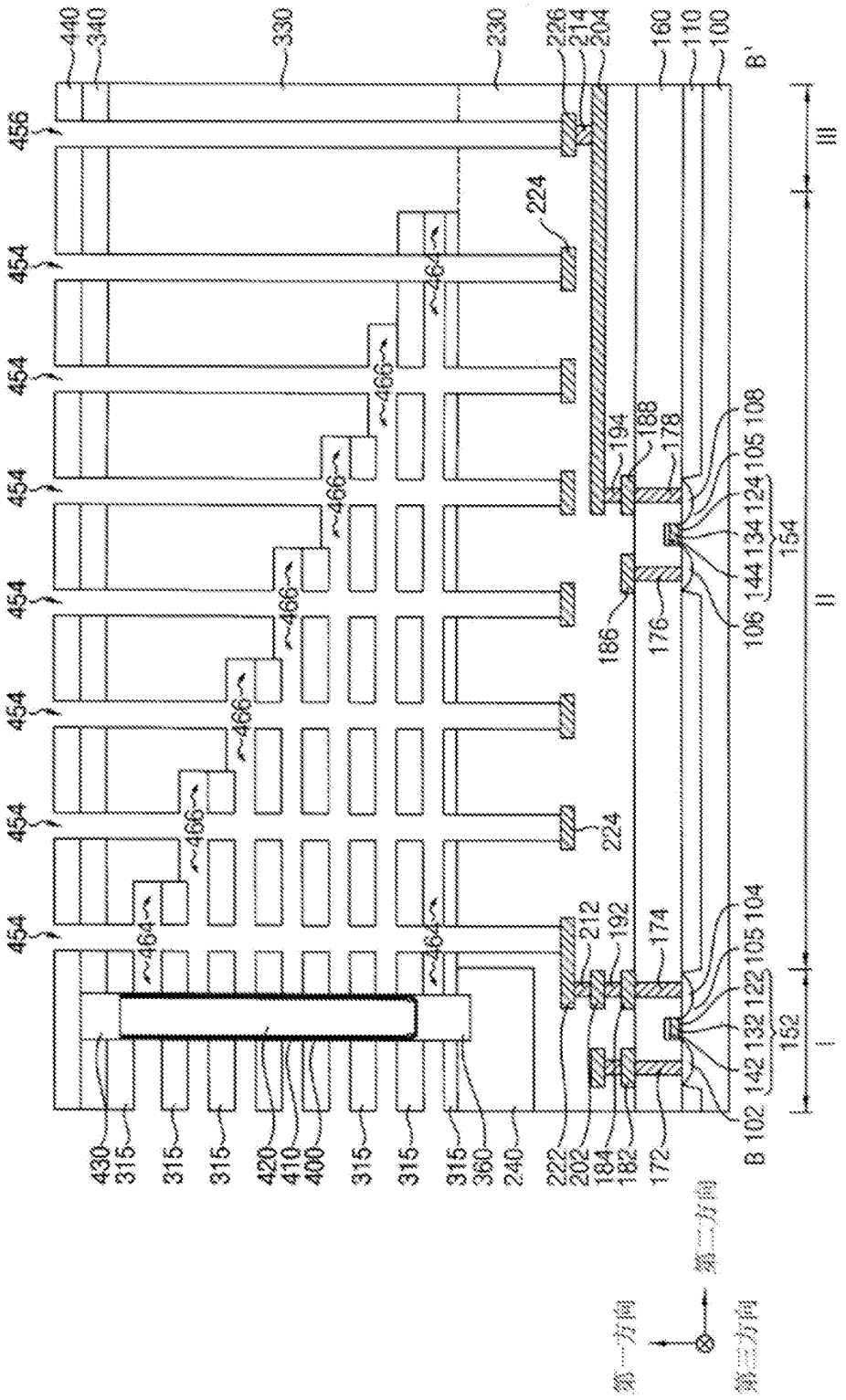


图22

Micron Ex. 1002, p. 543
Micron v. YMTC
IPR2025-00035

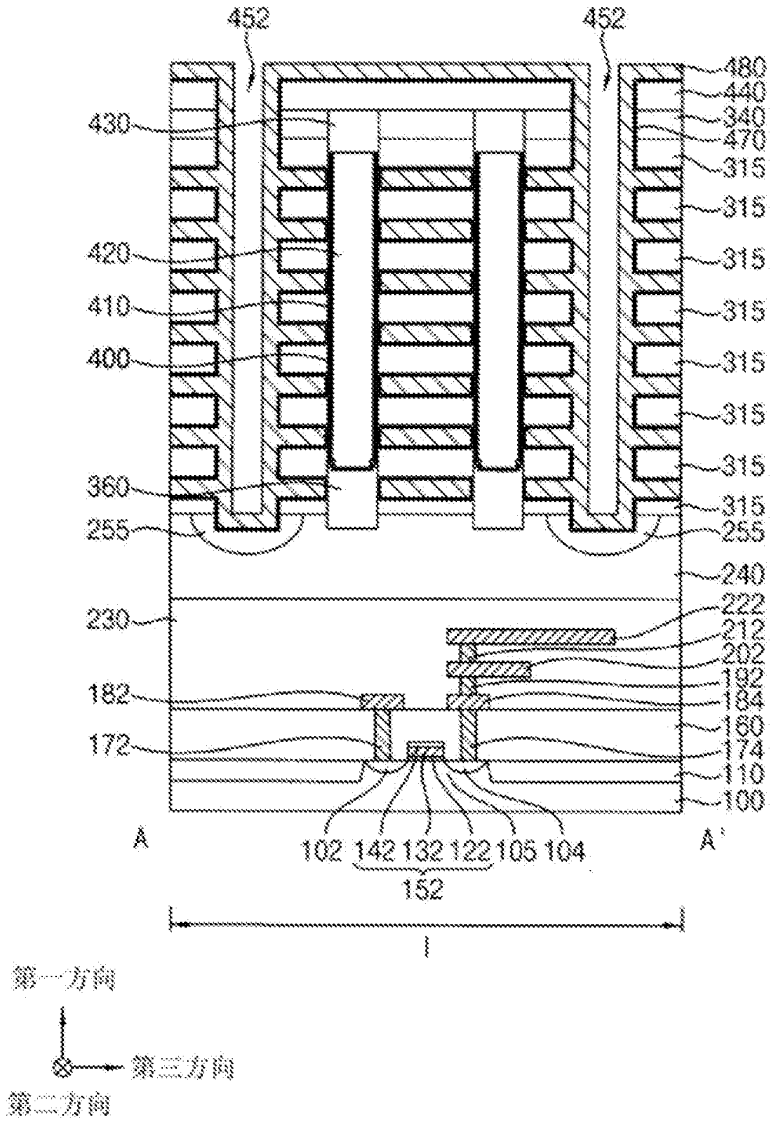


图23

Micron Ex. 1002, p. 544
Micron v. YMTC
IPR2025-00035

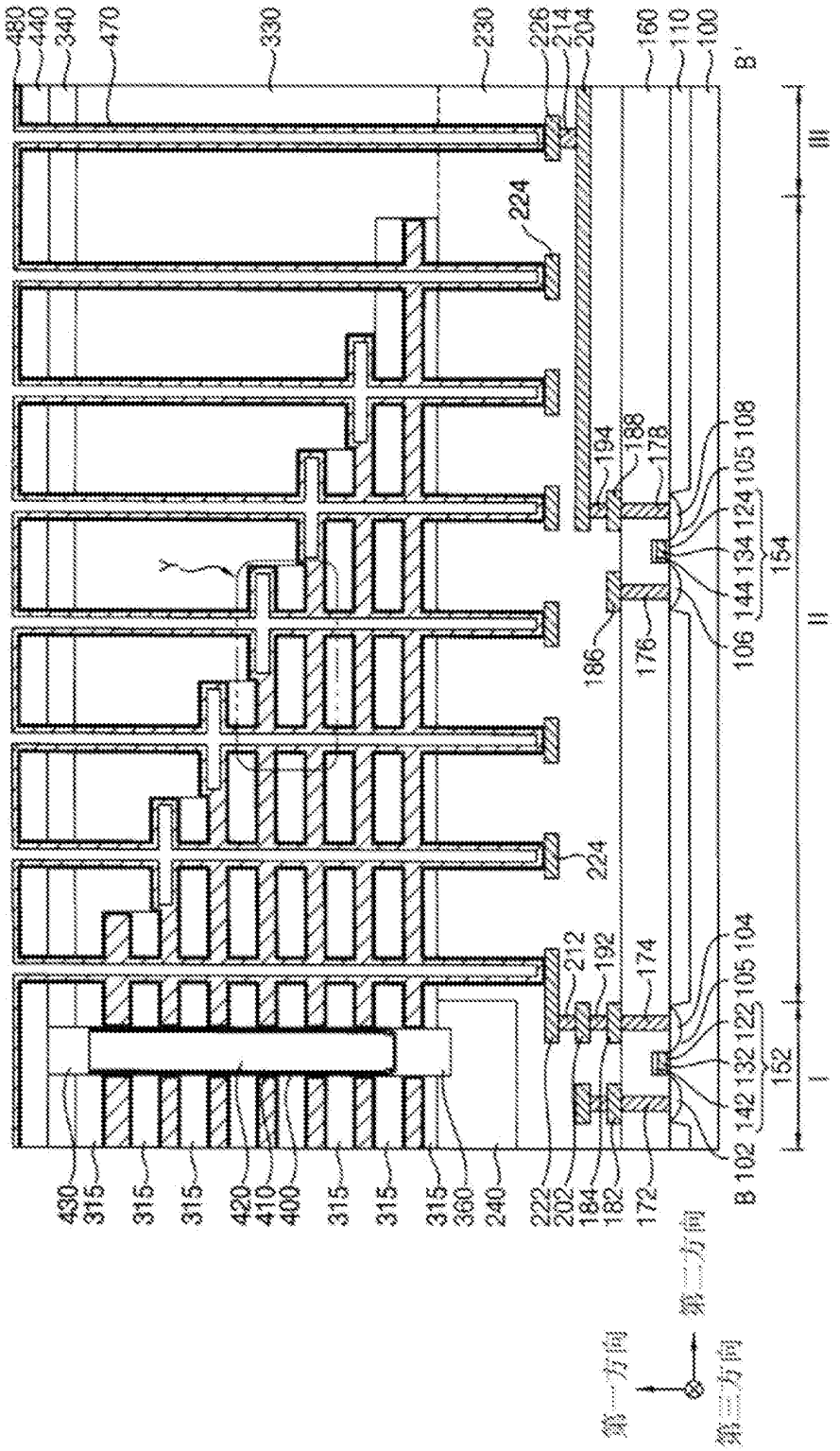


图24

Micron Ex. 1002, p. 545
Micron v. YMTC
IPR2025-00035

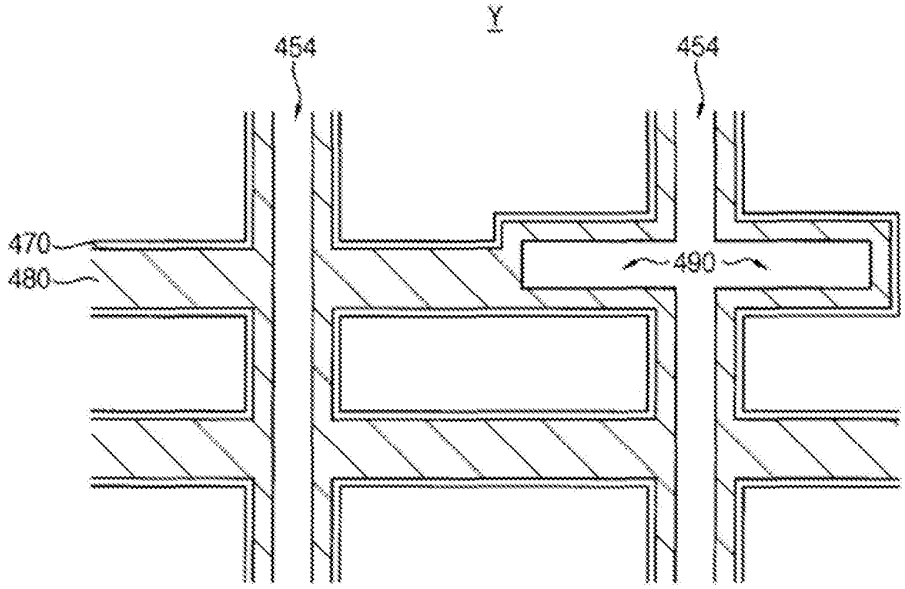


图25

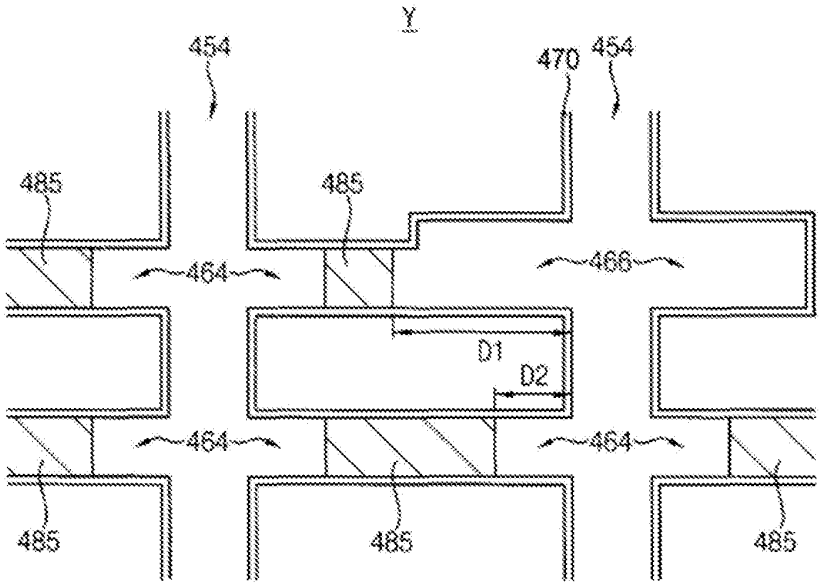


图26

Micron Ex. 1002, p. 546
Micron v. YMTC
IPR2025-00035

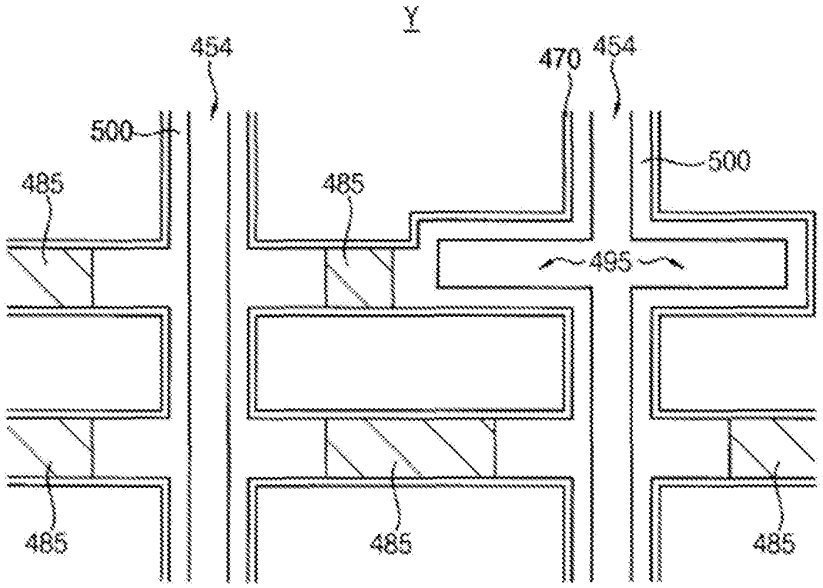


图27

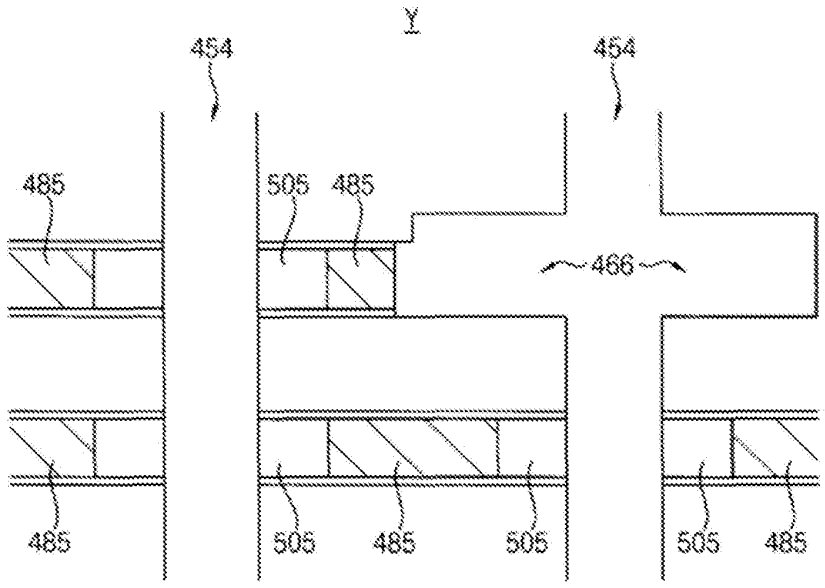


图28

Micron Ex. 1002, p. 547
Micron v. YMTC
IPR2025-00035

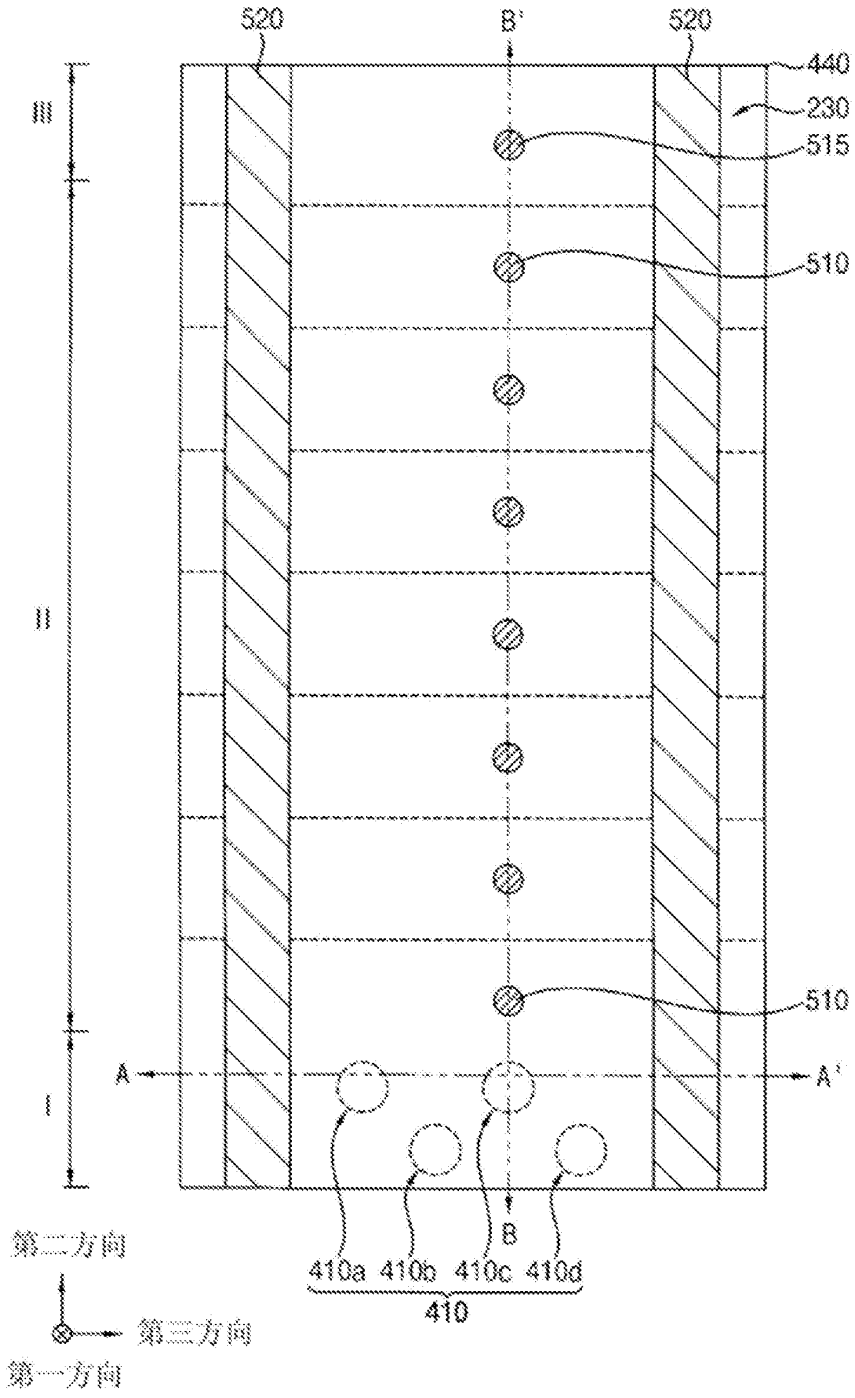


图29

Micron Ex. 1002, p. 548
Micron v. YMTC
IPR2025-00035

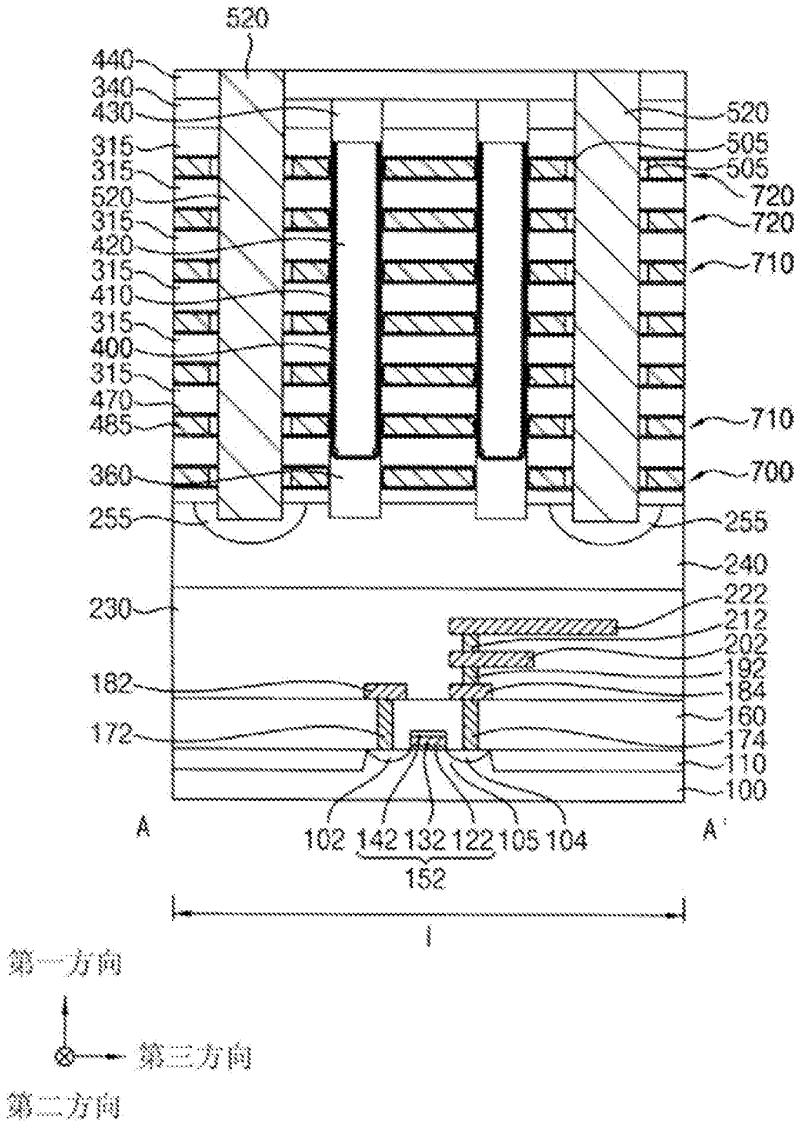


图30

Micron Ex. 1002, p. 549
Micron v. YMTC
IPR2025-00035

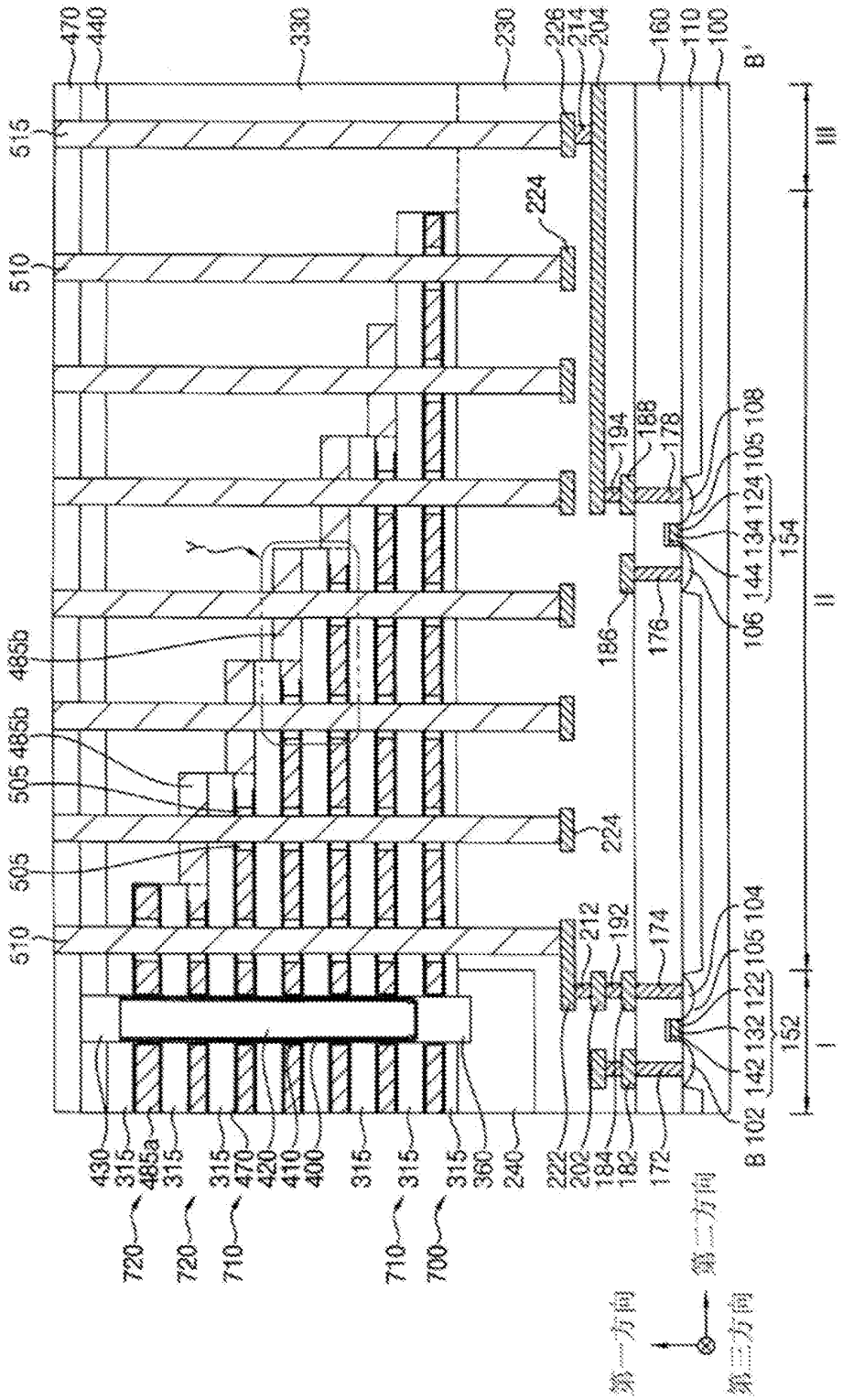


图31

Micron Ex. 1002, p. 550
Micron v. YMTC
IPR2025-00035

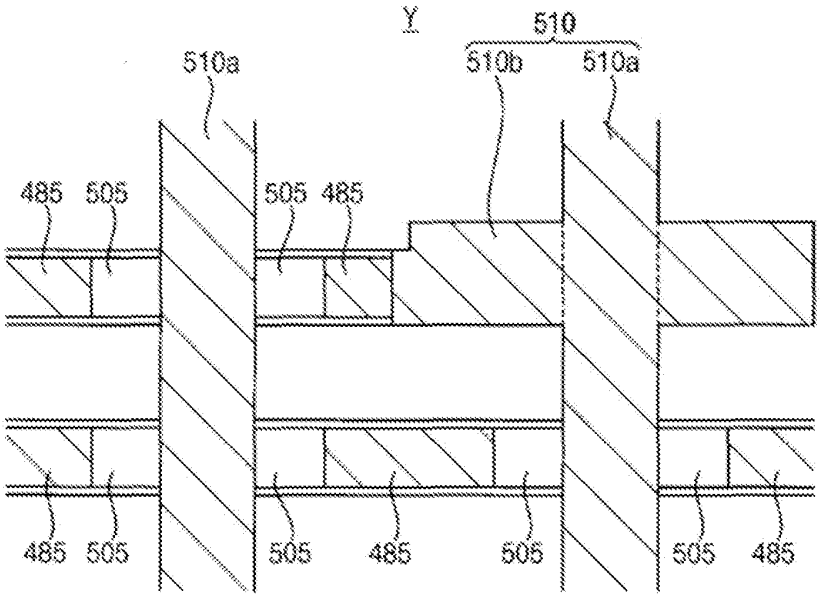


图32

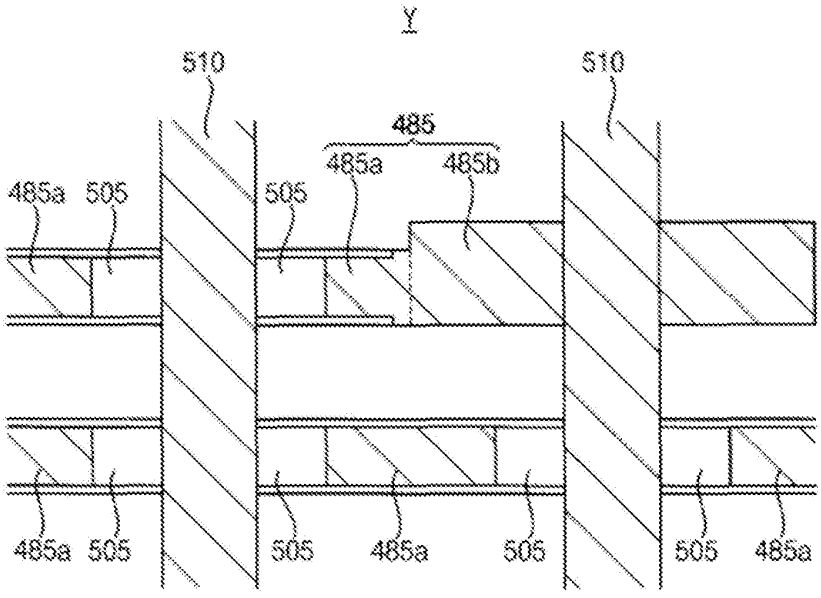


图33

Micron Ex. 1002, p. 551
Micron v. YMTC
IPR2025-00035

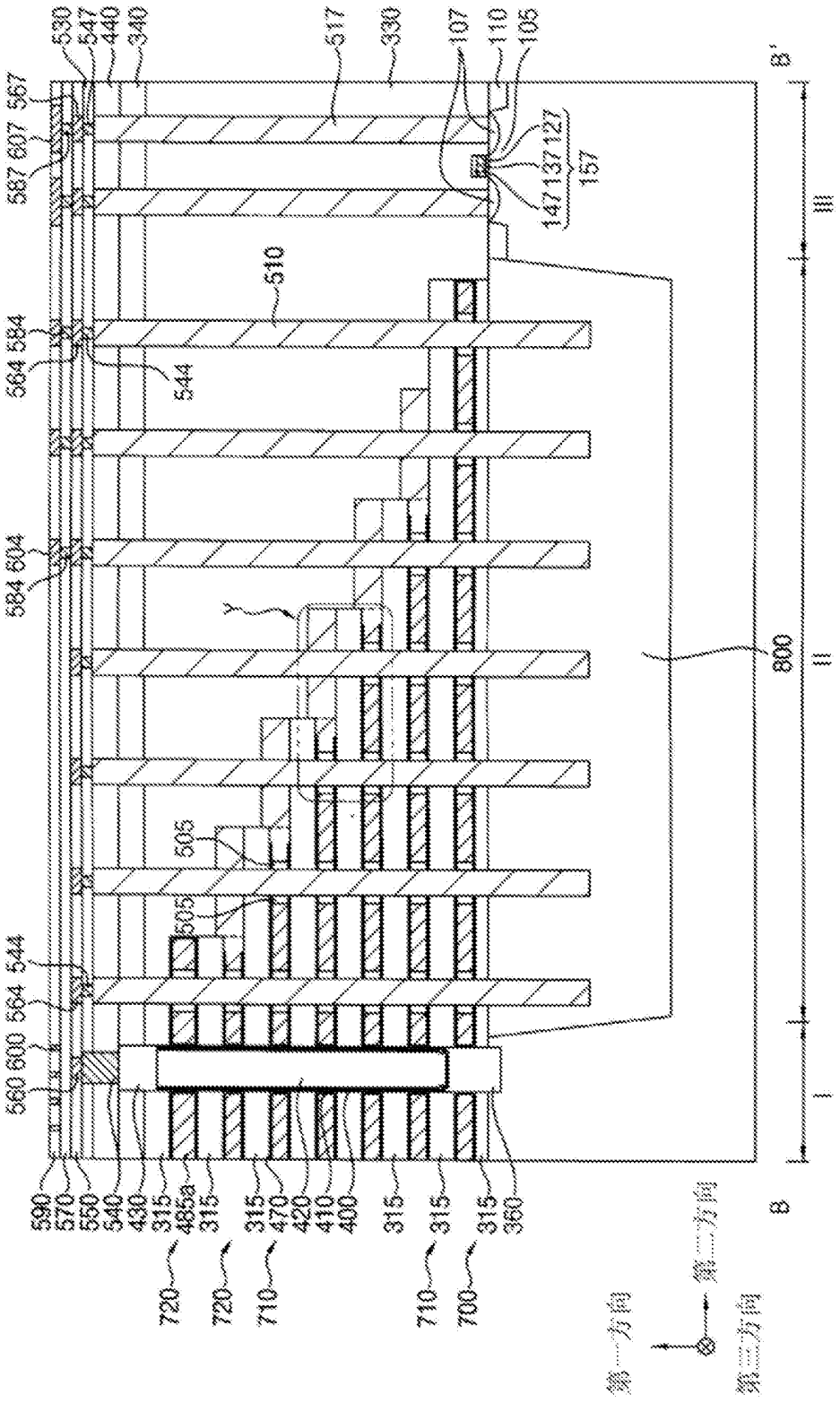


图34

Micron Ex. 1002, p. 552
Micron v. YMTC
IPR2025-00035

Espacenet

CN108428703A Three-dimensional memory and manufacturing method thereof

Applicants: YANGTZE MEMORY TECH CO LTD

Inventors: HUO ZONGLIANG,LIU JUN

Classifications:
IPC ***H01L27/11578;***

CPC **H01L27/11578 (CN);**

Priorities: CN201810341662A 2018-04-17

Application: CN108428703A·2018-04-17

Publication: CN108428703A·2018-08-21

Published as: CN108428703A

Three-dimensional memory and manufacturing method thereof

Abstract

The invention relates to the technical field of semiconductor manufacturing, in particular to a three-dimensional memory and a manufacturing method thereof. The three-dimensional memory comprises a substrate and a stacking structure located on the substrate, wherein the stacking structure comprises multiple layers of word lines sequentially arranged in the direction perpendicular to the substrate,the word lines comprise thickening parts protruding in the direction from the substrate to the stacking structure, and the thickening parts are located at the ends of the word lines; the ends of theword lines are connected with one ends of plugs, and the other ends of the plugs are used for being connected with an interconnection structure. According to the three-dimensional memory and the manufacturing method thereof, in the process that the ends of the word lines are connected with the plugs, word-line breakdown caused when the thicknesses of the word lines are over thin is avoided, and the manufacturing finished-product rate of the three-dimensional memory is increased.

Micron Ex. 1002, p. 553
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108428703 A
(43)申请公布日 2018.08.21

(21)申请号 201810341662.3

(22)申请日 2018.04.17

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 刘峻 霍宗亮

(74)专利代理机构 上海盈盛知识产权代理事务所(普通合伙) 31294
代理人 董琳 陈丽丽

(51)Int.Cl.
H01L 27/11578(2017.01)

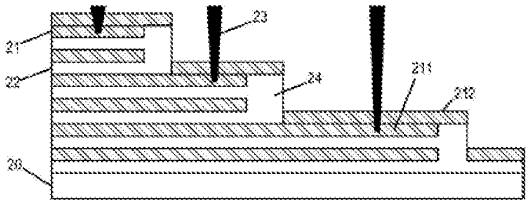
权利要求书2页 说明书6页 附图4页

(54)发明名称

三维存储器及其制造方法

(57)摘要

本发明涉及半导体制造技术领域，尤其涉及一种三维存储器及其制造方法。所述三维存储器，包括：衬底；位于所述衬底上的堆叠结构，所述堆叠结构包括沿垂直于所述衬底的方向依次排列的若干层字线，所述字线具有沿自所述衬底指向堆叠结构的方向突出的增厚部，所述增厚部位于所述字线的端部，所述字线的所述端部与插塞的一端连接，所述插塞的另一端用于与互连结构连接。本发明在实现字线的端部与插塞连接的过程中，不会因为字线厚度过薄而造成字线的击穿，提高了三维存储器制造的成品率。



CN 108428703 A

Micron Ex. 1002, p. 554
Micron v. YMTC
IPR2025-00035

1.一种三维存储器,其特征在于,包括:

衬底;

位于所述衬底上的堆叠结构,所述堆叠结构包括沿垂直于所述衬底的方向依次排列的若干层字线,所述字线具有沿自所述衬底指向堆叠结构的方向突出的增厚部,所述增厚部位于所述字线的端部,所述字线的所述端部与插塞的一端连接,所述插塞的另一端用于与互连结构连接。

2.如权利要求1所述的三维存储器,其特征在于,所述字线还具有厚度均匀的字线本体部,所述增厚部位于所述字线本体之上;

所述增厚部的边缘沿水平方向突出于所述字线本体部的边缘。

3.如权利要求1所述的三维存储器,其特征在于,所述堆叠结构中的所述字线沿垂直于所述衬底的方向依次排序;

相邻的两个第奇数层所述字线中,较靠近所述衬底的所述字线的边缘沿水平方向突出于另一层所述字线的边缘,与所述第奇数层的所述字线连接的插塞沿第一方向排列。

4.如权利要求3所述的三维存储器,其特征在于,相邻的两个第偶数层所述字线中,较靠近所述衬底的所述字线的边缘沿水平方向突出于所述另一层所述字线的边缘,与所述第偶数层的所述字线连接的插塞沿第二方向排列;所述第一方向与所述第二方向呈设定角。

5.如权利要求4所述的三维存储器,其特征在于,所述设定角为90度。

6.如权利要求1至5任一项所述的三维存储器,其特征在于,还包括:层间绝缘层,填充在相邻两层所述字线之间。

7.如权利要求1至5任一项所述的三维存储器,其特征在于,所述字线的材料包括钨。

8.如权利要求1至5任一项所述的三维存储器,其特征在于,所述三维存储器为3D NAND存储器。

9.一种三维存储器的制造方法,其特征在于,包括如下步骤:

提供一衬底;

在所述衬底上形成堆叠结构,所述堆叠结构包括沿垂直于所述衬底的方向依次排列的若干层字线,所述字线具有沿自所述衬底指向堆叠结构的方向突出的增厚部,所述增厚部位于所述字线的端部,所述字线的所述端部与插塞的一端连接,所述插塞的另一端用于与互连结构连接。

10.如权利要求9所述的三维存储器的制造方法,其特征在于,在所述衬底上形成堆叠结构的具体步骤包括:

形成堆叠层,所述堆叠层包括沿垂直于所述衬底的方向交替堆叠的层间绝缘层与牺牲层,所述堆叠层的端部形成有台阶结构,所述台阶结构包含若干层台阶;

去除位于所述台阶表面的所述层间绝缘层,暴露位于所述台阶的牺牲层;

沉积牺牲层材料于暴露的所述牺牲层表面,增加所述牺牲层在端部的厚度;去除所述堆叠层中的牺牲层,形成空隙区域;

填充导电层于所述空隙区域,形成所述字线。

11.如权利要求10所述的三维存储器的制造方法,其特征在于,去除位于所述台阶表面的所述层间绝缘层之前还包括如下步骤:

去除所述牺牲层的端部,在相邻层间绝缘层之间形成一凹槽;

Micron Ex. 1002, p. 555
Micron v. YMTC
IPR2025-00035

形成层间绝缘材料层，所述层间绝缘材料层至少填充在所述凹槽内。

12.如权利要求11所述的三维存储器的制造方法，其特征在于，沉积牺牲层材料于暴露的所述牺牲层表面的具体步骤包括：

沉积牺牲层材料于已暴露的牺牲层、层间绝缘层和层间绝缘材料层的所述台阶表面；

去除沉积于所述台阶的侧墙表面的牺牲层材料。

13.如权利要求12所述的三维存储器的制造方法，其特征在于，所述堆叠结构中的所述字线沿垂直于所述衬底的方向依次排序；

相邻的两个第奇数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于另一层所述字线的边缘，与所述第奇数层的所述字线连接的插塞沿第一方向排列。

14.如权利要求13所述的三维存储器的制造方法，其特征在于，相邻的两个第偶数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于所述另一层所述字线的边缘，与所述第偶数层的所述字线连接的插塞沿第二方向排列；

所述第一方向与所述第二方向呈设定角。

15.如权利要求14所述的三维存储器的制造方法，其特征在于，所述设定角为90度。

16.根据权利要求9-15中任一项所述的三维存储器的制造方法，其特征在于，所述三维存储器为3D NAND存储器。

Micron Ex. 1002, p. 556
Micron v. YMTC
IPR2025-00035

三维存储器及其制造方法

技术领域

[0001] 本发明涉及半导体制造技术领域，尤其涉及一种三维存储器及其制造方法。

背景技术

[0002] 随着技术的发展，半导体工业不断寻求新的方式生产，以使得存储器装置中的每一存储器裸片具有更多数目的存储器单元。在非易失性存储器中，例如NAND存储器，增加存储器密度的一种方式是通过使用垂直存储器阵列，即3D NAND(三维NAND)存储器；随着集成度的越来越高，3D NAND存储器已经从32层发展到64层，甚至更高的层数。

[0003] CTF(Charge Trap Flash，电荷捕获闪存)型3D NAND存储器是目前较为前沿、且极具发展潜力的存储器技术。附图1A是现有技术中理想状态下的CTF型3D NAND存储器的部分结构示意图。如图1A所示，3D NAND存储器包括由字线(Word Line，WL)11与层间绝缘层12交替堆叠的堆叠层结构，台阶插塞(Contact)13在该堆叠层结构的台阶区域实现字线11与互连结构(未标识)的电连接，以进行相应程序的读写。

[0004] 附图1B是现有技术中实际状态下的CTF 3D NAND存储器的部分结构示意图。在3D NAND存储器的实际制造过程中，为了实现与堆叠层结构中的所有字线11的良好电连接，所述存储器中的所述台阶插塞13应具有不同的深度。理想的连接方式如图1B中的A区域所示，即所述台阶插塞13与所述字线11具有合适的连接深度。然而，由于现有技术中字线11的厚度较薄，存在以下两个方面的问题：一方面是，刻蚀过浅可能会导致字线与插塞电接触不良；另一方面，在刻蚀过程中极易由于过刻蚀而造成某一层字线和/或与其相邻的层间绝缘层12的击穿，如图1B中的B区域所示，影响整个存储器的性能，严重时甚至导致存储器的报废。

[0005] 因此，如何避免3D NAND存储器中的字线台阶区域在刻蚀形成插塞的过程中发生击穿现象，确保3D NAND存储器产品的性能，是目前亟待解决的技术问题。

发明内容

[0006] 本发明提供一种三维存储器及其制造方法，用以解决现有的三维存储器在字线台阶区域刻蚀形成插塞的过程中易发生字线击穿的问题，以确保三维存储器产品的性能。

[0007] 为了解决上述问题，本发明提供了一种三维存储器，包括：

[0008] 衬底；

[0009] 位于所述衬底上的堆叠结构，所述堆叠结构包括沿垂直于所述衬底的方向依次排列的若干层字线，所述字线具有沿自所述衬底指向堆叠结构的方向突出的增厚部，所述增厚部位于所述字线的端部，所述字线的所述端部与插塞的一端连接，所述插塞的另一端用于与互连结构连接。

[0010] 优选的，所述字线还具有厚度均匀的字线本体部，所述增厚部位于所述字线本体之上；

[0011] 所述增厚部的边缘沿水平方向突出于所述字线本体部的边缘。

Micron Ex. 1002, p. 557
Micron v. YMTC
IPR2025-00035

[0012] 优选的，所述堆叠结构中的所述字线沿垂直于所述衬底的方向依次排序；

[0013] 相邻的两个第奇数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于另一层所述字线的边缘，与所述第奇数层的所述字线连接的插塞沿第一方向排列。

[0014] 优选的，相邻的两个第偶数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于所述另一层所述字线的边缘，与所述第偶数层的所述字线连接的插塞沿第二方向排列；

[0015] 所述第一方向与所述第二方向呈设定角。

[0016] 优选的，所述设定角为90度。

[0017] 优选的，还包括：层间绝缘层，填充在相邻两层所述字线之间。

[0018] 优选的，所述字线的材料包括钨。

[0019] 优选的，所述三维存储器为3D NAND存储器。

[0020] 为了解决上述问题，本发明还提供了一种三维存储器的制造方法，包括如下步骤：

[0021] 提供一衬底；

[0022] 在所述衬底上形成堆叠结构，所述堆叠结构包括沿垂直于所述衬底的方向依次排列的若干层字线，所述字线具有沿自所述衬底指向堆叠结构的方向突出的增厚部，所述增厚部位于所述字线的端部，所述字线的所述端部与插塞的一端连接，所述插塞的另一端用于与互连结构连接。

[0023] 优选的，在所述衬底上形成堆叠结构的具体步骤包括：

[0024] 形成堆叠层，所述堆叠层包括沿垂直于所述衬底的方向交替堆叠的层间绝缘层与牺牲层，所述堆叠层的端部形成有台阶结构，所述台阶结构包含若干层台阶；

[0025] 去除位于所述台阶表面的所述层间绝缘层，暴露位于所述台阶的牺牲层；

[0026] 沉积牺牲层材料于暴露的所述牺牲层表面，增加所述牺牲层在端部的厚度；

[0027] 去除所述堆叠层中的牺牲层，形成空隙区域；

[0028] 填充导电层于所述空隙区域，形成所述字线。

[0029] 优选的，去除位于所述台阶表面的所述层间绝缘层之前还包括如下步骤：

[0030] 去除所述牺牲层的端部，在相邻层间绝缘层之间形成一凹槽；

[0031] 形成层间绝缘材料层，所述层间绝缘材料层至少填充在所述凹槽内。

[0032] 优选的，沉积牺牲层材料于暴露的所述牺牲层表面的具体步骤包括：

[0033] 沉积牺牲层材料于已暴露的牺牲层、层间绝缘层和层间绝缘材料层的所述台阶表面；

[0034] 去除沉积于所述台阶的侧墙表面的牺牲层材料。

[0035] 优选的，所述堆叠结构中的所述字线沿垂直于所述衬底的方向依次排序；

[0036] 相邻的两个第奇数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于另一层所述字线的边缘，与所述第奇数层的所述字线连接的插塞沿第一方向排列。

[0037] 优选的，相邻的两个第偶数层所述字线中，较靠近所述衬底的所述字线的边缘沿水平方向突出于所述另一层所述字线的边缘，与所述第偶数层的所述字线连接的插塞沿第二方向排列；

[0038] 所述第一方向与所述第二方向呈设定角。

[0039] 优选的，所述设定角为90度。

Micron Ex. 1002, p. 558
Micron v. YMTC
IPR2025-00035

[0040] 优选的，所述三维存储器为3D NAND存储器。

[0041] 本发明提供的三维存储器及其制造方法，通过在字线的端部设置沿自衬底指向堆叠结构的方向突出的增厚部，使得在实现所述字线的所述端部与插塞连接的过程中，不会因为字线厚度过薄而造成字线的击穿，提高了三维存储器制造的成品率，也确保了三维存储器产品的性能。

附图说明

[0042] 附图1A是现有技术中理想状态下的CTF 3D NAND存储器的部分结构示意图；

[0043] 附图1B是现有技术中实际状态下的CTF 3D NAND存储器的部分结构示意图；

[0044] 附图2是本发明具体实施方式中三维存储器的部分结构示意图；

[0045] 附图3是本发明具体实施方式中三维存储器的制造方法流程图；

[0046] 附图4A-4G是本发明具体实施方式中三维存储器在不同制造阶段的截面图。

具体实施方式

[0047] 下面结合附图对本发明提供的三维存储器及其制造方法的具体实施方式做详细说明。

[0048] 本具体实施方式提供了一种三维存储器，附图2是本发明具体实施方式中三维存储器的部分结构示意图。本具体实施方式中所述的三维存储器，优选为3D NAND存储器，更优选为CTF 3D NAND存储器。

[0049] 如图2所示，本具体实施方式提供的三维存储器，包括：衬底20和位于所述衬底20上的堆叠结构。所述堆叠结构包括沿垂直于所述衬底20的方向依次排列的若干层字线21，所述字线21具有沿自所述衬底20指向堆叠结构的方向突出的增厚部212，所述增厚部212位于所述字线21的端部，所述字线21的所述端部与插塞23的一端连接，所述插塞23的另一端用于与互连结构连接。

[0050] 所述三维存储器包括多个呈阵列排布的多个存储单元(图中未示出)，所述存储单元用于信息的存储。作为电压信号输入线的位线(Bit Line)将电压信号通过所述插塞23传输至相应的字线21，以控制与所述字线21电连接的存储单元是否选通。所述字线21的材料为导电材料，优选为钨。

[0051] 在本具体实施方式中，通过在字线的端部设置增厚部，使得在对所述字线21进行刻蚀以实现其与所述插塞23电连接的过程中，一方面由于增厚部212的设置不会造成所述字线21的击穿，另一方面也简化了三维存储器制造工艺的难度、便于实现所述插塞23与所述字线21的良好电连接。

[0052] 优选的，所述字线21还具有厚度均匀的字线本体部211，所述增厚部212位于所述字线本体部211之上；所述增厚部212的边缘沿水平方向突出于所述字线本体部211的边缘。具体来说，所述字线本体部211的厚度优选为15nm～35nm，所述字线本体部211与所述增厚部212的总厚度为20nm～60nm。

[0053] 其中，所述字线本体部211与所述增厚部212的材料优选为相同材料，以简化所述三维存储器的制造工艺。通过将所述增厚部212的边缘沿水平方向突出于所述字线本体部211的边缘，增大了每一层字线21的整体长度，进而增大了所述字线21用于刻蚀的窗口范

Micron Ex. 1002, p. 559
Micron v. YMTC
IPR2025-00035

围，降低了对准难度，进一步提高了三维存储器的生产效率和成品率。

[0054] 优选的，所述三维存储器还包括层间绝缘层22，填充在相邻两层所述字线21之间。即所述堆叠结构由所述字线21与层间绝缘层22沿垂直于所述衬底20的方向交替堆叠构成。所述堆叠结构的堆叠层数可以是32层、64层或者其他层数，本领域技术人员可以根据实际需要进行设定。一般来说，堆叠层数越多，所述三维存储器的集成度越高。

[0055] 所述堆叠结构的端部形成有阶梯结构，所述阶梯结构包括若干层阶梯。在所述堆叠结构中，相邻的一层层绝缘层22与一层字线21组成一个绝缘/字线层对。所述阶梯结构包括沿垂直于所述衬底20的方向排列的若干层阶梯，每层阶梯具有一个绝缘/字线层对或多个绝缘/字线层对，且下层阶梯中的绝缘/字线层对沿水平方向突出于上层阶梯中的绝缘/字线层对。相邻阶梯之间通过由绝缘材料构成的侧墙24相互隔离。所述侧墙24还用于支撑所述增厚部212突出于所述字线本体部211的部分，同时实现相邻阶梯之间的电性绝缘。

[0056] 为了实现各条字线与位线的连接，且避免相邻插塞之间的电信号干扰，优选的，所述堆叠结构中的所述字线21沿垂直于所述衬底20的方向依次排序；相邻的两个第奇数层所述字线21中，较靠近所述衬底20的所述字线21的边缘沿水平方向突出于另一层所述字线21的边缘，与所述第奇数层的所述字线21连接的插塞沿第一方向排列。

[0057] 更优选的，相邻的两个第偶数层所述字线21中，较靠近所述衬底20的所述字线21的边缘沿水平方向突出于所述另一层所述字线21的边缘，与所述第偶数层的所述字线21连接的插塞沿第二方向排列；所述第一方向与所述第二方向呈设定角。为了最大程度的减少分别与相邻两层字线连接的插塞之间的相互干扰，优选的，所述设定角为90度。

[0058] 具体来说，与每一所述第奇数层的所述字线连接的插塞均与所述衬底20垂直，与多个所述第奇数层的所述字线连接的多个插塞在与所述衬底20平行的平面内沿第一方向延伸；与每一所述第偶数层的所述字线连接的插塞也均与所述衬底20垂直，与多个所述第偶数层的所述字线连接的多个插塞在与所述衬底20平行的平面内沿第二方向延伸。所述第一方向与所述第二方向呈设定角，以避免对相邻层字线之间的信号干扰。

[0059] 为了解决上述问题，本具体实施方式还提供了一种三维存储器的制造方法，附图3是本发明具体实施方式中三维存储器的制造方法流程图，附图4A-4G是本发明具体实施方式中三维存储器在不同制造阶段的截面图，本具体实施方式形成的三维存储器的结构参见图2。本具体实施方式所述的三维存储器优选为3D NAND存储器。如图3、4A-4G所示，本具体实施方式提供的三维存储器的制造方法，包括如下步骤：

[0060] 步骤S31，提供一衬底20。所述衬底20可以是Si衬底、Ge衬底、SiGe衬底、SOI(Silicon On Insulator，绝缘体上硅)或GOI(Germanium On Insulator，绝缘体上锗)等。在本具体实施方式中，所述衬底20优选为硅衬底，用于支撑在其上的器件结构。

[0061] 步骤S32，在所述衬底20上形成堆叠结构，所述堆叠结构包括沿垂直于所述衬底20的方向依次排列的若干层字线21，所述字线21具有沿自所述衬底20指向堆叠结构的方向突出的增厚部212，所述增厚部212位于所述字线21的端部，所述字线21的所述端部与插塞23的一端连接，所述插塞23的另一端用于与互连结构连接。

[0062] 具体来说，在所述衬底20上形成堆叠结构的具体步骤包括：

[0063] 如图4A所示，形成堆叠层，所述堆叠层包括沿垂直于所述衬底20的方向交替堆叠的层间绝缘层22与牺牲层41，所述堆叠层的端部形成有台阶结构，所述台阶结构包含若干

Micron Ex. 1002, p. 560
Micron v. YMTC
IPR2025-00035

层台阶。

[0064] 在所述堆叠层中，相邻的一层层绝缘层22与一层牺牲层41组成绝缘/牺牲层对。所述台阶结构包括沿垂直于所述衬底20的方向堆叠的若干层台阶，每层台阶具有一个绝缘/牺牲层对或多个绝缘/牺牲层对，且下层台阶中的绝缘/牺牲层对沿水平方向突出于上层台阶中的绝缘/牺牲层对。所述层间绝缘层22的材料可以是但不限于氧化物，所述牺牲层41的材料可以是但不限于氮化物。

[0065] 如图4D所示，去除位于所述台阶表面的所述层间绝缘层22，暴露位于所述台阶的牺牲层41。其中，去除位于所述台阶表面的所述层间绝缘层22的具体方法，可以是湿法刻蚀，也可以是干法刻蚀。

[0066] 如图4F所示，沉积牺牲层材料于暴露的所述牺牲层41表面，增加所述牺牲层41在端部的厚度。其中，可以采用化学气相沉积、物理气相沉积或原子层沉积等方法沉积牺牲层材料于暴露的所述牺牲层41表面。

[0067] 本步骤沉积的牺牲层材料用于形成后续的增厚部212，所以，沉积的牺牲层材料的具体厚度不宜过大，否则会造成所述字线的整体阻值的增大，影响电信号的传输；沉积的牺牲层材料的具体厚度也不宜过小，否则不能有效的防止所述字线的击穿。因此，优选的，沉积的牺牲层材料的厚度为5nm～25nm；沉积牺牲层材料之后，所述牺牲层41在端部的总厚度为20nm～60nm。

[0068] 去除所述堆叠层中的牺牲层，形成空隙区域。

[0069] 如图4G所示，填充导电层于所述空隙区域，形成所述字线21。其中，所述导电层的材料优选为钨。

[0070] 为了不改变插塞的位置，能够继续使用现有的工艺窗口进行插塞沟道的刻蚀，优选的，去除位于所述台阶表面的所述层间绝缘层22之前还包括如下步骤：

[0071] a)如图4B所示，去除所述牺牲层41的端部，在相邻层间绝缘层22之间形成一凹槽43。所述凹槽43的长度L本领域技术人员可以根据实际需要进行设置，所述凹槽43的深度D优选为和与其对应的所述牺牲层41的厚度相等，以进一步提高所述三维存储器的电学性能。

[0072] b)如图4C所示，形成层间绝缘材料层，所述层间绝缘材料层至少填充在所述凹槽43内。即通过在所述凹槽43内沉积绝缘材料形成层间绝缘层。为了避免各层字线之间的信号干扰，优选的，所述层间绝缘材料层填充在所述凹槽43内以及所述台阶表面，形成侧墙24。

[0073] 优选的，沉积牺牲层材料于暴露的所述牺牲层表面的具体步骤包括：

[0074] 如图4E所示，沉积牺牲层材料于已暴露的牺牲层41、层间绝缘层22和层间绝缘材料层的所述台阶表面；

[0075] 如图4F所示，去除沉积于所述台阶的侧墙24表面的牺牲层材料。具体来说，由于在沉积牺牲层材料于所述台阶表面时，所述牺牲层材料会覆盖所述侧墙24的水平面241和竖直面242。去除沉积于所述台阶的侧墙24表面的牺牲层材料主要是，去除沉积于所述台阶的侧墙24的竖直面242上的牺牲层材料，保留沉积于所述侧墙24的水平面241上的牺牲层材料，使得本步骤沉积的牺牲层材料的边缘沿水平方向突出于所述牺牲层41的边缘。

[0076] 通过去除沉积于所述台阶的侧墙24表面的牺牲层材料，来隔断相邻台阶之间的牺

Micron Ex. 1002, p. 561
Micron v. YMTC
IPR2025-00035

牲层连接，避免后续形成的各层字线之间存在信号干扰。

[0077] 优选的，所述堆叠结构中的所述字线沿垂直于所述衬底的方向依次排序；

[0078] 相邻的两个第奇数层所述字线21中，较靠近所述衬底20的所述字线21的边缘沿水平方向突出于另一层所述字线21的边缘，与所述第奇数层的所述字线21连接的插塞23沿第一方向排列。

[0079] 更优选的，相邻的两个第偶数层所述字线21中，较靠近所述衬底20的所述字线21的边缘沿水平方向突出于所述另一层所述字线21的边缘，与所述第偶数层的所述字线21连接的插塞23沿第二方向排列；所述第一方向与所述第二方向呈设定角。优选的，所述设定角为90度。

[0080] 具体来说，与每一所述第奇数层的所述字线连接的插塞均与所述衬底20垂直，与多个所述第奇数层的所述字线连接的多个插塞在与所述衬底20平行的平面内沿第一方向延伸；与每一所述第偶数层的所述字线连接的插塞也均与所述衬底20垂直，与多个所述第偶数层的所述字线连接的多个插塞在与所述衬底20平行的平面内沿第二方向延伸。所述第一方向与所述第二方向呈设定角，以避免对相邻层字线之间的信号干扰。

[0081] 本具体实施方式提供的三维存储器及其制造方法，通过在字线的端部设置沿自衬底指向堆叠结构的方向突出的增厚部，使得在实现所述字线的所述端部与插塞连接的过程中，不会因为字线厚度过薄而造成字线的击穿，提高了三维存储器制造的成品率，也确保了三维存储器产品的性能。

[0082] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

Micron Ex. 1002, p. 562
Micron v. YMTC
IPR2025-00035

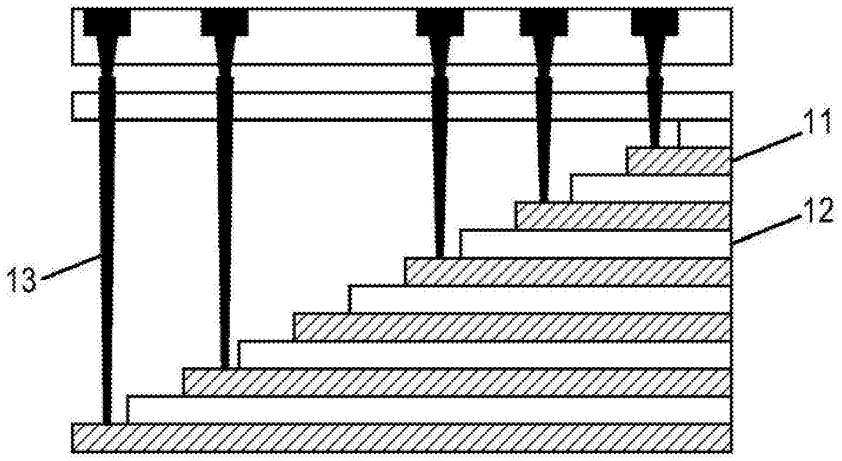


图1A

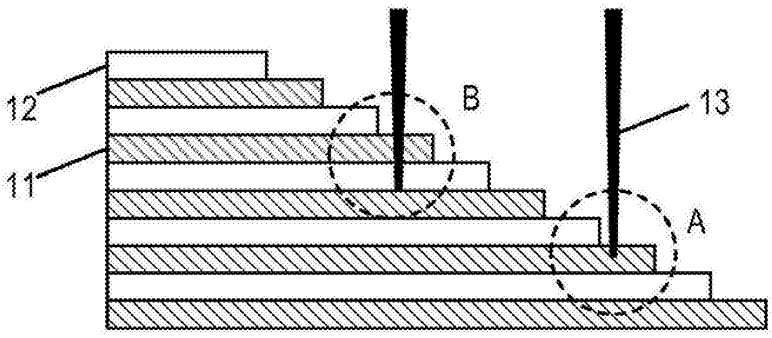


图1B

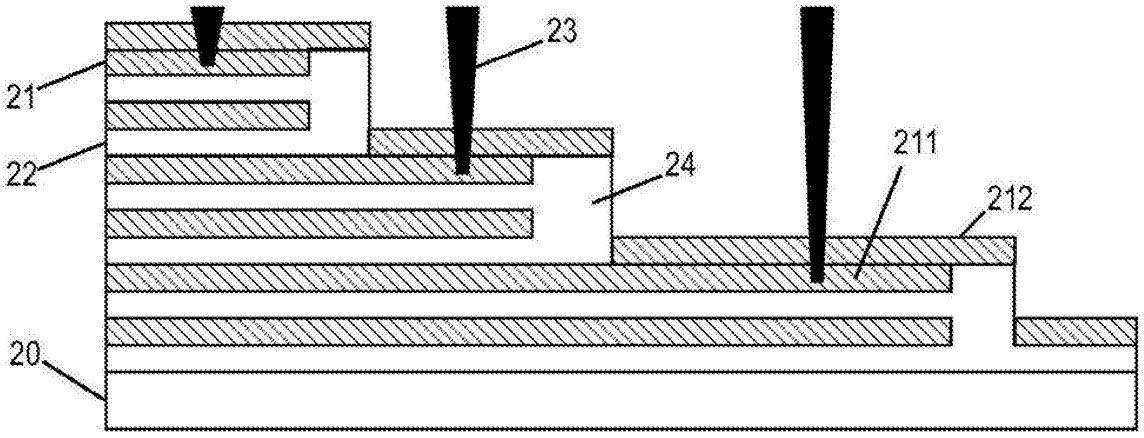


图2

Micron Ex. 1002, p. 563
Micron v. YMTC
IPR2025-00035

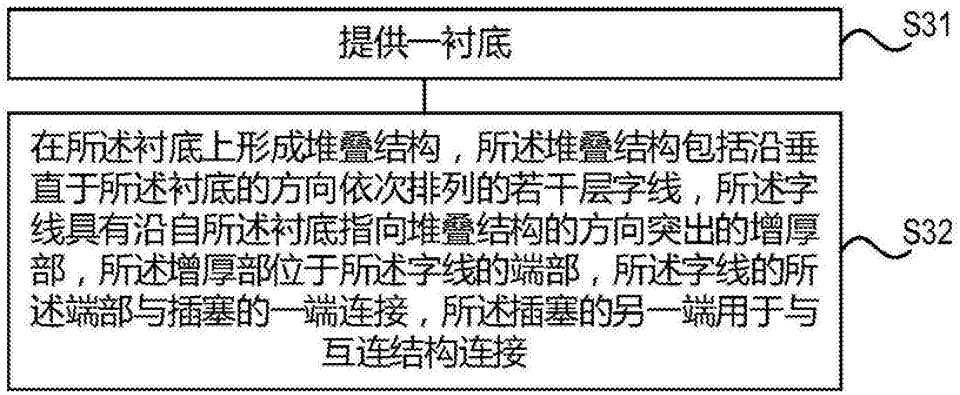


图3

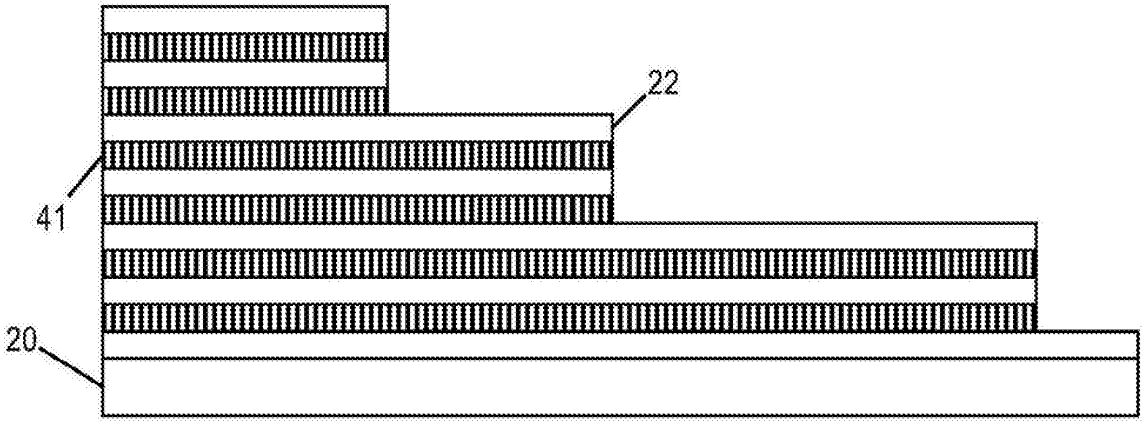


图4A

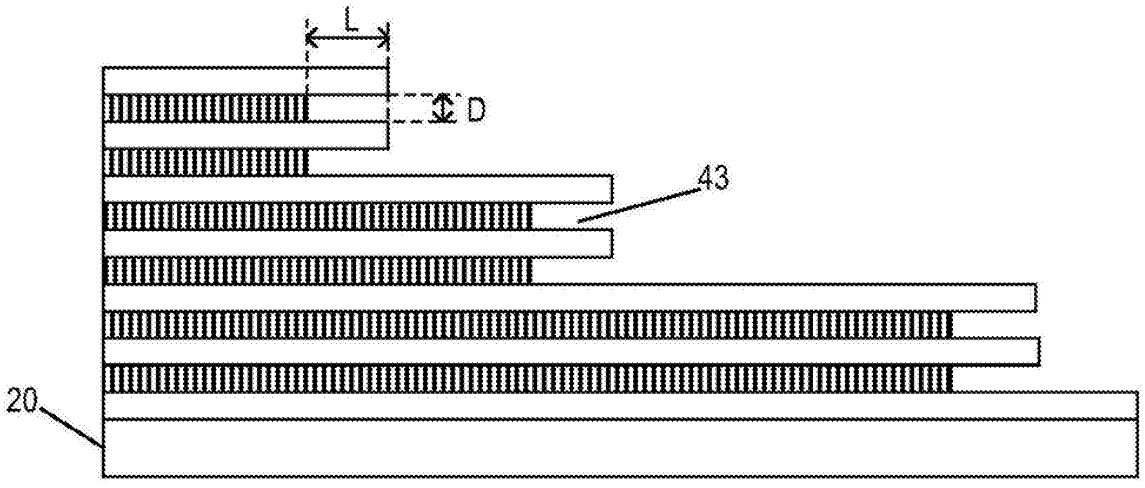


图4B

Micron Ex. 1002, p. 564
Micron v. YMTC
IPR2025-00035

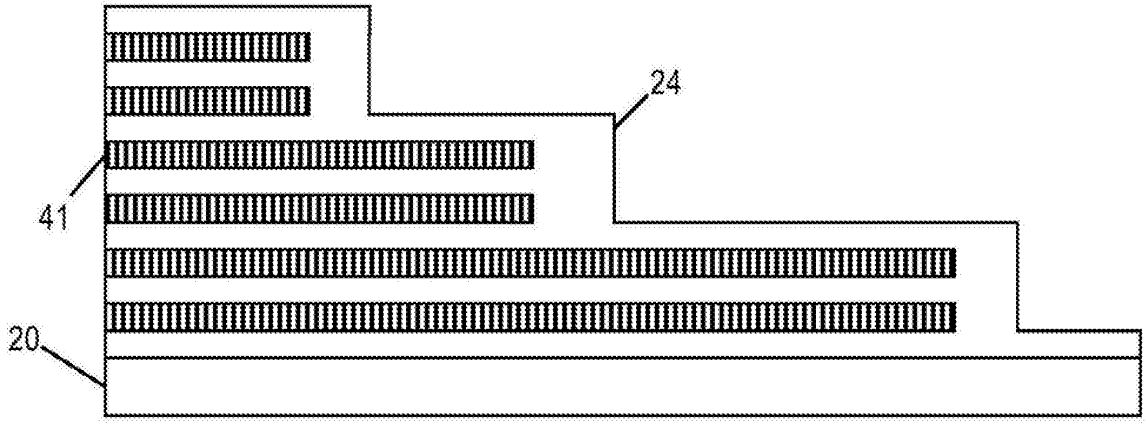


图4C

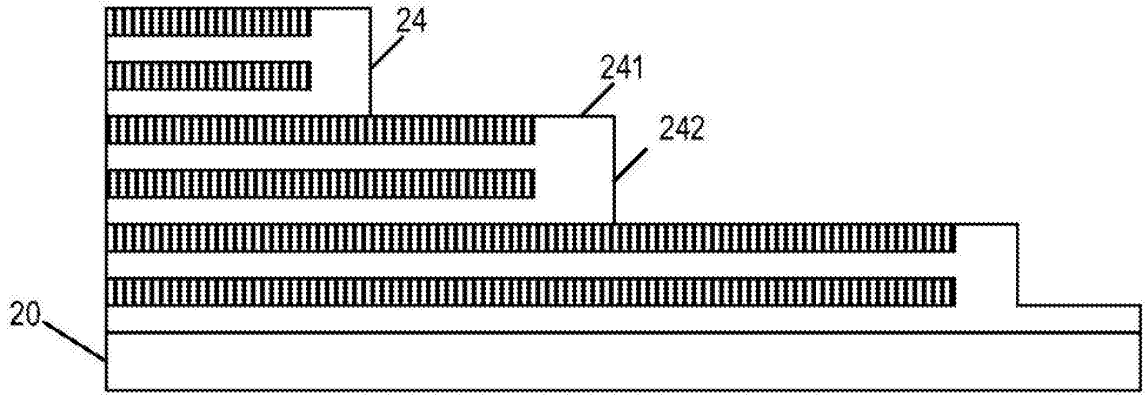


图4D

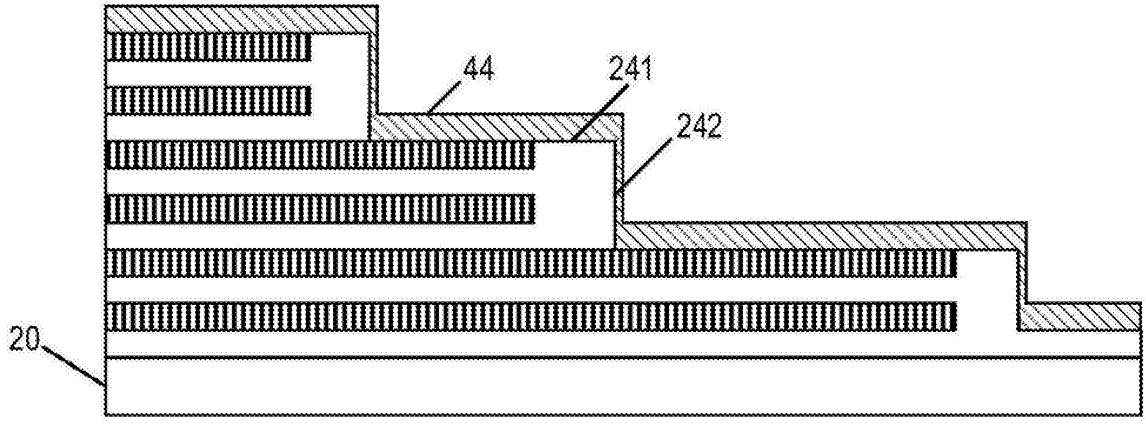


图4E

Micron Ex. 1002, p. 565
Micron v. YMTC
IPR2025-00035

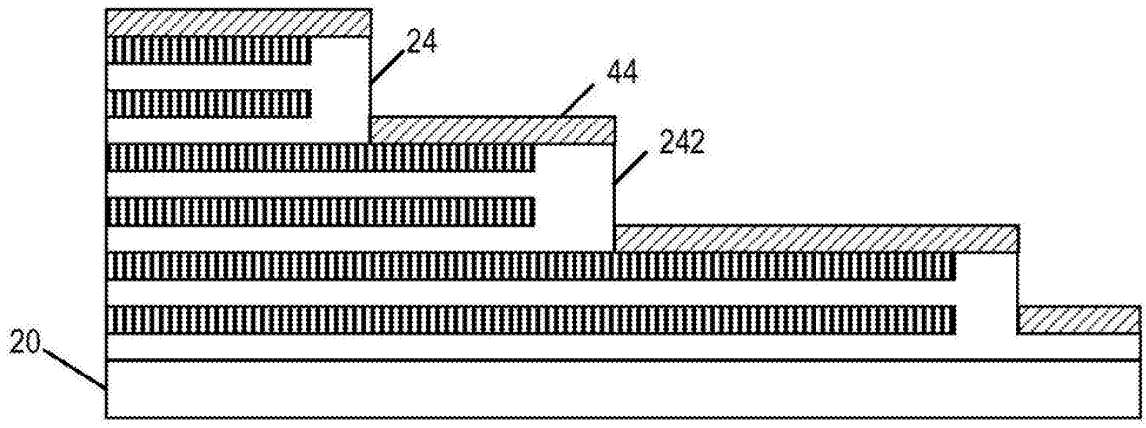


图4F

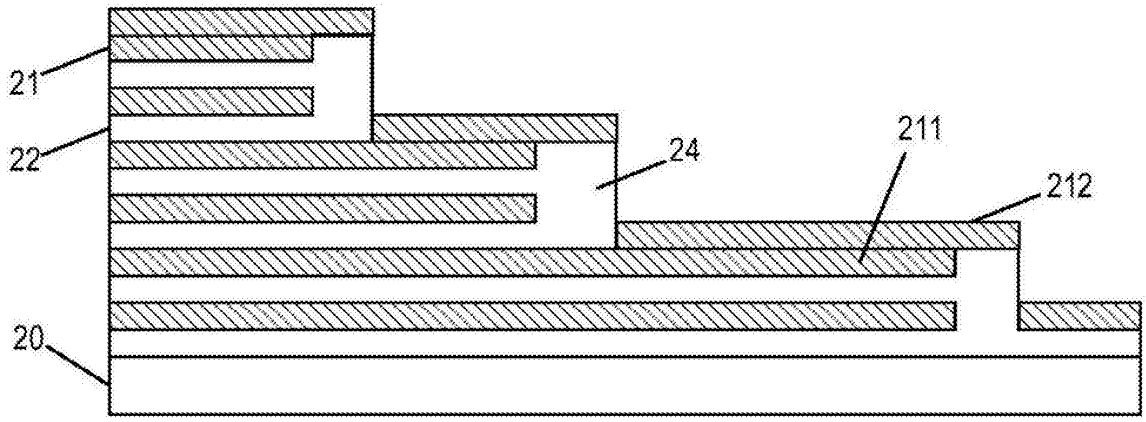


图4G

Micron Ex. 1002, p. 566
Micron v. YMTC
IPR2025-00035

Espacenet

CN108231786A VERTICAL SEMICONDUCTOR DEVICE

Applicants: SAMSUNG ELECTRONICS CO LTD

Inventors: CHANG-SEOK KANG,CHANG-SUP LEE,JO-YOUNG PARK,SE-MEE JANG

Classifications:
IPC ***H01L27/11551; H01L27/11578;***

CPC **H01L27/11548 (EP,US); H01L27/11551 (CN); H01L27/11575 (EP,US); H01L27/11578 (CN);** H01L21/76816 (US); H01L21/76877 (US); H01L23/5226 (US); H01L23/528 (US); H01L27/11524 (US); H01L27/11556 (EP,US); H01L27/11582 (EP,US);

Priorities: KR20160170416A 2016-12-14

Application: CN108231786A·2017-09-01

Publication: CN108231786A·2018-06-29

Published as: CN108231786A;**KR20180068587A; US10297543B2; US10658374B2; US2018166380A1; US2019279999A1; US2020227430A1**

VERTICAL SEMICONDUCTOR DEVICE

Abstract

Provided is a vertical semiconductor device, which includes a plurality of interlayer insulating layer patterns spaced apart from each other on a substrate and stacked in a vertical direction; a plurality of conductive layer patterns arranged between the interlayer insulating layer patterns and each having a rounded end, wherein at least one of the conductive layer patterns is configured to extendfrom one side wall of each of the interlayer insulating layer patterns and include a pad region, and the pad region includes a raised pad portion configured to protrude from a surface of the at leastone conductive layer pattern; an upper interlayer insulating layer to cover the interlayer insulating layer patterns and the conductive layer patterns; and a contact plug configured to penetrate theupper interlayer insulating layer to be in contact with the raised pad portion of the at least one conductive layer pattern.

Micron Ex. 1002, p. 567
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108231786 A
(43)申请公布日 2018.06.29

(21)申请号 201710779508.X

(22)申请日 2017.09.01

(30)优先权数据
10-2016-0170416 2016.12.14 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 朴照英 姜昌锡 李昌燮 张世美

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 刘灿强 韩明花

(51)Int.Cl.
H01L 27/11551(2017.01)
H01L 27/11578(2017.01)

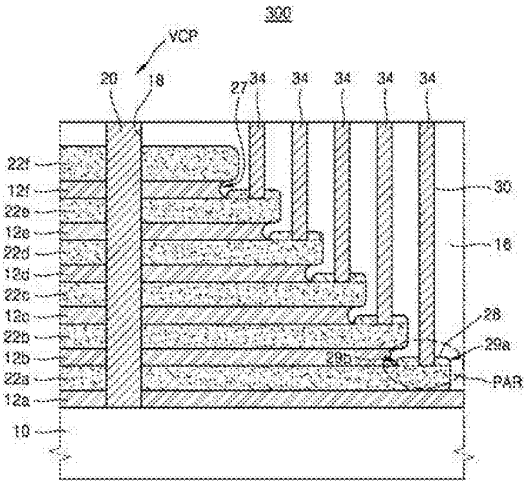
权利要求书2页 说明书12页 附图16页

(54)发明名称

垂直半导体装置

(57)摘要

提供了一种垂直半导体装置。垂直半导体装置包括:多个层间绝缘层图案,在基底上彼此间隔开并在垂直方向上被堆叠;多个导电层图案,布置在所述多个层间绝缘层图案之间并且均具有倒圆的端部,其中,导电层图案中的至少一个导电层图案被构造为从每个层间绝缘层图案的一个侧壁延伸并且包括焊盘区,焊盘区包括被构造为从至少一个导电层图案的表面突出的凸起焊盘部分;上层间绝缘层,覆盖多个层间绝缘层图案和多个导电层图案;接触插塞,被构造为穿透上层间绝缘层以与至少一个导电层图案的凸起焊盘部分接触。



CN 108231786 A

Micron Ex. 1002, p. 568
Micron v. YMTC
IPR2025-00035

1.一种垂直半导体装置,所述垂直半导体装置包括:

多个层间绝缘层图案,在基底上彼此间隔开并在垂直方向上堆叠;

多个导电层图案,布置在所述多个层间绝缘层图案之间并且均具有倒圆的端部,其中,所述多个导电层图案中的至少第一导电层图案被构造为从相邻的层间绝缘层图案的一个侧壁延伸并且包括焊盘区,焊盘区包括被构造为从第一导电层图案的表面突出的凸起焊盘部分;

上层间绝缘层,覆盖所述多个层间绝缘层图案和所述多个导电层图案;以及

接触插塞,被构造为穿透上层间绝缘层以与第一导电层图案的凸起焊盘部分接触。

2.根据权利要求1所述的垂直半导体装置,其中,

凸起焊盘部分的一端和另一端被倒圆。

3.根据权利要求1所述的垂直半导体装置,其中,

与形成在第一导电层图案下面的相邻的层间绝缘层图案相比,凸起焊盘部分的一端在水平方向上延伸较远,凸起焊盘部分从俯视图中被构造为占据被第二导电层图案暴露的整个部分,第二导电层图案形成为与第一导电层图案相邻且位于第一导电层图案上方。

4.根据权利要求1所述的垂直半导体装置,其中,

层间绝缘层图案中的一些包括从各个相邻的导电层图案的一端凹陷的凹部。

5.根据权利要求4所述的垂直半导体装置,其中,

每个凹部填充有上层间绝缘层。

6.根据权利要求1所述的垂直半导体装置,其中,

随着导电层图案在垂直方向上距基底越远,导电层图案的水平宽度变得越小。

7.根据权利要求6所述的垂直半导体装置,所述多个导电层图案包括第一导电图案和第二导电图案,

其中,第一导电层图案形成在垂直半导体装置的下部处,第二导电层图案来自所述多个导电层图案之中且形成在垂直半导体装置的上部处,

其中,第一导电层图案从所述多个层间绝缘层图案中的一个层间绝缘层图案的一个侧壁延伸,并且包括焊盘区和凸起焊盘部分。

8.根据权利要求1所述的垂直半导体装置,其中,

所述多个导电层图案具有阶梯的形式,其中,随着导电层图案在垂直方向上距基底越远,导电层图案的水平宽度变得越小。

9.根据权利要求8所述的垂直半导体装置,其中,

每个导电层图案从各个相邻的层间绝缘层图案的一个侧壁延伸,并且包括焊盘区和凸起焊盘部分。

10.一种垂直半导体装置,所述垂直半导体装置包括:

垂直结构,位于单元块区的基底上在垂直方向上突出并且包括沟道层;

多个导电层图案,在围绕垂直结构的同时延伸到连接区中,并且在垂直方向上通过层间绝缘层图案彼此间隔开的同时被堆叠;以及

多个接触插塞,每个接触插塞与位于各个导电层图案的边缘处的焊盘区接触,其中,

每个导电层图案的一端被倒圆,每个焊盘区包括从它的相应的导电层图案的表面突出的凸起焊盘部分。

Micron Ex. 1002, p. 569
Micron v. YMTC
IPR2025-00035

11.根据权利要求10所述的垂直半导体装置,其中,

所述多个导电层图案是字线、串选择线或地选择线。

12.根据权利要求10所述的垂直半导体装置,其中,

每个凸起焊盘部分的一端和另一端被倒圆。

13.根据权利要求10所述的垂直半导体装置,其中,

所述多个导电层图案具有阶梯的形式,其中,随着导电层图案在垂直方向上距基底越远,导电层图案的水平宽度变得越小。

14.根据权利要求10所述的垂直半导体装置,其中,

连接区形成在单元块区的一侧、另一层或外围上。

15.根据权利要求10所述的垂直半导体装置,其中,

每个层间绝缘层图案还包括从各个相邻的导电层图案的一端凹陷的凹部。

16.一种垂直半导体装置,所述垂直半导体装置被构造为降低导电层图案之间的短路的可能性,所述垂直半导体装置包括:

多个导电层图案,在基底上以垂直结构堆叠,并且在垂直方向上通过层间绝缘层图案彼此间隔开;以及

多个接触插塞,每个接触插塞与相应的导电层图案的边缘处的焊盘区接触,

其中,每个相应的导电层图案的一端被倒圆。

17.根据权利要求16所述的垂直半导体装置,其中,每个层间绝缘层图案具有从相邻的导电层图案的边缘凹陷的凹部。

18.根据权利要求17所述的垂直半导体装置,其中,所述多个导电层图案具有阶梯的形式,其中,随着导电层图案在垂直方向上距基底越远,导电层图案的水平宽度变得越小。

19.根据权利要求17所述的垂直半导体装置,其中,所述多个导电层图案是字线、串选择线或地选择线。

20.根据权利要求17所述的垂直半导体装置,其中,每个焊盘区具有被倒圆的两端。

Micron Ex. 1002, p. 570
Micron v. YMTC
IPR2025-00035

垂直半导体装置

[0001] 本申请要求于2016年12月14日在韩国知识产权局提交的第10-2016-0170416号韩国专利申请的权益，该韩国专利申请的公开内容通过引用全部包含于此。

技术领域

[0002] 本发明构思涉及一种半导体装置，更具体地，涉及一种垂直半导体装置。

背景技术

[0003] 在与基底的表面垂直的方向上堆叠有存储器单元的垂直半导体装置可以包括连接布线，连接布线通过使包括在每个存储器单元中的导电层图案与接触插塞接触来形成，使得电信号独立地施加到每个存储器单元。因为半导体装置已经变得高度集成，所以难以在每个垂直地堆叠的导电层图案上与接触插塞形成连接布线。

发明内容

[0004] 本公开提供了一种能够容易地在每个垂直地堆叠的导电层图案上与接触插塞形成连接布线的垂直半导体装置。

[0005] 根据这里描述的主题的示例实施例的一方面，提供了一种垂直半导体装置，所述垂直半导体装置包括：多个层间绝缘层图案，在基底上彼此间隔开并在垂直方向上被堆叠；多个导电层图案，布置在多个层间绝缘层图案之间，并且每个导电层图案具有倒圆的端部，其中，多个导电层图案中的至少一个导电层图案被构造为从每个层间绝缘层图案的一个侧壁延伸出并且包括焊盘区，焊盘区包括被构造为从至少一个导电层图案的表面突出的凸起焊盘部分；上层间绝缘层，覆盖层间绝缘层图案和导电层图案；接触插塞，被构造为穿透上层间绝缘层以与至少一个导电层图案的凸起焊盘部分接触。

[0006] 根据另一示例实施例，提供了一种垂直半导体装置，所述垂直半导体装置包括：垂直结构，被构造为位于单元块区的基底上在垂直方向上突出并且包括沟道层；多个导电层图案，被构造为在围绕垂直结构的同时延伸到连接区中，并且在垂直方向上通过层间绝缘层图案彼此间隔开的同时被堆叠；多个接触插塞，每个接触插塞与作为每层的导电层图案的边缘的焊盘区接触，其中，每个导电层图案的一端被倒圆，焊盘区包括从每个导电层图案的表面突出的凸起焊盘部分。

[0007] 根据另一示例实施例，提供了一种垂直半导体装置，所述垂直半导体装置包括：多个导电层图案，在基底上以垂直结构堆叠，并在垂直方向上通过层间绝缘层图案彼此间隔开；多个接触插塞，每个接触插塞与相应的导电层图案的边缘处的焊盘区接触，其中，每个相应的导电层图案的一端被倒圆。

附图说明

[0008] 通过下面结合附图的详细描述将更清楚地理解示例实施例，在附图中：

[0009] 图1是根据示例实施例的垂直半导体装置的存储器单元阵列的等效电路图；

Micron Ex. 1002, p. 571
Micron v. YMTC
IPR2025-00035

[0010] 图2是根据示例实施例的垂直半导体装置的框图；

[0011] 图3是根据示例实施例的垂直半导体装置的平面图；

[0012] 图4A至图4C是图3的单元阵列区中的单元块区和连接区的布置的平面图；

[0013] 图5是根据示例实施例的垂直半导体装置的连接区的局部剖视图；

[0014] 图6A至图6F是示出制造图5的垂直半导体装置的连接区的方法的局部剖视图；

[0015] 图7是根据示例实施例的垂直半导体装置的连接区的局部剖视图；

[0016] 图8是根据示例实施例的垂直半导体装置的连接区的局部剖视图；

[0017] 图9A至图9G是示出制造图7的垂直半导体装置的连接区的方法的局部剖视图；

[0018] 图10是根据示例实施例的垂直半导体装置的局部透视图；

[0019] 图11是图10的局部放大图；以及

[0020] 图12是沿图10的线A-A'截取的根据示例实施例的垂直半导体装置的重要且局部的剖视图。

具体实施方式

[0021] 现在将在下文中参照附图更充分地描述本公开，附图中示出了各种示例性实施例。然而，本发明可以以许多不同的形式来实现，并且不应该被解释为受限于这里所阐述的示例性实施例。这些示例性实施例仅是示例，许多实施例和变型是可能的并且不需要在这里提供细节。还应该强调的是，本公开提供了可替代的示例的细节，但替代物的这样的列表并不详尽。此外，各种示例性实施例之间的细节的任何一致性不应被解释为需要这样的细节，为这里所描述的每个特征列出每种可能的变化是不切实际的。在确定本发明的要求时，应参考权利要求的语言。

[0022] 在附图中，为了清楚起见可以夸大层和区域的尺寸和相对尺寸。同样的标记始终指同样的元件。虽然不同的图示出了示例性实施例的变化，但这些图不必意图彼此相互排斥。相反，如将从下面的详细描述的内容看到的，当将附图和对它们的描述作为整体考虑时，不同的图中描绘和描述的特定特征可以与来自其它图的其它特征结合以获得各种实施例。

[0023] 尽管可以使用诸如“一个实施例”或“某些实施例”的语言来引用这里描述的图，但是除非上下文如此指示，否则这些图及与之对应的描述并不意图与其它图或描述相互排斥。因此，某些图中的某些方面可以与其它图中的某些特征相同，和/或者某些图可以是具体的示例性实施例的不同表现或不同部分。

[0024] 这里使用的术语仅是出于描述具体示例性实施例的目的，并不意图对本发明进行限制。如这里使用的，除非上下文另外明确指出，否则单数形式的“一个(种、者)”和“所述(该)”也意图包括复数形式。如在此使用的，术语“和/或”包括一个或更多个相关所列项的任意和全部组合，并且可以简写为“/”。

[0025] 还将理解的是，当在本说明书中使用术语“包含”和/或“包括”及其变型时，说明存在所述特征、区域、整体、步骤、操作、元件和/或组件，但不排除存在或添加一个或更多个其它特征、区域、整体、步骤、操作、元件、组件和/或它们的组。

[0026] 将理解的是，当元件被称作为“连接”或“结合”到另一元件或者“在”另一元件“上”时，该元件可以直接连接或直接结合到所述另一元件或者直接在所述另一元件上，或者可

Micron Ex. 1002, p. 572
Micron v. YMTC
IPR2025-00035

以存在中间元件。相反，当元件被称作为“直接连接”或“直接结合”到另一元件、或者被称作为“接触”另一元件或“与”另一元件“接触”时，不存在中间元件。应当以类似的方式解释用于描述元件之间关系的其它词语(例如，“位于……之间”与“直接位于……之间”、“相邻”与“直接相邻”等)。

[0027] 为了易于描述，在这里可使用诸如“在……下面”、“在……下方”、“下”、“在……上方”和“上”等的空间相对术语来描述如图中示出的一个元件或特征与其它元件或特征的关系。将理解的是，空间相对术语意在包含除了在图中描绘的方位之外的装置在使用或操作中的不同方位。例如，如果图中的装置被翻转，则描述为“在”其它元件或特征“下方”或“下面”的元件随后将被定位为“在”所述其它元件或特征“上方”。因此，术语“在……下方”可包括上方和下方两种方位。所述装置可被另外定位(旋转90度或者在其它方位)，并相应地解释这里使用的空间相对描述符。

[0028] 此外，如这里使用的诸如“上方”和“下方”的这些空间相对术语具有它们的普通的广泛的意义，例如，即使当俯视两个元件时它们之间不叠置，元件A也可以在元件B上方(就像天空中的某物通常在地面上的某物的上方，即使不是直接地上方)。

[0029] 图1是根据示例实施例的垂直半导体装置的存储器单元阵列的等效电路图。

[0030] 更详细地，存储器单元阵列可以包括彼此串联连接的n个存储器单元MC1至MCn以及多个存储器单元串，多个存储器单元串包括串联连接到存储器单元MC1至MCn的两端的地选择晶体管GST和串选择晶体管SST。

[0031] 彼此串联连接的n个存储器单元MC1至MCn可以连接到用于选择存储器单元MC1至MCn中的至少一些的字线WL1至WLm。地选择晶体管GST的栅极端子可以连接到地选择线GSL，其源极端子可以连接到共源极线CSL。同时，串选择晶体管SST的栅极端子可以连接到串选择线SSL，其源极端子可以连接到存储器单元MCn的漏极端子。图1示出了地选择晶体管GST和串选择晶体管SST连接到彼此串联连接的n个存储器单元MC1至MCn的结构。可选择地，可以将多个地选择晶体管GST或多个串选择晶体管SST连接到n个存储器单元MC1至MCn。

[0032] 串选择晶体管SST的漏极端子可以连接到位线BL1至BLm。当信号通过串选择线SSL施加到串选择晶体管SST的栅极端子时，通过位线BL1至BLm施加的信号可以传输到彼此串联连接的n个存储器单元MC1至MCn，使得可以执行数据读取或写入操作。另外，可以通过将信号经地选择线GSL施加到地选择晶体管GST的栅极端子来执行用于去除存储在n个存储器单元MC1至MCn中的所有电荷的擦除操作，其中，地选择晶体管GST的源极端子连接到共源极线CSL。

[0033] 图2是根据示例实施例的垂直半导体装置的框图。

[0034] 更详细地，垂直半导体装置可以包括存储器单元阵列820、驱动电路830、读/写电路840和控制电路850。存储器单元阵列820可以包括多个存储器单元，多个存储器单元可以沿多个行和多个列布置。包括在存储器单元阵列820中的多个存储器单元可以通过字线WL、共源线CSL、串选择线SSL和地选择线GSL连接到驱动电路830，并且可以经由位线BL连接到读/写电路840。

[0035] 在示例实施例中，沿同一行布置的多个存储器单元可以连接到同一条字线WL，沿同一列布置的多个存储器单元可以连接到同一条位线BL。包括在存储器单元阵列820中的多个存储器单元可以被划分为多个单元块。

Micron Ex. 1002, p. 573
Micron v. YMTC
IPR2025-00035

[0036] 每个单元块可以包括多条字线WL、多条串选择线SSL、多条地选择线GSL、多条位线BL和一条或更多条共源线CSL。驱动电路830和读/写电路840可以被控制电路850操作。

[0037] 在示例实施例中，驱动电路830可以从外部接收地址信息，并且可以对接收的地址信息进行解码以选择连接到存储器单元阵列820的字线WL、共源线CSL、串选择线SSL和地选择线GSL中的至少一些。驱动电路830可以包括用于驱动字线WL、串选择线SSL和共源线CSL中的每条的电路。

[0038] 读/写电路840可以根据从控制电路850接收的指令来选择连接到存储器单元阵列820的位线BL中的至少一些。读/写电路840可以读取与选择的位线BL中的至少一些连接的存储器单元中存储的数据，或者可以将数据写入与选择的位线BL中的至少一些连接的存储器单元中。读/写电路840可以包括诸如页缓冲器、输入/输出缓冲器、数据锁存器等的电路以执行上述操作。

[0039] 控制电路850可以响应于从外部传输的控制信号CTRL来控制驱动电路830和读/写电路840的操作。当读取存储在存储器单元阵列820中的数据时，控制电路850可以控制驱动电路830的操作，以便将读取电压供应到存储待读取的数据的存储器单元的字线WL。当用于读取操作的读取电压供应到特定字线WL时，控制电路850可以控制读/写电路840来读取存储在存储器单元中的数据，所述存储器单元连接到供应有用于读取操作的读取电压的字线WL。

[0040] 同时，当将数据写入到存储器单元阵列820时，控制电路850可以控制驱动电路830的操作，以将用于写入操作的写入电压供应到待写入数据的字线WL。当用于写入操作的写入电压供应到特定字线WL时，控制电路850可以控制读/写电路840，来将数据写入到存储器单元，所述存储器单元连接到供应有用于写入操作的写入电压的字线WL。

[0041] 图3是根据本发明构思的示例实施例的垂直半导体装置的平面图，图4A至图4C是图3的单元阵列区中的单元块区和连接区的布置的平面图。

[0042] 更详细地，如图3中所示，垂直半导体装置包括布置有存储器单元的单元阵列区CAR和布置有用于驱动存储器单元的电路的外围电路区PER。在一些示例实施例中，单元阵列区CAR和外围电路区PER可以在同一基底上彼此分隔开地形成。在一些示例实施例中，单元阵列区CAR可以垂直地堆叠在外围电路区PER的上侧上。

[0043] 单元阵列区CAR可以包括多个单元块区CBL和连接区CR。每个单元块区CBL形成有存储器单元，连接区CR围绕单元块区CBL布置使得有利于布线与从存储器单元延伸出的导线(或导电层图案)连接。

[0044] 如图4A至图4C中所示，连接区CR可以相邻于单元块区CBL的侧壁布置。例如，如图4A中所示，连接区CR可以布置在单元块区CBL的一侧处。如图4B中所示，连接区CR可以布置在单元块区CBL的两个面对的侧处以彼此面对。如图4C中所示，连接区CR可以布置为围绕单元块区CBL。

[0045] 在垂直半导体装置的情况下，形成在单元块区CBL中的每个存储器单元可以在垂直方向上堆叠。包括在每个存储器单元中的垂直堆叠的导电层图案(或导线)通常分别具有施加到其的独立的电信号。导电层图案可以是如上所述的字线、串选择线或地选择线。为此，导电层图案具有水平地延伸到连接区CR的形状，延伸到连接区CR的部分可以形成为连接到各个接触插塞。

Micron Ex. 1002, p. 574
Micron v. YMTC
IPR2025-00035

[0046] 在下文中，虽然将描述垂直半导体装置的各种类型的连接区，但是下面的示例实施例不限于此。可以使用导电层图案(例如，与栅电极接触的接触插塞)来解释稍后在下面描述的连接区。

[0047] 图5是示出根据示例实施例的垂直半导体装置300的连接区的局部剖视图。

[0048] 更详细地，垂直半导体装置300可以设置有阶梯状的导电结构，其中，层间绝缘层图案12a至12f和导电层图案22a至22f在垂直的方向上重复地堆叠在基底10上。

[0049] 基底10可以包括半导体材料，例如，第IV族半导体、第III-V族化合物半导体或第II-VI族氧化物半导体。例如，当基底10包括第IV族半导体时，基底10可以是硅基底。基底10也可以设置为体晶片或外延层。

[0050] 堆叠的层间绝缘层图案12a至12f和导电层图案22a至22f的层数不限于此。层间绝缘层图案12a至12f中的每个可以包括从导电层图案22a至22f中的每个的侧壁凹陷的凹部27。当形成凹部27时，可以有利于防止导电层图案22a至22f之间的短路。

[0051] 孔18可以穿过层间绝缘层图案12a至12f和导电层图案22a至22f而形成在单元块区CBL中。沟道层20可以形成在孔18中。因此，在基底10上包括沟道层20的垂直结构VCP可以形成在单元块区CBL中。

[0052] 导电层图案22a至22f可以延伸到连接区CR中，同时围绕垂直结构VCP。如图4A至图4C中所示，连接区CR可以形成在单元块区CBL的一侧、另一侧或周边上。导电层图案22a至22f可以是如上所述的字线、串选择线或地选择线。

[0053] 导电层图案22a至22f中的每个可以具有焊盘区PAR，在焊盘区域PAR中接触件形成在连接区CR中的至少一个边缘上。连接区CR的导电层图案22a至22f中的每个的一端可以被倒圆。可以通过稍后在下面描述的氧化工艺和离子注入工艺对导电层图案22a至22f中的每个的一端进行倒圆。

[0054] 形成在垂直半导体装置300的下部处的导电层图案22a至22f可以比形成在垂直半导体装置300的上部处的导电层图案22a至22f横向突出得远。形成在下部处的导电层图案22a至22f可以比形成在上部处的导电层图案22a至22f横向延伸得远。

[0055] 形成在下部处的导电层图案22a至22f中的每个可以形成有焊盘区PAR，焊盘区PAR从形成在上部处的层间绝缘层图案12a至12f中的每个的一个侧壁延伸。导电层图案22a至22f可以被构造为随着距基底10的距离的增加而在水平方向上变短。例如，随着导电层图案22a至22f距基底10越远，导电层图案22a至22f的水平距离可以变得越短，导电层图案22a至22f可以具有阶梯的形式。

[0056] 焊盘区PAR可以包括从导电层图案22a至22f中的每个的表面突出的凸起焊盘部分28。凸起焊盘部分28在层间绝缘层图案12b至12f中的每个的一侧处沿水平方向延伸。凸起焊盘部分28的一端29a比形成在上部的层间绝缘层图案12b至12e延伸得远。凸起焊盘部分28可以由于凹部27而与形成在上部处的导电层图案22b至22f部分地叠置。凸起焊盘部分28可以占据被形成在上部处的导电层图案22b至22f暴露的整个部分。

[0057] 凸起焊盘部分28的一端29a和另一端29b被倒圆。当与相邻的导电层图案22a至22f邻近的另一端29b是倒圆的时，凸起焊盘部分28可以防止相邻的导电层图案22a至22f之间的短路。凸起焊盘部分28可以通过稍后在下面描述的氧化工艺和离子注入工艺而形成在导电层图案22a至22f中的每个的表面上。导电层图案22a至22f可以包括金属材料。例如，包括

Micron Ex. 1002, p. 575
Micron v. YMTC
IPR2025-00035

在构成导电结构的导电层图案22a至22f中的金属材料可以包括钨、铝、铜等。

[0058] 垂直半导体装置300可以包括覆盖导电结构的上层间绝缘层16。上层间绝缘层16可以形成为覆盖层间绝缘层图案12a至12f和导电层图案22a至22f。上层间绝缘层16可以填充形成在层间绝缘层图案12a至12f中的每个中的凹部27。垂直半导体装置300包括穿透上层间绝缘层16且暴露导电层图案22a至22f的上表面的一部分的接触孔30。接触插塞34可以形成在每个接触孔30中。接触插塞34包括金属材料。例如，包括在接触插塞34中的金属材料可以是钨、铝或铜等。

[0059] 当构成垂直半导体装置300的导电层图案22a至22f中的每个的一端被倒圆时，可以防止相邻的导电层图案22a至22f之间的短路。此外，当垂直半导体装置300的焊盘区PAR包括如同在所描述的示例实施例中的凸起焊盘部分28时，能够防止接触插塞34中的在上部处的接触插塞34电连接到导电层图案22a至22d中的在下部处的导电层图案的短路现象。

[0060] 例如，由于导电层图案22c上的凸起焊盘部分28，所以能够防止与上部处的导电层图案22c连接的接触插塞34电连接到下部处的导电层图案22b的短路现象。

[0061] 图6A至图6F是示出制造图5的垂直半导体装置300的连接区的方法的局部剖视图。

[0062] 更详细地，如图6A中所示，在基底10上顺序地且重复地堆叠层间绝缘层图案12a至12f和牺牲层图案14a至14f。可以通过在基底10上重复地堆叠层间绝缘层和牺牲层并随后执行光刻工艺和蚀刻工艺而使层间绝缘层图案12a至12f和牺牲层图案14a至14f具有阶梯的形式。可以多次执行光刻工艺和蚀刻工艺。

[0063] 层间绝缘层图案12a至12f可以由氧化硅层形成。牺牲层图案14a至14f可以由相对于层间绝缘层图案12a至12f具有蚀刻选择性的材料形成。牺牲层图案14a至14f可以由诸如氮化硅层或多晶硅层的材料形成。可以通过诸如化学气相沉积(CVD)或原子层沉积(ALD)的沉积工艺形成层间绝缘层图案12a至12f和牺牲层图案14a至14f。

[0064] 随后，如图6B中所示，可以对层间绝缘层图案12b至12f中的每个的一端进行蚀刻以形成凹部27。在一些示例实施例中，可以不形成凹部27。可以将凹部27形成在牺牲层图案14b至14f中的每个的一端的下方。

[0065] 可以通过对层间绝缘层图案12b至12f中的每个的一端进行各向同性地蚀刻来形成凹部27。由于凹部27是通过对层间绝缘层图案12b至12f中的每个的具有被外部地暴露的边缘部分的一端进行各向同性地蚀刻而形成，所以凹部27可以不形成在层间绝缘层图案12a的一部分中。例如，在层间绝缘层图案12b至12f的端部处的蚀刻的部分可以具有凹陷形状，并且可以具有倒弧的形状。

[0066] 如图6C中所示，通过对阶梯状的牺牲层图案14a至14f的被外部地暴露的上表面和侧表面进行氧化而形成附加绝缘层40。可以通过热氧化牺牲层图案14a至14f的上表面和侧表面而形成附加绝缘层40。可以在牺牲层图案14a至14f的未被层间绝缘层图案12b至12f覆盖的上表面和侧表面上形成附加绝缘层40。可以通过氧化工艺将附加绝缘层40的一端倒圆。当附加绝缘层40的一端被倒圆时，可以在后续的工艺中使每个导电层图案的一端倒圆，以防止导电层图案之间的短路。

[0067] 如图6D中所示，可以通过将杂质42离子注入到附加绝缘层40中来形成附加牺牲层44。附加牺牲层44可以是被注入有杂质的杂质掺杂层。附加牺牲层44可以是通过改变附加绝缘层40的物理性质而制成的材料层。与附加绝缘层40相比，附加牺牲层44可以是具有较

Micron Ex. 1002, p. 576
Micron v. YMTC
IPR2025-00035

高的蚀刻速率的材料层。

[0068] 附加牺牲层44可以由于凹部27而与层间绝缘层图案12b至12f在水平方向上间隔开。如果必要，可以对层间绝缘层图案12b至12f中的每个的一端进行各向同性地蚀刻以使凹部27更深，从而防止后续的导电层图案之间的短路。

[0069] 如图6E中所示，形成上层间绝缘层16以覆盖层间绝缘层图案12a至12f和牺牲层图案14a至14f。随后，通过去除牺牲层图案14a至14f和附加牺牲层44来形成沟槽46a至46f。沟槽46a至46f可以从牺牲层图案14a至14f的一端至另一端并排地定位。沟槽46a至46f可以在层间绝缘层图案12a至12f中的每个的一端处在水平方向上形成。

[0070] 如图6F中所示，将导电层图案22a至22f形成为填充沟槽46a至46f，。尽管在一些实施例中导电层图案的顶部边缘或底部边缘中的仅一个可以被倒圆(即，图12)，但是如示出的导电层图案可以具有倒圆的或倒弧的顶部边缘和底部边缘。通过上述工艺，牺牲层图案14a至14f和附加牺牲层44被导电层图案22a至22f取代。导电层图案22a至22f中的每个的一端可以被倒圆。导电层图案22a至22f可以包括如上所述的凸起焊盘部分28。凸起焊盘部分28的一端29a和另一端29b被倒圆。凸起焊盘部分28可以是用于形成导电层图案22a至22f中的每个的其余部分(例如，平坦的水平部分)的材料的延伸部，并且可以与导电层图案22a至22f中的每个的其余部分一体地形成为单片结构的一部分。

[0071] 如上所述，凸起焊盘部分28在层间绝缘层图案12b至12f中的每个的一侧处沿水平方向延伸。凸起焊盘部分28的一端29a比形成在垂直半导体装置300的下部处(例如，直接形成在导电层图案的紧下方)的相邻的层间绝缘层图案(12b至12e)延伸得远。凸起焊盘部分28可以由于凹部27而与形成在上部处的导电层图案22b至22f部分地叠置。凸起焊盘部分28可以占据被形成在上部处的导电层图案22b至22f(例如，紧邻的较高的导电层图案)暴露的整个部分。

[0072] 此后，可以形成上层间绝缘层16，以覆盖层间绝缘层图案12a至12f和导电层图案22a至22f。随后，形成穿透上层间绝缘层16以与导电层图案22a至22f的凸起焊盘部分28接触的接触插塞34(如图5中所示)，因此，可以形成垂直半导体装置300的(图3和图4A至图4C的)连接区CR。如可以在例如图5中看出的，与例如导电层图案22a至22f的在与沟道层20的界面处的可形成尖角的边缘相比，导电层图案22a至22f的端部处的边缘可以是更倒圆的。

[0073] 图7是根据示例实施例的垂直半导体装置400的连接区的局部剖视图。

[0074] 更详细地，除了层间绝缘层图案52a至52f和导电层图案72a至72f不具有阶梯的形式而是倾斜的之外，垂直半导体装置400的连接区可以与图5的半导体装置300的连接区基本相同。在图7中，将着重对与图5不同的部分进行描述。

[0075] 可以提供层间绝缘层图案52a至52f和导电层图案72a至72f在垂直方向上重复地堆叠在基底50上的导电结构。不限制堆叠的层间绝缘层图案12a至12f和导电层图案22a至22f的层数。层间绝缘层图案52c至52f中的每个可以包括凹部77，凹部77从导电层图案72a至72f中的每个的一个侧壁凹陷。当形成凹部77时，可以防止导电层图案72c至72f之间的短路。

[0076] 为了方便起见，图7没有示出单元块区CBL。导电层图案72a至72f之中的导电层图案72b的边缘部分可以具有形成有接触件的焊盘区PAR。导电层图案72b可以是图1和图2的字线、串选择线或地选择线。导电层图案72b至72f中的每个的一端可以被倒圆，并且可以具

Micron Ex. 1002, p. 577
Micron v. YMTC
IPR2025-00035

有倒圆的边缘。导电层图案72b至72f中的每个的一端可以通过稍后在下面描述的氧化工艺和离子注入工艺被倒圆。

[0077] 导电层图案72c至72f可以在基底50上具有不同的水平距离(例如,横向宽度)。在基底50上的导电层图案72b的水平距离d1可以比例如导电层图案72c和72f的水平距离d2和d3长。导电层图案72a和72b可以比形成在上部处的导电层图案72c至72f横向延伸得远。随着导电层图案72c至72f离基底50越远,横向水平距离可以从d2缩短至d3。

[0078] 导电层图案72b可以形成有焊盘区PAR,焊盘区PAR从形成在上部处的层间绝缘层图案52c至52f之中的层间绝缘层图案52c的侧壁延伸。焊盘区PAR可以包括从导电层图案72b的表面突出的凸起焊盘部分78。

[0079] 凸起焊盘部分78的一端79a和另一端79b被倒圆。当凸起焊盘部分78的另一端79b被倒圆时,可以防止相邻的导电层图案72c和凸起焊盘部分78之间的短路现象。凸起焊盘部分78可以通过如稍后在下面描述的氧化工艺和离子注入工艺形成在导电层图案72b的表面上。导电层图案72a至72f可以包括金属材料。包括在导电层图案72a至72f中的金属材料可以包括钨、铝或铜等。

[0080] 垂直半导体装置400可以包括覆盖导电结构的上层间绝缘层76。上层间绝缘层76可以形成为覆盖层间绝缘层图案52a至52f和导电层图案72a至72f。上层间绝缘层76可以填充形成在层间绝缘层图案52a至52f中的每个中的凹部77。垂直半导体装置400包括贯穿上层间绝缘层76且暴露导电层图案72b的上表面的接触孔80。接触插塞84可以形成在接触孔80中。接触插塞84包括金属材料。包括在接触插塞84中的金属材料可以是钨、铝或铜等。

[0081] 当构成垂直半导体装置400的导电层图案72b至72f中的每个的一端被倒圆时,可以防止相邻的导电层图案72b至72f之间的短路。此外,当垂直半导体装置400的焊盘区PAR包括凸起焊盘部分78时,能够防止上面的接触插塞84电连接到下面的导电层图案72a的短路现象。

[0082] 图8是根据示例实施例的垂直半导体装置500的连接区的局部剖视图。

[0083] 更详细地,除了层间绝缘层图案52c至52f和导电层图案72c至72f的水平距离d4彼此相等之外,垂直半导体装置500的连接区可以与图7的半导体装置400的(图3、图4A至图4C的)连接区CR基本相同。在图8中,将着重对与图7的示例实施例的差异进行描述。

[0084] 可以提供层间绝缘层图案52a至52f和导电层图案72a至72f在垂直方向上重复地堆叠在基底50上的导电结构。层间绝缘层图案52c至52f中的每个可以包括从导电层图案72c至72f中的每个的一个侧壁凹陷的凹部77。

[0085] 另外,导电层图案72b至72f可以在基底50上具有相同的水平距离d4。导电层图案72b的水平距离d1可以比导电层图案72c至72f的水平距离d4长。导电层图案72a和72b可以比形成在上部处的导电层图案72c至72f横向延伸得远。即使导电层图案72c至72f具有相同的水平距离d4,凹部77也可以防止导电层图案72c至72f之间的短路。

[0086] 导电层图案72b可以形成有焊盘区PAR,焊盘区PAR从形成在上部处的层间绝缘层图案52c至52f之中的层间绝缘层图案52c的侧壁延伸。焊盘区PAR可以包括从导电层图案72b的表面突出的凸起焊盘部分78。因为凸起焊盘部分78的与导电层图案72c相邻的另一端79b被倒圆,所以凸起焊盘部分78可以防止凸起焊盘部分78和导电层图案72c之间短路。

[0087] 图9A至图9G是示出制造图7的垂直半导体装置400的连接区的方法的局部剖视图。

Micron Ex. 1002, p. 578
Micron v. YMTC
IPR2025-00035

[0088] 更详细地，如图9A中所示，在基底50上形成具有倾斜部分64的层间绝缘层图案52a至52f和牺牲层图案62a至62f。可以通过在基底50上重复地堆叠层间绝缘层和牺牲层之后的光刻工艺来使层间绝缘层图案52a至52f和牺牲层图案62a至62f形成倾斜部分64。可以多次执行光刻工艺。

[0089] 可以通过仅对层间绝缘层图案52a至52f和牺牲层图案62a至62f中的一些执行光刻工艺来形成倾斜部分64。例如，可以通过对层间绝缘层图案52c至52f和牺牲层图案62c至62f执行光刻工艺来使倾斜部分64暴露牺牲层图案62b的一部分。

[0090] 层间绝缘层图案52a至52f可以由氧化硅层形成。牺牲层图案62a至62f可以由对于层间绝缘层图案52a至52f具有蚀刻选择性的材料形成。牺牲层图案62a至62f可以由诸如氮化硅层或多晶硅层的材料形成。层间绝缘层图案52a至52f和牺牲层图案62a至62f可以通过诸如CVD或ALD的沉积工艺形成。

[0091] 如图9B中所示，通过对牺牲层图案62b至62f的被外部地暴露的上表面和侧表面进行氧化来形成附加绝缘层66。附加绝缘层66可以形成在牺牲层图案62b至62f的未被层间绝缘层图案52b至52f覆盖的上表面和侧表面上。附加绝缘层66没有覆盖层间绝缘层图案52b并且可以不形成在牺牲层图案62a的一个侧壁上。

[0092] 可以通过对牺牲层图案62b至62f的暴露的上表面和侧表面进行热氧化来形成附加绝缘层66。可以通过氧化工艺对附加绝缘层66的一端进行倒圆。当附加绝缘层66的一端被倒圆时，后续工艺中的每个导电层图案的一端可以被倒圆，以防止导电层图案之间的短路。

[0093] 随后，如图9C中所示，可以对层间绝缘层图案52c至52f中的每个的一端进行蚀刻以形成凹部77。除非必要，否则可以不形成凹部27。凹部77可以形成在牺牲层图案62c至62f中的每个的一端的下方。

[0094] 可以通过对层间绝缘层图案52c至52f中的每个的一端进行各向同性地蚀刻来形成凹部77。在形成凹部77时也可以对牺牲层图案62b的一端进行蚀刻以增大牺牲层图案62c的一端和附加绝缘层66的一端之间的距离。通过上述工艺可以防止后续的导电层图案之间的短路。

[0095] 如图9D中所示，可以通过将杂质67离子注入到附加绝缘层66中来形成附加牺牲层68。附加牺牲层68可以是被注入有杂质的杂质注入层。附加牺牲层68可以是通过改变附加绝缘层66的物理性质而制成的材料层。与附加绝缘层66相比，附加牺牲层68可以是具有较高的蚀刻速率的材料层。

[0096] 如图9E中所示，形成上层间绝缘层76，以覆盖层间绝缘层图案52a至52f和牺牲层图案62a至62f。随后，如图9F中所示，通过去除牺牲层图案62a至62f和附加牺牲层68来形成沟槽69a至69f。沟槽69a至69f可以从层间绝缘层图案52a至52f中的每个的一端至另一端并排地定位。

[0097] 如图9G中所示，形成导电层图案72a至72f以填充沟槽69a至69f。通过上述工艺，牺牲层图案62a至62f和附加牺牲层68被导电层图案72a至72f取代。可以使导电层图案72a至72f中的每个的一端倒圆。导电层图案72a至72f之中的导电层图案72b可以包括如上所述的凸起焊盘部分78。凸起焊盘部分78的一端79a和另一端79b被倒圆。通过取代工艺，可以使上层间绝缘层76形成为覆盖层间绝缘层图案52a至52f和导电层图案72a至72f。

Micron Ex. 1002, p. 579
Micron v. YMTC
IPR2025-00035

[0098] 随后，如图7中所示，形成贯穿上层间绝缘层76以与导电层图案72b的凸起焊盘部分78接触的接触插塞84，因此，可以形成垂直半导体装置400的(图3和图4A至图4C的)连接区CR。

[0099] 在下文中，将对应用到具有位于外围电路区PER上的单元阵列区CAR的垂直半导体装置的示例实施例进行描述。然而，这仅是示例，示例实施例不限于此。

[0100] 图10是根据示例实施例的垂直半导体装置600的局部透视图，图11是图10的部分'A'的局部的放大的图，图12是沿图10的线A-A'截取的根据示例实施例的垂直半导体装置600的重要且局部的剖视图。

[0101] 更详细地，垂直半导体装置600可以包括来自布线结构680中的外围电路布线结构689，外围电路布线结构689在单元阵列区CAR一侧上电连接到外围电路。垂直半导体装置600可以包括具有第一区613a和第二区613b的基底613。垂直半导体装置600还可以包括形成在基底613的第一区613a上的外围电路栅极结构620以及第一层间绝缘层617和第二层间绝缘层619。

[0102] 外围电路栅极结构620可以包括外围电路栅极绝缘层621、外围电路栅电极层622、外围电路间隔件624和源/漏区623。外围电路栅极结构620形成外围电路装置。半导体层615可以形成在第一层间绝缘层617和第二层间绝缘层619以及第二区613b上。

[0103] 垂直半导体装置600可以包括在与半导体层615的上表面垂直的方向上布置的沟道层673、沿着沟道层673的外壁堆叠的多个绝缘层640以及多个栅电极层650。栅电极层650可以是上面参照图5描述的导电层图案22a至22f。

[0104] 栅电极层650可以具有一端被倒圆且表面从栅电极层650突出的凸起焊盘部分692。凸起焊盘部分692可对应于图5的凸起焊盘部分28。垂直半导体装置600可以包括布置在多个栅电极层650和沟道层673之间的栅极绝缘层660，并且间隙填充绝缘层675可以布置在沟道层673中。

[0105] 基底613可以具有在X轴方向(基底的水平方向)和Y轴方向(基底的水平方向)上延伸的上表面。在基底613的第一区613a的上表面上的外围电路栅极结构620可以形成外围电路区PER。即，外围电路区PER可以布置在单元阵列区CAR下方。基底613可以布置在半导体层615下方，基底613的第二区613b可以接触半导体层615。

[0106] 电连接到外围电路栅极结构620的布线层625可以形成在基底613的第一区613a上。外围电路栅极结构620可以包括水平晶体管。基底613的第一区613a可以在与第一区613a的上表面垂直的方向上延伸，并且可以接触第二区613b的下表面。可以通过经蚀刻工艺等去除基底613的表面的一部分来设置第一区613a和第二区613b。

[0107] 在第一区613a上形成外围电路栅极结构620之后，可以在外围电路栅极结构620上形成第一层间绝缘层617、第二层间绝缘层619和布线层625。第一层间绝缘层617和第二层间绝缘层619可以由高密度等离子体(HDP)氧化物层形成，以有效地填充外围电路栅极结构620之间的空间。在示例实施例中，非晶硅层(未示出)形成在第二层间绝缘层619上以接触第二区613b，由于第二区613b，非晶硅层可以经历单晶化。

[0108] 沟道层673可以布置在半导体层615的上表面上，以在与半导体层615的上表面垂直的方向(Z轴方向)上延伸。虽然沟道层673可以形成为围绕内部间隙填充绝缘层675的环形，但是沟道层673可以根据示例实施例具有圆柱形状或棱柱形状而没有间隙填充绝缘层

Micron Ex. 1002, p. 580
Micron v. YMTC
IPR2025-00035

675。因此，垂直半导体装置600可以包括沟道层673和间隙填充绝缘层675，以形成垂直结构。

[0109] 沟道层673可以在X轴方向和Y轴方向上彼此间隔开。沟道层673的布置可以根据示例实施例而改变，并且可以在至少一个方向上以例如Z字形形式布置。沟道层673彼此相邻并具有分离绝缘层607位于沟道层673之间的布置可以如示出的为对称的，但不限于此。

[0110] 沟道层673可以在下表面处与半导体层615直接接触并电连接。沟道层673可以包括诸如多晶硅或单晶硅的半导体材料，半导体材料可以是未掺杂的材料或包括p型杂质或n型杂质的材料。多个栅电极层651至658(650)可以沿沟道层673的侧表面布置，并且在Z轴方向(基底的垂直方向)上远离半导体层615布置。

[0111] 如上所述，多个栅电极层650中的每个可以形成地选择晶体管GST、多个存储器单元MC1至MCn和串选择晶体管SST的字线、串选择线和地选择线。栅电极层650可以延伸以形成字线WL1至WLn，并且可以公共地连接到在X轴方向和Y轴方向上布置的预定单元的相邻的存储器单元串。

[0112] 在示例实施例中，存储器单元MC1至MCn的栅电极层652至657示出为布置成六个，但这仅是示例并且形成存储器单元MC1至MCn的栅电极层652至657的数目可以根据半导体芯片1100的容量来确定。

[0113] 例如，形成存储器单元MC1至MCn的栅电极层652至657的数目可以为2n(n是自然数)。地选择晶体管GST的栅电极层651可以形成地选择线GSL。串选择晶体管SST的栅电极层658可以形成串选择线SSL。具体地，串选择晶体管SST的栅电极层658可以形成为在相邻的存储器单元串之间被划分以形成不同的串选择线SSL。

[0114] 根据示例实施例，串选择晶体管SST的栅电极层658和地选择晶体管GST的栅电极层651均可以是两个或更多个，并且可以具有与存储器单元MC1至MCn的栅电极层652至657的结构不同的结构。

[0115] 多个栅电极层650可以包括多晶硅材料或金属硅化物材料。金属硅化物材料可以是例如选自钴(Co)、镍(Ni)、铪(Hf)、铂(Pt)、钨(W)和钛(Ti)的金属的硅化物材料。根据示例实施例，多个栅电极层650可以包括诸如W的金属材料。

[0116] 多个绝缘层641至649(640)可以布置在多个栅电极层650之间。多个绝缘层640可以布置为在Z轴方向上彼此间隔开，并且布置为与多个栅电极层650类似地在Y轴方向上延伸。多个绝缘层640可以包括诸如氧化硅或氮化硅的绝缘材料。

[0117] 栅极绝缘层660可以布置在多个栅电极层650和沟道层673之间。栅极绝缘层660可以包括从沟道层673顺序堆叠的隧道绝缘层662、电荷存储层664和阻挡绝缘层666。隧道绝缘层662可以通过使用F-N方法将电荷隧穿到电荷存储层664。隧道绝缘层662可以包括例如氧化硅、氧化铪、氧化铝、氧化锆或氧化钽等。

[0118] 电荷存储层664可以是电荷捕获层或浮栅导电层。例如，电荷存储层664可以包括介电材料、量子点或纳米晶体。这里，量子点或纳米晶体可以包括例如金属或半导体的导体的微粒。电荷存储层664可以包括氮化硅、氮化硼、氮化硅硼或掺杂杂质的多晶硅。

[0119] 阻挡绝缘层666可以包括具有高介电常数(高k)的介电材料。具有高k的介电材料指具有比氧化硅层的k的介电材料高的k的介电材料。阻挡绝缘层666可以包括氧化硅、氮化硅、氧化铪、氧化铝、氧化锆或氧化钽等的单层或堆叠的层。

Micron Ex. 1002, p. 581
Micron v. YMTC
IPR2025-00035

[0120] 漏区670可以设置在存储器单元串的上端处，以覆盖间隙填充绝缘层675的上表面并电连接到沟道层673。漏区670可以包括例如掺杂的多晶硅。漏区670可以用作串选择晶体管SST的漏区。

[0121] 同时，地选择晶体管GST的在X轴方向上布置的源区605可以设置在存储器单元串的下端处。源区605可以与半导体层615的上表面相邻地在X轴方向上延伸，并且可以在Y轴方向上彼此分隔开预定距离。

[0122] 例如，源区605可以对于每两个沟道层673一个接一个地在Y轴方向上布置，但不限于此。分离绝缘层607可以形成在源区605上。当源区605具有与半导体层615的导电类型相反的导电类型时，源区605可以用作相邻的地选择晶体管GST的源区，并且可以连接到共源极线CSL。

[0123] 多个栅电极层650和多个绝缘层640可以形成为沿Y轴方向(基底的水平方向)以不同的长度延伸。示出了与栅电极层650中的至少一些和多个外围电路栅极结构620电连接的多个布线结构680。布线结构680可以包括形成在焊盘绝缘层690中的接触插塞681至688以及位于接触插塞681至688上的上布线层。由于栅电极层650上的凸起焊盘部分692，所以接触插塞681至687中的在上部处的接触插塞与栅电极层651至657中的在下部处的栅电极层之间不会发生短路。

[0124] 例如，由于栅电极层654上的凸起焊盘部分692，所以能够防止与上部处的栅电极层654连接的接触插塞685电连接到下部处的栅电极层653的短路现象。

[0125] 垂直半导体装置600可以具有外围电路区PER，外围电路区PER包括布置在单元阵列区CAR下方的外围电路栅极结构620和布线层625。因此，可以减小用于形成外围电路区PER的在X轴方向和Y轴方向上的区域，从而增大了垂直半导体装置600的集成密度并减小了芯片尺寸。

[0126] 多个栅电极层650和多个绝缘层640可以沿Y轴方向以不同长度延伸，栅电极层650中的至少一些和多个外围电路栅极结构620可以电连接到布线结构680。

[0127] 布线结构680的布线结构689可以是电连接到外围电路的外围电路布线结构。布线结构680的布线结构681至688可以是与单元阵列区CAR的存储器单元电连接的布线结构。

[0128] 垂直半导体装置可以使层间绝缘层图案和导电层图案沿垂直方向重复地堆叠在基底上。导电层图案中的一些的一端被倒圆以防止相邻的导电层图案之间短路。

[0129] 垂直半导体装置可以包括其中导电层图案中的一些从层间绝缘层图案的侧壁延伸的焊盘区。焊盘区可以包括从每个导电层图案的表面突出的凸起焊盘部分。因此，垂直半导体装置可以在凸起焊盘部分中容易地形成接触插塞。

[0130] 虽然已经参照本发明构思的示例实施例具体地示出和描述了本发明构思，但是将理解的是，在不脱离所附权利要求书的精神和范围的情况下，可以在这里进行形式和细节上的各种变化。

Micron Ex. 1002, p. 582
Micron v. YMTC
IPR2025-00035

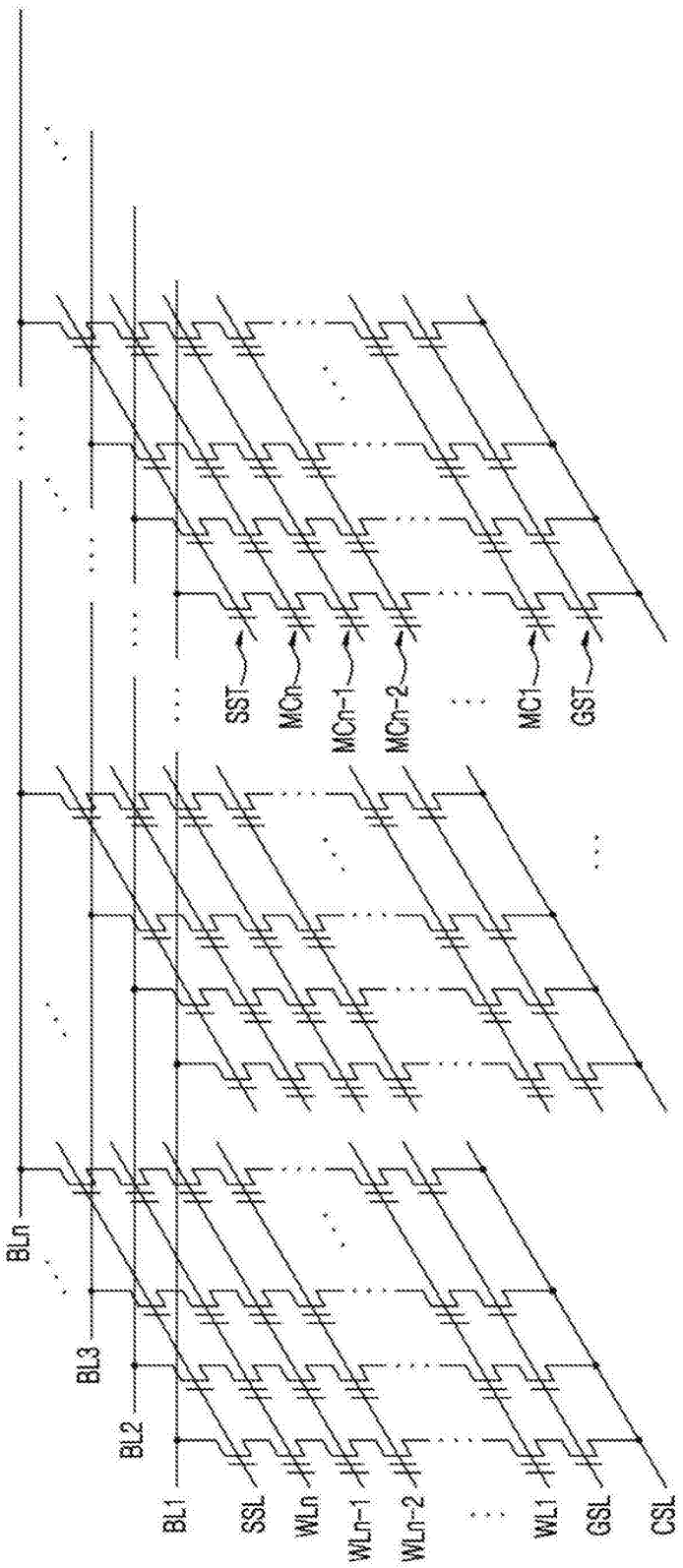


图1

Micron Ex. 1002, p. 583
Micron v. YMTC
IPR2025-00035

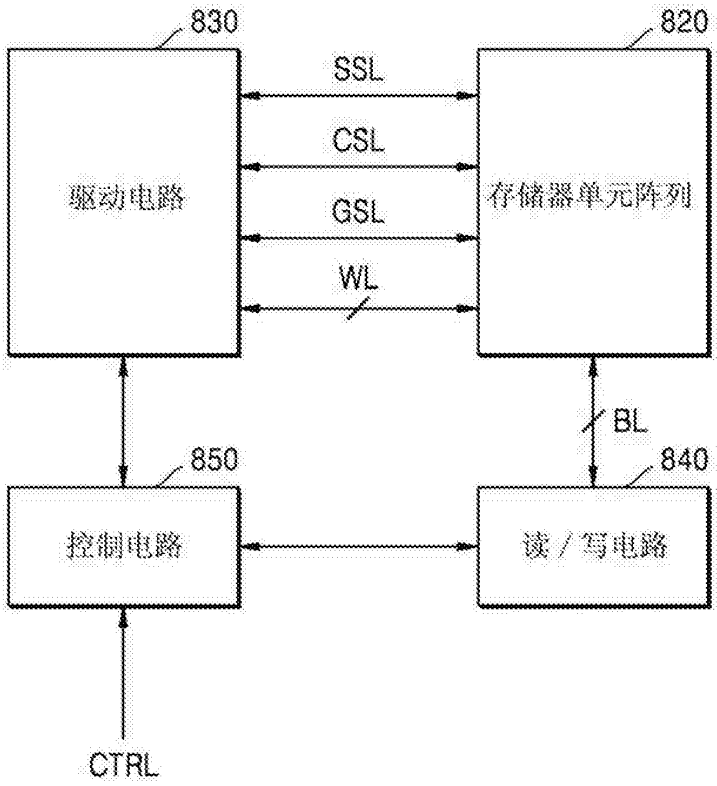


图2

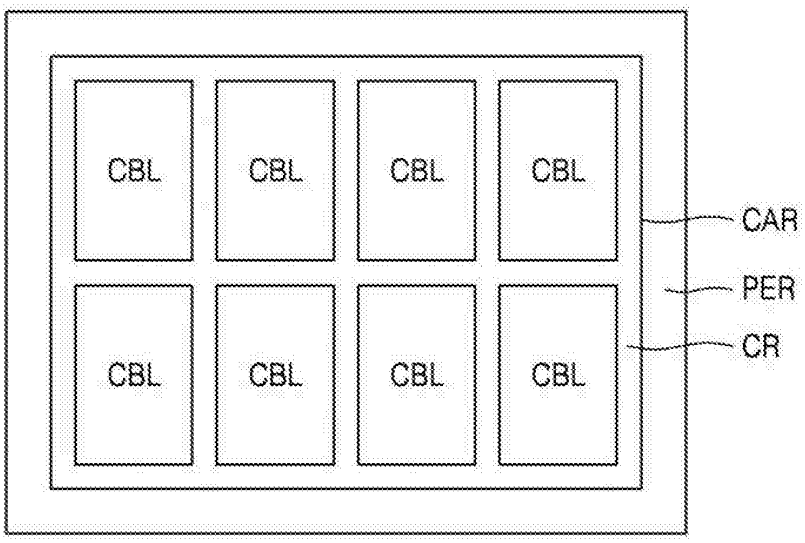


图3

Micron Ex. 1002, p. 584
Micron v. YMTC
IPR2025-00035

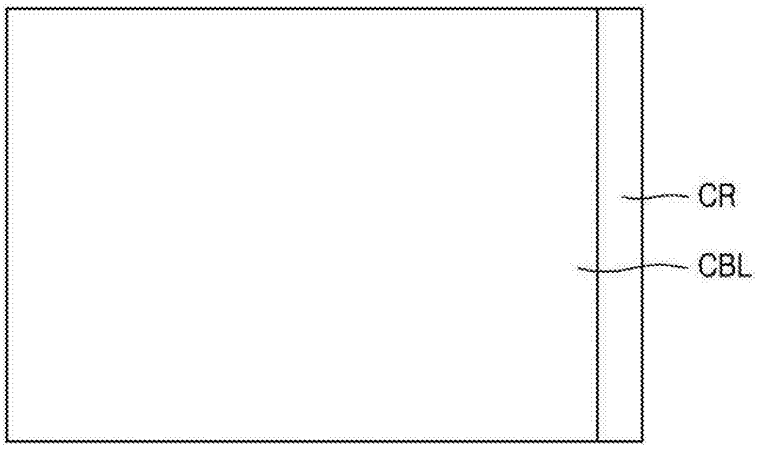


图4A

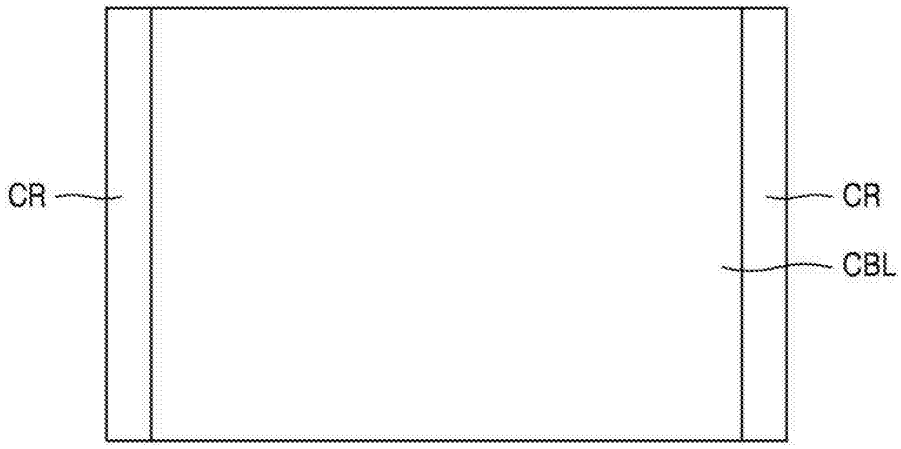


图4B

Micron Ex. 1002, p. 585
Micron v. YMTC
IPR2025-00035

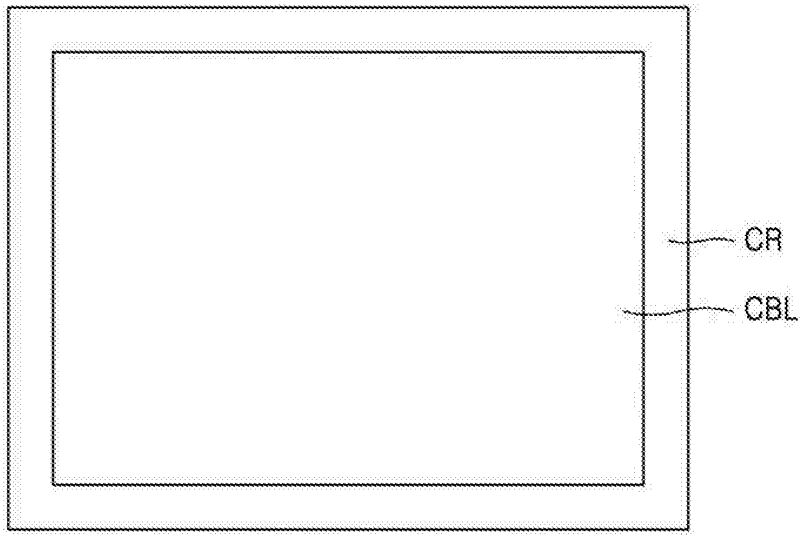


图4C

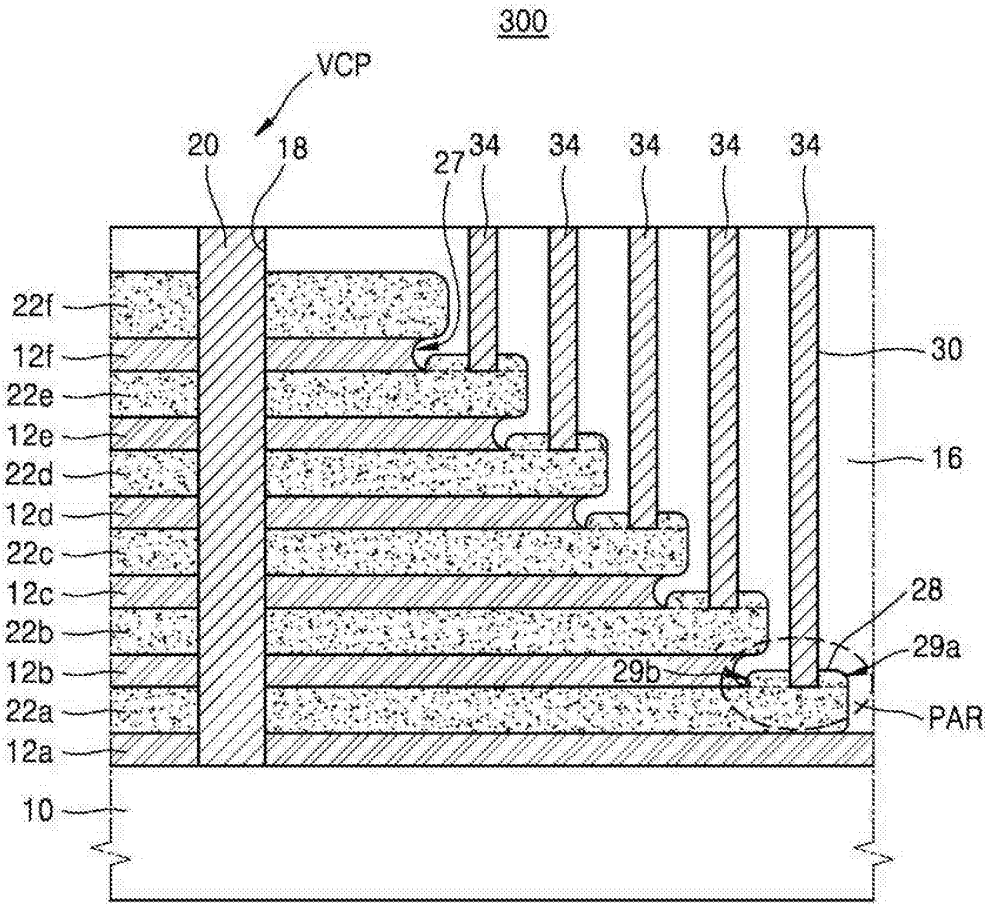


图5

Micron Ex. 1002, p. 586
Micron v. YMTC
IPR2025-00035

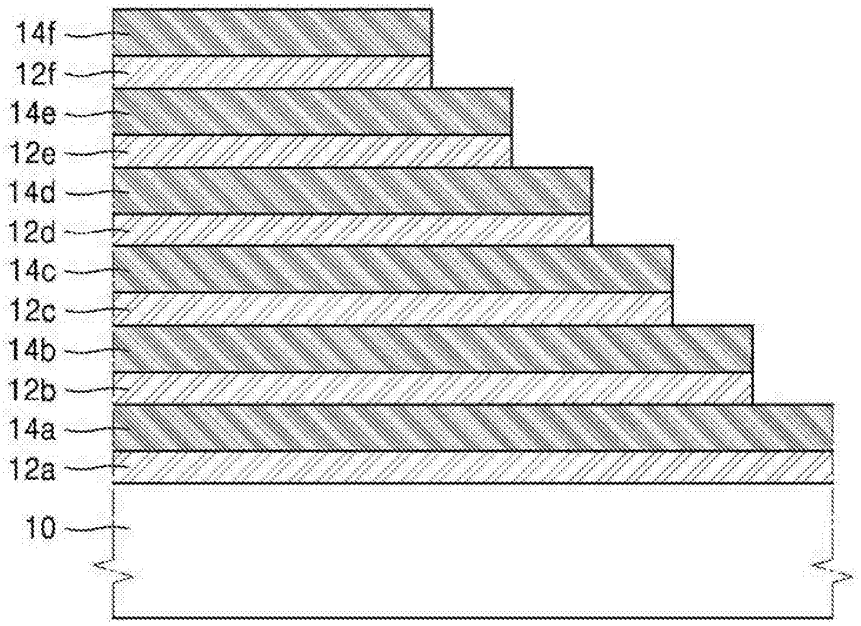


图6A

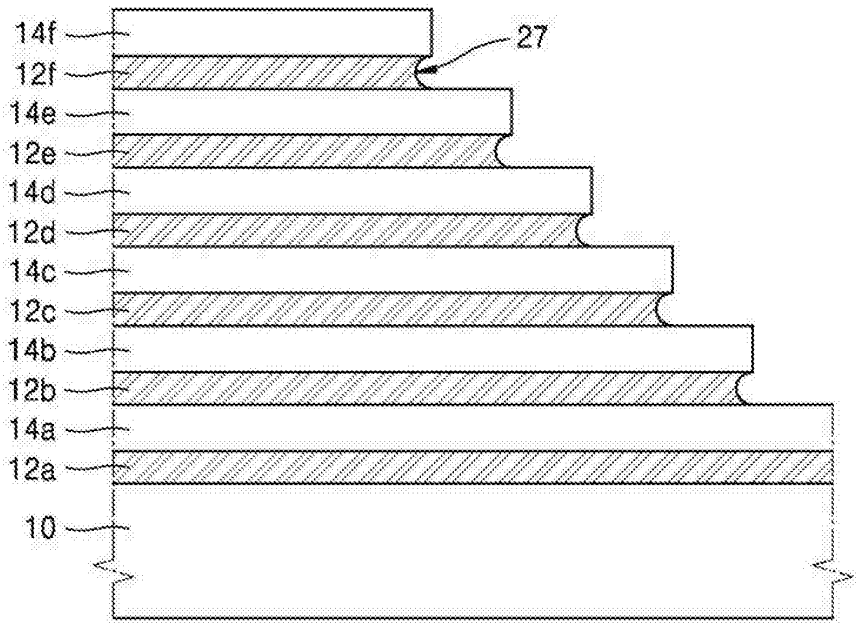


图6B

Micron Ex. 1002, p. 587
Micron v. YMTC
IPR2025-00035

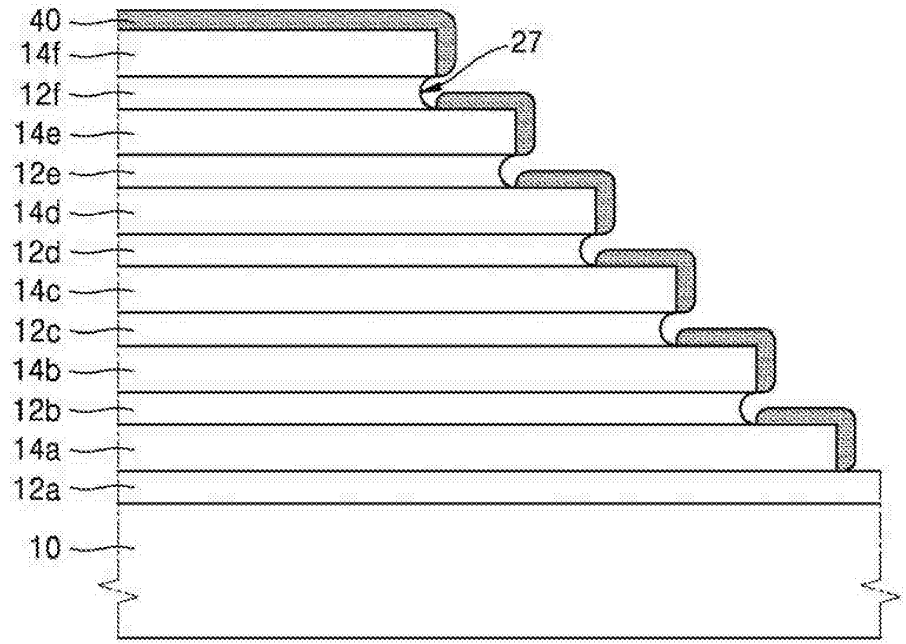


图6C

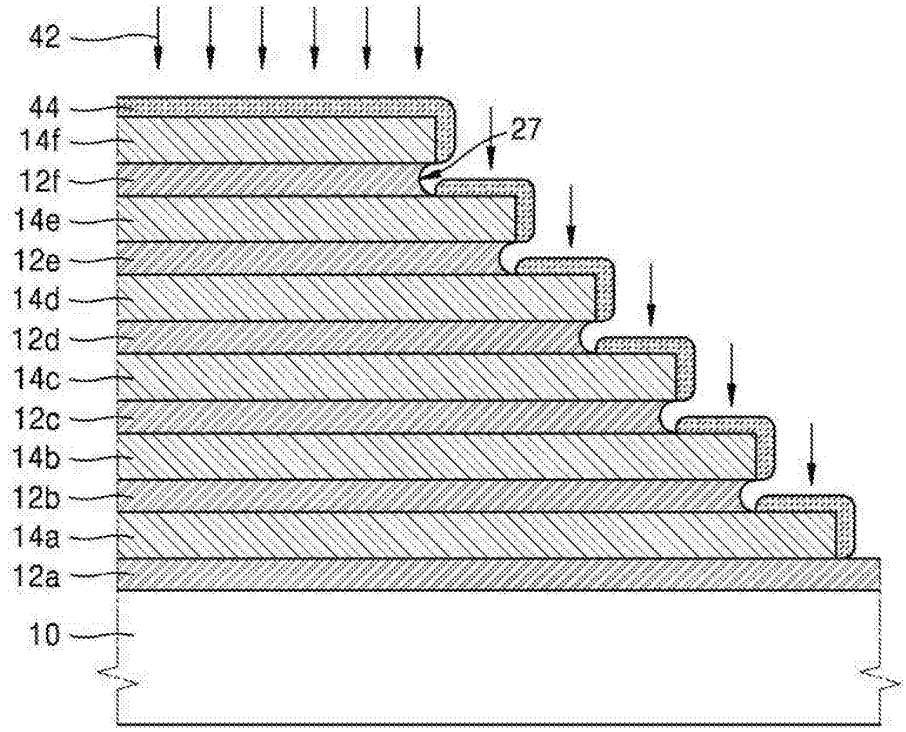


图6D

Micron Ex. 1002, p. 588
Micron v. YMTC
IPR2025-00035

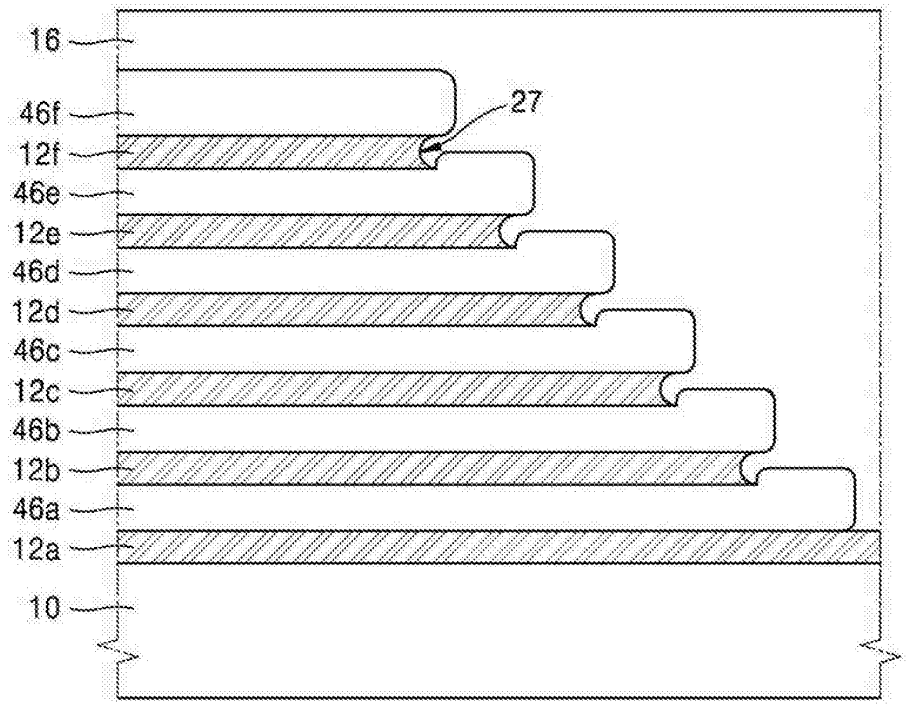


图6E

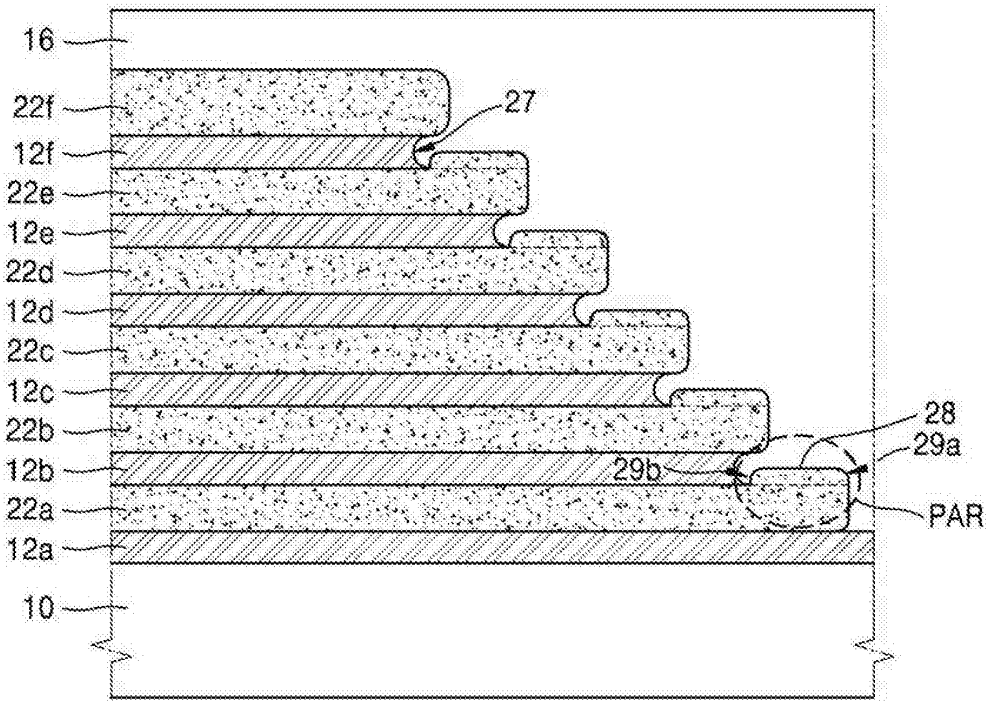


图6F

Micron Ex. 1002, p. 589
Micron v. YMTC
IPR2025-00035

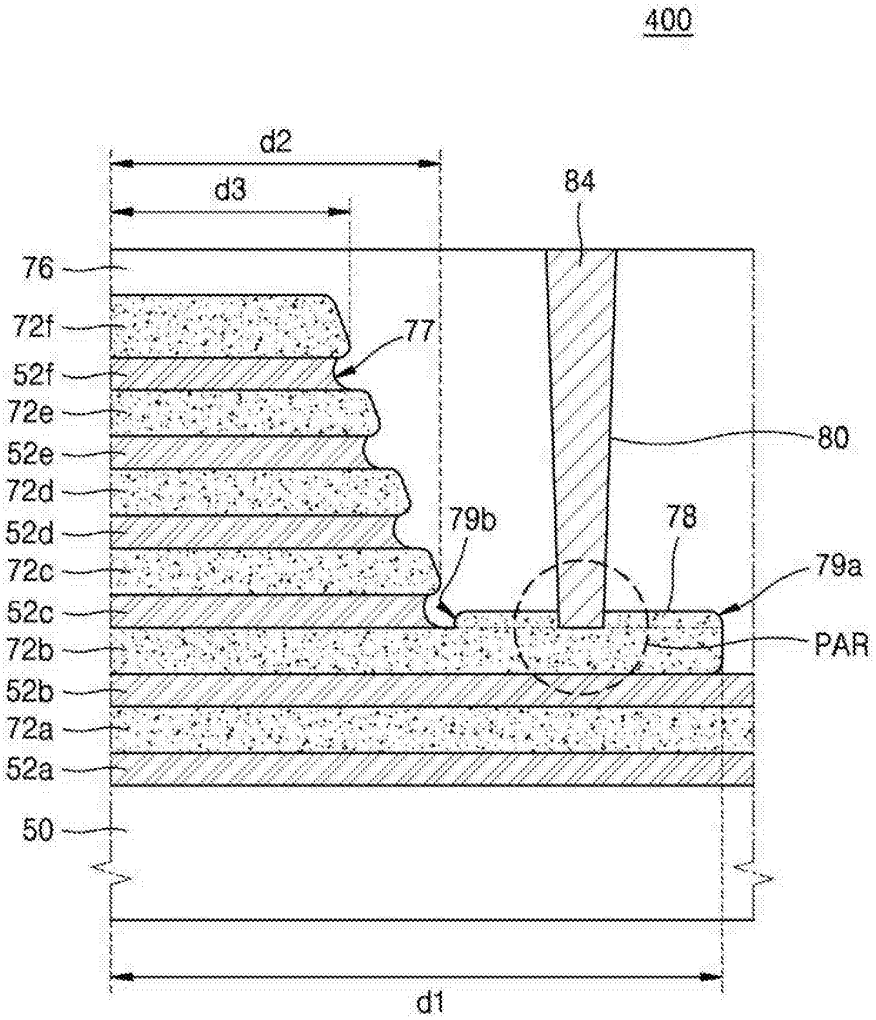


图7

Micron Ex. 1002, p. 590
Micron v. YMTC
IPR2025-00035

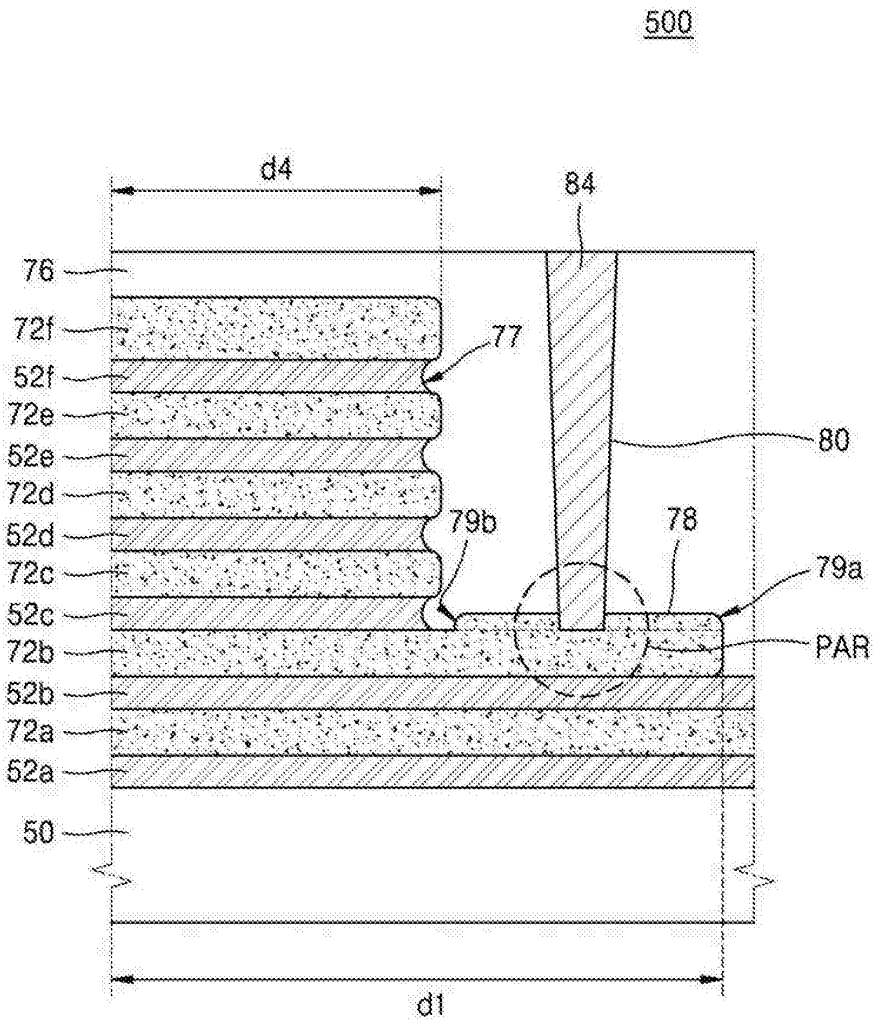


图8

Micron Ex. 1002, p. 591
Micron v. YMTC
IPR2025-00035

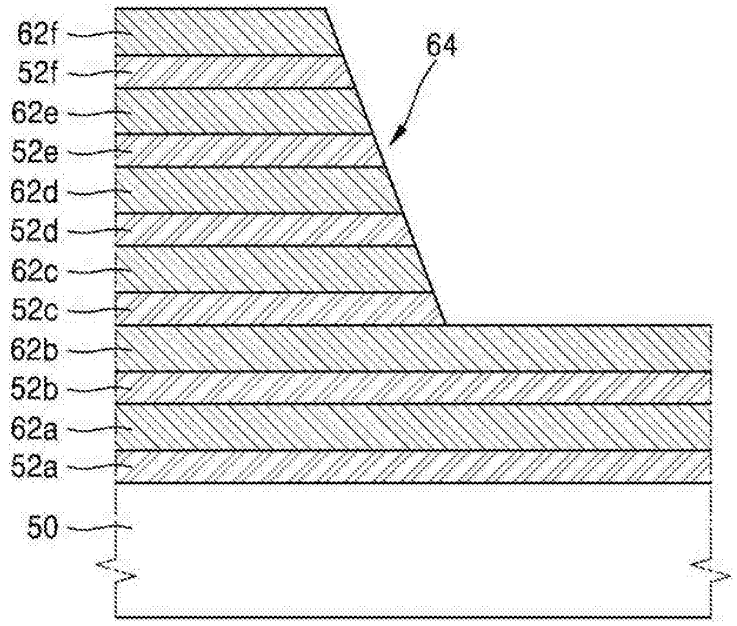


图9A

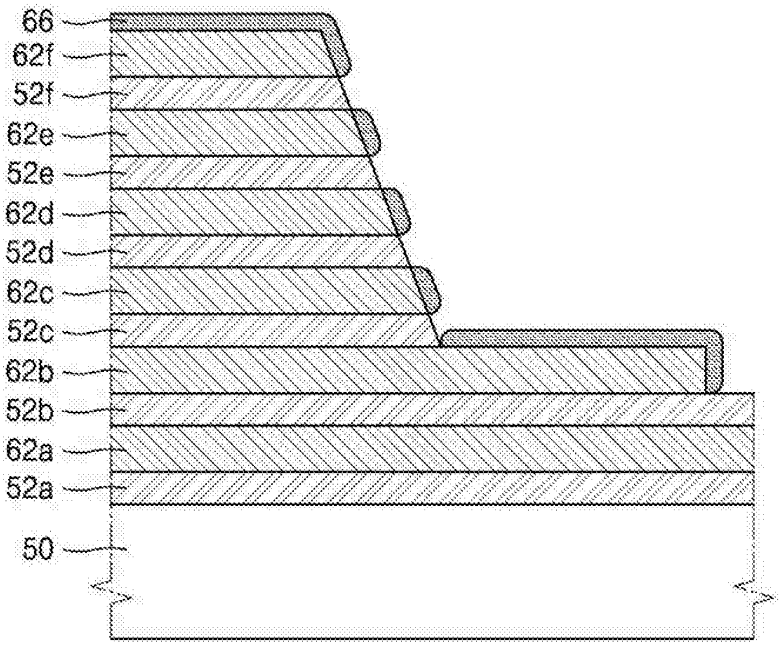


图9B

Micron Ex. 1002, p. 592
Micron v. YMTC
IPR2025-00035

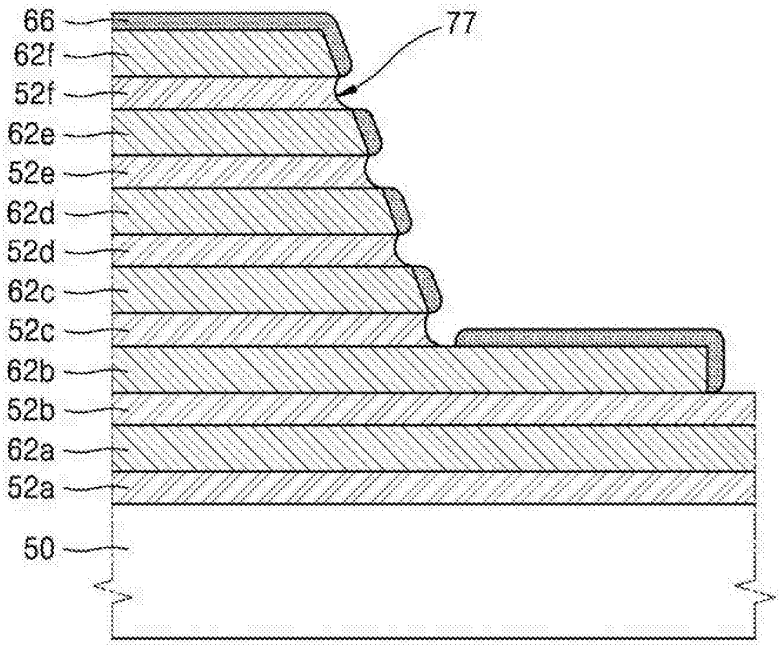


图9C

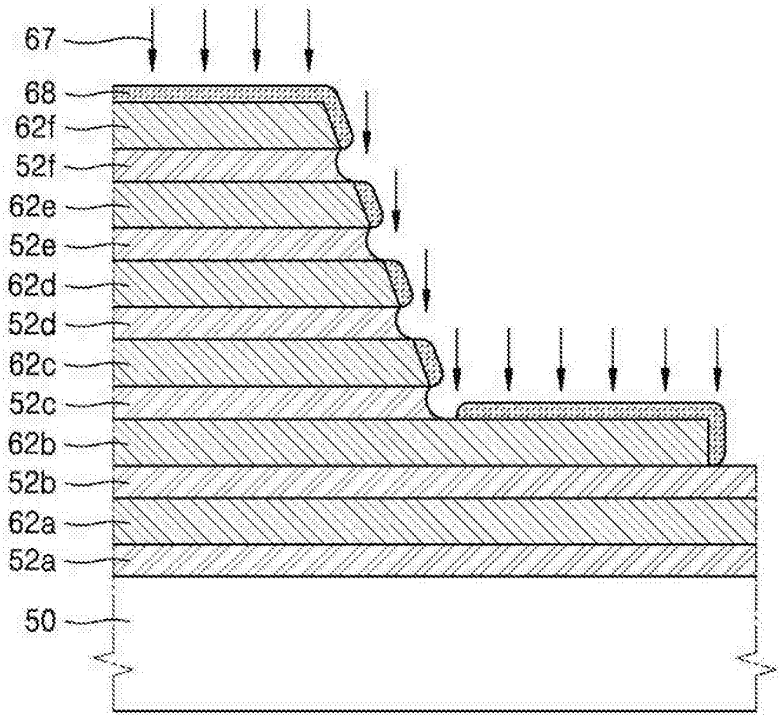


图9D

Micron Ex. 1002, p. 593
Micron v. YMTC
IPR2025-00035

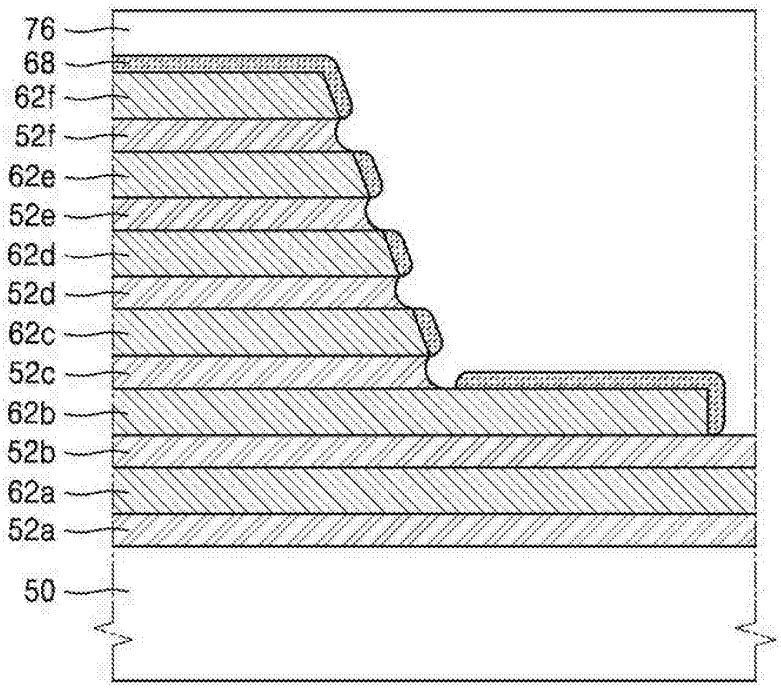


图9E

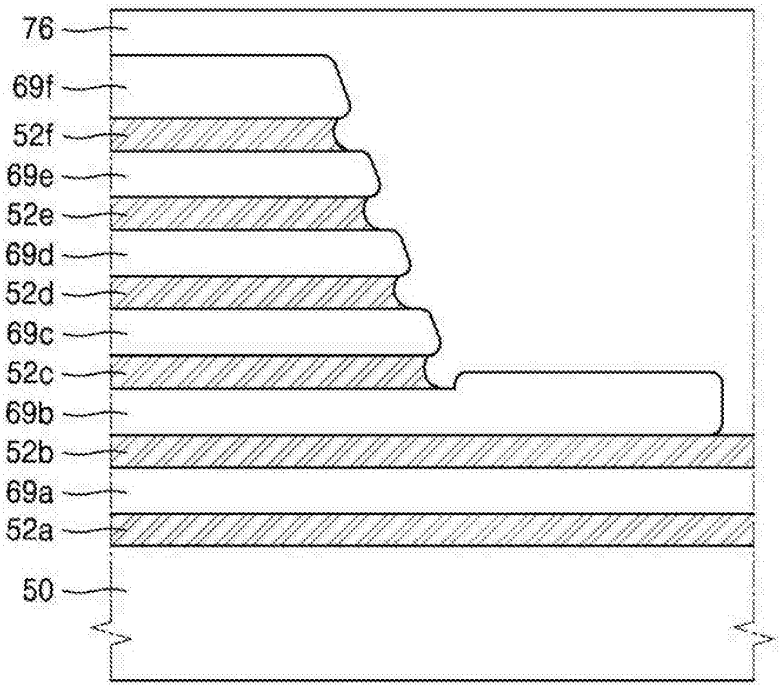


图9F

Micron Ex. 1002, p. 594
Micron v. YMTC
IPR2025-00035

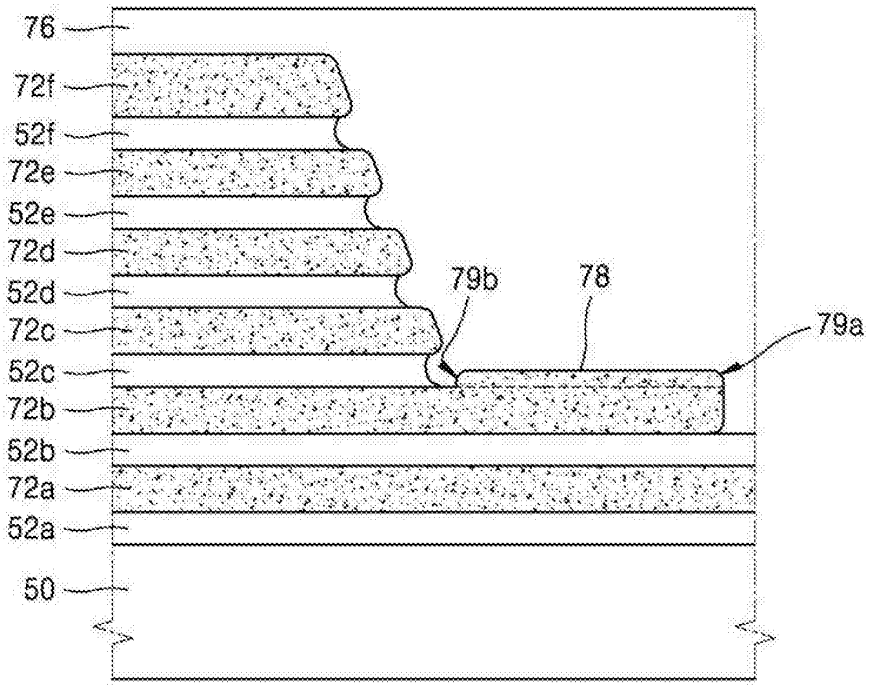


图9G

Micron Ex. 1002, p. 595
Micron v. YMTC
IPR2025-00035

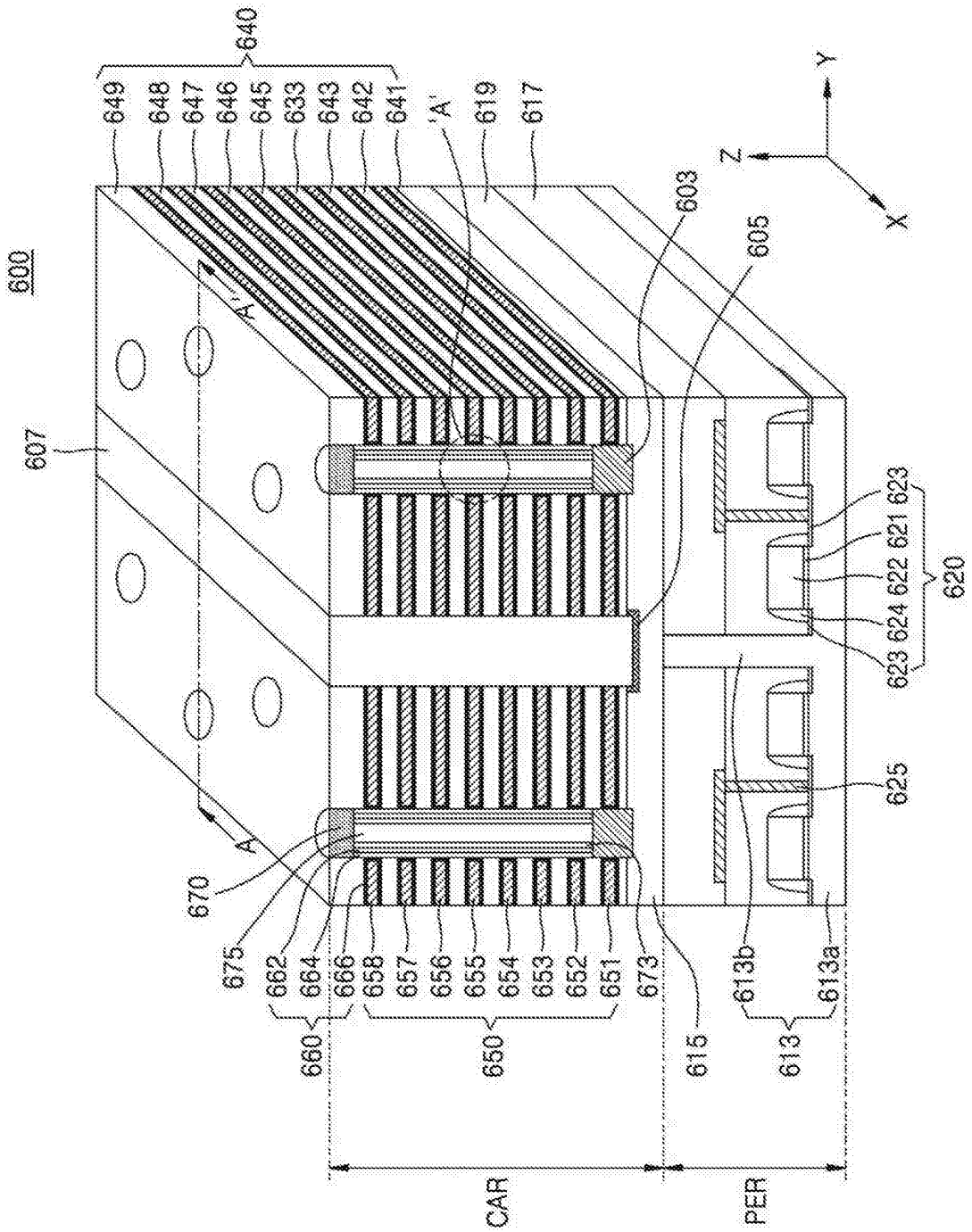


图10

Micron Ex. 1002, p. 596
Micron v. YMTC
IPR2025-00035

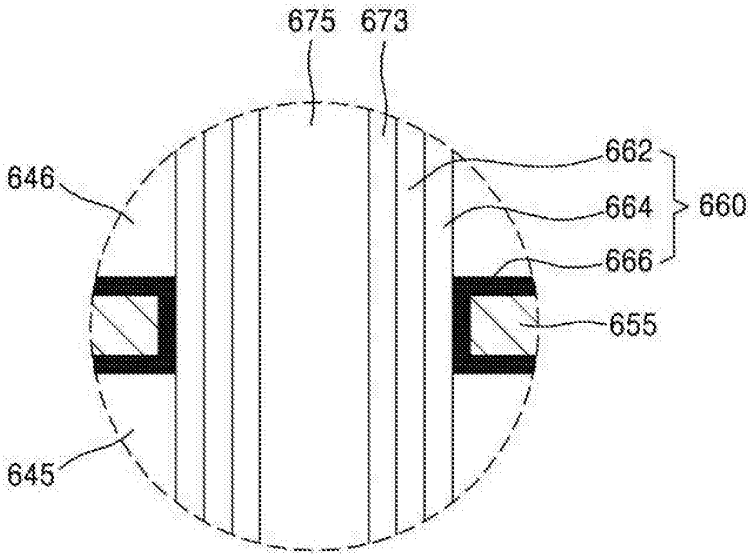


图11

Micron Ex. 1002, p. 597
Micron v. YMTC
IPR2025-00035

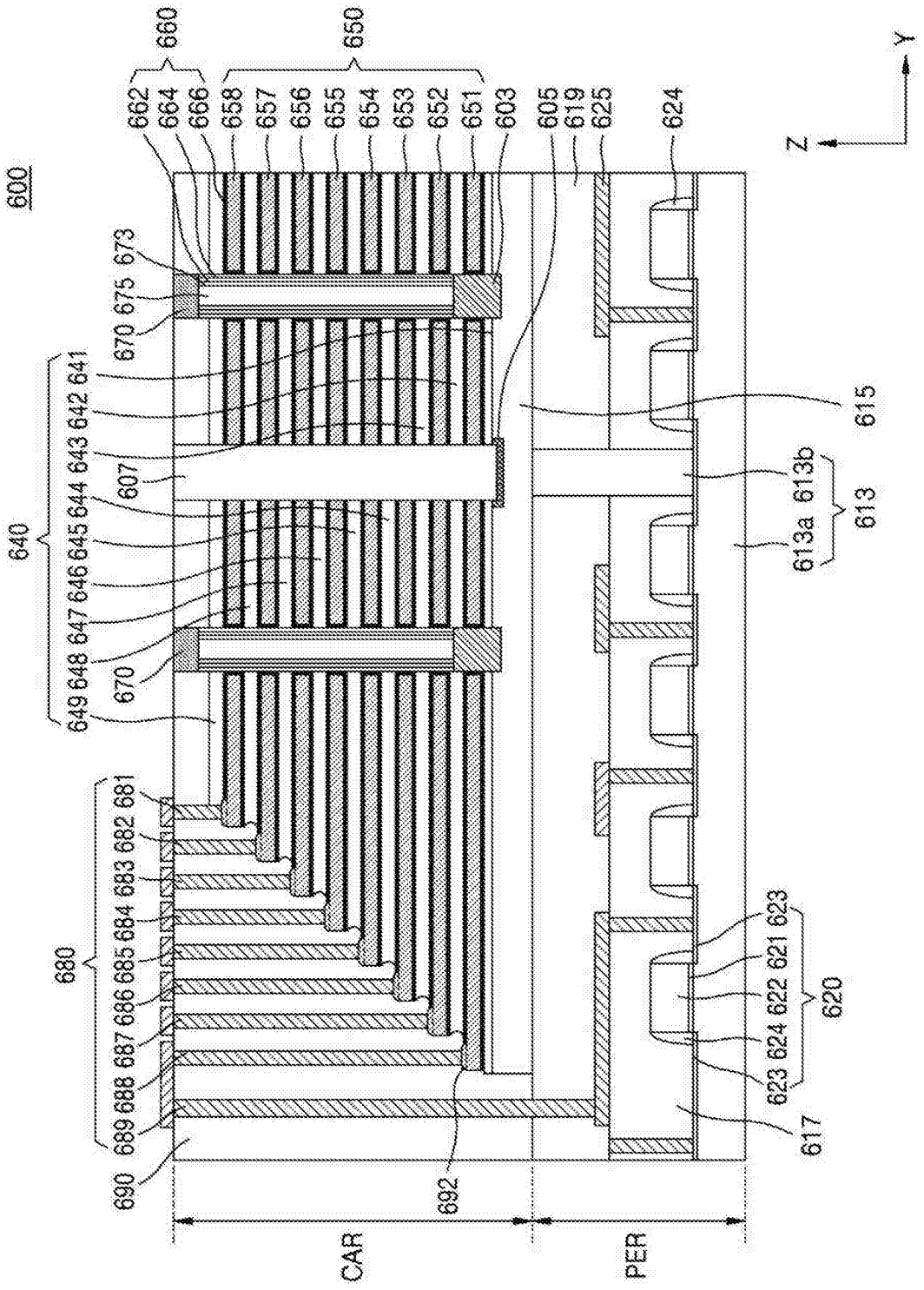


图12

Micron Ex. 1002, p. 598
Micron v. YMTC
IPR2025-00035

Espacenet

CN110718553A Semiconductor memory device and method for forming the same

Applicants: SK HYNIX INC

Inventors: OH SUNG-LAE

Classifications:
IPC ***H01L27/11568; H01L27/11582;***

CPC **H01L27/11548 (EP,US); H01L27/11556 (EP,US); H01L27/11568 (CN); H01L27/11575 (EP); H01L27/11582 (EP,CN,US); H01L45/1253 (US); H01L45/145 (US);**

Priorities: KR20180081048A 2018-07-12

Application: CN110718553A·2018-12-14

Publication: CN110718553A·2020-01-21

Published as: CN110718553A;**KR20200007212A; US10629614B2; US2020020714A1**

Semiconductor memory device and method for forming the same

Abstract

The invention discloses a semiconductor memory device and a method for forming the same. The semiconductor memory device includes a substrate defined with a first cell region, a slimming region extending from the first cell region in a first direction and a second cell region extending from the slimming region in the first direction; first and second electrode structures each including electrodeswhich are stacked on the substrate, and disposed to be separated from each other in a second direction crossing with the first direction, with a slit interposed therebetween; and a plurality of step-shaped holes disposed in the slimming region along the first direction, and respectively formed in the first and second electrode structures. Each of the step-shaped holes includes first step structures which face each other in the first direction, are symmetrical to each other and are separated by the slit and second step structures which face each other in the second direction and are symmetricalto each other.

Micron Ex. 1002, p. 599
Micron v. YMTC
IPR2025-00035

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 110718553 A
(43)申请公布日 2020.01.21

(21)申请号 201811531300.7

(22)申请日 2018.12.14

(30)优先权数据
10-2018-0081048 2018.07.12 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 吴星来

(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 刘久亮 黄纶伟

(51)Int.Cl.
H01L 27/11568(2017.01)
H01L 27/11582(2017.01)

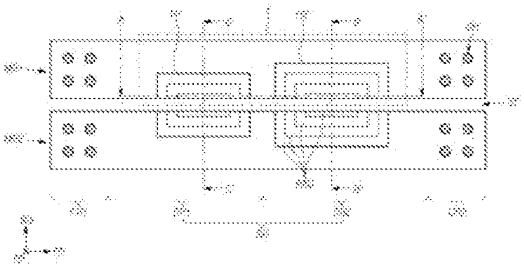
权利要求书3页 说明书12页 附图31页

(54)发明名称

半导体存储器装置及其形成方法

(57)摘要

半导体存储器装置及其形成方法。一种半导体存储器装置包括：基板，其限定有第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿所述第一方向延伸的第二单元区域；第一电极结构和第二电极结构，其各自包括层叠在所述基板上的多个电极，并且被设置为在与所述第一方向交叉的第二方向上以狭缝插置于其间的方式彼此分离；以及多个阶梯状孔，其沿着所述第一方向设置在所述减薄区域中，并且分别形成在所述第一电极结构和所述第二电极结构中，其中，所述阶梯状孔中的每一个包括在所述第一方向上彼此面对、彼此对称并且被所述狭缝分离的第一阶梯结构以及在所述第二方向上彼此面对并且彼此对称的第二阶梯结构。



CN 110718553 A

Micron Ex. 1002, p. 600
Micron v. YMTC
IPR2025-00035

1.一种半导体存储器装置,该半导体存储器装置包括:

基板,所述基板限定有第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿所述第一方向延伸的第二单元区域;

第一电极结构和第二电极结构,所述第一电极结构和所述第二电极结构各自包括层叠在所述基板上的多个电极,并且被设置为在与所述第一方向交叉的第二方向上彼此分离,狭缝被插置在所述第一电极结构和所述第二电极结构之间;以及

多个阶梯状孔,所述多个阶梯状孔沿着所述第一方向设置在所述减薄区域中,并且分别形成在所述第一电极结构和所述第二电极结构中,

其中,所述多个阶梯状孔中的每一个包括多个第一阶梯结构和多个第二阶梯结构,所述多个第一阶梯结构在所述第一方向上彼此面对、彼此对称并且被所述狭缝分离,所述多个第二阶梯结构在所述第二方向上彼此面对并且彼此对称。

2.根据权利要求1所述的半导体存储器装置,其中,所述多个阶梯状孔中的每一个在所述第二方向上测量的宽度小于所述第一电极结构、所述第二电极结构和所述狭缝在所述第二方向上测量的总宽度。

3.根据权利要求1所述的半导体存储器装置,其中,所述第一阶梯结构和所述第二阶梯结构中的每一个包括具有相同高度的多个台阶。

4.根据权利要求3所述的半导体存储器装置,其中,所述多个台阶中的每一个台阶的高度与所述多个电极的垂直间距相同。

5.根据权利要求3所述的半导体存储器装置,其中,所述第一阶梯结构和所述第二阶梯结构包括相同数目的台阶。

6.根据权利要求1所述的半导体存储器装置,该半导体存储器装置还包括:

多个阶梯状沟槽,所述多个阶梯状沟槽在所述减薄区域中在垂直方向穿透所述电极的部分并且各自包括在所述第一方向上彼此面对且彼此对称的多个第三阶梯结构,

其中,当从顶部观察时,所述阶梯状沟槽与第一阶梯状孔和第二阶梯状孔交叉并且在所述第二方向上横穿所述第一电极结构和所述第二电极结构。

7.根据权利要求6所述的半导体存储器装置,其中,所述电极包括:

多个第一电极,所述多个第一电极未被所述阶梯状沟槽划分开;以及

N个第二电极,所述N个第二电极层叠在所述第一电极上并且被所述阶梯状沟槽划分开,其中,N是2或更大的自然数。

8.根据权利要求7所述的半导体存储器装置,其中,所述第一电极的数目大于N。

9.根据权利要求7所述的半导体存储器装置,其中,所述第一阶梯结构和所述第二阶梯结构包括具有相同高度的多个台阶。

10.根据权利要求9所述的半导体存储器装置,其中,所述多个台阶中的每一个台阶的高度具有与所述多个电极的垂直间距的K倍对应的尺寸,K是2与N+1之间的自然数。

11.根据权利要求7所述的半导体存储器装置,其中,每个所述第三阶梯结构包括具有相同高度的多个台阶。

12.根据权利要求11所述的半导体存储器装置,其中,所述多个台阶中的每一个台阶的高度与所述多个电极的垂直间距相同。

13.一种用于形成半导体存储器装置的方法,该方法包括以下步骤:

Micron Ex. 1002, p. 601
Micron v. YMTC
IPR2025-00035

通过在包括第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿所述第一方向延伸的第二单元区域的基板上交替地层叠第一材料层和第二材料层来形成层叠件；

在所述层叠件上形成具有沿着所述第一方向设置成一行的多个第一开孔的孔型掩模图案；

通过经由使用所述孔型掩模图案作为蚀刻阻挡件的焊盘蚀刻工艺对所述层叠件进行蚀刻来形成多个第一阶梯状孔，所述多个第一阶梯状孔各自包括在所述第一方向上彼此面对并且彼此对称的一对第一阶梯结构以及在与所述第一方向交叉的第二方向上彼此面对并且彼此对称的一对第二阶梯结构；

通过对所述层叠件进行蚀刻以使得所述多个第一阶梯状孔中的至少一个凹陷来形成第二阶梯状孔；以及

通过在所述层叠件中形成在所述第一方向上横穿所述第一阶梯状孔和所述第二阶梯状孔的狭缝来划分所述层叠件。

14.根据权利要求13所述的方法，该方法还包括以下步骤：

在执行所述焊盘蚀刻工艺之后，执行增加所述第一开孔在所述第一方向和所述第二方向上的宽度的切边工艺，

其中，所述焊盘蚀刻工艺和所述切边工艺被交替地且重复地执行。

15.根据权利要求14所述的方法，其中，所述焊盘蚀刻工艺将所述第一材料层和所述第二材料层蚀刻与多个所述第一材料层的垂直间距对应的深度。

16.根据权利要求13所述的方法，该方法还包括以下步骤：在形成所述层叠件之后并且在形成所述孔型掩模图案之前：

在所述层叠件上形成具有多个线型开口的线型掩模图案，所述多个线型开口分别横穿要形成有所述第一阶梯状孔和所述第二阶梯状孔的部分；以及

通过经由使用所述线型掩模图案作为蚀刻阻挡件的单位蚀刻工艺对所述层叠件进行蚀刻来形成多个阶梯状沟槽，所述多个阶梯状沟槽各自包括在所述第一方向上彼此面对并且彼此对称的一对第三阶梯结构。

17.根据权利要求16所述的方法，该方法还包括以下步骤：

在执行所述单位蚀刻工艺之后，执行用于增加所述线型掩模图案的开口面积的切边工艺，

其中，所述单位蚀刻工艺和所述切边工艺被交替地且重复地执行。

18.根据权利要求17所述的方法，其中，所述单位蚀刻工艺将所述第一材料层和所述第二材料层蚀刻与多个所述第一材料层的垂直间距对应的深度。

19.根据权利要求18所述的方法，其中，在所述单位蚀刻工艺的次数是N的情况下，所述焊盘蚀刻工艺的蚀刻深度是多个所述第一材料层的垂直间距的K倍，其中，N是自然数，K是2与N+1之间的自然数。

20.一种半导体存储器装置，该半导体存储器装置包括：

基板；

层叠件，所述层叠件在所述基板上具有交替的第一材料层和第二材料层，所述基板包括第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿

Micron Ex. 1002, p. 602
Micron v. YMTC
IPR2025-00035

所述第一方向延伸的第二单元区域；

第一阶梯状孔和第二阶梯状孔，所述第一阶梯状孔和所述第二阶梯状孔在第三方向上至少部分地穿透所述层叠件，所述第一阶梯状孔和所述第二阶梯状孔中的每一个包括在所述第一方向上彼此面对并且彼此对称的一对第一阶梯结构以及在与所述第一方向交叉的第二方向上彼此面对并且彼此对称的一对第二阶梯结构；

狭缝，所述狭缝将所述层叠件划分开并且在所述第一方向上横穿所述第一阶梯状孔和所述第二阶梯状孔；以及

第一阶梯状沟槽和第二阶梯状沟槽，所述第一阶梯状沟槽和所述第二阶梯状沟槽各自在所述第二方向上横穿整个层叠件并且分别与所述第一阶梯状孔和所述第二阶梯状孔交叉。

Micron Ex. 1002, p. 603
Micron v. YMTC
IPR2025-00035

半导体存储器装置及其形成方法

技术领域

[0001] 各种实施方式总体涉及半导体存储器装置，更具体地，涉及一种三维结构的半导体存储器装置及其形成方法。

背景技术

[0002] 消费者对于电子装置的改进的性能和更低价格的需求要求增加在电子装置中所采用的半导体器件的集成度。在二维半导体存储器装置中，集成度主要由每个单位存储器单元所占据的面积决定，其在很大程度上取决于精细图案形成设备的能力和技术。然而，用于形成越来越精细的图案的设备和技术的极高成本令人望而却步。因此，实际上，尽管仍然可以进行一些小的改进，但是二维半导体存储器装置的集成度已经达到界限。作为二维半导体器件的改进的替代方案，已经提出了具有三维布置的存储器单元的三维结构的半导体器件。

[0003] 三维半导体器件相对较新并且对半导体行业提出了新的挑战。目前正在进行广泛的研究以提供三维半导体存储器装置的改进的性能、改进的制造方法和改进的操作方法。

发明内容

[0004] 在一实施方式中，一种半导体存储器装置可包括：基板，所述基板限定有第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域(slimming region)以及从所述减薄区域沿所述第一方向延伸的第二单元区域；第一电极结构和第二电极结构，所述第一电极结构和所述第二电极结构各自包括层叠在所述基板上的多个电极，并且被设置为在与所述第一方向交叉的第二方向上以狭缝插置于其间的方式彼此分离；以及多个阶梯状孔，所述多个阶梯状孔沿着所述第一方向设置在所述减薄区域中，并且分别形成在所述第一电极结构和所述第二电极结构中。所述阶梯状孔中的每一个包括在所述第一方向上彼此面对、彼此对称并且被所述狭缝分离的第一阶梯结构以及在所述第二方向上彼此面对并且彼此对称的第二阶梯结构。

[0005] 在一实施方式中，一种用于形成半导体存储器装置的方法可包括以下步骤：通过在包括第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿所述第一方向延伸的第二单元区域在内的基板上交替地层叠第一材料层和第二材料层来形成层叠件；在所述层叠件上形成具有沿着所述第一方向设置成一行的第一开孔的孔型掩模图案；通过经由使用所述孔型掩模图案作为蚀刻阻挡件的焊盘蚀刻工艺对所述层叠件进行蚀刻来形成第一阶梯状孔，所述第一阶梯状孔各自包括在所述第一方向上彼此面对并且彼此对称的一对第一阶梯结构以及在与所述第一方向交叉的第二方向上彼此面对并且彼此对称的一对第二阶梯结构；通过对所述层叠件进行蚀刻以使得所述第一阶梯状孔中的至少一个凹陷来形成所述第二阶梯状孔；以及通过在所述层叠件中形成在所述第一方向上横穿所述第一阶梯状孔和所述第二阶梯状孔的狭缝来划分所述层叠件。

[0006] 一种半导体存储器装置，其包括：基板；层叠件，所述层叠件在所述基板上具有交

Micron Ex. 1002, p. 604
Micron v. YMTC
IPR2025-00035

替的第一材料层和第二材料层，所述基板包括第一单元区域、从所述第一单元区域沿第一方向延伸的减薄区域以及从所述减薄区域沿所述第一方向延伸的第二单元区域；第一阶梯状孔和第二阶梯状孔，所述第一阶梯状孔和所述第二阶梯状孔在第三方向上至少部分地穿透所述层叠件，所述第一阶梯状孔和所述第二阶梯状孔中的每一个包括在所述第一方向上彼此面对并且彼此对称的一对第一阶梯结构以及在与所述第一方向交叉的第二方向上彼此面对并且彼此对称的一对第二阶梯结构；狭缝，所述狭缝将所述层叠件划分开并且在所述第一方向上横穿所述第一阶梯状孔和所述第二阶梯状孔；以及第一阶梯状沟槽和第二阶梯状沟槽，所述第一阶梯状沟槽和所述第二阶梯状沟槽各自在所述第二方向上横穿整个层叠件并且分别与所述第一阶梯状孔和所述第二阶梯状孔交叉。

[0007] 根据以下结合附图的详细描述，本发明的这些特征和优点以及其它特征和优点对于本发明的领域的技术人员来说将变得清楚。

附图说明

[0008] 图1是例示根据本公开的一实施方式的半导体存储器装置的示例性配置的框图。

[0009] 图2是例示图1中所示的存储块中的一个的示例性配置的等效电路图。

[0010] 图3是例示根据本公开的一实施方式的半导体存储器装置的第一单元区域和第二单元区域以及减薄区域的示例性配置的顶视图。

[0011] 图4是例示根据本公开的一实施方式的半导体存储器装置的示意布图的示例性配置的截面图。

[0012] 图5、图6、图7、图8和图9是根据本公开的一实施方式的半导体存储器装置的各种视图的简化示意图。

[0013] 图10A至图10C以及图11A至图11C是根据本公开的一实施方式的用于形成半导体存储器装置的方法的各种视图的简化示意图。

[0014] 图12、图13、图14、图15和图16是根据本公开的一实施方式的半导体存储器装置的各种视图的简化示意图。

[0015] 图17A至17D、图18A至图18D以及图19A至图19D是根据本公开的一实施方式的用于形成半导体存储器装置的方法的各种视图的简化示意图。

[0016] 图20是示意性地例示包括根据本公开的一实施方式的半导体存储器装置的存储器系统的示例性配置的框图。

[0017] 图21是示意性地例示包括根据本公开的一实施方式的半导体存储器装置的计算系统的示例性配置的框图。

具体实施方式

[0018] 在下文中，将参照附图通过实施方式的各种示例在下面描述半导体存储器装置及其形成方法。

[0019] 附图是各种实施方式(和中间结构)的示意图。这样，将预期到由于例如制造技术和/或公差而导致图示的配置和形状的变化。因此，所描述的实施方式不应被解释为限于本文所示出的特定配置和形状，而是可包括配置和形状的不脱离所附权利要求中限定的本发明的精神和范围的变化。

Micron Ex. 1002, p. 605
Micron v. YMTC
IPR2025-00035

[0020] 本文参照本发明的理想化实施方式的横截面和/或平面图来描述本发明。然而，本发明的实施方式不应被解释为限制本发明构思。尽管将示出和描述本发明的一些实施方式，但是本领域普通技术人员将认识到，在不脱离本发明的原理和精神的情况下，可对这些实施方式做出改变。

[0021] 将理解的是，尽管本文可使用术语“第一”、“第二”、“第三”等来描述各种元件，但是这些元件不受这些术语的限制。这些术语用于将一个元件与另一元件区分开。因此，在不脱离本发明的精神和范围的情况下，下面描述的第一元件也可被称为第二元件或第三元件。

[0022] 还将理解的是，当元件被称为“连接到”或“联接到”另一元件时，该元件可直接在另一元件上、直接连接到或直接联接到另一元件，或者可存在一个或更多个中间元件。另外，还将理解，当元件被称为在两个元件“之间”时，该元件可以是这两个元件之间的唯一元件，或者也可存在一个或更多个中间元件。

[0023] 本文所使用的术语仅出于描述具体实施方式的目的，而不意图限制本发明。

[0024] 如本文所使用的，除非上下文另有明确说明，否则单数形式也旨在包括复数形式。

[0025] 还将理解，当在本说明书中使用术语“包括”、“包含”、“含有”和“涵盖”时，其指定任何所述元件的存在并且不排除一个或更多个其它元件的存在或添加。如本文所使用的，术语“和/或”包括相关的列举项目中的一个或更多个的任何组合和所有组合。

[0026] 除非另外定义，否则本文所使用的包括技术术语和科学术语在内的所有术语具有与本发明所属领域的普通技术人员在阅读本公开时通常理解的含义相同的含义。

[0027] 还将理解，除非本文中明确定义，否则术语(诸如在通用字典中定义的术语)应被解释为具有与它们在本公开的上下文和相关领域中的含义一致的含义，而不被解释为理想的或者过于形式化的含义。

[0028] 在以下描述中，阐述了许多具体细节以便提供对本发明的透彻理解。可在没有这些具体细节中的一些或全部的情况下实践本发明。在其它情况下，没有详细描述众所周知的工艺结构和/或工艺，以免不必要地模糊本发明。

[0029] 还应注意，在一些情况下，除非另有明确说明，否则如对于相关领域的技术人员显而易见的，结合一个实施方式所描述的特征或元件可单独使用或者与另一个实施方式的其它特征或元件组合使用。

[0030] 在下文中，在附图中，将与基板的顶表面垂直的方向定义为第三方向TD，并且将与基板的顶表面平行并且彼此交叉的两个方向分别定义为第一方向FD和第二方向SD。基板可对应于单层基板或多层基板。

[0031] 图1是例示根据本公开的一实施方式的半导体存储器装置的示例性配置的框图。

[0032] 参照图1，根据一实施方式的半导体存储器装置100可以包括存储器单元阵列110、行解码器120、页缓冲器电路130和外围电路140。

[0033] 存储器单元阵列110可以包括多个存储块BLK1至BLKn。存储块BLK1至BLKn中的每一个可包括多个存储器单元。可通过字线和位线对存储器单元进行存取。存储器单元可以是在供电中断时丢失存储在其中的数据的易失性存储器单元，或者可以是即使供电中断也保存存储在其中的数据的非易失性存储器单元。虽然下面描述了半导体存储器装置100是垂直型NAND闪存装置，但是应注意，本公开的技术精神不限于此。

Micron Ex. 1002, p. 606
Micron v. YMTC
IPR2025-00035

[0034] 行解码器120可通过行线RL联接到存储器单元阵列110。行线RL可包括至少一条漏极选择线、多条字线和至少一条源极选择线。行解码器120可根据地址信息选择存储器单元阵列110的存储块BLK1至BLKn当中的一个存储块。行解码器120可将来自外围电路140的操作电压X_V(例如,编程电压、通过电压和读取电压)传送到与所选择的存储块联接的行线RL。为了传送操作电压X_V,行解码器120可包括分别联接到行线RL的多个通过晶体管(pass transistor)。

[0035] 页缓冲器电路130可通过位线BL联接到存储器单元阵列110。页缓冲器电路130可包括分别联接到位线BL的多个页缓冲器PB。页缓冲器电路130可从外围电路140接收页缓冲器控制信号PB_C,并且可向外围电路140发送数据信号DATA和从外围电路140接收数据信号DATA。

[0036] 页缓冲器电路130可响应于页缓冲器控制信号PB_C而控制与存储器单元阵列110联接的位线。例如,页缓冲器电路130可响应于页缓冲器控制信号PB_C而通过感测存储器单元阵列110的位线BL的信号来检测存储器单元阵列110的存储器单元中所存储的数据,并且可根据检测到的数据将数据信号DATA发送到外围电路140。页缓冲器电路130可响应于页缓冲器控制信号PB_C,基于从外围电路140接收到的数据信号DATA将信号施加到位线BL,由此可将数据写入到存储器单元阵列110的存储器单元中。页缓冲器电路130可将数据写入与由行解码器120激活的字线联接的存储器单元中或从该存储器单元读取数据。

[0037] 外围电路140可从半导体存储器装置100的外部接收命令信号CMD、地址信号ADD和控制信号CTRL,并且可向半导体存储器装置100外部的装置(例如,存储器控制器)发送数据DATA和从其接收数据DATA。外围电路140可基于命令信号CMD、地址信号ADD和控制信号CTRL,输出用于将数据DATA写入存储器单元阵列110中或者从存储器单元阵列110读取数据DATA的信号,例如,行地址X_A、页缓冲器控制信号PB_C等。外围电路140可产生半导体存储器装置100中所需要的包括操作电压X_V的各种电压。

[0038] 图2是例示图1中所示的存储块中的一个的示例性配置的等效电路图。

[0039] 参照图2,存储块BLK1可包括联接在多条位线BL与公共源极线CSL之间的多个单元串CSTR。

[0040] 位线BL可在第二方向SD上延伸,并且可沿着第一方向FD布置。多个单元串CSTR可并联联接到各条位线BL。单元串CSTR可共同联接到公共源极线CSL。多个单元串CSTR可设置在多条位线BL与一条公共源极线CSL之间。

[0041] 每个单元串CSTR可包括联接到位线BL的漏极选择晶体管DST、联接到公共源极线CSL的源极选择晶体管SST以及联接在漏极选择晶体管DST与源极选择晶体管SST之间的多个存储器单元MC。漏极选择晶体管DST、存储器单元MC和源极选择晶体管SST可沿着第三方向TD串联联接。

[0042] 在第一方向FD上延伸的源极选择线SSL、多条字线WL和漏极选择线DSL可在位线BL与公共源极线CSL之间沿着第三方向TD层叠。漏极选择线DSL可分别联接到对应的漏极选择晶体管DST的栅极。字线WL可分别联接到对应的存储器单元MC的栅极。源极选择线SSL可联接到源极选择晶体管SST的栅极。

[0043] 图3是例示根据本公开的半导体存储器装置的区域的示例性配置的顶视图,图4是例示根据本公开的半导体存储器装置的示意布图的示例性配置的截面图。

Micron Ex. 1002, p. 607
Micron v. YMTC
IPR2025-00035

[0044] 参照图3和图4，半导体存储器装置100可包括第一单元区域CR1和第二单元区域CR2以及减薄区域SR。第一单元区域CR1和第二单元区域CR2可被设置为沿着第一方向FD彼此分离，并且减薄区域SR可设置在第一单元区域CR1与第二单元区域CR2之间。

[0045] 半导体存储器装置100可包括第一基板10、设置在第一基板10上的逻辑结构20、设置在逻辑结构20上的第二基板30以及设置在第二基板30上的存储器结构40。逻辑结构20可包括图1的行解码器120、页缓冲器电路130和外围电路140，而存储器结构40可包括图1的存储器单元阵列110。

[0046] 减薄区域SR的逻辑结构20可包括行解码器120(参见图1)的通过晶体管PT。虽然未示出，但是存储器结构40可包括沿着第三方向TD层叠的多个电极。电极可包括至少一条漏极选择线、多条字线和至少一条源极选择线。作为与第一基板10和第二基板30的顶表面基本垂直的方向的第三方向TD也可被定义为垂直方向。在以下描述中，术语“垂直”或“垂直方向”将被用作具有与术语“第三方向”基本相同的含义。

[0047] 为了与接触插塞联接，每个电极可在减薄区域SR中包括由位于其上的另一电极暴露的焊盘区域。换句话说，为了提供焊盘区域，可在减薄区域SR的电极中限定阶梯结构。

[0048] 可通过交替地且重复地执行蚀刻工艺和切边工艺(trimming process)来形成阶梯结构。在蚀刻工艺中，可通过使用具有沿着作为电极的宽度方向的第二方向SD延伸的开口的掩模图案作为蚀刻阻挡件(etch barrier)来蚀刻电极。在切边工艺中，可使掩模图案的开口宽度变宽。在形成这种阶梯结构的过程中，随着电极在减薄区域SR中被分开，第一单元区域CR1的电极和第二单元区域CR2的电极可电分离。由于具有相同的垂直位置的第一单元区域CR1的电极和第二单元区域CR2的电极应该具有相同的电位，因此在电极被分离的情况下，应该形成附加布线来电联接分离的电极。因此，由于半导体存储器装置100中所需的整个布线的数目增加，布线形成工艺的裕量(margin)可减小。

[0049] 作为防止电极分离的方法，可使用在蚀刻工艺中附加形成部分覆盖掩模图案的开口的掩模图案的方法。然而，在这种情况下，由于在制造附加掩模图案时产生的成本，导致半导体存储器装置100的制造成本可增加。

[0050] 随着半导体存储器装置趋向于高容量和高集成度，字线的层叠数目正在增加，因此，包括字线的电极的数目和限定在电极中的焊盘区域的数目也在增加。如果焊盘区域的数目增加，则减薄区域SR在第一方向FD上的宽度W1可变得比由通过晶体管PT所占据的区域的宽度W2更长，并且由于这个事实，半导体存储器装置100的尺寸可变得大于电路布置所需的尺寸。

[0051] 本公开的实施方式提供了一种半导体存储器装置及其形成方法，其能够通过使用少量的掩模来防止电极分离或能够减少要分离的电极的数目。本公开的实施方式可提供一种半导体存储器装置及其形成方法，其能够减小减薄区域的宽度并减小半导体存储器装置的尺寸。

[0052] 图5至图9是根据本公开的一实施方式的半导体存储器装置的各种视图的简化示意图。详细地说，图5是例示根据一实施方式的半导体存储器装置的一部分的顶视图，图6是沿着图5的线A-A'截取的截面图，图7是沿着图5的线B-B'截取的截面图，图8是沿着图5的线C-C'截取的截面图，并且图9是例示图5的部分I的立体图。

[0053] 参照图5至图9，基板50可包括第一单元区域CR1、从第一单元区域CR1沿第一方向

Micron Ex. 1002, p. 608
Micron v. YMTC
IPR2025-00035

FD延伸的减薄区域SR以及从减薄区域SR沿第一方向FD延伸的第二单元区域CR2。减薄区域SR可被划分为沿着第一方向FD布置成一行的多个减薄区域SR1和SR2(或者简单地说,区域SR1和SR2)。虽然在本实施方式中例示了减薄区域SR被划分为两个区域,但是应注意,减薄区域SR可被划分为沿着第一方向FD布置成一行的至少三个区域。在下文中,为了便于说明,区域SR1和SR2将被定义为第一区域SR1和第二区域SR2。

[0054] 基板50可由从包括单晶硅层、SOI(绝缘体上硅)、形成在硅锗(SiGe)层上的硅层、形成在电介质层上的单晶硅层以及形成在电介质层上的多晶硅层的组中选择的至少一层形成或包括至少一层。

[0055] 第一电极结构MB1和第二电极结构MB2可按照在第二方向SD上彼此分离的方式设置在基板50上。第一电极结构MB1和第二电极结构MB2可通过沿着第一方向FD延伸的狭缝ST彼此分离。第一电极结构MB1和第二电极结构MB2之间的间隔距离可以与狭缝ST在第二方向SD上的宽度基本相同。

[0056] 第一电极结构MB1和第二电极结构MB2中的每一个可包括垂直层叠在基板50上的多个电极60。层间电介质层62可设置在电极60上方和下方。电极60可由导电材料形成或者包含导电材料。例如,电极60可由掺杂半导体、金属、导电金属氮化物或过渡金属形成或者包含掺杂半导体、金属、导电金属氮化物或过渡金属。层间电介质层62可由电介质材料形成或者包含电介质材料。例如,层间电介质层62可由硅氧化物形成或者包含硅氧化物。沟道结构CH穿过第一单元区域CR1和第二单元区域CR2中的电极60和层间电介质层62。

[0057] 每个沟道结构CH可包括沟道层和栅极电介质层。沟道层可由多晶硅或单晶硅形成或者包含多晶硅或单晶硅,并且可在一些区域中包含诸如硼(B)之类的P型杂质。沟道层可具有柱形状或其中心被完全填满的实心圆柱体形状。虽然未示出,但是沟道层可具有其中心区域敞开的管形状。在这种情况下,可在沟道层的敞开的中心区域中形成掩埋电介质层。栅极电介质层可具有围绕沟道层的外壁的吸管形状或圆柱壳体形状。虽然未示出,但是栅极电介质层可包括从沟道层的外壁起依次层叠的隧道电介质层、电荷储存层和阻挡层。栅极电介质层可具有其中氧化物层、氮化物层和氧化物层依次层叠的ONO(氧化物-氮化物-氧化物)层叠结构。

[0058] 多个阶梯状孔H1和H2可在减薄区域SR中沿着第一方向FD形成。阶梯状孔H1和H2中的每一个可以垂直地形成在第一电极结构MB1的一部分和第二电极结构MB2的一部分中。孔H1和H2中的每一个由狭缝ST分割成两部分。孔H1和H2的由狭缝SLT分割开的两个部分可彼此对称。

[0059] 第一电极结构MB1和第二电极结构MB2可具有彼此面对的第一侧表面和背离第一侧表面的第二侧表面。第一阶梯状孔H1和第二阶梯状孔H2可被形成为与狭缝ST连通。第一阶梯状孔H1和第二阶梯状孔H2可形成自第一电极结构MB1和第二电极结构MB2的彼此面对的第一侧表面,并且在第二方向SD上具有从第一电极结构MB1和第二电极结构MB2的第一侧表面朝向第一电极结构MB1和第二电极结构MB2的第二侧表面延伸的宽度,然而,它们不会到达第一电极结构MB1和第二电极结构MB2的第二侧表面。第一电极结构MB1和第二电极结构MB2的第二侧表面未形成有第一阶梯状孔H1和第二阶梯状孔H2。包括在第一电极结构MB1和第二电极结构MB2中的所有电极60没有被第一阶梯状孔H1和第二阶梯状孔H2完全划分成多个分离的结构。例如,如图6所示,第二阶梯状孔H2可以比第一阶梯状孔H1更深地穿过第

Micron Ex. 1002, p. 609
Micron v. YMTC
IPR2025-00035

一电极结构MB1和第二电极结构MB2。

[0060] 第一阶梯状孔H1和第二阶梯状孔H2可具有倒金字塔形状，并且可被形成为具有不同的深度。可在第一阶梯状孔H1和第二阶梯状孔H2的侧壁上形成阶梯结构。详细地，第一阶梯状孔H1和第二阶梯状孔H2中的每一个可具有在第一方向FD上彼此面对并且彼此对称的一对第一阶梯结构SW1以及在第二方向SD2上彼此面对并且彼此对称的一对第二阶梯结构SW2。一对第二阶梯结构SW2中的一个可形成在第一电极结构MB1中，而这对第二阶梯结构SW2中的另一个可形成在第二电极结构MB2中。一对第一阶梯结构SW1可在第一电极结构MB1中所形成的第二阶梯结构SW2与第二电极结构MB2中所形成的第二阶梯结构SW2之间沿着第二方向SD延伸，并且可被狭缝ST划分开。第一阶梯状孔H1和第二阶梯状孔H2中的每一个可以是相对于狭缝ST对称的结构。

[0061] 第一阶梯结构SW1和第二阶梯结构SW2中的每一个可包括具有相同高度的多个台阶S1。每个台阶S1的高度可具有与电极60的垂直间距对应的尺寸。

[0062] 在第一阶梯状孔H1和第二阶梯状孔H2中的每一个中，每个电极60可具有焊盘区域PAD，该焊盘区域PAD未被覆盖但是保留为由位于其上的电极60暴露。当从顶部观察时，电极60的焊盘区域PAD可在第一方向FD和第二方向SD上设置在不同位置处。电极60的焊盘区域PAD与它们所处的阶梯状孔H1和H2的中心的水平距离可随着焊盘区域PAD距基板50的垂直距离的增加而增加。

[0063] 参照图9，在本实施方式中，位于第一阶梯状孔H1和第二阶梯状孔H2的相应底部的焊盘区域PAD可具有四边形平面结构。剩余的焊盘区域PAD可各自具有大致U形的平面结构。剩余的焊盘区域PAD中的每一个可具有在第一方向FD上延伸的第一部分(基部)和从第一部分的两端沿第二方向SD延伸的一对第二部分(腿部)以形成U形状。在剩余的焊盘区域PAD中，第一部分在第一方向FD上的长度和第二部分在第二方向SD上的长度可随着剩余的焊盘区域PAD距第一阶梯状孔H1和第二阶梯状孔H2的中心的水平距离的增加而变长。虽然未示出，但是在垂直方向上延伸的接触插塞可联接到相应的焊盘区域PAD。

[0064] 从以上描述显而易见的是，根据本实施方式，电极60在减薄区域SR中未被划分开。因此，不需要用于联接分离的电极60的布线。结果，当与电极被划分开的情况相比较时，由于半导体存储器装置中所需的整个布线的数目减少，所以可提高布线形成工艺的裕量。另外，当从顶部观察时，因为电极60的焊盘区域PAD在第一方向FD和第二方向SD上设置在不同位置处，所以要与焊盘区域PAD联接的接触插塞可在第一方向FD和第二方向SD上设置在不同位置处。因此，当与焊盘区域PAD仅沿第一方向FD设置并且要与焊盘区域PAD联接的接触插塞应当仅沿第一方向FD设置的情况相比时，能够增加接触插塞之间的间隙，因此，能够抑制由于相邻的接触插塞发生短路而导致的故障的出现。此外，由于不需要将焊盘区域PAD形成为具有第一方向FD上的较宽的宽度以防止接触插塞短路，因此能够减小减薄区域SR在第一方向FD上的宽度，由此能够提供尺寸减小的半导体存储器装置。

[0065] 图10A至图11C是用于形成上面参照图5至图9描述的半导体存储器装置的方法的各种视图的简化示意图。详细地，图10A和图11A例示了相应的制造步骤中的平面结构，图10B和图11B例示了沿着图10A和图11A的线A-A'截取的截面图，并且图10C和图11C例示了沿着图10A和图11A的线B-B'截取的截面图。

[0066] 参照图10A至图10C，通过在包括第一单元区域(图5中的CR1)、从第一单元区域CR1

Micron Ex. 1002, p. 610
Micron v. YMTC
IPR2025-00035

沿第一方向FD延伸的减薄区域SR以及从减薄区域SR沿第一方向FD延伸的第二单元区域(图5中的CR2)的基板50上交替地层叠第一材料70和第二材料72来形成层叠件ML。

[0067] 减薄区域SR可被划分为沿着第一方向FD设置成一行的多个减薄区域SR1和SR2。在本实施方式中,作为示例示出了减薄区域SR被划分为第一区域SR1和第二区域SR2。

[0068] 第一材料层70和第二材料层72可由不同的材料形成。例如,第二材料层72可由用于层间电介质层的电介质材料形成,而第一材料层70可由用作牺牲材料的电介质材料形成并且相对于第二材料层72具有蚀刻选择性。例如,第一材料层70可由硅氮化物形成,第二材料层72可由硅氧化物形成。

[0069] 然后,通过对层叠件ML进行蚀刻,形成沿着第一方向FD设置成一行的多个第一阶梯状孔H1。第一阶梯状孔H1可分别设置在第一区域SR1和第二区域SR2中。每个第一阶梯状孔H1可具有在第一方向FD上彼此面对并且彼此对称的一对第一阶梯结构SW1和在第二方向SD上彼此面对并且彼此对称的一对第二阶梯结构SW2。第一阶梯状孔H1可通过下面描述的工艺形成。

[0070] 首先,在层叠件ML上形成包括分别暴露第一区域SR1和第二区域SR2的部分的第一开孔的第一孔型掩模图案PR1。然后,通过交替地执行多个焊盘蚀刻工艺和多个切边工艺来形成第一阶梯状孔H1。在每个焊盘蚀刻工艺中,可通过使用第一孔型掩模图案PR1作为蚀刻阻挡件来将层叠件ML蚀刻第一蚀刻深度。在每个切边工艺中,可使第一孔型掩模图案PR1的第一开孔在第一方向FD和第二方向SD上的宽度增加。第一蚀刻深度可对应于第一材料层70的垂直间距。在本实施方式中,第一阶梯结构SW1和第二阶梯结构SW2可具有相同数目的台阶。

[0071] 第一孔型掩模图案PR1可使用光刻工艺形成,并且可在形成第一阶梯状孔H1之后被去除。

[0072] 参照图11A至图11C,通过使第一阶梯状孔H1中的一个(例如,第二区域SR2的第一阶梯状孔H1)凹陷来形成第二阶梯状孔H2。第二阶梯状孔H2可通过下面描述的工艺形成。

[0073] 首先,在形成有第一阶梯状孔H1的层叠件ML上形成具有第二开孔的第二孔型掩模图案PR2,该第二开孔使形成在第二区域SR2中的第一阶梯状孔H1敞开第一面积。第一面积可大于第一开孔的开口面积。然后,通过对层叠件ML进行蚀刻使得由第二孔型掩模图案PR2暴露的第一阶梯状孔H1凹陷来形成第二阶梯状孔H2。

[0074] 第二孔型掩模图案PR2可使用光刻工艺形成,并且可在形成第二阶梯状孔H2之后被去除。

[0075] 此后,虽然未示出,但是通过形成狭缝(图5和图7至图8中的ST)来划分层叠件ML,该狭缝垂直地穿过层叠件ML并且在第一方向FD上横穿第一阶梯状孔H1和第二阶梯状孔H2。

[0076] 然后,在第一单元区域CR1和第二单元区域CR2中形成垂直地穿过层叠件ML的沟道结构(图5中的CH),并且去除用作牺牲层的第一材料层70。此后,通过在通过去除第一材料层70而形成的空间中填充电极材料,形成电极(图6和图7中的60)。以这种方式,形成图5至图9的第一电极结构MB1和第二电极结构MB2。

[0077] 从以上描述中显而易见的是,根据本实施方式,即使在焊盘蚀刻工艺中不使用附加掩模的情况下,也能够防止第一电极结构MB1和第二电极结构MB2的电极60被分开。

[0078] 图12至图16是根据本公开的一实施方式的半导体存储器装置的各种视图的简化

Micron Ex. 1002, p. 611
Micron v. YMTC
IPR2025-00035

示意图。详细地，图12是例示根据一实施方式的半导体存储器装置的一部分的顶视图，图13是沿着图12的线D-D'截取的截面图，图14是沿着图12的线E-E'截取的截面图，图15是沿着图12的线F-F'截取的截面图，图16是例示图12的部分II的立体图。

[0079] 在下面参照图12至图16进行的描述中，将省略与上面参照图5至图9描述的实施方式的配置相同的配置的重复描述。

[0080] 参照图12至图16，当与以上参照图5至图9所描述的实施方式相比较时，本实施方式还可包括在垂直方向上穿透电极60的部分的阶梯状沟槽R。

[0081] 参照图12至图16，当从顶部观察时，阶梯状沟槽R可被设置为横穿第一电极结构MB1和第二电极结构MB2在第二方向SD上的整个长度并且分别与第一阶梯状孔H1和第二阶梯状孔H2交叉。阶梯状沟槽R的部分可与第一阶梯状孔H1和第二阶梯状孔H2交叠。阶梯状沟槽R的未与第一阶梯状孔H1和第二阶梯状孔H2交叠的其它部分可在垂直方向上穿透层叠在上部的电极60。此外，阶梯状沟槽R的未与第一阶梯状孔H1和第二阶梯状孔H2交叠的其它部分可将层叠在上部的电极60划分成多个分离的结构。在本实施方式中，例示了通过阶梯状沟槽R将层叠在上部的三个电极60划分成多个分离的结构。尽管存在沟槽R，但是除了层叠在上部的三个电极60之外的剩余电极60未被划分成多个分离的结构。

[0082] 电极60可包括未被阶梯状沟槽R分开的第一电极60A以及层叠在第一电极60A上并且被阶梯状沟槽R分开的第二电极60B。第二电极60B的数目可以是N(N是2或更大的自然数)，并且第一电极60A的数目可以大于N。虽然在本实施方式中示出了第二电极60B的数目(即，N)为3，但是应注意的是，本实施方式不限于此。虽然未示出，但是第二电极60B的被阶梯状沟槽R分开并且位于相同层的各部分可通过布线电联接。与本实施方式不同，在电极60全部被划分开的情况下，为了将分开的电极60联接，需要与电极60的数目一样多的布线。在这种情况下，由于用于布置布线的空间不足，所以会减小工艺裕量。在本实施方式中，由于电极60没有被完全划分开而是仅一些电极60被划分，因此所需的布线数目较少，从而能够使由于用于布置布线的空间不足而导致的工艺裕量的减小最小化。

[0083] 第一阶梯状孔H1和第二阶梯状孔H2以及阶梯状沟槽R中的每一个可具有阶梯结构。详细地，第一阶梯状孔H1和第二阶梯状孔H2中的每一个可具有在第一方向FD上彼此面对并且彼此对称的一对第一阶梯结构SW1和在第二方向SD上彼此面对并且彼此对称的一对第二阶梯结构SW2。每个阶梯状沟槽R可具有在第一方向FD上彼此面对并且彼此对称的一对第三阶梯结构SW3。阶梯状沟槽R在第二方向上不具有阶梯结构。

[0084] 第一阶梯结构SW1和第二阶梯结构SW2中的每一个可包括具有相同高度的多个台阶S2。在一实施方式中，每个台阶S2的高度可具有与电极60的垂直间距的三倍对应的尺寸。虽然在本实施方式中示出了每个台阶S2的高度可具有与电极60的垂直间距的三倍对应的尺寸，但是应注意的是，本实施方式不限于此。在第二电极60B的数目是N的情况下，每个台阶S2的高度可以是电极60的垂直间距的K(K是2与N+1之间的自然数)倍。

[0085] 第三阶梯结构SW3中的每一个可包括具有相同高度的多个台阶S3。每个台阶S3的高度可以与电极60的垂直间距相同。

[0086] 由于第一阶梯结构SW1至第三阶梯结构SW3的存在，每个电极60可具有由位于其上的电极60暴露的焊盘区域PAD。当从顶部观察时，电极60的焊盘区域PAD可设置在第一方向FD和第二方向SD上的不同位置处。虽然未示出，但是在垂直方向上延伸的接触插塞可分别

Micron Ex. 1002, p. 612
Micron v. YMTC
IPR2025-00035

联接到电极60的焊盘区域PAD。

[0087] 从以上描述中显而易见的是，根据本实施方式，电极60中的一些电极而非整个电极在减薄区域SR中被划分开。结果，当与所有电极被划分的情况相比较时，由于将划分开的电极进行联接所需的附加布线的数目较少，因此半导体存储器装置中所需的整个布线的数目减少，从而可提高布线形成工艺的裕量。另外，当从顶部观察时，因为电极60的焊盘区域PAD在第一方向FD和第二方向SD能够设置在不同位置处，所以要与焊盘区域PAD联接的接触插塞可在第一方向FD和第二方向SD上设置在不同位置处。因此，当与焊盘区域PAD仅沿第一方向FD设置并且要与焊盘区域PAD联接的接触插塞应仅沿第一方向FD设置的情况相比较时，能够增加接触插塞之间的间隙，因此能够抑制相邻的接触插塞发生短路而导致的故障的出现。此外，由于不需要将焊盘区域PAD形成为在第一方向FD上具有宽的宽度以防止接触插塞短路，因此能够减薄区域SR在第一方向上的宽度，由此能够提供尺寸减小的半导体存储器装置。

[0088] 图17A至图19D是用于形成上面参照图12至图16所描述的半导体存储器装置的方法的各种视图的简化示意图。

[0089] 详细地，图17A、图18A和图19A例示了相应制造步骤中的平面结构，图17B、图18B和图19B例示了沿着图17A、图18A和图19A的线D-D'截取的截面图，图17C、图18C和图19C例示了沿着图17A、图18A和图19A的线E-E'截取的截面图，并且图17D、图18D和图19D是例示图17A、图18A和图19A的部分II的立体图。

[0090] 参照图17A至图17D，通过在包括第一单元区域(图12中的CR1)、从第一单元区域CR1沿第一方向FD延伸的减薄区域SR以及从减薄区域SR沿第一方向FD延伸的第二单元区域(图12中的CR2)的基板50上交替地层叠第一材料层70和第二材料层72来形成层叠件ML。

[0091] 减薄区域SR可被划分为沿着第一方向FD布置成一行的多个减薄区域，例如，第一减薄区域SR1和第二减薄区域SR2。虽然作为示例在本实施方式中例示了减薄区域SR包括两个减薄区域，即，第一减薄区域SR1和第二减薄区域SR2，但是应注意的是，本实施方式不限于此。

[0092] 第一材料层70和第二材料层72可由不同的材料形成。例如，第一材料层70可由用于获得用作牺牲层的层的第一电介质材料形成。第二材料层72可由用于获得层间电介质层的第二电介质材料形成。第一电介质材料可相对于制成第二材料层72的第二电介质材料具有蚀刻选择性。例如，第一材料层70可由硅氮化物形成，第二材料层72可由硅氧化物形成。

[0093] 接下来，通过对层叠件ML进行蚀刻，在减薄区域SR中形成多个阶梯状沟槽R。当从顶部观察时，阶梯状沟槽R可具有分别设置在第一区域SR1和第二区域SR2中并且沿着第二方向SD延伸的形状。阶梯状沟槽R可通过下面要描述的工艺形成。

[0094] 首先，在层叠件ML上形成包括线型开口的线型掩模图案PRO，线型开口沿第二方向SD分别暴露第一区域SR1和第二区域SR2。然后，通过交替且重复地执行多个蚀刻工艺和多个切边工艺来形成阶梯状沟槽R。在每个蚀刻工艺中，可通过使用掩模图案PRO作为蚀刻阻挡件来将层叠件ML蚀刻第一蚀刻深度。第一蚀刻深度可以与第一材料层70的垂直间距相同。在每个切边工艺中，可使掩模图案PRO的开口在第一方向FD和第二方向SD上的宽度增加。更具体地，根据实施方式，可通过使用掩模图案PRO作为蚀刻阻挡件的第一蚀刻工艺来将层叠件ML蚀刻第一蚀刻深度。在第一蚀刻工艺之后，可执行第一切边工艺以用于增加第

Micron Ex. 1002, p. 613
Micron v. YMTC
IPR2025-00035

一开口的宽度。然后，可通过使用经切边的掩模图案PRO作为蚀刻阻挡件的第二蚀刻工艺来将层叠件ML蚀刻第一蚀刻深度。在第二蚀刻工艺之后，可执行第二切边工艺。以这种方式，交替地重复蚀刻工艺和切边工艺。

[0095] 每个阶梯状沟槽R可具有在第一方向FD上彼此面对并且彼此对称的一对第三阶梯结构SW3。第三阶梯结构SW3可具有相同数目的台阶。虽然在本实施方式中示出了第三阶梯结构SW3中的每一个的台阶数是3，但是应当注意，本实施方式不限于此，并且可通过以交替方式重复进行蚀刻步骤和切边步骤来形成任何期望数目的台阶。

[0096] 线型掩模图案PRO可使用光刻工艺形成。在形成阶梯状沟槽R之后，可去除线型掩模图案PRO。

[0097] 参照图18A至图18D，通过对形成有阶梯状沟槽R的层叠件ML的部分进行蚀刻，形成多个第一阶梯状孔H1。可通过下面将描述的工艺来形成第一阶梯状孔H1。

[0098] 首先，在形成有阶梯状沟槽R的层叠件ML上形成包括第一开孔的第一孔型掩模图案PR1，第一开孔分别使阶梯状沟槽R的部分敞开。第一开孔可具有在第一方向FD上横穿阶梯状沟槽R的形状，并且每个第一开孔在第一方向FD上测量的宽度可大于每个阶梯状沟槽R在第一方向FD上测量的宽度。

[0099] 然后，通过交替地重复通过使用第一孔型掩模图案PR1作为蚀刻阻挡件将层叠件ML蚀刻第二蚀刻深度并由此使阶梯状沟槽R凹陷的焊盘蚀刻工艺和增加第一开孔在第一方向FD和第二方向SD上的宽度的切边工艺来形成第一阶梯状孔H1。

[0100] 在用于形成阶梯状沟槽R的单位蚀刻工艺的数目是N(N是自然数)的情况下，第二蚀刻深度可以是第一材料层70的垂直间距的K(K是2与N+1之间的自然数)倍。

[0101] 每个第一阶梯状孔H1可具有在第一方向FD上彼此面对并且彼此对称的第一阶梯结构SW1以及在第二方向SD上彼此面对并且彼此对称的第二阶梯结构SW2。

[0102] 第一孔型掩模图案PR1可使用光刻工艺来形成，并且可在形成第一阶梯状孔H1之后被去除。

[0103] 参照图19A至图19D，通过使形成在第二区域SR2中的第一阶梯状孔H1和阶梯状沟槽R凹陷来形成第二阶梯状孔H2。可通过下面描述的工艺形成第二阶梯状孔H2。

[0104] 首先，在层叠件ML上形成包括第二开孔的第二孔型掩模图案PR2，第二开孔使第二区域SR2的第一阶梯状孔H1敞开。然后，通过使用第二孔型掩模图案PR2作为蚀刻阻挡件对层叠件ML进行蚀刻以使得第一阶梯状孔H1和阶梯状沟槽R凹陷来形成第二阶梯状孔H2。

[0105] 第二孔型掩模图案PR2可使用光刻工艺来形成，并且可在形成第二阶梯状孔H2之后被去除。

[0106] 此后，虽然未示出，但是通过形成垂直地穿过层叠件ML并且沿第一方向FD横穿第一阶梯状孔H1和第二阶梯状孔H2的狭缝(图12和图15中的ST)来划分层叠件ML。

[0107] 然后，在第一单元区域CR1和第二单元区域CR2中形成垂直穿过层叠件ML的沟道结构(图12中的CH)，并且去除用作牺牲层的第一材料层70。此后，通过在经由去除第一材料层70所形成的空间中填充电极材料，形成电极(图13至图15中的60)。

[0108] 从以上描述中显而易见的是，根据本实施方式，即使在焊盘蚀刻工艺中不使用附加掩模的情况下，也能够防止第一电极结构MB1和第二电极结构MB2的电极60被分开。

[0109] 图20是示意性地例示包括根据本发明的一实施方式的存储器装置的存储器系统

Micron Ex. 1002, p. 614
Micron v. YMTC
IPR2025-00035

的简化框图。

[0110] 参照图20，存储器系统600可包括半导体存储器装置610和存储器控制器620。

[0111] 半导体存储器装置610可包括根据如上所述的本发明的一实施方式的存储器装置，并且可以按照如上所述的方式操作。存储器控制器620可控制半导体存储器装置610。例如，半导体存储器装置610和存储器控制器620的组合可被配置为存储卡或固态盘(SSD)。存储器控制器620可包括SRAM 621、中央处理单元(CPU)622、主机接口623、ECC块624、存储器接口625。

[0112] SRAM 621可用作CPU 622的工作存储器。主机接口623可包括可与存储器系统600联接的主机的数据交换协议。

[0113] ECC块624可检测并校正从半导体存储器装置610读出的数据中所包含的错误。

[0114] 存储器接口625可与半导体存储器装置610接口连接。CPU 622可执行用于存储器控制器620的数据交换的一般控制操作。

[0115] 尽管未示出，但是对于本领域技术人员来说应当显而易见的是，存储器系统600还可设置有存储用于与主机接口连接的代码数据的ROM。半导体存储器装置610可被设置为由多个闪存芯片构成的多芯片封装件。

[0116] 存储器系统600可用作具有低错误发生概率的高可靠性存储介质。可为诸如固态盘(SSD)之类的存储器系统提供上述非易失性存储器装置。存储器控制器620可通过诸如以下各项之类的各种接口协议中的一种与外部装置(例如，主机)通信：USB(通用串行总线)协议、MMC(多媒体卡)协议、PCI-E(外围组件快速互连)协议、SATA(串行高级技术附件)协议、PATA(并行高级技术附件)协议、SCSI(小型计算机系统接口)协议、ESDI(增强型小磁盘接口)协议和IDE(集成驱动电子设备)协议等。

[0117] 图21是示意性地例示包括根据本发明的一实施方式的存储器装置的计算系统的简化框图。

[0118] 参照图21，根据一实施方式的计算系统700可包括与系统总线760电联接的存储器系统710、微处理器(或CPU)720、RAM 730、用户接口740以及诸如基带芯片组之类的调制解调器750。在一实施方式中，计算系统700可以是移动装置，在这种情况下，可附加设置用于提供计算系统700的操作电压的电池(未示出)。尽管在附图中未示出，但是对于本领域技术人员来说应当显而易见的是，计算系统700还可包括应用芯片组、CMOS图像传感器(CIS)、移动DRAM等。存储器系统710可例如被配置为使用非易失性存储器来存储数据的SSD(固态驱动器/盘)。另外，作为示例，存储器系统710可被设置为融合闪存(例如，NAND或NOR闪存)。

[0119] 注意，上述实施方式不是仅通过装置和方法来实现，而是它们也可通过执行与每个实施方式的配置对应的功能的程序或者在其上记录有该程序的介质来实现。这些实现方式可由实施方式所属领域的技术人员从上述实施方式的描述中容易地得出。

[0120] 尽管已经出于说明性目的描述了各种实施方式，但是对于本领域技术人员来说将显而易见的是，在不脱离所附权利要求限定的本发明的精神和范围的情况下，可进行各种改变和修改。

[0121] 相关申请的交叉引用

[0122] 本申请要求于2018年7月12日向韩国知识产权局提交的韩国专利申请No.10-2018-0081048的优先权，该韩国专利申请的全部内容通过引用合并于本文中。

Micron Ex. 1002, p. 615
Micron v. YMTC
IPR2025-00035

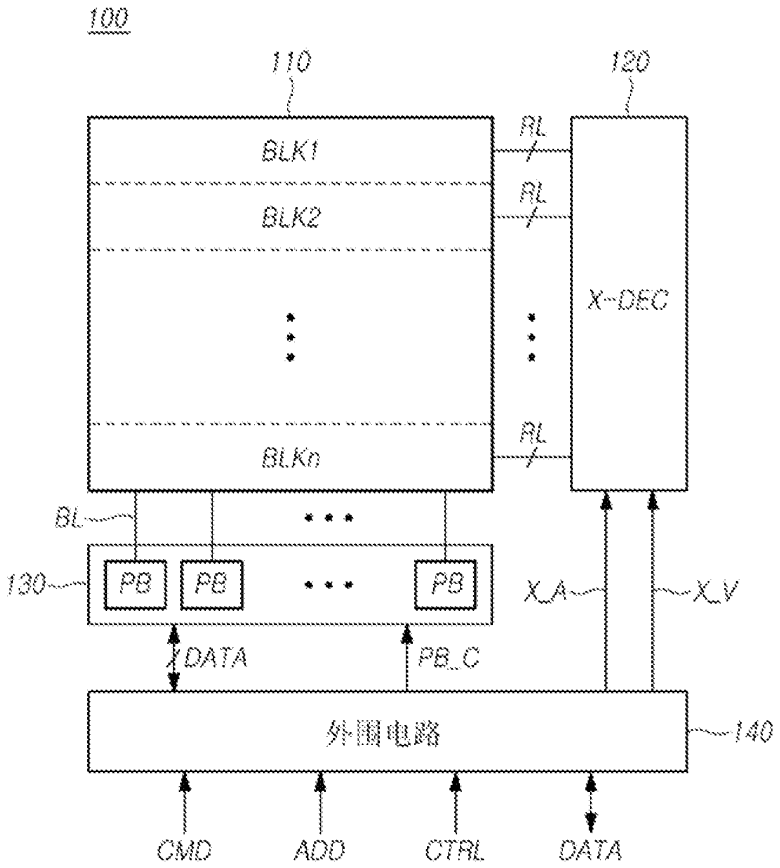


图1

Micron Ex. 1002, p. 616
Micron v. YMTC
IPR2025-00035

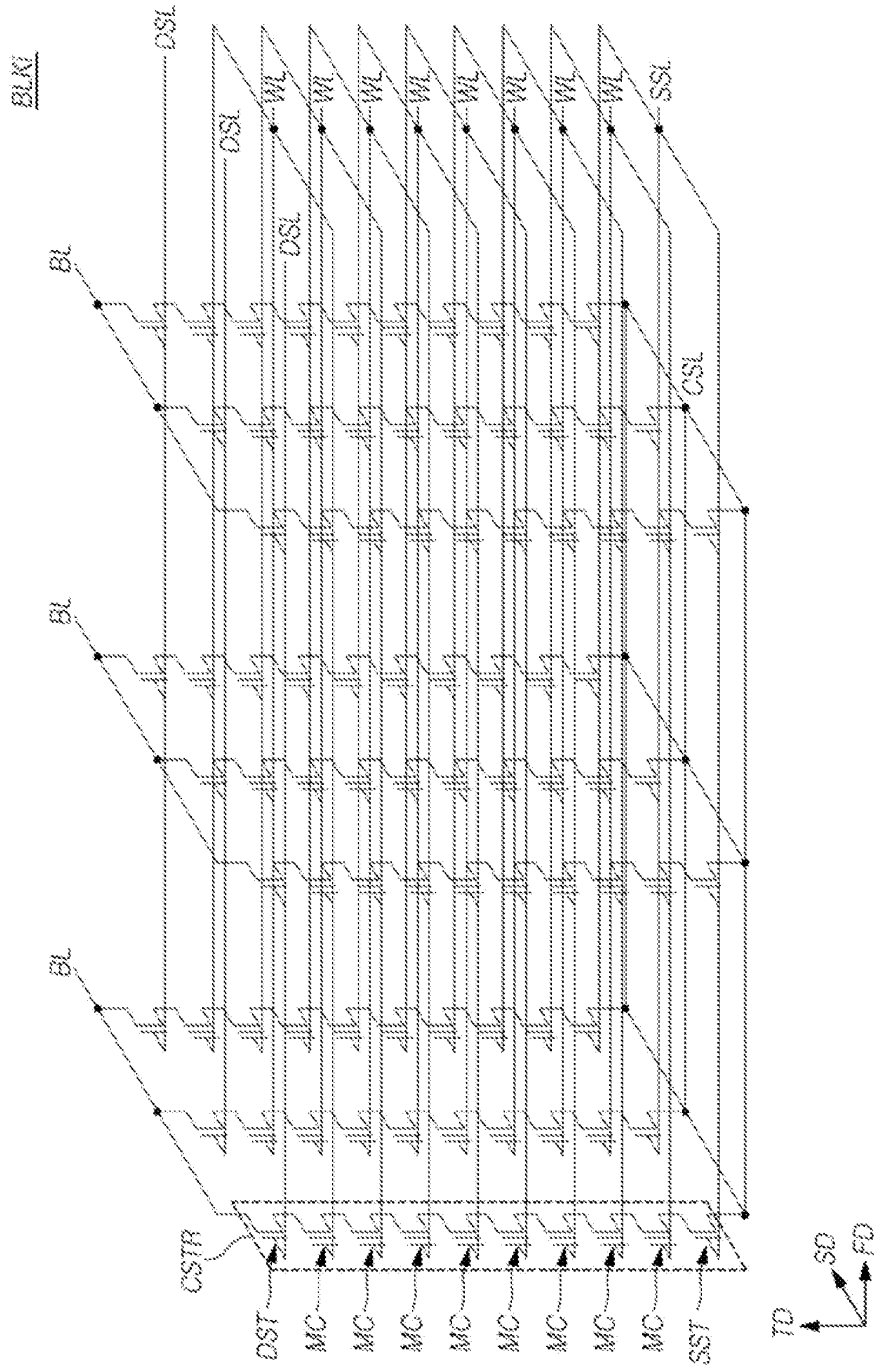


图2

Micron Ex. 1002, p. 617
Micron v. YMTC
IPR2025-00035

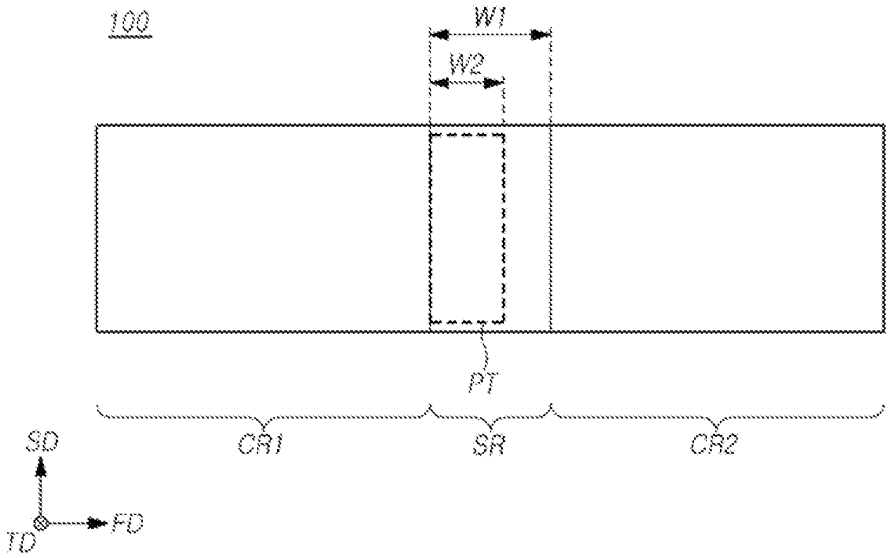


图3

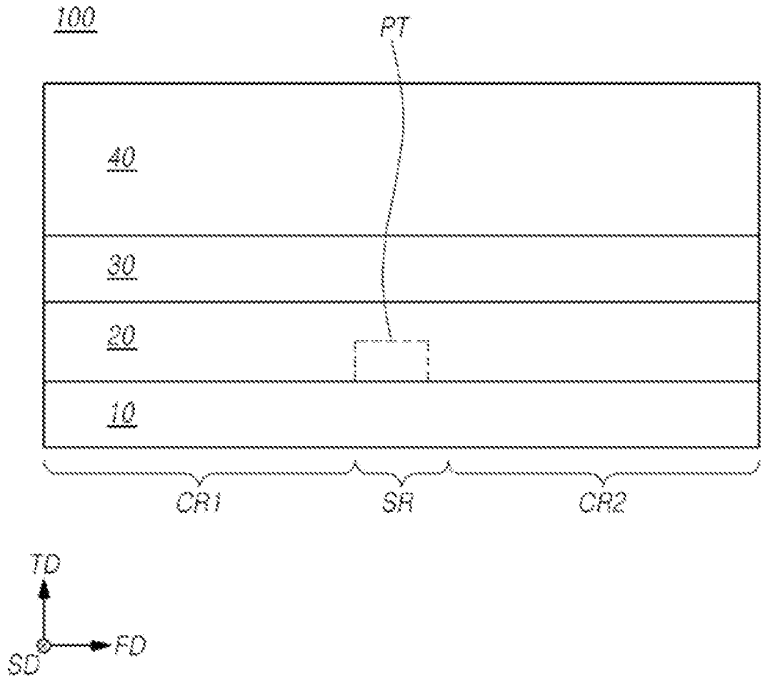


图4

Micron Ex. 1002, p. 618
Micron v. YMTC
IPR2025-00035

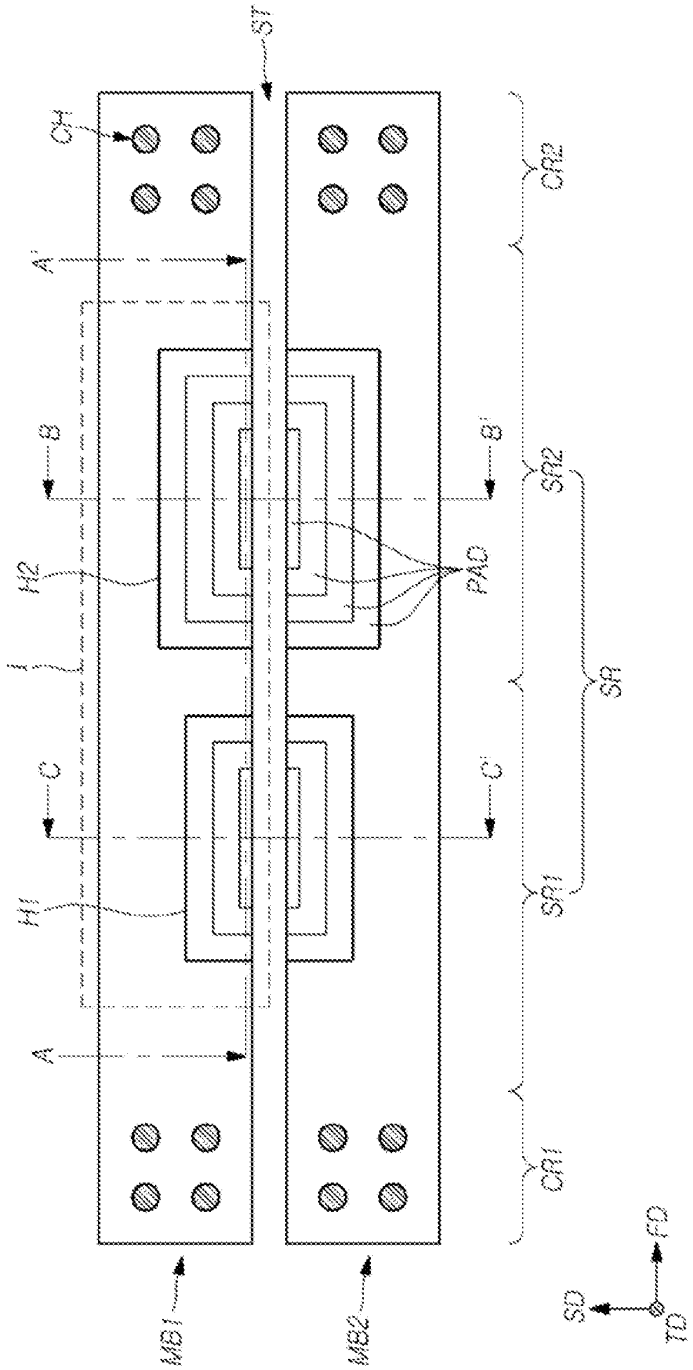


图5

Micron Ex. 1002, p. 619
Micron v. YMTC
IPR2025-00035

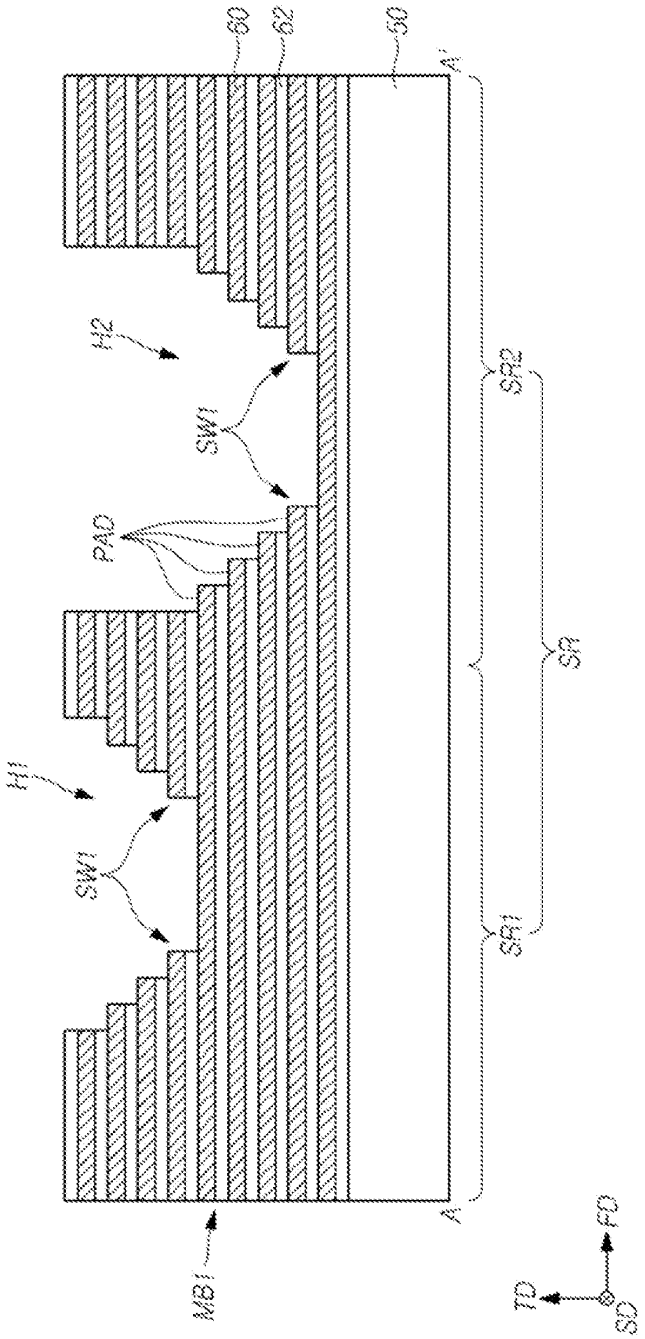


图6

Micron Ex. 1002, p. 620
Micron v. YMTC
IPR2025-00035

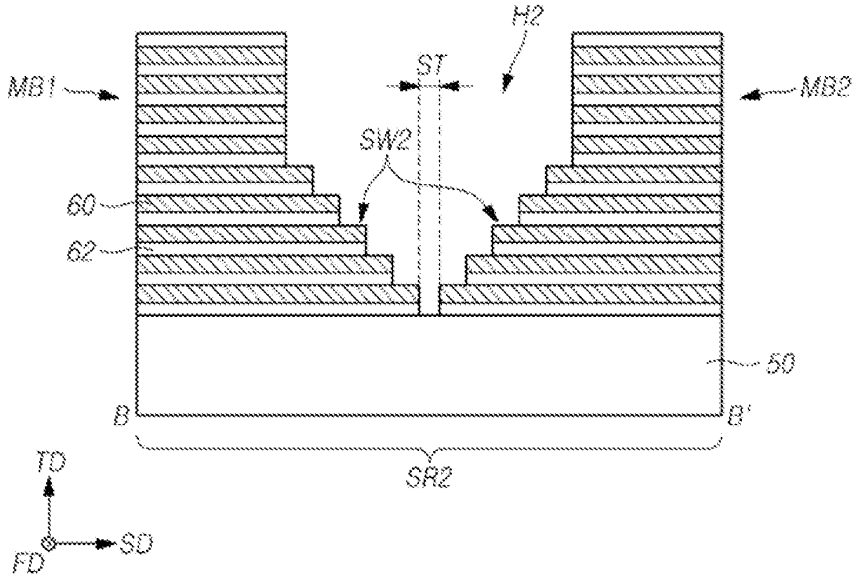


图7

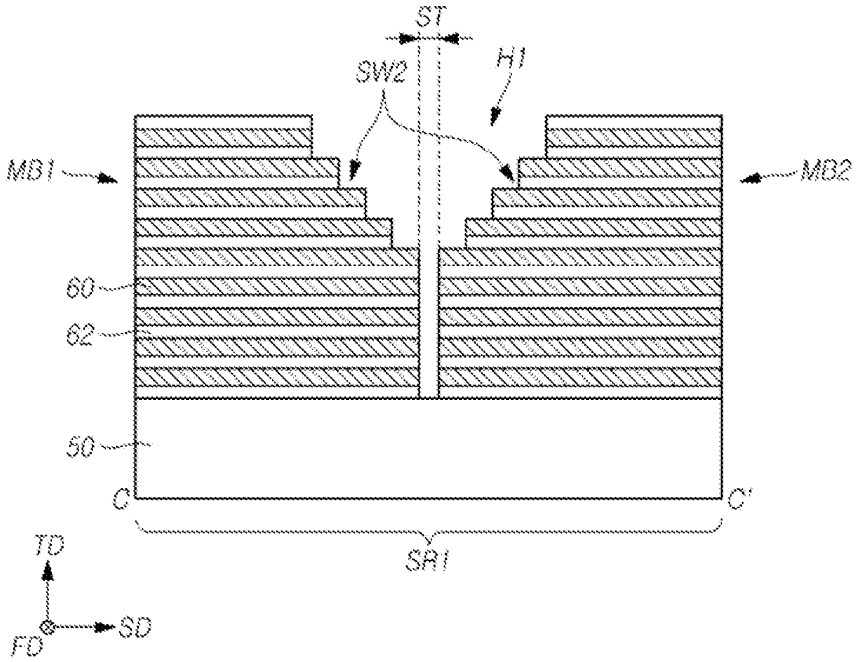


图8

Micron Ex. 1002, p. 621
Micron v. YMTC
IPR2025-00035

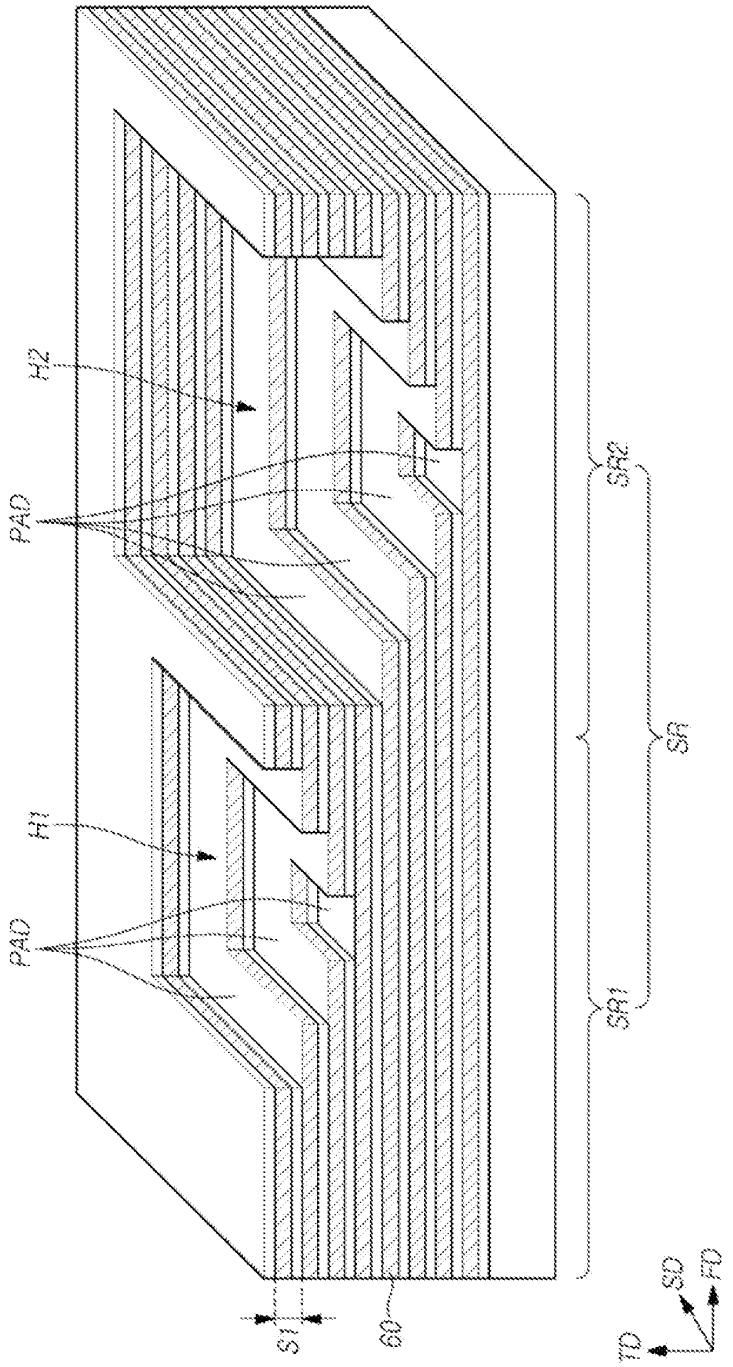


图9

Micron Ex. 1002, p. 622
Micron v. YMTC
IPR2025-00035

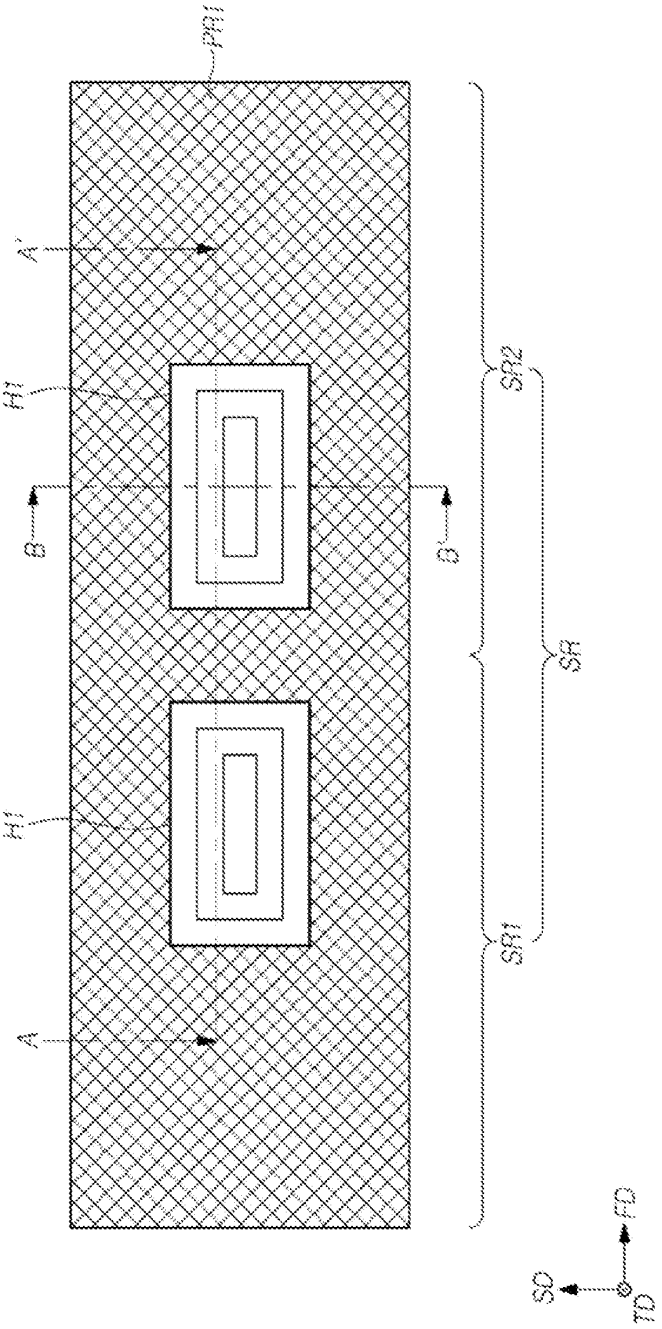


图10A

Micron Ex. 1002, p. 623
Micron v. YMTC
IPR2025-00035

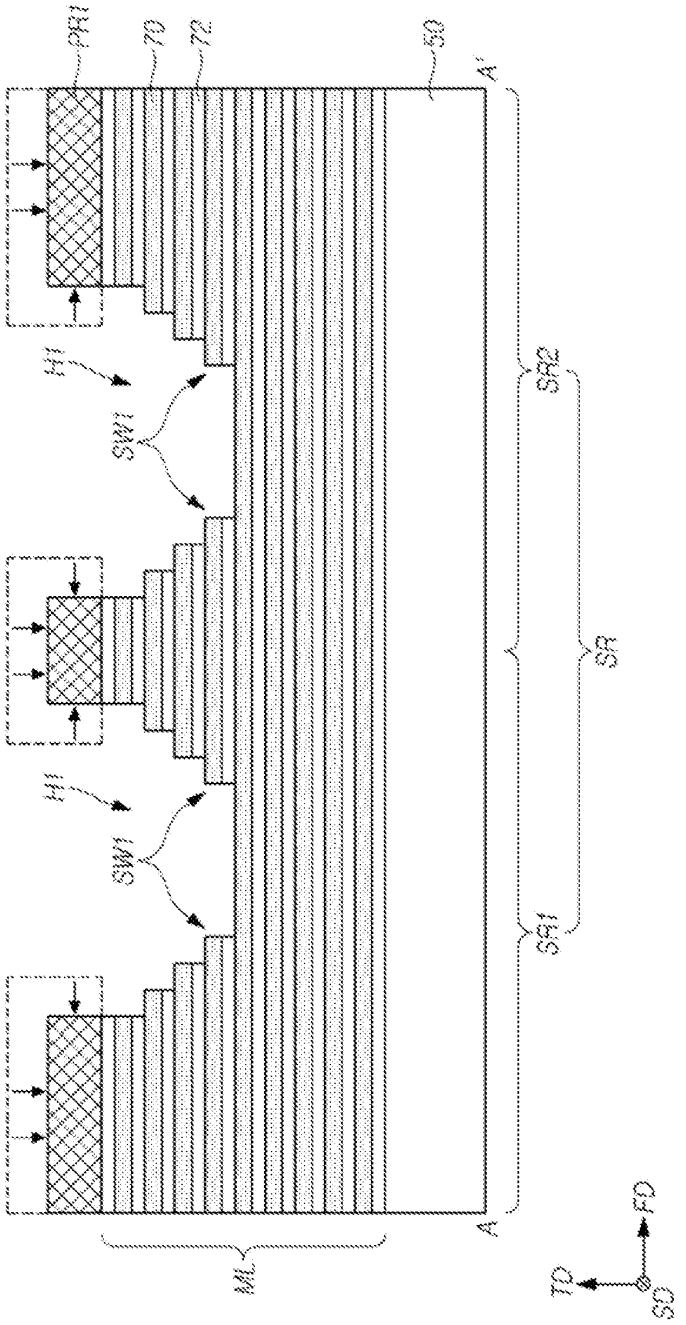


图10B

Micron Ex. 1002, p. 624
Micron v. YMTC
IPR2025-00035

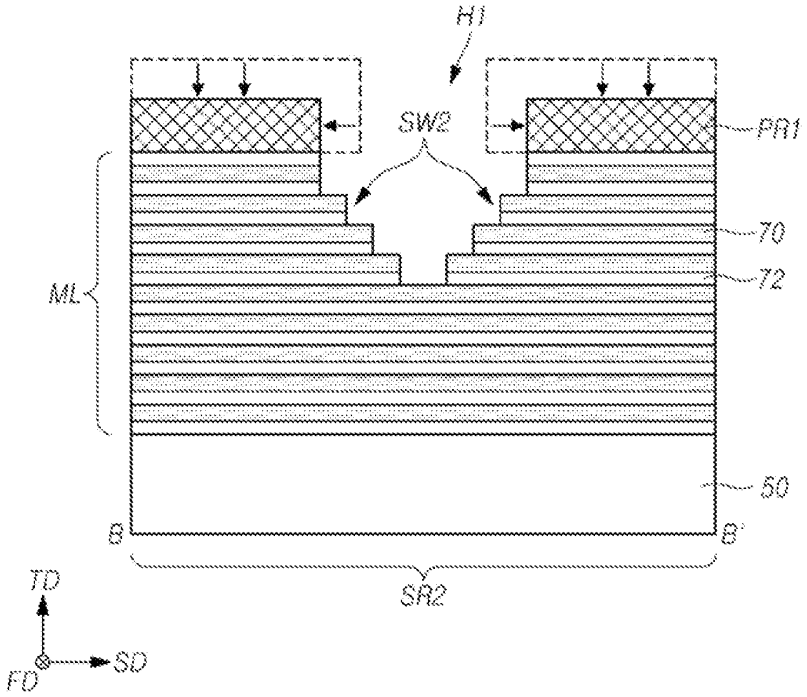


图10C

Micron Ex. 1002, p. 625
Micron v. YMTC
IPR2025-00035

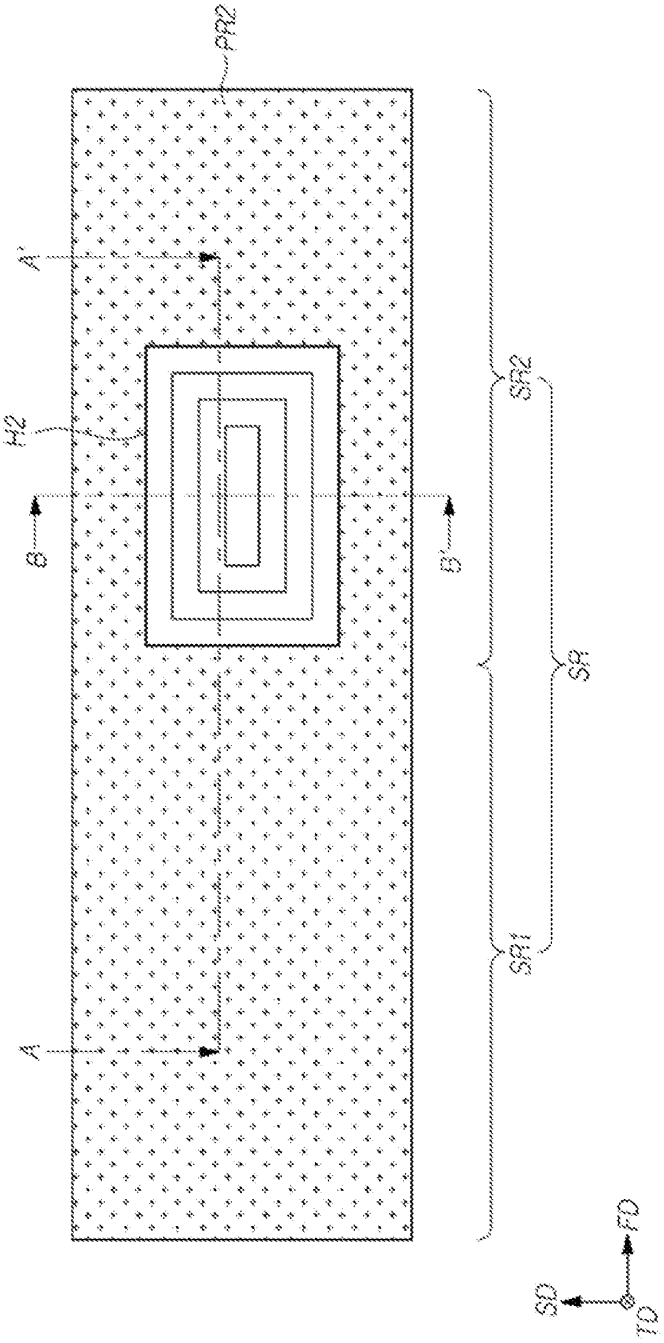


图11A

Micron Ex. 1002, p. 626
Micron v. YMTC
IPR2025-00035

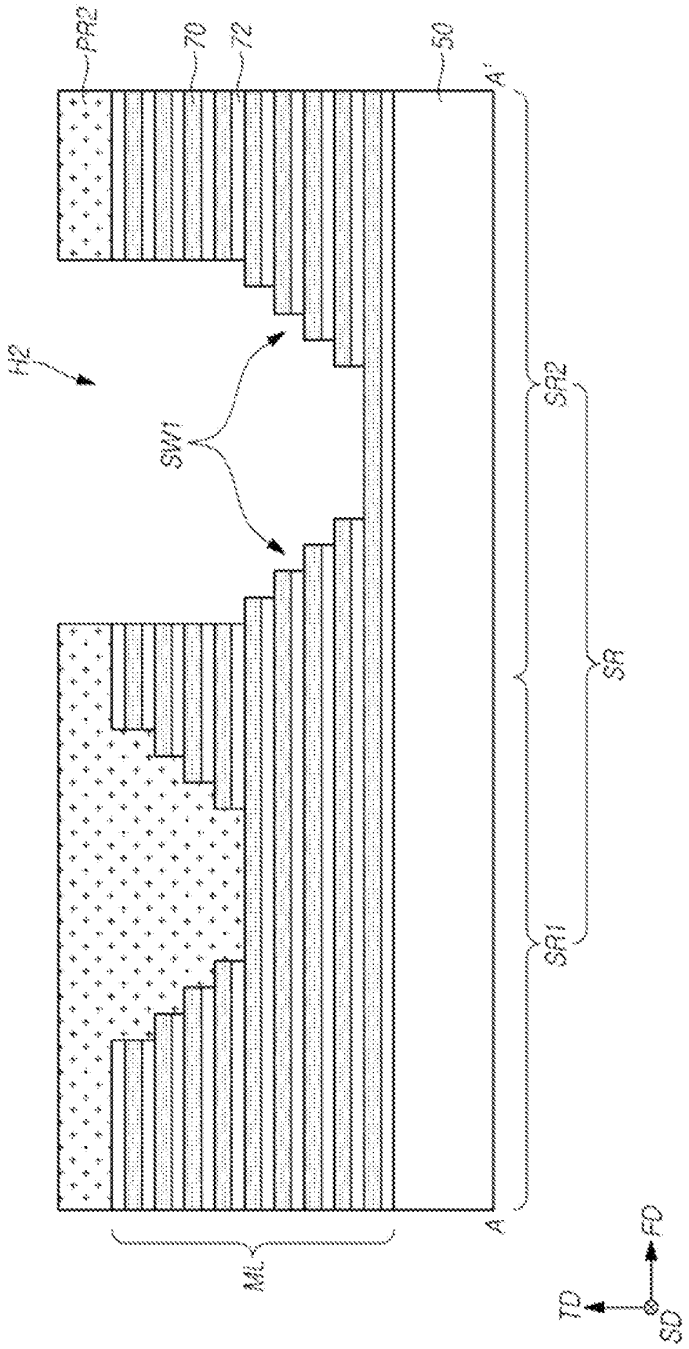


图11B

Micron Ex. 1002, p. 627
Micron v. YMTC
IPR2025-00035

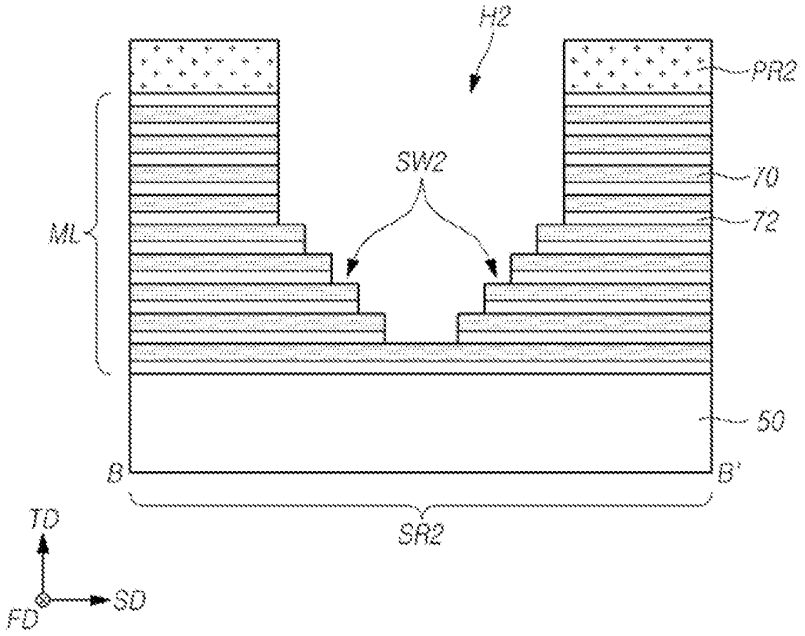


图11C

Micron Ex. 1002, p. 628
Micron v. YMTC
IPR2025-00035

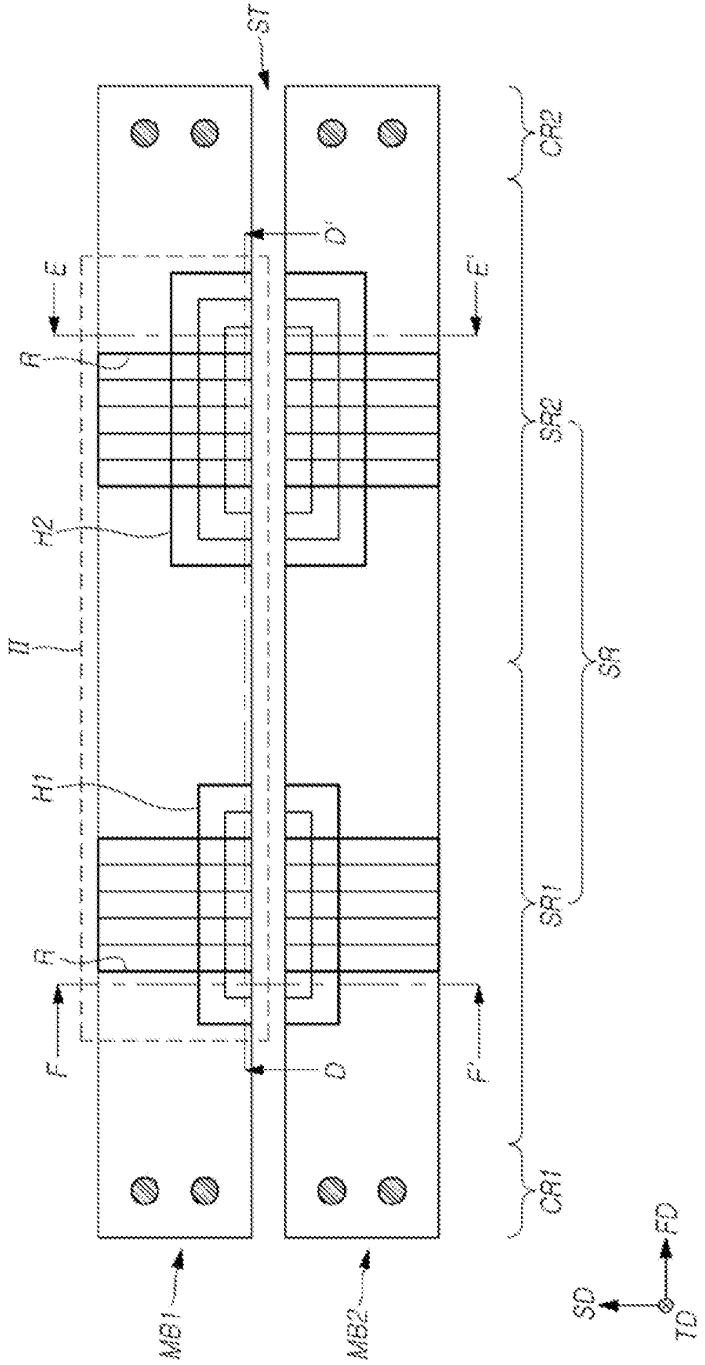


图12

Micron Ex. 1002, p. 629
Micron v. YMTC
IPR2025-00035

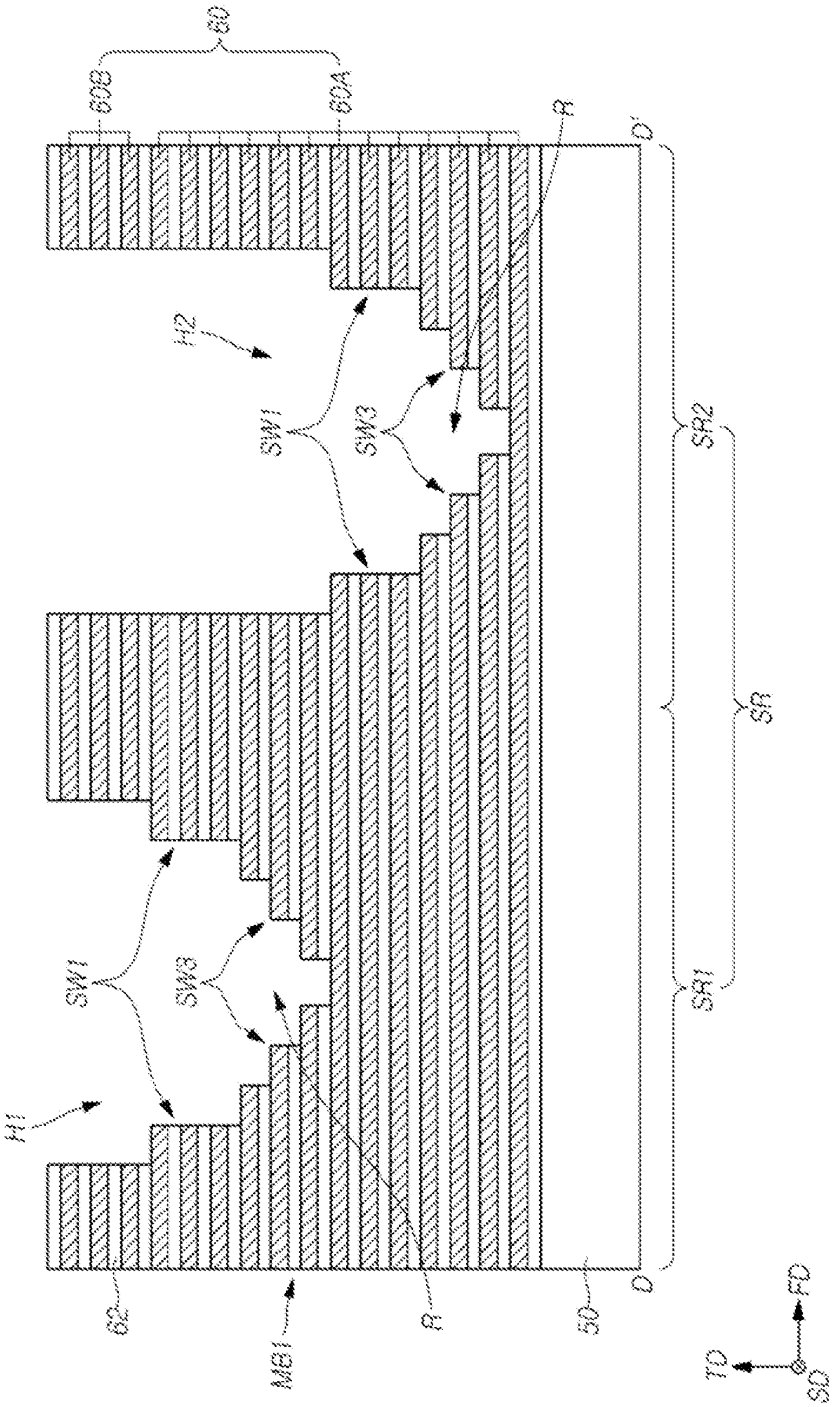


图13

Micron Ex. 1002, p. 630
Micron v. YMTC
IPR2025-00035

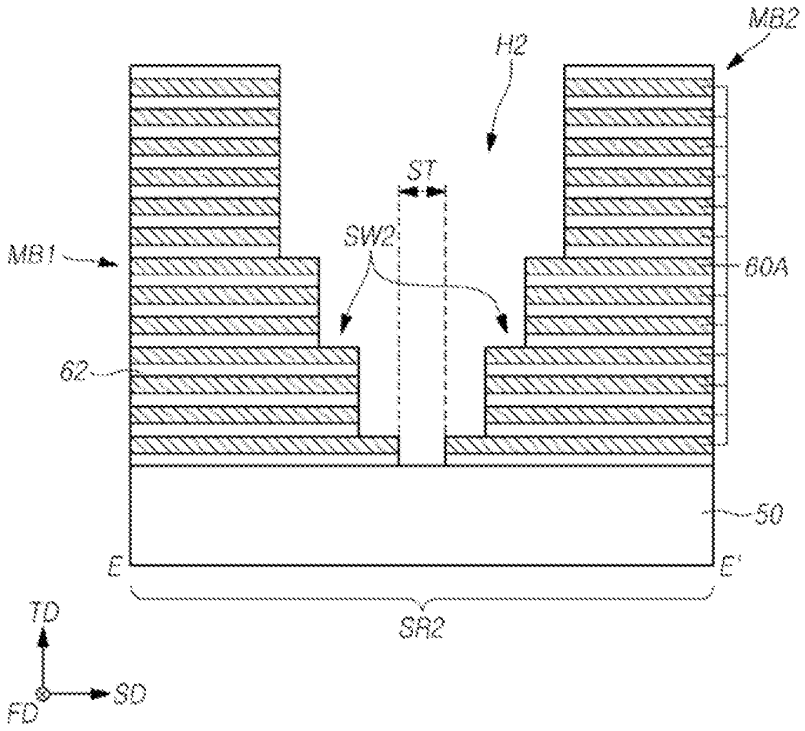


图14

Micron Ex. 1002, p. 631
Micron v. YMTC
IPR2025-00035

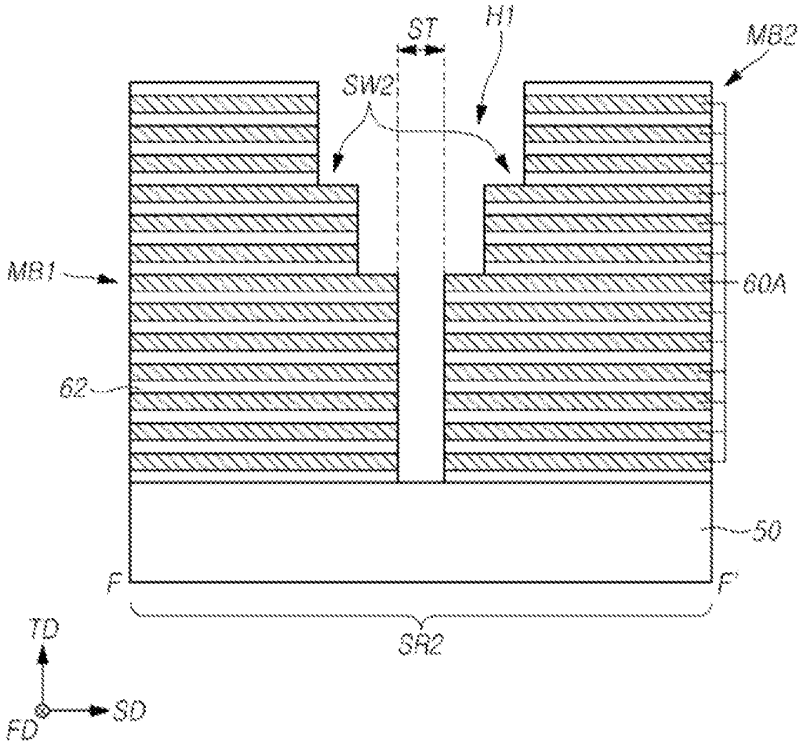


图15

Micron Ex. 1002, p. 632
Micron v. YMTC
IPR2025-00035

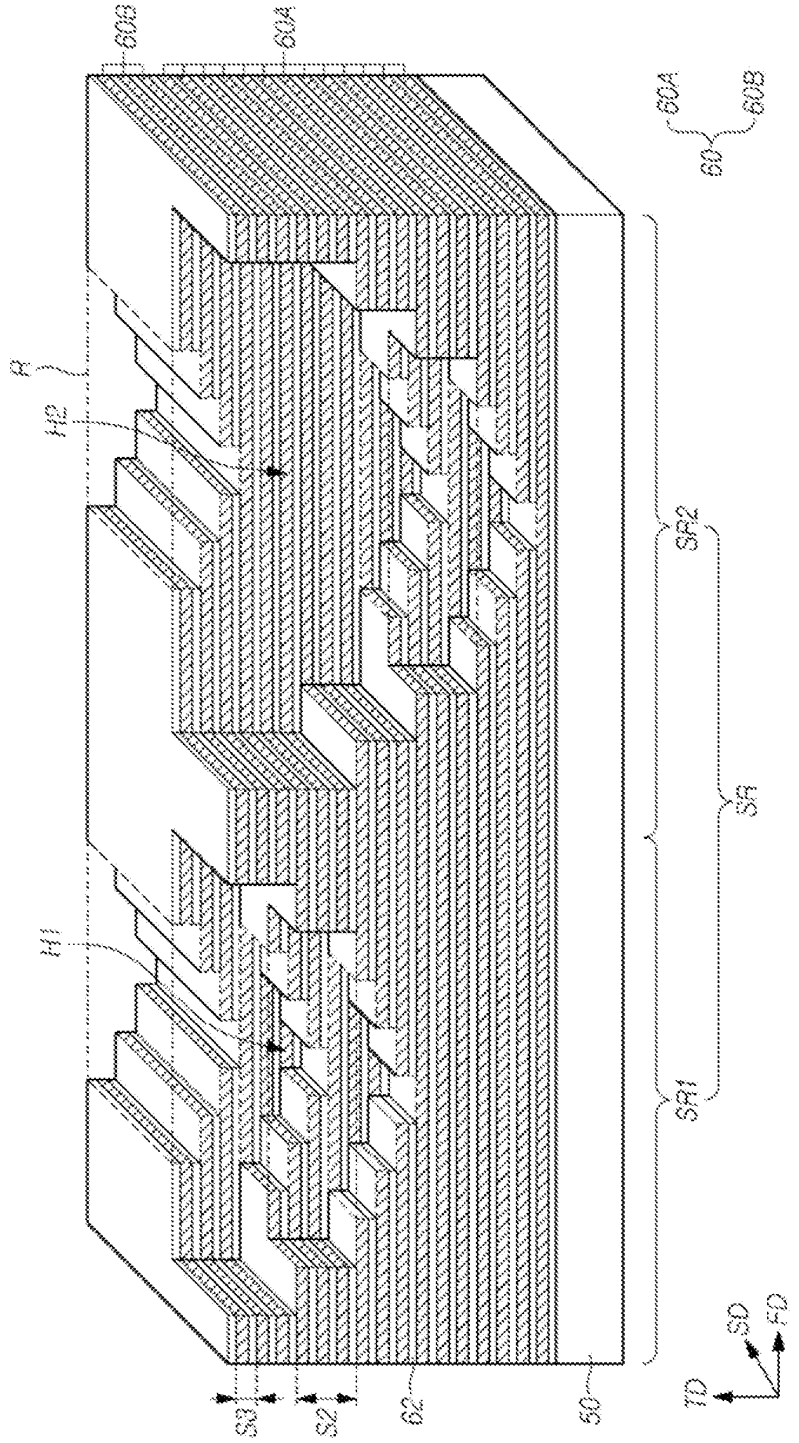


图16

Micron Ex. 1002, p. 633
Micron v. YMTC
IPR2025-00035

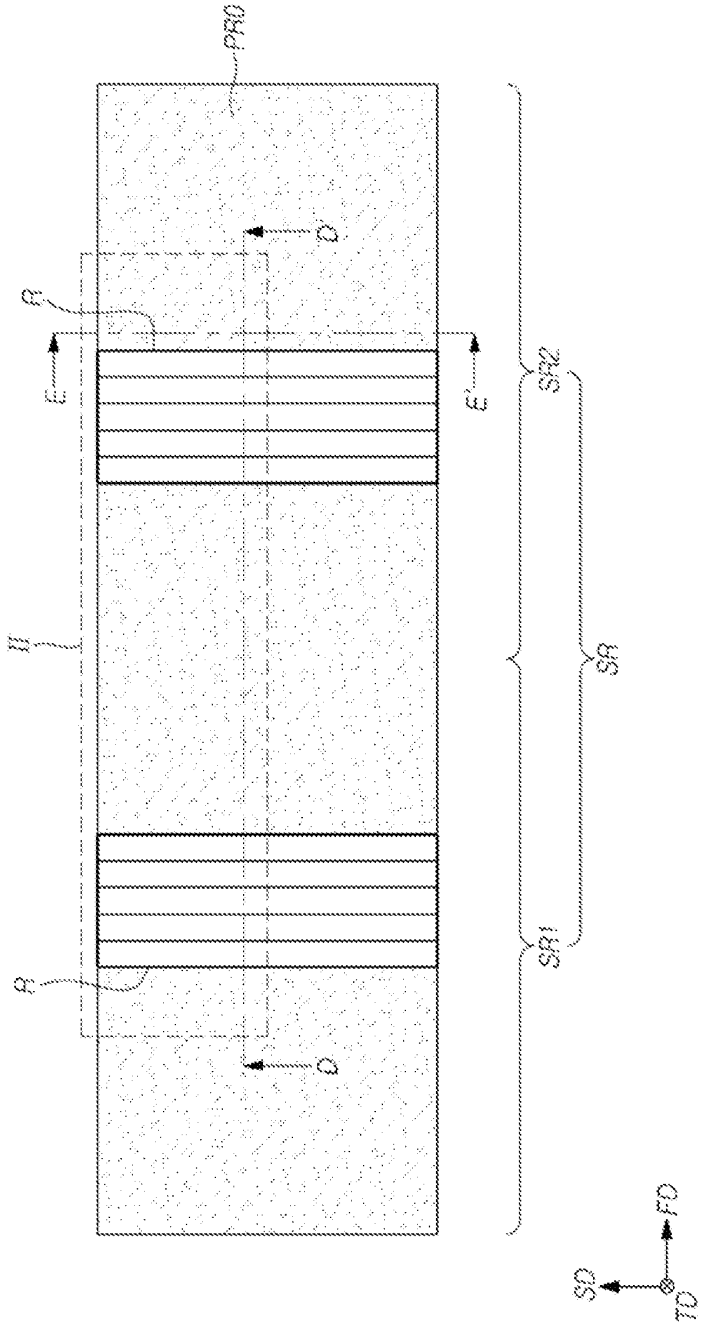


图17A

Micron Ex. 1002, p. 634
Micron v. YMTC
IPR2025-00035

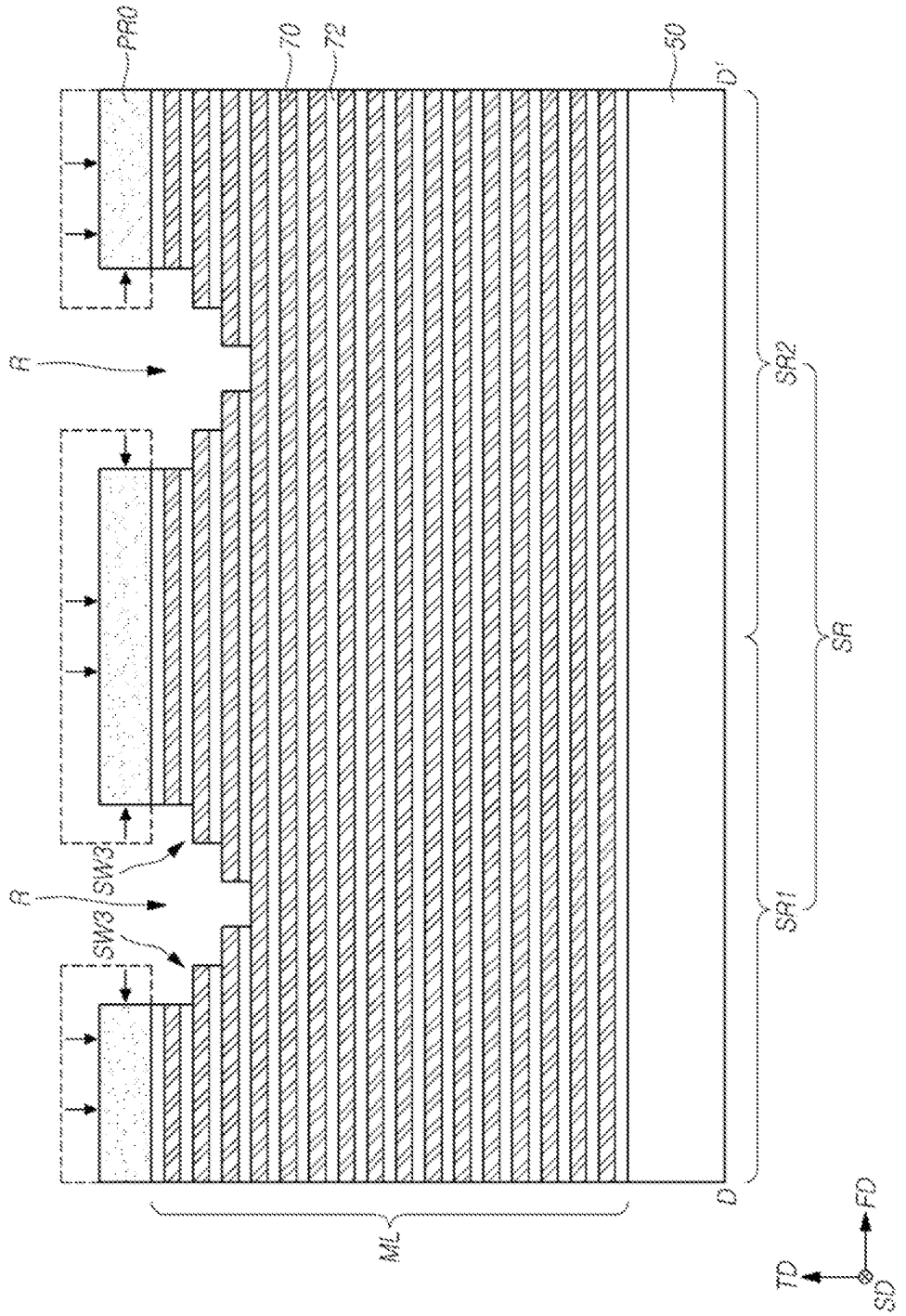


图17B

Micron Ex. 1002, p. 635
Micron v. YMTC
IPR2025-00035

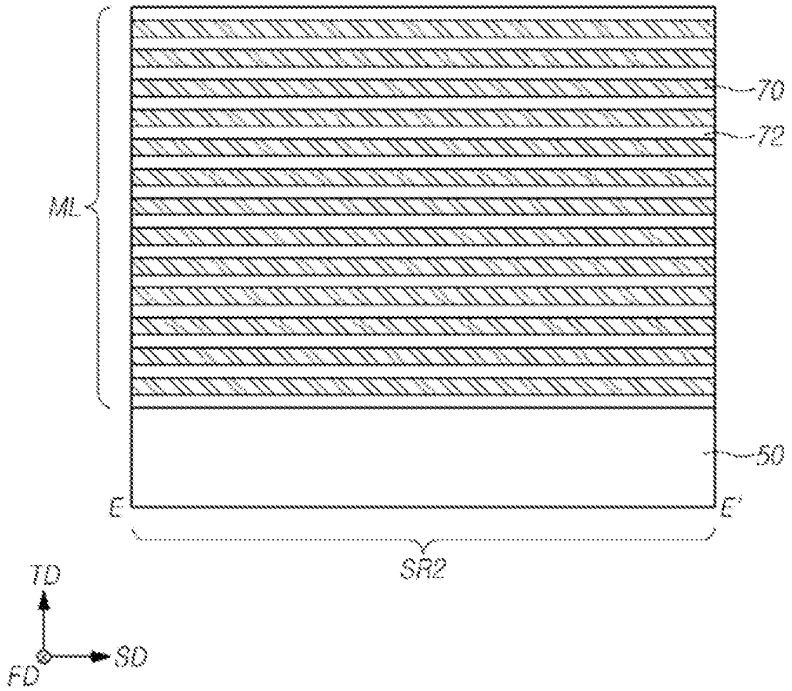


图17C

Micron Ex. 1002, p. 636
Micron v. YMTC
IPR2025-00035

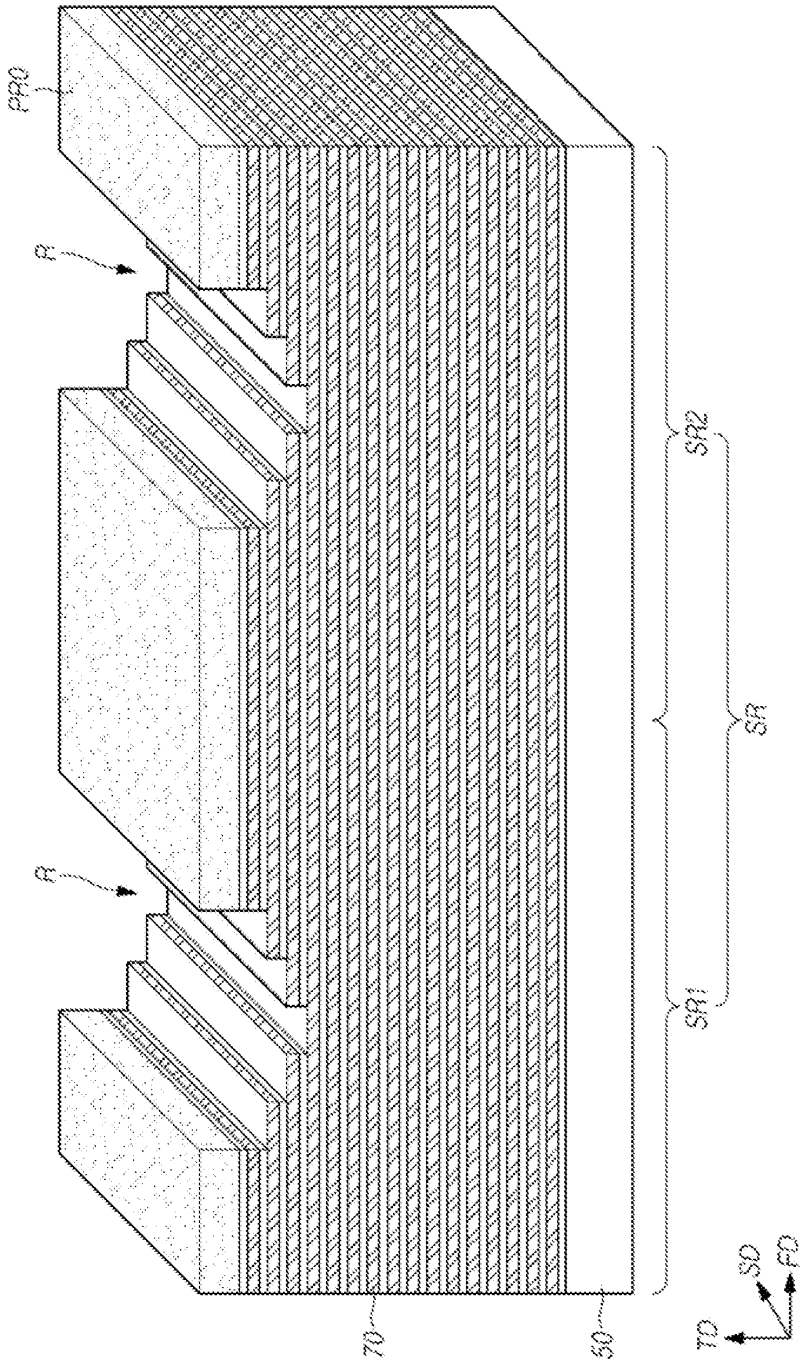


图17D

Micron Ex. 1002, p. 637
Micron v. YMTC
IPR2025-00035

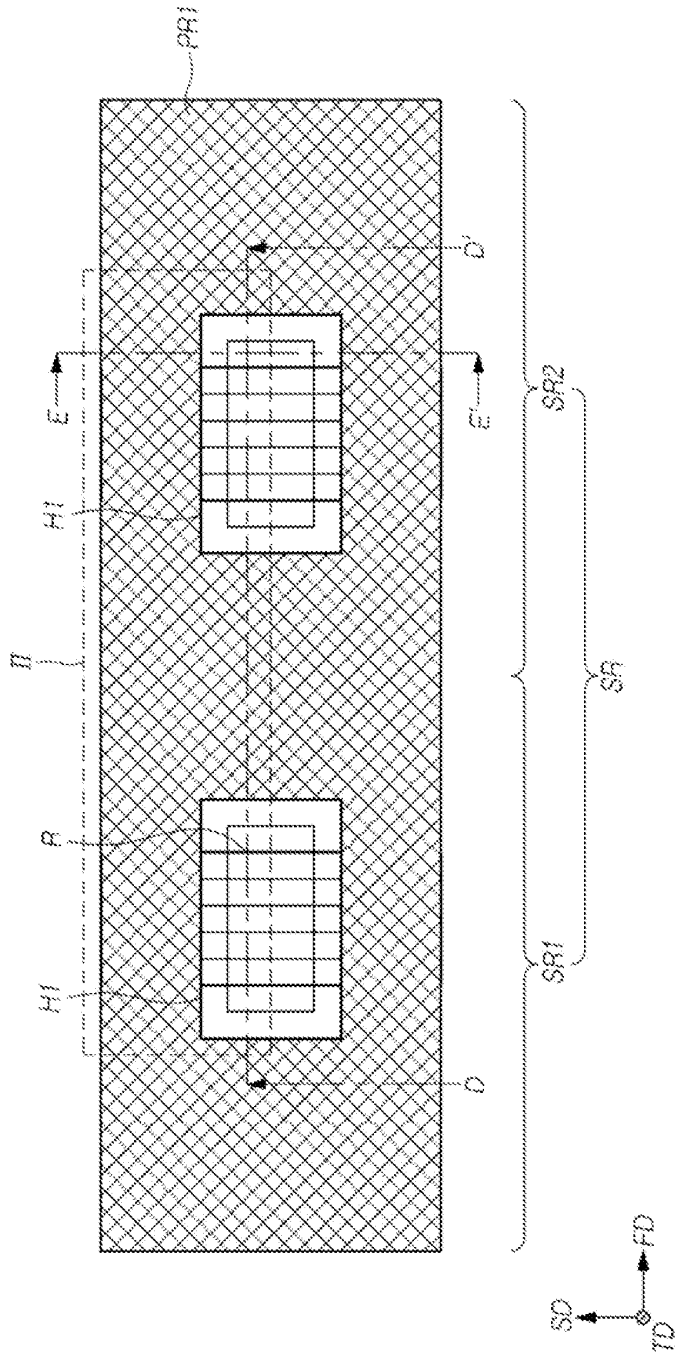


图18A

Micron Ex. 1002, p. 638
Micron v. YMTC
IPR2025-00035

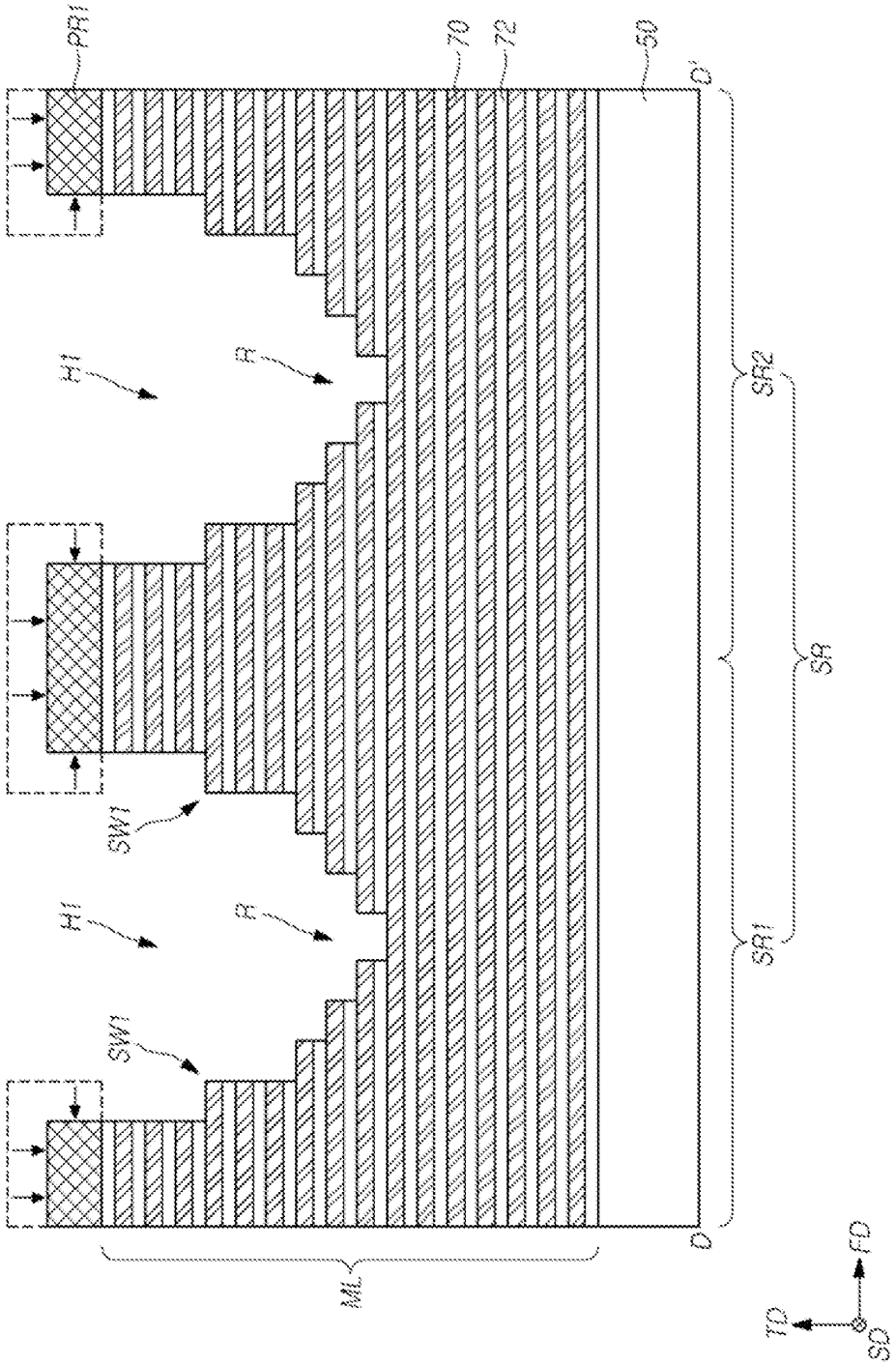


图18B

Micron Ex. 1002, p. 639
Micron v. YMTC
IPR2025-00035

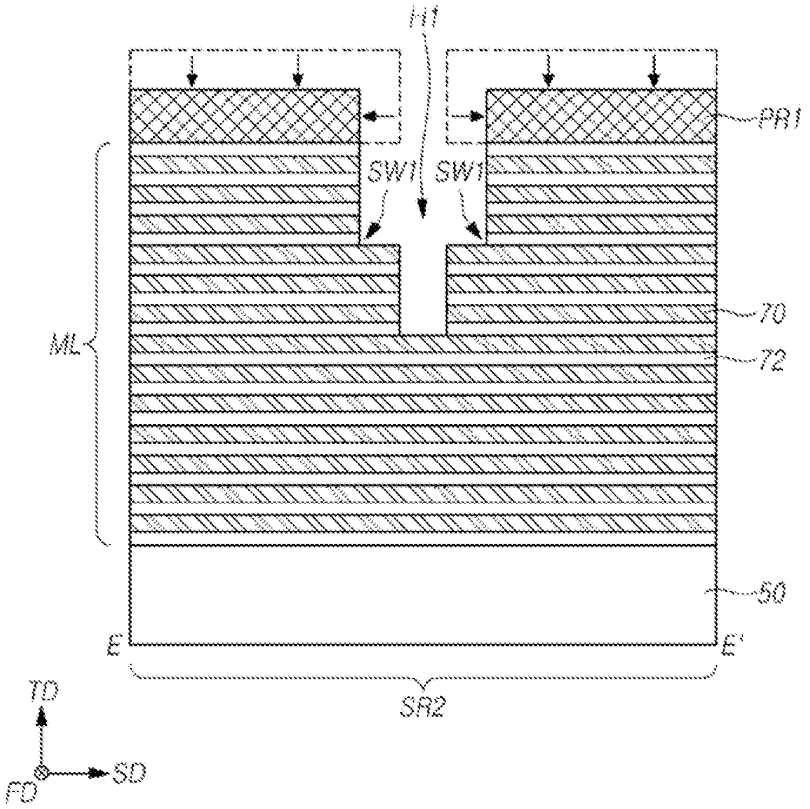


图18C

Micron Ex. 1002, p. 640
Micron v. YMTC
IPR2025-00035

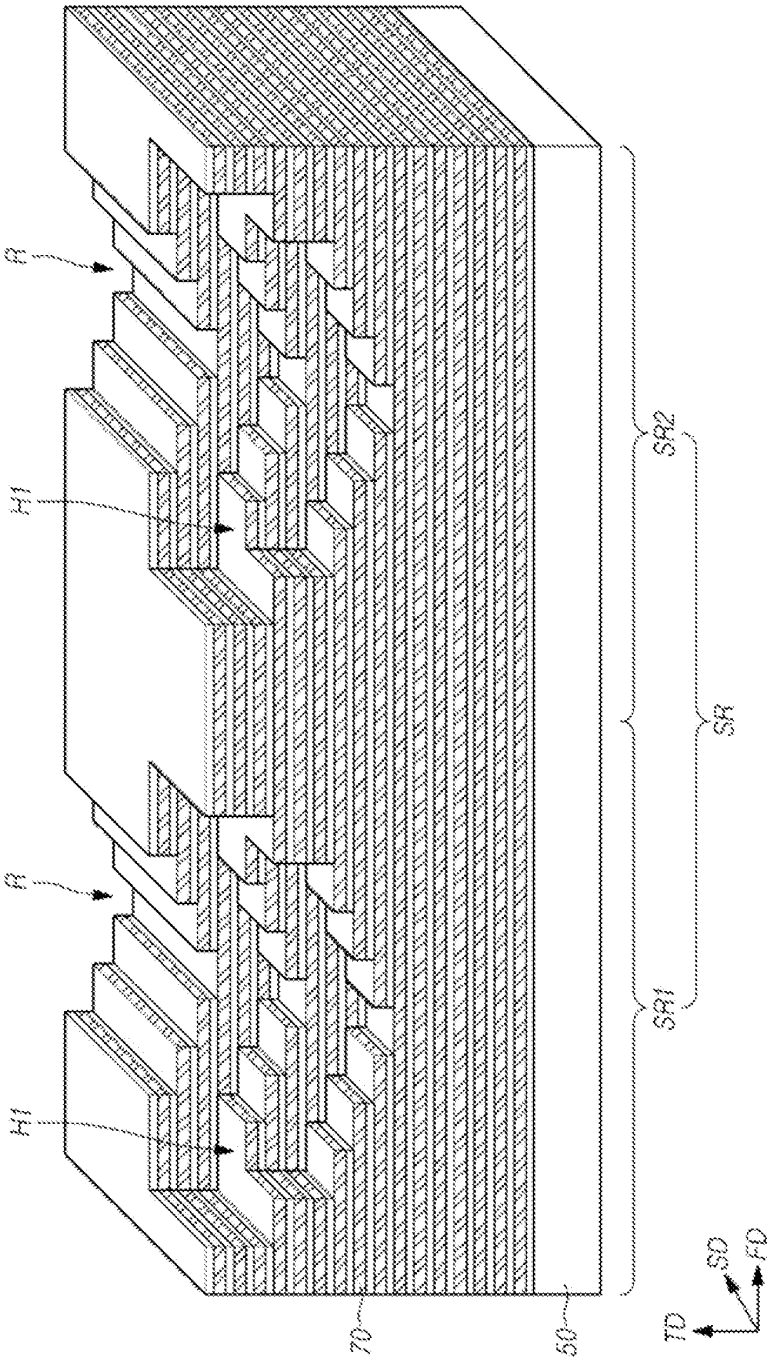


图18D

Micron Ex. 1002, p. 641
Micron v. YMTC
IPR2025-00035

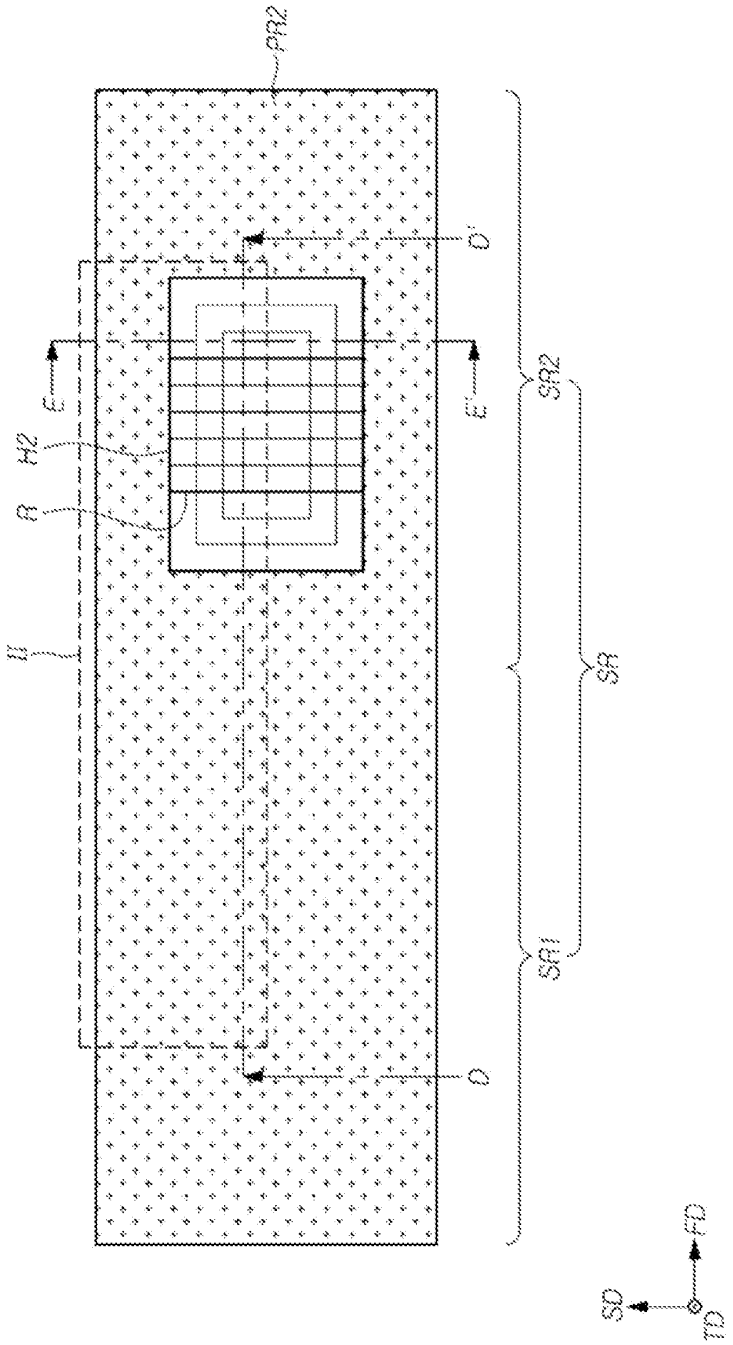


图19A

Micron Ex. 1002, p. 642
Micron v. YMTC
IPR2025-00035

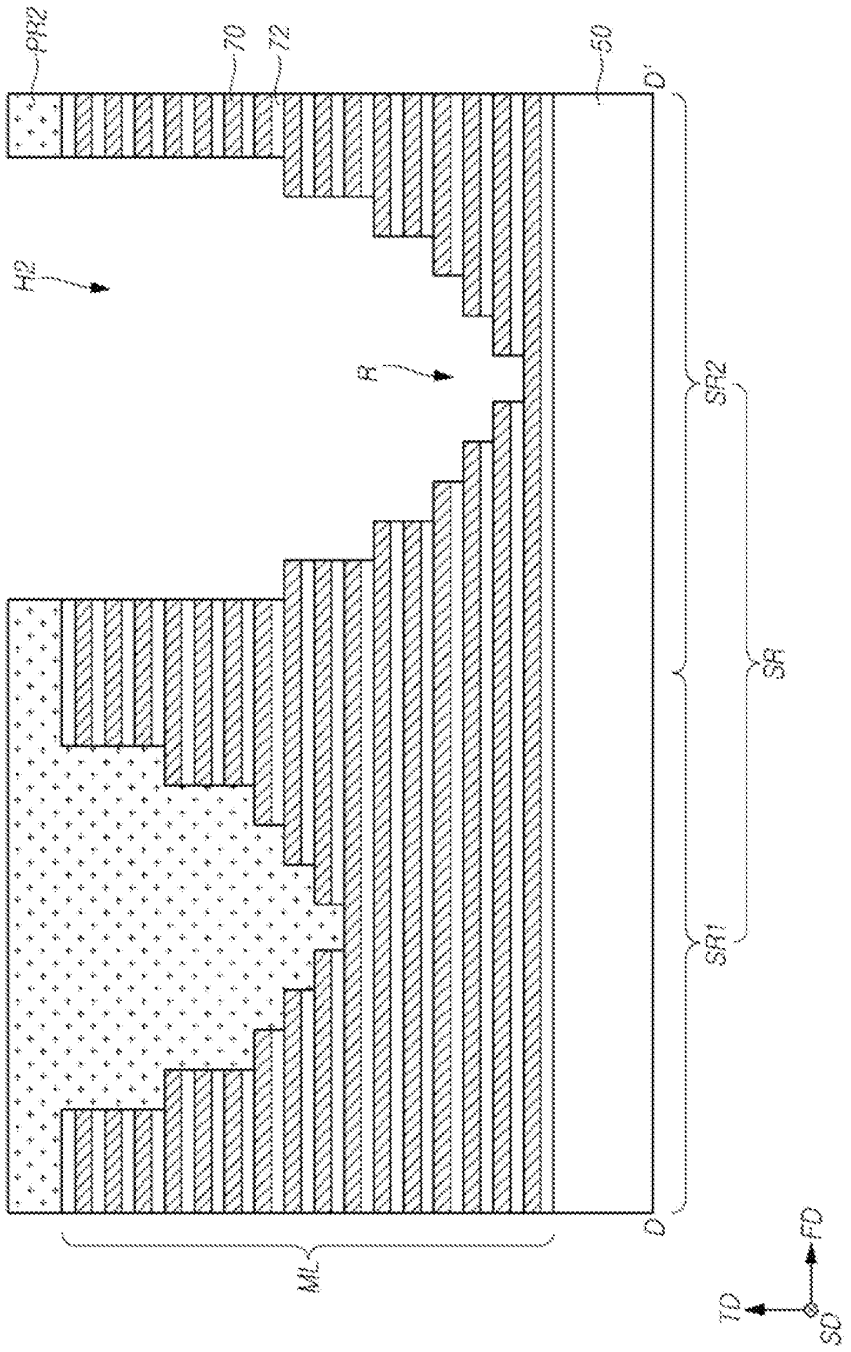


图19B

Micron Ex. 1002, p. 643
Micron v. YMTC
IPR2025-00035

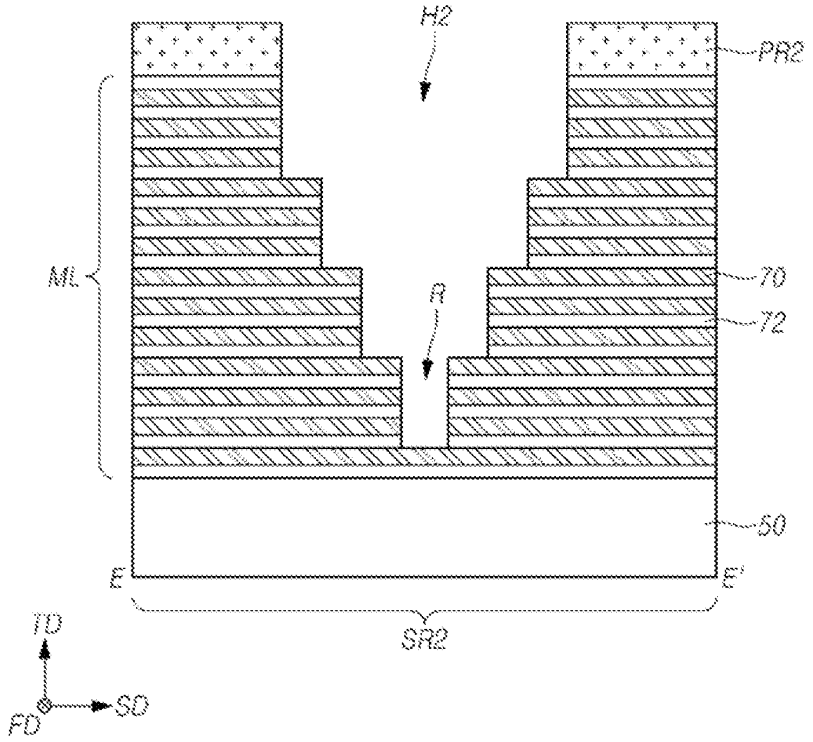


图19C

Micron Ex. 1002, p. 644
Micron v. YMTC
IPR2025-00035

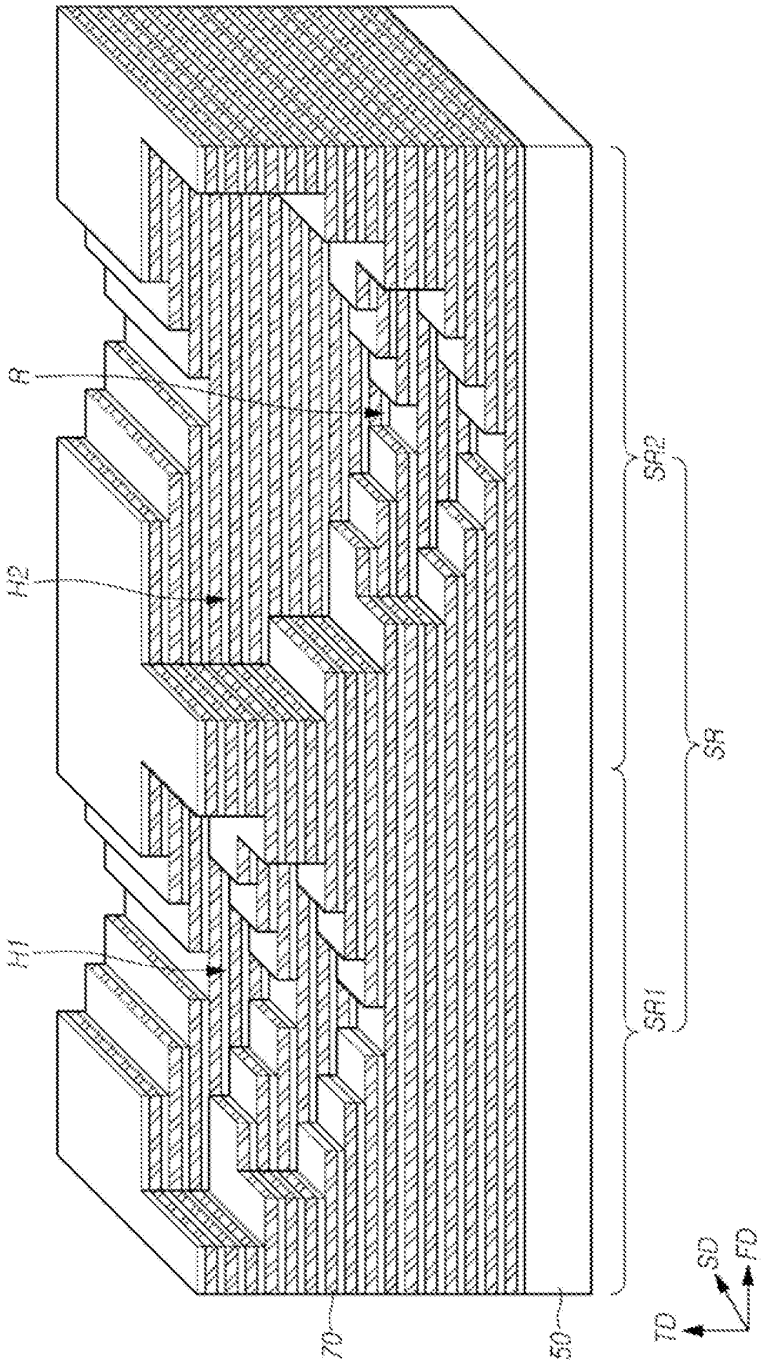


图19D

Micron Ex. 1002, p. 645
Micron v. YMTC
IPR2025-00035

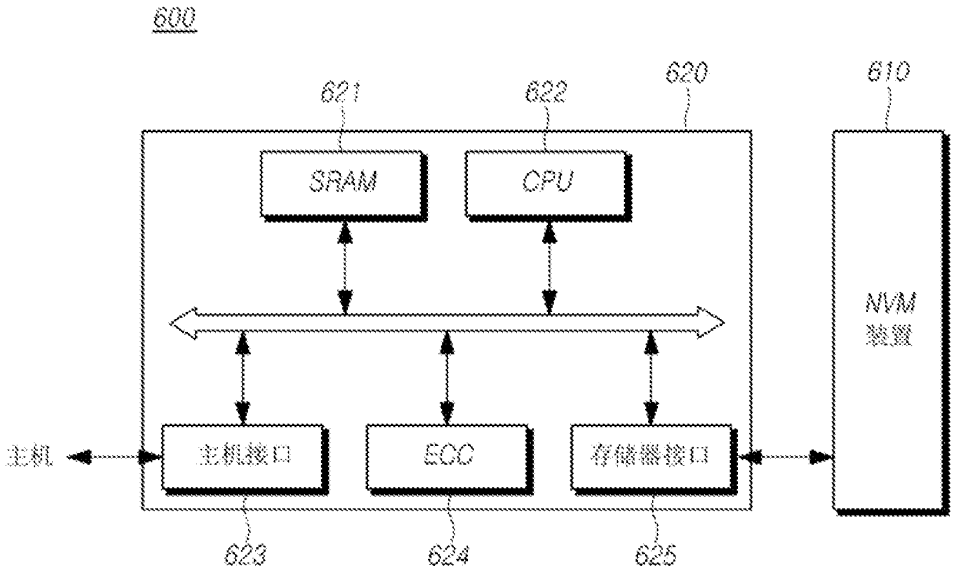


图20

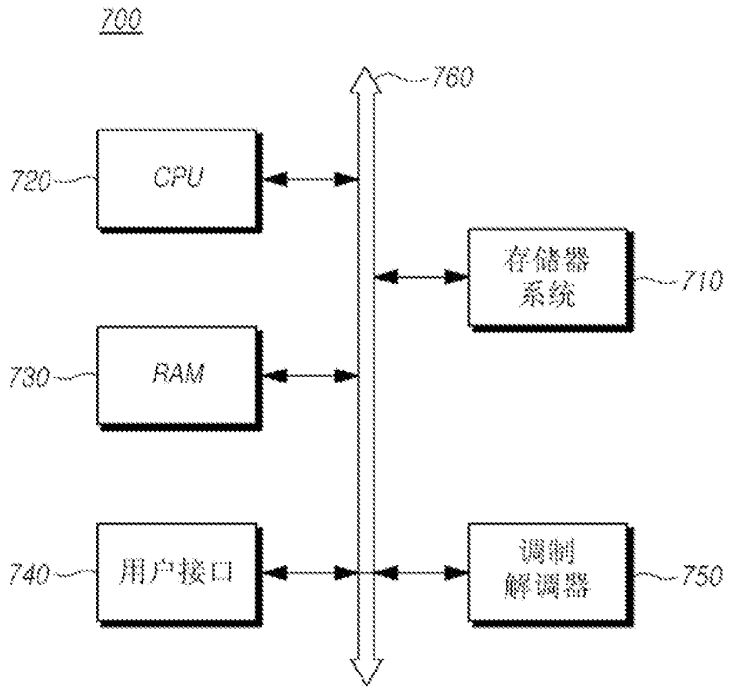


图21

Micron Ex. 1002, p. 646
Micron v. YMTC
IPR2025-00035

PATENT COOPERATION TREATY

PCT

INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference P2020TC1161	**FOR FURTHER ACTION**	see Form PCT/ISA/220 as well as, where applicable, item 5 below.
International application No. PCT/CN2020/094649	International filing date *(day/month/year)* 05 Jun. 2020 (05. 06. 2020)	(Earliest)Priority date *(day/month/year)*
Applicant YANGTZE MEMORY TECHNOLOGIES CO., LTD.		

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of 5 sheets.

☐ It is also accompanied by a copy of each prior art document cited in this report.

1. **Basis of the report**

a. With regard to the **language**, the international search was carried out on the basis of:

☒ the international application in the language in which it was filed

☐ a translation of the international application into _____, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b))

b. ☐ This international search report has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43.6bis(a)).

c. ☐ With regard to any **nucleotide and /or amino acid sequence** disclosed in the international application, see Box No. I.

2. ☐ **Certain claims were found unsearchable** (see Box No. II)

3. ☐ **Unity of invention is lacking** (see Box No. III)

4. With regard to the **title**,

☒ the text is approved as submitted by the applicant.

☐ the text has been established by this Authority to read as follows:

5. With regard to the **abstract**,

☐ the text is approved as submitted by the applicant.

☒ the text has been established, according to Rule 38.2(b), by this Authority as it appears in Box IV.

The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority.

6. With regard to the **drawings**,

a. The figure of the **drawings** to be published with the abstract is Figure No. 3A

☒ as suggested by the applicant

☐ as selected by this Authority, because the applicant failed to suggest a figure

☐ as selected by this Authority, because this figure better characterizes the invention

b. ☐ none of the figures is to be published with the abstract

Micron Ex. 1002, p. 647
Micron v. YMTC
IPR2025-00035

Box No. IV Text of the abstract (Continuation of item 5 of the first sheet)

3D memory devices (100, 200) having staircase structures (102, 202-1, 202-2) and methods for forming the same are provided. The 3D memory device (100, 200) includes a memory array structure (104-1, 104-2, 204) and a staircase structure (102, 202-1, 202-2). The staircase structure (102, 202-1, 202-2) is located in an intermediate of the memory array structure (104-1, 104-2, 204) and divides the memory array structure (104-1, 104-2, 204) into a first memory array structure (104-1) and a second memory array structure (104-2) along a lateral direction. The staircase structure (102, 202-1, 202-2) includes a plurality of stairs (214, 314, 414) extending along the lateral direction, and a bridge structure (108, 208, 308, 408) in contact with the memory array structure (104-1, 104-2, 204). The stairs (114, 214, 314, 414) include a stair (114, 214, 314, 414) above one or more dielectric pairs. The stair (114, 214, 314, 414) includes a conductor portion (320, 420) electrically connected to the bridge structure (108, 208, 308, 408), and is electrically connected to the memory array structure (104-1, 104-2, 204) through the bridge structure (108, 208, 308, 408). Along a second lateral direction perpendicular to the lateral direction and away from the bridge structure (108, 208, 308, 408), a width of the conductor portion (320, 420) decreases.

Micron Ex. 1002, p. 648
Micron v. YMTC
IPR2025-00035

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094649

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11551(2017.01)i; H01L 27/11578(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI, EPODOC, CNPAT, IEEE, CNKI: memory, 3D, three, dimensional, staircase, bridge, conductor, width, etch, ion, implant

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 107731845A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 23 Feb.2018(23.02.2018) description, paragraphs [0030]-[0034] and figures 1-6	38-46, 49-51
Y	CN 110718553A (SK HYNIX INC.) 21 Jan.2020(21.01.2020) description, paragraphs [0065]-[0108] and figures 9-19D	38-46, 49-51
A	CN 107768377A (SAMSUNG ELECTRONICS CO., LTD.) 06 Mar.2018(06.03.2018) the whole document	1-51
A	US 2019081072A1 (ASM IP HOLDING B.V.) 14 Mar.2019(14.03.2019) the whole document	1-51

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

Micron Ex. 1002, p. 649
Micron v. YMTC
IPR2025-00035

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094649

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&"document member of the same patent family
Date of the actual completion of the international search 05 Jan. 2021(05. 01. 2021)	Date of mailing of the international search report 27 Jan. 2021(27. 01. 2021)
Name and mailing address of the ISA/CN National Intellectual Property Administration, PRC 6, Xitucheng Rd., Jimen Bridge, Haidian District, Beijing 100088, China Facsimile No.(86-10)62019451	Authorized officer YAN, Miaoqing Telephone No.: 86-(10)-53961449

Form PCT/ISA /210 (3 sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/094649

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN107731845A	23.02.2018	CN107731845B	11.09.2020
CN110718553A	21.01.2020	US2020020714A1	16.01.2020
		KR20200007212A	22.01.2020
		US10629614B2	21.04.2020
CN107768377A	06.03.2018	US2019273020A1	05.09.2019
		US2020235003A1	23.07.2020
		US2018053686A1	22.02.2018
		US10658230B2	19.05.2020
		US10312138B2	04.06.2019
		KR20180019807A	27.02.2018
US2019081072A1	14.03.2019	US10622375B2	14.04.2020
		US10644025B2	05.05.2020
		US10134757B2	20.11.2018
		US2018130701A1	10.05.2018
		KR20180051349A	16.05.2018
		US2019035810A1	31.01.2019

Micron Ex. 1002, p. 651
Micron v. YMTC
IPR2025-00035

Electronic Acknowledgement Receipt

EFS ID:	44359323
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	23-NOV-2021
Filing Date:	31-JUL-2020
Time Stamp:	20:18:52
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	10018-01-0122-US_IDS4-SB08.pdf	612535 2ab7488d5b76538f3bbf529ed30a0c6ce067325b	no	4

Warnings:

Micron Ex. 1002, p. 652
Micron v. YMTC
IPR2025-00035

Information:					
2	Foreign Reference	CN110797345_Bibl.pdf	23110814 ad1123681ce165dec04c31943748cbfcd8cc5ecd	no	41
Warnings:					
Information:					
3	Foreign Reference	CN111033729_Bibl.pdf	8494539 b8b6ed1f22b111c71ef37051b41c2add37825b74	no	23
Warnings:					
Information:					
4	Foreign Reference	CN107293532_Bibl.pdf	4519873 0ed2e0d1cf5c8687ac370f0c99335dd4ecaf4dc1	no	22
Warnings:					
Information:					
5	Foreign Reference	CN110391248_Bibl.pdf	13151252 8f467f2176eb449eb93dc6771164ff195ecc10d7	no	53
Warnings:					
Information:					
6	Foreign Reference	CN108428703_Bibl.pdf	2691878 f204107236a76ee71b2b0b017a96093d01f210de	no	14
Warnings:					
Information:					
7	Foreign Reference	CN108231786_Bibl.pdf	6749523 a41ac71e7cc6888f5ff0931a7364a77845fecf31	no	32
Warnings:					
Information:					
8	Foreign Reference	CN110718553A_Bibl.pdf	10858614 ca5755206b5f5dfac8b6b766810ead859341e73d	no	48
Warnings:					
Information:					

9	Other Reference-Patent/App/Search documents	NPL1_ISR_PCTCN2020094649_01-27-21.pdf	8155276 5e529ffe60bc145909fb85a544b5d4d18258f086	no	5

Warnings:	
Information:	
Total Files Size (in bytes):	78344304

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
16/944,835	07/31/2020	Di Wang	10018-01-0122-US

CONFIRMATION NO. 1870

153988
Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

PUBLICATION NOTICE

OC000000130353343

Title:STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

Publication No.US-2021-0384118-A1
Publication Date:12/09/2021

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Micron Ex. 1002, p. 655
Micron v. YMTC
IPR2025-00035

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

153988 7590 03/21/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

EXAMINER	
LEE, HSIEN MING	

ART UNIT	PAPER NUMBER
2814	

NOTIFICATION DATE	DELIVERY MODE
03/21/2022	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USPTO@dockettrak.com
eofficeaction@appcoll.com
uspto@bayes.law

Micron Ex. 1002, p. 656
Micron v. YMTC
IPR2025-00035

Office Action Summary	Application No. 16/944,835	Applicant(s) Wang et al.	
	Examiner HSIEN MING LEE	Art Unit 2814	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☐ Responsive to communication(s) filed on _____.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL.** 2b) ☐ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☑ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☑ Claim(s) 1-20 is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6) ☑ Claim(s) 1-20 is/are allowed.

7) ☐ Claim(s) _____ is/are rejected.

8) ☐ Claim(s) _____ is/are objected to.

9) ☐ Claim(s) _____ are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov.**

Application Papers

10)☑ The specification is objected to by the Examiner.

11)☑ The drawing(s) filed on 7/31/20 is/are: a)☑ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☐ All b)☐ Some** c)☐ None of the:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☑ Notice of References Cited (PTO-892)

2) ☑ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b) Paper No(s)/Mail Date 1/22/21, 2/23/21, 4/24/21, 11/23/21.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date _____.

4) ☐ Other: _____.

Micron Ex. 1002, p. 657
Micron v. YMTC
IPR2025-00035

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Specification

2. The disclosure is objected to because of the following informalities:

> **[0001]** This application is continuation of International Application No. PCT/CN2020/094658, filed on June 5, 2020, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is hereby incorporated by reference in its entirety. This application is also related to co-pending U.S. Application No. ? Attorney Docketing No.: 10018-01-0123-US, filed on even date, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is hereby incorporated by reference in its entirety.

Appropriate correction is required.

Allowable Subject Matter

3. Claims 1-20 are allowed.

4. The following is a statement of reasons for the indication of allowable subject matter:

In re claim 1, the closest prior art of record, Zhang et al. to US 2021/0193676, teaches a three-dimensional (3D) memory device (Fig. 5), comprising: a memory array structure 402a/402b; and a staircase structure 404 in an intermediate of the memory

array structure and dividing the memory array structure into a first memory array structure 402a and a second memory array structure 402b along a lateral direction X, the staircase structure 404 comprising (i) a plurality of stairs 404A and 404B extending along the lateral direction X, and (ii) a bridge structure 302 (=302a/302b, the connection region 302 acts as the bridge structure) in contact with the first memory array structure 402a and the second memory array structure 402b, the stair 404A and 404B being electrically connected to at least one of the first memory array structure 402a and the second memory array structure 402b through the bridge structure 302.

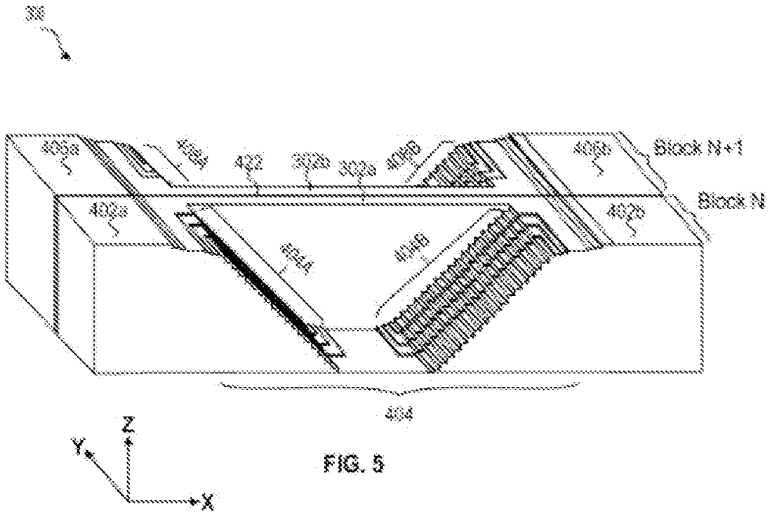


FIG. 5

By comparison, Zhang et al. failed to teach that the stair comprises a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and a dielectric portion at a same level and in contact with the conductor portion and along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

In re claim 9, the current invention is deemed to be directed to a nonobvious improvement over the invention published in US 2021/0193676. The improvement

comprises a stair comprising a conductor portion on a top surface of the stair and a dielectric portion at a same level and in contact with the conductor portion, the conduction portion being electrically connected to the memory array structure, wherein along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

In re claim 15, the current invention is deemed to be directed to a nonobvious improvement over the invention published in US 2021/0193676. The improvement comprises the bridge structure comprising interleaved a plurality of second sacrificial layers and a plurality of second dielectric layers, each first sacrificial layer being in contact with a respective second sacrificial layer of the same level, and each first dielectric layer being in contact with a respective second dielectric layer of the same level; forming a sacrificial portion in the first sacrificial layer corresponding to at least one of the stairs; removing, by a first etching process, the second sacrificial layers to form a plurality of lateral recesses; removing, by a second etching process, the sacrificial portion to form a lateral recess portion; and forming (i) a plurality of conductor layers in the lateral recesses and (ii) a conductor portion in the lateral recess portion and in contact with a respective one of the conductor layers.

Conclusion

5. This application is in condition for allowance except for the following formal matters:

the objection against specification.

Prosecution on the merits is closed in accordance with the practice under *Ex parte Quayle*, 25 USPQ 74, 453 O.G. 213, (Comm'r Pat. 1935).

A shortened statutory period for reply to this action is set to expire **TWO (2) MONTHS** from the mailing date of this letter. Extensions of time may be granted under 37 CFR 1.136 but in no case can any extension carry the date for reply to this Office action beyond the maximum period of SIX MONTHS set by statute (35 U.S.C. 133).

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to HSIEN MING LEE whose telephone number is (571)272-1863. The examiner can normally be reached Monday-Friday.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Wael M. Fahmy can be reached on 571-272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197

(toll-free). If you would like assistance from a USPTO Customer Service

Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

HSIEN MING LEE
Primary Patent Examiner
Art Unit 2814
March 16, 2022

/HSIEN MING LEE/

Notice of References Cited	Application/Control No. 16/944,835	Applicant(s)/Patent Under Reexamination Wang et al.	
	Examiner HSIEN MING LEE	Art Unit 2814	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20210193676-A1	06-2021	Zhang; Zhong	H01L27/11565	1/1
	B					
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Micron Ex. 1002, p. 663
Micron v. YMTC
IPR2025-00035

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	Art Unit
	HSIEN MING LEE	2814

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

CLAIMS

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	03/16/2022								
	1	=								
	2	=								
	3	=								
	4	=								
	5	=								
	6	=								
	7	=								
	8	=								
	9	=								
	10	=								
	11	=								
	12	=								
	13	=								
	14	=								
	15	=								
	16	=								
	17	=								
	18	=								
	19	=								
	20	=								

Micron Ex. 1002, p. 664
Micron v. YMTC
IPR2025-00035

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	Art Unit
	HSIEN MING LEE	2814

CPC - Searched*		
Symbol	**Date**	**Examiner**
H01L27/1157, 11524, 11582, 11556, 11565, 11519, 11529, 11514, 11578, 11597, further limited by text search	3/16/22	HL
H01L23/5283, further limited by text search	3/16/22	HL
H01L21/823487, further limited by text search	3/16/22	HL

CPC Combination Sets - Searched*		
Symbol	**Date**	**Examiner**

US Classification - Searched*			
Class	**Subclass**	**Date**	**Examiner**

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	**Date**	**Examiner**
applicant and inventor search	3/16/22	HL
text search at PE2E	3/16/22	HL
checked global dossier	3/16/22	HL
checked prosecution history of : 16/944,857, 16/881,279, 16/881,168 and 16/881,339	3/16/22	HL

/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	

Micron Ex. 1002, p. 665
Micron v. YMTC
IPR2025-00035

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	Art Unit
	HSIEN MING LEE	2814

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	interference search	3/16/22	HL

/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	

Micron Ex. 1002, p. 666
Micron v. YMTC
IPR2025-00035

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	1	("20210384118").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/15 10:01 PM
L2	928	yangtze ADJ memory	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:07 AM
L3	9	2 AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:07 AM
L4	4330	memory AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:10 AM
L5	4321	4 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:10 AM
L6	1162	5 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:11 AM
L7	70	6 AND (stair WITH conduct$3)	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:11 AM
L8	4642	memory AND bridge AND stairs	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 11:27 AM
L9	905	8 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 11:27 AM
L10	54	9 AND (stair WITH conduct$3)	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB,	OR	ON	ON	2022/03/16 11:27 AM

Micron Ex. 1002, p. 667
Micron v. YMTC
IPR2025-00035

			HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L11	6	("20190081072" OR "20210193676" OR "20200020714" OR "20150064900" OR "8999844" OR "10224240").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 12:16 PM
L12	11306	yangtze ADJ memory	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:18 PM
L13	35	12 AND bridge AND stairs	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:19 PM
L14	22	13 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK,	OR	ON	ON	2022/03/16 12:19 PM

Micron Ex. 1002, p. 668
Micron v. YMTC
IPR2025-00035

			TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L16	23652	((("WANG") near3 ("Di")) OR (("ZHOU") near3 ("Wenxi")) OR (("XIA") near3 ("Zhiliang"))).INV.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L17	31	16 AND bridge AND stairs	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L18	20	17 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L19	8	18 AND (stair WITH conduct$3)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA,	OR	ON	ON	2022/03/16 12:23 PM

Micron Ex. 1002, p. 669
Micron v. YMTC
IPR2025-00035

			EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L20	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 12:28 PM
L21	3	("107768377").pn.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 01:20 PM
L22	6759	(H01L27/1157).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L23	503	22 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L25	487	23 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L26	482	25 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L27	466	26 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L28	465	27 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L29	197	28 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:23 PM
L30	6738	(H01L27/11524).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L31	290	30 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L32	279	31 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L33	274	32 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16

Micron Ex. 1002, p. 670
Micron v. YMTC
IPR2025-00035

							01:36 PM
L34	258	33 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L35	258	34 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L36	60	35 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L37	12569	(H01L27/11582).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L38	1115	37 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L39	1074	38 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L40	399	39 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L41	390	40 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L42	376	41 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L43	375	42 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L44	203	43 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L45	193	44 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L46	7155	(H01L27/11556).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L47	680	46 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L48	660	47 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L49	261	48 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L50	252	49 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L51	240	50 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L52	240	51 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L53	136	52 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L54	125	53 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L55	2	54 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L56	5193	(H01L27/11565).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16

Micron Ex. 1002, p. 671
Micron v. YMTC
IPR2025-00035

							01:45 PM
L57	528	56 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L58	516	57 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L59	210	58 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L60	202	59 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L61	202	60 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L62	201	61 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L63	95	62 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L64	93	63 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L65	5	64 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L66	3962	(H01L27/11519).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L67	264	66 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L68	262	67 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L69	83	68 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L70	76	69 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L71	76	70 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L72	76	71 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L73	46	72 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L74	39	73 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L75	4	74 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L76	2320	(H01L27/11529).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L77	175	76 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L78	163	77 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM

Micron Ex. 1002, p. 672
Micron v. YMTC
IPR2025-00035

L79	83	78 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L80	83	79 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L81	83	80 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L82	83	81 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L83	55	82 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L84	54	83 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L85	45	84 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L86	300	(H01L27/11514).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L87	9	86 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L88	2751	(H01L27/11578).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L89	429	88 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L90	425	89 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L91	193	90 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L92	190	91 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L93	190	92 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L94	190	93 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L95	142	94 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L96	137	95 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L97	94	96 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L98	52	97 NOT 85	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L99	437	(H01L27/11597).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L100	15	99 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L101	15	100 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM

Micron Ex. 1002, p. 673
Micron v. YMTC
IPR2025-00035

L102	6	101 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L103	5855	(H01L23/5283).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L104	164	103 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L105	162	104 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L106	93	105 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L107	90	106 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L108	83	107 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L109	83	108 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L110	33	109 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L111	29	110 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L112	4	111 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L113	11774	(H01L21/31144).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L114	158	113 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L115	145	114 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L116	57	115 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L117	57	116 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L118	57	117 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L119	57	118 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L120	28	119 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L121	26	120 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L122	7	121 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L123	2593	(H01L21/823487).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:00 PM
L124	8	123 AND memory AND (bridge OR connect$3)	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:00 PM

Micron Ex. 1002, p. 674
Micron v. YMTC
IPR2025-00035

		AND stair					
L127	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:22 PM
L128	36	(Artificial Intelligence) More Like: US-20210384118-A1 Text: (CN-113345905-A OR WO-2021163820-A1 OR CN-111919299-A OR CN-111919299-B OR CN-111819690-A OR CN-111819690-B OR WO-2021243698-A1 OR EP-3953969-A1 OR WO-2021243703-A1 OR CN-111357109-B OR CN-111357109-A OR US-20200235003-A1 OR US-20210257382-A1 OR CN-113270414-A OR TW-202147579-A OR CN-111566813-B OR US-10312138-B2 OR TW-202133340-A OR US-11244957-B2 OR US-10658230-B2).did.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 02:57 PM

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N1	436	(memory AND (bridge OR connect$3) AND stair).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:01 PM
N3	46	(memory AND (bridge OR connect$3) AND stair AND staircase AND (dielectric OR insulat$3 OR oxide OR dioixde)).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:02 PM

Micron Ex. 1002, p. 675
Micron v. YMTC
IPR2025-00035

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	2814
Examiner Name	Hsien Ming Lee
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	10224240	B1	2019-03-05	Funayama et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	109309095	CN	A	2019-02-05	SAMSUNG ELECTRONICS CO LTD		
	2	109754836	CN	A	2019-05-14	SAMSUNG ELECTRONICS CO LTD		

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 676
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	~~3600~~ 2814
	Examiner Name	~~DB~~ Hsien Ming Lee
	Attorney Docket Number	10018-01-0122-US

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature	/HSIEN MING LEE/	Date Considered	03/16/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 677
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TB
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-01-22
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 678
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 679
Micron v. YMTC
IPR2025-00035

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	~~XXX~~ TBD 2814
Examiner Name	~~TBD~~ Hsien Ming Lee
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20190081072	A1	2019-03-14	Chun et al.	
	2	20210193676	A1	2021-06-24	Zhang et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	110797345	CN	A	2020-02-14	SAMSUNG ELECTRONICS CO LTD		
	2	111033729	CN	A	2020-04-17	YANGTZE MEMORY TECH CO LTD		

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 680
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	~~TBD~~ 2814
	Examiner Name	~~TBD~~ Hsien Ming Lee
	Attorney Docket Number	10018-01-0122-US

	3	107293532	CN	A	2017-10-24	MACRONIX INT CO LTD		
	4	110391248	CN	A	2019-10-29	SAMSUNG ELECTRONICS CO LTD		
	5	108428703	CN	A	2018-08-21	YANGTZE MEMORY TECH CO LTD		
	6	108231786	CN	A	2018-06-29	SAMSUNG ELECTRONICS CO LTD		
	7	110718553	CN	A	2020-01-21	SK HYNIX INC		

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Search Report issued in corresponding International Application No. PCT/CN2020/094649, mailed January 27, 2021, 5 pages	

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature	/HSIEN MING LEE/	Date Considered	03/16/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 681
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	TBD
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-11-23
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 682
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 683
Micron v. YMTC
IPR2025-00035

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	~~3600~~ 2814
Examiner Name	~~TBD~~ Hsien Ming Lee
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20200020714	A1	2020-01-16	OH	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	107768377	CN	A	2018-03-06	SAMSUNG ELECTRONICS CO LTD		
	2	109754836	CN	A	2019-05-14	SAMSUNG ELECTRONICS CO LTD		
	3	107731845	CN	A	2018-02-23	CHANGJIANG CUNCHU TECH CO LTD		

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 684
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	~~3600~~ 2814
	Examiner Name	~~TBD~~ Hsien Ming Lee
	Attorney Docket Number	10018-01-0122-US

If you wish to add additional Foreign Patent Document citation information please click the Add button [Add]

NON-PATENT LITERATURE DOCUMENTS [Remove]

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Search Report issued in corresponding International Application No. PCT/CN2020/094658, mailed January 27, 2021, 5 pages	

If you wish to add additional non-patent literature document citation information please click the Add button [Add]

EXAMINER SIGNATURE

Examiner Signature	/HSIEN MING LEE/	Date Considered	03/16/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

EFS Web 2.1.17

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-04-24
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 686
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 687
Micron v. YMTC
IPR2025-00035

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	3600 2814
Examiner Name	TBD Hsien Ming Lee
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	8999844	B2	2015-04-07	Freeman et al.	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20150064900	A1	2015-03-05	LEE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	110391242	CN	A	2019-10-29	INST MICROELECTRONICS CAS		
	2	201834217	TW	A	2018-09-16	MACRONIX INT CO LTD		
	3	201605015	TW	A	2016-02-01	SK HYNIX INC		

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 688
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	~~3600~~ 2814
	Examiner Name	~~TRD~~ Hsien Ming Lee
	Attorney Docket Number	10018-01-0122-US

If you wish to add additional Foreign Patent Document citation information please click the Add button [Add]

NON-PATENT LITERATURE DOCUMENTS [Remove]

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1		

If you wish to add additional non-patent literature document citation information please click the Add button [Add]

EXAMINER SIGNATURE

Examiner Signature	/HSIEN MING LEE/	Date Considered	03/16/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 689
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	3600
	Examiner Name	TBD
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2021-02-23
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 690
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 691
Micron v. YMTC
IPR2025-00035

Bibliographic Data

Application No: 16/944,835

Foreign Priority claimed: ○ Yes ◉ No

35 USC 119 (a-d) conditions met: ☐ Yes ☑ No ☐ Met After Allowance

Verified and Acknowledged: /HSIEN MING LEE/ Examiner's Signature | Initials

Title: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
07/31/2020	257	2814	10018-01-0122-US
RULE			

APPLICANTS

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA

INVENTORS

Di Wang, Wuhan, CHINA

Wenxi Zhou, Wuhan, CHINA

Zhiliang Xia, Wuhan, CHINA

CONTINUING DATA

This application is a CON of PCT/CN2020/094658 06/05/2020 Yes HL

FOREIGN APPLICATIONS No HL

IF REQUIRED, FOREIGN LICENSE GRANTED**

08/06/2020

STATE OR COUNTRY

CHINA

ADDRESS

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102
UNITED STATES

FILING FEE RECEIVED

$1,720

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: Di WANG	Confirmation No.: 1870
Applicant: YANGTZE MEMORY TECHNOLOGIES CO., LTD.	Art Unit: 2814
Application No.: 16/944,835	Examiner: Hsien Ming LEE
Filing Date: July 31, 2020	Atty. Docket: 10018-01-0122-US

Title: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

Amendment and Reply in Response to *Ex Parte Quayle* Action

Mail Stop AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

In reply to the *Ex Parte Quayle* Office Action dated March 21, 2022, Applicant submits the following Remarks.

Amendments to the Specification begin on page 2 of this paper.

Amendments to the Claims are reflected in the listing of claims which begins on page 3 of this paper.

Remarks follow the Amendment sections of this paper.

It is not believed that extensions of time are required beyond those that may otherwise be provided for in documents accompanying this paper. However, if additional extensions of time are necessary to prevent abandonment of this application, then such extensions of time are hereby petitioned under 37 C.F.R. § 1.136(a), and any additional fees required to continue prosecution or appeal of this application (including issue fee, fees for a net addition of claims or forwarding to appeal) are hereby authorized to be charged to our Deposit Account No. 60-2227.

Amendments to the Specification

Please amend paragraph [0001] of the original specification in the section as follows.

[0001] This application is a continuation of International Application No. PCT/CN2020/094658, filed on June 5, 2020, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is ~~hereby~~ incorporated by reference in its entirety. This application is also related to ~~co-pending~~ U.S. Application No. 16/944,857 ~~_____, Attorney Docketing No.: 10018-01-0123-US~~, filed on July 31, 2020 ~~even date~~, entitled "STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME," which is hereby incorporated by reference in its entirety.

Micron Ex. 1002, p. 694
Micron v. YMTC
IPR2025-00035

Amendments to the Claims

This listing of claims will replace all prior versions, and listings, of claims in the application.

1. (Currently Amended) A three-dimensional (3D) memory device, comprising:

a memory array structure; and

a staircase structure in an intermediate of the memory array structure and dividing the memory array structure into a first memory array structure and a second memory array structure along a lateral direction, the staircase structure comprising (i) a plurality of stairs extending along the lateral direction, and (ii) a bridge structure in contact with the first memory array structure and the second memory array structure, the plurality of stairs comprising a stair above one or more dielectric pairs, wherein:

the stair comprises a conductor portion on a top surface of the stair and in contact with and electrically connected to the bridge structure, and a dielectric portion at a same level and in contact with the conductor portion, the stair being electrically connected to at least one of the first memory array structure [[and]] or the second memory array structure through the bridge structure; and

along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

2. (Original) The 3D memory device of claim 1, wherein the stair further comprises:

a dielectric layer under the conductor portion and the dielectric portion.

3. (Original) The 3D memory device of claim 2, wherein the conductor portion and the dielectric layer are each above the one or more dielectric pairs.

4. (Original) The 3D memory device of claim 2, wherein along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

Micron Ex. 1002, p. 695
Micron v. YMTC
IPR2025-00035

5. (Original) The 3D memory device of claim 1, wherein along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

6. (Currently Amended) The 3D memory device of claim 1, wherein

a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction; and

the conductor portion is above a second dielectric portion that is located between [[the]] a dielectric layer and the conductor portion.

7. (Original) The 3D memory device of claim 6, wherein along the lateral direction, a width of the second dielectric portion is equal to the width of the conductor portion.

8. (Currently Amended) The 3D memory device of claim 1, wherein:

the conductor portion comprises at least one of tungsten, cobalt, copper, aluminum, silicides, [[and]] or polysilicon;

the dielectric portion comprises silicon nitride; and

a dielectric layer is arranged under the conductor portion and the dielectric portion, the dielectric layer ~~comprises~~ comprising silicon oxide.

9. (Currently Amended) A three-dimensional (3D) memory device, comprising:

a memory array structure; and

a staircase structure comprising a plurality of stairs extending along a lateral direction, the plurality of stairs comprising a stair comprising a conductor portion on a top surface of the stair and a dielectric portion at a same level and in contact with the conductor portion, the ~~conduction~~ conductor portion being electrically connected to the memory array structure,

wherein along a second lateral direction perpendicular to the lateral direction, a width of the conductor portion is unchanged.

Micron Ex. 1002, p. 696
Micron v. YMTC
IPR2025-00035

10. (Original) The 3D memory device of claim 9, wherein the staircase structure further comprises a dielectric layer under the conductor portion and the dielectric portion.

11. (Currently Amended) The 3D memory device of claim 10, wherein:

the conductor portion and the dielectric layer are each above [[the]] one or more dielectric pairs.

12. (Original) The 3D memory device of claim 9, wherein along the lateral direction, a width of the conductor portion is equal to a dimension of the stair.

13. (Original) The 3D memory device of claim 9, wherein along the second lateral direction perpendicular to the lateral direction, a length of the conductor portion is equal to or less than a second dimension of the stair.

14. (Currently Amended) The 3D memory device of claim 9, wherein:

a thickness of the conductor portion is equal to or less than a thickness of the dielectric portion along a vertical direction;

the conductor portion is above a second dielectric portion that is located between [[the]] a dielectric layer and the conductor portion; and

along the lateral direction, a width of the second dielectric portion is equal to the dimension of the stair.

15. (Original) A method for forming a staircase structure of a three-dimensional (3D) memory device, comprising:

forming a plurality of stairs comprising interleaved a plurality of first sacrificial layers and a plurality of first dielectric layers in a plurality of stairs;

forming a bridge structure in contact with the plurality of stairs, the bridge structure comprising interleaved a plurality of second sacrificial layers and a plurality of second dielectric layers, each first sacrificial layer being in contact with a respective second sacrificial layer of the

Micron Ex. 1002, p. 697
Micron v. YMTC
IPR2025-00035

same level, and each first dielectric layer being in contact with a respective second dielectric layer of the same level;

forming a sacrificial portion in the first sacrificial layer corresponding to at least one of the stairs;

removing, by a first etching process, the second sacrificial layers to form a plurality of lateral recesses;

removing, by a second etching process, the sacrificial portion to form a lateral recess portion; and

forming (i) a plurality of conductor layers in the lateral recesses and (ii) a conductor portion in the lateral recess portion and in contact with a respective one of the conductor layers.

16. (Original) The method of claim 15, wherein in the first etching process, an etch rate on the sacrificial portion is lower than an etch rate on the second sacrificial layers.

17. (Original) The method of claim 15, wherein in the second etching process, an etch rate on the sacrificial portion is higher than an etch rate on the first sacrificial layers.

18. (Original) The method of claim 15, wherein forming the sacrificial portion comprises:

performing a plasma treatment to an exposed portion of the first sacrificial layer of the at least one of the stairs to alter an etch rate of the exposed portion of the first sacrificial layer in the first etching process.

19. (Original) The method of claim 18, further comprising forming a protection layer on the first sacrificial layer before the plasma treatment.

20. (Original) The method of claim 15, further comprising retaining a portion of the first sacrificial layers and first dielectric layers under the sacrificial portion.

Micron Ex. 1002, p. 698
Micron v. YMTC
IPR2025-00035

Remarks

Reconsideration of this Application is respectfully requested.

Upon entry of the foregoing amendment, claims 1-20 are pending in the application, with claims 1, 9, and 15 being the independent claims. Claims 1, 6, 8, 9, 11, and 14 are hereby amended to correct typographical errors and informalities. The specification is hereby amended. These amendments are believed to introduce no new matter, and their entry is respectfully requested.

Throughout the arguments, Applicant reminds the Examiner that the claims are given their broadest reasonable meaning in view of the specification, and any paraphrasing of the claim features is not to be interpreted as reading any features into, or characterizing of, the claims.

Based on the above amendment and the following remarks, Applicant respectfully requests that the Examiner reconsider and withdraw the outstanding objection.

Specification

The disclosure is objected to for the alleged informalities. The specification has been amended to obviate the objection.

Claim Amendments

By this Amendment, Applicant amends the pending claims to improve the format thereof.

Allowable Subject Matter

The Office Action states that claims 1-20 are allowed. Applicant appreciates the Examiner's indication of the allowable subject matter.

Micron Ex. 1002, p. 699
Micron v. YMTC
IPR2025-00035

Conclusion

All of the stated grounds of the objection have been properly traversed, accommodated, or rendered moot. Applicant therefore respectfully requests that the Examiner reconsider the presently outstanding objection and that they be withdrawn. Applicant believes that a full and complete reply has been made to the outstanding Office Action and, as such, the present application is in condition for allowance. If the Examiner believes, for any reason, that personal communication will expedite prosecution of this application, the Examiner is invited to telephone the undersigned at the number provided.

Prompt and favorable consideration of this Amendment and Reply is respectfully requested.

Respectfully submitted,

BAYES PLLC

/Ching-Ling Huang/

Ching-Ling Huang
Agent for Applicant
Registration No. 62,003

Date: April 7, 2022

8260 Greensboro Drive, Suite 625
McLean, VA 22102
(703) 995-9887

Micron Ex. 1002, p. 700
Micron v. YMTC
IPR2025-00035

Electronic Acknowledgement Receipt

EFS ID:	45417744
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	07-APR-2022
Filing Date:	31-JUL-2020
Time Stamp:	12:43:04
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2020-00044-YMTC-PCT-US_AmendmentEPQofMarch22_2022_10018-01-0122-US_signed.pdf	207988 66740d33c5957fb4c45ec1c8b5779ed595a70a93	yes	8

	Multipart Description/PDF files in .zip description		
	Document Description	**Start**	**End**
	Response after Ex Parte Quayle Action	1	1
	Specification	2	2
	Claims	3	6
	Applicant Arguments/Remarks Made in an Amendment	7	8
Warnings:			
Information:			
	Total Files Size (in bytes):	207988	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (09-11)
Approved for use through 1/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 16/944,835	Filing Date 07/31/2020	☐ To be Mailed

ENTITY: ☑ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED - PART I

	(Column 1)	(Column 2)			
FOR	NUMBER FILED	NUMBER EXTRA		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A		N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A		N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A		N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*		x $100 =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*		x $460 =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).				
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))					
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL	

APPLICATION AS AMENDED - PART II

		(Column 1)		(Column 2)	(Column 3)			
AMENDMENT	04/07/2022	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 20	Minus	** 20	= 0		x $100 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0		x $480 =	0
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
							TOTAL ADD'L FEE	0

		(Column 1)		(Column 2)	(Column 3)			
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=		x $0 =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=		x $0 =	
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
							TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.	LIE
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".	/DORIAN EVANS/
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".	
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.	

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

153988 7590 04/21/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

EXAMINER
LEE, HSIEN MING

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 04/21/2022

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

TITLE OF INVENTION: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	07/21/2022

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 704
Micron v. YMTC
IPR2025-00035

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

153988 7590 04/21/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

TITLE OF INVENTION: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	07/21/2022

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE, HSIEN MING	2814	257-314000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required) ❑ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 705
Micron v. YMTC
IPR2025-00035

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

153988 7590 04/21/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

EXAMINER	
LEE, HSIEN MING	

ART UNIT	PAPER NUMBER
2814	

DATE MAILED: 04/21/2022

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

Micron Ex. 1002, p. 706
Micron v. YMTC
IPR2025-00035

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 16/944,835	Applicant(s) Wang et al.	
	Examiner HSIEN MING LEE	Art Unit 2814	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 4/7/22.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some* c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/HSIEN MING LEE/
Primary Patent Examiner, Art Unit 2814

Micron Ex. 1002, p. 708
Micron v. YMTC
IPR2025-00035

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Allowable Subject Matter

2. Claims 1-20 are allowed.

3. The following is an examiner's statement of reasons for allowance:

See detailed reasons stated in the previous office action mailed on 3/21/22.

4. Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to HSIEN MING LEE whose telephone number is (571)272-1863. The examiner can normally be reached Monday-Friday.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Wael M. Fahmy can be reached on 571-272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

HSIEN MING LEE
Primary Patent Examiner
Art Unit 2814
April 14, 2022

/HSIEN MING LEE/

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	**Art Unit**
	HSIEN MING LEE	2814

CPC						
Symbol					**Type**	**Version**
H01L	/	23	/	5226	F	2013-01-01
G11C	/	8	/	14	I	2013-01-01
H01L	/	27	/	11519	I	2013-01-01
H01L	/	27	/	11524	I	2013-01-01
H01L	/	27	/	11556	I	2013-01-01
H01L	/	27	/	11565	I	2013-01-01
H01L	/	27	/	1157	I	2013-01-01
H01L	/	27	/	11582	I	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	14 April 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3A & 3B

U.S. Patent and Trademark Office — Part of Paper No.: 20220414

Micron Ex. 1002, p. 711
Micron v. YMTC
IPR2025-00035

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	**Art Unit**
	HSIEN MING LEE	2814

INTERNATIONAL CLASSIFICATION				
CLAIMED				
H01L	/	23	/	522

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	14 April 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3A & 3B

U.S. Patent and Trademark Office — Part of Paper No.: 20220414

Micron Ex. 1002, p. 712
Micron v. YMTC
IPR2025-00035

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	**Art Unit**
	HSIEN MING LEE	2814

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		10		19										
	2		11		20										
	3		12												
	4		13												
	5		14												
	6		15												
	7		16												
	8		17												
	9		18												

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	14 April 2022	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3A & 3B

U.S. Patent and Trademark Office — Part of Paper No.: 20220414

Micron Ex. 1002, p. 713
Micron v. YMTC
IPR2025-00035

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	Art Unit
	HSIEN MING LEE	2814

CPC - Searched*		
Symbol	**Date**	**Examiner**
H01L27/1157, 11524, 11582, 11556, 11565, 11519, 11529, 11514, 11578, 11597, further limited by text search	3/16/22	HL
H01L23/5283, further limited by text search	3/16/22	HL
H01L21/823487, further limited by text search	3/16/22	HL
updated search	4/14/22	HL

CPC Combination Sets - Searched*		
Symbol	**Date**	**Examiner**

US Classification - Searched*			
Class	**Subclass**	**Date**	**Examiner**

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	**Date**	**Examiner**
applicant and inventor search	3/16/22, 4/14/22	HL
text search at PE2E	3/16/22	HL
checked global dossier	3/16/22, 4/14/22	HL
checked prosecution history of : 16/944,857, 16/881,279, 16/881,168 and 16/881,339	3/16/22	HL
updated text search at PE2E	4/14/22	HL

/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	

Micron Ex. 1002, p. 714
Micron v. YMTC
IPR2025-00035

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	16/944,835	Wang et al.
	Examiner	Art Unit
	HSIEN MING LEE	2814

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	interference search	3/16/22	HL
	see interference search history	4/14/22	HL

/HSIEN MING LEE/ Primary Patent Examiner, Art Unit 2814	

Micron Ex. 1002, p. 715
Micron v. YMTC
IPR2025-00035

Bibliographic Data

Application No: 16/944,835

Foreign Priority claimed: ○ Yes ◉ No

35 USC 119 (a-d) conditions met: ☐ Yes ☑ No ☐ Met After Allowance

Verified and Acknowledged: /HSIEN MING LEE/ (Examiner's Signature) | (Initials)

Title: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
07/31/2020	257	2814	10018-01-0122-US
RULE			

APPLICANTS

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA

INVENTORS

Di Wang, Wuhan, CHINA

Wenxi Zhou, Wuhan, CHINA

Zhiliang Xia, Wuhan, CHINA

CONTINUING DATA Yes HL

This application is a CON of PCT/CN2020/094658 06/05/2020

FOREIGN APPLICATIONS No HL

IF REQUIRED, FOREIGN LICENSE GRANTED**

08/06/2020

STATE OR COUNTRY

CHINA

ADDRESS

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102
UNITED STATES

FILING FEE RECEIVED

$1,720

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	1	("20210384118").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/15 10:01 PM
L2	928	yangtze ADJ memory	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:07 AM
L3	9	2 AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:07 AM
L4	4330	memory AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:10 AM
L5	4321	4 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:10 AM
L6	1162	5 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:11 AM
L7	70	6 AND (stair WITH conduct$3)	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 11:11 AM
L8	4642	memory AND bridge AND stairs	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 11:27 AM
L9	905	8 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 11:27 AM
L10	54	9 AND (stair WITH conduct$3)	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB,	OR	ON	ON	2022/03/16 11:27 AM

Micron Ex. 1002, p. 717
Micron v. YMTC
IPR2025-00035

			HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L11	6	("20190081072" OR "20210193676" OR "20200020714" OR "20150064900" OR "8999844" OR "10224240").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 12:16 PM
L12	11306	yangtze ADJ memory	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:18 PM
L13	35	12 AND bridge AND stairs	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:19 PM
L14	22	13 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK,	OR	ON	ON	2022/03/16 12:19 PM

Micron Ex. 1002, p. 718
Micron v. YMTC
IPR2025-00035

			TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L16	23652	((("WANG") near3 ("Di")) OR (("ZHOU") near3 ("Wenxi")) OR (("XIA") near3 ("Zhiliang"))).INV.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L17	31	16 AND bridge AND stairs	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L18	20	17 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 12:22 PM
L19	8	18 AND (stair WITH conduct$3)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA,	OR	ON	ON	2022/03/16 12:23 PM

Micron Ex. 1002, p. 719
Micron v. YMTC
IPR2025-00035

			EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L20	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 12:28 PM
L21	3	("107768377").pn.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 01:20 PM
L22	6759	(H01L27/1157).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L23	503	22 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L25	487	23 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:21 PM
L26	482	25 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L27	466	26 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L28	465	27 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:22 PM
L29	197	28 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:23 PM
L30	6738	(H01L27/11524).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L31	290	30 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L32	279	31 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L33	274	32 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16

Micron Ex. 1002, p. 720
Micron v. YMTC
IPR2025-00035

							01:36 PM
L34	258	33 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L35	258	34 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L36	60	35 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:36 PM
L37	12569	(H01L27/11582).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L38	1115	37 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L39	1074	38 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L40	399	39 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:38 PM
L41	390	40 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L42	376	41 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L43	375	42 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L44	203	43 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L45	193	44 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:39 PM
L46	7155	(H01L27/11556).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L47	680	46 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L48	660	47 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L49	261	48 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L50	252	49 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L51	240	50 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L52	240	51 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:44 PM
L53	136	52 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L54	125	53 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L55	2	54 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L56	5193	(H01L27/11565).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16

Micron Ex. 1002, p. 721
Micron v. YMTC
IPR2025-00035

							01:45 PM
L57	528	56 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:45 PM
L58	516	57 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L59	210	58 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L60	202	59 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L61	202	60 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L62	201	61 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L63	95	62 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L64	93	63 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L65	5	64 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:46 PM
L66	3962	(H01L27/11519).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L67	264	66 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L68	262	67 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:48 PM
L69	83	68 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L70	76	69 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L71	76	70 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L72	76	71 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L73	46	72 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L74	39	73 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L75	4	74 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:49 PM
L76	2320	(H01L27/11529).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L77	175	76 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L78	163	77 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM

Micron Ex. 1002, p. 722
Micron v. YMTC
IPR2025-00035

L79	83	78 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L80	83	79 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:50 PM
L81	83	80 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L82	83	81 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L83	55	82 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L84	54	83 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L85	45	84 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:51 PM
L86	300	(H01L27/11514).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L87	9	86 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L88	2751	(H01L27/11578).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:53 PM
L89	429	88 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L90	425	89 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L91	193	90 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L92	190	91 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L93	190	92 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L94	190	93 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L95	142	94 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:54 PM
L96	137	95 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L97	94	96 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L98	52	97 NOT 85	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:55 PM
L99	437	(H01L27/11597).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L100	15	99 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L101	15	100 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM

Micron Ex. 1002, p. 723
Micron v. YMTC
IPR2025-00035

L102	6	101 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:56 PM
L103	5855	(H01L23/5283).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L104	164	103 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L105	162	104 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L106	93	105 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L107	90	106 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L108	83	107 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:57 PM
L109	83	108 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L110	33	109 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L111	29	110 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L112	4	111 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L113	11774	(H01L21/31144).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:58 PM
L114	158	113 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L115	145	114 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L116	57	115 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L117	57	116 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L118	57	117 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L119	57	118 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L120	28	119 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L121	26	120 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L122	7	121 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 01:59 PM
L123	2593	(H01L21/823487).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:00 PM
L124	8	123 AND memory AND (bridge OR connect$3)	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:00 PM

Micron Ex. 1002, p. 724
Micron v. YMTC
IPR2025-00035

		AND stair					
L127	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:22 PM
L128	36	(Artificial Intelligence) More Like: US-20210384118-A1 Text: (CN-113345905-A OR WO-2021163820-A1 OR CN-111919299-A OR CN-111919299-B OR CN-111819690-A OR CN-111819690-B OR WO-2021243698-A1 OR EP-3953969-A1 OR WO-2021243703-A1 OR CN-111357109-B OR CN-111357109-A OR US-20200235003-A1 OR US-20210257382-A1 OR CN-113270414-A OR TW-202147579-A OR CN-111566813-B OR US-10312138-B2 OR TW-202133340-A OR US-11244957-B2 OR US-10658230-B2).did.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/03/16 02:57 PM
L129	1	("20210384118").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L130	964	yangtze ADJ memory	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L131	11	2 AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L132	4380	memory AND bridge AND stairs	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L133	4369	4 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L134	1179	5 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L135	70	6 AND (stair WITH conduct$3)	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L136	4649	memory AND bridge AND stairs	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK,	OR	ON	ON	2022/04/14 01:43 PM

Micron Ex. 1002, p. 725
Micron v. YMTC
IPR2025-00035

			TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L137	908	8 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L138	54	9 AND (stair WITH conduct$3)	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L139	6	("20190081072" OR "20210193676" OR "20200020714" OR "20150064900" OR "8999844" OR "10224240").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L140	11561	yangtze ADJ memory	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L141	35	12 AND bridge AND	(USOCR; FIT (AU, AP,	OR	ON	ON	2022/04/14

Micron Ex. 1002, p. 726
Micron v. YMTC
IPR2025-00035

		stairs	AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				01:43 PM
L142	22	13 AND (dielectric OR insulat$3) AND conduct$3	(USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L143	23750	((("WANG") near3 ("Di")) OR (("ZHOU") near3 ("Wenxi")) OR (("XIA") near3 ("Zhiliang"))).INV.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L144	32	16 AND bridge AND stairs	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK,	OR	ON	ON	2022/04/14 01:43 PM

Micron Ex. 1002, p. 727
Micron v. YMTC
IPR2025-00035

			TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L145	21	17 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L146	9	18 AND (stair WITH conduct$3)	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L147	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L148	3	("107768377").pn.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM
L149	6861	(H01L27/1157).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM

Micron Ex. 1002, p. 728
Micron v. YMTC
IPR2025-00035

L150	513	22 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L151	496	23 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L152	490	25 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L153	474	26 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L154	473	27 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L155	203	28 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L156	6810	(H01L27/11524).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L157	299	30 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L158	287	31 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L159	281	32 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L160	265	33 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L161	265	34 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L162	61	35 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L163	12790	(H01L27/11582).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L164	1140	37 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L165	1098	38 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L166	415	39 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L167	404	40 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L168	390	41 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L169	389	42 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L170	211	43 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L171	201	44 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L172	7303	(H01L27/11556).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14

Micron Ex. 1002, p. 729
Micron v. YMTC
IPR2025-00035

							01:43 PM
L173	697	46 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L174	676	47 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L175	270	48 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L176	259	49 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L177	247	50 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L178	247	51 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L179	139	52 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L180	128	53 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L181	2	54 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L182	5322	(H01L27/11565).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L183	550	56 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L184	537	57 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L185	222	58 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L186	212	59 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L187	212	60 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L188	211	61 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L189	101	62 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L190	99	63 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L191	5	64 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L192	4048	(H01L27/11519).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L193	279	66 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L194	276	67 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM

Micron Ex. 1002, p. 730
Micron v. YMTC
IPR2025-00035

L195	90	68 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L196	82	69 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L197	82	70 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L198	82	71 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L199	49	72 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L200	42	73 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L201	4	74 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L202	2356	(H01L27/11529).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L203	183	76 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L204	171	77 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L205	89	78 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L206	89	79 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L207	89	80 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L208	89	81 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L209	59	82 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L210	58	83 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L211	48	84 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L212	306	(H01L27/11514).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L213	11	86 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L214	2784	(H01L27/11578).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L215	441	88 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L216	437	89 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L217	200	90 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14

Micron Ex. 1002, p. 731
Micron v. YMTC
IPR2025-00035

							01:43 PM
L218	197	91 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L219	197	92 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L220	197	93 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L221	148	94 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L222	143	95 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L223	97	96 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L224	52	97 NOT 85	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L225	454	(H01L27/11597).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L226	15	99 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L227	15	100 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L228	6	101 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L229	5948	(H01L23/5283).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L230	169	103 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L231	167	104 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L232	98	105 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L233	94	106 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L234	87	107 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L235	87	108 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L236	37	109 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L237	33	110 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L238	4	111 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L239	11853	(H01L21/31144).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L240	158	113 AND memory AND	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14

Micron Ex. 1002, p. 732
Micron v. YMTC
IPR2025-00035

		(bridge OR connect$3) AND stair					01:43 PM
L241	145	114 AND (dielectric OR insulat$3) AND conduct$3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L242	57	115 AND staircase	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L243	57	116 NOT 3	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L244	57	117 NOT 7	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L245	57	118 NOT 11	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L246	28	119 NOT 28	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L247	26	120 NOT 36	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L248	7	121 NOT 45	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L249	2605	(H01L21/823487).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L250	8	123 AND memory AND (bridge OR connect$3) AND stair	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L251	1	("20210193676").pn.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:43 PM
L252	37	(Artificial Intelligence) More Like: US-20210384118-A1 Text: (CN-113345905-A OR WO-2021163820-A1 OR CN-111919299-A OR CN-111919299-B OR CN-111819690-A OR CN-111819690-B OR EP-3953969-A1 OR WO-2021243698-A1 OR WO-2021243703-A1 OR CN-111357109-B OR US-20200235003-A1 OR US-20210257382-A1 OR CN-113270414-A OR CN-111566813-B OR US-10312138-B2 OR TW-202147579-A OR TW-202133340-A OR US-11244957-B2 OR US-10658230-B2 OR TW-I741696-B).did.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/04/14 01:43 PM

Micron Ex. 1002, p. 733
Micron v. YMTC
IPR2025-00035

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N1	436	(memory AND (bridge OR connect$3) AND stair).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:01 PM
N3	46	(memory AND (bridge OR connect$3) AND stair AND staircase AND (dielectric OR insulat$3 OR oxide OR dioixde)).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/03/16 02:02 PM
N4	443	(memory AND (bridge OR connect$3) AND stair).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:42 PM
N5	49	(memory AND (bridge OR connect$3) AND stair AND staircase AND (dielectric OR insulat$3 OR oxide OR dioixde)).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2022/04/14 01:42 PM

Micron Ex. 1002, p. 734
Micron v. YMTC
IPR2025-00035

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

153988 7590 04/21/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

Anna J. O'Connor	(Typed or printed name)
/Anna J. O'Connor/	(Signature)
July 18, 2022 E-FILED	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

TITLE OF INVENTION: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	07/21/2022

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE, HSIEN MING	2814	257-314000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 BAYES PLLC
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: YANGTZE MEMORY TECHNOLOGIES CO., LTD.

(B) RESIDENCE: (CITY and STATE OR COUNTRY): WUHAN, CHINA

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 60-2227

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date 7/18/2022

Typed or printed name Zhiwei Zou Registration No. 66,041

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Micron Ex. 1002, p. 735
Micron v. YMTC
IPR2025-00035

Electronic Patent Application Fee Transmittal

Application Number:	16944835
Filing Date:	31-Jul-2020
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Filer:	Zhiwei Zou/Anna O'Connor
Attorney Docket Number:	10018-01-0122-US

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1200	1200

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1200**

Electronic Acknowledgement Receipt

EFS ID:	46211162
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	18-JUL-2022
Filing Date:	31-JUL-2020
Time Stamp:	13:52:17
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1200
RAM confirmation Number	E20227HD54080073
Deposit Account	602227
Authorized User	Anna O'Connor
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	10018-01-0122-US_IFTransmittal.pdf	287872 b5d7324a665965c3abb82b73f48494c2a68fde55	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	38076 723c3156deb0fb09b9ab41accacd367fe383b6a8	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	325948		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.
National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.
New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT
(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	2814
Examiner Name	Hsien Ming LEE
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	9029938	B2	2015-05-12	Nakaki	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20150255385	A1	2015-09-10	LEE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

Micron Ex. 1002, p. 740
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	2814
	Examiner Name	Hsien Ming LEE
	Attorney Docket Number	10018-01-0122-US

	1	Extended European Search Report issued in corresponding European Application No. EP 20 92 2502.8, mailed July 6, 2022, 9 pages	

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

Micron Ex. 1002, p. 741
Micron v. YMTC
IPR2025-00035

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	2814
	Examiner Name	Hsien Ming LEE
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

☒ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2022-07-28
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Micron Ex. 1002, p. 742
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 743
Micron v. YMTC
IPR2025-00035

Doc Code: PET.AUTO Document Description: Petition automatically granted by EFS-Web	PTO/SB/140 U.S. Patent and Trademark Office Department of Commerce

Electronic Petition Request	**PETITION TO WITHDRAW AN APPLICATION FROM ISSUE AFTER PAYMENT OF THE ISSUE FEE UNDER 37 CFR 1.313(c)**
Application Number	16944835
Filing Date	31-Jul-2020
First Named Inventor	Di Wang
Art Unit	2814
Examiner Name	HSIEN MING LEE
Attorney Docket Number	10018-01-0122-US
Title	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

An application may be withdrawn from issue for further action upon petition by the applicant. To request that the Office withdraw an application from issue, applicant must file a petition under this section including the fee set forth in § 1.17(h) and a showing of good and sufficient reasons why withdrawal of the application from issue is necessary.

APPLICANT HEREBY PETITIONS TO WITHDRAW THIS APPLICATION FROM ISSUE UNDER 37 CFR 1.313(c).

A grantable petition requires the following items:
(1) Petition fee; and
(2) One of the following reasons:
(a) Unpatentability of one or more claims, which must be accompanied by an unequivocal statement that one or more claims are unpatentable, an amendment to such claim or claims, and an explanation as to how the amendment causes such claim or claims to be patentable;
(b) Consideration of a request for continued examination in compliance with § 1.114 (for a utility or plant application only); or
(c) Express abandonment of the application. Such express abandonment may be in favor of a continuing application, but not a CPA under 37 CFR 1.53(d).

Petition Fee

- ○ Small Entity
- ○ Micro Entity
- ◉ Regular Undiscounted

Reason for withdrawal from issue

◯ One or more claims are unpatentable ◉ Consideration of a request for continued examination (RCE) (List of Required Documents and Fees) ◯ Applicant hereby expressly abandons the instant application (any attorney/agent signing for this reason must have power of attorney pursuant to 37 CFR 1.32(b)).
RCE request,submission, and fee. ☐ I certify, in accordance with 37 CFR 1.4(d)(4) that : The RCE request ,submission, and fee have already been filed in the above-identified application on ☒ Are attached.
THIS PORTION MUST BE COMPLETED BY THE SIGNATORY OR SIGNATORIES I certify, in accordance with 37 CFR 1.4(d)(4) that I am: ◉ An attorney or agent registered to practice before the Patent and Trademark Office who has been given power of attorney in this application. ◯ An attorney or agent registered to practice before the Patent and Trademark Office, acting in a representative capacity. ◯ A sole inventor ◯ A joint inventor; I certify that I am authorized to sign this submission on behalf of all of the inventors as evidenced by the power of attorney in the application ◯ A joint inventor; all of whom are signing this e-petition

Signature	/Zhiwei Zou/
Name	Zhiwei Zou
Registration Number	66041

Electronic Patent Application Fee Transmittal

Application Number:	16944835
Filing Date:	31-Jul-2020
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Filer:	Zhiwei Zou/Anna O'Connor
Attorney Docket Number:	10018-01-0122-US

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
PETITION FEE- 37 CFR 1.17(H) (GROUP III)	1464	1	140	140
RCE- 1ST REQUEST	1801	1	1360	1360
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1500**

UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

Decision Date : July 28, 2022

In re Application of :

Di Wang

DECISION ON PETITION
UNDER CFR 1.313(c)(2)

Application No : 16944835

Filed : 31-Jul-2020

Attorney Docket No : 10018-01-0122-US

This is an electronic decision on the petition under 37 CFR 1.313(c)(2), filed July 28, 2022 , to withdraw the above-identified application from issue after payment of the issue fee.

The petition is **GRANTED.**

The above-identified application is withdrawn from issue for consideration of a submission under 37 CFR 1.114 (request for continued examination). See 37 CFR 1.313(c)(2).

Petitioner is advised that the issue fee paid in this application cannot be refunded. If, however, this application is again allowed, petitioner may request that it be applied towards the issue fee required by the new Notice of Allowance.

Telephone inquiries concerning this decision should be directed to the Patent Electronic Business Center (EBC) at 866-217-9197.

This application file is being referred to Technology Center AU 2814 for processing of the request for continuing examination under 37 CFR 1.114 .

Office of Petitions

Electronic Acknowledgement Receipt

EFS ID:	46298449
Application Number:	16944835
International Application Number:	
Confirmation Number:	1870
Title of Invention:	STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME
First Named Inventor/Applicant Name:	Di Wang
Customer Number:	153988
Filer:	Zhiwei Zou/Anna O'Connor
Filer Authorized By:	Zhiwei Zou
Attorney Docket Number:	10018-01-0122-US
Receipt Date:	28-JUL-2022
Filing Date:	31-JUL-2020
Time Stamp:	21:56:54
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1500
RAM confirmation Number	E20227RL56493591
Deposit Account	602227
Authorized User	Anna O'Connor
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Quick Path Information Disclosure Statement	10018-01-0122-US_RequestQPIDS.pdf	201663 dfbeb34a0bcb489cc27464289382a155ad57b433	no	1
Warnings:					
Information:					
2	Request for Continued Examination (RCE)	10018-01-0122-US_RCE.pdf	697598 c4120dde6bc68a997dd8f213fc4a85240aadd02e	no	3
Warnings:					
Information:					
3	Information Disclosure Statement (IDS) Form (SB08)	10018-01-0122-US_IDS5-SB08.pdf	612072 f8b77f3dfb51d4e7e6dd6ef03318890f0ee48649	no	4
Warnings:					
Information:					
4	Other reference-Patent/Application/ Search Documents	NPL1_2020-00060-YMTC-PCT-EP-EESR.pdf	678512 e9d524e5b08a692d29dfc83abe401f7207820fb9	no	9
Warnings:					
Information:					
5	ePetition Request Form	petition-request.pdf	39984 c97a1acdf553003c7c6d6501e186537e02abce74	no	2
Warnings:					
Information:					
6	Fee Worksheet (SB06)	fee-info.pdf	40445 0a01de3da05dc1d89c66557be5877c762609f0ee	no	2
Warnings:					
Information:					

Total Files Size (in bytes):	2270274

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: QPIDS.REQ
Document Description: Quick Path Information Disclosure Statement

PTO/SB/09 (08-14)

CERTIFICATION AND REQUEST FOR CONSIDERATION OF AN INFORMATION DISCLOSURE STATEMENT FILED AFTER PAYMENT OF THE ISSUE FEE UNDER THE QPIDS PILOT PROGRAM

Non-Provisional Application Number: 16944835	Filing Date: July 31, 2020
First Named Inventor: Di WANG	Title of Invention: STAIRCASE STRUCTURE IN THREE-DIMENSIONAL MEMORY DEVICE AND METHOD FOR FORMING THE SAME

THE UNDERSIGNED HEREBY CERTIFIES AND REQUESTS THE FOLLOWING FOR THE ABOVE-IDENTIFIED APPLICATION.

1. Consideration is requested of the information disclosure statement (IDS) submitted herewith, which is being filed after payment of the issue fee.
2. Check the box next to the appropriate selection:

   ☑ Each item of information contained in the IDS was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(1).

   OR

   ☐ No item of information contained in the IDS was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the IDS was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the IDS. See 37 CFR 1.97(e)(2).
3. Please charge the IDS fee set forth in 37 CFR 1.17(p) to Deposit Account No. 60-2227.
4. A Petition to Withdraw from Issue After Payment of the Issue Fee (37 CFR 1.313(c)(2)), including the petition fee set forth in 37 CFR 1.17(h), is submitted herewith as a **Web-based ePetition**.
   WARNING: Do not submit the petition as a follow-on paper via EFS-Web. Submit the petition as a Web-based ePetition by signing on to EFS-Web as a registered user, selecting the radio button next to "Existing application/patent," and then selecting the radio button next to "ePetition (for automatic processing and immediate grant, if all petitions requirements are met)." Failure to use the Web-based ePetition interface will result in automatic entry of the RCE.
5. A request for continued examination (RCE) under 37 CFR 1.114 and the RCE fee under 37 CFR 1.17(e) are submitted herewith.
6. The RCE will be treated as a "conditional" RCE. In the event the examiner determines that any item of information contained in the IDS necessitates the reopening of prosecution in the application, the undersigned understands that (i) the RCE will be processed and treated as an RCE under 37 CFR 1.114 and therefore (ii) the IDS fee under 37 CFR 1.17(p) will be returned in accordance with 37 CFR 1.97(b)(4). In the event that no item of information in the IDS necessitates reopening prosecution, the undersigned understands that the RCE will not be processed and the RCE fee under 37 CFR 1.17(e) will be returned.
7. This certification and request is being filed as a **Web-based ePetition** and is not accompanied by an amendment to the application. Inclusion of an amendment will result in automatic entry of the RCE.

Signature /Zhiwei Zou/	Date 7/28/2022
Name (Print/Typed) Zhiwei Zou	Practitioner Registration Number (If applicable) 66,041

Note: *Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required in accordance with 37 CFR 1.33 and 11.18. Please see 37 CFR 1.4(d) for the form of the signature. If necessary, submit multiple forms for more than one signature, see below.**

☑ *Total of 1 forms are submitted.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :Brenda Gray

Sale Accounting Date:07/29/2022

Sale Item Reference Number	Effective Date
16944835	07/28/2022

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I20227SC27183950	1806	SUBMISSION- INFORMATION DISCLOSURE STMT	$260.00	Deposit Account

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	07/31/2020	Di Wang	10018-01-0122-US	1870

153988 7590 08/17/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

EXAMINER
LEE, HSIEN MING

ART UNIT	PAPER NUMBER
2814	

NOTIFICATION DATE	DELIVERY MODE
08/17/2022	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

USPTO@dockettrak.com
eofficeaction@appcoll.com
uspto@bayes.law

Micron Ex. 1002, p. 754
Micron v. YMTC
IPR2025-00035

Corrected ***Notice of Allowability***	**Application No.** 16/944,835	**Applicant(s)** Wang et al.	
	Examiner HSIEN MING LEE	**Art Unit** 2814	**AIA (FITF) Status** Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 7/28/22.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☐ All b) ☐ Some* c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 7/28/22.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☐ Examiner's Statement of Reasons for Allowance
7. ☑ Other Examiner's Comment.

/HSIEN MING LEE/
Primary Patent Examiner, Art Unit 2814

Micron Ex. 1002, p. 755
Micron v. YMTC
IPR2025-00035

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Information Disclosure Statement

2. The information disclosure statement (IDS) submitted on 7/28/22 was filed after the mailing date of the Notice of Allowability on 4/21/22. The submission is in compliance with the provisions of 37 CFR 1.97. Accordingly, the information disclosure statement is being considered by the examiner.

Examiner's Comment

3. The submission of QPIDS on 7/28/22 is acknowledged.

4. The IDS submitted on 7/28/22 does not affect the allowability.

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to HSIEN MING LEE whose telephone number is (571)272-1863. The examiner can normally be reached Monday-Friday.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Wael M. Fahmy can be reached on 571-272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is

available to registered users. To file and manage patent submissions in Patent Center, visit: https://patentcenter.uspto.gov. Visit https://www.uspto.gov/patents/apply/patent-center for more information about Patent Center and https://www.uspto.gov/patents/docx for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

HSIEN MING LEE
Primary Patent Examiner
Art Unit 2814
August 15, 2022

/HSIEN MING LEE/

Receipt date: 07/28/2022

Doc code: IDS
Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	16944835
Filing Date	2020-07-31
First Named Inventor	Di WANG
Art Unit	2814
Examiner Name	Hsien Ming LEE
Attorney Docket Number	10018-01-0122-US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	9029938	B2	2015-05-12	Nakaki	

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20150255385	A1	2015-09-10	LEE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 758
Micron v. YMTC
IPR2025-00035

Receipt date: 07/28/2022

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	2814
	Examiner Name	Hsien Ming LEE
	Attorney Docket Number	10018-01-0122-US

	1	Extended European Search Report issued in corresponding European Application No. EP 20 92 2502.8, mailed July 6, 2022, 9 pages	

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature	/HSIEN MING LEE/	Date Considered	08/15/2022

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 759
Micron v. YMTC
IPR2025-00035

Receipt date: 07/28/2022

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	16944835
	Filing Date	2020-07-31
	First Named Inventor	Di WANG
	Art Unit	2814
	Examiner Name	Hsien Ming LEE
	Attorney Docket Number	10018-01-0122-US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

☒ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2022-07-28
Name/Print	Zhiwei Zou	Registration Number	66,041

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 760
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /H.L/

Micron Ex. 1002, p. 761
Micron v. YMTC
IPR2025-00035

DO NOT ENTER: /H.L/ /H.L/ (08/15/2022)

Doc code: RCEX
Doc description: Request for Continued Examination (RCE)

PTO/SB/30EFS (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

REQUEST FOR CONTINUED EXAMINATION(RCE)TRANSMITTAL
(Submitted Only via EFS-Web)

Application Number	16944835	Filing Date	2020-07-31	Docket Number (if applicable)	10018-01-0122-US	Art Unit	2814
First Named Inventor	Di WANG			Examiner Name	Hsien Ming LEE		

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. The Instruction Sheet for this form is located at WWW.USPTO.GOV

SUBMISSION REQUIRED UNDER 37 CFR 1.114

Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

☐ Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

- ☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____
- ☐ Other _____

☒ Enclosed

- ☐ Amendment/Reply
- ☒ Information Disclosure Statement (IDS)
- ☐ Affidavit(s)/ Declaration(s)
- ☐ Other _____

MISCELLANEOUS

☐ Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of months _____ (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

☐ Other _____

FEES

The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

☒ The Director is hereby authorized to charge any underpayment of fees, or credit any overpayments, to Deposit Account No 602227

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

☒ Patent Practitioner Signature

Applicant Signature

Micron Ex. 1002, p. 762
Micron v. YMTC
IPR2025-00035

PTO/SB/30EFS (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Signature of Registered U.S. Patent Practitioner			
Signature	/Zhiwei Zou/	Date (YYYY-MM-DD)	2022-07-28
Name	Zhiwei Zou	Registration Number	66041

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Micron Ex. 1002, p. 763
Micron v. YMTC
IPR2025-00035

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Micron Ex. 1002, p. 764
Micron v. YMTC
IPR2025-00035

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :Simret Direta

Refund Accounting Date:08/24/2022

Effective Date	Sale Item Reference Number	Refund Total
07/28/2022	16944835	$1,360.00

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method	Account Number
I20228NG54433437	1801	RCE- 1ST REQUEST	$1,360.00	DA	602227

United States Patent and Trademark Office

Office of the Chief Financial Officer

Document Code:WFEE

User :Simret Direta

Sale Adjustment Accounting Date:08/24/2022

Effective Date	Sale Accounting Date	Sale Item Reference Number
07/28/2022	08/24/2022	16944835

Document Number	Fee Code	Fee Code Description	Amount Paid	Payment Method
I20228NG54433437	1801	RCE- 1ST REQUEST	$1,360.00	DA

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/944,835	09/20/2022	11450604	10018-01-0122-US	1870

153988 7590 08/31/2022

Bayes PLLC
8260 Greensboro Drive
Suite 625
McLean, VA 22102

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 74 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Patents Stakeholder Experience (OPSE), Stakeholder Support Division (SSD) at (571)-272-4200.

INVENTOR(s) (Please see PAIR WEB site http://pair.uspto.gov for additional inventors):

Di Wang, Wuhan, CHINA;
Wenxi Zhou, Wuhan, CHINA;
Zhiliang Xia, Wuhan, CHINA;

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

YANGTZE MEMORY TECHNOLOGIES CO., LTD., Wuhan, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

Micron Ex. 1002, p. 767
Micron v. YMTC
IPR2025-00035