(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0034612
(43) 공개일자 2010년04월01일

(51) Int. Cl.
H01L 21/8247 (2006.01) *H01L 27/115* (2006.01)
(21) 출원번호 10-2008-0093840
(22) 출원일자 2008년09월24일
심사청구일자 2008년09월24일

(71) 출원인
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
안정열
서울특별시 도봉구 창동 주공3단지 305동 601호
(74) 대리인
특허법인 아주양헌

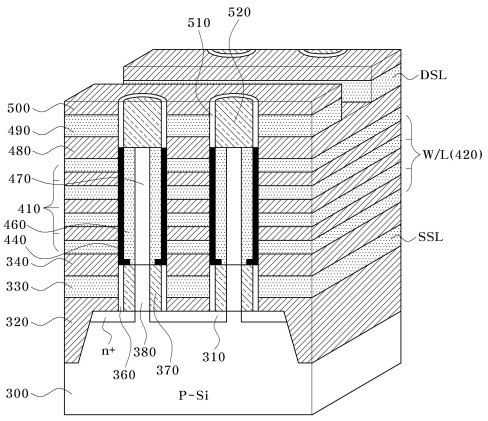
전체 청구항 수 : 총 16 항

(54) 3차원 구조의 플래시 메모리소자의 제조방법

(57) 요 약

본 발명의 플래시 메모리소자의 제조방법은, 기판에 소스 영역을 형성하는 단계와, 기판 상에, 소스 영역과 연결된 소스 선택 트랜지스터를 형성하는 단계와, 소스 선택 트랜지스터가 형성된 기판 상에 절연층과 도전층을 교대로 복수 회 형성하여 복수 개의 메모리 셀의 게이트를 형성하는 단계와, 절연층과 도전층을 식각하여 소스 선택 트랜지스터의 채널영역을 노출시키는 관통홀을 형성하는 단계와, 관통홀의 내벽에 터널링층, 전하트랩층 및 블로킹층으로 이루어진 전하저장영역을 형성하는 단계와, 전하저장영역이 형성된 관통홀의 내 측벽에 보호막을 형성하는 단계와, 소스 선택 트랜지스터의 채널 영역을 노출시키는 단계와, 관통홀을 반도체층으로 매립하여 셀 트랜지스터의 채널영역을 형성하는 단계, 및 셀 트랜지스터 상에 드레인 선택 트랜지스터를 형성하는 단계를 포함한다.

대 표 도 - 도12



YMTC Ex. 1005
YMTC v. Micron
IPR2025-00099 Page 1

특허청구의 범위

청구항 1

기판에 소스 영역을 형성하는 단계;

상기 기판 상에, 상기 소스 영역과 연결된 소스 선택 트랜지스터를 형성하는 단계;

상기 소스 선택 트랜지스터가 형성된 기판 상에 절연층과 도전층을 교대로 복수 회 형성하여 복수 개의 메모리 셀의 게이트를 형성하는 단계;

상기 절연층과 도전층을 식각하여 상기 소스 선택 트랜지스터의 채널영역을 노출시키는 관통홀을 형성하는 단계;

상기 관통홀의 내벽에 터널링층, 전하트랩층 및 블로킹층으로 이루어진 전하저장영역을 형성하는 단계;

상기 전하저장영역이 형성된 관통홀의 내 측벽에 보호막을 형성하는 단계;

상기 소스 선택 트랜지스터의 채널 영역을 노출시키는 단계;

상기 관통홀을 반도체층으로 매립하여 셀 트랜지스터의 채널영역을 형성하는 단계; 및

상기 셀 트랜지스터 상에 드레인 선택 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 2

제1항에 있어서,

상기 소스 선택 트랜지스터를 형성하는 단계는,

상기 기판 상에 절연층과 도전층을 차례로 적층하는 단계와,

상기 절연층 및 도전층을 식각하여 상기 소스 영역을 노출시키는 관통홀을 형성하는 단계와,

상기 관통홀의 내벽에 게이트절연막을 형성하는 단계와,

상기 소스 영역이 노출되도록 상기 게이트절연막을 식각하는 단계, 및

상기 관통홀을 반도체층으로 매립하여 소스 선택 트랜지스터의 채널영역을 형성하는 단계로 이루어지는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 3

제1항에 있어서,

상기 보호막은 폴리실리콘막 또는 질화막으로 형성하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 4

제1항에 있어서,

상기 관통홀을 반도체층으로 매립하기 전에, 상기 보호막을 제거하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 5

제1항에 있어서,

상기 메모리 셀의 게이트를 형성하기 위한 상기 도전층은 폴리실리콘 또는 금속으로 형성하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 6

제1항에 있어서,

상기 터널링층을 형성하는 단계에서,

산소 또는 산소와 질소를 포함하는 분위기에서 실리콘화합물을 증착하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 7

제6항에 있어서,

상기 터널링층을 형성하는 단계 후,

NO 또는 N_2O 분위기에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 8

기판에 소스 영역을 형성하는 단계;

상기 기판 상에, 절연막과 도전층을 형성하는 단계;

상기 소스 영역을 노출시키는 제1 관통홀을 형성하는 단계;

상기 제1 관통홀의 측벽에 소스 선택 트랜지스터의 게이트절연막 및 채널영역을 차례로 형성하는 단계;

제1 관통홀에 의해 노출된 영역의 상기 소스 영역에 웰을 형성하는 단계;

상기 제1 관통홀을 매립하여 소스 선택 트랜지스터의 웰을 형성하는 단계;

상기 소스 선택 트랜지스터의 웰이 형성된 기판 상에, 절연층과 도전층을 교대로 복수 회 형성하여 복수 개의 메모리 셀의 게이트를 형성하는 단계;

상기 절연층과 도전층을 식각하여 상기 소스 선택 트랜지스터의 채널영역을 노출시키는 제2 관통홀을 형성하는 단계;

상기 제2 관통홀의 내벽에 터널링층, 전하트랩층 및 블로킹층으로 이루어진 전하저장영역을 형성하는 단계;

상기 소스 선택 트랜지스터의 채널 영역이 노출되도록 상기 제2 관통홀 바닥의 전하저장영역을 식각하는 단계;

상기 제2 관통홀의 내벽에 메모리 셀의 채널영역을 형성하는 단계;

상기 제2 관통홀을 매립하여 셀 트랜지스터의 웰을 형성하는 단계; 및

상기 셀 트랜지스터 상에 드레인 선택 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 9

제8항에 있어서,

제1 관통홀에 의해 노출된 영역의 소스 영역에 웰을 형성하는 단계는,

소스 선택 트랜지스터의 웰이 형성될 영역을 개방하는 단계와,

개방된 영역을 상기 소스 영역과 반대 도전형으로 도핑시키는 단계를 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 10

제9항에 있어서,

상기 개방된 영역을 소스 영역과 반대 도전형으로 도핑시키는 단계는,

상기 개방된 영역에 소스 영역과 반대 도전형의 도펀트를 주입하거나,

개방된 영역의 기판을 오버에치하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 11

제8항에 있어서,

상기 소스 선택 트랜지스터의 웰을 형성하는 단계는,

제1 도전형의 실리콘막을 증착하거나, 도핑되지 않은 실리콘막을 증착한 후 제1 도전형의 도펀트를 주입하여 도핑시켜 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 12

제8항에 있어서,

상기 제2 관통홀의 내벽에 터널링층을 형성하는 단계는,

산소 또는 산소와 질소를 포함하는 분위기에서 실리콘화합물을 증착하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 13

제12항에 있어서,

상기 터널링층을 형성하는 단계 후,

NO 또는 N_2O 분위기에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 14

제8항에 있어서,

상기 제2 관통홀의 내벽에 전하저장영역을 형성하는 단계 후,

상기 전하저장영역이 형성된 상기 제2 관통홀의 내벽에 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 15

제14항에 있어서,

상기 보호막은 폴리실리콘막 또는 질화막으로 형성하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

청구항 16

제8항에 있어서,

상기 셀 트랜지스터의 웰을 형성하는 단계는,

제1 도전형의 실리콘막을 증착하거나, 도핑되지 않은 실리콘막을 증착한 후 제1 도전형의 도펀트를 주입하여 도핑시켜 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리소자의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 플래시 메모리소자의 제조방법에 관한 것으로서, 특히 3차원 구조의 플래시 메모리소자의 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 데이터를 저장하기 위해 사용되는 반도체 메모리소자는 휘발성(volatile) 메모리소자와 불휘발성(non-volatile) 메모리소자로 구별될 수 있다. 휘발성 메모리소자는 전원 공급이 중단됨에 따라 저장된 데이터를 소실하지만, 불휘발성 메모리소자는 전원 공급이 중단되더라도 저장된 데이터를 유지한다. 따라서 이동전화 시스템, 음악 및/또는 영상 데이터를 저장하기 위한 메모리카드 및 그 밖의 다른 응용 장치에서와 같이, 전원을

항상 사용할 수 없거나 종종 중단되거나, 또는 낮은 파워 사용이 요구되는 상황에서는 불휘발성 메모리소자가 폭넓게 사용된다. 이와 같은 불휘발성 메모리소자의 대표적인 예가 일괄 소거가 가능한 플래시(flash) 메모리소자이다.

[0003] 전자기기의 소형화 및 경량화에 따라 플래시 메모리소자의 경우에도 보다 작은 크기의 셀에 대한 요구가 증가하고 있다. 그러나, 반도체기판 위에 단일 층으로 메모리 셀을 형성하는 현재의 2차원적 셀 구조에서는 패터닝 기술의 한계와 패키징 기술의 한계에 의해 메모리 셀의 집적도가 결정되었다. 이러한 패키징 기술의 한계를 극복하기 위해 소자의 선폭의 크기를 지속적으로 감소시켜 메모리소자의 집적도를 증가시켜왔다. 그러나, 패터닝 기술이 일정 부분 한계에 도달함에 따라 메모리소자의 집적도가 제한되고, 시장에서의 지속적인 집적도 증가를 요구하고 있는 상황에서 현재의 2차원적 셀 구조로는 이러한 요구에 부응하기가 어렵다.

[0004] 이러한 2차원 구조의 단점을 개선하기 위하여 제안된 구조가 3차원 셀 구조이다. 3차원 셀 구조는 크게 현재와 동일한 2차원 구조를 상부에 동일하게 적층하는 구조와, 기존 개념과는 상이하게 실리콘기판과 수직 방향으로 채널을 형성하는 구조로 나뉘어진다. 그러나, 현재와 동일한 2차원 구조를 상부에 동일하게 적층하는 구조의 경우 집적도 증가에 제한이 있고, 실리콘기판과 수직방향으로 채널을 형성하는 방법의 경우에는 셀 구조가 공핍 트랜지스터 구조로 형성되고 웰을 형성하지 못하므로, 소거동작시 기존의 파울러-노드하임 터널링(F-N tunneling)이 아닌 핫 홀(hot hole) 형성에 의한 홀 주입 방법으로 이루어지므로, 일정 집적도 이상은 구현하기 어려운 단점이 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 반도체기판에 대해 수직 방향으로 메모리 셀을 구현함으로써 기판 면적에 제한받지 않고 메모리 셀의 집적도를 증가시킬 수 있는 구조의 플래시 메모리소자의 제조방법을 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 기판에 수직 방향으로 배열된 메모리 셀을 핫 홀 주입 방법이 아닌 스트링 전체를 동시에 소거하는 F-N 터널링 방식으로 소거할 수 있는 구조의 플래시 메모리소자의 제조방법을 제공하는 데 있다.

과제 해결수단

[0007] 상기 기술적 과제를 이루기 위하여 본 발명에 따른 플래시 메모리소자의 제조방법은, 기판에 소스 영역을 형성하는 단계와, 기판 상에, 소스 영역과 연결된 소스 선택 트랜지스터를 형성하는 단계와, 소스 선택 트랜지스터가 형성된 기판 상에 절연층과 도전층을 교대로 복수 회 형성하여 복수 개의 메모리 셀의 게이트를 형성하는 단계와, 절연층과 도전층을 식각하여 소스 선택 트랜지스터의 채널영역을 노출시키는 관통홀을 형성하는 단계와, 관통홀의 내벽에 터널링층, 전하트랩층 및 블로킹층으로 이루어진 전하저장영역을 형성하는 단계와, 전하저장영역이 형성된 관통홀의 내 측벽에 보호막을 형성하는 단계와, 소스 선택 트랜지스터의 채널 영역을 노출시키는 단계와, 관통홀을 반도체층으로 매립하여 셀 트랜지스터의 채널영역을 형성하는 단계, 및 셀 트랜지스터 상에 드레인 선택 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0008] 상기 소스 선택 트랜지스터를 형성하는 단계는, 상기 기판 상에 절연층과 도전층을 차례로 적층하는 단계와, 상기 절연층 및 도전층을 식각하여 상기 소스 영역을 노출시키는 관통홀을 형성하는 단계와, 상기 관통홀의 내벽에 게이트절연막을 형성하는 단계와, 상기 소스 영역이 노출되도록 상기 게이트절연막을 식각하는 단계, 및 상기 관통홀을 반도체층으로 매립하여 소스 선택 트랜지스터의 채널영역을 형성하는 단계로 이루어질 수 있다.

[0009] 상기 보호막은 폴리실리콘막 또는 질화막으로 형성할 수 있다.

[0010] 상기 관통홀을 반도체층으로 매립하기 전에, 상기 보호막을 제거할 수 있다.

[0011] 상기 메모리 셀의 게이트를 형성하기 위한 상기 도전층은 폴리실리콘 또는 금속으로 형성할 수 있다.

[0012] 상기 터널링층을 형성하는 단계에서, 산소 또는 산소와 질소를 포함하는 분위기에서 실리콘화합물을 증착할 수 있다.

[0013] 상기 터널링층을 형성하는 단계 후, NO 또는 N_2O 분위기에서 열처리하는 단계를 더 포함할 수 있다.

[0014] 상기 기술적 과제를 이루기 위하여 본 발명에 따른 플래시 메모리소자의 다른 제조방법은, 기판에 소스 영역을 형성하는 단계와, 기판 상에, 절연막과 도전층을 형성하는 단계와, 소스 영역을 노출시키는 제1 관통홀을 형성하는 단계와, 제1 관통홀의 측벽에 소스 선택 트랜지스터의 게이트절연막 및 채널영역을 차례로 형성하는 단계와, 제1 관통홀에 의해 노출된 영역의 소스 영역에 웰을 형성하는 단계와, 제1 관통홀을 매립하여 소스 선택 트랜지스터의 웰을 형성하는 단계와, 소스 선택 트랜지스터의 웰이 형성된 기판 상에, 절연층과 도전층을 교대로 복수 회 형성하여 복수 개의 메모리 셀의 게이트를 형성하는 단계와, 절연층과 도전층을 식각하여 소스 선택 트랜지스터의 채널영역을 노출시키는 제2 관통홀을 형성하는 단계와, 제2 관통홀의 내벽에 터널링층, 전하트랩층 및 블로킹층으로 이루어진 전하저장영역을 형성하는 단계와, 소스 선택 트랜지스터의 채널 영역이 노출되도록 제2 관통홀 바닥의 전하저장영역을 식각하는 단계와, 제2 관통홀의 내벽에 메모리 셀의 채널영역을 형성하는 단계와, 제2 관통홀을 매립하여 셀 트랜지스터의 웰을 형성하는 단계, 및 셀 트랜지스터 상에 드레인 선택 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0015] 제1 관통홀에 의해 노출된 영역의 소스 영역에 웰을 형성하는 단계는, 소스 선택 트랜지스터의 웰이 형성될 영역을 개방하는 단계와, 개방된 영역을 상기 소스 영역과 반대 도전형으로 도핑시키는 단계를 포함할 수 있다.

[0016] 상기 개방된 영역을 소스 영역과 반대 도전형으로 도핑시키는 단계에서, 상기 개방된 영역에 소스 영역과 반대 도전형의 도펀트를 주입하거나, 개방된 영역의 기판을 오버에치할 수 있다.

[0017] 상기 소스 선택 트랜지스터의 웰을 형성하는 단계는, 제1 도전형의 실리콘막을 증착하거나, 도핑되지 않은 실리콘막을 증착한 후 제1 도전형의 도펀트를 주입하여 도핑시켜 형성하는 단계를 포함할 수 있다.

[0018] 상기 제2 관통홀의 내벽에 터널링층을 형성하는 단계는, 산소 또는 산소와 질소를 포함하는 분위기에서 실리콘 화합물을 증착할 수 있다. 상기 터널링층을 형성하는 단계 후, NO 또는 N_2O 분위기에서 열처리하는 단계를 더 포함할 수 있다.

[0019] 상기 제2 관통홀의 내벽에 전하저장영역을 형성하는 단계 후, 상기 전하저장영역이 형성된 상기 제2 관통홀의 내벽에 보호막을 형성하는 단계를 더 포함할 수 있다.

[0020] 상기 보호막은 폴리실리콘막 또는 질화막으로 형성할 수 있다.

[0021] 상기 셀 트랜지스터의 웰을 형성하는 단계는, 제1 도전형의 실리콘막을 증착하거나, 도핑되지 않은 실리콘막을 증착한 후 제1 도전형의 도펀트를 주입하여 도핑시켜 형성하는 단계를 포함할 수 있다.

효 과

[0022] 본 발명에 따르면, 메모리 셀을 반도체기판으로부터 수직 방향으로 배열함으로써 플래시 메모리소자의 집적도를 증가시킬 수 있다. 또한, 수직으로 배열된 메모리 셀에 웰을 형성함으로써 F-N 터널링 방식으로 메모리 셀의 데이터를 동시에 소거할 수 있다.

발명의 실시를 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안된다.

[0024] 도 1은 본 발명의 일 실시예에 따른 3차원 구조의 플래시 메모리소자를 도시한 입체도이다.

[0025] 도 1을 참조하면, 본 발명의 일 실시예에 따른 3차원 구조의 플래시 메모리소자는, 기판(100) 상에 형성된 소스 선택 트랜지스터와, 상기 소스 선택 트랜지스터 상에 형성되며, 절연층(210)에 의해 분리되도록 반복 적층된 게이트 스택(220)들과, 상기 게이트 스택들을 관통하는 관통홀의 측벽에 형성된 블로킹층, 전하트랩층 및 터널링층으로 이루어진 전하저장영역(240)과, 상기 관통홀을 매립하도록 형성된 채널영역(260)으로 이루어진 메모리 셀들, 그리고 상기 메모리 셀과 접속되도록 형성된 드레인 선택 트랜지스터를 포함한다.

[0026] 소스 선택 트랜지스터, 복수 개의 메모리 셀들, 그리고 드레인 선택 트랜지스터가 기판(100) 상에 수직으로 배열되어 하나의 셀 스트링을 이루며, 기판(100) 상에는 이러한 셀 스트링들이 다수 개 배치된다.

[0027] 소스 선택 트랜지스터는 기판(100) 상에 절연층(120, 140)에 의해 분리되도록 형성된 게이트도전층(130)과, 상기 게이트도전층(130) 및 절연층(120, 140)을 관통하는 관통홀의 내벽에 형성된 게이트절연층(160), 그리고 상

기 게이트절연층이 형성된 관통홀을 매립하도록 형성된 채널영역(170)으로 구성된다. 채널영역은 기판(100)에 형성된 소스(110)와 연결된다. 상기 채널영역(170)은 실리콘 에피택셜층으로 이루어지거나, 상기 관통홀 내의 게이트절연층의 측벽으로부터 실리콘 에피택셜층과 폴리실리콘막이 차례로 적층된 구조로 이루어진다.

[0028] 상기 메모리 셀을 구성하는 게이트 스택(220)은 하나의 셀 스트링에 연결되는 메모리 셀의 개수만큼 반복 적층되어 있다. 하나의 셀 스트링에 연결된 메모리 셀들 사이는 절연층(210)에 의해 분리되고, 동일 층에 배열된 메모리 셀들은 하나의 페이지를 구성한다.

[0029] 드레인 선택 트랜지스터는 소스 선택 트랜지스터와 동일한 구조로 이루어져 있으며, 채널영역(310)은 메모리 셀의 채널영역(260)과 연결된다.

[0030] 도 2 내지 도 11은 본 발명의 일 실시예에 따른 3차원 구조의 플래시 메모리소자의 제조방법을 설명하기 위하여 도시한 단면도들이다. 도 1과 동일한 참조번호는 동일한 부분을 나타낸다.

[0031] 도 2를 참조하면, 기판(100)에 셀의 공통 소스를 형성하기 위한 불순물층(110)을 형성한다. 상기 기판(100)은 P 타입의 불순물로 도핑된 단결정 실리콘(Si) 기판일 수 있다. 상기 불순물층(110)은 반도체기판(100)과 반대 도전형, 예컨대 N 타입의 불순물을 이온주입하여 형성할 수 있다. 다음에, 공통 소스 영역을 한정하기 위하여 사진식각 공정을 이용하여 소스 이외의 영역의 불순물층(110) 및 반도체기판(100)을 식각한다. 결과물 상에 절연막(120)을 증착하여 상기 불순물층을 다른 도전층과 분리시킨다.

[0032] 도 3을 참조하면, 절연막(120)이 형성된 기판 상에 선택 트랜지스터의 게이트를 형성하기 위한 도전층(130)과, 상기 도전층과 그 상부에 형성되는 도전층을 분리하기 위한 절연층(140)을 차례로 형성한다. 상기 도전층(130)은 불순물이 도핑된 폴리실리콘막, 또는 텅스텐(W)과 같은 금속, 또는 다른 전도성 물질로 10 ~ 1,000Å의 두께로 형성할 수 있다.

[0033] 다음에, 소스 선택 트랜지스터의 채널이 형성될 영역의 상기 도전층(130)과 절연층(140)을 식각하여 상기 기판(100)에 형성된 불순물층(110)을 노출시키는 홀(hole)(150)을 형성한다. 상기 홀(hole)(150)은 소스 선택 트랜지스터의 채널이 형성되는 영역으로, 10 ~ 1,000Å의 지름을 갖도록 형성한다. 홀(hole)(150)을 형성하기 위한 식각공정은 습식식각, 건식식각, 또는 이들을 혼합한 방식으로 진행할 수 있다.

[0034] 도 4를 참조하면, 상기 홀(hole)의 측면에 예를 들어 실리콘산화막을 10 ~ 500Å의 두께로 증착하여 소스 선택 트랜지스터의 게이트절연막(160)을 형성한다. 상기 게이트절연막(160)을 형성할 때 산소와 질소를 동시에 포함하는 분위기에서 산화를 실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 게이트절연막(160)을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 게이트절연막의 막질을 향상시킬 수도 있다.

[0035] 다음에, 게이트절연막(160)이 형성된 상기 홀(hole)의 내부를 단결정실리콘(Si)과 같은 반도체층으로 매립한다. 상기 반도체층은 실리콘(Si)을 포함하는 가스분위기에서 상기 불순물층(110)으로부터 실리콘(Si)막이 선택적으로 성장되도록, 예컨대 선택적 에피택셜 성장(SEG) 방법을 사용하여 형성할 수 있으며, 선택 트랜지스터의 채널영역(170)이 된다. 이렇게 하여 채널영역(170), 게이트절연막(160) 및 게이트전극으로서의 도전층(130)으로 이루어진 소스 선택 트랜지스터가 형성된다.

[0036] 도 5를 참조하면, 소스 선택 트랜지스터가 형성된 결과물 상에, 층간절연막(210)과 도전층(220)을 수차례 반복해서 증착한다. 층간절연막(210)은 수직으로 적층되는 메모리 셀 사이를 분리하기 위한 것으로 실리콘산화막, 실리콘질화막, 또는 실리콘산화막과 실리콘질화막의 적층막으로 형성할 수 있다. 상기 도전층(220)은 예컨대 P형 불순물로 도핑된 폴리실리콘막 또는 폴리실리콘게르마늄막, 또는 금속막, 또는 다른 전도성 물질을 10 ~ 1,000Å의 두께로 증착하여 형성할 수 있다. 상기 도전층(220)은 하나의 셀 스트링에 연결되는 메모리 셀의 수만큼, 예를 들면 2회, 4회, 8회,....1,000회까지 반복해서 적층할 수 있다. 상기 도전층(220)은 메모리 셀의 컨트롤게이트가 되고, 층간절연막(210)은 수직으로 적층된 메모리 셀 사이를 분리하는 역할을 한다.

[0037] 도 6을 참조하면, 셀 스트링에 연결되는 메모리 셀의 수만큼 도전층(220)과 층간절연막(210)을 적층한 다음에는, 셀 트랜지스터의 채널 및 전하저장을 위한 ONO 막을 형성하기 위하여 관통홀(230)을 형성한다. 구체적으로, 교대로 적층되어 있는 도전층(210) 및 층간절연막(220)을 이방성식각하여 소스 선택 트랜지스터의 게이트절연막(160) 및 채널영역(170)이 노출되도록 한다. 이때 식각공정은 습식 또는 건식 식각방법을 사용할 수 있고, 관통홀(230)의 크기는 셀 트랜지스터의 채널 역할을 하는 반도체층과 전하저장막 역할을 하는 ONO막으로 갭-필될 수 있는 크기로 형성한다. 본 실시예에서는 상기 관통홀(230)을 10 ~ 1,000Å의 지름으로 형성하였다.

[0038] 도 7을 참조하면, 상기 관통홀(230)의 내벽에 전하저장을 위한 ONO 유전체층(240) 즉, 블로킹층, 전하트랩층 및

터널링층을 차례로 형성한다.

[0039] 구체적으로, 관통홀(230)의 내벽에 전하트랩층(도시되지 않음)으로부터 컨트롤게이트전극으로의 전하의 이동을 방지하기 위한 블로킹층을 형성한다. 블로킹층은 화학기상증착(CVD) 방법으로 산화막을 증착하여 형성하거나, 알루미늄옥사이드(Al_2O_3), 하프늄옥사이드(HfO_2), 지르코늄옥사이드(ZrO_2), 하프늄알루미늄옥사이드(HfAlO), 하프늄실리콘옥사이드(HfSiO) 등의 하이-케이(high-k) 물질로 형성할 수 있다. 블로킹층을 형성한 다음에는, 블로킹층이 형성된 반도체기판에 대해 급속열처리(Rapid Thermal Annealing) 공정을 실시할 수 있다.

[0040] 다음에, 관통홀(230)의 내벽에 형성된 블로킹층 상에 예를 들면 실리콘질화막 또는 폴리실리콘막을 10 ~ 1,000Å의 두께로 증착하여 전하트랩층을 형성한다. 전하트랩층은 원자층증착(ALD) 방식이나, 화학기상증착(CVD) 방식으로 증착할 수 있다. 관통홀(230) 내벽의 전하트랩층 상에 산화막을 10 ~ 1,000Å의 두께로 증착하여 메모리 셀의 터널링층을 형성한다. 상기 터널링층을 형성할 때 산소와 질소를 동시에 포함하고 있는 분위기에서 실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 터널링층을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 터널링층의 막질을 향상시킬 수도 있다.

[0041] 도 8을 참조하면, 관통홀의 내벽에 형성된 터널링층 상에, 후속 ONO 유전체층을 식각하는 과정에서 ONO 유전체층(240)을 보호하기 위한 보호막(250)을 형성한다. 상기 보호막(250)은 도핑된 폴리실리콘막과 같은 전도성 막 또는 질화막과 같은 절연막으로 형성할 수 있으며, 10 ~ 1,000Å의 두께로 형성한다. 보호막(250)을 도핑된 폴리실리콘막과 같이 전도성 막으로 형성할 경우, 메모리 셀의 채널영역 또는 채널영역의 일부로 사용할 수 있다.

[0042] 소스 선택 트랜지스터의 채널영역과 메모리 셀의 채널영역을 연결시키기 위하여 관통홀 바닥의 보호막(250), 터널링층, 전하트랩층 및 블로킹층을 식각하여 소스 선택 트랜지스터의 채널영역(170)이 노출되도록 한다. ONO 유전체층(240)의 측면에는 상기 유전체층에 대해 식각 선택비를 갖는 보호막(250)이 형성되어 있기 때문에, 유전체층에 대한 식각 과정에서 유전체층의 식각 또는 식각 손상이 발생하지 않게 된다.

[0043] 도 9를 참조하면, 소스 선택 트랜지스터의 채널영역이 노출된 결과물 상에, 상기 관통홀이 매립되도록 도전물질을 증착하여 셀 트랜지스터의 채널영역(260)을 형성한다. 상기 셀 트랜지스터의 채널영역(260)은 불순물이 도핑된 폴리실리콘막 또는 전도성 금속막으로 형성할 수 있다. 상기 채널영역을 형성하기 전에 ONO 유전체층의 측벽에 형성된 보호막을 제거할 수도 있다. 본 실시예에서는 보호막을 제거한 후 채널영역을 형성한다. 한편, 상기 ONO 유전체층(240) 상의 보호막을 도핑된 폴리실리콘막과 같은 전도성 막으로 형성하여 메모리 셀의 채널로 사용할 경우에는 보호막이 형성된 상기 관통홀을 산화막 또는 질화막과 같은 절연막으로 매립할 수도 있다. 이로써, 기판(100)으로부터 소스 선택 트랜지스터와, 절연층(140, 210)에 의해 분리되는 복수 개의 메모리 셀이 형성된 상태가 된다.

[0044] 도 10을 참조하면, 복수 개의 메모리 셀이 형성된 결과물 상에 스트링 선택을 위한 드레인 선택 트랜지스터를 형성한다.

[0045] 구체적으로, 관통홀이 매립되어 메모리 셀의 채널영역이 형성된 결과물 상에 드레인 선택 트랜지스터와 최상층 메모리 셀을 분리시키기 위한 절연막(270)을 형성한다. 절연막(270) 상에 도핑된 폴리실리콘막, 금속막 또는 다른 전도성 물질막을 10 ~ 1,000Å의 두께로 형성하여 드레인 선택 트랜지스터의 게이트를 형성하기 위한 도전층(280)을 형성한다. 계속해서, 드레인 선택 트랜지스터의 게이트용 도전층(280)을 상부의 도전층과 분리시키기 위하여 절연막(290)을 형성한다.

[0046] 다음에, 드레인 선택 트랜지스터와 메모리 셀 트랜지스터를 연결시키기 위하여, 상기 도전층(280)과 절연막(270, 290)을 이방성식각하여 홀(hole)을 형성한다. 상기 홀을 형성하기 위한 식각공정은 습식식각, 건식식각, 또는 이들을 혼합한 방식으로 진행할 수 있다. 상기 홀은 10 ~ 1,000Å의 직경으로 형성하며, 도시된 바와 같이 ONO 유전체층 및 메모리 셀의 채널영역(260)이 노출되도록 형성한다.

[0047] 도 11을 참조하면, ONO 유전체층(240) 및 메모리 셀의 채널영역(260)이 노출되도록 형성된 상기 홀의 내벽에, 예를 들어 실리콘산화막을 10 ~ 500Å의 두께로 증착하여 드레인 선택 트랜지스터의 게이트절연막(300)을 형성한다. 상기 드레인 선택 트랜지스터의 게이트절연막(300)을 형성할 때 산소와 질소를 동시에 포함하고 있는 분위기에서 실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 상기 게이트절연막(300)을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 게이트절연막의 막질을 향상시킬 수도 있다.

[0048] 다음에, 메모리 셀의 채널영역과 드레인 선택 트랜지스터의 채널영역을 연결시키기 위하여, 상기 홀 바닥의 게이트절연막(300)을 식각하여 메모리 셀의 채널영역이 노출되도록 한다. 상기 게이트절연막(300)을 식각하기 전

에 폴리실리콘막과 같은 도전막으로 이루어진 보호막을 홀의 내벽에 형성된 게이트절연막(300) 상에 형성한 후 식각을 수행하여 홀 측벽의 게이트절연막(300)을 보호할 수 있다. 이 경우, 상기 보호막으로 사용된 도전막은 드레인 선택 트랜지스터의 채널영역 또는 채널영역의 일부로 사용될 수 있다.

[0049] 메모리 셀의 채널영역이 노출된 결과물 상에, 상기 홀이 매립되도록 반도체층을 형성하여 드레인 선택 트랜지스터의 채널영역(310)을 형성한다. 반도체층은 실리콘(Si)을 포함하는 가스분위기에서 메모리 셀의 채널영역으로부터 실리콘(Si)막이 성장되도록, 예컨대 선택적 에피택셜 성장(SEG) 법을 사용하여 형성할 수 있다. 한편, 상기 게이트절연막 상의 보호막을 도핑된 폴리실리콘막과 같은 전도성 막으로 형성하여 메모리 셀의 채널로 사용할 경우, 컨택홀을 산화막 또는 질화막과 같은 절연막으로 매립할 수도 있다. 다음에, 드레인 선택 트랜지스터들 사이를 분리시키기 위한 식각공정을 수행한다.

[0050] 이와 같은 본 발명의 일 실시예에 의하면, 메모리 셀을 반도체기판으로부터 수직으로 적층함으로써 기판의 면적과 패터닝 한계에 무관하게 메모리 소자의 집적도를 획기적으로 증가시킬 수 있다. 또한, 메모리 셀의 전하저장영역인 ONO 유전체층을 형성한 후 보호막을 형성함으로써 메모리 셀의 채널영역과 소스 선택 트랜지스터의 채널영역을 연결시키기 위하여 ONO 유전체층을 식각하는 과정에서 ONO 유전체층의 식각 또는 식각 손상을 방지하여 플래시 소자의 특성 저하를 방지할 수 있다.

[0051] 도 12 및 도 13은 본 발명의 다른 실시예에 따른 3차원 구조의 플래시 메모리소자를 도시한 입체도이다.

[0052] 도 12 및 도 13을 참조하면, 본 발명의 다른 실시예에 따른 3차원 구조의 플래시 메모리소자는 기판(300) 상에 형성된 소스 선택 트랜지스터와, 상기 소스 선택 트랜지스터 상에 형성되며, 절연층(410)에 의해 분리되도록 반복 적층된 게이트 스택(420)들과, 상기 게이트 스택들을 관통하는 관통홀의 측벽에 형성된 블로킹층, 전하트랩층 및 터널링층으로 이루어진 전하저장영역(440)과, 상기 관통홀 내의 상기 전하저장영역(440) 상에 형성된 채널영역(460)과, 상기 채널영역이 형성된 관통홀을 매립하도록 형성되며, 상기 채널영역과 반대 도전형의 웰영역(470)으로 이루어진 메모리 셀들, 그리고 상기 메모리 셀과 접속되도록 형성된 드레인 선택 트랜지스터를 포함한다.

[0053] 도 1에 도시된 첫 번째 실시예의 경우와 마찬가지로, 소스 선택 트랜지스터, 복수 개의 메모리 셀들, 그리고 드레인 선택 트랜지스터가 기판(300) 상에 수직으로 배열되어 셀 스트링을 이루고 있으며, 동일층에 배열된 메모리 셀들은 하나의 페이지를 구성한다. 소스 선택 트랜지스터는 상기 기판(300) 상에 절연층(320, 340)에 의해 분리되도록 형성된 게이트도전층(330)과, 상기 게이트도전층(330) 및 절연층(320, 340)을 관통하는 관통홀의 내벽에 형성된 게이트절연층(360), 상기 게이트절연층의 측벽에 형성된 채널영역(370), 그리고 채널영역이 형성된 상기 관통홀을 매립하도록 형성된 웰영역(380)으로 구성된다. 소스 선택 트랜지스터의 채널영역은 기판(300)에 형성된 소스(310)와 연결되며, 실리콘 에피택셜층으로 이루어지거나, 상기 관통홀 내의 게이트절연층의 측벽으로부터 실리콘 에피택셜층과 폴리실리콘막이 차례로 적층된 구조로 이루어진다.

[0054] 상기 메모리 셀을 구성하는 게이트 스택(420)은 하나의 셀 스트링에 연결되는 메모리 셀의 개수만큼 반복 적층되어 있다. 하나의 셀 스트링에 연결된 메모리 셀들 사이는 절연층(410)에 의해 분리된다. 소스 선택 트랜지스터의 채널영역 내부와 메모리 셀의 채널영역 내부에는 상기 채널영역과 반대 도전형, 예를 들면 P형 도펀트로 도핑된 웰영역(380, 470)이 배치된다. 웰영역(380, 470)은 메모리 셀의 전하트랩층에 트랩되어 있는 전하들을 일시에 빼내기 위한 것이다. 종래의 전하트랩형 플래시 소자의 경우 F-N 터널링에 의한 데이터의 소거가 불가능하여 핫일렉트론 주입(HEI) 방식으로 데이터를 소거하기 때문에 소거 속도가 느린 단점이 있었다. 그러나, 본 발명의 경우, 메모리 셀의 전하트랩층에 저장되어 있는 전하들을 웰영역(470)으로 일시에 빼내고 이를 소스 선택 트랜지스터의 웰영역(380)으로 주입되도록 함으로써 플래시 메모리소자의 장점인 일시 소거가 가능하게 된다.

[0055] 드레인 선택 트랜지스터의 경우 스트링을 선택하는 기능을 하면 되므로 도 13에 도시된 것처럼 웰영역(530)을 구비하거나, 또는 도 12와 같이 웰영역을 구비하지 않을 수도 있다.

[0056] 도 14 내지 도 20은 본 발명의 다른 실시예에 따른 3차원 구조의 플래시 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

[0057] 도 14를 참조하면, 기판(300)에 셀의 공통 소스를 형성하기 위한 불순물층(310)을 형성한다. 상기 기판(300)은 P타입 불순물로 도핑된 단결정 실리콘(Si) 기판일 수 있다. 상기 불순물층(310)은 기판(100)과 반대 도전형, 예컨대 N타입의 불순물을 이온주입하여 형성할 수 있다. 다음에, 공통 소스 영역을 한정하기 위하여 사진식각 공정을 이용하여 소스 이외의 영역의 불순물층(310) 및 기판(300)을 식각한다. 결과물 상에 절연막(320)을 증착하

여 소스 영역을 다른 도전층과 분리시킨다.

[0058] 절연막(320)이 형성된 기판 상에 선택 트랜지스터의 게이트를 형성하기 위한 도전층(330)과, 상기 도전층과 그 상부에 형성되는 도전층을 분리하기 위한 절연층(340)을 차례로 형성한다. 상기 도전층(330)은 불순물이 도핑된 폴리실리콘막, 또는 텅스텐(W)과 같은 금속, 또는 다른 전도성 물질로 10 ~ 1,000Å의 두께로 형성할 수 있다.

[0059] 다음에, 소스 선택 트랜지스터의 채널이 형성될 영역의 상기 도전층(330)과 절연층(340)을 식각하여 기판의 불순물층(310)을 노출시키는 홀(hole)(350)을 형성한다. 상기 홀(hole)(350)은 소스 선택 트랜지스터의 채널이 형성되는 영역으로, 10 ~ 1,000Å의 지름을 갖도록 형성한다. 홀(hole)(350)을 형성하기 위한 식각공정은 습식식각, 건식식각, 또는 이들을 혼합한 방식으로 진행할 수 있다.

[0060] 도 15를 참조하면, 상기 홀(hole)의 측면에 예를 들어 실리콘산화막을 10 ~ 500Å의 두께로 증착하여 소스 선택 트랜지스터의 게이트절연막(360)을 형성한다. 상기 게이트절연막(360)을 형성할 때 산소와 질소를 동시에 포함하고 있는 분위기에서 실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 게이트절연막(360)을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 게이트절연막의 막질을 향상시킬 수도 있다.

[0061] 다음에, 게이트절연막(360)이 형성된 홀(hole) 측면에 소스 선택 트랜지스터의 채널을 형성하기 위하여 단결정 실리콘(Si)과 같은 반도체층을 형성한다. 상기 반도체층은 기판(300)과 반대 도전형, 예를 들어 N형으로 도핑된 실리콘층으로 형성한다. 상기 반도체층은 실리콘(Si)을 포함하는 가스분위기에서 상기 불순물층(310)으로부터 실리콘(Si)막이 성장되도록, 예컨대 선택적 에피택셜 성장(SEG) 법을 사용하여 형성할 수 있으며, 선택 트랜지스터의 채널영역(370)이 된다. 이때, 첫 번째 실시예의 경우와는 달리 상기 홀(hole)을 반도체층으로 매립하는 것이 아니라, 홀의 중심부에 P-웰을 형성하기 위하여 홀의 측벽에만 반도체층이 형성되도록 한다.

[0062] 다음에, 소스 선택 트랜지스터 영역에 형성되는 P웰과 기판을 연결시키기 위하여, 홀(hole)을 통해 P형 불순물을 이온주입하여 웰 하부의 불순물층(310)을 P형으로 도핑시키거나, 상기 홀을 통해 노출된 불순물층(310)을 오버식각하여 P형 기판이 노출되도록 한다. 다음에, 홀(hole)의 중심부를 P형 실리콘층으로 매립하여 메모리 셀의 P웰과 연결시키기 위한 P웰(380)을 형성한다.

[0063] 도 16을 참조하면, 소스 선택 트랜지스터가 형성된 결과물 상에, 층간절연막(410)과 도전층(420)을 수차례 반복해서 증착한다. 층간절연막(410)은 수직으로 적층되는 메모리 셀 사이를 분리하기 위한 것으로 실리콘산화막, 실리콘질화막, 또는 실리콘산화막과 실리콘질화막의 적층막으로 형성할 수 있다. 상기 도전층(420)은 예컨대 P형 불순물로 도핑된 폴리실리콘 또는 폴리실리콘게르마늄막, 또는 금속막, 또는 다른 전도성 물질을 10 ~ 1,000Å의 두께로 증착하여 형성할 수 있다. 상기 도전층(420)은 하나의 셀 스트링에 연결되는 메모리 셀의 수만큼 반복해서 적층할 수 있다. 상기 도전층(420)은 메모리 셀의 컨트롤게이트가 되고, 층간절연막(410)은 수직으로 적층된 메모리 셀 사이를 분리하는 역할을 한다.

[0064] 셀 스트링에 연결되는 메모리 셀의 수만큼 도전층(420)과 층간절연막(410)을 적층한 다음에는, 셀 트랜지스터의 채널 및 전하저장을 위한 ONO 막을 형성하기 위하여 관통홀(430)을 형성한다. 구체적으로, 교대로 적층되어 있는 도전층(410) 및 층간절연막(420)을 이방성식각하여 소스 선택 트랜지스터의 게이트절연막(360) 및 채널영역(370)이 노출되도록 한다. 이때 식각공정은 습식 또는 건식 식각방법을 사용할 수 있고, 관통홀(430)의 크기는 셀 트랜지스터의 채널 역할을 할 반도체층과 ONO막으로 갭-필될 수 있는 크기로 형성할 수 있다. 본 실시예에서는 상기 관통홀(430)을 10 ~ 1,000Å의 지름으로 형성하였다.

[0065] 도 17을 참조하면, 상기 관통홀(430)의 내벽에 전하저장을 위한 ONO 유전체층(440) 즉, 블로킹층, 전하트랩층 및 터널링층을 차례로 형성한다.

[0066] 구체적으로, 상기 관통홀(430)의 내벽에 전하트랩층(도시되지 않음)으로부터 컨트롤게이트전극으로의 전하의 이동을 방지하기 위한 블로킹층을 형성한다. 블로킹층은 화학기상증착(CVD) 방법으로 산화막을 증착하여 형성하거나, 알루미늄옥사이드(Al_2O_3), 하프늄옥사이드(HfO_2), 지르코늄옥사이드(ZrO_2), 하프늄알루미늄옥사이드(HfAlO), 하프늄실리콘옥사이드(HfSiO) 등의 하이-케이(high-k) 물질로 형성할 수 있다. 블로킹층을 형성한 다음에는, 블로킹층이 형성된 반도체기판에 대해 급속열처리(Rapid Thermal Annealing)를 실시할 수 있다.

[0067] 다음, 관통홀(430)의 내벽에 형성된 블로킹층 상에 예를 들면 실리콘질화막 또는 폴리실리콘막을 10 ~ 1,000Å의 두께로 증착하여 전하트랩층을 형성한다. 전하트랩층은 원자층증착(ALD) 방식이나, 화학기상증착(CVD) 방식으로 증착할 수 있다. 상기 관통홀(430) 내벽의 전하트랩층 상에 산화막을 10 ~ 1,000Å의 두께로 증착하여 메모리 셀의 터널링층을 형성한다. 상기 터널링층을 형성할 때 산소와 질소를 동시에 포함하고 있는 분위기에서

실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 터널링층을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 막질을 향상시킬 수도 있다.

[0068] 관통홀의 내벽에 형성된 터널링층 상에, 후속 ONO 유전체층을 식각하는 과정에서 터널링층을 보호하기 위한 보호막(450)을 형성한다. 상기 보호막(450)은 도핑된 폴리실리콘막과 같은 전도성 막 또는 질화막과 같은 절연막으로 형성할 수 있으며, 10 ~ 1,000Å의 두께로 형성할 수 있다. 보호막(450)을 도핑된 폴리실리콘막과 같이 전도성 막으로 형성할 경우 메모리 셀의 채널영역 또는 채널영역의 일부로 사용할 수 있다.

[0069] 도 18을 참조하면, 소스 선택 트랜지스터의 채널영역과 메모리 셀의 채널영역을 연결시키기 위하여 관통홀 바닥의 보호막(450), 터널링층, 전하트랩층 및 블로킹층을 식각하여 소스 선택 트랜지스터의 채널영역이 노출되도록 한다. 경우에 따라서, 상기 보호막(450)을 형성하지 않은 상태에서 소스 선택 트랜지스터의 채널영역을 노출시키기 위한 식각공정을 진행할 수도 있다.

[0070] 결과물 상에 예를 들면 N형으로 도핑된 실리콘막을 증착하여 메모리 셀의 채널영역(460)을 형성한다. 상기 메모리 셀의 채널영역(460)은 소스 선택 트랜지스터의 채널영역(370)과 연결된다. 다음에, 메모리 셀의 웰 영역과 소스 선택 트랜지스터에 형성된 웰영역을 연결시키기 위하여, 관통홀 바닥의 도핑된 실리콘막을 식각하여 소스 선택 트랜지스터의 웰영역이 노출되도록 한다. 이어서, 관통홀 중심부에 도핑된 실리콘막을 매립하여 웰 영역(470)을 형성한다. 상기 웰 영역(470)은 채널영역(460)과는 반대 도전형이며 기판(300)과 같은 도전형인 P형 도펀트로 도핑된 실리콘막을 증착하여 형성할 수 있다. 또는, 메모리 셀의 채널영역(460)과 동일한 도전형으로 도핑된 실리콘막을 증착한 이후에 이온주입과 같은 도핑방법을 사용하여 P형으로 카운투 도핑시켜 형성할 수 있다.

[0071] 도 19를 참조하면, 스트링 선택을 위한 드레인 선택 트랜지스터를 형성한다. 구체적으로, 관통홀이 매립된 결과물 상에 드레인 선택 트랜지스터와 메모리 셀을 분리시키기 위한 절연막(480)을 형성한다. 절연막(480) 상에 도핑된 폴리실리콘막, 금속막 또는 다른 전도성 물질막을 10 ~ 1,000Å의 두께로 형성하여 드레인 선택 트랜지스터의 게이트용 도전층(490)을 형성한다. 계속해서, 상기 드레인 선택 트랜지스터의 게이트용 도전층(490)을 상부의 도전층과 분리시키기 위하여 절연막(500)을 형성한다.

[0072] 다음에, 드레인 선택 트랜지스터와 메모리 셀 트랜지스터를 연결시키기 위하여 상기 도전층(490)과 절연막(480, 500)을 이방성식각하여 메모리 셀 트랜지스터의 채널영역을 노출시키는 홀을 형성한다. 상기 홀을 형성하기 위한 식각공정은 습식식각, 건식식각, 또는 이들을 혼합한 방식으로 진행할 수 있다. 상기 홀은 10 ~ 1,000Å의 직경으로 형성할 수 있다.

[0073] 상기 홀의 내벽에 예를 들어 실리콘산화막을 10 ~ 500Å의 두께로 증착하여 드레인 선택 트랜지스터의 게이트절연막(510)을 형성한다. 상기 드레인 선택 트랜지스터의 게이트절연막(510)을 형성할 때 산소와 질소를 동시에 포함하고 있는 분위기에서 실시하여 산질화막(SiON)이 형성되도록 할 수 있다. 또한, 상기 게이트절연막(510)을 형성한 후 NO 가스 또는 N_2O 가스 분위기에서 열처리함으로써 게이트절연막의 막질을 향상시킬 수도 있다.

[0074] 다음에, 메모리 셀의 채널영역과 드레인 선택 트랜지스터의 채널영역을 연결시키기 위하여 상기 홀 바닥의 게이트절연막(510)을 식각하여 메모리 셀의 채널영역이 노출되도록 한다. 상기 게이트절연막(510)을 식각하기 전에 폴리실리콘막과 같은 도전막으로 이루어진 보호막을 홀의 내벽에 형성된 게이트절연막(510) 상에 형성한 후 식각을 수행하여 홀 측벽의 게이트절연막(510)을 보호할 수 있다. 이 경우, 상기 보호막으로 사용된 도전막은 드레인 선택 트랜지스터의 채널영역 또는 채널영역의 일부로 사용될 수 있다.

[0075] 메모리 셀의 채널영역이 노출된 결과물 상에, 상기 홀이 매립되도록 반도체층을 형성하여 드레인 선택 트랜지스터의 채널영역(520)을 형성한다. 반도체층은 실리콘(Si)을 포함하는 가스분위기에서 메모리 셀의 채널영역으로부터 실리콘(Si)막이 성장되도록, 예컨대 선택적 에피택셜 성장(SEG) 법을 사용하여 형성할 수 있다.

[0076] 한편, 도 20에 도시된 바와 같이, 드레인 선택 트랜지스터의 경우에도 소스 선택 트랜지스터의 경우와 마찬가지로 채널영역에 P웰(530)을 형성할 수 있다.

[0077] 다음에, 드레인 선택 트랜지스터를 사이를 분리시키기 위한 식각공정을 수행한다.

[0078] 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

도면의 간단한 설명

[0079] 도 1은 본 발명의 일 실시예에 따른 3차원 구조의 플래시 메모리소자를 도시한 입체도이다.

[0080] 도 2 내지 도 11은 본 발명의 일 실시예에 따른 3차원 구조의 플래시 메모리소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

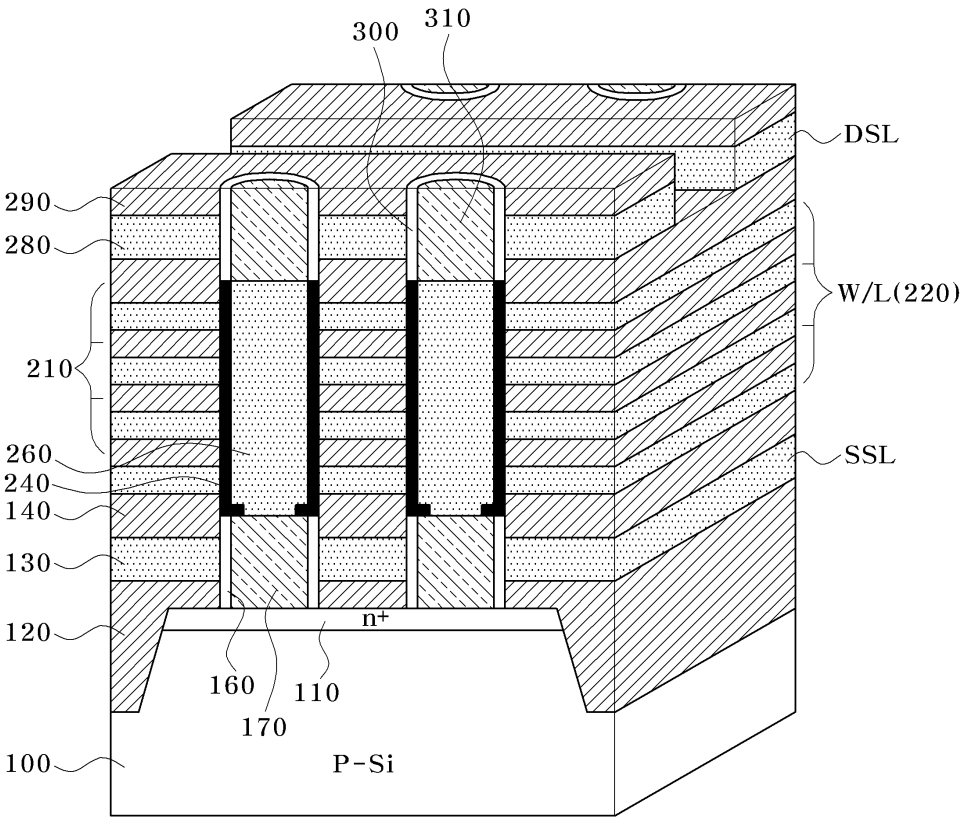
[0081] 도 12는 본 발명의 다른 실시예에 따른 3차원 구조의 플래시 메모리소자를 도시한 입체도이다.

[0082] 도 14는 본 발명의 또 다른 실시예에 따른 3차원 구조의 플래시 메모리소자를 도시한 입체도이다.

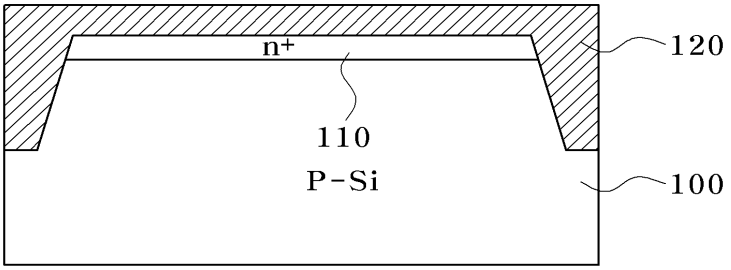
[0083] 도 15 내지 도 20은 본 발명의 다른 실시예에 따른 3차원 구조의 플래시 메모리소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도면

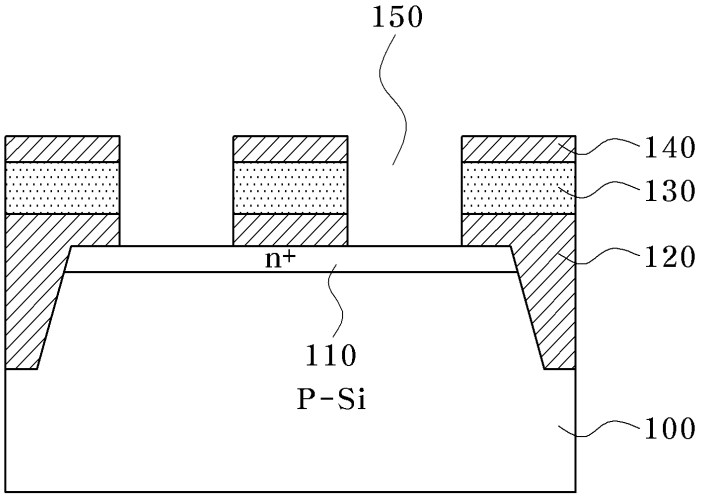
도면1



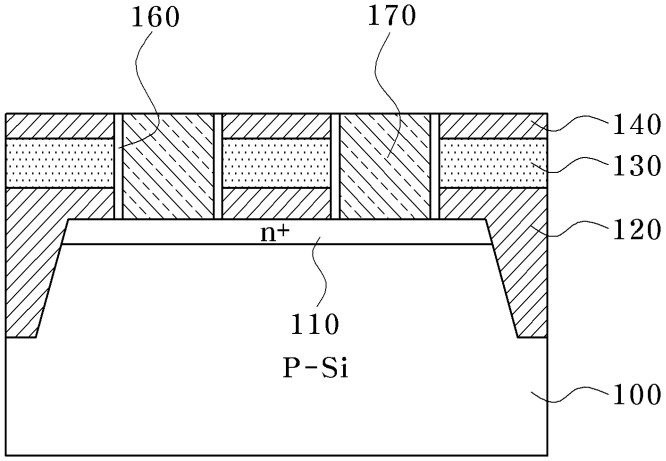
도면2



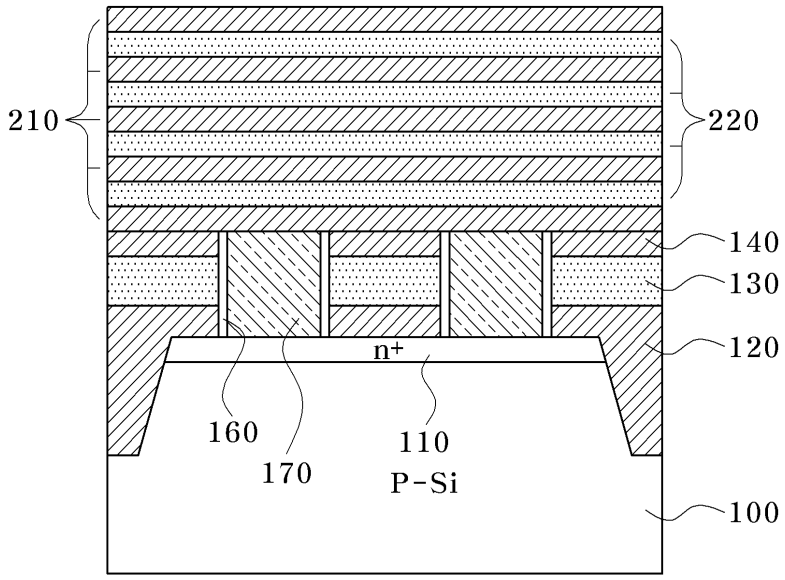
도면3



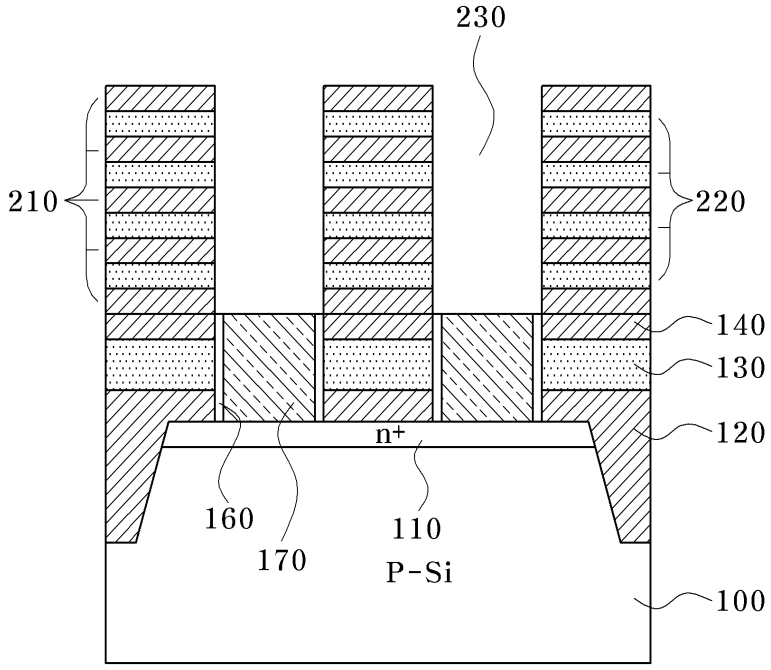
도면4



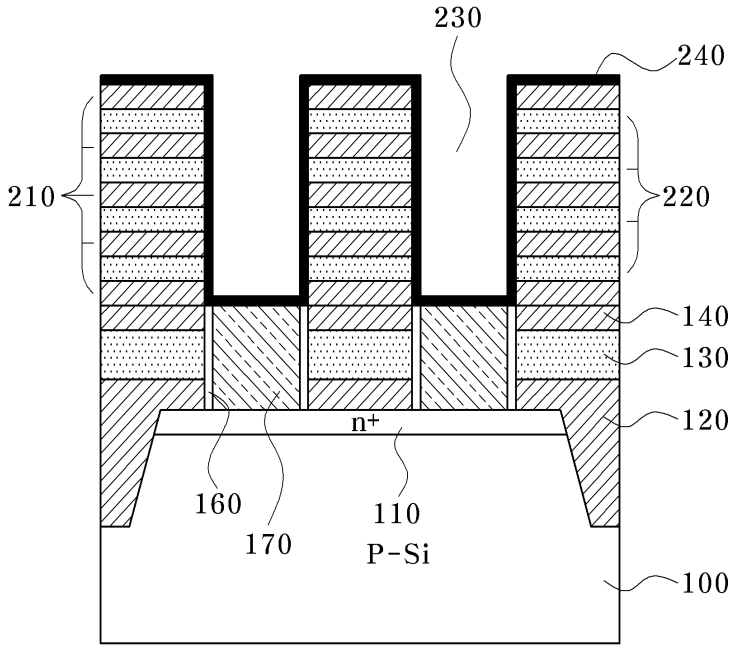
도면5


210
220
140
130
120
n+
160
170
110
P-Si
100

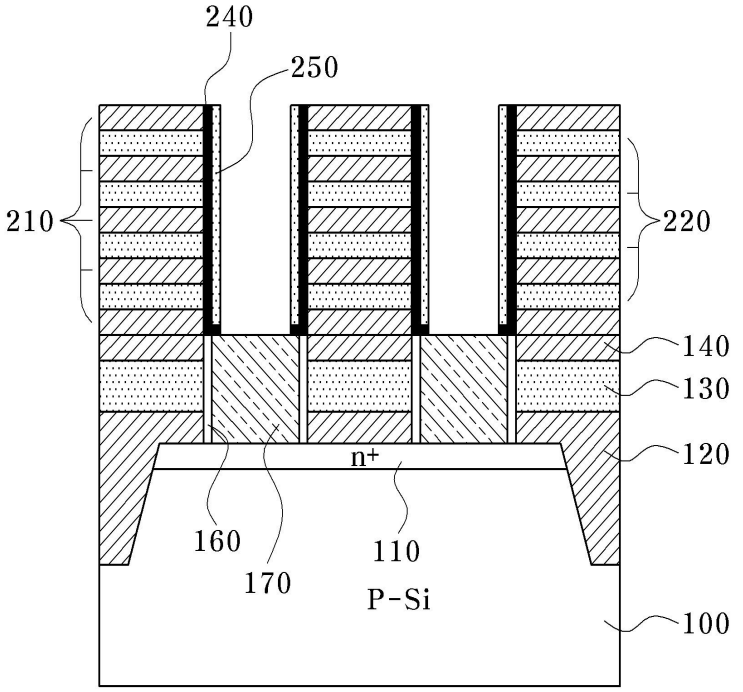
도면6


230
210
220
140
130
120
n+
160
170
110
P-Si
100

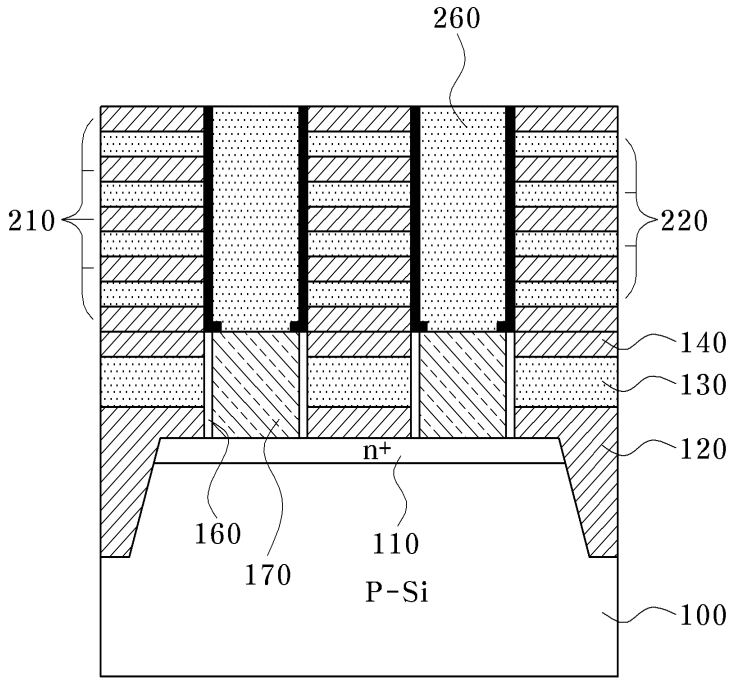
도면7


230
240
210
220
140
130
120
n+
160
170
110
P-Si
100

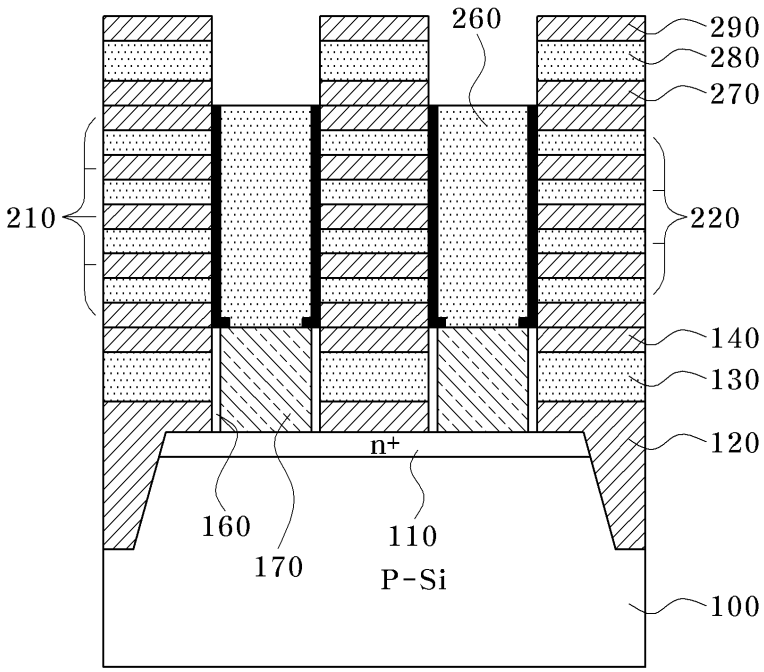
도면8


240
250
210
220
140
130
120
n+
160
170
110
P-Si
100

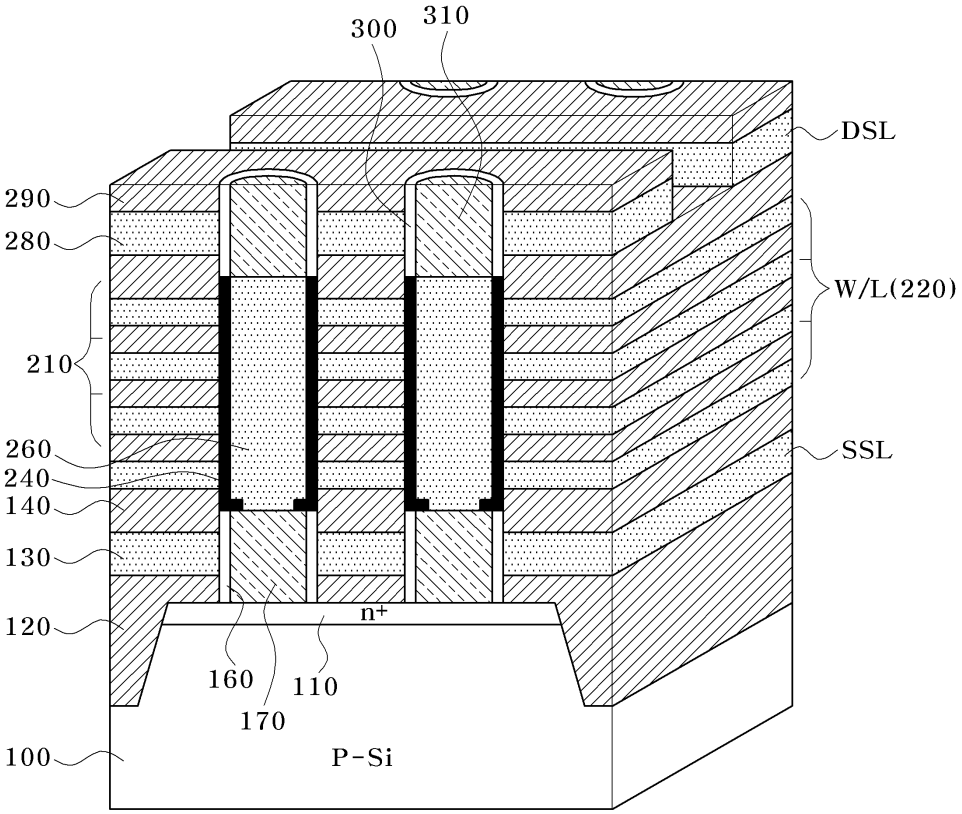
도면9


260
210
220
140
130
120
n+
160
170
110
P-Si
100

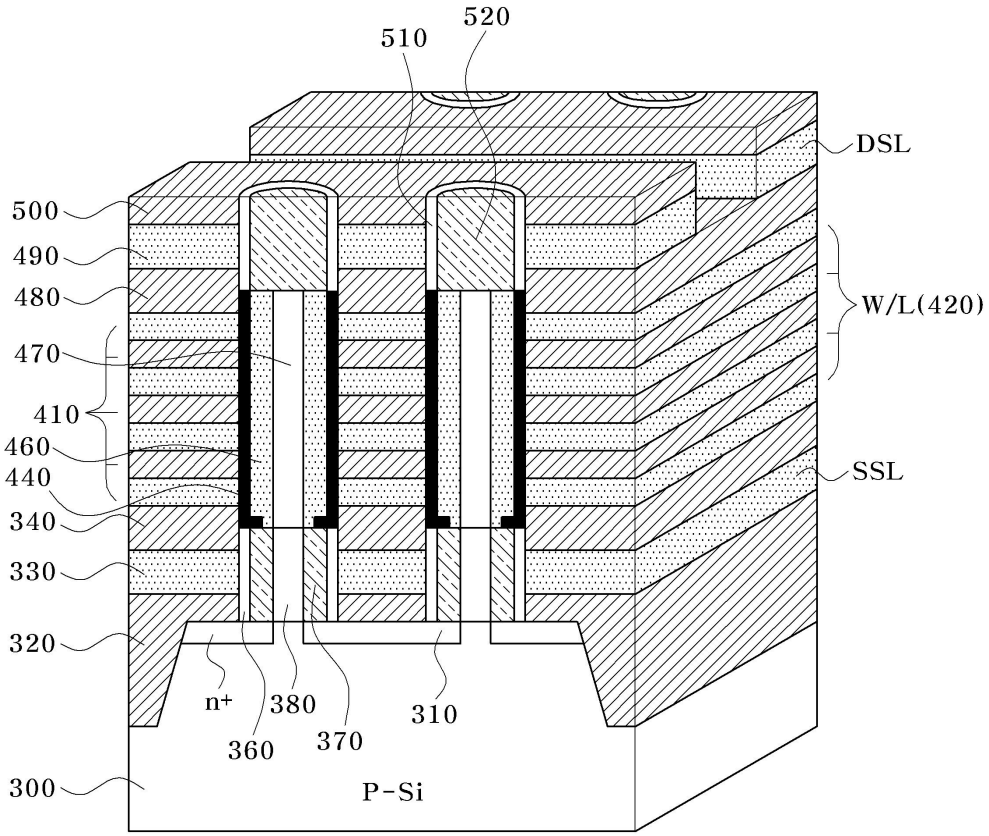
도면10


260
290
280
270
210
220
140
130
120
n+
160
170
110
P-Si
100

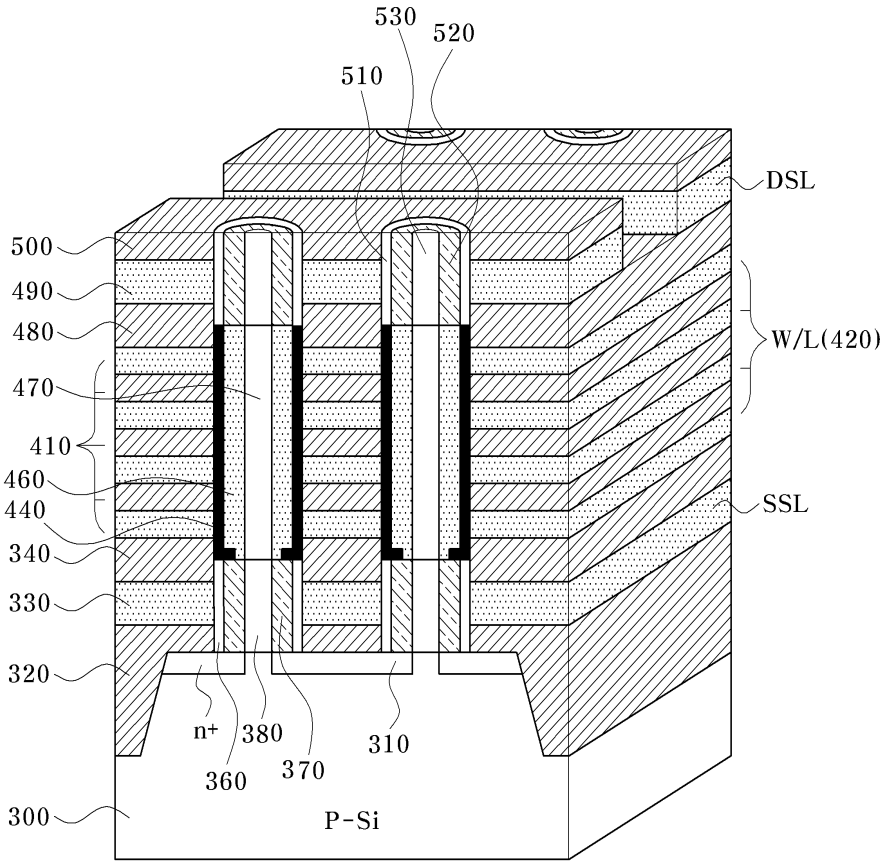
도면11


300
310
DSL
290
280
W/L(220)
210
260
240
140
SSL
130
120
n+
160
110
170
100
P-Si

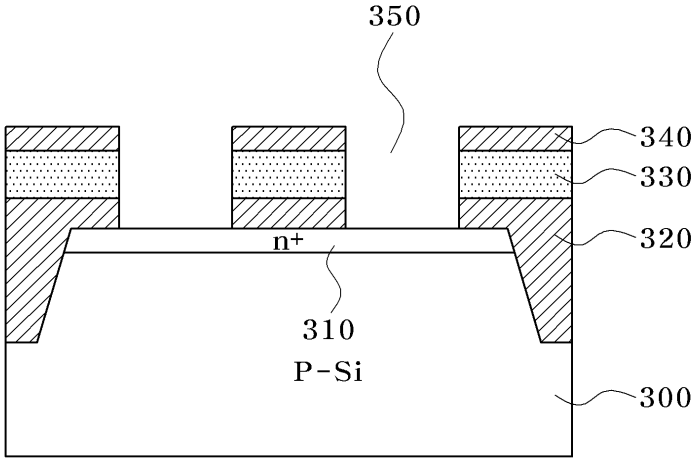
도면12


520
510
DSL
500
490
480
470
410
460
440
340
330
320
300
W/L(420)
SSL
n+
380
310
360
370
P-Si

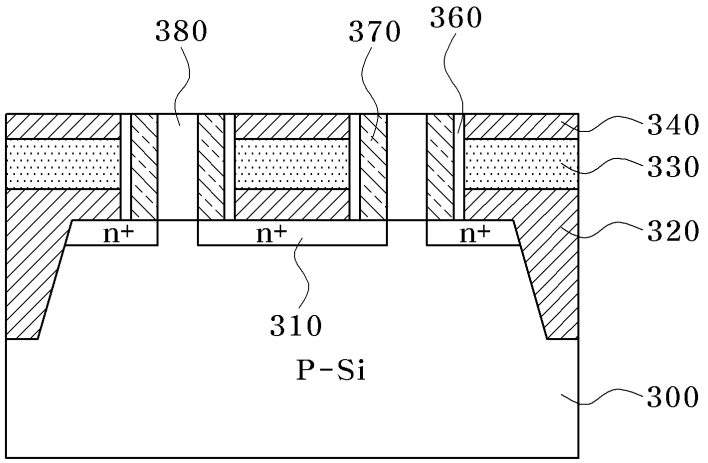
도면13


530
520
510
DSL
500
490
480
470
410
460
440
340
330
320
W/L(420)
SSL
n+
380
360
370
310
300
P-Si

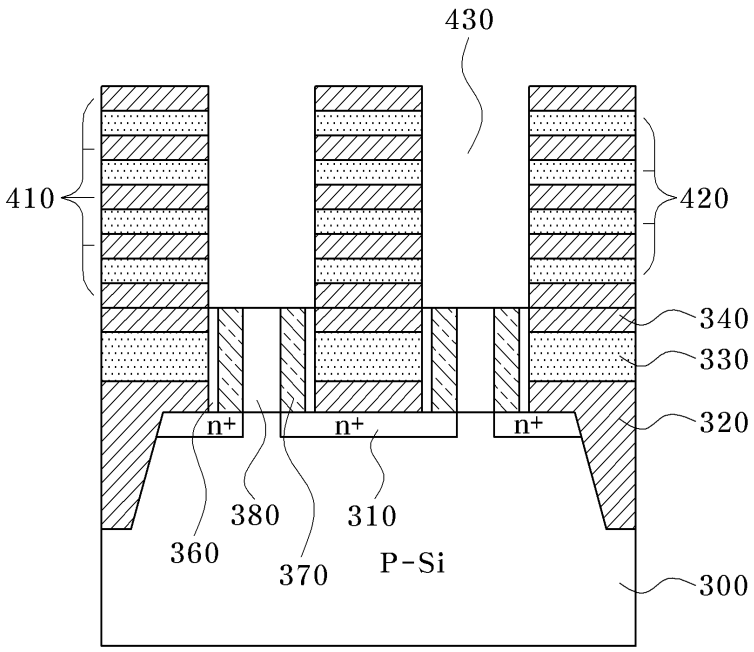
도면14


350
340
330
320
n+
310
P-Si
300

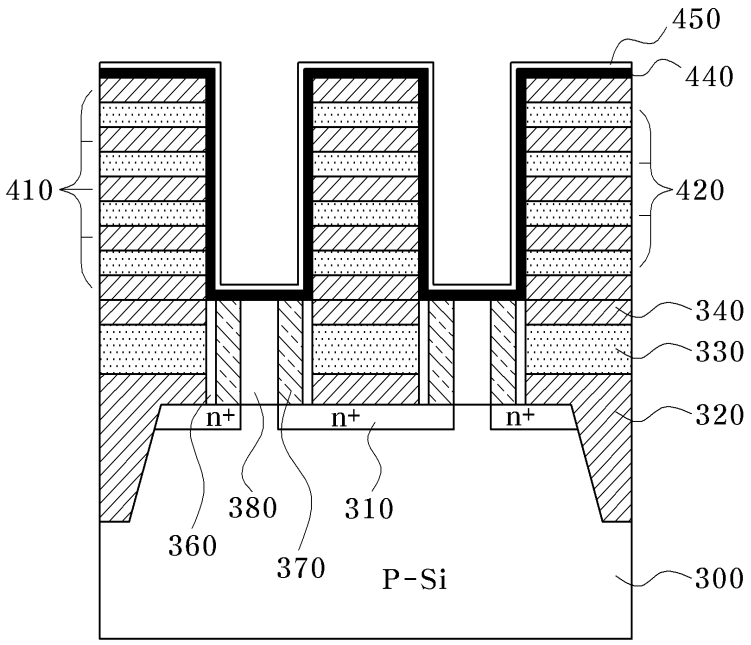
도면15


380
370
360
340
330
320
n+
n+
n+
310
P-Si
300

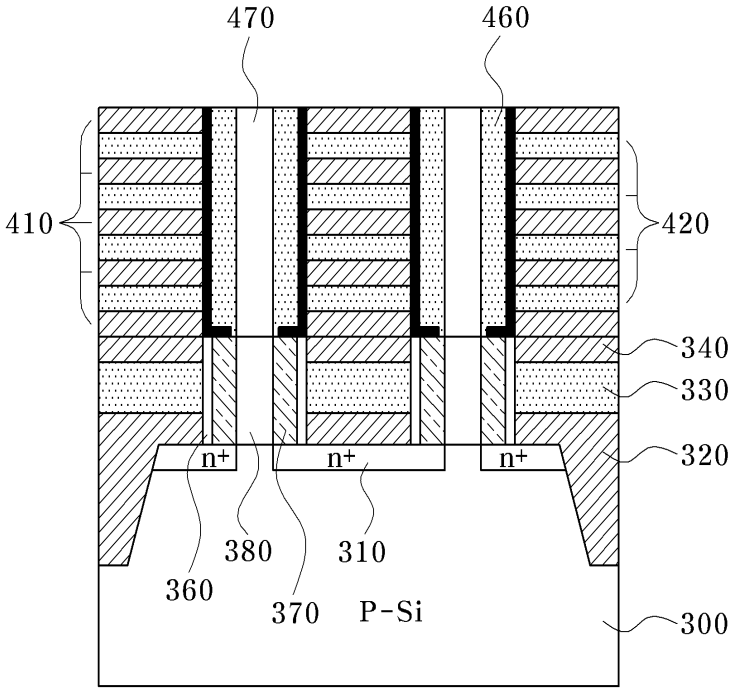
도면16


430
410
420
340
330
320
n+
n+
n+
380
310
360
370
P-Si
300

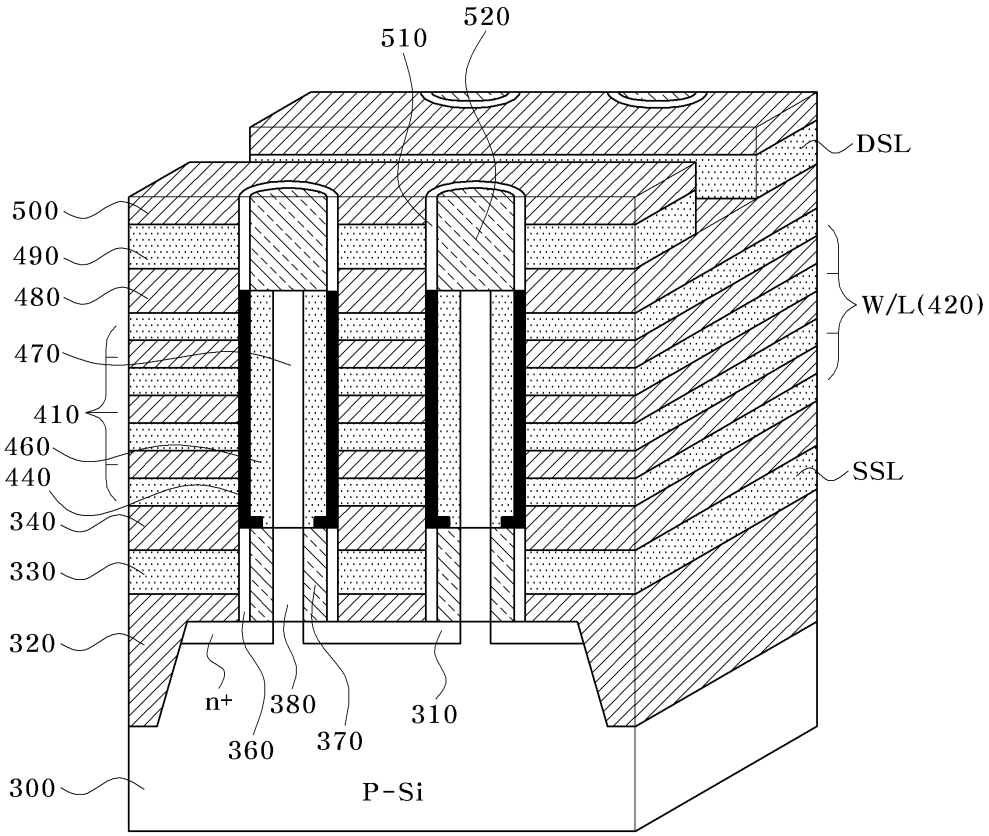
도면17


450
440
410
420
340
330
320
n+
n+
n+
380
310
360
370
P-Si
300

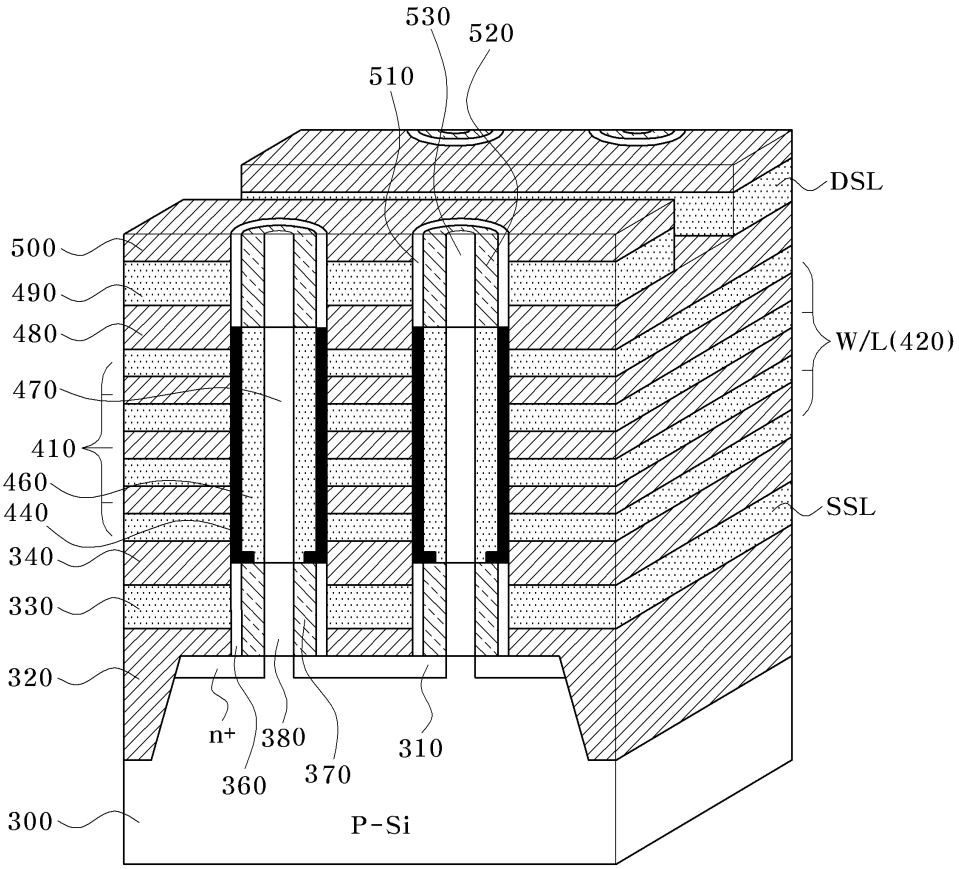
도면18


470
460
410
420
340
330
320
n+
n+
n+
380
310
360
370
P-Si
300

도면19


520
510
DSL
500
490
480
470
410
460
440
340
330
320
300
W/L(420)
SSL
n+
380
310
360
370
P-Si

도면20


530
520
510
DSL
500
490
480
470
410
460
440
340
330
320
300
W/L(420)
SSL
n+
380
360
370
310
P-Si