



**(19) Korean
Intellectual Property
Office (KR)
(12) Published Patent
Gazette (A)**

(11) Publication No. 10-2015-0051841

(43) Publication Date May 13, 2015

(51) International Patent Classification (Int. Cl.) H01L 27/115 (2006.01) H01L 21/84 (2006.01)	(71) Applicant Samsung Electronics Co., Ltd.
(21) Application No. 10-2013-0133854	129 Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do (Mattan-dong)
(22) Application Date November 5, 2013	(72) Inventor
Examination Request Date None	Sang Yong Park
	No. 2, 220, 35, 816-dong, Cheoncheon-ro 74-gil, Jangan-gu, Suwon-si, Gyeonggi-do (Jeongja-dong, Daewol Village Public Housing Apartment)
	Chang Seok Kang
	No. 202, Building 151, 521, Injeong-ro, Bundang-gu, Seongnam-si, Gyeonggi-do (Sunnac-dong, Yangji Village Apartments)
	Geon Soo Kim
	No. 2, 80, 12, 201, Yeongtong-ro 174-gil, Yeongtong-gu, Suwon-si, Gyeonggi-do (Manpo-dong, Gudaega Central Park)
	(74) Representative Patent Law Firm CNS

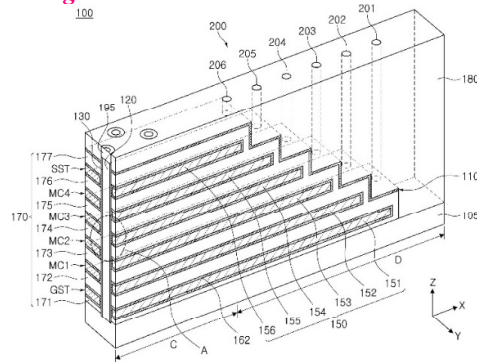
Total number of claims: Total of 10 claims

(54) Title of invention **Nonvolatile memory device and manufacturing method thereof**

(57) Summary

One aspect of the present invention can provide a nonvolatile memory device including a channel region extending in a direction perpendicular to an upper surface of a substrate, a plurality of gate electrode layers disposed on the substrate so as to be adjacent to the channel region, a plurality of pad regions provided such that the plurality of gate electrode layers extends with different lengths along one direction, at least one etch-stop layer spaced apart from the plurality of gate electrode layers in the plurality of pad regions and arranged on the plurality of gate electrode layers, and a plurality of contact plugs connected to the plurality of gate electrode layers.

Representative Drawing - FIG. 4



Specification
Claims**Claim 1**

A nonvolatile memory device comprising: a channel region extending in a direction perpendicular to an upper surface of a substrate;
a plurality of gate electrode layers disposed on the substrate so as to be adjacent to the channel region;
a plurality of pad regions wherein the plurality of gate electrode layers extends to different lengths along one direction;
at least one etch-stop layer disposed on the plurality of gate electrode layers and spaced apart from the plurality of gate electrode layers in the plurality of pad regions; and
a plurality of contact plugs connected with the plurality of gate electrode layers.

Claim 2

The nonvolatile memory device of Claim 1, further comprising:
a plurality of gate insulation films arranged between the plurality of gate electrode layers and the channel region,
wherein the etch-stop layer comprises the same material as at least one of the plurality of gate insulating films.

Claim 3

The nonvolatile memory device of Claim 2, further comprising:

wherein the thickness of the etch-stop layer is less than or equal to two times the thickness of the gate insulating films.

Claim 4

The nonvolatile memory device of Claim 2, further comprising:

an insulating layer disposed between the plurality of gate electrode layers;
wherein at least a portion of the plurality of gate insulating films extend along the one direction to be disposed between the plurality of gate electrode layers and the insulating layer.

Claim 5

The nonvolatile memory device of Claim 1,

wherein the etch-stop layer has a shape corresponding to a step between the plurality of pad regions.

Claim 6

The nonvolatile memory device of Claim 1,

wherein the etch-stop layer is a plurality of etch-stop layers,
and wherein the plurality of etch-stop layers is each disposed between the plurality of gate electrode layers.

Claim 7

The nonvolatile memory device of Claim 6,
wherein each of the plurality of etch-stop layers extends along the one direction to the adjacent pad region.

Claim 8

The nonvolatile memory device of Claim 6,
wherein a different number of the etch-stop layers is arranged between at least some of the plurality of gate electrode layers.

Claim 9

The nonvolatile memory device of Claim 1,
wherein at least one of the etch-stop layers is arranged on some of the gate electrode layers.

Claim 10

A method for manufacturing a nonvolatile memory device, comprising: a step of forming a plurality of pad regions having steps from each other by etching a plurality of sacrificial layers and a plurality of insulating layers alternately disposed on a substrate in one direction with different lengths;

a step of forming an etch-stop sacrificial layer and a connection region insulating layer on the plurality of pad regions;

a step of removing the plurality of sacrificial layers and the etch-stop sacrificial layer; and

a step of depositing an insulating material in an area where the plurality of sacrificial layers and the etch-stop sacrificial layer have been removed, thereby forming a gate insulating film and an etch-stop layer.

Description of the Invention

Technical Field

[0001] The present invention relates to nonvolatile memory devices and methods of making the same.

Prior Art

[0002] Electronic products are becoming smaller in size while requiring high-capacity data processing. Accordingly, there is a need to increase the degree of integration of semiconductor memory devices used in these electronic products. As one of the methods for improving the integration of semiconductor memory devices, a nonvolatile memory device having a vertical transistor structure instead of a conventional planar transistor structure has been proposed.

Details of the Invention

Problem to be Solved

[0003] The problem that the technical idea of the present invention seeks to solve is to provide a nonvolatile memory device with high integration and improved reliability.

Solution to the Problem

[0004] A nonvolatile memory device according to one embodiment of the present invention includes a channel region extending in a direction perpendicular to an upper surface of a substrate; a plurality of gate electrode layers disposed on the substrate so as to be adjacent to the channel region; a plurality of pad regions provided by extending the plurality of gate electrode layers with different lengths along one direction; at least one etch-stop layer disposed on the plurality of gate electrode layers in the plurality of pad regions; and a plurality of contact plugs connected to the plurality of gate electrode layers.

[0005] A plurality of gate insulating films provided between the plurality of gate electrode layers and the channel region; and the etch-stop layer may include the same material as at least one of the plurality of gate insulating films.

[0006] The thickness of the etch-stop layer may be less than or equal to two times the thickness of the gate insulating film.

[0007] An insulating layer disposed between the plurality of gate electrode layers; and at least a portion of the plurality of gate insulating films may extend along the one direction to be disposed between the plurality of gate electrode layers and the insulating layer.

[0008] The etch-stop layer may have a shape corresponding to a step between the plurality of pad regions.

[0009] The etch-stop layer is a plurality of etch-stop layers, and the plurality of etch-stop layers can be respectively arranged between the plurality of gate electrode layers.

[0010] Each of the plurality of etch-stop layers can extend along the one direction to the adjacent pad region.

[0011] A different number of etch-stop layers can be arranged between at least some of the plurality of gate electrode layers.

[0012] At least one etch-stop layer may be arranged on some of the gate electrode layer.

[0013] A method for manufacturing a nonvolatile memory device according to one embodiment of the present invention comprises the steps of: etching a plurality of sacrificial layers and insulating layers alternately stacked on a substrate in one direction with different lengths to form a plurality of pad regions having steps; forming an etch-stop sacrificial layer on the plurality of pad regions; removing the plurality of sacrificial layers and the etch-stop sacrificial layer; and depositing an insulating material on a region from which the plurality of sacrificial layers and the etch-stop sacrificial layer are removed to form a gate insulating film and an etch-stop layer.

Effects of the Invention

[0014] According to the nonvolatile memory device and its manufacturing method according to the technical idea of the present invention, by forming an etching-stop layer in an area where a step structure in which a contact plug is formed is provided, bridge defects that may occur between upper and lower layers when forming a contact plug can be prevented. Accordingly, a nonvolatile memory device with improved reliability can be provided.

Brief description of the drawings

[0015] FIG. 1 is a schematic block diagram of a nonvolatile memory device according to an embodiment of the present invention.

FIG. 2 is a circuit diagram illustrating an array of memory cells of a nonvolatile memory device according to an embodiment of the present invention.

FIG. 3 is a plan view illustrating a structure of a nonvolatile memory device according to an embodiment of the present invention.

FIGS. 4-6 are perspective views illustrating a structure of a nonvolatile memory device according to embodiments of the present invention.

FIG. 7a is an enlarged view of part A in a nonvolatile memory device according to the embodiment shown in FIG. 4.

FIGS. 7b and 7c are enlarged illustrations of the B portion in a nonvolatile memory device according to the embodiment shown in FIG. 6.

FIGS. 8a-8m are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 4.

FIGS. 9a-9j are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 5.

FIGS. 10a-10i are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 6.

FIGS. 11-13 are cross-sectional views illustrating a structure of a nonvolatile memory device in accordance with another embodiment of the present invention.

FIGS. 14 and 15 are block diagrams illustrating electronic devices including nonvolatile memory devices according to embodiments of the present invention.

Specific details for implementing the invention

[0016] Hereinafter, preferred embodiments of the present invention will be described as follows with reference to the attached drawings.

- [0017] The embodiments of the present invention may be modified in various different forms or various embodiments may be combined, and the scope of the present invention is not limited to the embodiments described below. In addition, the embodiments of the present invention are provided to more completely explain the present invention to a person having average knowledge in the relevant technical field. Therefore, the shapes and sizes of elements in the drawings may be exaggerated for clearer explanation, and elements indicated by the same symbols in the drawings are the same elements.
- [0018] FIG. 1 is a schematic block diagram of a nonvolatile memory device according to one embodiment of the present invention.
- [0019] Referring to FIG. 1, a nonvolatile memory device (10) according to an embodiment of the present invention may comprise a memory cell array (20), a drive circuit (30), a read/write circuit (40), and a control circuit (50).
- [0020] The memory cell array (20) may comprise a plurality of memory cells, wherein the plurality of memory cells may be arranged along a plurality of rows and columns. A plurality of memory cells included in the memory cell array (20) may be connected with a drive circuit (30) via Word Line (WL), Common Source Line (CSL), String Select Line (SSL), Ground Select Line (GSL), etc., and may be connected with a read/write circuit (40) via a bit line (BL). In an example, a plurality of memory cells arranged along the same row may be connected to the same word line (WL), and a plurality of memory cells arranged along the same column may be connected to the same bit line (BL).
- [0021] The plurality of memory cells included in the memory cell array (20) may be divided into a plurality of memory blocks. Each memory block may comprise a plurality of word lines (WLs), a plurality of string selection lines (SSLs), a plurality of ground selection lines (GSLs), a plurality of bit lines (BLs) and at least one common source line (CSL).
- [0022] The drive circuit (30) and the read/write circuit (40) may be operated by the control circuit (50). In one embodiment, the drive circuit (30) may receive address information from the outside and decode the address information received to select at least some of the word line (WL), common source line (CSL), string selection line (SSL) and ground selection line (GSL) connected to the memory cell array. The drive circuit (30) may comprise a driving circuit for each of the word line (WL), the string selection line (SSL), and the common source line (CSL).
- [0023] The read/write circuit (40) may select at least some of the bit lines (BLs) connected to the memory cell array (20) according to a command received from the control circuit (50). The read/write circuit (40) may read data stored in a memory cell associated with at least a portion of the selected bit line (BL) or write data to a memory cell associated with at least a portion of the selected bit line (BL). The read/write circuit (40) may comprise a circuit, such as a page buffer, an input/output buffer, a data latch, or the like, to perform the above operations.
- [0024] The control circuit (50) may control the operation of the drive circuit (30) and the read/write circuit (40) in response to the control signal (CTRL) being transmitted from outside. If the data stored in the memory cell array (20) is read, the control circuit (50) may control the operation of the drive circuit (30) to supply the voltage for the read operation to the word line (WL) in which the data to be read is stored. If a voltage is supplied to a particular word line (WL) for a read operation, the control circuit (50) may control the read/write circuit (40) to read data stored in a memory cell connected to the supplied word line (WL) for the read operation.
- [0025] On the other hand, when writing data to a memory cell array (20), the control circuit (50) may control the operation of the drive circuit (30) to supply voltage for write operation to the word line (WL) to which it wishes to write data. If a voltage for a write operation is supplied to a particular Word Line (WL), the control circuit (50) may control the read/write circuit (40) to write data to a memory cell connected to the supplied word line (WL) for the write operation.
- [0026] FIG. 2 is an equivalent circuit view of an array of memory cells of a nonvolatile memory device according to one embodiment of the present invention.
- [0027] FIG. 2 is an equivalent circuit diagram illustrating a three-dimensional structure of an array of memory cells included in a nonvolatile memory device (100'). Referring to FIG. 2, the array of memory cells according to an embodiment may comprise a plurality of memory cell strings comprising n memory cell devices (MC1-MCn) connected in series with each other, a ground select transistor (GST) and a string select transistor (SST) connected in series to both ends of the memory cell devices (MC1-MCn).
- [0028] N memory cell devices (MC1-MCn) connected in series to each other may each be connected to a word line (WL1-WLn) for selecting at least some of the memory cell devices (MC1-MCn).

- [0029] The gate terminal of the ground selection transistor (GST) may be connected to a ground selection line (GSL), and the source terminal may be connected to a common source line (CSL). On the other hand, the gate terminal of the string selection transistor (SST) may be connected to the string selection line (SSL), and the source terminal may be connected to the drain terminal of the memory cell device (MCn). FIG. 2 illustrates a structure in which one ground select transistor (GST) and one string select transistor (SST) are connected to n memory cell devices (MC1-MCn) connected in series with each other, but a plurality of ground select transistors (GST) or a plurality of string select transistors (SSTs) may be connected.
- [0030] The drain terminal of the string select transistor (SST) may be connected to a bit line (BL1 to BLm). If a signal is applied via a string selection line (SSL) to the gate terminal of the string selection transistor (SST), the data read or write operation may be carried out by passing the signal applied via the bit line (BL1-BLm) to n memory cell devices (MC1-MCn) connected in series with each other. In addition, by applying a signal via a gate selection line (GSL) to the gate terminal of a gate selection transistor (GST) connected to a common source line (CSL), an erase operation (erase) may be performed to remove all charges stored in n memory cell devices (MC1-MCn).
- [0031] FIG. 3 is a plan view illustrating a structure of a nonvolatile memory device according to an embodiment of the present invention.
- [0032] Referring to FIG. 3, a nonvolatile memory device (100) according to an embodiment may comprise a cell array region (C) and a connection region (D), and a peripheral circuit region may be arranged outside of the connection region (D).
- [0033] The cell array region (C) may be arranged with a plurality of memory cells, a plurality of bit lines (190) electrically connected with the memory cells, and a plurality of gate electrode layers (151-156: 150). The plurality of gate electrode layers (150) may be referred to herein as a conductive line, as they comprise an electrically conductive material. The plurality of gate electrode layers (150) may extend in one direction, and in FIG. 3 a plurality of gate electrode layers (150) is shown to extend in the x-axis direction. The plurality of bit lines (190) may extend in another direction intersecting with the direction in which the plurality of gate electrode layers (150) extends, and in FIG. 3 it is shown that the plurality of bit lines (190) extends in the y-axis intersecting with the x-axis.
- [0034] The plurality of gate electrode layers (150) may be disposed in the z-axis direction to form a word line. Some gate electrode layers (150) disposed at the same height in the z-axis direction may be electrically connected to each other by a plurality of connecting lines (221-226: 220). A plurality of contact plugs (201-206: 200) extending in the z-axis direction may be arranged to connect some gate electrode layers (150) disposed at the same height in the z-axis direction to each other via a connecting line (220).
- [0035] A plurality of channel regions (130) may be arranged in the form of a zig-zag (130) in a plurality of gate electrode layers (150), each channel region (130) being electrically connected to a bit line (190). By placing a plurality of channel regions (130) in the gate electrode layer (150) in the form of zig-zags, the number of channel regions (130) disposed in the gate electrode layer (150) may be increased.
- [0036] The connection region (D) is disposed between the cell array region (C) and the peripheral circuit region. The connection region (D) may be disposed with a plurality of gate electrode layers (150) extending in one direction (x-axis direction) from the cell array region (C). The length extending in one direction for each of the plurality of gate electrode layers (150) may be shorter and shorter by a predetermined length as it goes from the gate electrode layer (151) located at the bottom layer in the z-axis perpendicular to the x-y plane to the gate electrode layer (156) of the top layer. As the length of extension in one direction becomes shorter from the gate electrode layer (151) of the bottom layer to the gate electrode layer (156) of the top layer, each of the plurality of gate electrode layers (150) may form a step with respect to another adjacent gate electrode layer (150).
- [0037] A peripheral circuit region is disposed outside of the connection region (D). The peripheral circuit region may be arranged with circuits for driving memory cells and circuits for reading information stored in memory cells.
- [0038] FIGS. 4-6 are perspective views illustrating a structure of a nonvolatile memory device in accordance with embodiments of the present invention.
- [0039] Fig. 4 is a perspective view showing a nonvolatile memory device (100) according to an embodiment of the present invention, showing a cut-away portion along the I-I' direction of Fig. 3. Some of the components included in the memory cell in FIGS. 2 and 3 may be omitted in FIG. 4. For example, the bit line (190) and the connecting line (220) indicated in FIG. 3 are omitted in FIG. 4.
- [0040] Referring to FIG. 4, a nonvolatile memory device (100) may comprise a plurality of gate electrode layers (151-156: 150) stacked over the top surface of the substrate (105) along the z-axis direction and a plurality of insulating layers (171-177: 170) disposed between the plurality of gate electrode layers (150). The plurality of gate electrode layers (150) and the plurality of insulating layers (170) may extend along the x-axis direction.

The cell array region (C) may further comprise a channel region (130) extending in the z-axis direction in addition to the plurality of gate electrode layers (150) and the insulating layer (170). The channel region (130) may be formed in a cavity having a cylindrical cross-section and a buried insulating layer (120) may be disposed within the channel region (130). A conductive layer (195) may be arranged on the channel region (130), and a bit line (190) and a channel region (130) may be connected to each other via the conductive layer (195).

[0041] A gate insulating film may be disposed between the channel region (130) and the gate electrode layer (150), wherein the gate insulating film may comprise a tunneling layer, a charge storage layer, a blocking layer, or the like. Depending on the structure of the nonvolatile memory device (100), the tunneling layer, the charge storage layer, and the blocking layer may all be arranged to surround the gate electrode layer (150), or some may be arranged outside the channel region (130) such that they extend in the z-axis parallel to the channel region (130), and the rest may be arranged to surround the gate electrode layer (150). FIG. 4 illustrates that the tunneling layer and the charge storage layer are disposed outside the channel region (130) such that they extend parallel to the channel region (130) in the z-axis direction, and that the blocking layer (162) is disposed to surround the gate electrode layer (150).

[0042] Each gate electrode layer (150) and insulating layer (170) may extend a different length along the x-axis direction with respect to another gate electrode layer (150) and insulating layer (170) stacked at different locations in the z-axis direction to form a plurality of steps having a staircase shape within the connection region (D). Due to the step arranged such that the plurality of gate electrode layers (150) and the insulating layer (170) extend to different lengths along the x-axis direction, a plurality of pad regions may be formed in the connection region (D), and an etch-stop layer (110) may be disposed on each gate electrode layer (150) in the plurality of pad regions. In FIG. 4, the insulating layer (170) is depicted as being positioned above the gate electrode layer (150) along the z-axis direction in each pad region, but conversely, the gate electrode layer (150) may be positioned above the insulating layer (170).

[0043] The connection region (D) may be provided with a plurality of contact plugs (201-206: 200) electrically connected to the gate electrode layer (150) through the connection region insulating layer (180) and the insulating layer (170) in each pad region. The plurality of contact plugs (200) extends along the z-axis direction and may comprise a material that is similarly electrically conductive as the gate electrode layer (150). In an example, the plurality of contact plugs (200) may comprise the same material as the gate electrode layer (150), and the plurality of contact plugs (200) formed at the same location in the x-axis direction may be electrically connected to each other by the connecting line shown in FIG. 3 (221-226: 220).

[0044] To form a plurality of contact plugs (200) in the connection region (D), an etching process is needed for the plurality of insulating layers (170) and the connection region insulating layer (180) after forming the plurality of pad regions. A plurality of vertical openings extending in the z-axis direction is formed by the etching process and may form contact plugs (200) by embedding electrically conductive material in the plurality of vertical openings.

[0045] Because the plurality of vertical openings formed by the etching process have different lengths in the z-axis direction, the gate electrode layer (156) located at the top in the z-axis direction should not be penetrated by the etching process until the plurality of insulating layers (170) and the connection region insulating layer (180) are etched to form a contact plug (201) that reaches the gate electrode layer (151) at the bottom. Thus, if the etch selectivity is not appropriate, some of the gate electrode layers (150) located at the upper portion may be pierced by the vertical opening in the z-axis direction by the etching process, resulting in a bridge failure in which some gate electrode layers (150) are electrically connected to each other after embedding the electrically conductive material.

[0046] To prevent such defects in the present invention, one or more etch-stop layers (110) may be formed on the gate electrode (150) in a plurality of pad regions. The etch-stop layer (110) may have the same composition (e.g., Al_2O_3) as at least a portion of the gate insulating film (160) surrounding each of the plurality of gate electrode layers (150). In forming a contact plug (200), an etching process is performed on a connection region insulating layer (180) so as to have a selectivity with respect to a material included in an etching stop layer (110), and then an etching process is applied so as to have a selectivity with respect to a conductive material included in a gate electrode layer (150), thereby forming a contact plug (200) so as to prevent connection failures due to penetration of the gate electrode layer (150) or insufficient etching.

[0047] The etch-stop layer (110) may prevent a contact plug (206) having a relatively short length from penetrating the gate electrode layer (156) located thereon while forming a contact plug (201) having a relatively long length in the z-axis direction. Accordingly, the etch-stop layer (110) may be formed only on some of the plurality of gate electrode layers (150). For example, it may be formed only on three gate electrode layers (154, 155, 156) located

at the top so as not to penetrate the gate electrode layer (150) during the process of forming the contact plug (200).

[0048] On the other hand, FIG. 4 shows that four memory cells (MC1-MC4) and one string-selection transistor (SST) and ground-selection transistor (GST) are in place, but this is only an example, and the number of memory cells and the number of string-selection transistors (SSTs) and ground-selection transistors (GSTs) may be higher or lower. Further, although FIG. 4 shows that memory cells (MC1-MC4) and a string-selection transistor (SST) and a ground-selection transistor (GST) have the same structure, the string-selection transistor (SST) and ground-selection transistor (GST) may have a different structure than the memory cells (MC1-MC4).

[0049] FIG. 5 is a perspective view illustrating a nonvolatile memory device (100A) according to another embodiment of FIG. 4. Referring to FIG. 5, the step facing the channel region (130), memory cells (MC1-MC4), string selection transistor (SST), ground selection transistor (GST), connection region (D), the plurality of contact plugs (200) connected to each of the plurality of gate electrode layers (150) in the plurality of pad regions, and the plurality of pad regions are the same as FIG. 4. However, in the embodiment shown in FIG. 5, a plurality of etch-stop layers (110a, 110b) is provided having a shape corresponding to a step arranged in the connection region (D). Between the plurality of etch-stop layers (110a, 110b), an insulating layer (AD2) may be further arranged to physically separate the etch-stop layers (110a, 110b) from each other.

[0050] In an etching process forming a plurality of contact plugs (200), a vertical opening in which a contact plug (206) is formed in connection with a gate electrode layer (156) located at the top in the z-axis direction should not penetrate the top gate electrode layer (156) until the vertical opening in which a contact plug (201) is formed is etched in connection with the gate electrode layer (151) at the bottom. In the nonvolatile memory device (100A) shown in FIG. 5, an etching process can be carried out to form two or more etch-stop layers (110a, 110b) and to have a selectivity with the materials included in the etch-stop layers (110a, 110b).

[0051] Therefore, during each long process of forming a vertical opening corresponding to a contact plug (201) connected to the bottom gate electrode layer (151), each process of forming a vertical opening corresponding to the contact plug (206) connected to the top gate electrode layer (156) may be temporarily stopped or slowed down by a plurality of etch-stop layers (110a, 110b), thereby preventing defects caused by penetration of the top gate electrode layer (156). On the other hand, in the nonvolatile memory device (100A) shown in FIG. 5, the etch-stop layer (110a, 110b) may be formed only on some of the gate electrode layer (150) located at the top in the z-axis direction. Alternatively, the first etch-stop layer (110a) may be formed such that it is located on all gate electrode layers (150) as in FIG. 5, and the second etch-stop layer (110b) may only be formed on some of the gate electrode layer (150) located at the top in the z-axis direction.

[0052] FIG. 6 is a perspective view illustrating a nonvolatile memory device (100B) according to another embodiment of FIGS. 4 and 5. Referring to FIG. 6, a nonvolatile memory device (100B) according to an embodiment may comprise a plurality of gate electrode layers (150) and a plurality of insulating layers (170) alternately stacked along the z-axis direction above the top surface of the substrate (105). A cavity may be arranged in the cell array region (C) through the plurality of gate electrode layers (150) and insulation layers (170) to the substrate (105) along the z-axis direction, and a channel region (130) may be arranged in the penetrated cavity.

[0053] The plurality of gate electrode layers (150) and the plurality of insulating layers (170) each may extend along the x-axis direction to different lengths to form a step with respect to the other adjacent gate electrode layers (150) and insulating layers (170). The steps provide a plurality of pad regions in the connection region (D), wherein a contact plug (200) is formed through an insulating layer (170) to electrically connect with the gate electrode layer (150) in each pad region. The nonvolatile memory device (100B) shown in FIG. 6 is described below, centered around the structural features different from FIGS. 4 and 5.

[0054] Referring to FIG. 6, an etch-stop layer (110c) extending parallel to the gate electrode layer (150) along the x-axis direction is arranged between the gate electrode layers (150) adjacent to each other. FIG. 5 illustrates that one etch-stop layer (110c) is provided in one insulating layer (170), but a plurality of etch-stop layers (110c) may be provided within one insulating layer (170). The etch-stop layer (110c) may comprise the same material as the gate insulating film (160') surrounding each of the gate electrode layers (150), extending along the x-axis direction to the same length as the adjacent gate electrode layer (150).

[0055] By arranging an etch-stop layer (110c) in a structure as shown in FIG. 6, an effect similar to the embodiment of FIGS. 4 and 5 can be obtained. A plurality of vertical openings extending in the z-axis direction may be arranged through an etching process to form a plurality of pad regions by etching the plurality of gate electrode layers (150) and the insulating layer (170) respectively to form a step with respect to other gate electrode layers (150) and insulating layer (170) adjacent in the z-axis direction.

[0056] At this time, a plurality of vertical openings in which contact plugs (200) are formed may be made to reach the etch-stop layer (110c) by applying an etching process having a selectivity with the etch-stop layer (110c). Some vertical openings corresponding to the contact plug (200) connected to the gate electrode layer (150) located at

the top in the z-axis direction may also need to penetrate the etch-stop layer (110c) to reach the gate electrode layer (150). Thus, by selectively etching the connection region insulating layer (180) relative to the etch-stop layer (110c), each vertical opening can be controlled to prevent defects of penetrating the gate electrode layer (150). On the other hand, in order to electrically connect the gate electrode layer (150) and the contact plug (200), the vertical opening in which the contact plug (200) is formed may be formed to a depth that digs into the gate electrode layer (150) by a predetermined depth.

[0057] Like in FIGS. 4 and 5, in the nonvolatile memory device (100B) of FIG. 6, the etch-stop layer (110c) may be formed only on some of the gate electrode layer (150) located at the top in the z-axis direction. For example, an etch-stop layer (110c) may be provided only on the two gate electrode layers (155, 156) located at the top in the z-axis direction, and an etch-stop layer (110c) may not be provided on the other four gate electrode layers (151 to 154). The number of gate electrode layers (150) in which the etch-stop layer (110c) is formed may be modified as appropriate.

[0058] FIG. 7a is an enlarged view of part A in a nonvolatile memory device according to the embodiment shown in FIG. 4.

[0059] FIG. 7a is an enlarged partial view of part A of FIG. 4 to describe the channel region (130) and the gate insulating film (160). Referring to FIG. 7a, a gate electrode layer (154) comprised in a memory cell (MC3) and insulating layers (173, 174) located above and below the gate electrode layer (154) are shown. The channel region (130) extends in the z-axis direction, and within the channel region (130), for example, a buried insulating layer (120) comprising silicon oxide (SiO_2) may be arranged. Between the gate electrode layer (154) and the insulating layers (173, 174) and the channel region (130), the tunneling layer (166) and the charge storage layer (164) may be stacked sequentially from the channel region (130).

[0060] The gate electrode layer (154) is surrounded by a blocking layer (162), and consequently between the channel region (130) and the gate electrode layer (154) is sequentially disposed, from the channel region (130), the tunneling layer (166), the charge storage layer (164), and the blocking layer (162). The thickness of the blocking layer (162), the charge storage layer (164), and the tunneling layer (166) included in the gate insulating film (160) is not limited to that shown in FIG. 7a and may vary. On the other hand, in this example, the thickness of the etch-stop layer (110) may be no more than twice the thickness of the blocking layer (162) to prevent the material included in the gate electrode layer (154) from flowing into the etch-stop layer (110).

[0061] The tunneling layer (166) may comprise at least one of silicon oxide (SiO_2), silicon nitride (Si_3N_4), silicon oxynitride (SiON), hafnium oxide (HfO_2), hafnium silicon oxide (HfSi_xO_y), aluminum oxide (Al_2O_3), and zirconium oxide (ZrO_2).

[0062] The charge storage layer (164) may be a charge trap layer or a floating gate conductor. If the charge storage layer (164) is a floating gate, polysilicon may be deposited and formed, for example, by low pressure chemical vapor deposition (LPCVD). If the charge storage layer (164) is a charge trap layer, it may comprise at least one of: silicon oxide (SiO_2), silicon nitride (Si_3N_4), silicon acid nitride (SiON), hafnium oxide (HfO_2), zirconium oxide (ZrO_2), tantalum oxide (Ta_2O_3), titanium oxide (TiO_2), hafnium aluminum oxide (HfAl_xO_y), hafnium tantalum oxide (HfTa_xO_y), hafnium silicon oxide (HfSi_xO_y), aluminum nitride (Al_xN_y), and aluminum gallium nitride (AlGa_xN_y).

[0063] The blocking layer (162) may comprise silicon oxide (SiO_2), silicon nitride (Si_3N_4), silicon oxynitride (SiON) or a high-k dielectric material. The high-k dielectric material may be any one of aluminum oxide (Al_2O_3), tantalum oxide (Ta_2O_3), titanium oxide (TiO_2), yttrium oxide (Y_2O_3), zirconium oxide (ZrO_2), zirconium silicon oxide (ZrSi_xO_y), hafnium oxide (HfO_2), hafnium silicon oxide (HfSi_xO_y), lanthanum oxide (La_2O_3), lanthanum aluminum oxide (LaAl_xO_y), lanthanum hafnium oxide (LaHf_xO_y), hafnium aluminum oxide (HfAl_xO_y), and praseodymium oxide (Pr_2O_3). The permittivity of the material included in the blocking layer (162) may be higher than that of the tunneling layer (166), and optionally the blocking layer (162) may comprise a plurality of layers having different permittivities. At this time, by placing a layer with a relatively low permittivity closer to the channel region (130) than a layer with a high permittivity, energy bands such as barrier height can be adjusted to enhance the properties of a nonvolatile memory device, such as an erase characteristics.

[0064] FIGS. 7b and 7c are enlarged views of a B portion in a nonvolatile memory device according to the embodiment shown in FIG. 6.

[0065] Referring to FIG. 7b first, a channel region (130) is arranged in the z-axis direction similar to FIG. 7a, and a buried insulation layer (120) is arranged inside the channel region (130). The outside of the channel region (130) may be alternately disposed with the gate electrode layer (154) and the insulating layers (173, 174), and between the gate electrode layer (154) and the insulating layers (173, 174) and the channel region (130), the tunneling layer (166) and the charge storage layer (164) may be sequentially disposed from the channel region (130).

- [0066] The gate electrode layer (154) is surrounded by a blocking layer (162), and consequently between the channel region (130) and the gate electrode layer (154), the tunneling layer (166), the charge storage layer (164), and the blocking layer (162) can be sequentially disposed from the channel region (130). The thickness of the blocking layer (162), charge storage layer (164) and tunneling layer (166) included in the gate insulating film (160) is not limited to that shown in FIG. 7B and can be varied.
- [0067] On the other hand, an etch-stop layer (110) may be provided within each insulating layer (173, 174). The etch-stop layer (110) may comprise the same material as the blocking layer (162) surrounding the gate electrode layer (154), and may comprise, for example, aluminum oxide (Al_2O_3). FIG. 7B illustrates that one etch-stop layer (110) is included in each insulating layer (173, 174), but two or more etch-stop layers (110) may be included in each insulating layer (173, 174). In order to prevent the conductive material included in the gate electrode layer (154) from being included in the etch-stop layer (110), the thickness of the etch-stop layer (110) may be less than twice the thickness of the blocking layer (162).
- [0068] FIG. 7c is an enlarged view of part B in a nonvolatile memory device according to the embodiment shown in FIG. 6. FIG. 7c has a structure similar to FIG. 7b and has a structure different from FIG. 7b only for the gate insulating film (160). A buried insulation layer (120) is provided within the channel region (130) extending along the z-axis direction, and the gate electrode layer (154) and insulation layers (173, 174) are alternately stacked on the outside of the channel region (130).
- [0069] However, in FIG. 7c, the tunneling layer (166) and the charge storage layer (164) arranged between the gate electrode layer (154) and the channel region (130) may have a shape in which the tunneling layer (166') and the charge storage layer (164') surround the gate electrode layer (154) together with the blocking layer (162'), unlike the embodiment of FIG. 7b, which extends along the channel region (130). Even in the case of FIG. 7c, the thickness of the blocking layer (162'), charge storage layer (164') and tunneling layer (166') included in the gate insulating film (160') is not limited to that shown in FIG. 7c and can be varied.
- [0070] In the embodiment of FIG. 7c, the etch-stop layer (110c) may comprise the same material as the material included in at least one of the blocking layer (162'), the charge storage layer (164') and the tunneling layer (166'). In forming the channel region (130) as shown in FIG. 7c, the tunneling layer (166'), charge storage layer (164'), and blocking layer (162') may be sequentially disposed prior to forming the gate electrode layer (154) with the electrically conductive material. Thus, if the thickness of the etch-stop layer (110c) is not more than twice the thickness of the tunneling layer (166'), the etch-stop layer (110c) may comprise the same material as the tunneling layer (166'), and if the thickness of the etch-stop layer (110c) is greater than twice the thickness of the tunneling layer (166') and less than twice the total thickness of the tunneling layer (166') and the charge storage layer (164'), the etch-stop layer (110c) may comprise all of the materials in both the tunneling layer (166') and the charge storage layer (164').
- [0071] Furthermore, if the thickness of the etch-stop layer (110c) is less than twice the total thickness of the gate insulating film (160'), and is greater than twice the total thickness of the tunneling layer (166') and the charge storage layer (164'), it may include all of the materials included in each of the blocking layer (162'), charge storage layer (164') and tunneling layer (166'). Since the etch-stop layer (110c) is penetrated by the contact plug (200), no electrically conductive material should be included in the etch-stop layer (110) to prevent each of the plurality of contact plugs (200) from electrically connecting to each other, so that the thickness of the etch-stop layer (110c) may be formed no greater than twice the total thickness of the gate insulating film (160'). On the other hand, the gate insulating film (160') structure as shown in FIG. 7c may be applied to the nonvolatile memory device (100B) as shown in FIG. 6, as well as the nonvolatile memory device (100, 100A) as shown in FIGS. 4 and 5.
- [0072] Hereinafter, a method of making a nonvolatile memory device shown in FIGS. 4-6 with reference to FIGS. 8-10 is described.
- [0073] FIGS. 8a-8m are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 4. FIGS. 8a-8m are cross-sectional views of the perspective view of FIG. 4 in the y direction according to the order of the process.
- [0074] Referring to FIG. 8a, a plurality of insulating layers (171-177: 170) and a plurality of sacrificial layers (141-146: 140) are alternately stacked on the substrate (105). The sacrificial layer (140) can be formed from a material that can be etched with etch selectivity relative to the insulating layer (170). That is, the sacrificial layer (140) can be formed from a material that can be etched while minimizing etching of the insulating layer (170) in the process of etching the sacrificial layer (140). This etch selectivity can be expressed quantitatively through the ratio of the etch rate of the insulating layer (170) to the rate of the sacrificial layer (140). For example, the

insulating layer (170) may be at least one of a silicon oxide film and a silicon nitride film, and the sacrificial layer (140) may be a different material than the insulating layer (170) selected from a silicon film, a silicon oxide film, a silicon carbide, and a silicon nitride film.

- [0075] In FIG. 8a, the thickness of each of the plurality of insulating layers (170) may differ from each other depending on the embodiment. For example, an insulating layer (171) located at the bottom in the z-axis direction may have a relatively thin thickness compared to other insulating layers (172-177), and an insulating layer (177) located at the top may be relatively thick compared to other insulating layers (171-176). In other words, the thickness of the insulating layer (170) and the sacrificial layers (140) may be modified in various ways, not limited to that shown in FIG. 8a, and the layer number of films comprising the insulating layer (170) and the sacrificial layer (140) may also be modified in various ways.
- [0076] A first mask layer (M1) is formed over a plurality of alternately stacked insulating layers (170) and sacrificial layers (140). The first mask layer (M1) may comprise a photo resist and may be formed from a composite layer of photosensitive material and non-photosensitive material.
- [0077] The plurality of insulating layers (170) and sacrificial layers (140) exposed by the first mask layer (M1) in FIG. 8a can be etched out and removed. The phase etching process can be performed by anisotropic etching using dry etching or wet etching. When using dry etching, a removal process can be performed in a plurality of steps to sequentially etch the stacked insulating layers (170) and the sacrificial layers (140).
- [0078] By etching and removing a plurality of insulating layers (170) and sacrificial layers (140) exposed by the first mask layer (M1), the first mask layer (M1) may be trimmed. The trimming process may be subjected to dry etching or wet etching, wherein the trimming process forms a second mask layer (M2) with the edge portion of the first mask layer (M1) removed as shown in FIG. 8b. At this time, the trimming process may reduce the x-axis direction length of the first mask layer (M1) as well as the height in the z-axis direction.
- [0079] Referring to FIG. 8c, a plurality of insulating layers (170) and sacrificial layers (140) exposed by the second mask layer (M2) can be etched in the same manner as FIG. 8b. At this time, the etching process of FIG. 8c may proceed from the bottom to the second insulating layer (172), from which a first pad region may be formed. Once the etching process is completed, a trimming process for the second mask layer (M2) may be performed to form a third mask layer (M3) covering an area narrower than the second mask layer (M2). The plurality of insulating layers (173-177) and the sacrificial layer (142-146) exposed by the third mask layer (M3) may be etched to form a second pad region.
- [0080] By repeating the etching process and trimming process for the plurality of insulating layers (170) and the sacrificial layers (140) according to the manner described with reference to FIGS. 8b and 8c, a structure as shown in FIG. 8d can finally be formed. Referring to FIG. 8d, each insulating layer (170) and the sacrificial layer (140) are paired, and the insulating layer (170) and the sacrificial layer (140) included in the pair may extend along one direction - x-axis direction - to the same length as each other. Exceptionally, the sacrificial layer (141) located at the bottom in the z-axis direction may have the insulating layers (171, 172) disposed in its upper and lower portions, each extending by the same length in one direction.
- [0081] Furthermore, the insulation layer (170) and the sacrificial layer (140) included in one pair may extend in the x-axis direction by different lengths than the insulation layer (170) and the sacrificial layer (140) included in another adjacent pair to form a plurality of steps as shown in FIG. 8d. The area exposed by the plurality of steps may be defined as a plurality of pad regions (P1-P6).
- [0082] Referring to FIG. 8e, an insulating layer (AD) may further be formed on a plurality of insulating layers (170) and sacrificial layers (140) with a plurality of pad regions (P1-P6). The insulating layer (AD) may be formed to cover an end of the plurality of insulating layers (170), and hereafter, the plurality of insulating layers (170) may be used as a term including an insulating layer (AD) formed in FIG. 8e together with an insulating layer (171-177) disposed between the plurality of sacrificial layers (140). The insulating layer (AD) formed in FIG. 8e may have a relatively thin thickness compared to the insulating layer (171-177) disposed between the plurality of sacrificial layers (140), and the etch-stop sacrificial layer (115) formed in FIG. 8f may be physically separated from the plurality of sacrificial layers (140). The insulating layer (AD) may comprise the same material as the insulating layer (171-177) provided between the plurality of sacrificial layers (140), so that in the figures after FIG. 8f, the insulating layer (AD) is to be referred to as integrated into the insulating layer (170), without distinction from the insulating layer (171-177) provided between the plurality of sacrificial layers (140).
- [0083] Referring then to FIG. 8f, an etch-stop sacrificial layer (115) is formed on the insulating layer (170). The etch-stop sacrificial layer (115) may comprise the same material as the plurality of sacrificial layers (140) and may have a thickness less than twice the thickness of the gate insulating film (160) that is subsequently formed. The

thickness limitation may be to prevent an electrically conductive material from flowing into the etch-stop layer (110) as the etch-stop sacrificial layer (115) and the plurality of sacrificial layers (140) are removed by the etch process and the process of forming the etch-stop layer (110) and the plurality of gate electrode layers (150) is performed. Where only the blocking layer (162) is provided in the first side opening (T1), such as in FIGS. 7a or 7b, the etch-stop sacrificial layer (115) may be no more than twice the thickness of the blocking layer (162), and in the case of FIG. 7c, may be no more than twice the thickness of the gate insulating film (160') comprising all of the blocking layer (162'), the charge storage layer (164'), and the tunneling layer (166').

[0084] Once the etch-stop sacrificial layer (115) is in place, a connection region insulating layer (180) can be formed on the etch-stop sacrificial layer (115) as shown in FIG. 8g. The connection region insulating layer (180) may comprise the same material as the plurality of insulating layers (170). In a method of manufacturing according to an embodiment of a nonvolatile memory device, a cell array region (C) and a connection region (D) may be formed after the peripheral circuit region is first formed. In this case, the heights of the cell array region (C), the connection region (D), and the peripheral circuit region may be equal by the formation and planarization process of the connection region insulating layer (180).

[0085] Once the connection region insulating layer (180) is formed, a channel region (130) may be formed as shown in FIG. 8h. To form a channel region (130), a plurality of openings may be formed through the plurality of insulating layers (170) and the sacrificial layer (140) in the z-axis direction. The plurality of openings may be arranged in the form of zig-zags in an x-y plane, and the plurality of openings may be spaced apart and isolated from each other in an x-y plane. The plurality of openings may be formed by exposing only the area in which the plurality of openings is arranged by the mask layer and anisotropically etching the exposed area, similar to the method of forming the plurality of pad regions (P1-P6). Each of the openings of the plurality may expose the top surface of the substrate (105) or may have a depth that digs into the substrate (105) by a predetermined depth.

[0086] The charge storage layer (164) and tunneling layer (166) can be formed using ALD or CVD on the inner surface and the underside of each of the multiple openings. A charge storage layer (164) and a tunneling layer (166) are stacked in order from an area adjacent to the plurality of sacrificial layers (140) and insulating layers (170), and a channel region (130) is formed inside the tunneling layer (166). The channel region (130) may be formed at a predetermined thickness, such as a thickness ranging from 1/50 to 1/5 of the width of each of the plurality of openings, and may be formed by ALD or CVD similar to the charge storage layer (164) and tunneling layer (166). On the other hand, the channel region (130) at the bottom surface of each of the openings may be in direct contact with the substrate (105) and electrically connected.

[0087] The inside of the channel region (130) may be filled with buried insulation layer (120). Optionally, prior to forming the buried insulating layer (120), a hydrogen annealing step (H) can be further performed in which the structure having the channel region (130) is heat treated in a gas atmosphere comprising hydrogen or deuterium. By the hydrogen annealing step, many of the crystal defects present in the channel region (130) can be cured.

[0088] The structure is according to the embodiment shown in FIG. 7a, but it is of course possible that a channel region (130) may be formed with other structures. For example, after forming a plurality of openings, a channel region (130) can be formed immediately without the process of forming a charge storage layer (164) and a tunneling layer (166) and a buried insulating layer (120) can be formed inside the channel region (130). At this time, the tunneling layer (166) and the charge storage layer (164) may be formed and placed outside the blocking layer (162) prior to the process of forming the blocking layer (162) and the gate electrode layer (150) as shown in the example shown in FIG. 7c.

[0089] Next, a planarization process can be performed to remove unnecessary semiconductor material and insulating material covering the top connection region insulating layer (180). The top of the buried insulating layer (120) can then be partially removed using an etching process or the like, and a material that constitutes a conductive layer (195) can be deposited at the removed location. Again, a planarization process may be performed, such that a conductive layer (195) may be formed.

[0090] When the channel region (130) is formed, a plurality of sacrificial layers (140) and an etch-stop sacrificial layer (115) can be removed to form side openings (T1, T2) as shown in FIG. 8i. As the plurality of sacrificial layers (140) is removed, a plurality of first side openings (T1) may be provided between the plurality of insulating layers (170), and an etch-stop sacrificial layer (115) may be removed between the plurality of insulating layers (170) and the connection region insulating layer (180) to provide a second side opening (T2).

[0091] Referring to FIG. 8j, a blocking layer (162) and a gate electrode layer (151-156: 150) can be formed in the side openings (T1, T2). As described in FIG. 8f, to prevent the introduction of electrically conductive material, the thickness of the etch-stop sacrificial layer (115) may be no more than twice the thickness of the blocking layer (162) formed within the first side opening (T1), and thus the thickness of the second side opening (T2) may also be no more than twice the thickness of the blocking layer (162).

- [0092] A blocking layer (162) and a gate electrode layer (150) are formed in order in the first side opening (T1), wherein the blocking layer (162) can be formed by an ALD, CVD, or Physical Vapor Deposition (PVD) process, as can the charge storage layer (164) and tunneling layer (166). At this time, the same material as the blocking layer (162) may also be introduced into the second side opening (T2) such that an etch-stop layer (110) may be formed, and by defining the thickness of the second side opening (T2) as above, the inner subspace of the second side opening (T2) may be completely filled with the same material as the blocking layer (162).
- [0093] That is, the electrically conductive material included in the gate electrode layer (150) may not flow into the second side opening (T2) but may only flow into the first side opening (T1). The blocking layer (162) and the etch-stop layer (110) may be comprised of aluminum oxide (Al_2O_3), and the gate electrode layer (150) may comprise an electrically conductive material, such as tungsten (W).
- [0094] Once the blocking layer (162) and the etch-stop layer (110) and the gate electrode layer (150) are formed, a plurality of vertical openings (211-216: 210) for forming the contact plug (200) may be formed by an etching process in a z-axis direction parallel to the channel region (130) as shown in FIG. 8k. An etching process forming a plurality of vertical openings (210) may comprise a process for selectively etching a material included in a connection region insulation layer (180) with respect to an etch-stop layer (110), thereby preventing problems in which at least some of the plurality of gate electrode layers (150) are penetrated or not connected to the vertical opening (210). This will be explained in detail below.
- [0095] In an etching process that simultaneously forms a plurality of vertical openings (210), a first vertical opening (211) connected with a gate electrode layer (151) positioned at the bottom in the z-axis direction may require a relatively long etching process time compared to other vertical openings (212-216). Further, for the sixth vertical opening (216), it may be formed in a relatively short etching process time compared to other vertical openings (211-215). Thus, if etching is carried out under constant conditions without a particular process condition change or an etch-stop layer (110), the etching process may be continued for a time required to form the first vertical opening (211), such that the sixth vertical opening (216) may be connected to another gate electrode layer (155) through the gate electrode layer (156).
- [0096] In the present invention, the above problem can be solved by arranging an etch-stop layer (110) on the gate electrode layer (150) in a pad region (P1-P6) defined by a step in which each gate electrode layer (150) extends in the x-axis direction to be produced.
- [0097] When forming the vertical opening (210), an etching process may be carried out such that the materials included in the etch-stop layer (110) and a predetermined selectivity is present, and the rate of the etching process may be slowed when each vertical opening (210) formed by the etching process reaches the etch-stop layer (110) in the z-axis direction. While the etching process continues to form another vertical opening (211-215), the sixth vertical opening (216) reaches the etch-stop layer (110) first and proceeds to etch at a slow rate, so that the sixth vertical opening (216) does not penetrate the gate electrode layer (156).
- [0098] The etching process forming the plurality of vertical openings (210) may comprise a first etching process selectively etching a plurality of insulating layers (170) relative to the etch-stop layer (110) and a second etching process selectively etching a plurality of insulating layers (170) relative to the gate electrode layer (150). While some vertical openings (210) that reached the etch-stop layer (110) are slowly etched using a first etching process, other vertical openings (210) can be formed to a desired depth. Once the vertical opening (210) is reached to the etch-stop layer (110) by the first etching process, the z-axis direction length of each vertical opening (210) may be extended to dig into the plurality of gate electrode layers (150) by a certain depth using the second etching process.
- [0099] When multiple vertical openings (210) are in place, they can be filled with electrically conductive material into each vertical opening (210) as shown in Figure 8l to form a plurality of contact plugs (201-206: 200). The electrically conductive material filling the vertical opening (210) may be the same as the electrically conductive material included in the gate electrode layer (150), in an example it may be tungsten (W). A plurality of contact plugs (200) may be formed with a plurality of connecting lines (221-226: 220) as in FIG. 8m. The plurality of connecting lines (220) may be formed in a direction parallel to the bit line (190) or intersecting with a direction in which the plurality of gate electrode layers (150) extends, and may electrically connect at least a portion of the gate electrode layers (150) formed at the same height in the z-axis direction to each other.
- [0100] FIGS. 9a-9j are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 5.
- [0101] FIGS. 9a-9j are cross-sectional views of the perspective view of FIG. 5 in the y-axis direction, which may be primarily used to describe in the manufacturing process in the connection region (D).
- [0102] Referring to FIG. 9a, a plurality of insulating layers (170) and sacrificial layers (140) alternately stacked on the top surface of the substrate (105) are etched to provide a plurality of pad regions (P1-P6). Each of the plurality of insulating layers (170) and sacrificial layers (140), by a plurality of pad regions (P1-P6), forms a step with

respect to another insulating layers (170) and sacrificial layers (140). In addition, a portion of the top surface of each insulating layer (170) may be exposed by the plurality of pad regions (P1-P6), and, unlike what is shown in FIG. 9a, a portion of the top surface of each sacrificial layer (140) may be exposed in a plurality of pad regions (P1-P6).

[0103] When multiple pad regions (P1-P6) are in place, an insulating layer (AD) can be further formed on the pad region (P1-P6) and an etch-stop sacrificial layer (115a, 115b) can be provided as shown in FIGS. 9b and 9c. At this time, an insulating layer (AD2) may be further arranged between the first etch-stop sacrificial layer (115a) and the second etch-stop sacrificial layer (115b) to physically separate the first etch-stop sacrificial layer (115a) and the second etch-stop sacrificial layer (115b). Once an etch-stop sacrificial layer (115a, 115b) is in place, a connection region insulation layer (180) can be applied onto the second etch-stop sacrificial layer (115b) and a planarization process can be performed, forming a structure as shown in FIG. 9d.

[0104] Referring to FIG. 9e next, a channel region (130) may be formed. The method of forming a channel region (130) may be the same as described with reference to FIG. 8h above. Once the channel region (130) is formed, the etch-stop sacrificial layer (115a, 115b) and the plurality of sacrificial layers (140) can be removed to provide side openings (T1, T2), as shown in FIG. 9f. The first side opening (T1) corresponds to the space in which the plurality of sacrificial layers (140) was provided, and the second side opening (T2) can correspond to the space in which the etch-stop sacrificial layers (115a, 115b) were provided.

[0105] The side openings (T1, T2) may be introduced with certain materials, such as shown in Figure 9g. At this time, the first side opening (T1) may be first deposited with a blocking layer (162) to form a gate insulating film (160) with the charge storage layer (164) and tunneling layer (166) provided outside of the channel region (130), and a gate electrode layer (150) may be formed with an electrically conductive material such as tungsten (W) within the block layer (162). The second side opening (T2) may be deposited with the same material as the blocking layer (162) such that an etch-stop layer (110a, 110b) is formed.

[0106] The thickness of the second side opening (T2) may be less than twice the thickness of the blocking layer (162) formed within the first side opening (T1). By limiting the thickness of the second side opening (T2) to the conditions described above, electrically conductive materials forming the gate electrode layer (150) in addition to the material forming the gate insulating film (160) can be prevented from flowing into the second side opening (T2).

[0107] Furthermore, a tunneling layer (166) and a charge storage layer (164) are not arranged on the outside of the channel region (130), and tunneling layer (166), charge storage layer (164), and blocking layer (162) all of which are included in the gate insulating film (160) in the first side opening (T1) may be arranged. The thickness of the second side opening (T2) may then be less than twice the total thickness of the gate insulating film (160) comprising the tunneling layer (166), the charge storage layer (164), and the blocking layer (162).

[0108] Once a blocking layer (162) and a gate electrode layer (150) and an etch-stop layer (110a, 110b) are formed, an etching process can be performed in the z-axis direction to prepare a plurality of vertical openings (211-216: 210) connected to each pad area (P1-P6). The plurality of vertical openings (210) may have a width that becomes narrower as they get closer to the substrate (105) depending on etching conditions, and the etching process for forming the plurality of vertical openings (210) may have a predetermined etching selectivity with respect to the etch-stop layers (110a, 110b).

[0109] That is, a vertical opening (210) can be formed using an etching process that selectively etches a connection region insulating layer (180) and a plurality of insulating layers (170) relative to an etch-stop layer (110a, 110b). By using the etching process under the above conditions, a vertical opening (211) connected to the gate electrode layer (151) located at the bottom can be formed while preventing the vertical opening (216) connected to the gate electrode layer (156) located at the top from penetrating the gate electrode layer (156) located at the top.

[0110] Inside the plurality of vertical openings (210) may be filled with an electrically conductive material - for example tungsten (W) - to form contact plugs (201-206: 200), as shown in FIG. 9i, and a plurality of connecting lines (221- 226: 220) may be arranged on the contact plugs (200) as shown in FIG. 9j. The plurality of connecting lines (220) may electrically connect some of the plurality of gate electrode layers (150) arranged at the same height in the z-axis direction to each other and may extend in the y-axis direction. Since the plurality of connecting lines (220) must be electrically connected with the plurality of gate electrode layers (150) through the plurality of contact plugs (200), the etching process forming the vertical opening (210) may comprise an etching process selectively etching the plurality of insulating layers (170) relative to the gate electrode layer (150).

[0111] FIGS. 10a-10i are cross-sectional views provided to describe a method of making a nonvolatile memory device according to the embodiment shown in FIG. 6.

- [0112] FIGS. 10a-10i are cross-sectional views of the perspective view of FIG. 6 in the direction of the y-axis, with a focus on the manufacturing process in the connection region (D).
- [0113] Referring to FIG. 10a, a plurality of insulating layers (171-177: 170) and a plurality of sacrificial layers (141-146: 140) are alternately stacked on the top surface of the substrate (105), and a mask (M) is arranged over the structure with the plurality of insulating layers (170) and the plurality of sacrificial layers (140) alternately stacked. Within the plurality of insulating layers (170), a plurality of etch-stop sacrificial layers (115c) may be formed from the same material as the plurality of sacrificial layers (140).
- [0114] The etch-stop sacrificial layer (115c) can be parallel to the x-y plane, as can the plurality of sacrificial layers (140). FIG. 10a illustrates a structure in which one etch-stop sacrificial layer (115) is formed between adjacent sacrificial layers (140) in the stacking direction, but a plurality of etch-stop sacrificial layers (115c) may be formed between adjacent sacrificial layers (140). In addition, different numbers of etch-stop sacrificial layers (115c) may be formed between adjacent sacrificial layers (140).
- [0115] Referring to FIG. 10b, the process of etching the exposed area by mask (M) and trimming the mask (M) can be repeated similarly as described in FIGS. 8a-8d to form a plurality of pad regions (P1-P6) as shown in FIG. 10b. A connection region insulation layer (180) may be formed on the plurality of pad regions (P1-P6) as shown in FIG. 10c. After forming the connection region insulating layer (180), the heights of the cell array region (C), the connection region (D), and the peripheral circuit region may be made equal by a planarization process.
- [0116] Next, a channel region (130) is formed as shown in FIG. 10d. The method of forming a channel region (130) may be the same as described with reference to FIG. 8h above, with buried insulating layer (120) on the inside of the channel region (130) and tunneling layer (166) and charge storage layer (164) on the outside of the channel region (130) arranged in order. A conductive layer (195) may be arranged on the channel region (130), and the conductive layer (195) may be electrically connected to the bit line (190).
- [0117] When the channel region (130) is formed, a plurality of sacrificial layers (140) and an etch-stop sacrificial layer (115c) provided in the insulating layer (170) can be removed to form a plurality of side openings (T1, T2'). The plurality of first side openings (T1) correspond to the space in which the gate electrode layer (150) is arranged, and the plurality of second side openings (T2') may correspond to the space in which the etch-stop layer (110c) is arranged.
- [0118] The plurality of first side openings (T1) is filled with a blocking layer (162) and a conductive material as shown in FIG. 10f, and the plurality of second side openings (T2') may be filled with the same material as the material included in the blocking layer (162). In one embodiment, where the blocking layer (162) comprises aluminum oxide (Al_2O_3), aluminum oxide may also be embedded in a plurality of second side openings (T2') to form an etch-stop layer (110c). The thickness of the second side opening (T2') may be less than or equal to twice the thickness of the blocking layer (162), so that within the second side opening (T2'), only the material included in the blocking layer (162) may be filled. That is, the second side opening (T2') may comprise a material that is not electrically conductive. A gate electrode layer (150) made of a conductive material - for example, tungsten (W) - may be further formed on the inner side of the blocking layer (162) formed within the first side opening (T1).
- [0119] On the other hand, when both the blocking layer (162), the charge storage layer (164), and the tunneling layer (166) are formed within the first side opening (T1), as shown in the embodiment shown in FIG. 7c, the thickness of the second side opening (T2') may be no more than twice the thickness of the gate insulating film (160) comprising the blocking layer (162), the charge storage layer (164), and the tunneling layer (166). The interior of the second side opening (T2') is filled with a material included in at least one of the blocking layer (162), the charge storage layer (164), and the tunneling layer (166), so that the conductive material included in the gate electrode layer (150) does not flow into the second side opening (T2').
- [0120] Once the etch-stop layer (110c), the blocking layer (162), and the gate electrode layer (150) are formed, an etching process may be performed in the z-axis direction as shown in FIG. 10g to form a plurality of vertical openings (211-216: 210). The etch process forming the vertical openings (210) may have a predetermined etch selectivity with respect to the material included in the etch-stop layer (110c), from which the vertical opening (216) located at the top in the z-axis direction can solve the problem of defects occurring through penetrating the gate electrode layer (156).
- [0121] Contact plugs (201-206: 200) may be formed as shown in FIG. 10h by injecting the same material as the electrically conductive material, for example the gate electrode layer (150), into the vertical openings (210). Referring to FIG. 10i, a plurality of connecting lines (221-226: 220) extending in the y-axis direction is disposed on the contact plug (200), each connecting line (220) being able to electrically connect some of the gate electrode layers (150) disposed in the same position in the z-axis direction to one another.
- [0122] FIGS. 11-13 are cross-sectional views illustrating a structure of a nonvolatile memory device according to another embodiment of the present invention. FIGS. 11-13 show only connection regions (D) in nonvolatile

memory devices for convenience of description.

- [0123] First, with reference to FIG. 11, a plurality of gate electrode layers (151-158: 150) and a plurality of insulating layers (171-179: 170) may be alternately disposed on the substrate (105). Each of the plurality of gate electrode layers (150) and the insulating layer (170) extends a different length in one direction – in the x-axis direction – by an etching process with the mask layer to form a step with respect to another gate electrode layer (150) and insulating layer (170), wherein the step may result in the formation of a plurality of pad regions.
- [0124] Etch-stop layers (110a, 110b) are provided on the gate electrode layer (150) in multiple pad regions. At this time, the etch-stop layers (110a, 110b) may have a shape corresponding to a plurality of pad regions and steps, and may have a step shape as shown in FIG. 11. The etch-stop layers (110a, 110b) may comprise the same material as at least some of the gate insulating film (160) surrounding the plurality of gate electrode layers (150).
- [0125] A plurality of connecting lines (221-228: 220) may be electrically connected with the gate electrode layers (150) by means of contact plugs (201-208: 200) through the etch-stop layers (110a, 110b) and the gate insulating film (160). The connecting lines (220) may extend in the y-axis direction and electrically connect some of the plurality of gate electrode layers (150) stacked at the same height in the z-axis direction to each other.
- [0126] In the etch process of forming a vertical opening to form a contact plug (200), the etch-stop layers (110a, 110b) may serve as a stopper for the etch process. In other words, the etching process may proceed with the process conditions of selectively etching the connection region insulation layer (180) and the plurality of insulation layers (170) relative to the etch-stop layers (110a, 110b). That is, when the connection region insulation layer (180) is etched to reach the etch-stop layers (110a, 110b), the etch rate may be slowed by the etch-stop layers (110a, 110b). Accordingly, during an etching process that simultaneously forms multiple vertical openings, it is possible to prevent a defect in which some vertical openings are excessively etched and penetrate some of the gate electrode layers (150).
- [0127] Fig. 11 shows that one etch-stop layer (110a) is provided on four pad regions located at the top in the z-axis direction and two etch-stop layers (110a, 110b) are provided on four pad regions located at the bottom in the z-axis direction, although the number of etch-stop layers (110a, 110b) is not necessarily limited to this form. The etch-stop layers (110a, 110b) may be arranged in multiple portions of some pad areas located at the top, or may be arranged in only one portion of pad areas located at the bottom, and an equal number of etch-stop layers (110a, 110b) may be arranged on all pad areas, without distinction between the upper and lower portions.
- [0128] Referring to FIG. 12, a plurality of gate electrode layers (151-158: 150) and a plurality of insulating layers (171-179: 170) are stacked together on a substrate (105). Most components of the nonvolatile memory device (100) shown in FIG. 12 are the same as the embodiment of FIG. 11, but the structure of the etch-stop layer (110c) may be different from FIG. 11. In FIG. 12, the etch-stop layer (110c) has a shape that extends in one direction - x-axis direction - like the plurality of gate electrode layers (150), rather than a step shape corresponding to the plurality of pad regions and steps as in FIG. 11. That is, the plurality of etch-stop layers (110c) extends in one direction to have different lengths and may extend in one direction by the same length as the adjacent gate electrode layer (150).
- [0129] As described with reference to FIG. 11, as the etch-stop layer (110c) is provided in the plurality of pad regions in FIG. 12, it may inhibit the occurrence of defects that at least some of the plurality of gate electrode layers (150) are penetrated by the etching process in the etching process forming the plurality of vertical openings to form contact plugs (201-208: 200). The etch process of forming the contact plug (150) with the material contained in the etch-stop layer (110c) and the selectivity may be carried out to relatively slow the rate of the etch process when it reaches the etch-stop layer (110c). Thus, the processes of forming a plurality of vertical openings simultaneously can solve a defect problem that arises from some of the gate electrode layers (150) being penetrated or by not extending the vertical openings to some of the gate electrode layers (150).
- [0130] FIG. 13 is a diagram illustrating a modified form of the embodiment shown in FIG. 12. Referring to FIG. 13, a plurality of etch-stop layers (110c, 110d) are provided adjacent to a plurality of gate electrode layers (151-158: 150), optionally having different numbers of each of the layers (110c, 110d) disposed between the gate electrode layers (150). An etch-stop layer (110c) adjacent to the first, second, seventh, and eighth gate electrode layers (151, 152, 157, 158) comprises only one layer, and an etch-stop layer (110d) adjacent the third to sixth gate electrode layers (153-156) may comprise two layers. However, unlike FIG. 13, it is of course possible to form etch-stop layers (110c, 110d) in a variety of combinations.
- [0131] FIG. 14 is a block diagram illustrating a storage device comprising a nonvolatile memory device according to one embodiment of the present invention.
- [0132] Referring to FIG. 14, a storage device (1000) according to an embodiment may include a controller (1010) in communication with a host (HOST) and a memory (1020-1, 1020-2, 1020-3) storing data. Each memory (1020-1, 1020-2, 1020-3) may include a nonvolatile memory device according to various embodiments of the invention, such as described above with reference to FIGS. 1-13.

- [0133] The host (HOST) in communication with the controller (1010) may be a variety of electronic devices on which the storage device (1000) is mounted, for example, a smartphone, a digital camera, a desktop, a laptop, a media player, and the like. The controller (1010) may receive a data write or read request from the host (HOST) to store the data in memory (1020-1, 1020-2, 1020-3) or generate a command (CMD) to retrieve the data from memory (1020-1, 1020-2, 1020-3).
- [0134] As shown in FIG. 14, one or more memory (1020-1, 1020-2, 1020-3) in a storage device (1000) may be connected in parallel to the controller (1010). By connecting a plurality of memory (1020-1, 1020-2, 1020-3) in parallel to the controller (1010), a storage device (1000) with a large capacity, such as a Solid State Drive (SSD), may be implemented.
- [0135] FIG. 15 is a block diagram illustrating an electronic device comprising a nonvolatile memory device according to one embodiment of the present invention.
- [0136] Referring to FIG. 15, an electronic device (2000) according to one embodiment may include a communication section (2010), an input section (2020), an output section (2030), a memory (2040), and a processor section (2050).
- [0137] Communication section (2010) may include wired/wireless communication modules and may include wireless Internet modules, near field communication modules, GPS modules, mobile communication modules, and the like. The wired/wireless communication modules included in the communication section (2010) may be connected to an external communication network by various communication standard specifications to transmit and receive data.
- [0138] An input section (2020) is a module provided for a user to control the operation of an electronic device (2000), which may include a mechanical switch, a touch-screen, a speech recognition module, or the like. In addition, the input section (2020) may comprise a mouse, or a finger mouse device, operating in a track ball or laser pointer manner, or the like, and may further comprise a variety of sensor modules in which the user can enter data.
- [0139] An output section (2030) outputs information processed in an electronic device (2000) in the form of voice or images, and memory (2040) may store programs, data, etc. for processing and control of processor (2050). The memory (2040) may contain one or more nonvolatile memory devices according to various embodiments of the present invention, such as described above with reference to FIG. 1 to FIG. 13, and the processor (2050) may transfer instructions to the memory (2040) to store or retrieve data according to the required operation.
- [0140] The memory (2040) may be embedded in an electronic device (2000) or may communicate with the processor (2050) via a separate interface. When communicating with the processor (2050) via a separate interface, the processor (2050) may store or retrieve data to memory (2040) via various interface specifications such as SD, SDHC, SDXC, MICRO SD, USB, etc.
- [0141] The processor (2050) can control the operation of each part included in the electronic device (2000). The processor (2050) may perform control and processing related to voice calls, video calls, data communications, etc., or perform control and processing for multimedia playback and management. In addition, the processor (2050) may process the input delivered from the user via the input section (2020) and output the result via the output section (2030). In addition, the processor (2050) may store the data required to control the operation of the electronic device (2000) in memory (2040) or retrieve from memory (2040) as described above.

Description of Symbols

- [0142] 100: Nonvolatile memory device 105: Substrate
- 110: Etch-stop layer 115: Etch-stop sacrificial layer
- 120: Buried insulating layer 130: Channel region
- 140: Sacrificial layer 150: Gate electrode layer
- 160: Gate insulation film 162: Blocking layer
- 164: Charge storage layer 166: Tunneling layer
- 170: Insulating layer 180: Connection region insulating layer
- 190: Bit line 195: Conductive layer
- 200: Contact plug 210: Vertical opening
- 220: Connecting line P1-P6: Pad region

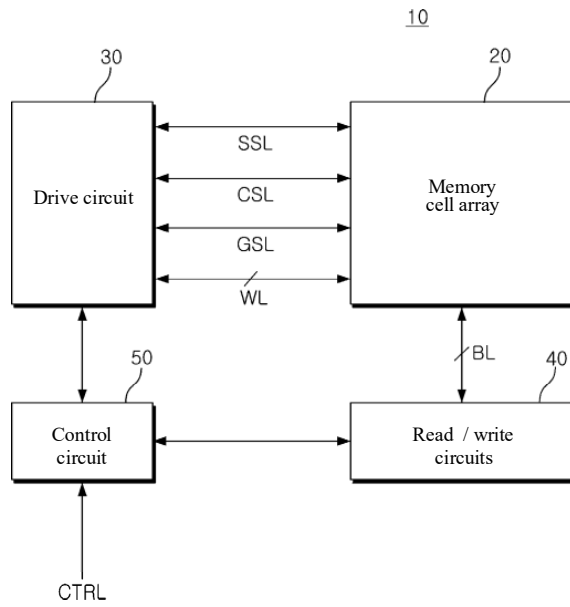
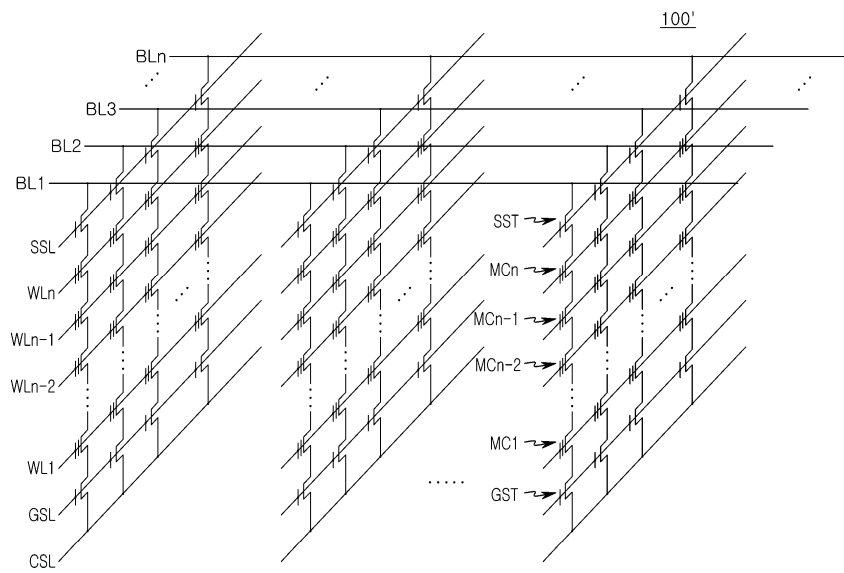
Drawings**FIG. 1****FIG. 2**

FIG. 3

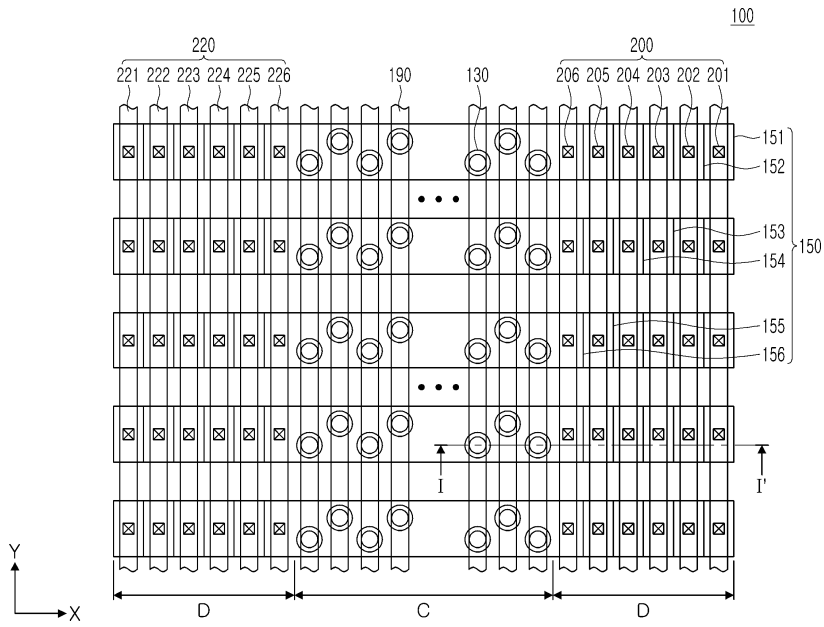


FIG. 4

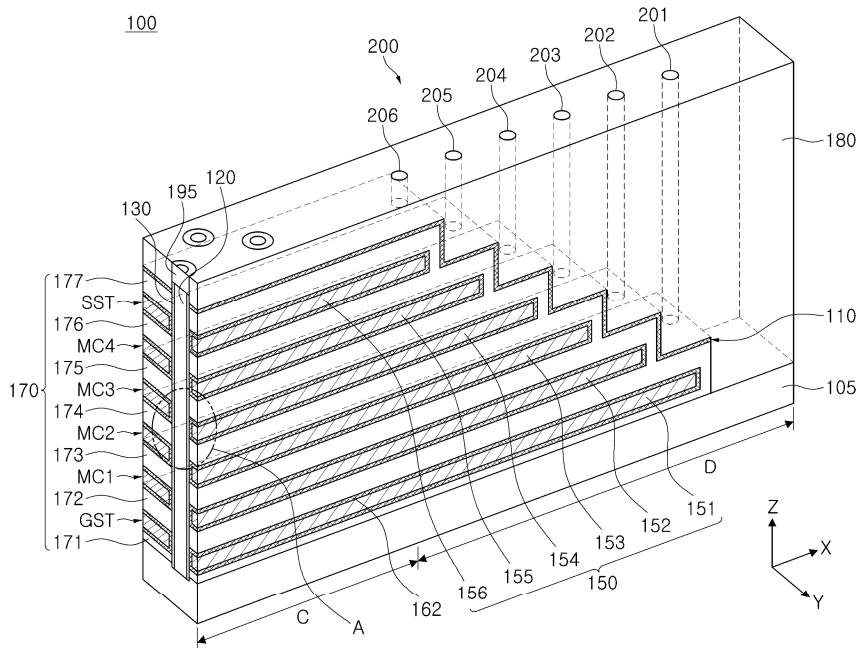




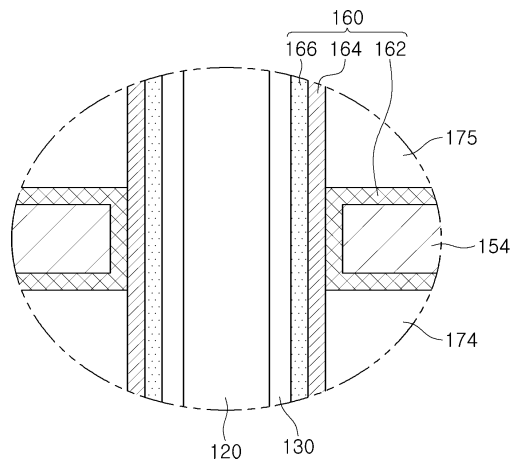
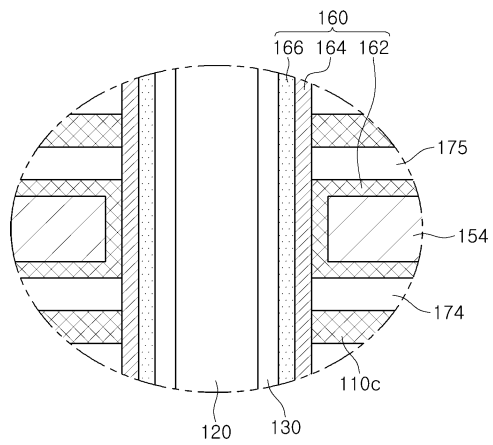
FIG. 7a**FIG. 7b**

FIG. 7c

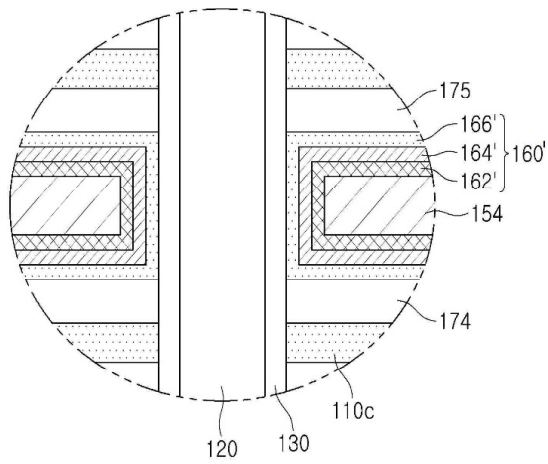


FIG. 8a

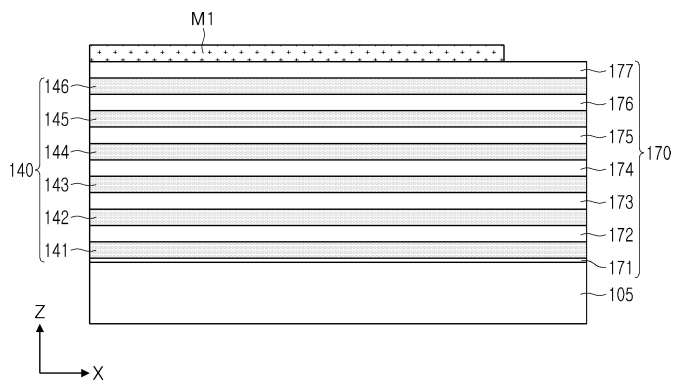


FIG. 8b

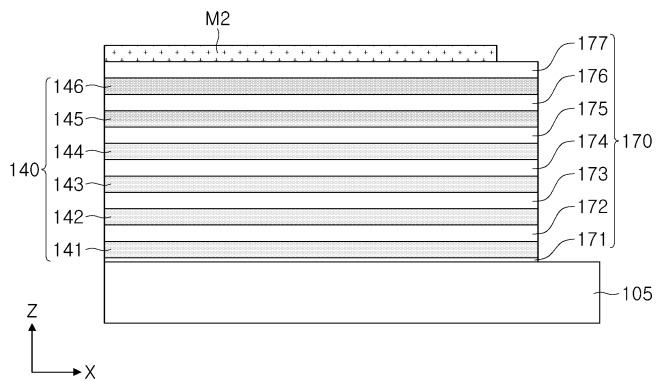


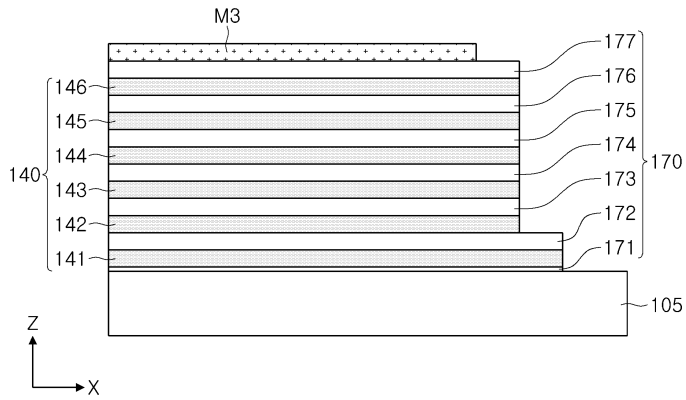
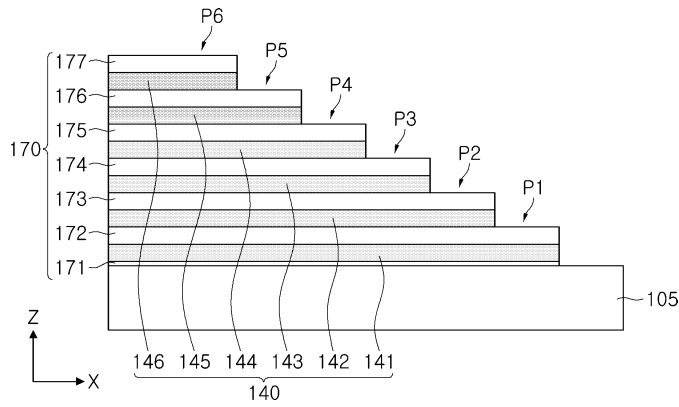
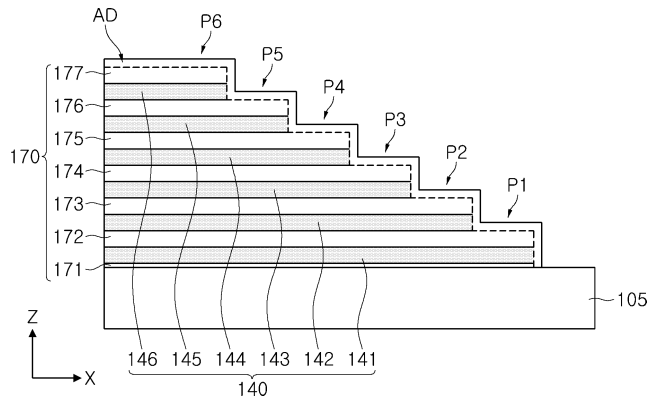
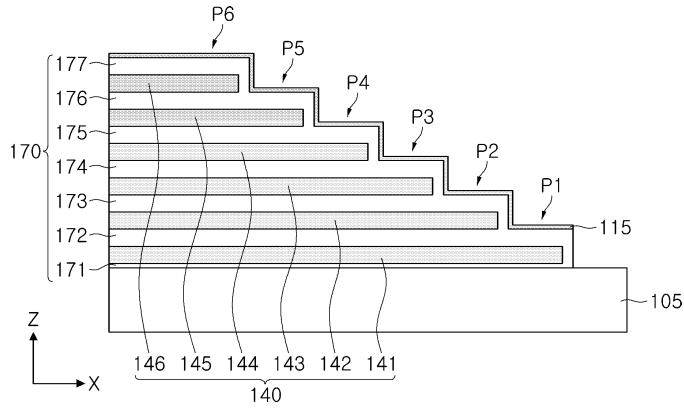
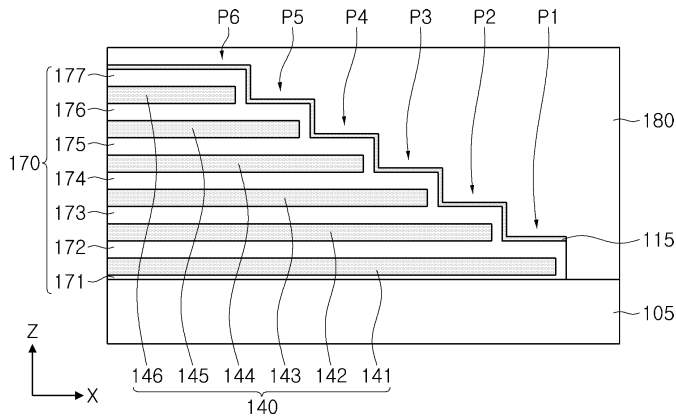
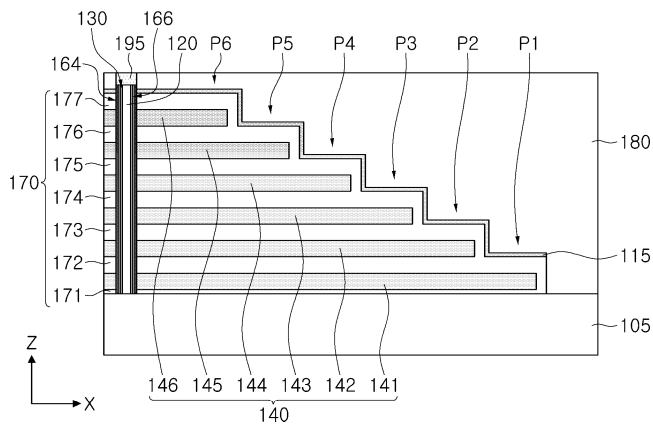
FIG. 8c**FIG. 8d****FIG. 8e**

FIG. 8f**FIG. 8g****FIG. 8h**

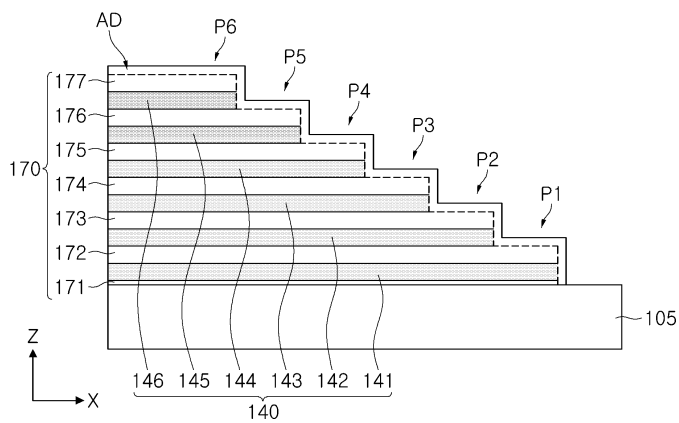


FIG. 9c

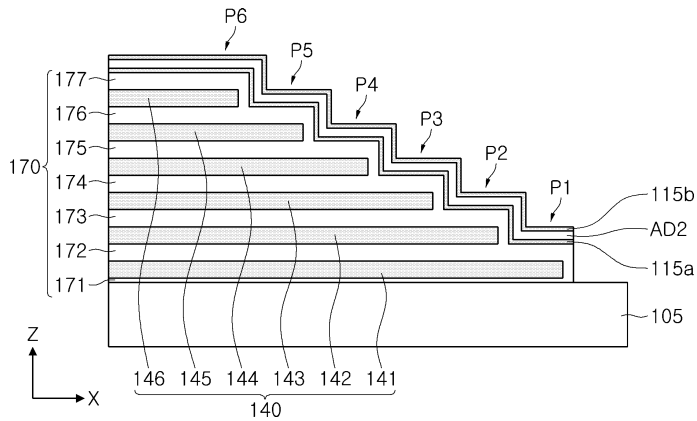


FIG. 9d

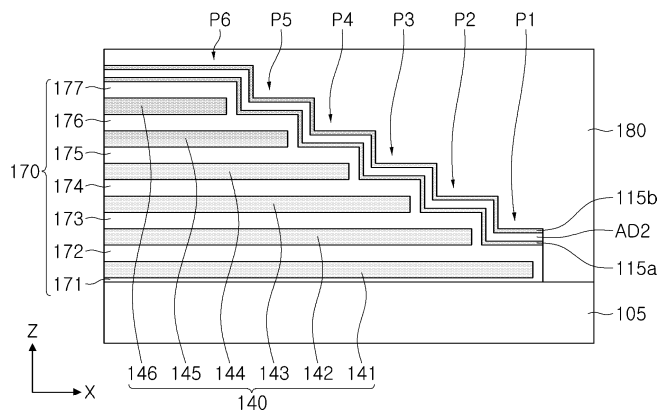


FIG. 9e

[illegible]

FIG. 9g

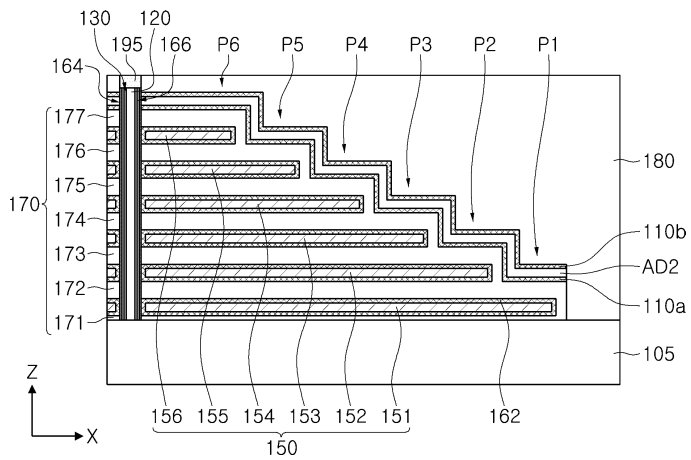


FIG. 9h

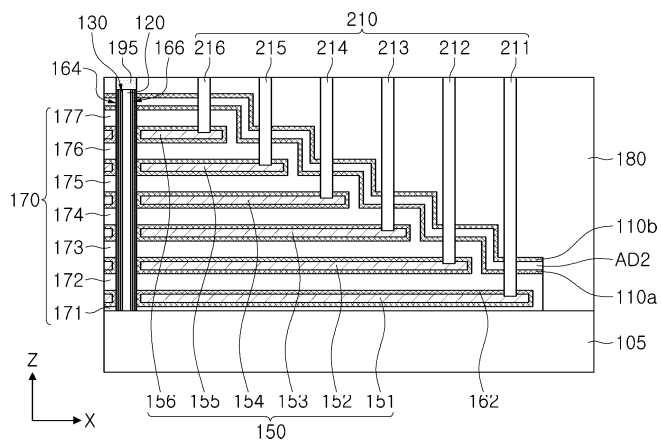


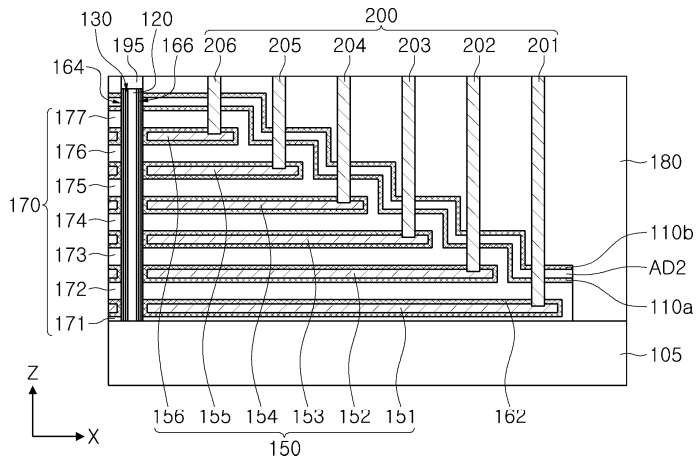
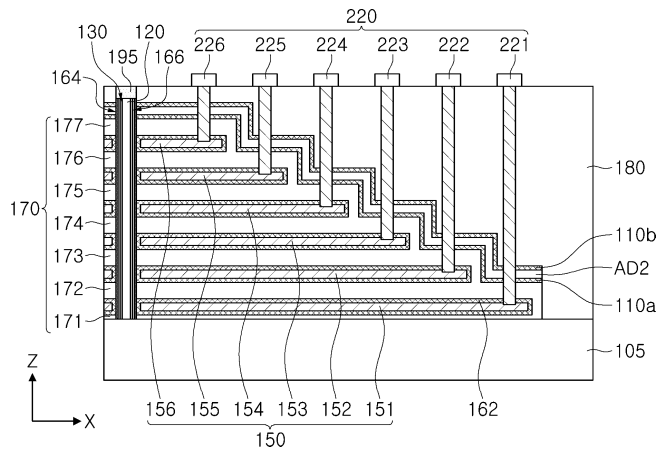
FIG. 9i**FIG. 9j**

FIG. 10a

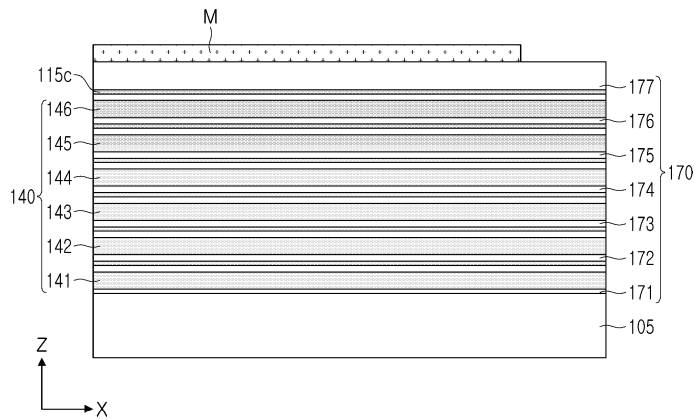


FIG. 10b

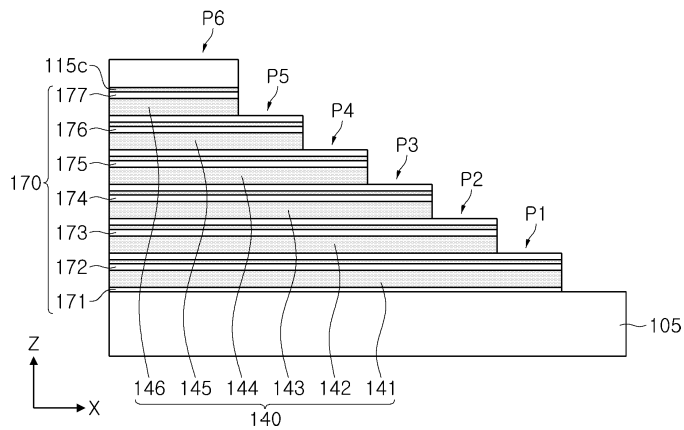


FIG. 10c

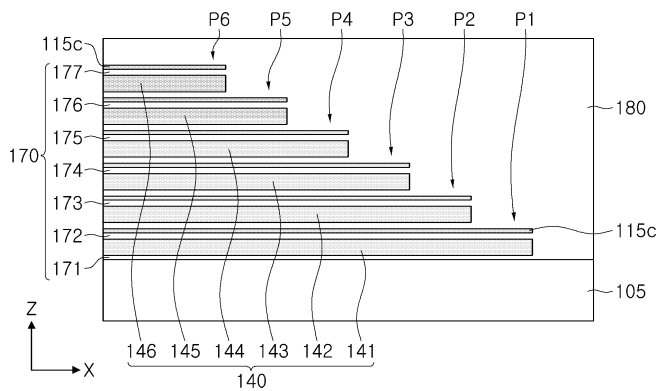


FIG. 10d

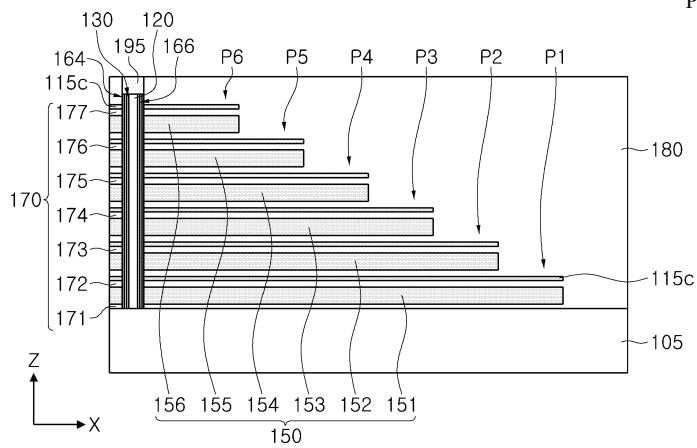


FIG. 10e

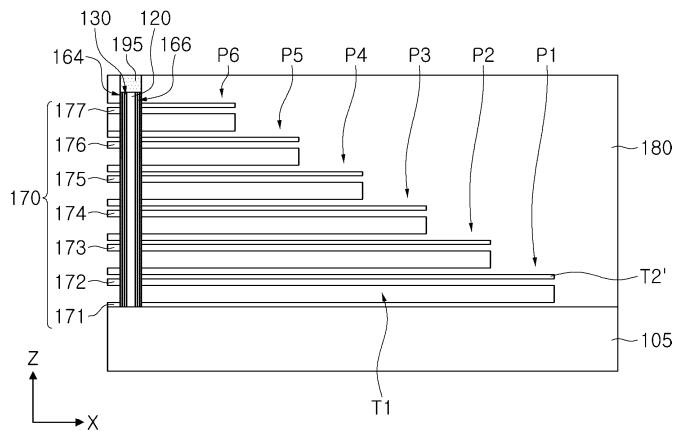


FIG. 10f

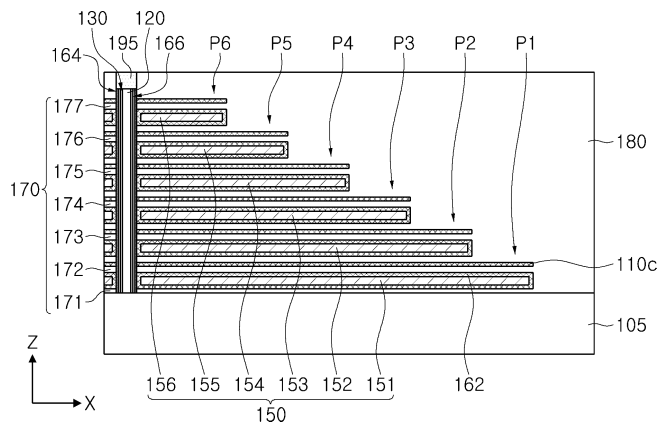


FIG. 10g

Micron Ex. 1006, p. 33
Micron v. YMTC
IPR2025-00117

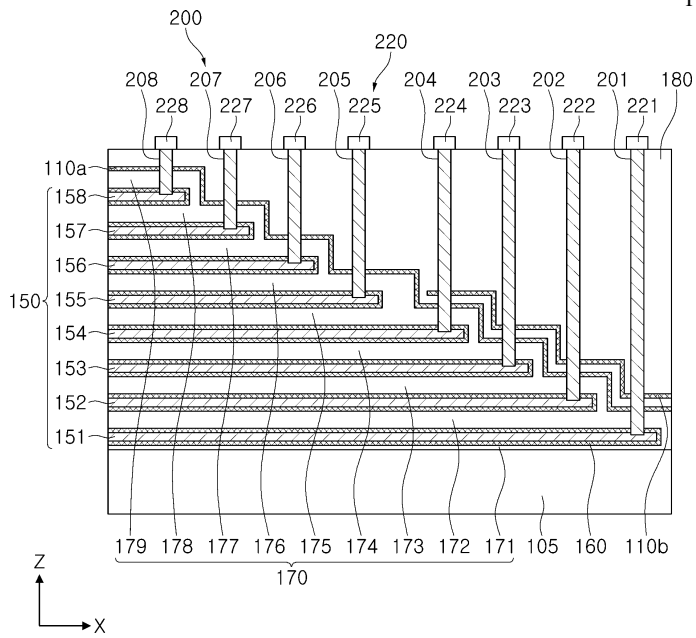


FIG. 12

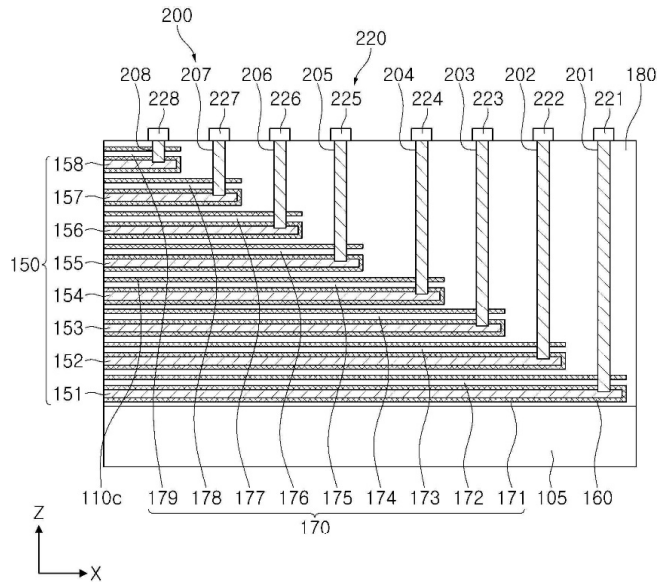


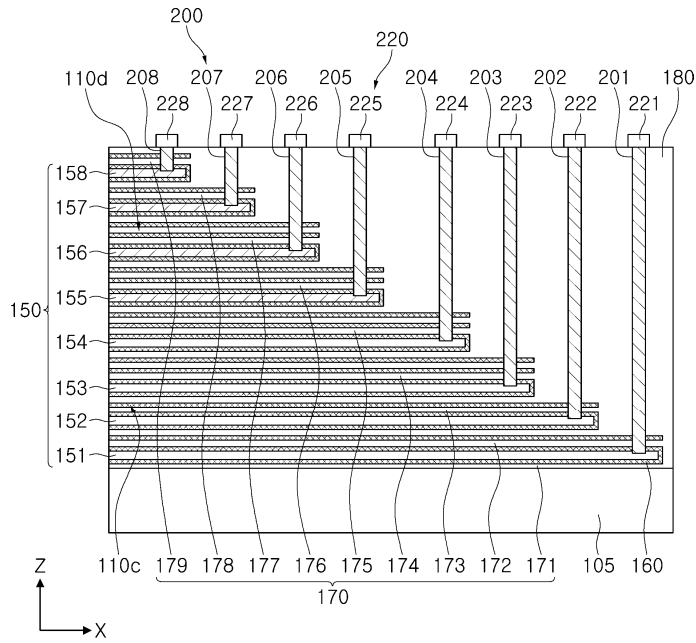
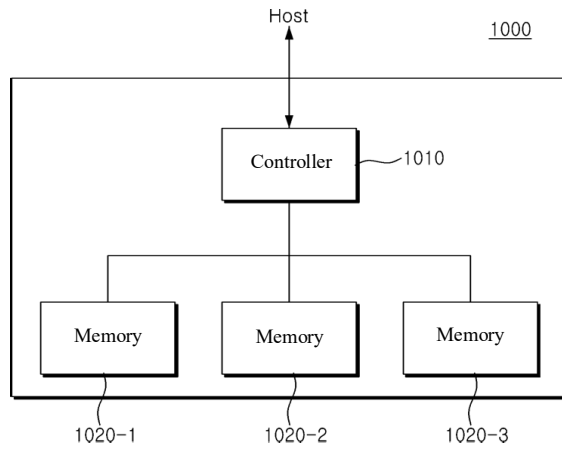
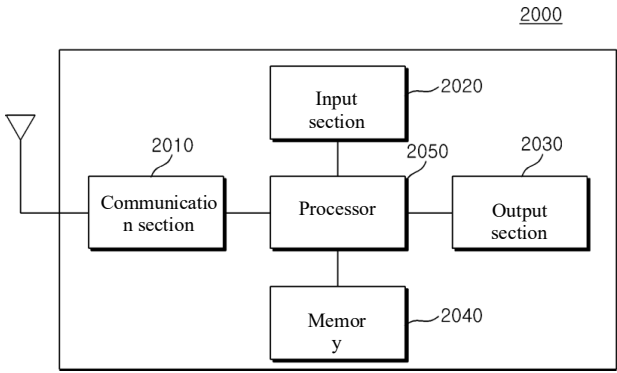
FIG. 13**FIG. 14**

FIG. 15





October 24, 2024

Certification

Translator's Declaration:

I, Gwen Snorteland, hereby declare:

That I possess advanced knowledge of the Korean and English languages.

My qualifications are as follows: BA in East Asian Studies from Princeton University, JD from University of Pennsylvania.

The attached Korean into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of:

KR20150051841A

I understand that willful false statement and perjury are punishable by fine or imprisonment, or both (18 U.S.C. 1001) and may jeopardize the validity of the application or any patent issuing thereon. I declare under the penalty of the perjury that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true.

A handwritten signature in black ink, appearing to read 'Gwen Snorteland', with a horizontal line extending to the right.

Gwen Snorteland

Sworn to before me this

24th of October 2024

A handwritten signature in black ink, appearing to read 'William H. Snorteland', with a horizontal line extending to the right.

Signature, Notary Public



WILLIAM H. SNORTELAND
NOTARY PUBLIC, STATE OF OHIO
My Commission Expires Jan. 21, 2027

Stamp, Notary Public

LANGUAGE AND TECHNOLOGY SOLUTIONS FOR GLOBAL BUSINESS

1250 BROADWAY, 32ND FLOOR, NEW YORK, NY 10001 | T 212.689.5555 | F 212.689.1059 | WWW.TRANSPERFECT.COM
OFFICES IN 90 CITIES WORLDWIDE



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0051841
(43) 공개일자 2015년05월13일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/84 (2006.01)

(21) 출원번호 10-2013-0133854

(22) 출원일자 2013년11월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박상용

경기 수원시 장안구 천천로74번길 35, 816동 220
2호 (정자동, 대월마을주공아파트)

강창석

경기 성남시 분당구 내정로 151, 521동 202호 (수
내동, 양지마을아파트)

김건수

경기 수원시 영통구 영통로174번길 12, 201동 80
2호 (망포동, 그대가센터빌파크)

(74) 대리인

특허법인씨엔에스

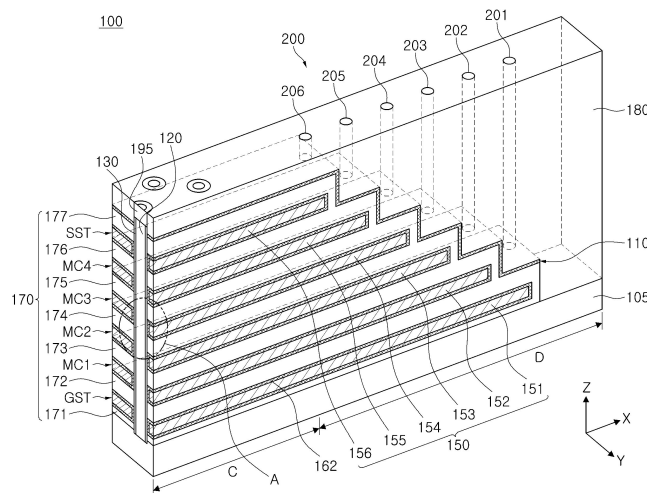
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 비휘발성 메모리 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면은, 기판의 상면에 수직하는 방향으로 연장되는 채널 영역, 상기 채널 영역에 인접하도록 상기 기판 상에 적층되는 복수의 게이트 전극층, 상기 복수의 게이트 전극층이 일 방향을 따라 서로 다른 길이로 연장되어 마련되는 복수의 패드 영역, 상기 복수의 패드 영역에서 상기 복수의 게이트 전극층과 이격되어 상기 복수의 게이트 전극층 상에 배치되는 적어도 하나의 식각 지지층, 및 상기 복수의 게이트 전극층과 연결되는 복수의 콘택 플러그를 포함하는 비휘발성 메모리 장치를 제공할 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

기판의 상면에 수직하는 방향으로 연장되는 채널 영역;
 상기 채널 영역에 인접하도록 상기 기판 상에 적층되는 복수의 게이트 전극층;
 상기 복수의 게이트 전극층이 일 방향을 따라 서로 다른 길이로 연장되어 마련되는 복수의 패드 영역;
 상기 복수의 패드 영역에서 상기 복수의 게이트 전극층과 이격되어 상기 복수의 게이트 전극층 상에 배치되는 적어도 하나의 식각 저지층; 및
 상기 복수의 게이트 전극층과 연결되는 복수의 콘택 플러그; 를 포함하는 비휘발성 메모리 장치.

청구항 2

제1항에 있어서,
 상기 복수의 게이트 전극층과 상기 채널 영역 사이에 마련되는 복수의 게이트 절연막; 을 더 포함하고,
 상기 식각 저지층은 상기 복수의 게이트 절연막 중 적어도 하나와 동일한 물질을 포함하는 비휘발성 메모리 장치.

청구항 3

제2항에 있어서,
 상기 식각 저지층의 두께는 상기 게이트 절연막 두께의 2배 이하인 비휘발성 메모리 장치.

청구항 4

제2항에 있어서,
 상기 복수의 게이트 전극층 사이에 배치되는 절연층; 을 더 포함하고,
 상기 복수의 게이트 절연막 중 적어도 일부는 상기 일 방향을 따라 연장되어 상기 복수의 게이트 전극층과 상기 절연층 사이에 배치되는 비휘발성 메모리 장치.

청구항 5

제1항에 있어서,
 상기 식각 저지층은 상기 복수의 패드 영역 사이의 단차에 대응하는 형상을 갖는 비휘발성 메모리 장치.

청구항 6

제1항에 있어서,
 상기 식각 저지층은 복수의 식각 저지층이며,
 상기 복수의 식각 저지층은, 상기 복수의 게이트 전극층의 사이에 각각 배치되는 비휘발성 메모리 장치.

청구항 7

제6항에 있어서,
 상기 복수의 식각 저지층 각각은 인접한 상기 패드 영역까지 상기 일 방향을 따라 연장되는 비휘발성 메모리 장치.

청구항 8

제6항에 있어서,

적어도 일부의 상기 복수의 게이트 전극층의 사이에 서로 다른 개수의 상기 식각 저지층이 배치되는 비휘발성 메모리 장치.

청구항 9

제1항에 있어서,

적어도 하나의 상기 식각 저지층은 일부의 상기 게이트 전극층 상에 배치되는 비휘발성 메모리 장치.

청구항 10

기판 상에 교대로 적층된 복수의 희생층과 복수의 절연층을 일 방향에서 서로 다른 길이로 식각하여 서로 단차를 갖는 복수의 패드 영역을 형성하는 단계;

상기 복수의 패드 영역 상에 식각 저지 희생층 및 연결 영역 절연층을 형성하는 단계;

상기 복수의 희생층 및 상기 식각 저지 희생층을 제거하는 단계; 및

상기 복수의 희생층 및 상기 식각 저지 희생층이 제거된 영역에 절연 물질을 증착하여, 게이트 절연막 및 식각 저지층을 형성하는 단계; 를 포함하는 비휘발성 메모리 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 반도체 메모리 소자의 집적도를 증가시킬 필요가 있다. 반도체 메모리 소자의 집적도를 향상시키기 위한 방법들 중 하나로서, 기존의 평면 트랜지스터 구조 대신 수직 트랜지스터 구조를 가지는 비휘발성 메모리 장치가 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 고집적화되고 신뢰성이 향상된 비휘발성 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 기판의 상면에 수직하는 방향으로 연장되는 채널 영역; 상기 채널 영역에 인접하도록 상기 기판 상에 적층되는 복수의 게이트 전극층; 상기 복수의 게이트 전극층이 일 방향을 따라 서로 다른 길이로 연장되어 마련되는 복수의 패드 영역; 상기 복수의 패드 영역에서 상기 복수의 게이트 전극층 상에 배치되는 적어도 하나의 식각 저지층; 및 상기 복수의 게이트 전극층과 연결되는 복수의 콘택 플러그; 를 포함한다.

[0005] 상기 복수의 게이트 전극층과 상기 채널 영역 사이에 마련되는 복수의 게이트 절연막; 을 더 포함하고, 상기 식각 저지층은 상기 복수의 게이트 절연막 중 적어도 하나와 동일한 물질을 포함할 수 있다.

- [0006] 상기 식각 저지층의 두께는 상기 게이트 절연막 두께의 2배 이하일 수 있다.
- [0007] 상기 복수의 게이트 전극층 사이에 배치되는 절연층; 을 더 포함하고, 상기 복수의 게이트 절연막 중 적어도 일부는 상기 일 방향을 따라 연장되어 상기 복수의 게이트 전극층과 상기 절연층 사이에 배치될 수 있다.
- [0008] 상기 식각 저지층은 상기 복수의 패드 영역 사이의 단차에 대응하는 형상을 가질 수 있다.
- [0009] 상기 식각 저지층은 복수의 식각 저지층이며, 상기 복수의 식각 저지층은 상기 복수의 게이트 전극층의 사이에 각각 배치될 수 있다.
- [0010] 상기 복수의 식각 저지층 각각은 인접한 상기 패드 영역까지 상기 일 방향을 따라 연장될 수 있다.
- [0011] 적어도 일부의 상기 복수의 게이트 전극층의 사이에 서로 다른 개수의 상기 식각 저지층이 배치될 수 있다.
- [0012] 적어도 하나의 상기 식각 저지층은 일부의 상기 게이트 전극층 상에 배치될 수 있다.

[0013] 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법은, 기판 상에 교대로 적층된 복수의 희생층과 절연층을 일 방향에서 서로 다른 길이로 식각하여 서로 단차를 갖는 복수의 패드 영역을 형성하는 단계; 상기 복수의 패드 영역 상에 식각 저지 희생층을 형성하는 단계; 상기 복수의 희생층 및 상기 식각 저지 희생층을 제거하는 단계; 및 상기 복수의 희생층 및 상기 식각 저지 희생층이 제거된 영역에 절연 물질을 증착하여, 게이트 절연막 및 식각 저지층을 형성하는 단계; 를 포함한다.

발명의 효과

[0014] 본 발명의 기술적 사상에 의한 비휘발성 메모리 장치 및 그 제조 방법에 따르면, 컨택 플러그가 형성되는 단차 구조가 마련되는 영역에 식각 저지층을 형성함으로써, 컨택 플러그 형성 시에 발생할 수 있는 상하층 간의 브릿지(bridge) 불량을 방지할 수 있다. 이에 의해, 신뢰성이 향상된 비휘발성 메모리 장치를 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 개략적인 블록 다이어그램이다.

도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 메모리 셀 어레이를 나타내는 회로도이다.

도 3은 본 발명의 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 평면도이다.

도 4 내지 도 6은 본 발명의 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 사시도이다.

도 7a는 도 4에 도시한 실시예에 따른 비휘발성 메모리 장치에서 A 부분을 확대 도시한 도이다.

도 7b 및 도 7c는 도 6에 도시한 실시예에 따른 비휘발성 메모리 장치에서 B 부분을 확대 도시한 도이다.

도 8a 내지 도 8m은 도 4에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다.

도 9a 내지 도 9j는 도 5에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다.

도 10a 내지 도 10i는 도 6에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다.

도 11 내지 도 13은 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 단면도이다.

도 14 및 도 15는 본 발명의 실시예에 따른 비휘발성 메모리 장치를 포함하는 전자 장치를 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 다음과 같이 설명한다.

- [0017] 본 발명의 실시 형태는 여러 가지 다른 형태로 변형되거나 여러 가지 실시 형태가 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다. 또한, 본 발명의 실시 형태는 당해 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0018] 도 1은 본 발명의 일 실시 형태에 따른 비휘발성 메모리 장치의 개략적인 블록 다이어그램이다.
- [0019] 도 1을 참조하면, 본 발명의 실시 형태에 따른 비휘발성 메모리 장치(10)는 메모리 셀 어레이(20), 구동 회로(30), 읽기/쓰기(read/write) 회로(40) 및 제어 회로(50)를 포함할 수 있다.
- [0020] 메모리 셀 어레이(20)는 복수의 메모리 셀을 포함할 수 있으며, 복수의 메모리 셀은 복수의 행과 열을 따라 배열될 수 있다. 메모리 셀 어레이(20)에 포함되는 복수의 메모리 셀은, 워드 라인(Word Line, WL), 공통 소스 라인(Common Source Line, CSL), 스트링 선택 라인(String Select Line, SSL), 접지 선택 라인(Ground Select Line, GSL) 등을 통해 구동 회로(30)와 연결될 수 있으며, 비트 라인(Bit Line, BL)을 통해 읽기/쓰기 회로(40)와 연결될 수 있다. 일 실시예에서, 동일한 행을 따라 배열되는 복수의 메모리 셀은 동일한 워드 라인(WL)에 연결되고, 동일한 열을 따라 배열되는 복수의 메모리 셀은 동일한 비트 라인(BL)에 연결될 수 있다.
- [0021] 메모리 셀 어레이(20)에 포함되는 복수의 메모리 셀은 복수의 메모리 블록으로 구분될 수 있다. 각 메모리 블록은 복수의 워드 라인(WL), 복수의 스트링 선택 라인(SSL), 복수의 접지 선택 라인(GSL), 복수의 비트 라인(BL)과 적어도 하나의 공통 소스 라인(CSL)을 포함할 수 있다.
- [0022] 구동 회로(30)와 읽기/쓰기 회로(40)는 제어 회로(50)에 의해 동작할 수 있다. 일 실시예로, 구동 회로(30)는 외부로부터 어드레스(address) 정보를 수신하고, 수신한 어드레스 정보를 디코딩하여 메모리 셀 어레이에 연결된 워드 라인(WL), 공통 소스 라인(CSL), 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 중 적어도 일부를 선택할 수 있다. 구동 회로(30)는 워드 라인(WL), 스트링 선택 라인(SSL), 공통 소스 라인(CSL) 각각에 대한 구동 회로를 포함할 수 있다.
- [0023] 읽기/쓰기 회로(40)는 제어 회로(50)로부터 수신하는 명령에 따라 메모리 셀 어레이(20)에 연결되는 비트 라인(BL) 중 적어도 일부를 선택할 수 있다. 읽기/쓰기 회로(40)는 선택한 적어도 일부의 비트 라인(BL)과 연결된 메모리 셀에 저장된 데이터를 읽어오거나, 선택한 적어도 일부의 비트 라인(BL)과 연결된 메모리 셀에 데이터를 기입할 수 있다. 읽기/쓰기 회로(40)는 상기와 같은 동작을 수행하기 위해, 페이지 버퍼, 입/출력 버퍼, 데이터 래치 등과 같은 회로를 포함할 수 있다.
- [0024] 제어 회로(50)는 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 구동 회로(30) 및 읽기/쓰기 회로(40)의 동작을 제어할 수 있다. 메모리 셀 어레이(20)에 저장된 데이터를 읽어오는 경우, 제어 회로(50)는 읽어오도록 하는 데이터가 저장된 워드 라인(WL)에 읽기 동작을 위한 전압을 공급하도록 구동 회로(30)의 동작을 제어할 수 있다. 읽기 동작을 위한 전압이 특정 워드 라인(WL)에 공급되면, 제어 회로(50)는 읽기/쓰기 회로(40)가 읽기 동작을 위한 전압이 공급된 워드 라인(WL)과 연결된 메모리 셀에 저장된 데이터를 읽어오도록 제어할 수 있다.
- [0025] 한편, 메모리 셀 어레이(20)에 데이터를 쓰는 경우, 제어 회로(50)는 데이터를 쓰도록 하는 워드 라인(WL)에 쓰기 동작을 위한 전압을 공급하도록 구동 회로(30)의 동작을 제어할 수 있다. 쓰기 동작을 위한 전압이 특정 워드 라인(WL)에 공급되면, 제어 회로(50)는 쓰기 동작을 위한 전압이 공급된 워드 라인(WL)에 연결된 메모리 셀에 데이터를 기록하도록 읽기/쓰기 회로(40)를 제어할 수 있다.
- [0026] 도 2는 본 발명의 일 실시 형태에 따른 비휘발성 메모리 장치의 메모리 셀 어레이의 등가회로도이다.
- [0027] 도 2는 비휘발성 메모리 장치(100')에 포함되는 메모리 셀 어레이의 3차원 구조를 나타낸 등가회로도이다. 도 2를 참조하면, 일 실시예에 따른 메모리 셀 어레이는, 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn), 메모리 셀 소자(MC1~MCn)의 양단에 직렬로 연결되는 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST)를 포함하는 복수의 메모리 셀 스트링을 포함할 수 있다.
- [0028] 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn)는 메모리 셀 소자(MC1~MCn) 중 적어도 일부를 선택하기 위한 워드 라인(WL1~WLn)에 각각 연결될 수 있다.

- [0029] 접지 선택 트랜지스터(GST)의 게이트 단자는 접지 선택 라인(GSL)과 연결되고, 소스 단자는 공통 소스 라인(CSL)에 연결될 수 있다. 한편, 스트링 선택 트랜지스터(SST)의 게이트 단자는 스트링 선택 라인(SSL)에 연결되고, 소스 단자는 메모리 셀 소자(MCn)의 드레인 단자에 연결될 수 있다. 도 2에서는 서로 직렬로 연결되는 n 개의 메모리 셀 소자(MC1~MCn)에 접지 선택 트랜지스터(GST)와 스트링 선택 트랜지스터(SST)가 하나씩 연결되는 구조를 도시하였으나, 이와 달리 복수의 접지 선택 트랜지스터(GST) 또는 복수의 스트링 선택 트랜지스터(SST)가 연결될 수도 있다.
- [0030] 스트링 선택 트랜지스터(SST)의 드레인 단자는 비트 라인(BL1~BLm)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)의 게이트 단자에 스트링 선택 라인(SSL)을 통해 신호가 인가되면, 비트 라인(BL1~BLm)을 통해 인가되는 신호가 서로 직렬로 연결된 n 개의 메모리 셀 소자(MC1~MCn)에 전달됨으로써 데이터 읽기 또는 쓰기 동작이 실행될 수 있다. 또한, 소스 단자가 공통 소스 라인(CSL)에 연결된 게이트 선택 트랜지스터(GST)의 게이트 단자에 게이트 선택 라인(GSL)을 통해 신호를 인가함으로써, n 개의 메모리 셀 소자(MC1~MCn)에 저장된 전하를 모두 제거하는 소거(erase) 동작이 실행될 수 있다.
- [0031] 도 3은 본 발명의 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 평면도이다.
- [0032] 도 3을 참조하면, 일 실시예에 따른 비휘발성 메모리 장치(100)는 셀 어레이 영역(C)과 연결 영역(D)을 포함할 수 있으며, 연결 영역(D) 외측에는 주변 회로 영역이 마련될 수 있다.
- [0033] 셀 어레이 영역(C)에는 복수의 메모리 셀, 및 메모리 셀과 전기적으로 연결되는 복수의 비트 라인(190), 복수의 게이트 전극층(151~156: 150)이 배치될 수 있다. 복수의 게이트 전극층(150)은 도전성 물질을 포함하므로, 본 명세서에서 도전 라인으로 지칭될 수도 있다. 복수의 게이트 전극층(150)은 일 방향으로 연장될 수 있으며, 도 3에서는 복수의 게이트 전극층(150)이 x축 방향으로 연장되는 것으로 도시하였다. 복수의 비트 라인(190)은 복수의 게이트 전극층(150)이 연장되는 일 방향과 교차하는 다른 방향으로 연장될 수 있으며, 도 3에서는 x축과 교차하는 y축 방향으로 복수의 비트 라인(190)이 연장되는 것으로 도시하였다.
- [0034] 복수의 게이트 전극층(150)은 z축 방향으로 적층되어 워드 라인을 형성할 수 있다. z축 방향으로 동일한 높이에 배치되는 일부 게이트 전극층(150)은 복수의 연결 라인(221~226: 220)에 의해 서로 전기적으로 연결될 수 있다. z축 방향으로 동일한 높이에 배치되는 일부 게이트 전극층(150)을 연결 라인(220)을 통해 서로 연결하기 위하여, z축 방향으로 연장되는 복수의 컨택 플러그(201~206: 200)가 마련될 수 있다.
- [0035] 복수의 게이트 전극층(150)에는 복수의 채널 영역(130)이 지그 재그(zig-zag) 형태로 배치될 수 있으며, 각 채널 영역(130)은 비트 라인(190)과 전기적으로 연결될 수 있다. 게이트 전극층(150)에 복수의 채널 영역(130)을 지그 재그 형태로 배치함으로써, 게이트 전극층(150)에 배치되는 채널 영역(130)의 숫자를 늘릴 수 있다.
- [0036] 연결 영역(D)은 셀 어레이 영역(C)과 주변 회로 영역 사이에 배치된다. 연결 영역(D)에는 셀 어레이 영역(C)으로부터 일 방향(x축 방향)으로 연장되는 복수의 게이트 전극층(150)이 배치될 수 있다. 복수의 게이트 전극층(150) 각각이 일 방향으로 연장되는 길이는, x-y 평면에 수직하는 z축 방향으로 최하층에 위치한 게이트 전극층(151)으로부터 최상층의 게이트 전극층(156)으로 갈수록 소정의 길이만큼 점점 더 짧아질 수 있다. 최하층의 게이트 전극층(151)에서 최상층의 게이트 전극층(156)으로 갈수록 일 방향으로의 연장 길이가 점점 짧아짐에 따라, 복수의 게이트 전극층(150) 각각은 인접한 다른 게이트 전극층(150)과 단차를 형성할 수 있다.
- [0037] 연결 영역(D)의 외측에는 주변 회로 영역이 배치된다. 주변 회로 영역에는 메모리 셀들의 구동을 위한 회로들 및 메모리 셀들에 저장된 정보를 관독하기 위한 회로들 등이 배치될 수 있다.
- [0038] 도 4 내지 도 6은 본 발명의 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 사시도이다.
- [0039] 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치(100)를 나타낸 사시도이며, 도 3의 I-I' 방향을 따라 절단한 부분을 나타낸 것이다. 도 2 및 도 3에서 메모리 셀에 포함되는 구성요소 중 일부가 도 4에서는 생략되어 도시될 수 있다. 예를 들어, 도 3에 표시된 비트 라인(190)과 연결 라인(220)은 도 4에서 생략되어 있다.
- [0040] 도 4를 참조하면, 비휘발성 메모리 장치(100)는 z축 방향을 따라 기관(105)의 상면 위에 적층되는 복수의 게이트 전극층(151~156: 150) 및 복수의 게이트 전극층(150) 사이에 배치되는 복수의 절연층(171~177: 170)을 포함할 수 있다. 복수의 게이트 전극층(150)과 복수의 절연층(170)은 x축 방향을 따라 연장될 수 있다. 셀 어레이

영역(C)은 복수의 게이트 전극층(150)과 절연층(170) 외에 z축 방향으로 연장되는 채널 영역(130)을 더 포함할 수 있다. 채널 영역(130)은 원통형의 단면을 갖는 공동 내에 형성될 수 있으며, 채널 영역(130) 내부에는 매립 절연층(120)이 배치될 수 있다. 채널 영역(130) 상에는 도전층(195)이 마련될 수 있으며, 도전층(195)을 통해 비트 라인(190)과 채널 영역(130)이 서로 연결될 수 있다.

[0041] 채널 영역(130)과 게이트 전극층(150) 사이에는 게이트 절연막이 배치될 수 있는데, 게이트 절연막은 터널링층, 전하 저장층, 블록킹층 등을 포함할 수 있다. 비휘발성 메모리 장치(100)의 구조에 따라, 상기 터널링층, 전하 저장층, 블록킹층이 모두 게이트 전극층(150)을 둘러싸도록 배치되거나, 또는 일부는 채널 영역(130)과 평행하게 z축 방향으로 연장되도록 채널 영역(130) 외측에 배치되고, 나머지는 게이트 전극층(150)을 둘러싸도록 배치될 수 있다. 도 4에는 터널링층과 전하 저장층이 채널 영역(130)과 평행하게 z축 방향으로 연장되도록 채널 영역(130) 외측에 배치되고, 블록킹층(162)은 게이트 전극층(150)을 둘러싸도록 배치되는 것으로 도시하였다.

[0042] 각 게이트 전극층(150)과 절연층(170)은, z축 방향으로 서로 다른 위치에 적층되는 다른 게이트 전극층(150) 및 절연층(170)과 x축 방향을 따라 서로 다른 길이만큼 연장되어 연결 영역(D) 내에서 계단 형상을 갖는 복수의 단차를 형성할 수 있다. 복수의 게이트 전극층(150) 및 절연층(170)이 x축 방향을 따라 서로 다른 길이로 연장되어 마련된 단차로 인해, 연결 영역(D)에는 복수의 패드 영역이 형성될 수 있으며, 복수의 패드 영역에서 각 게이트 전극층(150) 상에 식각 저지층(110)이 배치될 수 있다. 도 4에는 각 패드 영역에서 z축 방향을 따라 절연층(170)이 게이트 전극층(150) 보다 상부에 위치하는 것으로 도시하였으나, 이와 반대로 게이트 전극층(150)이 절연층(170) 보다 상부에 위치할 수도 있다.

[0043] 연결 영역(D)에는 각 패드 영역에서 연결 영역 절연층(180) 및 절연층(170)을 관통하여 게이트 전극층(150)과 전기적으로 연결되는 복수의 콘택 플러그(201~206: 200)가 마련될 수 있다. 복수의 콘택 플러그(200)는 z축 방향을 따라 연장되며, 게이트 전극층(150)과 유사하게 도전성이 우수한 물질을 포함할 수 있다. 일례로, 복수의 콘택 플러그(200)는 게이트 전극층(150)과 동일한 물질을 포함할 수 있으며, x축 방향으로 동일한 위치에 형성되는 복수의 콘택 플러그(200)는 도 3에 도시된 연결 라인(221~226: 220)에 의해 서로 전기적으로 연결될 수 있다.

[0044] 연결 영역(D)에 복수의 콘택 플러그(200)를 형성하기 위해, 복수의 패드 영역을 형성한 이후 복수의 절연층(170) 및 연결 영역 절연층(180)에 대한 식각 공정이 필요하다. 상기 식각 공정에 의해 z축 방향으로 연장되는 복수의 수직 개구부가 형성되며, 상기 복수의 수직 개구부에 도전성 물질을 매립함으로써 콘택 플러그(200)를 형성할 수 있다.

[0045] 식각 공정에 의해 형성되는 복수의 수직 개구부는 z축 방향으로 서로 다른 길이를 갖기 때문에, z축 방향으로 상부에 위치한 게이트 전극층(156)은 하부에 위치한 게이트 전극층(151)에 이르는 콘택 플러그(201)를 형성하기 위해 복수의 절연층(170)과 연결 영역 절연층(180)이 식각될 때까지 식각 공정에 의해 관통되지 않아야 한다. 따라서, 식각 선택비가 적절하지 못한 경우 상부에 위치한 게이트 전극층(150) 중 일부가 식각 공정에 의해 z축 방향으로 상기 수직 개구부에 의해 관통되어, 도전성 물질의 매립 후에 일부 게이트 전극층(150)이 서로 전기적으로 연결되는 브릿지(bridge) 불량일 발생할 수 있다.

[0046] 본 발명에서는 상기와 같은 불량을 방지하기 위해, 복수의 패드 영역에서 게이트 전극(150) 상에 하나 이상의 식각 저지층(110)을 형성할 수 있다. 상기 식각 저지층(110)은 복수의 게이트 전극층(150) 각각을 둘러싸는 게이트 절연막(160) 중 적어도 일부와 동일한 조성(예를 들어 Al_2O_3)을 가질 수 있다. 콘택 플러그(200)를 형성하는 데에 있어서, 식각 저지층(110)이 포함하는 물질과 선택비를 갖도록 연결 영역 절연층(180)에 대한 식각 공정을 진행한 후, 게이트 전극층(150)에 포함되는 도전성 물질과 선택비를 갖는 식각 공정을 적용함으로써 게이트 전극층(150)의 관통 및 불충분한 식각에 따른 연결 불량일 발생하지 않도록 콘택 플러그(200)를 형성할 수 있다.

[0047] 식각 저지층(110)은 z축 방향으로 상대적으로 긴 길이를 갖는 콘택 플러그(201)를 형성하는 동안, 상대적으로 짧은 길이를 갖는 콘택 플러그(206)가 상부에 위치한 게이트 전극층(156)을 관통하는 것을 방지할 수 있다. 따라서, 식각 저지층(110)은 복수의 게이트 전극층(150) 중 일부 상에만 형성될 수도 있다. 예를 들어, 콘택 플러그(200)를 형성하는 공정 동안 게이트 전극층(150)을 관통하지 않도록 상부에 위치한 3개의 게이트 전극층(154, 155, 156) 상에만 형성될 수 있다.

[0048] 한편, 도 4에는 4개의 메모리 셀(MC1~MC4)과 하나의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 마련되는 것으로 도시되어 있으나, 이는 예시일 뿐이며, 메모리 셀의 개수 및 스트링 선택 트랜지스터

(SST)와 접지 선택 트랜지스터(GST)의 개수는 더 많거나 적을 수 있다. 또한, 도 4에는 메모리 셀(MC1~MC4)과 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 동일한 구조를 갖는 것으로 도시하였으나, 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)는 메모리 셀(MC1~MC4)과 다른 구조를 가질 수도 있다.

[0049] 도 5는 도 4와 다른 실시예에 따른 비휘발성 메모리 장치(100A)를 도시한 사시도이다. 도 5를 참조하면, 채널 영역(130), 메모리 셀(MC1~MC4), 스트링 선택 트랜지스터(SST), 접지 선택 트랜지스터(GST), 연결 영역(D)에 마련되는 단차와 복수의 패드 영역 및 복수의 패드 영역에서 복수의 게이트 전극층(150) 각각에 연결되는 복수의 콘택 플러그(200)는 도 4와 동일하다. 다만, 도 5에 도시한 실시예에서는, 연결 영역(D)에 마련되는 단차와 대응하는 형상을 갖는 식각 저지층(110a, 110b)이 복수개 마련된다. 복수의 식각 저지층(110a, 110b) 사이에는, 식각 저지층(110a, 110b)을 서로 물리적으로 분리하는 절연층(AD2)이 추가로 마련될 수 있다.

[0050] 복수의 콘택 플러그(200)를 형성하는 식각 공정에서, z축 방향으로 최상부에 위치한 게이트 전극층(156)과 연결되는 콘택 플러그(206)가 형성되는 수직 개구부는, 최하부에 위치한 게이트 전극층(151)과 연결되는 콘택 플러그(201)가 형성되는 수직 개구부가 식각될 때까지 최상부 게이트 전극층(156)을 관통하지 않아야 한다. 도 5에 도시한 비휘발성 메모리 장치(100A)에서는, 식각 저지층(110a, 110b)을 2개 이상으로 형성하고, 식각 저지층(110a, 110b)에 포함되는 물질과 선택비를 갖도록 식각 공정을 진행할 수 있다.

[0051] 따라서, 최하부의 게이트 전극층(151)에 연결되는 콘택 플러그(201)에 대응하는 수직 개구부를 형성하는 긴 식각 공정 동안, 최상부 게이트 전극층(156)에 연결되는 콘택 플러그(206)에 대응하는 수직 개구부를 형성하는 식각 공정이 복수의 식각 저지층(110a, 110b)에 의해 일시적으로 정지하거나 속도가 느려지므로, 최상부 게이트 전극층(156)이 관통되어 발생하는 불량을 방지할 수 있다. 한편, 도 5에 도시한 비휘발성 메모리 장치(100A)에서도, 식각 저지층(110a, 110b)은 z축 방향으로 상부에 위치한 일부의 게이트 전극층(150) 상에만 형성될 수 있다. 또는, 제1 식각 저지층(110a)은 도 5와 같이 모든 게이트 전극층(150) 상에 위치하도록 형성하고, 제2 식각 저지층(110b)은 z축 방향으로 상부에 위치한 일부의 게이트 전극층(150) 상에만 형성할 수 있다.

[0052] 도 6은 도 4 및 도 5와 다른 실시예에 따른 비휘발성 메모리 장치(100B)를 도시한 사시도이다. 도 6을 참조하면, 일 실시예에 따른 비휘발성 메모리 장치(100B)는 기판(105)의 상면에 z축 방향을 따라 교대로 적층되는 복수의 게이트 전극층(150) 및 복수의 절연층(170)을 포함할 수 있다. 셀 어레이 영역(C) 내에서 z축 방향을 따라 복수의 게이트 전극층(150) 및 절연층(170)을 기판(105)까지 관통하는 동공이 마련될 수 있으며, 관통된 동공 내부에는 채널 영역(130)이 마련될 수 있다.

[0053] 복수의 게이트 전극층(150) 및 복수의 절연층(170) 각각은 x축 방향을 따라 서로 다른 길이로 연장되어 인접한 다른 게이트 전극층(150) 및 절연층(170)과 단차를 형성할 수 있다. 상기 단차에 의해 연결 영역(D)에는 복수의 패드 영역이 마련되며, 각 패드 영역에는 절연층(170)을 관통하여 게이트 전극층(150)과 전기적으로 연결되는 콘택 플러그(200)가 형성된다. 이하, 도 4 및 도 5와 다른 구조적 특징을 중심으로 도 6에 도시한 비휘발성 메모리 장치(100B)를 설명한다.

[0054] 도 6을 참조하면, x축 방향을 따라 게이트 전극층(150)과 평행하도록 연장되는 식각 저지층(110c)이 서로 인접한 게이트 전극층(150) 사이에 마련된다. 도 5에는 하나의 절연층(170) 내에 하나의 식각 저지층(110c)이 마련되는 것으로 도시하였으나, 하나의 절연층(170) 내에 복수의 식각 저지층(110c)이 마련될 수도 있다. 식각 저지층(110c)은 게이트 전극층(150) 각각을 둘러싸는 게이트 절연막(160')과 동일한 물질을 포함할 수 있으며, x축 방향을 따라 인접한 게이트 전극층(150)과 동일한 길이로 연장된다.

[0055] 도 6에 도시한 바와 같은 구조로 식각 저지층(110c)을 마련함으로써, 도 4 및 도 5의 실시예와 유사한 효과를 얻을 수 있다. z축 방향으로 인접한 다른 게이트 전극층(150) 및 절연층(170)과 단차를 형성하도록 복수의 게이트 전극층(150) 및 절연층(170)을 각각 식각하여 복수의 패드 영역을 형성한 후, 콘택 플러그(200)를 마련하기 위해 식각 공정을 진행하여 z축 방향으로 연장되는 복수의 수직 개구부를 마련할 수 있다.

[0056] 이때, 식각 저지층(110c)과 선택비를 갖는 식각 공정을 적용하여 콘택 플러그(200)가 마련되는 복수의 수직 개구부가 식각 저지층(110c)에 도달하도록 할 수 있다. z축 방향으로 상부에 위치한 게이트 전극층(150)과 연결되는 콘택 플러그(200)에 대응하는 일부의 수직 개구부는 식각 저지층(110c)을 관통하여 게이트 전극층(150)에 도달해야 할 수 있다. 따라서, 식각 저지층(110c)에 대하여 선택적으로 연결 영역 절연층(180)을 식각함으로써 각 수직 개구부가 게이트 전극층(150)을 관통하는 불량이 방지하지 않도록 제어할 수 있다. 한편, 게이트 전극층

(150)과 콘택 플러그(200)를 전기적으로 연결하기 위해, 콘택 플러그(200)가 형성되는 수직 개구부는 게이트 전극층(150)을 소정 깊이만큼 파고 들어가는 깊이로 형성될 수 있다.

[0057] 도 4 및 도 5와 마찬가지로, 도 6의 비휘발성 메모리 장치(100B)에서도, 식각 저지층(110c)은 z축 방향으로 상부에 위치한 일부의 게이트 전극층(150) 상에만 형성될 수 있다. 예를 들어, z축 방향으로 상부에 위치한 2개의 게이트 전극층(155, 156) 상에만 식각 저지층(110c)을 배치하고, 다른 4개의 게이트 전극층(151~154) 상에는 식각 저지층(110c)을 배치하지 않을 수 있다. 식각 저지층(110c)이 형성되는 게이트 전극층(150)의 개수는 필요에 따라 적절하게 변형될 수 있다.

[0058] 도 7a는 도 4에 도시한 실시예에 따른 비휘발성 메모리 장치에서 A 부분을 확대 도시한 도이다.

[0059] 도 7a는 채널 영역(130)과 게이트 절연막(160)을 설명하기 위해 도 4의 A부분을 확대 도시한 부분도이다. 도 7a를 참조하면, 메모리 셀(MC3)에 포함되는 게이트 전극층(154)과 게이트 전극층(154) 상하부에 위치한 절연층(173, 174)이 도시된다. z축 방향으로 채널 영역(130)이 연장되며, 채널 영역(130) 내에는 예를 들어, 실리콘 산화물(SiO_2)을 포함하는 매립 절연층(120)이 마련될 수 있다. 게이트 전극층(154) 및 절연층(173, 174)과 채널 영역(130) 사이에는 채널 영역(130)으로부터 순차적으로 터널링층(166), 전하 저장층(164)이 적층될 수 있다.

[0060] 게이트 전극층(154)은 블록킹층(162)에 의해 둘러싸이며, 결과적으로 채널 영역(130)과 게이트 전극층(154) 사이에는 채널 영역(130)으로부터 터널링층(166), 전하 저장층(164), 및 블록킹층(162)이 순차적으로 적층된다. 게이트 절연막(160)에 포함되는 블록킹층(162), 전하 저장층(164) 및 터널링층(166)의 두께는 도 7a에 도시한 것에 한정되지 않으며 다양하게 변화될 수 있다. 한편, 본 실시예에서, 게이트 전극층(154)에 포함되는 물질이 식각 저지층(110)에 유입되는 것을 방지하기 위해 식각 저지층(110)의 두께는 블록킹층(162)의 두께의 2배 이하일 수 있다.

[0061] 터널링층(166)은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 실리콘 산질화물(SiON), 하프늄 산화물(HfO_2), 하프늄 실리콘 산화물(HfSi_xO_y), 알루미늄 산화물(Al_2O_3), 및 지르코늄 산화물(ZrO_2) 중 적어도 하나를 포함할 수 있다.

[0062] 전하 저장층(164)은 전하 트랩층 또는 플로팅 게이트 도전막일 수 있다. 전하 저장층(164)이 플로팅 게이트인 경우에는, 예를 들어 LPCVD(Low Pressure Chemical Vapor Deposition)에 의하여 폴리실리콘을 증착하여 형성할 수 있다. 전하 저장층(164)이 전하 트랩층인 경우에는, 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 실리콘 산질화물(SiON), 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2), 탄탈륨 산화물(Ta_2O_3), 티타늄 산화물(TiO_2), 하프늄 알루미늄 산화물(HfAl_xO_y), 하프늄 탄탈륨 산화물(HfTa_xO_y), 하프늄 실리콘 산화물(HfSi_xO_y), 알루미늄 질화물(Al_xN_y), 및 알루미늄 갈륨 질화물(AlGa_xN_y) 중 적어도 하나를 포함할 수 있다.

[0063] 블록킹층(162)은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 실리콘 산질화물(SiON) 또는 고유전율 유전 물질을 포함할 수 있다. 상기 고유전율 유전 물질은, 알루미늄 산화물(Al_2O_3), 탄탈륨 산화물(Ta_2O_3), 티타늄 산화물(TiO_2), 이트륨 산화물(Y_2O_3), 지르코늄 산화물(ZrO_2), 지르코늄 실리콘 산화물(ZrSi_xO_y), 하프늄 산화물(HfO_2), 하프늄 실리콘 산화물(HfSi_xO_y), 란탄 산화물(La_2O_3), 란탄 알루미늄 산화물(LaAl_xO_y), 란탄 하프늄 산화물(LaHf_xO_y), 하프늄 알루미늄 산화물(HfAl_xO_y), 및 프라세오디뮴 산화물(Pr_2O_3) 중 어느 하나일 수 있다. 블록킹층(162)에 포함되는 물질의 유전율은 터널링층(166)보다 높은 유전율을 가질 수 있으며, 선택적으로 블록킹층(162)은 서로 다른 유전율을 갖는 복수의 층을 포함할 수 있다. 이때, 상대적으로 낮은 유전율을 갖는 층을, 높은 유전율을 갖는 층보다 채널 영역(130)에 가깝게 배치함으로써, 베리어(barrier) 높이와 같은 에너지 밴드를 조절하여 비휘발성 메모리 장치의 특성, 예컨대 소거(erase) 특성을 향상시킬 수 있다.

[0064] 도 7b 및 도 7c는 도 6에 도시한 실시예에 따른 비휘발성 메모리 장치에서 B 부분을 확대 도시한 도이다.

[0065] 우선 도 7b를 참조하면, 도 7a와 유사하게 z축 방향으로 채널 영역(130)이 마련되고, 채널 영역(130)의 내부에는 매립 절연층(120)이 마련된다. 채널 영역(130)의 외측에는 게이트 전극층(154)과 절연층(173, 174)이 교대로 적층될 수 있으며, 게이트 전극층(154) 및 절연층(173, 174)과 채널 영역(130) 사이에는 채널 영역(130)으로부터

터 순차적으로 터널링층(166)과 전하 저장층(164)이 적층될 수 있다.

- [0066] 게이트 전극층(154)은 블록킹층(162)에 의해 둘러싸이며, 결과적으로 채널 영역(130)과 게이트 전극층(154) 사이에는 채널 영역(130)으로부터 터널링층(166), 전하 저장층(164), 및 블록킹층(162)이 순차적으로 적층될 수 있다. 게이트 절연막(160)에 포함되는 블록킹층(162), 전하 저장층(164) 및 터널링층(166)의 두께는 도 7b에 도시된 것으로 한정되지 않으며, 다양하게 변형될 수 있다.
- [0067] 한편, 각 절연층(173, 174) 내에는 식각 저지층(110)이 마련될 수 있다. 식각 저지층(110)은 게이트 전극층(154)을 둘러싸는 블록킹층(162)과 동일한 물질을 포함할 수 있으며, 예를 들어 알루미늄 산화물(Al_2O_3)을 포함할 수 있다. 도 7b에는 각 절연층(173, 174) 내에 하나의 식각 저지층(110)이 포함되는 것으로 도시하였으나, 이와 달리 각 절연층(173, 174) 내에 2개 이상의 식각 저지층(110)이 포함될 수도 있다. 게이트 전극층(154)에 포함되는 도전성 물질이 식각 저지층(110)에 포함되는 것을 방지하기 위해, 식각 저지층(110)의 두께는 블록킹층(162)의 두께의 2배보다 작을 수 있다.
- [0068] 도 7c는 도 6에 도시한 실시예에 따른 비휘발성 메모리 장치에서 B 부분을 확대 도시한 도이다. 도 7c는 도 7b와 유사한 구조를 가지며, 게이트 절연막(160)에 있어서만 도 7b와 다른 구조를 갖는다. z축 방향을 따라 연장되는 채널 영역(130) 내에는 매립 절연층(120)이 마련되며, 채널 영역(130)의 외측에는 게이트 전극층(154)과 절연층(173, 174)이 교대로 적층된다.
- [0069] 다만, 게이트 전극층(154)과 채널 영역(130) 사이에 마련되는 터널링층(166) 및 전하 저장층(164)이 채널 영역(130)을 따라 z축 방향으로 연장되는 도 7b의 실시예와 달리, 도 7c에서는 터널링층(166')과 전하 저장층(164')이 블록킹층(162')과 함께 게이트 전극층(154)을 둘러싸는 형상을 가질 수 있다. 도 7c의 경우에도 게이트 절연막(160')에 포함되는 블록킹층(162'), 전하 저장층(164') 및 터널링층(166')의 두께는 도 7c에 도시한 것으로 한정되지 않으며, 다양하게 변형될 수 있다.
- [0070] 도 7c의 실시예에서, 식각 저지층(110c)은 블록킹층(162'), 전하 저장층(164') 및 터널링층(166') 중 적어도 하나에 포함되는 물질과 동일한 물질을 포함할 수 있다. 도 7c에 도시한 바와 같이 채널 영역(130)을 형성함에 있어서, 도전성 물질로 게이트 전극층(154) 형성하기에 앞서 터널링층(166'), 전하 저장층(164'), 블록킹층(162')이 순차적으로 적층될 수 있다. 따라서, 식각 저지층(110c)의 두께가 터널링층(166') 두께의 2배 이하이면, 식각 저지층(110c)은 터널링층(166')과 동일한 물질을 포함할 수 있고, 식각 저지층(110c)의 두께가 터널링층(166') 두께의 2배보다 크고 터널링층(166')과 전하 저장층(164')의 두께 합의 2배보다 작으면 식각 저지층(110c)은 터널링층(166') 및 전하 저장층(164')에 포함되는 물질을 모두 포함할 수 있다.
- [0071] 또한, 식각 저지층(110c)의 두께가 게이트 절연막(160')의 총 두께의 2배보다 작고, 터널링층(166')과 전하 저장층(164')의 두께 합의 2배보다 크면 블록킹층(162'), 전하 저장층(164') 및 터널링층(166') 각각에 포함되는 물질을 모두 포함할 수 있다. 식각 저지층(110c)은 컨택 플러그(200)에 의해 관통되므로, 복수의 컨택 플러그(200) 각각이 서로 전기적으로 연결되지 않도록 하기 위해서는 식각 저지층(110) 내에 도전성 물질이 포함되지 않아야 하며, 따라서 식각 저지층(110c)의 두께는 게이트 절연막(160')의 총 두께의 2배보다 크지 않게 형성될 수 있다. 한편, 도 7c에 도시한 바와 같은 게이트 절연막(160') 구조는, 도 6에 도시한 비휘발성 메모리 장치(100B)는 물론, 도 4 및 도 5에 도시한 비휘발성 메모리 장치(100, 100A)에도 적용될 수 있다.
- [0072] 이하, 도 8 내지 도 10을 참조하여 도 4 내지 도 6에 도시한 비휘발성 메모리 장치의 제조 방법에 대해 설명한다.
- [0073] 도 8a 내지 도 8m은 도 4에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다. 도 8a 내지 도 8m은 공정 순서에 따라 도 4의 사시도를 y 방향에서 바라본 단면도이다.
- [0074] 도 8a를 참조하면, 기판(105) 상에 복수의 절연층(171-177: 170)과 복수의 희생층(141-146: 140)이 교대로 적층된다. 희생층(140)은 절연층(170)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 즉, 희생층(140)은, 희생층(140)을 식각하는 공정에서, 절연층(170)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 이러한 식각 선택성(etch selectivity)은 절연층(170)의 식각 속도에 대한 희생층(140)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 예를 들면, 절연층(170)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지일 수 있고, 희생층(140)은 실리콘막, 실리콘 산화막, 실리콘 카바이드 및 실리콘 질화막

중에서 선택되는 절연층(170)과 다른 물질일 수 있다.

- [0075] 도 8a에는 복수의 절연층(170) 각각의 두께는, 실시예에 따라 서로 다를 수 있다. 예를 들어, 복수의 절연층(170) 가운데 z축 방향으로 최하부에 위치하는 절연층(171)은 다른 절연층(172-177)에 비해 상대적으로 얇은 두께를 가질 수 있으며, 최상부에 위치하는 절연층(177)은 다른 절연층(171-176)에 비해 상대적으로 두꺼울 수도 있다. 즉, 절연층(170) 및 희생층들(140)의 두께는 도 8a에 도시된 것으로 한정되지 않고 다양하게 변형될 수 있으며, 절연층(170) 및 희생층(140)을 구성하는 막들의 층수 역시 다양하게 변형될 수 있다.
- [0076] 교대로 적층된 복수의 절연층(170)과 희생층(140) 위에는 제1 마스크층(M1)이 형성된다. 제1 마스크층(M1)은 포토 레지스트를 포함할 수 있으며, 감광성 물질 및 비감광성 물질의 복합층으로 형성될 수 있다.
- [0077] 도 8a에서 제1 마스크층(M1)에 의해 노출된 복수의 절연층(170) 및 희생층(140)을 식각하여 제거할 수 있다. 상기 식각 공정은 건식 식각법 또는 습식 식각법을 이용하여 이방성 식각으로 수행할 수 있다. 건식 식각법을 이용하는 경우, 적층된 절연층(170) 및 희생층(140)을 순차적으로 식각하기 위해 복수의 단계들로 제거 공정이 수행될 수 있다.
- [0078] 제1 마스크층(M1)에 의해 노출된 복수의 절연층(170) 및 희생층(140)을 식각하여 제거하면, 제1 마스크층(M1)을 트리밍(trimming)할 수 있다. 트리밍 공정에는 건식 식각법 또는 습식 식각법이 적용될 수 있으며, 트리밍 공정에 의해 도 8b에 도시한 바와 같이 제1 마스크층(M1)의 가장자리 일부가 제거된 제2 마스크층(M2)이 형성된다. 이때, 트리밍 공정에 의해 제1 마스크층(M1)의 x축 방향 길이는 물론 z축 방향의 높이도 감소할 수 있다.
- [0079] 도 8c를 참조하면, 도 8b와 동일한 방식으로 제2 마스크층(M2)에 의해 노출된 복수의 절연층(170) 및 희생층(140)을 식각할 수 있다. 이때, 도 8c의 식각 공정은 최하부로부터 2번째 절연층(172)까지 진행될 수 있으며, 그로부터 제1 패드 영역이 형성될 수 있다. 식각 공정이 완료되면, 제2 마스크층(M2)에 대한 트리밍 공정을 수행하여 제2 마스크층(M2)보다 좁은 면적을 커버하는 제3 마스크층(M3)을 형성할 수 있다. 제3 마스크층(M3)에 의해 노출된 복수의 절연층(173-177)과 희생층(142-146)을 식각하여 제2 패드 영역을 형성할 수 있다.
- [0080] 도 8b 및 도 8c를 참조하여 설명한 방식에 따라 복수의 절연층(170)과 희생층(140)에 대한 식각 공정 및 트리밍 공정을 반복함으로써, 최종적으로 도 8d에 도시한 바와 같은 구조를 형성할 수 있다. 도 8d를 참조하면, 각 절연층(170)과 희생층(140)이 쌍(pair)을 이루며, 하나의 쌍에 포함되는 절연층(170)과 희생층(140)은 일 방향 - x축 방향 - 을 따라 서로 동일한 길이로 연장될 수 있다. 예외적으로, z축 방향으로 최하부에 위치한 희생층(141)은, 상하부에 각각 일 방향으로 같은 길이만큼 연장되는 절연층(171, 172)이 배치될 수 있다.
- [0081] 또한, 하나의 쌍에 포함되는 절연층(170) 및 희생층(140)은 인접한 다른 쌍에 포함되는 절연층(170) 및 희생층(140)과 서로 다른 길이만큼 x축 방향으로 연장됨으로써 도 8d에 도시한 바와 같이 복수의 단차를 형성할 수 있다. 복수의 단차에 의해 노출되는 영역은 복수의 패드 영역(P1-P6)으로 정의될 수 있다.
- [0082] 도 8e를 참조하면, 복수의 패드 영역(P1-P6)이 마련된 복수의 절연층(170) 및 희생층(140) 상에 추가로 절연층(AD)이 형성될 수 있다. 상기 절연층(AD)은 복수의 절연층(170)의 단부를 덮도록 형성될 수 있으며, 이하에서, 복수의 절연층(170)은 복수의 희생층(140) 사이에 배치되는 절연층(171-177)과 함께 도 8e에서 형성되는 절연층(AD)을 포함하여 지칭하는 용어로 사용될 수 있다. 도 8e에서 형성되는 절연층(AD)은 복수의 희생층(140) 사이에 배치되는 절연층(171-177)에 비해 상대적으로 얇은 두께를 가질 수 있으며, 도 8f에서 형성되는 식각 저지 희생층(115)을 복수의 희생층(140)과 물리적으로 분리할 수 있다. 상기 절연층(AD)은 복수의 희생층(140) 사이에 마련된 절연층(171-177)과 동일한 물질을 포함할 수 있으며, 따라서 도 8f 이후의 도면에서 상기 절연층(AD)은 복수의 희생층(140) 사이에 마련된 절연층(171-177)과 구분없이 절연층(170)으로 통합하여 지칭하기로 한다.
- [0083] 이어 도 8f를 참조하면, 식각 저지 희생층(115)이 절연층(170) 상에 형성된다. 식각 저지 희생층(115)은 복수의 희생층(140)과 동일한 물질을 포함할 수 있으며, 추후 형성되는 게이트 절연막(160) 두께의 2배보다 작은 두께를 가질 수 있다. 상기 두께 한정은 식각 저지 희생층(115)과 복수의 희생층(140)이 식각 공정에 의해 제거되고 식각 저지층(110)과 복수의 게이트 전극층(150)을 형성하는 공정을 진행할 때 식각 저지층(110) 내에 도전성 물질이 유입되는 것을 방지하기 위함일 수 있다. 도 7a 또는 도 7b와 같이 제1 측면 개구부(T1) 내에 블록킹층(162) 만이 마련되는 경우, 식각 저지 희생층(115)은 블록킹층(162) 두께의 2배 이하일 수 있으며, 도 7c의 경우에는, 블록킹층(162'), 전하 저장층(164'), 및 터널링층(166')을 모두 포함하는 게이트 절연막(160') 두께의 2배 이하일 수 있다.
- [0084] 식각 저지 희생층(115)이 마련되면, 도 8g에 도시한 바와 같이 식각 저지 희생층(115) 상에 연결 영역 절연층

(180)을 형성할 수 있다. 연결 영역 절연층(180)은 복수의 절연층(170)과 동일한 물질을 포함할 수 있다. 비휘발성 메모리 장치의 일 실시예에 따른 제조 방법에서, 주변 회로 영역이 먼저 형성된 후, 셀 어레이 영역(C) 및 연결 영역(D)이 형성될 수 있다. 이 경우, 연결 영역 절연층(180)의 형성 및 평탄화 공정에 의해, 셀 어레이 영역(C), 연결 영역(D) 및 주변 회로 영역의 높이가 동일해질 수 있다.

[0085] 연결 영역 절연층(180)이 형성되면, 도 8h에 도시한 바와 같이 채널 영역(130)이 형성될 수 있다. 채널 영역(130)을 형성하기 위해, 복수의 절연층(170)과 희생층(140)을 z축 방향으로 관통하는 복수의 개구부를 형성할 수 있다. 복수의 개구부는 x-y 평면에서 지그 재그 형태로 배치될 수 있으며, 복수의 개구부는 x-y 평면에서 서로 이격되어 고립될 수 있다. 복수의 개구부는 복수의 패드 영역(P1-P6)을 형성한 방법과 유사하게, 마스크층에 의해 복수의 개구부가 마련되는 영역만을 노출시키고 노출된 영역을 이방성 식각함으로써 형성될 수 있다. 복수의 개구부 각각은 기판(105)의 상면을 노출시키거나, 또는 기판(105)을 소정 깊이만큼 파고 들어가는 깊이를 가질 수도 있다.

[0086] 복수의 개구부 각각의 내면 및 하부면에 ALD 또는 CVD를 사용하여 전하 저장층(164)과 터널링층(166)을 형성할 수 있다. 복수의 희생층(140) 및 절연층(170)과 인접한 영역으로부터 전하 저장층(164)과 터널링층(166)이 순서대로 적층되며, 터널링층(166)의 내측에 채널 영역(130)이 형성된다. 채널 영역(130)은 소정의 두께, 예컨대, 복수의 개구부 각각의 폭의 1/50 내지 1/5의 범위의 두께로 형성될 수 있으며, 전하 저장층(164) 및 터널링층(166)과 유사하게 ALD 또는 CVD에 의해 형성될 수 있다. 한편, 개구부 각각의 저면에서 채널 영역(130)은 기판(105)과 직접 접촉되어 전기적으로 연결될 수 있다.

[0087] 채널 영역(130)의 내측은 매립 절연층(120)으로 채워질 수 있다. 선택적으로, 매립 절연층(120)을 형성하기 전에, 채널 영역(130)이 형성된 구조를 수소 또는 중수소를 포함하는 가스 분위기에서 열처리하는 수소 어닐링(annealing) 단계가 더 실시될 수 있다. 상기 수소 어닐링 단계에 의하여 채널 영역(130) 내에 존재하는 결정 결함들 중의 많은 부분들이 치유될 수 있다.

[0088] 상기 구조는 도 7a에 도시한 실시예에 따른 것이나, 다른 구조로 채널 영역(130)을 형성할 수도 있음은 물론이다. 예를 들어, 복수의 개구부를 형성한 후, 전하 저장층(164)과 터널링층(166)을 형성하는 공정 없이 바로 채널 영역(130)을 형성하고 채널 영역(130)의 내측에 매립 절연층(120)을 형성할 수 있다. 이때, 터널링층(166)과 전하 저장층(164)은 도 7c에 도시한 실시예와 같이 블록킹층(162)과 게이트 전극층(150)을 형성하는 공정 전에 형성되어 블록킹층(162) 외측에 배치될 수 있다.

[0089] 다음으로, 최상부의 연결 영역 절연층(180)을 덮고 있는 불필요한 반도체 물질 및 절연 물질을 제거하기 위해 평탄화 공정을 수행할 수 있다. 그 후, 식각 공정 등을 이용하여 매립 절연층(120)의 상부를 일부분 제거할 수 있으며, 상기 제거된 위치에 도전층(195)을 이루는 물질을 증착할 수 있다. 다시, 평탄화 공정을 수행하여, 도전층(195)이 형성될 수 있다.

[0090] 채널 영역(130)이 형성되면, 도 8i에 도시한 바와 같이 복수의 희생층(140) 및 식각 저지 희생층(115)을 제거하여 측면 개구부(T1, T2)를 형성할 수 있다. 복수의 희생층(140)이 제거됨에 따라 복수의 절연층(170) 사이에 복수의 제1 측면 개구부(T1)가 마련되고, 복수의 절연층(170)과 연결 영역 절연층(180) 사이에 마련된 식각 저지 희생층(115)을 제거하여 제2 측면 개구부(T2)가 마련될 수 있다.

[0091] 도 8j를 참조하면, 측면 개구부(T1, T2) 내에 블록킹층(162)과 게이트 전극층(151-156: 150)을 형성할 수 있다. 도 8f에서 설명한 바와 같이, 도전성 물질이 유입되는 것을 방지하기 위해, 식각 저지 희생층(115)의 두께는 제1 측면 개구부(T1) 내에 형성되는 블록킹층(162) 두께의 2배 이하일 수 있으며, 따라서 제2 측면 개구부(T2)의 두께 역시 블록킹층(162)의 두께의 2배 이하일 수 있다.

[0092] 제1 측면 개구부(T1)에 블록킹층(162)과 게이트 전극층(150)을 순서대로 형성하는데, 블록킹층(162)은 전하 저장층(164) 및 터널링층(166)과 마찬가지로 ALD, CVD 또는 물리 기상 증착(Physical Vapor Deposition, PVD) 공정에 의해 형성될 수 있다. 이때, 제2 측면 개구부(T2)에도 블록킹층(162)과 동일한 물질이 유입되어 식각 저지층(110)이 형성될 수 있으며, 상기과 같은 제2 측면 개구부(T2)의 두께 한정에 의해, 제2 측면 개구부(T2)의 내부 공간은 블록킹층(162)과 동일한 물질로 모두 채워질 수 있다.

[0093] 즉, 게이트 전극층(150)에 포함되는 도전성 물질은 제2 측면 개구부(T2)에는 유입되지 않고 제1 측면 개구부(T1)에만 유입될 수 있다. 블록킹층(162)과 식각 저지층(110)은 알루미늄 산화물(Al_2O_3)을 포함할 수 있으며, 게이트 전극층(150)은 텅스텐(W)과 같은 도전성 물질을 포함할 수 있다.

- [0094] 블록킹층(162)과 식각 저지층(110) 및 게이트 전극층(150)이 형성되면, 도 8k에 도시한 바와 같이 채널 영역(130)과 평행한 z축 방향으로 식각 공정을 진행하여 컨택 플러그(200)를 형성하기 위한 복수의 수직 개구부(211-216: 210)를 형성할 수 있다. 복수의 수직 개구부(210)를 형성하는 식각 공정은, 식각 저지층(110)에 대하여 연결 영역 절연층(180)에 포함되는 물질을 선택적으로 식각하는 공정을 포함할 수 있으며, 그로부터 복수의 게이트 전극층(150) 중 적어도 일부가 관통되거나 수직 개구부(210)와 연결되지 않는 문제를 방지할 수 있다. 이하, 자세히 설명한다.
- [0095] 복수의 수직 개구부(210)를 동시에 형성하는 식각 공정에서, z축 방향으로 최하부에 위치한 게이트 전극층(151)과 연결되는 제1 수직 개구부(211)는 다른 수직 개구부(212-216)에 비해 상대적으로 긴 식각 공정 시간을 요구할 수 있다. 또한, 제6 수직 개구부(216)의 경우, 다른 수직 개구부(211-215)에 비해 상대적으로 짧은 식각 공정 시간 동안 형성될 수 있다. 따라서, 별다른 공정 조건 변화 또는 식각 저지층(110) 없이 일정한 조건으로 식각을 진행할 경우, 제1 수직 개구부(211)를 형성하기 위해 필요한 시간 동안 식각 공정이 지속됨으로써, 제6 수직 개구부(216)가 게이트 전극층(156)을 관통하여 다른 게이트 전극층(155)과 연결될 수 있다.
- [0096] 본 발명에서는, 각 게이트 전극층(150)이 x축 방향으로 연장되어 생성되는 단차에 의해 정의되는 패드 영역(P1-P6)에서 게이트 전극층(150) 상에 식각 저지층(110)을 마련함으로써 상기와 같은 문제를 해결할 수 있다.
- [0097] 수직 개구부(210)를 형성할 때, 식각 저지층(110)에 포함되는 물질과 소정의 선택비를 갖도록 식각 공정이 진행될 수 있으며, 식각 공정에 의해 형성되는 각 수직 개구부(210)가 z축 방향으로 식각 저지층(110)에 도달하면 식각 공정의 속도가 느려질 수 있다. 다른 수직 개구부(211-215)를 형성하기 위해 식각 공정이 지속되는 동안, 제6 수직 개구부(216)는 식각 저지층(110)에 가장 먼저 도달하여 느린 속도로 식각이 진행되기 때문에, 제6 수직 개구부(216)가 게이트 전극층(156)을 관통하지 않게 된다.
- [0098] 복수의 수직 개구부(210)를 형성하는 식각 공정은, 식각 저지층(110)에 대해 복수의 절연층(170)을 선택적으로 식각하는 제1 식각 공정과, 게이트 전극층(150)에 대하여 복수의 절연층(170)을 선택적으로 식각하는 제2 식각 공정을 포함할 수도 있다. 제1 식각 공정을 이용하여 식각 저지층(110)에 도달한 일부 수직 개구부(210)가 느리게 식각되는 동안, 다른 수직 개구부(210)를 원하는 깊이로 형성할 수 있다. 제1 식각 공정에 의해 수직 개구부(210)가 식각 저지층(110)까지 도달하면, 제2 식각 공정을 이용하여 복수의 게이트 전극층(150)을 일정 깊이만큼 파고 들어가도록 각 수직 개구부(210)의 z축 방향 길이를 연장할 수 있다.
- [0099] 복수의 수직 개구부(210)가 마련되면, 도 8l과 같이 각 수직 개구부(210)에 도전성 물질을 채워 넣음으로써 복수의 컨택 플러그(201-206: 200)를 형성할 수 있다. 수직 개구부(210)를 채우는 도전성 물질은, 게이트 전극층(150)에 포함되는 도전성 물질과 동일할 수 있으며, 일례로 텅스텐(W)일 수 있다. 복수의 컨택 플러그(200) 상에는 도 8m과 같이 복수의 연결 라인(221-226: 220)이 형성될 수 있다. 복수의 연결 라인(220)은 비트 라인(190)과 평행한 방향 또는 복수의 게이트 전극층(150)이 연장되는 방향과 교차하는 방향으로 형성될 수 있으며, z축 방향으로 동일한 높이에 형성된 게이트 전극층(150) 중 적어도 일부를 서로 전기적으로 연결할 수 있다.
- [0100] 도 9a 내지 도 9j는 도 5에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다.
- [0101] 도 9a 내지 도 9j는 도 5의 사시도를 y축 방향에서 바라본 단면도이며, 연결 영역(D)에서의 제조 공정을 위주로 설명할 수 있다.
- [0102] 도 9a를 참조하면, 기판(105)의 상면에 교대로 적층된 복수의 절연층(170)과 희생층(140)이 식각되어 복수의 패드 영역(P1-P6)이 마련된다. 복수의 패드 영역(P1-P6)에 의해 복수의 절연층(170) 및 희생층(140) 각각은, 다른 절연층(170) 및 희생층(140)과 단차를 형성하게 된다. 또한 복수의 패드 영역(P1-P6)에 의해 각 절연층(170)의 일부 상면이 노출될 수 있으며, 도 9a에 도시한 바와 달리 복수의 패드 영역(P1-P6)에서 각 희생층(140)의 상면이 일부 노출될 수도 있다.
- [0103] 복수의 패드 영역(P1-P6)이 마련되면, 도 9b 및 도 9c에 도시한 바와 같이 패드 영역(P1-P6) 상에 추가로 절연층(AD)을 형성하고, 식각 저지 희생층(115a, 115b)을 마련할 수 있다. 이때, 제1 식각 저지 희생층(115a)과 제2 식각 저지 희생층(115b) 사이에는 제1 식각 저지 희생층(115a)과 제2 식각 저지 희생층(115b)을 물리적으로 분리하기 위한 절연층(AD2)이 더 마련될 수 있다. 식각 저지 희생층(115a, 115b)이 마련되면, 제2 식각 저지 희생층(115b) 상에 연결 영역 절연층(180)을 도포하고 평탄화 공정을 수행할 수 있으며, 도 9d에 도시한 바와 같은

구조물을 형성할 수 있다.

- [0104] 다음으로 도 9e를 참조하면, 채널 영역(130)을 형성할 수 있다. 채널 영역(130)을 형성하는 방법은 앞서 도 8h를 참조하여 설명한 바와 동일할 수 있다. 채널 영역(130)이 형성되면, 도 9f에 도시한 바와 같이, 식각 저지 희생층(115a, 115b)과 복수의 희생층(140)을 제거하여 측면 개구부(T1, T2)를 마련할 수 있다. 제1 측면 개구부(T1)는 복수의 희생층(140)이 마련되어 있던 공간에 대응하며, 제2 측면 개구부(T2)는 식각 저지 희생층(115a, 115b)이 마련되어 있던 공간에 대응할 수 있다.
- [0105] 측면 개구부(T1, T2)에는 도 9g와 같이 소정의 물질이 유입될 수 있다. 이때, 제1 측면 개구부(T1)에는 블록킹층(162)이 우선 증착되어 채널 영역(130)의 외곽에 마련된 전하 저장층(164) 및 터널링층(166)과 함께 게이트 절연막(160)을 형성하며, 블록킹층(162)의 내부에 텅스텐(W)과 같은 도전성 물질로 게이트 전극층(150)이 형성될 수 있다. 제2 측면 개구부(T2)에는 블록킹층(162)과 동일한 물질이 증착되어 식각 저지층(110a, 110b)이 형성될 수 있다.
- [0106] 이때, 제2 측면 개구부(T2)의 두께는, 제1 측면 개구부(T1)내에 형성되는 블록킹층(162) 두께의 2배보다 작을 수 있다. 제2 측면 개구부(T2)의 두께를 상기와 같은 조건으로 한정함으로써, 게이트 절연막(160)을 형성하는 물질 이외에 게이트 전극층(150)을 형성하는 도전성 물질이 제2 측면 개구부(T2)로 유입되는 것을 방지할 수 있다.
- [0107] 또한, 채널 영역(130)의 외곽에 터널링층(166)과 전하 저장층(164)이 마련되지 않고, 제1 측면 개구부(T1) 내에 게이트 절연막(160)에 포함되는 터널링층(166), 전하 저장층(164), 블록킹층(162)이 모두 마련될 수도 있다. 이때 제2 측면 개구부(T2)의 두께는 터널링층(166), 전하 저장층(164), 블록킹층(162)을 포함하는 게이트 절연막(160) 총 두께의 2배보다 작을 수 있다.
- [0108] 블록킹층(162)과 게이트 전극층(150) 및 식각 저지층(110a, 110b)이 형성되면, z축 방향으로 식각 공정을 진행하여 각 패드 영역(P1-P6)까지 연결되는 복수의 수직 개구부(211-216: 210)를 마련할 수 있다. 복수의 수직 개구부(210)는 식각 조건에 따라 기판(105)에 가까워질수록 좁아지는 폭을 가질 수도 있으며, 복수의 수직 개구부(210)를 형성하는 식각 공정은 식각 저지층(110a, 110b)과 소정의 식각 선택비를 가질 수 있다.
- [0109] 즉, 식각 저지층(110a, 110b)에 대하여 연결 영역 절연층(180) 및 복수의 절연층(170)을 선택적으로 식각하는 식각 공정을 이용하여 수직 개구부(210)를 형성할 수 있다. 상기와 같은 조건의 식각 공정을 이용함으로써, 최하부에 위치한 게이트 전극층(151)에 연결되는 수직 개구부(211)가 형성되는 동안, 최상부에 위치한 게이트 전극층(156)에 연결되는 수직 개구부(216)가 최상부에 위치한 게이트 전극층(156)을 관통하는 것을 방지할 수 있다.
- [0110] 복수의 수직 개구부(210) 내에는 도 9i에 도시한 바와 같이 도전성 물질 - 예를 들면 텅스텐(W) - 이 충전되어 콘택 플러그(201-206: 200)가 형성될 수 있으며, 도 9j와 같이 콘택 플러그(200) 상에는 복수의 연결 라인(221-226: 220)이 마련될 수 있다. 복수의 연결 라인(220)은 z축 방향으로 동일한 높이에 마련되는 복수의 게이트 전극층(150) 중 일부를 서로 전기적으로 연결할 수 있으며, y축 방향으로 연장될 수 있다. 복수의 연결 라인(220)이 복수의 콘택 플러그(200)를 통해 복수의 게이트 전극층(150)과 전기적으로 연결되어야 하므로, 수직 개구부(210)를 형성하는 식각 공정은 게이트 전극층(150)에 대하여 복수의 절연층(170)을 선택적으로 식각하는 식각 공정을 포함할 수 있다.
- [0111] 도 10a 내지 도 10i는 도 6에 도시한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 데에 제공되는 단면도이다.
- [0112] 도 10a 내지 도 10i는 도 6의 사시도를 y축 방향에서 바라본 단면도이며, 연결 영역(D)에서의 제조 공정을 위주로 설명하기로 한다.
- [0113] 도 10a를 참조하면, 기판(105)의 상면에 복수의 절연층(171-177: 170)과 복수의 희생층(141-146: 140)이 교대로 적층되며, 복수의 절연층(170)과 복수의 희생층(140)이 교대로 적층된 구조물 위에는 마스크(M)가 마련된다. 복수의 절연층(170) 내에는 복수의 희생층(140)과 동일한 물질로 복수의 식각 저지 희생층(115c)이 형성될 수 있다.
- [0114] 식각 저지 희생층(115c)은 복수의 희생층(140)과 마찬가지로 x-y 평면에 평행할 수 있다. 도 10a에는 적층 방향으로 서로 인접한 희생층(140) 사이에 하나의 식각 저지 희생층(115)이 형성되는 구조를 도시하였으나, 서로 인

접한 회생층(140) 사이에 복수의 식각 저지 회생층(115c)이 형성될 수도 있다. 또한, 인접한 회생층(140) 사이에 서로 다른 개수의 식각 저지 회생층(115c)이 형성될 수도 있다.

- [0115] 도 10b를 참조하면, 도 8a 내지 도 8d에서 설명한 바와 유사하게 마스크(M)에 의해 노출된 영역을 식각하고 마스크(M)를 트리밍하는 공정을 반복하여 도 10b에 도시한 바와 같은 복수의 패드 영역(P1-P6)을 형성할 수 있다. 복수의 패드 영역(P1-P6) 상에는 도 10c와 같이 연결 영역 절연층(180)이 형성될 수 있다. 연결 영역 절연층(180)을 형성한 후에는 평탄화 공정에 의해, 셀 어레이 영역(C), 연결 영역(D) 및 주변 회로 영역의 높이가 동일해질 수 있다.
- [0116] 다음으로, 도 10d에 도시한 바와 같이 채널 영역(130)이 형성된다. 채널 영역(130)을 형성하는 방법은 앞서 도 8h를 참조하여 설명한 바와 동일할 수 있으며, 채널 영역(130)의 내측에는 매립 절연층(120)이, 채널 영역(130)의 외측에는 터널링층(166)과 전하 저장층(164)이 순서대로 마련될 수 있다. 채널 영역(130) 상에는 도전층(195)이 마련될 수 있으며, 도전층(195)은 비트 라인(190)과 전기적으로 연결될 수 있다.
- [0117] 채널 영역(130)이 형성되면, 복수의 회생층(140)과, 절연층(170) 내에 마련된 식각 저지 회생층(115c)을 제거하여 복수의 측면 개구부(T1, T2')를 형성할 수 있다. 복수의 제1 측면 개구부(T1)는 게이트 전극층(150)이 마련되는 공간에 대응하며, 복수의 제2 측면 개구부(T2')는 식각 저지층(110c)이 마련되는 공간에 대응할 수 있다.
- [0118] 복수의 제1 측면 개구부(T1)에는 도 10f에 도시한 바와 같이 블록킹층(162)과 도전성 물질이 채워지며, 복수의 제2 측면 개구부(T2')에는 블록킹층(162)에 포함되는 물질과 동일한 물질이 채워질 수 있다. 일 실시예로, 블록킹층(162)이 알루미늄 산화물(Al_2O_3)을 포함하는 경우, 복수의 제2 측면 개구부(T2')에도 알루미늄 산화물이 도포되어 식각 저지층(110c)이 형성될 수 있다. 제2 측면 개구부(T2')의 두께는 블록킹층(162)의 두께의 2배 이하일 수 있으며, 따라서 제2 측면 개구부(T2') 내에는 블록킹층(162)에 포함되는 물질만이 채워질 수 있다. 즉, 제2 측면 개구부(T2')는 도전성 물질을 포함하지 않을 수 있다. 제1 측면 개구부(T1) 내에 형성된 블록킹층(162)의 내측에는 도전성 물질 - 예를 들면 텅스텐(W) - 로 게이트 전극층(150)이 더 형성될 수 있다.
- [0119] 한편, 도 7c에 도시한 실시예와 같이 제1 측면 개구부(T1) 내에 블록킹층(162)과 전하 저장층(164) 및 터널링층(166)이 모두 형성되는 경우, 제2 측면 개구부(T2')의 두께는 블록킹층(162)과 전하 저장층(164) 및 터널링층(166)을 포함하는 게이트 절연막(160)의 두께의 2배 이하일 수 있다. 제2 측면 개구부(T2') 내부는 블록킹층(162)과 전하 저장층(164) 및 터널링층(166) 중 적어도 하나에 포함되는 물질로 채워지며, 따라서 게이트 전극층(150)에 포함되는 도전성 물질은 제2 측면 개구부(T2')로 유입되지 않는다.
- [0120] 식각 저지층(110c)과 블록킹층(162) 및 게이트 전극층(150)이 형성되면, 도 10g에 도시한 바와 같이 z축 방향으로 식각 공정을 진행하여 복수의 수직 개구부(211-216: 210)를 형성할 수 있다. 수직 개구부(210)를 형성하는 식각 공정은 식각 저지층(110c)에 포함되는 물질과 소정의 식각 선택비를 가질 수 있으며, 그로부터 z축 방향으로 상부에 위치한 수직 개구부(216)가 게이트 전극층(156)을 관통하여 발생하는 불량 문제를 해결할 수 있다.
- [0121] 수직 개구부(210) 내에 도전성 물질, 예를 들어 게이트 전극층(150)과 동일한 물질을 주입하여 도 10h에 도시한 바와 같이 콘택 플러그(201-206: 200)를 형성할 수 있다. 도 10i를 참조하면, 콘택 플러그(200) 상에는 y축 방향으로 연장되는 복수의 연결 라인(221-226: 220)이 배치되고, 각 연결 라인(220)은 z축 방향으로 동일한 위치에 배치된 게이트 전극층(150) 중 일부를 서로 전기적으로 연결할 수 있다.
- [0122] 도 11 내지 도 13은 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 구조를 나타내는 단면도이다. 도 11 내지 도 13에는 설명의 편의를 위해 비휘발성 메모리 장치에서 연결 영역(D)만을 도시하였다.
- [0123] 우선 도 11을 참조하면, 기판(105) 상에 복수의 게이트 전극층(151-158: 150)과 복수의 절연층(171-179: 170)이 교대로 적층될 수 있다. 복수의 게이트 전극층(150)과 절연층(170) 각각은 마스크층을 이용한 식각 공정에 의해 일 방향 - 도 11에서 x축 방향 - 으로 서로 다른 길이만큼 연장되어 다른 게이트 전극층(150) 및 절연층(170)과 단차를 형성하게 되며, 상기 단차로 인해 복수의 패드 영역이 형성될 수 있다.
- [0124] 복수의 패드 영역에서 게이트 전극층(150) 상에 식각 저지층(110a, 110b)이 마련된다. 이때, 식각 저지층(110a, 110b)은 복수의 패드 영역과 단차에 대응하는 형상을 가질 수 있으며, 도 11에 도시한 바와 같은 계단 형상을 가질 수 있다. 식각 저지층(110a, 110b)은 복수의 게이트 전극층(150)을 둘러싸는 게이트 절연막(160) 중 적어도 일부와 동일한 물질을 포함할 수 있다.

- [0125] 식각 저지층(110a, 110b)과 게이트 절연막(160)을 관통하는 컨택 플러그(201-208: 200)에 의해 복수의 연결 라인(221-228: 220)이 게이트 전극층(150)과 전기적으로 연결될 수 있다. 연결 라인(220)은 y축 방향으로 연장될 수 있으며, z축 방향으로 동일한 높이에 적층된 복수의 게이트 전극층(150) 중 일부를 서로 전기적으로 연결할 수 있다.
- [0126] 컨택 플러그(200)를 형성하기 위해 수직 개구부를 형성하는 식각 공정을 진행함에 있어서, 식각 저지층(110a, 110b)은 식각 공정에 대한 스톱퍼(stopper) 역할로 기능할 수 있다. 즉, 식각 공정은 식각 저지층(110a, 110b)에 대해 연결 영역 절연층(180) 및 복수의 절연층(170)을 선택적으로 식각하는 공정 조건으로 진행될 수 있다. 즉, 연결 영역 절연층(180)이 식각되어 식각 저지층(110a, 110b)에 도달했을 때, 식각 저지층(110a, 110b)에 의해 식각 속도가 느려질 수 있다. 따라서, 복수의 수직 개구부를 동시에 형성하는 식각 공정 시에 일부 수직 개구부가 과도하게 식각되어 게이트 전극층(150) 중 일부를 관통하게 되는 불량을 방지할 수 있다.
- [0127] 도 11에는 z축 방향으로 상부에 위치한 4개의 패드 영역 상에 하나의 식각 저지층(110a)이 마련되고, z축 방향으로 하부에 위치한 4개의 패드 영역 상에 2개의 식각 저지층(110a, 110b)이 마련되는 것을 도시하였으나, 식각 저지층(110a, 110b)의 개수가 반드시 이와 같은 형태로 한정되는 것은 아니다. 식각 저지층(110a, 110b)은 상부에 위치한 일부 패드 영역에 복수개 마련되거나, 하부에 위치한 일부 패드 영역에 하나만 마련될 수도 있으며, 상하부 구분없이 모든 패드 영역상에 동일한 개수의 식각 저지층(110a, 110b)이 마련될 수도 있다.
- [0128] 도 12를 참조하면, 기판(105) 상에 복수의 게이트 전극층(151-158: 150)과 복수의 절연층(171-179: 170)이 교대로 적층된다. 도 12에 도시한 비휘발성 메모리 장치(100)의 대부분 구성 요소는 도 11의 실시예와 동일하나, 식각 저지층(110c)의 구조는 도 11과 다를 수 있다. 도 12에서 식각 저지층(110c)은 도 11과 같이 복수의 패드 영역 및 단차에 대응하는 계단 형상이 아닌, 복수의 게이트 전극층(150)과 같이 일 방향 - x축 방향 - 으로 연장되는 형상을 갖는다. 즉, 복수의 식각 저지층(110c)은 서로 다른 길이를 갖도록 일 방향으로 연장되며, 인접한 게이트 전극층(150)과 같은 길이만큼 일 방향으로 연장될 수 있다.
- [0129] 도 11을 참조하여 설명한 바와 같이, 도 12에서 복수의 패드 영역에 식각 저지층(110c)이 마련됨에 따라, 컨택 플러그(201-208: 200)를 형성하기 위해 복수의 수직 개구부를 형성하는 식각 공정에서 복수의 게이트 전극층(150) 중 적어도 일부가 상기 식각 공정에 의해 관통되는 불량 발생을 억제할 수 있다. 식각 저지층(110c)에 포함되는 물질과 선택비를 갖도록 컨택 플러그(150)를 형성하는 식각 공정을 진행함으로써, 식각 저지층(110c)에 이르렀을 때 식각 공정의 속도를 상대적으로 늦출 수 있다. 따라서, 복수의 수직 개구부를 동시에 형성하는 식각 공정을 진행하여도 게이트 전극층(150) 중 일부가 관통되거나, 또는 일부 게이트 전극층(150)까지 수직 개구부가 연장되지 않음으로써 발생하는 불량 문제를 해결할 수 있다.
- [0130] 도 13은 도 12에 도시한 실시예의 변형된 형태를 나타낸 도이다. 도 13을 참조하면, 복수의 게이트 전극층(151-158: 150)에 인접하여 복수의 식각 저지층(110c, 110d)이 마련되는데, 게이트 전극층(150) 사이에 배치되는 식각 저지층(110c, 110d)의 개수를 선택적으로 다르게 배치한 것이다. 제1, 제2, 제7, 제8 게이트 전극층(151, 152, 157, 158)에 인접한 식각 저지층(110c)은 하나의 층만을 포함하며, 제3 내지 제6 게이트 전극층(153-156)에 인접한 식각 저지층(110d)은 2개의 층을 포함할 수 있다. 그러나 도 13과 달리, 더 다양한 개수의 조합으로 식각 저지층(110c, 110d)을 형성할 수 있음은 물론이다.
- [0131] 도 14는 본 발명의 일 실시 형태에 따른 비휘발성 메모리 장치를 포함하는 저장 장치를 나타낸 블록도이다.
- [0132] 도 14를 참조하면, 일 실시 형태에 따른 저장 장치(1000)는 호스트(HOST)와 통신하는 컨트롤러(1010) 및 데이터를 저장하는 메모리(1020-1, 1020-2, 1020-3)를 포함할 수 있다. 각 메모리(1020-1, 1020-2, 1020-3)는, 도 1 내지 도 13을 참조하여 상술한 것과 같은 본 발명의 다양한 실시예에 따른 비휘발성 메모리 장치를 포함할 수 있다.
- [0133] 컨트롤러(1010)와 통신하는 호스트(HOST)는 저장 장치(1000)가 장착되는 다양한 전자 기기일 수 있으며, 예를 들어 스마트폰, 디지털 카메라, 데스크 톱, 랩톱, 미디어 플레이어 등일 수 있다. 컨트롤러(1010)는 호스트(HOST)에서 전달되는 데이터 쓰기 또는 읽기 요청을 수신하여 메모리(1020-1, 1020-2, 1020-3)에 데이터를 저장하거나, 메모리(1020-1, 1020-2, 1020-3)로부터 데이터를 인출하기 위한 명령(CMD)을 생성할 수 있다.

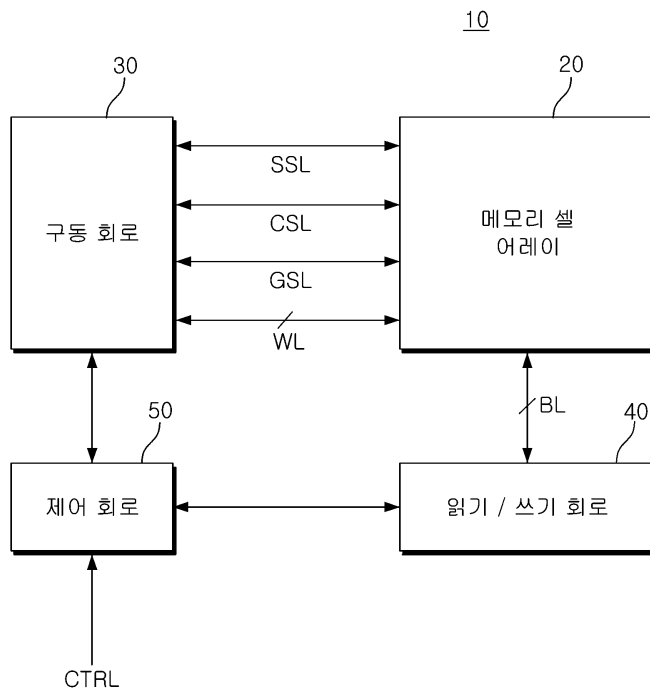
- [0134] 도 14에 도시한 바와 같이, 저장 장치(1000) 내에 하나 이상의 메모리(1020-1, 1020-2, 1020-3)가 컨트롤러(1010)에 병렬로 연결될 수 있다. 복수의 메모리(1020-1, 1020-2, 1020-3)를 컨트롤러(1010)에 병렬로 연결함으로써, SSD(Solid State Drive)와 같이 큰 용량을 갖는 저장 장치(1000)를 구현할 수 있다.
- [0135] 도 15은 본 발명의 일 실시 형태에 따른 비휘발성 메모리 장치를 포함하는 전자 기기를 나타낸 블록도이다.
- [0136] 도 15을 참조하면, 일 실시 형태에 따른 전자 기기(2000)는 통신부(2010), 입력부(2020), 출력부(2030), 메모리(2040) 및 프로세서(2050)를 포함할 수 있다.
- [0137] 통신부(2010)는 유/무선 통신 모듈을 포함할 수 있으며, 무선 인터넷 모듈, 근거리 통신 모듈, GPS 모듈, 이동통신 모듈 등을 포함할 수 있다. 통신부(2010)에 포함되는 유/무선 통신 모듈은 다양한 통신 표준 규격에 의해 외부 통신망과 연결되어 데이터를 송수신할 수 있다.
- [0138] 입력부(2020)는 사용자가 전자 기기(2000)의 동작을 제어하기 위해 제공되는 모듈로서, 기계식 스위치, 터치스크린, 음성 인식 모듈 등을 포함할 수 있다. 또한, 입력부(2020)는 트랙 볼 또는 레이저 포인터 방식 등으로 동작하는 마우스, 또는 핑거 마우스 장치를 포함할 수도 있으며, 그 외에 사용자가 데이터를 입력할 수 있는 다양한 센서 모듈을 더 포함할 수도 있다.
- [0139] 출력부(2030)는 전자 기기(2000)에서 처리되는 정보를 음성 또는 영상의 형태로 출력하며, 메모리(2040)는 프로세서(2050)의 처리 및 제어를 위한 프로그램이나, 또는 데이터 등을 저장할 수 있다. 메모리(2040)는 도 1 내지 도 13을 참조하여 상술한 것과 같은 본 발명의 다양한 실시예에 따른 비휘발성 메모리 장치를 하나 이상 포함할 수 있으며, 프로세서(2050)는 필요한 동작에 따라 메모리(2040)에 명령어를 전달하여 데이터를 저장 또는 인출할 수 있다.
- [0140] 메모리(2040)는 전자 기기(2000)에 내장되거나 또는 별도의 인터페이스를 통해 프로세서(2050)와 통신할 수 있다. 별도의 인터페이스를 통해 프로세서(2050)와 통신하는 경우, 프로세서(2050)는 SD, SDHC, SDXC, MICRO SD, USB 등과 같은 다양한 인터페이스 규격을 통해 메모리(2040)에 데이터를 저장하거나 또는 인출할 수 있다.
- [0141] 프로세서(2050)는 전자 기기(2000)에 포함되는 각부의 동작을 제어할 수 있다. 프로세서(2050)는 음성 통화, 화상 통화, 데이터 통신 등과 관련된 제어 및 처리를 수행하거나, 멀티미디어 재생 및 관리를 위한 제어 및 처리를 수행할 수도 있다. 또한, 프로세서(2050)는 입력부(2020)를 통해 사용자로부터 전달되는 입력을 처리하고 그 결과를 출력부(2030)를 통해 출력할 수 있다. 또한, 프로세서(2050)는 앞서 설명한 바와 같이 전자 기기(2000)의 동작을 제어하는데 있어서 필요한 데이터를 메모리(2040)에 저장하거나 메모리(2040)로부터 인출할 수 있다.

부호의 설명

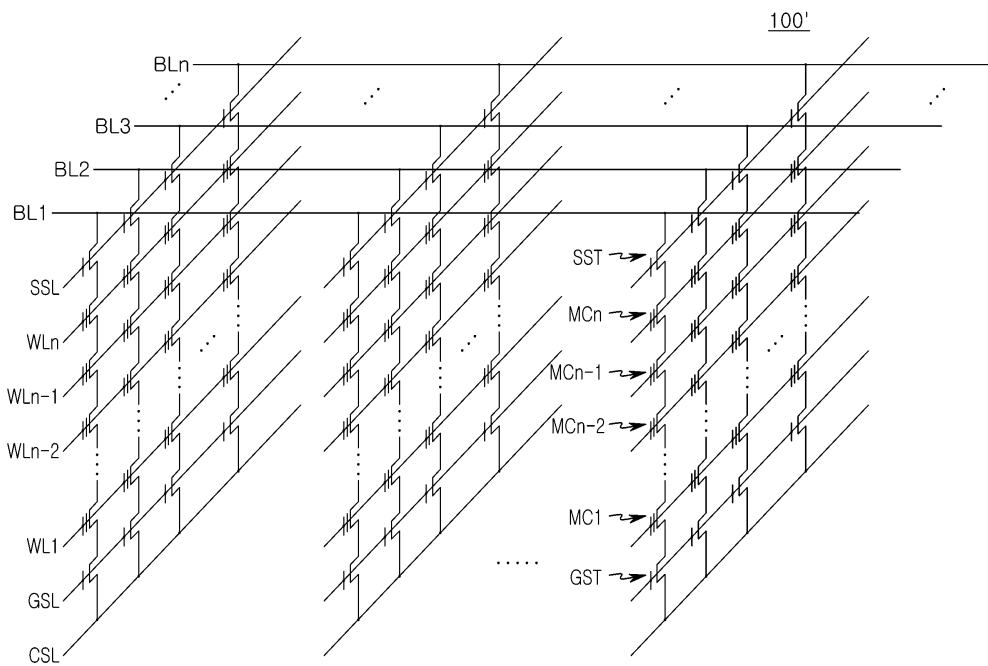
- [0142] 100: 비휘발성 메모리 장치 105: 기관
- 110: 시각 저지층 115: 시각 저지 희생층
- 120: 매립 절연층 130: 채널 영역
- 140: 희생층 150: 게이트 전극층
- 160: 게이트 절연막 162: 블록킹층
- 164: 전하 저장층 166: 터널링층
- 170: 절연층 180: 연결 영역 절연층
- 190: 비트 라인 195: 도전층
- 200: 콘택 플러그 210: 수직 개구부
- 220: 연결 라인 P1-P6: 패드 영역

도면

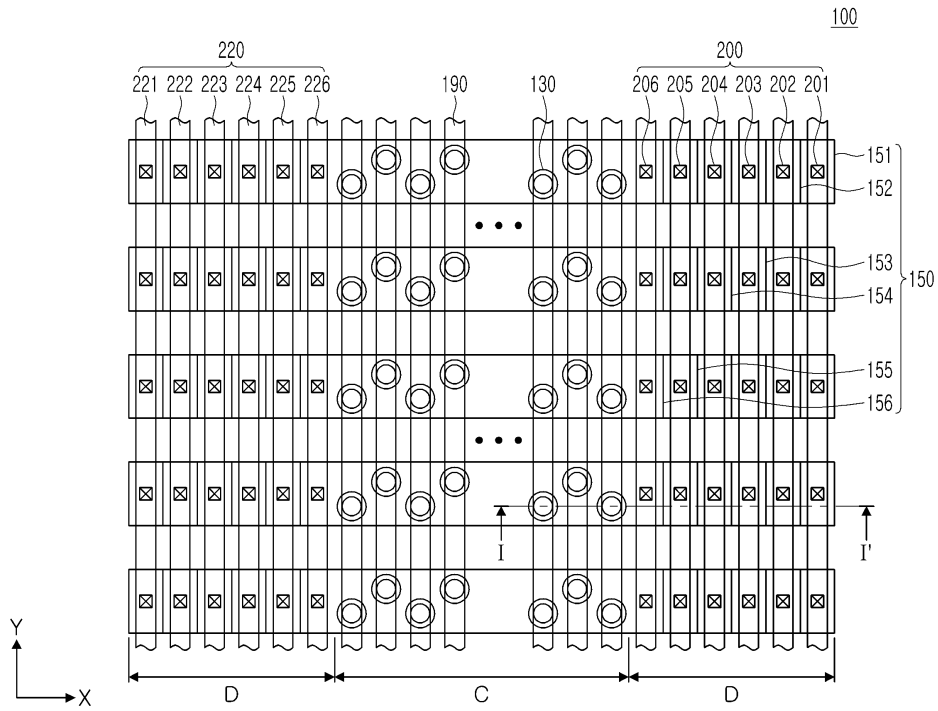
도면1



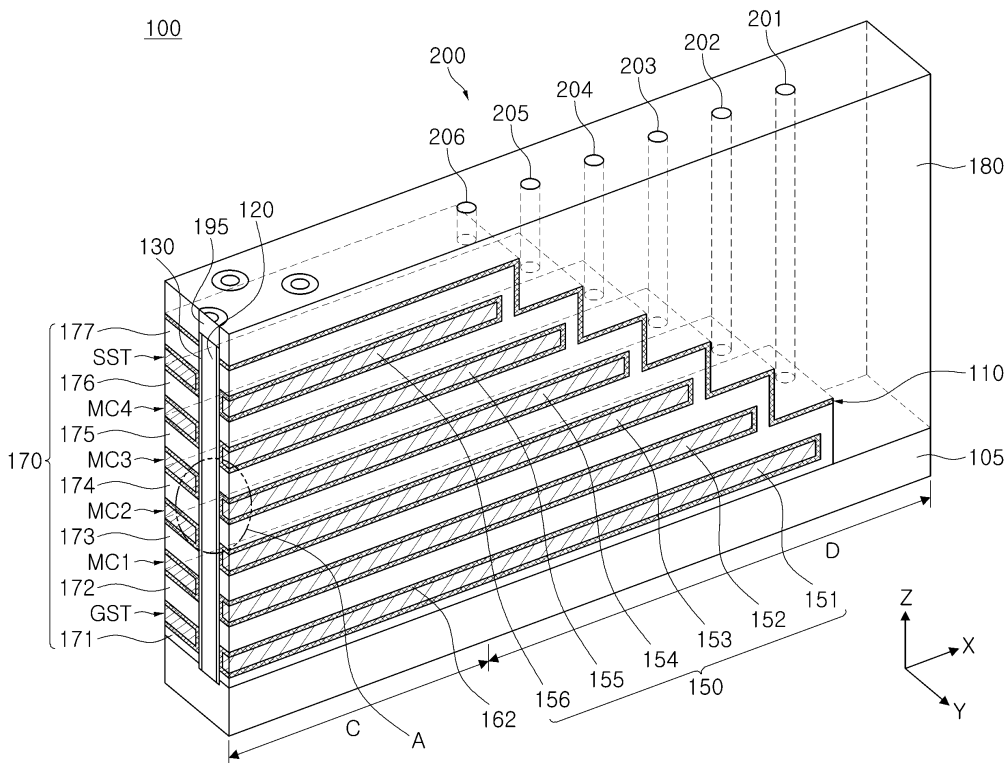
도면2



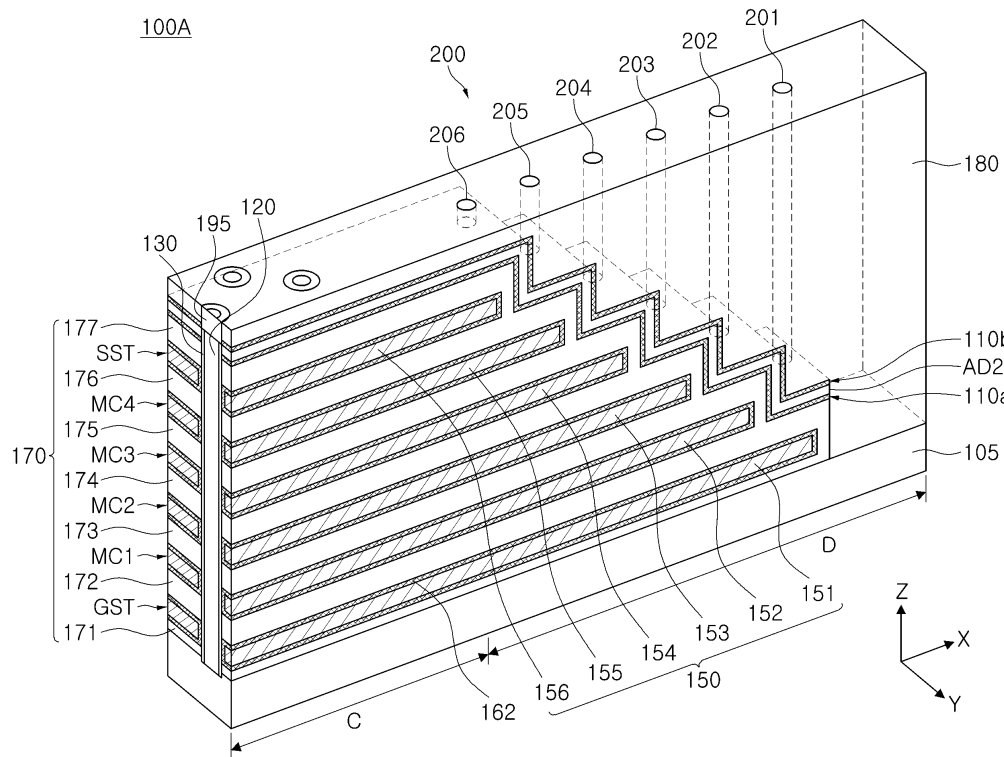
도면3



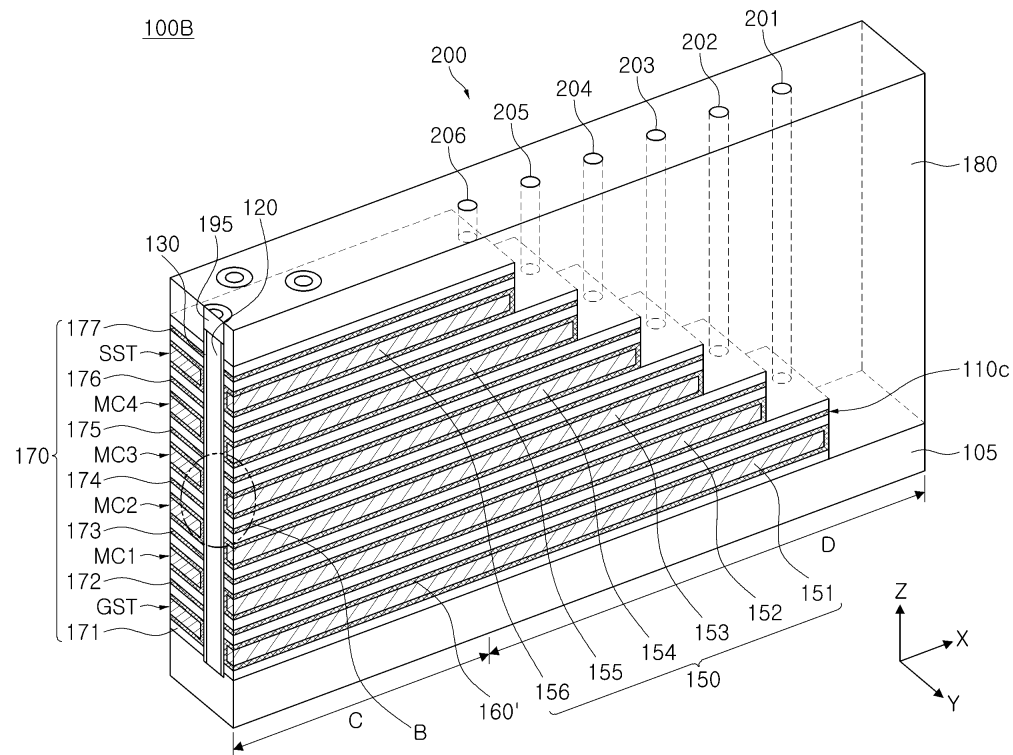
도면4



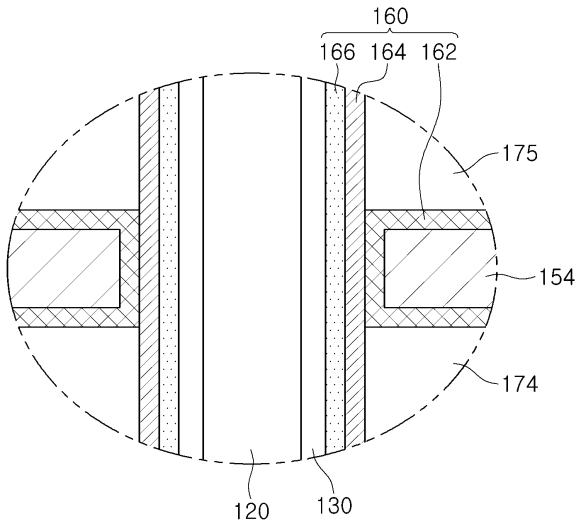
도면5



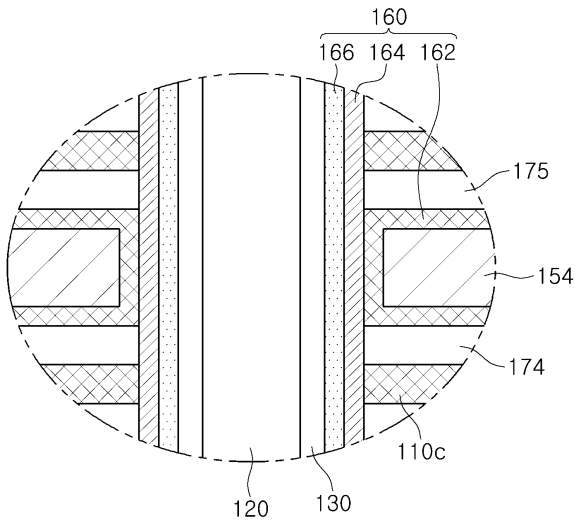
도면6



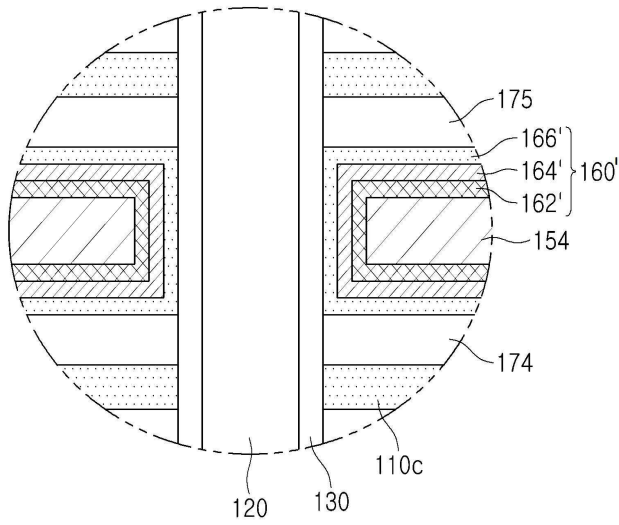
도면7a



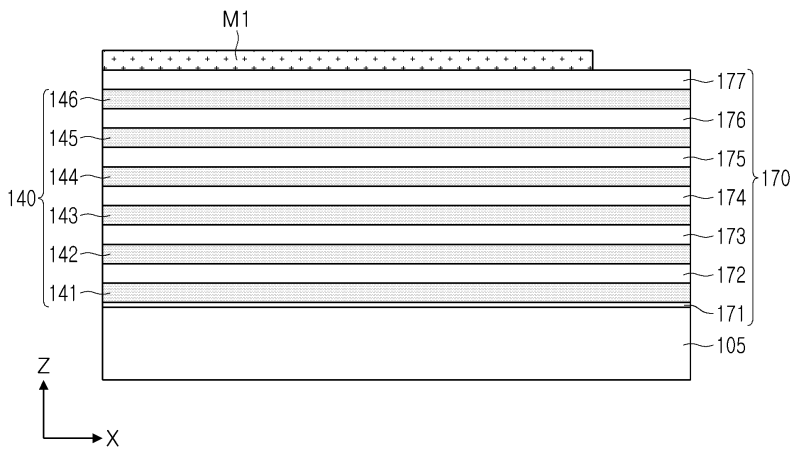
도면7b



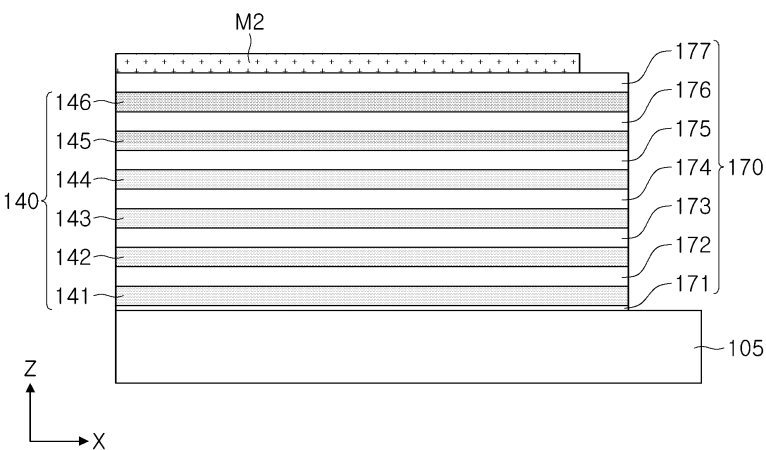
도면7c



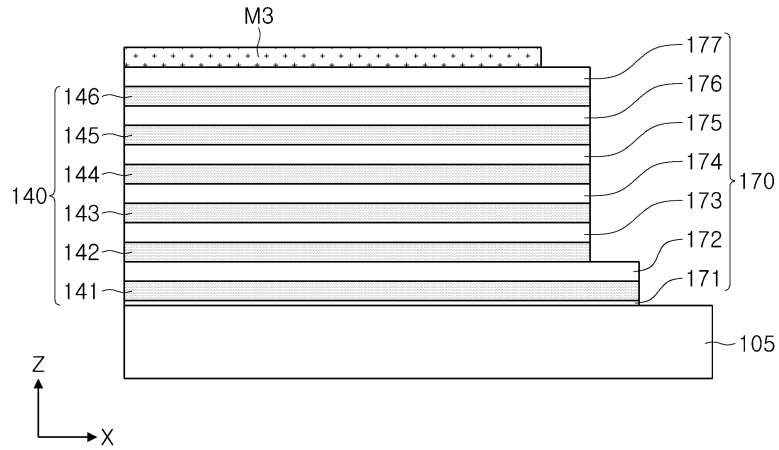
도면8a



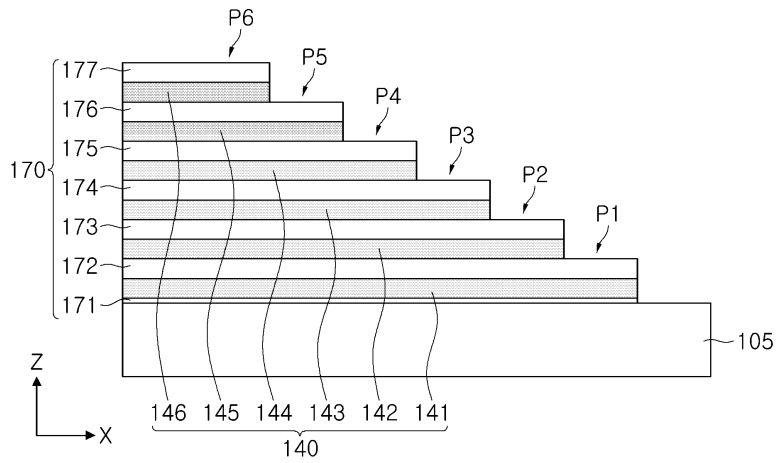
도면8b



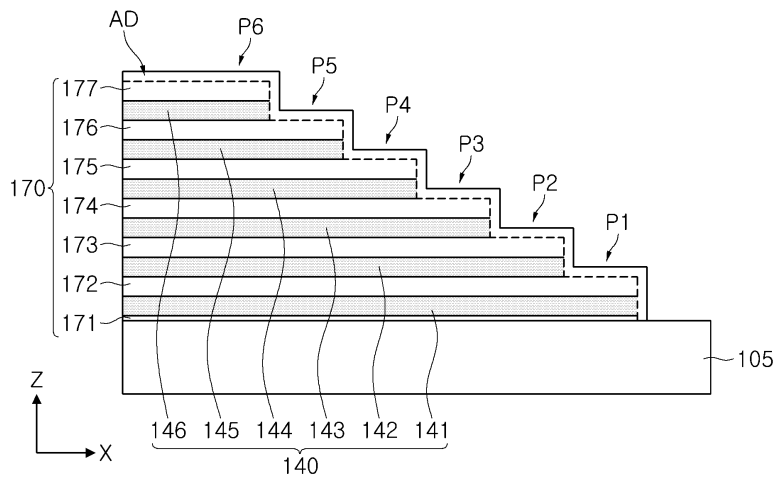
도면8c



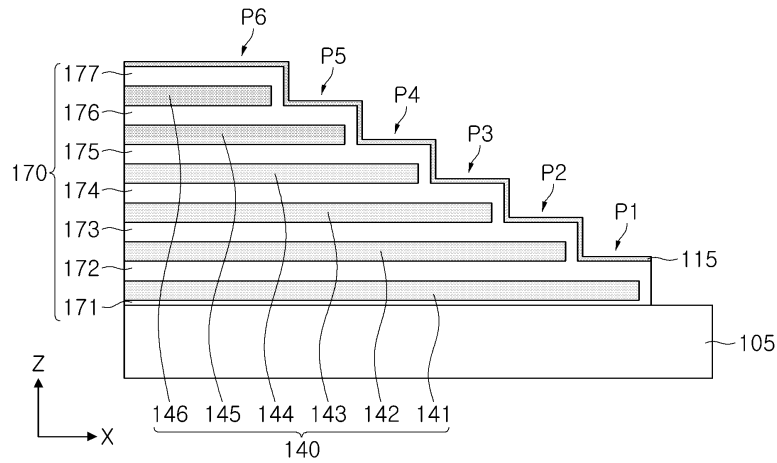
도면8d



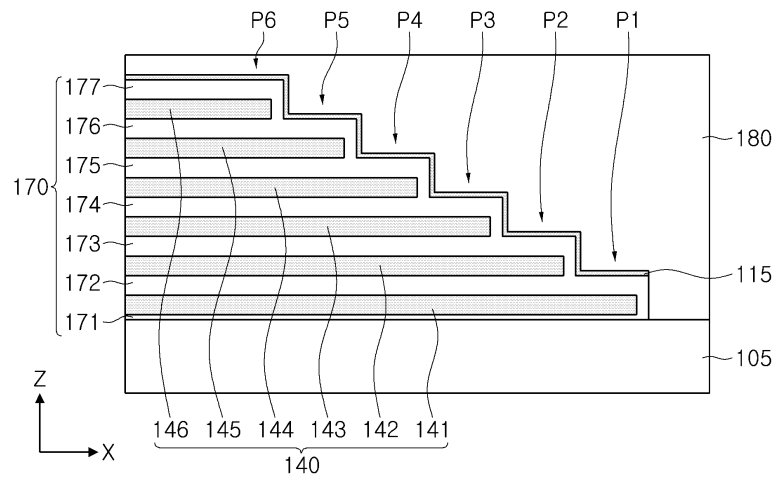
도면8e



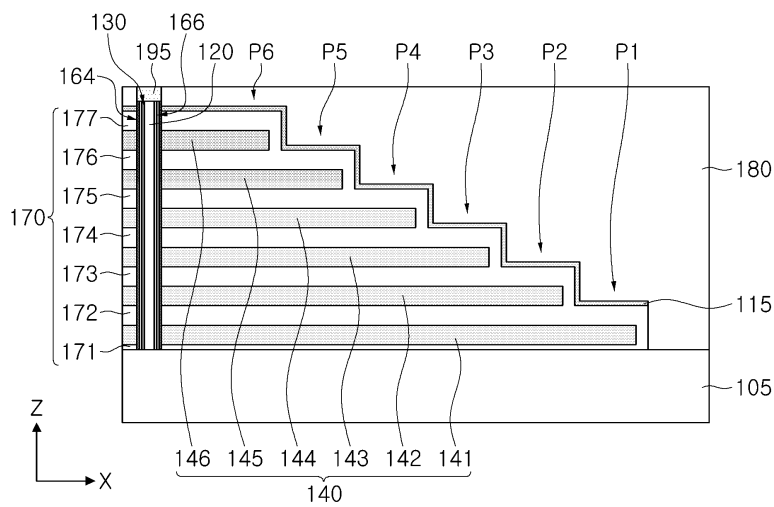
도면8f



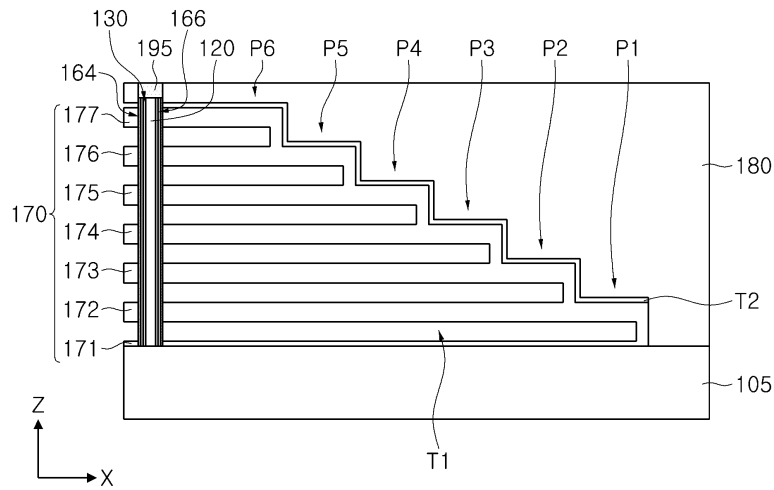
도면8g



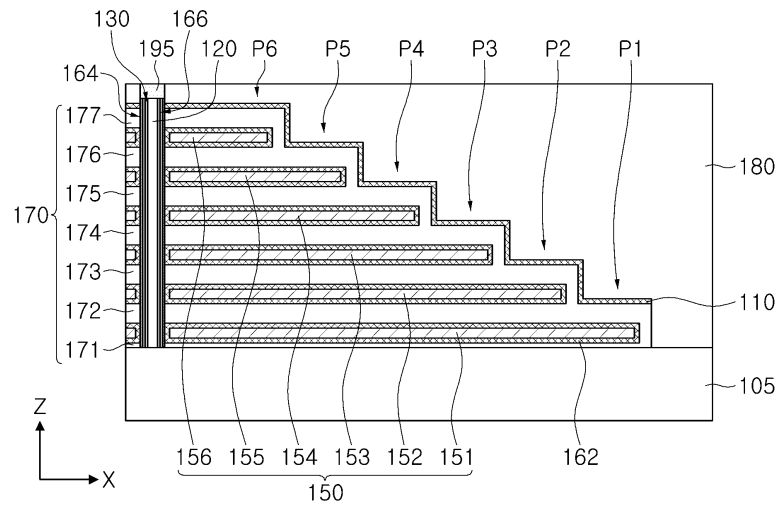
도면8h



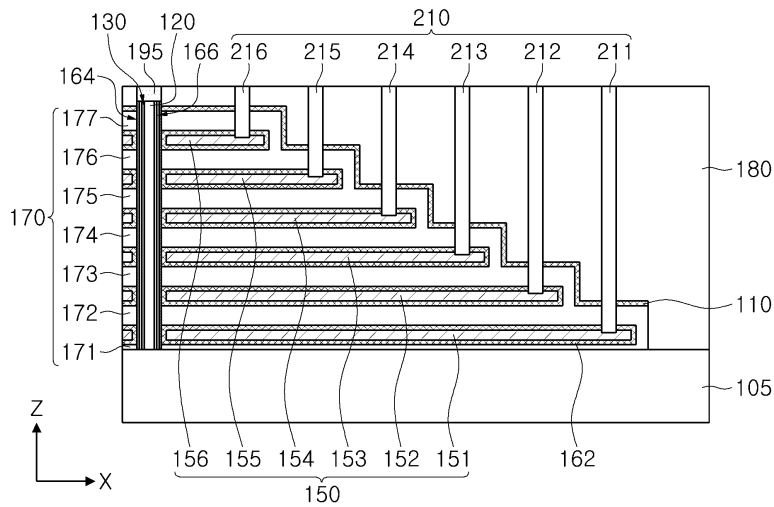
도면8i



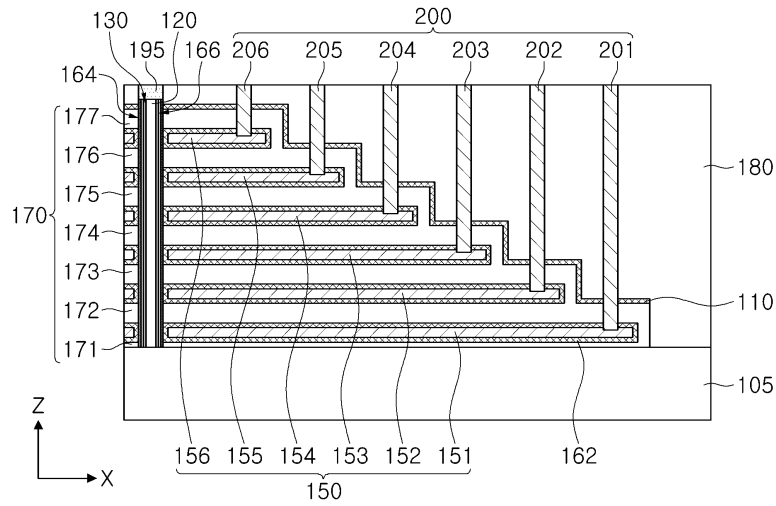
도면8j



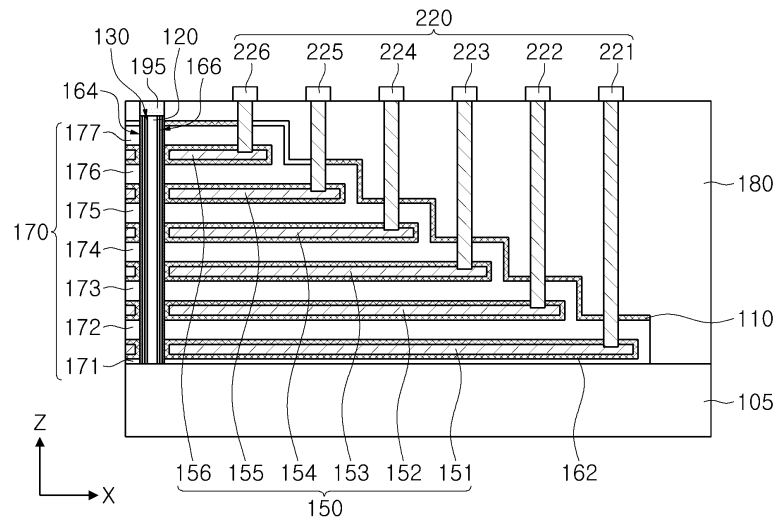
도면 8k



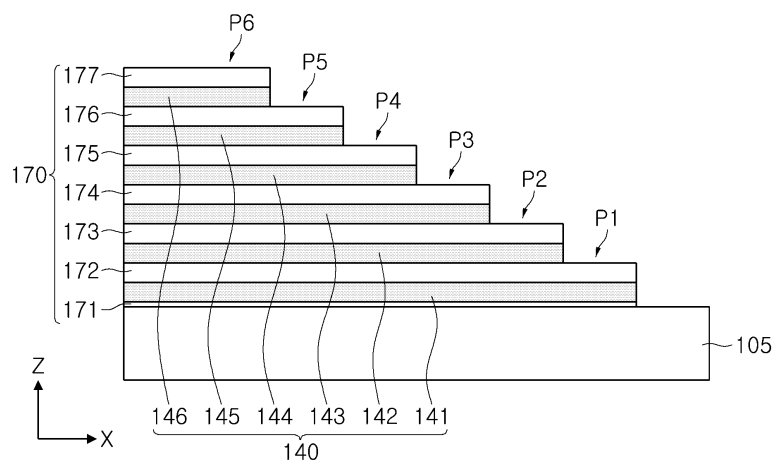
도면8l



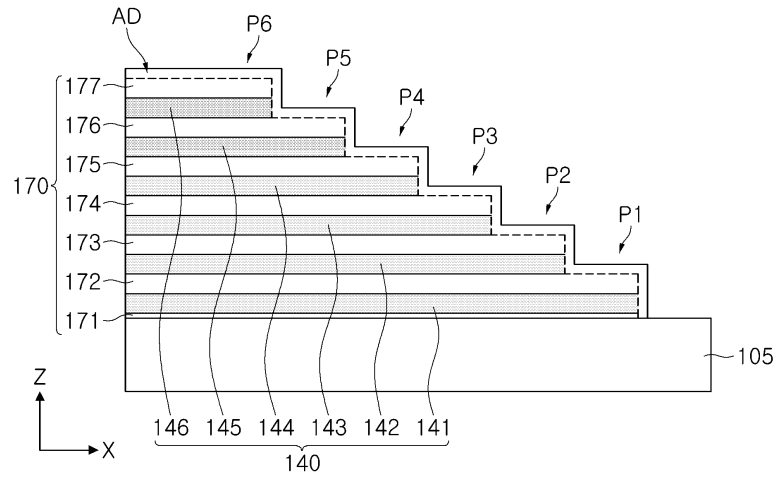
도면8m



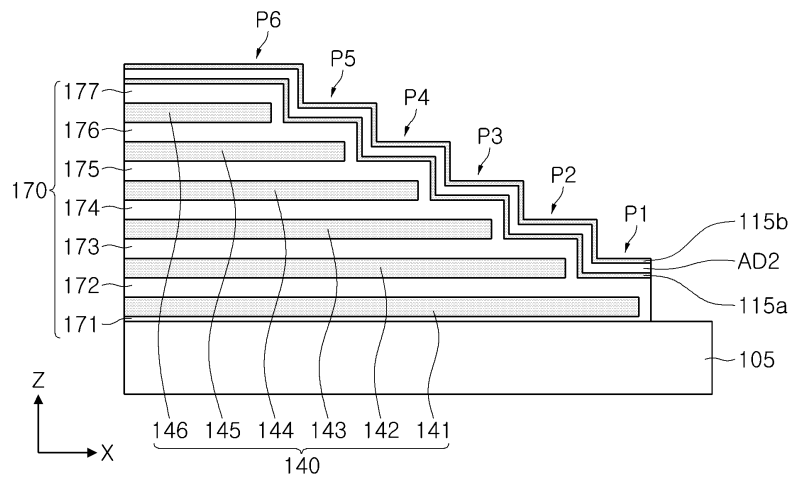
도면9a



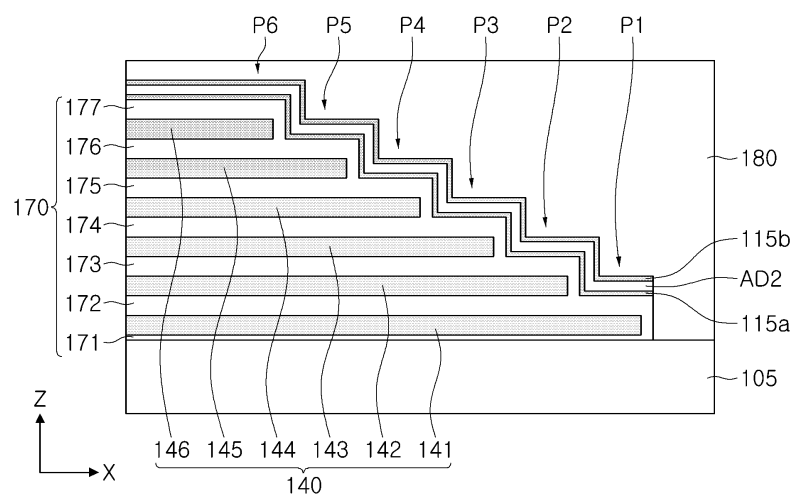
도면9b



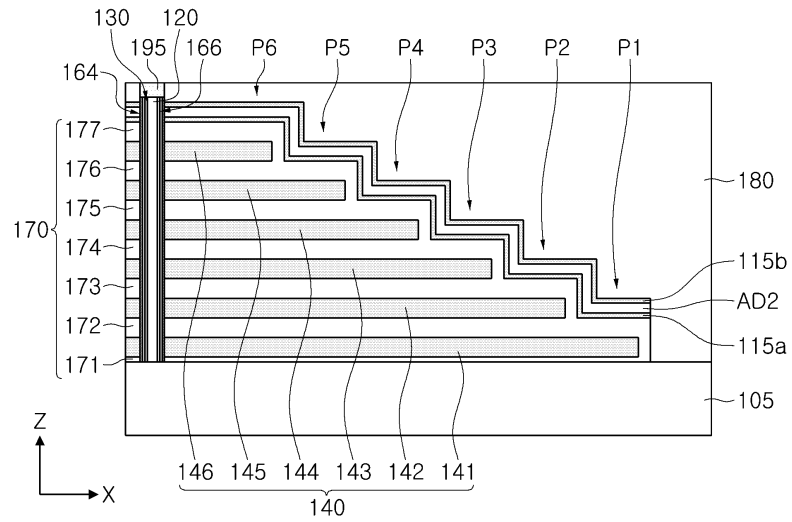
도면9c



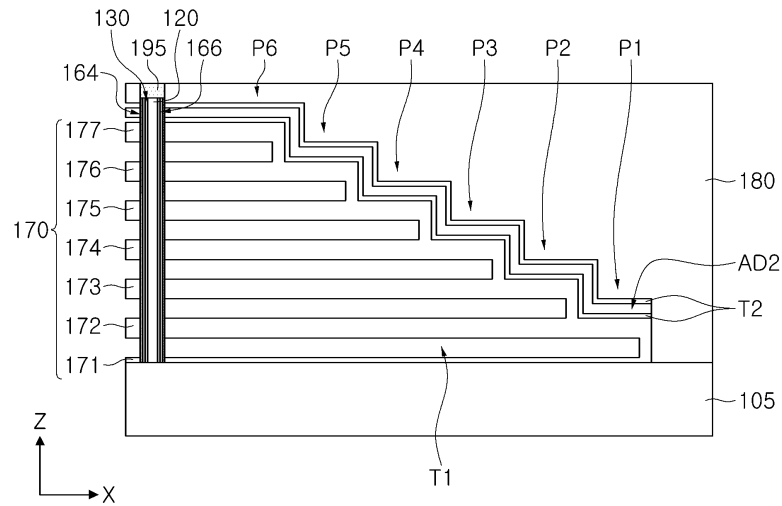
도면9d



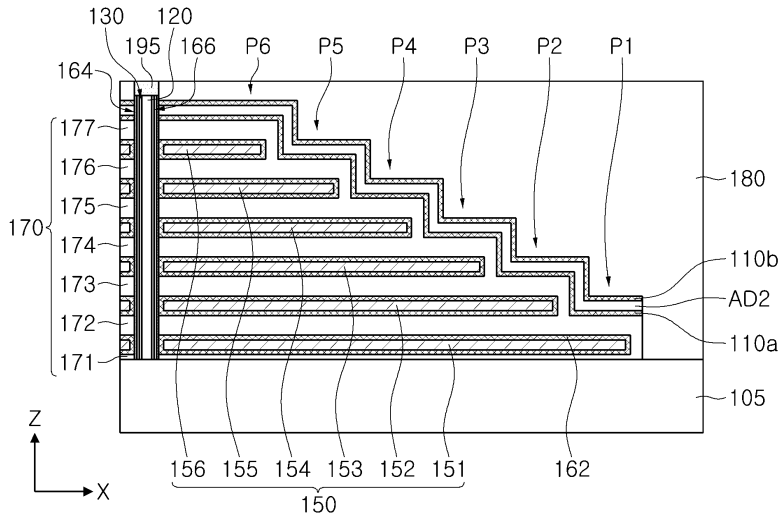
도면9e



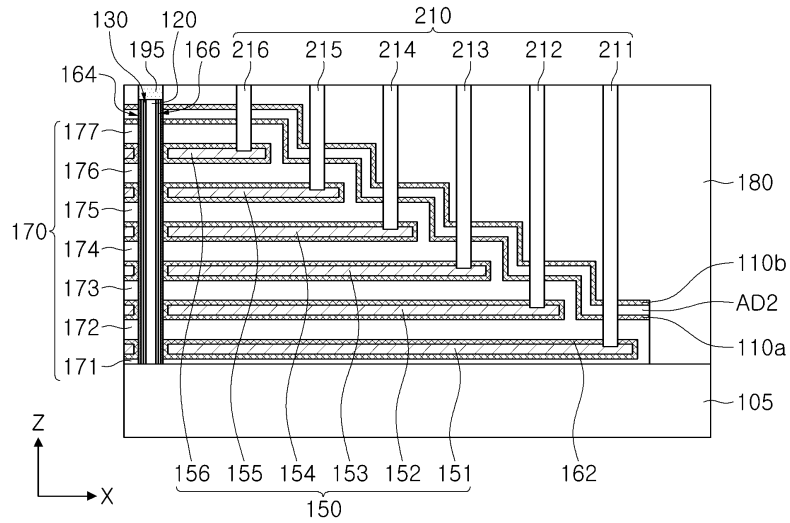
도면9f



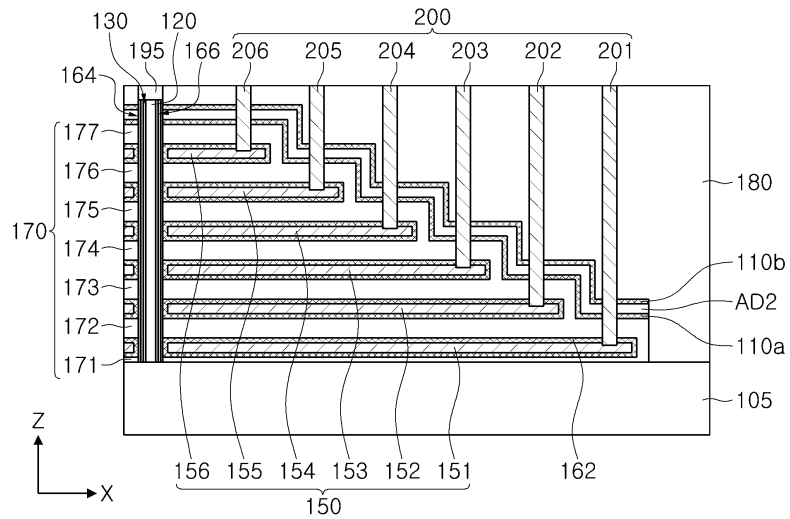
도면 9g



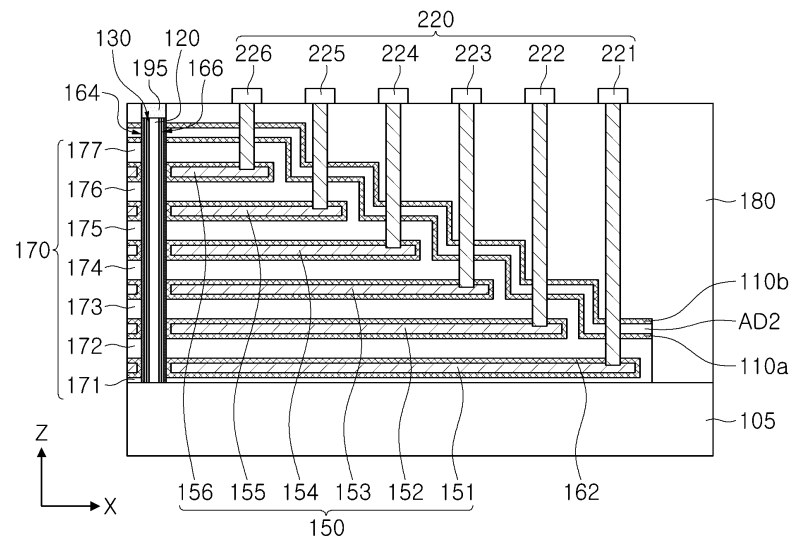
도면 9h



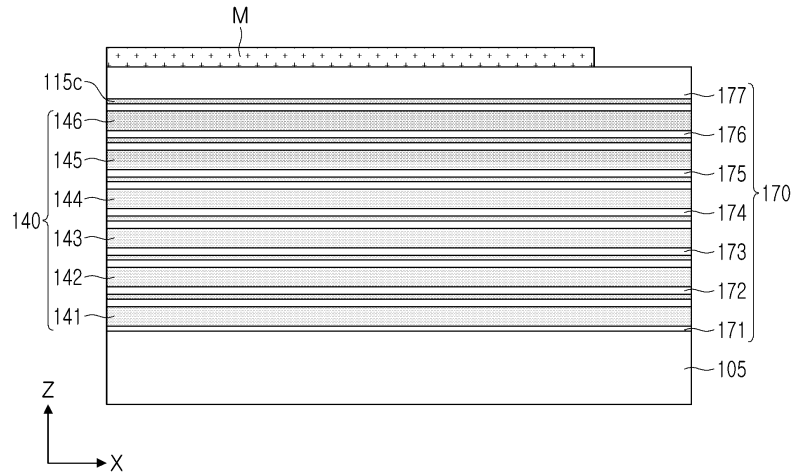
도면9i



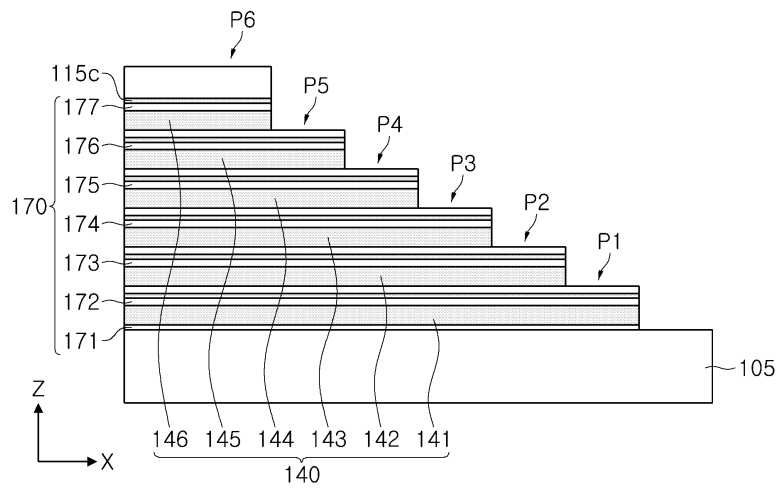
도면9j



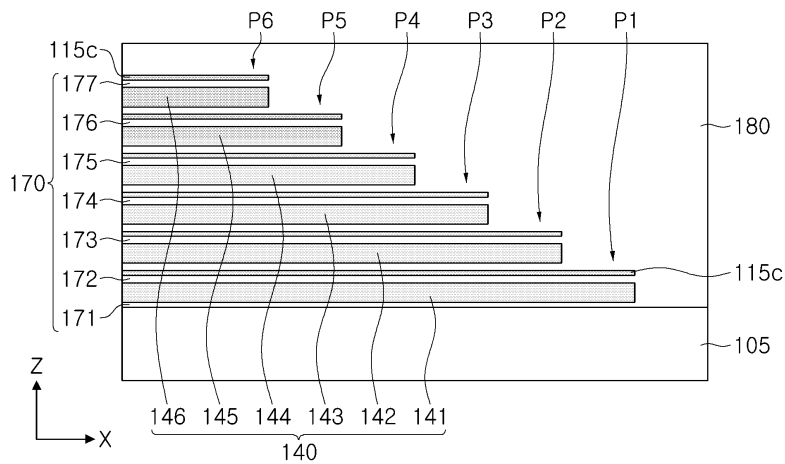
도면10a



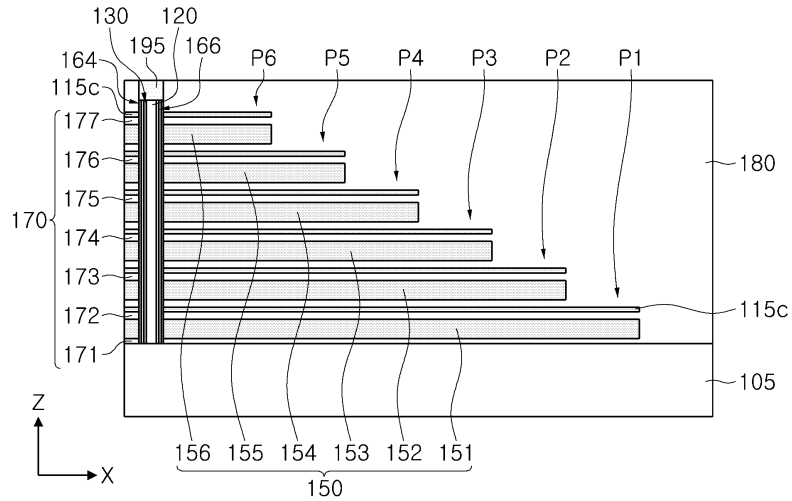
도면10b



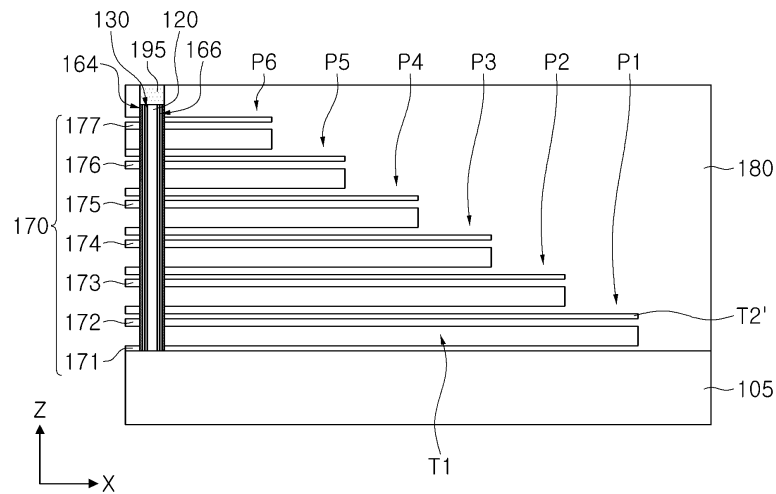
도면10c



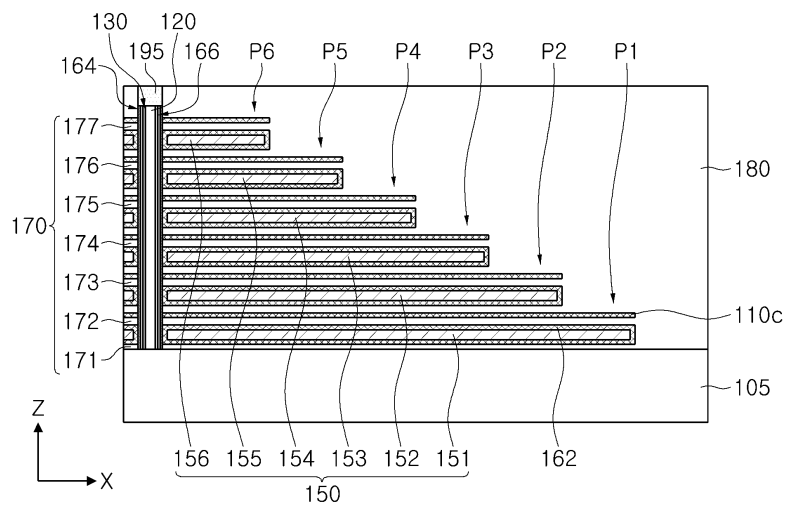
도면 10d



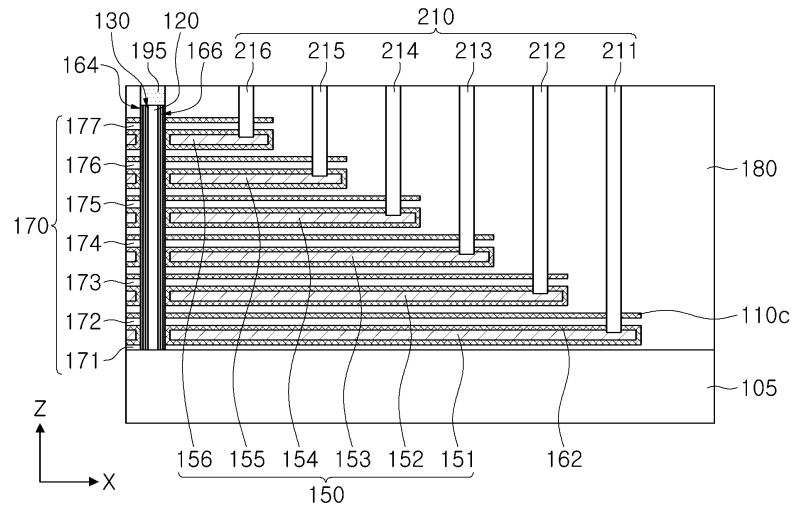
도면 10e



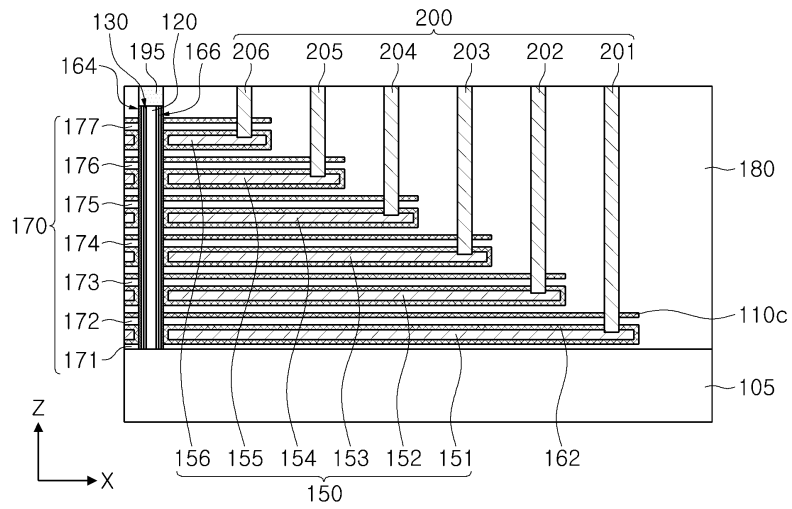
도면10f



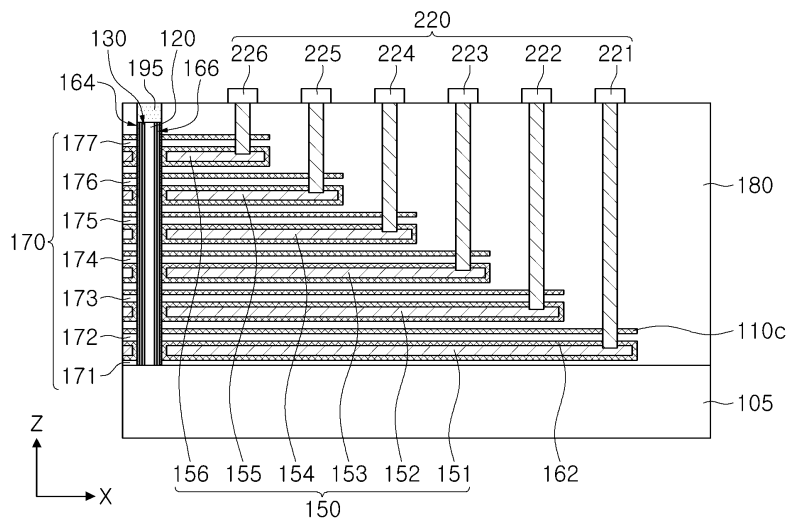
도면10g



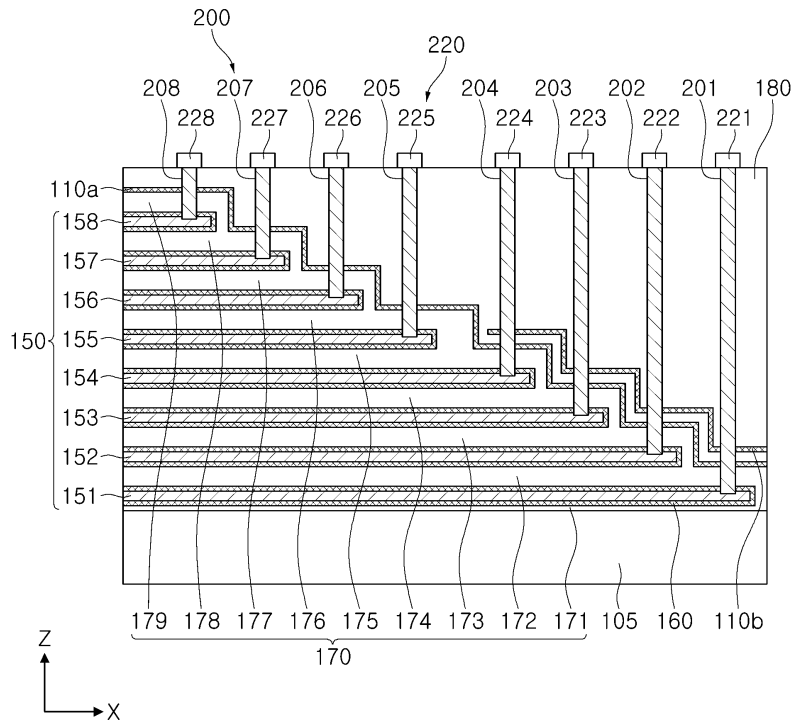
도면10h



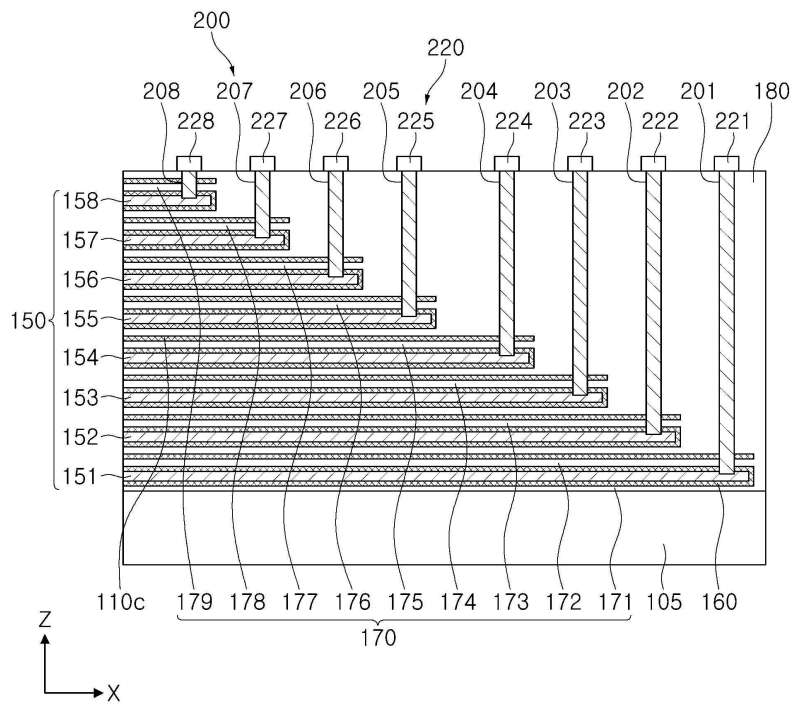
도면10i



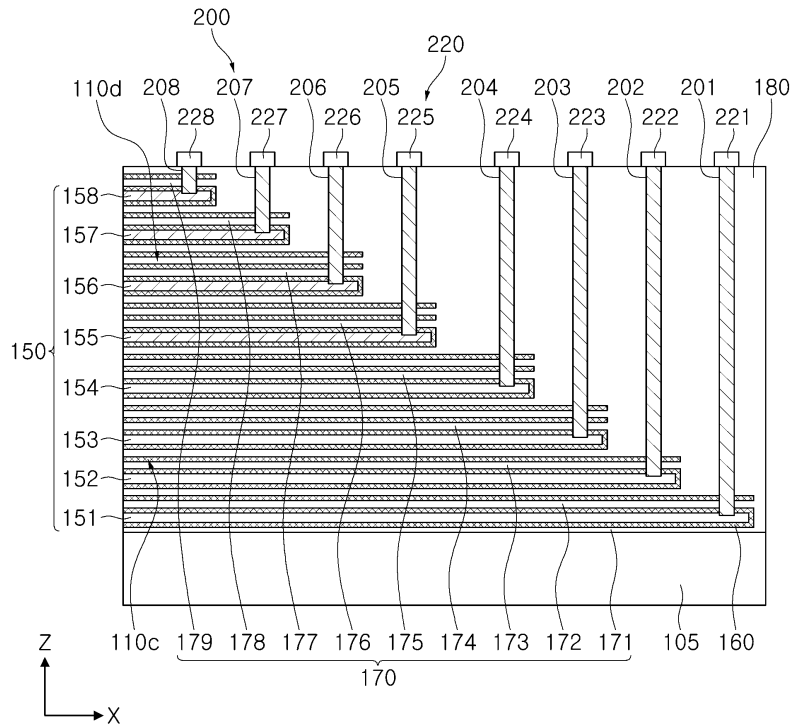
도면11



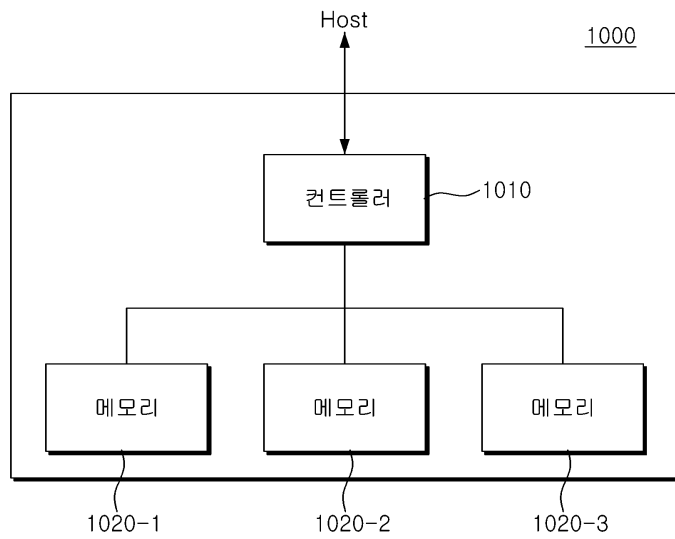
도면12



도면13



도면14



도면15

