

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2006-93598
(P2006-93598A)

(43) 公開日 平成18年4月6日 (2006. 4. 6)

(51) Int. Cl.
H O 1 L 27/04 (2006. 01)
H O 1 L 21/822 (2006. 01)

F I
H O 1 L 27/04 H

テーマコード (参考)
5 F O 3 8

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2004-279969 (P2004-279969)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年9月27日 (2004. 9. 27)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橘谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康
		(74) 代理人	100118876 弁理士 岡澤 順生

最終頁に続く

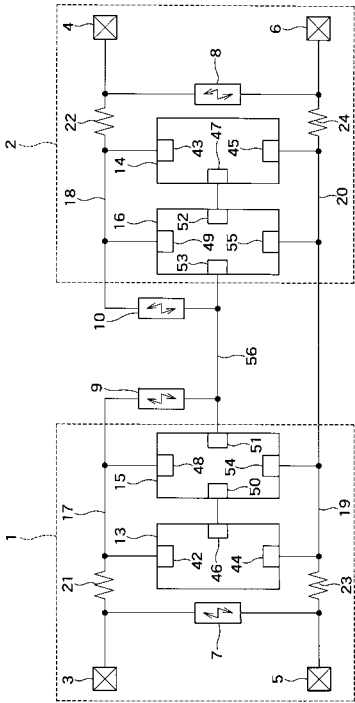
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 それぞれ電源線が分離された複数の回路を有し、回路間に信号伝搬経路が配置された半導体集積回路において E S D 耐性を向上させる。

【解決手段】 第1および第2の電源線と、第1および第2の基準電位線と、前記第1および第2の電源線および前記第1および第2の基準電位線に接続された第1および第2の回路と、第1および第2の回路を接続する信号線と、前記第1の電源線と前記信号線との間に接続され前記第1の電源線および信号線間に過電圧が印加された場合に、前記過電圧の印加方向に応じて前記第1の電源線および前記信号線間に電流を流す保護素子と、前記第2の電源線と前記信号線との間に接続され前記信号線および前記第2の電源線間に過電圧が印加された場合に、前記過電圧の印加方向に応じて前記第2の電源線および前記信号線間に電流を流す保護素子とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 および第 2 の電源電圧を供給するための第 1 および第 2 の電源端子と、
前記第 1 および第 2 の電源端子に接続された第 1 および第 2 の電源線と、
第 1 および第 2 の基準電位を供給するための第 1 および第 2 の基準電位端子と、
前記第 1 および第 2 の基準電位端子に接続された第 1 および第 2 の基準電位線と、
前記第 1 の電源線に接続された第 1 の内部回路電源端子と、前記第 1 の基準電位線に接
続された第 1 の内部回路基準電位端子と、生成した信号を出力する信号出力端子とを有し
、通常動作時に前記第 1 の電源電圧を受けて動作する第 1 の回路と、
前記第 2 の電源線に接続された第 2 の内部回路電源端子と、前記第 2 の基準電位線に接 10
続された第 2 の内部回路基準電位端子と、前記第 1 の回路によって生成された信号を入力
する信号入力端子とを有し、通常動作時に前記第 2 の電源電圧を受けて動作する第 2 の回
路と、
前記信号出力端子と前記信号入力端子とを接続する信号線と、
前記第 1 および第 2 の基準電位線同士を接続する基準電位線接続部と、
前記第 1 の電源線と前記第 1 の基準電位線との間に前記第 1 の回路と並列に接続され、
前記第 1 の回路の非動作時において前記第 1 の内部回路電源端子および前記第 1 の内部回
路基準電位端子間に前記第 1 の電源電圧よりも高い過電圧が印加された場合にオンして、
前記過電圧の印加方向に応じて前記第 1 の電源線から第 1 の基準電位線へまたはその逆へ 20
電流を流すことにより前記第 1 の回路の静電破壊を防止する第 1 の保護素子と、
前記第 2 の電源線と前記第 2 の基準電位線との間に前記第 2 の回路と並列に接続され、
前記第 2 の回路の非動作時において前記第 2 の内部回路電源端子および前記第 2 の内部回
路基準電位端子間に前記第 2 の電源電圧よりも高い過電圧が印加された場合にオンして、
前記過電圧の印加方向に応じて前記第 2 の電源線から第 2 の基準電位線へまたはその逆へ
電流を流すことにより前記第 2 の回路の静電破壊を防止する第 2 の保護素子と、
前記第 1 の電源線と前記信号線との間に接続され、前記第 1 の回路の非動作時において
前記第 1 の内部回路電源端子および前記信号出力端子間に前記第 1 の電源電圧よりも高い
過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第 1 の電源線か
ら前記信号線へまたはその逆へ電流を流すことにより前記第 1 の回路の静電破壊を防止す
る第 3 の保護素子と、 30
前記第 2 の電源線と前記信号線との間に接続され、前記第 2 の回路の非動作時において
前記信号入力端子および前記第 2 の内部回路電源端子間に前記第 2 の電源電圧よりも高い
過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第 2 の電源線か
ら前記信号線へまたはその逆へ電流を流すことにより前記第 2 の回路の静電破壊を防止す
る第 4 の保護素子と、
を備えた半導体集積回路。

【請求項 2】

前記信号線と前記第 1 の基準電位線との間に接続され、前記信号出力端子および前記第
1 の内部回路基準電位端子間に前記第 1 の電源電圧よりも高い過電圧が印加された場合に
オンして、前記過電圧の印加方向に応じて前記信号線から前記第 1 の基準電位線へまたは 40
その逆へ電流を流すことにより前記第 1 の回路の静電破壊を防止する第 5 の保護素子と、
前記信号線と前記第 2 の基準電位線との間に接続され、前記信号入力端子および前記第
2 の内部回路基準電位端子間に前記第 2 の電源電圧よりも高い過電圧が印加された場合に
オンして、前記過電圧が印加された方向に応じて前記信号線から前記第 2 の基準電位線へ
またはその逆へ電流を流すことにより前記第 2 の回路の静電破壊を防止する第 6 の保護素
子と、
を備えた請求項 1 に記載の半導体集積回路。

【請求項 3】

前記第 3 の保護素子および前記第 4 の保護素子は、各々、1 以上のダイオードを逆並列
接続したもの、またはダイオードを逆並列接続したものを複数段直列に接続したものであ 50

ることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記第 3 の保護素子および前記第 4 の保護素子は、各々、MOS トランジスタを含み、ゲートとソースとボディとに共通に接続された第 1 の端子と、ドレインに接続された第 2 の端子とを有することを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 5】

前記第 1 の回路は、その出力部として、一端が前記第 1 の電源線に接続され他端が前記第 1 の基準電位線に接続され出力が前記信号線に接続された第 1 のインバータを有し、

前記第 2 の回路は、その入力部として、一端が前記第 2 の電源線に接続され他端が前記第 2 の基準電位線に接続され入力が入記信号線に接続された第 2 のインバータを有する、
ことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体集積回路。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ESD (Electro Static Discharge) 保護回路を有する半導体集積回路に関する。

【背景技術】

【0002】

集積回路は年々微細化が進み、それに伴いトランジスタ等の半導体素子の静電破壊電圧が低下し、静電破壊保護回路 (ESD 保護回路) が重要になっている。特にゲート絶縁膜の膜厚が 1 nm 程度の CMOS (Complementary Metal Oxide Semiconductor) 薄膜素子では絶縁膜破壊電圧は 4 V 程度しかない。 20

【0003】

集積回路は大規模集積回路 (LSI) 化も進み、集積回路外部から供給される電源および信号のための端子は 1000 個を超えるものもある。集積回路の ESD (Electro Static Discharge: 静電気放電) に対する耐性を確保するには集積回路のすべての端子間で適切な ESD 保護がなされている必要がある。しかし端子数が多いほど ESD 耐性を確保するのは困難である。例えば 4 角形の LSI チップの相対する辺に置かれた端子間や対角に配置されたパッド間に ESD 電圧が印加される場合は、問題が起きやすい。それはパッド間が遠いため、配線が長く、配線抵抗が大きくなることが一因で、このような場合には ESD 耐性は近接したパッド間の場合に比較して低いものとなる。 30

【0004】

LSI の内部回路は動作機能により電源電圧が異なる場合がある。また同じ動作電圧の回路であっても、アナログ回路などはデジタル回路からの電源配線を経由したノイズの回り込みを避けるために、電源線や、基準電位線が分離される場合も多い。電源が分離された回路間は ESD 耐性という観点では極めて弱く、ESD 保護ネットワーク設計上の課題が多い。

【0005】

電源線が分離された回路間は通常完全に分離することではなく、複数ある基準電位線のうち 1 つを主たる ESD 放電パスとして使用し、複数の基準電位線間は接続される。基準電位線間はノイズを避けるために互いに逆方向のダイオードを並列接続した、双方向ダイオードで接続が行われる場合もある。 40

【0006】

電源線が分離された回路間でも互いに信号線で接続されている場合が多い。この信号線へ信号を出力する回路部分、あるいはこの信号線から信号が入力される回路部分をここでは信号境界部と呼ぶことにする。この信号境界部を介して、回路間で信号の転送が行われる。信号境界部は信号の入出力部に相当し、種々の回路の場合が考えられ、例えばインバータによるバッファ回路がある。

【0007】

しかし、従来においては、LSI 内部において、それぞれ電源線が分離された複数の回 50

路に関し、各回路が互いに信号線で接続されている場合は、各回路が互いに信号線で接続されていない場合に比べて、ESD耐性が著しく弱くなる問題があった。

【特許文献1】特開2000-269432公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、それぞれ電源線が分離された複数の回路を有し、回路間に信号伝搬経路が配置された半導体集積回路においてESD耐性を向上させることを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様としての半導体集積回路は、第1および第2の電源電圧を供給するための第1および第2の電源端子と、前記第1および第2の電源端子に接続された第1および第2の電源線と、第1および第2の基準電位を供給するための第1および第2の基準電位端子と、前記第1および第2の基準電位端子に接続された第1および第2の基準電位線と、前記第1の電源線に接続された第1の内部回路電源端子と、前記第1の基準電位線に接続された第1の内部回路基準電位端子と、生成した信号を出力する信号出力端子とを有し、通常動作時に前記第1の電源電圧を受けて動作する第1の回路と、前記第2の電源線に接続された第2の内部回路電源端子と、前記第2の基準電位線に接続された第2の内部回路基準電位端子と、前記第1の回路によって生成された信号を入力する信号入力端子とを有し、通常動作時に前記第2の電源電圧を受けて動作する第2の回路と、前記信号出力端子と前記信号入力端子とを接続する信号線と、前記第1および第2の基準電位線同士を接続する基準電位線接続部と、前記第1の電源線と前記第1の基準電位線との間に前記第1の回路と並列に接続され、前記第1の回路の非動作時において前記第1の内部回路電源端子および前記第1の内部回路基準電位端子間に前記第1の電源電圧よりも高い過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第1の電源線から第1の基準電位線へまたはその逆へ電流を流すことにより前記第1の回路の静電破壊を防止する第1の保護素子と、前記第2の電源線と前記第2の基準電位線との間に前記第2の回路と並列に接続され、前記第2の回路の非動作時において前記第2の内部回路電源端子および前記第2の内部回路基準電位端子間に前記第2の電源電圧よりも高い過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第2の電源線から第2の基準電位線へまたはその逆へ電流を流すことにより前記第2の回路の静電破壊を防止する第2の保護素子と、前記第1の電源線と前記信号線との間に接続され、前記第1の回路の非動作時において前記第1の内部回路電源端子および前記信号出力端子間に前記第1の電源電圧よりも高い過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第1の電源線から前記信号線へまたはその逆へ電流を流すことにより前記第1の回路の静電破壊を防止する第3の保護素子と、前記第2の電源線と前記信号線との間に接続され、前記第2の回路の非動作時において前記信号入力端子および前記第2の内部回路電源端子間に前記第2の電源電圧よりも高い過電圧が印加された場合にオンして、前記過電圧の印加方向に応じて前記第2の電源線から前記信号線へまたはその逆へ電流を流すことにより前記第2の回路の静電破壊を防止する第4の保護素子と、を備える。

【発明の効果】

【0010】

本発明により、それぞれ電源線が分離された複数の回路を有し、回路間に信号伝搬経路が配置された半導体集積回路においてESD耐性を向上させることができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら、本発明の一実施の形態について説明する。

【0012】

図1は、本発明の一実施の形態としての半導体集積回路の構成例を示すブロック図である。

【0013】

図1の半導体集積回路は、大別して、回路1および回路2と、本発明の大きな特徴の1つであるESD保護素子9およびESD保護素子10とを備える。

【0014】

回路1は、回路要素として、内部回路13、信号境界部15、ESD保護素子7、電源パッド3、基準電位パッド5、電源配線抵抗21、基準電位線配線抵抗23、電源線17および基準電位線19を有する。

【0015】

電源パッド3と基準電位パッド5との間にはESD保護素子7が接続されている。電源パッド3と、内部回路13および信号境界部15との間には電源線配線抵抗21が接続されている。また、基準電位パッド5と、内部回路13および信号境界部15との間には基準電位線配線抵抗23が接続されている。

10

【0016】

一般に内部回路13は多数の素子を含む回路で構成されている。電源線配線抵抗21および基準電位線配線抵抗23も同様に多数の抵抗素子で構成されるが、ここでは説明を単化するためにそれぞれ1つの抵抗で表してある。

【0017】

内部回路13は、内部回路電源端子42、内部回路基準電位端子44および内部回路信号端子46を有し、内部回路信号端子46は、後段の信号境界部15における信号境界部信号端子50に接続されている。

20

【0018】

ここで内部回路信号端子46は、半導体集積回路外部（例えば他のチップ）との入出力を行うものではなく、集積回路内部での信号の入出力を行うためのものである。半導体集積回路外部との入出力を行う信号端子は、図1の説明には現れないので、図示を省略している。

【0019】

内部回路13における内部回路電源端子42、内部回路基準電位端子44および内部回路信号端子46はここではそれぞれ1つずつしか描かれていないが、実際の集積回路では通常それぞれの端子は複数あり、本実施例はこれを含む。ここでは簡単のためにそれぞれ1つの端子で表している。

30

【0020】

内部回路電源端子42は電源線17に接続され、内部回路基準電位端子44は基準電位線19に接続されている。

【0021】

信号境界部15は信号境界部信号端子50、他の電源系の回路へ接続される信号境界部信号端子51、信号境界部電源端子48および信号境界部基準電位端子54を有している。信号境界部15は例えばインバータを含む。信号境界部15がインバータを含む場合、プルアップPMOSトランジスタのソースが信号境界部電源端子48に接続され、ドレインがプルダウンNMOSトランジスタのドレインに接続され、プルダウンNMOSトランジスタのソースが信号境界部基準電位端子54に接続される。両トランジスタのゲートが信号境界部信号端子50に共通に接続され、出力が信号境界部信号端子51に接続される。

40

【0022】

信号境界部15における信号境界部電源端子48、信号境界部基準電位端子54、信号境界部信号端子50および信号境界部信号端子51はここではそれぞれ1つずつしか描かれていないが、実際の集積回路では通常それぞれの端子は複数あり、本発明はこれを含む。ここでは簡単のためそれぞれ1端子ずつで表している。

【0023】

信号境界部電源端子48は電源線17に接続され、信号境界部基準電位端子54は基準電位線19に接続されている。

50

【0024】

回路2の構成は回路1と同様である。

【0025】

すなわち、電源パッド4と基準電位パッド6との間にはESD保護素子8が接続されている。電源パッド4と、内部回路14および信号境界部16との間には電源線配線抵抗22が接続されている。また、基準電位パッド6と、内部回路14および信号境界部16との間には基準電位線配線抵抗24が接続されている。

【0026】

内部回路14は、内部回路電源端子43、内部回路基準電位端子45および内部回路信号端子47を有し、内部回路信号端子47は、信号境界部16における信号境界部信号端子52に接続されている。

10

【0027】

内部回路電源端子43は電源線18に接続され、内部回路基準電位端子45は基準電位線20に接続されている。

【0028】

信号境界部16は信号境界部信号端子52、他の電源系の回路へ接続される信号境界部信号端子53、信号境界部電源端子49および信号境界部基準電位端子55を有している。信号境界部16は例えばインバータを含む。信号境界部16がインバータを含む場合、プルアップPMOSトランジスタのソースが信号境界部電源端子49に接続され、ドレインがプルダウンNMOSトランジスタのドレインに接続され、プルダウンNMOSトランジスタのソースが信号境界部基準電位端子55に接続される。両トランジスタのゲートが共通に信号境界部信号端子53に接続され、出力が信号境界部信号端子52に接続される。

20

【0029】

信号境界部電源端子49は電源線18に接続され、信号境界部基準電位端子55は基準電位線20に接続されている。

【0030】

回路1における信号境界部15の信号境界部信号端子51と、回路2における信号境界部16の信号境界部信号端子53とは信号線56によって接続されている。ここで信号線56は、実際の集積回路では通常複数あり、本発明はこれを含む。ここでは、簡単のため1つのみを描いている。

30

【0031】

信号線56と、回路1における電源線17との間にはESD保護素子9が接続されており、信号線56と回路2における電源線18との間にはESD保護素子10が接続されている。

【0032】

図1にはESD保護素子9とESD保護素子10との2つのESD保護素子のみが描かれているが、信号線56が複数ある場合には、各信号線に対してESD保護素子9およびESD保護素子10に相当するESD保護素子がそれぞれ追加される。ここでESD保護素子9およびESD保護素子10としては双方向にESD放電を行う能力を有するものを用いる必要がある。

40

【0033】

ESD保護素子9およびESD保護素子10としては、例えば各々、1以上のダイオードを逆並列接続したもの、またはこの逆並列接続をさらに直列接続したものを可以用ことができる。この他、ゲートとソースとボディとが共通に接続された第1の端子と、ドレインに接続された第2の端子とを有するMOSトランジスタを用いることもできる。

【0034】

以下、このような半導体集積回路において、電源パッド3と電源パッド4との間にESD電圧が印加された場合について説明する。電圧が印加される場合としては、例えば半導体集積回路装置の単独あるいは実装基板に搭載した状態において、ハンドリンクや運搬時

50

に発生する静電気による過電圧が電源パッド 3 と電源パッド 4 との間に印加される場合がある。

【0035】

E S D 電圧が電源パッド 3 および電源パッド 4 間に印加されて内部回路 1 3 に通常動作電圧より高い過電圧が印加されると、E S D 保護素子 7 および E S D 保護素子 8 がオン状態となる。すると電源パッド 3、E S D 保護素子 7、基準電位線配線抵抗 2 3、基準電位線配線抵抗 2 4 および E S D 保護素子 8 を経路として電源パッド 4 まで E S D 電流が流れる。但し、電源パッド 3 および電源パッド 4 間に印加される E S D 電圧の極性が逆の場合は、これと逆の電流経路となる。

【0036】

10

一方、信号線 5 6 を経由する E S D 放電経路も存在する。これは電源パッド 3 から電源線配線抵抗 2 1、E S D 保護素子 9、信号線 5 6、E S D 保護素子 1 0、電源線配線抵抗 2 2 を経て電源パッド 4 に至る経路である。但し、上述と同様に、電源パッド 3 および電源パッド 4 間に印加される電圧の極性が逆の場合は、これと逆の電流経路となる。

【0037】

ここで信号境界部 1 5 および信号境界部 1 6 が破壊する条件について考える。

【0038】

前提として、信号線 5 6 を経由する E S D 電流は無視できるくらい小さく（基準電位線 1 9 が E S D 電流の主経路となるように E S D 保護素子 7、8、9、1 0 のオン電圧とオン抵抗の値、および各抵抗 2 1 ～ 2 4 の値が設計される）、したがって、電源線配線抵抗 2 1 および電源線配線抵抗 2 2 での電圧降下は無視できるとする。

20

【0039】

信号境界部 1 5 の信号境界部信号端子 5 1 がハイレベルの出力状態となり、信号境界部電源端子 4 8 と同じ電位になっているとする。より詳しくは、例えば信号境界部 1 5 はインバータを含むとする。インバータの状態はフローティング状態と考えられ、このためノイズによりあらゆる状態があり得るが、ここでは、出力がハイレベルの状態を想定する。この状態は E S D に対して最も弱い状態となる。この結果、信号線 5 6 の電位は電源パッド 3 と同電位となる。

【0040】

一方、信号境界部 1 6 の信号境界部電源端子 4 9 の電位は電源パッド 4 と同電位である。

30

【0041】

したがって信号境界部信号端子 5 3 および信号境界部電源端子 4 9 間には E S D 電圧がかかることになる。

【0042】

信号境界部信号端子 5 3 および信号境界部電源端子 4 9 間には E S D 保護素子 1 0 が接続されており、この E S D 保護素子 1 0 が絶縁膜破壊電圧以下でクランプされれば、信号境界部 1 6 は保護される。E S D 保護素子 1 0 にて E S D に対してクランプが行われる場合、E S D 保護素子 1 0 には E S D 電流が流れる。この E S D 電流が小さい範囲では信号境界部 1 5 側における電流経路は信号境界部電源端子 4 8 から信号境界部信号端子 5 1 と

40

【0043】

ここで E S D 電流が大きくなり、E S D 電流が信号境界部 1 5 の素子の許容電流を超えると、もはや信号境界部電源端子 4 8 と信号境界部信号端子 5 1 は同電位ではなくなり（信号境界部 1 5 は微少寸法のトランジスタで構成されることが多く通常、電流駆動能力は低い）、電位差が生じる。E S D 電圧が高くなれば、この電位差も大きくなる。

【0044】

しかし、破壊電圧に達する前に E S D 保護素子 9 および E S D 保護素子 1 0 がオン状態になりクランプするので、信号境界部 1 5 および信号境界部 1 6 は保護される。つまり信号境界部 1 5 あるいは信号境界部 1 6 が破壊されるのは、E S D 保護素子 9 および E S D

50

保護素子 10 のいずれかのクランプ電圧が絶縁膜破壊電圧（例えば保護すべき信号境界部 15 および信号境界部 16 を構成するトランジスタにおけるゲート絶縁膜の絶縁破壊電圧）を超える場合である。

【0045】

E S D 保護素子 9 および E S D 保護素子 10 が同じ素子で構成されていれば、それぞれのクランプ電圧は等しい。回路 1 および回路 2 が同じ電源電圧で動作し、同じ絶縁膜破壊電圧の素子で構成されている場合には、信号境界部を経由する場合の破壊電圧（電源パッド 3 および電源パッド 4 間に印加される電圧）は絶縁膜破壊電圧の 2 倍となる。

【0046】

一方、回路 1 は、E S D 保護素子 7 のクランプ電圧と基準電位線配線抵抗 23 による電圧降下との和、すなわち電源線 17 と基準電位線 19 との電位差が回路 1 の絶縁膜破壊電圧を超えなければ破壊しない（基準電位線配線抵抗 23 を流れる電流は電源線配線抵抗 21 よりも十分に大きいので電源線配線抵抗 21 の電圧降下は無視する）。回路 2 についても同様で、E S D 保護素子 8 のクランプ電圧と基準電位線配線抵抗 24 による電圧降下との和、すなわち電源線 18 と基準電位線 20 との電位差が回路 2 の絶縁膜破壊電圧を超えなければ破壊しない（基準電位線配線抵抗 24 を流れる電流は電源線配線抵抗 22 よりも十分に大きいので電源線配線抵抗 22 の電圧降下は無視する）。つまり基準電位線の放電経路に着目した場合、電源パッド 3 と電源パッド 4 との間には最大で絶縁膜破壊電圧の 2 倍までが許容される。

【0047】

本発明者が本発明をなす以前に実施していた回路では図 1 の回路において E S D 保護素子 9 および E S D 保護素子 10 が無く、電源パッド 3 および電源パッド 4 間の電圧が絶縁膜破壊電圧に達すると、信号境界部 15 または信号境界部 16 が破壊する問題があった（例えば信号境界部 15 がインバータでプルアップ P M O S トランジスタがオン状態の場合、電源パッド 3 および電源パッド 4 間の電圧が信号境界部信号端子 53 および信号境界部電源端子 16 にかかる）。これに対し、本実施の形態によれば、E S D 保護素子 9 および E S D 保護素子 10 を電源線 17、18 と信号線 56 との間に設けたことで、E S D 印加電圧の耐量を最大で 2 倍に拡大できたことになる。

【0048】

ここで E S D 保護素子 7 および E S D 保護素子 8 のクランプ電圧は通常は印加電圧の極性によって異なる。

【0049】

例えば E S D 保護素子として g g N M O S （Gate grounded NMOS）トランジスタを用いた場合、ドレインに正電圧が印加される場合には、スナップバック特性が示されると共に、P N 接合の逆方向ブレイクダウン電圧とチャネル抵抗による電圧降下とでクランプ電圧が決まる。一方、ドレインに負電圧が印加される場合には P N 接合の順方向特性が示される。

【0050】

このように、E S D 保護素子のクランプ電圧が印加電圧の極性によって異なる場合において、電源パッド間に E S D 電圧が印加された場合、一方の E S D 保護素子は逆方向特性、他方の E S D 保護素子は順方向特性でクランプされるため、同時に同じ極性で動作することはない。よって、この場合、E S D 保護素子による保護限界は絶縁膜破壊電圧の 2 倍にはならない。

【0051】

ここで、信号境界部のクランプに用いる E S D 保護素子は、電源パッドおよび基準電位パッド間に用いる E S D 保護素子に比べて、小さなサイズの素子を用いることができる。以下、これについてもう少し詳細に説明する。

【0052】

保護素子サイズが小さいと放電できる電流許容量は少なくなり、オン時の端子間抵抗（オン抵抗）も大きい。通常、基準電位線は E S D 電流の主要な放電経路とされるため、基

準電位線配線抵抗23および基準電位線配線抵抗24はそれぞれ対応する電源線配線抵抗21および電源線配線抵抗22よりも低い。このため、信号線56を経る放電経路の抵抗は基準電位線を経る放電経路の抵抗に比べて大きくなる。ESDの放電経路は、この2経路のみであり、各放電経路の合成抵抗にしたがって電流が分流する。概算で、ESD保護素子9およびESD保護素子10のサイズをESD保護素子7およびESD保護素子8の100分の1にしたとすれば、放電抵抗は100倍異なることになる。したがって、信号線56を経由する放電電流は、基準電位線を経由する放電電流に比べて100分の1となる。このように通常、基準電位線をESD電流の主要な放電経路とすることから他方の放電経路上のESD保護素子はそのサイズが小さくとも問題ない。これにより回路サイズの上昇を可及的に抑えることができる。

10

【0053】

図2は、本発明の実施の形態としての半導体集積回路の別の構成例を示すブロック図である。

【0054】

図2では、図1に示す回路に対して、回路1側において信号線56と基準電位線19との間にESD保護素子11が接続され、回路2側において信号線56と基準電位線20との間にESD保護素子12が接続されている。ESD保護素子11およびESD保護素子12としては双方向にESDの放電能力を有するものを用いる必要がある。

【0055】

ESD保護素子11およびESD保護素子12は、基準電位パッド5と電源パッド4との間にESD電圧が印加された場合、および電源パッド3と基準電位パッド6との間にESD電圧が印加された場合において、信号境界部15および信号境界部16の保護に有効である。また、デバイス帯電モデル(CDM: Charged Device Model)によるサージ電圧に対しても効果がある。CDMによるサージ電圧では、試験されるチップすべてのESD保護素子をESD電流が流れるためである。

20

【0056】

図3は、図1の半導体集積回路の具体例を示したブロック図である。

【0057】

電源パッド3と基準電位パッド5との間にはESD保護素子としてggNMOS (gate-grounded NMOS) トランジスタ31が接続されている。また、電源パッド4と基準電位パッド6との間にはESD保護素子としてggNMOS トランジスタ32が接続されている。ggNMOS トランジスタは、NMOS トランジスタにおけるゲート、ソース、ボディが互いに接続されたものであり、ドレインに正電圧が印加された場合にはスナップバック特性を示し、ドレインに負電圧が印加された場合にはPN接合ダイオードの順方向特性を示す。

30

【0058】

電源線17と信号線56との間にはESD保護素子として、ダイオードを3段直列に接続したダイオード列を互いに逆方向に並列接続した双方向ダイオードチェーン33が接続されている。また、信号線56と電源線18との間にはESD保護素子として、ダイオードを3段直列に接続したダイオード列を互いに逆方向に並列接続した双方向ダイオードチェーン34が接続されている。ここで双方向ダイオードチェーン33および双方向ダイオードチェーン34の段数(本例では3段)は、保護対象とされる回路1および回路2に用いられる素子の動作電圧および絶縁膜破壊電圧と、電源パッドおよび基準電位パッド間に接続されたESD保護素子のトリガ電圧およびクランプ電圧とを勘案して設計される。

40

【0059】

また、電源線17および基準電位線19間に信号境界部としてインバータ29が接続されている。インバータ29は、プルアップPMOS トランジスタ25とプルダウンNMOS トランジスタ27とを含む。プルアップPMOS トランジスタ25およびプルダウンNMOS トランジスタ27のゲートは内部回路信号端子46に接続され、両トランジスタのドレインは信号線56に接続されている。プルアップPMOS トランジスタ25のソース

50

は電源線 17 に接続され、プルダウン NMOS トランジスタ 27 のソースは基準電位線 19 に接続されている。

【0060】

内部回路電源線 18 および基準電位線 20 間に信号境界部としてインバータ 30 が接続されている。インバータ 30 は、プルアップ PMOS トランジスタ 26 とプルダウン NMOS トランジスタ 28 とを含む。プルアップ PMOS トランジスタ 26 およびプルダウン NMOS トランジスタ 28 のゲートは信号線 56 に接続され、両トランジスタのドレインは内部回路信号端子 47 に接続されている。プルアップ PMOS トランジスタ 26 のソースは電源線 18 に接続され、プルダウン NMOS トランジスタ 28 のソースは基準電位線 20 に接続されている。

10

【0061】

また、図 1 と異なり、図 3 においては、基準電位線間のノイズを避けるため、回路 1 と回路 2 とでそれぞれの基準電位線が分離され、双方向ダイオード対 37 および双方向ダイオード対 38 を介して、第 3 の基準電位線 41 に接続されている。この第 3 の基準電位線 41 が放電経路として用いられる。第 3 の基準電位線 41 は基準電位パッド 39 および基準電位パッド 40 に接続されている。このように基準電位線 41 を ESD の放電経路とする場合には双方向ダイオード対 137 および双方向ダイオード対 38 の順方向特性による電圧降下があるため、ESD 耐量は低くなる。

【0062】

ここで、回路 1 および回路 2 が共に薄膜素子で構成されている場合などは、予め定められた ESD 規格を適用しようとする、本発明者が本発明をなす以前に実施していた上記回路例では基準電位線配線抵抗 23 および基準電位線配線抵抗 24 は限りなく 0 Ω に近い値が要求され、基準電位線配線抵抗 23 および基準電位線配線抵抗 24 の設計上のマージンは少ない。しかし本実施の形態によれば、電源パッド 3 と電源パッド 4 との間のクランプ電圧値を以前よりも高くできるため、基準電位線配線抵抗 23 および基準電位線配線抵抗 24 に対する要求が緩和され、設計上のマージンが広がる。

20

【0063】

図 4 は本実施の形態による効果を確認するための回路シミュレーションを行うための回路である。この回路は図 2 に示す回路の具体例である。

【0064】

図 4 の回路では、図 2 における ESD 保護素子 7 および ESD 保護素子 8 として、ダイオードトリガサイリスタ (DTCR) 57a およびダイオードトリガサイリスタ 57b を用いている。また、図 2 における信号境界部 15 および信号境界部 16 として、図 3 と同様に、インバータ 29 およびインバータ 30 を用いている。また、図 2 における ESD 保護素子 9 ~ 12 として、ダイオードを 3 段に直列に接続したダイオード列を互いに逆方向に並列接続した双方向ダイオードチェーン 33 ~ 36 を用いている。但し、ESD 保護素子の種類は重要ではなく、他の保護素子でも同様の効果が期待できる。

30

【0065】

以下、図 4 の回路を用いて、人体モデル (HBM: Human Body Model) によるサージ電圧が印加される場合をシミュレーションする。

40

【0066】

ESD 電圧の印加は前述した最も ESD 耐量が厳しくなる条件 (インバータ 29 における PMOS トランジスタ 25 がオン) での電源パッド 3 および電源パッド 4 間の電圧印加とした。内部回路 13 および内部回路 14 はシミュレーション上特に重要でない、内部回路 13 における電源端子 42 と、内部回路 14 における信号端子 47、電源端子 43 および基準電位端子 45 とはいずれもオープンとした。内部回路 14 における内部回路基準電位端子 44 と信号端子 46 とはインバータ 29 をハイレベルの状態で作動させるために短絡した (図示せず)。上述したように、この状態が、ESD 耐量が最も低くなる状態である。

【0067】

50

図 5 は、図 4 の回路を用いて、E S D 電圧として H B M サージ 5 0 0 0 V を仮定して、回路シミュレーションした結果を示すグラフである。

【 0 0 6 8 】

横軸は時刻であり、縦軸は電圧である。

【 0 0 6 9 】

E S D 電圧印加時の電源パッド 3 および電源パッド 4 間の電圧は 3 0 n s 付近で 6 V をわずかに上回っているのに対して、E S D 保護素子 3 3 の両端電圧すなわち電源線 1 7 および信号線 5 6 間の電圧、並びに E S D 保護素子 1 0 の両端電圧すなわち信号線 5 6 および電源線 1 8 間の電圧は 3 . 0 V 以下と、電源パッド 3 および電源パッド 4 間の電圧の半分程度であることがわかる。なお、図 5 のグラフにおいて、電源線 1 7 および信号線 5 6 間の電圧を示す曲線、および信号線 5 6 および電源線 1 8 間の電圧を示す曲線は重なっている。

10

【 0 0 7 0 】

また、内部回路 1 3 における電源端子 4 2 および基準電位端子 4 4 間の電圧は、3 . 6 V 程度であり、内部回路 1 4 における電源端子 4 3 および基準電位端子 4 5 間の電圧は、2 . 4 V 程度である。

【 0 0 7 1 】

本発明者が本発明をなす以前に実施していた半導体集積回路の構成（例えば図 4 において双方向ダイオードチェーン 3 3 ～ 3 6 が無い構成）では、仮に内部回路の破壊電圧を 4 V とした場合、電源パッド 3 および電源パッド 4 間の電圧（6 V 近く）が直接、例えば回路 2 におけるインバータ 3 0 にかかるため、破壊を免れない。しかし本実施の形態によれば、内部回路 1 3、内部回路 1 4、信号境界部 2 9 および信号境界部 3 0 のいずれでも 4 V 以下に抑制でき、破壊を免れることができる。

20

【 0 0 7 2 】

以上では図 4 の回路による効果を、H B M による E S D 電圧が印加された場合を例に説明したが、この他、上述したデバイス帯電モデル（C D M : Charged Device Model）により E S D 電圧が印加された場合に対しても、同様の効果が期待できる。

【 0 0 7 3 】

C D M によるサージ電圧は他の試験規格である H B M、マシンモデル（M M : Machine Model）に比べてサージ発生時間は短く、パルス幅 1 n s 前後であるが、サージ電流は大きく、数アンペアから 2 0 A 程度に達することもある。C D M はその短いパルス特性のため、E S D 保護素子には高速応答特性が要求されるという特徴がある。また H B M、M M ではデバイス外部に帯電体があり、そこからサージ電圧が印加されるが、これに対して C D M ではデバイス自身が帯電しサージ電圧の発生源となるという特徴もある。以前からの集積回路に設けられる E S D 保護素子（例えば図 1 の E S D 保護素子 7、8）は、集積回路の外部と接続される電源端子、基準電位端子および信号端子等に接続されて、外部からの E S D 電圧印加を遮断するように動作するが、デバイス内部から電圧が発生する C D M では必ずしも十分な E S D 保護が実現できなかった。これに対し、本実施の形態によれば、集積回路内部において、電源端子および基準電位端子間の E S D 保護素子を経由する経路に加えて、さらに別の放電経路を設けたため、C D M に対して効果的な保護を行うことが可能である。

30

40

【 0 0 7 4 】

図 6 は、図 1 の半導体集積回路を含む集積回路チップ 7 4 の概略図である。

【 0 0 7 5 】

集積回路チップ内は大きく 3 つの回路、すなわち回路 1、回路 2 および回路 6 7 で構成されている。

【 0 0 7 6 】

各回路 1、2、6 7 の電源は分離されており、各回路 1、2、6 7 付近に、チップ外部において、四角形の電源パッド 3、電源パッド 4 および電源パッド 5 8 が配置されている。

50

【0077】

電源線および基準電位線はリング状になっていることから通常は電源リングと呼ばれる。電源リングは3つの電源に対応して3つに分断されている。電源線は、それぞれ電源線17、電源線18および電源線59に分断されている。基準電位線は基準電位線19、基準電位線20および基準電位線60に分断され、電源線17、18、59と平行に電源線の外側に配置されている。

【0078】

基準電位パッドは図面の簡略化のため図示していない。また電源パッドおよび基準電位パッド間に接続されるESD保護素子（例えば図1におけるESD保護素子7、8）は通常電源リングの下側（紙面に垂直な方向）に配置されるが、図面の簡略化のため、図示を省略している。

10

【0079】

図6において、回路1における信号境界部15（1）は、回路2における信号境界部16（1）と信号線56（1）で接続されている。信号線56（1）は、ESD保護素子9（1）を介して電源線17に接続されると共にESD保護素子10（1）を介して電源線18に接続され、これにより信号境界部のESDからの保護が行われる。

【0080】

回路2における信号境界部15（2）は、回路67における信号境界部16（2）と信号線56（2）で接続されている。信号線56（2）はESD保護素子9（2）を介して電源線18に接続されると共に、ESD保護素子10（2）を介して電源線59に接続され、これにより信号境界部のESDからの保護が行われる。

20

【0081】

回路67は回路1に対し2箇所において接続されている。

【0082】

一方は回路67における信号境界部15（3）と回路1における信号境界部16（3）とが、信号線56（3）によって接続されている。信号線56（3）はESD保護素子9（3）を介して電源線59に接続されると共に、ESD保護素子10（3）を介して電源線17と接続されている。

【0083】

他方は回路67における信号境界部15（4）と回路1における信号境界部16（4）とが信号線56（4）によって接続されている。信号線56（4）はESD保護素子9（4）を介して電源線59と接続されると共に、ESD保護素子10（4）を介して電源線17と接続されている。

30

【0084】

このように図6に示すチップでは、本発明の大きな特徴の1つとなるESD保護素子9（1）～9（4）、10（1）～10（4）が、チップ内部に設けられることになる（以前からのESD保護素子（図6において図示せず）は、上述したようにチップの外周付近の電源リングの下側に設けられる）。通常、チップ内部に大きなサイズのESD保護素子を用いることは困難であるが、前述のように本実施の形態ではESD保護素子のサイズは小さくて良いため、チップサイズを可及的に小さく抑えつつESD耐量の大きな向上を図ることができる。

40

【0085】

以上のように、本実施の形態によれば、互いに電源線が分離され信号伝搬経路（信号線）を有する回路間において、一方の電源線と信号線の間、および他方の電源線と信号線の間それぞれ双方向に通電可能なESD保護素子を設けたことにより、ESD耐性の大幅な向上が実現できる。

【0086】

また、本実施の形態によれば新たに設けるESD保護素子のサイズは小さくてよい、チップサイズ増大や、配線総数の増加なども少なく、よってチップ単価の上昇も可及的に防止できる。

50

【図面の簡単な説明】

【0087】

【図1】本発明の実施の形態としての半導体集積回路の構成を示すブロック図である。

【図2】発明の実施の形態としての半導体集積回路の他の構成を示すブロック図である。

【図3】図1の半導体集積回路の具体例を示したブロック図である。

【図4】本実施の形態による効果を確認するためのシミュレーションを行うための回路の構成を示すブロック図である。

【図5】4の回路を用いてシミュレーションした結果を示すグラフである。

【図6】図1の半導体集積回路を含む集積回路チップの概略図である。

【符号の説明】

10

【0088】

1、2、67 回路

3、4、58 電源パッド

5、6、39、40 基準電位パッド

7～12 ESD保護素子

13、14 内部回路

15、16 信号境界部

17、18、59 電源線

19、20、41、60 基準電位線

21、22 電源線配線抵抗

20

23、24 基準電位線配線抵抗

25、26 プルアップPMOSFET

27、28 プルダウンNMOSFET

29、30 インバータ

31、32 ggNMOSトランジスタ

33～36 双方向ダイオードチェーン

37、38 双方向ダイオード対

42、43 内部回路電源端子

44、45 内部回路基準電位端子

46、47 内部回路信号端子

30

48、49 信号境界部電源端子

50～53 信号境界部信号端子

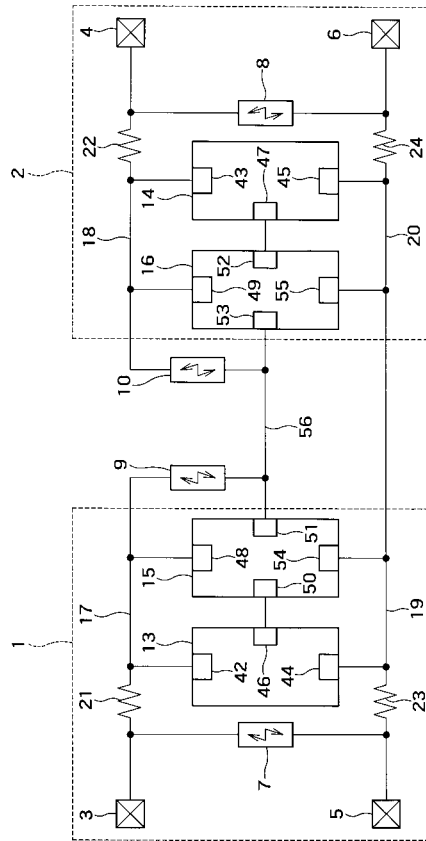
54、55 信号境界部基準電位端子

56 信号線

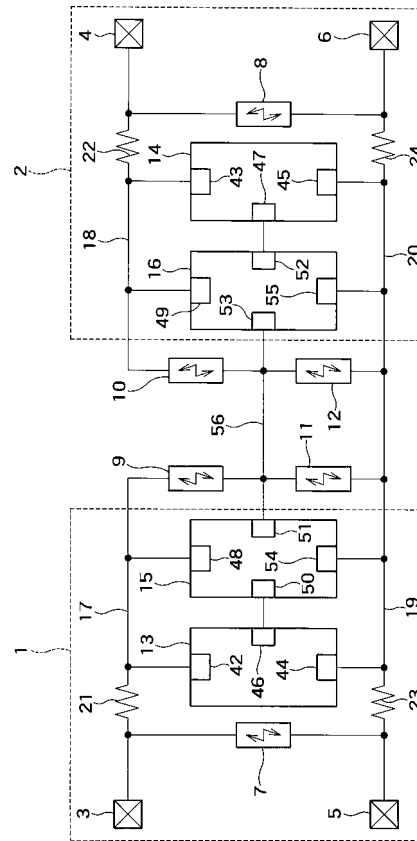
57 ダイオードトリガサイリスタ

74 集積回路チップ

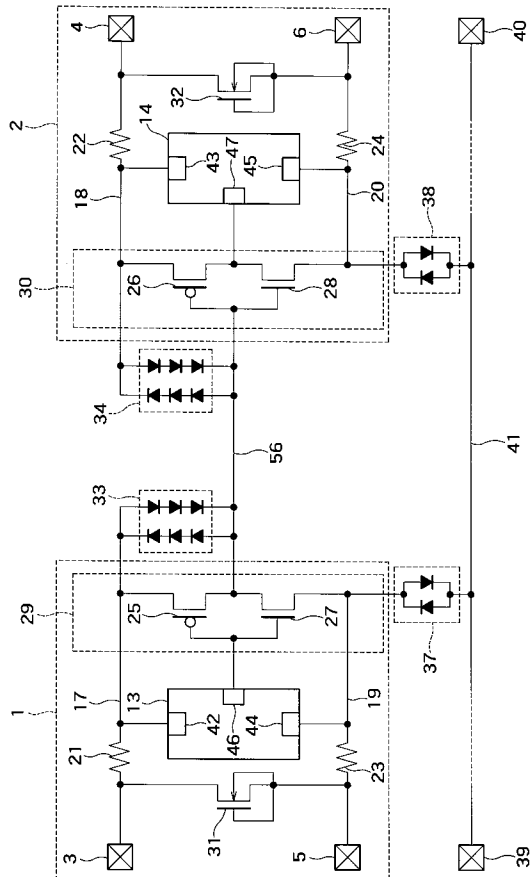
【図 1】



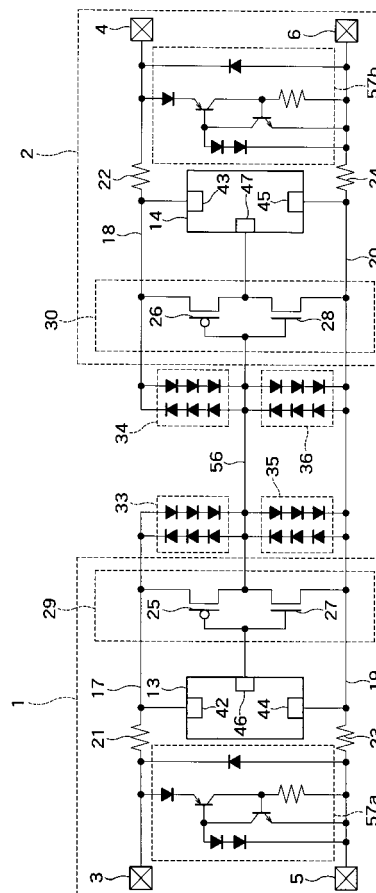
【図 2】



【図 3】



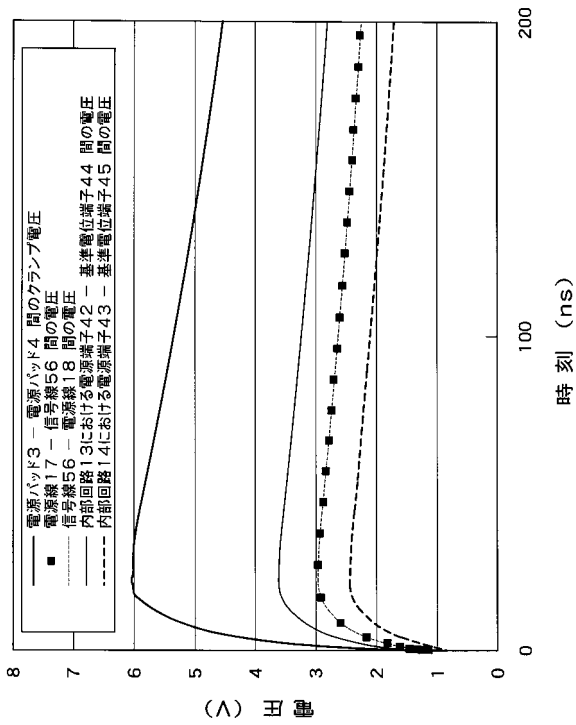
【図 4】



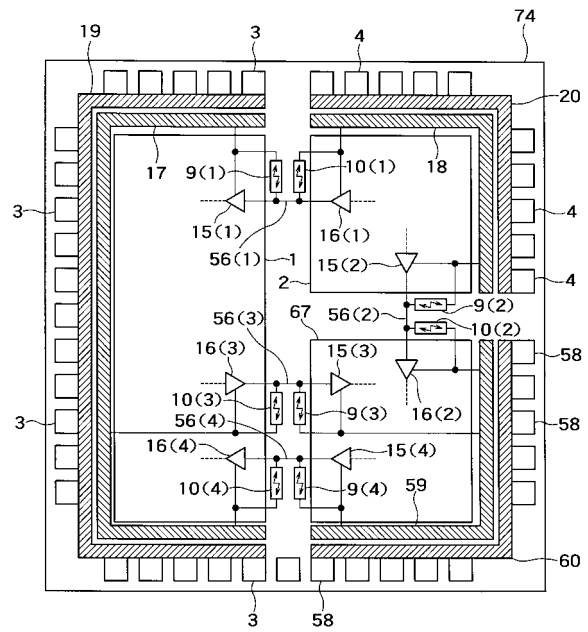
(15)

JP 2006-93598 A 2006.4.6

【図 5】



【図 6】



フロントページの続き

(72)発明者 吉 永 浩 之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F038 BH02 BH05 BH06 BH07 BH13 EZ20