

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-119558

(P2011-119558A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/146 (2006.01)	H O 1 L 27/14 A	4 M 1 1 8
H O 1 L 27/14 (2006.01)	H O 1 L 27/14 D	
H O 1 L 21/322 (2006.01)	H O 1 L 21/322 R	

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号	特願2009-277203 (P2009-277203)	(71) 出願人	000005821
(22) 出願日	平成21年12月7日 (2009. 12. 7)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117581
			弁理士 二宮 克也

最終頁に続く

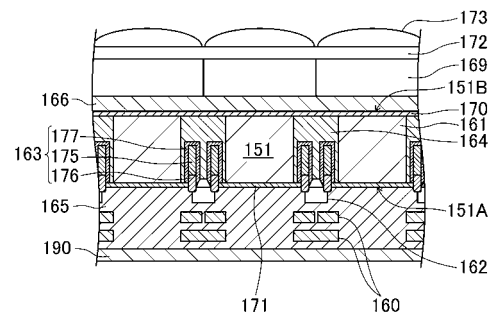
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】感度が高く且つ混色を低減した裏面照射型の固体撮像装置を実現できるようにする。

【解決手段】固体撮像装置は、半導体基板151と、半導体基板151に形成された複数の光電変換部161と、分離部163と、カラーフィルタ169と、出力回路162とを備えている。半導体基板151は、光入射面及び電荷検出面を有している。分離部163は、光電変換部161同士の間形成され、半導体基板151に埋め込まれたシリコン層175を有する。カラーフィルタ169は、光入射面側に形成され、出力回路162は電荷検出面側に形成されている。シリコン層は、非晶質シリコン又は多結晶シリコンからなる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

光入射面及び電荷検出面を有する半導体基板と、
前記半導体基板に形成され、第 1 導電型の不純物を含む複数の光電変換部と、
前記光電変換部の間に形成され、前記半導体基板に埋め込まれたシリコン層を有する分離部と、

前記光入射面側に形成されたカラーフィルタと、
前記電荷検出面側に形成された出力回路とを備え、
前記シリコン層は、非晶質シリコン又は多結晶シリコンからなることを特徴とする固体撮像装置。

10

【請求項 2】

前記分離部は、前記シリコン層と前記半導体基板との間に形成された側部シリコン酸化膜を有していることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記分離部は、前記シリコン層よりも前記電荷検出面側に形成された上部シリコン酸化膜を有し、

前記上部シリコン酸化膜は、前記電荷検出面から突出していることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】

前記シリコン層は、リン、ホウ素又は砒素を含むことを特徴とする請求項 1 に記載の固体撮像装置。

20

【請求項 5】

前記シリコン層は、負電圧が印加されていることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 6】

前記光電変換部における前記第 1 導電型の不純物の濃度が最大となる位置は、前記分離部における最も前記光入射面側の位置よりも、前記光入射面側であることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 7】

前記光入射面に形成され、第 2 導電型の不純物を含む第 2 導電型層をさらに備え、
前記分離部は、前記電荷検出面から前記第 2 導電型層に達することを特徴とする請求項 1 に記載の固体撮像装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関し、特に電荷の取り出しを光入射面と反対側の面から行う固体撮像装置に関する。

【背景技術】

【0002】

近年、金属－酸化膜－半導体（MOS）型の固体撮像装置が、低消費電力駆動及び高速撮像が可能な装置として注目されている。MOS 型の固体撮像装置は、携帯機器用カメラ、車載用カメラ及び監視用カメラ等の幅広い分野において利用が進んでいる。

40

【0003】

一般的な MOS 型の固体撮像装置は、フォトダイオードからなる光電変換部を含む複数の画素がアレイ状に配列されている。各画素は、光電変換部に蓄積された電荷を取り出すための、出力回路を有している。出力回路は、例えば転送トランジスタ、増幅トランジスタ、選択トランジスタ及びリセットトランジスタ等を有している。光電変換部において光電変換された電荷は、転送トランジスタにより浮遊拡散層（フローティングディフュージョン）に転送される。浮遊拡散層に転送された電荷は、増幅トランジスタにより増幅され、垂直シフトレジスタにより選択された選択トランジスタを介して、列ごとに設けられた

50

出力信号線に伝達される。出力信号線に伝達された電荷は、水平シフトレジスタを介して出力端子へ出力される。なお、浮遊拡散層に蓄積された余剰電荷は、ドレイン領域が電源線と接続されたりセットトランジスタにより排出される。

【0004】

固体撮像装置の微細化に伴い、出力回路を光が入射する光入射面と反対側の面に形成した裏面照射型の固体撮像装置が検討されている。図7は、裏面照射型の固体撮像装置の構成の一例を示している。図7に示すように、半導体基板に、不純物濃度が低いn型のシリコン層（n-層）216と、n-層216の裏面側に積層した、不純物濃度が低いp型のシリコン層（p-層）214と、p-層214の裏面側に積層した不純物濃度が高いp型のシリコン層（p+層）212とが形成されている。また、n-層216よりも表面側には、p型の不純物拡散層からなる画素分離領域228が形成されている。画素分離領域228の下方には、不純物濃度が低いp型のウェル領域234が形成されている。各受光部領域の表面側には、不純物濃度が高いp型のシリコン層222が形成され、シリコン層222よりも裏面側には、n型の不純物を含むシリコン層224が形成されている。半導体基板のp+層212の裏面側には、酸化シリコンや窒化シリコン等の入射光に対して透明な絶縁膜242が形成されている。絶縁膜242の光入射面側には、高屈折率透明層244が形成されている。高屈折率透明層244の光入射側の面には、複数のカラーフィルタ246を水平方向に配列してなるカラーフィルタ層が形成されている。隣接するカラーフィルタ246同士の間には、混色（クロストーク）を防止するための遮光部材248が形成され、カラーフィルタ246上には、マイクロレンズ252が形成されている。

【0005】

半導体基板の内部には、隣り合う画素同士の間を仕切るように、タンゲステン等の光反射性材料から構成された埋め込み部材218が形成されている。埋め込み部材218とシリコン層との間には酸化シリコン等からなる絶縁膜219が形成されている。埋め込み部材218を形成することにより、入射光が入射した画素とは別の位置に設けられた画素の光電変換領域に侵入することを回避でき、混色の発生を防止できる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-88030号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の裏面照射型の固体撮像装置には以下のような問題がある。画素同士の間埋め込まれた埋め込み部材は、金属等の光を反射する材料からなる。金属とシリコンとは格子定数が異なるため、埋め込み部材の上に単結晶のエピタキシャル層を形成することは困難である。このため、埋め込み部材の上に形成されたシリコン層は結晶欠陥を多く含む。従って、暗時発生電荷が増加するので、固体撮像装置の感度が低下する。

【0008】

また、従来の裏面照射型の固体撮像装置は、光電変換部からの電荷を読み出す際に、CCD型の電荷読み出し構成を取っている。このため、半導体基板における読み出し電極を形成する側に、光反射材料を形成することができず、斜め入射光を完全に吸収することができない。例えば、波長が650nmの光は、厚さが10μmのシリコン材料により90%程度しか吸収されない。斜め入射光の吸収が不十分となると、混色を低減することができなくなる。さらに、金属をシリコン材料内に埋め込んでいるため、プロセス中の熱処理により、シリコン材料内に金属が熱拡散する。これによっても、シリコン層の結晶欠陥が増加し、暗時発生電荷が増加するので、感度が低下する。

【0009】

本発明は、前記の問題を解決し、感度が高く且つ混色を低減した裏面照射型の固体撮像装置を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0010】

前記の目的を達成するため、本発明は固体撮像装置を、シリコン層からなる分離部を備えた構成とする。

【0011】

具体的に、本発明に係る固体撮像装置は、光入射面及び電荷検出面を有する半導体基板と、半導体基板に形成され、第1導電型の不純物を含む複数の光電変換部と、光電変換部同士の間形成され、半導体基板に埋め込まれたシリコン層を有する分離部と、光入射面側に形成されたカラーフィルタと、電荷検出面側に形成された出力回路とを備え、シリコン層は、非晶質シリコン又は多結晶シリコンからなる。

10

【0012】

本発明の固体撮像装置は、光電変換部同士の間形成され、半導体基板に埋め込まれたシリコン層を有する分離部を備えている。このため、固体撮像装置のプロセス中に半導体基板内に含まれる鉄、銅、ニッケル等の重金属をシリコン層にゲッタリングすることができる。従って、暗時発生電荷を低減し、固体撮像装置の感度を向上させることができる。また、カラーフィルタが光入射面側に形成され、出力回路が電荷検出面側に形成されているため、カラーフィルタと光電変換部との間隔を狭くすることができる。従って、斜め入射光による混色を低減することができる。さらに、基板の深部まで到達する長波長光についても、斜めに入射した場合に隣接する画素へ侵入しにくくなり、混色を低減できる。

【0013】

20

本発明の固体撮像装置において、分離部は、シリコン層と半導体基板との間に形成された側部シリコン酸化膜を有していてもよい。このような構成とすることにより、分離部を形成するための溝部の側面における結晶欠陥を低減することができ、暗時発生電荷を低減して、高感度化することができる。

【0014】

本発明の固体撮像装置において分離部は、シリコン層よりも電荷検出面側に形成された上部シリコン酸化膜を有し、上部シリコン酸化膜は、電荷検出面から突出していてもよい。このような構成とすることにより、分離部の上にゲート配線を形成することが可能となる。

【0015】

30

本発明の固体撮像装置においてシリコン層は、リン、ホウ素又は砒素を含んでいてもよい。このような構成とすることにより、シリコン層において重金属のゲッタリングをより確実に行うことが可能となる。

【0016】

本発明の固体撮像装置においてシリコン層は、負電圧が印加されていてもよい。このような構成とすることにより、分離部を形成する溝部の表面にホール蓄積層を形成できる。このため、結晶欠陥による界面準位により発生する電荷を低減し、高感度化を行うことができる。

【0017】

本発明の固体撮像装置において、光電変換部における第1導電型の不純物の濃度が最大となる位置は、分離部における最も光入射面側の位置よりも、光入射面側とすればよい。このような構成とすることにより、可視光領域の光が斜めに入射した場合の混色をより低減することができる。

40

【0018】

本発明の固体撮像装置は、光入射面に形成され、第2導電型の不純物を含む第2導電型層をさらに備え、分離部は、電荷検出面から第2導電型層に達していてもよい。このような構成とすることにより、可視光領域の光が斜めに入射した場合の混色をより低減することができる。

【発明の効果】

【0019】

50

本発明に係る固体撮像装置によれば、感度が高く且つ混色を低減した裏面照射型の固体撮像装置を実現できる。

【図面の簡単な説明】

【0020】

【図1】一実施形態に係る固体撮像装置を示す回路図である。

【図2】一実施形態に係る固体撮像装置の画素部分を示す断面図である。

【図3】一実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

【図4】一実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

【図5】一実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

【図6】一実施形態に係る固体撮像装置の変形例を示す断面図である。

【図7】従来例に係る固体撮像装置を示す回路図である。

【発明を実施するための形態】

【0021】

図1は、一実施形態に係る固体撮像装置の回路構成を示している。本実施形態の固体撮像装置は、フォトダイオードからなる光電変換部161を含む複数の画素100が行列状に配列されている。各画素100は、光電変換部161に蓄積された電荷を取り出すための、出力回路162を有している。出力回路162は、転送トランジスタ103、増幅トランジスタ104、選択トランジスタ106及びリセットトランジスタ105等の複数のMOSトランジスタを有している。例えば、光電変換部161において光電変換された電荷は、転送トランジスタ103により浮遊拡散層（フローティングディフュージョン）102に転送される。浮遊拡散層102に転送された電荷は、増幅トランジスタ104により増幅され、垂直シフトレジスタ108により選択された選択トランジスタ106を介して、列ごとに設けられた出力信号線111に伝達される。出力信号線111に伝達された電荷は、水平シフトレジスタ109を介して出力端子112へ出力される。なお、浮遊拡散層102に蓄積された余剰電荷は、ドレイン領域が電源線と接続されたりリセットトランジスタ105により排出される。

【0022】

図2は、画素100の断面構成を示している。図2においては3画素のみを示している。シリコン基板である半導体基板151には、n型の拡散領域である光電変換部161が行列状に形成されている。半導体基板151の表面は電荷検出面151Aであり、複数のMOSトランジスタを含む出力回路162が形成されている。半導体基板151の裏面は光入射面151Bであり、複数のカラーフィルタ169及びレンズ173等が形成されている。

【0023】

出力回路162は、隣接する光電変換部161の間に形成され、光電変換部161と出力回路162を構成するトランジスタのソースドレイン領域との間には、分離部163が形成されている。電荷検出面151Aの上には出力回路162を覆うように層間膜165が形成され、層間膜165には複数の配線160が形成されている。配線160は出力回路162を駆動する制御線及び電荷を出力する出力線等を含む。隣接する光電変換部161同士の間には、p型の拡散層である分離拡散層164が形成されている。これにより、隣接する光電変換部161を電氣的に分離し、混色を低減することができる。

【0024】

カラーフィルタ169は、それぞれ光電変換部161に対応して形成されている。カラーフィルタ169は、波長450nm程度の短波長の光を高効率で透過するBフィルタと、波長650nm程度の長波長の光を高効率で透過するRフィルタと、波長550nm程度の中間波長の光を高効率で透過するGフィルタとを含み、ベイア配列等を構成している。カラーフィルタ169と光入射面151Bの間には酸化シリコン（SiO₂）又は窒化シリコン（SiN）等からなる絶縁膜166が形成されている。カラーフィルタ169の上には、平坦化層172を介してレンズ173が形成されている。

【0025】

光入射面 151B には光入射面 151B から一定の深さまで高濃度の p 型不純物を拡散させた高濃度 p 型層 170 が形成されている。高濃度 p 型層 170 を形成することにより、光入射面 151B の結晶欠陥に起因する暗時発生電荷が光電変換部 161 へ流入することを抑え、ノイズを低減できる。電荷検出面 151A には高濃度 p 型層 171 が形成されている。高濃度 p 型層 171 を形成することにより、電荷検出面 151A の結晶欠陥に起因する暗時発生電荷が光電変換部 161 へ流入することを抑え、ノイズを低減できる。

【0026】

一般に MOS 型の固体撮像装置は、多層配線の上にカラーフィルタを形成する。このため、基板面からカラーフィルタまでの距離が大きくなり、斜め入射光による混色の影響を大きく受ける。しかし、本実施形態の固体撮像装置は、カラーフィルタと多層配線とが基板の互いに異なる面に形成されている。このため、基板面からカラーフィルタまでの距離を小さくすることができる。具体的には、従来 4 μm 程度であった基板面からカラーフィルタまでの距離を 1 μm 程度まで小さくすることができる。これにより混色を半減させることができる。

【0027】

また、本実施形態の固体撮像装置における分離部 163 は、非晶質シリコン又は多結晶シリコンからなるシリコン層 175 を有している。分離部に酸化膜を埋め込む場合には、分離部のアスペクト比を 3 以上にすることは困難である。しかし、シリコン層 175 は埋め込み性が優れた LPCVD 法により成膜可能である。このため、分離部 163 のアスペクト比を 10 ~ 20 程度にまで大きくすることが可能となる。このため、分離部 163 の深さを深くし、斜め入射光による混色をさらに低減することができる。

【0028】

さらに、本実施形態においては、分離部 163 を、光入射面 151B 側にシリコン層 175 を形成し、電荷検出面 151A 側に上部 SiO_2 膜 176 が形成された構成としている。このため、分離部 163 の上にパルス伝達配線となるゲート配線及びゲート電極を形成することができる。このため、配線層数を低減でき、低コスト及び短 TAT (Turn Around Time) の製造が可能となる。

【0029】

具体的には、本実施形態の固体撮像装置における分離部 163 は、幅が 0.2 μm で電荷検出面 151A からの深さが 2.0 μm 程度の分離溝に、電荷検出面 151A からの深さが 0.3 μm 程度の位置までシリコン層 175 を埋め込み、シリコン層 175 よりも電荷検出面 151A 側には、酸化シリコンからなる上部 SiO_2 膜 176 を形成している。上部 SiO_2 膜 176 は、電荷検出面 151A から 50 nm 程度突出するように形成されている。このような構成とすることにより、光電変換部 161 における n 型不純物の濃度が最大となる位置が、分離部 163 の電荷検出面 151A から最も深い位置よりも電荷検出面 151A 側となる。これにより、長波長の光が隣接する画素へ侵入することを低減できる。R フィルタが設けられた画素と隣接する G フィルタが設けられた画素の出力値に対する、R フィルタが設けられた画素の出力値の比として算出した混色特性は約 0.5 % となる。一般的に、シリコン基板へ入射した光の強度が半減する深さは、波長が 450 nm の場合には 0.3 μm 程度であり、波長が 550 nm の場合には 0.8 μm 程度であり、波長が 650 nm の場合には、2.3 μm 程度である。このように、長波長の光の方がシリコン基板の深い位置まで到達するため、斜め入射光による混色が顕在化しやすい。

【0030】

また、分離部 163 は、分離溝の底面及び側面に形成された側部 SiO_2 膜 177 を有している。このため、分離溝の側面に発生する結晶欠陥を低減することができ、暗時発生電荷に起因した感度低下を抑えることができる。側部 SiO_2 膜 177 は例えば、膜厚を 10 nm 程度とすればよい。

【0031】

本実施形態の固体撮像装置にシリコン層 175 を接地電位としたり、負電圧を印加したりしてもよい。画素数が 30 万程度の固体撮像装置において、暗時の出力が 69 mV 以上

の画素が10000画素程度であった場合、側部SiO₂膜177を設けることにより1000画素以下まで減少させることができる。さらに、シリコン層175に-3Vの電圧を印加すると、分離溝の側壁に $1 \times 10^{18} / \text{cm}^3$ 程度の濃度のホール蓄積層を形成できる。これにより、結晶欠陥の界面準位から発生する電荷を低減でき、暗時の出力が69mV以上の画素数を10画素以下にまで低減できる。

【0032】

また、半導体基板151をSOI基板としてもよい。一般に、SOI基板中に拡散したFe元素及びNi元素は200nm程度の埋め込み酸化(BOX)層を拡散することが困難である。このため、Si基板においてゲッタリングされず、SOI層の上に残存する。従って、暗時の出力が69mV以上の画素が増加し、特性が悪化する。これを回避するために、SOI層にゲッタリング箇所を設けた場合には、ゲッタリング箇所に結晶欠陥が集中するため、熱による発生電荷が増大し、暗時の出力が69mV以上の画素が増加してしまう。一方、分離部163にシリコン層175を設けた場合には、光電変換部161から隔離された箇所に、Fe元素及びNi元素をゲッタリングすることが可能となる。この場合SOI基板のシリコン層から98%程度吸収することができる。このため、画素数が30万程度の固体撮像装置において、暗時の出力が69mV以上の画素を10画素以下にまで低減できる。

【0033】

本実施形態の固体撮像装置において、光電変換部161は200keV~2000keVの注入エネルギーにより形成し、不純物濃度を $1 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ とすればよい。分離拡散層164は100keV~3000keVの注入エネルギーにより形成し、不純物濃度を $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ とすればよい。高濃度p型層170及び高濃度p型層171は、1keV~100keVの注入エネルギーにより形成し、不純物濃度を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ とすればよい。高濃度p型層170の不純物濃度を高濃度とすることにより、発生電荷のライフタイムが短くなり、結晶欠陥に起因して発生する電荷の光電変換部161への流入を防止できる。高濃度p型層171により、全画素において光電変換部161の一部分は電荷検出面151Aからの深さが等しくなっており、光電変換部161から浮遊拡散部への蓄積電荷の転送は、光電変換部161の浅い部分において行う。

【0034】

以下に、本実施形態の固体撮像装置の製造方法について説明する。まず、図3(a)に示すように、CVD法により、SOI基板又はシリコン基板等の半導体基板151の電荷検出面151Aの上に膜厚が10nm~200nmのシリコン窒化膜189を形成する。続いて、フォトリソグラフィ法及びドライエッチング法等によりシリコン窒化膜189における分離部と対応する箇所に開口部を形成する。

【0035】

次に、図3(b)に示すように、シリコン窒化膜189をハードマスクとして、ドライエッチング法により半導体基板151の電荷検出面151A側に幅が0.1μm~0.5μmで、深さが1μm~5μmの分離溝174を形成する。

【0036】

次に、図3(c)に示すように分離溝174の側面に熱CVD法等により、厚さが5nm~20nmのSiO₂からなる側部SiO₂膜177を形成する。続いて、CVD法によりシリコン層175を分離溝174に形成した後、エッチバックを行い、側部SiO₂膜177の分離溝174の上部0.1μm~0.3μm程度の部分を除去する。分離溝174の結晶欠陥に起因する暗時発生電荷が光電変換部161へ流入することを防止するため、側部SiO₂膜177を形成した後に、分離溝174の側壁にp型不純物を注入することが好ましい。p型不純物の注入条件は、注入エネルギーを5~30keVで、注入濃度を $1 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ とすればよい。

【0037】

次に、図3(d)に示すように、CVD法によりSiO₂からなる上部SiO₂膜176

をシリコン層 175 の上部に形成する。

【0038】

次に、図 4 (a) に示すように、CMP 法によりシリコン窒化膜 189 上の上部 SiO₂ 膜 176 を除去した後、ウェットエッチング法によりシリコン窒化膜 189 を除去する。これにより、上部 SiO₂ 膜 176 が半導体基板の上に 50 nm 程度突出した分離部 163 が形成される。続いて、フォトリソグラフィ法及びイオン注入法により、所望の領域に光電変換部 161、出力回路 162 の拡散層、高濃度 p 型層 171 及び分離拡散層 164 等を形成する。この後、熱酸化によりゲート酸化膜 (図示せず) を形成し、CVD 法によりゲート電極を形成する。

【0039】

次に、図 4 (b) に示すように、層間膜 165 及び配線 160 を、スパッタ法及び CVD 法を用いた成膜と、フォトリソグラフィ法及びドライエッチング法を用いたパターンニングとにより形成する。

【0040】

次に、図 4 (c) に示すように、層間膜 165 上に支持基板 190 を貼り付ける。支持基板 190 はシリコン基板等とすればよい。また、石英基板等を用いてもよい。

【0041】

次に、図 5 (a) に示すように、半導体基板 151 の電荷検出面 151 A と反対側の面をバックグラインド及びウェットエッチングして、光電変換部 161 が露出した光入射面 151 B を形成する。続いて、イオン注入法により、光入射面 151 B 側に高濃度 p 型層 170 を形成する。高濃度 p 型層 170 の形成は、注入エネルギーを 1 keV ~ 100 keV とし、不純物濃度を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ とすればよい。

【0042】

続いて、図 5 (b) に示すように、高濃度 p 型層 170 の上に、CVD 法により厚さが $0.05 \mu\text{m} \sim 1 \mu\text{m}$ の絶縁膜 166 を形成し、スピン塗布法によりカラーフィルタ 169 を形成する。カラーフィルタ 169 は例えばベイア配列とすればよい。続いて、スピン塗布法及びドライエッチング法により平坦化層 172 を介してレンズ 173 を形成する。

【0043】

分離部 163 は、電荷検出面 151 A からの深さが光電変換部 161 における不純物濃度が最も高い位置よりも深ければよい。従って、図 6 に示すように、分離部 163 が高濃度 p 型層 170 に達していてもよい。この場合、例えば半導体基板 151 の厚さと $3 \mu\text{m}$ とし、分離部 163 を形成する分離溝を幅が $0.3 \mu\text{m}$ で深さが $2.8 \mu\text{m}$ とすればよい。分離部 163 が高濃度 p 型層 170 に達している場合には、隣接する光電変換部 161 を物理的に分離することができる。このため、混色特性をさらに改善することができる。R フィルタが設けられた画素と隣接する G フィルタが設けられた画素における出力値に対する R フィルタが設けられた画素の出力値の比は、最終的に約 0.01 % となる。

【産業上の利用可能性】

【0044】

本発明に係る固体撮像装置は、感度の向上及び混色の低減が可能であり、特に電荷の取り出しを光入射面と反対側の面から行う固体撮像装置等として有用である。

【符号の説明】

【0045】

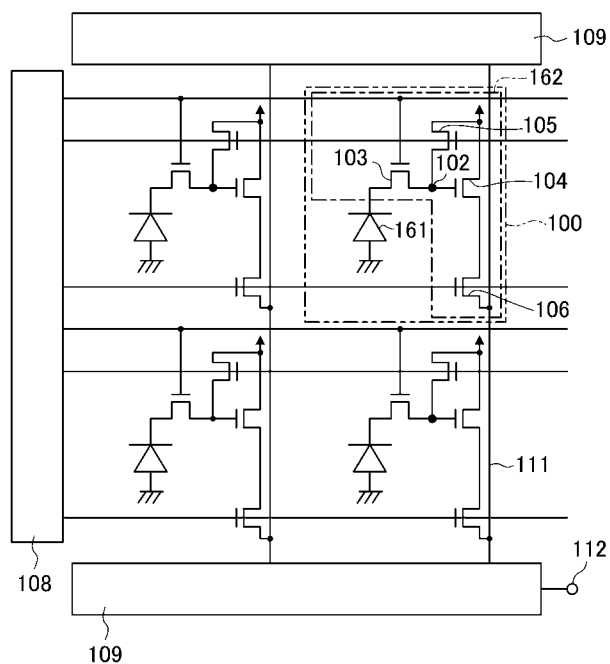
100	画素
102	浮遊拡散層
103	転送トランジスタ
104	増幅トランジスタ
105	リセットトランジスタ
106	選択トランジスタ
108	垂直シフトレジスタ
109	水平シフトレジスタ

1 1 1	出力信号線
1 1 2	出力端子
1 5 1	半導体基板
1 5 1 A	電荷検出面
1 5 1 B	光入射面
1 6 0	配線
1 6 1	光電変換部
1 6 2	出力回路
1 6 3	分離部
1 6 4	分離拡散層
1 6 5	層間膜
1 6 6	絶縁膜
1 6 9	カラーフィルタ
1 7 0	高濃度 p 型層
1 7 1	高濃度 p 型層
1 7 2	平坦化層
1 7 3	レンズ
1 7 4	分離溝
1 7 5	シリコン層
1 7 6	上部 S i O ₂ 膜
1 7 7	側部 S i O ₂ 膜
1 8 9	シリコン窒化膜
1 9 0	支持基板

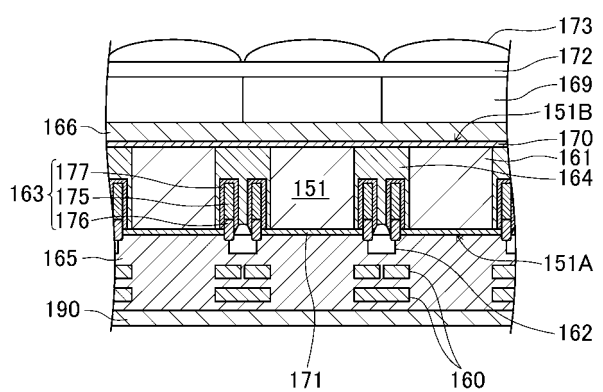
10

20

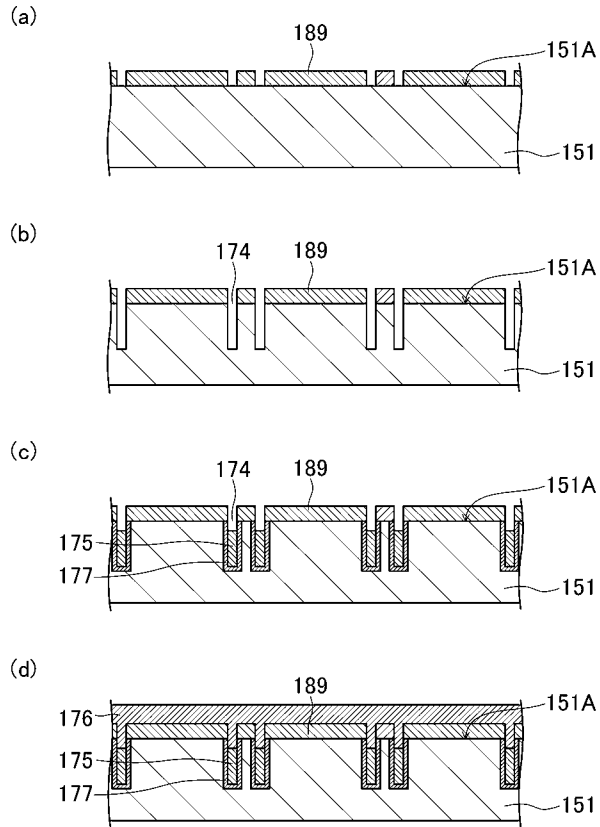
【図 1】



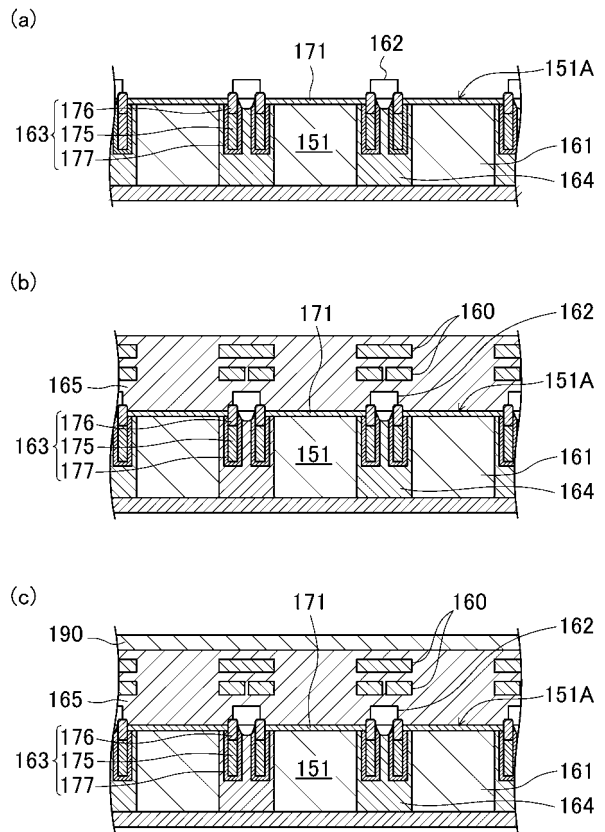
【図 2】



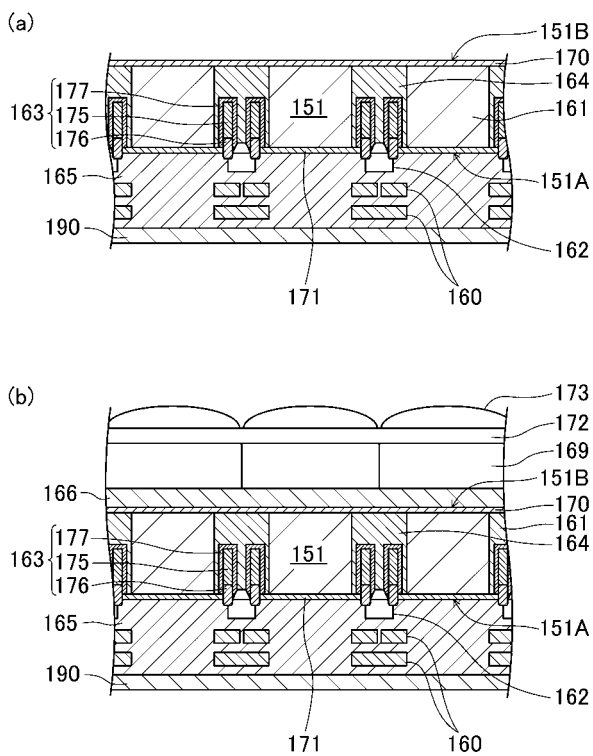
【図 3】



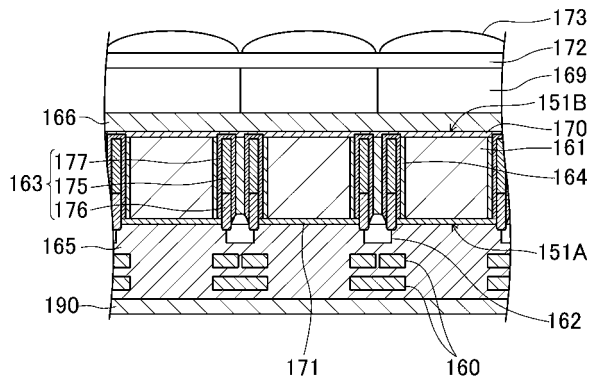
【図 4】



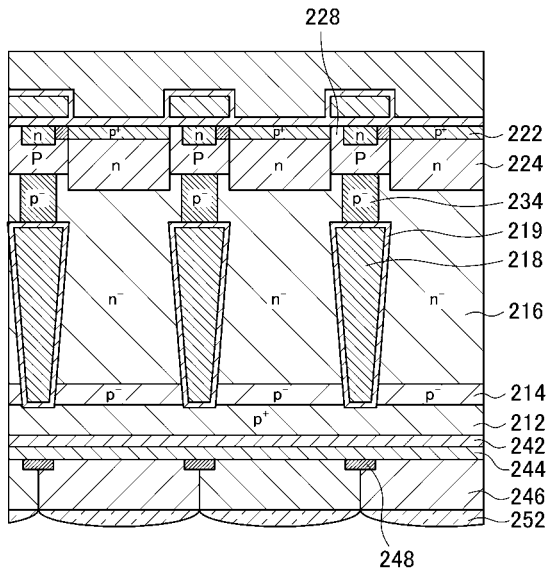
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 森 三佳

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 沖野 徹

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 廣瀬 裕

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 加藤 剛久

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 4M118 AA01 AA05 AB01 BA14 CA04 CA32 DD04 FA06 FA26 FA28

GA02 GC08 GC14 GD04 GD07